

UNIVERSITÉ DE LIMOGES

ÉCOLE DOCTORALE Sciences et Ingénierie pour l'Information,
Mathématiques

FACULTÉ DES SCIENCES ET TECHNIQUES

Année : 2014

Thèse N° 3-2014

Thèse

pour obtenir le grade de

DOCTEUR DE L'UNIVERSITÉ DE LIMOGES

Discipline : Électronique des Hautes Fréquences Photonique et Systèmes

présentée et soutenue par

Patrick AUGEAU

le 21 Janvier 2014

Alimentations de puissance agiles en technologie GaN pour l'amplification de puissance RF

Thèse dirigée par **Raymond QUÉRÉ, Philippe BOUYSSÉ et Audrey MARTIN**

JURY :

Jean-Michel NÉBUS	Professeur, Université de Limoges	Président
Éric BERGEAULT	Professeur, Télécom ParisTech	Rapporteur
Christophe GAQUIERE	Professeur, IEMN, Université de Lille 1	Rapporteur
Philippe BOUYSSÉ	Maître de Conférence, XLIM, Université de Limoges	Examineur
Francis DOUKHAN	Ingénieur, DGA	Examineur
Olivier JARDEL	Ingénieur, Alcatel Thales III-V Lab	Examineur
Audrey MARTIN	Maître de Conférence, XLIM, Université de Limoges	Examineur
Raymond QUÉRÉ	Professeur, Université de Limoges	Examineur
Luc LAPIERRE	Ingénieur, CNES Toulouse	Invité
William REBERNAK	Ingénieur, Thalès Communications	Invité

Remerciements

Mon travail de thèse a été effectué au sein du laboratoire XLIM dont je remercie Monsieur le Directeur Dominique CROS pour son accueil.

Je remercie également Monsieur Raymond QUÉRÉ, responsable C²S², de m'avoir accueilli dans son département.

Je témoigne toute ma reconnaissance à Madame Audrey MARTIN, Monsieur Philippe BOUYSSÉ et Monsieur Raymond QUÉRÉ pour leur encadrement et leurs conseils durant ma thèse.

Je remercie tout particulièrement Monsieur le Professeur Éric BERGEAULT ainsi que Monsieur le Professeur Christophe GAQUIÈRE qui m'ont fait l'honneur de rapporter et examiner ce travail de thèse.

Mes remerciements vont également à Monsieur le Professeur Jean-Michel NÉBUS, Monsieur Olivier JARDEL, ingénieur III-V Lab, Monsieur Francis DOUKHAN, ingénieur DGA, Monsieur Luc LAPIERRE ingénieur CNES et Monsieur William REBERNAK, ingénieur Thalès Communication qui ont bien voulu évaluer ce travail de thèse en qualité d'examineurs. Je leur en suis très reconnaissant.

Je tiens également à remercier tous ces gens qui, d'une manière ou d'une autre me sont venu en aide durant ces trois ans :

- ce n'est pas sans une dose d'émotion que je remercie Pierre « $V_{GS}(t)$ » MEDREL et son thé vert qui furent de solides alliés dans les moments difficiles ;
- Arnaud « ADS » DELIAS dont, dans les moments d'agacements, la voix transperce allègrement la frêle cloison séparant le « load-pull » de mon bureau, à qui je dois des mesures complémentaires durant ma rédaction.

Je remercie Olivier JARDEL de m'avoir apporté ses lumières lorsque cela a été nécessaire avec de nombreux conseils sur la réalisation de mes circuits.

Guillaume NEVEUX, qui n'a pas hésité à me prêter main forte, même tard le soir pour automatiser mes mesures me permettant de gagner un temps précieux.

Tibault REVEYRAND, avec qui j'ai eu le plaisir de faire des mesures dans la bonne humeur.

Jean-Pierre CANCES pour son aide, son soutien et sa constante bonne humeur.

Marie-Claude LEROUGE pour son professionnalisme, et pour sa tolérance à la procrastination malade : les papiers rendus juste avant les délais, voire... le jour de la *deadline*. Même peut-être un peu après, parfois.

En revanche, je ne remercie pas l'écureuil qui, durant ces 3 années est régulièrement venu casser ma fragile concentration, le bougre ayant élu domicile dans l'arbre se situant juste devant ma fenêtre.

À mes grand-parents.

« Ils ne savaient pas que c'était impossible, alors ils l'ont fait. »
Mark Twain

Table des matières

Table des figures	xi
-------------------	----

Glossaire	1
-----------	---

Glossaire	1
-----------	---

Introduction	5
--------------	---

Chapitre 1 État de l’art des modulateurs de polarisation pour la gestion dynamique de puissance	7
---	---

1.1 Problématique de l’amplification de puissance	8
1.1.1 Enveloppe du signal	8
1.1.2 Bande passante	10
1.1.3 Problématique de l’amplification de puissance : compromis linéarité/rendement	11
1.2 Principe de l’ <i>Envelope Tracking</i> (ET)	14
1.2.1 Envelope Tracking de grille	14
1.2.2 Envelope Tracking de drain	17
1.2.3 Estimation de l’augmentation du rendement	18
1.3 Deux approches pour l’ <i>Envelope Tracking</i>	20
1.3.1 <i>Envelope Tracking</i> Continu (ETC)	20
1.3.2 <i>Envelope Tracking</i> Discret (ETD)	23
1.4 État de l’art des modulateurs de polarisation	24
1.4.1 <i>Hybrid Switching Amplifier</i> (HSA)	24
1.4.2 Architecture <i>bootstrap</i> intégrée	30
1.4.3 Méthodes de réduction des contraintes sur le convertisseur DC-DC	30

Chapitre 2 La cellule de commutation	37
2.1 Transistors HEMT GaN	37
2.1.1 Structure physique	37
2.1.2 Modèle électrique non linéaire	38
2.2 Description et analyse de la cellule de commutation	43
2.2.1 Topologie	43
2.2.2 Fonctionnement en régime statique	44
2.2.3 Fonctionnement en régime dynamique	50
2.3 Simulations du régime transitoire et de la stabilité	58
2.3.1 Simulations en régime transitoire	58
2.3.2 Analyse de stabilité	64
2.4 Réalisation et résultats expérimentaux	68
2.4.1 Conception d'une cellule hybride de forte puissance	68
2.4.2 Réalisation du circuit	71
2.4.3 Mesures des formes temporelles	72
2.4.4 Bilan énergétique expérimental	76
Chapitre 3 Conception de modulateurs de polarisation	79
3.1 Le système d' <i>envelope tracking</i>	79
3.1.1 Description du système	79
3.1.2 Présentation des différents éléments du système	81
3.2 Modulateur de polarisation PWM pour l'ETC	82
3.2.1 Conception du circuit	82
3.2.2 Résultats expérimentaux	88
3.2.3 Mesures en dynamique	90
3.3 Système de commutation d'alimentations pour l'ETD	91
3.3.1 Analyse du système de commutation	91
3.3.2 Conception et réalisation du circuit	97
3.3.3 Résultats expérimentaux	97
3.4 Couplage du système de commutation à un amplificateur de puissance	104
3.4.1 Mesures de rendement et linéarité en ETD	105
Conclusion	111
Bibliographie	113

Annexe A Programmation du FPGA	117
A.1 Introduction	117
A.2 Fonctionnement du bloc PWM	118
A.3 Implémentation au sein du FPGA	119
A.3.1 Comparaison avec la PWM analogique	119
A.3.2 Code VHDL	119
Annexe B Démonstrations des résultats analytiques	121
B.1 Établissement des constantes de temps	121
B.1.1 Constantes de temps de mise à l'état ON	121
B.1.2 Constantes de temps de mise à l'état OFF	122
B.2 Fréquence de commutation en ETD	122

Table des figures

1.1	QPSK à enveloppe constante, 16-QAM à enveloppe variable	8
1.2	Enveloppe d'un symbole OFDM à 16 porteuses avec sa puissance moyenne	9
1.3	Densité de probabilité et moyenne de la variable X^2 et son espérance $E(X^2)$	10
1.4	Spectres du signal modulé, en bande de base et spectre de la puissance	11
1.5	Détection d'enveloppe	12
1.6	Zones de fonctionnement de l'amplificateur	13
1.7	Pertes à l'amplification d'un signal OFDM	13
1.8	Schéma de principe d'un amplificateur à polarisation fixe P_{DC}	13
1.9	Cycles de charge à V_{DS} variable et R_L fixe.	15
1.10	Schéma de principe de l' <i>enveloppe tracking</i> de drain et de grille	15
1.11	Caractéristique $I_{DS} = f(V_{GS})$ statique pour un transistor GaN HEMT	16
1.12	Comportement en classe B pour un transistor idéal (a) et réel (b)	16
1.13	Extraction de la loi de commande	17
1.14	Schéma de principe d'un amplificateur avec modulateur de polarisation pour l' <i>Envelope Tracking</i>	18
1.15	Puissances aux accès de l'amplificateur RF et du modulateur de polarisation	18
1.16	Abaque théorique de rendement pour l'ET.	19
1.17	En trait continu : commande générée par un système discret, en pointillés par un système continu.	20
1.18	Schéma bloc du modulateur PWM	21
1.19	Schéma d'un modulateur Σ - Δ d'ordre 1	21
1.20	Fonctionnement d'un modulateur PWM analogique	22
1.21	Schéma bloc du modulateur à base de commutation d'alimentations	23
1.22	Amélioration du rendement en fonction du nombre d'alimentations [1].	24
1.23	Schéma de principe d'un amplificateur DC-DC Hybride [2]	24
1.24	Schéma de principe d'un amplificateur DC-DC Hybride à deux comparateurs [2]	26
1.25	Amélioration proposée par l'ajout d'un modulateur PWM [2]	26
1.26	Comparaison entre la structure conventionnelle (a) et la structure mise en œuvre (b) [3]	27
1.27	Schéma simplifié de l'architecture proposée [4]	27
1.28	Schéma simplifié du modulateur [5]	28

1.29	Schéma bloc du modulateur [6]	29
1.30	Schéma du modulateur de polarisation proposé [7]	31
1.31	Signal de commutation et signaux enveloppe d'entrée/sortie [7]	31
1.32	Schéma du système d'ET à bande passante réduite.	32
1.33	Signal $V_{DD}(t)$ avec bande passante réduite [8]	32
1.34	Dispositif de réduction de la bande passante du signal d'entrée [8]	32
1.35	En bleu : signal d'enveloppe originel $E(n)$ et en rouge, le signal généré $E_{sf}(n)$ [9]	33
1.36	Schéma représentant la chaîne d'amplification [9]	35
1.37	Signal à enveloppe réduite (BWRE) [10]	35
2.1	Schéma physique d'un HEMT GaN	38
2.2	Comparaison entre la caractéristique $I_D = f(V_{GS})$ d'un transistor <i>normally on</i> et <i>normally off</i>	39
2.3	Schéma du modèle non linéaire utilisé pour les transistors GaN	39
2.4	Comparaison entre un cycle de charge RF et un cycle de commutation	41
2.5	Cycle de charge en commutation	41
2.6	Barrette $8 \times 6 \times 400 \mu\text{m}$ de développement	42
2.7	Schéma de la cellule de commutation	43
2.8	Schéma équivalent de la cellule à l'état ON	44
2.9	Positions du point de fonctionnement en fonction de la valeur de R_L à l'état ON.	45
2.10	Schéma équivalent de la cellule à l'état OFF	46
2.11	Point de fonctionnement à l'état OFF	48
2.12	Point de fonctionnement à l'état ON et à l'état OFF.	49
2.13	Caractéristique de transfert $V_{OUT} = f(V_{IN})$. $V_{DD} = 30 \text{ V}$	50
2.14	Schéma équivalent mettant en évidence les différents éléments intrin- sèques des transistors	51
2.15	Évolution de la tension V_{GS2} lors de la transition ON-OFF.	51
2.16	Positions du point de fonctionnement en fonction de la valeur de R_L à l'état ON.	52
2.17	Évolution de la tension V_{GS2} lors de la transition ON-OFF.	54
2.18	Les flèches indiquent les lieux de passage du courant lors de la charge de C_{GS2}	55
2.19	Cycles de charge idéaux en fonction des différentes valeurs de R_L	57
2.20	Schéma du circuit simulé ($V_{DD} = 38 \text{ V}$)	58
2.21	Principales tensions au sein de la cellule	59
2.22	Courant de grille de T_2 (I_{G2}). Le pic positif de gauche représente la charge de C_{DS2} (transition ON-OFF) ; le pic négatif de droite repré- sente sa décharge (transition OFF-ON)	60
2.23	Tensions V_{GS2} et V_{OUT} à la transition OFF-ON	61
2.24	Tensions V_{GS2} et V_{OUT} à la transition ON-OFF	61
2.25	Schéma équivalent de la cellule à l'état OFF	62
2.26	Rendement de la cellule η en fonction du rapport cyclique α donné par l'équation (2.17) et par la simulation à 500 kHz, 10 MHz et 20 MHz	64

2.27	Tension de sortie V_{OUT} de la cellule instable	65
2.28	Schéma bloc de la méthode de la boucle ouverte	66
2.29	Gain du système en fonction de la fréquence f_{bf} en module (axe Y de gauche) et en argument (axe Y de droite)	66
2.30	Multiples capacités placées le long de l'accès d'alimentation afin de lisser les appels de courant dus à la commutation. Elles sont placées telles que $C_1 < C_2 < \dots < C_n$	69
2.31	Schéma d'une capacité X2Y, avec ses 4 accès dont deux de masse (G1 et G2)	69
2.32	Schéma du circuit hybride	71
2.33	Photo du circuit hybride à l'intérieur du boîtier Zentrix, zoom sur les transistors T_1 et T_2	72
2.34	Photo du banc d'essai	73
2.35	Schéma de la cellule sous test	73
2.36	Transitions ON-OFF et OFF-ON.	74
2.37	Tensions en sortie de la cellule et sur la ligne d'alimentation à 100 kHz	75
2.38	Tensions en sortie de la cellule et sur la ligne d'alimentation à 1 MHz	75
2.39	Tensions en sortie de la cellule et sur la ligne d'alimentation à 10 MHz	76
2.40	Tensions en sortie de la cellule et sur la ligne d'alimentation à 20 MHz	76
2.41	Tensions en sortie de la cellule et sur la ligne d'alimentation à 30 MHz	77
2.42	Rendements en fonction de la fréquence, pour différents rapports cycliques de 20 % à 80 %	77
3.1	Schéma du modulateur de polarisation	80
3.2	Photo du banc de mesures	80
3.3	Photo du convertisseur analogique-numérique et du FPGA	81
3.4	Schéma du montage inverseur	82
3.5	Schéma du circuit PWM	83
3.6	Photo du circuit PWM	83
3.7	Schéma du filtre de reconstruction	84
3.8	Modèle de l'inductance	85
3.9	Comparaison mesure/simulation du filtre passe bas à $f_c = 4\text{MHz}$	86
3.10	Formes temporelles au sein du montage	87
3.11	Rendement du modulateur en fonction de la fréquence à $\alpha = 50\%$	87
3.12	Rendement du modulateur en fonction du rapport cyclique α à $f_{clk} = 20\text{ MHz}$	88
3.13	Formes temporelles pour une fréquence d'horloge de 1 MHz, $\alpha = 50\%$	89
3.14	Formes temporelles pour une fréquence d'horloge de 5 MHz, $\alpha = 50\%$	89
3.15	Formes temporelles pour une fréquence d'horloge de 10 MHz	90
3.16	Formes temporelles pour une fréquence d'horloge de 20 MHz	90
3.17	Signaux d'entrée et sortie du modulateur PWM à 100 kHz	91
3.18	Signaux d'entrée et sortie du modulateur PWM à 500 kHz	91
3.19	Signaux d'entrée et sortie du modulateur PWM à 1 MHz	92
3.20	Signaux d'entrée et sortie du modulateur PWM à 2 MHz	92
3.21	Signaux d'entrée et sortie du modulateur PWM à 4 MHz	92

3.22	Zoom sur une période d'enveloppe à 2 MHz	93
3.23	Schéma bloc du système ETD	94
3.24	Tensions de commande ; tension de sortie avec diode SiC	95
3.25	Tensions de commande ; tension de sortie avec diode idéale	96
3.26	Photographie du modulateur ETD	98
3.27	Schéma du modulateur ETD	98
3.28	Tensions de commande et tension mesurée en sortie du modulateur pour une fréquence de 500 kHz ($f_{conv} = 3$ MHz)	99
3.29	Formes d'ondes pour $f_{env} = 2$ MHz / $f_{conv} = 12$ MHz	100
3.30	Tensions de commande et tension mesurée en sortie du modulateur pour une fréquence de 5 MHz ($f_{conv} = 30$ MHz)	101
3.31	Tensions de commande et tension mesurée en sortie du modulateur pour une fréquence de 10 MHz ($f_{conv} = 60$ MHz)	101
3.32	Rendement du modulateur en fonction de la fréquence du signal mo- dulant (modulant sinusoïdal)	102
3.33	pdf du signal en fonction de la puissance du signal à amplifier	103
3.34	Caractéristique courant tension de la diode CREE C3D06060G pour différentes températures	103
3.35	Photographie de l'amplificateur (demoboard CREE)	105
3.36	Graphe présentant l'impédance statique R_{DS0} en fonction de l'ampli- tude normalisée de l'enveloppe.	105
3.37	Schéma bloc du banc de test (thèse [11]).	106
3.38	Courbe de gain et de résistance de drain en fonction de la puissance d'entrée	107
3.39	V_{DD} en fonction de l'enveloppe normalisée.	108
3.40	EVM en fonction de la puissance de sortie, pour l'ET et la polarisation fixe.	108
3.41	Rendements du modulateur, de l'amplificateur « tracké » et de l'en- semble amplificateur + modulateur	109
3.42	Comparaison entre le rendement de l'amplificateur sous polarisation fixe et sous ET.	109
A.1	Schéma bloc représentant le programme embarqué au sein du FPGA.	117
A.2	Chronogramme : horloge rapide et signal PWM	118
A.3	Code VHDL décrivant le comportement du bloc PWM	120

Glossaire

ACPR Adjacent Channel Power Ratio. Ratio de la puissance sur le canal voisin due aux produits d'intermodulation par la puissance sur le canal principal. Donn  en dB, plus sa valeur est basse, moins le canal  tudi  interf re avec le canal adjacent. 27

CAN Convertisseur analogique-num rique. Composant transformant une grandeur d'entr e analogique en mot binaire. 81

Convertisseur DC-DC Classe de convertisseurs de puissance. Leur r le est de convertir une tension continue en une autre. Il en existe deux types :  leveurs et abaisseurs de tension. 6

DBLPS Double Bande Lat rale   Porteuse Supprim e. Modulation d'amplitude sans porteuse. 12

Diodes schottky Diode   jonction m tal-semiconducteur. Sa particularit  est de pr senter un tr s faible temps de recouvrement et une tension de seuil basse. 110

DPD Digital Predistortion. Technique permettant d'am liorer la lin arit  d'un syst me d'amplification en plaçant un dispositif pr senteant les non lin arit s inverses de celles de l'amplificateur. L'ensemble pr sente donc une meilleure lin arit  que l'amplificateur seul car les non lin arit s se compensent. 34

DVB-T Digital Video Broadcasting-Terrestrial. Standard de transmission de donn es num riques pour la t l vision num rique terrestre (TNT). 7

enveloppe Courbe reliant les maxima d'une part et les minima d'autre part d'un signal oscillant. Cette notion correspond   l'amplitude instantan e du signal. 8

ET Technique consistant   faire varier la polarisation de l'amplificateur pour l'emmener au point de fonctionnement d sir , de facon dynamique. Cette technique peut  tre utilis e par exemple pour le maintien d'un bon compromis lin arit -rendement. 6, 14

ETC Envelope Tracking Continu. M thode consistant en la r alisation d'un suivi d'enveloppe continu. Le modulateur poss de donc un niveau infini de niveaux de sortie. 6, 20

- ETD** Envelope Tracking Discret. Méthode consistant en la réalisation d'un suivi d'enveloppe discret. Le modulateur possède donc un nombre fini de niveaux de sortie. 6, 20
- EVM** Error Vector Magnitude. Sur le diagramme de constellation, écart entre la position mesurée des points et leur position idéale. Elle fait état des distorsions, bruits et signaux parasites présents dans les systèmes de télécommunications. 34
- FPGA** Field Programmable Gate Array. Circuit numérique programmable spécifié par un langage de description (dans ces travaux : VHDL). 36
- HEMT** High Electron-Mobility transistor. Technologie de transistor présentant de bonnes performances en termes de puissance et de fréquence d'utilisation. Ceux utilisés lors de ces travaux sont en technologie GaN. 15
- HSA** Hybrid Switching Amplifier. Désigne une structure de modulateur de polarisation basée sur un transistor fonctionnant en mode commutation. vii, 24
- Loi de commande** Relation établie à la conception du modulateur liant l'enveloppe du signal d'entrée et la tension en sortie du modulateur. 16
- LTE** Long-Term Evolution. Standard de téléphonie et de transfert de données sur réseaux mobiles. On la retrouve également sous l'appellation 4G-LTE. 7
- OBO** Output Back-Off. Marge prise entre la puissance de sortie correspondant au point de compression de l'amplificateur et la puissance maximale du signal à amplifier. L'intérêt de l'OBO est de maintenir l'amplificateur dans sa zone de fonctionnement linéaire. 12
- OFDM** Orthogonal Frequency Division Multiplexing. Technique de codage des signaux numériques présentant l'avantage de conserver une bonne efficacité spectrale sur canaux difficiles. 5
- PAE** Power Added Efficiency, ou Rendement en puissance ajoutée. Il s'exprime comme suit : $\frac{P_{out} - P_{in}}{P_{alim}}$. 12
- PAPR** Rapport entre la puissance instantanée maximale et la puissance moyenne d'un signal. Il est souvent indiqué en dB. 9
- pdf** Probability Density Function. Fonction représentant la probabilité qu'une variable aléatoire prenne une valeur donnée. 9
- PSK** Phase Shift Keying. Modulation numérique consistant en la modulation de la phase de la porteuse. 8
- PWM** Pulse Width Modulation. Technique consistant à convertir un signal analogique en signal pulsé de rapport cyclique variable. 6
- Slew rate** Variation maximale de la valeur de la tension de sortie d'un système par unité de temps. 33

VHDL VHSIC Hardware Description Language. Langage de description de circuits numériques. 117

WiMAX Worldwide Interoperability for Microwave Access. Standard de communication sans fil alternative aux connexions filaires (câble, DSL, fibre). 26

Introduction

Les quantités de données échangées dans le monde suivent une croissance exponentielle depuis les années 70. Cela a pour conséquence directe une augmentation – elle aussi exponentielle – des débits des transmissions numériques modernes.

L'augmentation des débits binaires impose naturellement une augmentation de l'efficacité spectrale des modulations utilisées pour les transmissions sans fil. Cette augmentation de débit ne doit cependant pas être faite au détriment de l'intégrité des données.

Afin d'augmenter les débits, des modulations complexes se sont standardisées au cours des années 2000, comme le W-CDMA (utilisée pour l'UMTS, couramment appelé « 3G ») ou l'OFDM (utilisée pour le DVB-T, ou « TNT ») à la place de modulations plus simples telles que les QPSK et BPSK par exemple, où seule la phase de la porteuse est modulée.

Ces nouveaux formats de modulation génèrent des signaux à enveloppe variable dont la puissance d'enveloppe varie au cours du temps.

Or, un amplificateur de puissance RF délivre son meilleur rendement s'il travaille à sa puissance maximale (zone de compression de gain). Il est évident que si l'enveloppe varie au cours du temps, il sera impossible de fonctionner constamment dans cette zone de rendement optimal sans saturation de l'amplificateur de puissance (PA) et donc sans altération de l'intégrité du signal.

La conséquence immédiate est que pour un amplificateur, linéarité et rendement sont deux grandeurs antagonistes. Ainsi, la linéarité étant une condition *sine qua non* pour l'amplification de signaux dont la puissance instantanée est variable, leur rendement moyen sera très bas et la dissipation thermique du transistor de puissance par conséquent très importante. Conséquence directe : il est nécessaire de gérer l'énergie thermique générée en refroidissant – souvent de façon active – ce qui est une cause supplémentaire de consommation énergétique.

L'objet de ce travail réside en l'implémentation d'une solution pour l'amélioration du rendement des amplificateurs travaillant avec des signaux à enveloppe variable appelée *envelope tracking*.

Cette solution consiste en la mise en place d'une polarisation dynamique de l'amplificateur, laquelle sera variable au rythme de l'enveloppe de façon à suivre les variations de celle-ci. La conception d'un modulateur de polarisation capable de fournir dynamiquement la puissance nécessaire au fonctionnement de l'amplificateur au rythme de l'enveloppe est donc le cœur de ce projet. Il apparaît évident que ce modulateur doit avoir un excellent rendement. Il est réalisé à base d'une cellule de

commutation originale développée au sein d'XLIM.

Nous présenterons dans un premier chapitre l'état de l'art des solutions déjà existantes d'amélioration du rendement pour les amplificateurs travaillant à puissance variable. Dans ce chapitre, nous expliquerons le choix de l'*envelope tracking* (ET).

Nous étudierons dans un deuxième chapitre la cellule élémentaire d'un point de vue théorique dans un premier temps. Nous poursuivrons par une étude en simulation de la cellule et terminerons par la présentation des circuits réalisés et les résultats expérimentaux obtenus.

Le troisième chapitre aura pour objet la mise en œuvre d'un Convertisseur DC-DC basé sur cette cellule. Deux voies seront explorées : un modulateur basé sur une modulation PWM dédié à l'*envelope tracking* continu (ETC) ainsi qu'un modulateur à commutation d'alimentations discret pour l'*envelope tracking* discret (ETD)

Chapitre 1

État de l'art des modulateurs de polarisation pour la gestion dynamique de puissance

Introduction

La mise en œuvre de modulations complexes est la réponse à l'augmentation exponentielle des débits de données dans les télécommunications sans fil. Les données sont transportées à l'aide de nouveaux protocoles, avec par exemple :

- la LTE (Long Term Evolution) pour la téléphonie et le transfert de données sur terminaux mobiles, utilisant les modulations QPSK, 16-QAM ou 64-QAM ;
- le DVB-T2 (Digital Video Broadcasting - Terrestrial, second generation) pour la diffusion de la télévision numérique terrestre (TNT) en Europe, Afrique et Océanie, utilise une modulation 16 à 256-QAM sur chaque porteuse ensuite codée en OFDM pouvant comporter jusqu'à 32 000 porteuses

Les modulations de type n -PSK sont des modulations exclusivement en phase, donc à enveloppe constante¹. Il n'existe donc pour ces modulations qu'un seul paramètre que l'on module pour le transport des données – la phase (figure 1.1a).

Afin d'augmenter l'efficacité spectrale, les nouvelles générations de modulations (M-QAM, CDMA, etc.) concernant à la fois la phase sur l'amplitude de la porteuse, ce qui génère une enveloppe instantanée variable (figure 1.1b).

Nous présentons en premier lieu dans ce chapitre, la problématique de l'amplification de signaux à enveloppe variable et une réponse possible qu'est la technique de suivi d'enveloppe (*envelope tracking*).

La mise en œuvre de cette technique nécessite le développement de modulateurs de polarisation dont nous exposerons les contraintes associées.

La dernière partie de ce chapitre est consacrée à une étude bibliographique des modulateurs de polarisation. La bibliographie retenue ici concerne essentiellement

1. Ceci n'est pas rigoureusement exact après filtrage mais nous considérons que la variation d'enveloppe est négligeable

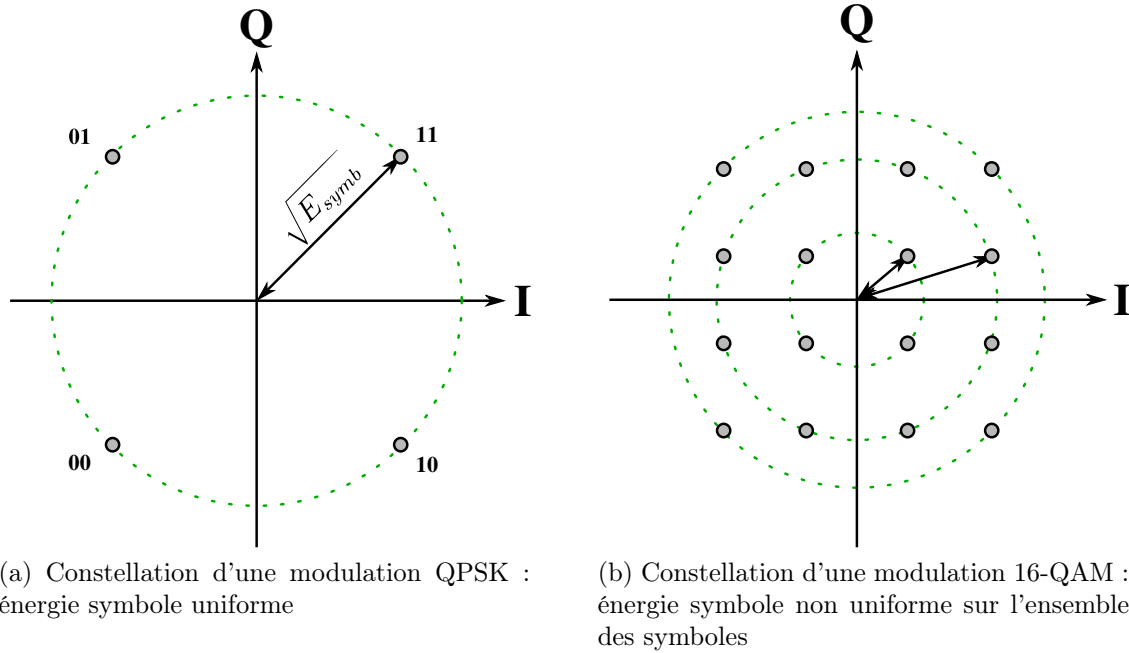


FIGURE 1.1 – QPSK à enveloppe constante, 16-QAM à enveloppe variable

l'état de l'art des modulateurs de drain (ou de collecteur) délivrant de fortes puissances. Cet état de l'art nous permettra de positionner ce travail de thèse et d'identifier les principaux verrous technologiques.

1.1 Problématique de l'amplification de puissance

1.1.1 Enveloppe du signal

À l'émission d'un signal, chaque symbole du signal modulé nécessite une quantité d'énergie E_s . Sur un signal n-PSK (figure 1.1a), E_s est le même pour chaque symbole. En revanche, pour un signal dont les plots de la constellation ne sont pas équidistants de l'origine, l'énergie symbole dépend du symbole émis (figure 1.1b).

Pour une séquence de n symboles la puissance moyenne du signal vaut :

$$P_m = \frac{1}{n \cdot T_s} \times \sum_{i=1}^n E_s(i) \quad (1.1)$$

où T_s est le temps symbole et E_s l'énergie symbole.

La puissance à un instant t est : $P_i(t) = \frac{1}{2} \cdot |\tilde{x}(t)|^2$, où $\tilde{x}(t)$ est l'enveloppe complexe et $|\tilde{x}(t)|$ son module. La puissance moyenne sur une durée T à un instant t_0 est donc donnée par équation (1.2).

$$P_{\text{moy}}(t_0, T) = \frac{1}{T} \cdot \int_{t_0-T}^{t_0} P_i(t) dt \quad (1.2)$$

La puissance crête est la valeur maximum que peut atteindre la puissance instantanée du signal équation (1.3) :

$$P_{\text{max}} = \max(P_i(t)) \quad (1.3)$$

a) Peak-to-Average Power Ratio (PAPR)

Le PAPR est la grandeur qui fait état de la variabilité de l'enveloppe. Il constitue le rapport entre sa valeur maximale qu'elle peut prendre et sa valeur moyenne (équation (1.4)).

Elle peut typiquement atteindre 10 à 12 dB.

$$\text{PAPR}_{dB} = 10 \cdot \log \left(\frac{P_{\text{max}}}{P_{\text{moy}}} \right) \quad (1.4)$$

Sa valeur est de 0 dB pour un signal à enveloppe constante ($P_{\text{max}} = P_{\text{moy}}$).

Une porteuse modulée 16-QAM a un PAPR de l'ordre de 3 dB. Le PAPR d'un signal OFDM est une fonction croissante du nombre de sous-porteuses [12].

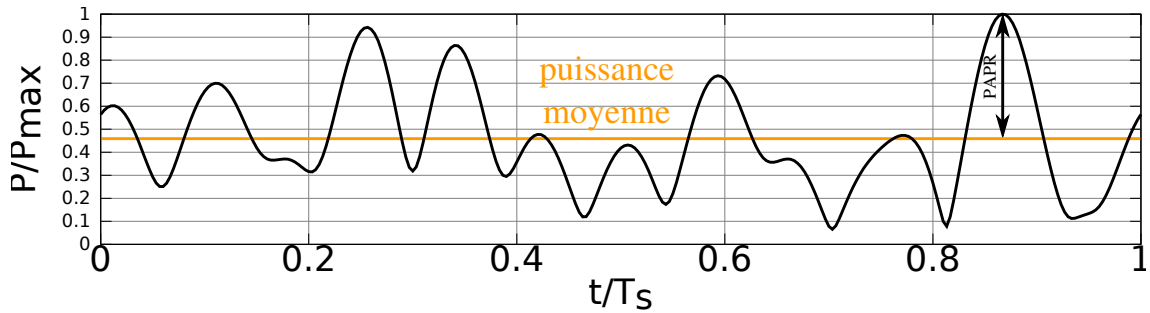


FIGURE 1.2 – Enveloppe d'un symbole OFDM à 16 porteuses avec sa puissance moyenne

La figure 1.2 montre un symbole OFDM à 16 porteuses, sa puissance moyenne et met en évidence le PAPR.

b) Probability Density Function (pdf)

La fonction de densité de probabilité est la fonction $\text{pdf}(x)$ permettant de représenter la répartition statistique de la puissance du signal.

Elle présente les propriétés suivantes :

- $\int_{P_{\text{min}}}^{P_{\text{max}}} \text{pdf}(x) dx = 1$
- $\text{pdf}(x)$ est continue et positive sur son support $[P_{\text{min}}; P_{\text{max}}]$ et nulle en dehors.

i. Exemple de l'OFDM Pour un signal OFDM dont le nombre de porteuses est suffisamment grand, on peut considérer que les projections sur la voie I d'une part et la voie Q d'autre part sont des variables aléatoires gaussiennes. La pdf du module est donc, par définition, une loi de Rayleigh.

Si on normalise le module à une valeur moyenne de 1, la pdf de l'amplitude d'écart-type σ est :

$$\text{pdf}(X) = \begin{cases} \frac{X}{\sigma_X^2} \cdot e^{-\frac{X}{\sigma_X^2}} & \forall X \geq 0 \\ 0 & \text{sinon} \end{cases}$$

Or, la puissance étant le carré du module on montre que la densité de probabilité de la puissance est :

$$\text{pdf}(X^2) = \begin{cases} \frac{1}{2\sigma_X^2} \cdot e^{-\frac{X}{2\sigma_X^2}} & \text{si } X \geq 0 \\ 0 & \text{sinon} \end{cases}$$

Cette variable aléatoire a pour espérance et pour écart-type (ils sont égaux dans le cas d'une variable exponentielle) $E(X^2) = \sigma_{X^2} = 2 \cdot \sigma_X^2$.

Pour un écart-type σ_X^2 normalisé à 1, on obtient $\text{pdf}(X^2) = e^{-X}$ d'espérance $E(X^2) = 1$ (figure 1.3).

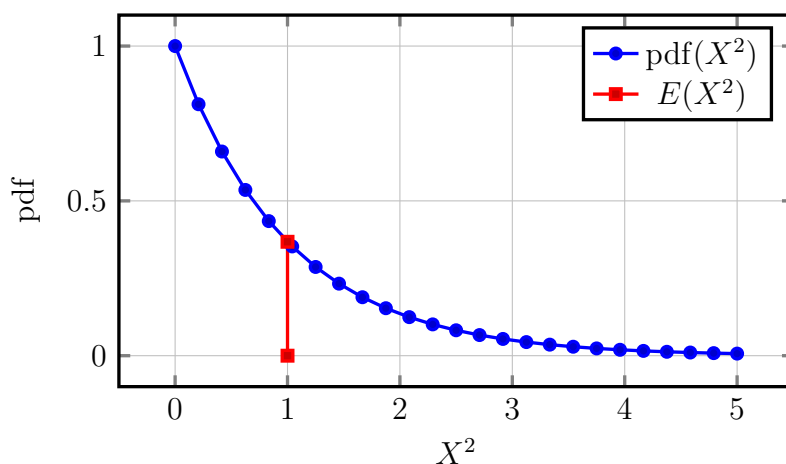


FIGURE 1.3 – Densité de probabilité et moyenne de la variable X^2 et son espérance $E(X^2)$

1.1.2 Bande passante

La bande passante de l'enveloppe correspond à la largeur de canal du signal amplifié. Ainsi, plus la largeur du canal sera importante, plus l'enveloppe aura une vitesse de variation élevée.

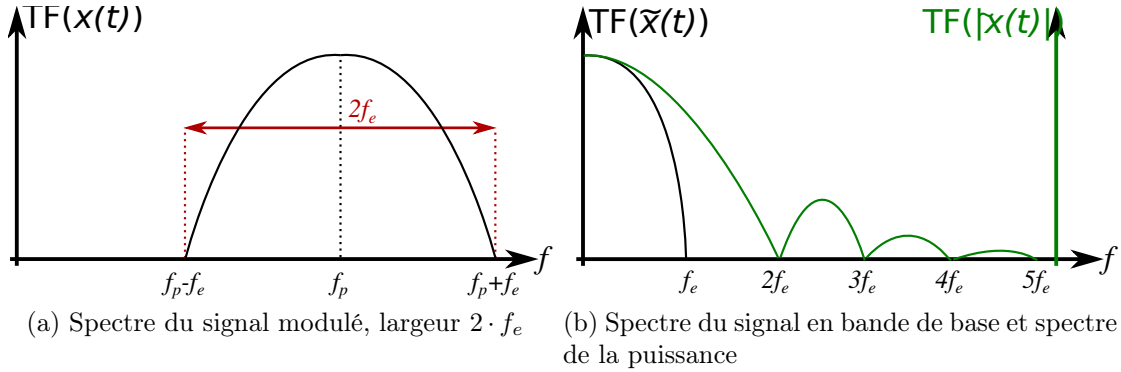


FIGURE 1.4 – Spectres du signal modulé, en bande de base et spectre de la puissance

Le PAPR et la bande passante sont donc des paramètres cruciaux pour la réalisation du modulateur de polarisation.

Si l'enveloppe en amplitude complexe $\tilde{x}(t)$ contient les fréquences allant du DC à f_e , le signal modulé a une largeur spectrale de $2 \cdot f_e$ (figure 1.4) centrée autour de la fréquence de la porteuse f_p ([13] page 95).

ii. Influences de la détection d'enveloppe Au sein d'un système de gestion dynamique de puissance, comme nous le verrons dans la suite du chapitre, il est nécessaire de réaliser un système de détection d'enveloppe (figure 1.5a).

La détection d'enveloppe est une opération non linéaire, ce qui a pour conséquence d'augmenter la largeur spectrale du signal à amplifier.

Pour illustrer ceci, nous allons prendre comme exemple un signal bi-ton, c'est-à-dire contenant 2 raies spectrales aux fréquences f_1 et f_2 , telles que $f_1 < f_2$ et $|f_2 - f_1| \ll f_2$. D'un point de vue temporel, cela revient à sommer deux sinusoïdes de fréquences respectives f_1 et f_2 . Il s'agit d'une modulation d'amplitude sans porteuse avec modulant sinusoïdal et inversion de phase (sur-modulation liée à l'absence de porteuse) (figure 1.5).

La détection d'enveloppe est donc une opération qui consiste à prendre le module de l'enveloppe complexe. Dans la cas d'une enveloppe passant par 0 (inversion de phase), le signal en sortie du détecteur est un signal comportant des points anguleux, donc une fonction de classe \mathcal{C}^0 de la même façon qu'une fonction triangle ce qui, donne un spectre de support infini, avec une décroissance en $\frac{1}{f^2}$. En d'autres termes, le support du spectre est infini (on montre que la suite des coefficients de Fourier d'une fonction périodique de classe \mathcal{C}^n est négligeable devant $\frac{1}{n^{k+2}}$).

1.1.3 Problématique de l'amplification de puissance : compromis linéarité/rendement

L'amplificateur doit être capable d'amplifier des signaux de puissance variable (figure 1.7). Or, celui-ci n'a un bon rendement qu'au voisinage de la compression,

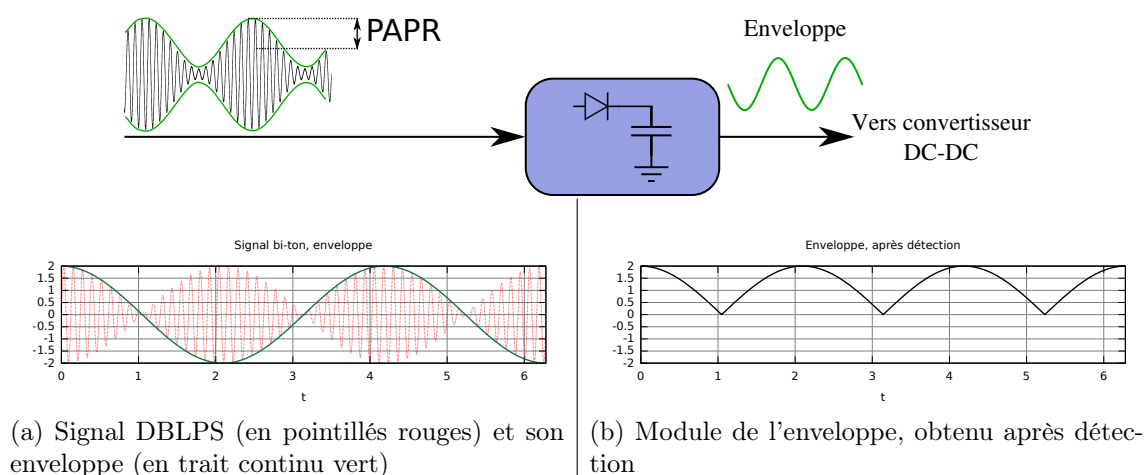


FIGURE 1.5 – Détection d'enveloppe

c'est-à-dire sur une gamme de puissances très étroite.

Le point critique est d'assurer une linéarité suffisante pour assurer l'intégrité du signal.

La technique la plus courante est de surdimensionner l'amplificateur et de le faire travailler avec un important *output back off* (OBO).

Cette technique consiste à réduire la puissance du signal par rapport à la puissance nominale de l'amplificateur. Ceci conduit à un rendement médiocre si l'amplificateur travaille à polarisation fixe.

Or, le rendement fait partie des paramètres critiques, étant donné que trois paramètres importants en résultent :

- l'autonomie des dispositifs ;
- l'encombrement
- la fiabilité

Le signal OFDM a une densité de probabilité plus importante vers les faibles puissances, c'est-à-dire que l'amplificateur travaille autour de points où sa PAE est faible.

De par la nécessité de conserver l'intégrité du signal, l'utilisation d'un amplificateur à polarisation constante nécessite de sacrifier le rendement au profit de la linéarité.

Les pertes sont importantes et ceci est aggravé par le fait que pour de nombreux signaux (QAM-16, OFDM...), la densité de probabilité de la puissance du signal est répartie vers les faibles puissances, c'est-à-dire vers les zones de fonctionnement où l'amplificateur a le rendement le plus bas (figure 1.6).

Le rendement global est exprimé équation (1.5) [3]. Un schéma de principe est visible figure 1.8.

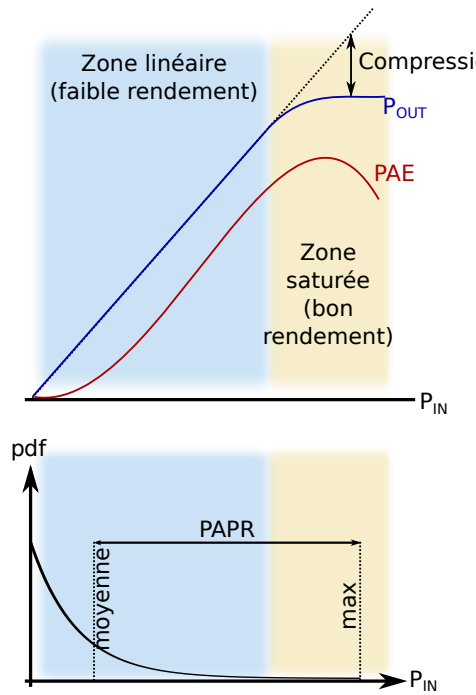


FIGURE 1.6 – Zones de fonctionnement de l'amplificateur

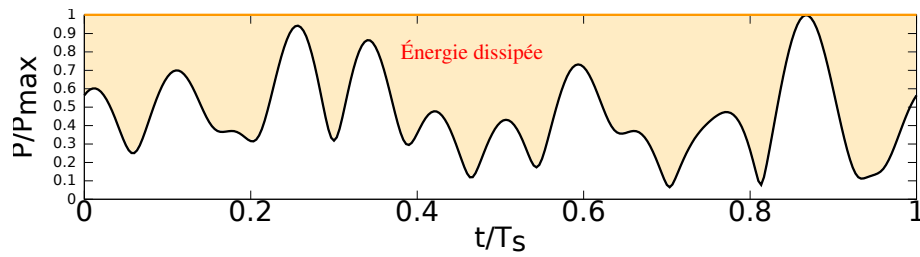


FIGURE 1.7 – Pertes à l'amplification d'un signal OFDM

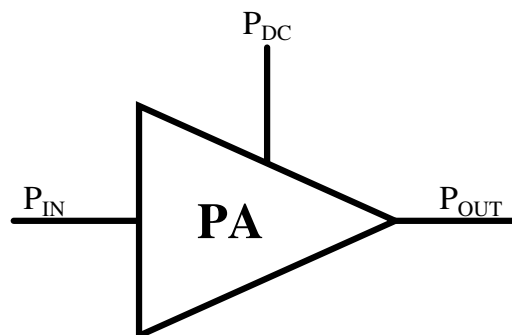


FIGURE 1.8 – Schéma de principe d'un amplificateur à polarisation fixe P_{DC}

$$\eta = \frac{P_{\text{OUT_MOY}}}{P_{\text{DC}}} = \frac{\int_0^{P_{\text{MAX}}} \text{pdf}(P_{\text{OUT}}) \cdot P_{\text{OUT}} \cdot dP_{\text{OUT}}}{\int_0^{P_{\text{MAX}}} \text{pdf}(P_{\text{OUT}}) \cdot P_{\text{DC}}(P_{\text{OUT}}) \cdot dP_{\text{OUT}}} \quad (1.5)$$

Où P_{OUT} est la puissance instantanée en sortie de l'amplificateur de puissance.

Ainsi, la linéarité d'un amplificateur et son rendement en puissance ajoutée (PAE) sont deux grandeurs antagonistes : un amplificateur à haut rendement fonctionne dans sa zone de saturation et est donc non linéaire alors qu'un amplificateur linéaire travaille avec un important recul par rapport à son point de compression, donc avec une PAE dégradée.

Il existe plusieurs techniques d'amélioration du rendement éprouvées, comme la technique Doherty (travaux de Bumman Kim [14]) ou encore à l'étude (*Envelope Tracking*, LINC, etc.). Ce travail de thèse porte sur la mise en œuvre de l'*Envelope Tracking*, technique consistant à moduler la polarisation de l'amplificateur en corrélation avec la puissance instantanée du signal, c'est-à-dire son enveloppe.

1.2 Principe de l'*Envelope Tracking* (ET)

L'ET est une technique qui consiste à piloter l'alimentation de l'amplificateur en fonction des variations de valeur de l'enveloppe, afin d'obtenir un rendement optimal.

Dans le cadre d'un amplificateur fonctionnant autour d'un transistor à effet de champ (FET), il existe deux paramètres sur lesquels agir : la polarisation de grille et la polarisation de drain.

Ce point est abordé plus en détails dans les travaux de thèse de Stéphane Forestier [15].

La configuration optimale serait de piloter à la fois le drain (contrôle de la tension d'alimentation) et la grille (contrôle du courant d'alimentation), comme représenté figure 1.9.

L'*Envelope Tracking* de drain consiste à faire varier V_{DS0} ors que l'*Envelope Tracking* de grille consiste à faire varier le courant I_{DS0} par le contrôle de V_{GS0} . La figure 1.10 montre un schéma de principe de l'*Envelope Tracking*.

1.2.1 Envelope Tracking de grille

Le principe de l'ET de grille est de faire varier la classe de fonctionnement du transistor de puissance entre différentes classes de fonctionnement. Les travaux de Pierre Medrel [16] mettent en évidence le contrôle de la tension de grille, permettant de déplacer le point de polarisation entre les classes de fonctionnement A et AB profonde de manière à obtenir une meilleure linéarité (AB légère pour la linéarité des faibles signaux et AB profonde voire B pour de meilleurs rendements aux forts signaux).

Dans l'article [16] l'ET de grille assure le fonctionnement de l'amplificateur entre les classes A et AB.

La caractéristique $I_D = f(V_{GS})$ idéale pour un transistor HEMT GaN fonctionnant en classe B est linéaire par morceaux (figure 1.11). La classe B, dans l'idéal, n'amplifie que l'alternance positive du signal RF d'entrée, ce qui ne génère pas de distorsion d'enveloppe.

Sur la figure 1.11, la caractéristique non idéale n'est pas linéaire par morceaux et va créer des non linéarités en classe B pour de petits signaux. Sur un transistor réel, la caractéristique $I_{DS} = f(V_{GS})$ n'est pas idéale. La caractéristique présente une courbure autour de V_p [16] qui va générer des non linéarités (figure 1.12).

Le principe de l'ET de grille est de gagner en linéarité à bas niveau sur un amplificateur polarisé en classe B en déplaçant le point de polarisation (autrement dit la valeur V_{GS0}) vers la zone linéaire du transistor.

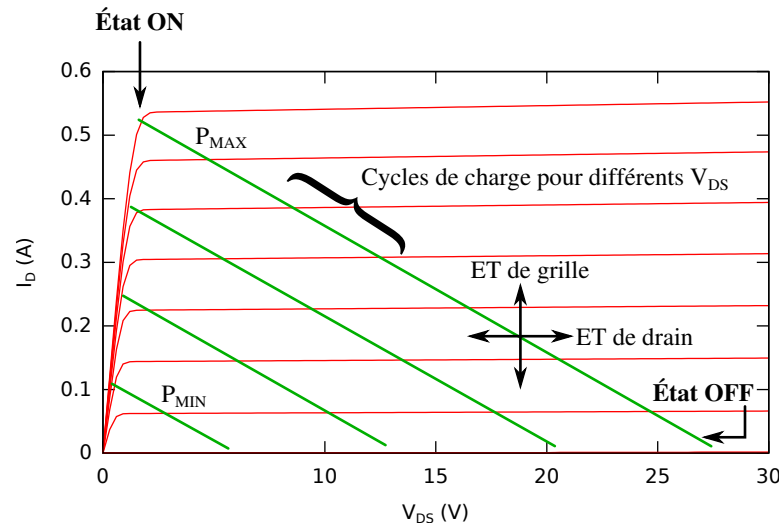


FIGURE 1.9 – Cycles de charge à V_{DS} variable et R_L fixe.

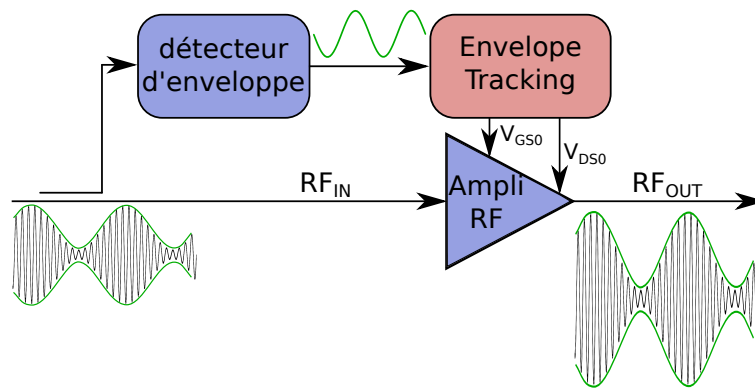


FIGURE 1.10 – Schéma de principe de l'enveloppe tracking de drain et de grille

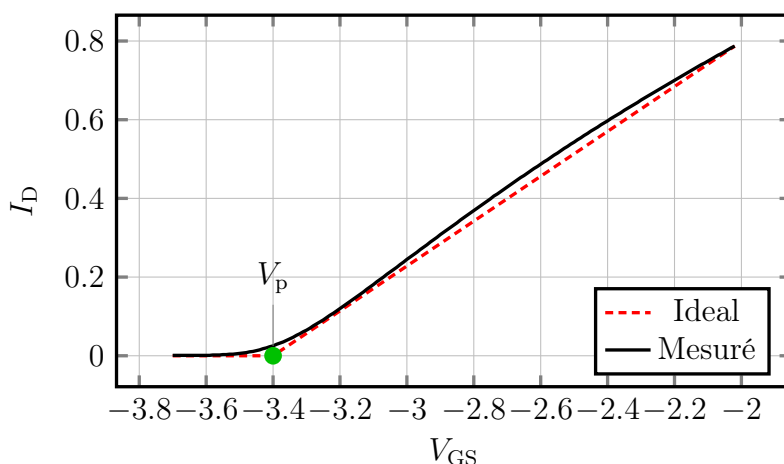


FIGURE 1.11 – Caractéristique $I_{DS} = f(V_{GS})$ statique pour un transistor GaN HEMT

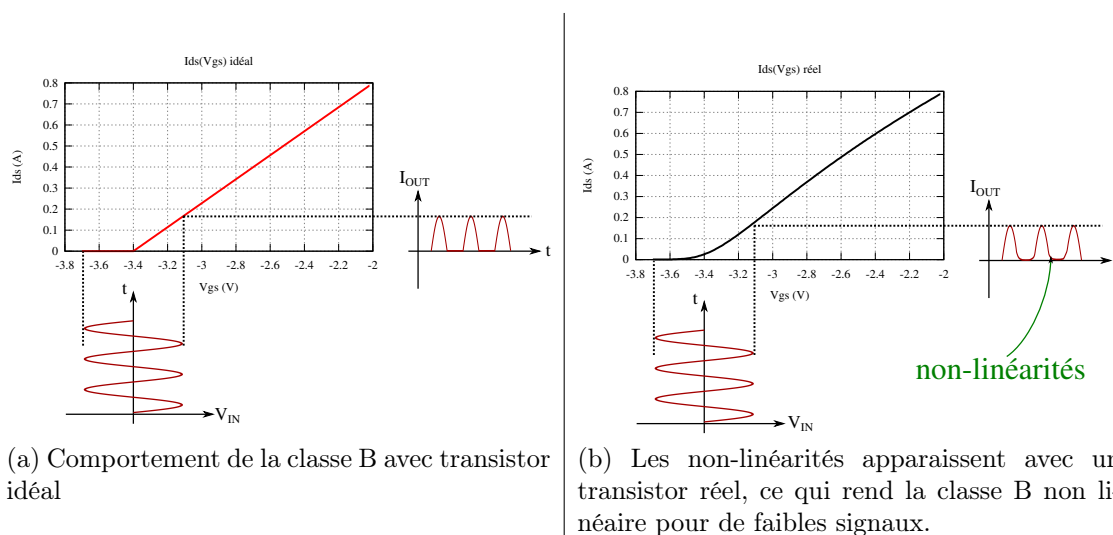


FIGURE 1.12 – Comportement en classe B pour un transistor idéal (a) et réel (b)

Cette technique permet donc d'améliorer le compromis linéarité/rendement de l'amplificateur. Elle présente de plus l'avantage de ne pas nécessiter de circuit de polarisation fournissant de forts courants, puisque la gestion de polarisation porte sur la tension de grille.

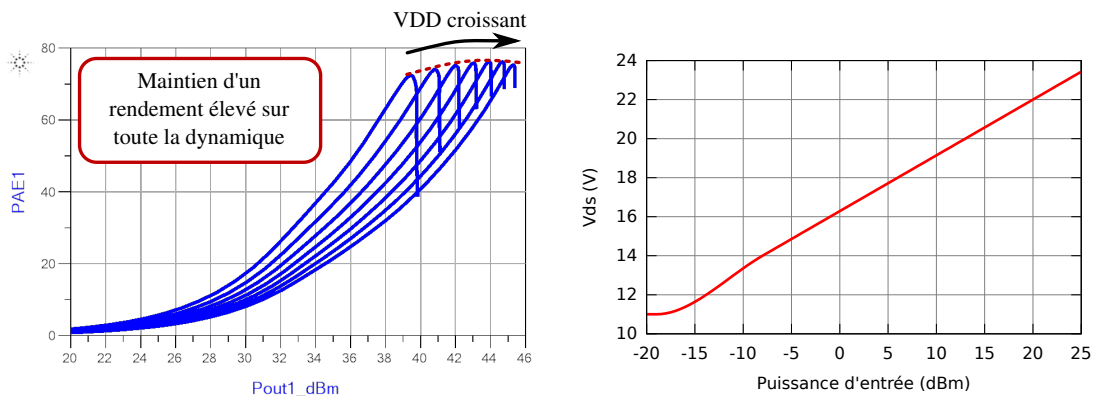
L'ET de grille s'apparente donc à une commande en tension corrélée à l'enveloppe via une Loi de commande.

1.2.2 Envelope Tracking de drain

a) Problématique

Lorsque la puissance instantanée diminue, il est possible de réduire la puissance dissipée en diminuant la tension d'alimentation de drain V_{DS0} . C'est le principe de l'*envelope tracking* de drain.

Le but de l'ET de drain est de faire varier la tension d'alimentation de façon à ce que l'amplificateur soit constamment au voisinage de la zone de compression (figure 1.13a).



(a) PAE en fonction de P_{IN} , pour différents points de polarisation

(b) Loi de commande

FIGURE 1.13 – Extraction de la loi de commande

À chaque puissance d'entrée correspond une tension d'alimentation V_{DS} , ajustée pour que le transistor de puissance soit à la compression. À partir des courbes de puissance est extraite la loi de commande $V_{DS} = f(P_{IN})$: figure 1.13b.

La loi de commande est dans tous les cas intégrée dans un processus de traitement de signal en amont du modulateur de puissance et dont la caractéristique de transfert doit être prise en compte.

b) Solution et principe de mise en œuvre

Ainsi, l'ET de drain remplace l'alimentation fixe de l'amplificateur par une alimentation dont la valeur est corrélée à la puissance instantanée du signal (figure 1.14).

Ce modulateur de polarisation est soumis à trois fortes contraintes qui sont :

- Une forte puissance : le modulateur fournit l'intégralité de la puissance consommée par l'amplificateur. Pour un amplificateur en technologie GaN de gamme 100 W, la norme de tension actuelle est 28 V, pour un courant pouvant atteindre 4 à 5 A.
- Une large bande : la tension en sortie du modulateur varie au rythme de l'enveloppe. Étant donné que la puissance est proportionnelle au carré de

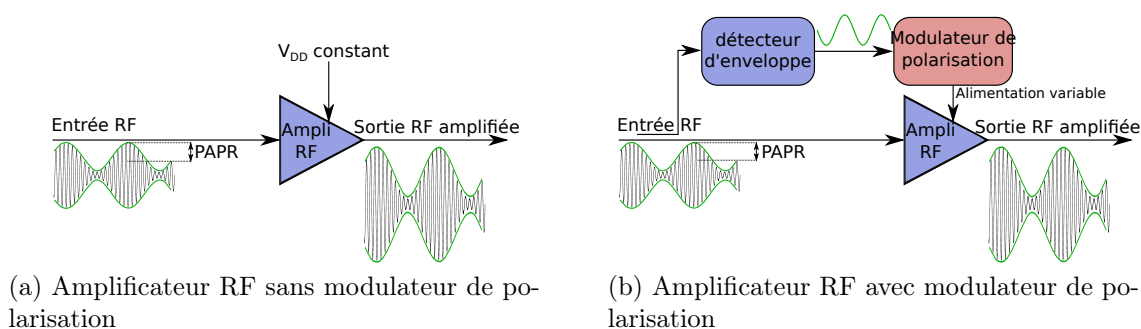


FIGURE 1.14 – Schéma de principe d'un amplificateur avec modulateur de polarisation pour l'Envelope Tracking

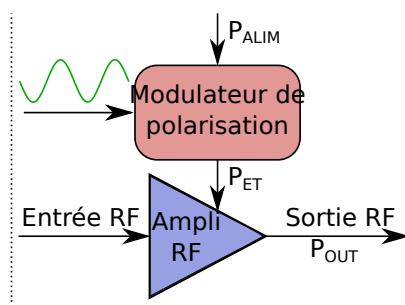


FIGURE 1.15 – Puissances aux accès de l'amplificateur RF et du modulateur de polarisation

l'enveloppe, le spectre de la puissance instantanée est deux fois plus large que celui de l'enveloppe.

- Un rendement élevé : la mise en place de l'envelope tracking n'a d'intérêt que si le rendement du système est supérieur au rendement de l'amplificateur à polarisation fixe.

1.2.3 Estimation de l'augmentation du rendement

Il est possible d'estimer le rendement que l'on peut obtenir avec un amplificateur « tracké » en fonction :

- du rendement η_{Mod} du modulateur de polarisation ;
- de l'augmentation du rendement Δn de l'amplificateur équipé d'un système d'ET « idéal »² par rapport au même amplificateur à polarisation fixe ;
- la PAE de l'amplificateur avec une alimentation constante

La figure 1.15 montre les puissances transitant aux accès du modulateur et de l'amplificateur. Les rendements des différents éléments sont :

2. C'est-à-dire en maintenant l'amplificateur à la compression 100% du temps

$$\eta_{\text{Mod}} = \frac{P_{\text{ET}}}{P_{\text{Alim}}}, \quad \eta_{\text{Amp}} = \frac{P_{\text{OUT}}}{P_{\text{ET}}}, \quad \eta_{\text{Tot}} = \frac{P_{\text{OUT}}}{P_{\text{Alim}}} = \eta_{\text{Mod}} \cdot \eta_{\text{Amp}} \quad (1.6)$$

Avec $\eta_{\text{Amp}} = \eta_{\text{DC}} + \Delta\eta$

Le rendement du modulateur peut s'exprimer par la relation suivante :

$$\eta_{\text{Mod}} = \frac{1}{1 + \frac{\Delta\eta}{\eta_{\text{AmpDC}}}} \quad (1.7)$$

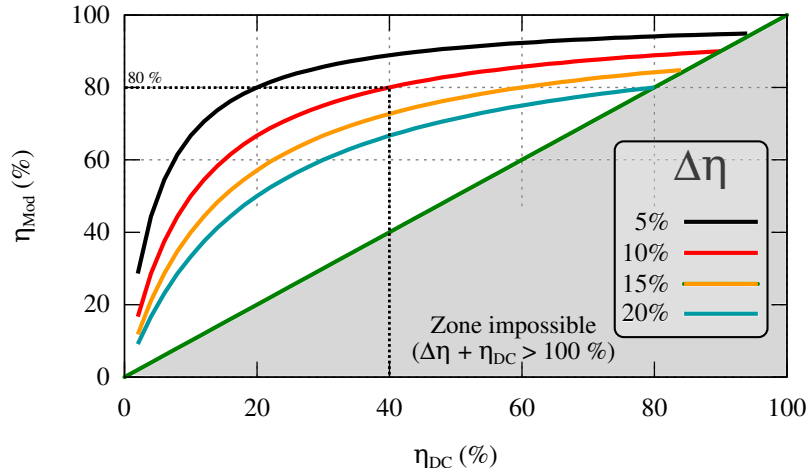


FIGURE 1.16 – Abaque théorique de rendement pour l'ET.

La figure 1.16 est un abaque représentant la formule (1.7). Il permet de réaliser une estimation de l'amélioration en rendement obtenue en fonction des rendements des différents éléments. La zone en gris est la zone impossible (on aurait un rendement final supérieur à 100 %)

— Chaque courbe de couleur représente un $\Delta\eta$, c'est-à-dire l'amélioration du rendement entre les deux situations suivantes :

- l'amplificateur alimenté par un V_{DD} constant
- le même amplificateur avec un modulateur d'ET idéal

Il s'agit là d'une donnée intrinsèque à l'amplificateur. Les valeurs les plus réalistes sont de l'ordre de 10% [17], c'est-à-dire que le rendement de l'amplificateur η_{Amp} augmente de 10 points avec un ET idéal.

- en abscisse, on peut lire le rendement η_{AmpDC} ;
- en ordonnée, le rendement du modulateur.

L'ET n'a un intérêt en terme de rendement que si $\eta_{\text{Tot}} \geq \eta_{\text{AmpDC}}$.

Nous pouvons observer par exemple que pour un amplificateur dont le rendement η_{DC} est de 40% et dont le gain en rendement $\Delta\eta$ possible est de 10 %, il est nécessaire que le rendement du modulateur soit au minimum de 80 % pour que l'ensemble amplificateur et modulateur ait un rendement supérieur à l'amplificateur sous polarisation fixe.

Cette approche reste restrictive car elle n'intègre pas les performances du système en termes de linéarité : seules les considérations énergétiques sont prises en compte. Les valeurs précédentes constituent cependant de bons indicateurs.

1.3 Deux approches pour l'*Envelope Tracking*

Deux approches sont envisageables pour la mise en œuvre de l'ET [18] (figure 1.17) :

1. *Envelope Tracking* Continu : (ETC) pour lequel le modulateur reproduit le plus fidèlement possible et de façon analogique les variations de l'enveloppe ;
2. *Envelope Tracking* Discret : (ETD) pour lequel le modulateur génère des niveaux discrets de polarisation.

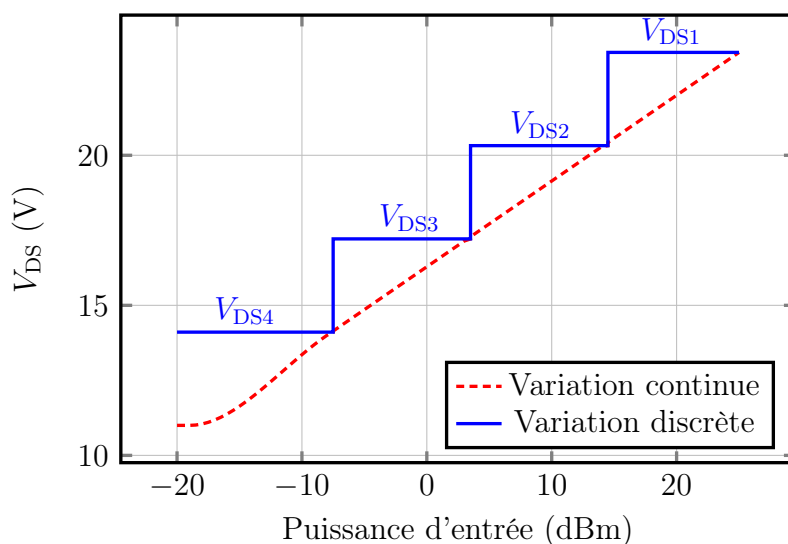


FIGURE 1.17 – En trait continu : commande générée par un système discret, en pointillés par un système continu.

Nous verrons par la suite que l'ETC assure un meilleur suivi de l'enveloppe mais présente l'inconvénient d'être plus complexe à mettre en œuvre lorsqu'il s'agit de monter en fréquence.

1.3.1 *Envelope Tracking* Continu (ETC)

L'ETC repose sur le principe d'une alimentation à découpage (convertisseur DC-DC). Un signal pilote un commutateur (transistor) de puissance. Un filtre passe bas de reconstruction permet de restituer l'enveloppe en réjectant la fréquence d'horloge f_{clk} du signal de commande.

Il existe deux types de signaux de commande :

- PDM (*Pulse Density Modulation*)

— PWM (*Pulse Width Modulation*)

Elles consistent toutes deux en la génération d'un signal de commande qui est amplifié par l'étage de commutation. Un filtrage passe bas (moyen) – dont la fréquence de coupure est légèrement supérieure au f_{\max} de l'enveloppe et inférieure aux fréquences de commutation des signaux PWM ou PDM – est ensuite appliqué au signal commuté de puissance. L'enveloppe du signal est ainsi obtenue, avec une forte tension et un fort courant, donc prêt à alimenter l'amplificateur (figure 1.18).

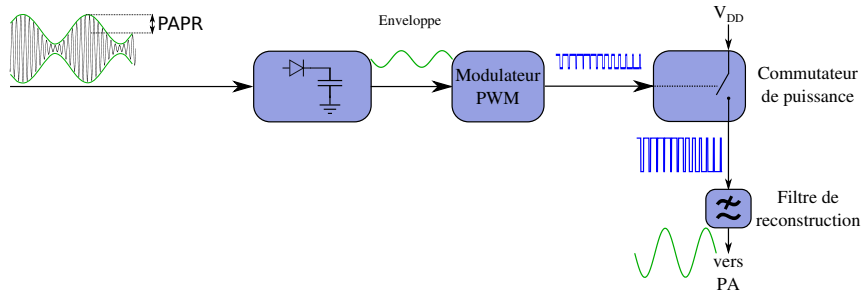


FIGURE 1.18 – Schéma bloc du modulateur PWM

a) **PDM (Pulse Density Modulation)**

La modulation PDM est générée à l'aide d'un convertisseur Σ - Δ . En première approche, on peut expliquer que le convertisseur Σ - Δ génère des impulsions de durée constante, dont la densité est proportionnelle à la valeur instantanée de l'enveloppe. Ainsi un filtrage passe bas permet de récupérer le signal d'enveloppe.

Le principe de fonctionnement du modulateur est visible figure 1.19.

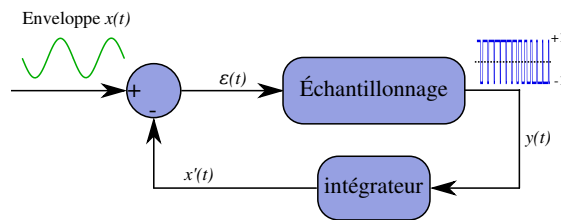


FIGURE 1.19 – Schéma d'un modulateur Σ - Δ d'ordre 1

Cette méthode présente l'inconvénient d'imposer un fort taux de sur échantillonnage ($10 \cdot f_{\max}$ minimum) [18, 19]. En revanche, elle permet une bonne réjection du bruit vers les hautes fréquences, l'éloignant de la fréquence d'enveloppe et rendant donc plus facile le filtrage de ce dernier.

b) **PWM (Pulse Width Modulation)**

La PWM est un signal de commande à fréquence constante, dont le rapport cyclique est proportionnel à l'enveloppe. On peut générer une PWM à l'aide de

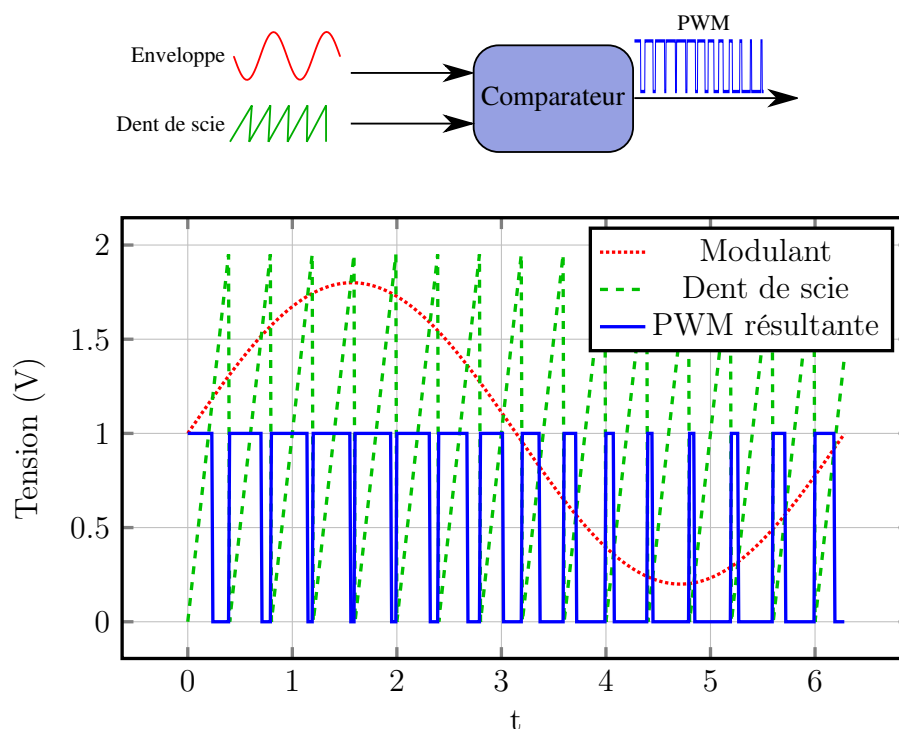


FIGURE 1.20 – Fonctionnement d'un modulateur PWM analogique

circuits analogiques comme de circuits numériques. Nous allons voir comment ces signaux sont générés.

i. Génération analogique Un signal PWM est créé à l'aide d'un comparateur de tensions, d'un signal *triangle* ou *dent de scie* et du signal que l'on veut moduler (figure 1.20).

En pratique, la linéarité du signal PWM, c'est-à-dire la proportionnalité entre le rapport cyclique du signal de sortie et la tension de l'enveloppe en entrée dépend principalement :

- de la qualité du signal dent de scie
- du temps de réponse et du *slew rate* de sortie du comparateur de tensions

Le signal carré en sortie hérite de la fréquence fondamentale du signal dent de scie. Ainsi, de façon empirique le signal dent de scie – dont le fondamental est la fréquence de l'horloge de la PWM – doit avoir une fréquence 8 à 10 fois supérieure au f_{\max} de l'enveloppe. À titre d'exemple, pour amplifier une enveloppe de f_{\max} égal à 10 MHz, le signal dent de scie doit avoir une fréquence de 80 MHz minimum. Mais il ne s'agit là que de fondamental. Le spectre d'un signal dent de scie doit comporter de nombreux harmoniques pour être proche de l'idéal (décroissance spectrale en $\frac{1}{f}$). Il est donc difficile d'obtenir un signal dent de scie de qualité à des fréquences élevées.

ii. Génération numérique Le signal PWM est généré à partir du signal d'enveloppe à l'aide d'un circuit numérique programmable (FPGA, DSP).

Dans notre cas, nous générons un signal PWM à l'aide d'un FPGA. Ce choix a été motivé par la simplicité de programmation d'une modulation PWM au sein d'un FPGA (annexe A).

1.3.2 Envelope Tracking Discret (ETD)

L'Envelope Tracking discret consiste à commuter plusieurs alimentations de valeurs différentes vers la charge, comme le présente l'article [18] de Ludovic Bacqué. La fréquence de commutation est 6 fois supérieure à la fréquence de l'enveloppe (figure 1.21).

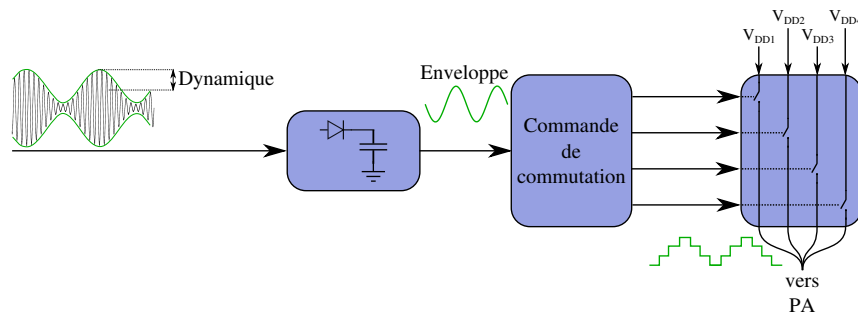


FIGURE 1.21 – Schéma bloc du modulateur à base de commutation d'alimentations

Le choix du nombre de niveaux d'alimentation est le résultat d'un compromis entre l'amélioration du rendement apportée par le système et sa complexité de mise en œuvre. L'amélioration du rendement au-delà de 4 niveaux de commutation est minime et complexifie le système par augmentation du nombre d'unités de commutation (Junxiong Deng, [1]), figure 1.22.

La commutation de 3 ou 4 niveaux d'alimentation s'avère être le meilleur compromis. Les travaux de thèse de S. Forestier [15] appliquent le principe de la commutation à 3 alimentations sur un signal 16-QAM.

Avantages et inconvénients des deux approches

L'ETC présente l'avantage de réaliser un suivi continu de l'enveloppe ainsi, nous le reverrons, de générer moins de non-linéarités au sein de système. En revanche, la présence d'un filtre de reconstruction implique la nécessité d'une parfaite adaptation entre l'impédance du filtre et la résistance de drain présentée par le transistor de puissance. Celle-ci variant en fonction de l'enveloppe, cela constitue un des points durs concernant l'ETC.

L'ETD est moins sensible que l'ETC à la variation résistance de drain du transistor, ce qui facilite sa mise en œuvre. En revanche, les sauts de tension d'alimentation génèrent des non linéarités.

Pour des raisons de simplicité de mise en œuvre, c'est la structure ETD qui a été retenue lors des mesures (chapitre 3).

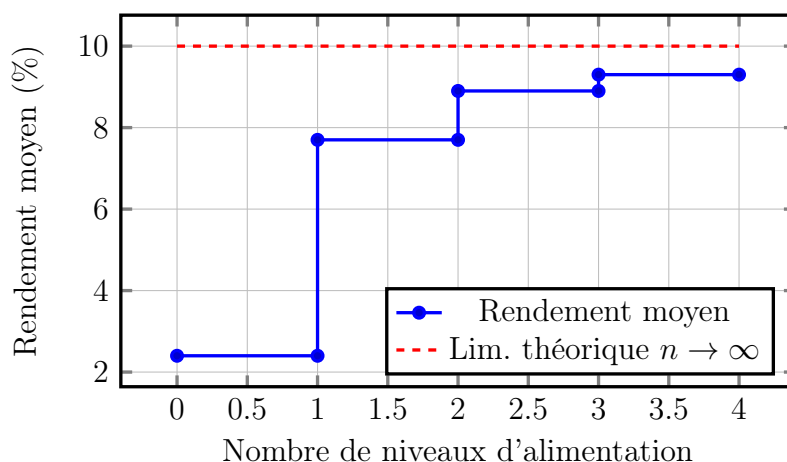


FIGURE 1.22 – Amélioration du rendement en fonction du nombre d'alimentations [1].

1.4 État de l'art des modulateurs de polarisation

Les techniques de gestion de puissance constituent actuellement un domaine très prometteur dans le domaine de l'amplification RF. L'*Envelope Tracking* est une des techniques les plus étudiées dans ce domaine. Nous allons présenter dans ce paragraphe les travaux les plus récents, en focalisant cette recherche bibliographique sur les modulateurs de polarisation de drain.

1.4.1 Hybrid Switching Amplifier (HSA)

a) Présentation de l'architecture

Une grande partie des articles étudiés proposent une variante d'une structure proposée par Asbeck [20], [2] : le HSA. C'est une technique basée sur une commutation asservie à l'enveloppe. Un schéma de principe est visible figure 1.23.

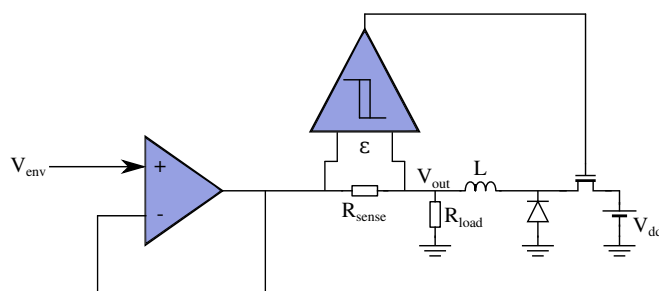


FIGURE 1.23 – Schéma de principe d'un amplificateur DC-DC Hybride [2]

Le HSA est basé sur un montage suiveur recevant l'enveloppe sur l'entrée non inverseuse. On appelle cette partie du montage l'*étage linéaire*.

L'inductance L a pour rôle de lisser le courant dans la charge de façon à reconstruire l'enveloppe à partir du signal commuté. Ce système de suivi d'enveloppe est basé sur une contre-réaction. Le courant dans R_{sense} vaut $I_{\text{sense}} = \frac{V_{\text{out}} - V_{\text{env}}}{R_{\text{sense}}}$. L'entrée du comparateur à hystérésis est la différence $\epsilon(t)$ entre la tension de sortie et l'enveloppe en entrée.

Il est à noter que l'hystérésis du comparateur est indispensable pour éviter les commutations haute fréquence intempestives lorsque $V_{\text{out}} \approx V_{\text{env}}$.

- si $V_{\text{out}} > V_{\text{env}}$, le comparateur bloque le transistor et c'est alors l'inductance L qui prend le relais via la diode de roue libre en se déchargeant dans R_{sense} et dans R_{load} , jusqu'à ce que $V_{\text{out}} < V_{\text{env}}$;
- si $V_{\text{out}} < V_{\text{env}}$ le comparateur sature le transistor et la tension de sortie augmente.

L'enveloppe est ainsi reproduite par un asservissement en tension.

La choix de la résistance R_{sense} a une influence sur la rapidité et la consommation du montage. La puissance instantanée qu'elle dissipe vaut :

$$P_{\text{diss}} = \frac{(V_{\text{out}} - V_{\text{env}})^2}{R_{\text{sense}}}$$

- si elle est élevée, la puissance dissipée dans R_{sense} est faible, mais la constante de temps de la décharge de l'inductance augmente.
- si elle est basse, la puissance dissipée est élevée, mais la bande passante du modulateur augmente

Il y a donc un compromis à trouver entre rapidité et efficacité énergétique.

Une partie des travaux étudiés ici vise à apporter des améliorations à cette architecture, notamment au niveau du courant de contre-réaction qui est une importante cause de dissipation d'énergie [21].

b) État de l'art

Une amélioration apportée au HSA est l'ajout d'un 2ème couple comparateur - *switch*, de manière à contourner la limitation de la constante de temps de l'inductance. L'ajout d'un modulateur PWM entre la sortie du comparateur à hystérésis et le transistor de commutation permet une augmentation significative de la qualité des signaux de sortie.

L'article [2] expose des résultats de simulations électriques et ouvre la perspective à la réalisation de ces circuits.

Cette structure visible figure 1.24 présente deux comparateurs à hystérésis dont la largeur du cycle d'hystérésis est différente et les valeurs des inductances sont différentes. Plus précisément, l'inductance de grande valeur est associée au cycle d'hystérésis le plus étroit et inversement. Le but de cette technique est d'avoir un commutateur lent et un commutateur rapide.

Pour une fréquence de commutation donnée, la valeur « $L \times$ hystérésis » est constante, c'est-à-dire que la largeur du cycle est inversement proportionnelle à la valeur de l'inductance.

Cette technique permet de s'adapter à des enveloppes de *slew rates* variables :

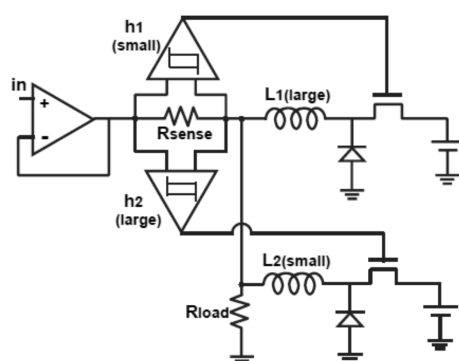
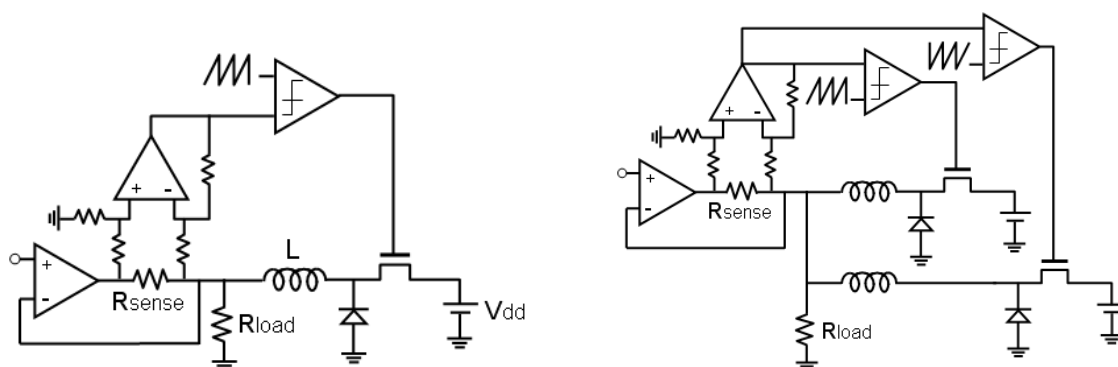


FIGURE 1.24 – Schéma de principe d'un amplificateur DC-DC Hybride à deux comparateurs [2]



(a) Architecture hybride avec modulateur PWM « single phase »

(b) Architecture hybride avec double modulateur PWM « multi phase »

FIGURE 1.25 – Amélioration proposée par l'ajout d'un modulateur PWM [2]

- lorsque le slew rate est faible, le commutateur à faible hystérésis est actif
- lorsque le slew rate est fort, le commutateur à grand hystérésis est actif

Dans un second temps, cette structure a été modifiée de la façon suivante : un modulateur PWM a été intégré entre la sortie du comparateur à hystérésis et la grille du transistor de commutation. Ainsi, le commutateur est piloté par un signal PWM issu de la comparaison entre un signal triangulaire et la sortie du comparateur à hystérésis (figure 1.25).

Les mesures indiquent que la version single-phase est meilleure que la version double phase sans PWM, l'ondulation en courant étant plus faible.

L'article de Junghwan Son et Jungjoon Kim [3] met en œuvre un modulateur hybride conçu pour l'amplification d'un signal WiMAX de bande 5 MHz et de PAPR 7.5 dB, autour d'une porteuse à 3.5 GHz.

L'originalité de ces travaux réside dans le remplacement de la mesure de courant à l'aide d'une résistance par un système à base de comparateurs de tensions figure 1.26.

Les performances en rendement obtenues sur le modulateur d'ET proposé fi-

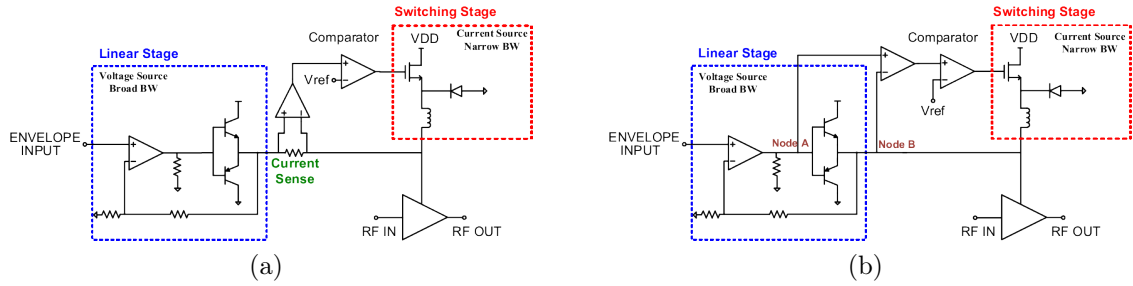


FIGURE 1.26 – Comparaison entre la structure conventionnelle (a) et la structure mise en œuvre (b) [3]

gure 1.26b sont :

- 82.9 % pour $R_L = 10 \Omega$
- 83.0 % pour $R_L = 14.7 \Omega$
- 79.4 % pour $R_L = 20 \Omega$

La puissance moyenne de sortie de l'amplificateur « tracké » est de 40 dBm.

À cette puissance moyenne et avec le signal WiMAX (7.5 dB de PAPR et 5 MHz de largeur de bande), l'amplificateur équipé du système d'ET délivre un rendement global $\eta_{\text{tot}} = 35.5 \%$ pour un rendement du PA à la compression de 46.5 %.

L'ACPR mesuré est de 32.7 dB, qui atteint 43.9 dB après ajout d'une pré distorsion.

Les mêmes auteurs proposent (figure 1.27) une autre amélioration de l'architecture hybride classique [4]. Les mesures ont été effectuées avec un signal LTE de 6.5 dB de PAPR et 10 MHz de bande et une puissance de sortie moyenne de 40 dBm.

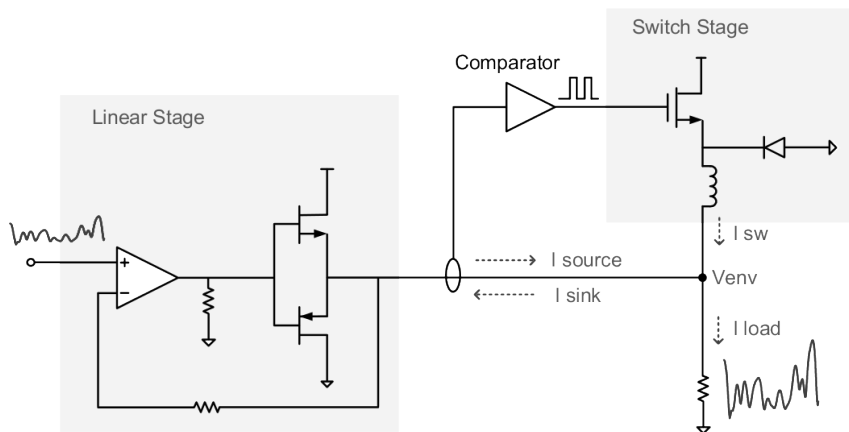


FIGURE 1.27 – Schéma simplifié de l'architecture proposée [4]

Les résultats obtenus sont : un rendement de drain de 58% de l'amplificateur « tracké », avec un rendement du modulateur hybride de 80%. Le rendement de l'ensemble est donc $\eta_{\text{tot}} = \eta_{\text{Mod}} \cdot \eta_{\text{Amp}} = 46\%$.

La publication [22] de Chin Hsia et Anding Zhu présente une architecture où l'étage de commutation est composé de deux commutateurs, un principal et un auxiliaire.

Le commutateur principal est directement piloté par un DSP, alors que le commutateur auxiliaire est piloté, comme sur une architecture hybride conventionnelle, par un comparateur à hystérésis prenant le courant en sortie de l'étage linéaire comme valeur d'entrée.

Cette architecture permet d'atteindre les performances suivantes sur un signal de W-CDMA 10 MHz de bande, avec un PAPR de 6.6 à 9.6dB :

- la PAE globale η_{tot} atteint 53%.
- l'ACPR atteint, après pré distorsion et correction des effets mémoire, 55dBc.
- la puissance de sortie est de 43 dBm pour un gain de 10 dB

La commutation à haute fréquence est génératrice de pertes importantes et constitue une des problématiques fondamentales de la commutation de puissance.

Une solution pour les amplificateurs de forte puissance à destination des stations de base est proposée par l'article [5] (figure 1.28).

La solution proposée consiste en la mise en parallèle d'un amplificateur linéaire et d'un étage de commutation. L'étage de commutation est en charge des basses fréquences et fortes puissances, alors que l'étage linéaire traite les faibles puissances et hautes fréquences.

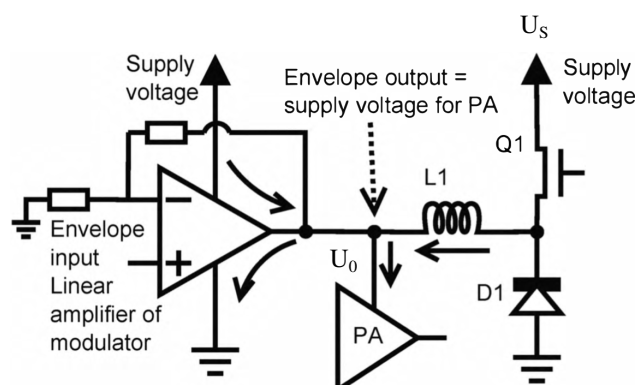


FIGURE 1.28 – Schéma simplifié du modulateur [5]

L'étage linéaire et l'étage de commutation de puissance sont isolés entre eux par l'inductance L_1 . En effet, la fréquence de travail de l'étage linéaire est environ 1000 fois supérieure à la fréquence de l'étage de commutation. L'inductance a donc le comportement d'un circuit ouvert face au signal généré par l'étage linéaire.

L'étage de commutation de ce modulateur fonctionne à basse fréquence : en dessous de 1 MHz. À ces fréquences, on peut envisager d'excellents rendements (autour de 95%).

Le fonctionnement à basse fréquence et forte tension de l'étage de commutation implique une ondulation en courant, que l'étage linéaire devra compenser, ce qui génère des pertes. L'article [5] estime ces pertes, en supposant que l'étage linéaire compense entièrement ces ondulations (équation (1.8)).

$$P_{\text{loss}} = \frac{U_O^2 \cdot (U_S - U_O) + U_O \cdot (U_S - U_O)^2}{8 \cdot U_S L_1 F_S} \quad (1.8)$$

Où :

- U_O est la tension de sortie de modulateur ;
- U_S la tension d'alimentation ;
- L la valeur de l'inductance ;
- F_S la fréquence de commutation

Afin d'améliorer le rendement, la loi de commande de l'étage d'amplification est modifiée, ce qui apporte un gain en rendement et en linéarité. Cette nouvelle méthode permet un gain de 20 points de rendement.

Ce modulateur a été réalisé à l'aide de composants commerciaux.

Les publications évoquées jusqu'ici traitent d'*envelope tracking* pour des signaux de type LTE. Un amplificateur d'enveloppe conçu pour travailler avec des signaux de type W-CDMA est présenté dans [6] et visible figure 1.29. Sa particularité est d'être à large spectre. le PAPR du signal utilisé ici est de 6.6 dB.

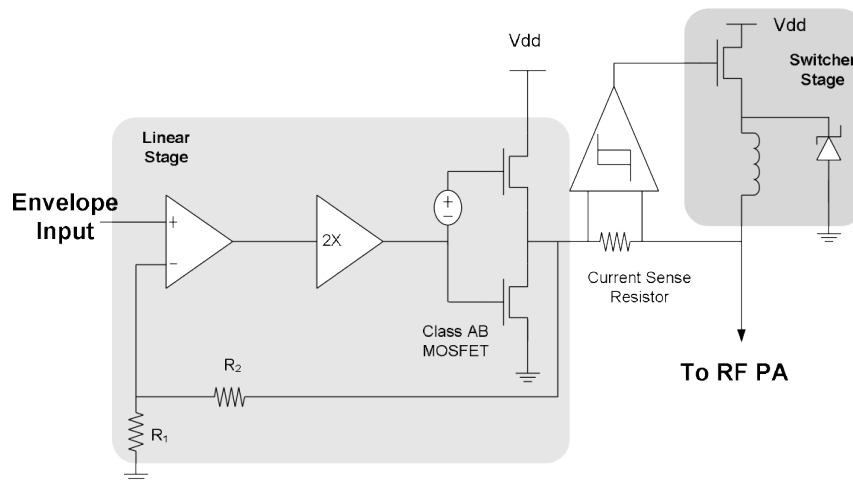


FIGURE 1.29 – Schéma bloc du modulateur [6]

Il est expliqué que spectralement, 85% de l'énergie du signal est contenue dans quelques centaines de kilohertz. Cette partie peut donc être prise en charge par l'étage de commutation. Le reste est pris en charge par l'étage linéaire, qui est en parallèle de l'étage de commutation (de la même façon que [5]).

Les performances obtenues sont, pour une largeur spectrale de 10 MHz, un PAPR de 6.6 dB et une fréquence porteuse de 752 MHz, un rendement total de la chaîne de 31% et une puissance de sortie de 2 à 4 W, avec un ACPR de 37 à 50.6 dBc avant pré distorsion et 47.5 à 52 dBc après pré distorsion numérique.

c) Récapitulatif

La tableau 1.1 récapitule les performances des différentes variantes de structures hybrides proposées.

Article	Rdt η	V_{alim}	B. Passante	PAPR	ACPR	$\langle P_{\text{OUT}} \rangle$
[2]	Description du circuit et simulation uniquement					
[3]	82 %	30 V	5 MHz	7.5 dB	32.7 dBc	40 dBm
[4]	80 %	30 V	10 MHz	6.5 dB	55 dBc	43 dBm
[5]	77 %	28 V	20 MHz	7.5 dB	58 dBc	50.8 dBm
[6]	25-31 % (total)	28 V	5 (10) MHz	6.6 dB	47.5 (52) dBc, DPD	33-36 dBm
[7]	73 %	28 V	20 MHz	7.7 dB	?	35.2 dBm

TABLE 1.1 – Tableau résumant les résultats des différents articles.

N.B. : le rendement mesuré est le rendement du modulateur seul et la puissance $\langle P_{\text{OUT}} \rangle$ est la puissance RF moyenne en sortie de l'amplificateur « tracké ». Lorsque la puissance est écrite en **gras**, il s'agit de la puissance en sortie du modulateur.

1.4.2 Architecture *bootstrap* intégrée

Young-Pyo Hong propose, dans l'article [7], un modulateur de polarisation pour les amplificateurs de faible puissance (3.3 W en puissance moyenne en sortie du modulateur). Il est conçu pour fonctionner avec des signaux modulés type LTE (≈ 7.5 dB de PAPR et 20 MHz de bande passante).

Il fonctionne, comme tous les amplificateurs d'enveloppe évoqués jusqu'ici, à l'aide de transistors utilisés en commutation. Ces derniers sont pilotés à l'aide d'un signal PWM de fréquence d'horloge 200 MHz.

Les structures de type HSA vues précédemment présentent les pertes les plus importantes au niveau de l'étage linéaire (celui qui est en charge des hautes fréquences). Le but de cette structure est de pallier cet inconvénient.

Il s'agit de commander la commutation de puissance avec une fréquence d'horloge constante et un rapport cyclique variable (signal PWM). L'enveloppe est ensuite récupérée à l'aide d'un filtrage passe bas éliminant la fréquence d'horloge et ses harmoniques. Le schéma de ce modulateur est visible figure 1.30.

La figure 1.31a fait état des signaux mesurés en différents points du circuit.

La fréquence du signal sur les accès $V_{\text{IN}}(t)$ est de 200 MHz à rapport cyclique constant généré à l'aide de Matlab.

Il est à noter que ce montage est intégré sur un seul circuit, ce qui permet d'utiliser des pistes plus courtes, donc de monter plus haut en fréquence.

1.4.3 Méthodes de réduction des contraintes sur le convertisseur DC-DC

Indépendamment des performances du convertisseur DC-DC, Jinseong et Kimball [8] proposent une solution pour relâcher la contrainte de bande passante sur le modulateur (figure 1.32).

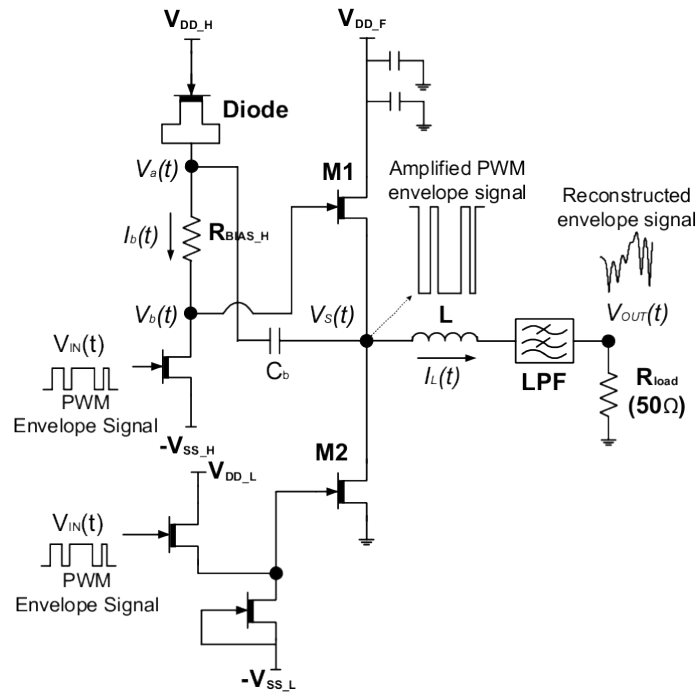
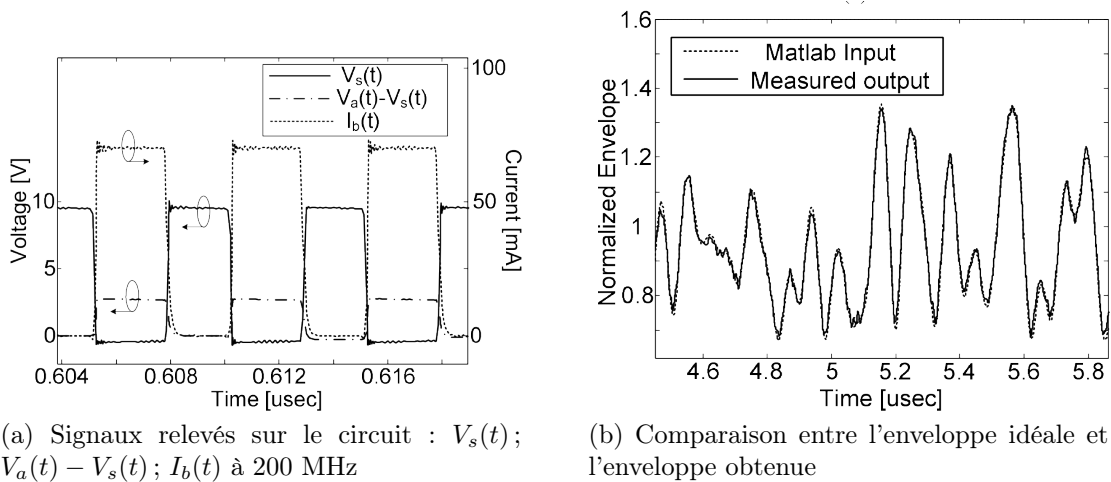


FIGURE 1.30 – Schéma du modulateur de polarisation proposé [7]

a) Réduction de la bande passante

L'algorithme proposé génère une forme d'onde de tension telle que $V_{DD}(t) \geq V_{ENV}(t)$ (figure 1.33), entraînant une légère perte de rendement par rapport à l'ET classique. Cela constitue la contrepartie de la simplification du modulateur de polarisation.



(a) Signaux relevés sur le circuit : $V_s(t)$; $V_a(t) - V_s(t)$; $I_b(t)$ à 200 MHz

(b) Comparaison entre l'enveloppe idéale et l'enveloppe obtenue

FIGURE 1.31 – Signal de commutation et signaux enveloppe d'entrée/sortie [7]

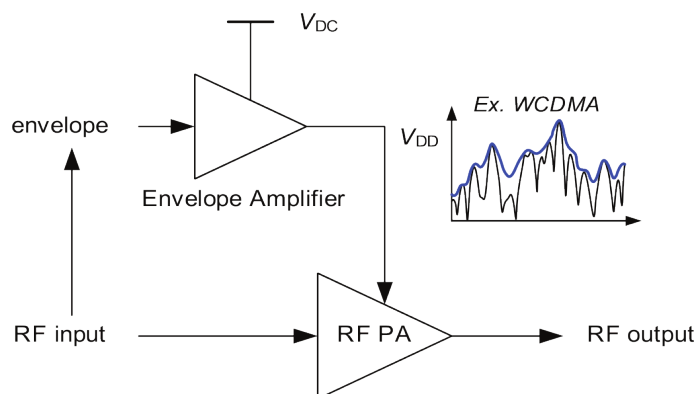


FIGURE 1.32 – Schéma du système d'ET à bande passante réduite.

$V_{DD}(t) \geq V_{ENV}(t)$ est imposé par le fait que si la tension d'alimentation est trop faible par rapport à la valeur de l'enveloppe (c'est-à-dire la puissance instantanée attendue en sortie), l'amplificateur va saturer et fonctionner en zone non linéaire. Il en résulterait une déformation du signal amplifié, c'est-à-dire une non linéarité.

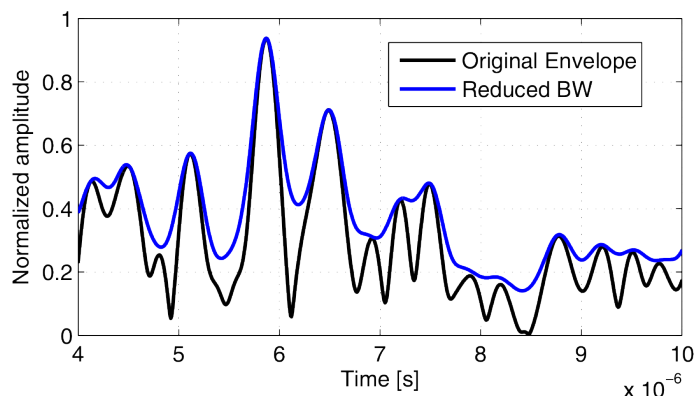


FIGURE 1.33 – Signal $V_{DD}(t)$ avec bande passante réduite [8]

L'architecture chargée de réduire la bande passante de la tension de polarisation est donnée figure 1.34.

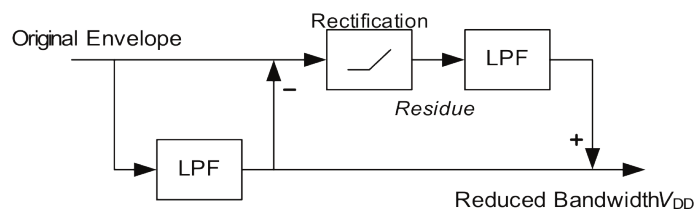


FIGURE 1.34 – Dispositif de réduction de la bande passante du signal d'entrée [8]

La procédure décrite figure 1.34 doit être itérée jusqu'à ce que la condition $V_{DD}(t) \geq V_{ENV}(t)$ soit respectée.

Ces travaux mènent à une réduction de 20 MHz à 5 MHz de la bande passante exigée pour le convertisseur DC-DC.

Une perte d'environ 3 points de PAE est constatée : 50.0% au lieu de 52.9%. L'ACPR passe de 46.4dB à 41.4dB.

Cette méthode permet donc de réduire les exigences en terme de bande passante auxquelles le modulateur de polarisation doit faire face, avec des réductions de performances modérées.

b) Réduction du *Slew rate*

Une autre voie a été explorée : une diminution du *slew rate* de la tension d'alimentation de l'amplificateur (article [9] de Montoro et Gilabert). Le signal à *slew rate* limité doit être supérieur ou égal au signal d'enveloppe originel.

Ce signal est généré selon l'algorithme suivant :

- soit $E(n)$ l'enveloppe à l'instant n et $E_s(n)$ le signal à *slew rate* limité généré par l'algorithme au même instant (où n est l'index du symbole : $n = t/T_S$). Le signal échantillonné $E(n)$ est généré à l'aide d'un DSP ;
- soit Δ_M la variation maximale de l'enveloppe générée respectant la contrainte de *slew rate* limité et $N = \left\lceil \frac{1}{\Delta_M} \right\rceil$ en tenant compte du fait que la dynamique de l'enveloppe soit normalisée à 1 ;
- $\forall n, E_s(n) \geq E(n)$;
- soit la suite $y(n) = \max_{1 \leq i \leq N} \{E(n+i) - i \cdot \Delta_M\}$;
- le signal $E_s(n)$ vaut : $\max\{y(n); E_s(n-1) - \Delta_M\}$
- $E_s(n)$ est filtré par un passe bas afin d'obtenir le signal $E_{sf}(n)$ (figure 1.35).

Il faut noter que plus on veut limiter le *slew rate* du signal E_s plus N est grand. Or, pour générer l'échantillon $E_s(n)$, il faut connaître les N suivants. La conséquence est que l'algorithme retarde la génération du signal d'alimentation de $N \cdot T_S$.

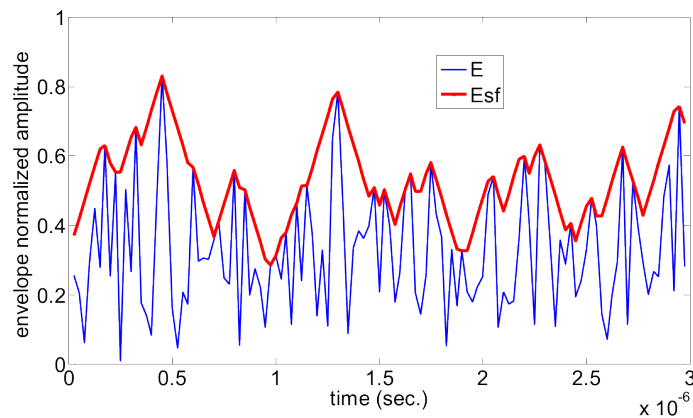


FIGURE 1.35 – En bleu : signal d'enveloppe originel $E(n)$ et en rouge, le signal généré $E_{sf}(n)$ [9]

Concernant la valeur du *slew rate* maximum imposée pour le signal de sortie, il

existe un compromis à trouver :

- si celui-ci est élevé ($\Delta_M \approx 1$), le signal est fidèle à l'enveloppe $E(n)$ originale, le gain en rendement sur le PA est important mais la contrainte sur le modulateur de polarisation change peu ;
- si celui-ci est faible, le signal de sortie est fortement limité en *slew rate* ce qui a l'avantage de fortement relâcher la contrainte sur le modulateur de polarisation et l'inconvénient de diminuer le gain en rendement du PA « tracké ».

L'article [23] des mêmes auteurs présente les résultats expérimentaux et la validation de ce principe. Le signal utilisé est un modulateur OFDM de largeur de canal 5 MHz centré sur 2 GHz.

Le tableau 1.2 récapitule les différences de performances obtenues selon les différentes stratégies d'alimentation de l'amplificateur de puissance. Il ressort de ces mesures que l'*envelope tracking* peut faire gagner de 14 à 22 points de rendement selon le cas (SR limité ou non ; pré distorsion ou non).

	ACPR (L, U)	EVM (%)	P_{alim}	P_{outmoy}	η
PA, alim fixe	-29.6, -29.7		1.98 W	0.2 W	12.9 %
PA, ET, env. brute	-24.2, -24.6		0.73 W	0.25 W	34.7 %
PA, ET, env. brute, DPD	-32.8, -30.7	1.95	0.81 W	0.25 W	31.2 %
PA, ET, env. lente	-29.3, -29.3		0.93 W	0.25 W	27.2 %
PA, ET, env. lente, DPD	-28.4, -28.4	6.68	0.89 W	0.25 W	28.4 %

TABLE 1.2 – Comparatif des performances obtenues

L'ACPR est donné à gauche (**L**ower) et à droite (**U**pper)

La DPD fait perdre 1 point de rendement.

En l'absence de DPD, la diminution du *slew rate* fait perdre 7.5 points de rendement. Avec DPD, la diminution du *slew rate* fait perdre 2.8 points de rendement.

c) Réduction du *slew rate* et de la bande passante

La réduction de la bande passante passe par l'utilisation de filtres imposant un temps de propagation au signal. L'enveloppe à bande limitée est donc retardée par rapport à l'enveloppe initiale. La réduction du *slew rate* seul ne limite pas la bande passante de la tension que doit transmettre le convertisseur DC-DC.

C'est pour cette raison qu'une autre méthode de réduction des exigences imposées au modulateur DC-DC est proposée par [10].

Une architecture hybride (étage linéaire accompagné d'un étage de commutation de puissance) est utilisée dans ce papier, associée à une pré distorsion numérique (figure 1.36).

La pré distorsion utilisée ne peut être une simple pré distorsion polynomiale dont le comportement est invariant dans le temps. Celle-ci doit prendre en compte les variations de la tension d'alimentation. Les variations de tension d'alimentation sont rapides et imposent de tenir compte des effets mémoire du PA.

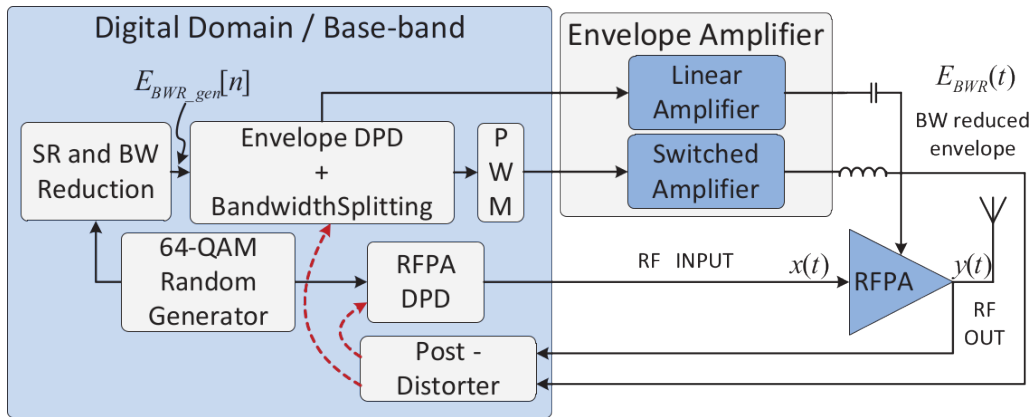


FIGURE 1.36 – Schéma représentant la chaîne d'amplification [9]

i. Filtrage La publication [10] propose un algorithme inspiré de celui proposé par l'article [9] auquel un filtrage passe bas est ajouté. En effet, la seule diminution du slew rate ne limite pas l'étendue spectrale de la tension d'alimentation produite par le convertisseur DC-DC. De plus, celle-ci introduit la présence de points anguleux (signal SRRE sur la figure 1.37) ce qui, spectralement a pour conséquence d'ajouter des composantes hautes fréquences.

Afin de pallier cet inconvénient, un filtrage moyennneur est appliqué au signal, il en résulte le signal vert de la figure 1.37.

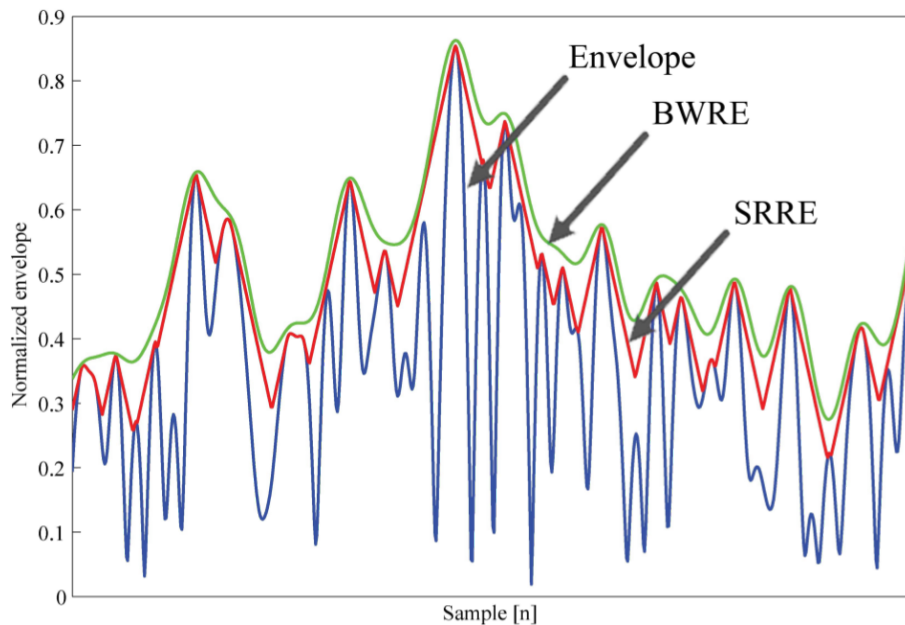


FIGURE 1.37 – Signal à enveloppe réduite (BWRE) [10]

L'article [10] ajoute un filtre moyennneur utilisant, à l'instant n , les échantillons

compris dans l'intervalle $\left[n - \frac{M}{2}; n + \frac{M}{2} \right]$ avec $M = \frac{1}{T_S \cdot BW}$.

ii. Résultats expérimentaux Le signal utilisé pour réaliser les mesures est un signal 64-QAM de bande passante d'enveloppe 30 MHz.

Le PAPR de l'enveloppe passe de 7.17 à 5.03 dB et sa bande passante passe de 30 MHz à 2 MHz.

Le rendement de l'amplificateur d'enveloppe s'en trouve sensiblement amélioré. En effet, celui-ci passe de 77% avec l'enveloppe $E(n)$ à 83% pour le signal d'enveloppe généré par l'algorithme. L'ACPR varie de moins de 1 dB.

Le rendement global de la chaîne d'amplification (modulateur de polarisation et amplificateur RF) passe de 22% avec un suivi rigoureux de l'enveloppe à 20% avec la limitation de bande passante. Ce soulagement de contrainte au niveau du modulateur de polarisation s'effectue au prix d'une perte de rendement global de 2 points.

En conclusion, les algorithmes vus dans ces articles peuvent facilement être implémentés dans un FPGA et l'allègement des contraintes sur le modulateur de polarisation est significatif. Ceci est en général au prix d'une baisse en rendement de l'amplificateur de puissance : il est « tracké » de façon légèrement moins fidèle.

Conclusion

Après avoir présenté les différentes structures de modulateurs dédiés à l'*enveloppe tracking*, nous avons pu établir un état de l'art des résultats obtenus dans ce domaine.

Ce chapitre met en évidence les difficultés liées aux contraintes de puissance, de vitesse et de rendement imposées au niveau du circuit de gestion de polarisation. Actuellement, les dispositifs publiés font état, pour de fortes puissances, de quelques mégahertz de bande passante. Dès lors que les fréquences d'enveloppe augmentent, le rendement diminue fortement.

Par ailleurs, les topologies de circuits les plus performantes proposées dans la littérature sont peu nombreuses et pour la plupart développées autour de la structure HSA (*Hybrid Switching Amplifier*).

C'est dans ce contexte que nous proposons, dans ce travail de thèse, l'utilisation d'une cellule de commutation de puissance à haute vitesse.

Ce dispositif, développé au laboratoire XLIM, sera analysé en détail dans le chapitre 2 puis utilisé comme brique de base pour la conception de modulateurs de polarisation.

Chapitre 2

La cellule de commutation

Introduction

Afin de limiter les pertes énergétiques dans les systèmes de télécommunication sans fil, il est nécessaire de réaliser un convertisseur DC-DC (ou modulateur de polarisation) fournissant la puissance nécessaire à l'alimentation du PA sur une gamme de fréquences allant du DC à plusieurs MHz.

Les solutions explorées dans cette thèse sont des modulateurs de polarisation conçus à partir d'une cellule élémentaire originale, qui sera l'élément de commutation de puissance.

Cette cellule est constituée de deux transistors PHEMT *normally-on* en technologie GaN (T_1 et T_2) et de trois résistances (R_1 , R_2 et R_S).

Mes travaux de thèse portent sur l'étude et la mise en œuvre de cette cellule de commutation originale proposée dans la thèse de Ludovic Bacqué [19]. Ce circuit permet de commuter de fortes puissances à des vitesses élevées. Nous allons dans un premier temps détailler son fonctionnement statique et dynamique.

Nous poursuivrons par une analyse en simulation sous le logiciel ADS. Ce chapitre se terminera sur les résultats expérimentaux obtenus suite à la conception d'une cellule hybride de forte puissance.

2.1 Transistors HEMT GaN

2.1.1 Structure physique

Les transistors utilisés au sein de la cellule sont des transistors HEMT (*High Electron Mobility Transistor*) GaN (Nitrure de Gallium).

Ce sont des transistors à *hétérojonction* fabriqués par la société Alcatel-Thalès III-V Lab.

La technologie GaN est ici retenue car elle permet des tensions de sortie élevées et des vitesses de commutation élevées, ces deux critères étant déterminants pour notre application.

La tension de pincement V_p varie de -7 à -1.4 V selon les transistors et cette technologie autorise fonctionner les fortes tensions drain source V_{DS} (supérieures à 50 V).

Enfin, les transistors issus de cette technologie présentent de très faibles capacités parasites relatives C_{GS} et C_{GD} .

La figure 2.1 représente la vue en coupe d'un transistor HEMT (High Electron Mobility Transistor).

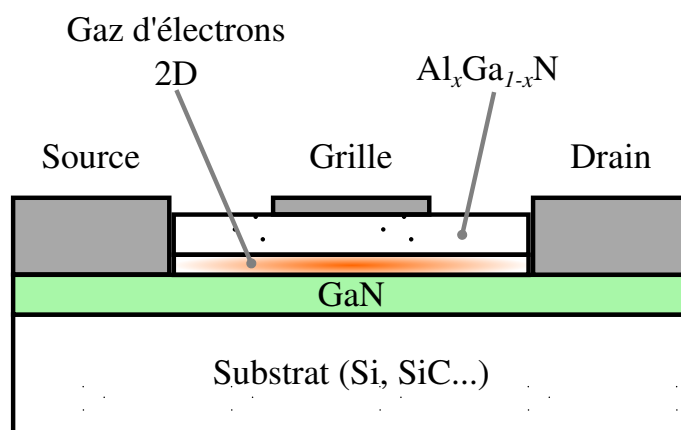


FIGURE 2.1 – Schéma physique d'un HEMT GaN

Le transistor HEMT fait varier le courant de saturation en contrôlant la quantité de porteurs dans le canal à la différence d'un MESFET qui agit sur la section du canal par l'intermédiaire d'une zone de charge d'espace [24]. Le fonctionnement d'un HEMT GaN est expliqué en détails par exemple dans la thèse de Christophe Charbonniaud [24].

Il est important de noter que le canal d'un transistor *normally on* est :

- **passant** lorsque $V_{GS} > V_p$;
- **pincé** lorsque $V_{GS} < V_p$.

Ceci traduit donc que lorsque la tension V_{GS} est nulle, le canal du transistor est ouvert.

2.1.2 Modèle électrique non linéaire

Nous allons présenter dans ce paragraphe le modèle électrique utilisé lors de l'analyse théorique ainsi que lors des simulations de la cellule de commutation.

Le modèle utilisé est le modèle équivalent en éléments localisés représenté figure 2.3 dans sa version non linéaire.

Le modèle est composé de deux parties :

- les éléments intrinsèques, relatifs au transistor ;
- les éléments extrinsèques, relatifs aux éléments parasites dus aux accès du transistor.

Il intègre les non linéarités des capacités C_{GS} et C_{GD} extraites des mesures RF en impulsionnel ; les diodes grille drain, grille source et avalanche, modélisent le courant

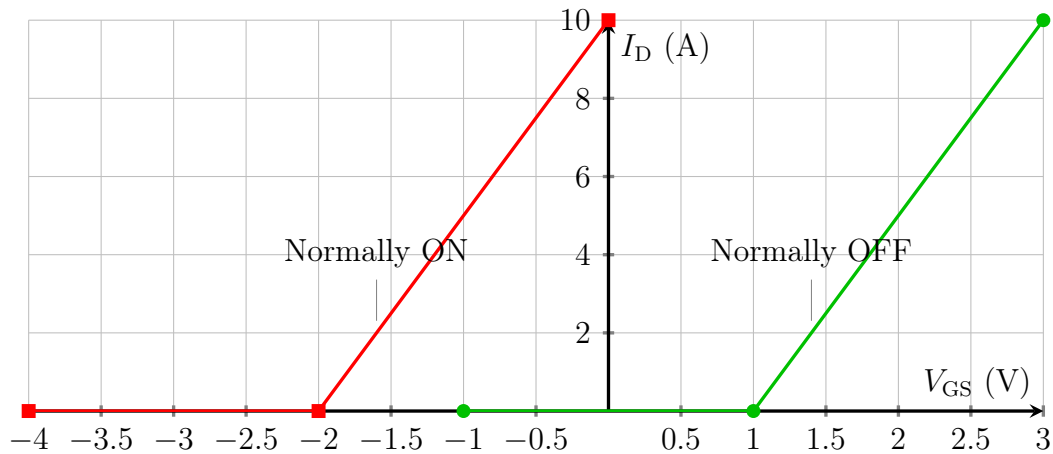


FIGURE 2.2 – Comparaison entre la caractéristique $I_D = f(V_{GS})$ d'un transistor *normally on* et *normally off*

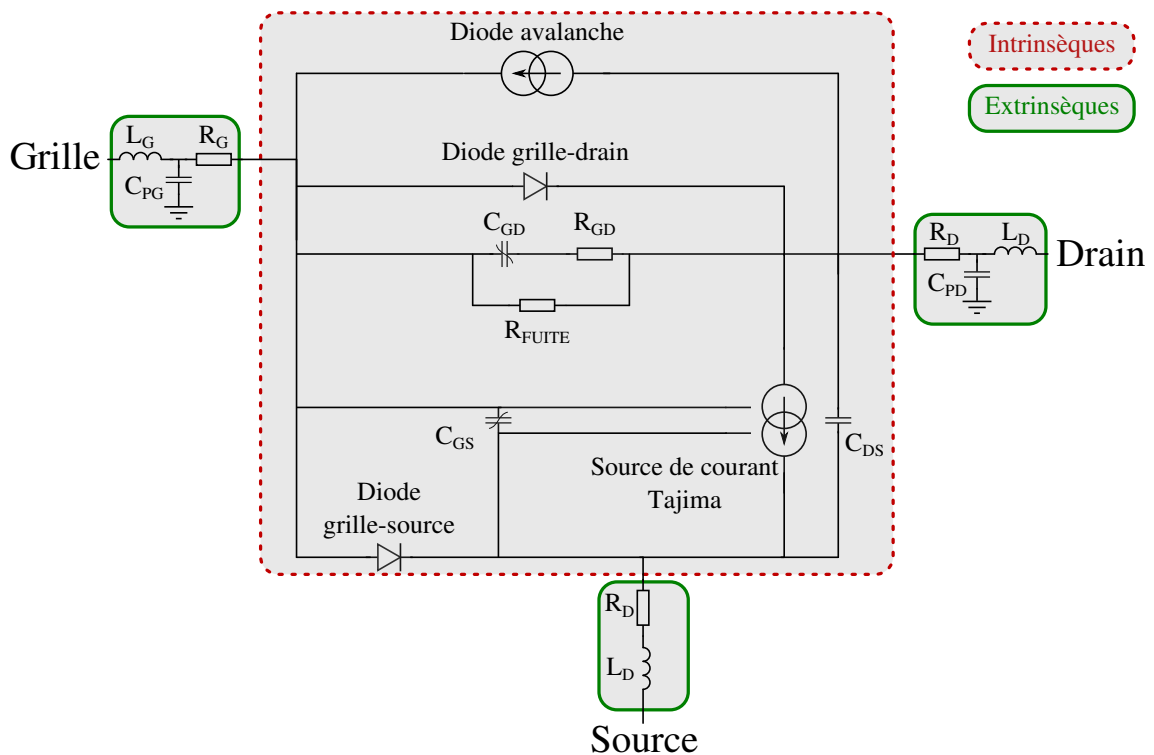


FIGURE 2.3 – Schéma du modèle non linéaire utilisé pour les transistors GaN

de grille. Le modèle contient également l'effet fondamental du transistor : le courant de drain $I_D = f_{NL}(V_{GS}, V_{DS})$. Ces éléments sont intégrés sous forme d'équations mathématiques possédant plusieurs paramètres ajustables.

Le modèle a été extrait suivant différentes étapes dont la méthodologie est décrite de façon détaillée dans [24] et [25].

La méthode consiste dans un premier temps à extraire un modèle petit signal (c'est-à-dire un modèle dans lequel tous les éléments sont linéaires). Le modèle non linéaire est ensuite réalisé par modélisation correctrice en jouant sur les paramètres des équations phénoménologiques, avec pour but de faire coïncider le modèle aux résultats des mesures pulsées.

Les éléments intrinsèques du modèle représentent le fonctionnement de la zone active du transistor, alors que les éléments extrinsèques représentent les éléments relatifs à l'accès au transistor [26].

La modélisation des transistors est ici utilisée à des fins particulières : la commutation. Ceci élargit le domaine de validité exigé au niveau des modèles.

En commutation, le couple $(V_{GS}; I_D)$ peut prendre des valeurs que l'on ne rencontre pas en RF. Les simulations montrent par exemple que V_{DS} peut prendre des valeurs négatives.

Le modèle linéaire n'est pas suffisant pour décrire le composant le long du cycle de charge (figure 2.4a).

L'hypothèse selon laquelle les éléments du modèle sont constants n'est plus vérifiée. C'est pourquoi on introduit une variabilité de certains éléments (C_{GS} , C_{GD}) et un modèle de source de courant non linéaire : le modèle de Tajima [27].

À titre d'exemple, l'équation de la capacité $C_{GS}(V_{GS})$ est visible équation (2.1).

$$C_{GS}(V_{GS}) = C_0 + \frac{1}{2}((C_1 - C_0) \cdot (1 + \text{th}(a \cdot (V_{GS} + V_m))) - C_2 \cdot (1 + \text{th}(b \cdot (V_{GS} + V_p)))) \quad (2.1)$$

Où les paramètres qui sont à accorder afin de faire correspondre le modèle au comportement du composant sont :

- Les coefficients C_0 , C_1 et C_2 , en F ;
- a et b , en V^{-1} ;
- V_p et V_m , en V.

Comme on peut le constater figure 2.4, les zones de fonctionnement présentent des différences entre la RF et la commutation.

- en RF : le cycle de charge figure 2.4a est bien délimité et le temps passé dans chaque zone est proche de l'équirépartition ;
- en commutation (figure 2.4b), non seulement le lieu des couples $(V_{GS}; I_D)$ n'est pas le même, mais de surcroît, il n'y a pas équirépartition. En effet, les points sombres (rouges) correspondent aux états établis : une large majorité du temps est passée en ces points. La zone verte n'est qu'une zone de transition lors de laquelle la tension V_{DS} peut prendre des valeurs négatives. En résumé contrairement à une application RF, la maîtrise des lieux de passage du couple $(V_{GS}; I_D)$ n'est pas observée.

Ce sont ces raisons qui mènent vers la recherche de nouveaux modèles [25], amenant notamment vers la variabilité de C_{DS} (capacité non linéaire).

D'autres recherches tendent vers un modèle de capacité C_{GS} à deux dimensions (2D), c'est-à-dire dépendant de V_{GS} et de V_{DS} . Cette technique permet en théorie

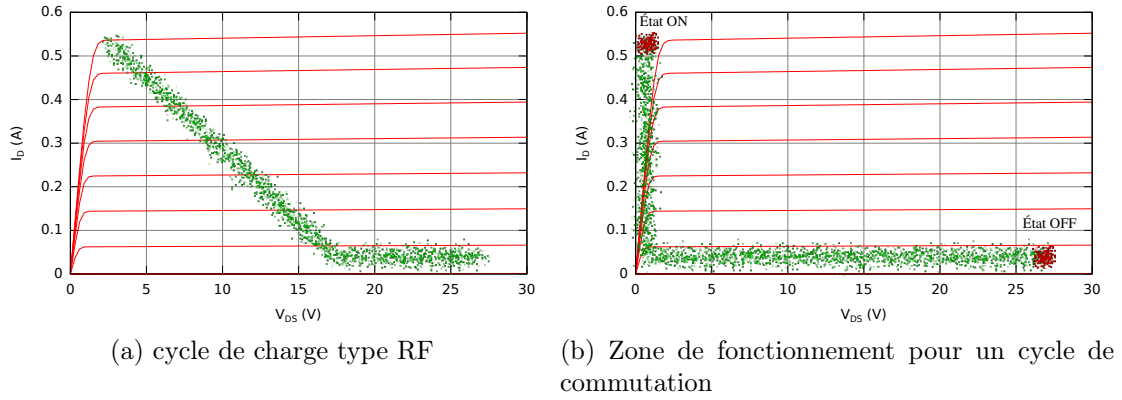


FIGURE 2.4 – Comparaison entre un cycle de charge RF et un cycle de commutation

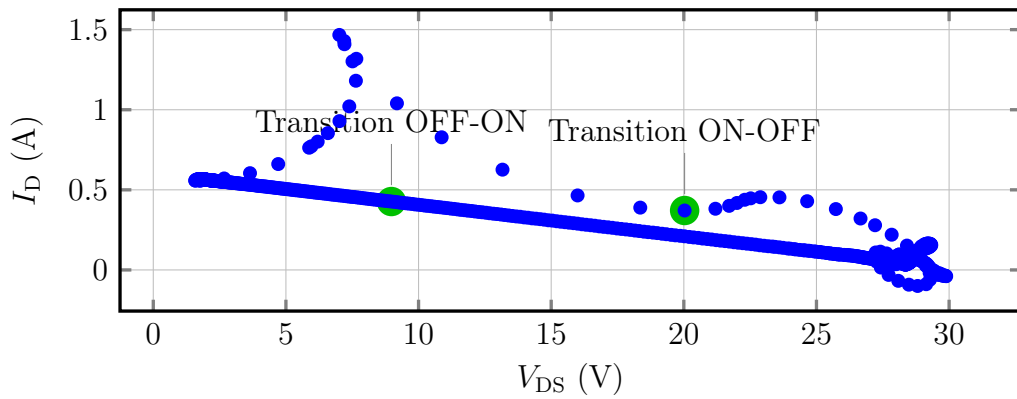


FIGURE 2.5 – Cycle de charge en commutation

d'étendre le domaine de validité du modèle vers des cas où l'adaptation est mauvaise, ou à très fort signal, vers des cas où le cycle de charge est très éloigné de la droite de charge idéale (figure 2.5).

Les mesures réalisées dans la thèse d'Olivier Jardel [26] montrent que pour des simulations grand signal à 10 GHz, les différences entre modèles de capacité 1D et 2D sont minimales.

Les modèles 2D sont de plus complexes à extraire et posent différents problèmes :

- respect de lois physiques comme la conservation de la charge ;
- problèmes de convergence lors des simulations temporelles.

En commutation, nous n'utilisons pas (encore) de si hautes fréquences car même au 9^{ème} harmonique, nous n'atteignons pas 1 GHz.

C'est pourquoi nous utilisons des modèles de capacités à une dimension lors de nos simulations.

a) Barrettes de puissance

Par la suite, nous utiliserons un transistor de développement $6 \times 400 \mu\text{m}$ et des barrettes constituées de plusieurs transistors $6 \times 400 \mu\text{m}$. La « petite » version est un $8 \times 6 \times 400 \mu\text{m}$ soit un développement de grille total de 19.2 mm, la grande version est un $15 \times 6 \times 400 \mu\text{m}$ pour un développement total de 36 mm.

Le modèle du transistor $6 \times 400 \mu\text{m}$ est disponible et est utilisé comme brique de base pour la modélisation des $8 \times 6 \times 400 \mu\text{m}$ et $15 \times 6 \times 400 \mu\text{m}$.

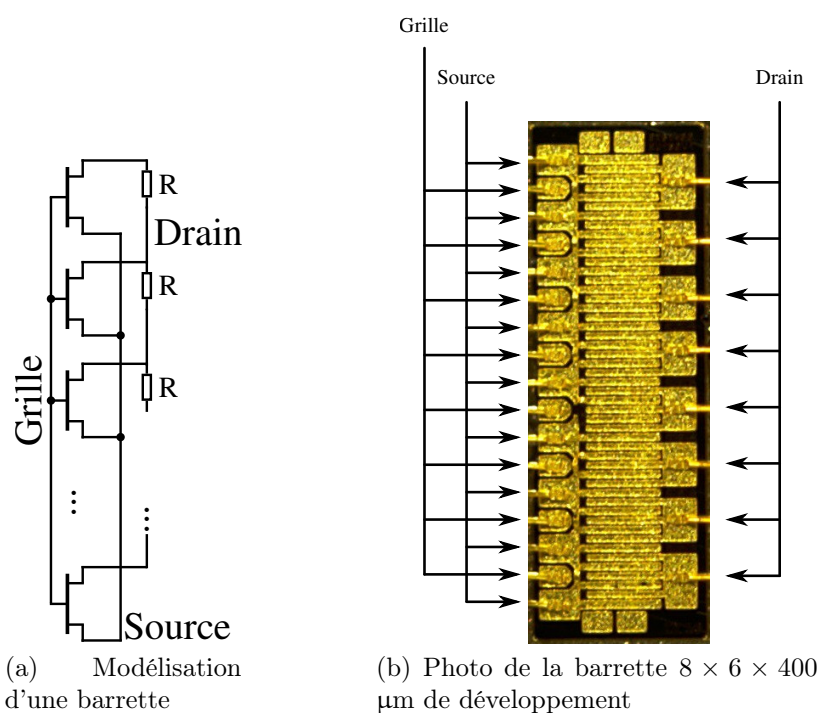


FIGURE 2.6 – Barrette $8 \times 6 \times 400 \mu\text{m}$ de développement

La figure 2.6a montre la réalisation d'une barrette à partir d'un transistor.

Les grilles sont reliées entre elles ainsi que les sources. Les drains sont reliés entre eux via une résistance de $6\ \Omega$ dans le but d'isoler les transistors entre eux au cas où deux composants consécutifs ne draineraient pas exactement le même courant. Ceci peut être dû aux *process* de fabrication qui ne peuvent pas garantir que tous les transistors soient rigoureusement de même développement, mais aussi que les transistors centraux chauffent plus que les transistors périphériques, diminuant leur I_{DSS} .

2.2 Description et analyse de la cellule de commutation

Nous allons maintenant présenter la topologie de la cellule de commutation.

Nous nous intéresserons dans un premier temps au fonctionnement statique correspondant aux états établis ON et OFF.

Nous terminerons cette partie par l'étude des transitions OFF-ON et ON-OFF.

2.2.1 Topologie

La cellule est représentée par le schéma 2.7.

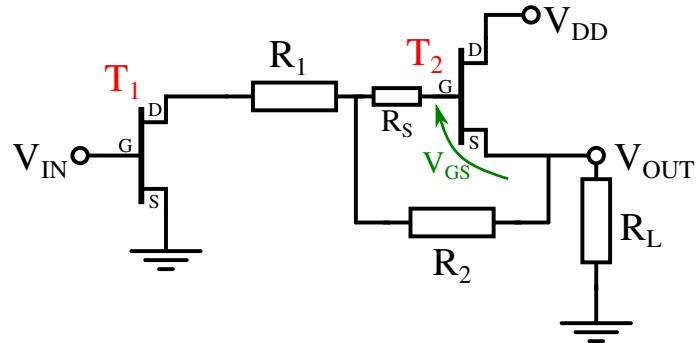


FIGURE 2.7 – Schéma de la cellule de commutation

Elle est constituée de deux transistors T_1 et T_2 pHEMT *normally on*, ainsi que de trois résistances : R_1 , R_2 et R_S . La résistance R_L modélise la charge de la cellule. Nous allons détailler le rôle de chacun de ces éléments.

- T_1 a un rôle de commande. Il ne véhicule pas de puissance mais change l'état de T_2 ;
- T_2 a un rôle de commutation de la tension d'alimentation V_{DD} vers la sortie de la cellule. T_2 est un transistor GaN de puissance servant d'interrupteur : lorsqu'il est bloqué, il est équivalent à un interrupteur ouvert, lorsqu'il est saturé, il est équivalent à un interrupteur fermé et commute alors la tension d'alimentation V_{DD} vers la charge ;

- R_2 : résistance d'auto polarisation permettant à T_2 de rester à l'état OFF : l'établissement d'un courant au sein de celle-ci permet de générer une tension V_{GS} entre la grille et le drain de T_2 et de maintenir celui-ci à un état proche³ du pincement ;
- R_1 et R_S ont un rôle de stabilisation. En effet, T_1 et T_2 sont des composants ayant un gain important pouvant provoquer une instabilité de la cellule.

Dans un souci de lisibilité des schémas, la résistance R_S ne sera plus représentée, sauf quand cela est nécessaire.

2.2.2 Fonctionnement en régime statique

a) Analyse de l'état ON

La tension V_{IN} est inférieure à V_p ce qui a pour conséquence de bloquer le transistor T_1 , qui présente alors une résistance R_{DS} élevée notée R_{DS1_OFF} . Ceci annule le courant dans R_2 entraînant une tension à ses bornes (V_{GS2_ON}) quasiment nulle. Le canal de T_2 est alors ouvert, la cellule est à l'état ON (figure 2.8), le courant I_D dans T_2 est maximum.

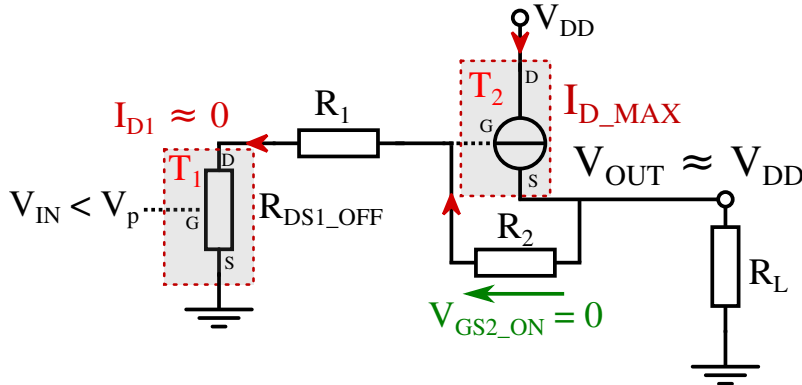


FIGURE 2.8 – Schéma équivalent de la cellule à l'état ON

Le courant de sortie est fonction de la résistance de charge R_L . Le courant dans la résistance R_2 étant nul, T_2 par ses accès de drain et de source est équivalent à sa résistance drain source R_{DS2_ON} en série avec la charge R_L . Ainsi, la tension de sortie vaut :

$$V_{OUT} = V_{DD} \cdot \frac{R_L}{R_L + R_{DS2_ON}} \quad (2.2)$$

Si $R_{DS2_ON} \ll R_L$, on peut considérer idéalement que $V_{OUT} = V_{DD}$.

Ceci est vrai tant que le transistor T_2 fonctionne en zone ohmique, c'est-à-dire si le courant dans la charge est inférieur au courant de saturation I_{DSS} du transistor.

3. Nous verrons plus loin que T_2 n'est pas totalement pincé et que ceci est un point clef pour la rapidité de la commutation de la cellule.

Ainsi, on veut $I_D < I_{DSS}$. Or, sachant que $I_D = \frac{V_{DD}}{R_{DS2_ON} + R_L}$, on veut :

$$I_{DSS} > \frac{V_{DD}}{R_{DS2_ON} + R_L}$$

$$R_{DS2_ON} \cdot I_{DSS} + R_L \cdot I_{DSS} > V_{DD}$$

$$R_L \cdot I_{DSS} > V_{DD} - R_{DS2_ON} \cdot I_{DSS}$$

et donne finalement pour une taille de transistor donné, la valeur minimale R_{Lmin} de la charge :

$$R_{Lmin} = \frac{V_{DD}}{I_{DSS}} - R_{DS2_ON} \quad (2.3)$$

Ainsi, l'équation (2.3) met en évidence que si l'on veut alimenter une charge R_L de faible valeur – donc drainant une forte puissance – il sera nécessaire d'utiliser un transistor T_2 à fort I_{DSS} et faible R_{DS2_ON} autrement dit, T_2 devra être un transistor à grand développement de grille. Ce point est résumé figure 2.9.

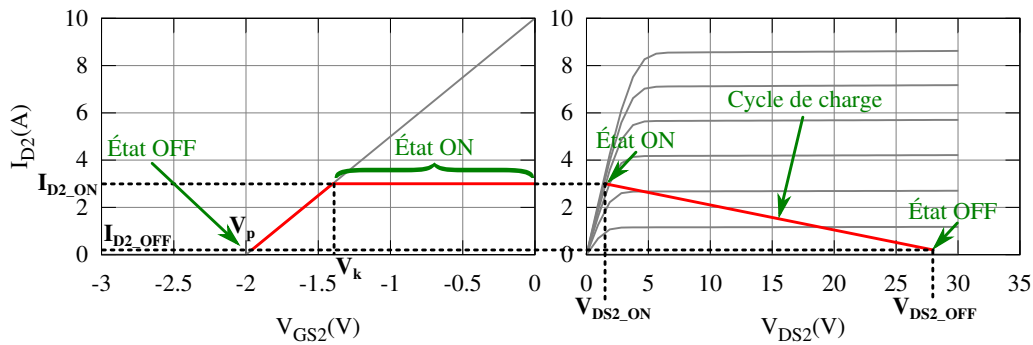


FIGURE 2.9 – Positions du point de fonctionnement en fonction de la valeur de R_L à l'état ON.

La figure 2.9 représente la caractéristique courant/tension du transistor ainsi que le réseau $I(V)$.

Sur la figure 2.9, la phase 1 commence à l'instant $t = 0$ et prend fin en t_k , instant pour lequel $V_{GS} = V_k$. La figure 2.9 met en évidence que lorsque $V_{GS} = V_k$, I_{D2} est stabilisé à I_{D2_ON} .

i. Approche énergétique : Le courant dans la résistance R_2 et le transistor T_1 étant idéalement nul, l'unique cause de dissipation d'énergie du circuit à l'état ON est T_2 , via sa résistance de drain R_{DS2_ON} . La puissance dissipée vaut :

$$P_{T2ON} = R_{DS2_ON} \times I_{D2_ON}^2$$

Alors que la puissance utile délivrée à R_L est :

$$P_U = R_L \times I_{D2_ON}^2$$

On peut donc en déduire le rendement à l'état ON :

$$\eta_{ON} = \frac{P_U}{P_U + P_{T2_ON}} = \frac{R_L}{R_L + R_{DS2_ON}} \quad (2.4)$$

La figure 2.9 résume ces différents points : on peut constater que la valeur minimale de R_L est celle pour laquelle $I_{D2_ON} = I_{DSS}$.

b) Analyse de l'état OFF

La tension V_{IN} vaut 0 V. Ceci ouvre le canal du transistor T_1 , qui présente alors sa résistance R_{DS1_ON} . On peut le considérer comme un interrupteur fermé en première approximation. Ceci permet au courant dans R_2 de s'établir (figure 2.10). La tension à ses bornes (V_{GS2}) est donc non nulle, le canal de T_2 est pincé. La cellule est à l'état OFF.

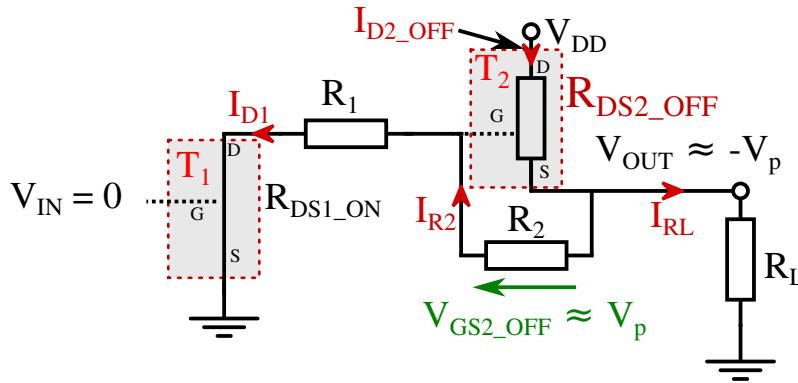


FIGURE 2.10 – Schéma équivalent de la cellule à l'état OFF

Plus précisément, le transistor T_2 s'auto polarise : un état stable découle de la contre réaction négative créée via la résistance R_2 .

- si le courant dans T_2 est trop fort, le courant dans R_2 le sera aussi et la tension V_{GS} aura une trop grande valeur, ce qui va pousser T_2 à se pincer davantage et donc de diminuer le courant ;
- si le courant dans T_2 est trop faible, la tension V_{GS} aura une trop faible valeur, ce qui ouvre T_2 et augmente le courant.

On a donc une contre réaction négative sur le courant I_{D2}

De façon plus quantitative, le point de fonctionnement est le point d'intersection entre la caractéristique non linéaire $I_{D2_OFF} = f(V_{GS2_OFF})$ inhérente au transistor T_2 et la droite $V_{GS2_OFF} = f(I_{D2})$ liée à la loi d'Ohm aux bornes de R_2 .

La caractéristique du transistor est linéaire par morceaux. Sur l'intervalle $[V_p; 0]$, son expression est : $I_{D2_OFF} = I_{DSS} \cdot \left(1 + \frac{V_{GS2}}{V_p}\right)$.

Le point de fonctionnement de coordonnées $(V_{GS2_OFF}; I_{D2_OFF})$ est solution du système :

$$\begin{cases} V_{GS2_OFF} = -R_2 \cdot (I_{D2_OFF} - I_{R_L}) \\ I_{D2_OFF} = I_{DSS} \cdot \left(1 + \frac{V_{GS2_OFF}}{V_p} \right) \end{cases}$$

Avec :

$$I_{R_L} = -(R_1 + R_2 + R_{DS1_ON}) \cdot \frac{V_{GS2_OFF}}{R_2 \cdot R_L}$$

La solution analytique est :

$$\begin{cases} V_{GS2_OFF} = \frac{I_{DSS} \cdot R_L \cdot V_p \cdot R_2}{(I_{DSS} \cdot R_L - V_p) \cdot R_2 - V_p \cdot R_1 - R_L \cdot V_p - R_{DS1_ON} \cdot V_p} \\ I_{D2_OFF} = -\frac{I_{DSS} \cdot V_p \cdot (R_2 + R_1 + R_L + R_{DS1_ON})}{(I_{DSS} \cdot R_L - V_p) \cdot R_2 - V_p \cdot R_1 - R_L \cdot V_p - R_{DS1_ON} \cdot V_p} \end{cases}$$

Voici un exemple d'application numérique :

- $R_2 = 20 \Omega$;
- $R_1 = 5 \Omega$;
- $R_{DS1_ON} = 1 \Omega$;
- $R_L = 16.6 \Omega$;
- $I_{DSS} = 10 \text{ A}$;
- $V_p = -2 \text{ V}$.

On obtient :

$$\begin{cases} V_{GS2_OFF} = -1.95 \text{ V} \\ I_{D2_OFF} = 250 \text{ mA} \end{cases}$$

La solution graphique de ce système est visible figure 2.11.

Il est à noter que la valeur de R_L influe sur le point de fonctionnement.

On constate que la tension V_{GS2_OFF} est légèrement supérieure à V_p . T_2 n'est donc pas entièrement pincé et s'autopolarise via la résistance R_2 .

$-\frac{1}{R_2}$ est la pente des droites en pointillés de la (figure 2.11).

En augmentant R_2 , on diminue donc la pente, donc le courant I_{R2} . À l'état OFF, le courant $I_D = I_{R2} + I_{R_L}$ diminue donc lorsqu'on augmente R_2 . Ceci a pour conséquence une diminution de la consommation à l'état OFF, donc une augmentation du rendement.

La contrepartie de ceci est une augmentation du temps de montée de la cellule. Ce point sera abordé lors de l'étude du régime transitoire (section 2.2.3).

Aussi, la tension V_{OUT_OFF} est-elle non nulle :

$$V_{OUT_OFF} = (R_{DS1_ON} + R_1 + R_2) \cdot I_{R2_OFF} \quad (2.5)$$

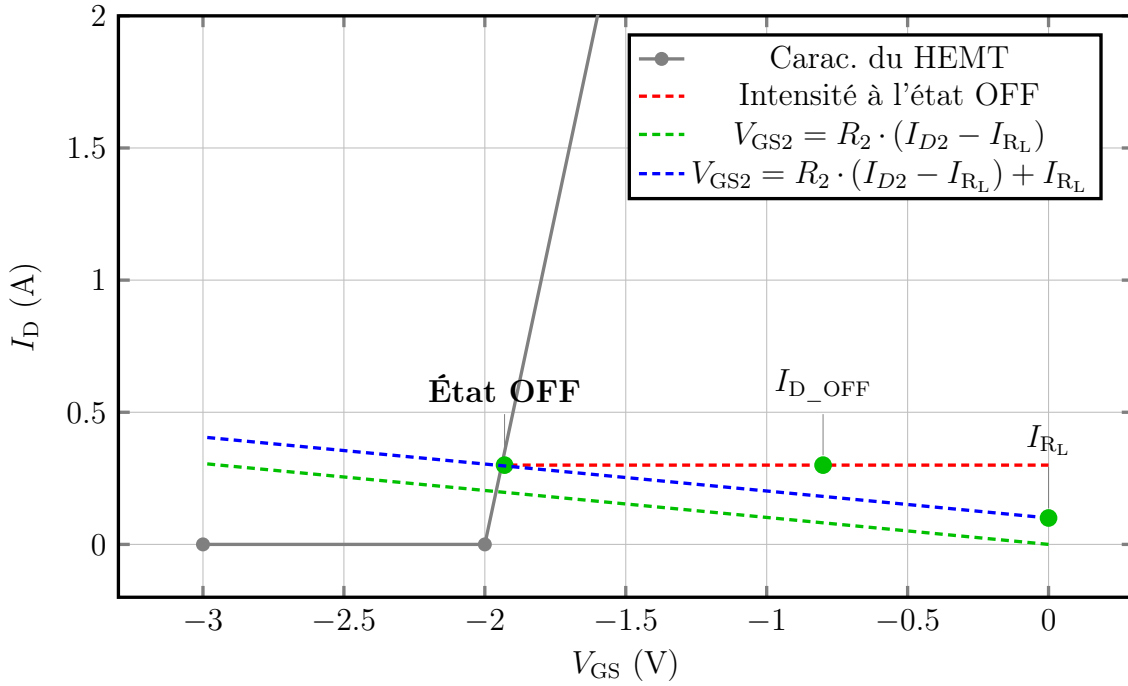


FIGURE 2.11 – Point de fonctionnement à l'état OFF

En pratique, $R_2 \gg R_1$ et R_{DS1_ON} . On peut donc écrire l'approximation (2.6).

$$V_{OUT_OFF} \approx R_2 \cdot I_{R_2_OFF} \approx -V_p \quad (2.6)$$

En résumé, la tension de sortie à l'état OFF n'est pas nulle, mais voisine de $-V_p$ (positive).

Nous avons dit précédemment que V_{GS2_OFF} doit être légèrement supérieure à V_p , tout en étant le plus proche possible, de façon à limiter le courant I_D . En effet, à l'état OFF, l'énergie consommée n'est que pure perte et contribue donc à la baisse du rendement global du système.

D'après l'équation (2.6), le courant résiduel traversant R_L vaut $I_{R_L} \approx \frac{-V_p}{R_L}$ et le courant dans la branche R_2 , R_1 , T_1 vaut environ $I_{R_2} \approx \frac{-V_p}{R_2}$.

On obtient donc le courant consommé à l'état OFF :

$$I_{D2_OFF} \approx -V_p \cdot \left(\frac{1}{R_2} + \frac{1}{R_L} \right) \quad (2.7)$$

Or, la puissance consommée par le circuit vaut $P_{OFF} = I_{D2_OFF} \times V_{DD}$. On obtient donc la puissance consommée par le circuit à l'état OFF :

$$P_{OFF} \approx -V_p \cdot V_{DD} \cdot \left(\frac{1}{R_2} + \frac{1}{R_L} \right) \quad (2.8)$$

Si on veut ne tenir compte que de la puissance dans le circuit (c'est-à-dire ne pas tenir compte de la puissance dissipée dans la charge), il faut soustraire $\frac{V_p^2}{R_L}$ à l'équation (2.8) :

$$P_{\text{DISS_OFF}} \approx -V_p \cdot V_{\text{DD}} \cdot \left(\frac{1}{R_2} + \frac{1}{R_L} \right) - \frac{V_p^2}{R_L} \quad (2.9)$$

Il ressort de ces calculs que V_p et le choix de la résistance R_2 sont des paramètres critiques pour le rendement de la cellule, car les pertes à l'état OFF vont dépendre de ces valeurs.

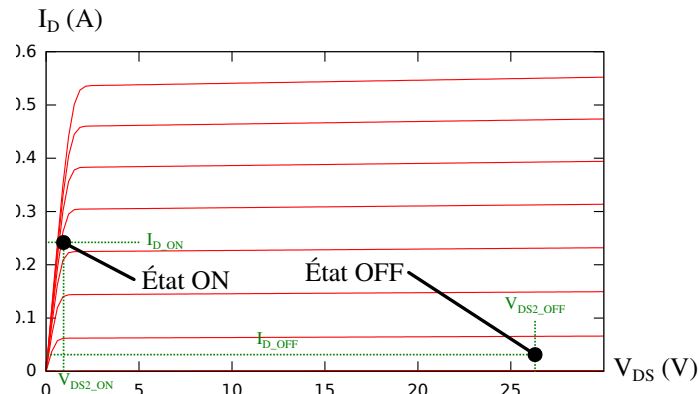


FIGURE 2.12 – Point de fonctionnement à l'état ON et à l'état OFF.

La figure 2.12 montre les deux points de fonctionnement sur le réseau $I_D(V_{DS})$ de T_2 .

c) Effet de seuil

La cellule de commutation est un élément se comportant comme un comparateur à seuil : comme nous l'avons vu précédemment, la tension d'entrée est comparée à la tension de pincement V_p du transistor T_1 (figure 2.13).

Cette simulation a été réalisée avec un transistor d'entrée T_1 dont la tension de pincement est $V_{p1} = -1.6$ V liée aux caractéristiques intrinsèques de T_1 .

Il s'agit là d'une caractéristique particulièrement intéressante dans le cadre de notre application car une variation de quelques millivolts autour de V_{p1} va entraîner un changement d'état de la cellule. Autrement dit, quelques millivolts d'amplitude sur le signal de commande suffisent à commuter plusieurs dizaines de volts.

Cette particularité présente un autre avantage : nous ne sommes pas contraints de piloter la cellule avec un signal rigoureusement carré. Si les fronts montants ne sont pas parfaitement verticaux, la cellule pourra tout de même commuter. Cet effet comparateur nous permet même de la piloter via un signal sinusoïdal.

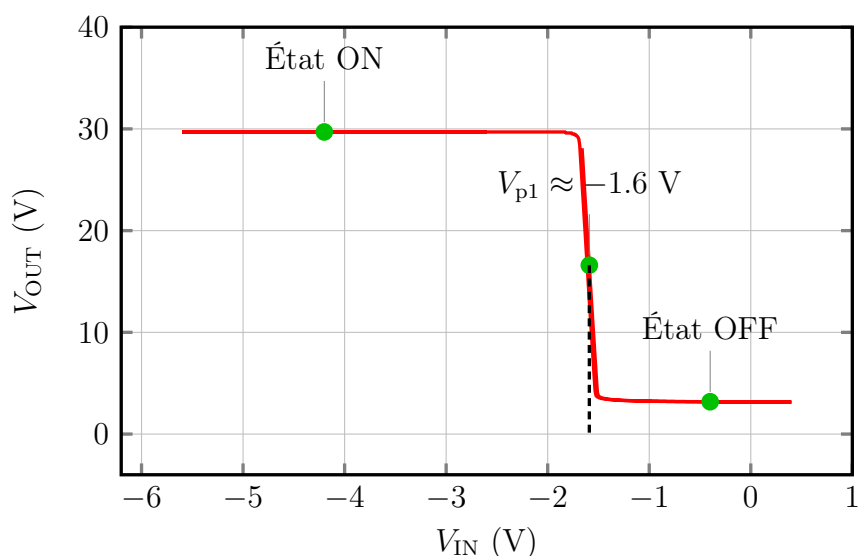


FIGURE 2.13 – Caractéristique de transfert $V_{\text{OUT}} = f(V_{\text{IN}})$. $V_{\text{DD}} = 30 \text{ V}$

2.2.3 Fonctionnement en régime dynamique

Dans la partie précédente, nous nous sommes intéressés aux états établis ON et OFF. Nous allons maintenant analyser les transitions entre ces états : le changement d'état de la cellule est la conséquence d'une cascade d'événements causée par la variation de valeur de V_{IN} à l'entrée de la cellule.

La transition OFF-ON et la transition ON-OFF font l'objet de deux parties distinctes car il n'y a pas symétrie : les temps de montée et de descente ne sont pas identiques.

Nous commencerons par une analyse qualitative des événements se produisant au sein de la cellule puis nous procéderons à une mise en équations du système.

Les éléments entrant en jeu dans les équations sont visibles figure 2.14.

La figure 2.14 présente un modèle simplifié du transistor, se limitant à la source de courant, $C_{\text{GS}2}$ et $C_{\text{GD}2}$ qui sont linéaires. Ce modèle sert de support pour les calculs à venir.

a) Analyse de la transition OFF-ON

La transition OFF-ON est déclenchée par le pincement du transistor T_1 , c'est-à-dire que la résistance $R_{\text{DS}1}$ passe de $R_{\text{DS}1_OFF}$ à $R_{\text{DS}1_ON}$.

i. Analyse qualitative Le changement d'état de la cellule est lié à la tension $V_{\text{GS}2}$ qui évolue entre V_p et 0 V . Il y a un transfert de charge entre les capacités $C_{\text{GS}2}$, $C_{\text{GD}2}$ et le reste du circuit.

La figure 2.15 met en évidence le fait que la transition ON-OFF a lieu en 2 phases.

Il en découle que t_k est le temps de mise à ON de la cellule.

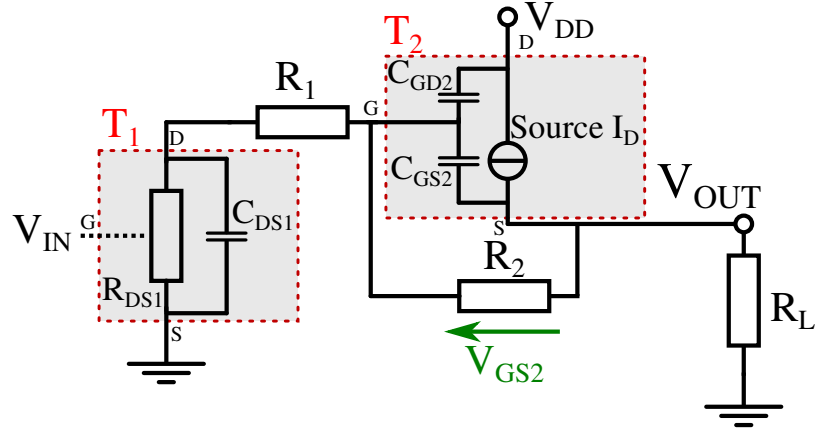
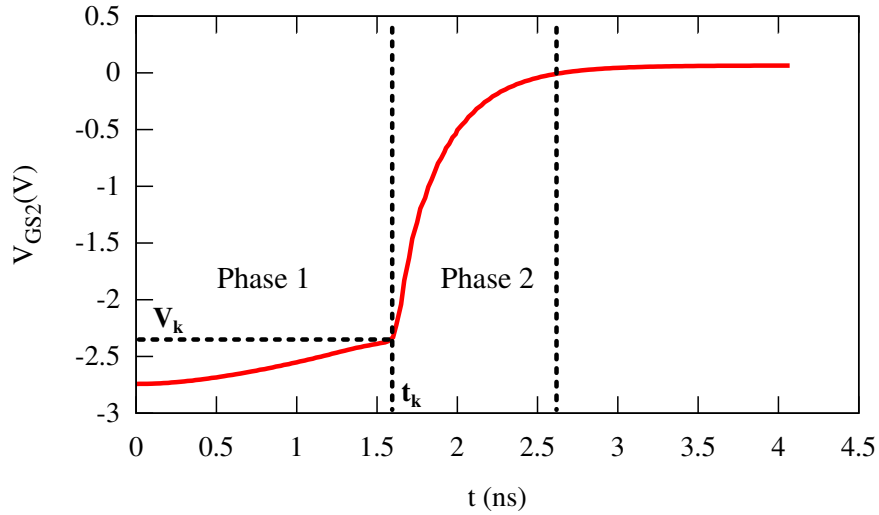


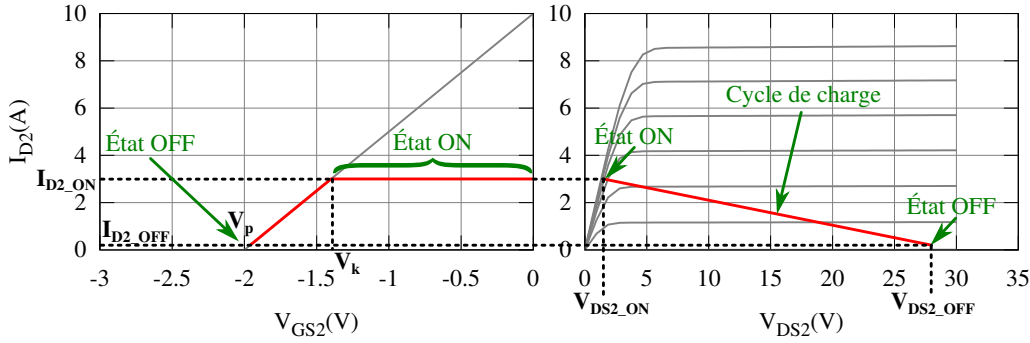
FIGURE 2.14 – Schéma équivalent mettant en évidence les différents éléments intrinsèques des transistors


 FIGURE 2.15 – Évolution de la tension V_{GS2} lors de la transition ON-OFF.

ii. **Phase 1** La phase 1, qui est le temps d'établissement du courant I_D dans la charge et correspond à la condition sur $V_{GS}(0)$ suivante : $V_p < V_{GS} < V_k$. Par la même hypothèse que dans l'équation (2.15) on suppose que la caractéristique du transistor est linéaire. On obtient alors équation (2.10) :

$$I_D(V_{GS}) = I_{DSS} \cdot \left(1 + \frac{V_{GS}}{V_p}\right) \quad (2.10)$$

Le changement d'état est déclenché par le changement de valeur de R_{DS1} . La condition initiale est $V_{GS}(0) = V_{GS2_OFF}$.


 FIGURE 2.16 – Positions du point de fonctionnement en fonction de la valeur de R_L à l'état ON.

L'équation régissant la tension $V_{GS}(t)$ est une équation différentielle linéaire du premier ordre à coefficients constants (équation (2.11)). On obtient donc l'expression temporelle de $V_{GS}(t)$:

$$R_L I_{DSS} + \left(1 + \frac{R_{DS1} + R_1 + R_L}{R_2} + \frac{R_L I_{DSS}}{V_p} \right) + \left((R_L + R_1) \left(C_{GS} + C_{GD} \cdot \left(1 + \frac{R_L I_{DSS}}{V_p} + \frac{R_L}{R_2} \right) \right) R_L C_{GS} \right) \cdot \frac{dV_{GS}}{dt} = 0 \quad (2.11)$$

$$V_{GS}(t) = V_{GS2_OFF} + V_0 \cdot \left(1 - e^{-\frac{t}{\tau_1}} \right), \text{ avec :}$$

$$V_0 = \frac{-R_L \cdot I_{DSS}}{1 + \frac{R_{DS1_OFF} + R_1 + R_L}{R_2} + \frac{R_L \cdot I_{DSS}}{V_p}}$$

;

$$V_{GS2_OFF} = \frac{I_{DSS} \cdot R_L \cdot V_p \cdot R_2}{(I_{DSS} \cdot R_L - V_p) \cdot R_2 - V_p \cdot R_1 - R_L \cdot V_p - R_{DS1_OFF} \cdot V_p}$$

et

$$\tau_1 = \frac{(R_{DS1_OFF} + R_1 + R_L) \cdot C_{GS} + (R_{DS1_OFF} + R_1) \cdot C_{GD} \left(1 + \frac{R_L \cdot I_{DSS}}{V_p} + \frac{R_L}{R_2} \right)}{1 + \frac{R_{DS1_OFF} + R_1 + R_L}{R_2} + \frac{R_L \cdot I_{DSS}}{V_p}} \quad (2.12)$$

Si $R_{DS1_OFF} \rightarrow \infty$, on obtient une écriture simplifiée de τ_1 :

$$\tau_1 \approx R_2 \cdot \left(C_{GS} + C_{GD} \cdot \left(1 + \frac{R_L \cdot I_{DSS}}{V_p} + \frac{R_L}{R_2} \right) \right)$$

Ceci met en évidence plusieurs tendances vis-à-vis de τ_1 : les capacités aux accès des transistors (C_{GS} et C_{GD}) ont une influence importante sur le temps d'établissement du courant I_D , c'est-à-dire sur le temps de montée de la cellule.

La constante de temps τ_1 est liée à la durée t_k qu'il faut à la tension $V_{GS}(t)$ pour atteindre V_k . t_k correspond au temps de mise à ON de la cellule et vaut, à partir de l'expression temporelle de $V_{GS}(t)$:

$$t_k = \tau_1 \cdot \ln \left(\frac{V_0 - V_{GS2_OFF}}{V_k + V_0} \right) \quad (2.13)$$

$$\text{Avec } V_k = V_p \cdot \left(1 - \frac{V_{DD}}{(R_L + R_{DS2_ON}) \cdot I_{DSS}} \right)$$

On remarque que le temps de mise à ON t_k est proportionnel à la résistance R_2 .

$$\mathbf{R_2 \propto \tau_1 \propto t_k}$$

Ce point met en évidence que le choix de R_2 sera un point crucial vis-à-vis de la vitesse de commutation de la cellule.

iii. Phase 2 La phase 2 est l'évolution de V_{GS} entre V_k et V_{GS2_ON} . Il faut noter qu'à ce stade de la transition, si l'on mesure la tension sur la charge, on sera à l'état établi : la tension V_{OUT} aura atteint sa valeur d'état ON.

Cela signifie que la résistance R_{DS2_ON} est stabilisée à sa valeur minimale. On a donc :

$$I_D = \frac{V_{DD}}{R_L + R_{DS2_ON}}$$

L'équation différentielle de $V_{GS}(t)$ est donnée annexe B.

Simplifiée à l'ordre 1, elle devient l'équation (2.14).

$$\begin{aligned} \frac{R_L \cdot V_{DD}}{R_L + R_{DS2_ON}} + \left(1 + \frac{R_{DS1} + R_1 + R_L}{R_2} \right) V_{GS}(t) \\ + \left((R_{DS1} + R_1) \left(C_{GS} + C_{GD} \left(1 + \frac{R_L}{R_2} \right) \right) \right) \frac{dV_{GS}(t)}{dt} = 0 \quad (2.14) \end{aligned}$$

L'équation (2.14) est une équation différentielle d'ordre 1 à coefficients constants. Sa solution est donc de la forme

$$V_{GS}(t) = V_k + (V_k - V_{GS_ON}) \cdot e^{\frac{-t}{\tau_2}}$$

Avec :

$$V_{GS_ON} = \frac{R_L}{R_L + R_{DS2_ON}} \cdot \frac{R_2 \cdot V_{DD}}{R_{DS1_OFF} + R_1 + R_2 + R_L}$$

et

$$\tau_2 = \frac{(R_{DS1_OFF} + R_1 + R_L) \cdot R_2 C_{GS} + (R_{DS1_OFF} + R_1) \cdot R_2 \cdot C_{GD} \left(1 + \frac{R_L}{R_2}\right)}{R_{DS1_OFF} + R_1 + R_2 + R_L}$$

En supposant que $R_{DS1_OFF} \rightarrow \infty$, on obtient la simplification suivante : $\tau_2 = R_2 \cdot \left(C_{GS} + C_{GD} \left(1 + \frac{R_L}{R_2}\right)\right)$.

On remarque alors que, comme pour τ_1 , il y a proportionnalité vis-à-vis de R_2 .

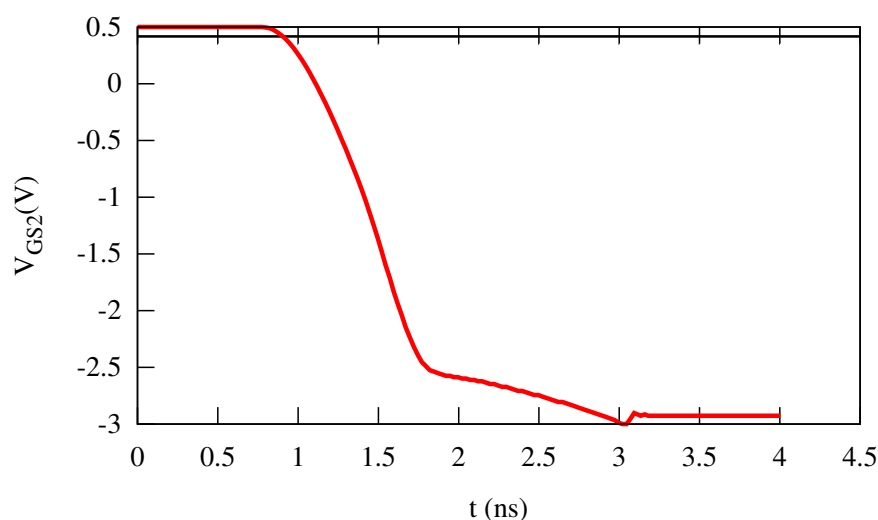


FIGURE 2.17 – Évolution de la tension V_{GS2} lors de la transition ON-OFF.

La figure 2.17 met en évidence que pour la transition OFF-ON la transition se fait également en 2 temps.

b) Source de courant du transistor T_2

Comme évoqué plus haut, le fonctionnement de la cellule implique que $V_p < V_{GS} < 0$. Dans cet intervalle, $I_D(V_{DS})$ est exprimée équation (2.15).

$$I_D(V_{GS}) = \alpha \cdot \frac{V_{DD}}{R_L} \left(1 + \frac{V_{GS}}{V_p}\right) \quad (2.15)$$

où α est un facteur sans unité ajusté selon la taille du transistor, V_p est la tension de pincement de T_2 et V_{DD} la tension d'alimentation.

Cette équation est vraie quel que soit l'état de la cellule car la condition $V_p < V_{GS} < 0$ est toujours vérifiée.

On suppose en fait que la source de courant est parfaitement linéaire.

i. R_{DS2_ON} On suppose que $R_{DS2_ON} \ll R_L$, soit que $V_{GS} \approx 0$, donc que $I_D \approx \frac{V_{DD}}{R_L}$.

c) Analyse de la transition ON-OFF

i. **Analyse qualitative** La figure 2.18 montre le passage du courant de charge de C_{GS2} et C_{GD2} au sein des différents éléments du circuit.

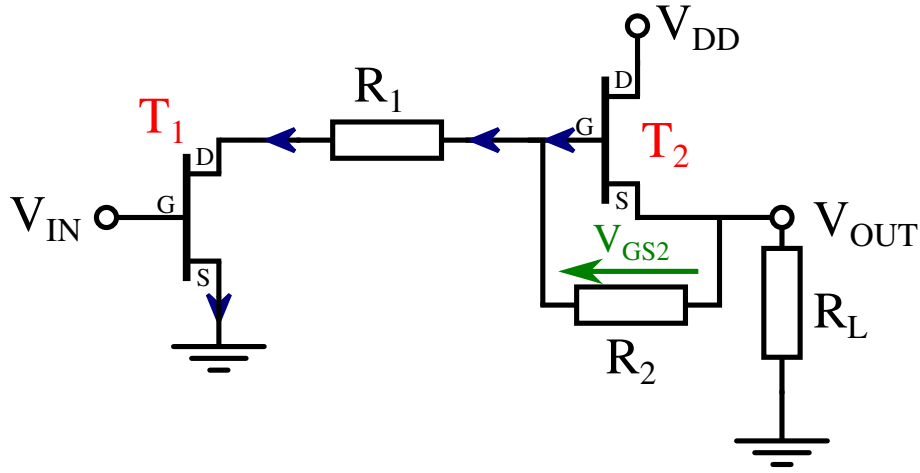


FIGURE 2.18 – Les flèches indiquent les lieux de passage du courant lors de la charge de C_{GS2} .

De la même façon que la transition OFF-ON, la transition ON-OFF est provoquée par le changement de valeur de R_{DS1} , passant de R_{DS1_OFF} à R_{DS1_ON} .

C'est l'ouverture du canal de T_1 qui va causer le basculement de la cellule vers l'état OFF.

La transition ON-OFF se déroule elle aussi en deux phases, séparées par la tension V_k .

ii. **Phase 1** C'est la phase durant laquelle $V_k < V_{GS} < 0$. Le transistor T_2 n'a pas encore basculé vers l'état OFF. Ainsi, de la même façon que dans la phase 2 du point précédent, le courant I_D vaut :

$$I_D = \frac{V_{DD}}{R_L + R_{DS2_ON}}$$

Et $V_{GS}(t)$ est de la forme :

$$V_{GS}(t) = V_1 + (-V_1 + V_{GS_ON}) \cdot e^{\frac{-t}{\tau_3}}$$

Où :

$$\tau_3 = \frac{R_2 \cdot (R_{DS1_ON} + R_1 + R_L) \cdot C_{GS} + R_2 \cdot (R_{DS1_ON} + R_1) \cdot C_{GD} \cdot \left(1 + \frac{R_L}{R_2}\right)}{R_{DS1_ON} + R_1 + R_L + R_2}$$

L'instant t_k correspond à la valeur $t_k = \tau_3 \cdot \ln\left(\frac{V_1 - V_{GS2_ON}}{V_k + V_1}\right)$.

Arrivé à cet instant, la cellule n'est pas encore à OFF. C'est à l'instant t_k que la tension de sortie va commencer à baisser.

iii. Phase 2 L'équation temporelle de $V_{GS}(t)$ est :

$$V_{GS}(t) = V_{GS2_OFF} + (-V_{GS2_OFF} + V_k) \cdot e^{-\frac{t-t_k}{\tau_4}}$$

avec

$$\tau_4 = \frac{(R_{DS1_ON} + R_1 + R_L) \cdot C_{GS} + (R_{DS1_ON} + R_1) \cdot \left(1 + \frac{R_L \cdot I_{DSS}}{V_p} + \frac{R_L}{R_2}\right)}{1 + \frac{R_{DS1_ON} + R_1 + R_L}{R_2} + \frac{R_L \cdot I_{DSS}}{V_p}}$$

D'un point de vue expérimental, le temps de mise à l'état ON est 5 à 10 fois plus long que le temps de mise à OFF.

d) Influence de la résistance de charge R_L

La résistance de charge R_{RL} a elle aussi une influence importante sur le comportement du circuit. Si on considère qu'à l'état ON ($I_{RL} \gg I_{D1}$), on peut écrire que $I_{D2_ON} \approx I_{RL_ON}$.

Ainsi le cycle de charge idéal a pour équation $I_D = \frac{V_{DD}}{R_L}$.

$\frac{1}{R_L}$ est donc la pente du cycle de charge.

La valeur de R_L est donc dépendante de la tension à laquelle on désire travailler (V_{DD}) et du courant max I_{DSS} que peut supporter le transistor T_2 (figure 2.19).

Ceci met en évidence que pour une tension V_{DD} donné, une résistance R_L de trop faible valeur créerait une tension résiduelle V_{DS2} trop importante et entraînerait la destruction de T_2 par effet joule. Celui-ci aurait à dissiper la puissance $V_{DS2} \cdot I_D$ où V_{DS2} est d'une valeur de l'ordre de plusieurs volts. Lorsque le point de fonctionnement correspondant à l'état ON est en zone ohmique, V_{DS2} est inférieur à 1 V, la puissance à dissiper est donc faible, même si le courant I_D est important.

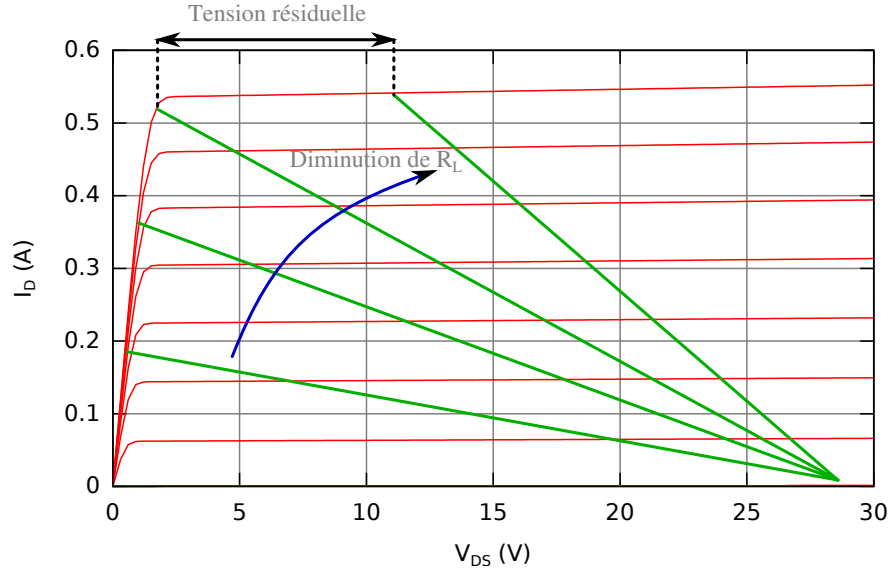


FIGURE 2.19 – Cycles de charge idéaux en fonction des différentes valeurs de R_L

Le choix de la résistance R_L est lié à la puissance maximale que doit délivrer le système. Ainsi, pour une puissance crête de 250 W sous une tension de 50 V, on obtient $R_L = 10 \Omega$.

i. Caractéristique R_{DS1_OFF} La résistance drain/source du transistor T_1 est un paramètre important à l'état ON, c'est-à-dire lorsque le transistor est pincé et qu'il présente R_{DS1_OFF} . Celle-ci est idéalement infinie, en réalité elle est de quelques k Ω .

Si on prend l'équation (2.16) :

$$V_{GS2} = \frac{-\alpha \cdot V_{DD}}{1 + \frac{R_{DS1_OFF} + R_1 + R_L}{R_2} + \alpha \cdot \frac{V_{DD}}{V_p}} \quad (2.16)$$

Lorsque R_{DS1_OFF} tend vers ∞ , V_{GS2} tend vers 0, ce qui permet à T_2 de s'ouvrir entièrement.

Il ne s'agit là que d'un cas idéal et R_{DS1_OFF} se limite à quelques kilo ohms.

En réalité il existe une tension V_{GS2} résiduelle donnée équation (2.16).

Voici une application numérique dont les valeurs ont été rencontrées en mesures :

$\alpha = 1$; $V_{DD} = 30 \text{ V}$; $R_{DS1_OFF} = 3 \text{ k}\Omega$; $R_1 = 5 \Omega$; $R_L = 50 \Omega$; $R_2 = 30 \Omega$; $V_p = 2 \text{ V}$.

On obtient $V_{GS2} = 255 \text{ mV}$.

2.3 Simulations du régime transitoire et de la stabilité

Nous exposerons dans cette partie les simulations réalisées sur la cellule en abordant trois aspects :

- temporel, analyse des formes d’onde ;
- temporel, analyse énergétique ;
- analyse de stabilité, elle-même abordée par deux méthodes : temporelle et par la méthode d’analyse de la boucle ouverte, que nous décrirons.

Les simulations sont réalisées sous le logiciel ADS.

2.3.1 Simulations en régime transitoire

a) Fonctionnement général

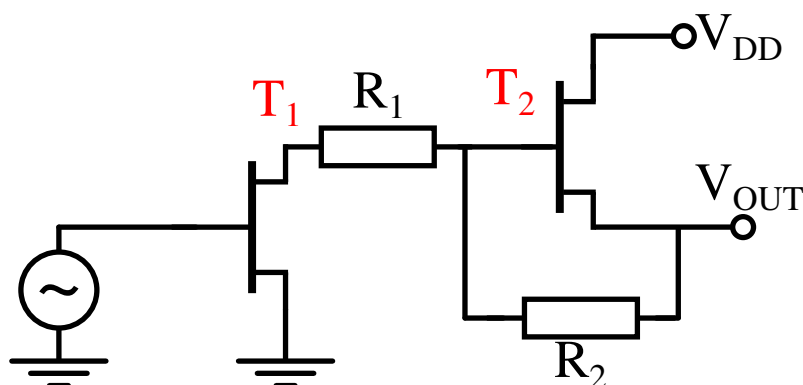


FIGURE 2.20 – Schéma du circuit simulé ($V_{DD} = 38 \text{ V}$)

Comme indiqué précédemment, la cellule peut être commandée par une tension sinusoïdale (figure 2.20) car elle se comporte en comparateur à seuil (figure 2.21).

Le signal V_{IN} est le signal de commande : une sinusoïde centrée sur -1.8 V et d’amplitude 1.5 V à 20 MHz .

Il en résulte un signal de sortie V_{OUT} carré à 20 MHz . L’état haut est légèrement inférieur à V_{DD} (38 V) à cause de la résistance équivalente R_{DS2_ON} du transistor T_2 . L’état bas est 3.2 V , supérieur à $-V_p$ (équation (2.5)).

$$R_L = 16 \Omega.$$

Pour une bonne compréhension du circuit, il est important de retenir que T_1 et T_2 fonctionnent de manière opposée : lorsque T_2 (et donc la cellule) est ON, T_1 est OFF ; lorsque T_2 (et donc la cellule) est OFF, T_1 est ON.

b) Fonctionnement détaillé

Cette simulation tient compte de la présence de lignes électriques reliant les composants entre eux (section 2.4.2 page 71).

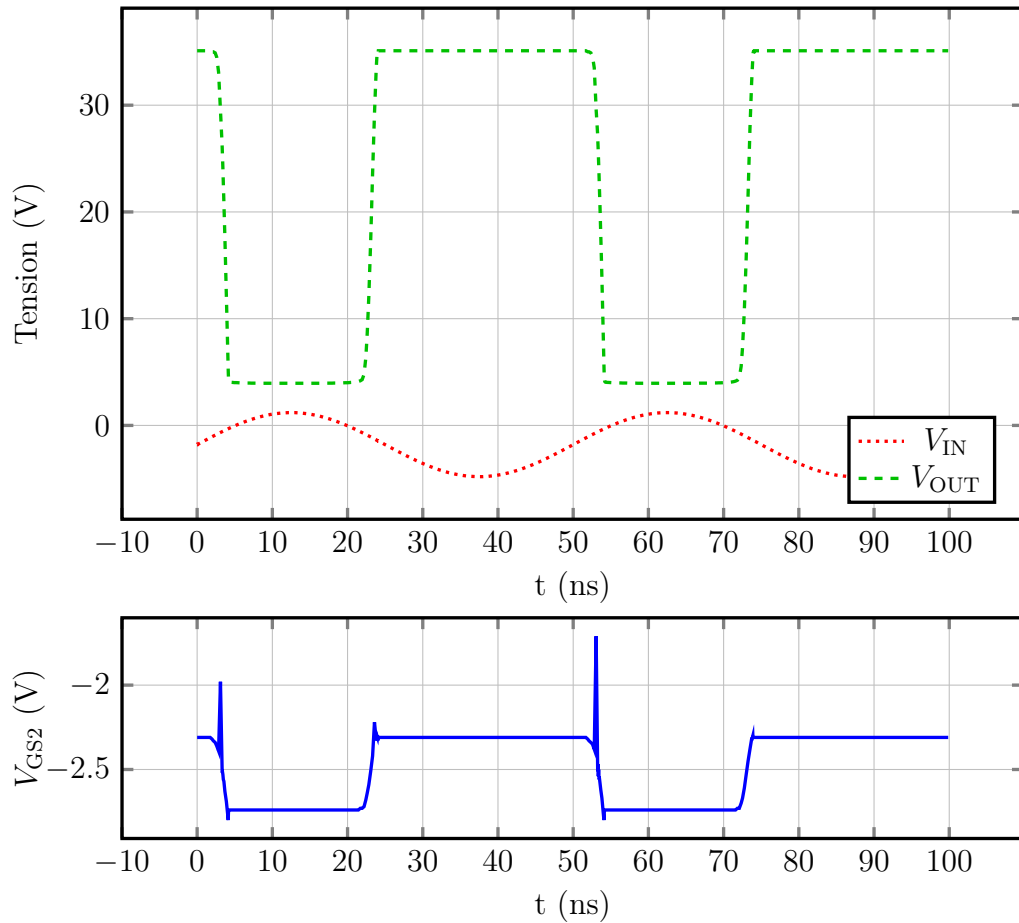


FIGURE 2.21 – Principales tensions au sein de la cellule

i. Transferts de courants au sein de C_{GS2} Comme nous l'avons dit précédemment, lorsque la cellule change d'état, V_{GS2} et C_{GS2} (la capacité de grille de T_2) se charge/décharge (figure 2.22).

On remarque qu'à l'état OFF, 24 mA fuient par la grille. Ceci est lié à la présence d'une résistance équivalente R_{fuite} entre le drain et la source du transistor, dont la valeur est de 3 k Ω dans les modèles $6 \times 400 \mu\text{m}$ utilisés.

Le développement du transistor étant de 19.6 mm, ceci représente une fuite spécifique de 1.23 mA/mm.

ii. Tension de sortie Le *slew rate* montant sur la charge R_L de 16 Ω vaut 13 V/ns pour un temps de montée à 30 V de 2 ns environ. Nous verrons lors des mesures que le temps de montée est supérieur en réalité à ce qu'indique la simulation.

Le *slew rate* descendant est de -11.2 V/ns pour un temps de descente de 2 ns.

La tension résiduelle à l'état OFF est de 4.2 V.

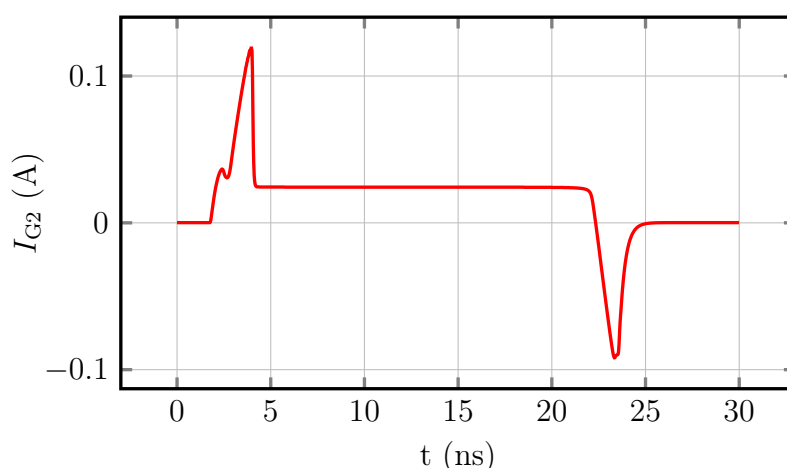


FIGURE 2.22 – Courant de grille de T_2 (I_{G2}). Le pic positif de gauche représente la charge de C_{DS2} (transition ON-OFF) ; le pic négatif de droite représente sa décharge (transition OFF-ON)

iii. Transition OFF-ON Comme nous l’avons vu précédemment, les transitions se font en deux phases. La figure 2.23 met en évidence ces deux phases, données par la méthode analytique.

La figure 2.23 montre la tension obtenue en simulations sur la charge d’une part (V_{OUT}) et la tension V_{GS2} . Sur cette dernière, on peut constater la présence de deux phases lors de la commutation.

La figure 2.23 met en évidence la présence de 2 étapes dans la transition pour V_{GS2} et le fait que c’est à la fin de la première phase que V_{OUT} termine sa transition.

iv. Transition ON-OFF La transition ON-OFF se réalise également en 2 étapes.

Lors de la mise à OFF de la cellule (résultats de simulation figure 2.24), on constate également la présence de deux phases, comme le prédit la théorie.

Les deux phases sont mises en évidence figure 2.24.

Ainsi, ce que prédisait la théorie est vérifié en simulation. Néanmoins, il sera plus délicat de constater cela en mesures étant donné la nature du circuit réalisé (paragraphe 2.4) : mesurer V_{GS} sans perturber le montage semble difficile.

c) Analyse énergétique

Dans cette partie, nous allons analyser les puissances et les rendements. L’interface d’ADS permettant de réaliser des opérations entre les signaux (addition, multiplication, intégration...), nous travaillons avec la puissance instantanée P_i , intégrée sur un nombre entier de périodes afin de donner une énergie qui, divisée par la durée d’intégration, permet de calculer une puissance moyenne (équation (1.2) page 9).

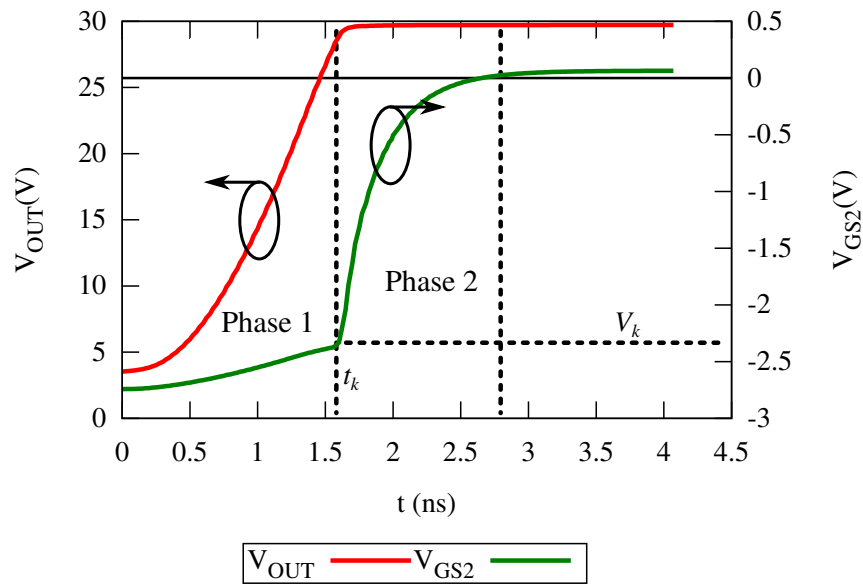


FIGURE 2.23 – Tensions V_{GS2} et V_{OUT} à la transition OFF-ON

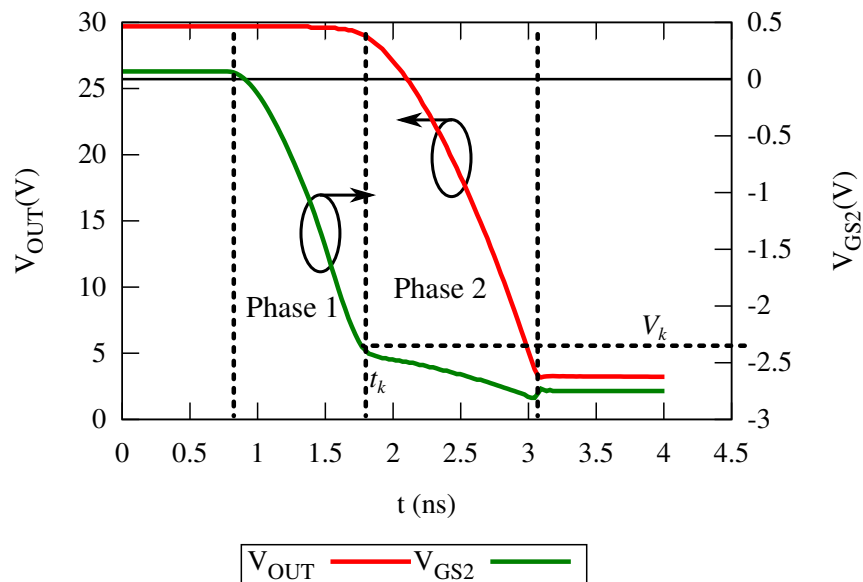


FIGURE 2.24 – Tensions V_{GS2} et V_{OUT} à la transition ON-OFF

i. Rendements en régime statique

Rendement à l'état ON Nous l'avons vu, à l'état ON, le courant dans la branche (R_2 ; T_2) est nul. Le rendement à l'état ON se calcule donc comme suit :

$$\eta_{\text{ON}} = \frac{P_{\text{RL}}}{P_{\text{RL}} + P_{\text{DISS_T2}}} = \frac{R_L \cdot I_D^2}{R_L \cdot I_D^2 + R_{\text{DS2_ON}} \cdot I_D^2} = \frac{R_L}{R_L + R_{\text{DS2_ON}}} = \frac{16.7}{16.7 + 0.15} \approx 99.1\%$$

Le rendement à l'état ON est très élevé et dépend de $R_{\text{DS2_ON}}$. En simulations, on obtient : un résultat de $\eta_{\text{ON}} = 99\%$.

Puissance consommée à l'état OFF Lors de cette phase, la tension de sortie sur la charge n'est pas nulle, mais légèrement supérieure à V_p . $V_{\text{OUT}} \gtrsim V_p$. On définit $P_{\text{RL_OFF}}$ comme étant la puissance fournie à la charge lorsque la cellule est à l'état OFF.

À l'état OFF, le courant fourni à la cellule par l'alimentation est 450 mA, pour une tension de 30 V. La puissance consommée est donc de $P_{\text{OFF}} = 13.5\text{W}$ (figure 2.25).

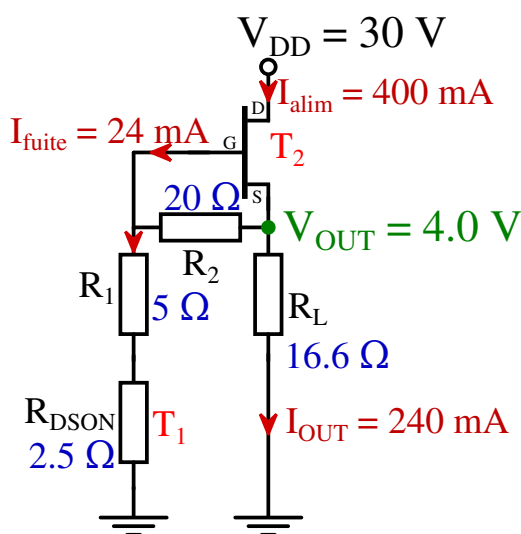


FIGURE 2.25 – Schéma équivalent de la cellule à l'état OFF

Bilan énergétique de la cellule à l'état OFF :

- La résistance R_L voit à ses bornes une tension de 4 V et sa valeur est de 16.6 Ω . La puissance qu'elle dissipe est donc de $P_{\text{RL}} = \frac{4^2}{16.6}$ soit **964 mW** ;
- La résistance R_2 est traversée par un courant de $400 - 240 - 24 = 136\text{ mA}$. Elle dissipe donc une puissance de **370 mW** ;

- R_1 et R_{DSON} en série représentent une résistance de 7.5Ω et sont traversées par un courant de 160 mA . Elles dissipent donc **192 mW** ;
- La différence de potentiel entre le drain et la source du transistor V_{DS2} est de 26 V . Le courant I_{alim} est partagé entre I_{fuite} et le courant allant vers la source, qui vaut donc 376 mA . La puissance dissipée par le transistor due à ce courant est donc de **9.78 W** ;
- La différence de potentiel V_{GD} vaut $V_{\text{alim}} - V_{\text{DS2}} - V_{\text{GS2}}$ soit 28.7 V . La puissance dissipée entre l'accès de drain et l'accès de grille du transistor est donc de **690 mW**.

La puissance totale dissipée par les éléments du circuit est donc, d'après les précédents calculs, de 12 W , ce qui correspond bien à la puissance fournie par l'alimentation : $30 \times 0.4 = 12 \text{ W}$.

Dans les circuits modulateurs de polarisation, la cellule sera isolée de la charge à l'état OFF par une diode. Ainsi, il n'y aura plus de courant fourni à la charge à l'état OFF. La puissance dissipée ici par R_L ne le sera plus dans le cadre de l'utilisation en commutation ou en modulateur PWM.

Il apparaît donc que la puissance dissipée par T_2 à l'état OFF représente 84% de la puissance consommée au total par la cellule.

ii. Rendements en régime dynamique Dans un premier temps, pour les basses fréquences de commutation (c'est-à-dire en négligeant les pertes aux instants de commutation) on peut estimer le rendement en fonction du rapport cyclique α :

$$\eta = \frac{(1 - \alpha) \cdot P_{\text{RL_OFF}} + \alpha \cdot P_{\text{RL_ON}}}{(1 - \alpha) \cdot P_{\text{alim_OFF}} + \alpha \cdot P_{\text{alim_ON}}} \quad (2.17)$$

Ainsi, à partir des puissances calculées au paragraphe précédent :

- $\alpha = 0.5$;
- $P_{\text{alim_OFF}} = 12 \text{ W}$;
- $P_{\text{alim_ON}} = 54 \text{ W}$;
- $P_{\text{RL_OFF}} = 8 \text{ W}$;
- $P_{\text{RL_ON}} = 54 \text{ W}$.

pour un rapport cyclique de $\alpha = 0.5$, on obtient $\eta = 90 \%$. La simulation donne 74.3% à 20 MHz .

La figure 2.26 montre le rendement de la cellule en fonction du rapport cyclique α . Elle met également en évidence l'influence de la fréquence. Plus la fréquence est élevée, plus le rendement est en deçà de ce que prédit l'équation (2.17).

Ceci s'explique par le fait que l'équation (2.17) ne tient compte des considérations énergétiques que pour les états établis sans tenir compte des transitions. Ainsi, lorsque la fréquence augmente, le nombre de transitions par unité de temps augmente. Les pertes énergétiques liées à ces transitions augmentent donc également, provoquant une baisse du rendement concomitante à l'augmentation de la fréquence.

La fréquence de 500 kHz est suffisamment basse pour que la courbe soient quasiment confondues : $f_{500\text{kHz}}(\alpha) \approx f_{\text{analytique}}(\alpha)$.

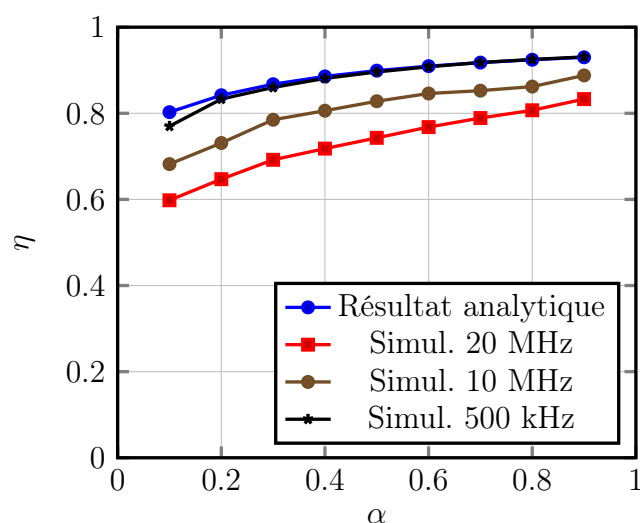


FIGURE 2.26 – Rendement de la cellule η en fonction du rapport cyclique α donné par l'équation (2.17) et par la simulation à 500 kHz, 10 MHz et 20 MHz

Fréquence	Rendement
1 MHz	76.7 %
2 MHz	76.7 %
5 MHz	76.4 %
10 MHz	76.1 %
20 MHz	75.0 %
30 MHz	73.6 %

TABLE 2.1 – Rendement en fonction de la fréquence de commutation, obtenu en simulation, pour $\alpha = 0.5$

Le tableau 2.1 donne le rendement obtenu en simulation en fonction de la fréquence de commutation.

L'augmentation de la fréquence engendre une baisse graduelle du rendement.

2.3.2 Analyse de stabilité

a) Méthode avec outil *Transient* (simulations temporelles)

La méthode utilisée ici vient du fait que lors des simulation ADS réalisées, nous avons remarqué que selon les configurations, une instabilité pouvait apparaître, notamment à l'état bas de la cellule.

La validation de la méthode a été réalisée à l'aide des composants suivants :

- T_1 : modèle d'un transistor $6 \times 400 \mu\text{m}$ de chez III-V Lab ;
- T_2 : modèle d'un transistor $8 \times 6 \times 400 \mu\text{m}$ de chez III-V Lab ;
- R_1 : 5Ω (recherche d'instabilité) ;
- R_2 : 20Ω ;

- R_s : R_s a été court-circuitée (recherche d'instabilité) ;
- R_L : 16.60Ω ;
- signal d'entrée : sinusoïde centrée autour de $V_p = -1.6 \text{ V}$, d'amplitude 4 V et de fréquence 10 MHz ;
- tension V_{DD} : (28 V).

Nous avons alors voulu savoir si les instabilités détectées lors des simulations temporelles représentaient un phénomène physique ou n'étaient qu'un *artefact* de simulation.

Pour ces valeurs de composants la cellule est instable à l'état OFF.

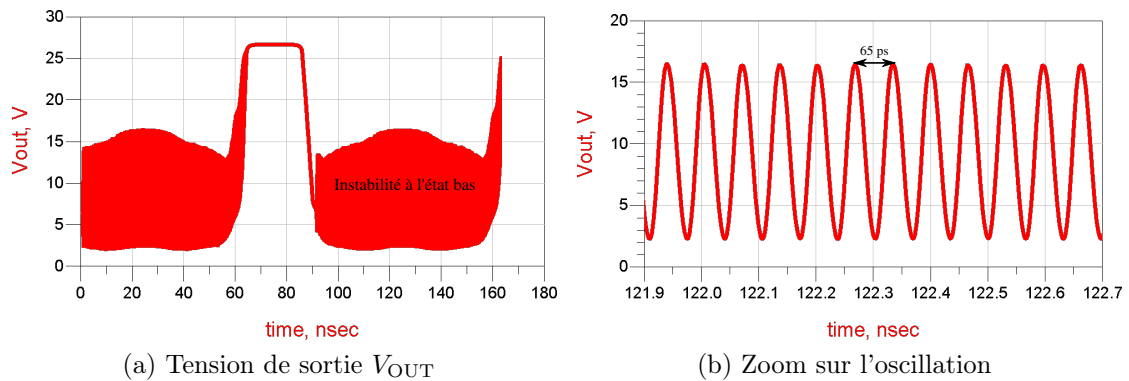


FIGURE 2.27 – Tension de sortie V_{OUT} de la cellule instable

La figure 2.27a montre la tension en sortie sur la charge R_L .

La simulation temporelle prédit une instabilité à l'état OFF de forte amplitude. La figure 2.27b représente un zoom sur cette instabilité dont la période est de 65 ps , sa fréquence est donc de 15.4 GHz .

Nous avons confronté ces résultats avec ceux donnés par une méthode éprouvée : la méthode de la boucle ouverte [28].

b) Méthode de la boucle ouverte

Cette méthode consiste à calculer le gain du circuit en boucle ouverte par l'injection d'une perturbation petit signal sur l'accès de grille du transistor et d'évaluer le gain complexe du système à la fréquence f_{bf} de la perturbation. La fréquence f_{bf} subit un balayage sur une plage de fréquences et avec un pas déterminés. Ainsi, le gain du système est relevé en module et en phase pour chaque fréquence de la plage choisie.

Le critère d'instabilité est la donnée de 3 conditions :

- la phase $\phi(f_{bf})$ passe par 0 ;
- avec une pente négative, soit $\frac{d\phi}{df_{bf}} < 0$;
- il faut aussi qu'en ce point le gain soit supérieur à 0 dB afin d'entretenir l'oscillation.

Si ces trois conditions sont réunies, alors la méthode prédit une instabilité (critère de Nyquist).

La figure 2.28 montre le principe de la technique de la boucle ouverte de façon simplifiée.

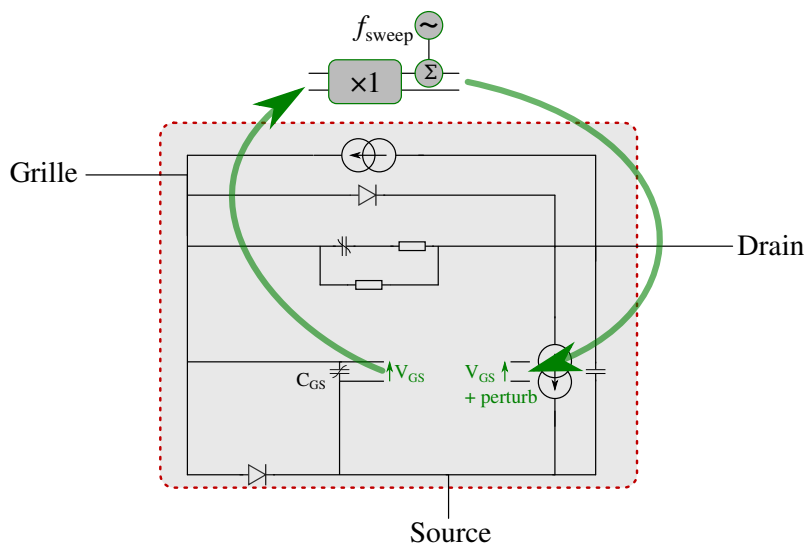


FIGURE 2.28 – Schéma bloc de la méthode de la boucle ouverte

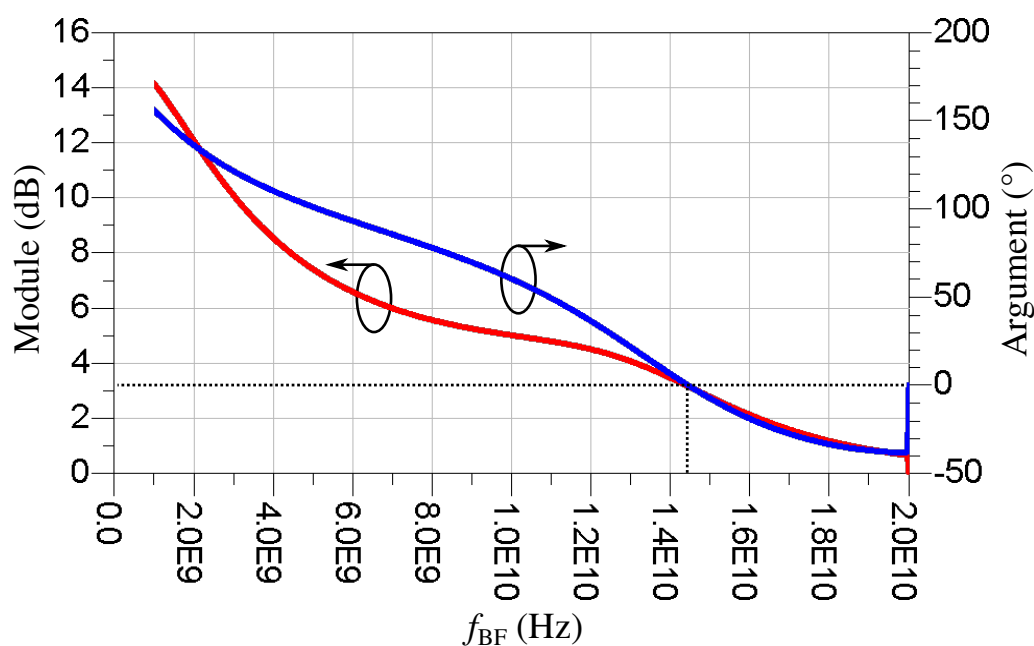


FIGURE 2.29 – Gain du système en fonction de la fréquence f_{bf} en module (axe Y de gauche) et en argument (axe Y de droite)

Sur la figure 2.29, la phase s'annule avec une pente négative en $f_{bf} = 14.6$ GHz. Le gain à cette fréquence est de 3.06 dB.

La méthode de la boucle ouverte prédit une instabilité à la fréquence de 14.6 GHz.

Les deux méthodes donnent des résultats sensiblement similaires : elles prédisent les instabilités à des fréquences voisines (14.6 GHz pour la boucle ouverte et 15.4 GHz en simulation temporelle soit une erreur relative de 5.2 %).

Cette concordance des résultats a lieu avec deux méthodes n'utilisant pas le même paradigme : l'une est temporelle, l'autre fréquentielle et n'utilisent donc pas le même moteur de simulation. Ceci nous donne une certaine confiance envers les résultats que ces deux méthodes nous ont permis de trouver.

Ceci est répétable sur toutes les configurations testées.

c) Analyse de stabilité du circuit

Nous avons donc deux méthodes permettant d'estimer la présence ou non d'instabilité, ainsi que leur fréquence.

La simulation tient compte :

- des lignes électriques reliant les composants ;
- de l'épaisseur et des constantes (ϵ_r et μ_r) du substrat ;
- des fils de *bonding* en or, de leur longueur, leur diamètre ;
- de la présence de vias.

En revanche, ne sont pas pris en compte :

- les plots de soudure en étain ;
- les self internes des capacités présentes sur le circuit.

La simulation de la cellule hybride est réalisée avec des éléments suivants :

- T_1 est un modèle de transistor de développement $6 \times 400 \mu\text{m}$;
- T_2 est un modèle de transistor de développement $8 \times 6 \times 400 \mu\text{m}$;
- R_1 : 5Ω ;
- R_2 : 40Ω ;
- R_L : 16Ω ;
- R_s : 20Ω .

Les résistances R_1 et R_s ont été ajustées, dans le cadre de la simulation, de manière à obtenir la plus faible valeur possible stabilisant le circuit. Ainsi, on obtient un circuit stable dont l'énergie dissipée via R_s et surtout R_1 est la plus faible possible.

Il n'y a pas d'excitation à l'entrée du circuit. En effet, les problèmes d'instabilité n'apparaissent qu'à l'état OFF. La grille de T_1 est donc reliée à la masse ce qui bloque la cellule à OFF.

La simulation en boucle ouverte indique qu'à ces fréquences, il y a peu de risque d'instabilité. En revanche, l'influence de la longueur de la ligne liant la grille de T_2 à la résistance R_s a une influence importante.

2.4 Réalisation et résultats expérimentaux

2.4.1 Conception d'une cellule hybride de forte puissance

a) Cahier des charges

Le cahier des charges pour le modulateur était d'atteindre une puissance moyenne de 50 W pour une puissance crête de 250 W, à une tension maximale de 50 V. La largeur spectrale visée est de 5 à 10 MHz.

Ceci impose les contraintes suivantes au niveau de la cellule :

- elle doit être capable de commuter de 20 V à 50 V au minimum sans détérioration du transistor de puissance ;
- la fréquence de commutation doit être de l'ordre de 50 MHz ;
- le tout en conservant un rendement élevé (supérieur à 90 %) ⁴.

Il en découle une contrainte au niveau des temps de montée et de descente de la cellule : ils doivent être inférieurs à la période de commutation d'un facteur 10. Si la cellule doit commuter à 50 MHz, cela représente une période de 20 ns. Chaque état (haut ou bas) dure donc 10 ns.

Les transitions (OFF-ON et ON-OFF) sont les moments où le transistor T_2 dissipe le plus d'énergie. Leurs durées doivent donc être les plus courtes possible si l'on veut pouvoir monter en fréquence tout en gardant un rendement correct. De façon empirique, entre 10 % et 20 % de la durée d'un état semble être un objectif raisonnable.

Ceci implique ici une durée maximale de l'ordre de **2 ns**. Sur une excursion de 50 V, cela représente un *slew rate* de 25 V/ns.

b) Choix technologiques et conception

i. Capacités de ligne Afin de faire face aux appels de courant ayant lieu au moment où le transistor commute, des capacités sont placées le long de la ligne d'alimentation entre l'accès d'alimentation (V_{DD}) et le drain du transistor T_2 (figure 2.30).

Les capacités sont placées en parallèle le long de la ligne d'alimentation et sont de type CMS (Composants Montés en Surface), de façon à ce que les plus faibles valeurs de capacités soient au plus proche du drain de T_1 . Deux d'entre elles sont placées à l'intérieur du boîtier, alors que les autres (au nombre de 5) sont placées à l'extérieur. Nous avons constaté que le meilleur filtrage est réalisé lorsque deux capacités consécutives sont liées par un facteur 10.

Les deux capacités situées à l'intérieur du boîtier hybride sont de type X2Y. Ce sont des composants à 4 accès (au lieu de 2 pour les autres condensateurs CMS) qui, à capacité égale, présentent des self parasites aux accès deux fois moins importantes (figure 2.31).

4. cette indication est volontairement imprécise car si le rendement du modulateur réalisé est fonction du rendement de la cellule, ce dernier n'est pas le seul critère entrant en jeu dans le rendement final

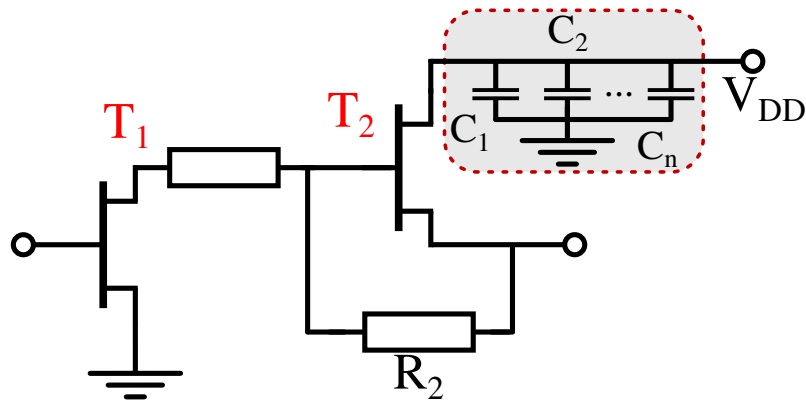


FIGURE 2.30 – Multiples capacités placées le long de l'accès d'alimentation afin de lisser les appels de courant dus à la commutation. Elles sont placées telles que $C_1 < C_2 < \dots < C_n$

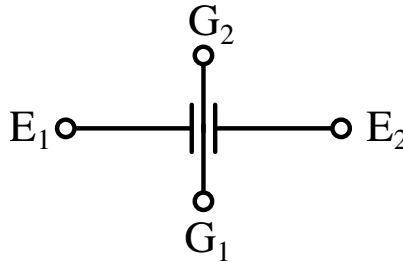


FIGURE 2.31 – Schéma d'une capacité X2Y, avec ses 4 accès dont deux de masse (G1 et G2)

ii. Transistors T_1 et T_2 sont tous deux des transistors GaN. Ce choix a été fait en vertu des propriétés évoquées précédemment, à savoir de faibles capacités parasites aux accès et une tension de grille négative.

Si le transistor T_2 est utilisé au courant maximum (I_{DSS}), le temps d'établissement du courant dans T_2 , c'est-à-dire le temps de mise à ON de la cellule, va être augmenté.

La tension V_{DD} est de 30 V et la charge est de 16.6 Ω . Ainsi, la contrainte en courant est d'environ $I_D = 2$ A. L'utilisation d'un transistor T_2 surdimensionné permet d'obtenir un temps de commutation plus court. Ceci est lié à un fait évoqué précédemment : le fait d'utiliser un transistor surdimensionné permet de ne pas attendre que la tension V_{GS2} n'atteigne 0 V et de gagner sur le temps de commutation.

Ainsi, avec les valeurs suivantes :

- $V_p = -1.6$ V ;
- R_L vaut 16 Ω ;
- R_1 vaut 5 Ω ;
- La tension V_{GS2_OFF} vaut -1.55 V ;
- $V_{DD} = 30$ V ;

— $R_{DS1_OFF} = 4 \text{ k}\Omega$;

Les calculs ont été réalisés pour deux tailles de transistors T_2 différentes à titre d'exemple :

1. Transistor T_2 à I_{DSS} de 6 A
 - $C_{GS} = 12 \text{ pF}$;
 - $C_{GD} = 2 \text{ pF}$;
 - $R_2 : 40 \text{ }\Omega$;
 - $R_{DS2_ON} = 100 \text{ m}\Omega$;
2. Transistor T_2 à I_{DSS} de 18 A ($C_{GS} = 24 \text{ pF}$ et $C_{GS} = 4 \text{ pF}$).
 - $C_{GS} = 36 \text{ pF}$;
 - $C_{GD} = 6 \text{ pF}$;
 - $R_2 : 14 \text{ }\Omega$;
 - $R_{DS2_ON} = 33 \text{ m}\Omega$.

Avec le transistor T_2 de I_{DSS} 6 A, on obtient un temps t_k de 3.4 ns.

Avec le transistor T_2 de I_{DSS} 18 A, on obtient un temps t_k de 1.9 ns.

Il apparaît ainsi que le temps de montée t_k est une fonction décroissante du développement de grille du transistor T_2 . Un autre point incite à choisir un transistor T_2 surdimensionné : la diminution de R_{DS2_ON} qui aura tendance à augmenter le rendement à l'état ON.

Deux topologies de circuits ont été réalisés :

Le transistor T_1 commun aux deux topologies est un $6 \times 400 \text{ }\mu\text{m}$ (développement total 2.4 mm).

Concernant le transistor T_2 , deux développements ont été retenus :

- l'un avec une barrette T_2 de $8 \times 6 \times 400 \text{ }\mu\text{m}$, soit un développement total de 19.2 mm et $I_{DSS} \approx 13 \text{ A}$;
- l'autre avec une barrette T_2 de $15 \times 6 \times 400 \text{ }\mu\text{m}$, soit un développement total de 36 mm et $I_{DSS} \approx 25 \text{ A}$.

Sur les 19 circuits réalisés, T_1 est un $8 \times 6 \times 400 \text{ }\mu\text{m}$.

- 15 d'entre eux comprennent une barrette de $8 \times 6 \times 400 \text{ }\mu\text{m}$ pour T_2 ;
- 4 d'entre eux comprennent une barrette de $15 \times 6 \times 400 \text{ }\mu\text{m}$ pour T_2 .

Taille transistor T_2	T_1	T_2	Techno. (T_1/T_2)	Nbr. de cellules
$8 \times 6 \times 400 \text{ }\mu\text{m}$	AEC1815	AEC1815	AlGa _N /AlGa _N	3
	JD-16	JD-16	InAlN/InAlN	6
	JD-16	AEC1815	InAlN/AlGa _N	6
$15 \times 6 \times 400 \text{ }\mu\text{m}$	AEC1814	AEC1814	AlGa _N /AlGa _N	4

TABLE 2.2 – Récapitulatif des cellules réalisées

iii. Connexions et substrat Le substrat sur lequel est monté le circuit est un substrat de $254 \text{ }\mu\text{m}$ d'épaisseur et de permittivité relative est $\epsilon_r = 10.9$. Les simulations ont montré que la stabilité est améliorée par rapport à des substrats plus fins : cette configuration réduit les capacités parasites reliant les lignes à la masse.

Les fils réalisant les connexions entre les lignes et les transistors d'une part, puis les lignes et les pattes du boîtier d'autre part sont des fils d'or de $17.5 \mu\text{m}$ de diamètre. Parmi celles possibles, cette solution était celle permettant de présenter la plus grande section de conducteur, présentant ainsi moins de self parasite et une plus faible résistance face aux courants en jeu, qui sont de plusieurs ampères.

iv. Conception La conception du circuit est réalisée sous ADS. Le circuit est visible figure 2.32.

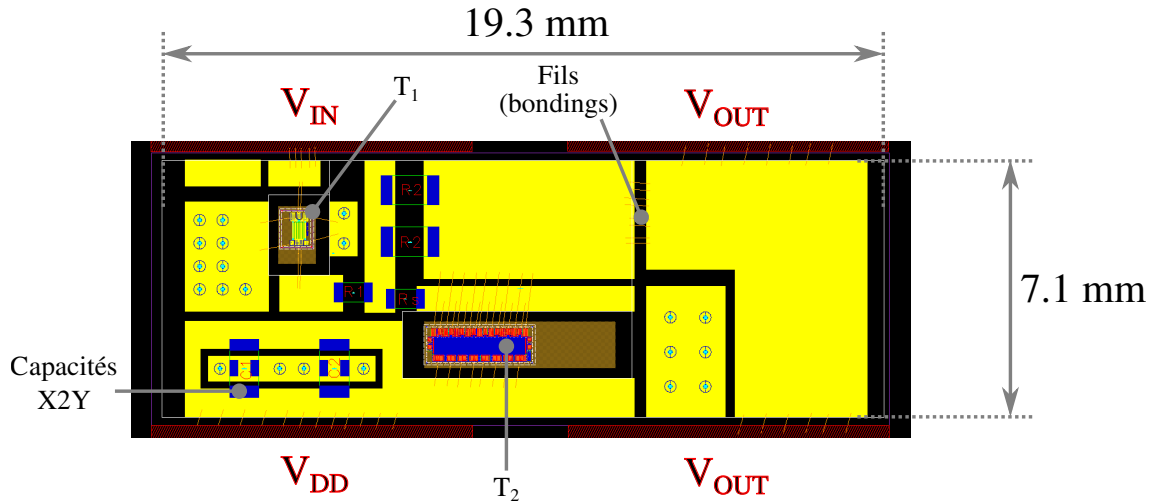


FIGURE 2.32 – Schéma du circuit hybride

La fabrication des circuits hybrides a consisté dans un premier temps à faire réaliser le circuit imprimé (partie jaune et noire sur la figure 2.32). Dans un second temps, les composants (résistances, condensateurs, transistors...) ont été montés sur le circuit puis l'ensemble fixé dans le boîtier.

2.4.2 Réalisation du circuit

Le circuit réalisé est visible sur la photographie 2.33.

La réalisation du circuit a fait l'objet d'un compromis entre une solution en composants discrets avec des transistors en boîtiers, présentant l'avantage d'être modifiable mais dont les performances sont limitées et une solution intégrée monolithique (MMIC) performante mais n'autorisant aucune modification.

Elles sont conçues pour être intégrées à un boîtier capable de dissiper une forte puissance thermique.

Les dimensions du circuit placé à l'intérieur du boîtier sont $19.3 \times 7.1 \text{ mm}$.

Un critère déterminant dans la réalisation du montage est le refroidissement du transistor de puissance. Celui-ci est monté en source flottante (sortie V_{OUT}). Aucun des accès n'est la masse. Il est donc nécessaire d'utiliser des transistors sans vias qui sont brasés sur le fond du boîtier. Cela permet un bon refroidissement de T_2 alors qu'aucun accès n'est relié à la masse.

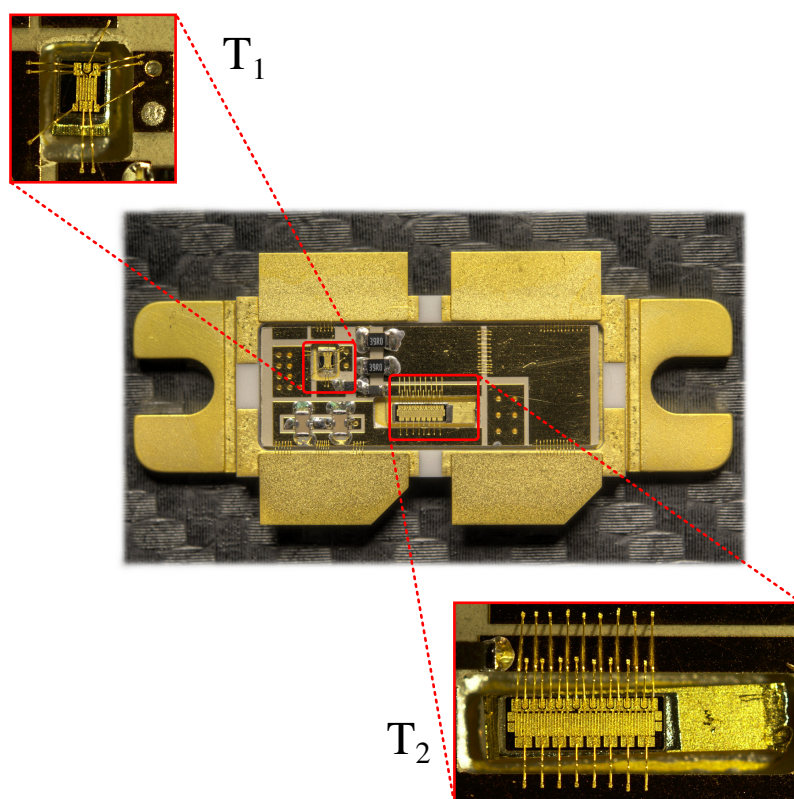


FIGURE 2.33 – Photo du circuit hybride à l’intérieur du boîtier Zentrix, zoom sur les transistors T_1 et T_2

T_2 est donc un transistor coplanaire donc les connexions électriques sont réalisés à l’aide de fils de *bonding*.

T_1 et T_2 sont donc placés sur des évidements sur le fond du boîtier.

Un point a particulièrement attiré notre attention au niveau de la conception du circuit. La stabilité du montage est extrêmement sensible à la topologie du circuit au niveau de la grille de T_2 (d’où la présence de R_s , créant des pertes à cet endroit). Nous avons constaté que plus longue était la piste électrique à cet endroit, plus le risque d’instabilité augmentait. Nous avons donc fait en sorte que la piste soit la plus courte possible entre la grille de T_2 et la résistance R_s .

Le substrat utilisé est un Roger RT6010 ($\epsilon_r = 10.9$) d’épaisseur $254 \mu\text{m}$.

Quatre types de cellules ont été réalisées. Le tableau 2.2 récapitule les cellules réalisées.

Les mesures sont réalisées à partir d’une cellule intégrée à un banc d’essai (figure 2.34).

2.4.3 Mesures des formes temporelles

Nous avons dans un premier temps réalisé les mesures sur la cellule commandée directement par un AWG (Arbitrary Waveform Generator). La mesure est effectuée

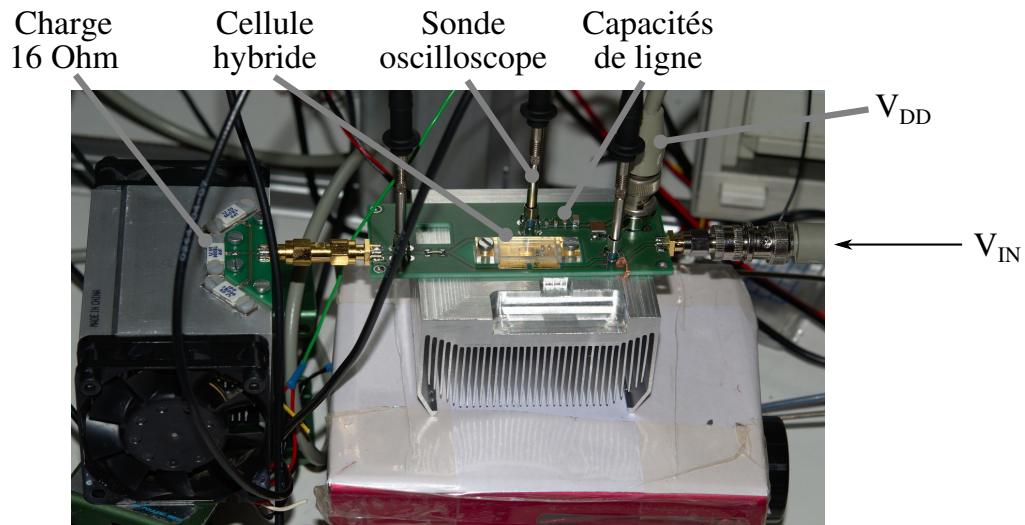


FIGURE 2.34 – Photo du banc d'essai

à l'aide d'un oscilloscope au niveau de la sortie chargée sur 16Ω (figure 2.35).

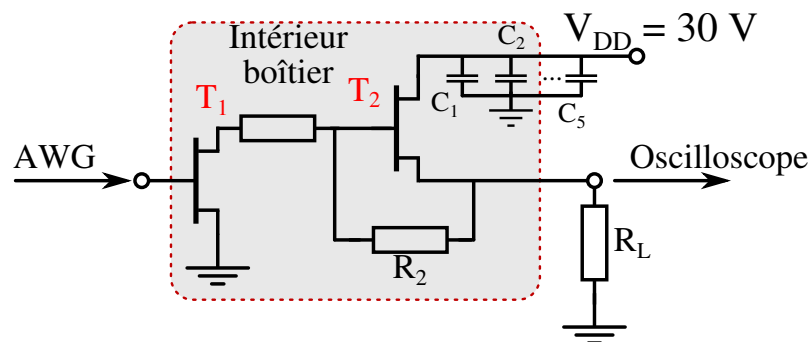


FIGURE 2.35 – Schéma de la cellule sous test

Les mesures ont été réalisées sur les deux configurations de cellules présentées précédemment.

a) Transitions

Nous avons dans un premier temps mesuré les temps de montée et de descente de la tension de sortie de la cellule. Elle est ici commandée par un signal carré figure 2.36.

On obtient les *slew rate* suivants :

- 4 V/ns pour la transition OFF-ON ;
- -5.4 V/ns pour la transition ON-OFF.

pour des temps de montée et de descente de respectivement 5.3 et 5.8 ns .

L'instabilité visible figure 2.41 n'apparaît qu'à des fréquences de plusieurs dizaines de mégahertz. Ainsi, elle n'était pas présente lors des mesures à l'origine de

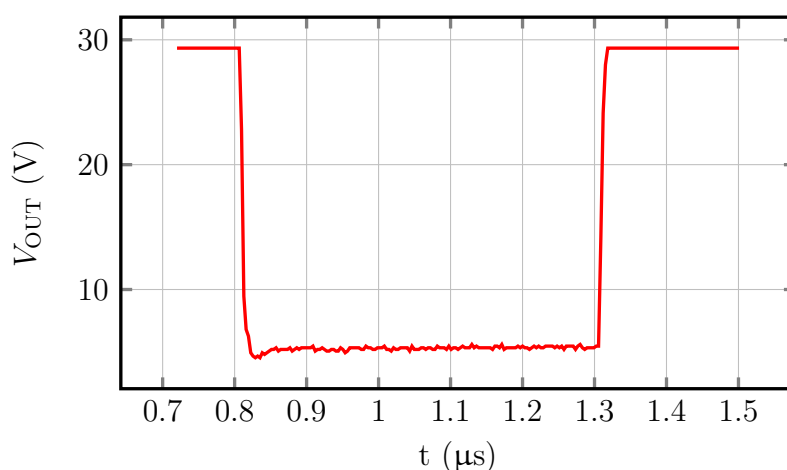


FIGURE 2.36 – Transitions ON-OFF et OFF-ON.

la figure figure 2.36.

Les mesures ont montré que certaines cellules présentaient une instabilité à l'état bas, ce qui confirme qu'un soin particulier doit être apporté à la stabilisation de la cellule.

b) Régime établi

Les mesures ont été automatisées à l'aide d'un programme LabVIEW commandant l'AWG et l'oscilloscope. Le fonctionnement de ce dernier consiste à relever les 4 canaux d'entrée de l'oscilloscope pour une fréquence et un rapport cyclique donnés du signal d'entrée. Nous avons fait varier le rapport cyclique α de 10 à 90%.

La tension d'alimentation est de 30 V.

Les résultats obtenus en terme de tenue en fréquence sont les suivants :

i. À 100 kHz La figure 2.37 met en évidence les tensions d'alimentation et de sortie.

La tension d'alimentation est stable à 100 kHz : son écart type est de 57 mV.

La tension de sortie est un signal carré. Les deux tensions prises par le signal sont : 5.3 V à l'état bas et 19.6 V à l'état haut, soit 0.4 V de tension de déchet.

ii. À 1 MHz Les mesures à 1 MHz sont visibles figure 2.38.

À 1 MHz, la tension d'alimentation subit des variations à hauteur d'un écart type de 102 mV.

iii. À 10 MHz La figure 2.39 montre les formes d'onde à 10 MHz.

À 10 MHz, l'oscillation de la tension d'alimentation suit un écart type de 378 mV.

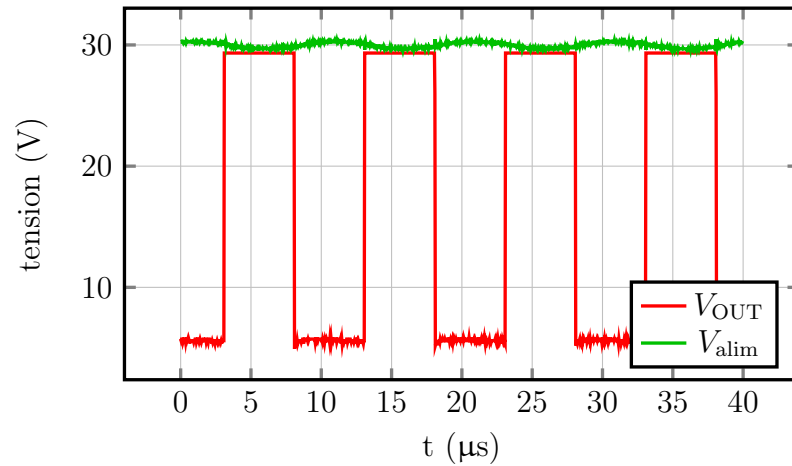


FIGURE 2.37 – Tensions en sortie de la cellule et sur la ligne d'alimentation à 100 kHz

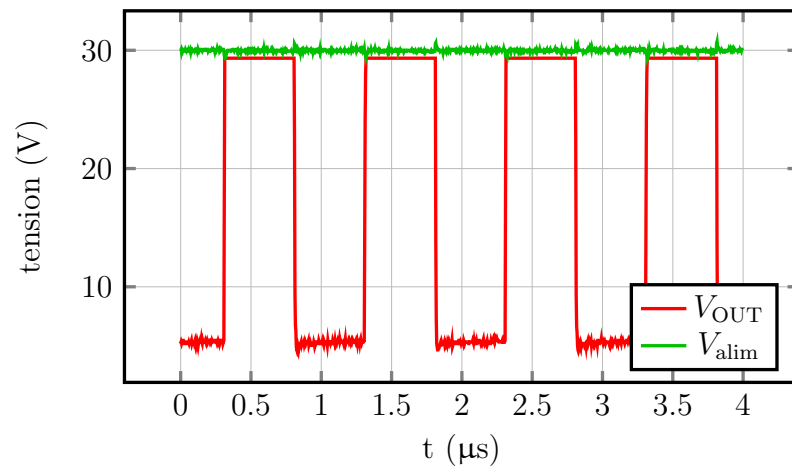


FIGURE 2.38 – Tensions en sortie de la cellule et sur la ligne d'alimentation à 1 MHz

La période est de 100 ns, chaque état (ON ou OFF) dure donc 50 ns. Les temps de montée et de descente étant respectivement de 5.3 et 5.8 ns, ceux-ci représentent, à 10 MHz, un peu plus de 10 % de la durée de chaque état.

À partir de 10 MHz nous allons vers des fréquences où les temps de montée et de descente ne sont plus négligeables devant les périodes de commutation.

iv. À 20 MHz (figure 2.40) L'oscillation sur la tension d'alimentation est de 333 mV en écart type. Les temps de montée et de descente représentent maintenant 20 % de la durée de chaque état. Le signal n'est plus aussi parfait qu'à basse fréquence mais il atteint toujours ses *extrema*.

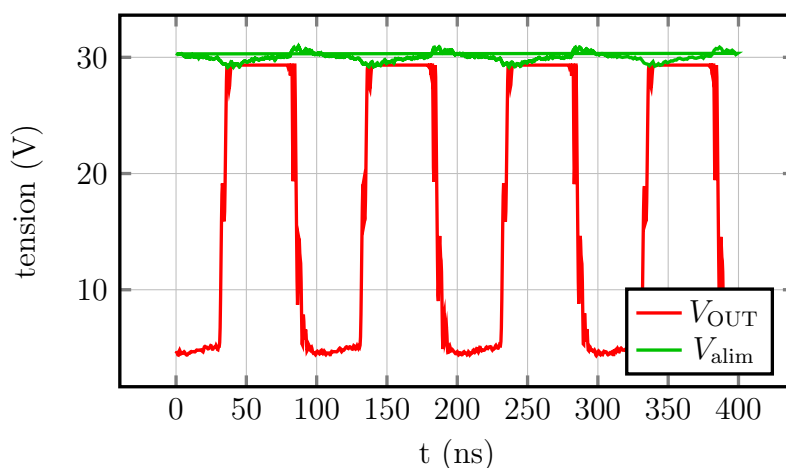


FIGURE 2.39 – Tensions en sortie de la cellule et sur la ligne d'alimentation à 10 MHz

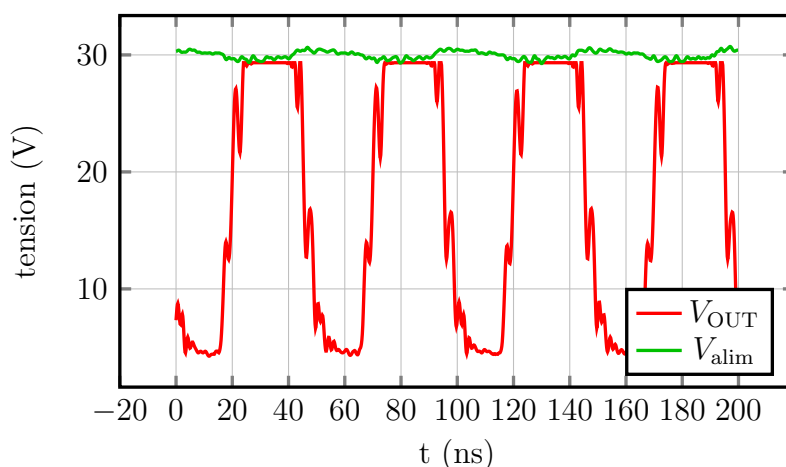


FIGURE 2.40 – Tensions en sortie de la cellule et sur la ligne d'alimentation à 20 MHz

v. **À 30 MHz (figure 2.41)** À 30 MHz, la cellule se met à osciller. Nous avons donc arrêté les mesures à cette fréquence.

2.4.4 Bilan énergétique expérimental

La tension d'alimentation est de 30 V.

La puissance sur charge de 16.7Ω pour une tension de 29.2 V. La puissance à l'état ON est donc $P_{ON} = \frac{29.2^2}{16.7} = 51.2W$. La tension à l'état bas est de 4.9 V. La chute de tension au sein de T_2 est donc de 0.8 V.

À l'état ON, le courant traversant le transistor T_2 et la charge R_L vaut $\frac{29.2}{16.7} =$

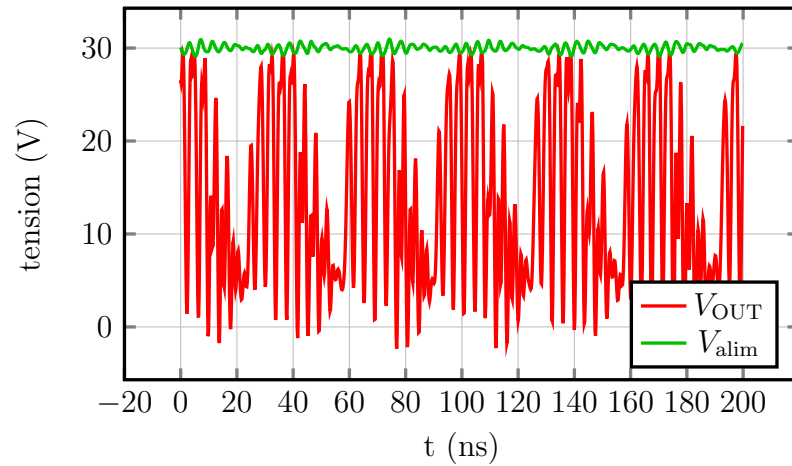


FIGURE 2.41 – Tensions en sortie de la cellule et sur la ligne d’alimentation à 30 MHz

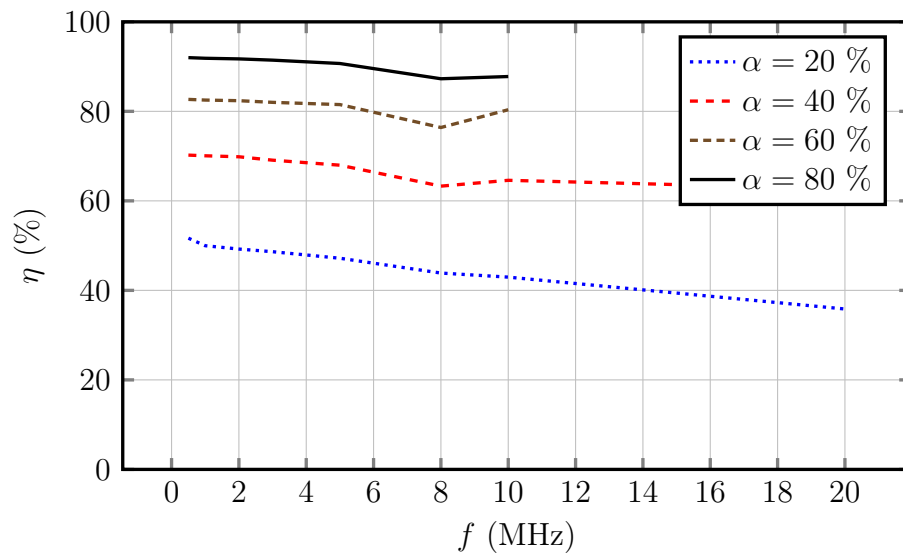


FIGURE 2.42 – Rendements en fonction de la fréquence, pour différents rapports cycliques de 20 % à 80 %

1.75A. La puissance qu’il dissipe est de $1.75 \times 0.8 = 1.4W$. Le rendement à l’état ON vaut donc :

$$\eta = \frac{51.2}{51.2 + 1.4} = 97.3\%$$

Ceci corrobore le fait que les pertes ont lieu à l’état OFF et aux transitions.

Les mesures ont été réalisées pour une gamme de fréquences allant de 0.1 à 20 MHz (avec comme rapports cycliques 60 % et 80 %).

La figure 2.42 montre le rendement en fonction de la fréquence pour différents

rappports cycliques.

On peut considérer que les fonctions $f_\alpha(f)$ sont des fonctions affines.

Pour les rapports cycliques les plus bas, le rendement est faible. En effet, la cellule passant le plus de temps à l'état OFF, c'est-à-dire à l'état où la consommation est nécessaire au fonctionnement de la cellule mais ne se retrouve pas dans la puissance utile. Le rendement à l'état ON étant excellent, plus le rapport cyclique est élevé, meilleur est le rendement.

Conclusion

Nous avons présenté dans ce chapitre une analyse détaillée du fonctionnement de la cellule de commutation.

Le rôle des différents composants a été analysé afin de comprendre leur impact sur les critères de conception tels que la stabilité, la vitesse de commutation, le rendement et le courant de sortie.

L'influence des caractéristiques intrinsèques du transistor de sortie (V_p , I_{DSS} , C_{GS} , C_{GD}) sur le fonctionnement de la cellule est identifié.

Il se dégage ainsi quelques règles de conception :

- le transistor T_2 doit être largement surdimensionné de façon à travailler en zone ohmique à l'état ON. Typiquement, on peut choisir son courant I_{DSS} au moins 4 à 5 fois supérieur au courant maximum imposé par la charge et la tension d'alimentation V_{DD} ;
- les résistances R_1 et R_s n'ont qu'un rôle de stabilisation de la cellule. L'instabilité du système est provoquée par un gain supérieur à 0 dB lorsque la phase est nulle avec une dérivée négative. Ainsi, leur rôle est de diminuer le gain en boucle ouverte aux fréquences où il y a risque d'oscillation. Dans la mesure du possible, leurs valeurs doivent rester faibles de façon à ne pas trop impacter la vitesse et la consommation ;
- le choix de la résistance R_2 est essentiel puisque celle-ci impacte directement la consommation à l'état OFF et le temps de commutation. Sa valeur repose sur un compromis vitesse/rendement ;
- le transistor T_1 doit présenter une résistance drain-source élevée au pincement. Sa taille est peu critique.

Nous avons montré dans ce chapitre des réalisations hybrides des cellules. Les résultats obtenus valident les études théoriques et permettent d'envisager l'utilisation de cette cellule pour la conception de modulateurs de polarisation.

Chapitre 3

Conception de modulateurs de polarisation

Introduction

Ce chapitre présente la conception et la réalisation de deux circuits de gestion dynamique de polarisation. Ces circuits utilisent tous deux comme brique de base la cellule hybride présentée dans le chapitre précédent.

Le premier circuit de gestion de polarisation proposé est dédié à la mise en œuvre de l'*envelope tracking* continu (ETC). Il s'agit d'un convertisseur abaisseur commandé par un signal PWM généré à partir du signal d'enveloppe.

Le deuxième circuit de gestion de polarisation est dédié à l'implémentation de l'*envelope tracking* discret (ETD). Il s'agit d'un système de commutation d'alimentations sur 4 niveaux utilisant lui aussi comme brique de base plusieurs cellules de commutation.

La fin de ce chapitre est consacrée au couplage du modulateur de polarisation ETD à un amplificateur de puissance afin d'évaluer les performances globales du système et d'analyser le comportement des circuits lors de leur association.

3.1 Le système d'*envelope tracking*

3.1.1 Description du système

Nous présentons dans ce paragraphe l'environnement développé autour du modulateur de polarisation afin de reproduire un système d'*envelope tracking* réaliste. Ce système, présenté figure 3.1, a été conçu pour gérer, sans modification matérielle soit une modulation de polarisation pour l'ETC soit pour l'ETD.

Le signal d'entrée du système est l'enveloppe de la modulation RF. Dans notre cas, elle sera délivrée par un générateur de type AWG. Elle pourrait être issue d'un détecteur d'enveloppe.

Le schéma bloc du système développé est visible figure 3.2.

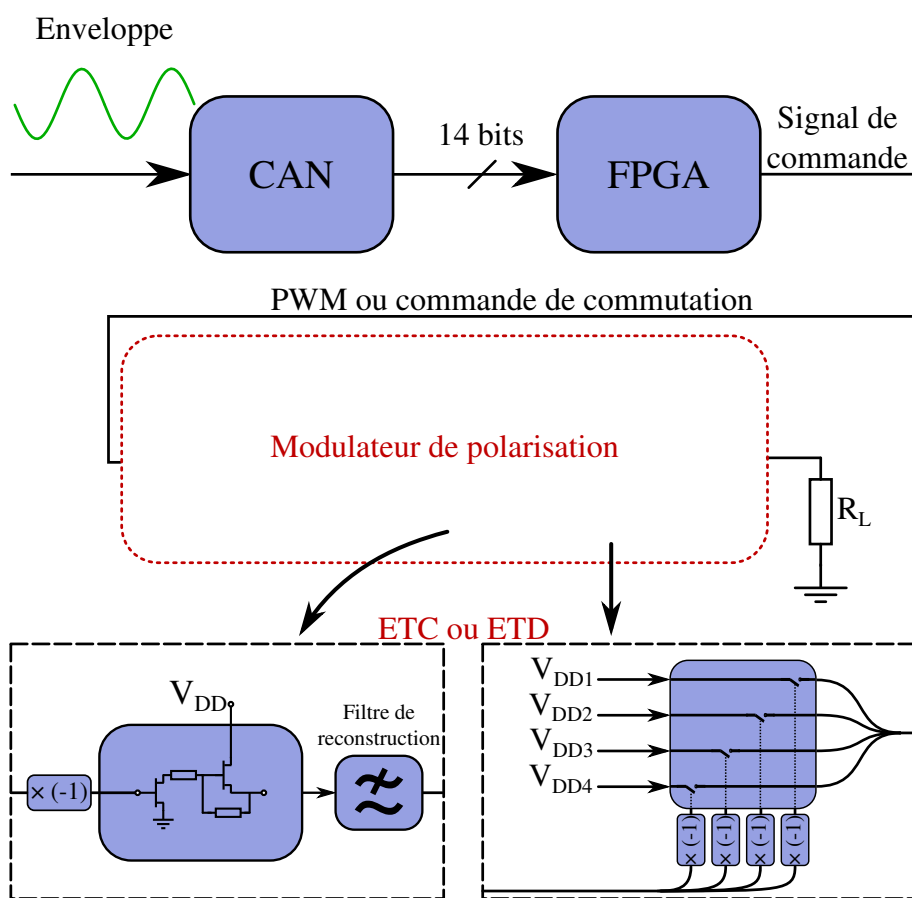


FIGURE 3.1 – Schéma du modulateur de polarisation

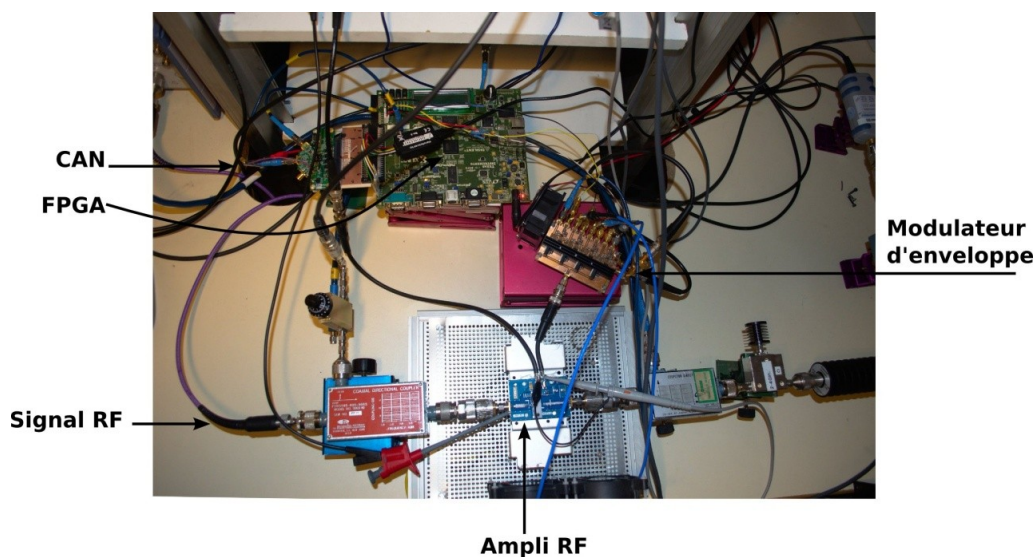


FIGURE 3.2 – Photo du banc de mesures

3.1.2 Présentation des différents éléments du système

a) Convertisseur analogique numérique (CAN)

Le CAN (figure 3.3) utilisé présente les performances suivantes :

- 2 voies d'une résolution de 14 bits en parallèle ;
- fréquence d'échantillonnage maximale de 125 MHz ;
- bande passante : DC – 70 MHz.

Pour notre application, nous avons utilisé le demoboard de Linear Technology sur une seule des deux voies disponibles et une fréquence d'horloge externe de 50 MHz.

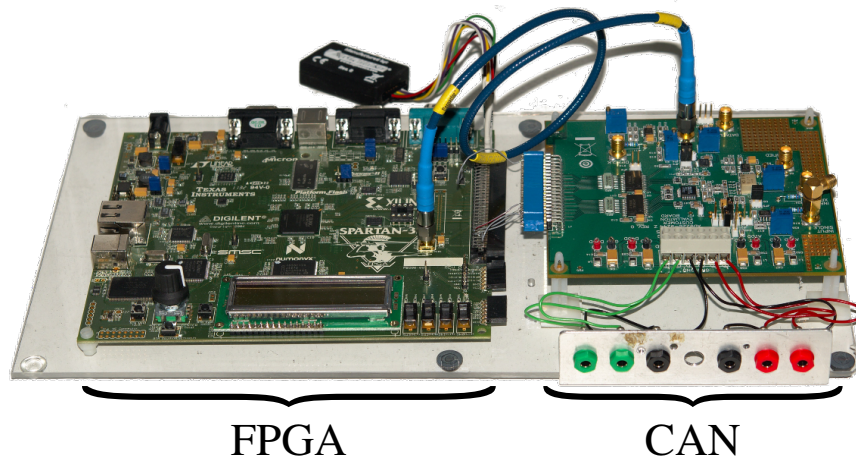


FIGURE 3.3 – Photo du convertisseur analogique-numérique et du FPGA

b) Field Programmable Gate Array (FPGA)

Le FPGA est un circuit logique programmable. À la différence d'un microprocesseur ou d'un DSP (Digital Signal Processor), il n'exécute pas de lignes de code. On utilise un langage permettant de décrire le circuit logique que l'on veut implémenter au sein du FPGA. Ce langage est nommé VHDL pour VHSIC Hardware Description Language (VHSIC signifie Very High Speed Integrated Circuits).

Le modèle utilisé ici est un Spartan-3E. Ce modèle contient une horloge interne de fréquence maximale 333 MHz et peut être synchronisé sur des signaux externes (ou les générer) de 50 MHz.

C'est au sein d'un programme implémenté dans le FPGA que sont décrites les fonctions telles que la PWM (décrite en détails en annexe A) ; la commande de commutation, ainsi que les autres éléments nécessaires au programme.

En effet, la carte FPGA est équipée de périphériques d'entrée/sortie, comme un écran d'affichage 2 lignes, une sortie VGA, une entrée clavier PS-2, des boutons poussoirs, des ports série, etc.

La communication avec ces périphériques fait partie intégrante du programme embarqué dans le FPGA.

c) Étage driver

Le FPGA génère un signal de commande égal à 0 V à l'état bas et 2.5 V à l'état haut. Or, la tension de pincement V_p du transistor de commande T_1 est négative. Le driver a donc pour rôle de convertir la commande positive du FPGA en commande négative permettant de piloter T_1 .

Il est réalisé à partir d'un amplificateur opérationnel en montage inverseur (figure 3.4) de gain -1 et de bande passante 1.2 GHz.

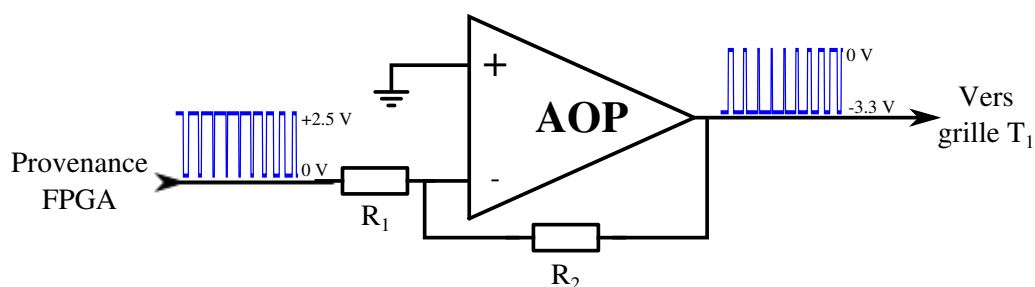


FIGURE 3.4 – Schéma du montage inverseur

L'alimentation de l'amplificateur opérationnel en ± 5 V se fait via une alimentation symétrique externe et est stabilisée par deux régulateurs situés sur le circuit.

3.2 Modulateur de polarisation PWM pour l'ETC

3.2.1 Conception du circuit

a) Réalisation

Le circuit est réalisé à partir d'une cellule, de deux accès d'alimentation et deux diodes (figure 3.5) sur un substrat de 1.6 mm d'épaisseur. Il contient les drivers, les diodes de protection, les capacités de ligne, et est conçu pour être implanté sur un radiateur afin que le flux thermique en provenance de T_2 puisse être évacué (figure 3.6).

Les capacités de lignes sont présentes sur le circuit mais n'ont pas été représentées figure 3.5 dans un souci de simplification du schéma.

Ce circuit comprend deux lignes d'alimentation telles que $V_{DD1} > V_{DD2}$. V_{DD1} est hachée par la cellule, V_{DD2} est directement présentée sur la diode.

Les diodes D1 et D2 ont un rôle d'isolation des alimentations.

- si la cellule est à l'état ON, la tension V_{DD1} est appliquée sur la sortie du circuit. Sans la diode D2, le courant irait vers l'alimentation V_{DD2} car celle-ci a une tension inférieure à V_{DD1} .
- si la cellule est à l'état OFF, la tension V_{DD2} serait appliquée.

Dans les deux cas, il est nécessaire de protéger la cellule qui est à l'état OFF.

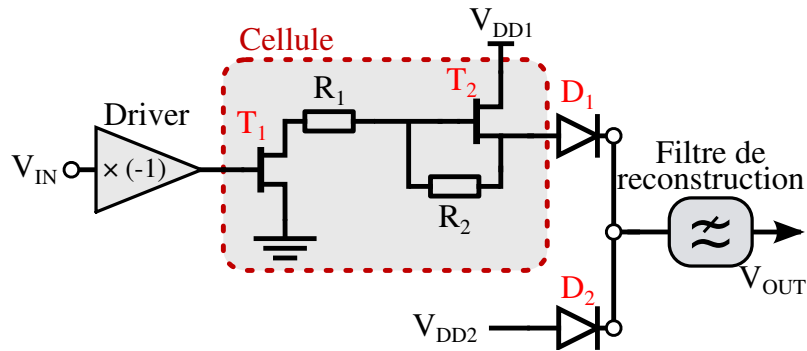


FIGURE 3.5 – Schéma du circuit PWM

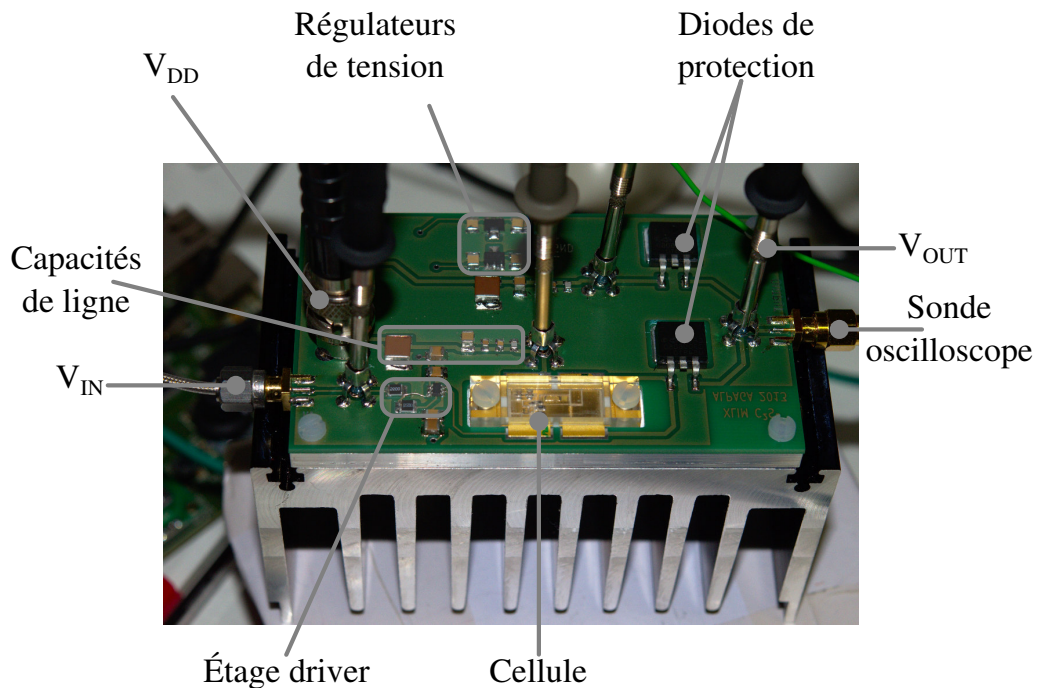


FIGURE 3.6 – Photo du circuit PWM

b) Diodes SiC

Les diodes utilisées lors des mesures sont des diodes CREE C3D06060G fort courant (6 ampères). Nous avons choisi ces diodes pour leur capacité à supporter de forts courants.

Leur rôle est d'isoler les cellules qui sont à l'état OFF de la tension appliquée sur la charge par la cellule à l'état ON.

Elles sont modélisées en sens passant par une source de tension continue V_T en série avec une résistance R_T . Le constructeur donne un modèle dépendant de la température telle que la tension aux bornes de la diode en fonction de la température T en degrés Celsius et de courant en ampères :

$$V_{\text{diode}}(T, I_D) = V_T + I_D \times R_T \quad (3.1)$$

avec $V_T = 0.975 - T \cdot 0.001$ et $R_T = 0.09 + T \cdot 0.00051$

On obtient, pour une température de 25 degrés, une tension de seuil de $V_T = 0.95$ V et une résistance équivalente de $R_T = 103 \text{ m}\Omega$.

On constate ainsi que la tension aux bornes de la diode est de l'ordre de 1 V. Pour un courant de 2 A, on peut estimer que l'énergie dissipée dans la diode est de 2 W. À titre indicatif, sur une puissance totale consommée de 50 W, ceci représente 4 points de rendement et sera à prendre en compte dans le bilan énergétique.

c) Principe de la chaîne d'amplification d'enveloppe

La modulation PWM consiste à commander l'élément de commutation de puissance avec un signal carré dont le rapport cyclique $\alpha(t)$ est variable et dont la fréquence f_{clock} est constante.

Si la largeur spectrale f_{env} de $\alpha(t)$ est de l'ordre de 8 à 10 fois inférieure à f_{clock} , alors la moyenne flottante sur le même nombre de périodes d'un tel signal est proportionnelle à $\alpha(t)$.

Cette moyenne est effectuée à l'aide d'un filtre passe bas de fréquence de coupure f_c telle que $f_{\text{env}} < f_c \leq \frac{f_{\text{clock}}}{2}$ appelé filtre de reconstruction.

Ainsi $\alpha(t)$ étant proportionnel à l'enveloppe du signal à amplifier, on reconstitue l'enveloppe à l'aide d'un filtre passe bas d'ordre 4.

d) Le filtre de reconstruction

Le filtre de reconstruction est un filtre passe bas de type Butterworth d'ordre 4. Afin d'anticiper les différentes topologies de circuits réalisés, quatre filtres ont été conçus, en combinant 2 impédances de charge et 2 fréquences de coupure possibles. Les fréquences visées sont 4 et 10 MHz, les impédances présentées dans la bande passante sont de 16.7 et 25 Ω .

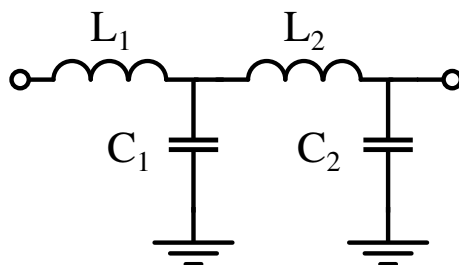


FIGURE 3.7 – Schéma du filtre de reconstruction

La figure 3.7 montre l'architecture du filtre de reconstruction constitué d'une cascade de deux cellules LC série.

Le tableau 3.1 récapitule les valeurs des éléments pour chacun des quatre circuits réalisés. Entre parenthèses, se trouve la valeur idéale des éléments, hors parenthèses, la valeur expérimentale utilisée pour la réalisation du filtre.

Filtre	L_1 (μH)	L_2 (μH)	C_1 (nF)	C_2 (nF)
4 MHz / 25 Ω	0.76	1.8	2.9	1.2
4 MHz / 16 Ω	0.51 (0.49)	1.3 (1.2)	4.3 (4.6)	1.8 (1.9)
10 MHz / 25 Ω	0.30	0.74	1.2	0.49
8 MHz / 16 Ω	0.30 (0.24)	0.47 (0.59)	2.7 (2.3)	0.72 (0.95)

TABLE 3.1 – Valeurs des éléments du filtre.

Les inductances utilisées sont fournies par Coilcraft et font partie de la série 2009. Nous avons fait ce choix car elles présentent la plus faible résistance série R_{DC} , de l'ordre de 0.6 m Ω et pour leur capacité à supporter des courants élevés. Ainsi, nous nous sommes assurés que la dissipation énergétique au sein de l'inductance serait la plus faible possible.

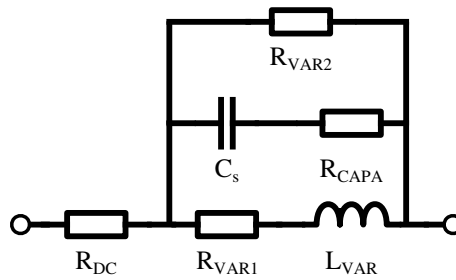


FIGURE 3.8 – Modèle de l'inductance

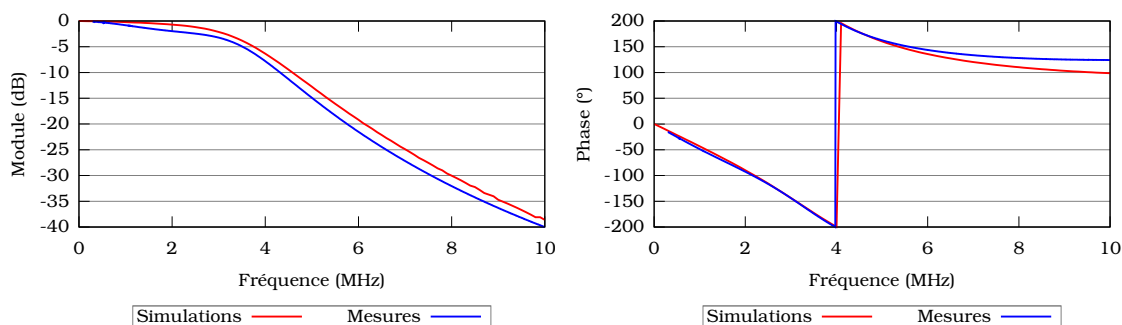
Le modèle de l'inductance fourni par le constructeur est visible figure 3.8. Il est constitué d'une résistance série R_{DC} et de trois branches parallèles. Les valeurs des paramètres du modèle que nous allons donner correspondent au modèle d'une inductance de 1.8 μH .

- $R_{\text{CAPA}} = 325 \Omega$
- $C_s = 13.3 \text{ pF}$: composante capacitive parasite de la self
- R_{VAR2} : définie telle que $R_{\text{VAR2}} = 0.194 \cdot \sqrt{f}$
- $R_{\text{VAR1}} = 35 \cdot 10^{-6} \sqrt{f}$
- L_{VAR} : inductance du composant. Elle est représentée par une réactance variant en fonction de la fréquence.

$$Z_{L_{\text{VAR}}}(f) = 10^{-6} \cdot 2\pi i f \times (2 - 0.012 \cdot \log(8.38 \cdot 10^{-6} \cdot f))$$

- $R_{\text{DC}} = 0.588 \text{ m}\Omega$

La figure 3.9 montre la concordance entre le modèle et les mesures pour la version [4 MHz ; 25 Ω]. Ainsi, l'atténuation du filtre est bien celle attendue : la fréquence de 10 MHz est réjectée de 40 dB. Les pertes résiduelles sont liées aux pistes présentes sur le circuit réel et dont il n'a pas été tenu compte en simulation.



(a) Coefficient de transmission du filtre, en module (b) Coefficient de transmission du filtre, en phase

FIGURE 3.9 – Comparaison mesure/simulation du filtre passe bas à $f_c = 4\text{MHz}$

Les filtres réalisés à partir de ces composants répondent donc à nos besoins en termes de pertes énergétiques et de réjection de la fréquence d’horloge.

Le filtre se situe sur un circuit indépendant relié au circuit de commutation par des connecteurs SMA. On peut ainsi envisager de retirer le filtre pour les besoins de la mesure.

e) Formes temporelles en simulation

La fréquence f_{clk} choisie pour les simulations est 18.75 MHz, qui est la fréquence expérimentale maximale possible pour le FPGA utilisé.

La figure 3.10 représente les tensions de commande, d’entrée et de sortie du filtre. Les tensions d’alimentation de la cellule sont de 30 V et 12 V. Le rapport cyclique varie entre 20 % et 80 %.

Sur la figure 3.10, la tension représentée en tirets représente le signal de puissance découpé par la cellule de commutation et appliqué à l’entrée du filtre de reconstruction. Le signal en pointillé représente la sinusoïde reconstituée par le filtre passe bas d’ordre 4 de fréquence de coupure 4 MHz et d’impédance de charge 16 Ω .

La tension en sortie est une sinusoïde variant de 11.9 à 24 V. Elle semble reproduire fidèlement le signal attendu.

f) Rendement en statique

Nous avons évalué le rendement en simulation pour un rapport cyclique fixe $\alpha = 50\%$ et une fréquence d’horloge variant de 0.1 à 30 MHz (figure 3.11) en l’absence de filtre de reconstruction, son impact sur le bilan énergétique étant négligeable.

La figure 3.11 prédit que le rendement est une fonction décroissante de la fréquence. Il varie de 88.3 % pour $f = 100\text{ kHz}$ à 80 % à $f = 30\text{ MHz}$.

Nous avons ensuite évalué le rendement pour $f = 20\text{ MHz}$ et un rapport cyclique α variable de 10 % à 90 %.

La figure 3.12 prédit que le rendement est une fonction croissante de α . On

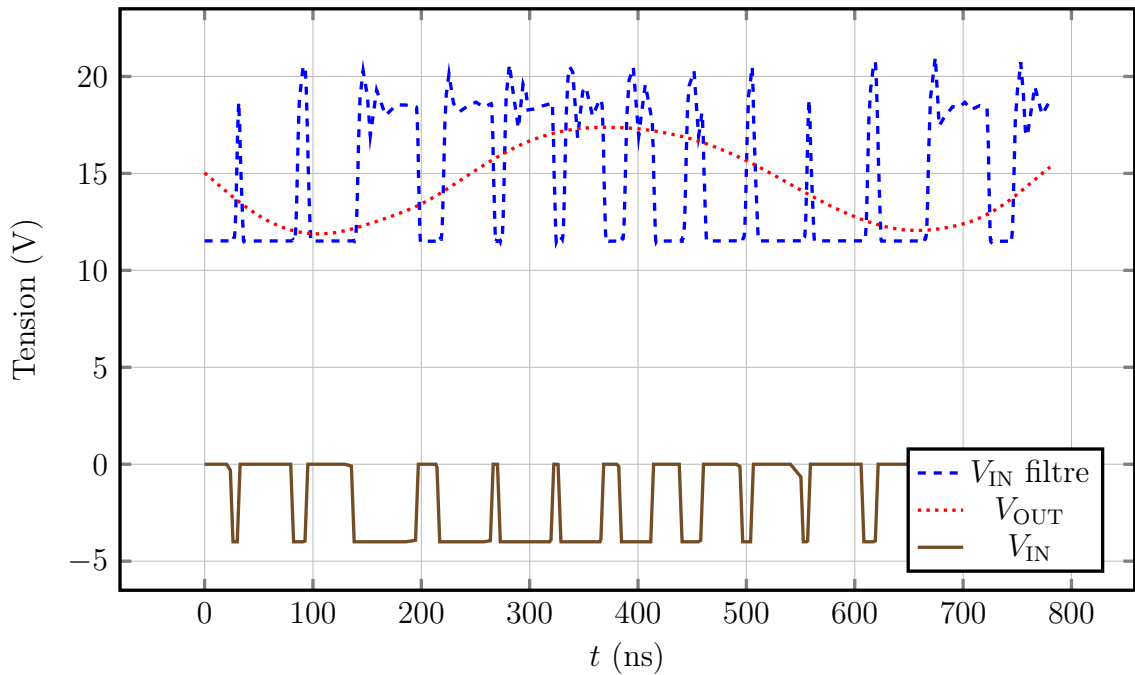


FIGURE 3.10 – Formes temporelles au sein du montage

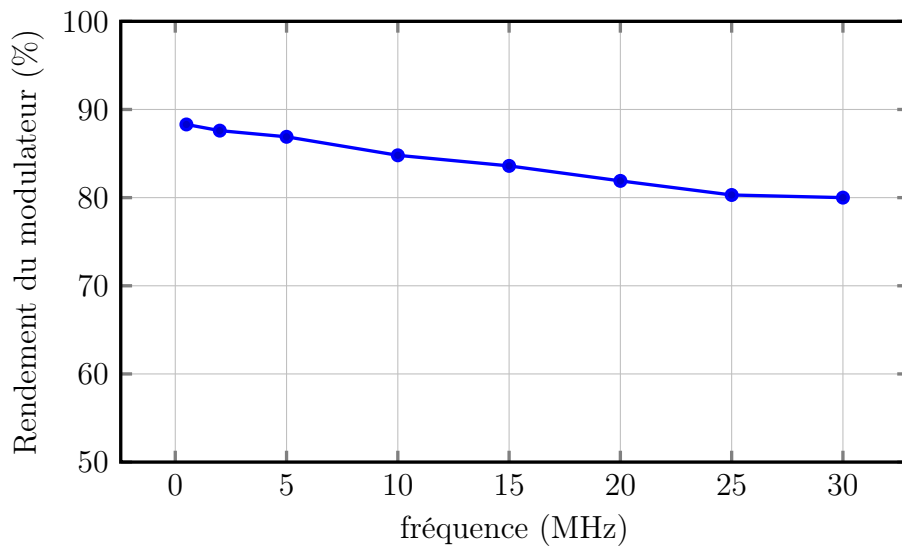


FIGURE 3.11 – Rendement du modulateur en fonction de la fréquence à $\alpha = 50\%$.

remarque que le rendement a une allure de fonction affine de α , variant de 74 % pour $\alpha = 10\%$ à 86.7 % pour $\alpha = 90\%$.

L'écart de 10 points de rendement entre la prédiction de la méthode analytique et la simulation est due au fait que le calcul analytique ne tient pas compte des états transitoires, générateurs de pertes énergétiques.

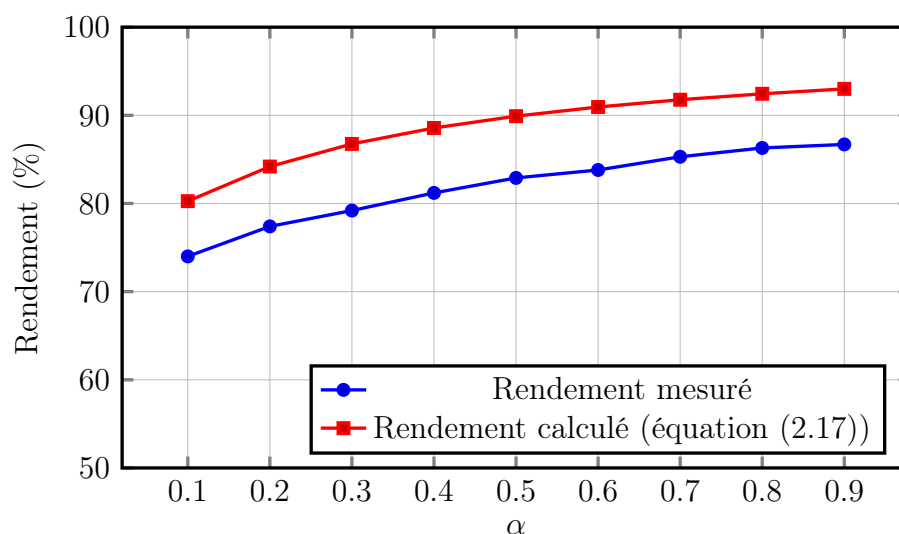


FIGURE 3.12 – Rendement du modulateur en fonction du rapport cyclique α à $f_{\text{clk}} = 20$ MHz

3.2.2 Résultats expérimentaux

a) Environnement expérimental

Le modulateur est constitué de la partie puissance mais aussi d'une partie commande, réalisant l'interface entre le signal analogique d'enveloppe et la commande réalisée à partir de signaux numériques.

Ainsi, le signal d'enveloppe est traité par le convertisseur analogique numérique puis par le FPGA.

b) Résultats

Ces mesures sont faites à rapport cyclique constant et à fréquence variable (figures 3.13 à 3.16).

Conformément au schéma figure 3.5 rappelé ci-dessous, la tension d'alimentation de la cellule V_{DD1} est la plus élevée : 30 V et la tension d'alimentation V_{DD2} de la diode est la plus basse : 12V.

Sur la figure 3.13, où le signal de commande est à une fréquence de 1MHz avec un rapport cyclique de 50%, on constate une bonne intégrité du signal de sortie. Notons la présence d'oscillations amorties à l'établissement de l'état haut. Leur fréquence est d'environ 60 MHz.

La tension sur la ligne d'alimentation est stable bien qu'elle subisse une légère perturbation aux instants de commutation.

La figure 3.14 montre les tensions à une fréquence de commutation de 5 MHz, un rapport cyclique $\alpha = 50$ %, $V_{\text{DD1}} = 30$ V et $V_{\text{DD2}} = 12$ V. La durée de l'oscillation amortie évoquée pour la figure 3.13 n'est plus négligeable devant la durée d'une période.

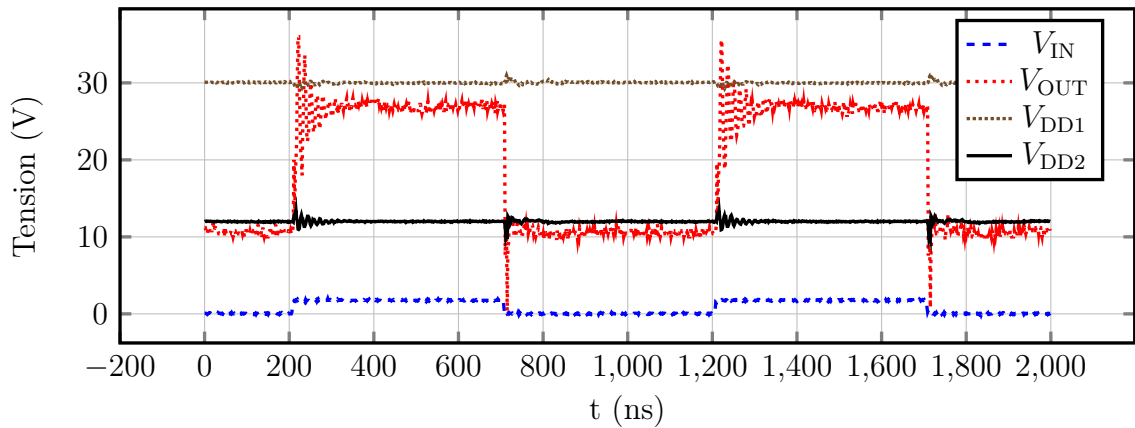


FIGURE 3.13 – Formes temporelles pour une fréquence d'horloge de 1 MHz, $\alpha = 50\%$

On constate sur la tension d'alimentation V_{DD2} que lors de la transition vers l'état bas celle-ci subit une perturbation. Cela correspond à l'instant où le courant s'établit dans la ligne V_{DD2} .

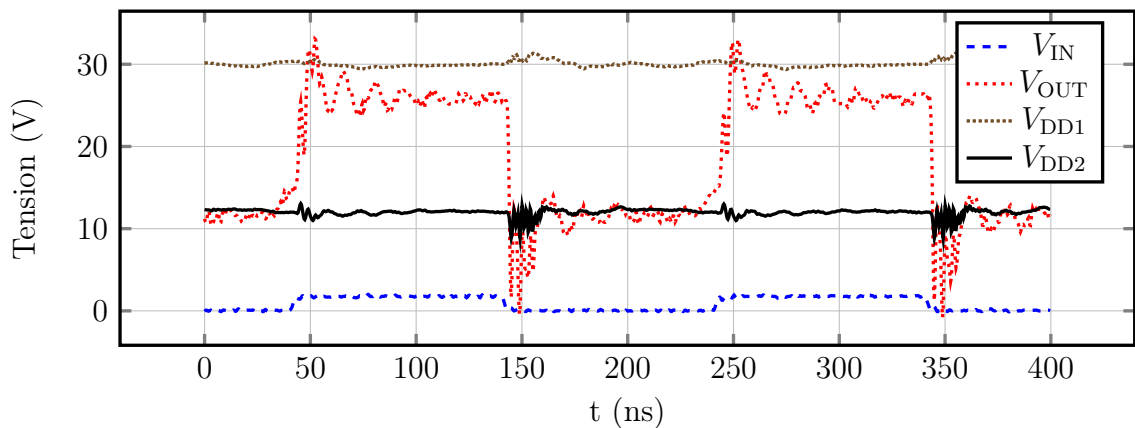


FIGURE 3.14 – Formes temporelles pour une fréquence d'horloge de 5 MHz, $\alpha = 50\%$

À 10 MHz (figure 3.15), l'oscillation est toujours présente mais l'allure carrée du signal reste conservée.

L'amplitude de la perturbation sur les lignes d'alimentation reste contenue à une amplitude de 4 V.

La figure 3.16 à 20 MHz met en évidence que le montage est capable de fonctionner jusqu'à des fréquences de 20 MHz.

La capacité du circuit à fonctionner à 20 MHz est indispensable étant donné que le FPGA génère un signal PWM dont l'horloge f_{clk} est à 18.75 MHz.

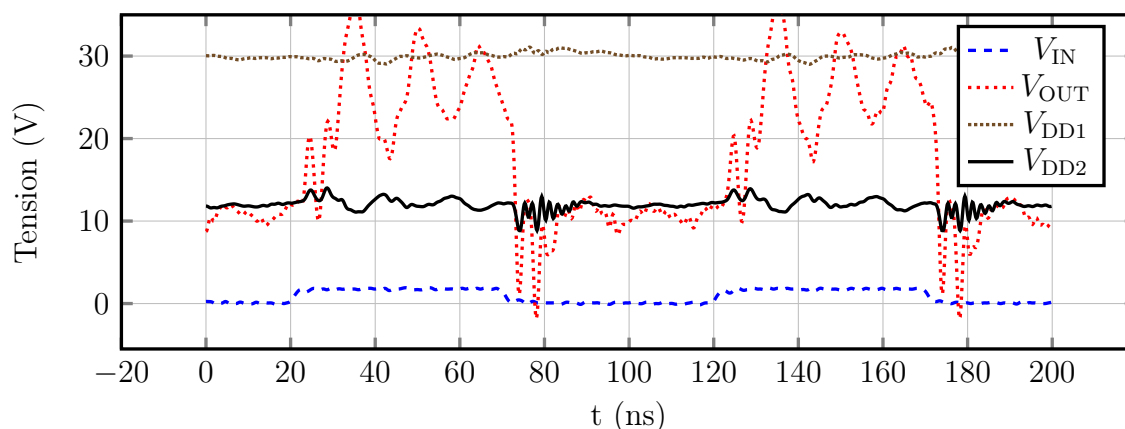


FIGURE 3.15 – Formes temporelles pour une fréquence d’horloge de 10 MHz

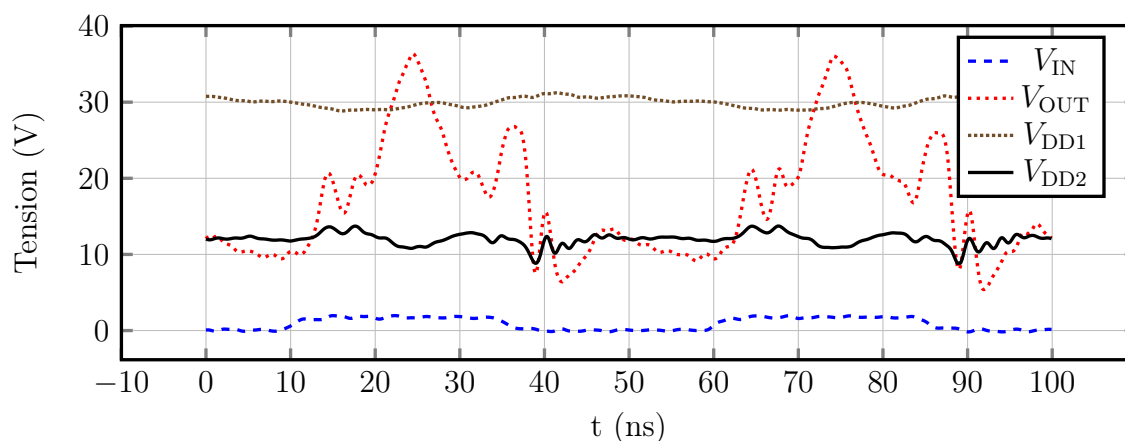


FIGURE 3.16 – Formes temporelles pour une fréquence d’horloge de 20 MHz

3.2.3 Mesures en dynamique

Les mesures qui suivent ont été réalisées en appliquant un signal sinusoïdal sur l’entrée du CAN grâce à un AWG. Le signal PWM pilotant la cellule présente une fréquence de commutation de 18.75 MHz (liée au fonctionnement du FPGA).

La charge en sortie du filtre présente une résistance pure de 16.6Ω .

Le filtre est un Butterworth d’ordre 4, adapté pour présenter en entrée et en sortie sur 16Ω dans sa bande passante. Sa fréquence de coupure est 4 MHz.

Les figures 3.17 à 3.21 représentent la tension à l’entrée du CAN ainsi que la sortie du modulateur.

On peut constater que le modulateur peut aisément répéter des fréquences atteignant 4 MHz (soit un facteur d’environ 5 avec la fréquence d’horloge).

Ceci démontre la capacité du modulateur PWM à reproduire un signal d’enveloppe jusqu’à 4 MHz.

La figure 3.22 présente une unique période d’enveloppe permettant d’apercevoir

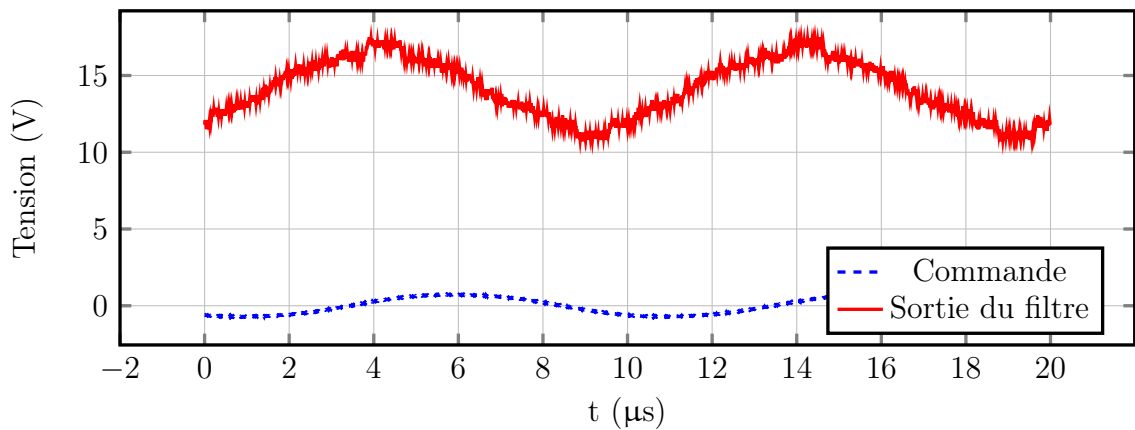


FIGURE 3.17 – Signaux d'entrée et sortie du modulateur PWM à 100 kHz

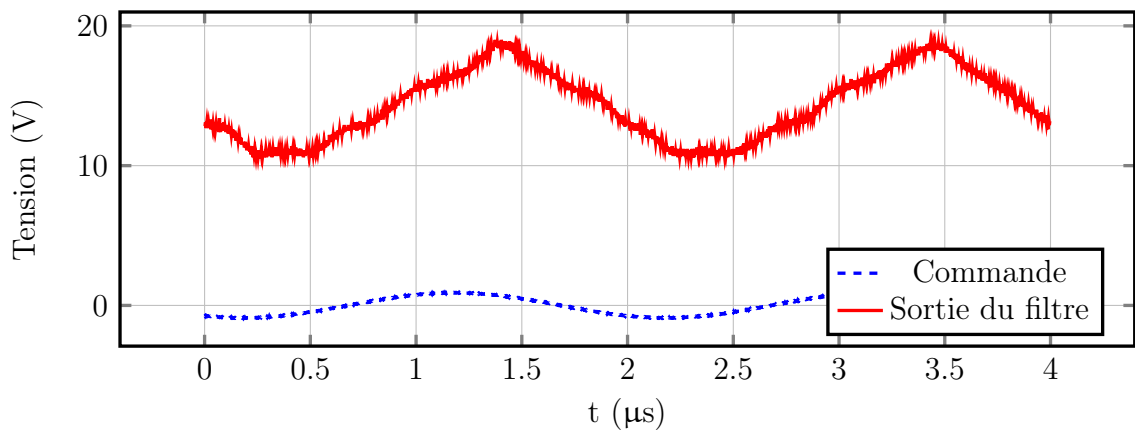


FIGURE 3.18 – Signaux d'entrée et sortie du modulateur PWM à 500 kHz

le signal PWM en sortie de la cellule dont la fréquence est $f_{\text{clk}} = 18.75 \text{ MHz}$ (période $T \approx 53 \text{ ns}$). On remarque les variations de rapport cyclique sur une période, en corrélation avec la valeur instantanée de l'enveloppe.

3.3 Système de commutation d'alimentations pour l'ETD

3.3.1 Analyse du système de commutation

a) Principe et topologie

L'*envelope tracking* discret (ETD) consiste à discrétiser l'enveloppe sur un nombre fini de niveaux. Le choix réalisé ici est un *envelope tracking* à 4 niveaux.

Quatre alimentations de valeurs différentes sont commutées par les cellules. Le

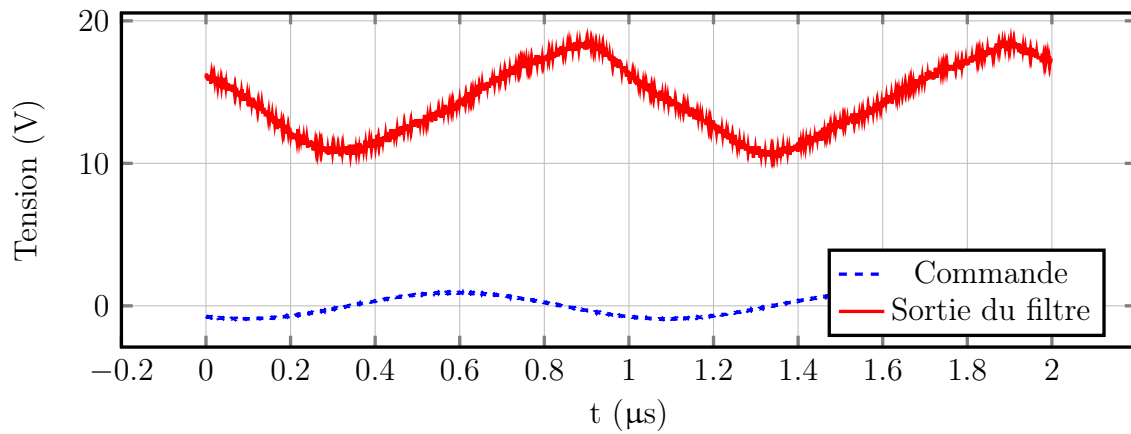


FIGURE 3.19 – Signaux d'entrée et sortie du modulateur PWM à 1 MHz

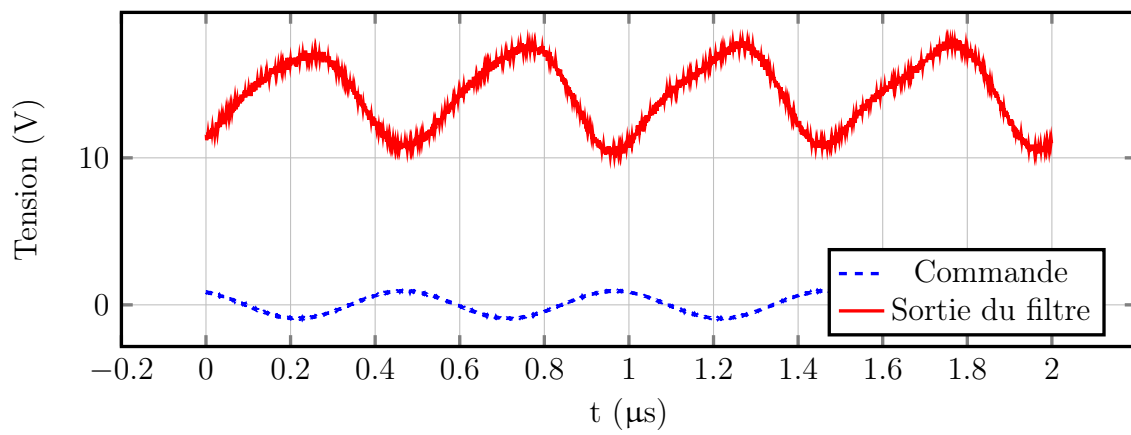


FIGURE 3.20 – Signaux d'entrée et sortie du modulateur PWM à 2 MHz

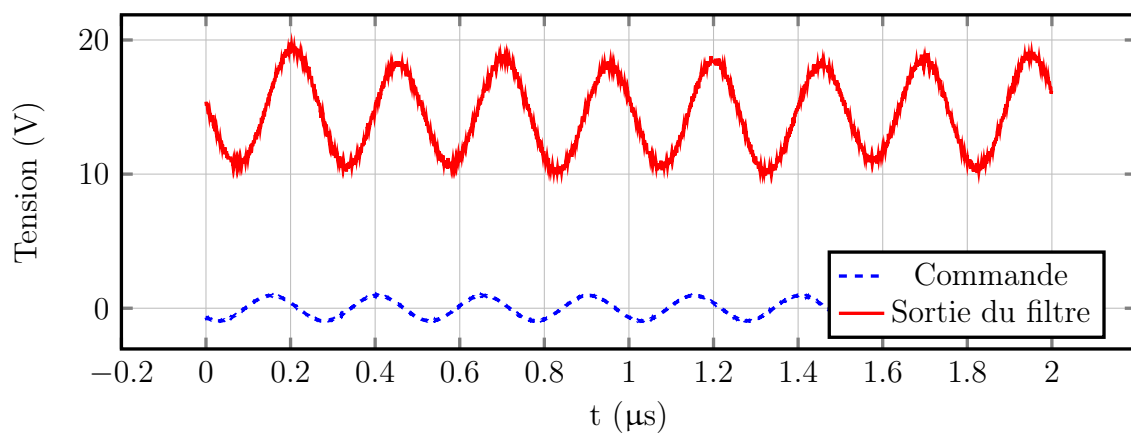


FIGURE 3.21 – Signaux d'entrée et sortie du modulateur PWM à 4 MHz

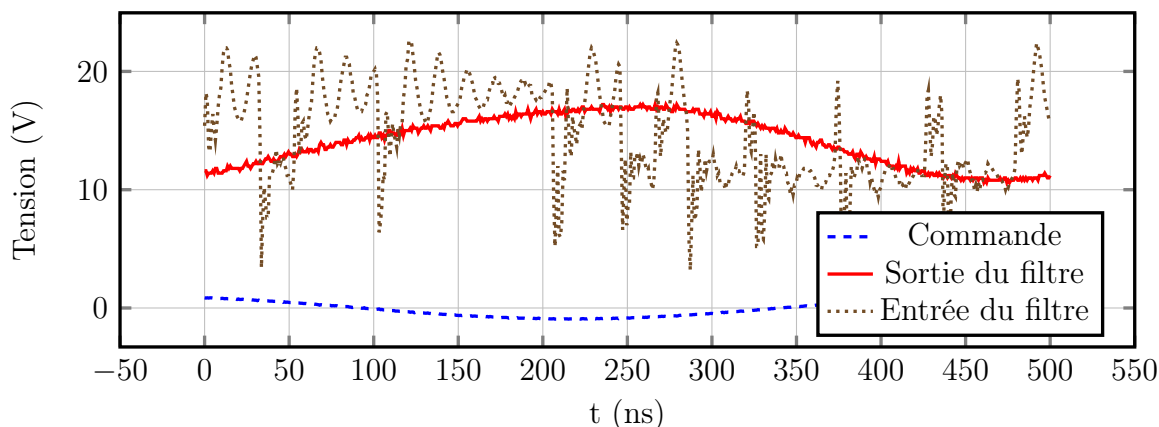


FIGURE 3.22 – Zoom sur une période d'enveloppe à 2 MHz

choix du nombre de cellules découle d'un compromis :

- un nombre insuffisant de cellules entraînerait un suivi d'enveloppe grossier ;
- un trop grand nombre de cellules entraînerait une baisse du rendement du modulateur : à tout instant, un modulateur à n cellules contient $n - 1$ cellules à l'état OFF, dont on rappelle que la consommation est non nulle. La consommation des cellules à l'état OFF diminue le rendement du modulateur.

Nous avons donc choisi une commutation à 4 niveaux d'alimentation (figure 3.23).

Les diodes ont le même rôle que pour le système précédent : elles servent à éviter que la tension V_{OUT} ne soit appliquée à la sortie des cellules à l'état OFF.

La ligne concernant la tension la plus basse (V_{DD4}) ne dispose pas de cellule, mais est directement reliée à la diode, à la vue des deux configurations suivantes :

- soit une des cellules est active, auquel cas la diode D4 se bloque d'elle-même ;
- soit les trois cellules sont à l'état OFF, donc la diode s'ouvre grâce à la tension V_{DD4} .

Ceci permet de gagner en complexité d'une part ; en consommation d'autre part : puisque trois cellules au lieu de quatre évitent les pertes qu'une quatrième cellule engendrerait.

b) Formes temporelles en simulation

À partir de la cellule élémentaire nous avons réalisé les simulations afin de tenter de prédire le comportement du circuit réel. Nous utilisons le circuit simulé au paragraphe 2.3.1 page 58 comme brique élémentaire pour la simulation du circuit ETD représenté figure 3.23. Comme dans les précédentes simulations, le transistor T_2 est la barrette $8 \times 6 \times 400 \mu\text{m}$. La charge est résistive et vaut 16.6Ω .

Les simulations ont été réalisées avec deux types de diodes de protection, afin de rendre compte de leur influence sur la commutation.

Elles sont réalisées dans un premier temps avec un modèle de diode SiC $1500 \mu\text{m}$ réalisée par III-V Lab. Elle n'est pas strictement identique à celle utilisée en mesures

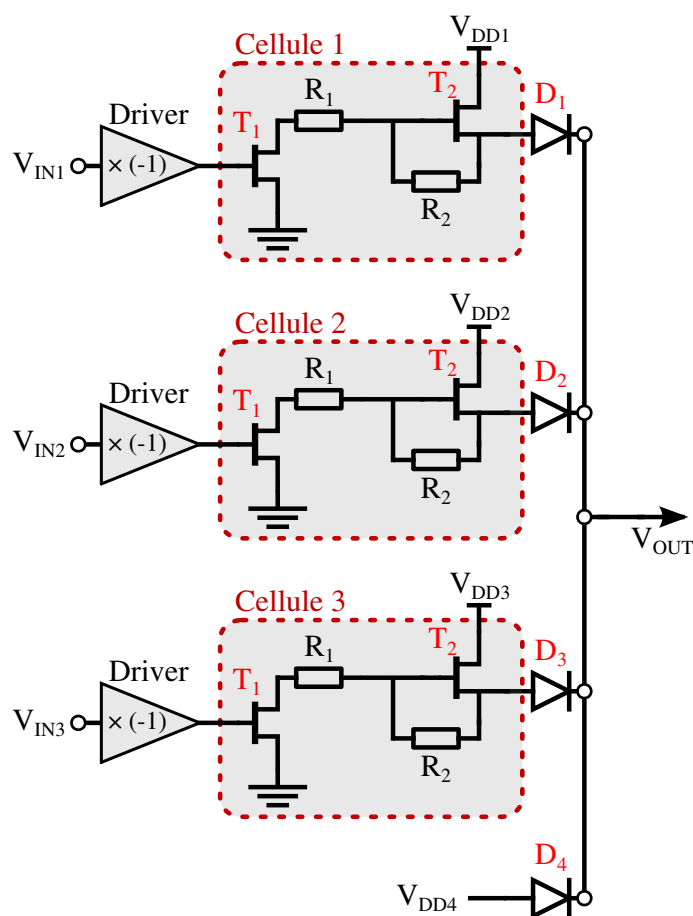


FIGURE 3.23 – Schéma bloc du système ETD

(diode CREE 6 A) mais dispose de propriétés similaires. Le but est de tenir compte des imperfections d'une telle diode et de voir les influences sur la commutation.

Dans un second temps, des simulations avec un modèle de diode idéale ont été réalisées pour comparaison.

i. Diode SiC La figure 3.24 montre les tensions de sortie pour une commutation ordonnée lors de laquelle l'ensemble des états est répété de façon cyclique.

Les tensions d'alimentation sont :

- $V_{DD1} = 30 \text{ V}$
- $V_{DD2} = 24 \text{ V}$
- $V_{DD3} = 18 \text{ V}$
- $V_{DD4} = 12 \text{ V}$

Sur la figure 3.24, la durée d'un état est de 50 ns. Le circuit change donc d'état à la fréquence de 20 MHz.

Les tensions lues à la sortie correspondent à la tension d'alimentation diminuée de la tension de déchet perdue dans le transistor et dans la diode. On obtient :

- État haut : 28.0 V chute de tension : 2 V

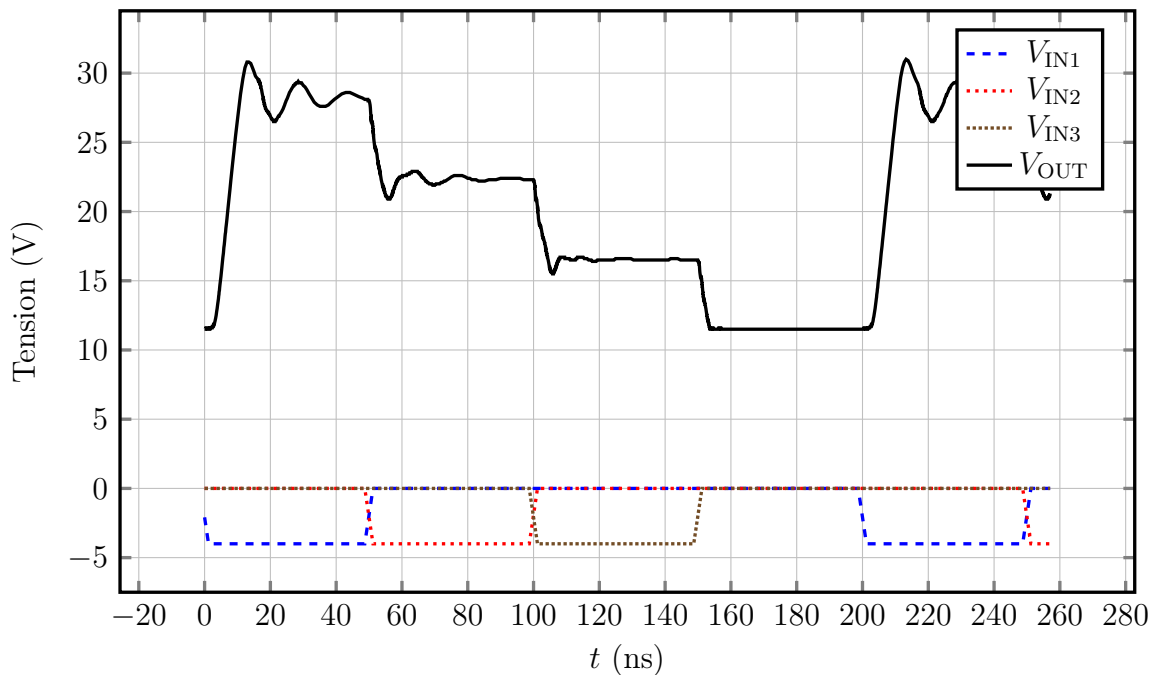


FIGURE 3.24 – Tensions de commande ; tension de sortie avec diode SiC

- État 2 : 22.3 V chute de tension : 1.7 V
- État 3 : 16.5 V chute de tension : 1.5 V
- État bas : 11.5 V chute de tension : 0.5 V

Plus le courant passant dans la diode et dans le transistor T_2 est élevé, plus la chute de tension est élevée. Ceci s'explique par la tension de seuil de la diode et par la résistance R_{ON} du transistor T_2 .

Les *slew rate* mesurés sont :

- 2.1 V/ns pour le *slew rate* montant
- -1.2 V/ns pour le *slew rate* descendant

ii. Diode idéale Afin de comprendre l'influence de la diode, le modèle de diode « réaliste » SiC a été remplacé par une diode idéale (figure 3.25).

Les tensions sur la charge sont :

- État haut : 27.9 V chute de tension : 2.1 V
- État 2 : 22.2 V chute de tension : 1.8 V
- État 3 : 16.3 V chute de tension : 1.7 V
- État bas : 11.2 V chute de tension : 0.8 V

Les tensions en sortie sont sensiblement les mêmes car la tension de seuil de la diode est identique. En revanche, les *slew rate* sont sensiblement différents :

- 4.7 V/ns pour le *slew rate* montant
- -30 V/ns pour le *slew rate* descendant

La diode idéale n'ayant pas d'effet sur le *slew rate*, celui-ci s'en trouve sensiblement amélioré.

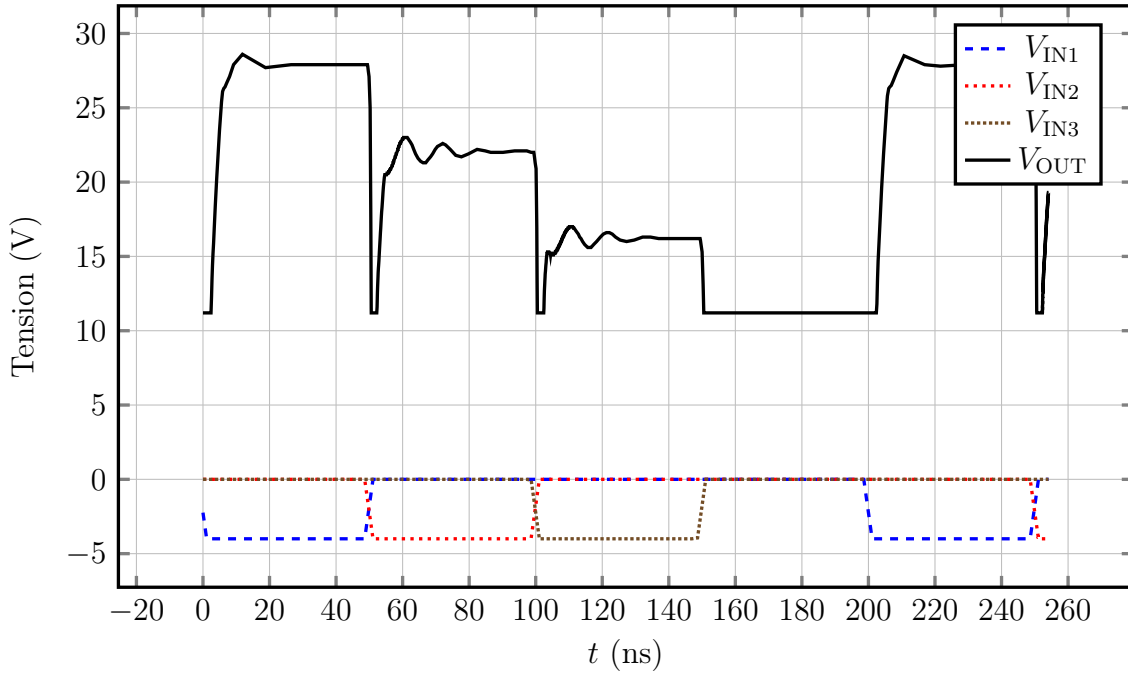


FIGURE 3.25 – Tensions de commande ; tension de sortie avec diode idéale

Il apparaît donc que la diode a une influence de premier plan sur les performances en rapidité de commutation du modulateur.

c) Rendement

Nous allons nous intéresser dans cette section au rendement du modulateur en simulation. Ces simulations de rendement ont été réalisées avec le modèle de diode SiC.

Voici les rendements aux différents états :

- État haut : $\eta_1 = 97.7 \%$ pour une puissance consommée de $P_{\text{cons1}} = 48.0 \text{ W}$
- 2ème état : $\eta_2 = 94.8 \%$ pour une puissance consommée de $P_{\text{cons2}} = 31.3 \text{ W}$
- 3ème état : $\eta_3 = 69.8 \%$ pour une puissance consommée de $P_{\text{cons3}} = 22.9 \text{ W}$
- État bas : $\eta_4 = 51 \%$ pour une puissance consommée de $P_{\text{cons4}} = 14.8 \text{ W}$

Plus l'état actif est haut – c'est-à-dire plus il génère une puissance de sortie importante – plus le rendement est élevé.

En effet, le rendement peut s'exprimer ainsi :

$$\eta = \frac{P_{\text{charge}}}{P_{\text{charge}} + P_{\text{pertes}}}$$

Plus l'état est haut, plus P_{charge} augmente grâce à une tension plus élevée sur la charge. P_{pertes} est due aux deux cellules qui sont à l'état OFF. Lorsque le modulateur est à l'état haut ou à l'état 2, $P_{\text{charge}} \gg P_{\text{pertes}}$, donc η tend vers 100 %.

À l'état bas, trois cellules sont à l'état OFF donc P_{pertes} est maximale, et P_{charge} est minimale (la tension sur la charge est au plus bas). Ceci explique le mauvais rendement à cet état de fonctionnement.

Ce rendement doit être pondéré par les puissances consommées. Ainsi, pour un régime de fonctionnement où les niveaux sont équirépartis, le rendement du modulateur se calcule de la façon suivante :

$$\eta_{\text{equi}} = \frac{\sum_{i=1}^n P_{\text{cons}i} \cdot \eta_i}{\sum_{i=1}^n P_{\text{cons}i}} \quad (3.2)$$

Où n est le nombre de niveaux de sortie du modulateur.

Par application numérique, on obtient un rendement $\eta_{\text{equi}} = 85.6\%$.

Il faut également tenir compte du fait que les modulations ne sont pas équiprobables en général. Ainsi, la prédiction du rendement du modulateur en fonction de la modulation doit également être pondéré par la densité de probabilité de l'enveloppe du signal à amplifier.

Ici typiquement, si le signal à amplifier se situe majoritairement vers les faibles puissances, il affectera plus de poids à l'état bas du modulateur, donc en baissera le rendement global.

Il faut noter que ce calcul néglige les pertes liées aux transitions donc n'est valable qu'à basse fréquence.

3.3.2 Conception et réalisation du circuit

a) Réalisation

Les composants utilisés (diodes, transistors, étage driver) sont identiques à ceux utilisés pour l'ETC. Le modulateur discret utilise 3 cellules pour la commutation de 4 niveaux d'alimentation (réalisation figure 3.26 et schéma de principe figure 3.27).

3.3.3 Résultats expérimentaux

a) Mesures des formes temporelles

Les résultats donnés ici sont les formes d'onde de tension en sortie du modulateur pour un signal modulant allant de 0.5 à 10 MHz (figures 3.28 à 3.31).

Il faut noter que sur une période du signal d'enveloppe, le modulateur procède à 6 commutations. Ainsi, pour une fréquence de 1 MHz, le modulateur commute à 6 MHz.

Pour les mesures qui suivent, les tensions d'alimentation sont :

- $V_{\text{DD1}} = 30 \text{ V}$
- $V_{\text{DD2}} = 24 \text{ V}$
- $V_{\text{DD3}} = 18 \text{ V}$
- $V_{\text{DD4}} = 12 \text{ V}$

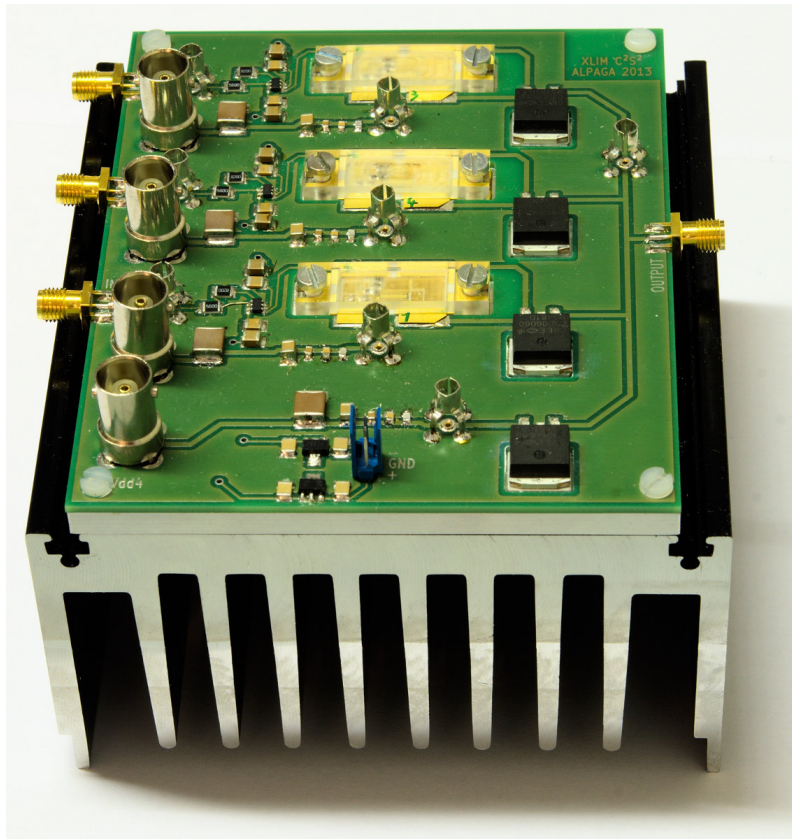


FIGURE 3.26 – Photographie du modulateur ETD

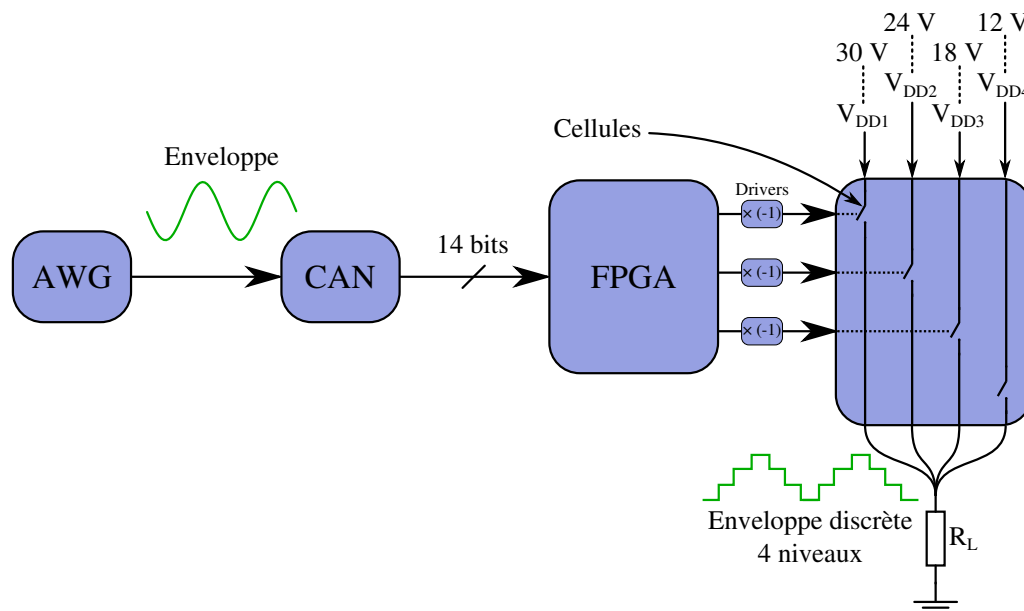


FIGURE 3.27 – Schéma du modulateur ETD

La figure 3.28 montre les formes d'ondes de tension pour un modulant de 500 kHz (commutation à 3 MHz).

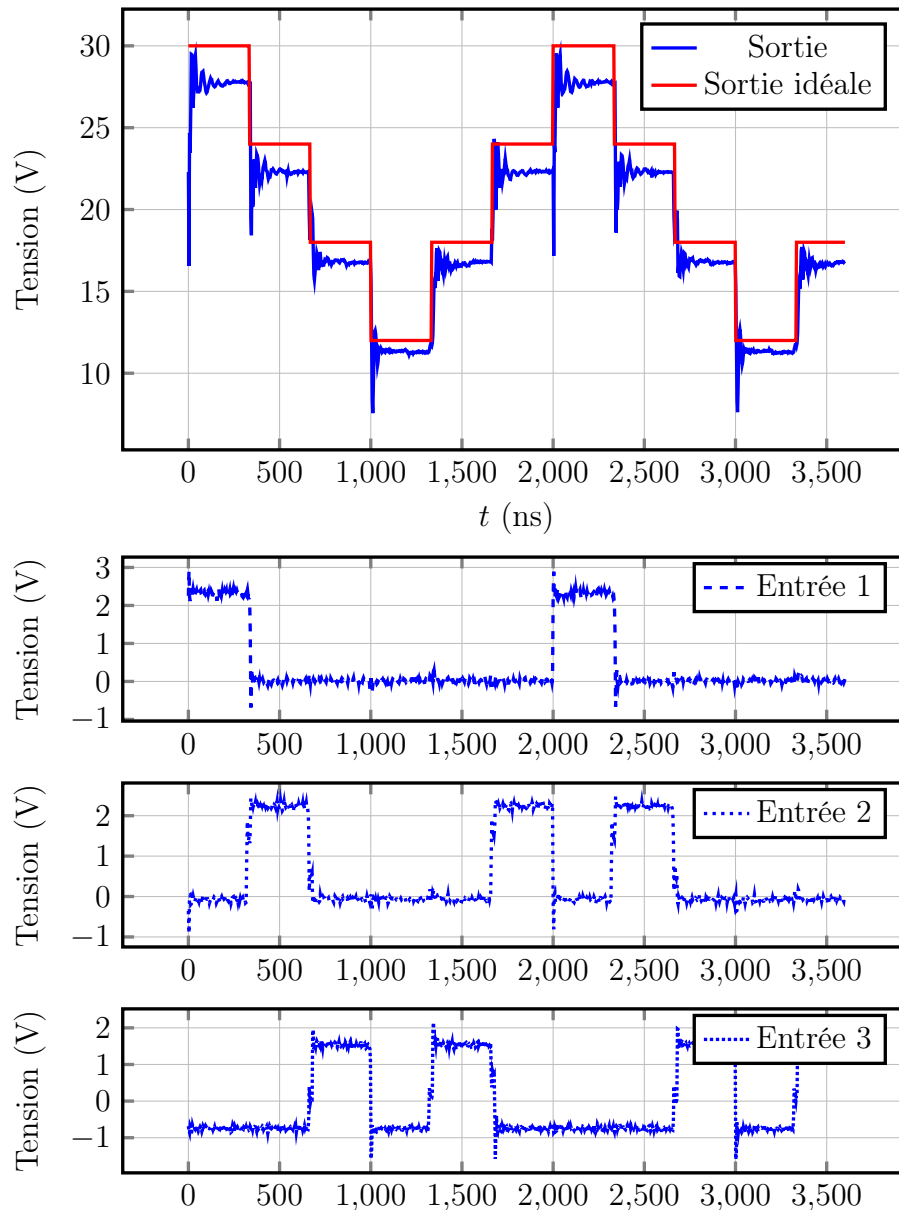


FIGURE 3.28 – Tensions de commande et tension mesurée en sortie du modulateur pour une fréquence de 500 kHz ($f_{\text{conv}} = 3 \text{ MHz}$)

Nous pouvons constater qu'à la fréquence de 500 kHz, la forme temporelle du signal de sortie est bien restituée, validant le principe de la commutation d'alimentations sur 4 niveaux.

La tension de sortie se stabilise, pour chaque état à :

- 27.8 V pour l'état haut pour une chute de tension de 2.2 V et un courant de charge de 1.67 A

- 22.3 V pour l'état 2 pour une chute de tension de 1.7 V et un courant de charge de 1.34 A
- 16.9 V pour l'état 3 pour une chute de tension de 1.1 V et un courant de charge de 1.01 A
- 11.3 V pour l'état bas pour une chute de tension de 0.7 V et un courant de charge de 0.678 A

Une partie de cette chute de tension est imputable à la diode.

La figure 3.29 montre le comportement de la cellule pour un modulant de fréquence 2 MHz soit une commutation à 12 MHz.

On peut montrer que, pour un système de commutation à n niveaux, la fréquence de commutation du modulateur est $f_{\text{conv}} = (2n - 2) \cdot f_{\text{env}}$.

Ici, il y a donc un rapport 6 : $f_{\text{conv}} = 6 \cdot f_{\text{env}}$.

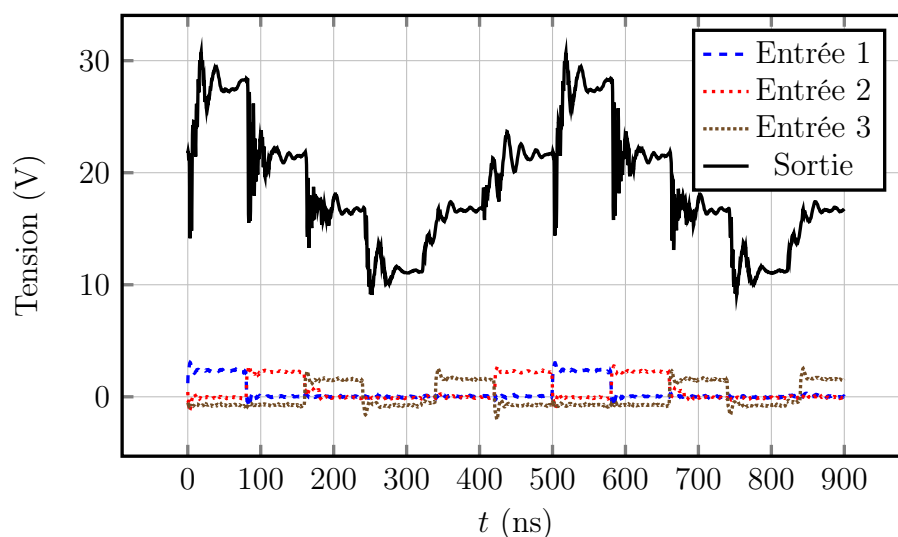


FIGURE 3.29 – Formes d'ondes pour $f_{\text{env}} = 2 \text{ MHz}$ / $f_{\text{conv}} = 12 \text{ MHz}$

À partir de cette fréquence, nous pouvons percevoir les fronts montants et les rebonds. L'intégrité du signal est fortement en retrait par rapport aux mesures précédemment réalisées à plus basses fréquences.

On voit apparaître sur les figures 3.30 et 3.31 (pour des fréquences de commutation f_{conv} respectives de 30 et 60 MHz) que le modulateur ne peut suivre l'enveloppe en fournissant une tension fidèle à ce que l'on attend. La période des oscillations amorties générées lors des transitions n'est plus négligeable devant la durée d'un état établi. L'intégrité du signal s'en trouve dégradée.

b) Bilan énergétique

La figure 3.32 représente le rendement en fonction de la fréquence de l'enveloppe sinusoïdale. Le rendement évolue de façon linéaire de 73 à 63 % entre 0.5 et 10 MHz.

Le rendement moyen est défini comme :

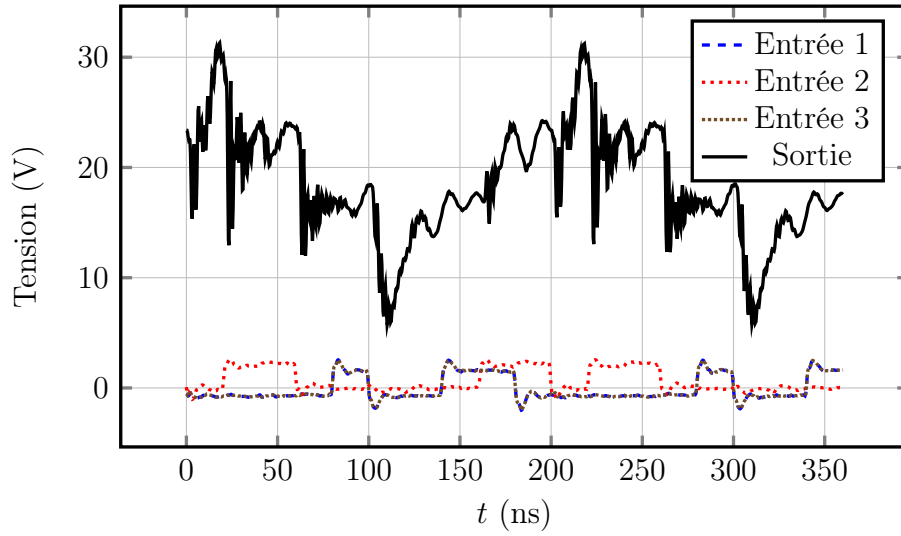


FIGURE 3.30 – Tensions de commande et tension mesurée en sortie du modulateur pour une fréquence de 5 MHz ($f_{\text{conv}} = 30$ MHz)

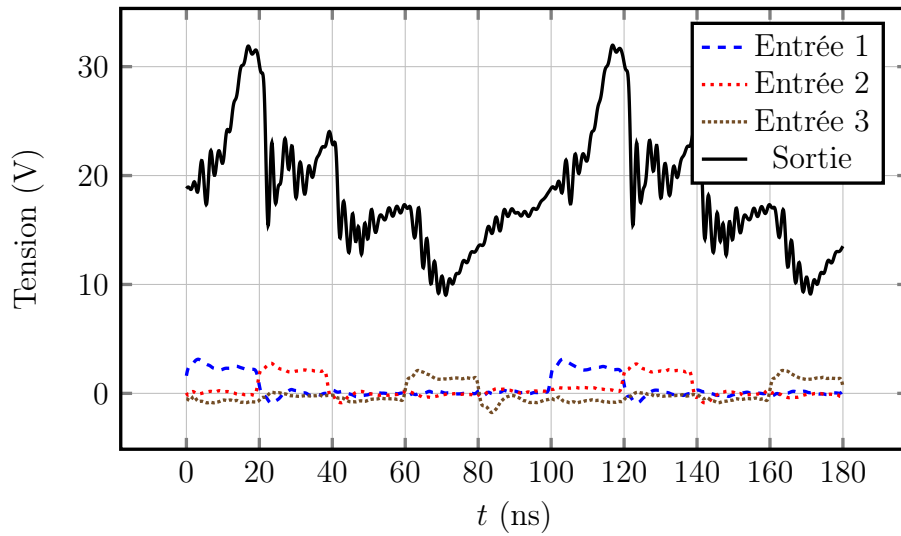


FIGURE 3.31 – Tensions de commande et tension mesurée en sortie du modulateur pour une fréquence de 10 MHz ($f_{\text{conv}} = 60$ MHz)

$$\eta_{\text{moy}} = \frac{\langle P_{\text{OUT}} \rangle}{\langle P_{\text{alim}} \rangle} \quad (3.3)$$

Où :

$$\langle P_{\text{OUT}} \rangle = \frac{V_{\text{OUT_RMS}}^2}{R_L} \quad (3.4)$$

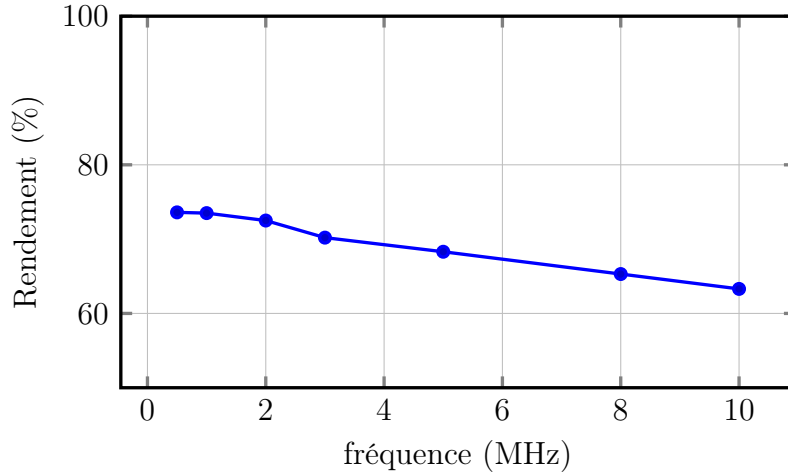


FIGURE 3.32 – Rendement du modulateur en fonction de la fréquence du signal modulant (modulant sinusoïdal)

Ce rendement est à différencier du rendement à états équirépartis équation (3.2), dans le sens où il dépend également de la statistique du signal. En fait, à l'équation (3.2), il faut ajouter une pondération tenant compte de la fonction de densité de probabilité du signal (pdf).

Soit $\text{pdf}(x)$ la fonction pdf du signal, et m_i les valeurs d'enveloppe pour lesquelles le modulateur commute. On obtient donc :

$$\eta_{\text{moy}} = \frac{\sum_{i=1}^n (m_i - m_{i-1}) \cdot \text{pdf}(m_i) \cdot P_{\text{cons}i} \cdot \eta_i}{\sum_{i=1}^n (m_i - m_{i-1}) \cdot \text{pdf}(m_i) \cdot P_{\text{cons}i}} \quad (3.5)$$

Avec $m_0 = 0$.

Ainsi, il apparaît que le rendement résultant obtenu est dépendant du signal de test et par la suite, du signal s'enveloppe.

La figure 3.33 illustre les m_i présents dans l'équation (3.5).

Le rendement mesuré figure 3.32 est impacté par la puissance que dissipe la diode.

Pour un courant de 2 A, celle utilisée en simulation a une tension à ses bornes de 0.54 V soit une puissance dissipée de 1.08 W. L'équation (3.1) page 84 décrivant le comportement de la diode ($V_{\text{diode}}(T, I_D) = V_T + I_D \times R_T$) prédit que pour un courant de 2 A et une température de 25 °C, la tension aux bornes de la diode est de 1.16 V, soit une puissance dissipée dans la diode de 2.3 W.

Sur une puissance totale de 50 W (puissance correspondant à un état haut avec tension d'alimentation de 30 V), ceci représente 4.6 points de rendement perdus dans la seule diode, alors qu'en simulation dans les mêmes circonstances, la diode ne dissipe que 1.16 W, ce qui représente 2.3 points de rendement.

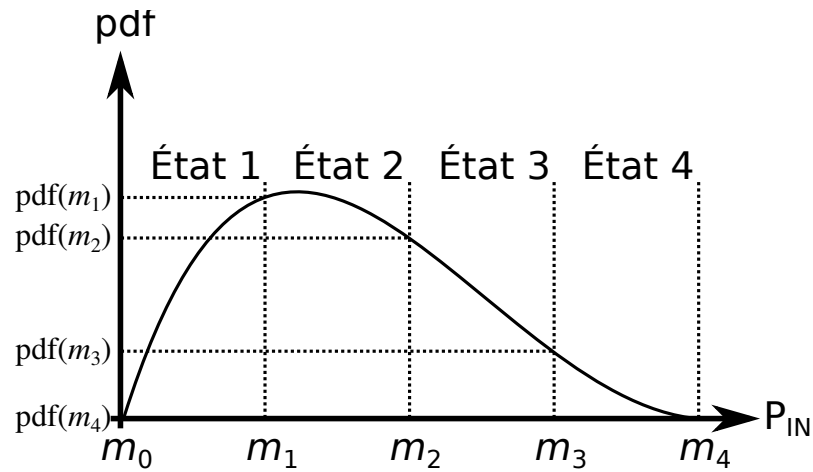


FIGURE 3.33 – pdf du signal en fonction de la puissance du signal à amplifier

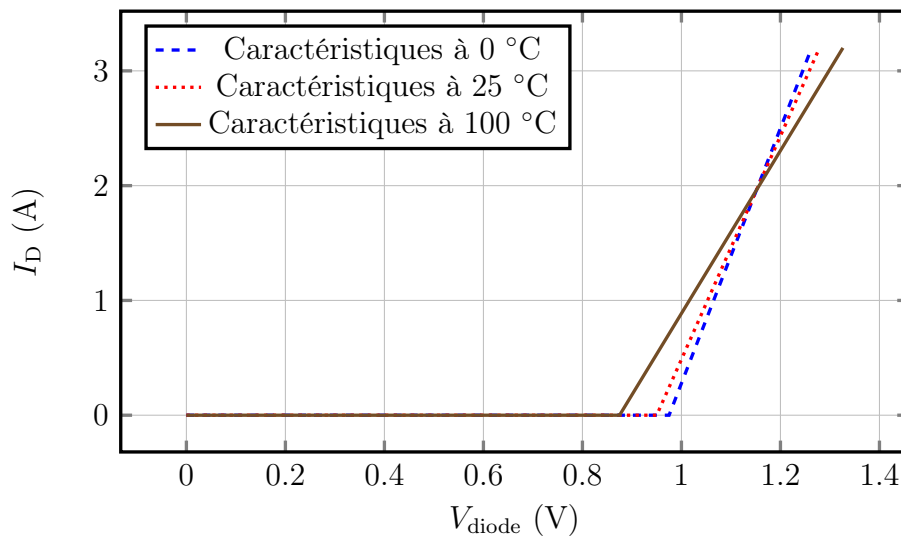


FIGURE 3.34 – Caractéristique courant tension de la diode CREE C3D06060G pour différentes températures

La diode utilisée en mesures présente donc plus de pertes que celle utilisée en simulations.

Si l'on compare les mesures sur une cellule seule sans diode (chapitre 2) et les mesures effectuées ici, on constate également que la présence de la diode provoque une perte d'intégrité du signal.

3.4 Couplage du système de commutation à un amplificateur de puissance

Des essais ont été réalisés sur un amplificateur de puissance réel. Il est constitué d'un CREE CGH27015 adapté pour fonctionner à une puissance de 10 W. Avec l'ETC puis avec l'ETD.

L'ETC s'est révélé difficile à mettre en œuvre pour des raisons d'adaptation du filtre de reconstruction. En effet, le filtre présentant une impédance de 16Ω dans sa bande passante à son accès d'entrée comme à son accès de sortie, il est nécessaire de présenter un amplificateur dont la résistance de drain est du même ordre de grandeur. Or, l'amplificateur test présente une résistance de drain de l'ordre de 40Ω à la compression. L'ETC n'a pas pu être testé dans des conditions satisfaisantes.

Cette contrainte de dimensionnement existe aussi avec l'ETD, mais elle est moins contraignante car s'il existe un point optimal sur le dimensionnement de l'amplificateur, un léger décalage est moins compromettant et fera perdre quelques points de rendement.

Le couplage modulateur/PA a donc été réalisé, lors de nos essais, avec la solution ETD.

c) L'amplificateur

L'amplificateur de test comprend les spécifications suivantes :

- fréquence de fonctionnement : 2.5 GHz ;
- bande passante : 300 MHz ;
- l'accès de polarisation est conçu pour laisser passer une fréquence maximale de 5 MHz ;
- le gain à la compression est de $13 \text{ dB} \pm 0.5 \text{ dB}$ dans la bande passante ;
- la puissance crête est de 10 W ;
- son rendement à la compression est de 60 %.

Une photo de cet amplificateur est visible figure 3.35.

Le transistor GaN CREE CGH27015 est donné pour une puissance de 15 W mais est adapté, sur ce *demoboard* pour un fonctionnement à une puissance de 10 W.

Cet amplificateur est initialement conçu pour fonctionner sous une tension fixe de 28 V. C'est pourquoi le circuit de polarisation de drain a été adapté à l'*envelope tracking*.

Son impédance de drain a été mesurée en fonction de la puissance d'enveloppe normalisée où 1 représente la valeur de l'enveloppe à la compression (figure 3.36).

La figure 3.36 met en évidence la variabilité de l'impédance de drain R_{DS0} de l'amplificateur RF. Celle-ci reste stable lorsque l'enveloppe normalisée est comprise entre 0.5 et 1. En revanche, en dessous de 0.5, R_{DS0} passe de 40Ω à plusieurs centaines de Ω . Ceci pose notamment des problèmes d'adaptation critiques pour l'ETC.

Dans le cadre de l'ETD, le système peut fonctionner, mais la résistance présentée par l'amplificateur sur son accès de polarisation est trop importante pour obtenir un rendement satisfaisant au niveau du modulateur.

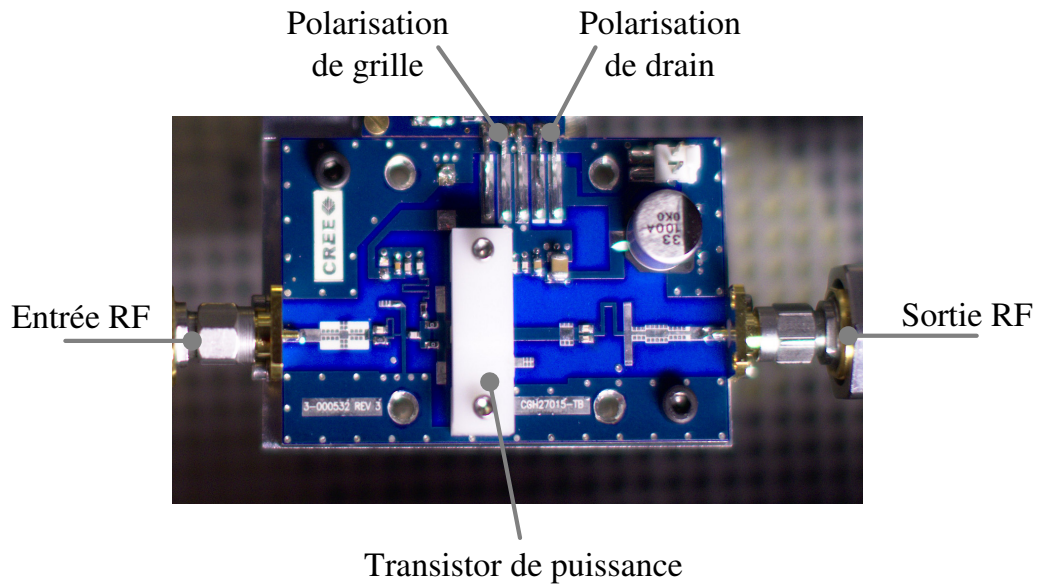


FIGURE 3.35 – Photographie de l'amplificateur (demoboard CREE)

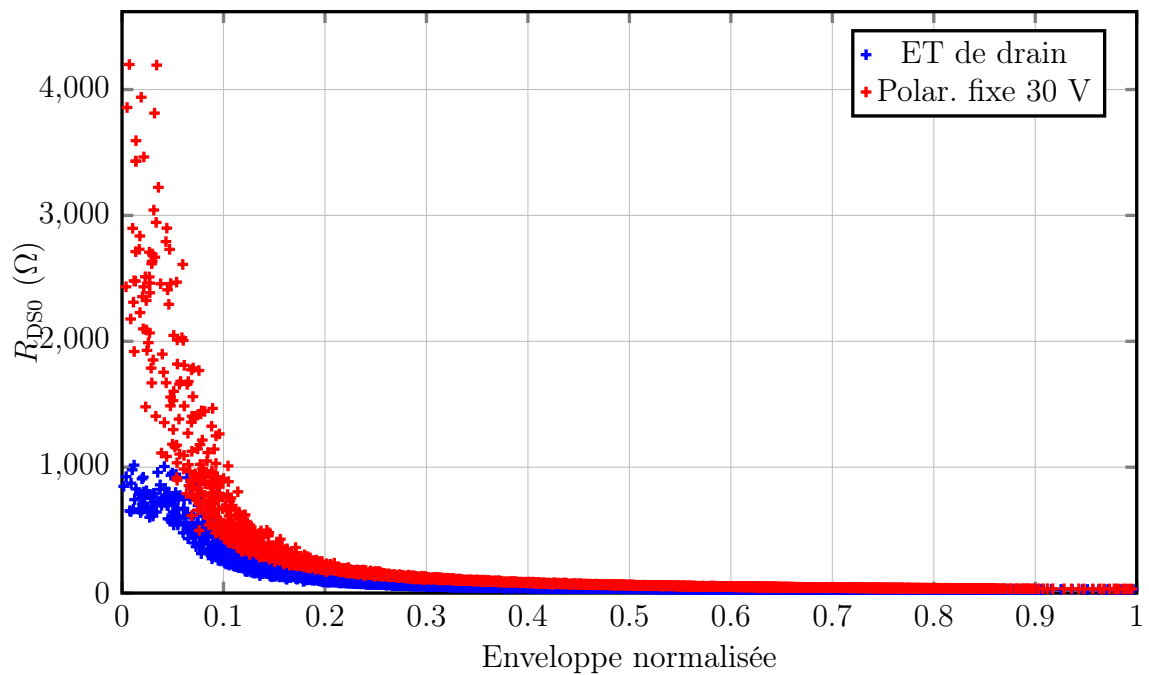


FIGURE 3.36 – Graphe présentant l'impédance statique R_{DS0} en fonction de l'amplitude normalisée de l'enveloppe.

3.4.1 Mesures de rendement et linéarité en ETD

Les mesures ont été réalisées en ETD à partir d'un signal RF modulé en 16-QAM à 1 Msymb/s.

Au sein du laboratoire, nous disposons d'un banc de caractérisation fonctionnelle d'amplificateurs de puissance RF en présence de signaux modulés complexes. Ce système de caractérisation, dit « banc télécom » permet, à partir de la mesure des enveloppes BF des signaux modulés d'E/S, de caractériser un amplificateur RF en termes de linéarité (NPR, ACPR, EVM...) et en termes de rendement.

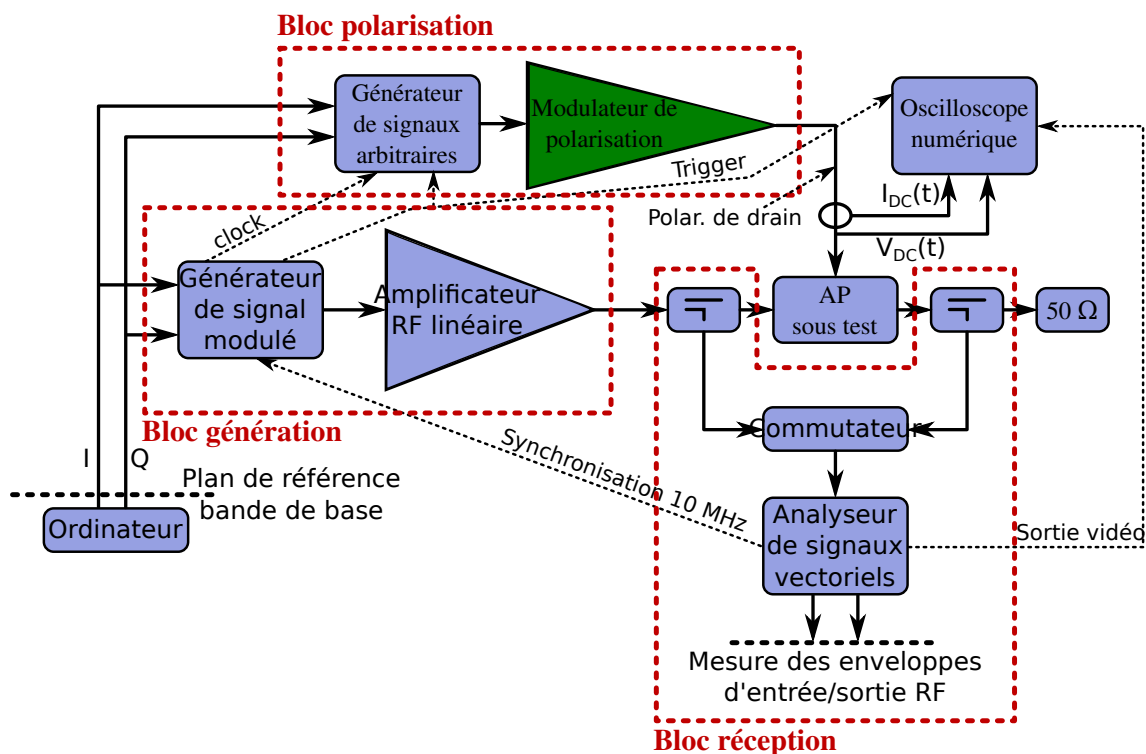


FIGURE 3.37 – Schéma bloc du banc de test (thèse [11]).

Le synoptique du banc de mesure est illustré sur la figure 3.37. Ce banc est entièrement piloté par ordinateur. Nous pouvons le décrire en 3 blocs : le bloc de génération, le bloc de réception et le bloc de gestion de polarisation :

- **le bloc de génération** basé sur l'utilisation du générateur de signal modulé SMU 200A de Rohdes et Schwarz, suivi d'un amplificateur d'instrumentation fonctionnant en zone très linéaire avec un fort recul en puissance ;
- **le bloc de réception** basé sur l'utilisation d'un analyseur de signaux vectoriel FSQ 8 de Rhodes et Schwartz qui réalise la démodulation des signaux et permet l'acquisition temporelle de leur enveloppe complexe ;
- **le bloc de gestion de polarisation** basé sur l'utilisation d'un générateur de signaux arbitraires (AWG) suivi du modulateur de polarisation. Les mesures des tensions et courants à l'accès polarisation de drain de l'amplificateur RF sous test se font au moyen de sondes et d'un oscilloscope.

Un aspect fondamental réside dans la synchronisation des signaux. Tous les appareils de mesure doivent être synchronisés entre eux afin d'exploiter les signaux d'enveloppe des ondes RF mesurées à l'entrée et à la sortie de l'amplificateur sous

test, ainsi que les signaux de tension et de courant mesurés à l'accès de polarisation de drain. L'analyseur de signaux vectoriel fournit la référence 10 MHz au générateur de signal modulé.

Sur la figure 3.37, le bloc modulateur de polarisation est constitué de l'ensemble CAN, FPGA, modulateur ETD.

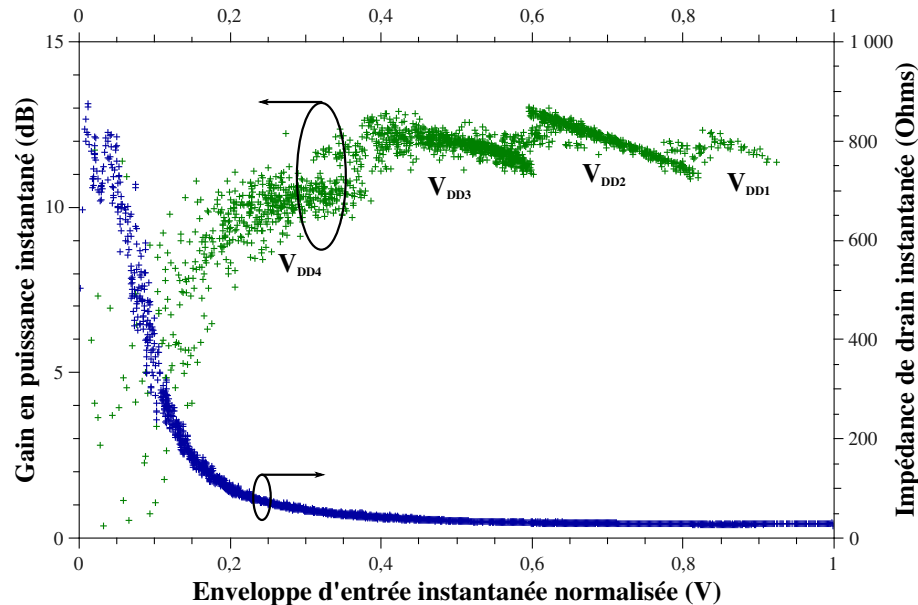


FIGURE 3.38 – Courbe de gain et de résistance de drain en fonction de la puissance d'entrée

Sur la figure 3.38, on peut voir le gain instantané en fonction de l'enveloppe d'entrée normalisée sous ETD. On peut également observer la résistance R_{DS0} en fonction de l'amplitude instantanée.

Le gain subit des discontinuités. Ce sont les *artefacts* de la commutation : lorsque le modulateur change la tension d'alimentation de l'amplificateur, on observe un saut de gain de l'amplificateur.

On peut constater que les faibles niveaux sont plus fortement représentés pour cette modulation (QAM-16). L'état haut n'est que très peu utilisé.

La figure 3.39 montre la valeur de la tension d'alimentation V_{DD} en fonction de l'enveloppe.

Sur la figure figure 3.39, on retrouve les 4 états de commutation, avec ici des V_{DDi} de 28 V ; 24 V ; 19 V ; 14.5 V.

a) Mesures de linéarité

Nous allons comparer les mesures d'EVM pour l'amplificateur à V_{DD} fixe et pour l'amplificateur sous *envelope tracking* (figure 3.40).

On constate sur la figure 3.40 que l'EVM est moins bonne pour l'ET (4% contre 2% pour la polarisation fixe). Ceci est prévisible compte tenu de la courbe de gain

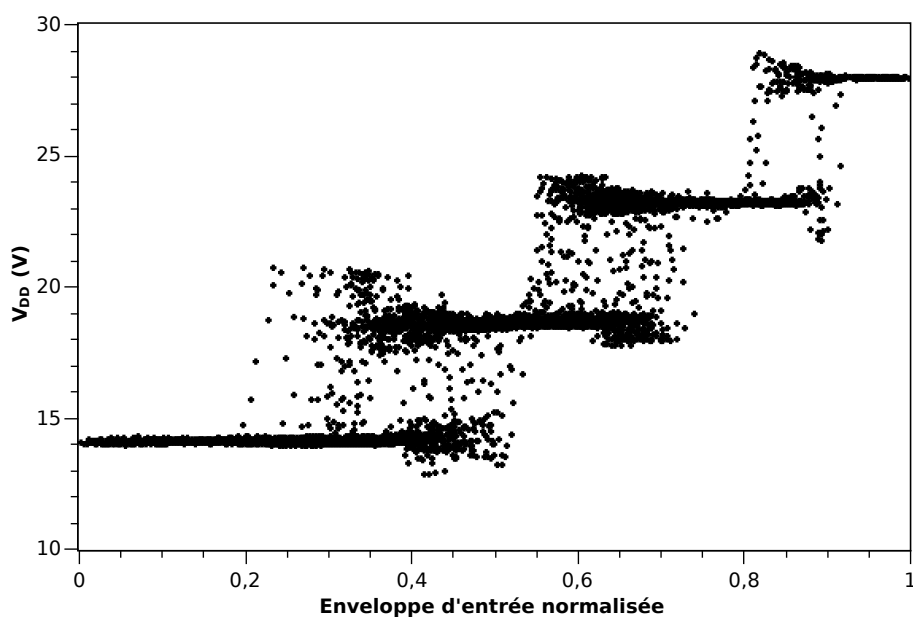


FIGURE 3.39 – V_{DD} en fonction de l'enveloppe normalisée.

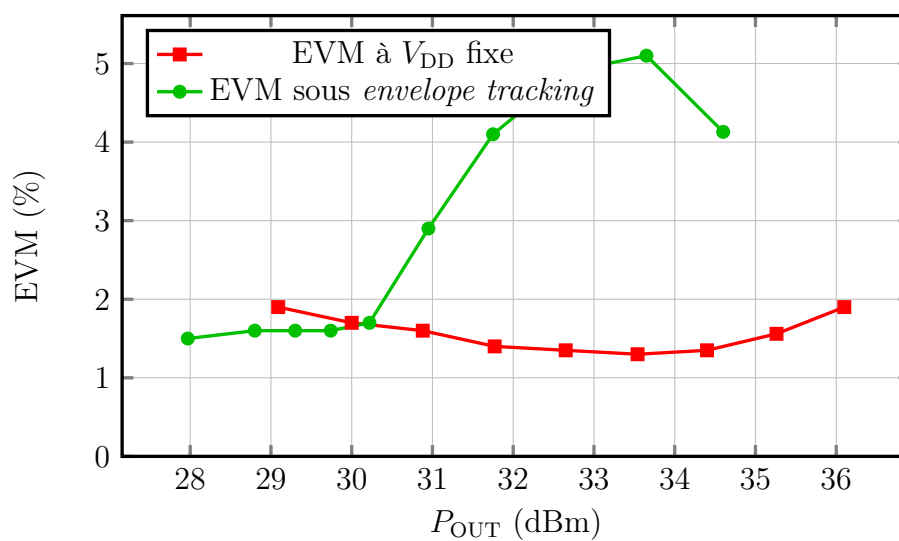


FIGURE 3.40 – EVM en fonction de la puissance de sortie, pour l'ET et la polarisation fixe.

obtenue figure 3.38.

b) Mesures de rendement

Comme évoqué précédemment, le rendement du modulateur n'est pas celui attendu à cause de problèmes d'adaptation d'impédance.

L'ensemble amplificateur modulateur présente un rendement plus bas que l'am-

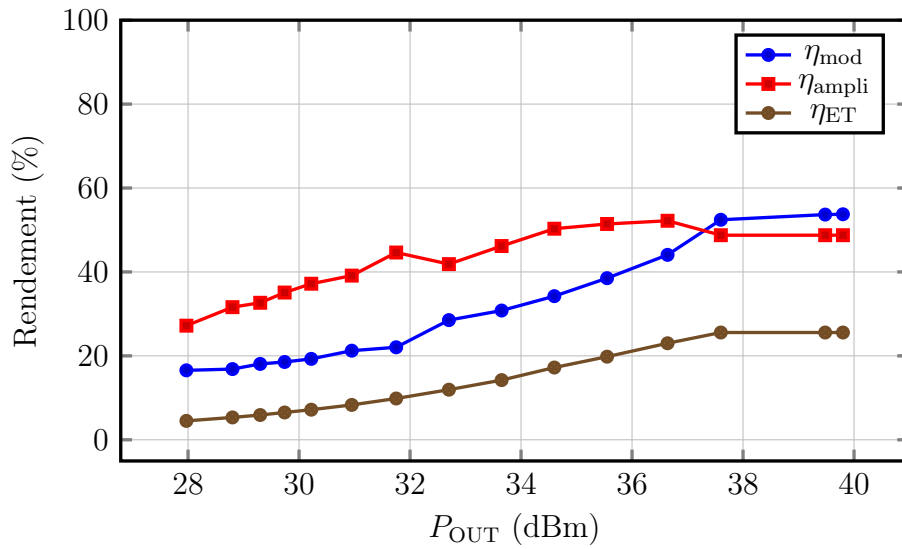


FIGURE 3.41 – Rendements du modulateur, de l'amplificateur « tracké » et de l'ensemble amplificateur + modulateur.

plificateur seul (figure 3.41). Ceci s'explique par le faible rendement du modulateur sur cet amplificateur évoqué plus haut.

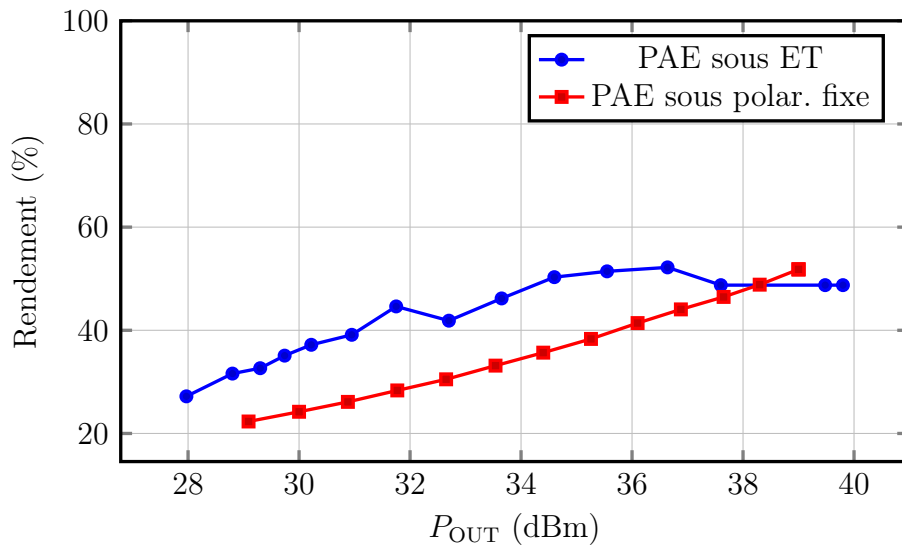


FIGURE 3.42 – Comparaison entre le rendement de l'amplificateur sous polarisation fixe et sous ET.

En revanche, la figure 3.42 montre une amélioration sensible du rendement au niveau de l'amplificateur de 10 points jusqu'à 36 dBm par rapport à l'amplificateur sous polarisation fixe.

Ainsi lors de ces mesures, l'ET a amélioré le rendement de l'amplificateur de puissance.

Ceci laisse supposer que des mesures sur un ensemble amplificateur/modulateur adaptés en puissance pourraient apporter une amélioration significative du rendement en *envelope tracking*.

Conclusion

Nous avons réalisé et caractérisé deux modulateurs pour l'ETC et pour l'ETD.

Pour les deux configurations, il est nécessaire d'utiliser les diodes diodes schottky de sortie. Ces diodes doivent être rapides, sans temps de recouvrement et être capables de supporter le courant maximum délivré. Les diodes que nous avons utilisées sont en technologies SiC et répondent correctement aux attentes mais introduisent une consommation supplémentaire. Les essais sont en cours pour l'utilisation de diodes en puce et de taille plus restreinte pour améliorer les performances.

Les modulateurs réalisés présentent des performances intéressantes en vitesse (bande passante d'environ 5 MHz) ainsi qu'en puissance (30 V, 2 A). Leur rendement dépend fortement de celui des cellules élémentaires. Ces dernières ont un rendement qui dépend du rapport cyclique du signal les pilotant. Le rendement des modulateurs est fortement dépendant de la statistique de l'enveloppe, c'est-à-dire de sa pdf.

L'*envelope tracking* montre des potentialités en termes d'amélioration du rendement. L'amplificateur sous ET montre une PAE améliorée de 10 points sous ETD à 4 niveaux.

L'ETD a montré des aptitudes en matière de rendement énergétique et de montée en fréquence de commutation en étant capable de suivre une enveloppe de 5 MHz pour des tensions atteignant 30 V de tension de sortie.

Le rendement du système complet d'*envelope tracking* peut être augmenté en :

- améliorant le couplage modulateur/amplificateur ;
- réduisant la consommation des cellules à l'état OFF.

Les prochains essais seront réalisés sur un amplificateur de 40 W, plus adapté au modulateur qui est surdimensionné par rapport à un amplificateur de 10 W.

Conclusion

Ce manuscrit de thèse expose dans un premier temps l'intérêt et la nécessité de réduire les pertes énergétiques au sein des amplificateurs de puissances RF.

Nous présentons ensuite un état de l'art de la réalisation de modulateurs pour l'*envelope tracking*. Ce dispositif permet de moduler la tension d'alimentation de l'amplificateur en fonction de l'enveloppe instantanée.

La difficulté de réaliser un modulateur d'*envelope tracking* capable de suivre le rythme de variation de l'enveloppe (plusieurs MHz) tout en fournissant la tension et la puissance nécessaires à l'alimentation de l'amplificateur de puissance et en gardant un rendement énergétique élevé apparaît dans toutes les publications à l'état de l'art dans ce domaine.

Le deuxième chapitre présente ensuite l'étude de la cellule de commutation servant de brique de base à la réalisation d'un modulateur d'*envelope tracking*. La cellule a été implémentée en technologie hybride à partir de transistors GaN à grand développement afin de faire face aux besoins en puissance pour un tel modulateur. Cette cellule présente, tant en simulations qu'en mesures, des performances ouvrant la voie à la réalisation d'un modulateur répondant aux attentes en termes de rapidité et de performances énergétiques.

Nous poursuivons par la réalisation des deux modulateurs : l'un pour l'ETC, l'autre pour l'ETD. Ils sont dans un premier temps testés sur une charge résistive idéale représentative de l'impédance présentée par l'accès de polarisation de drain en amplification RF.

L'ETC étant un système de commutation dont le signal résultant est à moyenne flottante variable, la tension d'enveloppe est reconstituée à l'aide d'un filtrage passe-bas. Afin d'éviter tout problème d'adaptation, ce filtre doit présenter une impédance proche de celle présentée par l'accès de drain de l'amplificateur. Cette contrainte est cependant difficile à tenir étant donné la variabilité d'impédance de drain du transistor en fonction de la puissance RF émise.

L'ETD a été testé sur un amplificateur réel. Il y avait ici un problème de dimensionnement de l'amplificateur par rapport au modulateur : l'amplificateur étant sous dimensionné, le rendement du modulateur est limité à de faibles valeurs et ne permet pas d'obtenir un rendement global supérieur à celui de l'amplificateur sous polarisation fixe. Néanmoins, les mesures laissent supposer un gain en rendement significatif si l'amplificateur et le modulateur sont correctement dimensionnés. Les pertes en termes de linéarité restent contenues et peuvent être compensées par l'ajout d'une prédistorsion.

Perspectives

Le couplage du modulateur avec un amplificateur adapté devrait permettre d'obtenir des performances améliorées tant en matière de rendement qu'en matière de linéarité.

La cellule a fait l'objet d'un compromis sur la valeur de la résistance R_2 , permettant d'ajuster le compromis vitesse/dissipation d'énergie à l'état OFF. La solution idéale permettant d'obtenir à la fois de très faibles pertes et une grande vitesse de commutation serait une résistance R_2 qui aurait une faible valeur lorsque la cellule passe à l'état ON afin de permettre un transfert de charge rapide et une forte valeur à l'état OFF afin de limiter le courant la traversant, responsable de quasiment toutes les pertes à l'état OFF.

Ceci serait réalisable, par exemple, avec le canal d'un FET, la difficulté provenant du pilotage dudit FET sans référence à la masse (montage flottant).

Une autre source d'amélioration de rendement et de rapidité du modulateur serait, à la place des diodes de sortie générant des pertes de par leur tension de seuil de placer un autre FET, fonctionnant de façon synchrone avec T_2 .

Les perspectives ouvertes par ce travail concernent, plus largement, la commutation de puissance en hautes fréquences. Ceci ouvre la voie à la transposition dans le domaine des hyperfréquences de techniques éprouvées en basses fréquences telles que l'amplification en classe D (utilisée notamment pour l'amplification audio) ou le développement de CNA de puissance.

Bibliographie

- [1] Junxiong Deng, P.S. Gudem, L.E. Larson, D.F. Kimball, and P.M. Asbeck. A sige pa with dual dynamic bias control and memoryless digital predistortion for wcdma handset applications. *Solid-State Circuits, IEEE Journal of*, 41(5) :1210–1221, 2006.
- [2] KANETA Masato, KANBE Akihiro, HIRATA Hitoshi, YUI Fuminori, SHIMURA Tatsuhiro, KOBAYASHI Haruo, and YAMAGISHI Kentarou. Architecture of wideband high-efficiency envelope tracking power amplifier for base station. 2009.
- [3] Junghwan Son, Jungjoon Kim, Junghwan Moon, Ildu Kim, Seunghoon Jee, and Bumman Kim. Highly efficient envelope tracking transmitter at 3.5-ghz. In *Microwave Conference (EuMC), 2010 European*, pages 632–635, 2010.
- [4] Jungjoon Kim, Junghwan Moon, Junghwan Son, Seunghoon Jee, Juyeon Lee, Jeonghyeon Cha, Ildu Kim, and Bumman Kim. Highly efficient envelope tracking transmitter by utilizing sinking current. In *Microwave Conference (EuMC), 2011 41st European*, pages 1197–1200, 2011.
- [5] T. Aitto-oja. High efficiency envelope tracking supply voltage modulator for high power base station amplifier applications. In *Microwave Symposium Digest (MTT), 2010 IEEE MTT-S International*, pages 668–671, 2010.
- [6] J.J. Yan, Chin Hsia, D.F. Kimball, and P.M. Asbeck. Gan envelope tracking power amplifier with more than one octave carrier bandwidth. In *Compound Semiconductor Integrated Circuit Symposium (CSICS), 2011 IEEE*, pages 1–4, 2011.
- [7] Young-Pyo Hong, K. Mukai, H. Gheidi, S. Shinjo, and P.M. Asbeck. High efficiency gan switching converter ic with bootstrap driver for envelope tracking applications. In *Radio Frequency Integrated Circuits Symposium (RFIC), 2013 IEEE*, pages 353 – 356, 2013.
- [8] Jinseong Jeong, D.F. Kimball, Myoungbo Kwak, Chin Hsia, P. Draxler, and P.M. Asbeck. Wideband envelope tracking power amplifier with reduced bandwidth power supply waveform. In *Microwave Symposium Digest, 2009. MTT '09. IEEE MTT-S International*, pages 1381–1384, 2009.
- [9] G. Montoro, P.L. Gilabert, E. Bertran, and J. Berenguer. A method for real-time generation of slew-rate limited envelopes in envelope tracking transmitters. In *RF Front-ends for Software Defined and Cognitive Radio Solutions (IMWS), 2010 IEEE International Microwave Workshop Series on*, pages 1–4, 2010.

- [10] P.P. Vizarreta, G. Montoro, and P.L. Gilabert. Hybrid envelope amplifier for envelope tracking power amplifier transmitters. In *Microwave Conference (EuMC), 2012 42nd European*, pages 128–131, 2012.
- [11] Saad El Dine Mohamad. *Linéarisation des amplificateurs de puissance à haut rendement en combinant les techniques de pré distorsion numérique et le contrôle de polarisation*. PhD thesis, Université de Limoges, 2011.
- [12] Klong Luan. Papr reduction in ofdm system. 2002.
- [13] Alain Glavieux Michel Joindot. *Introduction aux communications numériques*. Dunod, 2007.
- [14] Bumjae Shin, Jeonghyeon Cha, Jangheon Kim, Y.Y. Woo, Jaehyok Yi, and Bumman Kim. Linear power amplifier based on 3-way doherty amplifier with predistorter. In *Microwave Symposium Digest, 2004 IEEE MTT-S International*, volume 3, pages 2027–2030 Vol.3, 2004.
- [15] Stéphane Forestier. *Gestion dynamique de la génération de puissance en hyperfréquence pour des modulations numériques : application à l’optimisation des performances d’un amplificateur millimétrique*. PhD thesis, Université de Limoges, Octobre 2003.
- [16] P. Medrel, A. Ramadan, J.-M. Nebus, P. Bouysse, L. Lapierre, and J.-F. Ville-mazet. High efficiency class b gan power amplifier with dynamic gate biasing for improved linearity. *Electronics Letters*, 48(18) :1136–1137, 2012.
- [17] E. Cipriani, P. Colantonio, F. Giannini, R. Giofre, and L. Piazzon. Envelope tracking technique applied on a 10w 2nd harmonic tuned power amplifier at 2.14 ghz. In *Microwave Conference, 2009. EuMC 2009. European*, pages 1429–1432, 2009.
- [18] L. Bacque, P. Bouysse, W. Rebernak, C. Poumier, L. Lapierre, G. Nanfack-Nkondem, G. Neveu, D. Barataud, and R. Quere. High-current x2013 ;high-speed dynamic bias control system applied to a 100-w wideband push x2013 ;pull amplifier. *Microwave Theory and Techniques, IEEE Transactions on*, 56(12) :2798–2807, 2008.
- [19] Ludovic Bacqué. *Optimisation du rendement d’amplificateurs de puissance sous contrainte de linéarité en présence de modulations numériques complexes (présentation orale)*. PhD thesis, Université de Limoges, 2008.
- [20] D.F. Kimball, Jinho Jeong, Chin Hsia, P. Draxler, S. Lanfranco, W. Nagy, K. Linthicum, L.E. Larson, and P.M. Asbeck. High-efficiency envelope-tracking w-cdma base-station amplifier using gan hfets. *Microwave Theory and Techniques, IEEE Transactions on*, 54(11) :3848–3856, 2006.
- [21] Jungjoon Kim, Jungwhan Son, Seunghoon Jee, Seokhyeon Kim, and Bumman Kim. Optimization of envelope tracking power amplifier for base-station applications. *Microwave Theory and Techniques, IEEE Transactions on*, 61(4) :1620–1627, 2013.
- [22] Chin Hsia, Anding Zhu, J.J. Yan, P. Draxler, D.F. Kimball, S. Lanfranco, and P.M. Asbeck. Digitally assisted dual-switch high-efficiency envelope amplifier

-
- for envelope-tracking base-station power amplifiers. *Microwave Theory and Techniques, IEEE Transactions on*, 59(11) :2943–2952, 2011.
- [23] G. Montoro, P.L. Gilabert, P. Vizarréta, and E. Bertran. Slew-rate limited envelopes for driving envelope tracking amplifiers. In *Power Amplifiers for Wireless and Radio Applications (PAWR), 2011 IEEE Topical Conference on*, pages 17–20, 2011.
- [24] Christophe Charbonniaud. *Caractérisation et modélisation électrothermique non-linéaire de transistors à effet de champ GaN pour l’amplification de puissance micro-ondes*. PhD thesis, Université de Limoges, 2005.
- [25] O. Jardel, G. Callet, C. Charbonniaud, J.-C. Jacquet, N. Sarazin, E. Morvan, R. Aubry, M.-A. Di Forte Poisson, J-P Teyssier, S. Piotrowicz, and R. Quere. A new nonlinear hemt model for algan/gan switch applications. In *Microwave Integrated Circuits Conference, 2009. EuMIC 2009. European*, pages 73–76, 2009.
- [26] Olivier Jardel. *Contribution à la Modélisation des Transistors pour l’Amplification de Puissance aux Fréquences Microondes. Développement d’un nouveau Modèle Électrothermique de HEMT AlGaN/GaN incluant les Effets de Pièges*. PhD thesis, Université de Limoges, 2008.
- [27] P.D. Tajima, Y. ; Miller. Design of broad-band power gaas fet amplifiers. In *Microwave Theory and Techniques, IEEE Transactions*, pages 261 – 267, 1984.
- [28] Sébastien Mons. *Nouvelles méthodes d’analyse de stabilité intégrées à la cao des circuits monolithiques micro-ondes non linéaires*. PhD thesis, Université de Limoges, 1999.

Annexe A

Programmation du FPGA

A.1 Introduction

La PWM est générée avec une horloge rapide. Le FPGA utilisé est le Spartan-3E. Une horloge à 333 MHz peut être générée à l'aide d'un multiplicateur d'horloge (DCM, *Digital Clock Manager*), l'horloge physique la plus rapide générée sur la carte étant de 50 MHz. Cette horloge rapide peut être utilisée dans le code VHDL pour le fonctionnement du programme, mais ne peut en aucun cas être redirigée vers un port extérieur au FPGA. On ne peut donc pas s'en servir pour synchroniser un périphérique.

La programmation en VHDL consiste à concevoir plusieurs entités dotées d'entrées et de sorties communicant entre elles par des ports. Ainsi, notre programme peut être représenté graphiquement (figure A.1).

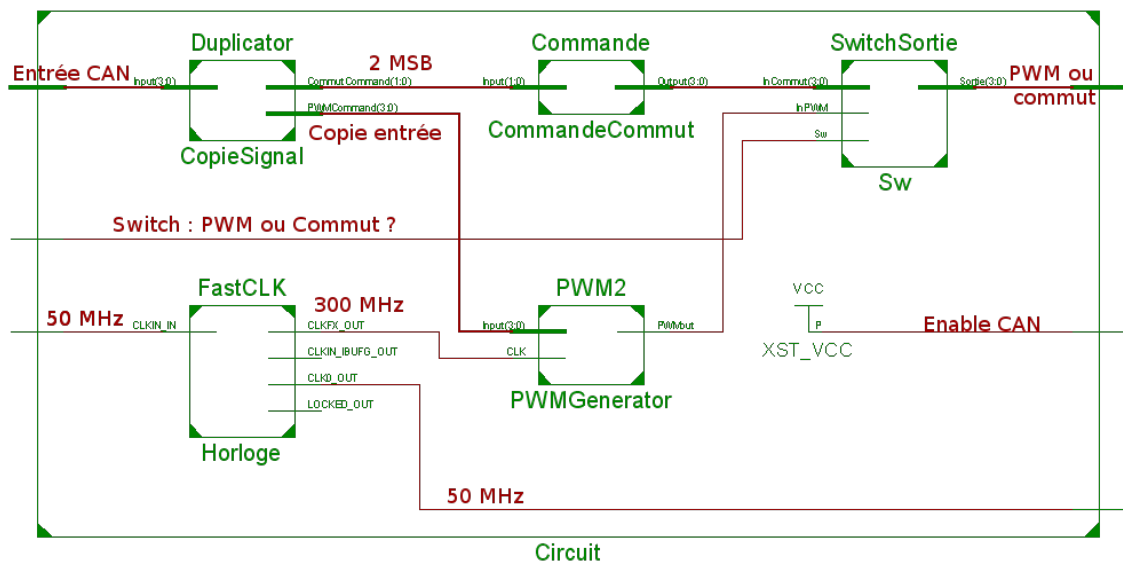


FIGURE A.1 – Schéma bloc représentant le programme embarqué au sein du FPGA.

Le programme reçoit le vecteur numérique de 14 bits (port ENTRÉE CAN dirigé

vers le bloc COPIESIGNAL).

Les 2 bits de poids fort sont copiés vers l'entrée du bloc COMMANDECOMMUT afin de générer le pilotage de l'ETD.

Les 4 bits de poids fort sont copiés vers l'entrée du bloc PWMGENERATOR qui génère le signal PWM. Le fonctionnement de ce dernier est détaillé au paragraphe suivant.

Les signaux PWM et de commutation sont acheminés vers un bloc redirigeant le signal PWM ou le signal de commutation vers la sortie, selon l'état d'un interrupteur situé sur la carte FPGA et dont le rôle est de choisir le mode de fonctionnement (PWM ou commutation).

A.2 Fonctionnement du bloc PWM

Le bloc PWM comporte donc 2 entrées et une sortie :

- un vecteur binaire (dans notre application, il est sur 4 bits), qui correspond aux 4 bits de poids fort en provenance du CAN
- l'horloge haute fréquence (333 MHz)
- en sortie, le signal PWM généré

En comptant les fronts montants de l'horloge à 333 MHz, elle permet d'établir un signal carré dont le rapport cyclique est proportionnel au vecteur d'entrée en provenance du CAN (Figure A.2).

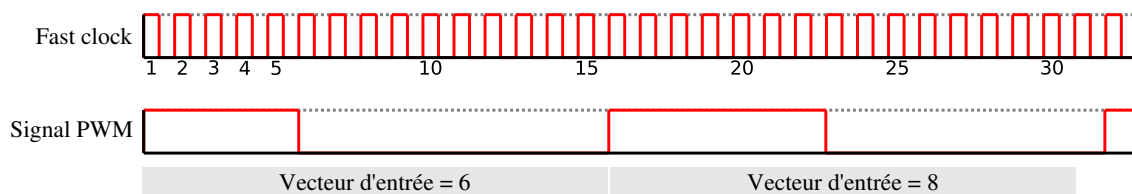


FIGURE A.2 – Chronogramme : horloge rapide et signal PWM

Le conctionnement se déroule comme suit :

1. instant $t = 0$:
 - le signal passe à l'état haut le compteur est initialisé à "0000"
 - la valeur du vecteur d'entrée est récupérée et stockée dans la variable `fixedValue`
 - la valeur du signal de sortie est mise à 1
2. à chaque front montant de l'horloge, le compteur est incrémenté de 1 ;
3. lorsque la valeur du compteur est égale à `fixedValue`, la sortie PWM est mise à 0
4. lorsque la valeur du compteur est égale à "1111" celui-ci étant cyclique, sa valeur repassera à "0000" au front montant suivant

5. le compteur vaut maintenant "0000", la sortie PWM est remise à 1, `fixedValue` reçoit la nouvelle valeur du vecteur d'entrée. Nous sommes au point de départ d'un nouveau cycle.

Contrairement à la génération analogique de signaux PWM, l'ensemble des valeurs prises par le rapport cyclique n'est pas continu, mais est un ensemble de cardinal 2^n . Ainsi, avec un vecteur de 4 bits, nous avons 16 valeurs possibles pour le rapport cyclique, équiréparties entre 0 et 100 %.

Concernant la fréquence du signal PWM, pour une horloge rapide de fréquence f_{CLK} et un vecteur d'entrée de largeur n bits, la fréquence est donc de $\frac{f_{CLK}}{2^n}$. Dans notre application, cela donne donc $\frac{333}{2^4} = 18.75\text{MHz}$. Si nous voulions plus de précision avec un vecteur sur 5 bits, nous aurions une fréquence de $\frac{333}{2^5} \approx 10.4\text{MHz}$.

A.3 Implémentation au sein du FPGA

A.3.1 Comparaison avec la PWM analogique

La génération analogique du signal PWM est réalisée à partir de la comparaison du signal d'enveloppe et d'un signal « dent-de-scie ».

Il s'agit là de l'équivalent numérique de ce type de dispositif. En effet, les valeurs successives prises par le compteur s'apparentent à une fonction dent de scie et, comme dans le procédé analogique, on le compare à la valeur de l'enveloppe (variable `fixedValue`). Dans les deux cas, le système affecte la sortie en fonction du résultat de la comparaison.

A.3.2 Code VHDL

Le code VHDL implémentant le bloc PWM est représenté figure figure A.3 page suivante.

Les lignes 1 à 5 décrivent le bloc d'un point de vue extérieur : on y indique les ports, et leurs caractéristiques respectives (entrée, sortie, type, nombre de bits et sens de lecture pour les ports).

Les lignes 7 à 26 décrivent le fonctionnement du bloc. Son « comportement ».

La zone `process` (lignes 13 à 25) décrit un ensemble d'instructions s'exécutant simultanément. Il s'agit là d'une différence fondamentale avec des langages comme le C, C++, Java, etc. où les instructions s'exécutent de façon séquentielle, les unes après les autres.

Le `process` se réveille sur front montant de l'horloge. Comme décrit plus haut, il incrémente le compteur (`count <= count + 1;`).

Si le test `count > fixedValue` est positif, la sortie passe à 0.

Lorsque la valeur du compteur est '0000', la sortie est remise à 1. Nous sommes alors revenus au point de départ, comme décrit au paragraphe précédent.

```
1  entity PWM2 is
   Port ( Input : in STD_LOGIC_VECTOR (3 downto 0);
         CLK : in STD_LOGIC;
         PWMout : out STD_LOGIC);
6  end PWM2;

   architecture Behavioral of PWM2 is

   —Un compteur, et la valeur de l'entree, figee pour le temps du
   process
11  signal count, fixedValue : STD_LOGIC_VECTOR (3 downto 0); —

   begin
   process (CLK, Input)
   begin
   if rising_edge(CLK) then
16   count <= count+1;
   if (count > fixedValue) then
   PWMout <= '0';
   elsif (count = "0000") then
   PWMout <= '1';
21   fixedValue <= Input;
   end if;
   else
   end if;
   end process;
26 end Behavioral;
```

FIGURE A.3 – Code VHDL décrivant le comportement du bloc PWM

Annexe B

Démonstrations des résultats analytiques

Cette annexe présente l'établissement des équations différentielles menant aux constantes de temps de changement d'état, ainsi que du ratio liant la fréquence de commutation et la fréquence d'enveloppe pour l'ETD.

B.1 Établissement des constantes de temps

L'équation différentielle relative à la tension $V_{GS}(t)$ dont découlent les calculs qui suivent est l'équation (B.1).

$$\begin{aligned} R_L I_{DSS} + \left(1 + \frac{R_{DS1} + R_1 + R_L}{R_2} + \frac{R_L I_{DSS}}{V_p} \right) \\ + \left((R_L + R_1) \left(C_{GS} + C_{GD} \cdot \left(1 + \frac{R_L I_{DSS}}{V_p} + \frac{R_L}{R_2} \right) \right) R_L C_{GS} \right) \cdot \frac{dV_{GS}}{dt} \\ + (R_{DS1} + R_1) \cdot R_L \cdot C_{GS} \cdot C_{GD} \cdot \frac{d^2 V_{GS}}{dt^2} = 0 \quad (B.1) \end{aligned}$$

Dans un but de simplification, nous nous limiterons à l'ordre 1. Ainsi, le terme en $\frac{d^2 V_{GS}}{dt^2}$ disparaît, et l'équation (B.1) devient équation (B.2).

$$\begin{aligned} R_L I_{DSS} + \left(1 + \frac{R_{DS1} + R_1 + R_L}{R_2} + \frac{R_L I_{DSS}}{V_p} \right) \\ + \left((R_L + R_1) \left(C_{GS} + C_{GD} \cdot \left(1 + \frac{R_L I_{DSS}}{V_p} + \frac{R_L}{R_2} \right) \right) R_L C_{GS} \right) \cdot \frac{dV_{GS}}{dt} = 0 \quad (B.2) \end{aligned}$$

B.1.1 Constantes de temps de mise à l'état ON

L'équation différentielle relative à la tension $V_{GS}(t)$ est visible équation (B.1)

Ce qui déclenche le changement d'état est le changement de valeur de R_{DS1} de R_{DS1_ON} vers R_{DS1_OFF} sous forme d'échelon. La condition initiale est $V_{GS}(0) = V_{GS_OFF}$.

Il s'agit d'une équation différentielle linéaire du premier ordre à coefficients constants. On obtient donc l'expression temporelle de $V_{GS}(t)$:

$$V_{GS}(t) = V_{GS_OFF} + V_0 \cdot \left(1 - e^{-\frac{t}{\tau_1}}\right), \text{ avec :}$$

$$V_0 = \frac{-R_L \cdot I_{DSS}}{1 + \frac{R_{DS_OFF} + R_1 + R_L}{R_2} + \frac{R_L \cdot I_{DSS}}{V_p}}$$

$$V_{GS2_OFF} = \frac{I_{DSS} \cdot R_L \cdot V_p \cdot R_2}{(I_{DSS} \cdot R_L - V_p) \cdot R_2 - V_p \cdot R_1 - R_L \cdot V_p - R_{DS1} \cdot V_p}$$

et

$$\tau_1 = \frac{(R_{DS_OFF} + R_1 + R_L) \cdot C_{GS} + (R_{DS_OFF} + R_1) \cdot C_{GD} \left(1 + \frac{R_L \cdot I_{DSS}}{V_p} + \frac{R_L}{R_2}\right)}{1 + \frac{R_{DS_OFF} + R_1 + R_L}{R_2} + \frac{R_L \cdot I_{DSS}}{V_p}} \quad (\text{B.3})$$

B.1.2 Constantes de temps de mise à l'état OFF

De la même façon qu'au paragraphe précédent, le basculement de la cellule vers l'état OFF est dû à un changement de valeur de R_{DS1} de R_{DS1_OFF} vers R_{DS1_ON} .

Ainsi, en partant de la même équation différentielle, on obtient :

$$\tau_3 = \frac{R_2 \cdot (R_{DS_ON} + R_1 + R_L) \cdot C_{GS} + R_2 \cdot (R_{DS_ON} + R_1) \cdot C_{GD} \cdot \left(1 + \frac{R_L}{R_2}\right)}{R_{DS_ON} + R_1 + R_L + R_2}$$

B.2 Fréquence de commutation en ETD

Il existe un lien entre la fréquence maximale de changement d'état f_{conv} en *envelope tracking* discret, la fréquence maximale de l'enveloppe f_{env} et le nombre de niveaux d'alimentations.

Pour un commutateur à n niveaux, $f_{conv} = 2 \cdot (n - 1) \cdot f_{env}$.

En voici la démonstration :

Soit un système de commutation à n niveaux. Supposons que la sinusoïde d'entrée soit d'une amplitude suffisante pour faire commuter *tous* les niveaux du système.

Conjeturons qu'en une période, le modulateur change $2n - 2$ fois d'état. Si $n = 2$, en une période, la cellule change 2 fois d'état. La conjecture est vérifiée pour $n = 2$.

Vérifions maintenant que si elle est vérifiée pour n , elle l'est aussi au rang $n + 1$.

La période d'une sinusoïde suit une phase croissante et une phase décroissante. Pour chaque phase le système commute une fois supplémentaire lorsque nous considérons le cas $n + 1$, donc deux fois supplémentaires pour la période entière.

Ainsi, pour le système à $n + 1$ niveaux, il y aura $2n - 2 + 2 = 2 \cdot (n + 1) - 2$ commutations par période.

La conjecture est donc vérifiée au rang $n + 1$.

On a donc démontré par récurrence que si le système de commutation est à n niveaux, alors la fréquence de commutation du modulateur est :

$$f_{\text{conv}} = 2 \cdot (n - 1) \cdot f_{\text{env}}$$

Publications relatives à ces travaux

Modulation de polarisation en technologie GaN pour l'enveloppe tracking.
Patrick Augeau, Philippe Bouysse, Audrey Martin, François Torres, Raymond Quéré, Olivier Jardel, Stéphane Piotrowicz, William Rebernak, and Gilles Neveu. *Journées Nationales Microondes*, 2013.

A new gan-based high-speed and high-power switching circuit for envelope-tracking modulators.
Patrick Augeau, Philippe Bouysse, Audrey Martin, Jean-Michel Nebus, Raymond Quere, Luc Lapierre, Olivier Jardel, and Stephane Piotrowicz. *International Journal of Microwave and Wireless Technologies*, 2014.

Résumé

Dans un système de télécommunications, l'amplificateur de puissance à l'émission est le dispositif présentant les pertes énergétiques les plus importantes. Il s'avère nécessaire de mettre en œuvre des techniques d'amélioration de son rendement. La gestion dynamique de polarisation (*envelope tracking*) est une des solutions possibles qui consiste à adapter la polarisation de l'amplificateur au niveau de puissance instantanée appliqué à son entrée.

L'état de l'art des différents travaux portant sur les modulateurs de polarisation pour l'*envelope tracking* met en évidence la complexité de conception de tels modulateurs ayant les performances requises en termes de rendement, rapidité et puissance.

Dans ces travaux de thèse, une cellule de commutation originale à base de transistors GaN est analysée théoriquement puis par des simulations temporelles non-linéaires. Les résultats expérimentaux ont validé les prévisions théoriques. Deux modulateurs de polarisation ont ensuite été réalisés à partir des cellules de commutation élémentaires. Le premier modulateur est un convertisseur DC-DC basé sur une modulation PWM dédié à l'*envelope tracking* continu. Le deuxième modulateur de polarisation est un dispositif de commutation d'alimentations dédié à l'*envelope tracking* discret. Le couplage de ce modulateur avec un amplificateur de puissance RF a été réalisé et les résultats en matière de rendement et de linéarité sont présentés.

Mots-clés: Convertisseur DC-DC, amplification de puissance, GaN, commande dynamique de polarisation, Commutation d'alimentations.

Abstract

In telecommunication systems, the impact of front-end consumption on the system efficiency is one of the most critical issues which drives a lot of research effort. At power amplifier (PA) level, the implementation of efficiency improvement techniques is mandatory. The dynamic biasing technique (*envelope tracking*) appears as a promising technique for the modern standard communications requirements. In such a technique, the drain supply voltage of the PA is dynamically adjusted in accordance with the value of envelope signal being transmitted.

State of the art works focusing on bias modulators for envelope tracking highlight the design complexity of such modulators to meet the expected efficiency, power and speed requirements.

In this thesis, innovative topology and design method of GaN-based switching cells is theoretically analyzed and validated by non-linear transient simulations. Such improvements of switching cells are validated by two different demonstrators which are realized in high-frequency, high-power GaN HEMT technology. The first modulator is a DC-DC converter driven by a Pulse Width Modulation (PWM) signal, in order to perform a continuous tracking of the drain supply envelope. The second modulator operates in switching mode in order to perform a discrete tracking of the drain supply envelope. This last modulator was coupled to a RF power amplifier to experimentally demonstrate its efficiency without negative impact on PA linearity.

Keywords: DC-DC converter, power amplification, GaN, dynamic drain bias, power switching.

