

UNIVERSITÉ DE LIMOGES

ECOLE DOCTORALE SCIENCE ET INGÉNIERIE POUR L'INFORMATION

FACULTE DES SCIENCES ET TECHNIQUES

Laboratoire : XLIM Département : C2S2

Thèse N° [67-2013]

Thèse

pour obtenir le grade de

DOCTEUR DE L'UNIVERSITÉ DE LIMOGES

Discipline : Électronique des Hautes Fréquences, Photoniques et Systèmes

Présentée et soutenue par

Chamssedine BERRACHED

Le 4 décembre 2013

Optimisation du rendement en puissance ajoutée des amplificateurs de puissances large bande à base de Nitrure de Gallium

Thèse dirigée par Denis BARATAUD et Juan OBREGON

JURY :

Jean-Michel NEBUS	Professeur, Université de Limoges	Président
Joaquin PORTILLA	Professeur, Université du Pays Basque	Rapporteur
Eric KERHERVE	Professeur, Université de Bordeaux	Rapporteur
Denis BARATAUD	Professeur, Université de Limoges	Examineur
Diane BOUW	Ingénieur développement produits avancés–UMS	Examineur
Marc CAMIADE	Manager développement produits avancés –UMS	Examineur
Juan OBREGON	Professeur Emérite, Université de Limoges	Examineur
Clément TOLANT	Ingénieur Thalès Air Systems – TR6	Examineur
Claude DUVANAUD	Maître de conférences HDR, Université de Poitiers	Invité
Guillaume NEVEUX	Maître de conférences, Université de Limoges	Invité

CONFIDENTIEL, DIFFUSION RESTREINTE

Table des matières

Introduction Générale.....	9
-----------------------------------	----------

Chapitre I : Critère de choix des composants

I.1 Introduction.....	15
I.2 Les matériaux semi-conducteurs.....	17
I.2.1 Introduction	17
I.2.2 Paramètres physiques des semi-conducteurs.....	17
I.2.3 Le Silicium (Si)	18
I.2.4 L' Arséniure de Gallium (AsGa).....	18
I.2.5 Le Phosphure d'Indium (InP)	18
I.2.6 Le Carbure de Silicium (SiC)	19
I.2.7 Le Nitrure de Gallium (GaN)	19
I.2.8 Le Diamant (C).....	19
I.2.9 Conclusion	20
I.3 Potentialités du Nitrure de Gallium pour l'amplification de puissance.....	22
I.4 Les différentes structures de transistor.....	25
I.4.1 Le transistor à effet de champs FET (Field Effect Transistor).....	25
I.5 Comparaison qualitative du HEMT GaN avec les autres filières présentées.	34
I.6 Conclusion	36
I.7 Bibliographie.....	37

Chapitre II : Techniques d'amplification de puissance à haut rendement et Techniques d'amplification de puissance très large bande

II.1 Introduction	41
II.2 Définitions générales des différents paramètres caractérisant un amplificateur de puissance.	43
II.3 Techniques d'amplification à haut rendement.....	47
II.3.1 Définition des classe de fonctionnement au niveau composant.....	47
II.3.2 Les classes de fonctionnement sinusoïdales.	47
II.3.3 Les classes de fonctionnement à haut rendement.	50
II.3.4 Les classes de fonctionnement à commutation.	54
II.3.5 Amélioration des rendements au niveau sous système.	59
II.4 Techniques d'amplification très large bande.....	64
II.4.1 L'amplificateur à adaptation résistive.....	64
II.4.2 L'amplificateur à contre réaction résistive.....	65
II.4.3 L'amplificateur distribué.....	66
II.4.4 L'amplificateur arborescent	67
II.5 Conclusion	69
II.6 Bibliographies.....	70

Chapitre III : Amplificateur de puissance à très large bande et très haut rendement en technologie MIC

III.1 Introduction	75
III.2 Définitions utiles	77
III.3 Modèle compact du transistor GaN GH50 UMS	79
III.3.1 Introduction.....	79
III.3.2 Modélisation petit signal du transistor à cellule unitaire GH50.	80
III.3.3 Modélisation électrique non linéaire du transistor GH50.	83
III.3.3.1 Modélisation non linéaire du transistor à cellule unitaire.....	83
III.3.4 Application au transistor GH50 AlGaIn/GaN HEMT 8x250 μ m	85
III.3.5 Validation du modèle du transistor GH50.	86
III.4 Variations des impédances de charge et de source simulée d'un transistor GH50 AlGaIn/GaN 2mm.	90
III.4.1 Simulation de variation des impédances de charge et de source (transistor à cellule unitaire de 2mm).....	90
III.4.2 Etude de la Sensibilité de la PAE du transistor à l'impédance de charge présentée à la fréquence harmonique 2.	92
III.5 Conception de l'amplificateur hybride à très large bande et très haut rendement.	102
III.5.1 Choix de l'architecture.....	102
III.5.2 Le composant final en boîtier CHK040A-SOA.....	103
III.5.3 Modèle électrique du transistor en boîtier : CHK040-SOA	103
III.5.4 Choix du substrat RT6010	104
III.5.5 Le circuit hybride de sortie de l'amplificateur.....	106
III.5.6 Circuit d'adaptation d'entrée.	112
III.5.7 Analyse de stabilité de l'amplificateur hybride	115
III.5.8 Résultats expérimentaux	119
III.5.9 Etat de l'art des performances des amplificateurs de puissance large bande à haut rendement.	122
III.6 Conclusion.....	124
III.7 Bibliographie.....	126

Chapitre IV : Amplificateur de puissance à très haut rendement et très large bande en technologie Quasi-MMIC

IV.1 Introduction.....	131
IV.2 Etudes des Limitations de l'adaptation des transistors de puissance à haut rendement et à très large bande.....	133
IV.2.1 Introduction	133
IV.2.2 Principe de l'adaptation conjuguée d'une impédance	134
IV.2.3 Théorème de Darlington	134
IV.2.4 Application des relations intégrale de Cauchy au coefficient de réflexion présenté par la charge.	135
IV.2.5 Applications des relations de Bode & Fano au modèle compact du transistor GH50 UMS.	136
IV.2.6 Calcul des valeurs maximales théorique de bande passante d'adaptation du transistor pour maintenir 90% de PAE _{opt}	142

IV.2.7 Influence des pertes du circuit d'adaptation de sortie.	144
IV.2.8 Détermination de la bande passante d'un quadripôle d'adaptation de sortie constitué d'un nombre « n » d'éléments d'adaptation.	145
IV.3 Conception d'un amplificateur « un étage » 25W large bande (2-4GHz) à haut rendement et hautement intégrable.	149
IV.3.1 La technologie ULRC.....	149
IV.3.2 Spécifications techniques liées à la conception de l'amplificateur de puissance Quasi-MMIC.	150
IV.3.3 Conception de l'amplificateur « un étage » 25 W, large bande à haut rendement en technologie Quasi-MMIC.....	153
IV.3.4 Résultats des mesures	169
IV.4 Conclusion	178
IV.5 Bibliographie.....	179

Chapitre V : Conception d'un amplificateur équilibré 45W large bande (2-4GHz) à haut rendement hautement intégrable

V.1 Introduction	183
V.2 Choix de l'Architecture.	184
V.2.1 Introduction.....	184
V.2.2 L'amplificateur de puissance distribué	184
V.2.3 L'amplificateur Push pull.	186
V.2.4 Comparaison des résultats de simulation d'un amplificateur push-pull large bande à haut rendement et d'un amplificateur unitaire large bande à haut rendement.....	196
V.3 Conception d'un amplificateur équilibré 45W large bande (2-4GHz) à haut rendement hautement intégrable.	202
V.3.1 Le coupleur de Lange 90°	202
V.3.2 Conception d'un coupleur de Lange en technologie ULRC.....	204
V.3.3 Résultats de simulation	205
V.4 Conclusion.....	227
V.5 Bibliographies	228

Conclusion Générale.....229

Publications et communications relatives à ce travail	241
---	-----

Introduction générale

Les futures générations de systèmes de RADARs et de systèmes de communications sans fil devront être capables de répondre à des caractéristiques exigeantes en termes de **consommation**, puissance, et coût. En effet, la consommation des amplificateurs de puissance représente aujourd'hui le critère fondamental qu'il est nécessaire d'optimiser sans entraîner des pertes de performances RF (puissance, gain, linéarité...). La prise de conscience des autorités nationales et internationales, sur les questions d'ordre environnemental, amène les industriels du secteur à étudier, rechercher et proposer des solutions permettant d'améliorer les performances tout en réduisant les contraintes de coût mais aussi d'encombrement.

De plus, ces dernières années ont vu l'arrivée de systèmes à antennes actives qui permettent d'entrevoir l'arrivée de systèmes multi-applicatifs. On peut citer à cet égard la radio cognitive opportuniste et les RADARs. Ces solutions couvrent des gammes de fréquence très différentes et exigent donc des amplificateurs de puissance avec de larges bandes passantes. Le défi des années à venir consiste à proposer des amplificateurs de puissance large bande (couvrant au moins une octave de bande passante) tout en maintenant de hautes performances en termes de rendement et de puissance.

Aujourd'hui, la technologie GaN permet d'obtenir d'excellentes performances en puissance et en rendement aux fréquences microondes. Ces qualités intrinsèques uniques, présentent une véritable rupture technologique comparée aux technologies GaAs et Si/SiGe. Les transistors à haute mobilité électronique (HEMTs) sur nitrure de gallium (GaN) apparaissent comme étant une solution attrayante pour le domaine de l'amplification de puissance haut rendement et large bande. De plus, le développement du GaN à l'échelle industrielle offre de nouvelles opportunités en termes d'innovation en conception de circuits et d'architectures de systèmes.

Pour des questions d'ordre économique, les utilisateurs de ce type de composant exigent des coûts et des délais de fabrication toujours plus faibles. Pour répondre à ces exigences, des solutions de type Quasi-MMIC peuvent être envisagées.

Ces travaux de thèse s'inscrivent dans le cadre d'un contrat CIFRE à l'initiative de la société United Monolithic Semiconductors. Ils concernent l'application de la filière de

composants HEMTs GaN à l'amplification de puissance à large bande passante et à haut rendement. Un des objectifs de ces travaux est de proposer une méthode de conception destinée aux amplificateurs de puissance à très larges bandes passantes (supérieures ou égales à l'octave) et à très haut rendement. Cette méthode doit permettre d'obtenir les performances optimales RF d'un amplificateur sur de larges bandes passantes.

Pour mener à bien ces travaux, le chapitre 1 présente les différentes solutions de transistors ainsi que les matériaux destinés aux applications d'amplification de puissance. Les potentialités du GaN pour ce type d'applications de fortes puissances conjuguées avec de hauts rendements et de larges bandes passantes sont comparées à celles des transistors à base d'autres matériaux actuels.

Le second chapitre est consacré à la description non exhaustive des principales architectures utilisées pour concevoir des amplificateurs de puissance à haut rendement (avec un rappel sur les principales classes de fonctionnement), ainsi qu'à la description d'architectures d'amplificateurs de puissance à très larges bandes passantes.

Le troisième chapitre présente la conception d'un premier amplificateur de puissance en technologie hybride. Ces premiers travaux ont conduit à la réalisation d'un amplificateur de puissance large bande à haut rendement fondé sur un transistor GaN commercialisé par UMS sous la dénomination CHK040A-SOA. L'amplificateur réalisé offre des résultats à l'état de l'art mondial. De plus, une étude approfondie de l'influence de la charge à la fréquence harmonique 2 a permis d'identifier une topologie propice à l'amplification de puissance à haut rendement et à très large bande passante.

Le quatrième chapitre présente les résultats d'une étude théorique concernant la limitation d'adaptation de bande passante pour un fonctionnement à haut rendement. Elle est fondée sur les théorèmes de Bode et Fano appliquée à la technologie GaN de la fonderie UMS. Cette étude est appliquée au transistor GH50, adapté à l'aide de quadripôles comportant un nombre fini d'éléments d'adaptation. Cette étude est ensuite appliquée à la conception d'un étage amplificateur « *single ended* » très large bande, à très haut rendement, en technologie Quasi-MMIC à partir d'une barrette de transistors GaN GH50. La technologie Quasi-MMIC qui permet de répondre aux critères transversaux tels que le coût et l'encombrement de l'amplificateur est aussi détaillée dans ce chapitre.

Enfin, le cinquième et dernier chapitre, présente une étude simplifiée des principales architectures d'amplificateur destinées à l'augmentation des performances de puissance. Cette étude se conclue par le choix justifié d'une architecture à quadripôle d'adaptation réactif pour la conception d'un amplificateur de puissance 45W, équilibré, fondé sur l'utilisation de la technologie Quasi-MMIC d'UMS.

Enfin, la conclusion générale synthétise d'une part l'ensemble des méthodes de conception développées au cours de ce travail de thèse et d'autre part, les performances des trois amplificateurs sont comparées aux principaux résultats publiés à ce jour. Les perspectives à donner à ce travail sont finalement évoquées.

Chapitre I : Critères de choix des composants

I.1 Introduction

La conception d'un amplificateur de puissance est principalement fondée sur l'utilisation de composants non linéaires, actifs, dont les caractéristiques et performances ont un impact primordial sur celles de l'amplificateur. Le critère de choix de ces composants est essentiellement défini par l'application visée pour l'amplificateur. Les principales caractéristiques sont essentiellement définies par :

- La fréquence de travail que l'on notera f_0 .
- La bande passante de fréquence d'utilisation que l'on notera B.P.
- Le niveau de puissance de sortie que l'on notera P_s .
- Le rendement en puissance ajoutée que l'on définira PAE.

Une définition précise de ces paramètres sera donnée au chapitre 2.

A ces critères primordiaux peuvent s'ajouter des caractéristiques telles que les densités de puissances maximales, la technologie employée, les limites caractéristiques en courant et tension, la linéarité ainsi que des critères d'ordres économiques tels que les coûts, l'encombrement ou les délais de fabrication ...

Enfin, un autre facteur est devenu prépondérant au cours de cette dernière décennie : la réduction de la **consommation**. En effet, la prise de conscience des organismes gouvernementaux (ex : protocole de Kyoto...) et des industriels sur les questions de politiques environnementales conduisent à repenser totalement les architectures des systèmes de télécommunication et RADAR pour augmenter leurs performances, assurer la fiabilité, et leur autonomie.

Aujourd'hui, les composants à base de Nitrure de Gallium (GaN) sont en passe de pouvoir répondre à ces critères : Ce matériau a fait son apparition dans les années 1990, mais son impact commercial commence tout juste à émerger. Ce nouveau matériau a permis une rupture technologique dans le domaine de l'amplification de puissance radiofréquence et micro-onde à état solide. Le Nitrure de Gallium a considérablement changé les méthodes de conception des amplificateurs de puissance ainsi que leurs applications. Des amplificateurs à

état solide, large bande, et avec de hauts rendements deviennent maintenant réalisables, ce qui n'était pas le cas il y a encore une dizaine d'années.

Dans ce chapitre, un court rappel des propriétés physiques des matériaux semi-conducteurs utilisés couramment pour la réalisation de composants radiofréquences et micro-ondes est présenté. Ces propriétés sont comparées à celles des composants GaN pour montrer l'intérêt de ce matériau pour l'amplification de puissance RF et micro-onde.

Ensuite, un rappel sera donné sur les différentes structures de transistor utilisées pour des applications d'amplification de puissance.

Enfin, les potentialités du Nitrure de Gallium pour les applications d'amplification de puissance large bande à haut rendement sont montrées.

I.2 Les matériaux semi-conducteurs

I.2.1 Introduction

Afin de quantifier les avantages d'un matériau semi-conducteur vis-à-vis d'un autre pour l'amplification de puissance, l'influence de leurs caractéristiques physiques sur les performances en puissance est maintenant définie.

L'une des caractéristiques principales d'un transistor utilisé en amplificateur de puissance est sa puissance de sortie à la fréquence d'intérêt $P_S(f_0)$. La portée d'un système radar lui est directement liée. Un transistor est aussi caractérisé par son rendement en puissance ajoutée (PAE) qui est lié directement à sa consommation, et à sa fréquence de fonctionnement qui est elle-même liée aux types d'applications visées. La tenue thermique définit en grande partie la fiabilité du composant.

I.2.2 Paramètres physiques des semi-conducteurs

La réalisation de composants RF et micro-ondes pour des applications de forte puissance nécessite une sélection appropriée des matériaux semi-conducteurs pouvant répondre à des fonctionnements à des températures de jonction très élevées.

Aujourd'hui, la majeure partie des composants électroniques est fondée sur l'utilisation des matériaux Silicium (Si) et Arséniure de Gallium (AsGa). Cependant, les travaux menés au début des années 70 sur les semi-conducteurs III-V ont ouvert la voie au développement et à l'industrialisation de composants constitués de matériaux disposant de fortes densités de puissance tels que le Carbure de Silicium (SiC) ou le Nitrure de Gallium (GaN).

Les principaux matériaux semi-conducteurs utilisés pour la conception de composants de puissance RF et Microonde sont présentés ci-après.

I.2.3 Le Silicium (Si)

Le silicium (Si) est un matériau universellement employé pour des applications de puissance, pour des fréquences allant jusqu'à la bande S. Le Silicium Germanium (SiGe) est un composé utilisé pour la puissance sous très faible tension (terminaux radiotéléphonique...). Le silicium qui est aujourd'hui un matériau mature, continue de bénéficier d'efforts de recherches importants qui aboutissent à son utilisation couvrant tous les domaines de l'électronique. Il voit ses caractéristiques de rendement et de fréquence s'améliorer en permanence. Les puissances de sortie générées vont de plusieurs centaines de watts pour les basses fréquences RF [I.1] à la centaine de watts à 3GHz [I.2]. Bien que les tensions possibles d'alimentation ne cessent d'augmenter, la limitation de celles-ci dans les systèmes impliquent, pour les applications de très forte puissance, des fonctionnements à fort courant. Ces derniers entraînent des risques important de pertes par effets Joule dans les circuits. De plus, les faibles impédances présentées par ces composants compliquent la conception des réseaux d'adaptation [I.3].

I.2.4 L'Arséniure de Gallium (AsGa)

L'arséniure de gallium (AsGa) est le matériau traditionnellement utilisé pour les applications hautes fréquences (de quelques GHz à la centaine de GHz) du fait de la valeur élevée de la vitesse de saturation des porteurs [I.4]. L'AsGa qui possède une conductivité thermique faible de l'ordre de 0.5 W/cm°K est fortement pénalisé pour des applications de très fortes puissances. Néanmoins, il reste un matériau attractif face au silicium dans les bandes de fréquence 1-3GHz [I.5]. Au-delà de 3 GHz, il est l'un des seuls matériaux utilisés permettant de fournir des puissances de l'ordre de la centaine de watts à 3 GHz [I.6], et de l'ordre de 1W autour de 50GHz, [I.7] en technologie hybride ou monolithique.

I.2.5 Le Phosphore d'Indium (InP)

Le phosphore d'indium (InP) est un composé qui a des caractéristiques proches de celles de l'AsGa. Néanmoins, il possède certaines propriétés de mobilité électronique (5400cm²/V.s) en configuration HEMT et HBT qui lui accordent de grandes possibilités pour les très hautes fréquences au-delà de la centaine de GHz [I.8].

I.2.6 Le Carbure de Silicium (SiC)

Le carbure de silicium est un matériau dit à grand « gap ». Il est caractérisé par des tensions de claquage et des températures admissibles élevées qui sont deux caractéristiques favorables à l'amplification de puissance. Par ailleurs, le SiC bénéficie d'une très bonne conductivité thermique, mais les valeurs de la mobilité électronique qui le caractérisent de l'ordre de $700 \text{ cm}^2/\text{V.s}$ le conduisent à travailler à des fréquences de seulement quelques gigahertz. Des travaux sont toujours menés aujourd'hui autour du SiC MESFET, notamment dans le but de travailler à de plus hautes fréquences [I.9], supérieures à celles de la bande S.

I.2.7 Le Nitrure de Gallium (GaN)

Le nitrure de gallium est aujourd'hui le matériau grand gap de référence pour l'amplification de puissance (de la centaine de MHz à la dizaine de GHz) [I.10]. Il est caractérisé par des tensions de claquage et des températures de fonctionnement admissibles élevées, qui en font un matériau extrêmement intéressant pour la conception d'amplificateur de très forte puissance. Avec une conductivité thermique de l'ordre de $1.6 \text{ W/cm}^\circ\text{K}$, trois fois supérieure à celle de l'AsGa, le GaN est un concurrent sérieux pour l'amplification de puissance RF aux hautes fréquences.

I.2.8 Le Diamant (C)

Les propriétés physiques du diamant en font un matériau idéal pour l'électronique de puissance. Cependant, ce matériau [I.11] en est encore au stade du développement et son utilisation est limitée à la recherche en laboratoire.

I.2.9 Conclusion

Les caractéristiques physiques des principaux matériaux semi-conducteurs définis précédemment sont présentées dans le tableau I.1. Ce tableau permet de mettre en avant leurs potentialités et notamment celle du GaN pour la génération de puissance aux radiofréquences et aux micro-ondes.

Semi-conducteurs		Si	AsGa	InP	4H-SiC	GaN	Diamant
Caractéristiques	Unités						
Gap	eV	1.1	1.42	1.35	3.25	3.49	5.49
Champs critique	MV/cm	0.3	0.4	0.5	3	3.3	20
Mobilité des électrons	cm ² /V.s	1500	8500	5400	700	1000	4000
Mobilité des Trous	cm ² /V.s	600	400	200	115	320	1600
Vitesse de saturation des électrons	x10 ⁷ cm/s	1	1.3	1	2	2.5	3
Conductivité thermique	W/cm °K	1.5	0.5	0.7	4.5	1.6	20
Constante Diélectrique	ϵ_r	11.8	12.8	12.5	10	9	5.7

Tableau I.1: Principaux paramètres technologiques des matériaux semi-conducteurs utilisés pour réaliser des transistors de puissance RF.

La figure I.1 montre une comparaison en étoile, selon différents critères, des principaux matériaux définis précédemment.

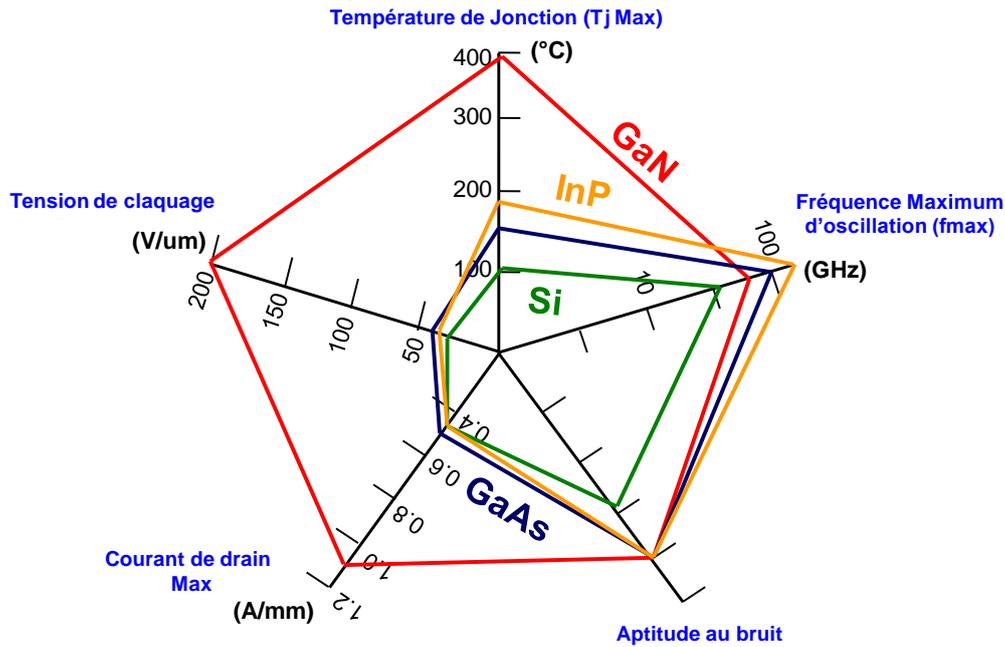


Figure I.1: Comparaison des principaux matériaux destinés à la conception d'amplificateur de puissance.

La figure I.1 indique la température de jonction, la tension de claquage, le courant de drain, l'aptitude au faible bruit et la fréquence maximum d'oscillation [I. 12] des principaux matériaux utilisés pour l'amplification de puissance.

La figure I.1, montre que le GaN est le matériau le plus homogène au regard des critères de puissance et font de lui l'un des matériaux d'avenir pour les futures applications de puissance RF et microonde.

Aujourd'hui, les procédés de fabrication sont maîtrisés. De nombreuses fonderies fournissent des transistors à base de GaN. Les principales fonderies GaN dans le monde sont CREE, RFMD, Triquint, Nitronex pour le marché nord-américain, UMS pour le marché européen et Sumitomo pour le marché japonais.

I.3 Potentialités du Nitrure de Gallium pour l'amplification de puissance.

Le tableau I.1 présenté en conclusion du paragraphe précédent montre l'intérêt du Nitrure de Gallium pour les applications de très forte puissance RF et micro-onde.

Un des premiers éléments de comparaison lorsque l'on analyse différents matériaux semi-conducteurs est la largeur de bande interdite ou « gap » qui permet de définir l'énergie nécessaire à un électron pour passer de la bande de valence à la bande de conduction. Elle détermine, par ailleurs, la température maximale de fonctionnement du transistor sans détérioration. Ainsi, une large bande interdite permet des fonctionnements à des températures beaucoup plus élevées avec des densités de puissance plus importantes. De plus, une large bande interdite permet une meilleure immunité aux radiations externes.

Parmi les matériaux du tableau I.1, le GaN, le SiC et le diamant ont des largeurs de bandes interdites bien supérieures à des matériaux tels que le Silicium ou l'AsGa. C'est pour leurs larges bandes interdites que les matériaux tels que le GaN et le SiC ont vu se développer de nombreux travaux depuis le début des années 90, dans le domaine de l'amplification de puissance RF & Micro-onde.

Comme le montre le tableau I.1, une large bande interdite est synonyme aussi d'un champ de claquage élevé; ce qui offre la capacité d'utiliser ces composants avec des variations de tension beaucoup plus importantes, et ainsi d'atteindre de fortes puissances de sortie. Un rapport de l'ordre de huit entre les champs de claquage de l'AsGa et celui du GaN est clairement démontré. Ce paramètre met en évidence l'intérêt du GaN pour les applications de forte puissance. De plus, une tension de claquage élevée entraîne, pour une densité de puissance utile donnée fournie par le transistor, une impédance de sortie plus simple à synthétiser.

La figure I.2 illustre une comparaison simplifiée entre une technologie AsGa et GaN. Elle montre qu'une tension de claquage élevée pour une même densité de courant aux bornes de la source de courant commandée offrira une impédance optimale (Z_{CH}) beaucoup plus

proche de l'impédance de charge habituellement utilisée (50 Ohms) et par conséquent simplifiera la synthèse des réseaux d'adaptation.

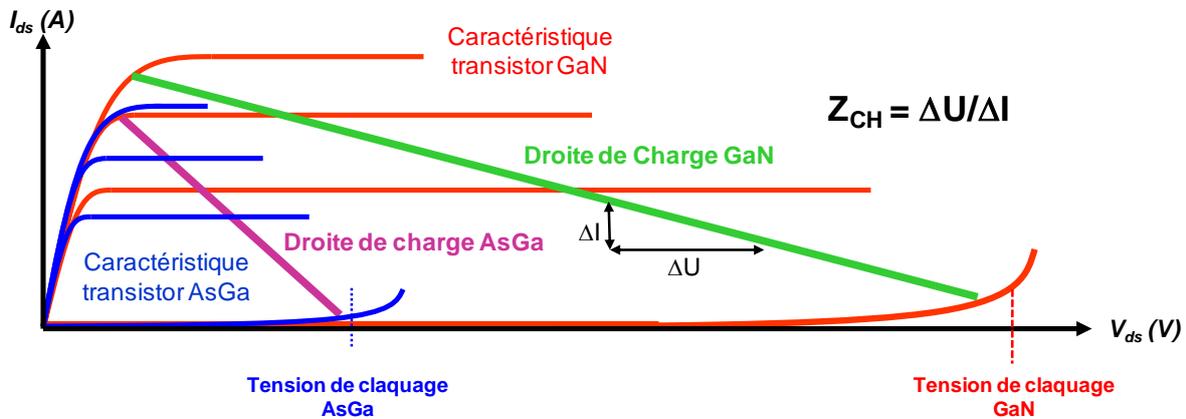


Figure I. 2 : Influence de la tension de claquage sur l'impédance de sortie du transistor. (comparaison AsGa-GaN)

Avec les fortes densités de puissance mises en jeu par les composants RF à base de GaN ou de SiC, la dissipation thermique est devenue un paramètre critique. En effet, un échauffement du matériau dû à une mauvaise conductivité thermique peut augmenter la température de jonction du composant et ainsi en dégrader ses performances et sa fiabilité. La conductivité thermique du GaN est faible (1.6 W/cm. °K), mais elle reste toutefois supérieure à celle de l'AsGa (0.5 W/cm. °K). Pour augmenter les performances thermiques globales et réduire les coûts de fabrication, le SiC (dissipation thermique du SiC : 4.5 W/cm.°K) est utilisé comme substrat d'accueil dans la fabrication des composants GaN de puissance.

Enfin, la mobilité des porteurs détermine principalement la résistance électrique ON (R_{ON}) et la tension de coude (V_{knee}) du composant de puissance comme l'illustre la figure I.3. D'après l'équation I.1, la résistance R_{ON} est, au premier ordre, inversement proportionnelle à la mobilité des électrons (μ_n).

$$R_{ON} \approx \frac{1}{\mu_n} \quad \text{Equation I.1}$$

La mobilité électronique de l'AsGa est de 8500 cm²/V.s. Elle est très supérieure à celle des matériaux de large bande interdite. En effet, la mobilité électronique n'est que de 1000cm²/V.s pour le Nitrure de Gallium, ce qui se traduit par des tensions de coude de l'ordre de 5 à 10V pour les composants GaN.

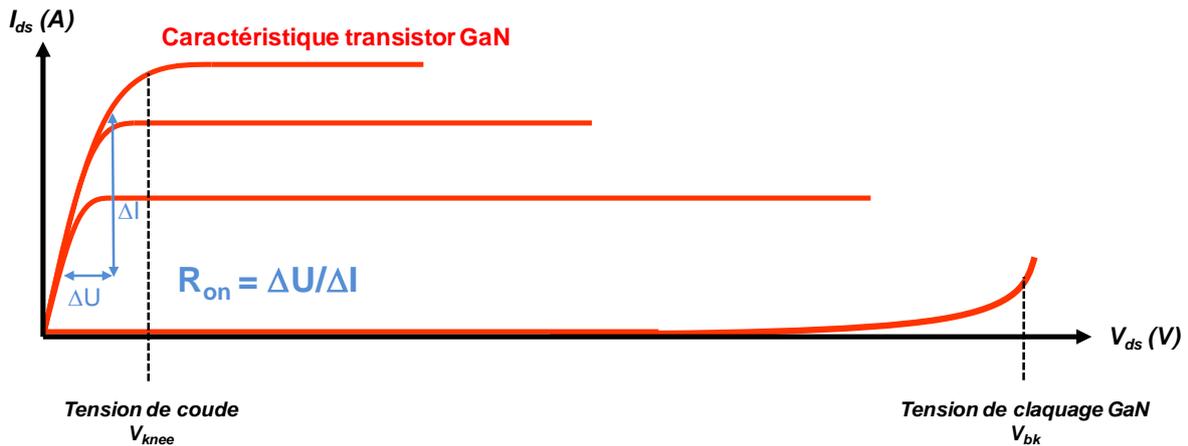


Figure I. 3 : Tension de coude et résistance R_{on} déterminées à partir de la caractéristique électrique DC du transistor.

D'une manière générale, l'avantage des matériaux grand gap est que, dans ceux-ci, la vitesse de saturation des porteurs est obtenue pour des champs électriques beaucoup plus importants (≈ 10 fois supérieur) que dans les matériaux Si ou AsGa. On peut ainsi polariser un transistor grand gap à de fortes tensions et, dans ces conditions, disposer de densités de puissances plus importantes. Cette amélioration majeure permet aujourd'hui de proposer des solutions beaucoup plus compactes à puissance égale.

Dans le paragraphe suivant, un rappel des différentes structures de transistor destinées à l'amplification de puissance est présenté.

I.4 Les différentes structures de transistor

Les structures des transistors peuvent se diviser en 2 grandes familles : les transistors bipolaires BJT (Bipolar Junction Transistor) et les transistors à effet de champs F.E.T (Field Effect Transistor). Ces structures sont elles-mêmes composées de sous-familles. La figure I.4 énumère les principales structures de transistor.

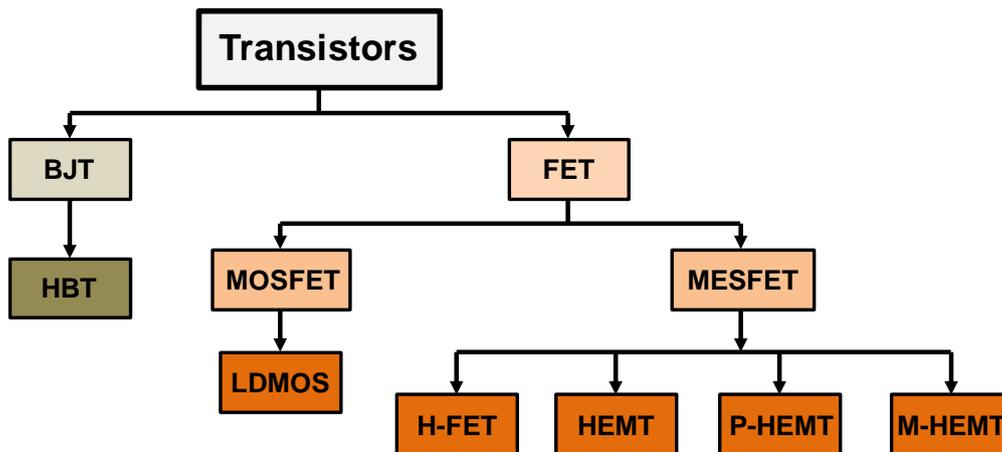


Figure I. 4 : Arbre des structures de transistor

Un rappel sur les principales structures F.E.T destinées à l'amplification de puissance est maintenant abordé.

I.4.1 Le transistor à effet de champs FET (Field Effect Transistor)

La famille des transistors à effet de champs possède une variété de structures telles que le MESFET (*Metal Semiconductor Field Effect Transistor*), le MOSFET (*Metal Oxide Semiconductor Field Effect Transistor*), le LDMOS (*Laterally Diffused Metal Oxide Semiconductor*), le H-FET (Heterostructure FET) ou le HEMT (*High Electron Mobility Transistor*)...

Les structures présentées dans les paragraphes suivants sont les structures MESFET, LDMOS, H-FET et le HEMT.

I.4.1.1 Le transistor MESFET

La technologie MESFET a la particularité de présenter une grille métallique dont le contact avec le semi-conducteur est réalisé par une diode Schottky. Historiquement, il est le premier à avoir été fabriqué sur un composé III-V. Son principe de fonctionnement est fondé sur la modulation de l'épaisseur du canal sous la grille et donc du courant qui le traverse.

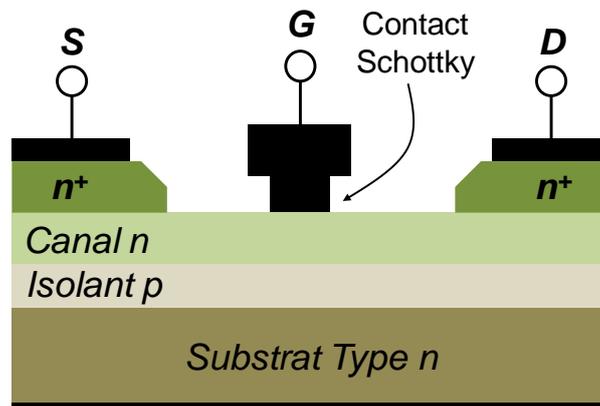


Figure I. 5 : coupe simplifiée d'un transistor MESFET

Une tension appliquée entre les contacts ohmiques de drain (D) et de source (S) fait circuler un courant d'électrons parallèlement à la surface du semi-conducteur. La saturation de ce courant est due à la saturation de la vitesse des électrons. L'intensité du courant dans les transistors MESFET est contrôlée grâce à la modulation de la section du canal.

Plus précisément, l'intensité du courant est contrôlée par la profondeur de la zone déplétée, qui apparaît sous la jonction métal/semi-conducteur (contact Schottky) constituant la grille.

Les transistors MESFET sont aujourd'hui généralement fabriqués à partir de matériaux semi-conducteurs III-V. Les matériaux les plus utilisés pour ce type de transistor restent l'AsGa et le SiC. De plus, les transistors composés de matériau AsGa ou SiC avec une jonction Schottky offrent une meilleure mobilité que des transistors de type Si-MOSFET, permettant ainsi des gains acceptables à des fréquences plus élevées.

Les transistors SiC-MESFETs sont généralement polarisés autour de 50-60V [I. 13] et peuvent fournir des densités de puissance de l'ordre de la dizaine de watts. Malgré ses nombreux avantages, le coût de fabrication des composants SiC est environ 5 à 10 fois

supérieur au Si-LDMOS. C'est pourquoi ce dernier reste aujourd'hui encore le composant de choix pour les stations de base compte tenu de son rapport qualité/prix [I. 14].

I.4.1.2 Le transistor LDMOS

Le transistor LDMOS (*Laterally Diffused Metal Oxide Semiconductor*) est utilisé en grande partie pour des applications nécessitant de fortes puissances.

Dans cette structure, le canal d'électrons est engendré sous la grille par l'agencement de couches dopées comme l'illustre la figure I.6. Le contrôle du canal créé par inversion est réalisé latéralement par l'établissement d'une tension de grille positive. Lorsque la tension V_{ds} est ensuite appliquée, un flux d'électrons est généré donnant naissance au courant I_{ds} .

Le transistor LDMOS peut être considéré comme un transistor MOSFET « amélioré » puisqu'il comporte un accès source/masse réalisé par un puits dopé « P » permettant de réduire les effets inductifs ou capacitifs réalisés par une jonction externe.

De plus, une zone dopée « P » est également ajoutée au-dessus du substrat pour générer le principe de double diffusion [I. 15].

Enfin, la grille est décalée de façon à allonger la distance grille-drain dans le but de polariser le transistor à de plus fortes tensions pouvant aller à plusieurs dizaines de volts en bande L. L'inconvénient de cet allongement est qu'il tend à réduire la possibilité au transistor LDMOS de fonctionner à de très hautes fréquences. Son utilisation se limite aujourd'hui à des applications en bande L et S.

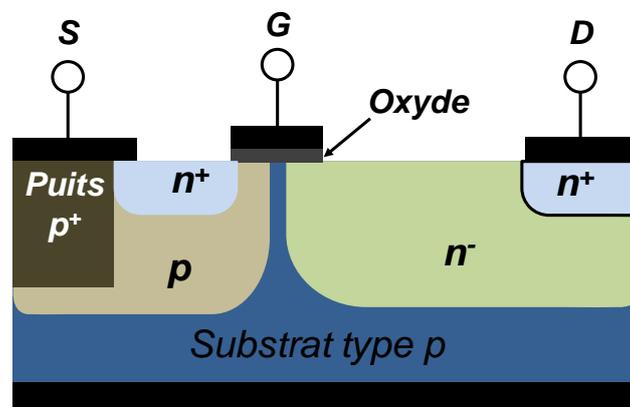


Figure I. 6 : Coupe simplifiée d'un transistor LDMOS.

En raison de ses bonnes performances, de sa maturité, et de son coût de fabrication raisonnable, il est majoritairement utilisé pour de l'amplification de puissance dans les stations de base de télécommunication GSM ainsi que pour les applications utilisant de nouveaux standards télécommunication (WiMAX, LTE, 4G...).

I.4.1.3 Le transistor H-FET

Le transistor H-FET (Heterostructure FET), aussi désigné sous le nom de DCFET (Doped Channel FET), a été développé au début des années 90. Il s'agit d'une amélioration relativement simple du MESFET AsGa en mettant à profit les différentes propriétés de deux matériaux, AsGa et AlAsGa.

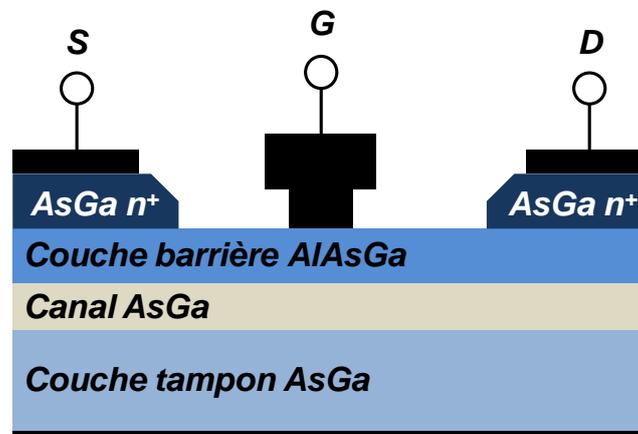


Figure I. 7 : Coupe d'une structure de type H-FET AsGa.

La valeur de bande interdite du matériau AlAsGa est plus grande que celle de l'AsGa (1,798eV pour $Al_{0,3}AsGa_{0,7}$ contre 1,424 eV pour AsGa). Cette valeur de bande interdite plus grande permet de posséder un champ de claquage plus élevé et, de ce fait, de supporter des tensions plus fortes. Le matériau AlAsGa est non intentionnellement dopé et placé en surface. Cette couche va se retrouver dépeuplée par la jonction Schottky de grille et va opérer comme un isolant virtuel. Le principe de conduction de la structure HFET est semblable à celui d'un transistor MESFET. Il est ainsi possible de moduler l'épaisseur du canal par une commande en tension appliquée sur la grille.

I.4.1.4 Le transistor HEMT

Le transistor HEMT (*High Electron Mobility Transistor*) a été inventé dans les années 80 indépendamment par M^{rs} Delagebeaudeuf et Linh [I. 16]. (Société THALES qui se nommait à l'époque Thomson-CSF) et Mimura [I. 17] (société FUJITSU).

Le HEMT apparaît comme une évolution majeure du MESFET. En effet, pour contourner le problème du transport dans un matériau dopé, le HEMT est un transistor dans lequel le transport électronique s'effectue au voisinage d'une interface de deux matériaux dont les largeurs de bande interdite sont différentes : l'un présente un large gap (AlGa_N : 3,82eV) et l'autre un gap plus faible (Ga_N : 3,4eV). La présence de cette hétérojonction permet d'obtenir une importante densité de porteurs dans le matériau intrinsèque (Ga_N) où la mobilité et les vitesses électroniques sont plus élevées. Cette couche est appelée gaz d'électrons à deux dimensions. Ainsi, la différence essentielle entre le MESFET et les HEMT se situe au niveau du principe même du contrôle du courant dans le canal. Alors que dans le cas du MESFET, l'électrode de grille contrôle la section de canal disponible pour la conduction, dans le cas du HEMT, cette électrode contrôle la densité d'un gaz d'électrons libres dans une zone non dopée située sous l'hétéro-interface et elle constitue le canal du transistor.

La Figure I.8 représente la structure de couches ainsi que le diagramme de bande d'énergie d'un HEMT classique utilisant le Ga_N et l'AlGa_N comme couches actives.

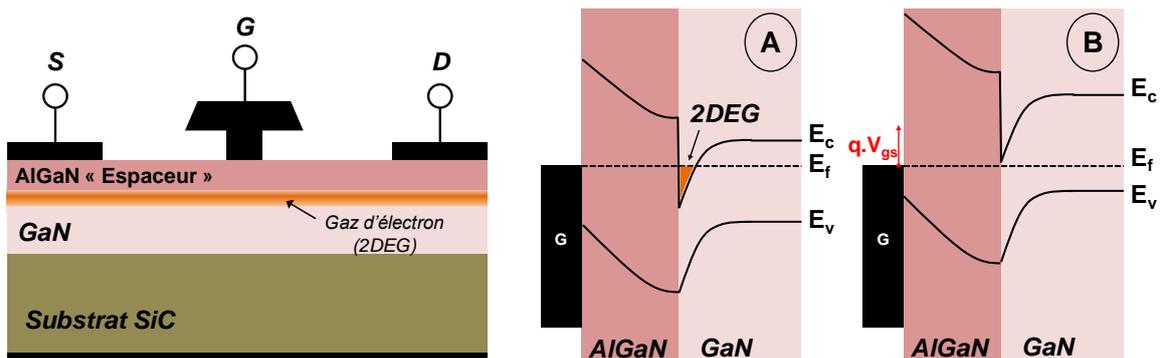


Figure I. 8 : Structure standard d'un transistor AlGa_N/Ga_N HEMT sur substrat SiC et Niveaux d'énergie des matériaux d'un AlGa_N/Ga_N HEMT à $V_{gs0}=0V$ et à $V_{gs0}\ll 0V$.

Ce travail de cette thèse porte uniquement sur l'utilisation de transistors Ga_N à hétérojonction dont le principe et les effets limitatifs des transistors Ga_N (pièges, thermiques)

sont abordés dans les paragraphes suivants. Seule une description de principe est présentée au regard de la complexité d'un tel sujet. La référence [I. 18] aborde le sujet de manière détaillée.

I.4.1.5 Principe de l'hétérojonction

La figure I.8 montre, la formation d'un puits quantique à l'interface AlGaN/GaN, dans le matériau de plus faible largeur de bande interdite. Ce puits reste cantonné dans la partie supérieure du matériau à plus faible gap non dopé car, au-dessus, le matériau de plus grande largeur de bande interdite joue le rôle de barrière [I. 19]. C'est dans ce puits que se regroupent les charges libres entraînant le phénomène de conduction à l'origine de la formation d'un gaz d'électrons à deux dimensions. La densité de porteurs dans ce canal dépendra :

- du niveau de Fermi dans la bande interdite du matériau (niveau de dopage).
- de la différence de largeur de cette bande entre les deux matériaux (ΔE_g).
- du dopage considéré.

Par exemple, la figure I.8 (a) montre les niveaux d'énergie mis en jeu à l'hétérojonction lorsqu'une tension nulle est appliquée sur la grille du composant. Sur la figure I.8 (b), ces niveaux d'énergie sont présentés lorsqu'une tension est appliquée en dessous du point de pincement. Une modulation de ce gaz d'électrons et donc une modulation de la concentration de porteurs dans le canal sont observées. C'est pourquoi une tension appliquée sur la grille d'un HEMT permet le contrôle du courant qui circule entre drain et source. L'autre particularité du fonctionnement d'un HEMT, outre l'existence d'un gaz d'électrons, est la jonction Schottky créée par la jonction métal de grille et semi-conducteur du substrat. Elle a l'avantage de fonctionner à de hautes fréquences avec des tensions de seuil assez faibles.

Aujourd'hui les transistors HEMT AlGaN/GaN présentent les meilleures performances pour des applications nécessitant de très fortes puissances.

I.4.1.6 Effets limitatifs dans les transistors HEMT GaN.

Malgré les excellentes performances des transistors HEMT à base de nitrure de gallium, des effets limitatifs peuvent impacter les performances intrinsèques du transistor. Les

deux principaux effets limitatifs des transistors HEMT AlGaIn/GaN sont les effets thermiques et les effets de pièges.

I.4.1.6.1 Les effets thermiques.

Les effets thermiques dans les transistors ont un impact direct sur ses performances intrinsèques. L'état thermique du transistor résulte de la température ambiante et de l'auto-échauffement du composant.

L'effet thermique influe principalement sur trois propriétés physiques du transistor :

- ✓ Réduction de la mobilité des électrons : En effet, une augmentation de la température interne du composant entraîne une diminution de la mobilité des porteurs. Cette diminution est due à l'accroissement des perturbations dans le réseau cristallin. Lors d'un échauffement, les électrons rentrent en collision plus souvent avec les atomes, ce qui ralentit leur vitesse de transit. Il en résulte alors une chute du courant de drain I_{ds} entraînant donc une diminution de la transconductance g_m . Ce phénomène est détaillé dans la référence [I.20].
- ✓ La largeur de bande interdite (Gap) : en fonction de la température, le matériau se dilate. Cette dilatation entraîne une diminution de la bande interdite et par conséquent une réduction de la tension de claquage du composant [I.21].
- ✓ La conductivité thermique : ce paramètre varie sensiblement en fonction de la température. Les matériaux les plus aptes à évacuer la chaleur sont le SiC et le diamant. Pour ces raisons, les composants GaN sont accueillis sur des substrats SiC. Cependant, en raison des forts niveaux de puissance délivrés par les composants GaN, une gestion thermique attentive est indispensable.

I.4.1.6.2 Les effets de pièges.

Les phénomènes de pièges proviennent de différents types de défauts présents dans l'épitaxie et en particulier dans le réseau cristallin. Il existe deux types de pièges :

- les pièges donneurs : neutres lorsqu'ils sont pleins, positifs lorsqu'ils ont émis un électron.
- les pièges accepteurs : neutres lorsqu'ils sont vides, négatifs lorsqu'ils ont capturé un électron.

Les performances électriques des composants sont altérées de manière significative par les pièges. Les phénomènes électriques résultants dépendent de la période des signaux appliqués qui peut être supérieure ou inférieure aux constantes de temps de capture et/ou d'émission des pièges. La présence des pièges entraîne une dégradation du courant de sortie associée à un phénomène transitoire provenant de la constante de temps d'émission ou de capture des pièges. Par conséquent, suivant la vitesse de variation du signal appliqué, une partie des charges mobiles peut réagir, immédiatement ou non, aux tensions appliquées. Il en résulte deux effets prépondérants, les piégeages/dépiégeages dus à la tension de grille (Gate-Lag) et les piégeages/dépiégeages dus à la tension de drain (Drain-Lag). Ces effets sont observables lors d'une variation brutale de la tension de grille (Gate-Lag) ou lors d'une variation brutale du courant de drain (Drain-Lag). Les phénomènes de piège sont explicités en détails dans les références [I.22], [I.23].

Il est important de noter que dans un article demeuré célèbre, Ibbetson a montré en 2000 [I.24] qu'un transistor GaN (suivant les structures utilisées aujourd'hui) ne peut pas fonctionner sans la présence d'états de surface (pièges en surface), car ce sont eux qui permettent la création du canal d'électrons 2DEG.

I.4.1.7 Caractéristiques Electriques

Les paramètres électriques décrivant le comportement global d'un HEMT vont être définis par les figures I.9 et I.10.

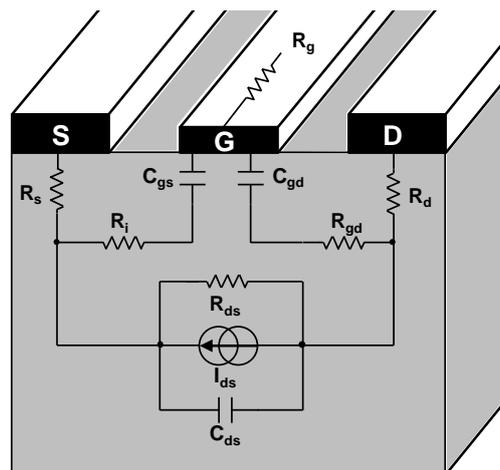


Figure I.9 : Origine physique des éléments du modèle électrique petit signal d'un F.E.T.

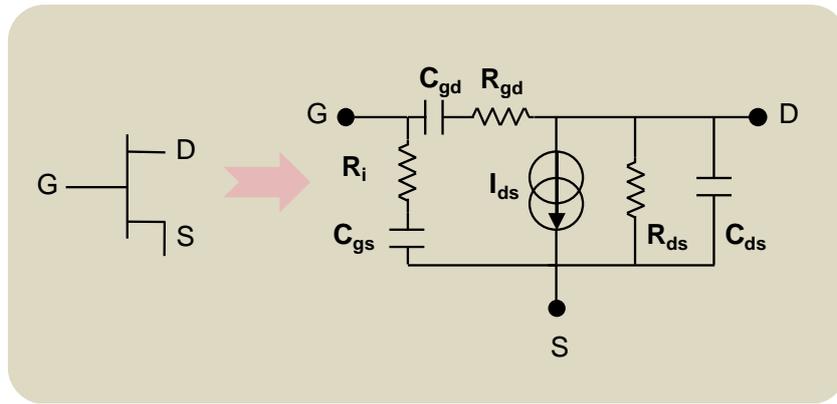


Figure I.10 : Schéma électrique du transistor intrinsèque.

Le schéma équivalent petit signal ainsi que la position des éléments électriques équivalents associés à leur origine physique peuvent être décrits par les figures I.9 et I.10. Le but étant de mettre en évidence les principaux phénomènes électriques associés à la structure d'un transistor HEMT.

I.5 Comparaison qualitative du HEMT GaN avec les autres filières présentées.

Les semi-conducteurs «grands gaps» et notamment les composés III-V tels que les alliages à base d'arséniure de gallium et plus récemment à base de nitrure de gallium, possèdent d'excellentes propriétés intrinsèques pour des applications de forte puissance.

Sur la figure I.11 sont comparées différentes technologies en fonction de cinq critères essentiels à la conception d'amplificateurs de puissance.

Le HEMT GaN, de par ses propriétés intrinsèques exceptionnelles en termes de tension de claquage, de fréquence de coupure et de fonctionnement à haute température constitue une rupture technologique pour le développement de nouveaux amplificateurs de puissance à l'état solide pour les systèmes Radars ou les systèmes de télécommunications. Les transistors HEMT GaN présentent des impédances bien supérieures à ceux des autres technologies, ce qui facilite la réalisation de circuits d'adaptations par la réduction du nombre d'éléments.

Malgré les avantages que constituent ses performances électriques, sa gestion thermique reste problématique et le coût de fabrication de la couche active GaN reste encore élevé. Ces éléments qui représentent actuellement ses principaux inconvénients freinent à l'heure actuelle son déploiement vers de nombreuses applications. Il reste aujourd'hui cantonné en partie aux programmes militaires (80% militaires / 20% Civils). Néanmoins quelques fonderies telles que Nitronex et OMMIC commencent à proposer des composants GaN sur substrat silicium afin de réduire le coût de fabrication.

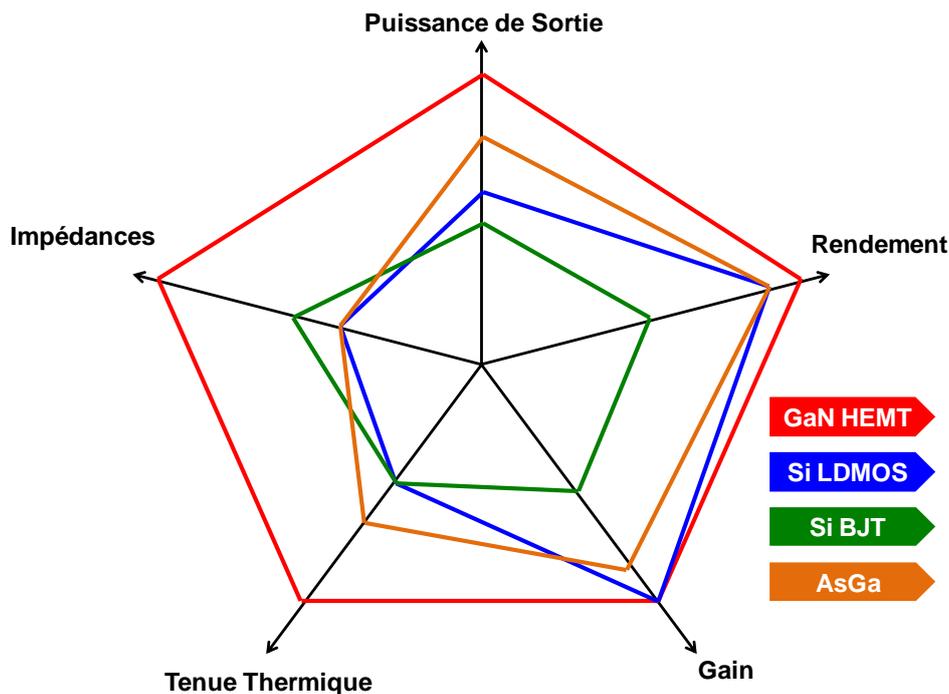


Figure I. 11 : Evaluations des différentes technologies pour les applications forte puissance.

Aujourd’hui, la technologie LDMOS Si est le principal concurrent du HEMT GaN pour les applications de forte puissance dans les bandes de fréquence allant jusqu’à la bande S. Malgré des densités de puissance plus faibles, le LDMOS Si a des performances en gain en puissance et en rendement proches du HEMT GaN. Son faible coût de fabrication, sa maturité et sa fiabilité sont ses principaux avantages. Toutefois, ses très faibles impédances d’entrée et de sortie le limitent à des applications à bande passante limitée. Les principales fonderies LDMOS Si sont Freescale (U.S) et NXP (E.U).

Quant à la technologie HBT/BJT Si, elle est la solution présentant des performances plus limitées. Sa maturité et sa fiabilité offrent cependant une solution avantageuse à moindre coût pour des applications d’amplification de puissance inférieures à la centaine de watts.

Enfin, les technologies à base d’AsGa offrent de bonnes performances. Néanmoins, elles restent destinées à des applications hautes fréquences (au-delà de la bande C).

I.6 Conclusion

Aujourd'hui, le développement à grande échelle du Nitrure de Gallium a débuté. Il est maintenant destiné à des composants pour l'amplification de puissance RF et microondes pour des applications civiles et militaires. Ceci a été permis par une nette amélioration des rapports coûts/puissance et des processus de fabrication à grande échelle.

Le GaN a conduit à un changement des règles de conception des amplificateurs de puissance à état solide. Il a ouvert la voie à des amplificateurs de très forte puissance, très large bande et très haut rendement. Ces performances étaient encore inimaginables il y a une dizaine d'année. Aujourd'hui, l'apparition de nouvelles topologies permettant de tirer les bénéfices du nitrure de gallium combinées aux techniques de linéarisation permettent d'offrir des amplificateurs de très fortes puissances avec d'excellentes performances en termes de bande passante, de rendement et de linéarité.

I.7 Bibliographie

- I.1. www.microsemi.com
- I.2. www.microsemi.com
- I.3. www.microsemi.com
- I.4. *Matériaux semi-conducteurs à grand gap III-V à base de GaN, J.Y Duboz, Ed. Techniques de l'ingénieur*
- I.5. *Piotrowicz, S., Chartier, E., Jacquet, J.C., Floriot, D., Coupat, J.M., Framery, C., eudeline, P. and Auxemery, P., 2004. High power and high efficiency 30 W compact S-band HBT power chips with gold or diamond heat spreaders, IEEE MTT-S International Microwave Symposium Digest 2004, pp. 1527-1530.*
- I.6. *Ishida, H., Yokoyama, T. ; Furukawa, H. ; Tanaka, T. ; Maeda, M. ; Morimoto, S. ; Ota, Y. ; Ueda, D. ; Hamaguchi, C., 200 W GaAs-based MODFET power amplifier for W-CDMA base stations,Electron Devices Meeting, 1999. IEDM '99. Technical Digest. International*
- I.7. *Colomb, F.Y.,Platzker, A., A 3-Watt Q-Band GaAs pHEMT Power Amplifier MMIC For High Temperature Operation, Microwave Symposium Digest, 2006. IEEE MTT-S International.*
- I.8. *Radisic, V.,Leong, K.M.K.H. ; Mei, X. ; Sarkozy, S. ; Yoshida, W. ; Deal, W.R., Power Amplification at 0.65 THz Using InP HEMTsMicrowave Theory and Techniques, IEEE Transactions on (Volume:60 , Issue: 3).*
- I.9. *Ejebjörk, N. et al, 2011. Optimization of SiC MESFET for high power and high frequency applications, Materials Science Forum Vol. 679 – 680 (2010) pp.629-632.*
- I.10. *Allen Katz, Marc Franco, GaN comes to age.*
- I.11. *Geis, M.W, Diamond transistor performance and fabrication,Proceedings of the IEEE (Volume: 79, Issue: 5), 1991.*
- I.12. *High-Frequency Integrated Circuits, S. Voinigescu. - Page 156*
- I.13. *J.W. Milligan, J. Henning, S.T. Allen, A.Ward, P. Parikh, R.P. Smith, A. Saxler, Y. Wu, and J. Palmour,” Transition of SiC MESFET Technology from Discrete transistors to High Performance MMIC Technology”*
- I.14. *Miller D. and Drinkwine M.,“High Voltage Microwave Devices: An Overview”, CS ManTech, 2003.*

- I.15. *M. Balkanski, R.F. Wallis, Semiconductor Physics and applications, Oxford university press.*
- I.16. *T. Mimura ; S. Hiyamizu ; T. Fujii ; K. Nanbu "A new field-effect transistor with selectively doped GaAs/n-Al_xGa_{1-x}As heterojunctions" Japanese Journal of Applied Physics, Vol.19, No 5, Mai 1980, pages L225 à L227*
- I.17. *D. Delagebeaudeuf ; P. Delescluse ; P. Etienne ; M. Laviron ; J. Chaplart ; Nguyen T. linh "Two dimensionnal electron gas MESFET structure" Electronics Letters, Vol. 16, No 17, Août 1980*
- I.18. *R. Quay, Gallium Nitride Electronics, R. Hull, J. R. M. Osgood, J. Parisi, and H. Warlimont, Eds. Springer, 2008.*
- I.19. *Tilak V., Green B., Kaper V., Kim H., "Influence of barrier thickness on the high power performance of AlGa_N/Ga_N HEMTs." Electron Device Letters, IEEE (volume 22, issues: 11), 2001.*
- I.20. *M. S. Shur, "Ga_N and Related Materials for High Power Applications," in Symposium Proceedings of Material Research Society, Symposium E, Fall 1997.*
- I.21. *Teisseyre. H, Temperature dependence of the energy gap in Ga_N bulk single crystals and epitaxial layer, Journal of Applied Physics (Volume:76 , Issue: 4), 1994.*
- I.22. *O. Jardel, "Contribution à la Modélisation des Transistors pour l'Amplification de Puissance aux Fréquences Microondes. Développement d'un nouveau Modèle Electrothermique de HEMT AlGa_N/Ga_N incluant les Effets de Pièges", Thèse de doctorat, Université de Limoges, Avril 2008.*
- I.23. *G.Mouginot, "Potentialités des transistors HEMTs AlGa_N-Ga_N pour l'amplification large bande de fréquence ; effets limitatifs et modélisation". Thèse de doctorat, Université de Limoges, 2011.*
- I.24. *J.P. Ibbetson & Al., "Polarisation effects, surface states, and the source of electrons in AlGa_N/Ga_N heterostructure field effect transistor", Appl. Phys. Lett. 77,250, 2000.*

Chapitre II : Techniques d'amplification de puissance à haut rendement et Techniques d'amplification de puissance très large bande.

II.1 Introduction

L'amplificateur de puissance est un élément clé au cœur des systèmes RF et microondes. Les systèmes RF et microondes couvrent un large éventail d'applications telles que les télécommunications, les RADARs, la guerre électronique ou les applications ISM (Industrial, Scientific and Medical). Compte tenu des domaines d'applications très vastes, les spécifications des amplificateurs de puissance peuvent énormément varier en termes de choix de technologies et de conception. En conséquence, une large gamme d'amplificateurs de puissance est apparue : de l'amplificateur à tube équipant un satellite de télécommunication à l'amplificateur de puissance à état solide intégré dans un téléphone mobile.

Les exigences croissantes en termes de forts niveaux de puissance de sortie des amplificateurs conduisent les concepteurs à être particulièrement vigilants quant aux choix des transistors qui composent l'amplificateur de puissance (Transistors GaN par exemple).

Afin de limiter la consommation d'énergie, les dispositifs actifs sont exploités, autant que possible, en régime « grand signal » afin de tirer pleinement partie des performances (puissances, rendement ...) des transistors. Si les transistors étaient utilisés en régime linéaire, afin d'obtenir le même niveau de puissance, le nombre de dispositifs actifs utilisés devrait être beaucoup plus important. Il en résulterait un très mauvais rendement global.

La conception d'un amplificateur de puissance est le résultat d'un compromis autour de plusieurs critères tels que la puissance, la linéarité, le rendement et le gain. La démarche de conception d'un amplificateur de puissance doit, par ailleurs, prendre en compte d'autres critères tels que la fréquence de fonctionnement, la bande passante, la technologie utilisée, l'application visée (signal impulsionnel, CW, communication mobile, satellitaire...) ainsi que de nombreux autres facteurs transversaux (dimension, coût, délais de fabrication ...). Parmi tous ces critères, celui du rendement est devenu indispensable au point d'inciter les industriels et les laboratoires de recherche à s'intéresser à de nouvelles architectures destinées à augmenter le rendement des amplificateurs de puissance.

Ce chapitre présente donc un premier paragraphe dans lequel sont données les principales définitions familièrement utilisées pour la conception d'amplificateurs de puissance. Un des

objectifs majeurs de ce travail consiste à optimiser, lors de la phase de conception, le rendement de l'amplificateur.

Le second paragraphe de ce chapitre, concerne la description des principales techniques d'amplification à haut rendement utilisées à ce jour.

Enfin, le dernier paragraphe est consacré à la présentation des principales architectures existante pour la réalisation d'amplificateurs de puissance large bande.

II.2 Définitions générales des différents paramètres caractérisant un amplificateur de puissance.

Afin de lister les différents paramètres caractérisant un amplificateur, certaines variables doivent être définies. D'un point de vue énergétique, et indépendamment de l'application visée, l'amplificateur de puissance peut être considéré comme un convertisseur de puissance DC/RF entre la puissance DC délivrée par les générateurs de tension continue à l'amplificateur de puissance et la puissance de sortie RF délivrée à la charge de sortie par celui-ci. La puissance DC est caractérisée dans la figure II.1 par les tensions DC qui définissent respectivement V_{ds0}/V_{gs0} pour les tensions de drain et de grille et les courants DC définis respectivement par I_{ds0}/I_{gs0} . La figure II.1 illustre schématiquement les tensions/courants d'entrée et de sortie mis en jeu dans un amplificateur de puissance dans le cas, par exemple, d'un signal sinusoïdal de fréquence f_0 (régime harmonique) en entrée ($V_e(t)$), signal généré par un générateur de tension $E_g(t)$ et présentant une charge interne R_g .

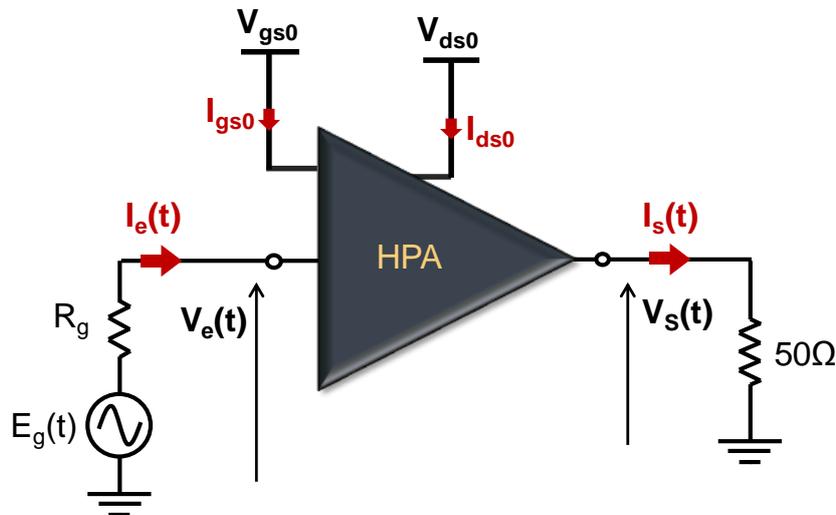


Figure II. 1 : tensions / courants d'entrée et de sortie d'un HPA.

A partir des éléments définis sur la figure II.1, les principales grandeurs caractérisant un amplificateur de puissances sont alors définies.

Dans un amplificateur, la **puissance de sortie $P_s(f_0)$** correspond à la puissance délivrée à la charge externe de l'amplificateur (généralement 50Ω) à une fréquence spécifique f_0 , celle-ci peut varier dans une bande de fréquence $\Delta f = [f_b ; f_h]$. La puissance utile, à la fréquence f_0 , délivrée en sortie est définie par l'équation II.1 :

$$P_s(f_0) = \frac{1}{2} \operatorname{Re}\{V_s(f_0) \times I_s^*(f_0)\} \text{ où } f_0 \in [f_b, f_h] \quad \text{Equation II. 1}$$

La puissance d'entrée $P_e(f_0)$ correspond à la puissance délivrée à l'amplificateur par le générateur. Elle est définie par l'équation II.2 :

$$P_e = P_e(f_0) = \frac{1}{2} \operatorname{Re}\{V_e(f_0) \times I_e^*(f_0)\} \text{ où } f_0 \in [f_b, f_h] \quad \text{Equation II. 2}$$

La puissance disponible $P_{disp}(f_0)$ du générateur est définie par l'équation II.3 :

$$P_{disp}(f_0) = \frac{1}{8} \times \frac{E_g^2(f_0)}{R_g} \quad \text{Equation II. 3}$$

Les puissances sont généralement exprimées en dBm. La relation entre la puissance exprimée en milliwatts et celle exprimée en dBm est défini par l'équation II.4.

$$P(dBm) = 10 \times \log(P(mW)) \quad \text{Equation II. 4}$$

Le gain en puissance $G_p(f_0)$ est défini par le rapport entre la puissance de sortie $P_s(f_0)$ et la puissance d'entrée $P_e(f_0)$, celles-ci exprimées en Watt :

$$G_p(f_0) = \frac{P_s(f_0)}{P_e(f_0)} \text{ où } f_0 \in [f_b, f_h] \quad \text{Equation II. 5}$$

Le gain d'insertion $G_i(f_0)$ est défini par le rapport entre la puissance de sortie $P_s(f_0)$ délivrée à la charge de 50 Ohms et la puissance disponible du générateur $P_{disp}(f_0)$, celles-ci exprimées en Watt.

$$G_i(f_0) = \frac{P_s(f_0)}{P_{disp}(f_0)} \text{ où } f_0 \in [f_b, f_h] \quad \text{Equation II.6}$$

De la même manière, le gain est généralement exprimé en dB. Il est défini par la relation suivante :

$$G_{dB}(f_0) = 10 \times \log_{10}(G(f_0)) = P_{s,dBm}(f_0) - P_{e,dBm}(f_0)$$

A titre d'exemple, la puissance de sortie d'un amplificateur et son gain en puissance associé sont représentés graphiquement sur la figure II.2 en fonction de la puissance d'entrée.

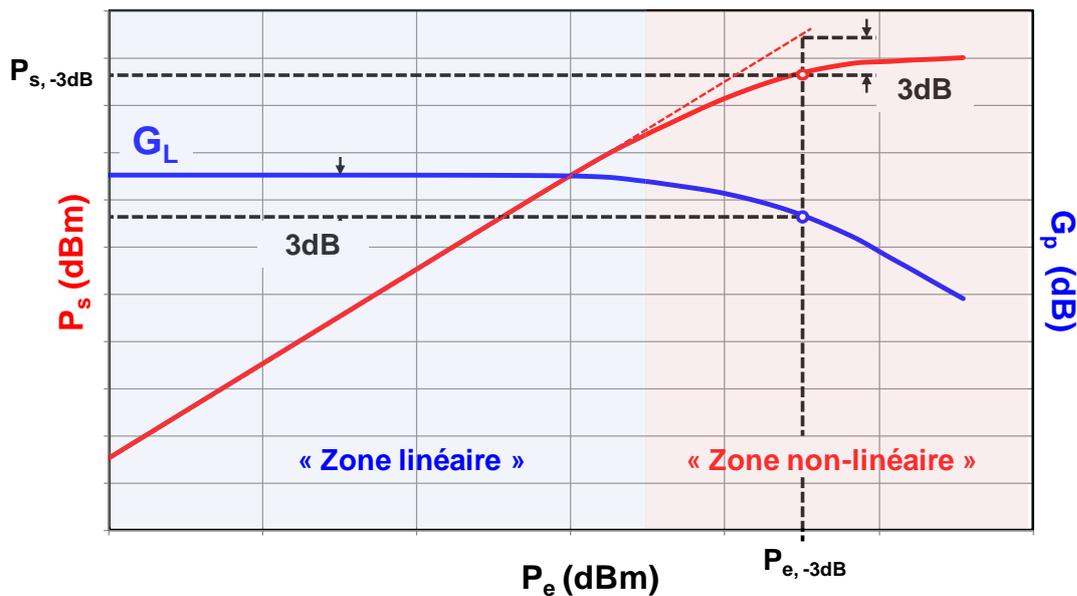


Figure II. 2: Puissance de sortie (dBm) et Gain en puissance (dB) tracés en fonction de la puissance d'entrée (dBm)

La figure II.2 montre que le gain en puissance est stable dans une certaine plage de puissance d'entrée, cette zone est appelée « zone linéaire ». Cette valeur de gain en puissance est alors nommée gain linéaire G_L (régime petit signal). Lorsque le gain en puissance décroît, il entre dans la zone de compression, on parle alors de gain en compression en régime fort signal. Une compression de gain de -3dB est définie comme étant le niveau de gain en puissance correspondant à une diminution du gain de 3dB par rapport au gain linéaire (G_L). Ainsi la puissance de sortie à 3dB de compression correspond à la valeur de la puissance de sortie lorsque le gain en puissance a atteint une compression de 3dB.

La puissance de sortie, pour un niveau de compression donnée, peut être une caractéristique associée à une application spécifique. Par exemple, pour des applications de télécommunications, les niveaux de puissance de sortie sont généralement demandés à des compressions de l'ordre de 1dB, alors que pour des applications type RADAR des compressions de 3 à 5dB sont généralement spécifiées.

Lorsque l'amplificateur fonctionne en zone linéaire, la relation entre les puissances de sortie et d'entrée s'écrit :

$$P_s(f_0) = G_L(f_0) \times P_e(f_0) \quad \text{Equation II. 7}$$

Avec G_L le gain linéaire de l'amplificateur.

La **puissance consommée** P_{DC} fournie par les alimentations continues est définie par l'équation II.8 :

$$P_{DC} = V_{ds0} \times I_{ds0} + |V_{gs0} \times I_{gs0}| \approx V_{ds0} \times I_{ds0} \quad \text{Equation II. 8}$$

Il est alors possible de déduire un rendement de conversion appelé généralement le **rendement en puissance ajoutée** η_{aj} , défini par l'équation II.9 :

$$\eta_{aj} (\%) = \frac{P_s(f_0) - P_e(f_0)}{P_{DC}(f_0)} .100 \quad \text{Equation II. 9}$$

Dans le cas des amplificateurs à état solide, le **rendement de Drain** (η_d ou DE) peut être aussi utilisé :

$$\eta_d (\%) = \frac{P_s(f_0)}{P_{DC}(f_0)} .100 \quad \text{Equation II. 10}$$

Dans le cas où le gain en puissance est important ($G_p > 10$), le rendement en puissance ajoutée η_{aj} tend vers le rendement de drain η_d .

Aujourd'hui, le critère de rendement est devenu le critère fondamental dans la conception d'amplificateurs de puissance. Il est effectivement un des principaux paramètres spécifiant les performances globales du système. En effet, à puissance de sortie égale, un système présentant un fort rendement permet l'utilisation d'alimentations moins volumineuses et moins coûteuses qu'un système avec un faible rendement. Cela permet ainsi de réduire la taille et les coûts globaux des systèmes. Les amplificateurs de puissance à très fort rendement sont devenus rapidement des solutions clés pour les appareils fonctionnant généralement sur batterie dont la durée de fonctionnement, est directement liée au rendement de l'amplificateur de puissance. De plus, un fonctionnement avec de bons rendements autorise la réduction de la puissance dissipée, diminuant ainsi la température en fonctionnement et permet, par la même occasion d'augmenter sa durée de vie.

Une fois ces définitions posées, il est possible de s'intéresser aux techniques utilisées pour améliorer les rendements en puissance ajoutées des amplificateurs de puissance.

II.3 Techniques d'amplification à haut rendement

II.3.1 Définition des classe de fonctionnement au niveau composant

Il existe de nombreuses classes de fonctionnement pour un amplificateur de puissance : les classes de fonctionnement sinusoïdales (A, AB, B, C), les classes de fonctionnement à haut rendement (F, F^{-1} , J) et les classes de fonctionnement dites à commutation (D, E, S).

II.3.2 Les classes de fonctionnement sinusoïdales.

Les classes de fonctionnement sinusoïdales (Classe A, Classe AB, Classe B et Classe C) sont fondées sur l'utilisation d'un élément actif : le transistor. La figure II.3 ci-dessous montre un schéma simplifié d'un amplificateur constitué d'un transistor. Afin de bien comprendre les classes de fonctionnement sinusoïdales, Les signaux de sortie du transistor seront observés. L'entrée étant considérée, bien entendu, polarisée par une tension V_{GS0} . En sortie, le transistor est alimenté par la tension V_{DS0} sur le drain, et des éléments de découplage idéaux RF et DC (L_{SD} et DC_{block}) sont ajoutés. Le transistor est chargé en sortie sur une impédance de charge Z_{CH} et un filtre idéal passe bande court-circuite la totalité des fréquences harmoniques autres que la fréquence fondamentale. Le schéma équivalent interne du transistor montre que l'effet transistor peut être représenté par une source de courant commandée en tension. La mise en parallèle du filtre de sortie assure une forme de tension sinusoïdale aux bornes de la source de courant commandée en tension.

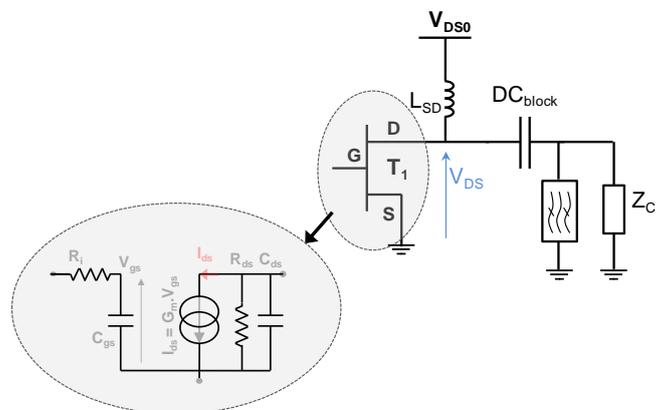


Figure II. 3: Topologie de sortie simplifiée d'un amplificateur pour la définition des classes de fonctionnement sinusoïdales.

Les classes de fonctionnement sinusoïdales A, AB, B et C sont définies par des tensions d'excitation d'entrée et de sortie, sinusoïdales, aux bornes de la source de courant commandée. La différence fondamentale entre les quatre classes de fonctionnement repose sur la forme temporelle du courant de drain I_{DS} résultant. La forme du courant I_{DS} est principalement déterminée par la valeur de la tension de polarisation de grille V_{GS0} vis-à-vis de la tension de pincement V_P (la tension de pincement V_P est égale à la tension V_{GS0} pour lequel le courant I_{ds} est nul). Plus la tension de V_{GS0} est proche de V_P et plus le temps de conduction (Θ) du transistor sera faible. Le temps de conduction paramétré par V_{GS0} correspond à la durée pendant laquelle le courant $I_{ds}(t)$ est positif ou bien encore, quand $V_{gs}(t)$ est supérieur à la tension de pincement V_P .

La figure II.4 ci-dessous représente l'allure des formes d'ondes des quatre classes de fonctionnement aux bornes de la source de courant de sortie du transistor définie en fonction de l'angle de conduction.

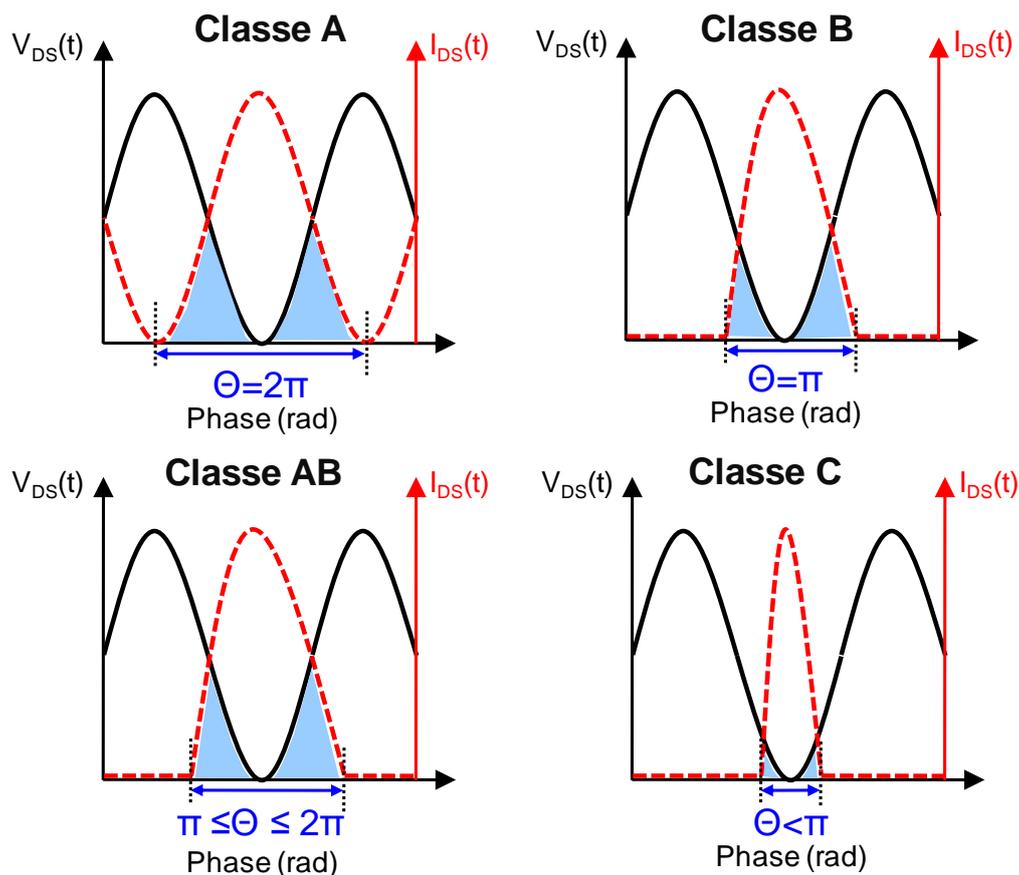


Figure II. 4: Formes d'ondes des différentes classes de fonctionnement sinusoïdales.

L'amplificateur classe A a un angle de conduction $\theta=2\pi$ rad. Cette classe de fonctionnement offre une très bonne linéarité mais avec un rendement de drain maximum théorique (tension de déchet de V_{ds} égale à zéro) faible (50%) en comparaison des autres classes.

L'amplificateur classe B fonctionne généralement pour un courant de polarisation (I_{DS0}) nul, correspondant à une polarisation de grille égale à la tension de pincement V_p de la grille. Son angle de conduction est alors de $\theta=\pi$ rad. L'amplificateur en classe B offre un rendement maximum théorique (tension de déchet de V_{ds} égale à zéro) de 78%. Il est supérieur à celui de la classe A.

La classe AB est une classe se situant entre la classe A et la classe B ($\pi<\theta< 2\pi$ rad). C'est la classe la plus couramment utilisée pour la réalisation des amplificateurs de puissance. Le transistor est généralement polarisé en classe AB profonde (proche de la classe B).

Enfin, la classe C peut, en théorie, atteindre des rendements théoriques de 100% lorsque l'angle de conduction θ est nul. Cependant, cette classe de fonctionnement a d'énormes inconvénients aux fréquences microondes. Le gain et la puissance de sortie tendent vers zéro lorsque le rendement approche les 100%. De plus, plus le rendement augmente, plus la linéarité de l'amplificateur se trouve dégradée.

Comme la puissance dissipée est liée au produit ($V_{ds}(t) \times I_{ds}(t)$) (zone bleu-ciel sur la figure II.4), elle est donc aussi liée à l'angle de conduction θ . Ainsi, en diminuant le courant continu moyen, c'est-à-dire le courant de repos I_{ds0} , le rapport entre le courant à la fréquence fondamentale $I_{ds}(f_0)$ et le courant de repos I_{ds0} diminue. Il en résulte ainsi une réduction de la puissance dissipée et donc une augmentation de rendement.

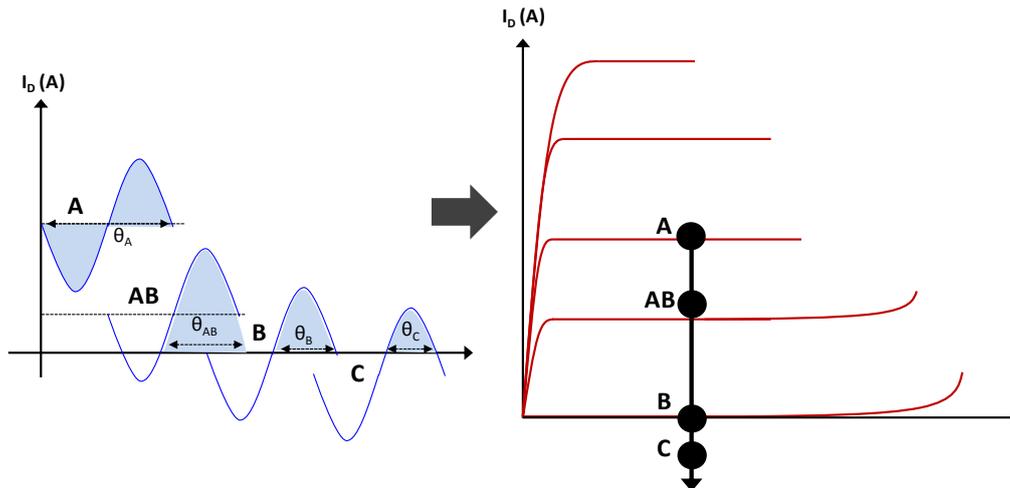


Figure II. 5: Définition des quatre classes sinusoïdales en fonction de l'angle de conduction (à gauche) ou le courant de repos I_{ds0} (à droite).

II.3.3 Les classes de fonctionnement à haut rendement.

Les classes de fonctionnement définies précédemment correspondent aux classes d'amplification dans lesquelles les tensions de commande V_{gs} et V_{ds} sont des tensions sinusoïdales. D'autres classes de fonctionnement existent et ont la particularité d'avoir des formes temporelles de tensions et/ou de courant, aux bornes de la source de courant commandé, qui se rapprochent d'une forme carrée.

Pour réaliser des signaux de tension et courant temporels de forme carrée, une prise en compte des fréquences harmoniques est nécessaire. En effet, la contribution des composantes harmoniques modifie les formes d'ondes temporelles. Ainsi, l'optimisation de ces formes temporelles permet de diminuer la période de coexistence entre la tension et le courant de drain, c'est-à-dire qu'elle permet de réduire l'angle d'ouverture et ainsi d'augmenter le rendement.

En se fondant sur la décomposition d'un signal en série de Fourier, une suppression des composantes paires d'un signal génère une forme d'onde quasi-carrée. Dans le cas inverse, si les composantes impaires d'un signal sont supprimées, il en résulte une forme d'onde en calotte sinusoïdale.

Pour préformer ce type de formes temporelles, il est nécessaire de présenter aux bornes de la source de courant aux fréquences harmoniques souhaitées un court-circuit ou un

circuit-ouvert. Dans ce cas, les composantes harmoniques en tension (C.C) et en courant (C.O) seront annulées.

Ce paragraphe décrit le principe des classes de fonctionnement F et J. Ces classes de fonctionnement sont généralement polarisées en classe AB profonde ou B, afin d'obtenir les performances optimales en rendement et en puissance.

II.3.3.1 Classes F

Les amplificateurs classe F et F inverse sont fondés sur la préformation des ondes de tension et courant afin d'en limiter le temps de coexistence par l'utilisation de résonateurs multiples harmoniques.

La classe F consiste à préformer, en principe, une forme de tension quasi-carrée par un court-circuit aux fréquences harmoniques paires et un circuit-ouvert aux fréquences harmoniques impaires aux bornes de la source de courant non linéaire [II. 1]. Généralement, dans le domaine des fréquences radiofréquences et microondes, il est raisonnable de ne contrôler au plus que les trois premières composantes harmoniques. Les formes d'ondes caractéristiques intrinsèques et le cycle de charge associé d'un transistor GaN sont montrés figure II.6.

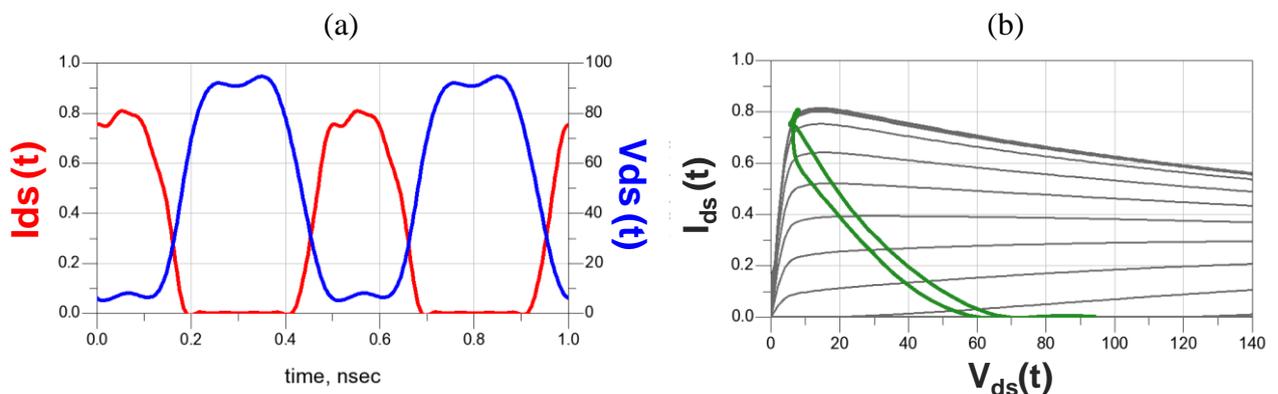


Figure II. 6 Formes d'ondes tension/courant aux bornes de la source de courant (a) et cycle de charge associé d'un amplificateur classe F (b)

II.3.3.2 Classes F⁻¹

La classe F inverse [II. 1] est la classe duale de la classe F. Elle consiste, en principe, à présenter un circuit ouvert aux fréquences harmoniques paires afin d'obtenir une forme

d'onde de courant quasi-carrée et un court-circuit aux fréquences harmoniques impaires afin d'obtenir une forme d'onde de tension demi-sinusoidale. Les formes d'ondes caractéristiques intrinsèques et le cycle de charge associé d'un transistor GaN en classe F inverse sont montrés figure II.7.

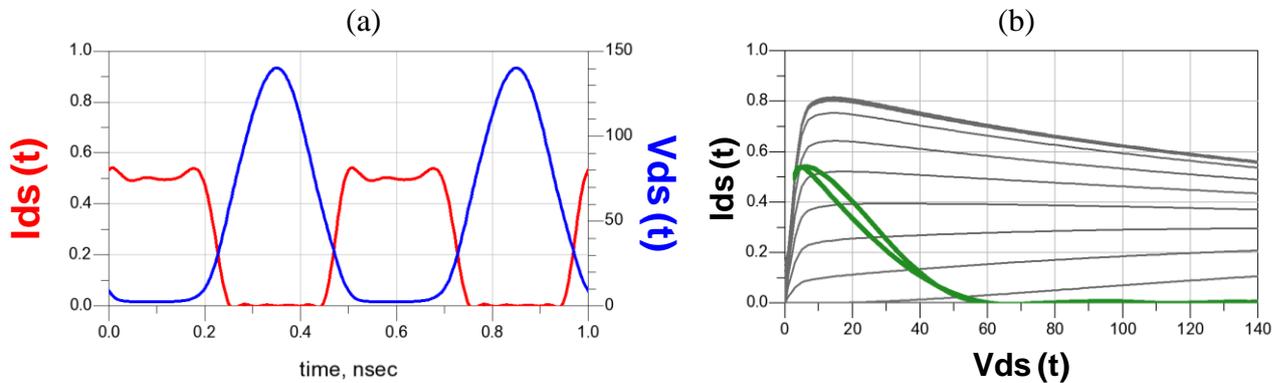


Figure II. 7: Formes d'ondes (a) et cycle de charge d'un amplificateur classe F^{-1} (b)

Les figures II.7 (a) et (b) sont obtenues avec une limitation en nombre d'harmoniques ($N_{har}=3$) et une tension de coude (V_{knee}) minimale non nulle (limitée par la zone ohmique).

Comme indiqué précédemment, pour réaliser ce type d'architecture, des circuits résonants sont utilisés afin de présenter des impédances particulières aux fréquences harmoniques. Le choix de ce type de classes de fonctionnement réside dans la possibilité de synthétiser ou non les charges optimales pour obtenir le rendement et la puissance de sortie optimaux.

Ce type d'architecture reste limité en termes de bande passante compte-tenu de la difficulté de synthèse des impédances sur de larges bandes passantes aux fréquences harmoniques.

Néanmoins, ces types de classes ont conduit à de très bonnes performances pour la réalisation d'amplificateur en technologie HEMT GaN. De nombreuses publications aux cours de cette dernière décennie se sont basées sur ce type de classes de fonctionnement. À titre d'exemple, Schmelzer [II.2] a présenté 85% de PAE à 2 GHz en fonctionnement classe F et P.Saad [II.3] a obtenu 78% de PAE à 3.5 GHz en classe F inverse.

II.3.3.3 Classes J

Le principe des amplificateurs en classe J a été publié pour la première fois en 2006 par S.Cripps [II. 1]. La classe J offre de très bonnes performances sur des bandes passantes plus larges que ne peuvent proposer les classes F ou F⁻¹. Contrairement à ce type de classe qui utilise des circuits d'adaptation résonant, donc très sélectifs, la classe J utilise une charge capacitive précédée d'une ligne de transmission. Cette structure présente une fonction de type filtre passe bas dont l'objectif est d'atténuer les composantes harmoniques. Le filtrage doit également tenir compte de la capacité C_{ds} pour parvenir à réaliser la meilleure combinaison d'ondes de tension et de courant dans les plans de la source de courant. Un schéma de principe du circuit est présenté figure II.8.

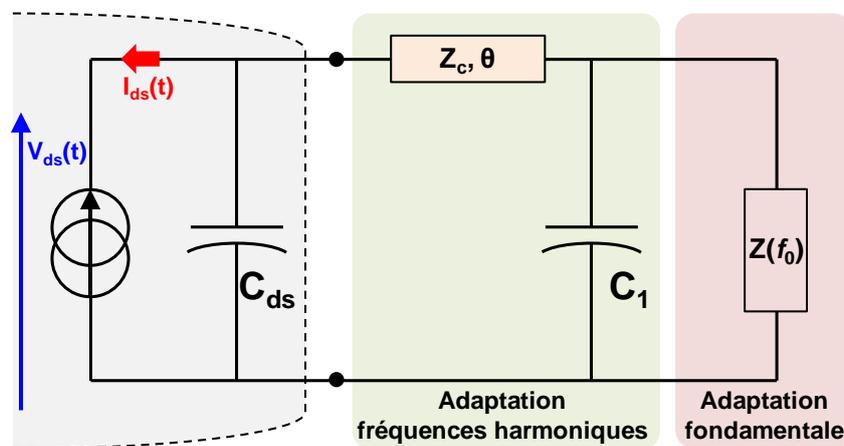


Figure II. 8 : Architecture théorique d'un amplificateur classe J

Des réalisations d'amplificateurs fonctionnant en classe J sont régulièrement présentées. L'université de Cardiff, par exemple, a réalisé un amplificateur sur la bande 1,3–2,25GHz avec une puissance de sortie supérieure à 10 W et un rendement de drain compris entre 60 % et 70 % [II.4]. L'université de Dublin a obtenu une PAE supérieure à 58% associée à une puissance de sortie de 10 W dans la bande [2.3-2.7]GHz [II.5]. De la même manière, pour démontrer les performances de cette classe, l'institut technologique de Berlin a conçu des amplificateurs dont les performances atteignent 60 W et 56 % de rendement de drain sur la bande 0,9–1,8GHz [II.6].

II.3.4 Les classes de fonctionnement à commutation.

II.3.4.1 Classes E

La classe E est introduite pour la première fois aux cours de l'année 1975 par Nathan O. Sokal et Alan D. Sokal [II.7]. Cette classe de fonctionnement à haut rendement ne repose pas sur le contrôle des charges aux fréquences harmoniques présentées aux bornes de la source de courant du transistor. C'est une classe dite « en commutation ». Le transistor est alors utilisé comme un interrupteur.

Afin de limiter les pertes par commutation, les amplificateurs de classe E sont conçus pour que le changement d'état du transistor se fasse en l'absence de courant. Entre deux commutations, le transistor est soit bloqué (le courant qui le traverse est nul), soit saturé (la tension à ses bornes est quasiment nulle). Comme la puissance dissipée dans un transistor provient du produit de la tension à ses bornes et du courant le traversant, l'absence de courant lorsque la tension est non nulle, et réciproquement, permet de minimiser cette puissance dissipée et ainsi augmenter le rendement.

Le rendement théorique d'un amplificateur de classe E utilisant des éléments idéaux est de 100 %. Les temps de commutation sont directement liés à la valeur de la capacité C_{gs} , tandis que la montée en fréquence est liée à la capacité C_{ds} . Une réduction des capacités C_{gs} et C_{ds} permettra des fonctionnements à plus haute fréquence. Les formes d'ondes caractéristiques intrinsèques et le cycle de charge associé d'un transistor GaN en classe E sont montrés figure II.9.

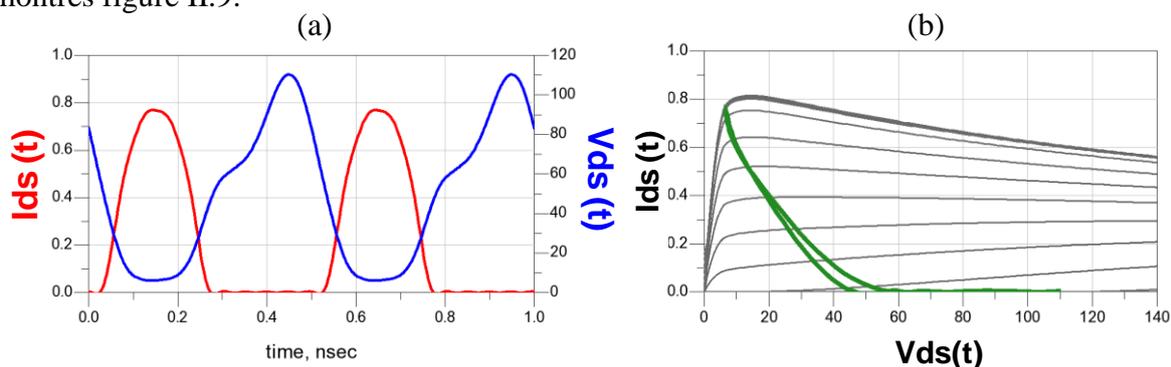


Figure II. 9 : Formes d'ondes (a) et cycle de charge (b) d'un amplificateur classe E

A titre d'exemple, un amplificateur classe E [II.8] réalisé par Sheppard présente 85% de PAE à 2GHz.

II.3.4.2 Classes D

Les architectures type classe D [II.9] sont fondées sur l'utilisation de deux transistors. L'idée est d'utiliser les transistors en tant qu'interrupteurs commandés par deux excitations sinusoïdales déphasées de 180° en entrée des deux transistors (T1 et T2). On distingue deux topologies : la première, VMCD pour Voltage Mode Class D et la seconde, CMCD pour Current Mode Class D. La figure II.10 montre le schéma de principe de ces 2 topologies.

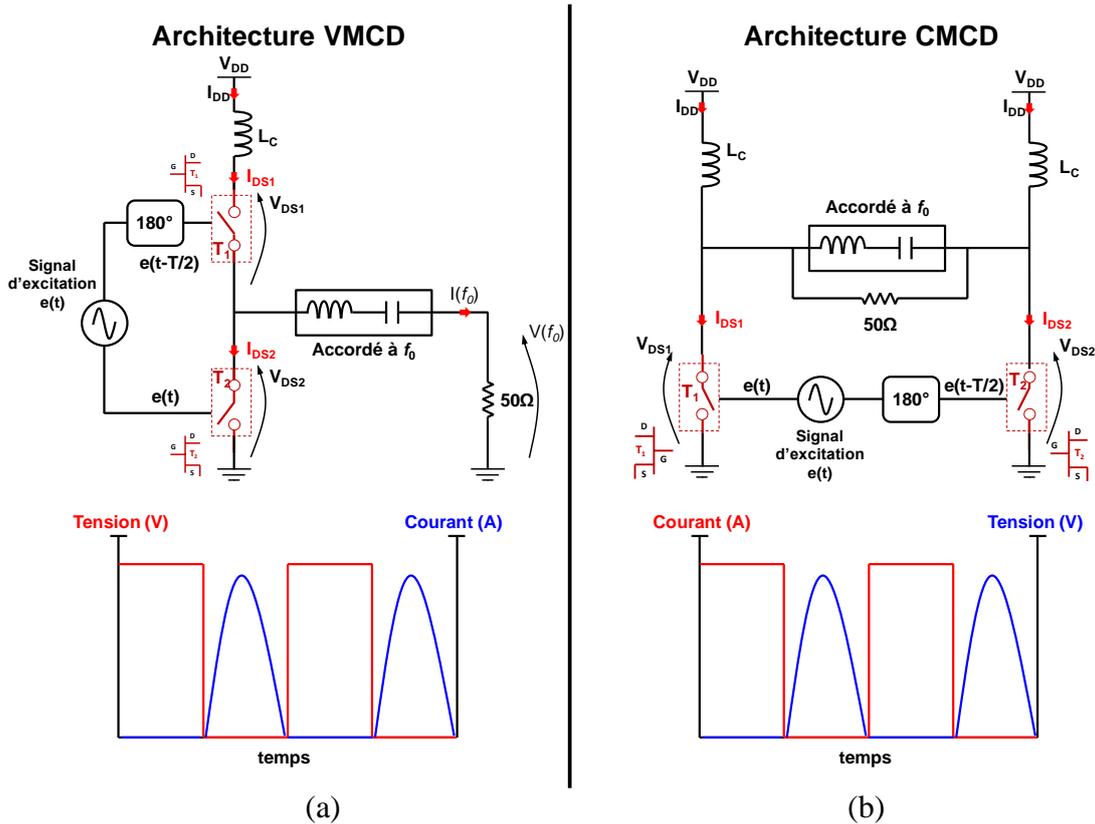


Figure II. 10: Amplificateurs classe D en mode tension (a) et mode courant (b)

La classe D, VMCD, consiste à faire commuter la tension aux bornes du transistor T1 avec un courant de drain en forme de demi-sinusoïde. Lorsque T1 est éteint, la tension est commutée aux bornes du transistor T2 par un courant de drain en forme de demi-sinusoïde. L'architecture CMCD consiste cette fois-ci à commuter le courant. La tension est alors sinusoïdale. Enfin, pour les deux types d'architecture, un filtre RLC est accordé à la fréquence centrale afin de récupérer un signal sinusoïdal aux bornes de la charge R_{ch} de 50Ohms.

L'architecture VMCD est généralement utilisée en fonctionnement basse fréquence (inférieures au GHz). En effet, les pertes engendrées par ce type d'architecture proviennent en grande partie de la résistance présente lorsque le transistor est saturé (r_{sat}). La valeur de cette

résistance dépend de la taille du transistor, plus le transistor sera grand et plus cette résistance sera importante. Pour des fréquences supérieures aux gigahertz, les pertes sont majoritairement engendrées par la capacité drain-source du transistor (C_{ds}).

Concernant l'architecture CMCD, son fonctionnement à des fréquences de l'ordre du gigahertz est envisageable. En effet, la capacité parasite C_{ds} est utilisée comme élément à part entière dans l'élaboration du circuit résonnant de sortie. Ainsi, les pertes dues à la capacité parasite sont réduites.

II.3.4.3 Classes S

L'architecture de la classe S est très similaire à celle de la classe D. La seule différence est que les transistors sont commandés par un signal d'entrée numérique d'amplitude constante. La modulation est portée par un rapport cyclique variable, contrairement au fonctionnement de la classe D pour laquelle les transistors sont commutés par un signal carré ou sinusoïdal périodique. En pratique, deux transistors sont utilisés pour générer une tension commutée. Les deux transistors reçoivent un signal $V_{gs}(t)$ carré, modulé et en opposition de phase. De cette manière, un transistor fournit le courant positif de sortie (transistor T1), alors que l'autre transistor (T2) récupère le courant de sortie quand il est négatif. Les transistors fonctionnent au point maximum de rendement afin de réduire la puissance dissipée. Enfin, un filtre de reconstruction en sortie permet de récupérer la composante utile du signal. Il doit posséder une bande passante plus large que la fréquence maximale de travail et couper les signaux aux fréquences harmoniques. Cette architecture Classe S est décrite à la figure II.11

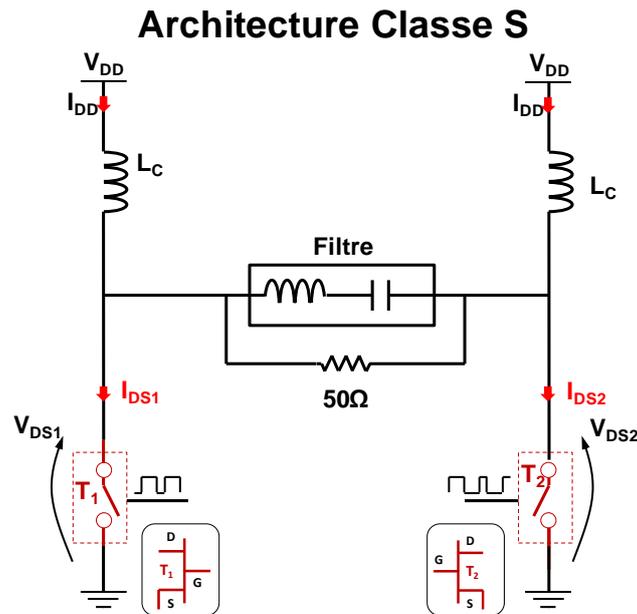


Figure II. 11: Architecture Classe S en mode Courant

La classe S repose sur le fait que la moyenne du signal commuté représente le signal de sortie. Il existe différentes modulations permettant d'obtenir ceci. Les plus connues sont les modulations de largeur d'impulsion MLI (Modulation Large Impulsion) ou PWM (Pulse Width Modulation) et la modulation Σ - Δ [II.10]. Leurs principes consistent à moduler la largeur de chaque impulsion afin d'obtenir comme moyenne la valeur du signal souhaitée. Par exemple, lorsque le signal modulant est au maximum, le signal d'entrée carré possède un rapport cyclique de 90%. Dans le cas opposé, pour un signal modulant minimum, le signal carré d'entrée a un rapport cyclique de 10%. Ainsi, il devient possible de numériser toute la chaîne d'amplification. Les modulateurs PWM et Σ - Δ sont généralement réalisés sur une technologie SiGe intégrée. De plus, ce type de modulateur doit disposer de très larges bandes passantes.

L'une des limites aujourd'hui est liée au préamplificateur situé entre le modulateur et l'amplificateur de puissance. Celui-ci doit fournir suffisamment de puissance pour commander le dernier étage d'amplification mais il doit aussi avoir une très large bande passante afin d'amplifier la totalité du signal sans le dégrader.

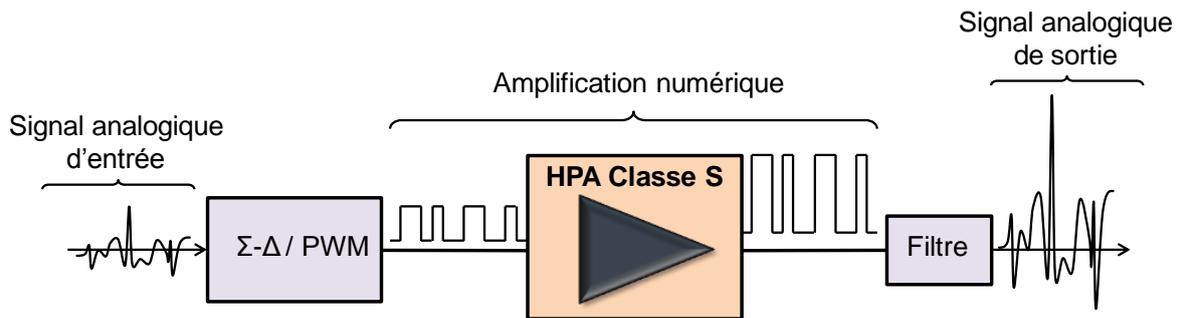


Figure II. 12: Schémas de principe d'une architecture Classe S utilisant une modulation Σ - Δ ou PWM.

A l'heure actuelle, ce type d'architecture reste limité aux fréquences inférieures au gigahertz. Quelques articles ont été publiés sur ces architectures. C.Meliani a réalisé un amplificateur classe S utilisant des transistors HEMT GaN à 0.45 GHz avec un rendement de drain de 90% [II.11].

Les fonctionnements des étages amplificateurs présentés ci-dessus ont montré que les rendements de ceux-ci peuvent être améliorés en travaillant au niveau du composant lui-même, en choisissant un point de polarisation particulier, en présentant des impédances particulières aux harmoniques ou en utilisant des signaux commutés.

Des architectures associant des transistors et des circuits particuliers conduisent à l'amélioration des rendements en maintenant les performances de linéarité de l'amplificateur. En effet, pour les applications de télécommunications, des niveaux de linéarité importants sont exigés au niveau de l'amplificateur. Or, le rendement de l'amplificateur est maximal quand le signal de sortie est compressé et se trouve donc dans la zone la moins linéaire de l'amplificateur.

Pour répondre à ces critères de linéarité, il est nécessaire de travailler, par exemple, avec une puissance moyenne du signal inférieure de 6dB par rapport à la puissance maximale pour avoir la totalité de l'excursion du signal modulée dans une zone linéaire. L'amplificateur fonctionnera donc avec une puissance moyenne de sortie limitée et un rendement plus faible par rapport aux performances maximales qu'il peut fournir. C'est pour ces raisons que des architectures telles que les amplificateurs Doherty, les amplificateurs à suivi d'enveloppe (E.T), LINC (Linear amplification with non-linear components), Chireix, sont apparues pour maintenir de bonnes performances dans de larges zones linéaires.

Dans ce rapport, seules les architectures Doherty et les techniques de suivi d'enveloppe sont présentées car elles concentrent aujourd'hui une grande partie des travaux de la communauté des concepteurs d'amplificateurs de puissance sur le compromis linéarité-rendement.

II.3.5 Amélioration des rendements au niveau sous système.

II.3.5.1.1 L'amplificateur Doherty

La technique d'amplification Doherty consiste à maintenir les performances en rendement d'un amplificateur sur une large plage de puissance typiquement de l'ordre de 6 à 8 dB. Afin de maintenir un rendement maximum, le principe de Doherty réside sur l'adaptation de la droite de charge en fonction de la puissance de sortie délivrée par l'amplificateur. La technique Doherty est constituée d'au moins deux transistors : un que l'on nomme *principal* («main») et un autre dit *auxiliaire* («peaking»). Les deux transistors sont reliés entre eux en sortie par un inverseur d'impédance (ligne quart d'onde). Un déphaseur est intégré à l'entrée du transistor auxiliaire afin de recombinaison en phase au niveau de la charge les deux signaux provenant des transistors principal et auxiliaire comme l'illustre la figure II.13.

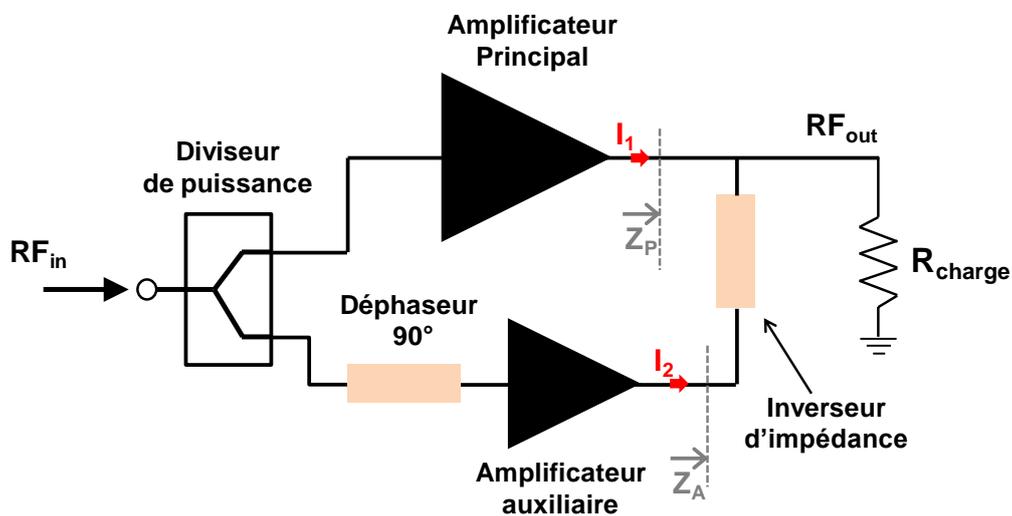


Figure II. 13: Configuration d'un amplificateur Doherty

L'adaptation de la charge principale est réalisée de manière active. La figure II.14 illustre ce principe.

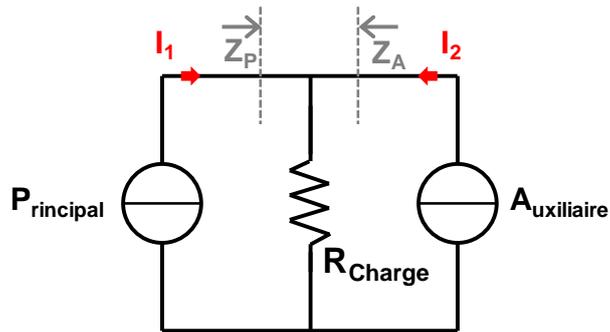


Figure II. 14: Principe simplifié de la technique Doherty

La charge (Z_p) vue de l'amplificateur principal dépend du courant généré par l'amplificateur auxiliaire selon l'équation suivante :

$$Z_p(f_0) = R_{Charge} \times \frac{I_1(f_0) + I_2(f_0)}{I_1(f_0)} \quad \text{Equation II. 11}$$

Ainsi, en faisant varier les courants $I_1(f_0)$ et $I_2(f_0)$, il devient possible de synthétiser une charge variable. En utilisant deux amplificateurs polarisés dans des classes différentes (en classe AB pour l'amplificateur principal, en classe C pour l'amplificateur auxiliaire), les courants I_1 et I_2 évolueront différemment en fonction de la puissance d'entrée. Pour des puissances d'entrée faibles, seul l'amplificateur principal conduit et se trouve chargé par une impédance $Z_p = 2 \times R_{opt}$ (où R_{opt} est l'impédance de charge optimale en fort signal). Lorsque la puissance d'entrée augmente, l'amplificateur principal commence à saturer et l'amplificateur auxiliaire se met à conduire et joue le rôle de charge active vis-à-vis de l'étage principal. Pour les forts niveaux de puissance, les deux amplificateurs sont saturés et délivrent un courant de sortie identique. Ainsi l'amplificateur principal voit une charge $Z_p = R_{opt}$. La figure II.15 montre les variations de la droite de charge vue par l'amplificateur principal en fonction du niveau de puissance d'entrée.

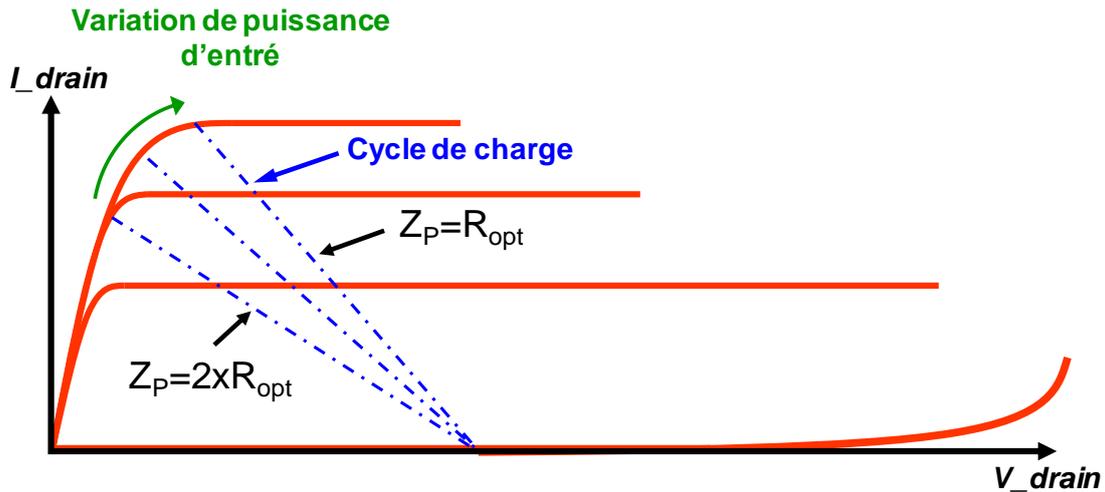


Figure II. 15: variation du cycle de charge de l'amplificateur principal en fonction de la puissance d'entrée.

Ces trois dernières années, avec la démocratisation des transistors HEMT GaN, un vif intérêt pour les amplificateurs Doherty a conduit la communauté scientifique à publier de nombreux travaux liés à ce sujet. De nombreuses publications tentent sans cesse de montrer des augmentations de bande passante qui restent encore très limitées aujourd'hui notamment à cause de l'inverseur d'impédance qui est par nature à bande étroite.

En termes de performances, la publication [II.12] présente un amplificateur Doherty fondé sur des transistors GaN HEMT. Celui-ci fonctionne dans la bande 2.4-2.7GHz et délivre une puissance maximale de 537W avec un rendement de drain associé de 48% avec une ACLR (Adjacent Channel Power Ratio) de -50.6dB. En 2011, A. Grebennikov [II.13] a publié un amplificateur Doherty original constitué d'un amplificateur principal et trois amplificateurs auxiliaires. L'amplificateur délivre une puissance de sortie de 100W avec un rendement de drain associé de 77% à 2.15GHz.

II.3.5.1.2 La technique du suivi d'enveloppe

La technique du suivi d'enveloppe garantit la linéarité de l'amplificateur de puissance tout en maintenant un rendement élevé. Le principe de fonctionnement de cette structure repose sur la variation de la tension de polarisation en fonction de la variation de l'enveloppe du signal modulé d'entrée. Par exemple, lorsque le signal modulé d'entrée diminue, la tension de polarisation s'ajuste et diminue elle aussi afin de garantir les performances en rendement.

La figure II.16 illustre le synoptique simplifié du principe de suivi d'enveloppe. Le modulateur de polarisation est constitué d'un détecteur d'enveloppe qui est utilisé pour avoir le suivi du module de l'enveloppe du signal d'entrée. Ensuite, le signal est converti à l'aide d'un modulateur de largeur d'impulsion PWM qui consiste à moduler le rapport cyclique des impulsions afin d'obtenir comme moyenne la valeur du signal souhaité. Ce modulateur de rapport cyclique permet de faire fonctionner l'amplificateur de commande de polarisation en commutation à son point maximum de rendement. Un filtre LC est ensuite utilisé en sortie afin de retrouver le signal de commande de polarisation.

Aujourd'hui, le principal problème du suivi d'enveloppe réside dans l'architecture du modulateur de polarisation. Il doit d'une part, avoir un très haut rendement (>80-85%) pour ne pas impacter le rendement global. Par ailleurs, ces architectures ayant un fort intérêt pour des amplificateurs de forte puissance, il devient nécessaire que le modulateur puisse fonctionner à fort courant. Cette contrainte constitue un des points critiques de la technique du suivi d'enveloppe.

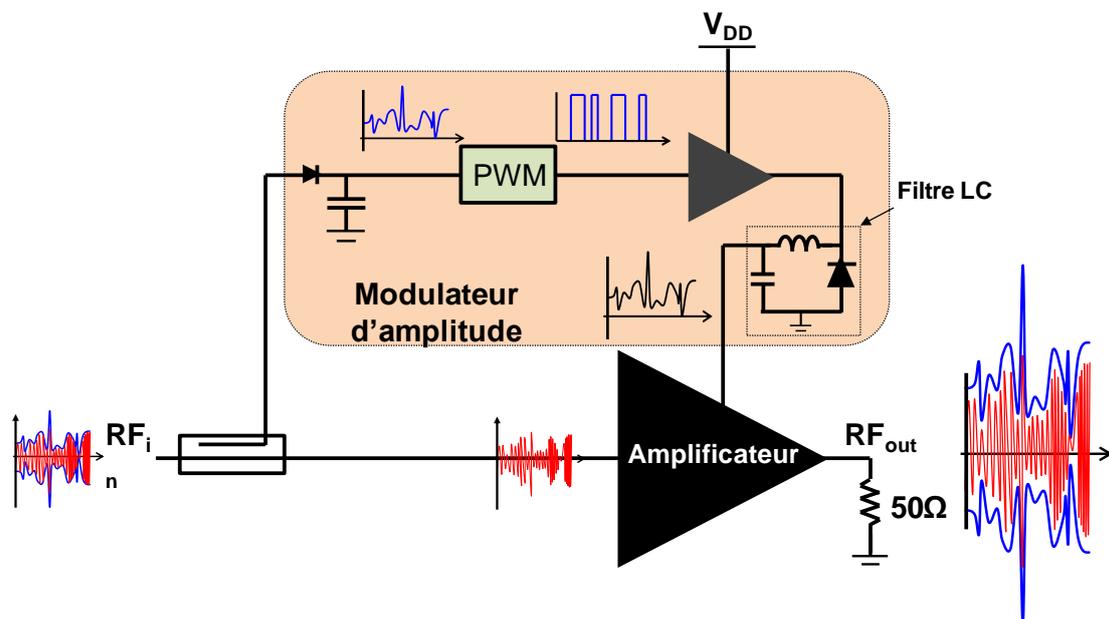


Figure II.16: Synoptique simplifié de la technique de suivi d'enveloppe

De nombreuses publications ont montré la potentialité du suivi d'enveloppe. La publication [II.14] montre la réalisation d'un amplificateur avec suivi d'enveloppe fondée sur un amplificateur LDMOS 100W en bande UHF excité par un signal OFDM (Orthogonal Frequency Division Multiplexing) modulé à une fréquence de 1MHz. Cette architecture

montre une amélioration de 10 points sur le rendement par rapport à une amplification conventionnelle obtenant le même niveau de linéarité.

La publication [II.15] montre la conception d'un amplificateur avec suivi d'enveloppe sur une technologie GaN. L'architecture présentée offre un gain en rendement de 8% comparé à une amplification conventionnelle avec un back-off de puissance obtenant le même niveau de linéarité.

II.4 Techniques d'amplification très large bande

L'arrivée des transistors à base de GaN ouvre la voie à un développement accéléré des RADAR à antennes actives.

Afin de pouvoir profiter pleinement de ce type de système, l'objectif à long terme est de proposer une solution qui puisse répondre à de multiples applications et remplacer plusieurs RADAR classiques par un seul RADAR multi-applicatif qui permettra de réduire les coûts et l'encombrement des systèmes.

Pour répondre à cette demande, il sera nécessaire de proposer des solutions très large bande afin de répondre à une large palette d'applications. L'objectif de cette thèse est la conception d'amplificateurs très large bande en maintenant les performances de rendement à de très hautes valeurs.

Pour répondre à cette demande, il est nécessaire de maîtriser la conception des amplificateurs à haut rendement et la connaissance des différentes architectures pour des conceptions très large bande passante.

Au cours de ces dix dernières années, de nombreuses publications ont montré la possibilité de réaliser des amplificateurs de puissance à très haut rendement compris entre 60-90% opérant dans des bandes passantes comprises entre 500MHz et 1GHz. Cette amélioration a pu avoir lieu grâce au développement de composants comme le GaN. Cependant, par comparaison avec des structures bande étroite, les amplificateurs très large bande ont des performances de rendement généralement beaucoup plus faibles : comprises entre 10% et 35% selon la bande passante visée.

Les différentes topologies utilisées pour la conception d'amplificateurs large bande sont présentées succinctement dans le paragraphe suivant..

II.4.1 Amplificateur à adaptation résistive

Le principe de l'amplificateur à adaptation résistive consiste à adapter l'entrée et la sortie du transistor à l'aide de résistances mises en parallèle entre la grille et la source du transistor en entrée d'une part, et entre drain et source en sortie d'autre part. Ces résistances

sont utilisées afin de garantir un gain plat dans la bande, dans une très large bande passante par l'introduction de pertes importantes aux basses fréquences et des pertes plus faibles aux plus hautes fréquences de la bande passante, tout en maintenant une bonne adaptation en entrée et en sortie dans toute la bande passante visée. Les inductances L_e et L_s permettent le découplage des résistances aux hautes fréquences. Ce type d'amplificateur permet la conception d'étages à très large bande passante au détriment d'un faible gain, une faible puissance de sortie et un très faible rendement [II.16]. Ces inconvénients sont dus aux résistances utilisées en entrée et sortie qui amènent de fortes pertes d'insertion.

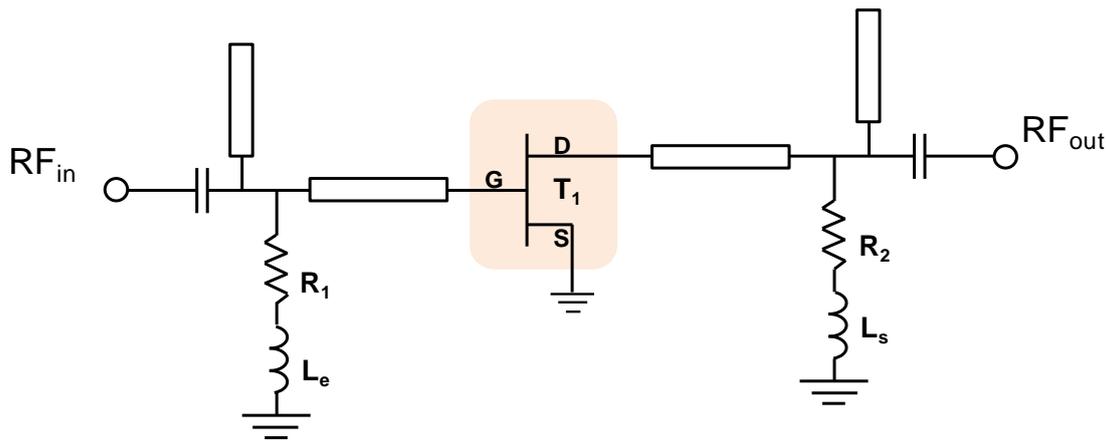


Figure II. 17: Schéma d'un amplificateur à adaptation résistive

Une analyse théorique de ce type de topologie est présentée en [II.16]. Les simulations ont montré que le gain jusqu'à 5GHz d'un étage amplificateur à adaptation résistive peut être comparable à celui d'un amplificateur distribué à quatre étages.

II.4.2 Amplificateur à contre réaction résistive.

L'amplificateur à contre réaction résistive montré sur la figure II.18 utilise une contre réaction négative par la connexion d'une résistance R_{CR} entre la grille et le drain du transistor [II.17]. Cette contre réaction aide à la stabilité du transistor et permet d'avoir des impédances d'entrée et sortie plus aisées à adapter. La résistance R_{CR} permet de contrôler le gain dans la bande passante. L_{CR} et L_2 sont optimisées pour étendre la bande passante de l'amplificateur [II.18]. L_1 , C_1 et C_2 sont des éléments permettant d'améliorer l'adaptation d'entrée et de sortie de l'amplificateur. L'amplificateur à contre réaction résistive est moins complexe à réaliser qu'un amplificateur distribué. En contrepartie, le principal inconvénient de cette topologie est qu'elle délivre de faibles puissances de sortie dues aux pertes d'insertion de la

résistance de contre réaction. Cette topologie est généralement utilisée en technologie MMIC [II.19].

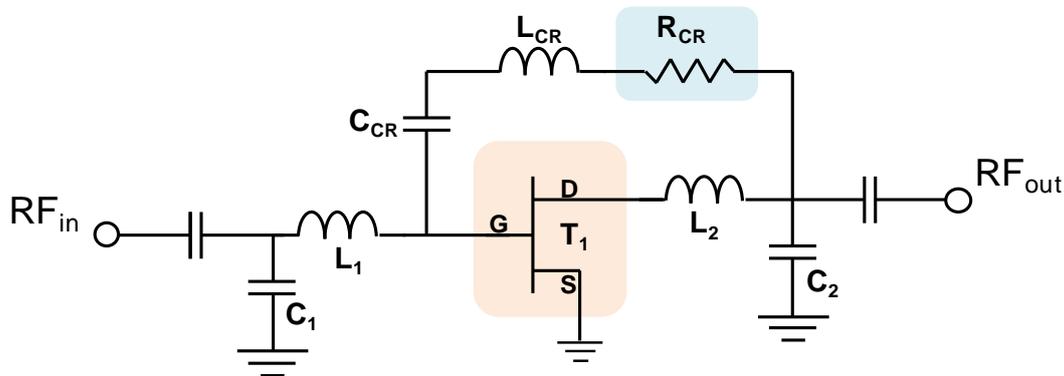


Figure II. 18: Schéma simplifié d'un amplificateur à contre réaction résistive.

Récemment, une conception d'un amplificateur hybride large bande à contre réaction résistive a été réalisée et présentée en [II.20]. Les résultats ont montré la conception d'un amplificateur très large bande couvrant une décade de bande passante (0.3-3GHz). Cependant, les puissances de sorties et la PAE (20%-30%) restent encore faibles.

II.4.3 L'amplificateur distribué

L'amplificateur distribué est un concept bien connu dans la conception d'amplificateurs fonctionnant sur des bandes multi-octave [II.21]. Cette architecture avait été développée pour s'affranchir des fréquences de coupures introduites par les capacités d'entrée et de sortie des transistors.

Dans un amplificateur de puissance distribué, les lignes d'entrées et de sorties sont deux lignes de transmission le long desquelles sont connectés plusieurs transistors comme le montre la figure II.22. Les capacités de grille et de drain sont alors absorbées par des lignes de transmission, elles-mêmes réalisées artificiellement à l'aide d'inductances localisées, et terminées à leur extrémité par l'impédance caractéristique de la ligne de transmission. L'onde de tension se propage le long de la ligne de grille et excite chaque transistor pour amplifier le signal au travers de sa transconductance. Les signaux amplifiés s'additionnent sur la ligne de drain jusqu'à la charge de sortie. Les signaux se propageant dans le sens inverse, qui ne sont pas en phase, seront absorbés par la terminaison de la ligne. En conséquence, l'impédance caractéristique tend à fournir une résistance d'entrée et de sortie constante réalisant ainsi une

large bande passante. L'un des principaux inconvénients de ce type d'amplificateur sont ses faibles rendements et ses faibles puissances de sortie.

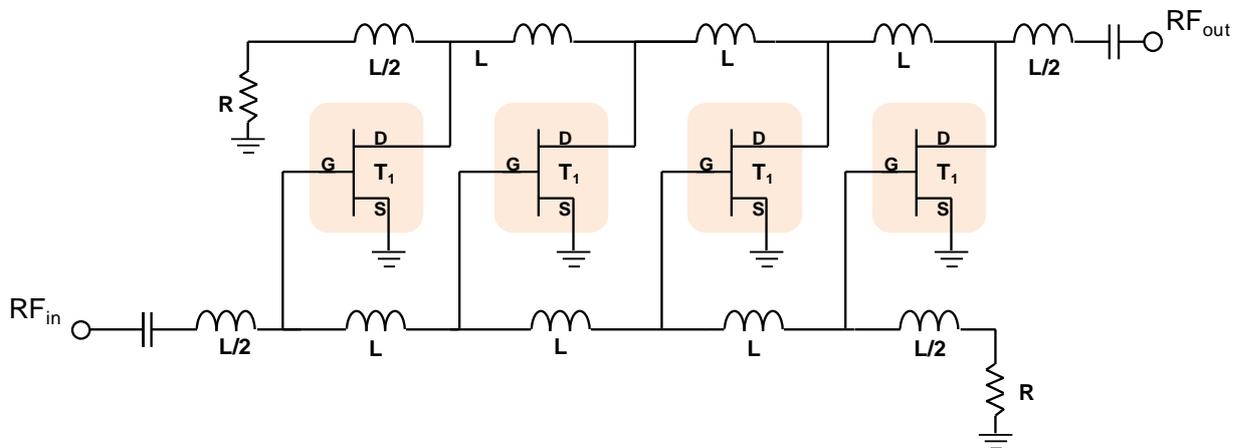


Figure II. 19: Schéma simplifié d'un amplificateur distribué.

Les principaux avantages des amplificateurs distribués sont la simplicité du circuit pour obtenir de très larges bandes passantes. Des amplificateurs offrant des bandes passantes multi-octave et multi-décade ont déjà été réalisés [II.22]. Les principaux inconvénients sont les faibles puissances engendrées ainsi que les faibles rendements associés.

II.4.4 L'amplificateur arborescent

L'architecture arborescente est fondée sur la mise en parallèle de plusieurs transistors permettant de paramétrer la puissance de sortie désirée. Elle se fonde par ailleurs sur la mise en cascade de plusieurs étages permettant de paramétrer le gain désiré [II.23]. Les réseaux d'adaptations inter-étage sont constitués d'éléments passifs (L, C, R...) permettant de présenter la charge optimale d'adaptation à chaque transistor dans la bande de fréquence visée. La méthode de conception consiste à réaliser dans un premier temps l'étage de sortie puis les circuits inter-étage jusqu'à l'étage d'entrée. Le réseau d'adaptation de sortie est l'élément clé dans les performances de puissance et rendement de l'amplificateur. Il est donc important que le dernier étage soit alimenté de façon optimale par les étages précédents.

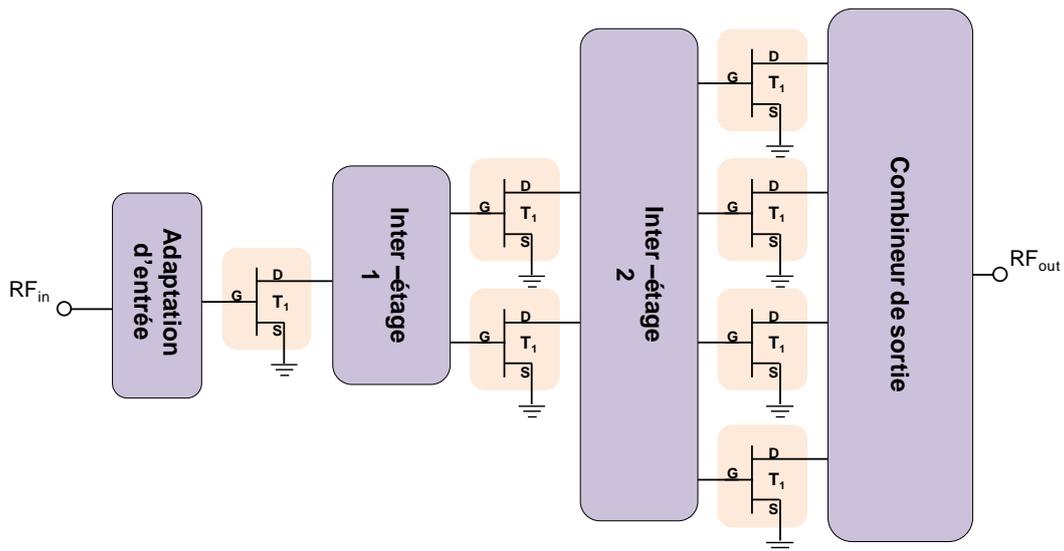


Figure II. 20: Schéma de principe d'un amplificateur arborescent

Le principal inconvénient de cette topologie est la difficulté de maintenir un gain important à la fréquence la plus haute de la bande passante considérée. En effet, pour maintenir des performances optimales à ces fréquences, les étages mis en cascade pour alimenter le dernier étage sont optimisés pour obtenir le gain maximum à la fréquence haute. Les étages sont donc optimisés de manière à réduire les pertes d'insertion et assurer un gain plat dans la bande de fréquence utile.

II.5 Conclusion

Le chapitre précédent a démontré que la technologie HEMT GaN est la mieux à même à répondre favorablement à la problématique d'amplification de puissance large bande à haut rendement. Elle propose de très fortes densités de puissance, ce qui permet la réduction de l'encombrement et des coûts.

La technologie HEMT GaN a démontré au cours de ces 10 dernières années ses capacités pour la conception d'architectures à très haut rendement. Chaque année, des records de performances sont démontrés en termes de puissance, rendement et bande passante.

Cette étude préalable des principes de fonctionnement des amplificateurs à haut rendement et des architectures large bande, permet de définir un état de l'art des performances optimales actuelles.

Evidemment, les performances de l'amplificateur sont liées à d'autres critères transversaux tels que le coût, la fiabilité ou l'encombrement. Cette thèse étant effectuée en entreprise, ces paramètres deviennent aussi importants que les performances en puissance de l'amplificateur. L'objectif est de mener des études de recherche et de développement dans la perspective de pouvoir commercialiser à moyen terme un produit aux performances reproductibles. Par conséquent, il est nécessaire de prendre en compte les informations concernant le processus de fabrication industrielle dès les premières étapes de la conception de l'amplificateur.

Le choix de conception s'est porté dans le cadre de ce travail, sur une architecture polarisée en Classe AB profonde (polarisation offrant les meilleurs compromis Puissance/PAE), avec un contrôle des fréquences harmoniques. Cette solution s'avère intéressante par sa simplicité, son coût et son encombrement. Les architectures très large bande ne permettent pas à l'heure actuelle d'atteindre les niveaux de rendement très élevés. Cela pourrait être le cas avec une architecture distribuée mais en contrepartie la fiabilité du composant en serait réduite (risque d'instabilité).

Enfin, l'architecture de l'amplificateur a été choisie afin de pouvoir laisser la possibilité de la dupliquer et ainsi de l'utiliser dans des architectures arborescente, équilibrée ou push-pull.

II.6 Bibliographies

- II.1. Cripps, S.C., 2006. *RF Power Amplifiers for Wireless Communications*, Artech House, second edition.
- II.2. Schmelzer, D., & Long, S. I. (2007). A GaN HEMT Class F Amplifier at 2 GHz with > 80 % PAE. *IEEE Journal of Solid State Circuits*, 42(10), 525-2136.
- II.3. Saad, P. et al., 2009. An inverse class-F GaN HEMT power amplifier with 78% PAE at 3.5 GHz. In *Microwave Conference 2009 EuMC 2009 European*. pp. 496-499.
- II.4. Wright, P. et al., 2009. A Methodology for Realizing High Efficiency Class-J in a Linear and Broadband PA. *IEEE Transactions on Microwave Theory And Techniques*, 57(12), p.3196-3204.
- II.5. Tuffy, N. et al., 2011. Class-J RF Power Amplifier with Wideband Harmonic Suppression, In *Microwave Symposium Digest 2011 MTT11 IEEE MTT-S International*. IEEE.
- II.6. S.Preis, D.Gruner, G.Boeck;” Investigation of Class-B/J Continuous Modes in Broadband GaN Power Amplifiers”, *Microwave Symposium Digest (MTT)*, 2012 , IEEE MTT-S International
- II.7. Sokal, N.O. & Sokal, A.D., 1975. Class E-A new class of high-efficiency tuned single-ended switching power amplifiers. *IEEE Journal of Solid State Circuits*, 10(3), p.168-176.
- II.8. Sheppard, S. et al., 2006. High-Efficiency Amplifiers Using AlGaIn / GaN HEMTs on SiC. , (919), p.175-178.
- II.9. *Switch Mode RF Power Amplifier*, A.Grebennikov, N.O. Sokal, Newnes.
- II.10. A.Jayaraman, P.F.Chen, G. Hanington, L.Larson, and P. Asbeck, ”Linear high efficiency microwave power amplifier using bandpass delta-sigma modulators”, *IEEE Microw. Guided Wave Lett.*, vol.8, no.3, pp. 121-123, March 1998.
- II.11. C. Meliani, A. Wentzel, J. Flucke, E. Ersoy, N. Chaturvedi, R. Lossy, F. Schnieder, B. Janke, S. Freyer, H. J. Würfl, W. Heinrich, “Class-S Amplifier at 450 MHz Using GaN-HEMT Power Switch MMICs”, *Zeitschrift für Telekommunikation, Frequenz* 3/4, 2009.
- II.12. H. Deguchy, Watanabe, Naoki, A, Kawano, ”A 2.6GHz band 537W peak power GaN HEMT asymmetric Doherty amplifier with 48% drain efficiency at 7dB”, *Microwave Symposium Digest (MTT)*, 2012 IEEE MTT-S International.

- II.13. A. Grebennikov, «A high-Efficiency 100-W Four-Stage Doherty GaN HEMT Power Amplifier Module for WCDMA Systems», *IEEE MTT-S International Microwave Symposium*, 05-10 juin 2011
- II.14. T. M. Aitto-oja, «High Efficiency Envelope Tracking Supply Voltage Modulator for High Power Base Station Amplifier Applications», *IEEE MTT-S International Microwave Symposium*, 23-28 may 2010.
- II.15. N. Le Gallou, D.Sardin, C.Delepaut, M. Campovecchio, S.Rochette, “Over 10MHz bandwidth envelope-tracking DC/DC converter for flexible high power GaN amplifiers”, *Microwave Symposium Digest (MTT)*, 2011 *IEEE MTT-S International*.
- II.16. M. Moazzam and C. Aitchison, “A high gain dual-fed single stage distributed amplifier,” in *IEEE MTT-S Int. Microw. Symp. Dig.*, vol. 3, 23-27 1994, pp. 1409–1412.
- II.17. K. Niclas, W. Wilser, R. Gold, and W. Hitchens, “The Matched Feedback Amplifier: Ultrawide-Band Microwave Amplification with GaAs MESFET’s,” *IEEE Trans. Microw. Theory Tech.*, vol. 28, no. 4, pp. 285–294, apr 1980.
- II.18. I. D. Robertson and S. Lucyszyn, *RFIC and MMIC Design and Technology*. IEE, 2001.
- II.19. B. S. Virdee, A. S. Virdee, and B. Y. Banyamin, *Broadband Microwave Amplifiers*. Norwood, MA: Artech House, 2004.
- II.20. F. Lin, Q.-X. Chu, and Z. Lin, “A Novel Tri-Band Branch-Line Coupler With Three Controllable Operating Frequencies,” *IEEE Microw. Wireless Compon. Lett.*, vol. 20, no. 12, pp. 666–668, dec. 2010.
- II.21. C. Duperrier, M. Campovecchio, L. Roussel, M. Lajugie, and R.Quere, “New design method of uniform and non uniform distributed power amplifiers,” *IEEE Trans. Microw. Theory Tech.*, vol. 49, no. 12, pp. 2494–2500, Dec. 2001.
- II.22. Campovecchio.M, Lebras. B; Hilal. R, Lajugie. M, Obregon. J, "Large-signal design method of distributed power-amplifiers applied to a 2-18-ghz gaas chip exhibiting high-power density performances", *International journal of microwave and millimeter-wave computer-aided engineering*, 6(4), 1996, pp. 259-269
- II.23. G. Mouginot, Z. Ouarch, B. Lefebvre, S. Heckmann, J. Lhortolary, D. Baglieri, D. Floriot, M.Camiade, H. Blanck, M. Le Pipec, D. Mesnager, P. Le Helleye, “Three Stage 6-18 GHz High Gain and High Power Amplifier based on GaN Technology”, *Microwave Symposium Digest (MTT)*, 2010 *IEEE MTT-S International*

Chapitre III : Amplificateur de puissance à très large bande et très haut rendement en technologie MIC

III.1 Introduction

Les deux précédents chapitres ont montré l'intérêt des industriels pour la conception des amplificateurs de forte puissance à haut rendement couvrant de très large bande passante dont la demande ne cesse d'augmenter.

L'arrivée des matériaux grands gaps utilisés pour leurs performances, et pouvant répondre à des applications large bande ont ouvert la voie à des systèmes radar et télécommunications multi-applicatifs capables à eux seuls de remplacer plusieurs fonctions électroniques au sein d'équipements différents

Cette thèse a pour principal objectif d'étudier la fonctionnalité de solutions amplificatrices RF de forte puissance avec de très hauts rendements et couvrant une large bande passante. Pour ce faire, une étude spécifique a été menée sur les limites possibles du matériau GaN pour atteindre le triple objectif simultané de puissance, rendement et largeur de bande.

Aujourd'hui, les systèmes RF sont fondés sur l'utilisation de matériaux matures tels que l'AsGa ou le Si qui ne permettent pas d'atteindre ce triple niveau d'objectif simultanément. Le but de ce chapitre est donc de définir une méthode de conception pour la réalisation d'amplificateur de forte puissance large bande à haut rendement.

Dans une première partie, le modèle de transistor GaN GH50 fourni par UMS est présenté. Il a été utilisé pour la conception des amplificateurs. Ensuite, est abordée l'analyse des impédances de source et de charge optimales, à la fréquence fondamentale, du transistor GaN GH50. Cette recherche des impédances optimales constitue l'étape fondamentale dans la conception des amplificateurs. Puis, l'influence des impédances de charge à la fréquence harmonique 2 sur les performances est traitée.

Dans un deuxième paragraphe, la méthode de conception d'un amplificateur de puissance hybride à haut rendement, large bande couvrant la bande 1-3GHz fondée sur la technologie GH50 d'UMS est abordée. Un premier démonstrateur a permis entre autre de valider la filière GH50 UMS pour des applications large bande. Enfin, les résultats expérimentaux sont comparés à ceux issus des simulations.

Le tableau III.1 ci-dessous résume le cahier des charges de cette conception :

HPA GH50 AlGaIn/GaN	
Fréquence	1 – 3GHz
Ps @3dBc	40W
PAE @3dBc	40%
Transistor	<p>CHK040A-SOA</p> 
Taille	10x10cm
Quadripôle d'adaptation	C.I sur ROGERS : RT6010 ou RO4003

Tableau III.1: Cahier des charges de l'amplificateur hybride

III.2 Définitions utiles

Sont présentés ci-dessous et en image quelques-uns des termes employés dans la suite de ce manuscrit pour décrire les différents composants.

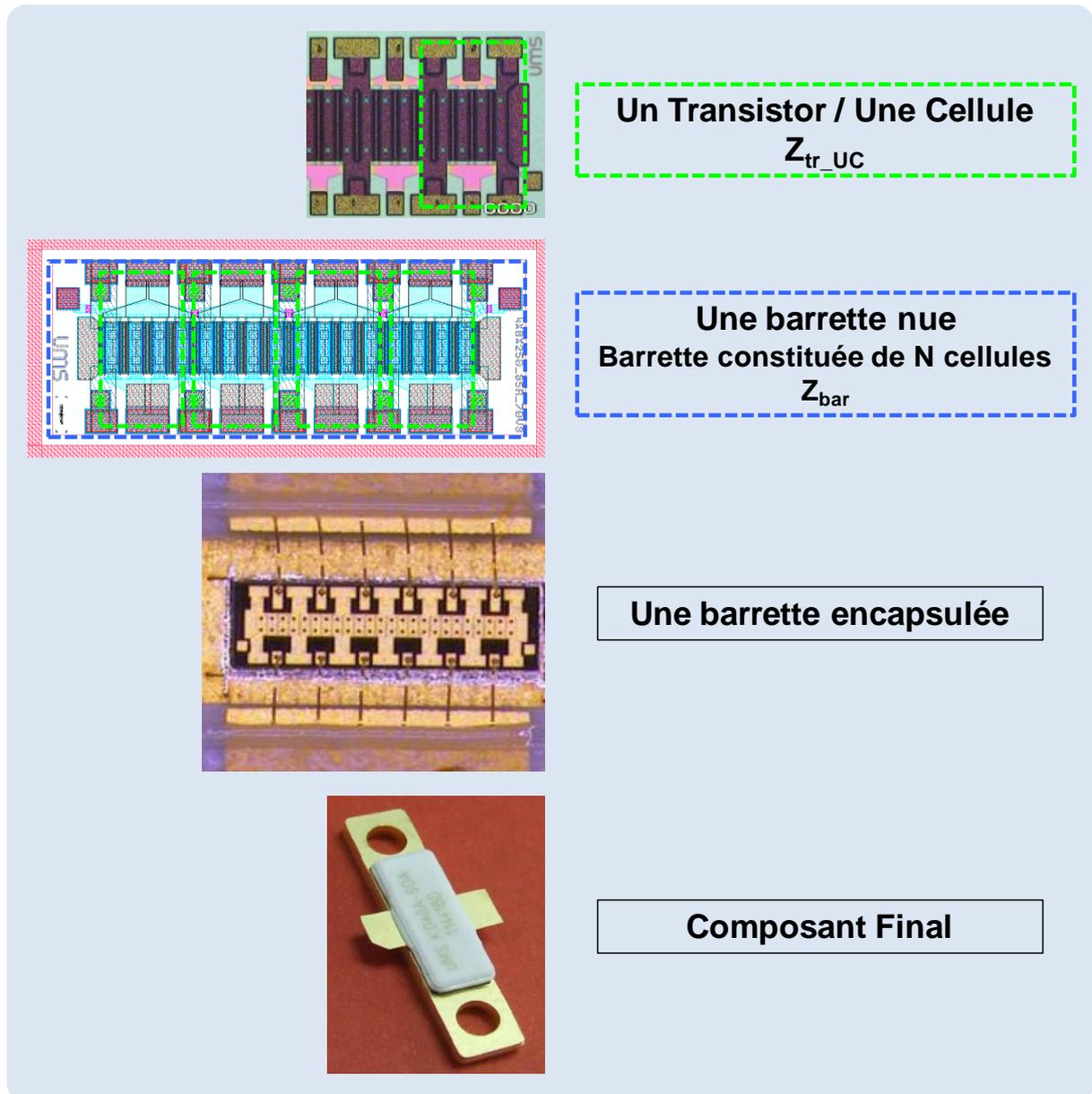


Figure III.1 : Définitions en image des termes employés dans le manuscrit

La figure III.1 montre ce qui est appelé par la suite :

- Une cellule ou un transistor : C'est le composant actif unitaire composé de plusieurs doigts. Dans cette thèse, des transistors de 2 mm de développement de grille ont été utilisés. Par la suite, les caractéristiques de ce transistor seront noté avec l'indice « tr » (Z_{tr} , Y_{tr}). Par ailleurs, la très grande majorité des études réalisées dans cette thèse est fondée sur ce transistor.
- Une barrette nue : Elle est constituée de N transistors/cellules associés en parallèle. Dans cette thèse, la totalité des conceptions sont fondées sur des barrettes de transistors. Deux types de barrette ont été utilisées, celles contenant 6 transistors utilisé dans ce chapitre et celles contenant 4 transistors qui seront utilisées dans les chapitre IV et V.
- Une barrette encapsulée : C'est la barrette nue qui est placée dans un boitier céramique. Les grilles et les drains sont reliés par des fils d'accès ou « bonding » aux accès Drain et Grille du boitier.
- Le composant final : c'est la barrette encapsulée sur laquelle un capot a été placé. Ce composant est actuellement commercialisé sous le terme de « transistor en boitier ».

III.3 Modèle compact du transistor GaN GH50 UMS

III.3.1 Introduction

La technologie GaN GH50 [III.1] est la première technologie GaN de puissance de filière européenne qualifiée. Elle est fondée sur une technologie 0.5 μ m AlGaN/GaN HEMT accueillie sur un substrat SiC.

L'épitaxie AlGaN/GaN ainsi que les passivations ont été optimisées pour offrir le meilleur compromis rendement / densité de puissance. La technologie GH50 est destinée à une large gamme d'applications couvrant les bandes de fréquence du DC à la bande C.

Le module de grille est réalisé à l'aide d'un processus assisté par dépôts successives de SiN. La définition du pied de grille est héritée de celle utilisée pour les composants de la filière AsGa. La technologie GaN bénéficie donc d'un bon contrôle du « process » et d'une bonne reproductibilité. Le mécanisme de gravure et l'empilement des métaux ont été optimisés afin de fournir les meilleures performances possibles et une meilleure stabilité de la technologie. En effet, le contact ohmique a été optimisé après plusieurs itérations afin d'atteindre les propriétés électriques et morphologiques appropriées.

Le processus technologique inclut le traitement face arrière complet, l'épaisseur finale du wafer atteignant 100 μ m. Le traitement des trous métallisés est fondé sur le processus conventionnel de gravure sèche.

Enfin, la technologie GH50 est une filière aujourd'hui qualifiée sur substrat 3''.

La suite des travaux présentés dans ce manuscrit est fondée sur l'utilisation d'un modèle de transistor GH50 de 2mm de développement de grille fourni par le service TSG (Technology Support Group) d'UMS. Un descriptif détaillé de ce modèle est présenté dans le prochain paragraphe.

III.3.2 Modélisation petit signal du transistor à cellule unitaire GH50.

III.3.2.1 Extraction des éléments extrinsèques et intrinsèques du transistor à cellule unitaire

Le modèle utilisé est un modèle électrique constitué d'éléments localisés avec une topologie classique de transistor à effet de champs. Chaque élément représente un comportement physique ou une propriété électronique du transistor. Le schéma équivalent petit signal est représenté figure III.2.

Le transistor est ainsi constitué :

- d'un ensemble appelé « *intrinsèque* » constitué entre autres d'une source de courant commandée comme élément fondamentale de l'effet transistor. Cet ensemble d'éléments sera décrit par la suite et sera nommé transistor intrinsèque.
- d'éléments passifs complémentaires externes aux transistors intrinsèques. Ils sont souvent appelés : éléments « *extrinsèques* » du modèle.

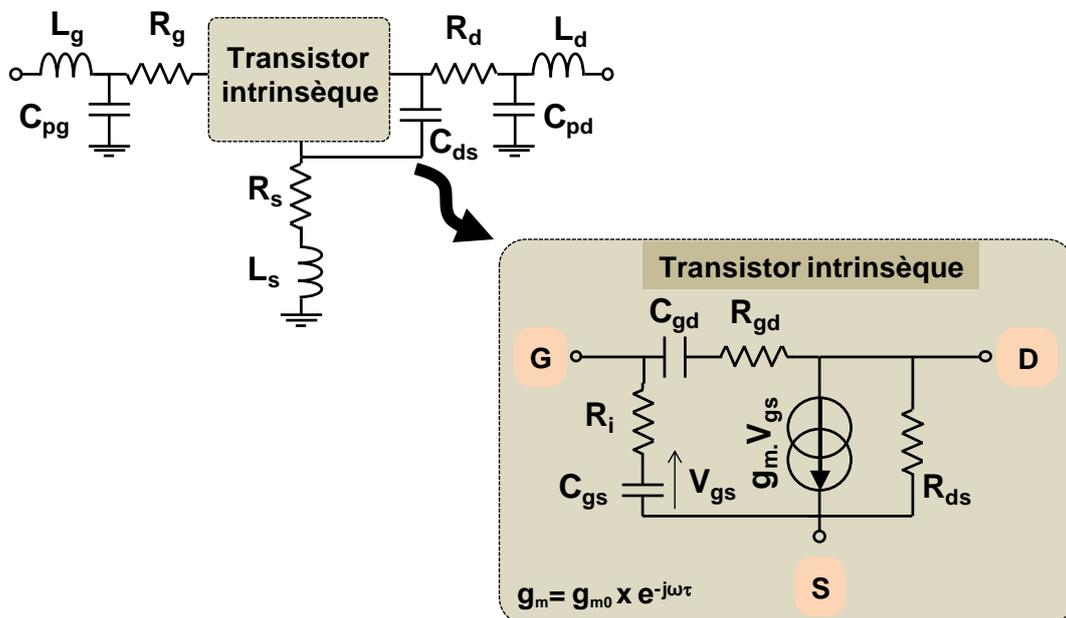


Figure III.2 : Schémas équivalents petit signal

- Les éléments extrinsèques :
 - L_g , L_s , L_d représentent les self-inductances parasites liées à la topologie du transistor.

- R_d et R_s sont les résistances parasites dues aux contacts ohmiques et aux zones conductrices et inactives du canal, entre les métallisations de drain et de source et la limite de la zone déserte.
- R_g représente la résistance de grille, liée au métal qui constitue la diode Schottky.
- C_{pg} et C_{pd} représentent les capacités de plot du transistor.
- Les éléments intrinsèques :
 - La transconductance g_{m0} qui traduit le mécanisme de contrôle du courant dans le canal par la commande de grille au point de polarisation $M_0 (V_{ds0}, V_{gs0})$.

$$g_{m0} = \left. \frac{\partial I_{ds}}{\partial V_{gs}} \right|_{M_0} \quad \text{Equation III.1}$$

- La conductance de sortie g_d représente les effets d'injection des électrons dans le canal.

$$g_{ds} = \left. \frac{\partial I_{ds}}{\partial V_{ds}} \right|_{M_0} \quad \text{Equation III.2}$$

- R_{gd} et R_i sont liées à des effets résistifs distribués sous la grille, C_{ds} prend en compte les effets parasites de couplage électrostatique entre l'électrode de drain et celle de la source, et τ correspond à un retard associé à la transconductance g_m .

- Les capacités grille-source et grille-drain représentent les variations de charges accumulées sous la grille, sous l'effet des tensions respectives V_{gs} et V_{gd} :

$$C_{gs} = \left. \frac{\partial Q_g}{\partial V_{gs}} \right|_{M_0} \quad \text{Equation III.3}$$

$$C_{gd} = \left. \frac{\partial Q_g}{\partial V_{gd}} \right|_{M_0} \quad \text{Equation III.4}$$

L'extraction de ce modèle électrique consiste à déterminer, dans un premier temps, les valeurs des éléments extrinsèques puis dans une seconde étape à en déduire les valeurs des éléments intrinsèques indépendamment du point de polarisation du transistor. La qualité finale du modèle dépend fortement de la précision avec laquelle sont estimés les éléments extrinsèques du circuit équivalent. Ici, ces éléments sont extraits à partir de la méthode du «transistor froid» [III.2], excepté les résistances R_s , R_d et R_g qui sont déduites des mesures

statiques sous différentes conditions de polarisation. La méthode d'extraction des paramètres extrinsèques et intrinsèques est détaillée dans les travaux de thèse de C. Teyssandier [III.3].

III.3.2.2 Application au transistor GH50 AlGa_N / GaN HEMT 8x250 μ m

Les mesures des paramètres [S] impulsionnels nécessaires à l'extraction ont été effectuées par la société MC2. Les paramètres du modèle ont été extraits pour un point du réseau I/V proche du point de polarisation de repos, dans notre cas $V_{ds0}=50V$ et $I_{ds0}=50mA$. A ce point de repos est associé un fichier de mesures contenant les paramètres [S] de 0.5 à 25 GHz. La figure III.3 présente :

- Le réseau I/V simulé avec les points de fonctionnement auxquels sont extraits les paramètres [S] impulsionnels.
- Le gain maximum définis à partir des paramètres [S] simulés et mesurés au point de polarisation A.
- Les paramètres S_{ij} simulés et mesurés au point de fonctionnement.

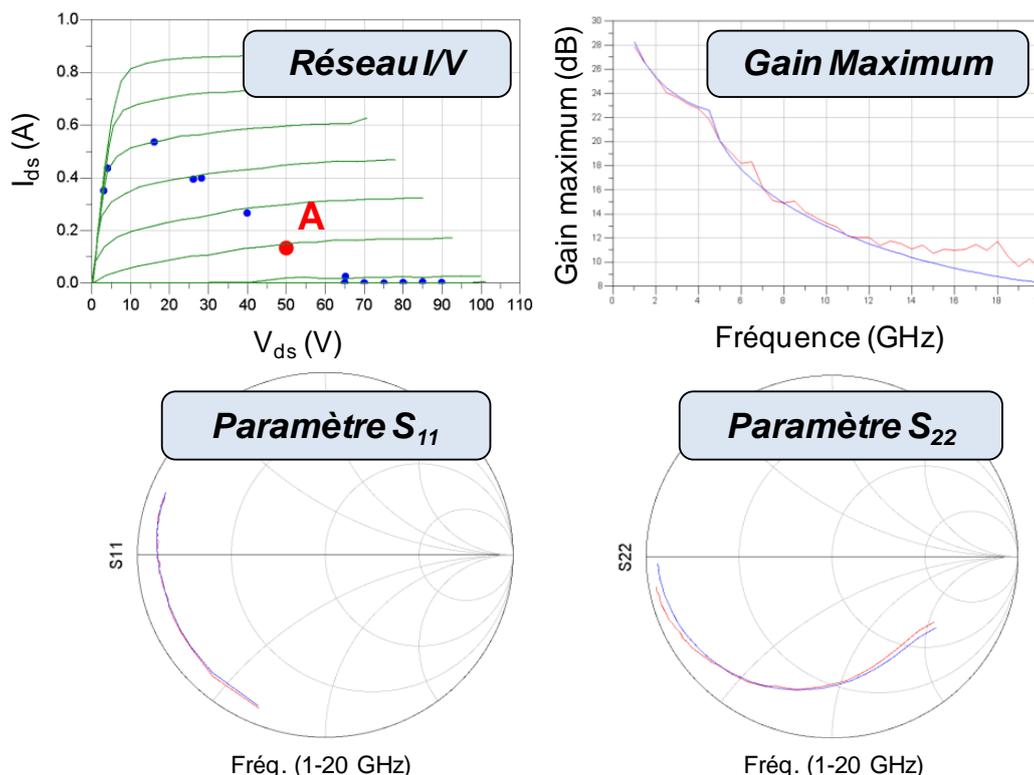


Figure III.3 : Comparaison mesures (rouge)/Simulation (bleu) des caractéristiques petit signal d'un transistor HEMT 8x250 μ m AlGa_N/GaN pour un point (A) extrait le long d'une droite de charge.

Une bonne corrélation entre les mesures et les simulations du modèle linéaire du transistor sont constatées.

III.3.3 Modélisation électrique non linéaire du transistor GH50.

III.3.3.1 Modélisation non linéaire du transistor à cellule unitaire.

La topologie du modèle non linéaire du transistor à cellule unitaire est représentée figure III.4.

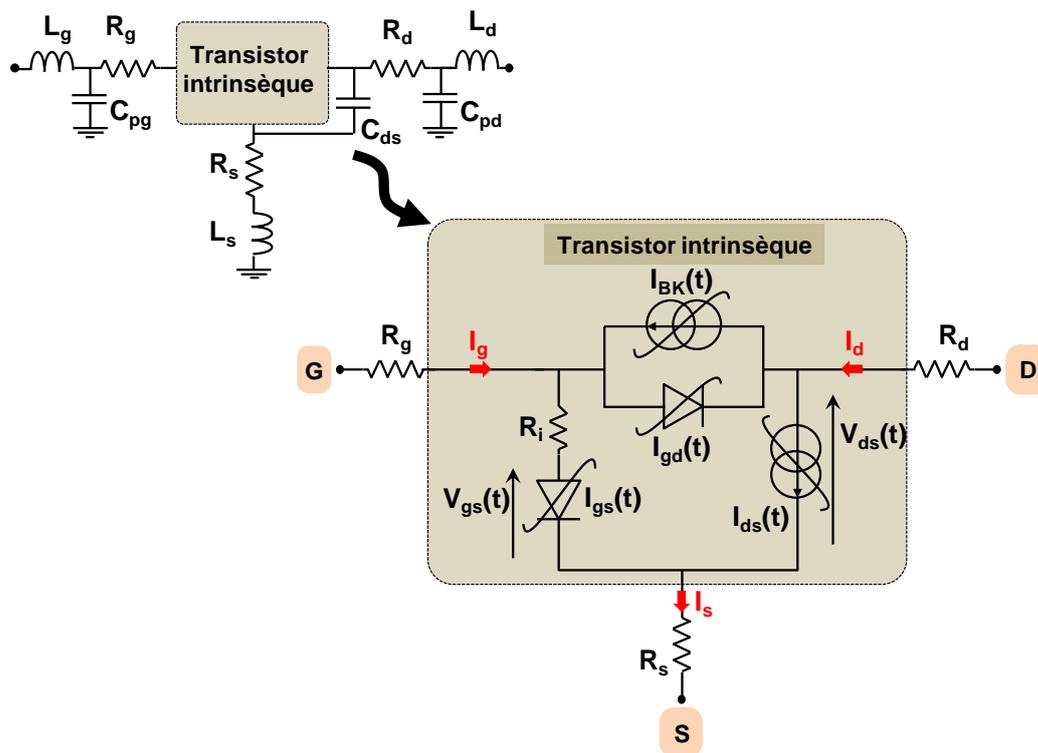


Figure III.4 : Sources convectives du transistor

Pour un point de repos donné, ce modèle permet une description à l'aide de l'ensemble des éléments suivants :

- R_g, R_d, R_s : résistances d'accès, ce sont les valeurs trouvées précédemment.
- L_g, L_d : inductances parasites déterminées précédemment
- $I_{ds}(t)$: modèle non linéaire de la source de courant.
- $I_{bk}(t)$: modèle non linéaire de la source de courant d'avalanche.
- $I_{gs}(t), I_{gd}(t)$: modèle non linéaire des courants de fuite grille/source et grille/drain.

III.3.3.2 La source de courant $I_{ds}(t)$

La source de courant non-linéaire $I_{ds}(t)$ commandée par les tensions $V_{gs}(t)$ et $V_{ds}(t)$ permet de décrire l'effet fondamental du transistor. Elle est décrite par une équation non linéaire définie par Tajima [III.4]. Cette équation définit de manière précise le courant pour des commandes de V_{gs} qui s'étendent de la tension de pincement V_p à la zone de conduction de grille pour les valeurs positives de V_{ds} . Cette équation s'écrit :

$$I_{d_{Tajima}}(t) = \frac{I_{DSS}}{1 - \frac{1}{m}(1 - e^{-m})} \left[V_{GSN} - \frac{1}{m} (1 - e^{-m V_{GSN}}) \right] \left[1 - e^{-V_{DSN} (1 - a V_{DSN} - b V_{DSN}^2)} \right]$$

Equation III.5

Avec $V_{GSN}(t) = 1 + \frac{V_{gs}(t - \tau) - V_{\phi}}{V_p}$;

$$V_{DSN}(t) = \frac{V_{ds}}{V_{DSP} (1 + \omega \frac{V_{GS}(t - \tau)}{V_p})}$$

I_{DSS} : courant correspondant à $V_{gs0}=0V$.

Pour se rapprocher de la décroissance de la transconductance g_m , présente dans les transistors HEMTs [III.5], un terme correctif a été rajouté. Le courant s'écrit alors :

$$I_d = I_{d_{Tajima}} \cdot \left[1 + \beta g_m \times (V_{ds} + V_{dm}) \times (1 + \tanh(\alpha_{gm} \times (V_{gs}(t) + V_{gm}))) \right]$$

Equation III.6

Le modèle ainsi défini est appelé modèle Tajima modifié.

III.3.3.3 Les diodes $I_{gd}(t)$ et $I_{gs}(t)$.

Pour pouvoir modéliser le courant de grille mesuré, pour les valeurs de tension positives V_{gs} et V_{gd} ; des diodes représentant des générateurs de courant non linéaires ont été utilisées. Les expressions pour modéliser ces courants sont les suivantes :

$$I_{gd}(t) = I_{sgd} \times \left[e^{\frac{q \cdot V_{gd}}{N_{gd} \cdot k \cdot t}} - 1 \right]$$

Equation III.7

$$I_{gs}(t) = I_{sgd} \times \left[e^{\frac{q \cdot V_{gs}}{N_{gs} \cdot k \cdot t}} - 1 \right]$$

Equation III.8

III.3.3.4 Le générateur d'avalanche $I_{bk}(t)$

Lorsque que la tension V_{ds} devient trop élevée, un phénomène d'avalanche apparait provoquant l'apparition d'un courant $I_{bk}(t)$ du drain vers la grille :

$$I_{bk}(t) = I_{bk} \times e^{\alpha_{dg} \cdot V_{ds}} \quad \text{Equation III.9}$$

Cependant, modéliser l'avalanche dans les transistors HEMT GaN présente peu d'intérêt. En effet, les tensions d'avalanches dans ce type de transistor sont de l'ordre de 200V. Ce sont des ordres de grandeur de tension pour lesquels le modèle du transistor ne sera pas utilisé. Le modèle utilisé ne comporte pas de générateur d'avalanche.

III.3.3.5 Extraction et modélisation des capacités C_{gs} et C_{gd} .

Afin de déterminer les modèles des capacités C_{gs} et C_{gd} , des mesures de paramètres [S] en impulsion multi polarisations ont été réalisées. En effet, les capacités C_{gs} et C_{gd} sont des éléments non-linéaires dépendants des tensions de commande V_{gs} et V_{ds} .

Pour chaque point de polarisation en impulsion I/V, un modèle petit signal est extrait. On obtient ainsi, en fonction des tensions V_{gs} et V_{ds} , la dépendance des capacités C_{gs} et C_{gd} . Les valeurs des capacités peuvent être représentées par exemple par une forme utilisant des tangentes hyperboliques données par l'équation suivante :

$$C_{gx} = C_0 + \frac{C_1 - C_0}{2} [1 + \tanh(a(V_{gx} + V_m))] - \frac{C_2}{2} [1 + \tanh(b(V_{gx} + V_p))] \quad \text{Equation III.10}$$

Où C_0 , C_1 , C_2 , a , b , V_p , et V_m représentent les différents paramètres constants, réels, associés à chaque capacité, et où C_{gx} et V_{gx} valent respectivement C_{gs}/V_{gs} ou C_{gd}/V_{gd} .

III.3.4 Application au transistor GH50 AlGaIn/GaN HEMT 8x250 μ m

Une fois tous les paramètres du modèle optimisés, les mesures en impulsion sont comparées aux résultats de simulation du modèle de transistor, défini dans le paragraphe précédent. La figure III.5 montre une bonne cohérence entre la mesure et la simulation du modèle les caractéristiques des réseaux I/V.

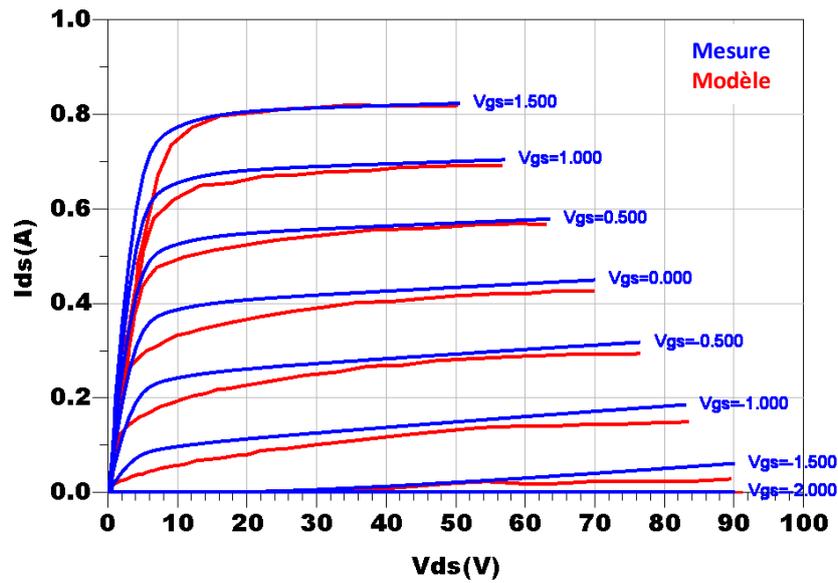


Figure III.5 : Comparaison des réseaux I/V mesurés en impulsion et simulés à partir du modèle non linéaire.

III.3.5 Validation du modèle du transistor GH50.

Le modèle complet du transistor est ensuite validé par une comparaison avec des mesures de variation de charge dans la bande S à la fréquence de 2.5GHz et 3.5GHz. La figure III.6 montre les contours de puissance de sortie et de PAE pour un transistor à cellule unitaire de 2mm de développement aux fréquences précédemment citées.

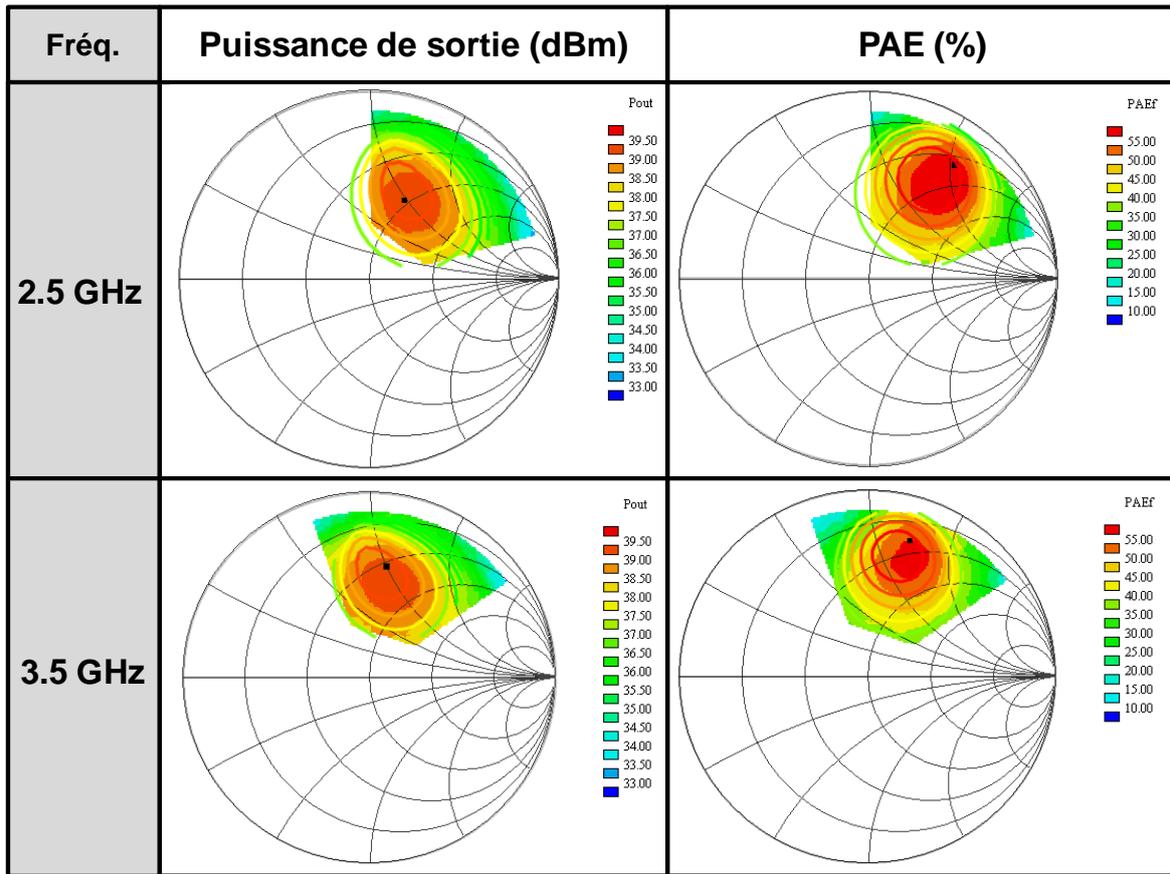


Figure III.6 : Comparaison mesure (zone pleine) / simulation (cercle en trait plein) des performances en puissance et en PAE du transistor.

Les zones pleines représentent les mesures de variation de charge tandis que les cercles en trait plein représentent les simulations de variation de charge effectuées avec le modèle présenté précédemment. Les performances mesurées et simulées sont proches pour les deux points de fréquence. Lorsque l'impédance de charge est optimale à la fréquence fondamentale et dans le cas où les charges à la fréquence harmonique 2 sont égales à 50Ω , le transistor délivre une puissance de sortie supérieure à 39.5 dBm ainsi qu'un rendement en puissance ajoutée supérieur à 55%.

Il est important de noter que toutes les conceptions des amplificateurs réalisés dans ce travail reposent sur ce modèle non-linéaire de transistor.

Toutefois, la réalisation des amplificateurs est faite à partir de barrette de transistor constitué de N cellules. Un facteur d'échelle a donc été utilisé pour déduire le modèle des barrettes. De ce modèle, il est alors possible d'estimer les zones optimales d'une barrette constituée de 6 cellules en divisant par 6 les impédances de la cellule unitaire.

Au modèle électrique, s'ajoute très généralement un modèle thermique qui modélise le fonctionnement en température du transistor. Ce modèle thermique est généralement obtenu par des mesures par microscopie Raman ou par mesure infrarouge couplée à des simulations 3D thermiques. Le circuit thermique est composé d'un élément qui permet de calculer la puissance dissipée du transistor et d'un circuit R_{th}/C_{th} . La résistance thermique d'un transistor (R_{th}), exprimée en $^{\circ}/W$, permet de caractériser l'élévation de température de jonction (T_j) du composant par rapport à la température de socle (T_{ref}) lorsque celui-ci est soumis à une excitation électrique.

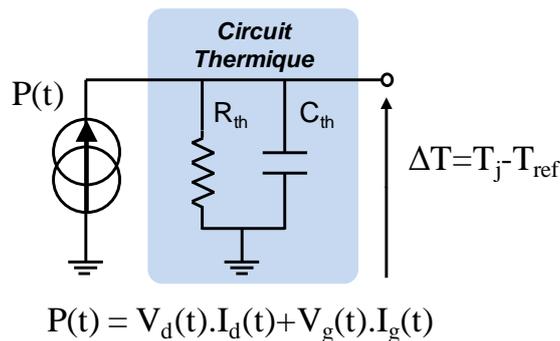


Figure III.7 : Circuit thermique intégré au modèle du transistor.

Cette puissance dissipée permet de calculer l'élévation de température de jonction (ΔT) en régime établi par la loi des nœuds définis par l'équation suivante :

$$\Delta T = T_j - T_{ref} = R_{th} \times P_{diss} \quad \text{Equation III.11}$$

Avec,

$P(t)$: Puissance instantanée dissipée $\rightarrow P(t) = (V_g(t) \times I_g(t)) + (V_d(t) \times I_d(t))$. La puissance dissipée instantanée est calculée aux bornes du modèle extrinsèque afin de prendre en compte les éléments extrinsèques.

P_{diss} : Puissance dissipée moyenne symbolisée par un courant (Intégration de $P(t)$ par le circuit passe-bas (R_{th}, C_{th})):

$$P_{diss} = \frac{1}{\tau} \cdot \int_0^{\tau} P(t) \cdot dt \quad \text{Equation III.12}$$

T_j : température de jonction symbolisée par une tension.

T_{ref} : température de socle symbolisée par une tension.

R_{th} : résistance thermique symbolisée par une résistance électrique.

Le modèle du transistor GH50 utilisé lors de nos travaux ne dispose pas de modèle simulant les phénomènes de pièges. L'intégration de circuit de piège au modèle pourrait permettre de se rapprocher du fonctionnement réel du transistor. En effet, l'intégration d'un modèle de drain-lag permettrait de prendre en compte les phénomènes de capture et d'émission des pièges associés à des constantes de temps spécifiques. La référence [III.6] propose la modélisation d'un modèle de transistor incluant les phénomènes de piège.

III.4 Variations des impédances de charge et de source simulée d'un transistor GH50 AlGaN/GaN 2mm.

Les travaux de cette thèse ont pour objectif la conception d'un amplificateur de puissance large bande (supérieure ou égale à une octave) en maintenant ses performances optimales de rendement en puissance ajoutée sur toute la bande. Une étude préalable de recherche du fonctionnement optimal du transistor à cellule élémentaire est d'abord nécessaire avant de travailler à la conception d'un amplificateur à partir d'une barrette.

Cette étude, consiste à chercher les impédances de source et de charge permettant d'obtenir le fonctionnement optimal du transistor à cellule élémentaire de 2mm sur la totalité de la bande d'intérêt. Une attention particulière est portée à la valeur des impédances à la fréquence harmonique deux. Cela est d'autant plus important que la largeur de bande passante dépasse l'octave. En effet, dans ce cas, il existe un recouvrement de bande qui sollicite une vigilance accrue quant aux valeurs des impédances à synthétiser pour ne pas détériorer significativement les performances du transistor en termes de rendement et puissance.

Les résultats de cette étude préalable, absolument nécessaires, sont présentés par la suite pour le transistor à cellule unitaire de 2mm de développement. Ces résultats serviront de base fondamentale pour rechercher les limites du fonctionnement optimal de ce composant utilisé dans le cadre de ce travail. Cette étude a été menée dans un premier temps pour des fréquences fondamentales couvrant la bande 1-3GHz.

Par la suite, la méthode nécessaire à la conception d'un amplificateur de puissance large bande 1-3GHz sur la technologie GaN GH50 est définie. L'objectif de cette conception est de tester la filière GH50 pour des applications large bande.

III.4.1 Simulation de variation des impédances de charge et de source (transistor à cellule unitaire de 2mm).

La première étape de l'étude, consiste à déterminer les impédances optimales de source (notée Z_s) et de charge (notée Z_{ch}) à la fréquence fondamentale ($Z_s(f_0)$, $Z_{ch}(f_0)$) et à la fréquence harmonique 2 ($Z_s(2f_0)$, $Z_{ch}(2f_0)$) pour obtenir le maximum de rendement en

puissance ajoutée (PAE) dans la bande passante la plus large possible (1-3GHz pour ce travail).

Cette détermination est obtenue à l'aide du logiciel ADS d'Agilent par simulation de variation des impédances de source et de charge (Source-pull et Load-pull multi-harmoniques) dans les plans d'entrée et de sortie du transistor unitaire de 2mm de développement à la fréquence fondamentale et à la fréquence harmonique 2. Ces simulations ont été réalisées pour une tension de drain de +50V et un courant de repos de 50mA. Le point de polarisation choisi correspond à un fonctionnement du transistor en classe AB profonde (cf. chapitre I). Il a été choisi de manière à offrir le meilleur compromis PAE/Puissance de sortie et auto-échauffement.

Dans un premier temps, la simulation de la variation de l'impédance de charge à la fréquence fondamentale $Z_{ch}(f_0)$ avec une impédance de source fixe a été réalisée. Les impédances de charge et de source aux fréquences harmoniques ont été fixées à 50Ω . Ensuite des simulations de la variation de l'impédance de source à la fréquence fondamentale $Z_s(f_0)$ avec une impédance de charge $Z_{ch}(f_0)$ fixe déduit de la simulation précédente. La figure III.8 montre les valeurs de l'impédance de charge et de source optimale en rendement en puissance ajoutée en fonction de la fréquence pour un transistor unitaire de 2mm de développement.

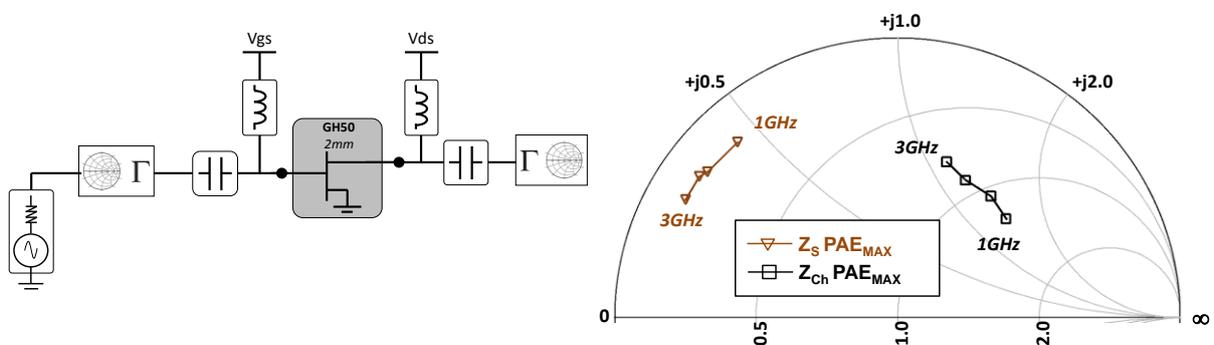


Figure III.8 : Simulation de variation de charge et de source sur un transistor de 2mm.

III.4.2 Etude de la Sensibilité de la PAE du transistor à l'impédance de charge présentée à la fréquence harmonique 2.

III.4.2.1 Simulation de variation d'impédance de charge à la fréquence harmonique 2

La première étape a permis de définir les charges optimales à la fréquence fondamentale avec une charge à la fréquence harmonique 2 égale à 50Ω . La seconde étape consiste à réaliser une simulation de variation de charge à la fréquence harmonique 2 en imposant la charge optimale à la fréquence fondamentale ($Z_{ch_PAE_{max}}(f_0)$). Dans un premier temps, les impédances de charge à la fréquence harmonique 2 ont été balayées sur l'ensemble de l'abaque de Smith. Les résultats de simulation permettent ainsi d'obtenir une cartographie précise des impédances en PAE du transistor à cellule unitaire pour des impédances à la fréquence harmonique 2 couvrant la bande 3 à 7GHz représentées par la figure III.9. Sur les abaques de Smith de la figure III.9, sont représentés les cercles à puissance constante en rouge et les cercles à PAE constante en bleu.

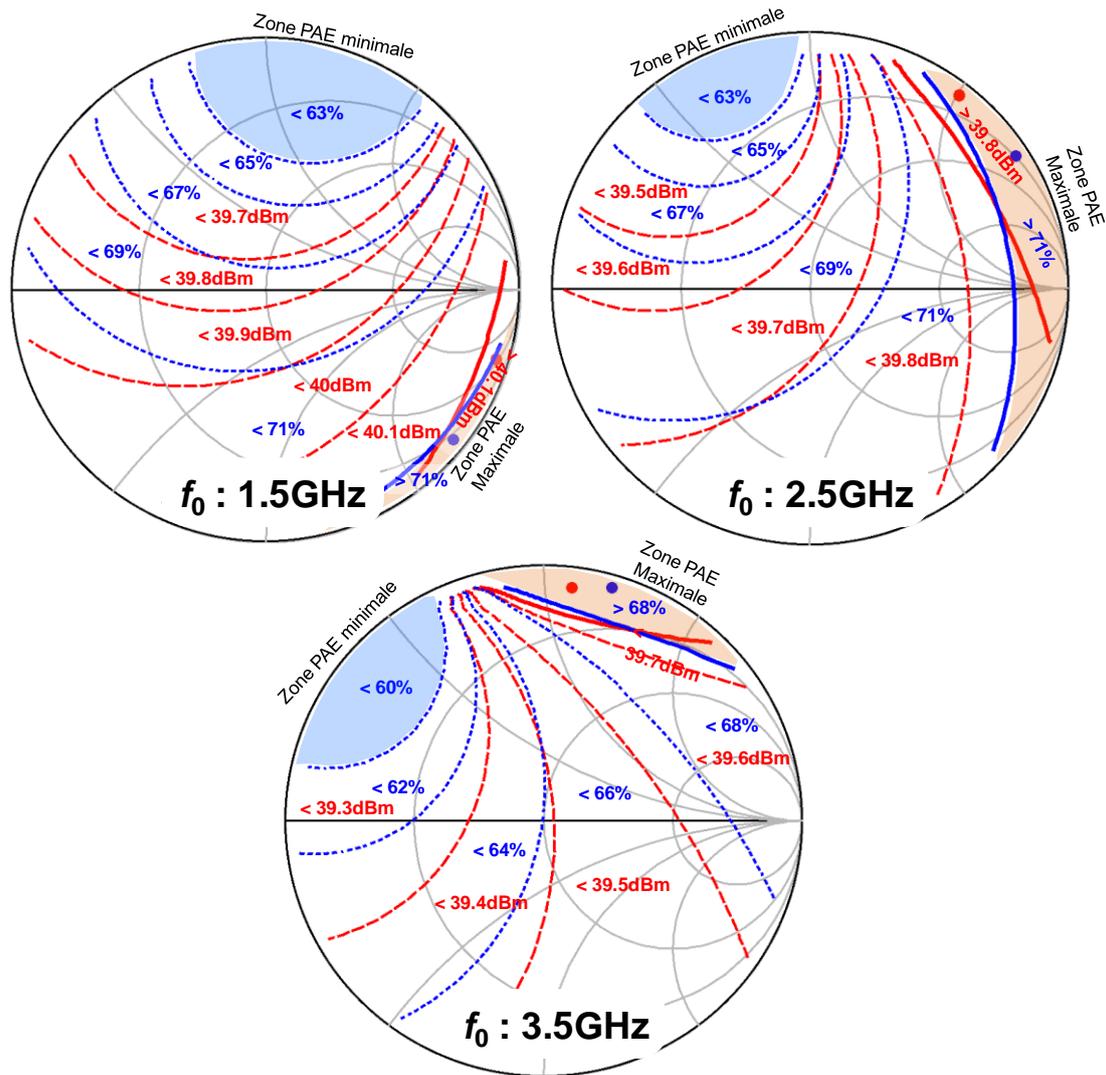


Figure III.9 : Simulation de variation de charge à la fréquence harmonique 2 pour des fréquences fondamentales d'excitations de 1.5, 2.5 et 3.5GHz.

Les simulations d'impédance de charge à la fréquence harmonique 2, permettent de définir clairement des zones de fonctionnement optimal du transistor (orange) et des zones à éviter (bleu).

Une autre représentation des performances en termes de puissance et de PAE en fonction de la phase de la charge à la fréquence harmonique 2 a été réalisée comme le montrent les figures III.10 et III.11 en s'inspirant des travaux réalisés par l'université de Chalmers [III.7].

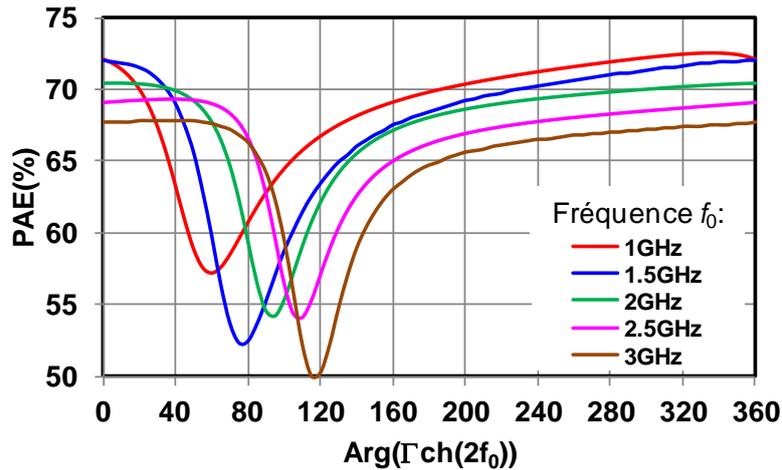


Figure III.10: Evolution de la PAE pour un coefficient de réflexion en charge variant en périphérie de l'abaque de Smith ($|\Gamma_{ch}(2f_0)|=0.95$) dans la bande de fréquence fondamentale 1-3GHz.

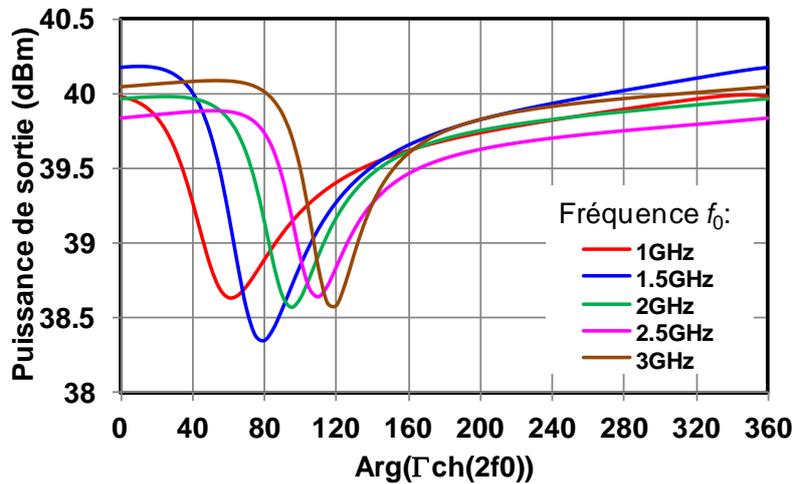


Figure III.11: Evolution de la puissance de sortie pour un coefficient de réflexion en charge variant en périphérie de l'abaque de Smith ($|\Gamma_{ch}(2f_0)|=0.95$) dans la bande de fréquence fondamentale 1-3GHz.

Cette représentation sur les figures III.10 et III.11, permet de visualiser l'évolution de la PAE et de la puissance de sortie pour un coefficient de réflexion en charge à la fréquence harmonique 2 variant en périphérie de l'abaque de Smith ($|\Gamma_{ch}(2f_0)|=0.95$) pour une fréquence d'excitation comprise dans la bande de fréquence 1-3GHz. Cette représentation permet de mettre en évidence une zone où les performances en PAE et puissances de sortie sont fortement dégradées.

Dans le cas d'un transistor unitaire GH50 de 2mm de développement, une forte dégradation des performances apparaît pour une phase de la charge extrinsèque à la fréquence

harmonique 2 comprise entre 40° et 160° pour une fréquence fondamentale comprise dans la bande de fréquence 1-3GHz.

Des simulations complémentaires ont été réalisées en faisant varier le module du coefficient de réflexion en charge du transistor à la fréquence harmonique 2 ($|\Gamma_{ch}(2f_0)|$ @0.3, 0.6 et 0.9). Cette simulation révèle que la dégradation des performances est la même quel que soit le module de la charge extrinsèque à la fréquence harmonique 2.

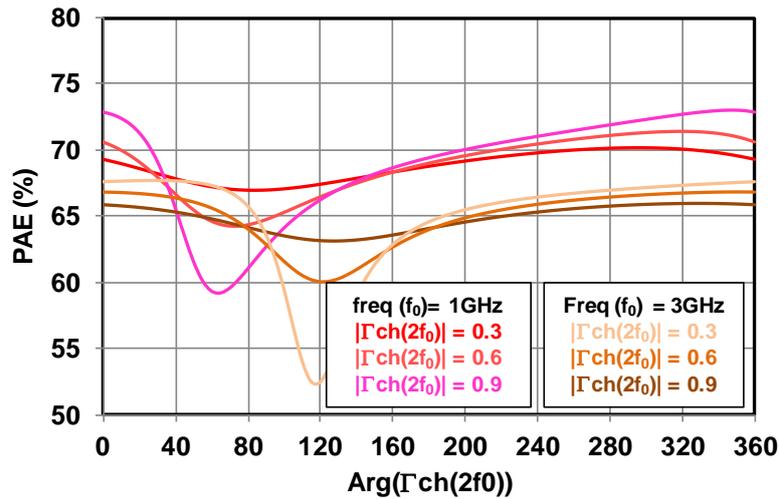


Figure III.12: Evolution de la PAE pour une fréquence fondamentale dans la bande 1-3GHz pour différents modules des coefficients de réflexion de charge à la fréquence harmonique 2 ($|\Gamma_{ch}(2f_0)|$ @0.3, 0.6 et 0.9).

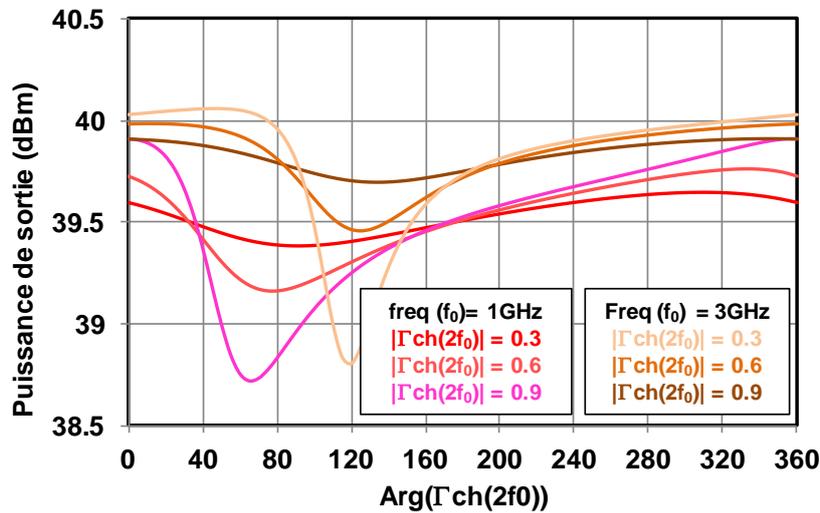


Figure III.13: Evolution de la puissance de sortie pour une fréquence fondamentale dans la bande 1-3GHz pour différents modules des coefficients de réflexion de charge à la fréquence harmonique 2 ($|\Gamma_{ch}(2f_0)|$ @0.3, 0.6 et 0.9).

Les simulations de variation de charge à la fréquence harmonique 2, montrent sur les figures III.12 et III.13, qu'il existe une zone défavorable en termes de performances en PAE et de puissance de sortie. Ces résultats montrent aussi que la charge optimisée à la fréquence harmonique 2 ne doit absolument pas se situer dans cette zone non favorable en PAE. Ces résultats offrent un degré de liberté plus large pour l'optimisation de la charge à la fréquence harmonique 2 que ceux obtenus classiquement dans la théorie des classes de fonctionnement et nécessitant un contrôle minutieux des charges à ces fréquences.

Afin d'observer encore plus finement ces résultats, une observation des performances en puissance est réalisée. Les formes d'ondes temporelles sont alors visualisées pour connaître le fonctionnement du transistor dans deux cas différents :

- un cas où l'impédance du transistor à la fréquence harmonique 2 se situe dans la zone favorable.
- un cas où elle est placée dans la zone défavorable.

✓ Cas favorable : $\Gamma_{ch}(2f_0) = 0.95^{ej.300}$

Dans le cas présent, la phase de la charge à la fréquence harmonique 2 est fixée à 300°. Cette charge se trouve dans une zone de PAE maximale déterminée à partir de la figure III.10. La PAE et la puissance de sortie sont tracées sur la figure III.14 (a) en fonction de la puissance disponible du générateur pour une fréquence fondamentale de 2GHz. Les formes d'ondes obtenues, pour une puissance disponible correspondant à une PAE maximale, sont aussi tracées sur la figure III.14 (b). Une PAE maximale de 70% pour une puissance disponible de 20dBm est obtenue à la fréquence fondamentale de 2GHz.

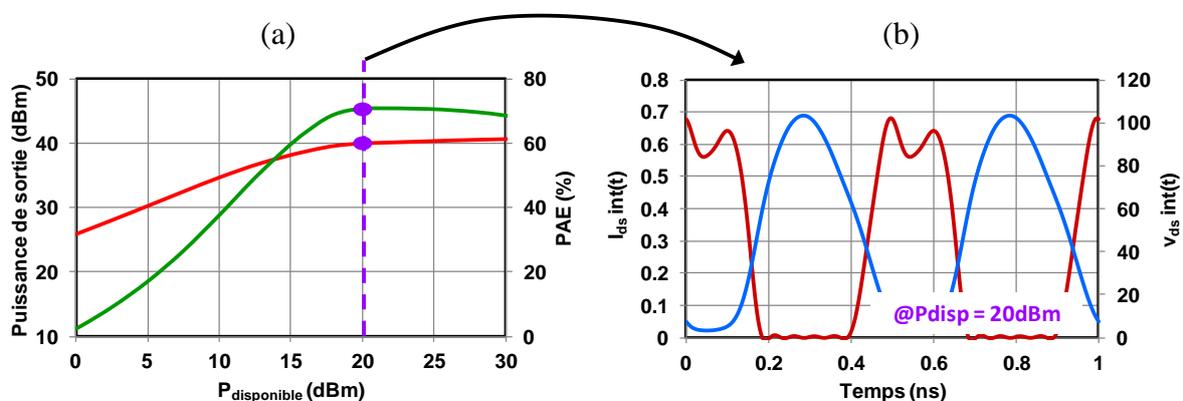


Figure III.14: PAE et puissance de sortie en fonction de la puissance disponible du générateur et formes d'ondes associées pour une puissance disponible de 20dBm.

Les formes d'ondes obtenues se rapprochent d'une forme de type classe F^{-1} .

✓ **Cas défavorable :** $\Gamma_{ch}(2f_0)=0.95^{ej.80}$

Le deuxième cas, consiste à fixer la phase de la charge à la fréquence harmonique 2 dans la zone des performances les plus faibles. La phase de la charge à la fréquence harmonique 2 est ainsi fixée à 80° et se trouve donc dans la zone de forte dégradation des performances. La figure III.15 (a) présente la PAE et la puissance de sortie pour une fréquence fondamentale de 2GHz. Les formes d'ondes obtenues, pour une puissance disponible correspondant à une puissance disponible de 20dBm, sont aussi tracés sur la figure III.15 (b).

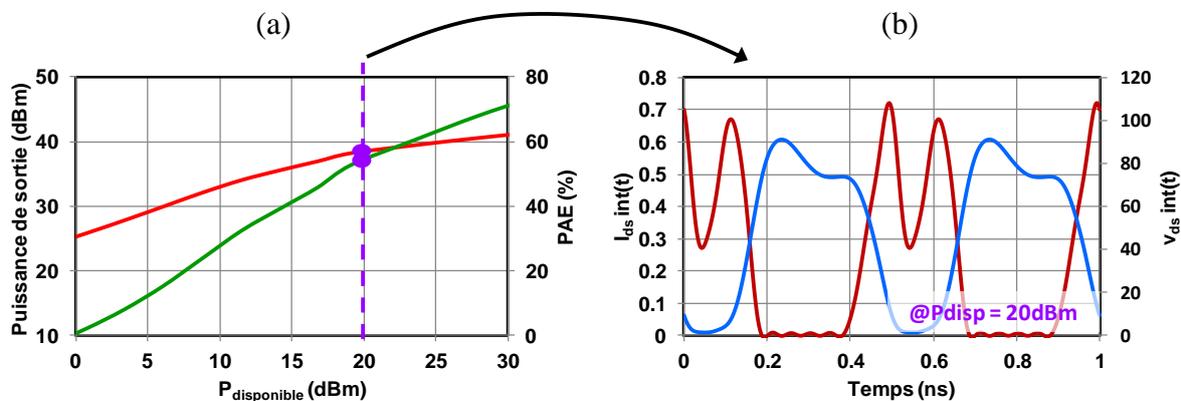


Figure III.15 : PAE et puissance de sortie en fonction de la puissance disponible du générateur et formes d'ondes associées à une puissance disponible de 20dBm.

Sur la figure III.15, lorsque la charge est dans la zone dégradée, la PAE est réduite de l'ordre de 55% pour une puissance disponible de 20dBm. Cette charge présentée à la fréquence harmonique 2 influe énormément sur les performances. En effet, la puissance dissipée qui correspond à la surface commune entre le courant et la tension intrinsèques du transistor est plus importante comme le montrent les formes d'ondes temporelles.

Il est à noter que dans cette configuration de charge et pour une puissance disponible de 20dBm, la PAE n'est pas maximale. Il faut en effet atteindre 30dBm de puissance disponible pour obtenir dans ce cas la PAE maximale. Comme le montre la figure III.16 (a), pour cette puissance disponible, la PAE est alors du même ordre de grandeur que celle obtenue dans le cas favorable n°1. Les formes d'ondes temporelles sont alors très semblables au vue de la figure III.16 (b) (classe F^{-1})

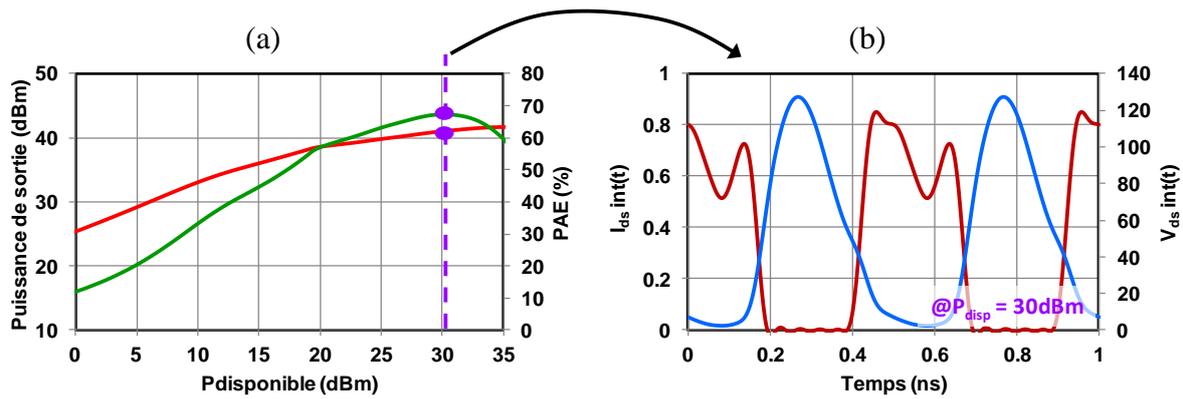


Figure III.16 : PAE et puissance de sortie en fonction de la puissance disponible du générateur et formes d'ondes associées à une puissance disponible de 30dBm.

Les performances en rendement et en puissance de sortie en fonction de la phase de la charge à la fréquence harmonique 2 sont tracées sur la figure III.19, pour une puissance disponible de 30dBm. Contrairement à la première configuration, il est possible d'observer une zone de phase correspondant à un fonctionnement optimal. Cette zone est très limitée contrairement au cas favorable n°1.

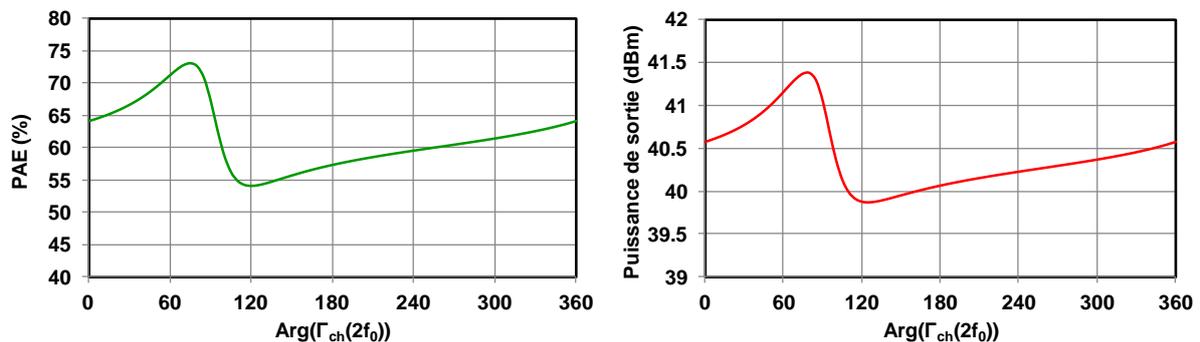


Figure III.17 : PAE et P_s en fonction de $\text{arg}(\Gamma_{\text{ch}}(2f_0))$ pour $P_{\text{disp}}=30\text{dBm}$.

En conclusion, pour avoir le moins de contraintes lors de la synthèse de la charge à la fréquence harmonique 2, le concepteur a grand intérêt à veiller à ce que l'impédance à l'harmonique 2 ne soit pas dans la zone à éviter pour des conceptions d'amplificateur de puissance très large bande et haut rendement.

La question se pose alors de déterminer les causes possibles de la dégradation des performances. Pour rappel, le cas favorable n°1 a montré que l'on pouvait maintenir la PAE sur une large plage de la phase du coefficient de réflexion de charge à la fréquence harmonique 2 tout en maintenant $Z_{\text{ch}}(f_0)$ fixe. Dans ce cas, une zone de PAE dégradé subsiste.

Pour mettre en évidence la dégradation des performances, la variation de l'impédance d'entrée à la fréquence fondamentale du transistor à cellule unitaire est tracée en fonction de la phase du coefficient de réflexion de charge à la fréquence harmonique 2 dans le cas n°1

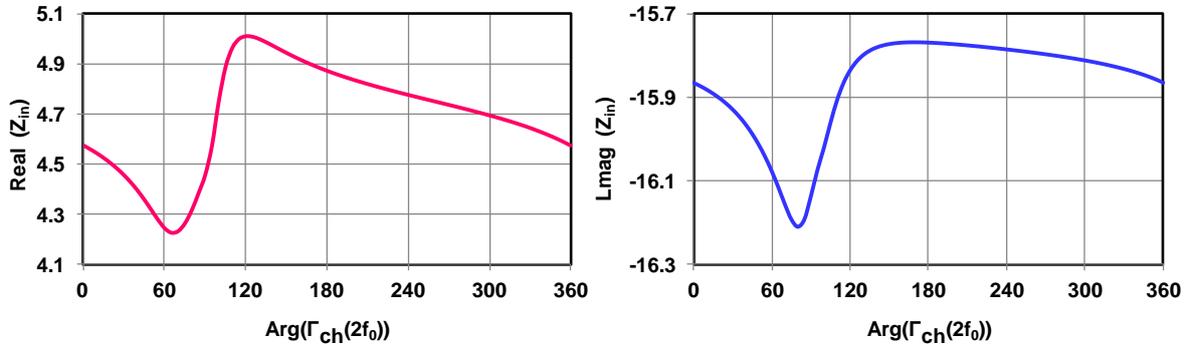


Figure III.18 : Partie réelle et imaginaire de l'impédance d'entrée au fondamental présentée par le transistor unitaire en fonction de la phase $\Gamma_{ch}(2f_0)$ à la fréquence harmonique 2 pour un module de 0.95.

Une variation de la partie réelle et imaginaire de l'impédance d'entrée du transistor est observée sur la figure III.18 pour des valeurs de phase $\Gamma_{ch}(2f_0)$ correspondant à la zone défavorable de la phase du coefficient de réflexion de la charge à la fréquence harmonique 2 déterminée précédemment. Cette variation de l'impédance d'entrée provient en partie de l'interaction de la charge à la fréquence harmonique 2 sur l'impédance d'entrée à la fréquence fondamentale.

Sur la figure III.19, l'impédance d'entrée du transistor à la fréquence fondamentale est présentée en fonction de la phase du coefficient de réflexion de charge à la fréquence harmonique 2 paramétrée en fonction de la puissance disponible du générateur de 20 à 35dBm.

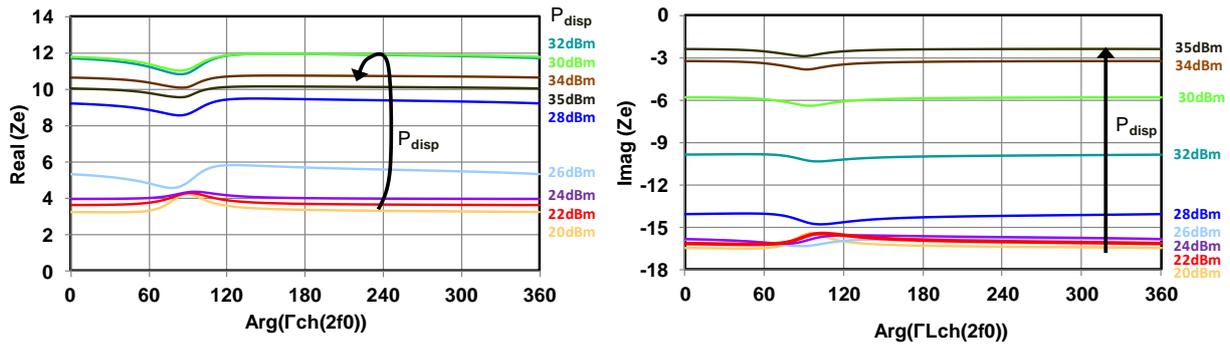


Figure III.19 : Impédance d'entrée du transistor unitaire (partie réelle et imaginaire) à la fréquence fondamentale en fonction de la phase de la charge à $2f_0$ paramétrée en fonction de la puissance disponible du générateur de 20 à 35dBm

Il est possible d'observer une variation de l'impédance d'entrée à la fréquence fondamentale du transistor directement liée à la variation de la charge à la fréquence à $2f_0$. Cette variation de $Z_{in}(f_0)$ a un impact direct sur la puissance d'entrée du transistor .

Pour maintenir cette dernière constante, il faut compenser à l'aide de la puissance disponible quelle que soit la charge à présenter à la fréquence harmonique 2.

III.4.2.2 Problématique du recouvrement

Dans le chapitre II, il a été montré qu'il existe certaines classes de fonctionnement qui permettent d'accroître le rendement des amplificateurs par le contrôle des harmoniques. Une étude sur la sensibilité de la PAE d'un transistor unitaire GH50 de 2mm de développement à l'impédance de charge présentée à la fréquence harmonique 2 a été réalisée.

Après avoir optimisé les impédances de charge à la fréquence harmonique, le concepteur doit aussi régler le problème du recouvrement de bande. En effet, lorsque l'objectif de bande passante de l'amplificateur doit couvrir plus d'une octave (avec une bande de fréquence : 1-3GHz par exemple), une attention particulière doit être portée à la charge, à la fréquence harmonique 2, en particulier dans la bande de recouvrement.

Comme l'illustre la figure III.20, pour un amplificateur de bande passante supérieure à l'octave, il y a un recouvrement entre la charge à la fréquence fondamentale et la charge à la fréquence harmonique 2. Ici, le recouvrement se trouve dans la bande 2-3GHz pour une bande passante à la fréquence fondamentale de 1-3GHz. Par conséquent, le choix primordial de la

valeur à la fréquence fondamentale est alors imposé comme la valeur de la charge à la fréquence harmonique 2 dans cette bande.

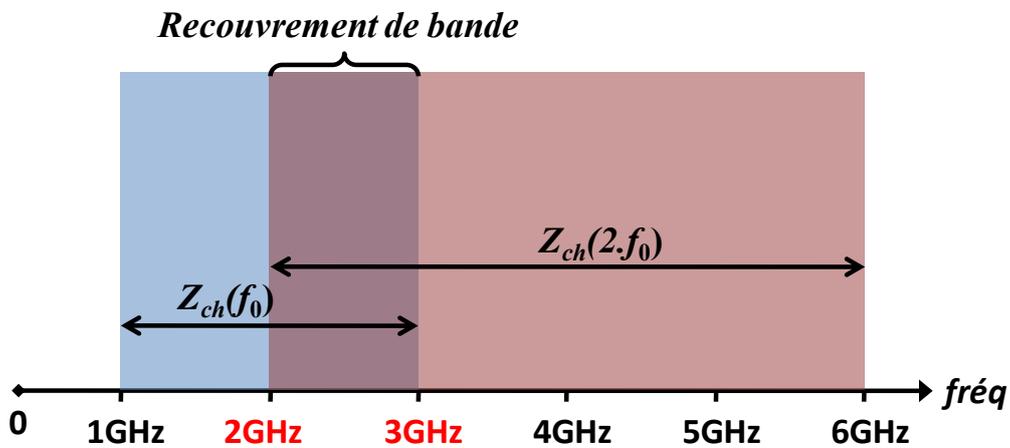


Figure III.20 : Problématique liée au recouvrement des charges à la fréquence fondamentale et à la fréquence harmonique 2 pour les amplificateurs de puissance de bande passante supérieures à l'octave.

Il s'agit donc pour le concepteur, conformément ce qui a été écrit précédemment, de s'assurer que : pour une puissance disponible donnée, l'impédance de charge, déduite à la fréquence fondamentale (f_0) pour un fonctionnement optimal du transistor, qui est aussi l'impédance de charge à l'harmonique 2 d'une fréquence fondamentale ($f_1=(f_0/2)$) différente, n'est pas dans la zone défavorable de l'harmonique 2 de f_1 .

III.5 Conception de l'amplificateur hybride à très large bande et très haut rendement.

Dans ce paragraphe, sont présentées les différentes phases de synthèse et de réalisation de circuits d'adaptation de l'amplificateur hybride réalisé. Une comparaison entre les performances de l'amplificateur obtenues en mesure et celles issues des simulations concluent ce paragraphe.

III.5.1 Choix de l'architecture

Le cahier des charges imposé, pour la conception de cet amplificateur de puissance large bande, est rappelé ci-dessous :

HPA GH50 AlGaN / GaN	
Fréquence	1 – 3GHz
Ps @3dBc	40W
PAE @3dBc	40%
Transistor	CHK040A-SOA 
Taille	10x10cm
Quadripôle d'adaptation	ROGERS : RT6010 ou RO4003

Tableau III.2: Rappel du cahier des charges de l'amplificateur à réaliser

Pour cette conception, le composant final CHK040A-SOA a été utilisé. Compte-tenu du problème de recouvrement d'impédances évoqué dans le paragraphe III.3, la conception de cet amplificateur d'une octave et demie de bande passante n'a pas été fondée sur la méthode classique des classes de contrôle des fréquences harmoniques. La méthode utilisée pour cette

conception a été fondée sur l'étude précédente qui consiste à éviter les zones défavorables des impédances de charge à présenter au transistor à la fréquence harmonique 2.

III.5.2 Le composant final en boîtier CHK040A-SOA

La réalisation de l'amplificateur est fondée sur l'utilisation d'une barrette de puissance GaN constituée de 6 cellules unitaires GH50 de 2 mm de développement encapsulée dans un boîtier céramique représenté par la figure III.21. Sa dénomination commerciale est le CHK040A-SOA [III.8]. C'est un composant sans préadaptation et destiné à une large gamme d'applications jusqu'à 3.5GHz. Les circuits d'adaptation d'entrée et de sortie sont réalisés à l'extérieur du boîtier.

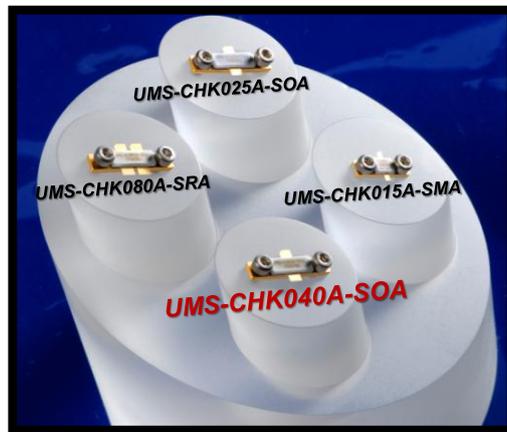


Figure III.21 : Produit en boîtier céramique de la gamme CHK.

III.5.3 Modèle électrique du transistor en boîtier : CHK040-SOA

Le modèle électrique de la barrette encapsulée est basé sur un modèle établi précédemment d'une cellule unitaire, dupliqué six fois. La barrette est modélisée par six transistors unitaires de 2mm de développement connectés entre eux. En entrée, des résistances de stabilité sont intégrées entre chaque cellule afin de réduire les éventuelles dissymétries et éviter les phénomènes d'instabilité. La barrette est ensuite connectée en entrée et en sortie du boîtier par des fils de câblage. Une photographie et une représentation simplifiée de la barrette en boîtier sont représentées sur la figure III.22.

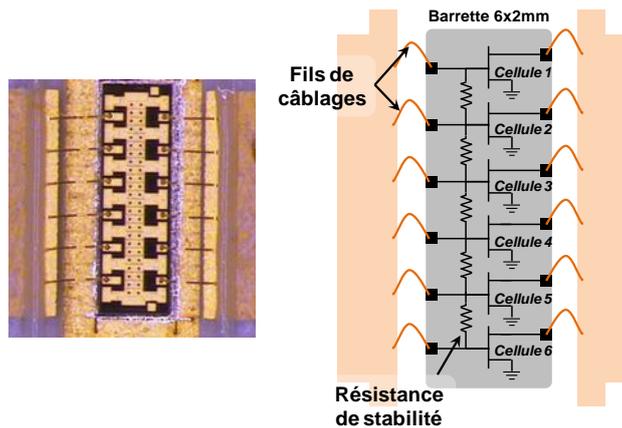


Figure III.22 : Photographie et schéma simplifié de la barrette GaN intégrée dans le boîtier céramique

Pour pouvoir prendre en compte la transition amenée par les fils de câblage ainsi que les phénomènes de couplage éventuels entre les différentes cellules générées par ces fils, un modèle de la transition du boîtier a été réalisé par UMS à l'aide d'un simulateur 3D électromagnétique (EM). Des mesures ainsi que des rétro-simulations ont conduit à un modèle fiable de la transition. Ce modèle de la transition du boîtier a complété le modèle de la barrette encapsulée.

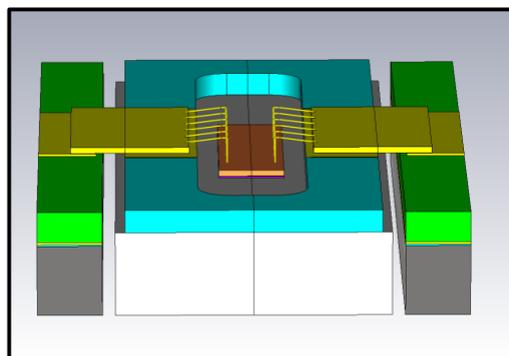


Figure III.23 : Simulation 3D EM de la transition du boîtier céramique

La figure III.23 représente le modèle 3D du boîtier simulé à l'aide d'un simulateur 3D électromagnétique.

III.5.4 Choix du substrat RT6010

Le choix du substrat s'est porté sur le RT6010 principalement pour des raisons d'encombrement des circuits.

Le choix du substrat repose sur divers critères et contraintes tels que la technologie utilisée (circuit imprimé, couche épaisse, couche mince...), les contraintes électriques liées à

l'application, les contraintes thermiques et mécaniques liées à l'environnement et le coût de fabrication.

Pour des applications hautes fréquences, quatre caractéristiques sont essentielles au choix du substrat :

- La constante diélectrique.
- Le facteur de dissipation (tangente delta).
- Le coefficient de dilatation thermique (en ppm/°C).
- La conductivité thermique (en W/m. °K).

Un substrat, ayant une constante diélectrique élevée, permet d'obtenir un bon confinement des ondes électromagnétiques, une réduction des pertes par rayonnement, une diminution de la valeur de la longueur d'onde et donc une diminution de la taille du circuit. L'épaisseur du substrat est aussi à prendre en compte.

Une faible épaisseur de substrat entraîne une suppression des modes de propagation d'ordre supérieur (autre que TEM), une réduction des pertes par rayonnement et une réduction des dimensions du circuit.

Les pertes d'insertions d'un circuit sont en partie liées aux pertes diélectriques du substrat. Il faut donc pour obtenir un circuit faibles pertes choisir un substrat ayant un facteur de dissipation le plus faible possible.

Concernant la conductivité thermique, cette caractéristique peut être importante dans le cas de dispositif de forte puissance.

Le tableau III.3 ci-dessous décrit les principales caractéristiques des substrats RO4003 et RT6010 disponible à UMS.

Substrat	Constante diélectrique ϵ_r	Epaisseur du substrat H	Conductivité Σ	Epaisseur du conducteur T	Tangente de perte tan(δ)
RO4003	3.38	508 μ m	4.7x10 ⁷	35 μ m	0.0027
RT6010	10.2	632 μ m	4.7x10 ⁷	35 μ m	0.0027

Tableau III.3 : Caractéristiques techniques des substrats RO4003 et RT6010.

Le tableau permet de montrer que les deux substrats possèdent des caractéristiques assez similaires mis à part leurs constantes diélectriques. Un rapport trois entre la constante diélectrique du RO4003 et celle du RT6010 est observé. La constante diélectrique est synonyme d'une réduction de la taille du circuit. Pour respecter les limites en termes d'encombrement imposées par le cahier des charges, la réalisation des circuits d'adaptation sur un substrat RT6010 est apparue comme la plus appropriée.

La figure III.24 ci-dessous, présente les réseaux d'adaptation de sortie de l'amplificateur réalisés avec les substrats RO4003 et RT6010. Il est possible de remarquer qu'avec le substrat RO4003 (de permittivité 3.38), la taille du réseau d'adaptation de sortie est plus importante qu'avec le substrat RT6010 (de permittivité de 10.2).

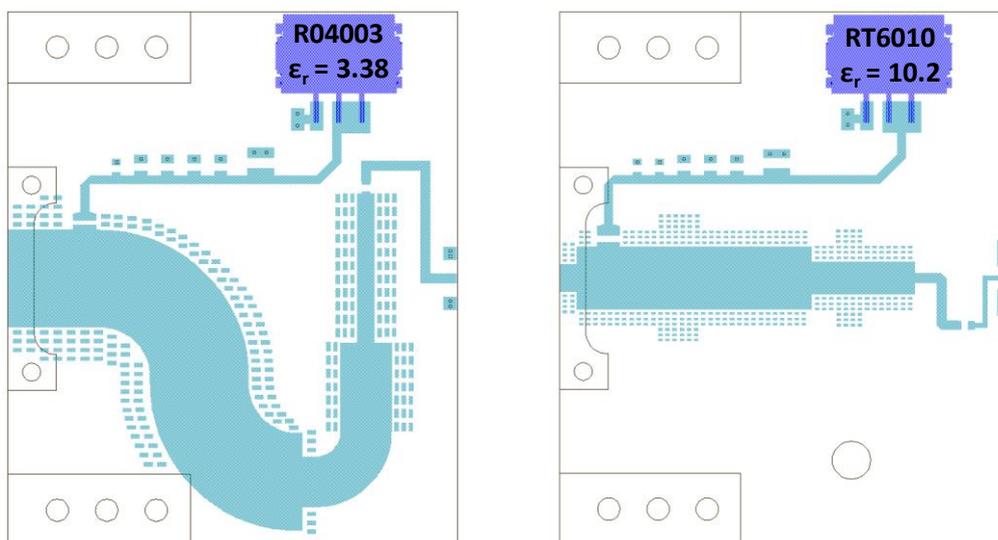


Figure III.24 : Comparaison du quadripôle d'adaptation de sortie entre substrat RO4003 et RT6010.

III.5.5 Le circuit hybride de sortie de l'amplificateur.

Le circuit hybride de sortie peut être défini par deux blocs indispensables qui sont le circuit de polarisation et le circuit d'adaptation RF.

III.5.5.1 Le circuit de polarisation

L'objectif du circuit de polarisation est de polariser les transistors et de pouvoir découpler suffisamment le signal RF pour éviter de détériorer les alimentations DC.

Pour des applications bande étroite, des lignes quart d'onde associées à un papillon sont généralement utilisées comme illustré par la figure III.25. L'utilisation du papillon permet de découpler le signal RF sur une bande passante plus large qu'un simple stub.

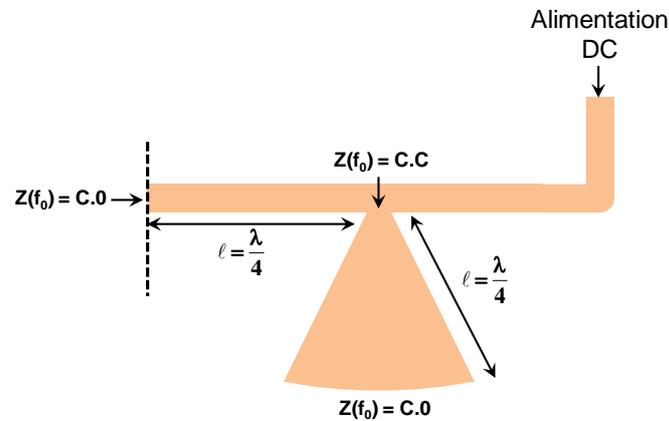


Figure III.25 : Circuit de polarisation avec stub papillon.

Malheureusement, les bandes de fréquence définies dans le cahier des charges (1-3GHz) ne permettent pas d'utiliser cette solution. La solution des self-inductances à air a donc été adoptée. Contrairement au stub papillon, les self-inductances à air présentent l'intérêt de découpler le signal RF sur de très larges bandes passantes. Les self-inductances à air sont définies par différentes caractéristiques telles que l'inductance propre L , le courant maximal I_{Max} et le facteur de perte $\tan(\delta)$.

L'impédance d'une self-inductance idéale étant égale à $Z_L = j.L.\omega$ avec ω la pulsation du signal, il est possible de déterminer approximativement un ordre de grandeur de la self-inductance à partir de la connaissance de Z_L . La self-inductance doit présenter un circuit ouvert aux fréquences RF pour un bon découplage. Une self-inductance présentant une impédance supérieure à 75Ω à une fréquence de 1GHz paraît raisonnable. Par conséquent, pour avoir une impédance supérieure à 75Ω , il faut posséder une self-inductance ayant une inductance propre idéale supérieure à 12nH.

Le courant maximal $I_{Max}(A)$ est une caractéristique importante dans le choix de la self-inductance lorsqu'il s'agit de travailler avec des transistors GaN fonctionnant en tension élevée (50V) et associé à de très forts courants. La self-inductance doit ainsi pouvoir supporter des courants DC maximum supérieurs à 3A.

De nombreux constructeurs proposent des self-inductances à air répondant à diverses applications. Les self-inductances provenant de la société Coilcraft répondent à l'ensemble des contraintes précédentes et ont donc été choisies pour concevoir les circuits de polarisation.

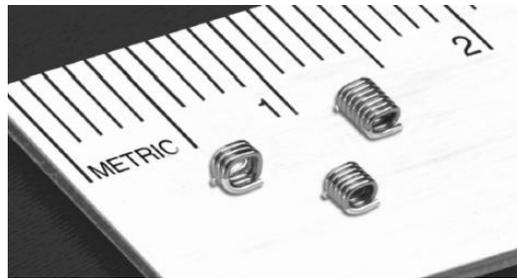


Figure III.26 : Self à air Coilcraft

La self-inductance Coilcraft 0908-SQ14N de 14 nH supporte un courant rms maximum de 4.4A. Elle sera utilisée pour la réalisation du circuit de polarisation de sortie.

Référence	Inductance (nH)	R (mΩ)	I _{rms} (A)
Coilcraft 0908-SQ14N	14	7.2	4.4

Tableau III.4: Caractéristique d'une self-inductance à air Coilcraft d'inductance 14nH

Une comparaison du coefficient de transmission et de réflexion entre un circuit de polarisation avec stub papillon et un circuit de polarisation utilisant une self-inductance Coilcraft de 14nH est présentée figure III.27.

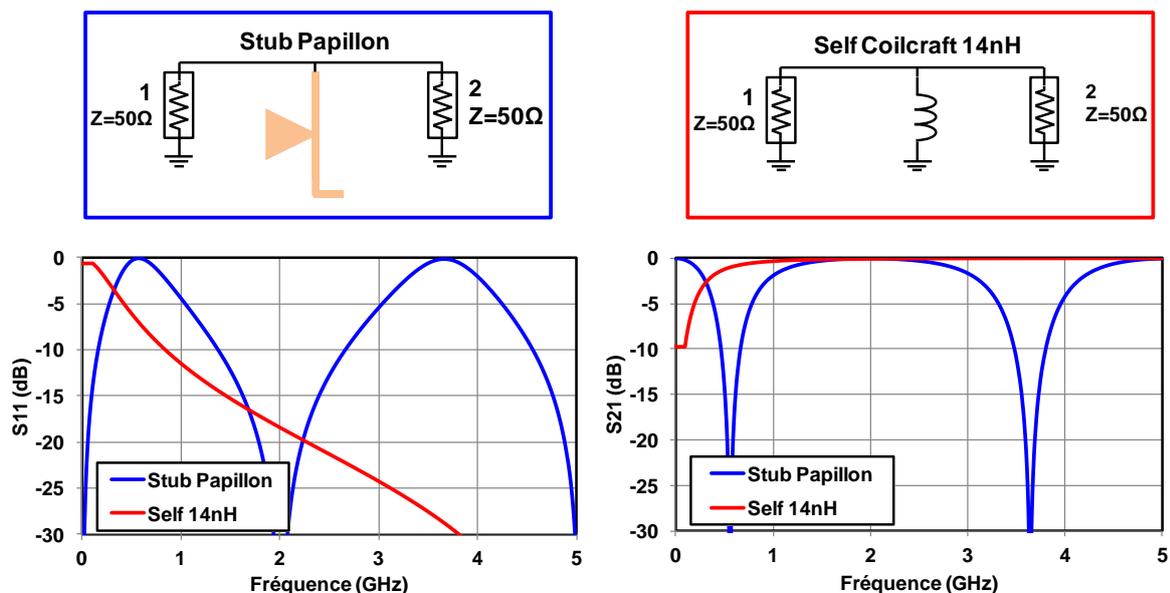


Figure III.27 : Comparaison des coefficients de transmission et de réflexion entre un circuit de polarisation utilisant un stub papillon et un utilisant une self-inductance Coilcraft de 14nH.

La figure III.27 montre que pour découpler un signal RF dans la bande 1-3GHz, les coefficients de transmission et de réflexion sont meilleurs avec la self-inductance à air de 14nH ($S_{11} < -10\text{dB}$) que ceux obtenus avec un stub papillon ($S_{11} < -5\text{dB}$).

A la self-inductance de 14nH, s'ajoute sur le chemin DC des capacités de valeur 1pf, 10pf et 470pF, utilisées pour coupler à la masse d'éventuels signaux RF résiduels. Des capacités de 10nF, 100nF et 1 μ F sont utilisées pour coupler les signaux parasites à basses fréquences amenés par les alimentations DC.

III.5.5.2 Le circuit d'adaptation de sortie de l'amplificateur hybride

Le circuit de polarisation étant conçu, la synthèse du réseau d'adaptation de sortie peut être envisagée. La première étape consiste à déterminer la topologie optimale permettant :

- d'une part, de réaliser un transformateur d'impédance à la fréquence fondamentale entre la charge de sortie 50 ohms et l'impédance de charge optimale en PAE à présenter à la sortie du transistor à cellule unitaire
- d'autre part, de présenter une charge à la fréquence harmonique 2 en évitant la région défavorable où la PAE se dégrade.

Cette dernière étape est combinée à la réduction des pertes d'insertion du réseau de sortie dans la bande de fonctionnement. En effet, les pertes d'insertion sont fondamentales lors des phases de conception d'amplificateur de puissance. Une perte d'insertion de l'ordre de 0.5dB peut impacter de 5 à 10 points le rendement de drain.

Pour déterminer la topologie optimale du réseau d'adaptation de sortie, les structures de quadripôle d'adaptation de type Tchebychev passe-bas ont été utilisées. Ces structures ont une schématique très simple : elles sont constituées de self-inductances et de capacités. Deux types de structure en « T » ou en « π » peuvent être définis. Ces structures se déduisent l'une de l'autre par dualité.

Une représentation des deux architectures pour la réalisation de quadripôle d'adaptation passe bas de type Tchebychev direct est symbolisée figure III.28.

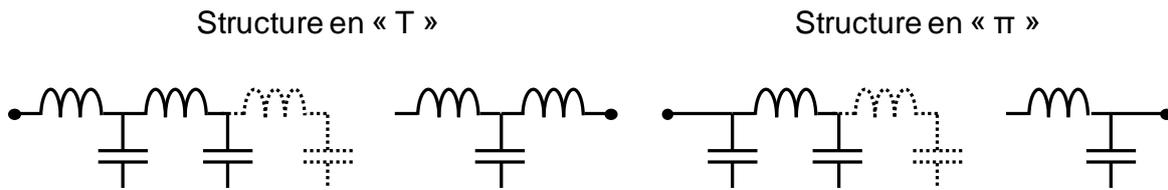


Figure III.28 : Structures de base d'un quadripôle d'adaptations polynomiales (type Tchebychev direct)

Pour tous ces schémas, les filtres en π d'ordres impairs se terminent par une branche parallèle et ceux d'ordres pairs par une branche série. C'est l'inverse pour les filtres en T.

La structure en « T » passe bas est la solution optimale pour contourner la zone critique en PAE à la fréquence harmonique 2. En effet, la structure en T passe-bas permet de présenter un circuit-ouvert aux hautes fréquences, ainsi la zone critique susceptible de dégrader les performances en PAE de l'amplificateur de puissance est plus facilement évitée.

La structure étant choisie, il faut encore calculer la valeur des éléments. Ce calcul peut se faire analytiquement suivant la méthode de décomposition de Darlington ou directement par les méthodes modernes d'optimisation numérique. La méthode générale consiste à calculer les valeurs successives des impédances des branches, par une procédure d'extraction itérative. Pour les filtres polynomiaux, cette procédure est très simple et se résume à un développement en fraction continue de l'impédance de départ. Dans notre cas, une optimisation numérique à l'aide du logiciel CAO ADS d'Agilent a été réalisée. L'optimisation du réseau de sortie a conduit à la réalisation du circuit d'adaptation de sortie avec un circuit de polarisation en éléments distribués présenté par la figure III.29.

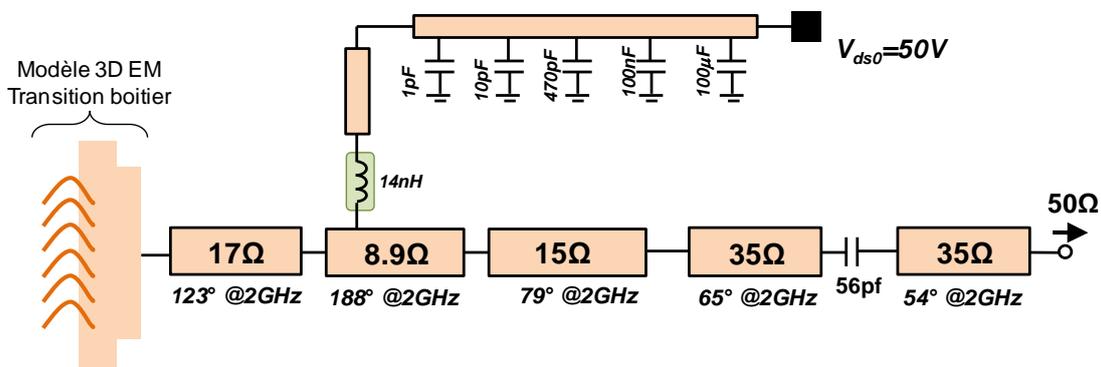


Figure III.29 : Circuit d'adaptation de sortie optimisé en éléments distribués sur substrat RT6010

Une capacité série de 56pF est intégrée au réseau d'adaptation de sortie afin de découpler la tension de polarisation DC du signal RF.

Le schéma du circuit de sortie réalisé est présenté figure III.30.

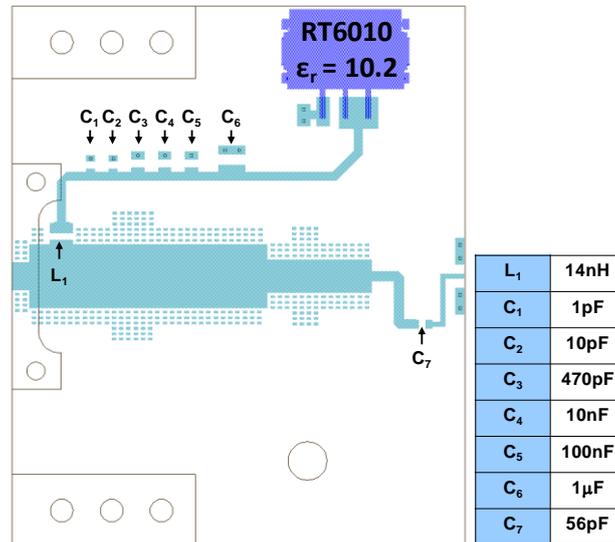


Figure III.30 : Circuit hybride de sortie sur RT6010

Le circuit hybride de sortie a été optimisé en observant les performances simulées en puissance aux bornes du transistor unitaire du modèle du composant. Pour la fréquence harmonique 2, le circuit de sortie a été optimisé afin de l'éloigner de la zone défavorable en PAE.

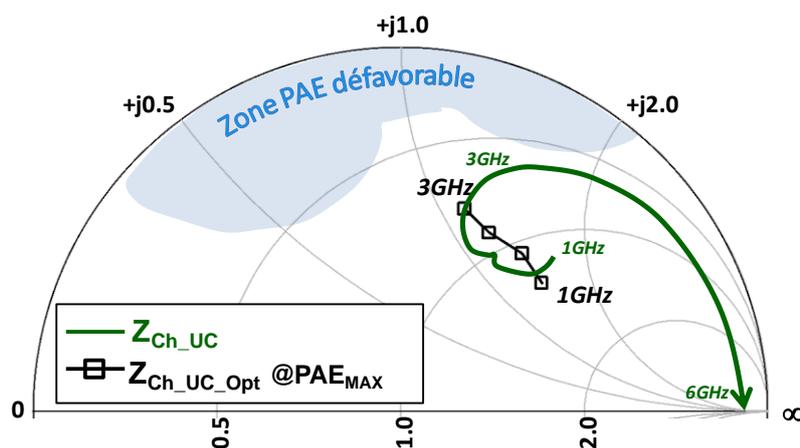


Figure III.31 : Charges optimales en PAE ($Z_{ch_UC_Opt}$) et charges présentées par le circuit hybride de sortie (Z_{ch_UC}) à un des transistors de la barrette.

La figure III.31, donne la charge synthétisée par le circuit de sortie présentée à l'un des six transistors unitaires de la barrette (Z_{ch_UC}) dans la bande de fréquence 1-6GHz ainsi que la charge optimale en PAE d'un transistor unitaire ($Z_{ch_UC_Opt}$).

Le réseau d'adaptation de sortie a été simulé en paramètre [S] afin d'estimer la qualité de l'adaptation ainsi que les pertes globales (perte d'adaptation et perte d'insertion). Comme le montre la figure III.32, les pertes globales sont de l'ordre de 0.6dB dans la bande de fréquences. Cette valeur importante réside dans la difficulté à réaliser un réseau d'adaptation à faibles pertes dans de très larges bandes passantes. Plus la bande de fréquence à adapter est importante, plus il est difficile d'obtenir un circuit avec de faibles pertes globales.

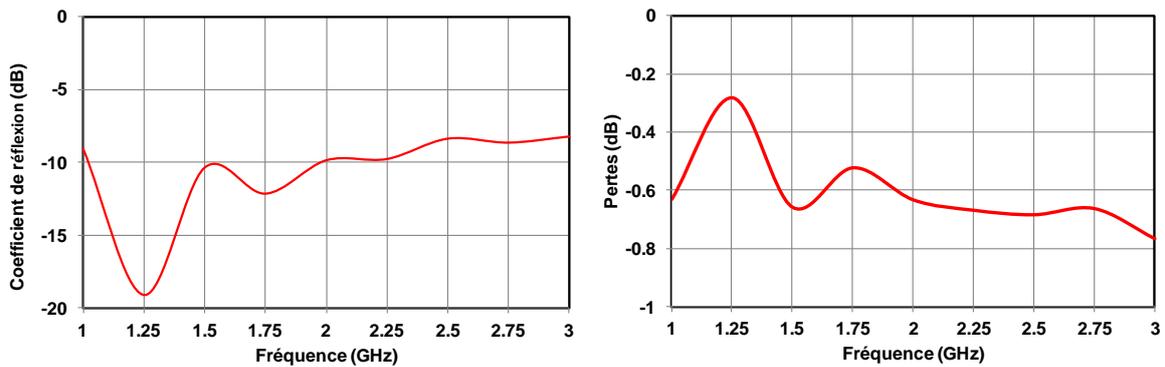


Figure III.32 : Pertes globales et coefficient de réflexion du circuit hybride de sortie.

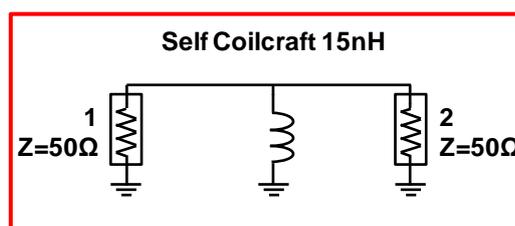
Il devient donc important de trouver un compromis entre niveau d'adaptation et pertes globales du circuit.

III.5.6 Circuit d'adaptation d'entrée.

Comme pour le circuit hybride de sortie, le circuit hybride d'entrée est constitué d'un circuit de polarisation et d'un circuit d'adaptation RF.

III.5.6.1 Circuit de polarisation d'entrée.

Une self-inductance à air est également utilisée pour le découplage en entrée. Cependant, étant donné que les transistors HEMT consomment un courant quasi-nul sur l'entrée, une self-inductance à air a été choisie afin d'accepter un courant maximum plus faible que celui utilisée dans le circuit de polarisation de sortie.



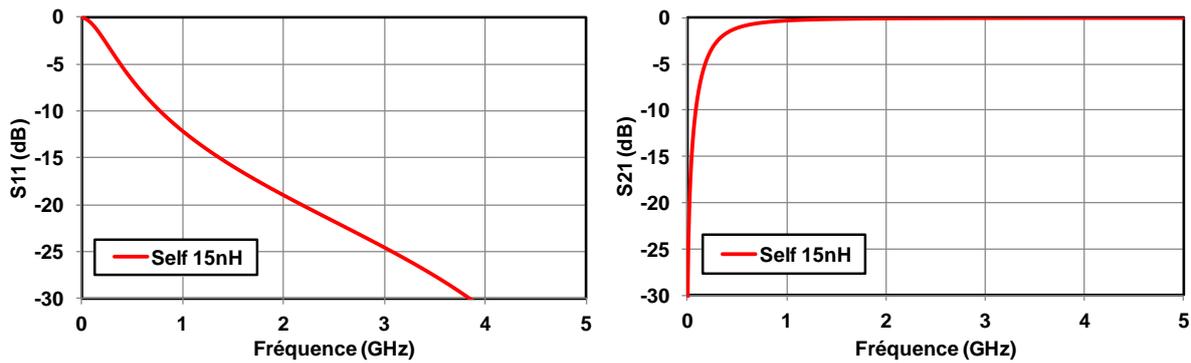


Figure III.33 : Coefficient de transmission et de réflexion d'un circuit de polarisation utilisant une self-inductance Coilcraft de 15nH.

La self-inductance à air utilisée est une self-inductance Coilcraft de 15nH supportant un courant maximum rms de 1.9A. Les résultats montrent que la self-inductance découple dans une très large bande passante la RF du DC.

III.5.6.2 Circuit d'adaptation d'entrée de l'amplificateur hybride.

Le circuit doit répondre à deux fonctions :

- ✓ réaliser l'adaptation de la charge d'entrée du transistor vers la charge du générateur d'entrée 50Ω.
- ✓ offrir un gain plat dans la totalité de la bande passante (1-3GHz).

Le circuit d'adaptation d'entrée doit permettre une transformation d'impédance de 50Ω en entrée de l'amplificateur vers une impédance de 4 à 5Ω au niveau de la grille du composant final. Le rapport de transformation très important ainsi que la réalisation du circuit d'entrée en éléments distribués empêche d'avoir une optimisation optimale dans toute la bande passante de fonctionnement de l'amplificateur.

Une optimisation du réseau d'adaptation d'entrée permettant d'offrir un gain plat dans la bande de fonctionnement a été réalisée. La mauvaise adaptation d'entrée est assumée lors de cette conception. Elle pourra être éventuellement masquée par l'utilisation d'une architecture d'amplificateur équilibrée.

Le circuit d'adaptation d'entrée a été réalisé suivant les mêmes étapes que pour l'optimisation du réseau d'adaptation de sortie. Une optimisation des éléments distribués a été réalisée afin d'obtenir une impédance de source proche de l'impédance d'entrée conjuguée du transistor à la fréquence fondamentale. Ensuite, des simulations EM à l'aide du logiciel

Momentum ont été réalisées afin de prendre en compte les éventuels phénomènes de couplage dus aux éléments distribués.

Le circuit hybride d'entrée réalisé est présenté figure III.34.

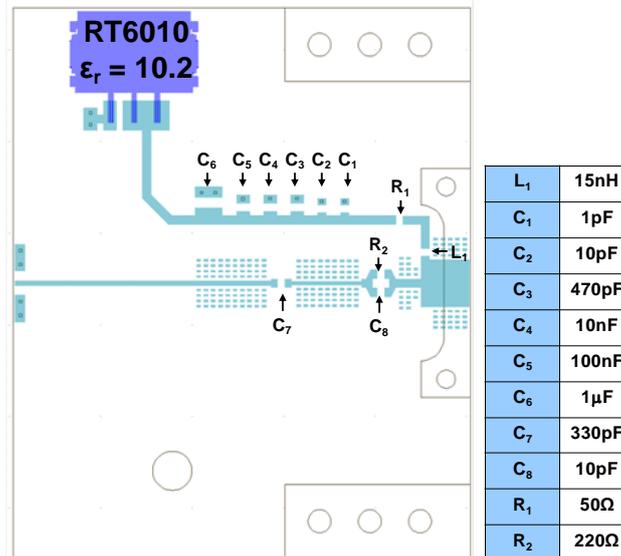


Figure III.34 : Circuit hybride d'entrée de l'amplificateur de puissance sur RT6010.

Pour éviter les phénomènes d'oscillations basse fréquence, un filtre RC de stabilisation basse fréquence a été introduit sur le chemin RF. De plus, une résistance série de 25 Ω a été intégrée au réseau de polarisation.

La figure III.35 ci-dessous, présente l'impédance de source synthétisée par le circuit d'adaptation d'entrée présentée à un des six transistors unitaires ($Z_S(f)$), dans la bande de fréquence 1-3GHz, ainsi que le conjugué de l'impédance d'entrée optimale en rendement d'un transistor unitaire ($Z_{in_opt}^*(f)$).

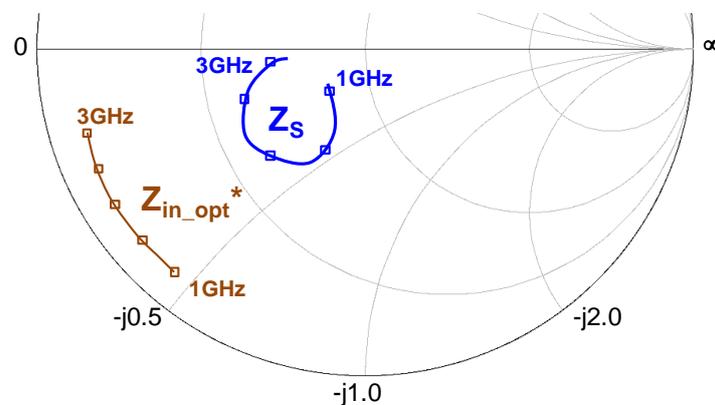


Figure III.35 : Conjugué de l'impédance d'entrée optimale en PAE ($Z_{in_opt}^*(f)$) et charges ($Z_S(f)$) présenté à l'entrée d'un des transistors de la barrette.

Comme pour le circuit de sortie, des simulations paramètres [S] ont été réalisées afin d'estimer la qualité de l'adaptation d'entrée ainsi que les pertes globales associées, qui sont en très grande partie dues à des pertes de désadaptation comme le montre la figure III.36.

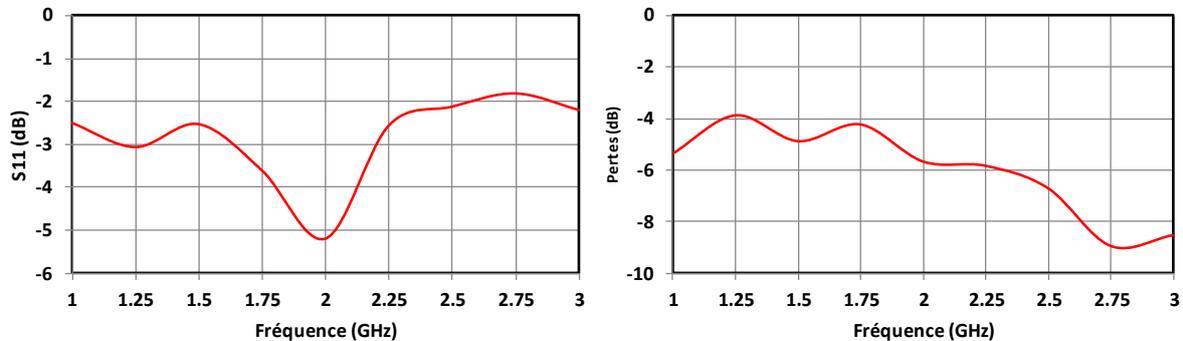


Figure III.36 : Pertes globales et coefficient de réflexion du circuit hybride d'entrée.

L'adaptation du réseau d'entrée est médiocre. La bande de fréquence visée et le rapport de transformation trop important empêche d'avoir une adaptation optimale dans la bande. Ce résultat peut être amélioré en envisageant à termes d'employer une structure équilibrée qui permettra de compenser cette faible adaptation.

III.5.7 Analyse de stabilité de l'amplificateur hybride

Ce paragraphe aborde les notions liées aux stabilités linéaire et non linéaire d'un amplificateur constitué d'un seul étage. L'analyse de stabilité est devenue une étape indispensable lors des phases de conception. En effet, elle permet de prévoir les risques d'instabilité du circuit et de pouvoir employer les mesures nécessaires avant la phase de fabrication.

L'analyse de stabilité s'effectue en deux étapes :

- ✓ Une analyse de stabilité linéaire.
- ✓ Une analyse de la stabilité non linéaire.

III.5.7.1 Analyse de stabilité linéaire : facteur K

Le facteur K est appelé facteur de Rollet du nom de son créateur J.M Rollet [III.9]. L'analyse de la stabilité du facteur K est fondée sur des simulations paramètres [S] de l'amplificateur. L'analyse du facteur K permet de vérifier la stabilité linéaire de

l'amplificateur quelle que soit les impédances de fermeture en entrée et en sortie. Le facteur K est déterminé à partir des relations paramètres [S] comme étant :

$$K = \frac{1 - |S_{11}|^2 - |S_{22}|^2 + |\Delta|^2}{2|S_{21} S_{12}|} \quad \text{Equation III.13}$$

$$|\Delta| = |S_{21} S_{12} - S_{11} S_{22}| \quad \text{Equation III.14}$$

Trois cas de stabilité sont possibles :

- ✓ Si $K > 1$ et $\Delta < 1$, le quadripôle est inconditionnellement stable.
- ✓ Si $K < 1$, le quadripôle est conditionnellement stable, on peut introduire les cercles de stabilité.
- ✓ Si $K < 1$ et $\Delta > 1$, le quadripôle est inconditionnellement instable.

La figure III.37, illustre les trois cas de stabilité linéaire. Les impédances stables se situent en dehors du cercle rouge.

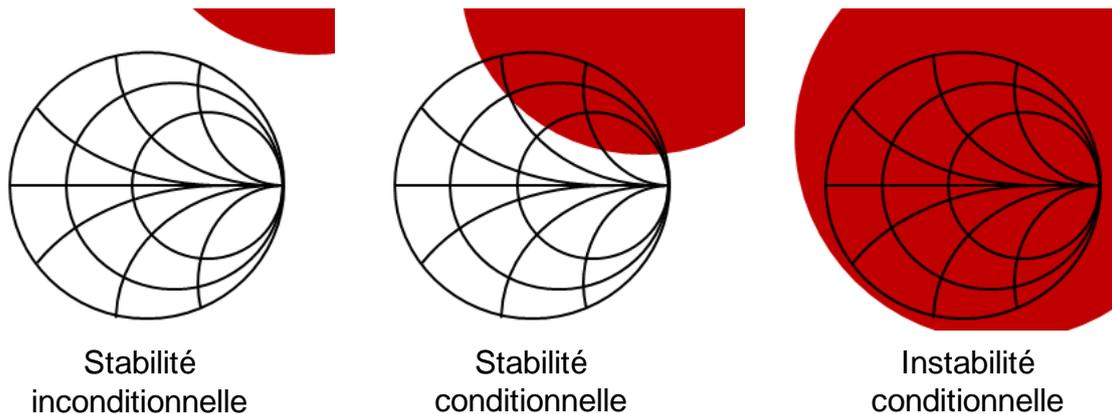


Figure III.37 : Illustration des trois cas possibles de stabilité linéaire du facteur K

Les résultats des stabilités linéaires (facteur K) de l'amplificateur réalisé sont donnés sur la figure III.38.

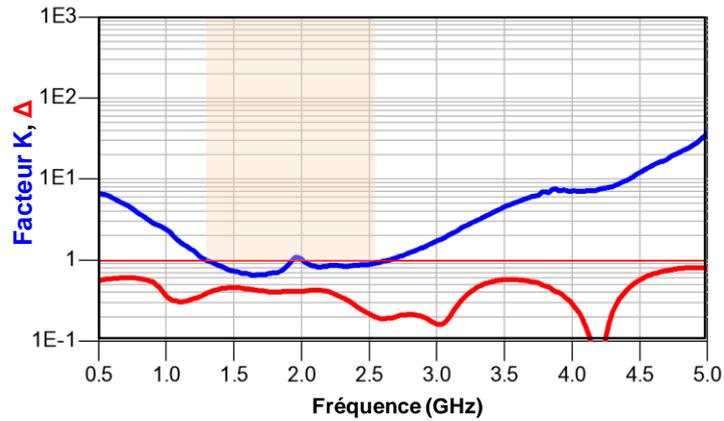


Figure III.38 : Facteur K et Δ simulés de l'amplificateur de puissance réalisé.

L'amplificateur conçu est conditionnellement stable entre 1.4 et 2.5GHz. En général, l'impédance de fermeture pour les amplificateurs de puissance est proche de 50Ω . Dans ce cas, il est possible de vérifier si la zone d'instabilité est proche de cette valeur en introduisant sur l'abaque de Smith les cercles de stabilité dans la bande 1.4-2.5GHz. Les cercles d'instabilité de charge et de source sont tracés figure III.39.

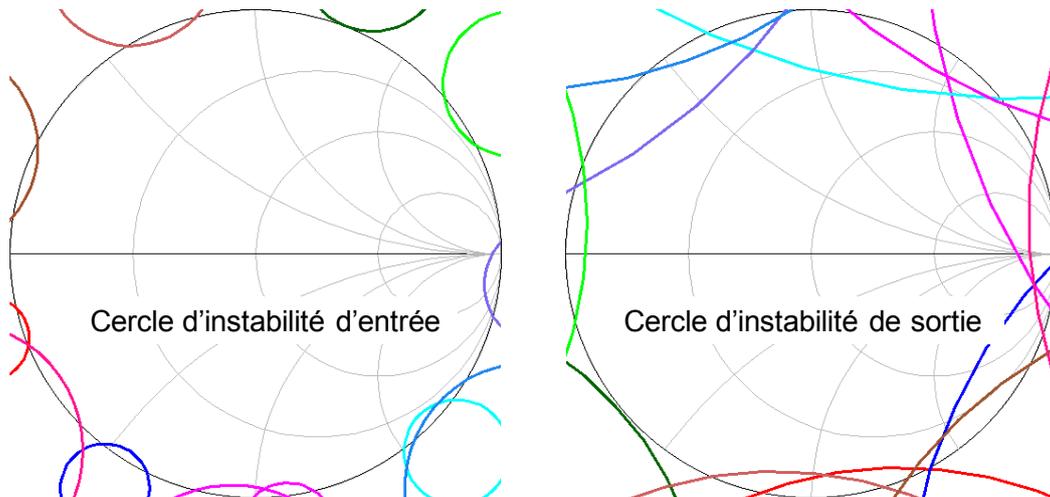


Figure III.39 : Cercle d'instabilité d'entrée et de sortie dans la bande de fréquence 1.4-2.5GHz.

Ces cercles de stabilité permettent de définir les conditions de fermeture du quadripôle pour présenter une partie réelle positive dans la bande de fonctionnement. Au vue des cercles, l'amplificateur réalisé est considéré comme stable linéairement. Il est à noter que le facteur K ne permet pas, par exemple, d'identifier une oscillation interne au circuit qui serait invisible à ses accès externes.

III.5.7.2 Analyse de stabilité non linéaire : Technique d'analyse STAN

Cette méthode d'analyse a été mise au point par l'université de Bilbao en collaboration avec le CNES [III.10], [III.11], [III.12]. Ils ont développé un programme de calcul « STAN » conçu sous Scilab qui permet, à partir de la réponse fréquentielle en boucle fermée, d'identifier tous les pôles et les zéros de cette fonction. La méthode consiste à introduire une perturbation bas niveau de pulsation ω en parallèle à un des nœuds du circuit à analyser en présence d'un régime fort signal. La réponse du circuit $H(f)$ est extraite en balayant la fréquence de travail. Enfin, la fonction $H(f)$ est décomposée pour une identification des pôles/zéros de la forme :

$$H(j\omega) = \frac{\prod_{i=1}^n j\omega - z_i}{\prod_{i=1}^n j\omega - \lambda_i} \quad \text{Equation III.15}$$

Dans ce cas, si l'analyse détecte des pôles à parties réelles positives, alors une instabilité est probable. Une analyse de stabilité non-linéaire avec STAN a été réalisée sur l'amplificateur conçu afin de déterminer d'éventuelles instabilités.

La figure III.40 présente les résultats d'analyse sous STAN dans la bande de travail 1-3GHz en régime fort signal ($P_{\text{gene}}=38\text{dBm}$). L'ensemble des pôles et des zéros se situent à gauche de l'axe des ordonnées validant la stabilité non-linéaire de l'amplificateur.

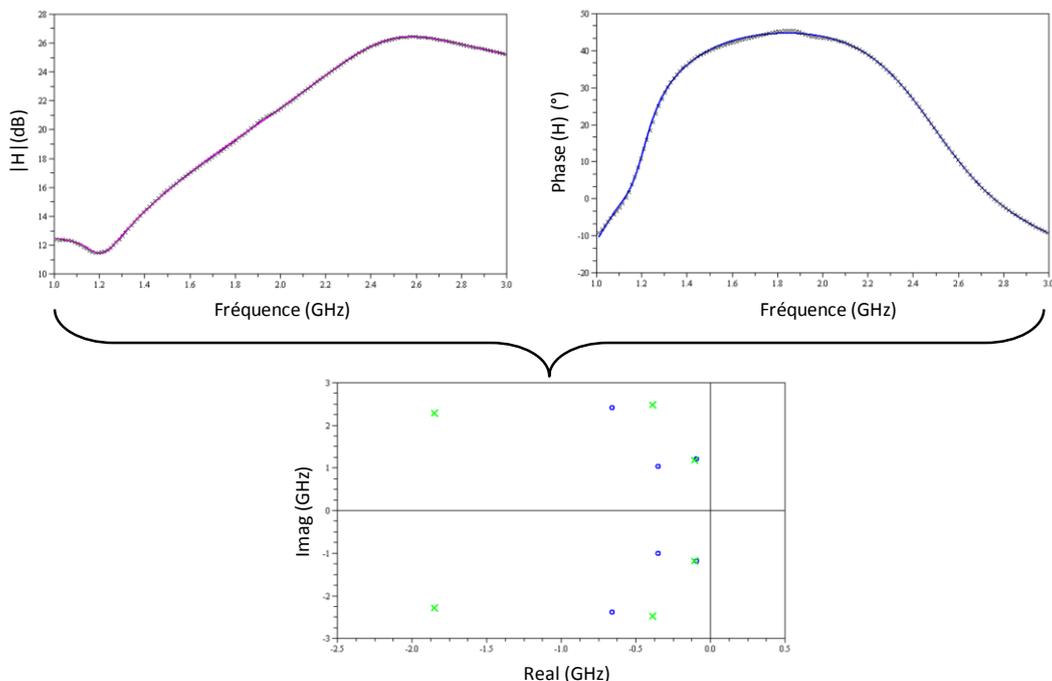


Figure III.40 : Analyse de stabilité non-linéaire avec le programme STAN.

Il existe d'autres méthodes d'analyse de stabilité telles que la méthode NDF (Normalized Determinant Function) ou «méthode du gain de retour». Après avoir analysé de la stabilité, l'amplificateur peut être lancé en fabrication.

III.5.8 Résultats expérimentaux

Après fabrication et assemblage de l'amplificateur, une campagne de mesure sur le banc de mesure UMS a été réalisée. Tout d'abord, l'amplificateur a été mesuré en paramètre [S] pour vérifier si le gain petit signal et les niveaux d'adaptations étaient proches de ceux obtenus en simulation.

Ensuite, des mesures de puissance ont été réalisées pour valider les performances de l'amplificateur et aussi pour vérifier les résultats obtenus en simulation. Une photographie de l'amplificateur réalisé est présentée figure III.41.

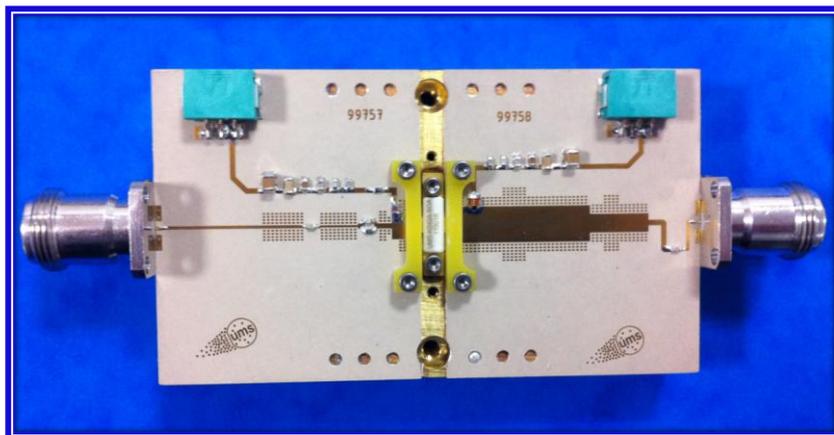


Figure III.41 : Photographie de l'amplificateur GaN large bande (1-3GHz) à haut rendement.

III.5.8.1 Comparaison simulation/mesure en paramètres S

Des mesures paramètres [S] ont été réalisées sur l'amplificateur et sont présentées dans la figure III.43. Les mesures et simulations ont été réalisées au point de polarisation de repos $I_{dq}=300\text{mA}$ et $V_{ds0}=50\text{V}$.

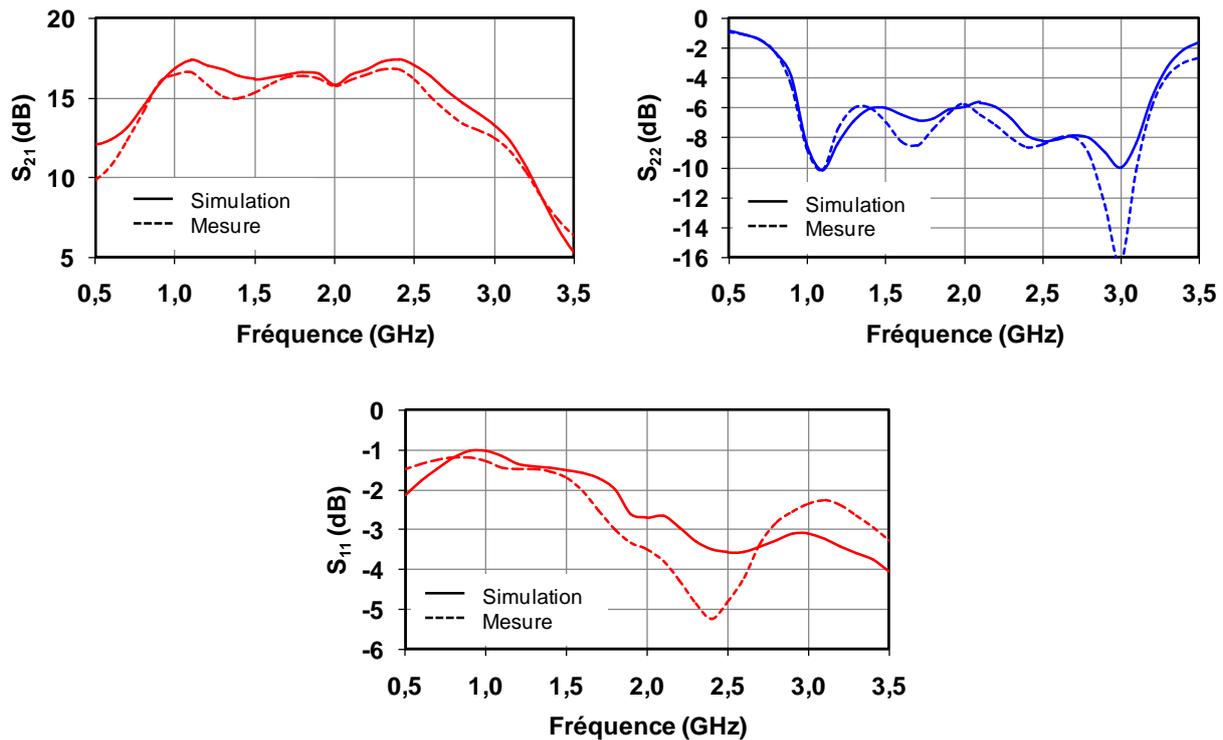


Figure III.42 : Comparaison Mesure/Simulation des paramètres S_{21} , S_{11} et S_{22}

Les résultats montrent une bonne cohérence entre les simulations et les mesures. Le gain petit signal S_{21} obtenu est de l'ordre de 15dB dans la bande de fréquence 1-3GHz. Les coefficients de réflexion d'entrée S_{11} et de sortie S_{22} mesurés diffèrent légèrement de ceux obtenus en simulation. Ces pertes plus importantes en mesure proviennent sans doute des connecteurs N en entrée et en sortie qui n'ont pas été pris en compte lors des phases de simulation.

III.5.8.2 Mesure en puissance de l'amplificateur hybride.

La deuxième étape de mesure consiste à valider le fonctionnement de l'amplificateur dans ses conditions optimales de fonctionnement. Des mesures CW de puissance ont été réalisées afin d'évaluer les performances de l'amplificateur. L'amplificateur de puissance est placé sur un système de refroidissement de type « Peltier » afin de contrôler la température de fond de boîtier de l'amplificateur. Lors des phases de mesure CW, la température a été régulée à 25°C.

La figure III.43 présente la configuration du banc de mesure UMS pour la mesure en puissance permettant la caractérisation des performances de l'amplificateur.

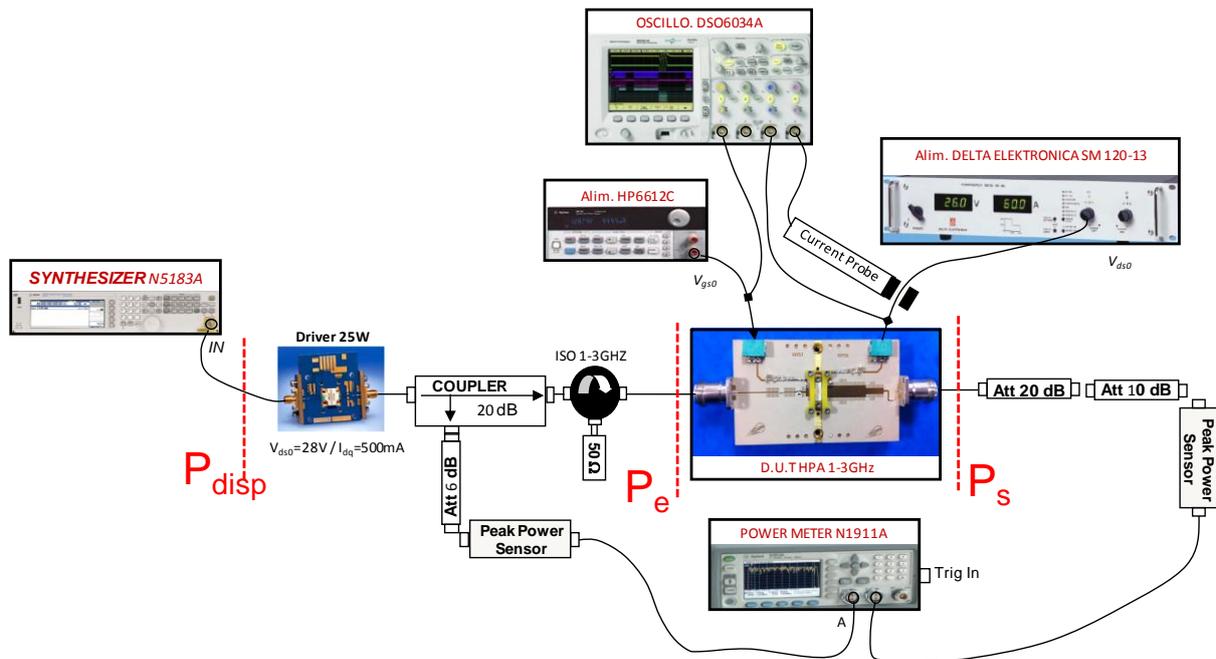


Figure III.43 : Banc de mesure de puissance UMS

La figure III.44. (a), (c), (e) montre les résultats de mesure de la puissance de sortie, de la PAE et du gain en puissance dans la bande de fréquence 1-3GHz. Ces résultats sont superposés aux rétro-simulations de l'amplificateur fondé sur un modèle EM réactualisé du réseau d'adaptation de sortie. Une bonne concordance entre les résultats obtenus par rétro-simulation et les mesures CW est observée. Les résultats montrent que l'amplificateur de puissance délivre une puissance de sortie mesurée comprise entre 45.7 et 47.7dBm. La PAE associée est comprise entre 36 et 44% et le gain d'insertion entre 9.2 et 11.6dB pour une puissance disponible de 36dBm.

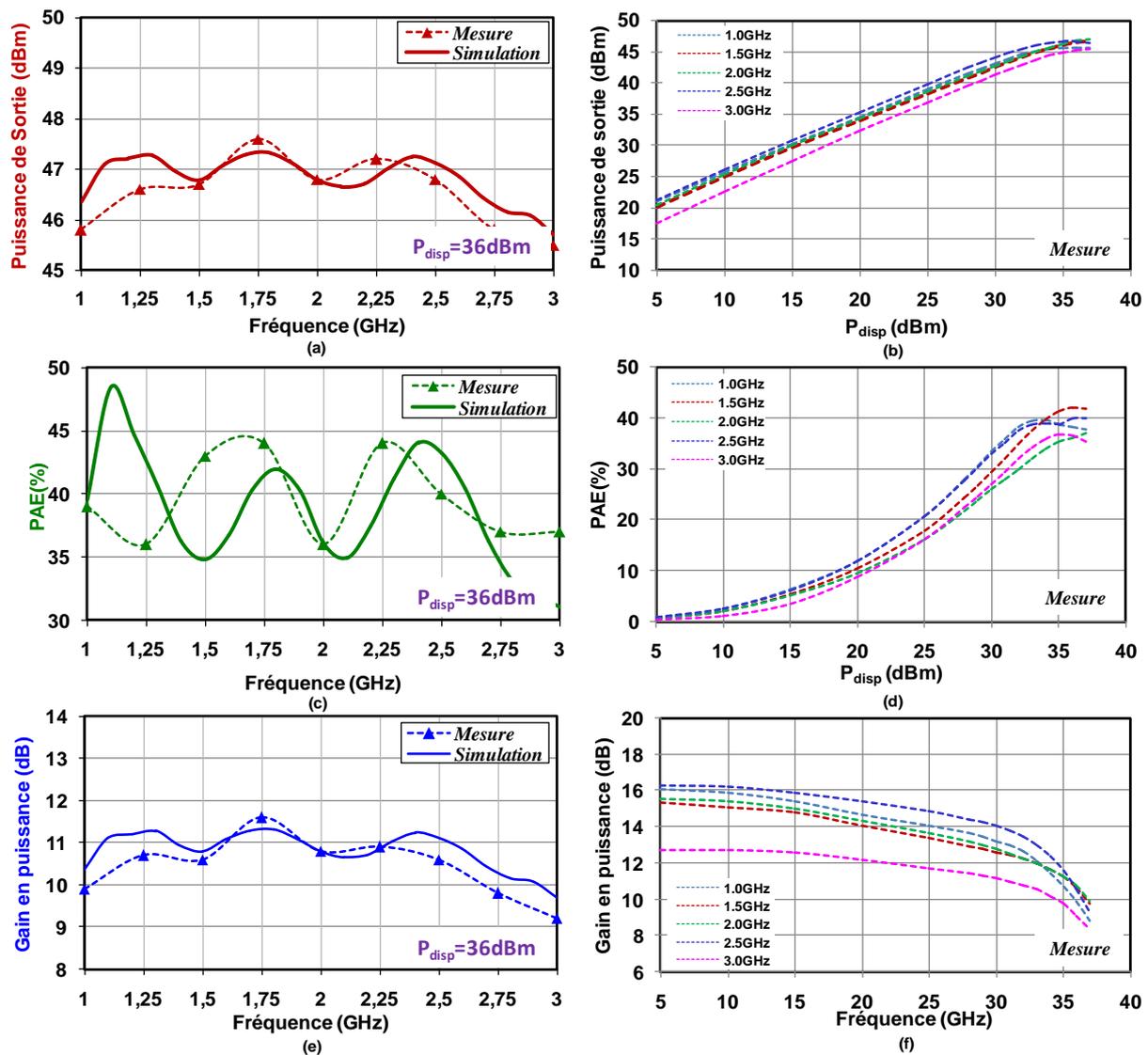


Figure III.44 : Résultats de mesure en puissance de l'amplificateur.

Les résultats de mesure en fonction de la puissance disponible (P_{disp}) du générateur pour différents points de fréquence (1.0, 1.5, 2.0, 2.5 et 3GHz) sont présentés sur la figure III.44, (b), (d) et (f). Ces résultats encourageants ont donné lieu à des publications lors de la conférence JNM (Journée Nationale des Microondes) [III.13] et lors de celles des EuMC2013 (European Microwave Conference) [III.14].

III.5.9 Etat de l'art des performances des amplificateurs de puissance large bande à haut rendement.

Le tableau III.4 ci-dessous présente l'état de l'art des amplificateurs de puissance large bande à haut rendement en nitrure de gallium. Des amplificateurs de puissance couvrant plus

d'une octave de bande passante avec une fréquence de travail maximum égale à 3GHz ont été intentionnellement choisis. La comparaison de ces travaux avec l'état de l'art mondial est ainsi plus significative.

Date & ref.	Entreprise / Laboratoire	Technologie	Freq. (GHz)	Pout (W)	Gain (dB)	DE (%)	Vd (V)
2008[III.15]	CREE	CREE 0.4µm GaN/SiC HEMT	0.5-2.5	90	10	43	28
2009[III.16]	RFMD	RFMD 0.5µm GaN/SiC HEMT	0.5-2.5	9-13.6	15	45-60	48
2012[III.17]	RFMD	RFMD 0.5µm GaN/SiC HEMT	0.7-2.4	30	9.5-13	28-37	48
2008 [III.18]	Rockwell Collins	Nitronex 0.5µm GaN/Si HEMT	0.1-2.2	8.7	10-15	30-66	28
Ce travail	UMS/XLIM	UMS 0.5µm GaN/SiC HEMT	1-3	35-56	9.5-11.5	41-49	50

Tableau III.4: Etat de l'art des amplificateurs de puissance large bande avec une fréquence de travail maximum égale à 3GHz

Force est de constater que l'amplificateur réalisé possède des performances à l'état de l'art.

III.6 Conclusion

Ces premiers travaux ont conduit à la réalisation d'un amplificateur de puissance large bande à haut rendement fondé sur un transistor GaN commercialisé par UMS sous la dénomination CHK040A-SOA. L'amplificateur réalisé offre des résultats à l'état de l'art mondial. L'étude de l'influence de la charge à la fréquence harmonique 2 a permis de définir une topologie propice à l'amplification de puissance à haut rendement et à très large bande. Toutefois, les performances en rendement obtenues restent en dessous de celles obtenues avec des amplificateurs en commutation, qui fonctionnent à bande étroite ou à plus basses fréquences.

Par ailleurs, l'étude menée lors de la conception de cet amplificateur hybride très large bande 1-3GHz à très forte puissance (>40W) et à très haut rendement (de drain) (>41%) n'a pas permis de connaître véritablement les valeurs limites qu'il est possible d'atteindre en termes de triple objectif simultané de puissance, rendement et largeur de bande.

Cette conception classique dans son approche de recherche d'impédance optimales à la fréquence fondamentale a permis de mettre en évidence une démarche plus spécifique concernant les composants finaux GaN de la fonderie UMS pour la synthèse des impédances optimales à la fréquence harmonique 2. Le concepteur doit veiller :

- au respect de la zone favorable pour les impédances de charge à la fréquence harmonique 2.
- aux valeurs de ces impédances sur la bande de recouvrement de fréquence au fondamentale et à la fréquence harmonique 2.

Enfin, cette conception a permis d'évaluer les performances de la filière GaN d'UMS pour des applications de très fortes puissances large bande et haut rendement fondé sur une conception d'amplificateur hybride.

Afin d'approfondir la connaissance de cette filière, et notamment les valeurs limites atteignables pour les performances conjuguées de puissance de sortie, PAE et largeur de bande, une étude complémentaire a été menée. Elle est présentée dans le chapitre IV suivant et a conduit à la réalisation de deux autres amplificateurs dont l'encombrement a largement

été amélioré par rapport à celui présenté dans ce chapitre grâce notamment à une technologie développée par UMS et appelée technologie « Quasi-MMIC ».

III.7 Bibliographie

- III.1. D. Floriot, H. Blanck, D. Bouw, F. Bourgeois, M. Camiade, L. Favède, M. Hosch, H. Jung, B. Lambert, *New Qualified Industrial AlGaIn/GaN HEMT Process: Power Performances & Reliability Figures of Merit*, European Microwave Conference, EuMC2012, Amsterdam.
- III.2. Shealy, J. R.; Wang, J.; Brown, R., *Methodology for Small-signal Model Extraction of AlGaIn HEMTs*. *IEEE Trans. Electron Devices* July 2008, 55 (7), 1603–1613.
- III.3. C. Teyssandier, “*Contribution à la modélisation non-linéaire de transistors de puissance HEMT Pseudomorphiques sur substrat AsGa : Analyse des effets parasites*”, Ph. D. dissertation, Université de Limoges, France, 2008.
- III.4. Tajima, Y., Waltham M.A., Wrona B., Mishima K., *GaAs FET large-signal model and its application to circuit designs*, *Electron Devices, IEEE Transactions on* (Volume:28 , Issue: 2), feb 1981.
- III.5. J. P. Teyssier, J. P. Viaud, and R. Quéré, “*A new Nonlinear I(V) model for FET devices including Breakdown Effects*,” *IEEE Microwave and Guided Wave Letters*, vol. 4, no. 4, pp. 104-106, Apr. 1994.
- III.6. O.Jardel, “*Contribution à la modélisation des transistors pour l’amplification de puissance aux fréquence micro-ondes. Développement d’un nouveau modèle électrothermique de HEMT AlGaIn/GaN incluant les effets de pièges*”, Ph. D. dissertation, Université de Limoges, France, 2008.
- III.7. Saad P., Fager C., Cao H., Zirath H., and Andersson K. (Jul. 2010) *Design of a Highly Efficient 2-4 GHz Octave Bandwidth GaN-HEMT Power Amplifier*. *IEEE Trans. Microw. Theory Tech.*, vol. 58, no. 7, pp. 1677–1685. doi: 10.1109/TMTT.2010.2049770
- III.8. www.ums-gaas.com
- III.9. J. M. Rollett, “*Stability and Power-Gain Invariants of Linear Twoports*,” *IRE Trans. On Circuit Theory*, vol. 9, pp. 29-32; Mars, 1962.
- III.10. J.M. Collantes et al. “*Monte-Carlo Stability Analysis of Microwave Amplifiers*”, 12th *IEEE Wireless and Microwave Technology Conference*, April 2011, Florida.
- III.11. A. Anakabe et al. “*Automatic Pole-Zero Identification for Multivariable Large-Signal Stability Analysis of RF and Microwave Circuits*”, *European Microwave Conference*, September 2010, Paris.
- III.12. J.M. Collantes et al. “*Expanding the Capabilities of Pole-Zero Identification Techniques for Stability Analysis*”, *IEEE Microwave Theory and Techniques International Symposium*, June 2009, Boston.

III.13. *C. Berrached, D. Bouw, M. Camiade, D. Barataud, "Conception d'un Amplificateur GaN de Puissance 40W très large bande [1-3GHz] à haut rendement en technologie MIC", JNM13, Paris.*

III.14. *C. Berrached, D. Bouw, M. Camiade, D. Barataud, Wideband High Efficiency High Power GaN Amplifiers Using MIC and Quasi-MMIC Technologies, European Microwave Conference, October 2013, Nuremberg.*

III.15. *<http://www.CREE.com/RF>*

III.16. *Krishnamurthy K., Green, D., Vetury, R., Poulton, M., Martin, J. (2009) 0.5-2.5 GHz, 10W MMIC Power Amplifier in GaN HEMT technology" in Annu. IEEE Compound Semiconductor Integrated Circuit Symp., pp. 1-4. doi: 10.1109/csics.2009.5315739.*

III.17. *Runton C., Driver T., Krishnamurthy K., LeFevre M., Shallal K. (2012) Multi-Octave Practical Power Amplifier Realization using GaN on SiC. Broadband PAs for Wireless Communications workshop, IMS2012.*

III.18. *C. Xie et al., "A high efficiency broadband monolithic gallium nitride distributed power amplifier," 2008 IEEE MTT-S IMS. Dig., pp. 307-310, 15-20 June 2008.*

Chapitre IV : Amplificateur de puissance à très haut rendement et très large bande en technologie Quasi-MMIC

IV.1 Introduction

Le chapitre III a présenté une méthode de conception destinée à la réalisation d'un amplificateur de puissance à très large bande (une octave et demie) et à haut rendement ($PAE > 36\%$) en technologie hybride. Une adaptation de l'impédance à la fréquence fondamentale ainsi qu'une charge présentée à la fréquence harmonique 2, contournant la zone de faible PAE, a conduit à la réalisation de cet amplificateur hybride avec des résultats au niveau de l'état de l'art mondial.

La conception, présentée dans le chapitre III, n'offre toutefois pas une vision claire de la recherche de l'impédance optimale à présenter à la fréquence fondamentale et aux fréquences harmoniques en fonction de la technologie lorsque les bandes passantes visées sont très larges. Avec la méthode préalablement utilisée, subsiste une interrogation quant à l'obtention de la solution optimale de l'amplificateur, en termes de performances en bande passante (B.P) combinée à celle de la puissance de sortie (P_{out}) et du rendement (PAE).

Afin de pallier cette incertitude concernant les solutions optimales d'adaptation des circuits d'entrée et sortie des transistors, une étude spécifique a été menée sur la technologie GH50 pour déterminer les limites théoriques atteignables en termes de performances conjointes en PAE, P_{out} et B.P. Cette étude théorique a ensuite été appliquée à la conception d'amplificateurs de puissance à large bande et à haut rendement. Ces conceptions ont pour objectif de répondre à un besoin commercial d'amplificateur devant couvrir l'ensemble de la bande S avec un encombrement réduit pour offrir une solution compacte destinée aux futures génération de système radar à antenne active multi-application.

Pour résoudre la problématique liée à l'encombrement, UMS a développé une technologie « Quasi-MMIC » adaptée pour les transistors GaN de forte puissance. Cette solution a été adoptée dans les prochaines conceptions. Le tableau IV.1 présente le nouveau cahier des charges détaillé du premier amplificateur de puissance à concevoir dans la gamme de puissance 25W à large bande et haut rendement. Cet amplificateur est fondé sur l'utilisation de barrette constituée de transistors UMS GH50 (identiques aux transistors à cellule unitaire décrits dans le chapitre III) et sur l'utilisation d'une technologie MMIC

adaptée à la conception des circuits d'adaptation et de polarisation des barrettes de puissance GaN.

Dans le tableau IV.1 ci-dessous, le nouveau cahier des charges est présenté :

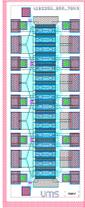
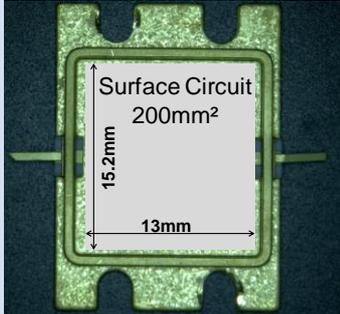
HPA GH50 AlGaIn/GaN Quasi-MMIC	
Fréquence	2 – 4GHz (Bande S)
Ps @3dBc	≥ 25W
PAE @3dBc	≥ 40%
Transistor utilisé	Barrette GH50 nue 
Taille	≤ 420 mm² (Surface boîtier) 
Quadripôle d'adaptation	En technologie AsGa
Polarisation	Polarisation interne ou externe (Tés de polarisation)

Tableau IV. 1 : Cahier des charges des amplificateurs à très large bande et très haut rendement en bande S

Enfin, les résultats de mesures classiques comparées à ceux issus de la simulation sont présentés. Des mesures temporelles innovantes ont aussi été réalisées sur un nouveau banc développé par le laboratoire Xlim. Ce dernier permet d'une part de visualiser des signaux transitoires avec des fréquences d'échantillonnages élevés et d'autre part de pouvoir appliquer des techniques de pré-distorsion pour améliorer la linéarité des amplificateurs.

IV.2 Etudes des Limitations de l'adaptation des transistors de puissance à haut rendement et à très large bande.

IV.2.1 Introduction

Dès l'apparition des premiers circuits analogiques, les concepteurs ont été confrontés à l'adaptation des impédances complexes sur de très larges bandes passantes, que ce soit pour la réalisation d'amplificateurs de puissance ou pour celle d'antennes. Cette problématique consiste à déterminer quel quadripôle d'adaptation placer entre un générateur d'impédance interne Z_g et une impédance de charge passive Z_{ch} afin d'avoir le maximum de puissance active délivrée à cette dernière.

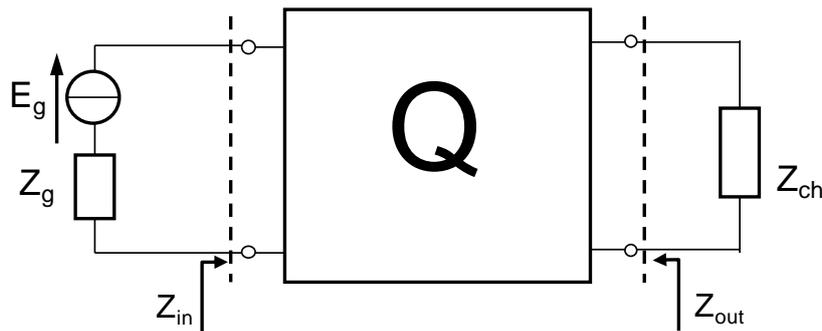


Figure IV.1 : Principe de l'adaptation d'impédance

Les premières études analytiques sur ce sujet ont été menées dès 1945 par Bode [IV. 1] pour une charge complexe Z_{ch} , de type RC parallèle. En 1950, elle a été ensuite étendue à des charges plus complexes telles que des impédances de type RLC formées par exemple d'une self-inductance L en série avec une charge RC par Fano [IV. 2]. Ces études ont abouti à l'expression de la limite théorique de l'adaptation d'impédance lorsque le coefficient de réflexion Γ_{ch} associé à la charge Z_{ch} est considéré comme constant dans la bande de fréquence à adapter, et égale à 1 en dehors de cette bande.

IV.2.2 Principe de l'adaptation conjuguée d'une impédance

IV.2.2.1 Principe de l'adaptation conjuguée d'une impédance à une fréquence donnée f_0

La théorie repose sur l'hypothèse de l'utilisation :

- d'un générateur de tension sinusoïdale de fréquence f_0 , de valeur efficace $E_g(f_0)$ et d'impédance interne $Z_g(f_0)$.
- d'une charge passive $Z_{ch}(f_0)$.

L'adaptation d'impédance conjuguée est réalisée à la fréquence f_0 si la puissance active dissipée dans la charge est égale au maximum de puissance active que peut délivrer le générateur. Le coefficient de réflexion sur la charge est alors nul. On obtient alors la relation suivante :

$$Z_g(j\omega_0) = Z_{ch}(-j\omega_0) \quad \text{Equation IV. 1}$$

IV.2.2.2 Principe de l'adaptation conjuguée sur une bande passante donnée

L'adaptation de l'impédance conjuguée sur une bande de fréquence peut être réalisée, si et seulement si les impédances de la charge et de la source sont des résistances de mêmes valeurs. Dans le cas où l'impédance de la charge et de la source ne sont pas des résistances alors l'adaptation d'impédance ne peut être vérifiée qu'à des fréquences discrètes pour lesquelles la condition définies par l'équation IV.1 du paragraphe IV.1.2.1 est remplie.

IV.2.3 Théorème de Darlington

Les travaux menés par Bode puis par Fano permettent de calculer la limite théorique de largeur maximum de bande passante d'adaptation entre l'impédance interne, réelle d'un générateur, et une impédance passive terminale constituée d'éléments R, L, C. Le calcul de cette limite s'appuie en partie sur le théorème de Darlington ayant trait à la synthèse d'un dipôle passif. Le théorème stipule qu'une impédance ($Z_{terminale}(\omega)$) ou admittance ($Y_{terminale}(\omega)$) à partie réelle positive est équivalente à un quadripôle réactif sans pertes chargé à son extrémité par une résistance que l'on peut normaliser à la valeur de 1Ω .

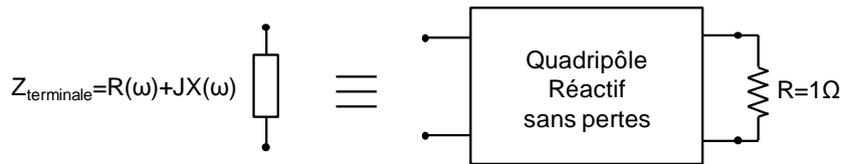


Figure IV.2 : Equivalence de Darlington.

Le quadripôle constitué d'éléments réactifs sans pertes est généralement appelé « *circuit Darlington équivalent* ».

IV.2.4 Application des relations intégrale de Cauchy au coefficient de réflexion présenté par la charge.

La détermination de la bande passante limite théorique s'appuie d'une part sur le théorème de Darlington défini précédemment mais aussi, sur les conditions nécessaires que doit vérifier le coefficient de réflexion Γ_{ch} ramené par l'impédance terminale associé à son quadripôle d'adaptation pour être physiquement réalisable.

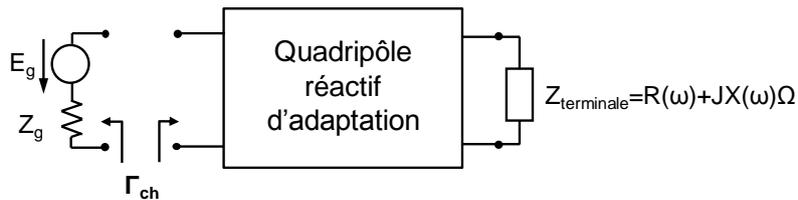


Figure IV.3 : Coefficient de réflexion Γ_{ch} ramené par l'impédance terminale associé à son quadripôle d'adaptation

Les conditions nécessaires sont fondées sur l'application directe des relations intégrales de Cauchy. Elles sont déterminées dans le cas d'une impédance terminale représentée par un circuit RC série par la relation :

$$\int_0^{\infty} \frac{1}{\omega^2} \ln \left(\frac{1}{|\Gamma_{ch}|} \right) d\omega \leq \pi RC \quad \text{Equation IV. 2}$$

Dans le cas où l'impédance terminale est représentée par un circuit RC parallèle la relation déduite des intégrales de Cauchy est alors définie par la relation suivante :

$$\int_0^{\infty} \ln \left(\frac{1}{|\Gamma_{ch}|} \right) d\omega \leq \frac{\pi}{RC} \quad \text{Equation IV. 3}$$

Les relations définies précédemment servent de brique de base pour l'étude de la bande passante limite théorique appliquée à la technologie GaN 0.5 μ m GH50 de la fonderie UMS.

IV.2.5 Applications des relations de Bode & Fano au modèle compact du transistor GH50 UMS.

IV.2.5.1 Simulation de variation de charge et de source.

Pour une technologie donnée, il convient, avant toute conception, d'évaluer les limites de l'adaptation d'impédance du compromis rendement/bande passante que l'on peut obtenir en fonction de la fréquence maximale de travail. A cet effet, pour pouvoir appliquer la théorie développée par Bode et Fano, concernant les limitations de bande passante des amplificateurs, il convient au préalable d'extraire, en fonction de la fréquence, l'impédance/admittance équivalente présentées aux accès du transistor utilisé au point de fonctionnement optimal choisi. Dans notre cas, il s'agit d'extraire les impédances/admittances d'un transistor GaN (2mm) GH50 de la fonderie UMS autour de son optimum de rendement en puissance ajoutée, en fonction de la fréquence. Fondées sur des simulations de variation de charge et de source (load-pull/Source-pull) multi-harmonique, les impédances de source et admittances de charge optimales, respectivement $Z_{s_opt}(\omega)$ et $Y_{ch_opt}(\omega)$, ont été déterminées pour obtenir le maximum de rendement en puissance ajoutée (PAE_{MAX}).

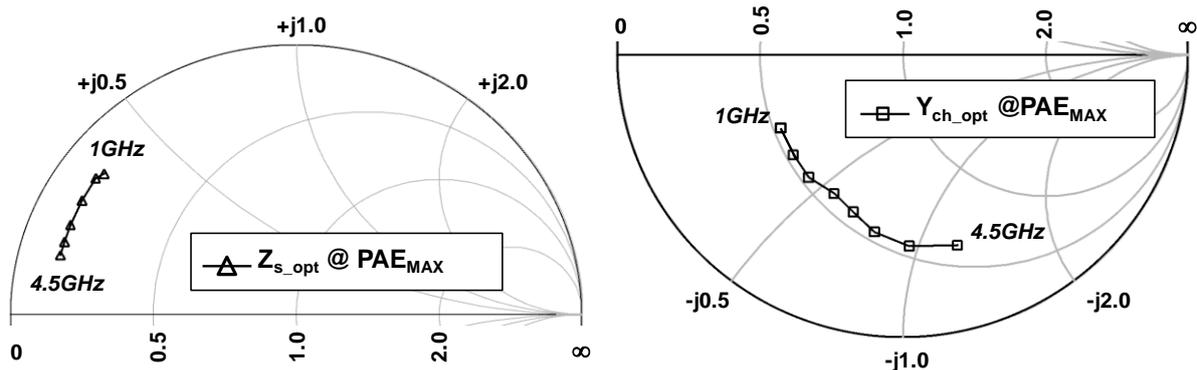


Figure IV.4 : Impédances de source ($Z_{s_opt}(\omega)$) et Admittances de charge ($Y_{ch_opt}(\omega)$) optimales en rendement déduites des simulations load-pull/Source-pull d'un transistor GaN (2mm) dans la bande de fréquence 1-4.5 GHz.

Les impédances de source et admittances de charge optimales obtenues pour un maximum de PAE, permettent de déduire un modèle équivalent simplifié du transistor autour

de l'optimum de rendement en puissance ajoutée dans la bande de fréquence [1-4.5GHz]. Ce modèle simplifié permet de définir théoriquement les limites possible d'adaptation large bande. La figure IV.5, indique le schéma simplifié du modèle du transistor permettant une analyse des conditions de fonctionnement à l'optimum de PAE.

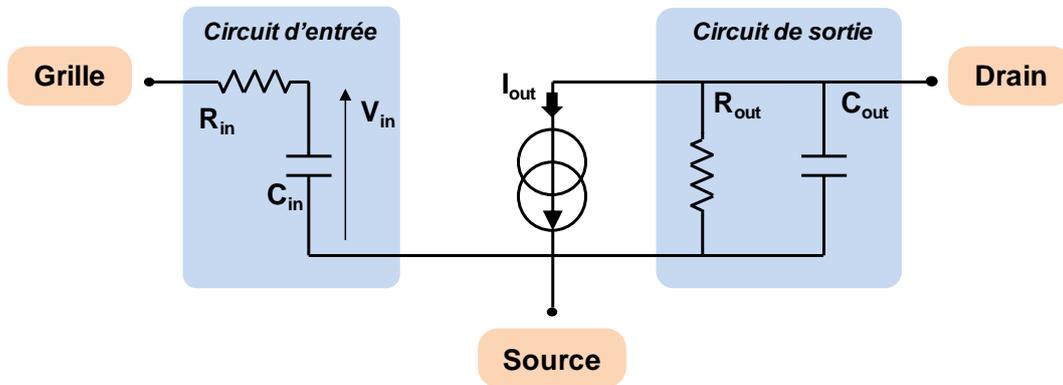


Figure IV.5 : Modèle simplifié du transistor à l'optimum de PAE

Les impédances d'entrée, déduites des simulations de variation de charge au point optimum de PAE d'un transistor GaN (2mm) dans la bande de fréquence 1-4.5GHz, permettent d'approximer l'impédance d'entrée du transistor $Z_{in}(\omega)$ par un circuit RC constitué d'une résistance de 3.5Ω en série avec une capacité de 6pf. L'admittance de sortie (Y_{out}) quant à elle, est approximée par un circuit RC parallèle constitué d'une résistance de 130Ω et d'une capacité de 0.9pf.

IV.2.5.2 Conception du circuit d'adaptation d'entrée

L'impédance d'entrée du transistor, à son optimum de PAE, se comporte sur une très large bande comme celle d'un circuit pur $R_{in} - C_{in}$ série. Pour la conception du quadripôle d'adaptation d'entrée large bande, il s'agit alors d'étudier le circuit présenté figure IV.6.

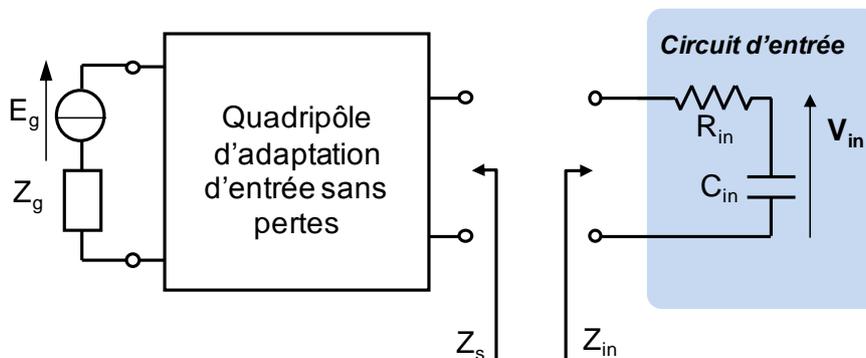


Figure IV.6 : Adaptation d'entrée

L'objectif de la conception est d'adapter le circuit d'entrée du transistor à la charge Z_g résistive du générateur. Comme l'on montré Bode puis à sa suite Fano, un circuit RC parallèle ou série, peut être adapté à une résistance pure R_g à une seule fréquence, mais ne peut être parfaitement adapté sur une grande largeur de bande. Ce postulat est la traduction d'une analyse théorique concernant le coefficient de réflexion en puissance Γ_s reliant deux impédances passives mises en regard comme le sont Z_s et Z_{in} dans la figure IV.6.

A partir de Z_s et Z_{in} la relation du coefficient de réflexion en puissance Γ_s est obtenue comme :

$$\Gamma_s(\omega) = \frac{Z_{in}^*(\omega) - Z_s(\omega)}{Z_{in}(\omega) + Z_s(\omega)} \quad \text{Equation IV. 4}$$

Avec, $Z_{in} = R_{in} + j \cdot \frac{1}{C_{in} \cdot \omega}$: impédance du transistor au maximum de PAE.

Bode et Fano ont montré qu'il existait une limitation concernant l'adaptation du dipôle Z_{in} et ce, quelque soit la complexité du quadripôle d'entrée. Cette limitation relie :

- ✓ le coefficient de réflexion d'entrée $\Gamma_s(\omega)$.
- ✓ la constante de temps d'entrée $\tau_{in} = R_{in} \cdot C_{in}$

Le résultat suivant est alors obtenu :

$$\int_0^\infty \frac{1}{\omega^2} \ln \left(\frac{1}{|\Gamma_s|} \right) d\omega \leq \pi R_{in} C_{in} \quad \text{Equation IV. 5}$$

Dans ce cas, il faut alors émettre l'hypothèse que le coefficient de réflexion Γ_s ne puisse dépasser une valeur Γ_{s_MAX} , dans une largeur de bande passante donnée Δf . Cette valeur maximale est alors supposée constante dans cette bande Δf et égale à 1 (valeur maximale possible) hors de cette bande. La bande passante Δf s'écrit alors :

$$\Delta f = \frac{2\pi^2 R_{in} C_{in} f_0^2}{\ln \left| \frac{1}{\Gamma_{s_MAX}} \right|} \quad \text{Equation IV. 6}$$

Dans la relation obtenue, seul le coefficient de réflexion maximum admissible subsiste encore en tant qu'inconnue. La détermination de celui-ci sera présentée par la suite.

IV.2.5.3 Conception du circuit d'adaptation de sortie

La même démarche que précédemment a été appliquée en sortie du transistor. Les résultats des simulations de variation de charge ont montré que l'impédance optimale en PAE du transistor, une fois transformée en admittance, se présente dans la bande d'analyse (1-4.5GHz) comme un circuit R_{out} - C_{out} parallèle dont les valeurs R_{out} et C_{out} sont constantes en fonction de la fréquence.

Il s'agit alors d'étudier le circuit de sortie du transistor présenté par la figure IV.7.

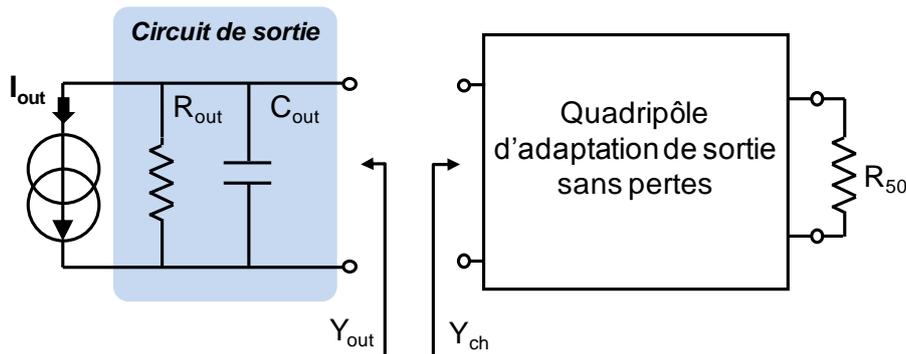


Figure IV.7 : Adaptation de sortie

L'objectif de la conception consiste alors à adapter le circuit de sortie du transistor à la résistance purement réelle de charge R_{50} à l'aide d'un quadripôle de sortie sans pertes. Comme pour l'entrée, l'adaptation de sortie est liée à une analyse théorique du coefficient de réflexion en puissance $\Gamma_{ch}(\omega)$ reliant :

- l'admittance de sortie du transistor $Y_{out}(\omega)$.
- l'admittance de charge présentée par le quadripôle de sortie $Y_{ch}(\omega)$.

Le coefficient de réflexion en puissance est défini par la relation suivante [IV. 3]:

$$\Gamma_{ch} = \frac{Y_{out}^*(\omega) - Y_{ch}(\omega)}{Y_{out}(\omega) + Y_{ch}(\omega)} \times \frac{Y_{out}(\omega)}{Y_{out}^*(\omega)} \quad \text{Equation IV. 7}$$

Avec : $Y_{out}(\omega) = \frac{1}{R_{out}} + j.C_{out} \cdot \omega$: admittance fixée par le circuit de sortie du transistor en son optimum de PAE.

La limitation de l'adaptation, concernant un dipôle constitué d'une résistance en parallèle avec une capacité, relie le coefficient de réflexion de charge $\Gamma_{ch}(\omega)$ et la constante de

temps de sortie $\tau_{out} = R_{out} \cdot C_{out}$. Cette limitation pour un circuit RC parallèle est définie par la relation suivante :

$$\int_0^{\infty} \ln \left(\frac{1}{|\Gamma_{ch}(\omega)|} \right) d\omega \leq \frac{\pi}{R_{out} \times C_{out}} \quad \text{Equation IV. 8}$$

Tout comme pour l'entrée, cette inégalité implique la détermination, pour une valeur de $\Gamma_{ch}(\omega)$ donné, d'une bande passante Δf maximale égale à :

$$\Delta f = \frac{1}{2 \times R_{out} \times C_{out} \times \ln \left| \frac{1}{\Gamma_{ch}(\omega)} \right|} \quad \text{Equation IV. 9}$$

La valeur de $|\Gamma_{ch}(\omega)|$ qui entre en jeu dans cette équation est celle que le concepteur choisit comme valeur maximale $|\Gamma_{ch_MAX}(\omega)|$ qu'il souhaite imposer dans la bande passante Δf . La valeur de $|\Gamma_{ch_MAX}(\omega)|$ est choisie égale à 1 en dehors de cette bande.

Une étude particulière a été menée pour déterminer la valeur de $|\Gamma_{ch_MAX}(\omega)|$ pour concevoir les amplificateurs selon le cahier des charges présenté au début de ce chapitre.

IV.2.5.4 Etude réalisée pour déterminer les coefficients de réflexion maximum admissibles en entrée et en sortie d'un transistor unitaire.

Pour adapter le transistor GH50 sur une large bande de fréquence tout en maintenant de bonnes performances en puissance et en rendement, il est nécessaire de définir les coefficients de réflexion maximum admissibles pour lesquels le rendement en puissance ajoutée est moindre mais encore acceptable pour le concepteur au regard du cahier des charges.

A partir des simulations de variation de charge et de source, les contours d'impédances de source et d'admittances de charges optimales (tracées sur la figure IV.8) permettant d'obtenir X% de PAE_{Max} ont été tracés. Ces contours fournissent les coefficients de réflexion $\Gamma_{ch_MAX}(\omega)$ et $\Gamma_{s_MAX}(\omega)$ autour des valeurs des impédances optimales $Z_{s_opt}(\omega)$ et $Y_{ch_opt}(\omega)$ correspondant au fonctionnement optimal du transistor en PAE (PAE_{Max}).

Pour respecter le cahier des charges défini au début de ce chapitre, pour lequel la PAE doit être supérieure à 40% et compte-tenu des valeurs de PAE maximales obtenues par les simulations de source et de charge active, il est possible d'accepter une dégradation du rendement de 10%. Les lieux d'impédances de source et des admittances de charge donnant

les performances en PAE comprise entre 90% et 100% des valeurs optimales de PAE ont donc ainsi été ajoutées à la figure IV. 4. Ils sont aussi représentés sur la figure IV. 8 pour des fréquences comprises entre 1 et 4.5GHz. Ils apparaissent en jaune pour les impédances de source et en orange pour les admittances de charge. Ils permettent de définir clairement les valeurs maximales des coefficients de réflexion à utiliser en entrée et en sortie pour respecter le critère minimum des 90% de l'optimum de PAE.

Ces lieux d'impédances de sources et d'admittances acceptent donc des valeurs limites appelées sur la figure IV.8 « enveloppes limites admissibles ». Le concepteur a donc pour objectif de réaliser les circuits d'adaptations présentant au transistor des impédances et admittances comprises dans la zone décrite par ces enveloppes limites admissibles.

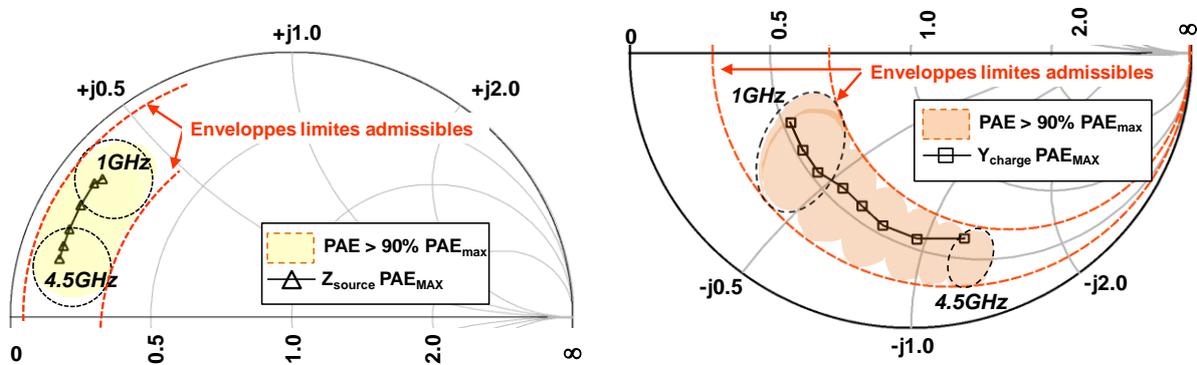


Figure IV.8 : Lieux d'impédance et d'admittance tolérés pour un fonctionnement à haut rendement.

Les équations (IV.10) et (IV.11) permettent de calculer respectivement les valeurs maximales des coefficients de réflexion admissibles à présenter à l'entrée $|\Gamma_{s_MAX}(\omega)|$ et à la sortie $|\Gamma_{ch_MAX}(\omega)|$ du transistor.

$$|\Gamma_{s_MAX}(\omega)| = \left| \frac{Z_{s_opt}^*(\omega) - Z_{s_90\%}(\omega)}{Z_{s_opt}(\omega) + Z_{s_90\%}(\omega)} \right| \quad \text{Equation IV. 10}$$

$$|\Gamma_{ch_MAX}(\omega)| = \left| \frac{Y_{ch_opt}(\omega) - Y_{ch_90\%}(\omega)}{Y_{ch_opt}(\omega) + Y_{ch_90\%}(\omega)} \times \frac{Y_{ch_opt}^*(\omega)}{Y_{ch_opt}(\omega)} \right| \quad \text{Equation IV. 11}$$

Avec,

Z_{s_opt} : Impédances de source à PAE optimale.

$Z_{s_90\%}$: Impédances localisées sur l'enveloppe limite admissible $|\Gamma_{s_MAX}(\omega)|$.

Y_{ch_opt} : Admittances de charge à PAE optimale.

$Y_{ch_90\%}$: Admittances localisées sur l'enveloppe limite admissible $|\Gamma_{ch_MAX}(\omega)|$

Pour cette étude, le travail de conception consistera ainsi à travailler avec les valeurs suivantes :

$$\blacksquare \quad |\Gamma_{s_MAX}(\omega)| \leq 0.5$$

Le réseau d'adaptation à l'entrée du transistor doit présenter un module de coefficient de réflexion inférieur à 0.5.

$$\blacksquare \quad |\Gamma_{ch_MAX}(\omega)| \leq 0.2$$

Le réseau d'adaptation en sortie du transistor doit présenter un module de coefficient de réflexion inférieur à 0.2.

Il est à noter que les simulations permettent de valider le fonctionnement du transistor de manière à obtenir un rendement compris entre 61.2% (90% de PAE_{opt}) et 68% (PAE_{opt}) dans la bande de fréquence 1-4.5GHz. Il est toutefois intéressant d'appliquer les formules déduites des postulats de Bode et Fano pour estimer les limites théoriques des bandes passantes qui pourraient être obtenues avec les valeurs limites des coefficients de réflexion de source et de charge issues des simulations précédentes.

IV.2.6 Calcul des valeurs maximales théorique de bande passante d'adaptation du transistor pour maintenir 90% de PAE_{opt} .

IV.2.6.1 Détermination de la limitation en bande passante d'adaptation pour le quadripôle idéal d'entrée du transistor.

Les simulations de variation d'impédance de source ont montré que le modèle simplifié du transistor présente en entrée un circuit série [R_{in} , C_{in}] au point de fonctionnement optimal en rendement, dans une large bande de fréquence [1-4.5GHz]. Pour une valeur de $|\Gamma_{s_MAX}|=0.5$ et d'après les valeurs de R_{in} et C_{in} obtenus lors des simulations, l'équation IV.6 permet de déduire la bande passante maximale théorique qui peut être obtenue en utilisant un quadripôle d'adaptation idéal, sans pertes et constitué d'un nombre infini d'éléments (L, C).

$$\Delta f = \frac{2\pi^2 R_{in} C_{in} f_0^2}{\ln \left| \frac{1}{\Gamma_{s_MAX}} \right|} = 5.38 \text{GHz} \quad \text{Equation IV. 12}$$

Ainsi, en introduisant les valeurs des éléments équivalents du transistor : $R_{in} = 3.5\Omega$ et $C_{in} = 6\text{pF}$, les bandes passantes théoriques possibles qu'il est possible d'atteindre avec cette

technologie sont supérieures à 2 octaves autour d'une fréquence centrale de 3GHz ($\Delta f=5.38\text{GHz}$).

IV.2.6.2 Détermination de la limitation en bande passante pour le quadripôle idéal de sortie du transistor.

La même méthode que précédemment est utilisée en sortie du transistor pour déterminer la bande passante maximale d'adaptation théorique, définie par l'équation IV.9. Comme vu précédemment, le circuit de sortie du transistor peut être modélisé par un circuit RC parallèle constitué d'une résistance R_{out} égale à 130Ω et d'une capacité C_{out} de 0.9pf . La bande passante maximale d'adaptation théorique est alors définie par l'équation suivante :

$$\Delta f = \frac{1}{2 \cdot R_{out} C_{out} \ln \left| \frac{1}{\Gamma_{ch_MAX}} \right|} = 2.65\text{GHz} \quad \text{Equation IV. 13}$$

La bande passante est calculée pour un module du coefficient de réflexion égale à 0.2 correspondant à un rendement supérieur à 90% de la PAE_{Max} . Une bande passante maximale théorique d'adaptation en sortie égale à 2.65GHz est alors obtenue.

Pour cette technologie GH50 de la fonderie UMS, le circuit d'entrée ne présente pas une limite théorique très restrictive ($\Delta f = 5.38\text{GHz}$) pour obtenir des performances en rendement sur de larges bandes passantes. Néanmoins, lors de la conception du réseau d'adaptation d'entrée, le concepteur doit garder en mémoire que le gain d'insertion de l'amplificateur diminue lorsque le quadripôle d'adaptation d'entrée présente une impédance trop éloignée de l'impédance optimale en PAE. Cette diminution du gain d'insertion peut être un levier d'action pour maintenir un gain constant dans une très large bande passante sans pour autant détériorer les performances en rendement de l'amplificateur.

Ainsi, il est à noter que l'admittance de sortie du transistor est le principal facteur limitatif des performances de l'amplificateur final pour la technologie GaN GH50 d'UMS. A partir du modèle simplifié du circuit de sortie R_{out} - C_{out} parallèle du transistor, la constante de temps de sortie τ_{out} peut être calculée par l'équation :

$$\tau_{out} (s) = R_{out} \times C_{out}$$

L'équation IV.13 peut alors s'écrire comme :

$$\Delta f = \frac{1}{\tau_{out} \times \ln \left| \frac{1}{\Gamma_{ch_MAX}} \right|}$$

Il apparait clairement que la bande passante maximale atteignable et inversement proportionnelle à cette constante de temps. D'un point de vue purement mathématique, il est donc nécessaire de minimiser cette constante pour atteindre des largeurs de bande passante élevées. C'est donc ce critère de constante de temps que les technologues doivent prendre en compte pour créer des transistors dont le principal objectif est le maintien des performances dans une bande passante de fonctionnement très large. Ainsi pour cette technologie, il vient d'être démontré qu'il était impossible d'avoir une bande passante égale à 2.65GHz tout en maintenant un rendement en puissance ajouté (PAE) supérieur à 90% de PAE_{opt}. Cette limite est celle qui est obtenue en supposant que le quadripôle d'adaptation de sortie est idéal, sans pertes avec un nombre infini d'éléments (cellule L, C).

IV.2.7 Influence des pertes du circuit d'adaptation de sortie.

Les pertes d'insertion d'un quadripôle d'adaptation réel constituent un facteur prépondérant pour optimiser les performances de l'amplificateur en termes de puissance de sortie et de rendement en puissance ajoutée dans la bande passante considérée. Ces pertes d'insertion doivent être minimisées dans tous les cas pour des performances « grand signal » optimales. Les dégradations de la PAE due aux pertes du circuit de sortie sont définies à titre d'exemple en calculant :

- d'une part, la PAE idéale sans les pertes introduites par le circuit d'adaptation de sortie décrit par l'équation IV.14:

$$PAE_{ideale} = P_{sortie} \left(\frac{1 - \frac{1}{Gain}}{P_{DC}} \right) \quad \text{Equation IV.14}$$

- d'autre part, la PAE obtenue, si ces pertes sont introduites à l'aide d'un coefficient « $\alpha < 1$ », atténuant le gain et la puissance de sortie, dans l'équation précédente. Elle s'écrit alors :

$$PAE = \alpha \times P_{sortie} \left(\frac{1 - \frac{1}{\alpha \cdot Gain}}{P_{DC}} \right) = PAE_{ideal} \left(\frac{\alpha - \frac{1}{Gain}}{1 - \frac{1}{Gain}} \right) \quad \text{Equation IV.15}$$

Par conséquent, pour un gain choisi égal à 10dB et des pertes de l'ordre de 0.5dB (correspondant à une valeur $\alpha=0.89$), la PAE réelle est alors égale à 88% de la PAE idéale.

Cet exemple démontre l'importance et la nécessité absolue de réduire les pertes induites par le circuit d'adaptation de sortie (une perte de 0.5dB induit une réduction supérieure à 10% de la PAE optimale).

IV.2.8 Détermination de la bande passante d'un quadripôle d'adaptation de sortie constitué d'un nombre « n » d'éléments d'adaptation.

La synthèse d'un quadripôle d'adaptation avec un nombre infini d'éléments n'est pas raisonnable et envisageable en pratique. Il est donc intéressant d'étudier l'influence du nombre d'éléments d'adaptation pris en compte, dans un quadripôle d'adaptation donné, sur l'évolution de la valeur de la bande passante atteignable. Pour ce faire, l'hypothèse d'une synthèse de filtre passe-bande, de type Tchebychev, a été utilisée pour la conception du quadripôle d'adaptation de sortie sans perte.

Plusieurs filtres passe-bande Tchebychev ont donc été tracés avec un nombre d'éléments « n » variant de $n=2$ à ∞ . Puis une étude théorique de la variation de la valeur de la bande passante du transistor, adapté par ces filtres Tchebychev, a été menée en fonction du module du coefficient de réflexion présenté en sortie du modèle simplifié du transistor et paramétré par le nombre d'éléments n du filtre. Les résultats de cette étude sont présentés sur la figure IV.9.

Sur cette figure, il est clairement mis en exergue l'évolution de la largeur de la bande passante maximale pour la valeur du coefficient de réflexion de sortie obtenu précédemment ($|\Gamma_{ch_MAX}(\omega)| \leq 0.2$) et pour une constante de temps de sortie $\tau_{out}=1.17.10^{-10}$ s ($130\Omega \times 0.9$ pf) pour respecter la condition d'ondulation de rendement en puissance comprise au maximum entre 90% et 100% de la PAE optimale.

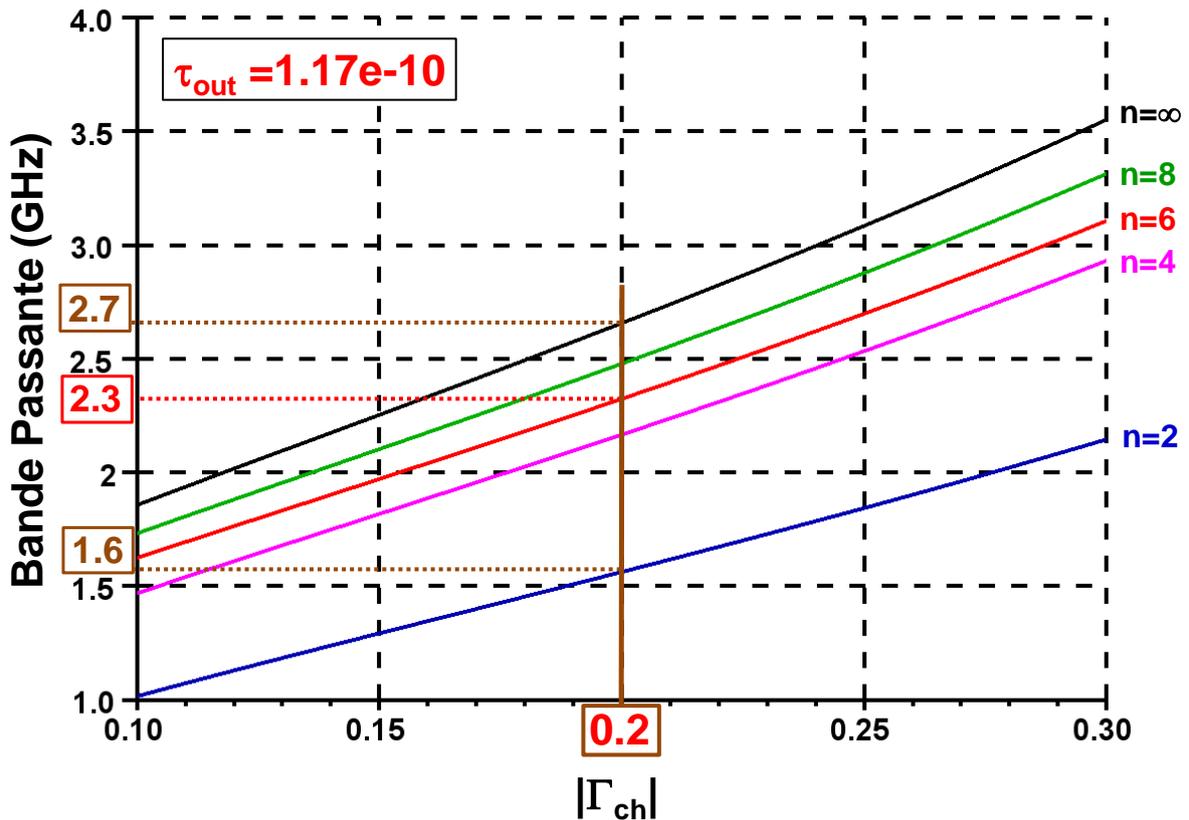


Figure IV.9 : Largeur de bande passante maximum théorique en fonction du nombre d'éléments d'adaptation pour un quadripôle d'adaptation de type Tchebychev.

La figure IV.9 montre que pour ce coefficient de réflexion ($|\Gamma_{ch}(\omega)|=0.2$), la largeur de bande passante maximum théorique varie de 1.6GHz pour n=2 éléments à 2.7GHz pour un nombre d'élément infinis (limite de Bode).

A titre d'information complémentaire, la même étude a été appliquée à la technologie GaN GH25 d'UMS destiné à des applications pouvant fonctionner jusqu'en bande Ku. La technologie GH25 a une longueur de grille de $0.25\mu\text{m}$. En s'appuyant sur des simulations de variation de charge réalisées sur un modèle de transistor GH25 de 2mm de développement de grille fournie par UMS, une constante de temps de sortie $\tau_{out}=R_{out}.C_{out}=0.51.10^{-10}\text{s}$ a pu être obtenu en utilisant la même procédure théorique que celle appliquée au transistor GH50.

L'évolution de la valeur de la largeur de bande passante d'adaptation est tracée sur la figure IV.10 en fonction du module du coefficient de réflexion de sortie $|\Gamma_{ch}(\omega)|$. Les courbes sont obtenues pour un nombre variable d'éléments (n) du quadripôle d'adaptation de sortie pour une réponse de type Tchebychev et pour une constante de temps de sortie obtenue sur la technologie GH25.

Les résultats obtenus, pour un coefficient de réflexion $|\Gamma_{\text{charge}}(\omega)|=0.2$ par exemple permettent d'obtenir une bande passante maximum théorique de 3.6GHz pour un quadripôle d'adaptation constitué de 2 éléments. Cette valeur maximale de bande passante théorique augmente jusqu'à 6.1GHz pour un quadripôle d'adaptation de sortie constitué d'un nombre infini d'éléments (limite de Bode).

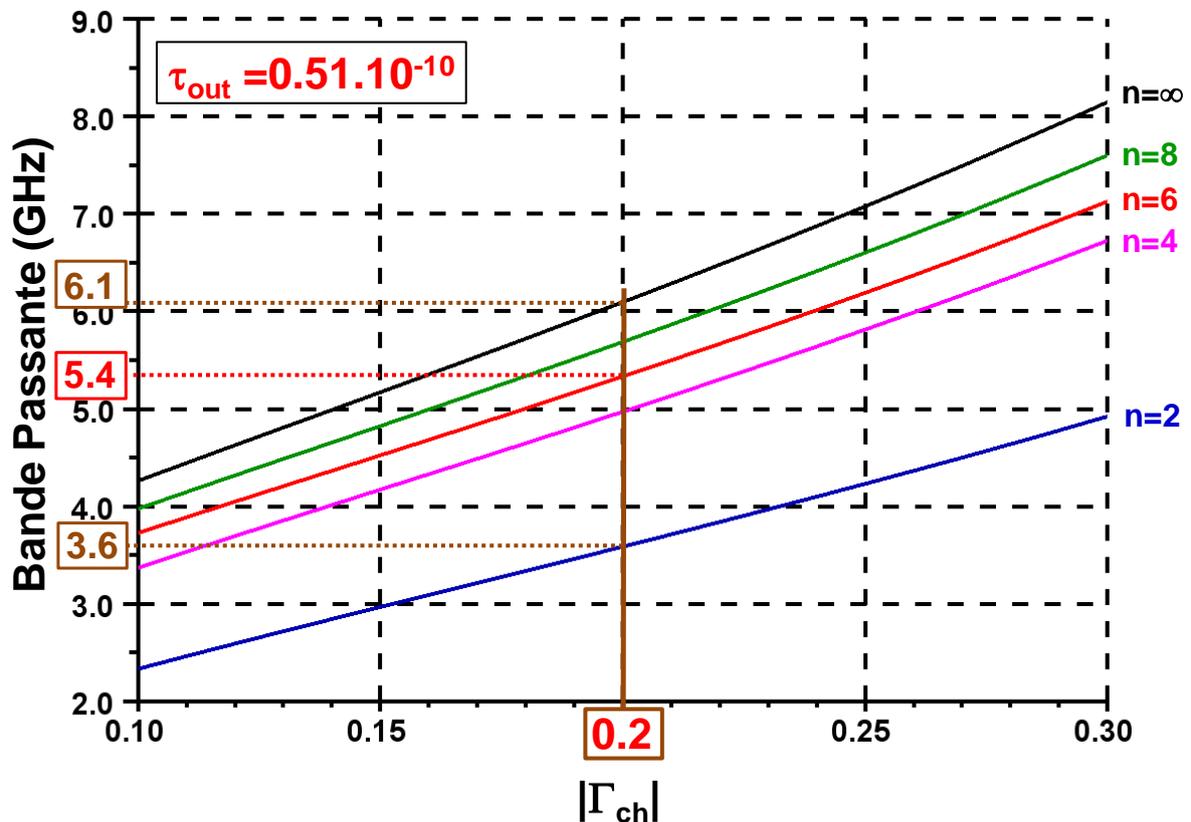


Figure IV.10 : Largeur de bande passante maximale théorique en fonction du nombre d'éléments d'adaptation pour un quadripôle de type Tchebychev (technologieGH25).

La technologie GH25, avec une constante de temps de sortie inférieure à celui de la technologie GH50, offre une largeur de bande d'adaptation beaucoup plus importante. Cependant, la technologie GH25 a une densité de puissance plus faible que sur GH50. Par conséquent, l'ajout de transistors GH25 supplémentaires pour compenser la perte, par rapport à GH50, conduit à augmenter le rapport de transformation nécessaire pour l'adaptation de sortie de ces transistors montés en parallèle. Cette augmentation se traduira alors par une élévation des pertes d'insertion du quadripôle d'adaptation de sortie. Des études complémentaires doivent donc être menées pour juger de la capacité de la filière GH25 à atteindre des performances conjuguées de puissance, de PAE et de largeur de bande passante.

Dans le cadre de ce travail, la figure IV.9 fait apparaître qu'une synthèse de filtre de type Tchebychev avec un nombre de 6 éléments est un bon compromis bande passante/rendement d'un point de vue théorique. Il permet d'obtenir une bande passante supérieure à 2GHz pour une fréquence centrale de 3GHz conforme au cahier des charges présenté en début de ce chapitre. Cette étude théorique doit alors être complétée par un travail important de conception dans lequel les pertes des circuits d'adaptation sont prises en compte pour optimiser les performances de l'amplificateur final.

IV.3 Conception d'un amplificateur « un étage » 25W large bande (2-4GHz) à haut rendement et hautement intégrable.

Au cours de ces travaux a été réalisé un amplificateur à un étage dans la gamme de puissance de sortie de 25W, large bande (couvrant la bande de fréquence 2-4GHz), à haut rendement et hautement intégrable. La demande pour des amplificateurs de puissance fournissant de plus en plus de puissance avec des encombrements et des coûts toujours plus faibles, a poussé UMS à s'interroger sur une solution hautement intégrable pour des applications à très forte puissance, tout en minimisant les aspects coût et délais de fabrication. En effet, aujourd'hui les technologies tout MMIC GaN ont des coûts encore trop élevés et des délais de fabrication très longs. Pour réduire ces inconvénients, UMS a développé une nouvelle technologie, appelé ULRC, basé sur une technologie MMIC AsGa permettant l'adaptation des barrettes de transistors de puissance GaN. Le travail de conception de l'amplificateur réalisé, dans le cadre de ce travail, a permis d'évaluer les capacités de la technologie GH50 UMS pour des applications large bande et aussi d'évaluer la fiabilité de la technologie ULRC pour l'adaptation de barrette de puissance GaN.

IV.3.1 La technologie ULRC

La technologie ULRC constituée uniquement d'éléments passifs est une amélioration du process de la filière de puissance AsGa UMS PPH25.

Elle a été améliorée pour répondre aux besoins d'adaptation des barrettes de puissance GaN [IV. 4], de par leur fort niveau de tension de polarisation et du haut niveau de courant et de puissance générés. Cette technique offre de nombreux avantages. Elle est une solution fortement intégrable (fondée sur un process MMIC). Elle offre une grande flexibilité de conception (éléments distribués et éléments localisées R, L, C) comparée à des solutions hautement intégrables en alumine (solution à fort ϵ_r) par exemple. Enfin, elle présente une grande fiabilité de fabrication (reproductibilité du MMIC). La dernière génération de cette technologie MMIC AsGa offre aujourd'hui une amélioration de l'isolation du substrat pour en réduire les fuites, des capacités MIM (*Metal-Insulator-Metal*) avec des tensions de claquage

plus importantes et une amélioration des densités maximales de courant admissibles par les lignes microstrip.

De plus, cette solution MMIC AsGa permet la réalisation de « vias » à travers le substrat AsGa; ce que ne permettent pas aujourd'hui les alumines de très forte permittivité.

Sont résumé, ci-dessous, les principales caractéristiques des éléments passifs proposés par la dernière génération de la technologie ULRC :

- Capacités MIM : densité surfacique 175 pF/mm² ;
- Résistance : TaN = 30Ω/□ ; TiWSi = 1000Ω/□ ;
- Lignes de transmission sur-épaissie :
 - Densité de courant linéique DC : 15mA/μm.
 - Densité de courant linéique RMS : 80mA/μm.

Il est à noter que les densités de courant linéique (DC et RMS) seront à prendre en compte lors des phases de conception des circuits d'adaptation de sortie afin d'assurer le bon dimensionnement des différents éléments (Inductance, Capacité, Résistance ...).

IV.3.2 Spécifications techniques liées à la conception de l'amplificateur de puissance Quasi-MMIC.

IV.3.2.1 Contraintes lié à la polarisation de l'amplificateur

Dans le cahier des charges défini en début de ce chapitre, le choix de la configuration de polarisation de l'amplificateur est laissé à l'appréciation du concepteur. Il peut alors choisir d'utiliser une polarisation interne au boîtier de l'amplificateur, pour une réduction de l'encombrement, ou choisir d'employer des «Tés» de polarisation externes.

Dans les deux cas, une capacité de découplage (C_{dec}) est nécessaire à l'extérieur des accès d'entrée et de sortie du boîtier pour découpler la RF du DC.

La figure IV.11 illustre la topologie de l'amplificateur de puissance selon les deux configurations imposées par le cahier des charges.

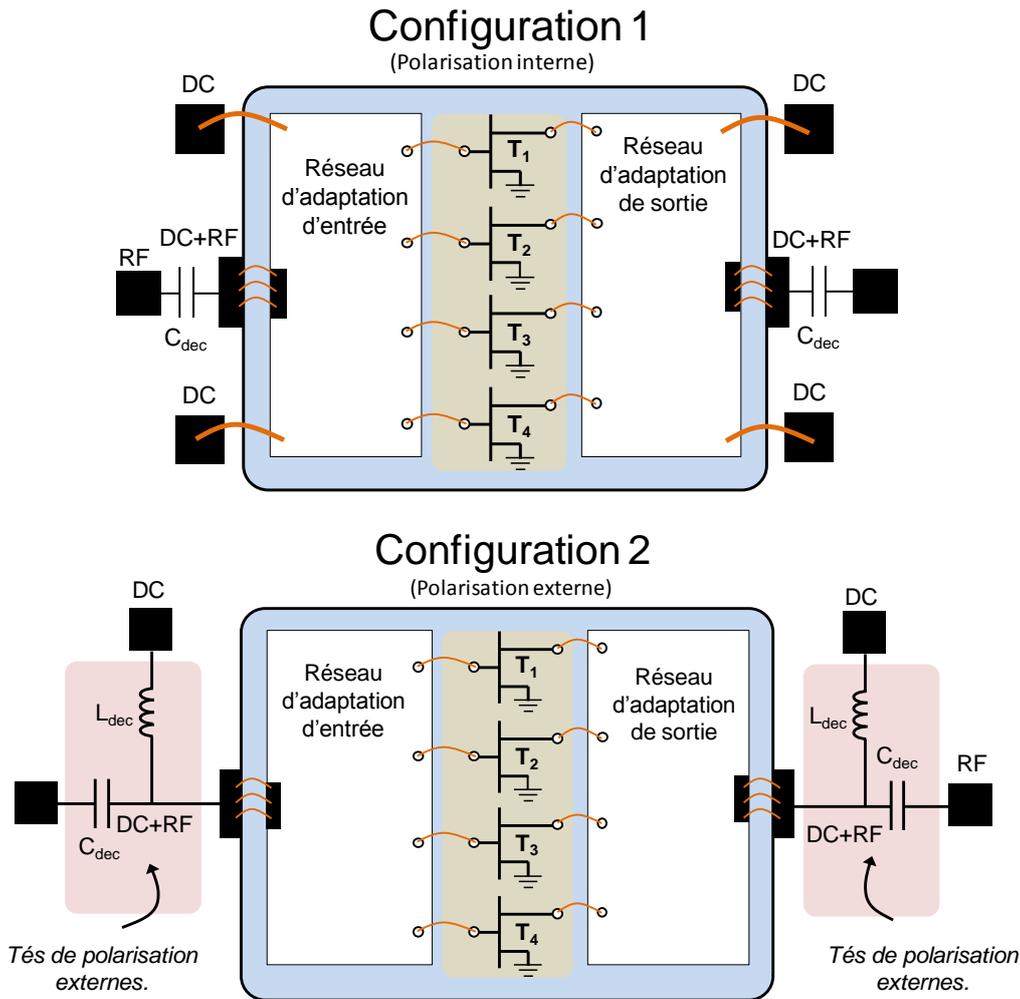
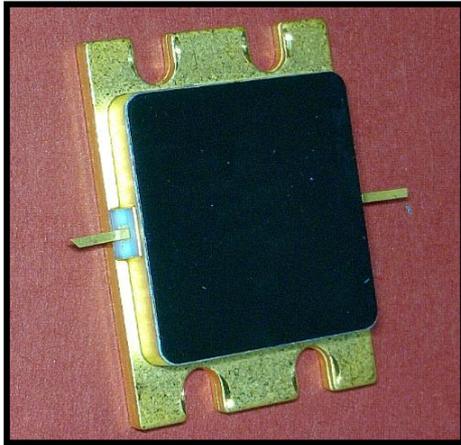


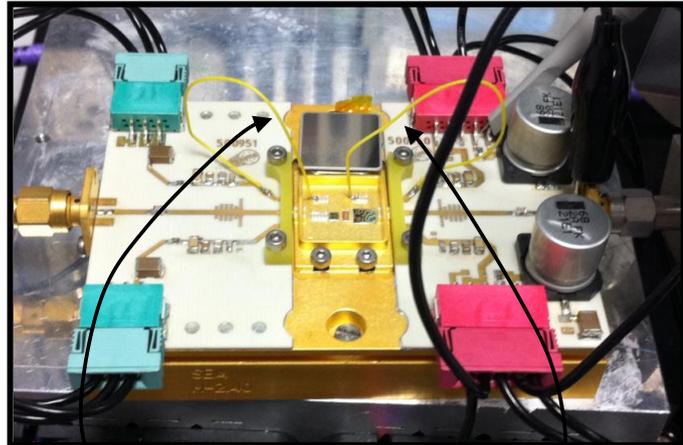
Figure IV.11 : Présentation de l'architecture d'amplificateur à un étage selon les deux configurations de polarisation proposées à l'utilisateur.

La barrette GaN est reliée aux réseaux d'adaptation entrée/sortie par des fils de câblages.

Pour satisfaire ce besoin des choix de polarisation, un boîtier spécifique a été sélectionné. Malheureusement, les délais d'approvisionnement trop longs ont imposé le choix d'une solution « laboratoire ». Un boîtier « SEA » comme montré sur la figure IV.12 avec seulement un accès en entrée et un en sortie a été utilisé. Cette solution ne permet pas, par défaut, d'accéder à la configuration permettant la polarisation interne au boîtier. Pour contourner ce problème, des fils de câblages ont été utilisés pour accéder aux accès de polarisation interne.



Boîtier SEA



Accès polarisation interne

Figure IV.12: boîtier SEA UMS et amplificateur réalisé

La figure IV.12 montre une photographie du boîtier SEA utilisé pour ces travaux ainsi qu'une photographie montrant l'amplificateur intégré dans ce même boîtier. Des fils électriques sont utilisés pour polariser en interne l'amplificateur.

IV.3.2.2 Contraintes liées à l'optimisation de barrette de puissance GaN

L'objectif de cette conception est d'évaluer, d'une part les potentialités de la technologie GaN GH50 en termes d'amplification de puissance large bande (2-4GHz) à haut rendement, et d'autre part, d'évaluer la potentialité de la technologie MMIC AsGa ULRC modifié pour l'adaptation des barrettes de puissance GaN.

Les courants de sortie de chaque transistor de la barrette sont importants et impliquent d'apporter une attention particulière à l'optimisation des largeurs de ligne afin de converger vers une solution fiable. En effet, les lignes de transmission et les self-inductances de la technologie ULRC doivent être dimensionnées afin de supporter les courants de sortie élevés de chaque transistor. En outre, la tension de polarisation de drain de la barrette GH50 GaN est ici fixée à 50V. En conséquence, une vigilance a été apportée aux tensions de claquage des capacités MIM. Pour cela, la mise en série de ces capacités a été utilisée pour réduire la tension aux bornes de chacune d'elle.

Enfin, un travail important de dimensionnement des circuits de polarisation et d'adaptation a été effectué pour assurer leur intégration à l'intérieur du boîtier.

IV.3.3 Conception de l'amplificateur « un étage » 25 W, large bande à haut rendement en technologie Quasi-MMIC.

La conception de l'amplificateur est fondée sur l'utilisation d'une barrette de 4 cellules unitaires GH50 de 2mm de développement de grille. Les différentes étapes de la conception de cet amplificateur de puissance sont détaillées dans les paragraphes suivant. La technologie utilisée se trouve être la technologie GH50 : celle utilisée lors de la conception de l'amplificateur hybride 1-3GHz décrit dans le chapitre III. Dès lors, le modèle de transistor unitaire GH50, fourni par UMS, a été réutilisé pour cette nouvelle conception. Ainsi, les simulations de variation de charge, réalisées préalablement sur un transistor GH50 de 2mm de développement de grille, restent toujours valables pour cette conception.

IV.3.3.1 Synthèse des quadripôles d'adaptations d'entrée et de sortie.

Les travaux réalisés dans la partie IV.1, concernant l'adaptation d'impédance large bande ont montré que pour réaliser une adaptation de la sortie du transistor à une charge 50Ω sur une bande de fréquence de 2GHz autour d'une fréquence centrale de 3GHz, un quadripôle d'adaptation de type Tchebychev, constitué de 6 éléments, est nécessaire.

IV.3.3.1.1 L'utilitaire « Impedance Matching » d'ADS

Pour synthétiser le circuit de sortie, l'utilitaire appelé « *Impedance Matching* » disponible sous le logiciel CAO ADS a été utilisé. Il permet de générer une topologie constituée d'éléments d'adaptation par une méthode d'optimisation numérique.

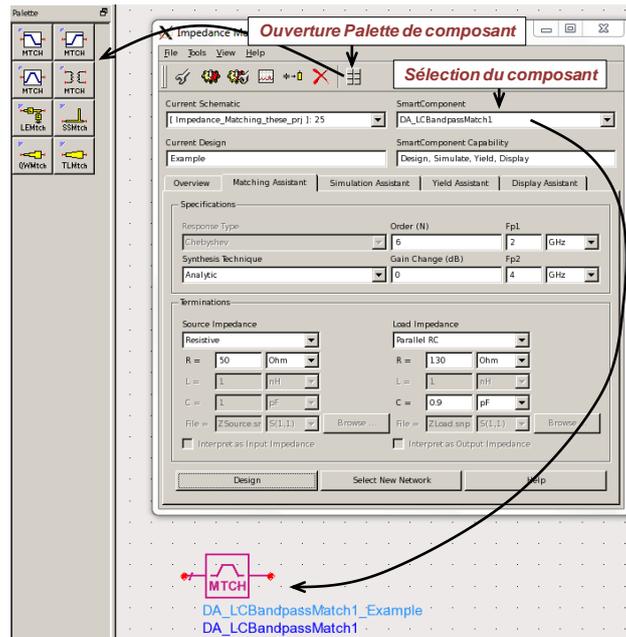


Figure IV.13 : Aperçu de l'utilitaire ADS « *Impedance Matching* »

Les circuits générés sont constitués d'éléments localisés ou distribués. L'utilitaire génère une topologie de quadripôle qui permet d'adapter de manière optimale deux impédances ou admittances réelles ou complexes placées en vis-à-vis sur une bande passante prédéfinie par l'utilisateur. Les réponses peuvent être de type passe-bas, passe-haut ou passe-bande.

L'utilitaire est paramétré selon plusieurs caractéristiques définies ci-dessous :

- Le type de réponse : différentes réponses peuvent être définies telle qu'une réponse de type Butterworth, Tchebychev, Bessel-Thompson ou Gaussian.
- La méthode de synthèse du circuit : deux méthodes détaillées dans les paragraphes suivant sont disponibles pour synthétiser le réseau d'adaptation : La méthode « *analytique* » ou celle des « *fréquences réelles* ».
- L'ordre du réseau : il correspond généralement au nombre d'éléments réactifs.
- Fp1, Fp2 : ces variables correspondent respectivement à la fréquence basse et la fréquence haute de la bande de fréquence d'adaptation souhaitée.

Enfin, sont paramétrables les impédances présentées à chaque accès du quadripôle d'adaptation. L'utilitaire accepte des impédances localisées (RC, RL, RLC série ou parallèle), des impédances complexes ou un fichier de mesures ou de simulation issu des paramètres S.

▪ **Technique de synthèse des circuits :**

L'utilitaire propose le choix entre deux techniques de synthèse de circuit pour des éléments localisées : « *Analytique* » et « *fréquence réelle* ».

- Méthode *analytique* : Cette méthode réalise la synthèse d'un filtre à réponse Tchebychev par défaut car il peut compenser partiellement les réactances de charge et de source comme le décrivent [IV.5] et [IV.6]. Cette méthode de synthèse est très robuste notamment pour des circuits de fermeture complexes, modélisés à partir d'éléments localisés ou définis par un fichier de mesure ou de simulation de paramètres S.

- Méthode des *fréquences réelles* : Développé à la fin des années 70 par Carlin [IV.7], cette méthode numérique consiste à représenter par des lignes brisées, en fonction de la fréquence, les parties réelles et imaginaires de l'impédance de fermeture en sortie du quadripôle. A l'inverse des méthodes analytiques classiques, il n'est pas nécessaire de connaître le modèle équivalent de la charge. La simple valeur de l'impédance de fermeture à des fréquences discrètes suffit à synthétiser le circuit d'adaptation par une réponse de type proche du type Tchebychev.

IV.3.3.1.2 Synthèse du circuit d'adaptation de sortie.

Le circuit d'adaptation de sortie a été optimisé pour répondre aux fonctionnalités suivantes :

- Présenter la charge optimale en PAE en sortie du transistor aux fréquences fondamentales.
- Contourner les lieux d'impédances à la fréquence harmonique 2 défavorables en PAE.
- Combiner la totalité de la puissance de chaque transistor de la barrette à la charge 50Ω de sortie avec le minimum de pertes d'insertion.
- Fournir la tension de polarisation adéquate à chaque transistor.
- Assurer le découplage DC à la sortie. (le découplage est assuré à l'extérieur du boîtier.)

L'utilitaire « *Impedance Matching ADS* » a été employé afin d'obtenir une topologie de circuit d'adaptation de sortie conduisant à un fonctionnement optimal en PAE du

transistor, dans une bande de fréquence 2-4GHz avec un nombre d'éléments (n) égal à 6. L'une des terminaisons du quadripôle d'adaptation de sortie a été définie par un circuit RC parallèle constitué d'une résistance 130Ω et d'une capacité de 0.9pf représentant l'impédance de sortie d'un transistor unitaire à son point optimum de fonctionnement en PAE. L'autre extrémité est fixée à 50Ω , impédance de charge de l'amplificateur. L'utilitaire génère une topologie d'adaptation constituée d'éléments localisés idéaux comme montré sur la figure IV.14.

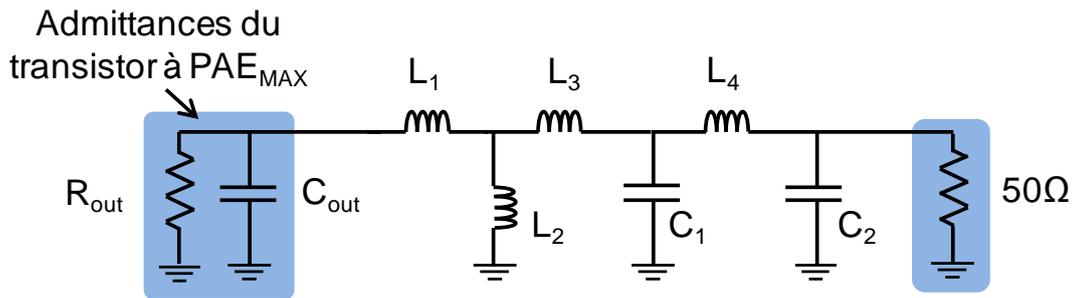


Figure IV.14 : topologie synthétisée pour le circuit d'adaptation de sortie.

Dans la topologie synthétisée, l'inductance L_2 a été utilisée comme self-inductance de découplage pour polariser les transistors. Des capacités de découplage DC/RF nécessaires ont ensuite été ajoutées au réseau d'adaptation. Le circuit obtenu par l'utilitaire ADS, pour un seul transistor, a été adapté pour prendre en compte la mise en parallèle des quatre transistors constituant la barrette. La conception du circuit d'adaptation de sortie est bâtie sur l'hypothèse de la symétrie de la barrette (4 transistors en parallèle symétriques 2 à 2). Ainsi, l'impédance de sortie de la barrette a été obtenue en divisant par 4 l'impédance de sortie d'un transistor unitaire.

Ensuite, les éléments en série de la topologie, obtenue pour la synthèse du circuit d'adaptation de sortie d'un transistor, sont divisés par le nombre de transistor en parallèle (N_b) tandis que les éléments parallèles sont multipliés par N_b .

Ainsi, la topologie obtenue pour le quadripôle d'adaptation de la sortie de la barrette constituée de quatre transistors GH50 de 2 mm de développement est présenté par la figure IV.15.

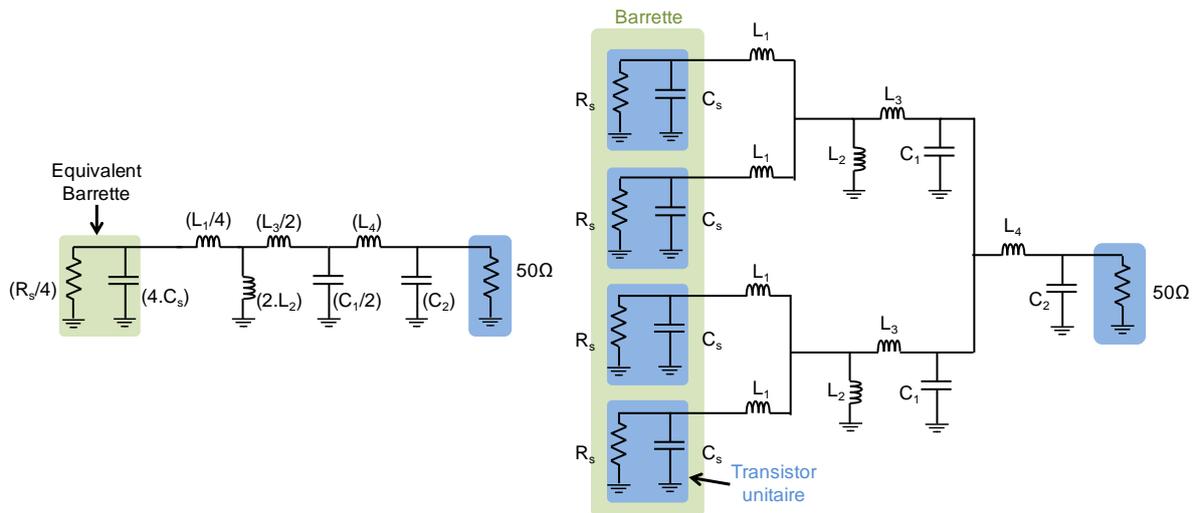


Figure IV.15 : Topologie équivalente pour une barrette de 4 transistors unitaires et topologie du circuit d'adaptation de sortie.

L'étape de conception suivante consiste à remplacer les éléments idéaux sans pertes de la topologie donnée dans la figure IV.15 par des éléments réels localisés (selfs inductance, capacités) ou par des éléments distribués issus des bibliothèques de conception de la technologie ULRC fournie par UMS. La conception du circuit d'adaptation avec ces éléments réels doit aussi respecter les règles de dessin et de fiabilité.

▪ **Conception du réseau d'adaptation de sortie :**

Le dessin («*layout*») finalement obtenu en respectant les contraintes de conception est présenté en figure IV.16.

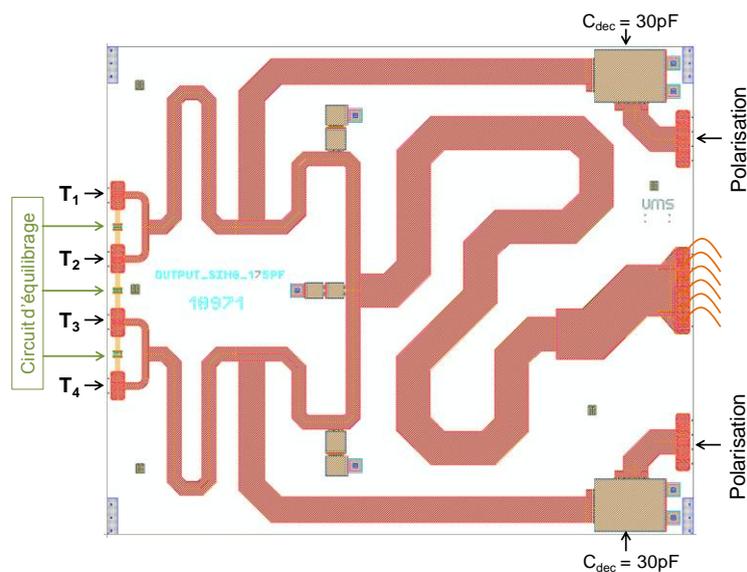


Figure IV.16 : Circuit de sortie final synthétisé.

Les selfs inductances localisées issues de la topologie de la figure IV.15 ont été remplacés par des lignes distribuées.

Le circuit de polarisation est constitué d'un stub en parallèle avec une capacité de découplage de 30pF. Des capacités plus grandes sont ajoutées à l'extérieur du boîtier afin de découpler les signaux aux basses fréquences.

Sur ce « layout », sont aussi présents des circuits d'équilibrage qui ne participent pas à l'adaptation des transistors mais qui sont destinés à éviter l'apparition d'oscillations de mode impair ($R=10\Omega$ placée au plus près entre chaque transistor de la barrette).

Aucune capacité de liaison n'est présente dans cette schématique puisque l'amplificateur propose le choix d'une polarisation externe avec des tés de polarisation.

Une étape finale d'optimisation électromagnétique, grâce au simulateur électromagnétique « *Momentum* » d'Agilent, est ensuite réalisée afin de prendre en compte les phénomènes de couplage qu'il peut subsister entre les lignes.

Les fils de câblage qui relient le réseau d'adaptation en sortie de la barrette à la sortie du boîtier ont été modélisés par une inductance équivalente définie selon la relation $L=\text{longueur dépliée} \times 0.7\text{nH/mm}$.

Comme l'amplificateur propose le choix d'une polarisation externe avec des tés de polarisation, 6 fils de câblages ont été mis en parallèle en sortie du boîtier. Cela permet de diviser par 6 le courant traversé dans un fil afin d'augmenter la robustesse du montage, et cela permet aussi de diviser approximativement par 6 la valeur de l'inductance équivalente globale afin de réduire l'influence des fils de câblage.

Le réseau d'adaptation de sortie a été simulé en paramètres [S] afin d'estimer les pertes d'insertion et les pertes par retour. Les coefficients de réflexion et transmission ont été simulés dans la bande de fréquence 1-5GHz. La valeur de S_{11} est inférieure à -10dB sur toute la bande utile (2-4GHz), comme le montre la figure IV.17. Cette valeur reste correcte pour cette largeur de bande passante.

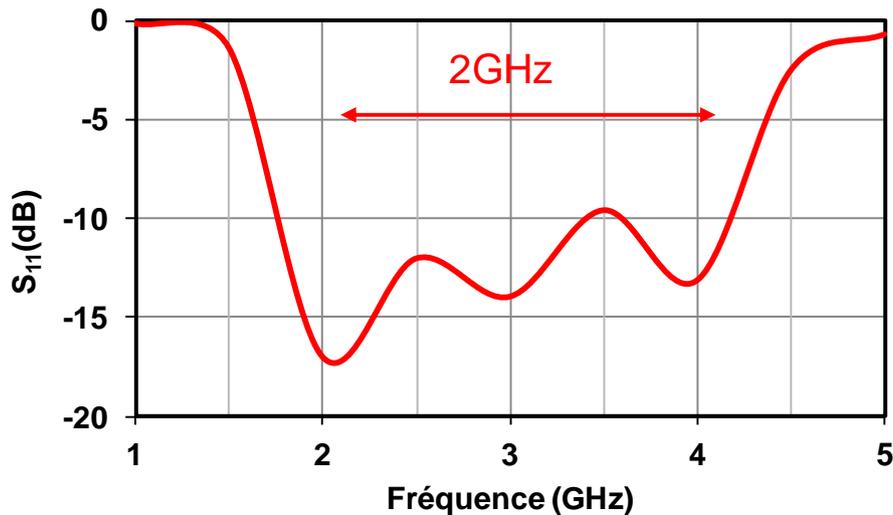


Figure IV.17 : Adaptation d'entrée (coté transistor) du circuit d'adaptation de sortie.

Les pertes d'insertion due au circuit de sortie sont tracées figure IV.18. Elles ont été optimisées durant les différentes étapes de la conception. Les pertes d'insertion obtenues sont de l'ordre de 0.5-0.7dB sur la bande 2-4GHz. Ses pertes, assez importantes, auront une conséquence directe sur le rendement de l'amplificateur.

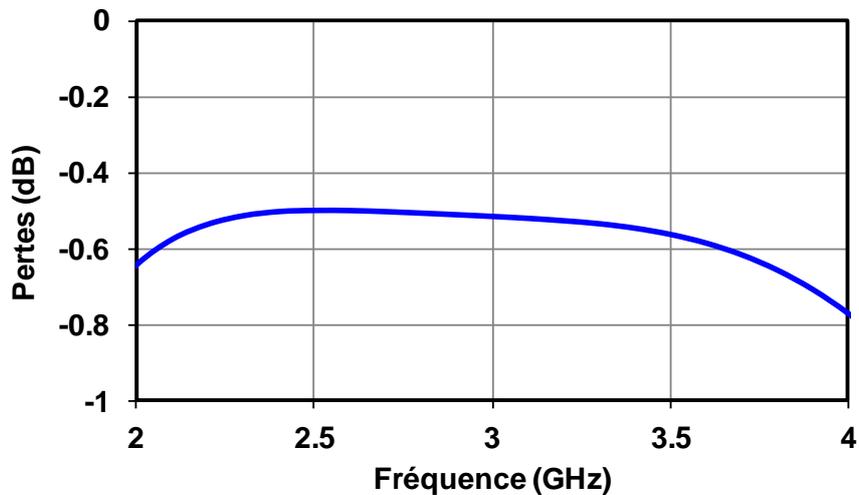


Figure IV.18 : Perte d'insertion du circuit d'adaptation de sortie.

La figure IV.19, présente l'admittance de charge synthétisée (en rouge) pour un transistor de la barrette, comparée à l'admittance de la charge optimale (noir) issue des simulations de variation de charge pour un fonctionnement optimal d'un transistor en PAE.

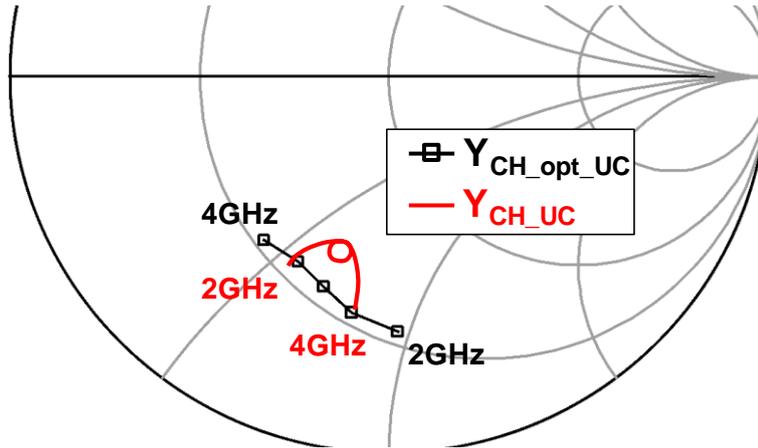


Figure IV.19 : Impédance présentée aux accès de sortie de chaque transistor dans la bande de fréquence 2-4GHz.

IV.3.3.1.3 Synthèse du circuit d'adaptation d'entrée.

Habituellement, le circuit d'adaptation d'entrée est réalisé lorsque le circuit de sortie est fixé. Le circuit d'adaptation d'entrée est optimisé pour répondre aux fonctions suivantes :

- assurer un gain plat dans la totalité de la bande passante.
- distribuer de manière identique un signal à l'entrée de chaque transistor, avec le minimum de pertes d'insertion.
- fournir la tension de polarisation à chaque transistor de la barrette.
- assurer le découplage DC à la sortie. (le découplage est réalisé à l'extérieur du boîtier.)

Un combineur est utilisé à l'entrée de l'amplificateur. Il permet d'assurer le rapport de transformation entre l'impédance interne de la source (égale à 50Ω) et la partie réelle de l'impédance d'entrée de la grille de chaque transistor (de l'ordre de 3.5Ω). Le rapport de transformation d'impédance doit rester constant dans la totalité de la bande utile.

Pour assurer la stabilité de l'amplificateur de puissance, une résistance (de l'ordre de $5-6\Omega$) est placée à l'entrée de la grille de chaque transistor. Une impédance à partie réelle positive est imposée à l'entrée du transistor par le circuit d'adaptation d'entrée. Un circuit RC parallèle est aussi ajouté en série afin de supprimer d'éventuelle oscillation à $f_0/2$. Un circuit de polarisation interne est intégré au circuit d'adaptation.

Comme le montre la figure IV.20, le gain de l'étage amplificateur diminue lorsque la fréquence augmente. La valeur du gain est tout d'abord optimisée à l'aide du quadripôle d'entrée à la fréquence haute de la bande passante utile, définie par le cahier des charges (4GHz dans ce travail).

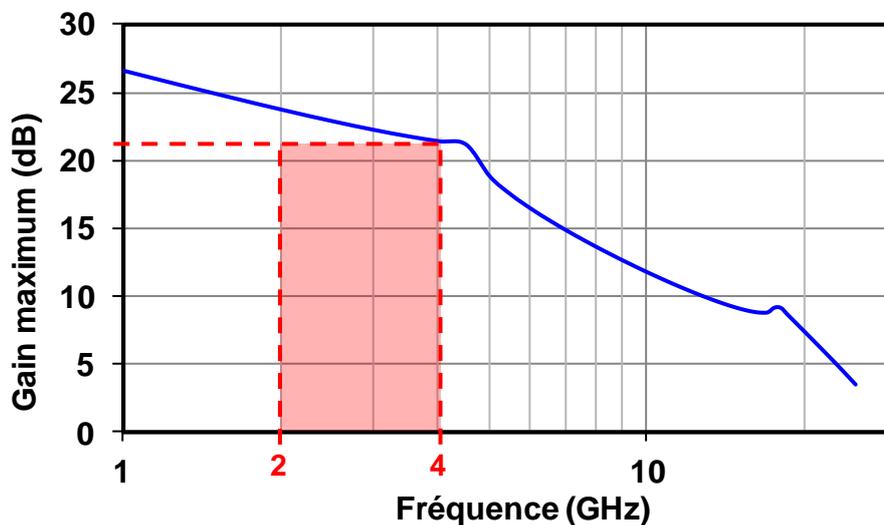


Figure IV.20 : Gain maximum simulé sur un transistor GaN GH50 de 2mm de développement.

Entre 2GHz et 4GHz, le quadripôle d'adaptation d'entrée d'un transistor est optimisé avec, pour objectif, d'obtenir un gain d'insertion plat dans toute la bande passante, sans détériorer le rendement en puissance ajoutée.

La figure IV.20 représente le gain maximum, obtenu lorsque l'entrée et la sortie sont simultanément chargées par leurs immittances conjuguées. Une décroissance du gain maximum en fonction de la fréquence est observée. L'optimisation du quadripôle d'adaptation d'entrée conduit à synthétiser un circuit, à partie réelle constante de l'ordre de 5Ω en série avec une inductance, qui compense la partie imaginaire capacitive de l'impédance d'entrée du transistor à 4GHz.

Cette inductance est en fait obtenue en dimensionnant correctement le fil de câblage reliant le quadripôle d'adaptation d'entrée à la grille du transistor.

Ensuite, le réseau d'adaptation d'entrée optimisé est simulé à l'aide du logiciel « *Momentum* » afin de prendre en compte les éventuels phénomènes de couplage entre les lignes.

▪ **Conception du réseau d'adaptation d'entrée :**

Le « layout » du circuit d'entrée est présenté sur la figure IV.21.

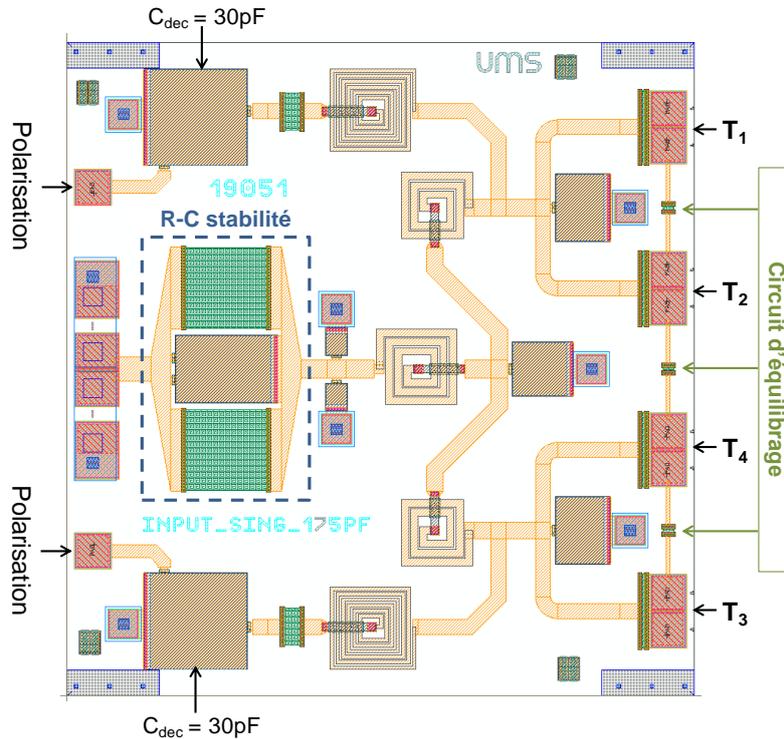


Figure IV.21 : Circuit d'adaptation d'entrée.

Comme pour le quadripôle d'adaptation de sortie, un circuit d'équilibrage est intégré au plus près de l'entrée de chaque transistor afin d'éviter l'apparition d'oscillation de mode impair. Le circuit RC de stabilité qui est intégré pour supprimer les éventuelles oscillations à $f_0/2$ est constitué d'une résistance de 25Ω en parallèle avec une capacité de 5pF . De plus, pour assurer une stabilité optimale, une résistance série ($R=12.5\Omega$) a été ajoutée sur le chemin de polarisation DC en vérifiant que celle-ci ne dégrade pas les performances globales de l'amplificateur.

Enfin, le circuit de polarisation est réalisé à l'aide d'une self-inductance fermée à l'extrémité par une capacité de découplage de 30pF . Des capacités de plus fortes valeurs sont ajoutées sur la ligne de polarisation pour améliorer la qualité du découplage RF à basses fréquences.

Le quadripôle d'adaptation d'entrée a été simulé en paramètres [S] pour estimer ses pertes d'insertion et les pertes par retour. Force est de constater que les résultats de simulation donnés sur la figure IV.22 et IV.23 laissent apparaître une dispersion assez forte entre les

valeurs optimales obtenues lors des simulations source-pull et les valeurs finalement réalisées. Ceci provient entre autre, de la difficulté de réaliser une adaptation d'impédance entre les faibles impédances d'entrée des transistors de la barrette et la charge 50Ω.

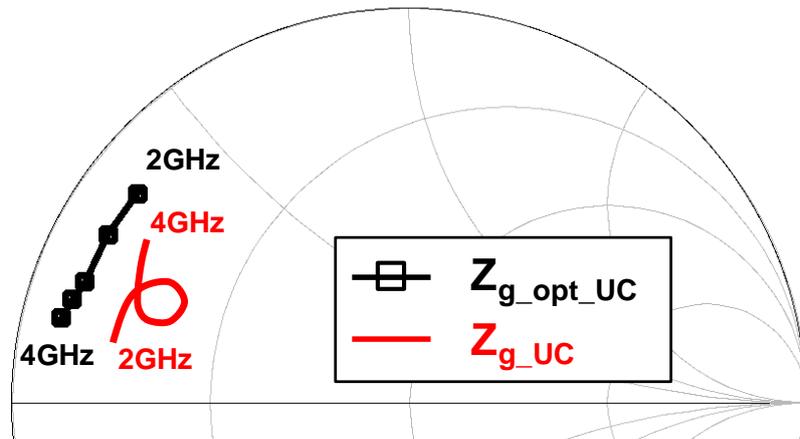


Figure IV.22 : Impédance présentée à l'entrée de chaque transistor dans la bande de fréquence 2-4GHz.

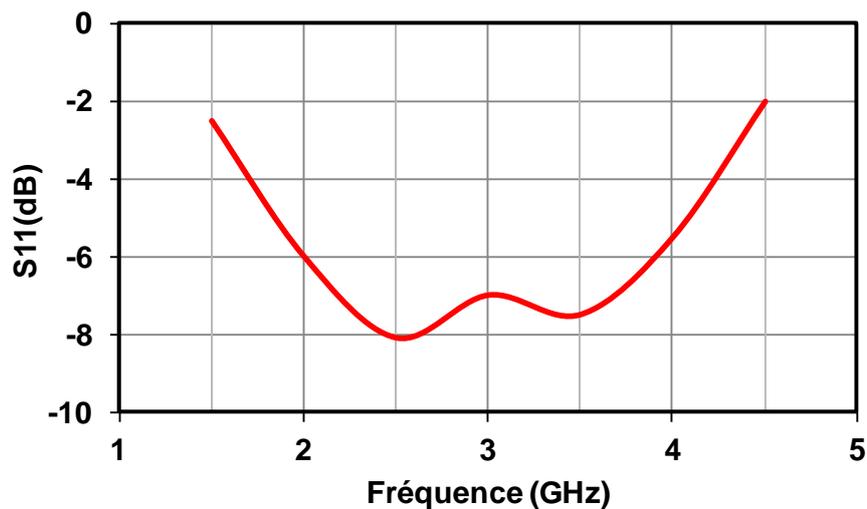


Figure IV.23 : Adaptation du circuit d'adaptation d'entrée.

La valeur importante du rapport de transformation entraîne aussi des pertes d'insertion assez fortes. Les pertes générées par le circuit d'adaptation d'entrée sont de l'ordre de 2dB comme le montre la figure IV.24.

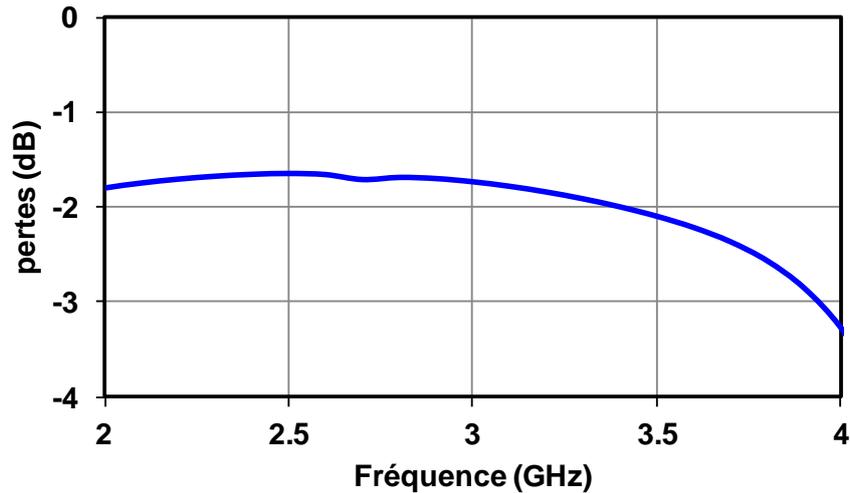


Figure IV.24 : Pertes d'insertion du circuit d'entrée

Enfin, une vérification de l'évolution des parties réelles et imaginaires des impédances d'entrée, de chaque transistor de l'amplificateur, est réalisée en fonction de la puissance disponible du générateur ($P_{\text{disp_gene}}(f_0)$). Elle permet de contrôler la potentialité d'instabilité dans l'amplificateur. La figure IV.25, ci-dessous, représente ces évolutions pour chaque transistor dans la totalité de la bande de fonctionnement.

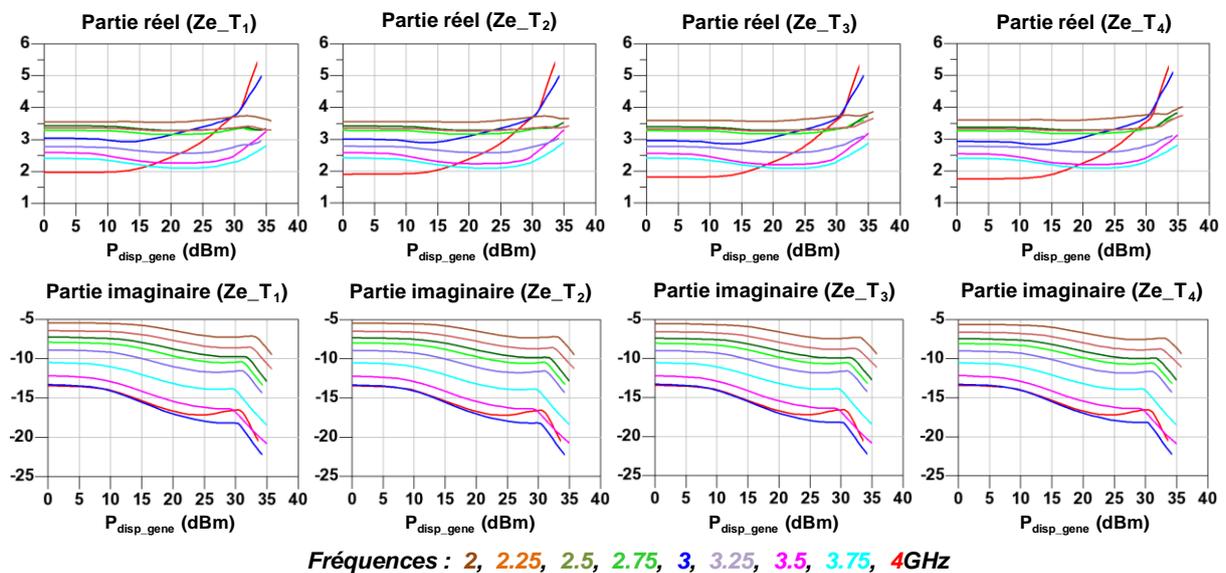


Figure IV.25 : Parties réelles et imaginaires de l'impédance d'entrée de chaque transistor en fonction de $P_{\text{disp_gene}}$ dans la bande de fréquence 2-4GHz.

Les résultats de simulation de l'amplificateur complet montrent que les parties réelles des impédances d'entrée de chaque transistor restent positives quelle que soit la puissance

disponible. Néanmoins une étude de stabilité plus poussée est indispensable avant le lancement du circuit en fabrication.

Quelques résultats de simulation fort signal de l'amplificateur de puissance sont présentés sur la figure IV.26. Les performances en puissance de sortie, gain d'insertion et PAE de l'amplificateur sont données en fonction de la puissance disponible du générateur dans la bande de fréquence 2-4GHz. Les meilleures performances en PAE sont obtenues pour une puissance disponible de 34.5dBm.

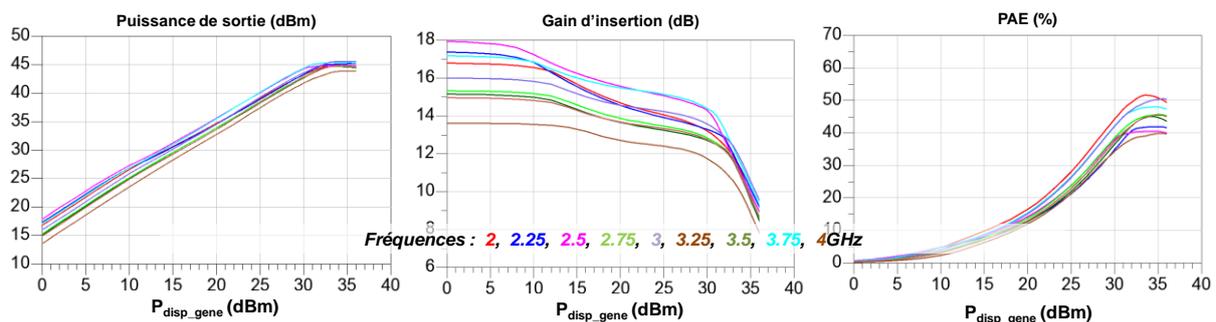


Figure IV.26 : Performances de l'amplificateur en fonction de P_{disp_gene} .

La figure IV.27 montre les performances simulées de l'amplificateur en fonction de la fréquence pour une puissance disponible délivrée par le générateur égale à 34.5dBm correspondant au maximum de PAE.

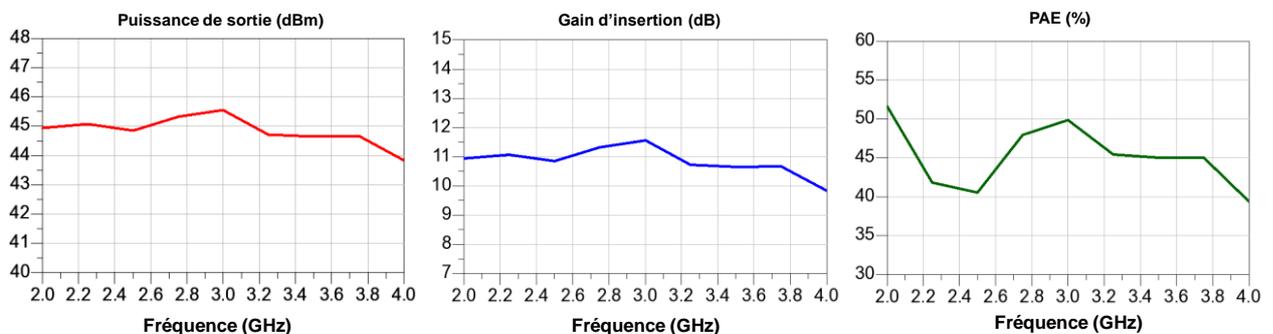


Figure IV.27 : Performances de l'amplificateur en fonction de la fréquence pour $P_{disp_gene}=34.5\text{dBm}$.

Les simulations de l'amplificateur de puissance indiquent une puissance supérieure à 44dBm (25W), un gain d'insertion de l'ordre 11dB et une PAE supérieure à 40% dans la bande de fréquence 2-4GHz.

Les cycles de charge de chaque transistor sont tracés sur la figure IV.28 pour des fréquences comprises entre 2 et 4GHz. Ces cycles de charges correspondent bien à une

adaptation d'impédance de sortie conduisant à un fonctionnement optimal en puissance et rendement de chaque transistor de l'amplificateur. En effet, l'excursion des cycles de charge se situe bien dans la zone de saturation jusqu'à la tension de coude de la caractéristique I/V du transistor. De plus, les cycles de charge de chaque transistor sont assez semblables. Ce dernier résultat assure de la bonne symétrie des immitances présentées à chaque transistor par les circuits d'adaptation d'entrée et de sortie.

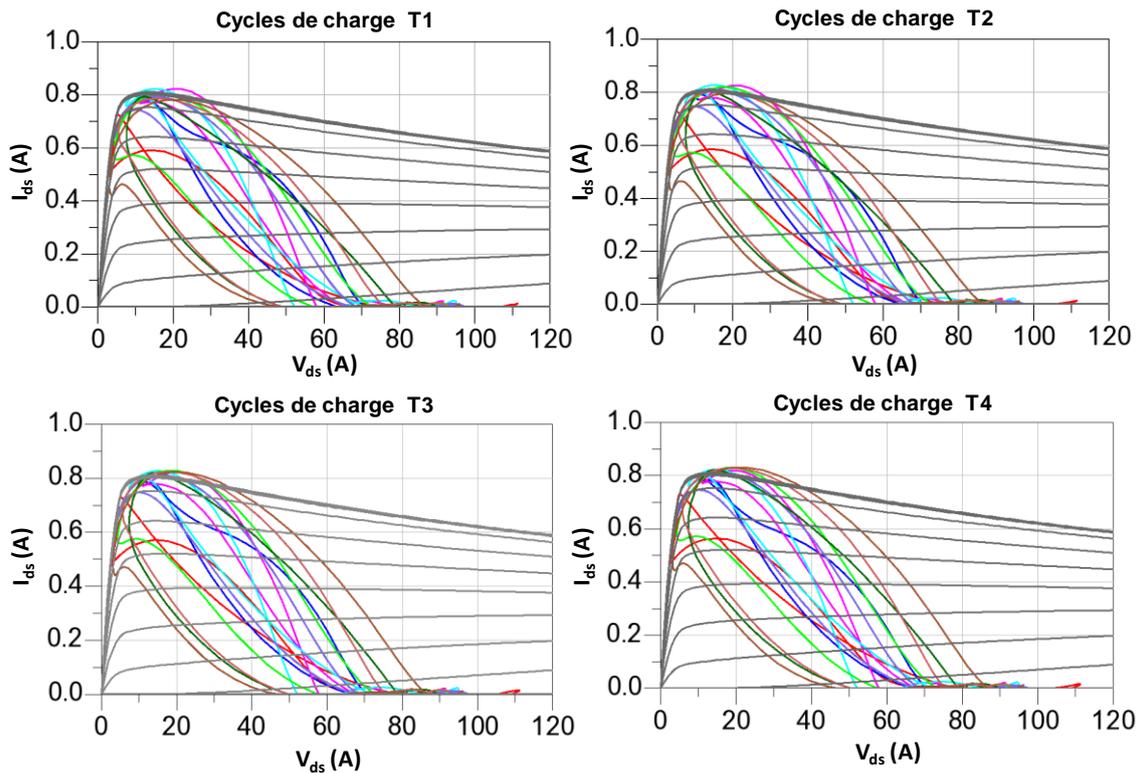


Figure IV.28 : Cycle de charge de chaque transistor en fonction de la fréquence pour $P_{disp_gene}=34.5dBm$.

Sur la figure IV.29 est tracée l'évolution de l'impédance de charge présentée par le quadripôle d'adaptation de sortie à chaque transistor (Z_{CH_UC}) ainsi que l'impédance ramenée aux bornes de la source de courant de chaque transistor ($Z_{CH_UC_int}$).

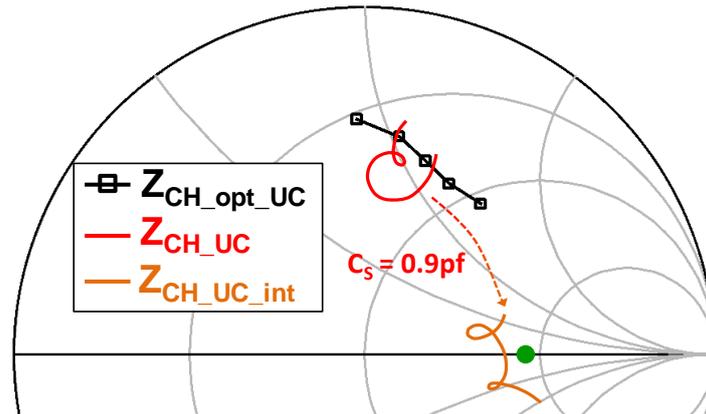


Figure IV.29 : Impédances de charge présentées par le quadripôle d’adaptation de sortie dans le plan d’un transistor de la barrette (rouge) et impédance de charge présentée dans le plan de la source de courant d’un transistor de la barrette (orange).

Le quadripôle d’adaptation de sortie réalisé compense bien la capacité de sortie C_{out} de chaque transistor et ramène une impédance de partie réelle (orange) proche de la résistance de sortie optimal en PAE (point vert sur l’abaque de Smith).

Une étude plus importante de la stabilité de l’amplificateur ainsi conçu est abordée dans le paragraphe suivant.

IV.3.3.2 Etude de la stabilité

Afin de vérifier la stabilité de l’amplificateur, des simulations en régime linéaire et non-linéaire ont été réalisées. Est tracé figure IV.30, le critère de stabilité linéaire (facteur K) dans la bande de fréquence 1-8GHz.

IV.3.3.2.1 Facteur K (stabilité en régime linéaire)

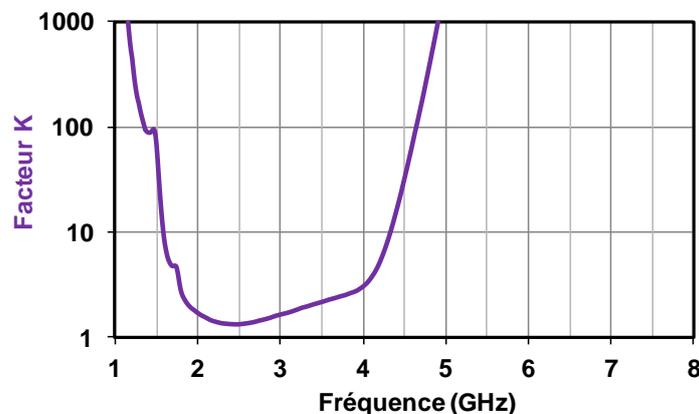


Figure IV.30 : Critère de stabilité linéaire : Facteur K

Ce facteur K est supérieur à 1 dans la totalité de la bande d'étude. Cette analyse du facteur K assure au premier ordre une stabilité inconditionnelle de l'amplificateur en régime linéaire. Une étude de la stabilité en régime non-linéaire est nécessaire afin d'identifier les possibles instabilités de l'amplificateur en régime fort signal.

IV.3.3.2.2 Etude de la stabilité en régime non linéaire

Une étude de stabilité en régime fort signal de l'amplificateur de puissance a aussi été réalisée à l'aide de l'utilitaire STAN. Son principe de fonctionnement a été abordé lors du chapitre III.

Un nœud N1 a été déterminé et choisi pour injecter un signal perturbateur à l'entrée d'un transistor comme l'illustre la figure IV.31.

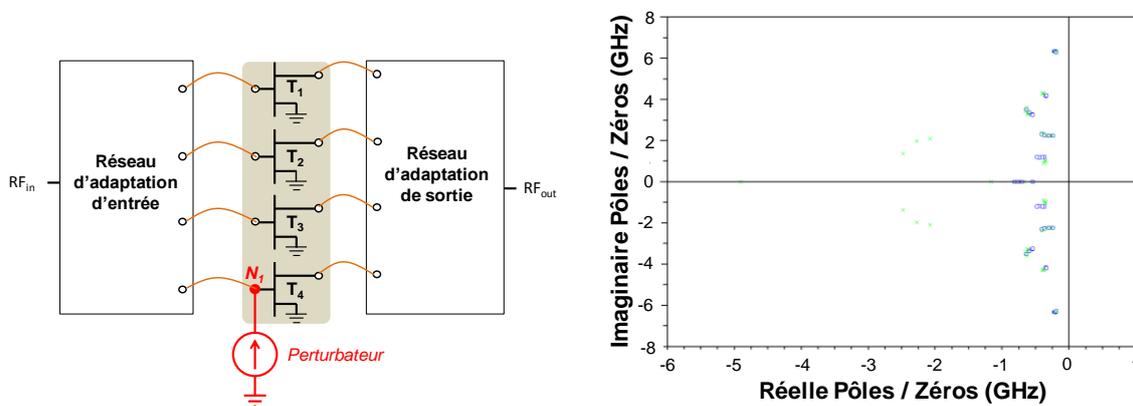


Figure IV.31 : Etude de la stabilité fort signal sous STAN.

Le calcul des pôles et des zéros a été effectué pour différents niveaux de puissances disponibles appliqués à l'entrée de l'amplificateur (entre 30 et 35dBm) et pour différentes valeurs de fréquences du signal d'entrée comprises entre 0.5 et 8GHz. Aucun pôle à partie réelle positive n'a été détecté lors de cette étude, l'amplificateur semble stable en simulation. La figure IV.32 représente un schéma final de l'amplificateur intégré dans le boîtier.

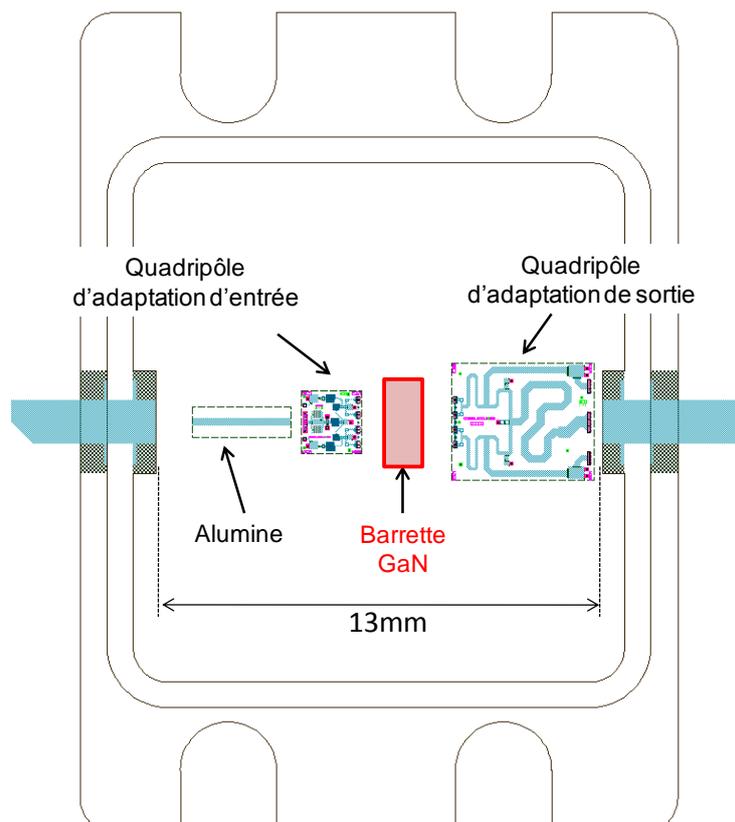


Figure IV.32 : Schématisation de l'amplificateur de puissance intégré dans un boîtier SEA.

On remarque que les circuits d'adaptation d'entrée et de sortie réalisés n'occupent pas la totalité de la surface du boîtier. Les circuits ont été dimensionnés pour obtenir des tailles minimales afin d'augmenter le nombre de puces par plaque (wafer) fabriquée et ainsi réduire le coût de fabrication globale de l'amplificateur de puissance.

L'amplificateur a été intégré au plus près de l'accès de sortie du boîtier afin de ne pas présenter de désadaptation supplémentaire. Dès lors, pour combler l'espace vide entre le circuit d'entrée et l'accès d'entrée du boîtier et éviter d'utiliser des fils de câblage de longueur trop importante pouvant entraîner des résonances, une ligne 50Ω en alumine a été intégrée pour réaliser la liaison entre l'entrée du boîtier et le circuit d'adaptation d'entrée.

IV.3.4 Résultats des mesures

Sont présentés dans ce paragraphe, les résultats de mesure de l'amplificateur de puissance 25W large bande à haut rendement réalisé en technologie Quasi-MMIC. Les résultats obtenus sont comparés aux rétro-simulations obtenues.

IV.3.4.1 Mesure des paramètres [S] de l'amplificateur de puissance.

Des mesures de paramètres [S] de l'amplificateur ont tout d'abord été réalisées afin de caractériser ses performances en régime linéaire. Elles ont été obtenues pour une tension de drain de 50V et un courant de repos de 200mA. La figure IV.33 représente l'adaptation d'entrée (courbe bleue) et l'adaptation de sortie (courbe rouge) mesurée et rétro simulée de l'amplificateur de puissance. Une dispersion entre les mesures et la simulation de l'adaptation d'entrée apparaît. Elle est probablement due à la difficulté de modéliser très finement l'entrée des transistors GaN. L'adaptation de sortie mesurée et rétro-simulée présente une bonne concordance entre les résultats obtenus.

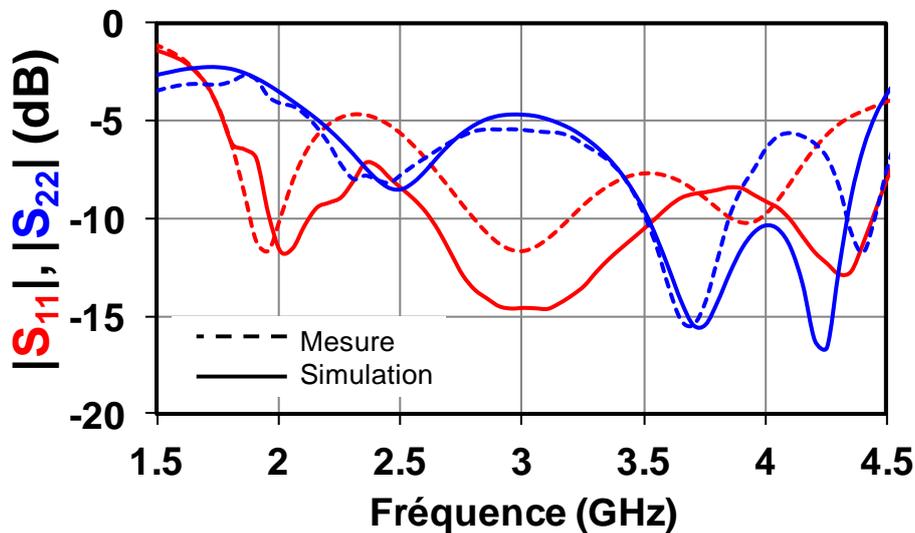


Figure IV.33 : Résultats des mesures et rétro-simulations des paramètres S_{11} et S_{22} de l'amplificateur dans la bande de fréquence 1.5-4.5GHz pour $V_{ds0}=50V$ et $I_{ds0}=200mA$.

La figure IV.34 représente le gain petit signal mesuré et rétro simulé de l'amplificateur de puissance. Ce gain est supérieur à 13dB dans la bande 2-4GHz. Une bonne concordance entre simulation et mesure est observée.

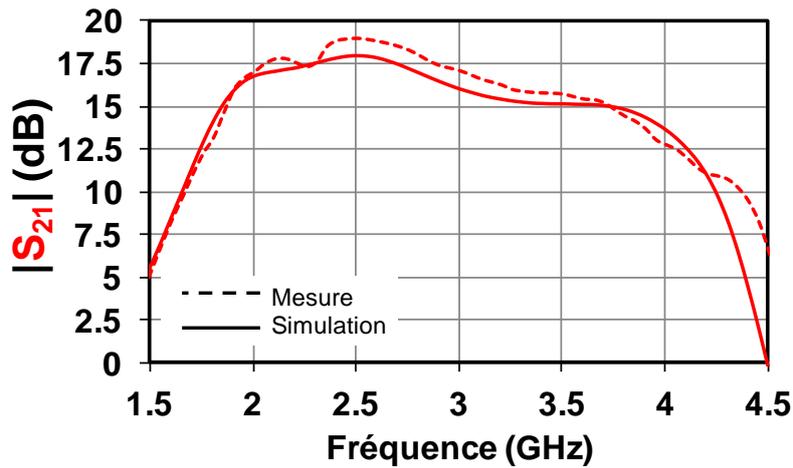


Figure IV.34 : Résultats des mesures et rétro simulations du paramètre S_{21} de l'amplificateur dans la bande de fréquence 1.5-4.5GHz pour $V_{ds0}=50V$ et $I_{ds0}=200mA$.

Finalement, les coefficients de réflexion d'entrée (S_{11}) et de sortie (S_{22}) mesurés varient entre -5dB et -15dB dans la totalité de la bande utile. Le coefficient de transmission petit signal mesurée varie entre 13 et 18 dB dans la bande 2-4GHz.

IV.3.4.2 Mesure de l'amplificateur en régime fort signal

L'amplificateur de puissance a ensuite été mesuré en régime non-linéaire afin de caractériser ses performances en puissance. L'amplificateur de puissance est placé sur un module Peltier afin de contrôler la température de fond de boîtier de l'amplificateur. Celle-ci est réglée à 25°C.

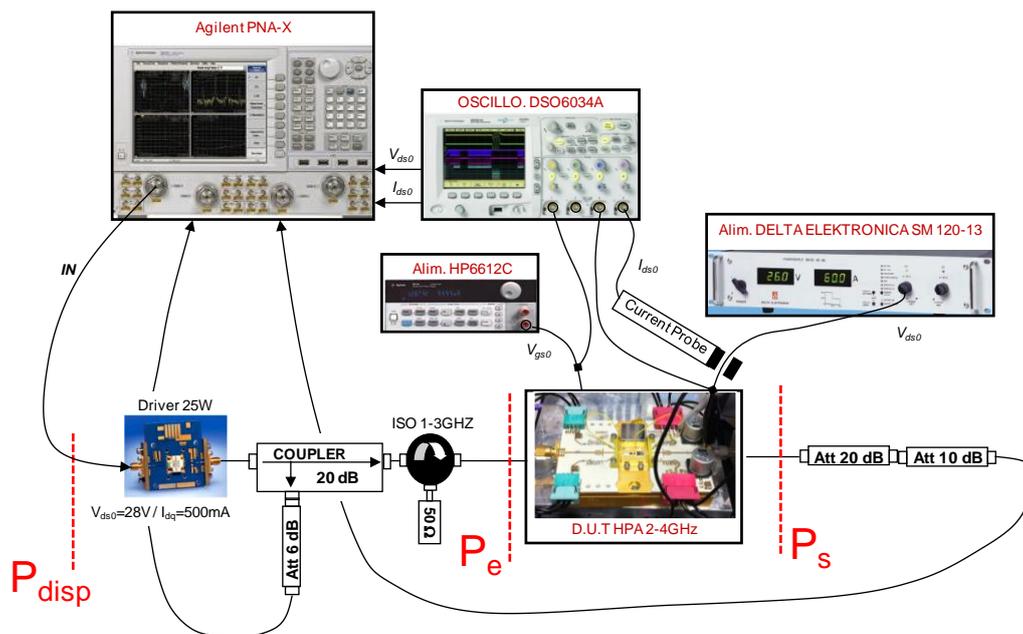


Figure IV.35 : Banc de mesure pour la caractérisation en puissance.

La figure IV.35 présente la configuration du banc de mesure fort signal développé à UMS. Il est à noter que le dispositif sous test (DUT) est constitué de l'amplificateur 25W et d'une monture de test comme illustré par la figure IV.36. Cette dernière permet de polariser l'amplificateur à l'intérieur du boîtier et de découpler la RF et le DC. La figure IV.36 montre une photographie de l'amplificateur constitué de sa monture de test et du banc de mesure.

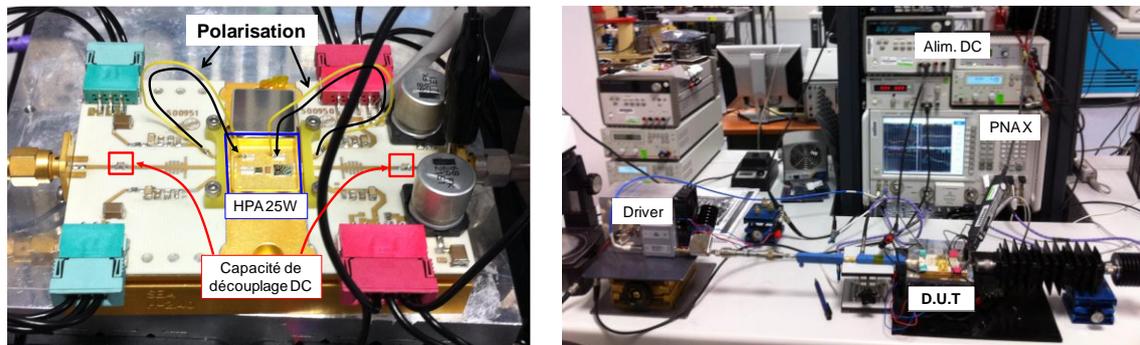


Figure IV.36 : Monture de test avec l'amplificateur de puissance 25W et banc de mesure en puissance.

Les résultats de mesure fort signal ont été obtenus pour une tension de polarisation de drain de 50V et un courant de repos de l'ordre de 200mA dans la bande de fréquence 2-4GHz (balayage en fréquence avec un pas fréquentiel de 0.25GHz) et une température régulée de fond de boîtier de l'ordre de 25°C. Le signal d'excitation d'entrée est un signal RF impulsionnel de période égale à 250 μ s et un rapport cyclique de 10%.

La figure IV.37 présente les performances en puissance (en dBm et W) dans la bande de fréquence 2-4GHz pour une puissance disponible délivrée par le générateur égale à 37.5dBm.

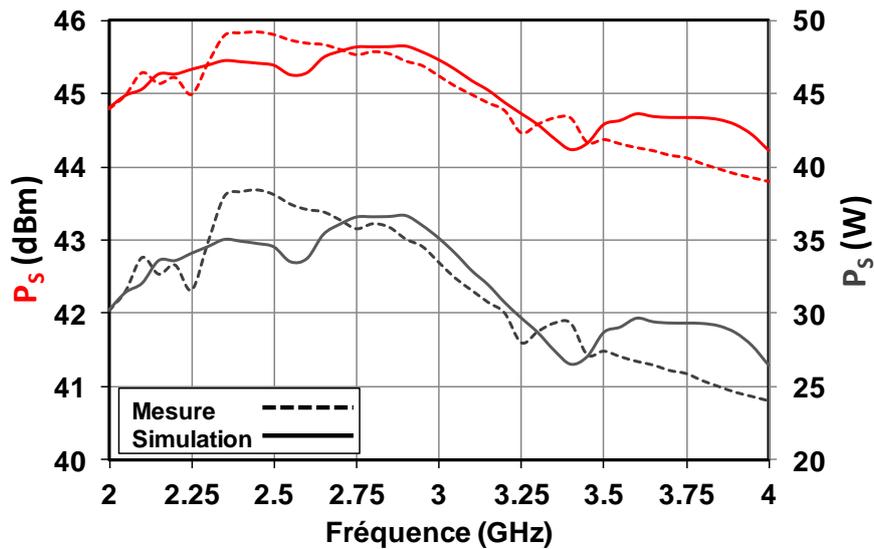


Figure IV.37 : Mesure et simulation de la Puissance de sortie (dBm et W) délivrée par l'amplificateur de puissance

Les résultats de mesure de puissance sont comparés avec ceux issus de rétro-simulation. Typiquement, l'amplificateur de puissance délivre une puissance de sortie supérieur à 25W dans la quasi-totalité de la bande utile.

Sur la figure IV.38, sont tracés pour une puissance disponible de 37.5dBm, le gain d'insertion, la PAE et le rendement de drain (DE) mesurés et simulés dans la bande 2-4GHz.

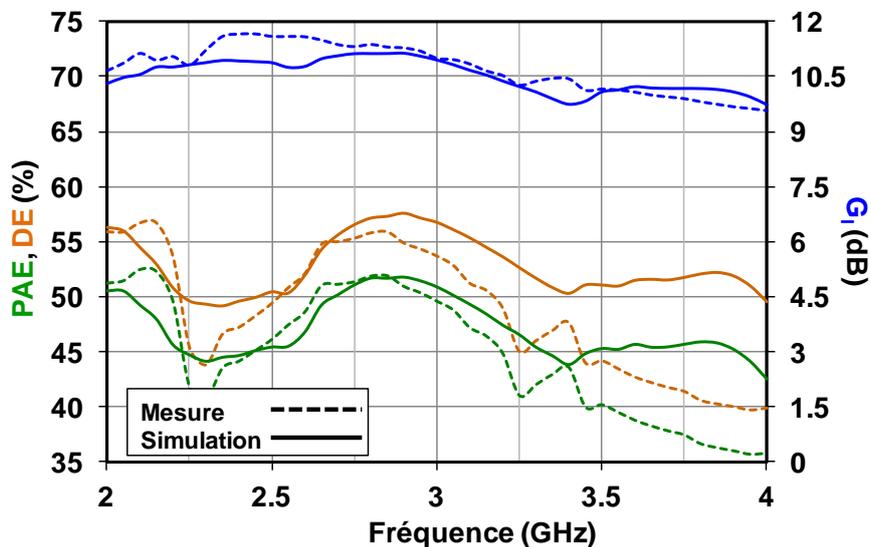


Figure IV.38 : Mesure et simulation de la PAE, du rendement de drain et du gain d'insertion.

Le gain d'insertion mesuré est de l'ordre de 10dB (9.5-11.5) dans la bande de fréquence de fonctionnement. La PAE de l'amplificateur est comprise entre 36 et 52% pour un rendement de drain associé compris entre 40 et 57%. Une bonne adéquation entre les

résultats de mesure et de simulation est obtenue dans la bande 2-3.5 GHz. Au-delà de 3.5GHz, une différence apparaît. Cette différence provient très probablement des transitions reliant la barrette aux circuits d'adaptation qui ne sont pas parfaitement modélisés au-delà de 3.5GHz.

Ces résultats, comme cela sera indiqué dans la conclusion générale, se situent au niveau de l'état de l'art mondial pour des amplificateurs de forte puissance à très haut rendement et à très large bande (1 octave). Ces résultats ont donné lieu à une publication aux JNM2013 [IV.8] et aux EuMW2013 [IV.9].

IV.3.4.3 Mesure temporelle de l'amplificateur.

Des mesures temporelles complémentaires ont été réalisées sur cet amplificateur de puissance Quasi-MMIC GaN. Ces mesures sont fondées sur l'utilisation d'un nouveau banc de mesure temporelle développé au laboratoire Xlim [IV.10]. Il faut noter que l'innovation de ce banc de mesure temporelle repose sur le fait qu'il n'est pas fondé sur des mesures de l'enveloppe du signal modulant mais bien sur un échantillonnage direct du signal RF impulsionnel.

IV.3.4.3.1 Description du banc de mesure temporel.

Le système de mesure temporelle, 4 canaux entièrement calibré, est fondé sur l'utilisation de THAs [IV.10]. Il est représenté sur la figure IV.39.

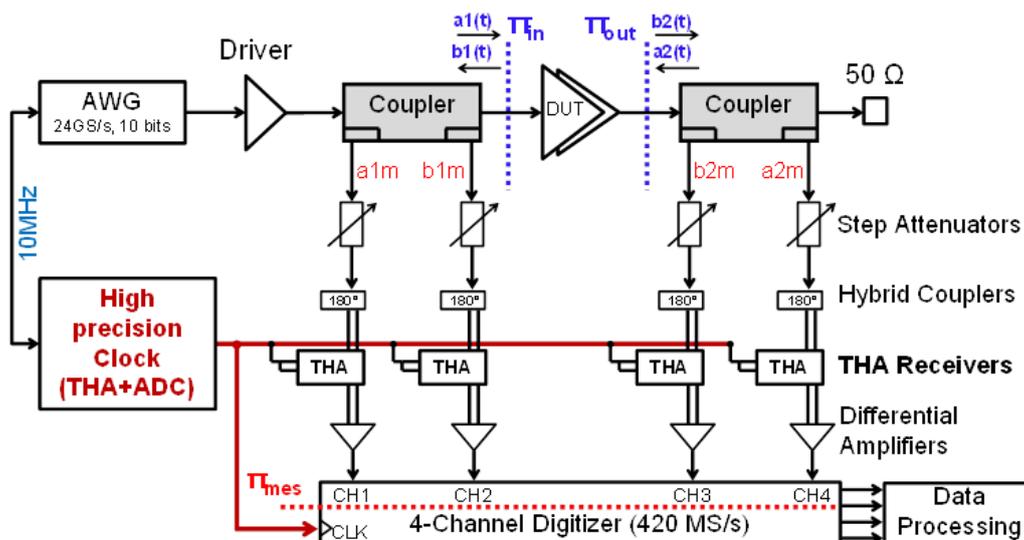


Figure IV.39 : Système de mesure temporelle 4 canaux entièrement calibré est fondé sur l'utilisation de THAs.

Ce système est utilisé pour mesurer la réponse calibrée complète (transitoire et établie) en tension et en courant de dispositifs non linéaires excités par des signaux RF CW impulsionnels et des signaux RF modulés très large bande. Les signaux RF à l'entrée et à la sortie du dispositif sous test (DST) sont mesurés simultanément à l'aide de deux coupleurs bidirectionnels. Ces signaux sont ensuite numérisés par l'association d'un THA large bande (13 GHz) et d'un convertisseur analogique numérique à haute dynamique (12 bits). Une procédure d'acquisition temporelle entrelacée a été développée pour acquérir les signaux RF avec une haute fréquence d'échantillonnage (pouvant aller jusqu'à plusieurs centaines de GS/s). Une description complète du système de mesure est développée dans la référence [IV.11].

IV.3.4.3.2 Mesure temporelle de l'amplificateur de puissance 25W.

Un signal RF CW (fréquence porteuse de 3 GHz) impulsionnel avec une période de répétition de 10 μ s et un rapport cyclique de 40% est utilisé pour caractériser l'amplificateur de puissance Quasi-MMIC 25W. Les formes d'ondes temporelles des tensions et courant au point de saturation sont mesurées avec une fréquence d'échantillonnage de 60GS/s. Les formes d'onde de tensions et courants d'entrée sont représentées sur la figure IV.40 et IV.41.

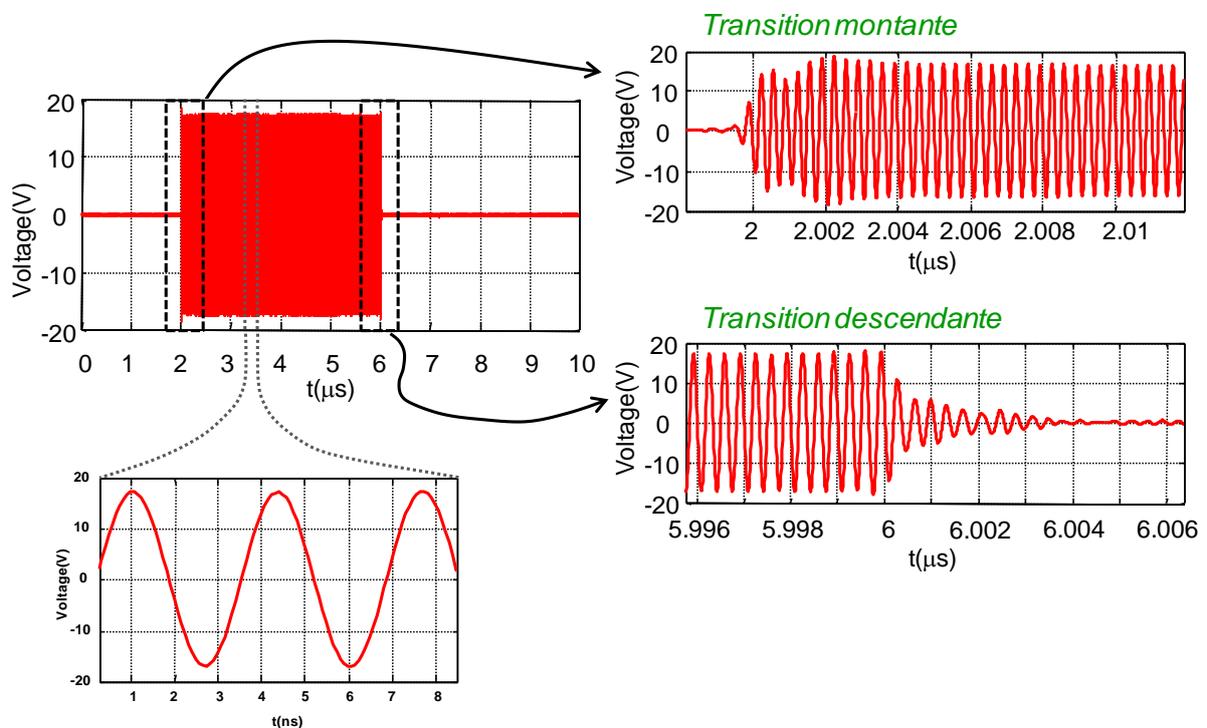


Figure IV.40 : Formes d'ondes de tension à l'entrée de l'amplificateur

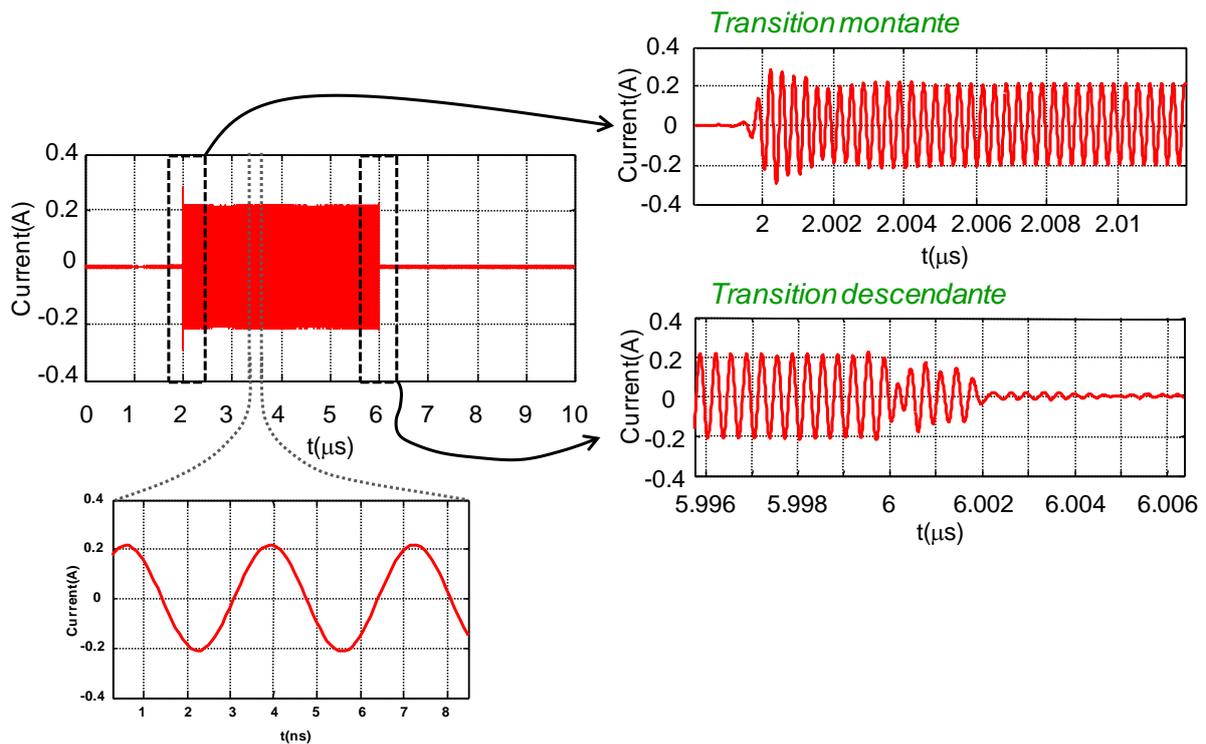


Figure IV.41 : Formes d'ondes de courant à l'entrée de l'amplificateur

Les formes d'onde de tension et courant de sortie délivrées par l'amplificateur de puissance 25W sont représentées sur la figure IV.42 et IV.43.

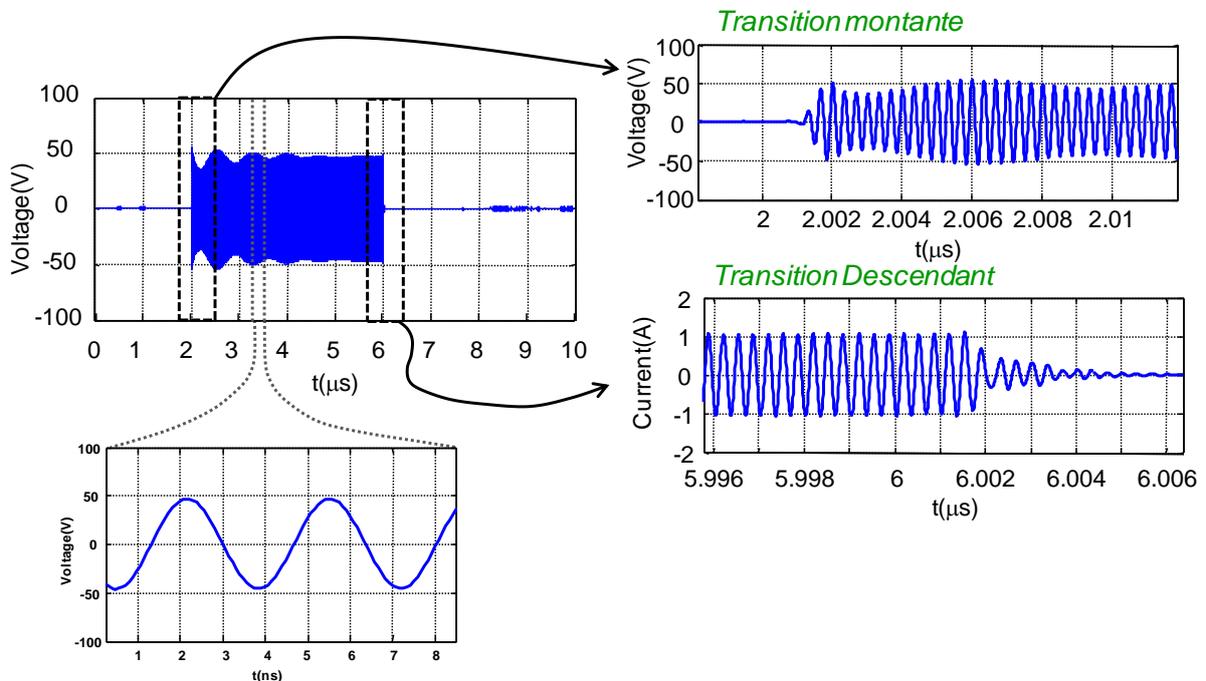


Figure IV.42 : Formes d'ondes de tension de sortie de l'amplificateur

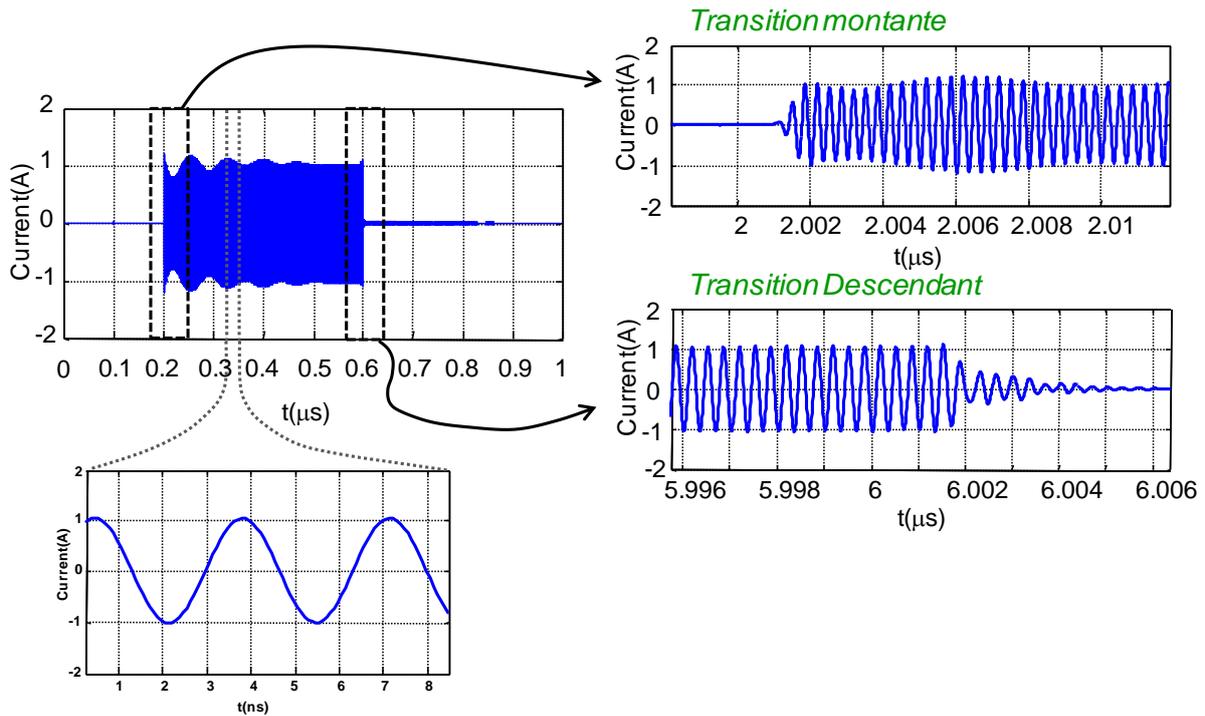


Figure IV.43 : Formes d'ondes de courant de sortie de l'amplificateur

Le système de mesure permet non seulement les mesures temporelles non linéaires (fondamentales et harmoniques) à l'intérieur de l'impulsion mais aussi la visualisation de toutes les transitions en début et en fin d'impulsion. Ces mesures sont fortement utiles pour la modélisation des effets mémoire dans les dispositifs non linéaires. Ce type de mesure peut être, en outre, utile pour la mesure du NPR (Noise Power Ratio) large bande ou bien de l'investigation de la stabilité pulse à pulse des amplificateurs destiné à des applications RADARs par exemple.

IV.4 Conclusion

Les travaux décrits dans le chapitre IV ont donné lieu à la réalisation d'un amplificateur de puissance (25W), large bande (2-4GHz) à haut rendement ($DE > 40\%$) fondée sur des barrettes de transistor GaN GH50 d'UMS. Cette conception a permis d'améliorer sensiblement l'encombrement de l'amplificateur grâce à un procédé développé par UMS. En effet, UMS a développé une technologie AsGa appelée ULRC destinée à l'adaptation des barrettes de puissance à l'aide d'éléments passifs localisés et distribués. Cette solution dite Quasi-MMIC permet l'intégration dans des boîtiers spécifiques et une réduction de l'encombrement à comparer, par exemple, à l'amplificateur hybride décrit dans le chapitre III. L'amplificateur réalisé offre des résultats à l'état de l'art qui sont synthétisés dans la conclusion générale.

Par ailleurs, une étude sur l'adaptation d'impédance large bande a été menée et appliquée à la filière GaN GH50 d'UMS. Fondée sur les simulations load-pull et source-pull d'un transistor à cellule unitaire, les impédances d'entrée et admittance de sortie du transistor ont été déterminées pour un fonctionnement à l'optimum de rendement. Les impédances d'entrée et de sortie ont permis de déterminer les limites de bande passante théorique pour maintenir un haut rendement sur de larges bandes passantes en appliquant l'intégrale de Bode et Fano pour un quadripôle d'adaptation de type Tchebychev. Cette étude a montré que l'adaptation de l'impédance large bande pour maintenir de hauts rendements était limitée principalement par l'admittance de sortie du transistor.

Enfin, cette étude a conduit à la conception d'un premier amplificateur de puissance large bande, à haut rendement et hautement intégrable. Elle a permis d'évaluer positivement la technologie AsGa ULRC développée par UMS.

IV.5 Bibliographie

- IV.1. H. W. Bode, "Network Analysis and Feedback Amplifier Design", Van Nostrand, 1945.
- IV.2. R. M. Fano, "Theoretical limitations on the broad-band matching of arbitrary impedances," Technical Report, no. 41, Jan. 1948.
- IV.3. Kurokawa. K, "Power Waves and the Scattering Matrix, Microwave Theory and Techniques", IEEE Transactions on (Volume:13 , Issue: 2),1965.
- IV.4. M.Camiade, D. Bouw, G. Mouginot, F. Auvray, P. F. Alleaume, D. Floriot, L. Favède, J. Thorpe, "Highly Integrated S and C-band Internally-Matched Quasi-MMIC Power GaN Devices", EuMW12, Amsterdam.
- IV.5. Thomas R. Cuthbert, Jr., Circuit Design Using Personal Computers, John Wiley & Sons, New York, 1983.
- IV.6. R. Levy, "Explicit formulas for Chebyshev impedance-matching networks," Proc.IEEE, pp. 1099-1106, June 1964.
- IV.7. B. S. Yarman and H. J. Carlin, "Asimplified "real frequency" technique applied to broadband multistage microwave amplifiers," IEEE Trans. Microw. Theory Tech, vol.MTT-30, no. 12, pp. 2216–2222, Dec. 1982.
- IV.8. C.Berrached, D.Bouw, M.Camiade, D.Barataud, « Amplificateur GaN 25W, large bande, 2-4 GHz, Quasi MMIC à haut rendement », JNM2013, Paris.
- IV.9. C.Berrached, D.Bouw, M.Camiade, D.Barataud, « Wideband High Efficiency High Power GaN Amplifiers Using MIC and Quasi-MMIC Technologies », EuMW 2013, Nuremberg.
- IV.10. S. Ahmed, G. Neveux, T. Reveyrand, D. Barataud, and J. M. Nebus, « Time-domain interleaved high sampling rate system for large signal characterization of non-linear devices», 79th ARFTG Microwave Measurement Conference, pp. 1-4, Montreal QC, June 2012.
- IV.11. K. El-Akhdar, S. Ahmed, G. Neveux, D. Barataud, J.M. Nebus, Procédure de calibrage large bande ultra haute résolution pour la caractérisation temporelle de dispositifs non linéaires, JNM2013, Paris.

**Chapitre V : Conception d'un amplificateur
équilibré 45W large bande (2-4GHz) à haut
rendement hautement intégrable.**

V.1 Introduction

Le chapitre IV a présenté une méthode de conception destinée à la réalisation d'un amplificateur de puissance large bande et haut rendement en technologie Quasi-MMIC. Au cours de ces travaux, une étude des limites de l'adaptation large bande a été réalisée. Elle a montré les limites principalement liées à l'admittance de sortie du transistor. Un amplificateur 25W, large bande à haut rendement en technologie Quasi-MMIC a été réalisé après avoir déterminé le quadripôle d'adaptation optimal d'entrée et de celui de sortie à la fréquence fondamentale. Pour le quadripôle de sortie, la conception a veillé à bien contourner la zone de faible PAE présentée dans le chapitre II. Les performances obtenues pour cet amplificateur Quasi MMIC sont au niveau de l'état de l'art mondial pour cette gamme de puissance et cette bande passante. Un des intérêts majeur de cette conception réside dans le caractère hautement intégrable de cet amplificateur large bande et très haut rendement.

Dans ce chapitre, la réalisation d'un amplificateur de puissance 50W est détaillée. Elle s'appuie sur les mêmes méthodes que celles décrites dans les chapitres précédents. En revanche, afin d'augmenter de manière significative le niveau de puissance de sortie tout en conservant une large bande et un très haut rendement, une architecture arborescente (mise en parallèle de deux amplificateurs 25W) a été optimisée. L'amplificateur de puissance ainsi conçu doit délivrer une puissance de sortie dans la gamme des 50W avec un rendement le plus élevé possible sur la bande passante 2-4GHz. Afin de justifier le choix d'une architecture arborescente, ce chapitre présente en premier lieu une étude succincte de trois typologies (distribué, push pull, équilibré) qui permettent d'accroître significativement la puissance de sortie.

Un second paragraphe est consacré à la présentation de la conception d'un amplificateur équilibrée 50W en technologie quasi MMIC large bande à haut rendement. Les résultats de mesures classiques comparées à ceux issus des simulations ainsi que des résultats de mesures temporelles réalisées au laboratoire Xlim sont présentées.

V.2 Choix de l'Architecture.

V.2.1 Introduction

Différentes architectures existent pour la réalisation d'amplificateurs de puissance large bande. Le choix de l'architecture doit permettre d'augmenter significativement la puissance de l'amplificateur final tout en maintenant ses performances en termes de rendement et de bande passante. Trois types d'architectures ont été étudiés : les architectures push-Pull, distribuée et équilibrée.

V.2.2 L'amplificateur de puissance distribué

Le principe de fonctionnement de l'amplificateur distribué a été présenté dans le chapitre II. Il est généralement utilisé pour des applications très larges bandes. Son principal inconvénient reste ses performances en rendement qui restent encore limitées à l'heure actuelle. En effet, pour des raisons de stabilité, la ligne de drain est généralement chargée par une admittance incluant un élément résistif. Or, l'ajout de cet élément résistif (donc dissipatif) dans le circuit de sortie de l'amplificateur, conduit cette architecture à fournir un rendement réduit par rapport au même circuit sans élément résistif. (Dans le chapitre IV, il a bien été spécifié que l'obtention d'un fort rendement en puissance ajoutée, nécessite de réduire les pertes du circuit de sortie à un niveau minimum). A ce jour, les résultats publiés concernant des amplificateurs distribués ne montrent que des rendements en puissance ajoutée de l'ordre de 10-30% sur les filières de puissance GaN.

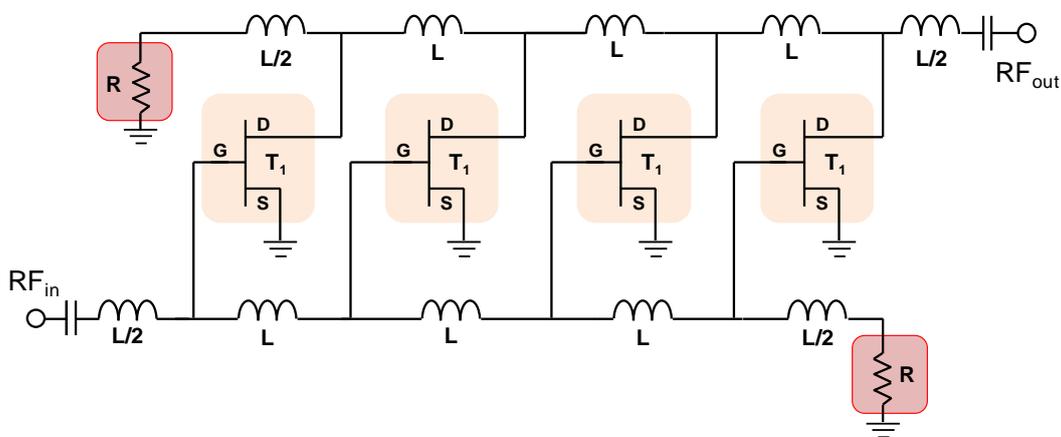


Figure V.1 : Amplificateur de puissance distribué

Une étude analytique approfondie a été réalisée pour comparer les coefficients de réflexion de sortie $\Gamma_{ch}(f_0)$ entre une architecture distribuée et une architecture à un étage (mise en parallèle de plusieurs transistors). La figure V.2 montre la différence entre le coefficient de réflexion de sortie $|\Gamma_{ch}(f_0)|$ d'un amplificateur à un étage constitué de 4 transistors unitaires en parallèle et celui d'une architecture distribuée constituée de 4 transistors.

Les travaux décrits au chapitre IV ont montré qu'un coefficient de réflexion de charge $|\Gamma_{ch}(f_0)|$ inférieur à 0,2 est nécessaire pour maintenir les performances de rendement d'un amplificateur sur de larges bandes passantes. Les coefficients de réflexion en charge de l'amplificateur distribué sont tracés pour deux configurations :

- lorsque la ligne de drain est fermée à son entrée par une résistance de stabilisation.
- lorsque la ligne de drain est en circuit ouvert à cette extrémité.

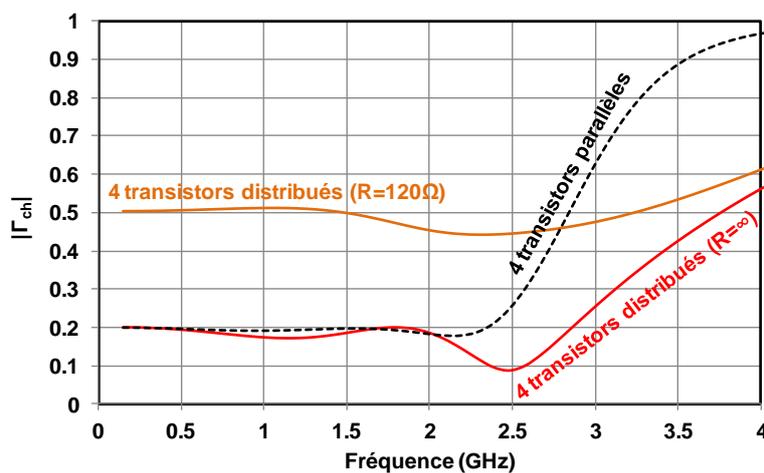


Figure V.2 : Comparaison des coefficients de réflexion de charge $|\Gamma_{ch}(f_0)|$ d'un amplificateur de puissance distribué avec celui d'un amplificateur à un étage.

On remarque que dans le cas où la ligne de drain est en circuit ouvert, la configuration de l'architecture distribuée permet d'améliorer légèrement l'adaptation large bande de l'amplificateur. Cependant, lorsque l'extrémité de la ligne de drain comprend une impédance résistive assurant la stabilité de l'amplificateur, les performances de celui-ci sont fortement réduites. Cette résistance, empêche, aujourd'hui, d'obtenir des performances en rendement et puissance optimale. La présence de ces résistances demeure indispensable à l'heure actuelle pour assurer la stabilité de ce type d'amplificateur dans de larges bandes de fréquence. De plus, un travail important de conception doit être réalisé, notamment pour assurer la recombinaison parfaite en phase des signaux délivrés à la sortie de chaque transistor unitaire

(non optimisée lors de ces travaux préliminaires). Pour ces raisons, cette solution n'a pas été retenue pour la conception de l'amplificateur de gamme 50W. Les inconvénients rencontrés semblent encore trop importants comparés aux avantages de cette architecture et doivent être étudiés plus en détail.

V.2.3 L'amplificateur push-pull.

V.2.3.1 Introduction

Depuis quelques années, l'architecture push-pull est devenue un des sujets phare pour l'amplification de puissance large bande à haut rendement [V.1], [V.2], [V.3]. En effet, avec la démocratisation des composants GaN de puissance et la demande d'amplificateurs très large bande et très haut rendement, un regain d'intérêt est apparu pour les amplificateurs de puissance Push-pull. Un des éléments indispensable dans la conception d'amplificateur push-pull est un composant appelé *balun*. Les paragraphes suivants détaillent le principe de fonctionnement de ces baluns.

V.2.3.2 Le Balun

La figure V. 3 représente le schéma de principe d'un balun. Cette dénomination provient des mots « **BAL**anced to **UN**balanced ». Le balun est un composant qui permet la conversion d'un signal asymétrique (non équilibré) en un signal symétrique (équilibré). Un signal non équilibré est un signal référencé par rapport au plan de masse comme une ligne microstrip par exemple. Un signal équilibré (en mode différentiel) est un signal se propageant sur deux voies non référencées par rapport à un plan de masse. Le signal équilibré doit présenter une amplitude identique sur chaque voie avec un déphasage entre les deux signaux de 180° . Ainsi, il existe une masse dite virtuelle au point milieu des voies de sortie.

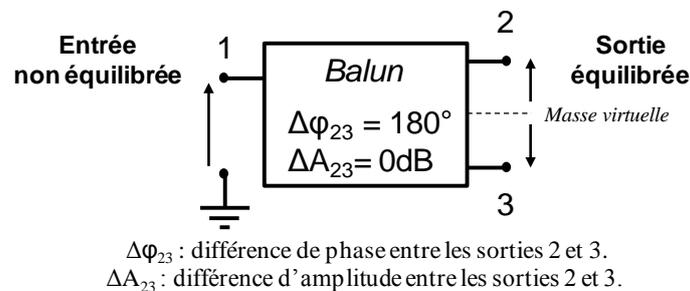


Figure V.3 : Schéma de principe du balun.

La conception de baluns réels nécessitent de réduire les déséquilibres en amplitude et en phase introduits par les éléments non idéaux le constituant. Les baluns réels possèdent aussi des caractéristiques telles que l'adaptation des accès et l'isolation entre les voies de sortie qui ne sont pas idéales. Ces caractéristiques sont fondamentales lors de la conception d'amplificateurs push-pull. L'impédance de référence des ports est généralement 50Ω . Cependant des impédances différentes peuvent être envisagées et permettant ainsi d'assurer aussi la fonction de transformation d'impédance.

Les baluns sont utilisés pour différentes fonctions comme, par exemple, les mélangeurs, les déphaseurs, ou les amplificateurs de puissance push-pull. Il existe différents types de structure de balun [V.4] répondant aux applications visées.

V.2.3.3 Simulation d'un Balun idéal

Des simulations ADS fondées sur l'utilisation de baluns idéaux de la bibliothèque ADS ont été réalisées pour expliquer leur fonctionnement en termes de bande passante en fonction des impédances présentées aux accès équilibrés du balun. Le balun idéal utilisé en simulation est un transformateur à point milieu comme représenté sur la (figure V.4). Ce point milieu est tout d'abord placé à la masse. Aux accès 1, 2 et 3 de ce balun, les impédances présentées seront respectivement appelées Z_{T1} , Z_{T2} , Z_{T3} . Les amplitudes complexes des signaux présents à ces ports donnent naissance à des puissances nommées respectivement P_1 , P_2 et P_3 . Les phases de ces amplitudes complexes seront appelées φ_1 , φ_2 et φ_3 .

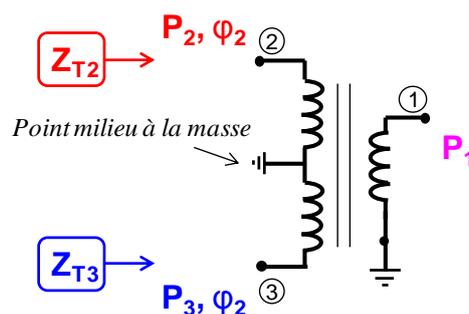


Figure V.4 : Transformateur à point milieu.

Sur la figure V.5, les résultats de simulation paramètres S dans la bande DC-5GHz de ce balun idéal sont présentés. Les coefficients de transmission de -3dB en amplitude et qu'une différence de phase de 180° entre les accès 2 (P2) et 3 (P3) du balun sont obtenus dans toute la bande.

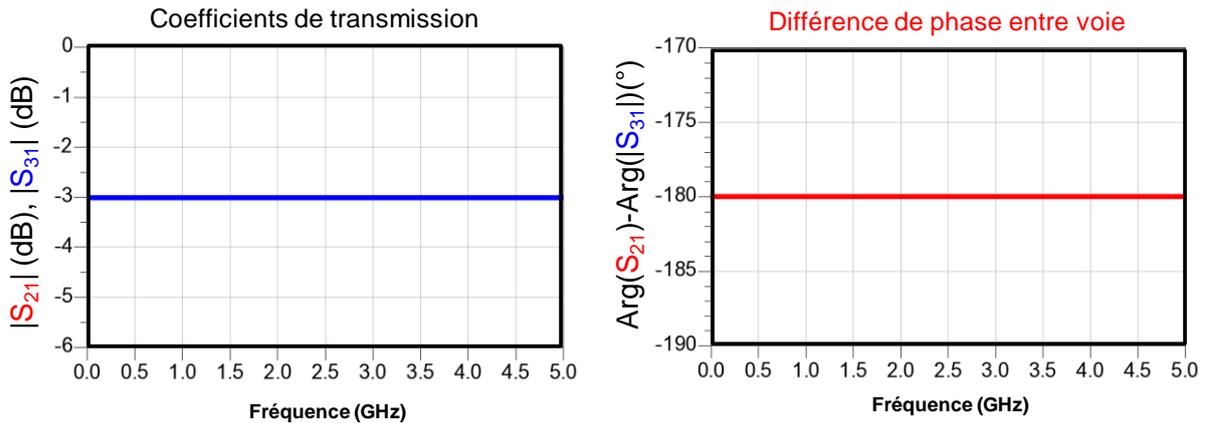


Figure V.5 : Coefficient de transmission et différence de phase du balun idéal

Des simulations supplémentaires en équilibrage harmoniques ont aussi été réalisées. Deux générateurs constitués d'une source de tension idéale (module et phase) en série avec une impédance 50Ω sont placés aux accès 2 et 3 du balun pour simuler la sortie des amplificateurs générant un signal de 0dBm, balayant une fréquence fondamentale de 0.1 à 5GHz. Lorsque les générateurs sont en opposition de phase (mode impair), les signaux sont recombinaés en phase par le Balun et toute la puissance est transmise à la charge de sortie fixée à 50Ω . Dans le cas où les signaux des générateurs sont en phase (mode pair), les signaux se recombinaent en opposition de phase et donc s'annulent au point milieu du transformateur. Aucune puissance n'est transmise à la charge 50Ω placée à l'accès 1. Les résultats de simulations en puissance des modes pair et impair sont présentés sur la figure V.6 en fonction des phases, φ_2 et φ_3 et en fonction de la fréquence..

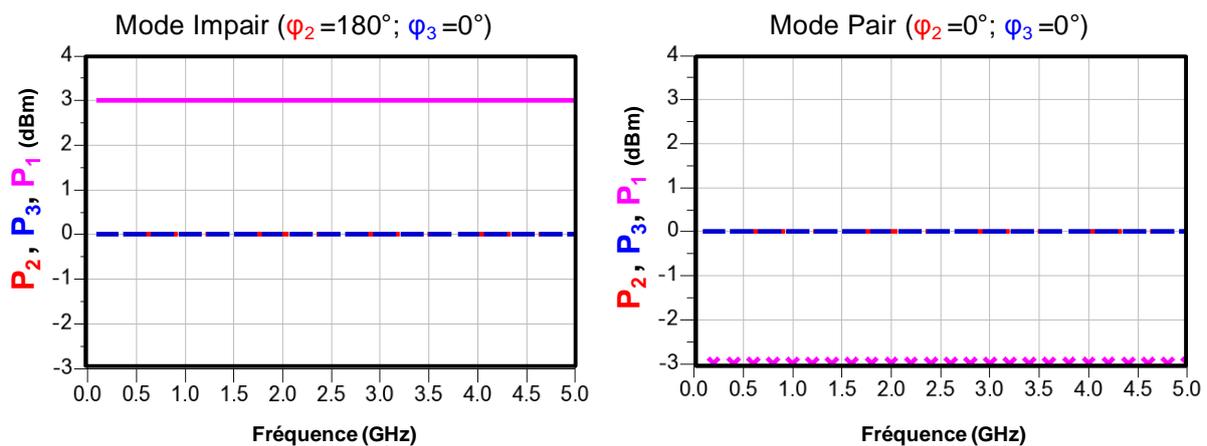


Figure V.6 : Caractérisation en puissance des modes pair et impair d'un balun idéal.

Les impédances Z_{T2} et Z_{T3} présentées aux accès 2 et 3 du balun sont calculées et tracées en fonction de la fréquence pour chaque configuration des modes impair (figure V.7)

et pairs (figure V.8). Dans ces deux configurations, il apparaît clairement une différence d'impédance entre les deux modes de fonctionnement.

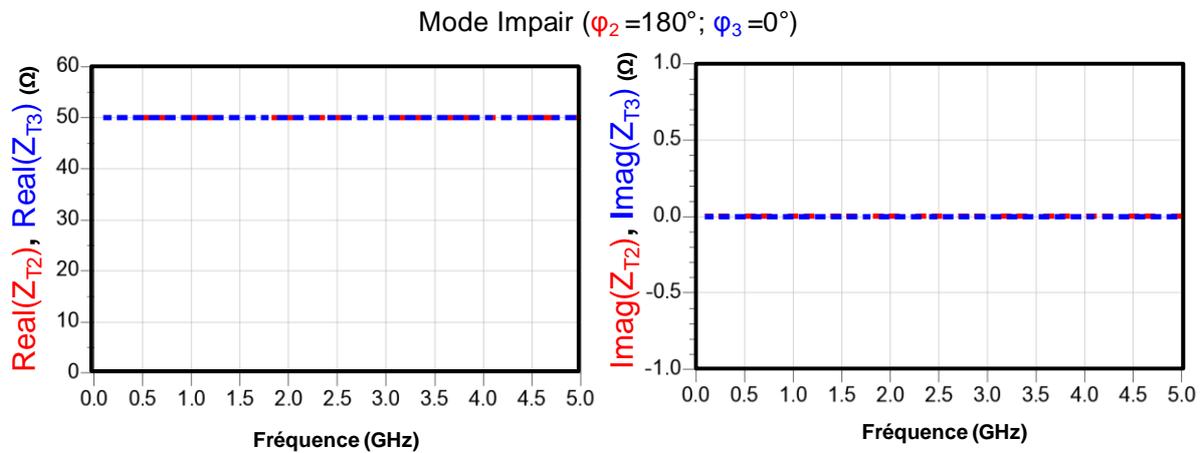


Figure V.7 : Impédances présentées par les voies 2 et 3 du balun idéal pour le mode impair.

Dans le cas de la configuration en mode pair (figure V.8), les impédances Z_{T2} et Z_{T3} présentées sont annulées alors qu'en mode impair, elles sont égales à $50+j0\Omega$.

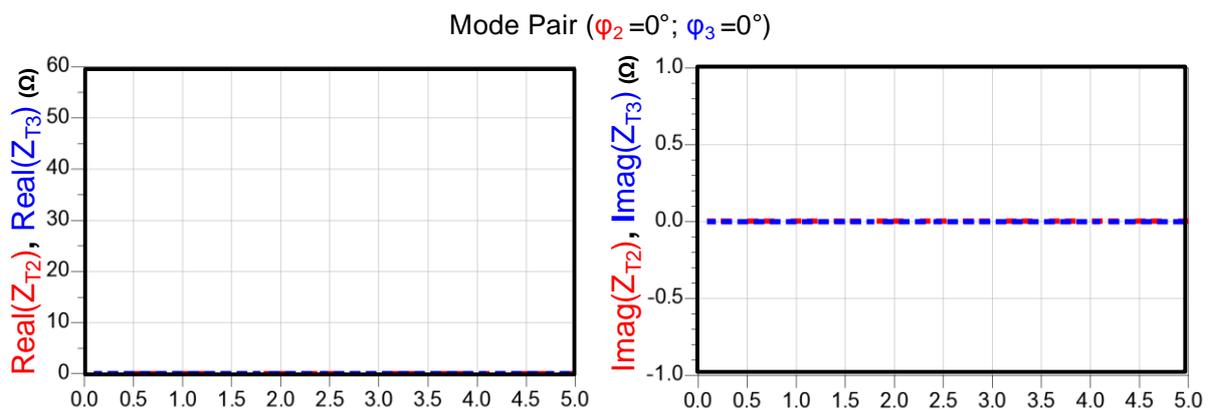


Figure V.8 : Impédance présenté par les voies 2 et 3 du balun idéal pour le mode impair.

Ce sont ces propriétés fondamentales de différence de fonctionnement en mode pair et impair qui sont utilisées pour ensuite concevoir un montage push-pull.

Par la suite, une impédance variable a été intégrée au point milieu du transformateur, comme représenté par le schéma simplifié figure V.9, pour vérifier l'influence de l'impédance Z_p placée au point milieu en fonctionnement en mode pair.

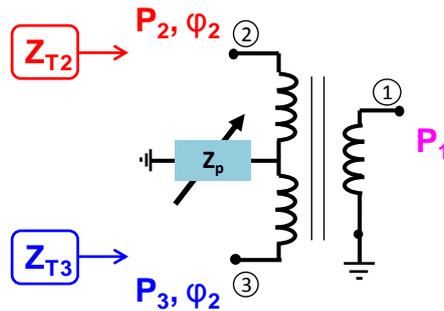


Figure V.9 : Simulation de variation de charge au point milieu du balun idéal.

Une variation de l'impédance intégrée au point milieu est réalisée sur la totalité de l'abaque de Smith comme représenté par la figure V.10. Lorsque les signaux sont en opposition de phase et malgré la variation de charge au point milieu du transformateur, les impédances Z_{T2} et Z_{T3} présentées aux accès 2 et 3 du transformateur sont égales à 50Ω . La variation de charge au point milieu ne perturbe donc pas les charges présentées aux accès 2 et 3 du transformateur dans le cas du mode impair. La figure V.10 décrit les points d'impédances simulées au point milieu ainsi que les charges associées calculées aux accès 2 et 3 du transformateur dans la configuration du mode impair.

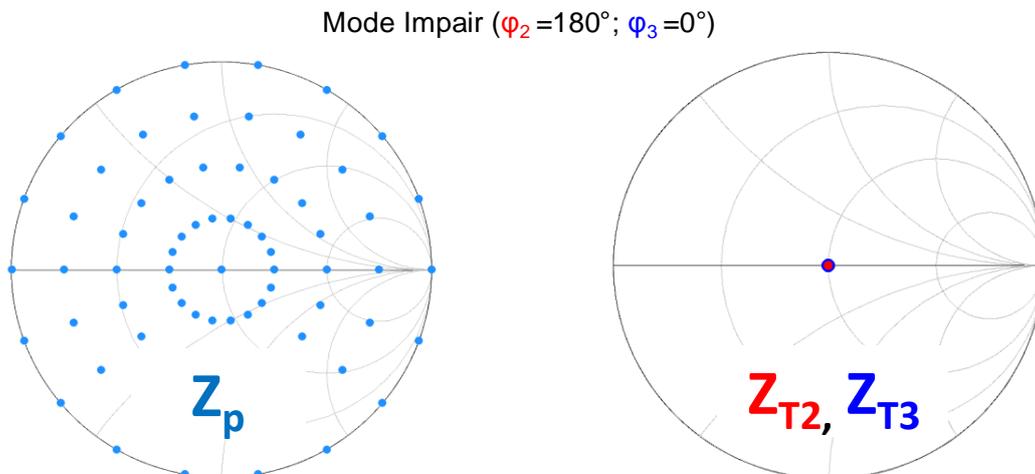


Figure V.10 : Impédances simulées au point milieu (Z_p) et impédances Z_{T2} et Z_{T3} associé à chaque point Z_p présenté par les entrée 2 et 3 du balun idéal en mode impair.

Dans le cas du fonctionnement en mode pair, lorsque les signaux d'excitation sont en phase, les impédances présentées aux accès 2 et 3 du balun varient en fonction de la charge présentée au point milieu du transformateur. En conséquence, on constate qu'une variation de la charge Z_p au point milieu du transformateur se répercute directement sur les valeurs des impédances présentées aux ports 2 et 3 du transformateur comme montré sur la figure V.11.

Mode Pair ($\varphi_2=0^\circ$; $\varphi_3=0^\circ$)

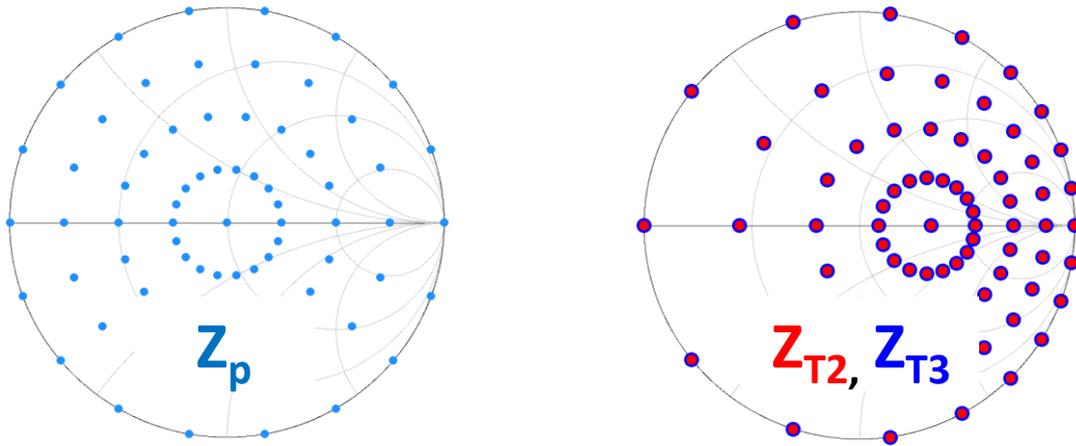


Figure V.11 : Impédance simulée au point milieu (Z_p) et impédances Z_{T2} et Z_{T3} associées à chaque impédance Z_p présentée par les entrées 2 et 3 du balun idéal en mode pair.

Cette étude réalisée avec un balun idéal a mis en évidence la potentialité de cette structure pour la réalisation d'amplificateurs de puissance large bande à haut rendement.

L'utilisation d'un balun d'entrée permet la mise en parallèle de deux transistors ou deux amplificateurs qui vont donc fonctionner en mode impair (puisque excités par des signaux en opposition de phase) aux fréquences fondamentales et harmoniques impaires de cette fréquence. Ils fonctionneront en mode pair aux fréquences harmoniques paires de la fréquence fondamentale. La recombinaison des signaux de sortie est réalisée en utilisant un balun complémentaire de celui d'entrée et permet donc de pouvoir réaliser des adaptations indépendantes à la fréquence fondamentale et à la fréquence harmonique 2. Cette dernière propriété associées aux performances large bande de certains baluns offre un degré de liberté supplémentaire pour la conception d'amplificateur de puissance large bande à haut rendement.

V.2.3.4 Principe de fonctionnement des amplificateurs push-pull

Un amplificateur de puissance large bande à un étage requiert un réseau d'adaptation avec un rapport de transformation de 50Ω vers une impédance optimale de l'ordre de quelques ohms. Cela est encore plus contraignant pour des amplificateurs de très forte puissance pour lesquels les impédances optimales peuvent être inférieures à 1 Ohm. Ce rapport de transformation important impose un réseau d'adaptation constitué d'un nombre élevé d'éléments qui limitent les performances globales de l'amplificateur large bande.

Pour limiter cette contrainte, l'architecture push-pull peut-être envisagée. Cette architecture est constituée de deux transistors ou deux amplificateurs fonctionnant en opposition de phase. Les deux transistors sont reliés en entrée et sortie par deux baluns. Les réseaux d'adaptations d'entrée/sortie sont utilisés entre les transistors et les balun afin de présenter les charges optimales aux entrées et sorties des transistors. Un des avantages de l'architecture push-pull est que la structure du balun peut permettre une transformation d'impédance de 50Ω vers 25Ω par exemple. Ainsi, il est plus simple de réaliser les réseaux d'adaptation d'entrée et sortie avec un rapport de transformation réduit. L'architecture push-pull est présentée sur la figure V.12.

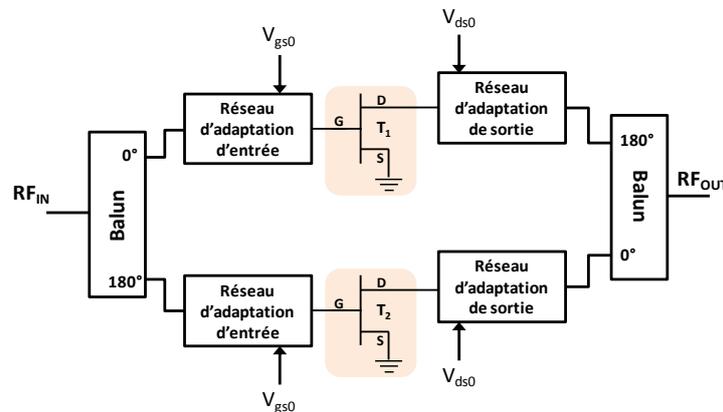


Figure V.12 : Synoptique d'une architecture push-pull

L'architecture Push-pull possède un autre avantage. Elle permet de pouvoir différencier les modes pairs des modes impairs grâce aux propriétés des balun. Comme vu précédemment. La Figure V.13 illustre le mode de fonctionnement du mode impair.

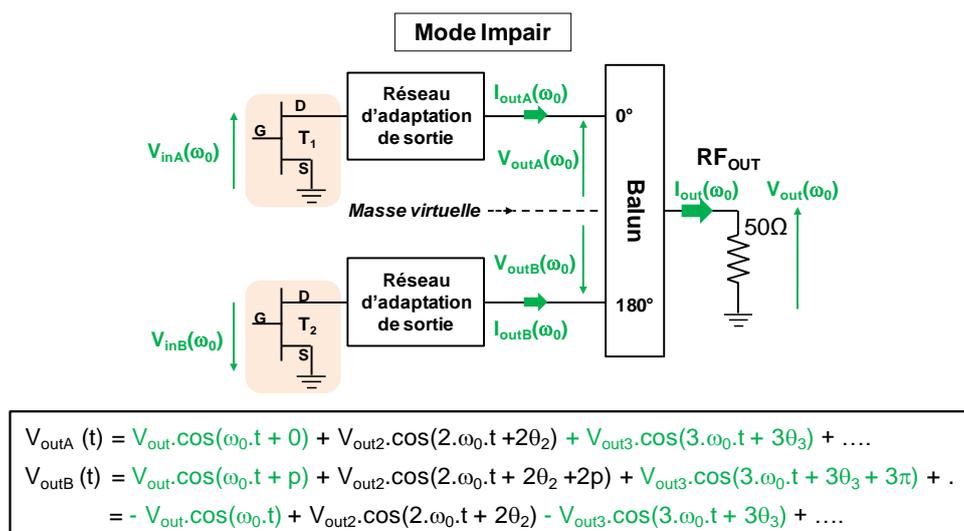


Figure V.13 : Description du mode impair

À la fréquence fondamentale les deux transistors génèrent deux signaux identiques déphasés de 180° à l'aide du balun d'entrée (comme indiqué sur la figure V.12). Les signaux générés par les amplificateurs à la fréquence fondamentale et aux fréquences impaires sont recombinaés par le balun de sortie et transmis à la charge de sortie.

La figure V.14 illustre le cas du mode pair.

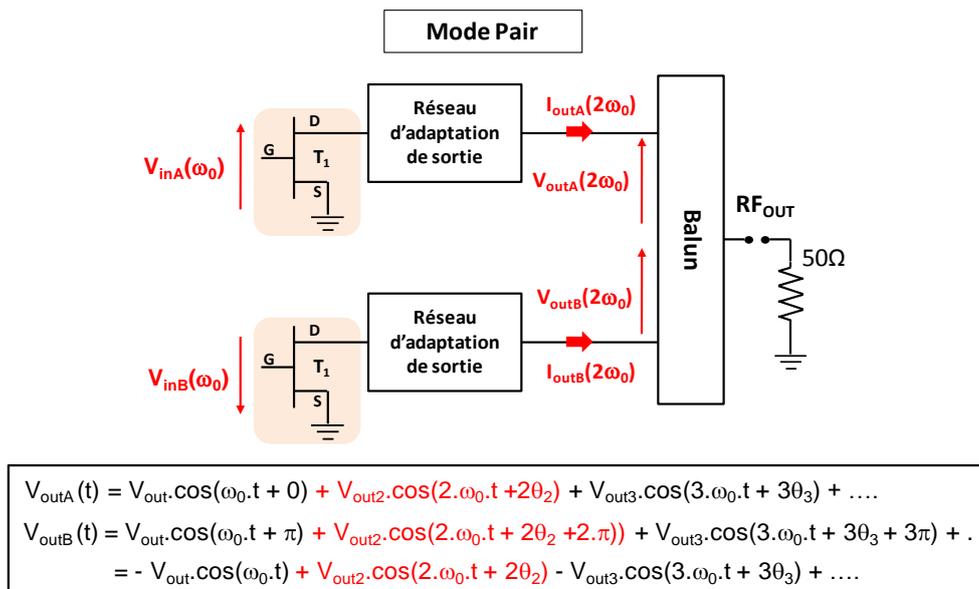


Figure V.14 : Description du mode pair

À la fréquence harmonique 2 de la fréquence fondamentale, les deux transistors génèrent deux signaux identiques en phase provenant des non-linéarités des transistors. Les signaux générés par les amplificateurs à la cette fréquence harmonique 2 (et aux fréquences paires) sont recombinaés en opposition de phase par le balun de sortie et s'annulent donc au point milieu du balun.

En conclusion, l'utilisation de baluns dans une architecture push-pull permet, d'une part, de réduire le rapport de transformation entre la charge de sortie et la charge optimale du transistor à la fréquence fondamentale facilitant ainsi la réalisation des réseaux d'adaptations à cette fréquence. Les baluns permettent d'autre part de pouvoir contrôler indépendamment la charge à la fréquence fondamentale de la charge à la fréquence harmonique 2. Une première étude a été réalisée en simulation pour confirmer l'intérêt de ce type d'architecture et pour en évaluer les difficultés de réalisation.

V.2.3.5 Optimisation d'un balun pour la conception d'un amplificateur hybride push pull.

Une architecture de balun à point milieu a été choisie afin de pouvoir optimiser la charge à la fréquence harmonique 2 indépendamment de la charge à la fréquence fondamentale. Cette architecture est fondée sur un balun inter-digité simulée sur un substrat RO4003 et présentées par la figure V.15.

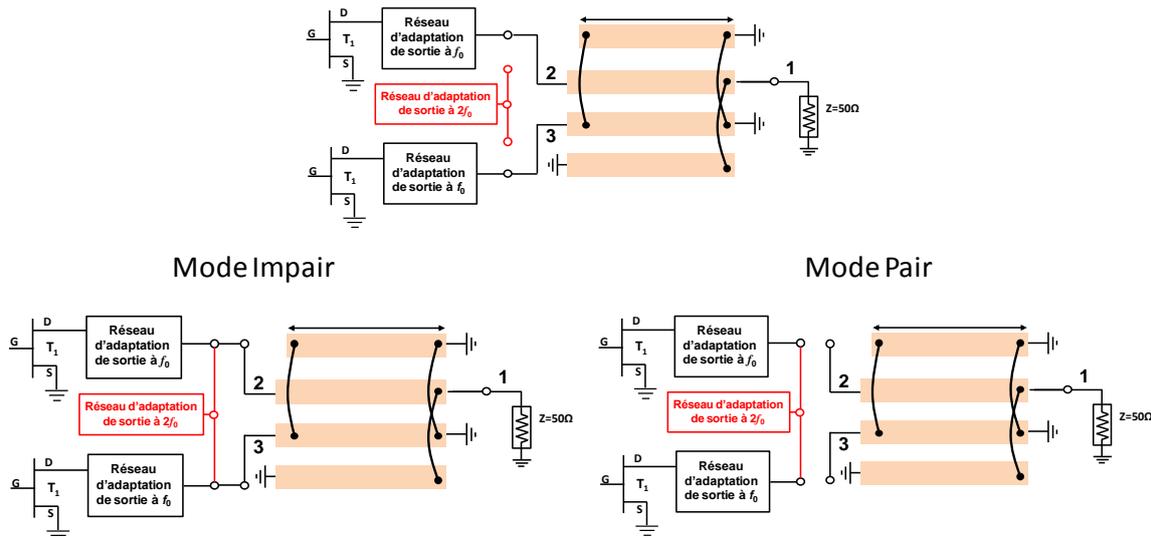


Figure V.15 : Balun inter digité à point milieu

Le balun à ligne couplé inter-digité par défaut n'offre pas un accès au point milieu. Une ligne supplémentaire reliant les accès 2 et 3 a donc été ajoutée (figure V.17) et optimisée pour qu'elle influence le moins possible le fonctionnement du balun tel qu'il a été décrit dans les paragraphes précédents. Une longueur de ligne proche de $\lambda/8$ associée à une impédance caractéristique de 120Ω a été calculée et utilisée en simulation pour optimiser le point milieu du balun.

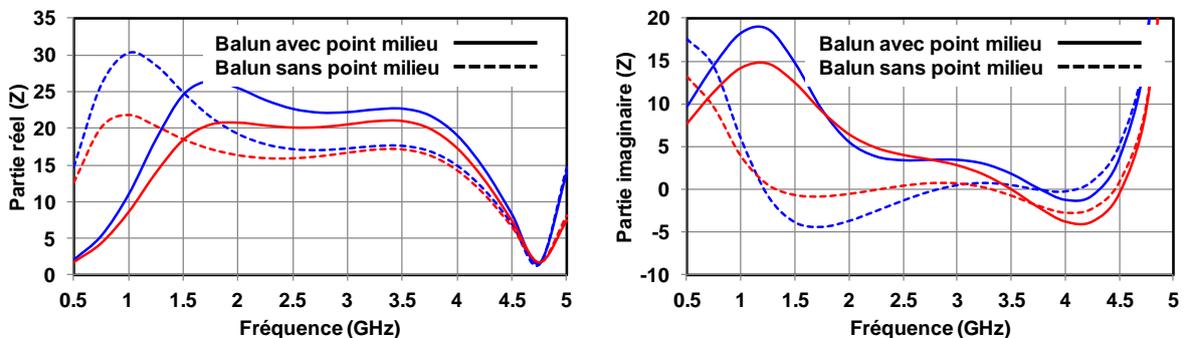


Figure V.16 : Comparaison des impédances présentées par les accès 2 et 3 du balun inter digité avec et sans accès au point milieu

La ligne $\lambda/8$ modifie légèrement les impédances présentées par le balun aux transistors comme le montre la figure V.16. Cette différence peut être compensée par les réseaux d'adaptation d'entrée et de sortie des transistors.

Pour vérifier le bon fonctionnement du balun, des simulations de variation de charge au point milieu ont été réalisées. Comme cela a été montré dans le cadre d'un balun idéal, la variation de charge au point milieu pour le mode impair dans la bande 1.5-4GHz n'impacte pas les charges présentées à chaque transistor.

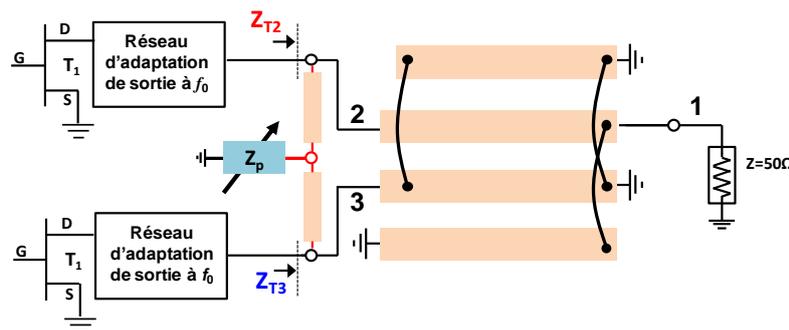


Figure V.17 : Variation de charge au point milieu du balun inter digité.

Dans le cas du mode impair (signaux en opposition de phase), malgré les variations de charge au point milieu, les charges présentées aux transistors restent quasi-constantes autour de 22Ω comme le montre la figure V.18.

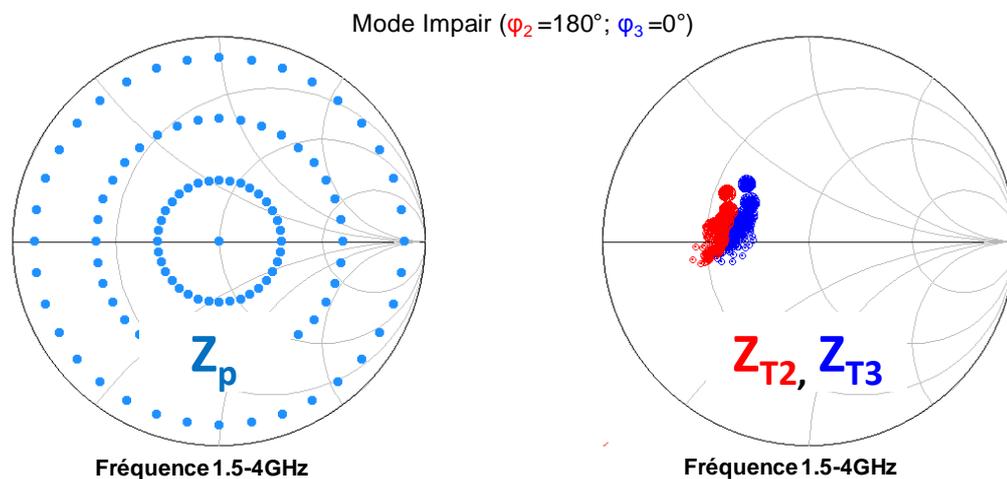


Figure V.18 : Impédances simulée au point milieu (Z_p) et impédances Z_{T2} et Z_{T3} associées à chaque impédance Z_p présentée aux accès 2 et 3 du balun inter digité en mode impair.

Dans le cas du mode pair (signaux en phase), la charge présentée à la fréquence harmonique 2 à chaque transistor en fonction de la charge présente au point milieu est présentée sur la figure V.19. Ces simulations ont été réalisées pour différents points de

fréquence entre 2 et 6.5 GHz. Les charges présentées à chaque transistor autour du point de fréquence 5GHz sont confinées autour d'une zone d'impédance sur l'abaque de Smith. Ce confinement provient de la résonance du balun lié aux lignes $\lambda/4$ optimisées.

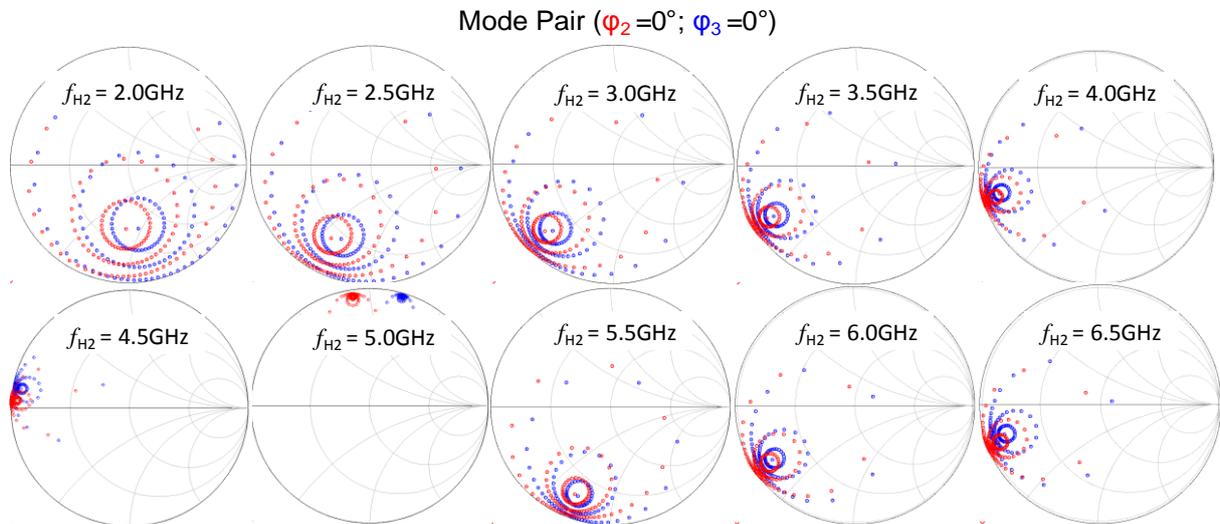


Figure V.19 : Impédances simulées Z_{T2} et Z_{T3} associées à chaque impédance Z_p présentées aux accès 2 et 3 du balun inter digité pour différentes fréquences.

La typologie de balun choisi dans cet exemple montre en simulation les potentialités intéressantes de cette structure pour des applications d'amplification de puissance large bande à haut rendement. Elle permet clairement de discriminer dans de large bande passante les charges présentées aux transistors aux fréquences paires et impaires.

V.2.4 Comparaison des résultats de simulation d'un amplificateur push-pull large bande à haut rendement et d'un amplificateur unitaire large bande à haut rendement.

Afin de connaître les avantages et les inconvénients des architectures push-pull, une étude complémentaire de principe a été réalisée pour comparer les résultats obtenus entre un montage amplificateur utilisant cette architecture et un amplificateur unique.

V.2.4.1 Amplificateur unitaire large bande.

Une première simulation d'un amplificateur unitaire fondé sur un modèle représentant une barrette nue constituée de 4 transistors unitaires GH50 de 2mm de développement de grille a été réalisée à l'aide du logiciel CAO ADS. Au cours de cette étude de principe, le choix d'utiliser uniquement des barrettes nues reliées directement aux réseaux d'adaptations par des fils de câblage a été fait afin de limiter les perturbations pouvant être ramenées par un

boîtier céramique. Le fonctionnement de l'amplificateur a été simulé pour des fréquences incluses dans la bande utile du balun simulé précédemment, c'est-à-dire de 1.5 à 3GHz

Les circuits d'adaptation d'entrée et sortie de l'amplificateur sont simulés avec un substrat Rogers R04003 de 1.524mm d'épaisseur. Le réseau d'adaptation de sortie a été optimisé sur une charge de 22Ω qui correspond à la charge présentée par le balun à point milieu optimisé. La figure V.20 illustre le synoptique de l'amplificateur unitaire large bande simulé avec le logiciel ADS.

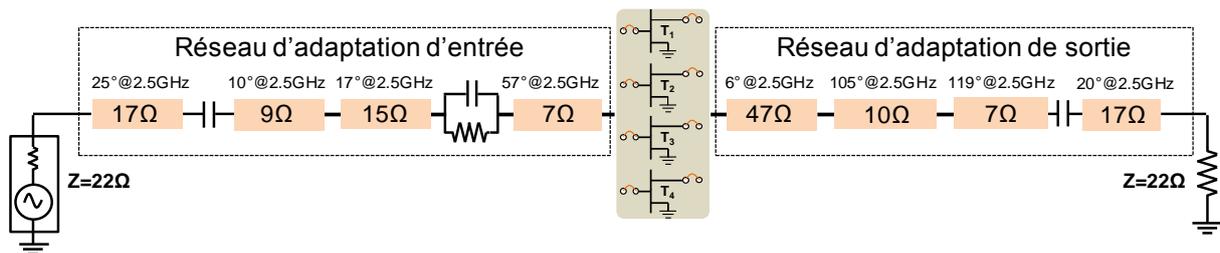


Figure V.20 : Amplificateur unitaire large bande

L'amplificateur a été simulé en puissance en mode CW par la technique d'équilibrage harmonique. La tension de polarisation de drain est fixée à 50V et la tension de polarisation de grille à -1.4V correspondant à un courant de repos de 25mA/mm.

Les résultats de simulation de l'amplificateur refermé sur une impédance de charge et de source de 22Ω sont présentés figure V.21. L'amplificateur couvre une bande de fréquence d'une octave 1.5-3.0GHz. Il délivre une puissance de sortie minimum de 45.4dBm, un gain en puissance de 10dB et une PAE minimum associée de 50% dans la bande 1.5-3GHz pour une puissance disponible de 34dBm.

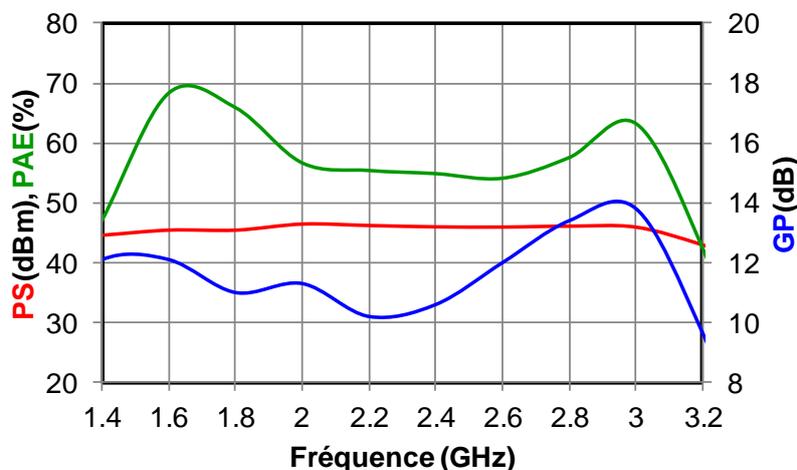


Figure V.21 : Performances de l'amplificateur unitaire large bande.

Ces résultats obtenus avec l'amplificateur unitaire serviront d'élément de comparaison pour l'amplificateur push-pull large bande à haut rendement.

V.2.4.2 Amplificateur de puissance push-pull large bande à haut rendement.

Deux baluns à point milieu ont été intégrés entre deux amplificateurs unitaires, comme représenté sur figure V.22, pour réaliser une architecture push-pull.

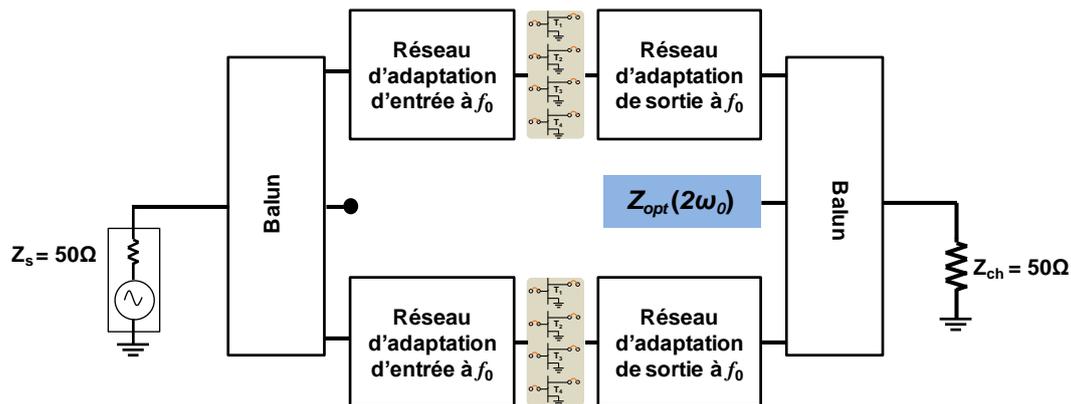


Figure V.22 : Synoptique de l'amplificateur push-pull simulé.

Le balun d'entrée est utilisé pour diviser le signal d'entrée délivré par le générateur et pour commander les deux amplificateurs en opposition de phase. Le balun de sortie est utilisé pour la recombinaison des signaux en opposition de phase délivrés par les deux amplificateurs et envoyer le signal recombinaison à la charge 50Ω de sortie. Il permet aussi d'adapter les charges des modes impairs indépendamment des charges des modes pairs. La charge du mode pair (fréquence harmonique 2) est optimisée pour toutes les fréquences de la bande passante de l'amplificateur (valeur maximale du rendement en puissance ajoutée obtenu après variation de charge à la fréquence harmonique 2 pour toutes les fréquences) et entrée dans la simulation comme fichier d'impédances. L'amplificateur push-pull est ensuite simulé en mode CW pour une tension de polarisation de drain de 50V et pour un courant de repos de 25mA/mm. La figure V.23 décrit les courbes de puissance de sortie, de rendement en puissance ajoutée et de gain en puissance dans la bande 1.5-3.0GHz pour une puissance disponible du générateur de 37dBm.

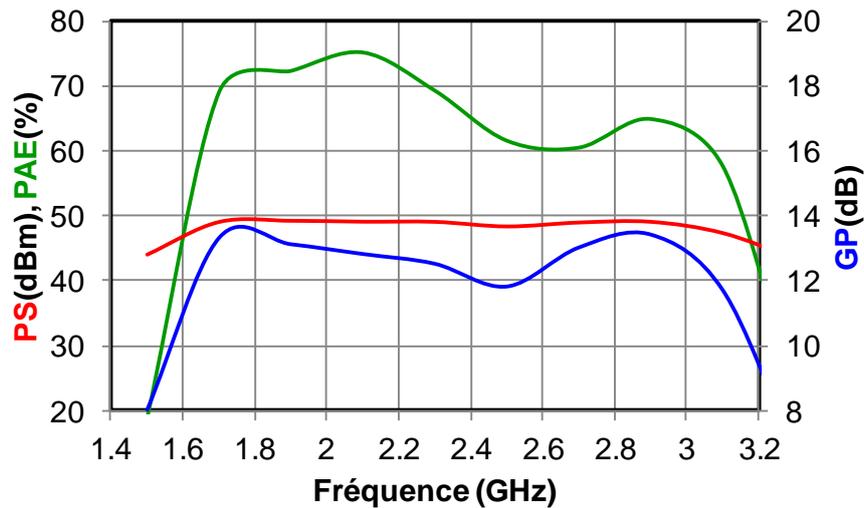


Figure V.23 : Performances de l'amplificateur push-pull large bande à haut rendement.

Pour une puissance disponible de 37dBm, l'amplificateur push-pull délivre une puissance de sortie supérieure à 48.4dBm, une PAE minimum associée supérieure à 60% et un gain en puissance de 12dB dans la bande 1.7-3.1GHz. L'architecture d'amplificateur push-pull à base de baluns améliore les performances en rendement de l'amplificateur grâce à la charge optimisée en rendement à la fréquence harmonique 2 au point milieu du balun. Cependant, on observe que le déséquilibre du balun dans la bande basse dégrade ses performances en puissance notamment entre 1.5 et 1.7GHz.

V.2.4.3 Comparaison des performances en simulation entre l'amplificateur unitaire et l'amplificateur de puissance push-pull.

La figure V.24 présente la comparaison des rendements en puissance ajoutée et des puissances de sortie de l'amplificateur unitaire avec l'amplificateur push-pull. Ce dernier présente des performances supérieures à celles obtenues pour l'amplificateur unitaire. L'amplificateur push-pull améliore le rendement en puissance ajoutée jusqu'à à une valeur de 7 points supplémentaires par rapport à l'amplificateur unitaire. En outre, la combinaison des deux amplificateurs unitaires permet de quasiment doubler la puissance de sortie avec un gain de puissance de +2.8dB.

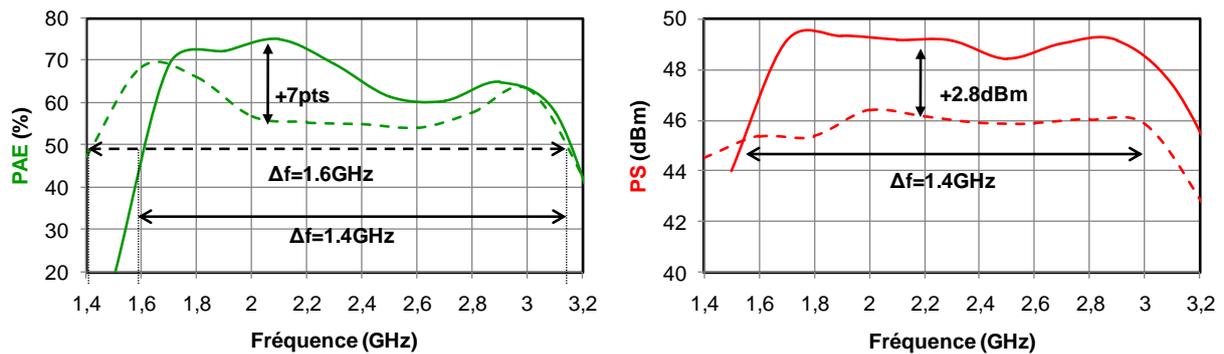


Figure V.24 : Comparaison de la PAE et de la puissance de sortie entre l'amplificateur unitaire et l'amplificateur push-pull.

Par ailleurs, la bande passante de l'amplificateur push-pull est plus réduite; 200MHz de moins que pour l'amplificateur unitaire. La réduction de la bande passante provient du déséquilibre d'amplitude et de phase provenant des baluns optimisés.

Malgré des résultats encourageants, la complexité de cette architecture liée à la nécessité de compenser les déséquilibres des voies des deux baluns d'entrée et de sortie ne permet pas d'atteindre le cahier des charges désiré à travers l'étude de principe qui a été menée. En effet, la taille importante du balun inter-digité dans les bandes de fréquence utilisée (1.5-3GHz) ne parait pas être une solution viable économiquement. Une transposition de cette méthode autour des bandes C ou X pourrait être une solution envisageable plus facilement [V.3]

Les architectures d'amplificateurs push-pull et d'amplificateurs distribués sont des architectures qui semblent être adaptées pour des applications larges bandes et à haut rendement. Néanmoins, l'encombrement de la première architecture citée est trop importante actuellement pour être choisie dans le cadre de ce travail. Une solution multicouche pourrait permettre éventuellement de réduire l'encombrement global de la structure balun mais elle n'a pu être envisagée dans le temps imparti de ce travail de thèse. Concernant l'amplificateur distribué, les simulations ont montré que les résistances placées à l'extrémité des lignes de drain et de grille réduisent les performances de cette structure. La suppression des résistances pourrait améliorer les performances de l'amplificateur tout en augmentant fortement les risques d'instabilité de l'amplificateur. C'est pourquoi elle aussi n'a pas été choisie lors de ce travail doctoral.

Pour des questions de fiabilité, d'encombrement et de performances, une architecture équilibrée fondée sur l'utilisation de coupleurs de Lange a été choisie. La conception et la réalisation sont présentées dans le paragraphe suivant.

V.3 Conception d'un amplificateur équilibré 45W large bande (2-4GHz) à haut rendement hautement intégrable.

La conception de l'amplificateur de puissance équilibré 45W est fondé sur l'utilisation de deux amplificateurs de puissance décrits dans le précédent chapitre mis en parallèle et reliés à l'aide de coupleurs de Lange 3dB/90° [V.5].

V.3.1 Le coupleur de Lange 90°

Les coupleurs 3dB/90° sont des circuits grandement utilisés dans le domaine des hyperfréquences. Ils sont intégrés dans des dispositifs tels que les déphaseurs, mélangeurs ou, comme dans notre cas, dans la conception d'amplificateurs équilibrés. Le coupleur 90° est un quadripôle constitué de quatre accès : le signal entrant sur une voie (voie 1) est divisé et envoyé sur deux voies différentes (voie 3 couplée et voie 4 directe). Les signaux transmis en sortie des voies 3 et 4 sont théoriquement de même amplitude et déphasé de 90° entre la voie couplée et la voie directe. La voie 2 est la voie isolée. Elle est généralement chargée sur 50Ω. La figure V.25 montre le synoptique d'un amplificateur équilibré utilisant des coupleurs 3dB/90°. Le coupleur d'entrée alimente deux amplificateurs identiques. Les signaux amplifiés sont ensuite recombinaés par le coupleur 3dB/90° de sortie et délivrés à la charge 50Ω de sortie. L'intégration de coupleur 3dB/90° permet une amélioration des performances de la structure équilibrée en terme d'adaptation entrée / sortie sur une large bande passante.

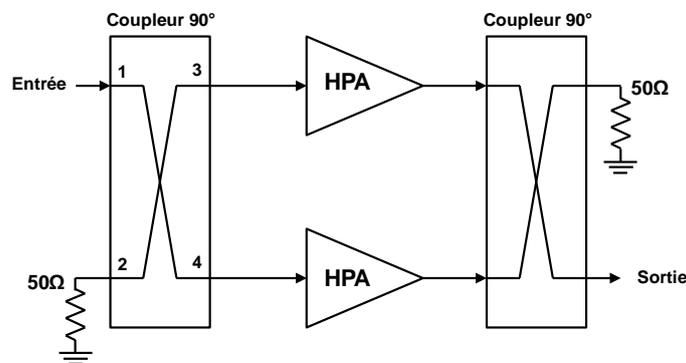


Figure V.25 : Amplificateur équilibré utilisant des coupleurs 3dB/90°

Parmi les topologies de coupleur 3dB/90° décrites dans la littérature, celle du coupleur de Lange est fréquemment utilisée. En effet, le coupleur de Lange offre la possibilité de travailler sur de larges bandes passantes et avec un niveau de couplage élevé.

Afin d'obtenir un couplage de 3dB sur une large plage de fréquence, des solutions de couplage inter-digité sont utilisées permettant d'augmenter la valeur de la capacité de couplage d'une part et de compenser les différences de vitesses de phase d'autre part.

En technologie micro-ruban, des fils de câblage sont utilisés pour relier au même potentiel les lignes couplées de même nature. En technologie MMIC, les lignes couplées de même nature sont reliées à l'aide de pont à air.

La structure d'un coupleur de Lange constitué de 4 branches (N=4) est montrée sur la figure V.26.

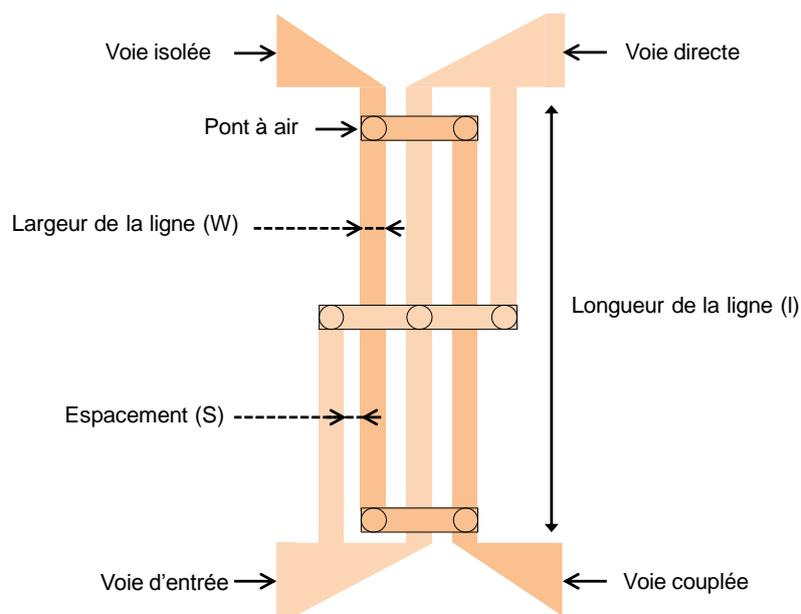


Figure V.26 : Structure du coupleur de Lange (N=4)

La longueur des branches (l) permet de définir la fréquence centrale (f_0) désirée. La longueur des branches est égale à une ligne quart-d'onde à la fréquence f_0 .

$$l = \frac{\lambda}{4} \quad \text{Avec : } \lambda = \frac{c}{f_0 \sqrt{\epsilon_{eff}}} \quad \text{Equation V. 16}$$

ϵ_{eff} : Constante diélectrique effective du matériau.

$C = 3 \times 10^8$ m/s (Vitesse de la lumière)

Les caractéristiques de couplage entre les lignes sont déterminées par l'espacement (S) entre les lignes et les épaisseurs des lignes.

La largeur des branches (W) permet de définir l'impédance caractéristique des lignes qui est généralement déterminé proche de 50Ω .

V.3.2 Conception d'un coupleur de Lange en technologie ULRC

La conception d'un coupleur de Lange à l'aide du logiciel ADS a été réalisée au cours de ce travail de thèse. La technologie ULRC en AsGa a été utilisée pour réaliser le coupleur. Le substrat utilisé a une permittivité de 12.8 et une épaisseur de $100\mu\text{m}$. Le coupleur de Lange a été conçu afin d'assurer la fiabilité en puissance de la structure. En effet, les forts niveaux de puissance mis en jeu imposent d'être attentif tout au long des phases d'optimisation à la densité maximale de courant traversant chaque branche et chaque pont à air reliant les lignes couplées de même nature. De plus, les règles de dessin imposé par la fonderie UMS imposent des contraintes supplémentaires qu'il convient de respecter pour la fiabilité de la conception. Une de ces contraintes concerne l'espacement (S) minimum entre les lignes qu'il est possible de réaliser avec cette technologie. La figure V.27 ci-dessous, représente une photographie du coupleur de Lange réalisé.

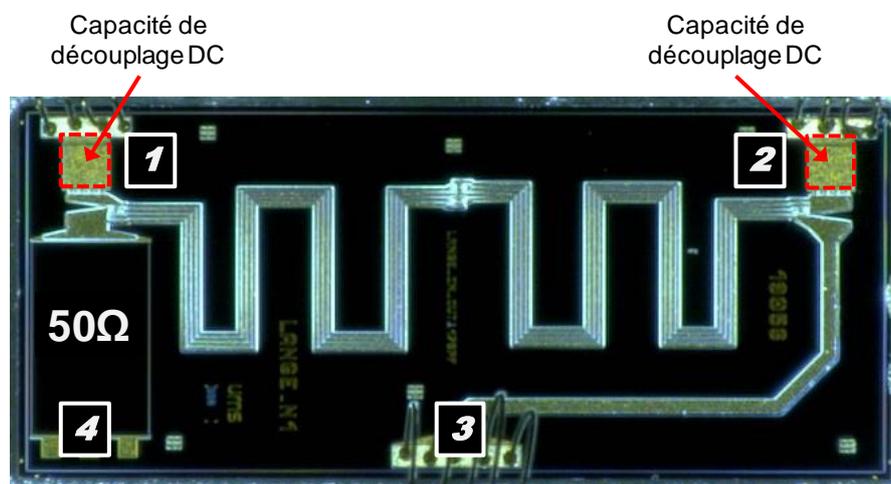


Figure V.27 : Coupleur de Lange réalisé sur la technologie ULRC.

Pour réduire au maximum l'encombrement du coupleur, les lignes couplées ont été fractionnées pour occuper au final une surface réduite. Les longueurs des lignes du coupleur optimisé sont égales à $8652\mu\text{m}$. Cette longueur correspond approximativement à une ligne quart d'onde de fréquence centrale 3GHz optimisé sur un substrat de permittivité 12.8. La

largeur des lignes est égale à $16\mu\text{m}$. Elles sont espacées de $8\mu\text{m}$ entre elles. La voie isolée est terminée par une résistance de 50Ω qui a été dimensionnée pour supporter un courant correspondant à un rapport d'onde stationnaire de l'ordre de 2 présenté sur la voie 3. Enfin, des capacités de découplage DC ont été intégrées sur les accès des voies 1 et 2 du coupleur de Lange.

V.3.3 Résultats de simulation

V.3.3.1 Simulation du coupleur de Lange.

V.3.3.1.1 Simulation paramètres S

Les résultats de simulations en paramètres[S] du coupleur de Lange optimisé sont présentés sur la figure V.28.

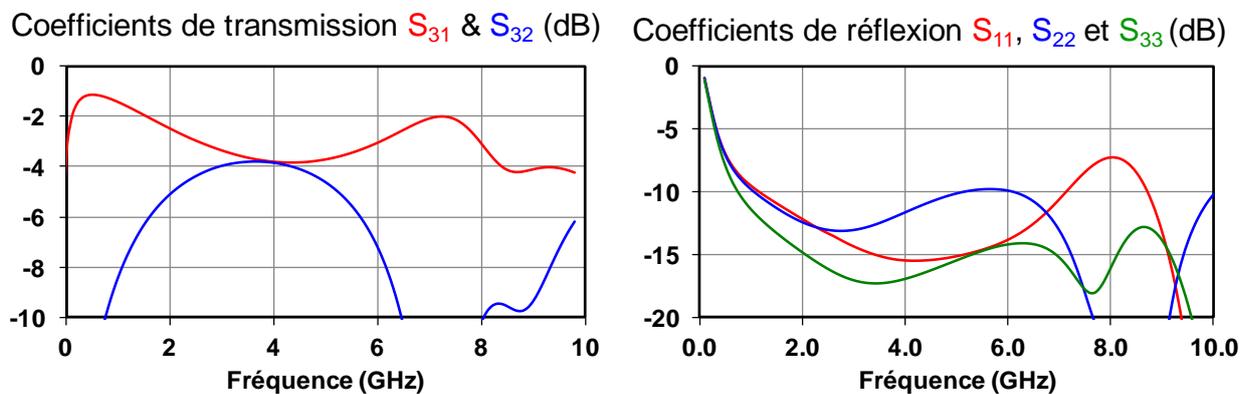


Figure V.28 : Coefficient de transmission et de réflexion en fonction de la fréquence.

Le coefficient de transmission est de l'ordre de -3.8dB au centre de la bande de travail (3GHz). Les 3 voies présentent un coefficient de réflexion inférieur à -10dB dans la bande 2-4GHz.

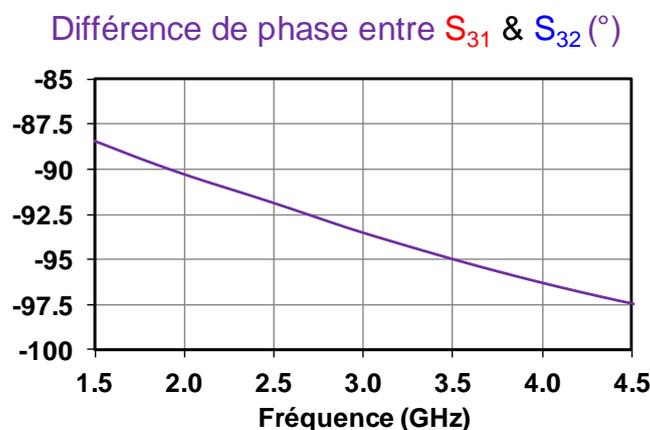


Figure V.29 : Différence de phase entre chaque voie de transmission.

La figure V.29 présente la différence de phase entre chaque voie de transmission dans la bande de fréquence 1.5-4.5GHz. Dans cette bande, la différence de phase obtenue entre les deux voies est comprise entre -88 et -97.5°.

V.3.3.1.2 Simulation AC

Une simulation AC a été réalisée dans la bande de fréquence 1.8-4.2GHz afin de vérifier la symétrie du coupleur. L'étude des parties réelles et imaginaires des impédances présentées par les voies 1 et 2 du coupleur permettent de juger de la bonne symétrie du coupleur. Cette simulation permet aussi une estimation des pertes d'insertion du coupleur. La figure V.30 présente les parties réelles et imaginaires des impédances présentées par la voie 1 et la voie 2 lorsque la voie 3 est chargée sur 50Ω.

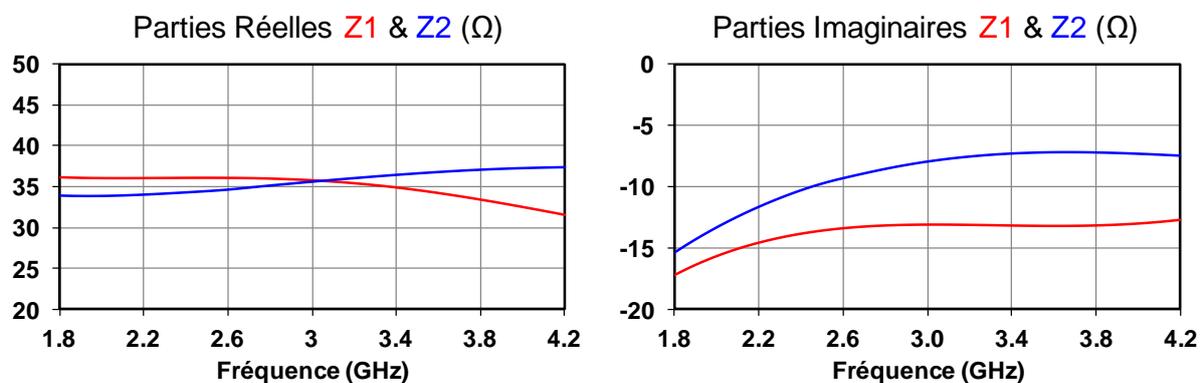


Figure V.30 : Parties réelles et imaginaires des impédances présentées par les voies 1 (Z1) et 2 (Z2) du coupleur

La partie réelle présentée par les voies 1 et 2 du coupleur est de l'ordre de 35Ω dans la totalité de la bande. La partie imaginaire se situe entre -13 et -17Ω pour la voie 1 et entre -7 et -15Ω pour la voie 2. Les résultats obtenus permettent de confirmer la qualité de la symétrie du coupleur de Lange.

Simulation de l'amplificateur de puissance équilibré.

Une simulation fort signal de l'amplificateur de puissance équilibré, en utilisant deux amplificateurs de puissance 25W mise en parallèle, a été réalisée. Les deux amplificateurs de puissance sont reliés par le coupleur de lange, optimisé lors du paragraphe précédent, en entrée et en sortie. La synoptique de l'amplificateur simulé est présenté sur la figure V.31.

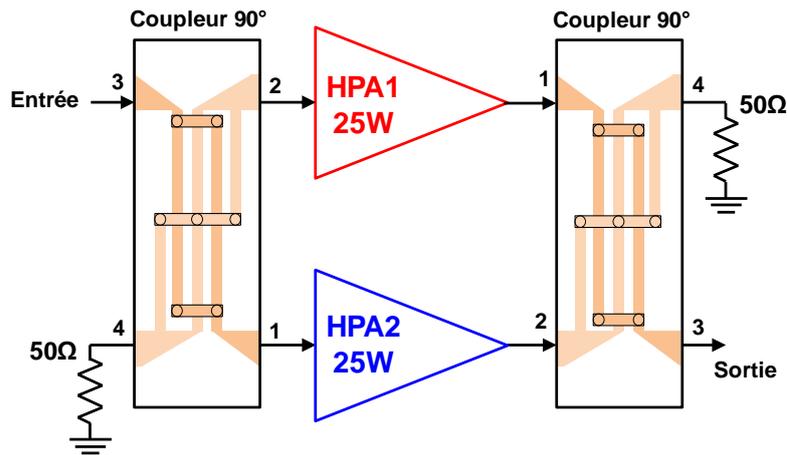


Figure V.31 : Synoptique de l'amplificateur équilibré.

La figure V.32 présente les résultats de simulation en termes de PAE, de puissance de sortie et de gain d'insertion pour une puissance disponible délivrée par le générateur égale à 37.5dBm. Cette puissance correspond au maximum de PAE dans la bande 2-4GHz. Chaque amplificateur est polarisé avec une tension de drain égale à 50V et un courant de repos égal à 200mA. Les impédances de charge ramenées aux bornes d'un transistor unitaire de chaque barrette de chaque amplificateur sont aussi tracées sur la figure V.32.

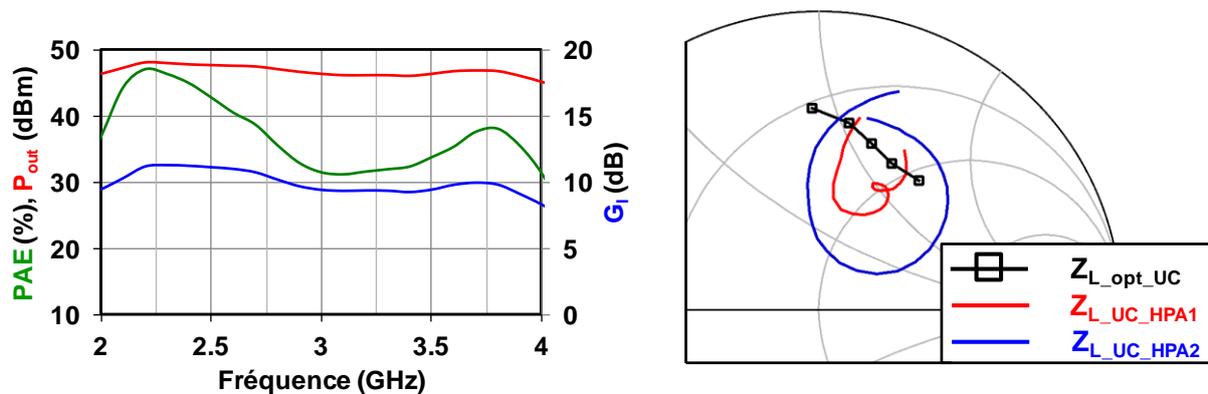


Figure V.32 : Performances de l'amplificateur équilibré et impédance de charge présentée dans le plan d'un transistor de chaque amplificateur.

Dans cette configuration, les performances de l'amplificateur ne sont pas optimales puisque les impédances de charges présentées aux transistors de la barrette de l'amplificateur 2 sont très éloignées des impédances de charge optimales. Elles sont aussi très différentes de celles présentées aux transistors de l'amplificateur 1. Le coupleur de Lange introduit une dissymétrie entre les deux amplificateurs dans la bande de travail 2-4GHz. Cette dissymétrie détériore les performances globales de l'amplificateur. Il est donc nécessaire de modifier cette architecture pour optimiser les performances de l'amplificateur.

V.3.3.1.3 Optimisation des performances de l'amplificateur de puissance

Pour améliorer les performances globales de l'amplificateur, une optimisation globale de l'amplificateur a été réalisée afin de compenser le déséquilibre provenant des coupleurs de Lange. Ce déséquilibre est compensé par une modification des quadripôles d'adaptation d'entrée et de sortie de chaque amplificateur de puissance. Par conséquent, l'amplificateur équilibré optimisé sera constitué de deux amplificateurs de puissance constitué de quadripôles d'adaptation différents. La figure V.33 montre une photographie de l'amplificateur de puissance équilibré ré-optimisé.

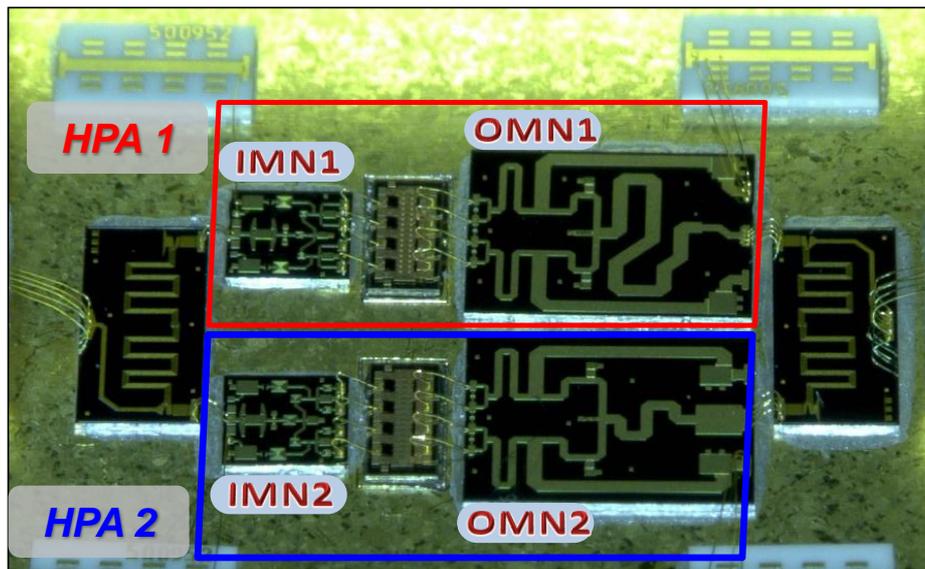


Figure V.33 : Amplificateur de puissance GaN équilibré.

Comme le montre la photographie de la figure V.33, les deux quadripôles d'adaptation de sortie sont très différents l'un de l'autre. Comme pour la conception de l'amplificateur 25W, des circuits d'équilibrage ont été intégrés au plus près de l'entrée et de la sortie de chaque transistor afin d'éviter l'apparition d'oscillation de mode impair. Des circuits RC de stabilité ($R=25$ et $C=5\text{pf}$) sont intégrés en entrée pour supprimer les éventuelles oscillations à $f_0/2$.

V.3.3.1.4 Simulation petit signal de l'amplificateur équilibré :

Des simulations paramètres [S] ont été réalisées afin d'estimer les performances de l'amplificateur en régime linéaire. La figure V.34 montre les coefficients de réflexion d'entrée et de sortie de l'amplificateur dans la bande de fréquence 1.5-4.5GHz.

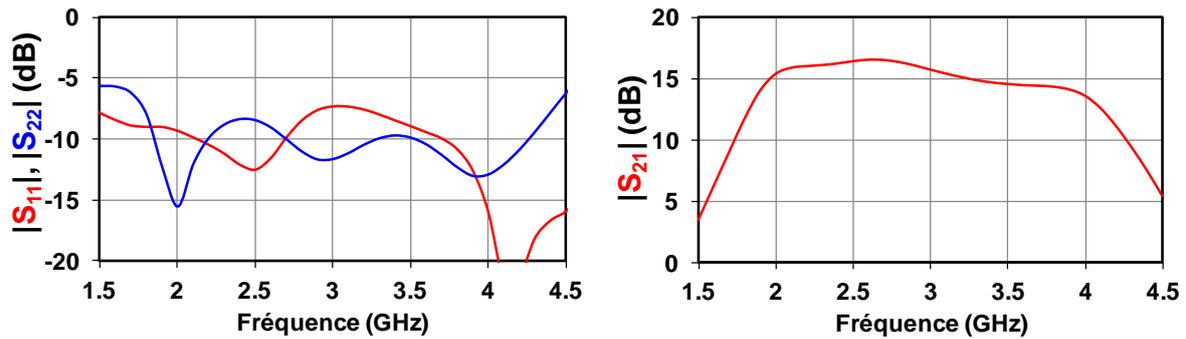


Figure V.34 : Résultats des simulations paramètres [S] de l'amplificateur de puissance dans la bande de fréquence 1.5-4.5GHz pour $V_{ds0}=50V$ et $I_{ds0}=400mA$.

Les coefficients de réflexion simulés sont inférieurs à -8dB dans la bande de fréquence 2-4GHz. Comparés aux résultats de l'amplificateur 25W réalisé dans le chapitre précédent, une amélioration des coefficients de réflexion d'entrée et de sortie, apporté par la structure du coupleur de Lange, est démontrée. Le coefficient de transmission petit signal est quant à lui de l'ordre de 15dB dans la bande 2-4GHz.

V.3.3.1.5 Simulation fort signal de l'amplificateur équilibré :

L'amplificateur de puissance a été simulé en régime non-linéaire afin de caractériser ses performances fort signal. Les résultats de simulation sont donnés pour une tension de polarisation de drain de 50V et un courant de repos total de l'ordre de 400mA. Le générateur d'entrée délivre un signal RF dont la puissance disponible varie entre 0 et 38dBm.

Les résultats de simulation sont présentés sur la figure V.35 en fonction de la puissance disponible du générateur dans la bande de fréquence 2-4GHz. Les meilleures performances en PAE sont obtenues pour une puissance disponible de 37.5dBm.

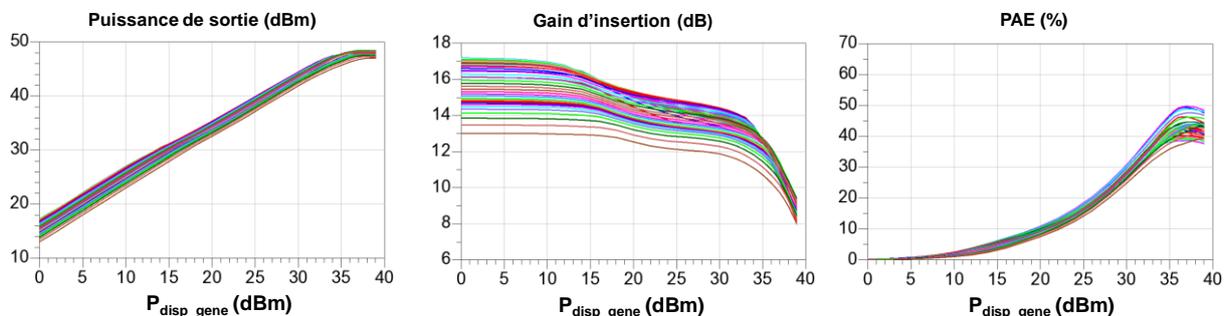


Figure V.35 : Performances de l'amplificateur en fonction de la puissance disponible délivrée par le générateur d'entrée et de la fréquence dans la bande 2-4GHz.

La figure V.36 présente les performances de l'amplificateur en fonction de la fréquence pour une puissance disponible délivrée par le générateur égale à 37.5dBm correspondant à l'optimum de PAE dans la bande 2-4GHz.

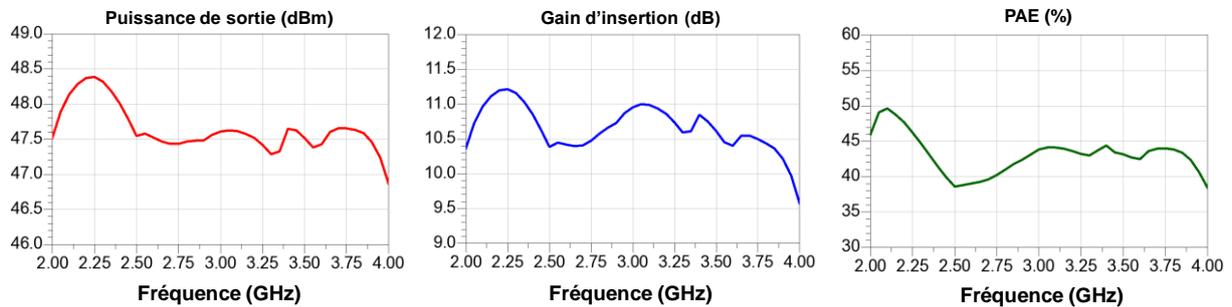


Figure V.36 : Performances de l'amplificateur en fonction de la fréquence pour une puissance disponible délivrée par le générateur d'entrée égale à 37.5dBm.

L'amplificateur de puissance délivre une puissance supérieure à 47dBm (50W), un gain d'insertion de l'ordre 10.5dB et une PAE supérieure à 40% dans la bande de fréquence 2-4GHz.

Les cycles de charge des transistors de chaque amplificateur (HPA1 et HPA2) sont tracés sur la figure V.37 pour des fréquences comprises entre 2 et 4GHz. Ces cycles de charges correspondent à une adaptation d'impédance de sortie proche du fonctionnement optimale en puissance et en rendement des transistors constituant les amplificateurs HPA1 et HPA2. Comme pour la réalisation de l'amplificateur 25W, l'excursion des cycles de charge se situe dans la zone de saturation et atteint la tension de coude de la caractéristique I/V des transistors. De plus, les cycles de charge des transistors sont assez semblables. Une différence est visible lorsque l'on compare les cycles de charge des transistors des deux amplificateurs du fait que les charges présentées au transistor de chaque HPA sont différentes les unes des autres.

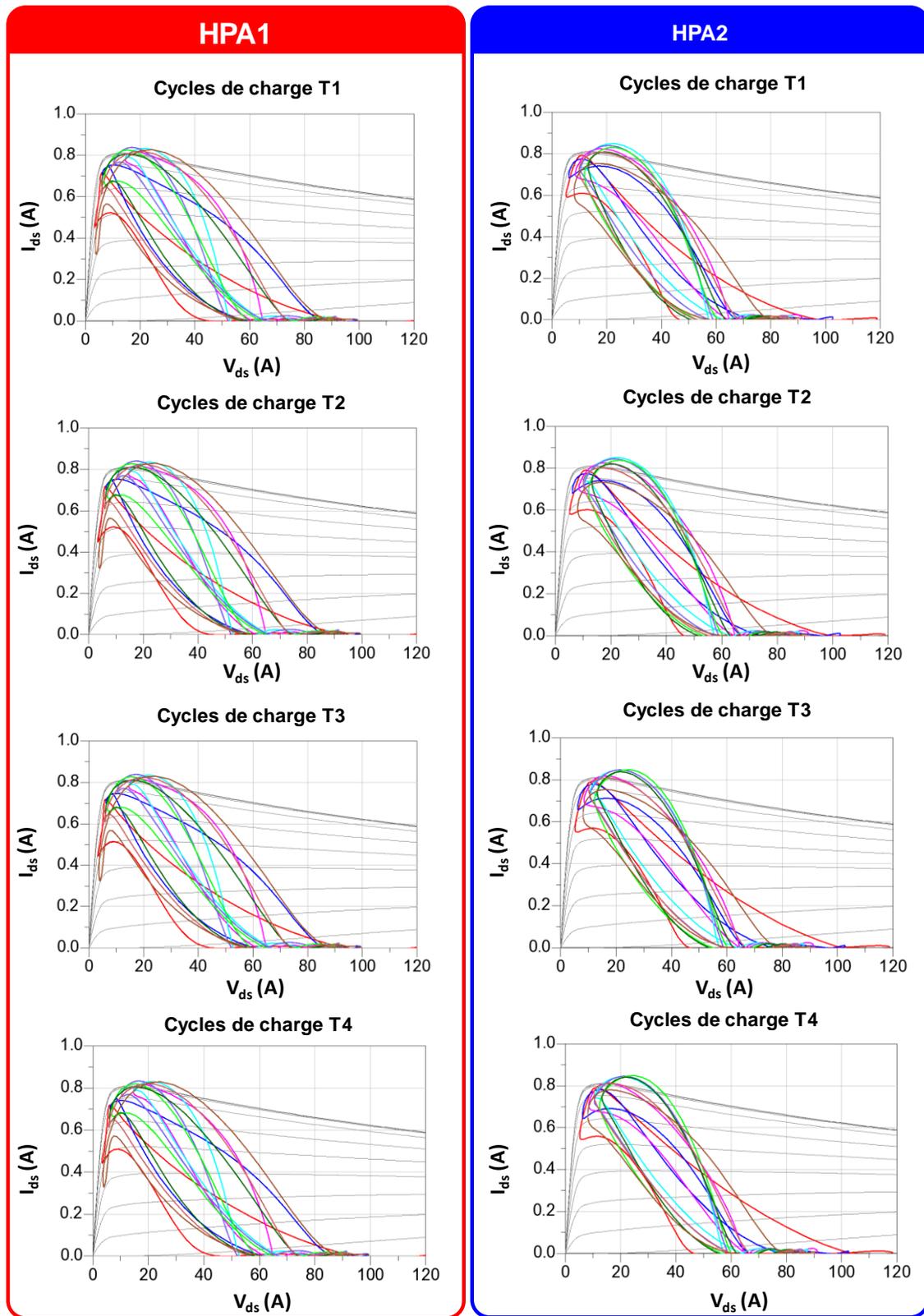


Figure V.37 : Cycles de charge des transistors de chaque amplificateur pour différentes fréquences dans la bande 2-4 GHz pour une puissance disponible de 37.5dBm.

La figure V.38 représente l'impédance de charge présentée par le quadripôle d'adaptation de sortie à chaque transistor de chaque amplificateur ainsi que l'impédance ramenée aux bornes de la source de courant des transistors.

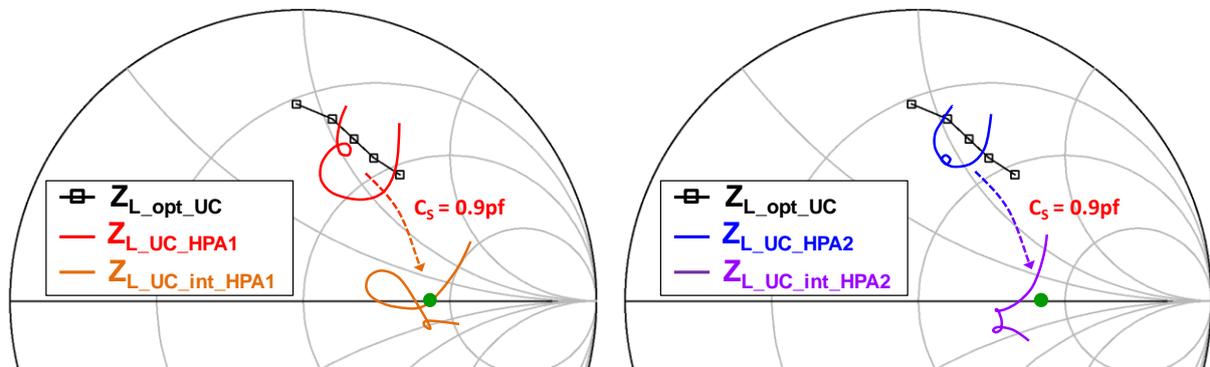


Figure V.38 : Impédances présentées dans le plan de chaque transistor et impédance présentée dans le plan de la source de courant de chaque transistor pour les deux amplificateurs.

Force est de constater que le quadripôle d'adaptation de sortie réalisé compense la capacité de sortie C_{out} de chaque transistor. Aux bornes de la source de courant, la charge synthétisée est proche de la résistance de sortie optimale en PAE (point vert sur l'abaque de Smith). Les charges présentées aux transistors de chaque amplificateur, bien que légèrement différentes, sont plus proche des valeurs d'impédances optimales que celle présentées dans la première configuration où les deux amplificateurs HPA1 et HPA2 étaient identiques.

V.3.3.1.6 Etude de la stabilité non linéaire :

Des études de stabilité fort signal ont été réalisées sur l'amplificateur de puissance. Comme dans le cas de l'amplificateur 25W l'étude de stabilité fort signal est fondée sur l'utilisation du programme STAN. Deux nœuds N1 et N2 ont été choisis afin d'injecter des signaux perturbateurs à l'entrée d'un des transistors de chaque amplificateur comme l'illustre la figure V.39.

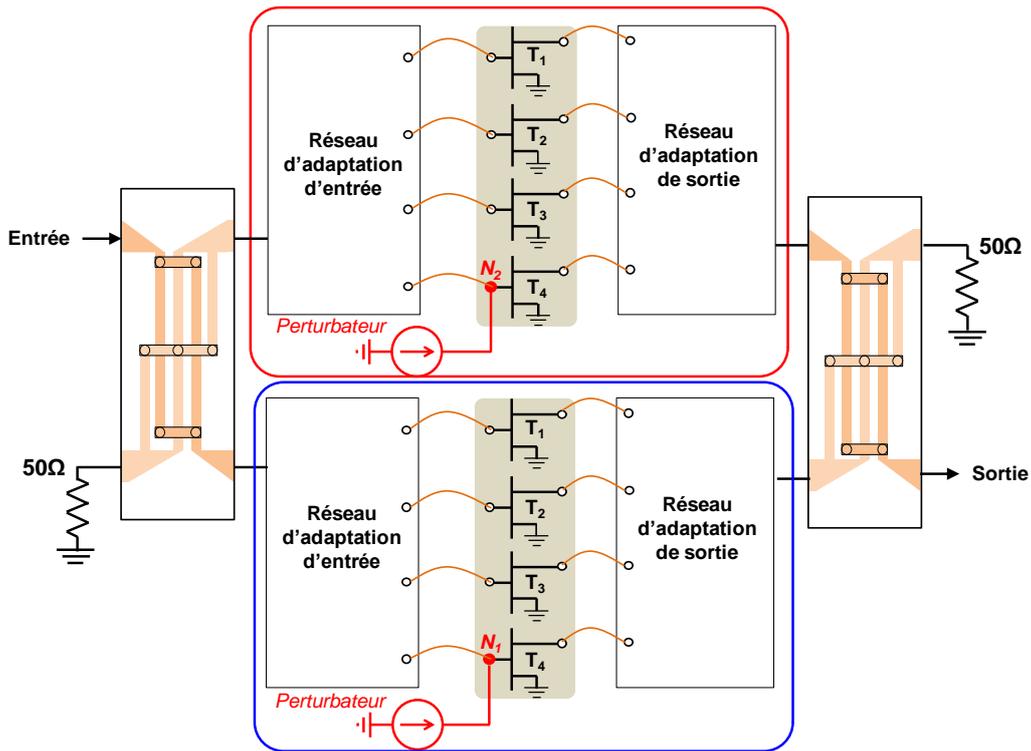


Figure V.39 : Etude de la stabilité fort signal sous STAN.

L'étude des pôles et des zéros présentée sur la figure V.40 a été effectuée pour différents niveaux de puissance d'entrée disponibles (entre 33 et 38dBm) et pour un balayage de la fréquence d'entrée du signal compris entre 0.5 et 8GHz. Aucun pôle à partie réelle positive n'est apparu lors de la simulation assurant une stabilité non linéaire de l'amplificateur global.

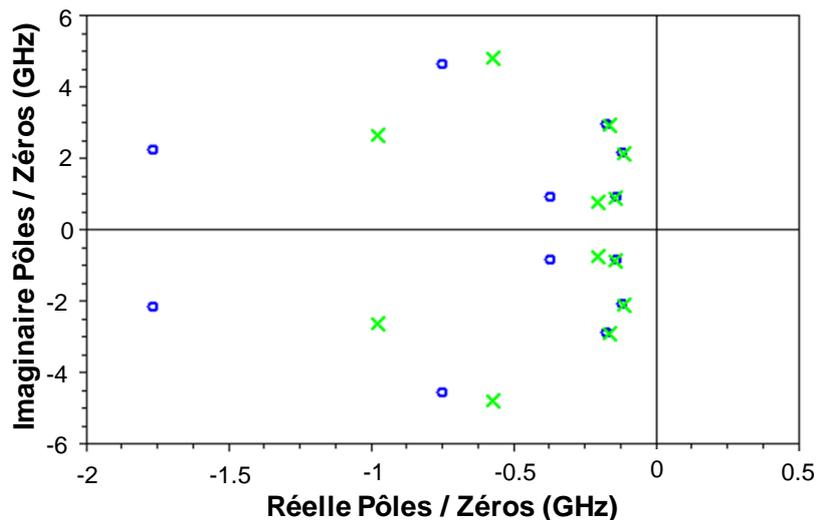


Figure V.40 : Résultats de l'étude des parties réelles des pôles et des zéros sous STAN au nœud N2 pour une puissance disponible de 37dBm.

La figure V.41 présente une photographie de l'amplificateur équilibré assemblé dans un boîtier SEA.

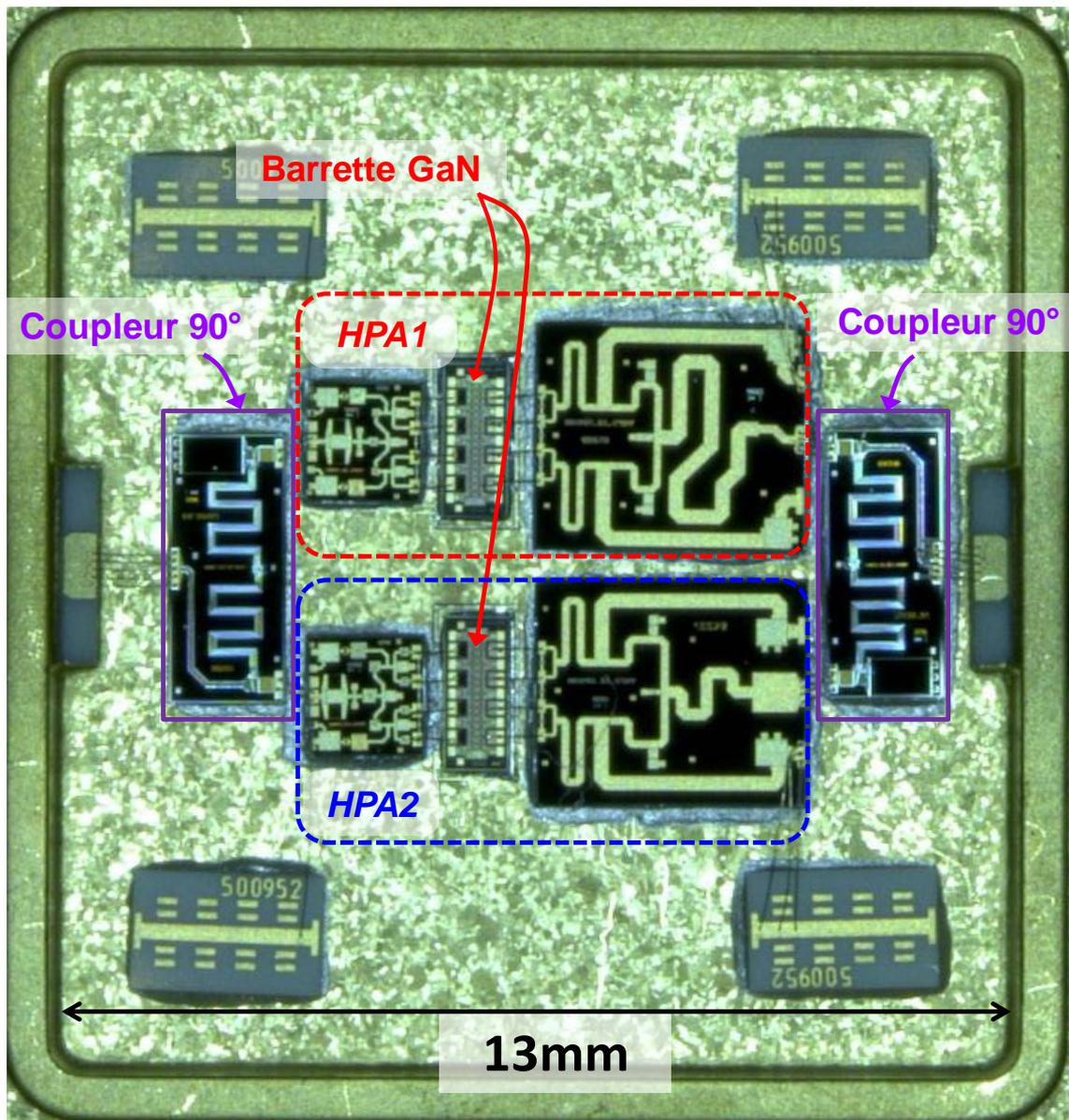


Figure V.41 : photographie de l'amplificateur équilibré.

Le circuit réalisé a ensuite été mesuré. Les résultats sont présentés dans le paragraphe suivant.

V.3.3.2 Résultats des mesures

Les résultats de mesure de l'amplificateur de puissance équilibré 45W large bande à haut rendement réalisé avec la technologie Quasi-MMIC sont comparés à ceux issus de rétro-simulation de l'amplificateur de puissance. Une première étape a consisté à mesurer le

coupleur de lange sur wafer afin de comparer ses performances aux simulations EM obtenues et ainsi vérifier la qualité du coupleur avant l'assemblage complet de l'amplificateur. Ensuite, des mesures linéaires et non linéaires ont été réalisées pour caractériser l'amplificateur de puissance. Enfin, bien que l'amplificateur soit destiné à des applications RADAR, des mesures de linéarité ont été réalisées. Une technique de pré-distorsion classique a été appliquée pour démontrer l'amélioration possible des performances en termes de linéarité.

V.3.3.2.1 Caractérisation du coupleur de Lange

Pour pouvoir caractériser le coupleur de Lange réalisé et afin de le comparer aux simulations EM, des motifs de test spécifiques ont été conçus. La figure V.42 décrit les motifs de tests réalisés. Ils permettent de mesurer les caractéristiques des voies directes et couplées.

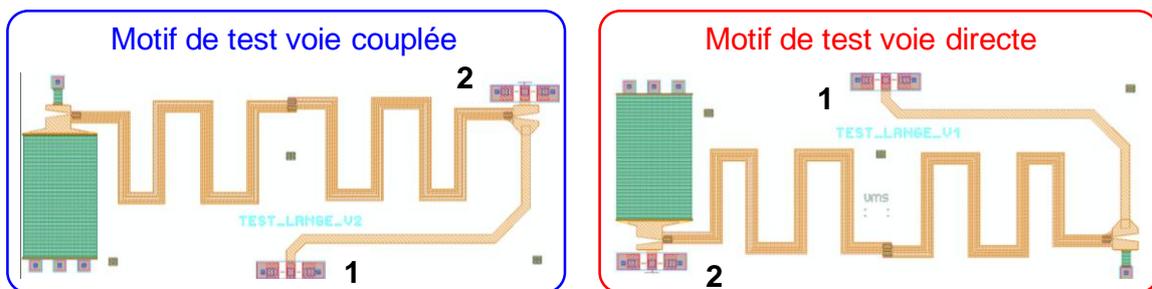


Figure V.42 : Motifs de test permettant de caractériser les voies directes et couplées.

Ces motifs permettent de comparer les coefficients de transmission mesurés et simulés de la voie couplée et de la voie directe. Pour caractériser la voie couplée, la voie directe est chargée sur une charge de 50Ω et réciproquement pour extraire les caractéristiques de la voie directe. La figure V.43 présente les coefficients de transmission de la voie couplée et de la voie directe une fois mesurés et simulés.

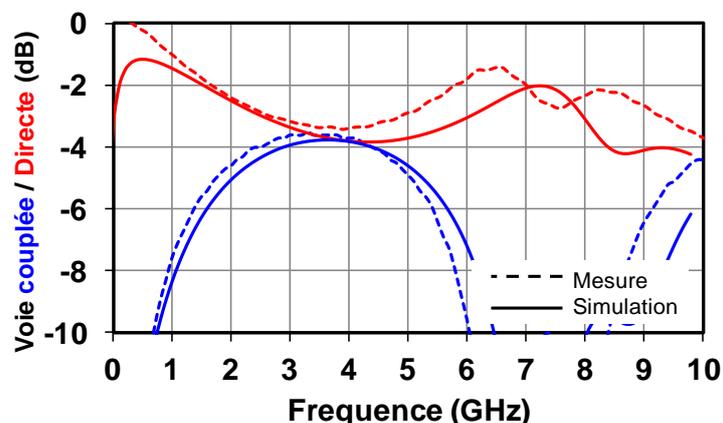


Figure V.43 : Coefficient de transmission mesurés et simulés de la voie couplée et directe

Les coefficients de transmission sont de l'ordre de -3.6dB en centre de bande. Une bonne concordance des résultats est observée.

Un troisième motif a été réalisé afin de caractériser l'isolation du coupleur de Lange. Ce motif est constitué de deux coupleurs de Lange placés en tête bêche et relié l'un à l'autre par une ligne de transmission, comme représenté sur la figure V.44.

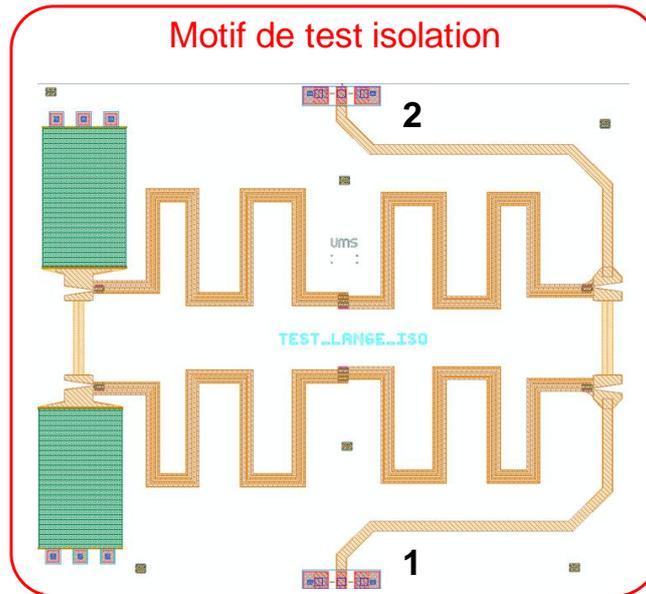


Figure V.44 : Motif de test permettant de caractériser l'isolation du coupleur de Lange.

Ce troisième motif permet de caractériser l'isolation du coupleur de Lange. La figure V.45 présente une comparaison des résultats de mesures et de simulations de l'isolation du coupleur.

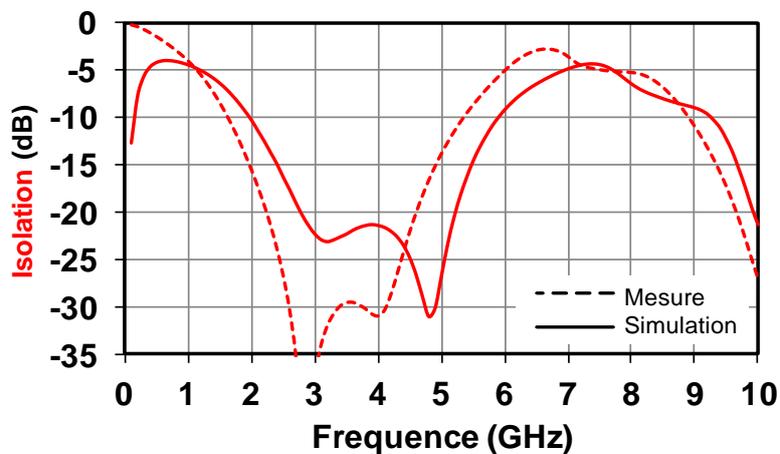


Figure V.45 : Comparaison des mesures et des simulations EM de l'isolation du coupleur de Lange.

Un léger décalage en fréquence peut être observé entre les résultats de mesure et de simulation. L'isolation mesurée dans la bande 2-4GHz est inférieure à -15dB.

V.3.3.2 Résultats des Paramètres [S] de l'amplificateur de puissance équilibré

Comme pour l'amplificateur de puissance 25W, des mesures de paramètres [S] de l'amplificateur ont été réalisées. Celles-ci ont été effectuées dans la bande de fréquence 1.5-4.5GHz pour une tension de drain de 50V et un courant de repos de l'ordre de 400mA. La figure V.46 présente les résultats de ces mesures de paramètres [S].

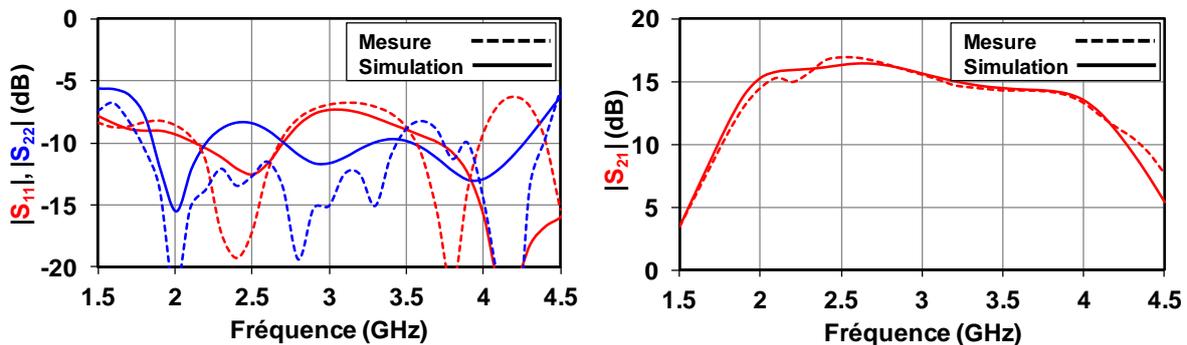


Figure V.46 : Comparaison Simulation/Mesure des paramètres [S] de l'amplificateur dans la bande de fréquence 1.5-4.5GHz pour $V_{ds0}=50V$ et $I_{ds0}=400mA$.

Les coefficients de réflexion d'entrée (S_{11}) et de sortie (S_{22}) sont inférieure à -8dB. La structure du coupleur de Lange a permis une amélioration des coefficients de réflexion. Néanmoins, une deuxième itération, non effectuée par manque de temps, pourrait permettre d'obtenir des coefficients de réflexion en dessous de -10,-12dB dans la bande de fréquence 2-4GHz. Le coefficient de transmission (S_{21}) mesuré varie entre 13.5 et 17dB dans la bande 2-4GHz.

V.3.3.2.3 Mesure de l'amplificateur en régime fort signal

L'amplificateur de puissance a été mesuré en régime fort signal afin de caractériser ses performances en puissance. Les mesures ont été réalisées sur le même banc de mesure, développé à UMS, que celui utilisé pour l'amplificateur 25W.

La figure V.47 montre une photographie du dispositif sous test intégrée au banc de mesure.

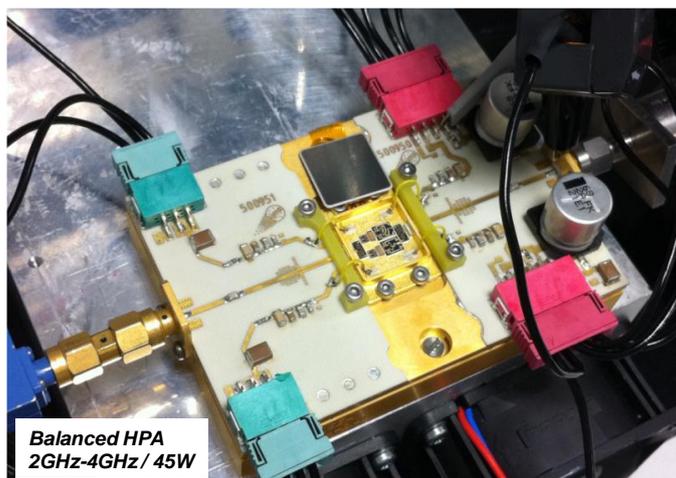


Figure V.47 : Monture de test avec l'amplificateur de puissance 45W.

Les résultats de mesure sont donnés pour une tension de polarisation de drain de 50V et un courant de repos de 400mA, dans la bande de fréquence 2-4GHz (par pas de 0.25GHz) et avec une température de fond de boîtier régulé à 25°C à l'aide d'un dispositif Pelletier. Le signal d'excitation d'entrée est un signal RF impulsionnel caractérisé par une période de 250µs et un rapport cyclique de 10%.

La figure IV.48 présente les performances en puissance (en dBm et W) dans la bande de fréquence 2-4GHz pour une puissance disponible délivrée par le générateur égale à 37.5dBm.

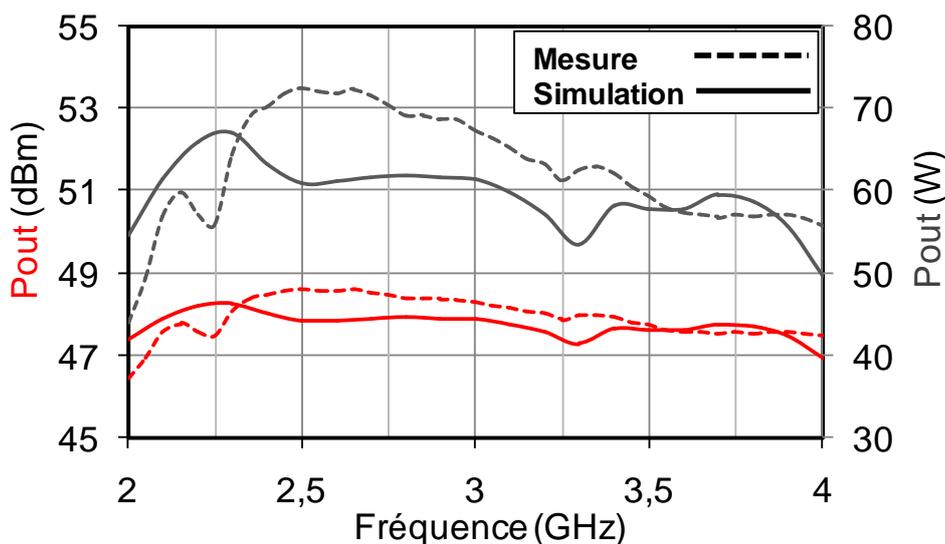


Figure V.48 : Mesure et simulation de la Puissance de sortie (dBm et W) délivrée par l'amplificateur de puissance pour $P_{disp_gene}=37.5dBm$

Les résultats des mesures de puissance ont été tracés et comparés à ceux issus des simulations. Typiquement, l'amplificateur de puissance délivre une puissance de sortie supérieure à 45W dans la totalité de la bande utile. Entre 2.1 et 4GHz, la puissance de sortie délivrée est supérieure à 55W.

Le gain d'insertion, la PAE et le rendement de drain (DE) ont été tracés pour une puissance disponible de 37.5dBm, dans la bande 2-4GHz. Les résultats sont donnés sur la figure V.49.

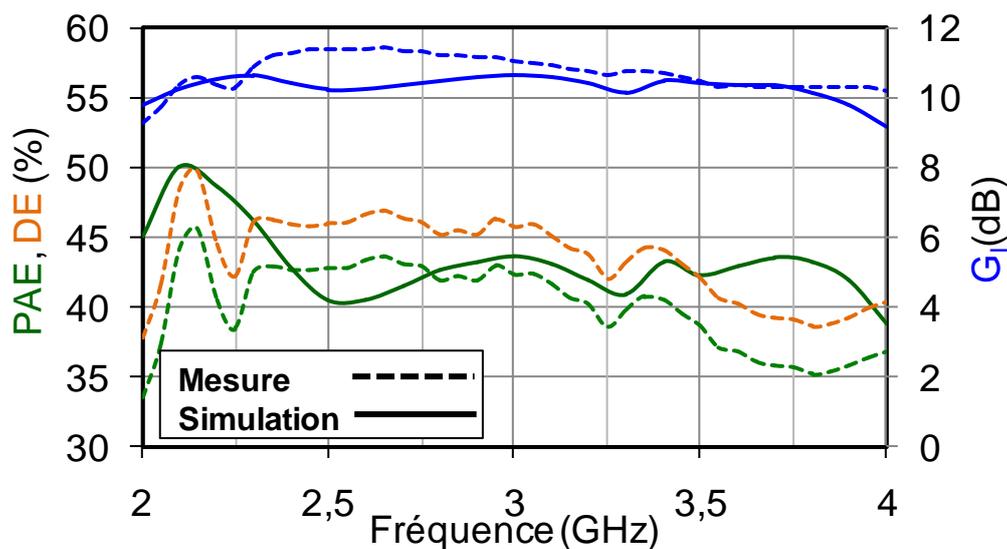


Figure V.49 : Mesure et simulation de la PAE, du rendement de drain (DE) et du gain d'insertion de l'amplificateur équilibré pour une puissance disponible de 37.5dBm.

Le gain d'insertion mesuré est de l'ordre de 10dB (9.8-11.6) dans la bande de fréquence de fonctionnement. La PAE de l'amplificateur est comprise entre 34 et 45% pour un rendement de drain associé compris entre 38 et 50%. Une bonne adéquation entre les résultats de mesure et de simulation dans la bande 2-3.5 GHz sont démontrés. Comme pour l'amplificateur 25W, au-delà de 3.5GHz une différence apparait sur les performances de l'amplificateur de puissance. Cette différence provient très probablement des transitions reliant la barrette aux circuits d'adaptation qui ne sont pas parfaitement modélisés au-delà de 3.5GHz. Des rétro-simulations EM 3D des transitions seraient nécessaires pour confirmer cette hypothèse avant le lancement d'une seconde itérations.

Les résultats obtenus se situent là encore au niveau de l'état de l'art mondial et ont aussi donné lieu à une publication à la conférence EuMW2013 [V.6] et à une soumission au magazine IJMWTT [V.7].

V.3.3.2.4 Démonstration de l'amélioration des performances en linéarité de l'amplificateur 45W.

Tout d'abord, un signal RF CW (fréquence porteuse de 3 GHz) impulsionnel avec une période de répétition de 10 μ s et un rapport cyclique de 40% est utilisé pour caractériser l'amplificateur de puissance équilibré. Les formes d'ondes temporelles des tensions et courants au point de saturation sont mesurées avec une fréquence d'échantillonnage de 60GS/s. Les formes d'onde de tensions et courant d'entrée sont représentées sur la figure V.50 et V.51.

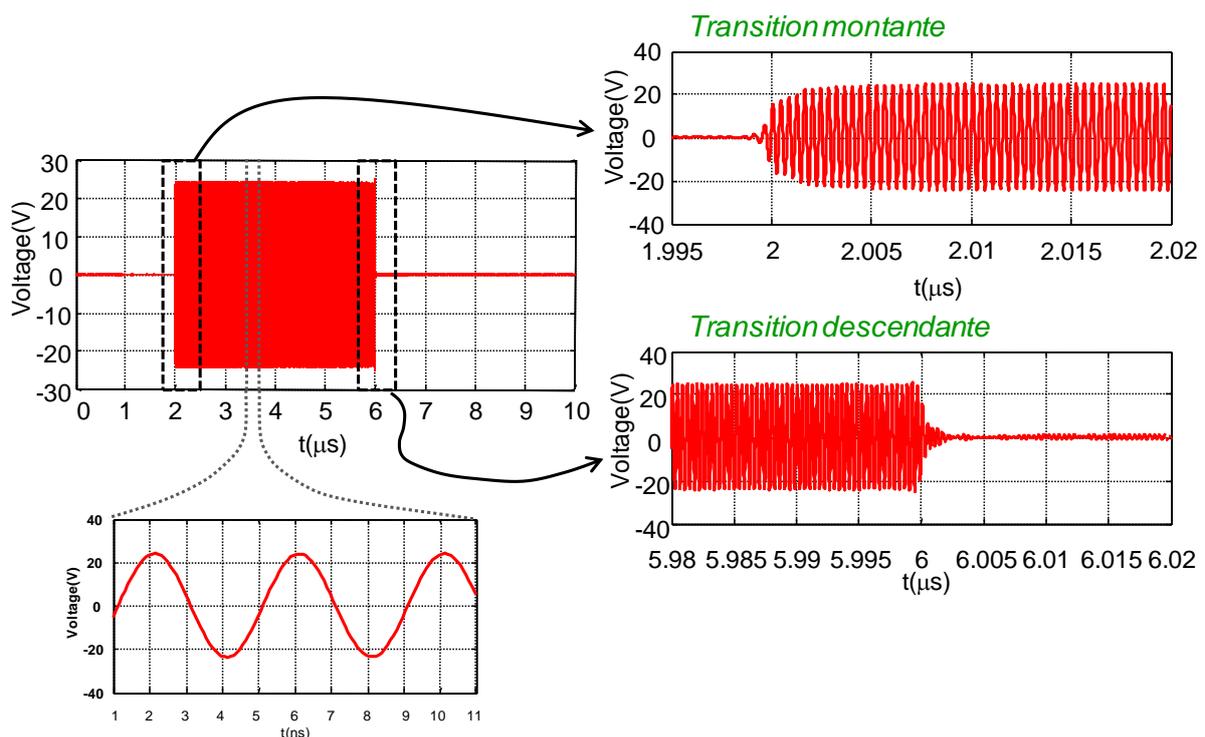


Figure V.50 : Formes d'ondes d'entrée de tension de l'amplificateur 45W équilibré.

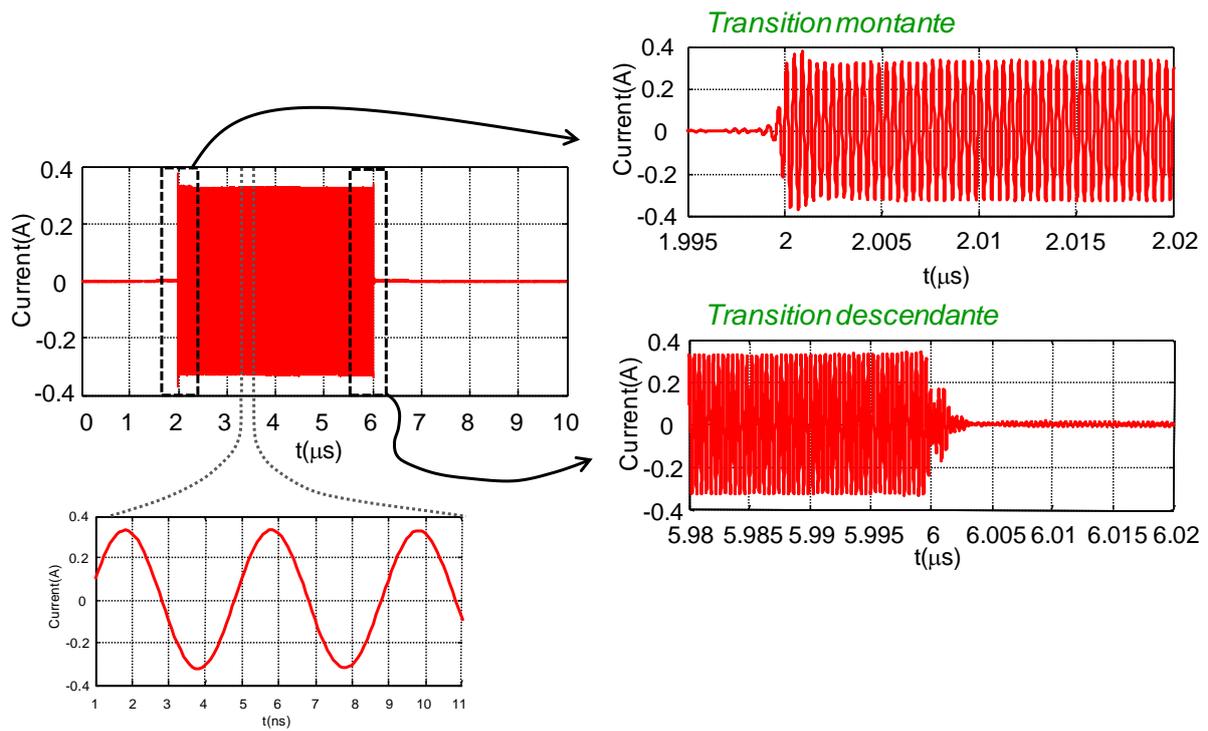


Figure V.51 : Formes d'ondes d'entrée de courant de l'amplificateur 45W équilibré.

Les formes d'onde temporelles de tensions et de courant à la sortie de l'amplificateur équilibré sont représentées sur la figure V.52 et V.53.

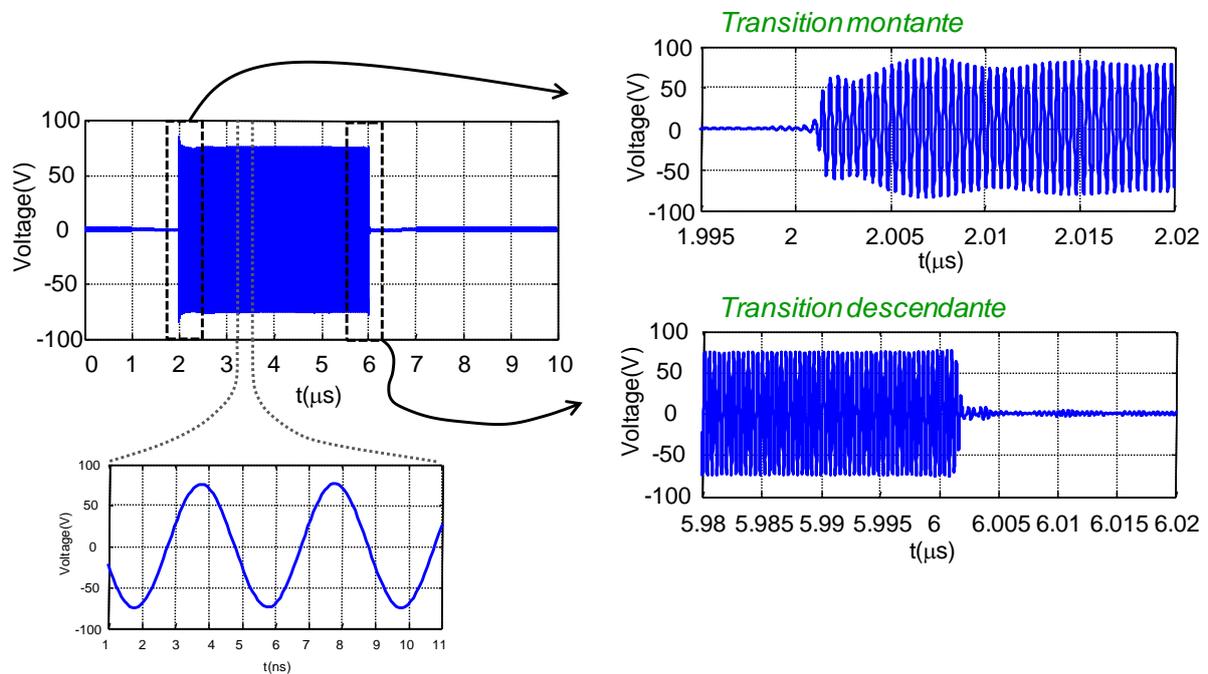


Figure V.52 : Formes d'ondes de tension de sortie de l'amplificateur 45W équilibré.

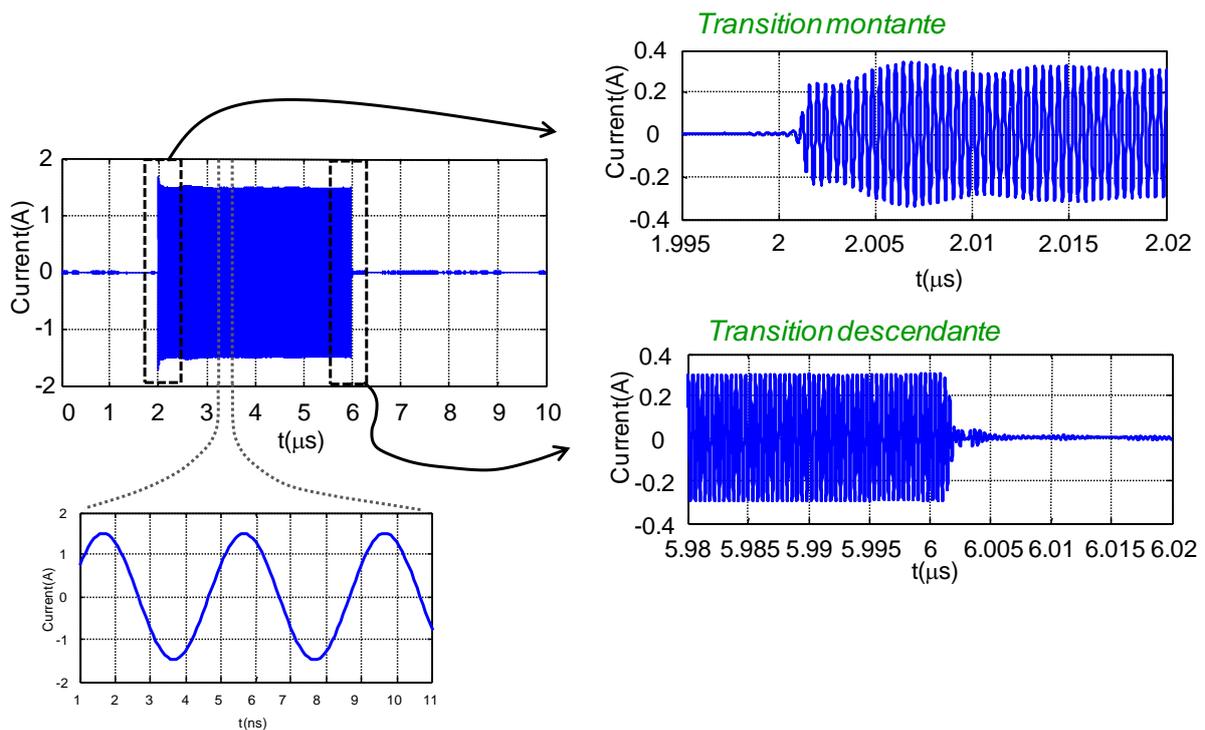


Figure V.53 : Formes d'ondes de courant de sortie de l'amplificateur 45W équilibré.

Le banc de mesure permet de visualiser l'allure des formes temporelles tension / courant en entrée et en sortie de l'amplificateur. Il permet aussi de visualiser les éventuelles déformations des signaux transitoires générés par les non-linéarités de l'amplificateur.

Des mesures de linéarité de l'amplificateur ont aussi été effectuées. Pour caractériser la linéarité de l'amplificateur de puissance équilibré 45W GaN, le même banc de mesure temporelle a été utilisé. Une technique de pré-distorsion numérique sans mémoire en bande de base [V.8] a été appliquée à l'amplificateur afin d'améliorer ses performances en linéarité/rendement.

La technique de pré-distorsion numérique des signaux est aujourd'hui une technique de linéarisation très utilisée dans les systèmes des télécommunications. Elle consiste à réaliser une compensation de la non-linéarité engendrée par l'amplificateur lors d'un fonctionnement proche de sa zone de compression (Figure V.54). Une caractérisation de l'amplificateur est alors réalisée au préalable afin d'en déduire la fonction inverse du gain complexe dynamique de l'amplificateur qui sera appliquée numériquement au signal d'entrée.

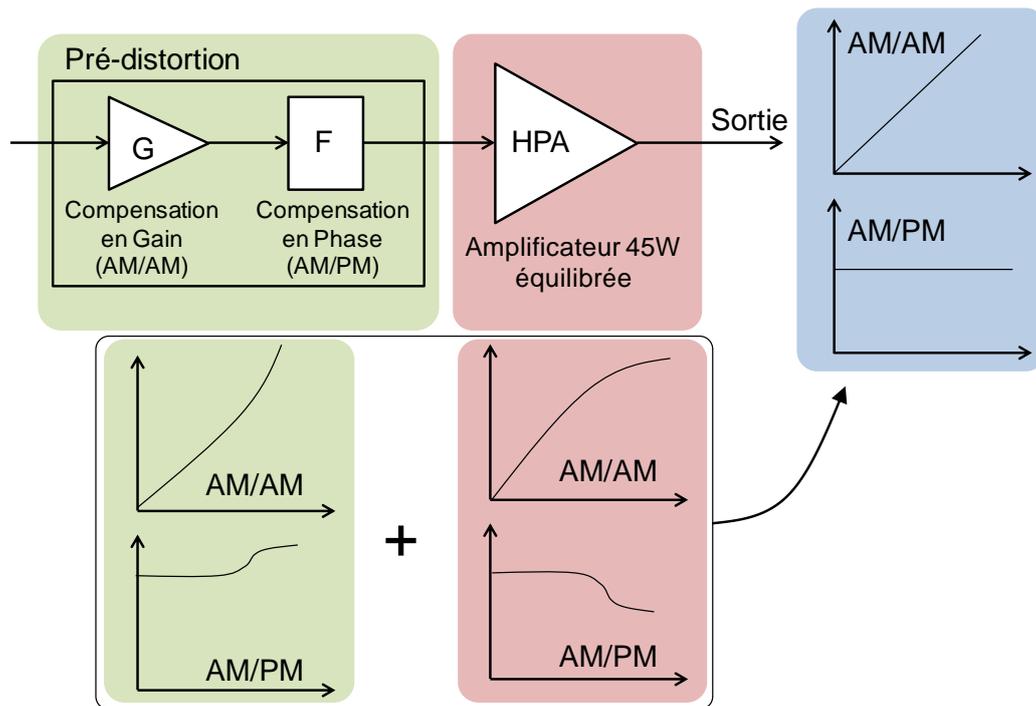


Figure V.54 : Principe de la technique de pré-distorsion.

Pour caractériser la linéarité de l'amplificateur un signal modulé de type 16QAM (de bande passante de 20MHz avec un PAPR (Peak to Average Power Ratio) de -5.9dB) a été utilisé à une fréquence porteuse de 2.5GHz. La figure V.55 montre les formes d'onde temporelles des ondes de tension incidente $a_1(t)$ et les formes d'onde temporelles des ondes de tension transmise $b_2(t)$ ainsi que les modules des enveloppes des signaux $|\tilde{a}_1(t)|$ et $|\tilde{b}_2(t)|$. Un zoom sur les formes d'ondes temporelles permet d'estimer le gain dynamique et le temps de retard de groupe.

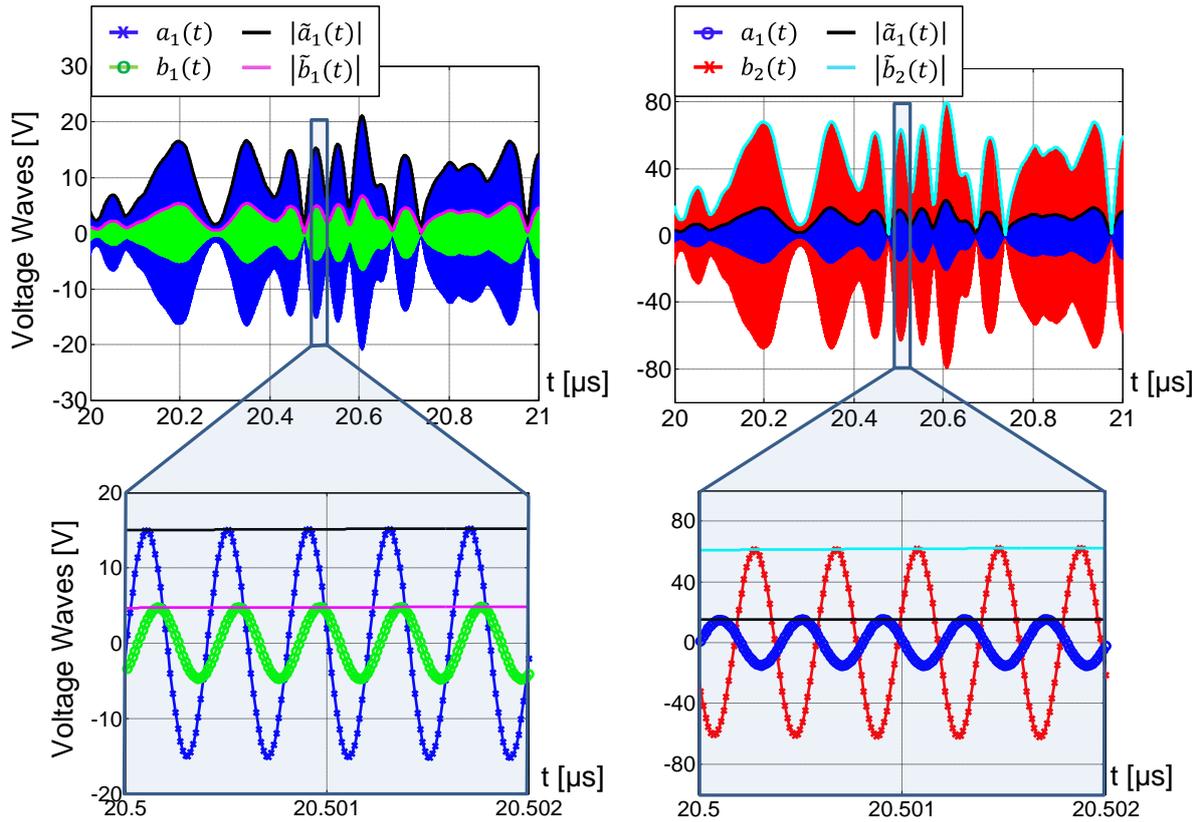


Figure V.55 : Onde de tension incidente $a_1(t)$, réfléchi $b_1(t)$ et transmise $b_2(t)$ associées au module des enveloppes pour un signal de 20MSymb/s, 16 QAM RF avec pré-distorsion numérique.

La figure V.56 montre les résultats de mesure des courbes dynamiques d'AM/AM et AM/PM sans pré-distorsion (sans DPD) et avec pré-distorsion (avec DPD) numérique sans prise en compte des effets mémoire pour une puissance moyenne disponible, délivrée à l'entrée de l'amplificateur, égale à 31.4dBm.

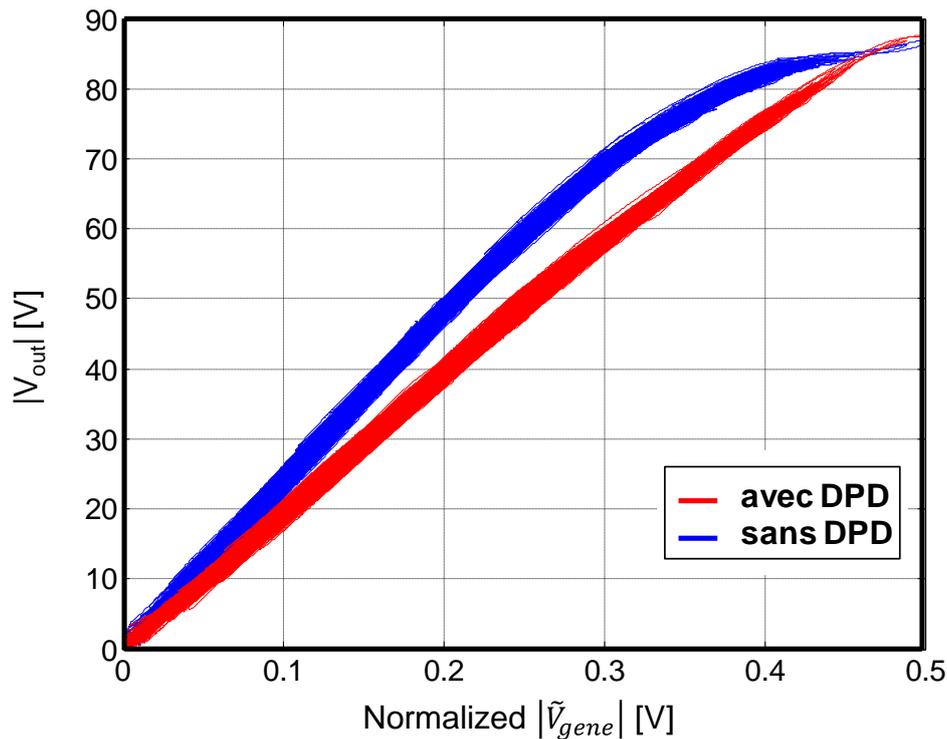


Figure V.56 : Mesure AM/AM et AM/PM dynamique de l'amplificateur à $V_{ds}=50V$, $I_{dq}=400mA$ pour une puissance disponible moyenne délivré par le générateur égale à 31.4dBm avec un signal modulé 16QAM, 20Msymb/s avec l'application de la pré-distorsion sans effet mémoire.

Une amélioration nette de la linéarité avec l'application de la pré-distorsion est clairement observée.

La figure V.57 montre le spectre en puissance (sans opération de moyennage) à la sortie de l'amplificateur avec et sans pré-distorsion. On obtient avec une simple pré-distorsion, sans la prise en compte des effets mémoire, une amélioration de l'ACPR (Adjacent Channel Power Ratio) de 10dB. Ces résultats ont été obtenus aussi pour des fréquences porteuses égales à 3 et 3.5GHz avec les mêmes améliorations d'ACPR.

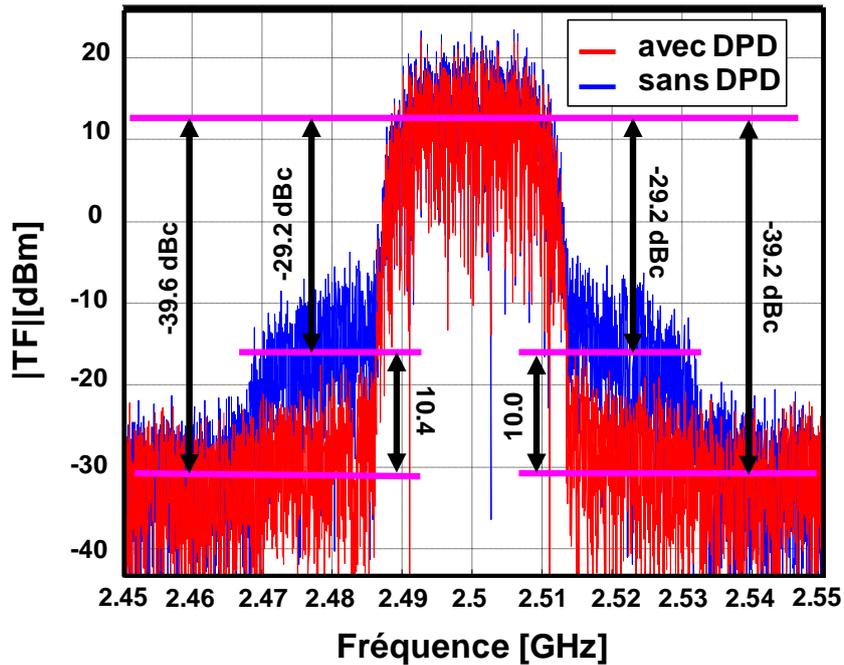


Figure V.57 : Spectre de sortie de l'amplificateur à $V_{ds}=50V$, $I_{dq}=400mA$ pour une puissance disponible moyenne délivré par le générateur égale à 31.4dBm avec un signal modulé 16QAM, 20Msymb/s avec et sans l'application de la pré-distorsion numérique.

Le tableau V.1 présente un récapitulatif des résultats obtenus pour une fréquence porteuse de 2.5GHz, avec et sans pré-distorsion (DPD).

Signal 16QAM Fréq : 2.5 GHz Δf : 20MHz Roll-off : 0.35	Sans PD					Avec PD				
	P_{AVG} [dBm]	P_{AVQ} [dBm]	$ACPR_G$ [dBc]	$ACPR_R$ [dBc]	DE [%]	P_{AVG} [dBm]	P_{AVQ} [dBm]	$ACPR_G$ [dBc]	$ACPR_R$ [dBc]	DE [%]
	33.38	44.97	-29.2	-29.24	32.44	31.49	43.62	-39.64	-39.18	28.46

Tableau V.1 : Récapitulatif des performances obtenue avec et sans prédistorsion.

Avec une amélioration de l'ACPR de l'ordre de 10dB grace à l'application de la pré-distorsion sur le signal d'entrée, on peut remarquer que le rendement de drain moyen est de l'ordre de 28.4% pour un PAPR de -5.9dB.

Ces résultats prouvent que l'amplificateur de puissance réalisé peut être facilement associé à un linéariseur dans l'objectif d'améliorer ses performances en terme de linéarité pour des applications télécom pour lequel il n'a pas été prévu dans le cahier des charges. Il est ainsi démontré que l'amplificateur de puissance large bande réalisé peut aussi être utilisé avec une multitude de standard (WCDMA, LTE, Wimax...).

V.4 Conclusion

Les travaux réalisés dans le chapitre V ont donné lieu à la réalisation d'un amplificateur de puissance (45W) large bande (2-4GHz) à haut rendement ($\eta_d > 40\%$) fondée sur l'utilisation de barrettes de transistors GaN GH50 d'UMS. Cette conception utilise des amplificateurs 25W décrits au chapitre IV. Elle a permis de doubler la puissance de sortie. La combinaison des deux amplificateurs 25W, fondé sur l'utilisation du coupleur de Lange, a conduit à un travail de ré-optimisation des réseaux d'adaptation d'entrée et de sortie de chaque amplificateur afin d'obtenir des performances à l'état de l'art en terme de rendement, puissance, bande passante et encombrement.

Ce dernier chapitre a aussi mis en exergue deux architectures à fort potentiel pour la conception d'amplificateurs large bande et haut rendement. En effet, les architectures distribuées et Push-pull ont des avantages certains pour ce type d'application. Mais les inconvénients qui y sont associés doivent être levés.

V.5 Bibliographies

- V.1. *R. M. Smith, J. Lees, P. J. Tasker, J. Benedikt, S. C. Cripps, "A Novel Formulation for High Efficiency Modes in Push-Pull Power Amplifiers Using Transmission Line Baluns", IEEE MICROWAVE AND WIRELESS COMPONENTS LETTERS, VOL. 22, NO. 5, MAY 2012*
- V.2. *R. M. Smith, J. Lees, P. J. Tasker, J. Benedikt, S. C. Cripps, A Design Methodology for the Realization of Multi-Decade Baluns at Microwave Frequencies*
- V.3. *A.N. Stameroff, H.Ta, A.Pham, R.E. Leoni, Wide- bandwidth Power-Combining and Inverse Class-F GaN Power Amplifier at X Band, IEEE TRANSACTIONS ON MICROWAVE THEORY AND TECHNIQUES, VOL. 61, NO. 3, MARCH 2013*
- V.4. *R. Mongia, I. Bahl, P. Bhartia, RF and Microwave Coupled-Line Circuits, Artech House, Norwood, MA, 1999.*
- V.5. *J.Lange, Noise Characterization of Linear Two ports in Terms of Invariant Parameters, Solid-State Circuits, IEEE Journal of (Volume:2, Issue: 2), 1987.*
- V.6. *Wideband High Efficiency High Power GaN Amplifiers Using MIC and Quasi-MMIC Technologies*
- V.7. *Wideband, High Efficiency, High Power GaN Amplifiers, Using MIC and Quasi-MMIC Technologies, in the 1-4GHz range, IJMWT (en court de submissions)*
- V.8. *Saad El Dine Mohamad, "Linéarisation des amplificateurs de puissance à haut rendement en combinant les techniques de pré distorsion numérique et le contrôle de polarisation", Ph. D. dissertation, Université de Limoges, France, 2011.*

Conclusion Générale

➤ Conclusion afférente aux travaux effectués.

Cette thèse s'inscrivant dans le cadre d'un contrat CIFRE, réalisée au sein d'UMS, a permis de mettre au point une méthode de conception d'amplificateur de puissance large bande à haut rendement. Ces travaux ont été appliqués à la technologie GaN GH50 d'UMS. La technologie GaN, et plus particulièrement les transistors HEMT AlGaN/GaN, permettent d'obtenir des densités de puissance de l'ordre de 5W/mm ainsi que des tensions de claquage jamais obtenues auparavant. Ses impédances élevées, comparées aux solutions LD MOS, en font une solution de choix pour des applications large bande. Aujourd'hui, son coût reste son principal défaut et le limite à l'heure actuelle à une utilisation quasi exclusivement militaire.

Les travaux réalisés dans le cadre de cette thèse ont conduit à la réalisation d'un premier amplificateur de puissance (>40W) large bande (1-3GHz) à haut rendement ($\eta_d > 41\%$) à base d'un transistor GaN en boîtier, commercialisé par UMS sous la dénomination CHK040A-SOA. Cette conception, fondée sur une approche hybride, a permis d'évaluer les performances de la filière GaNGH50 d'UMS pour des applications de très forte puissances large bande et haut rendement. De plus, l'étude de l'influence de la charge à la fréquence harmonique 2 a permis de définir une topologie propice à l'amplification de puissance à haut rendement et très large bande. Cette conception classique, dans son approche de recherche d'impédance optimales à la fréquence fondamentale, a permis de mettre en évidence une démarche plus spécifique concernant les composants finaux GaN de la fonderie UMS pour la synthèse des impédance optimales à la fréquence harmonique 2. Ainsi, le concepteur doit veiller au respect de la zone favorable pour les impédances de charge à la fréquence harmonique 2 et aux valeurs de ces impédances sur la bande de recouvrement de fréquence au fondamental et à la fréquence harmonique 2.

Par la suite, pour répondre à des exigences d'encombrement toujours plus important, deux autres amplificateurs de puissance ont été réalisés. Ces deux amplificateurs sont basés sur l'utilisation de barrettes constituées de transistors GaN GH50 d'UMS et sur l'utilisation d'une technologie MMIC AsGa (éléments passifs uniquement) adaptée à la conception des

circuits d'adaptation et de polarisation des barrettes de puissance GaN. Par ailleurs, une étude de l'adaptation d'impédance large bande a été menée et appliquée à la filière GaN GH50. Fondée sur les simulations load-pull et source-pull d'un transistor à cellule unitaire, les impédances d'entrée et admittances de sortie du transistor sont déterminées pour un fonctionnement à l'optimum de rendement. Les impédances d'entrée et de sortie ont permis de déterminer les limites de bande passante théorique pour maintenir un haut rendement sur de larges bandes passantes en appliquant les intégrales de Bode et Fano à un quadripôle d'adaptation de type Tchebychev. Cette étude a montré que l'adaptation de l'impédance large bande pour maintenir de hauts rendements était limitée par l'admittance de sortie du transistor.

Enfin ces travaux ont permis de proposer une méthode de conception globale destinée à la conception d'amplificateur de puissance large bande à haut rendement. Cette méthode a été validée par la réalisation de trois amplificateurs de puissance large bande à haut rendement. Une technologie Quasi-MMIC développée par UMS a permis de réduire significativement l'encombrement de ce type d'amplificateur. Les trois amplificateurs conçus lors de ses travaux de thèse sont à l'état de l'art mondial.

Le tableau ci-dessous présente une comparaison de l'état de l'art mondial pour des amplificateurs de puissance GaN ayant une bande passante supérieure ou égale à une octave et une fréquence maximale de travail supérieure ou égale à 3GHz. Ce tableau permet de comparer la conception de l'amplificateur 1-3GHz en technologie hybride.

Date &ref.	Entreprise/ Laboratoire	Technologies	Freq. (GHz)	Pout (W)	Gain (dB)	DE (%)	Vd (V)
2008 [III.15]	CREE	CREE 0.4 μ m GaN/SiC HEMT	0.5-2.5	90	10	43	28
2009 [III.16]	RFMD	RFMD 0.5 μ m GaN/SiC HEMT	0.5-2.5	9-13.6	15	45-60	48
2012 [III.17]	RFMD	RFMD 0.5 μ m GaN/SiC HEMT	0.7-2.4	30	9.5-13	28-37	48
2008 [III.18]	Rockwell Collins	Nitronex 0.5 μ m GaN/Si HEMT	0.1-2.2	8.7	10-15	30-66	28
Ce travail	UMS/XLIM	UMS 0.5μm GaN/SiC HEMT	1-3	35-56	9.5-11.5	41-49	50

Tableau 1 : Comparaison de performances d'amplificateurs de puissance GaN de fréquence maximale supérieure ou égale à 3GHz.

Le tableau ci-après présente l'état de l'art des amplificateurs de puissance large bande à haut rendement en nitrure de gallium. Des amplificateurs de puissance, couvrant une octave ou plus de bande passante avec une fréquence de travail maximum compris entre 4 et 7GHz, ont été intentionnellement choisis pour les comparer aux amplificateurs 2-4GHz réalisés lors de ces travaux de thèse. La comparaison de ces travaux avec l'état de l'art mondial est ainsi plus cohérente.

Date & ref.	Entreprise / Laboratoire	Technologie	Freq. (GHz)	Pout (W)	Gain (dB)	DE (%)	Vd (V)
2010 [IV.12]	Chalmers University	CREE 0.4 μ m GaN/SiC HEMT	2-4	10	9	55	28
2009 [IV.13]	EADS / IAF	RFMD 0.5 μ m GaN/SiC HEMT	2-6	>40	10	30	40
2012 [IV.14]	Roma University	SELEX S.I GaN/Si	1-7	4	8	33(@3GHz)	30
2008 [IV.15]	Chengdu University	CREE 0.4 μ m GaN/SiC HEMT	2-4	10	9.8	40	28
HPA 25W Quasi-MMIC	UMS/XLIM	UMS 0.5μm GaN/SiC HEMT	2-4	25	9.8	40	50
HPA 45W Quasi-MMIC	UMS/XLIM	UMS 0.5μm GaN/SiC HEMT	2-4	45	9.5	38	50

Tableau 2: Etat de l'art des amplificateurs de puissance large bande avec une fréquence de travail maximum égale à 3GHz

Cette analyse montre que les trois amplificateurs réalisés possèdent des performances à l'état de l'art. De plus, parmi toutes ces références, les deux amplificateurs de puissance Quasi-MMIC réalisés sont les moins encombrants avec une surface totale inférieure à 420 mm² (24mmx17mm).

➤ Perspectives.

A. Technologie

Les travaux réalisés aux cours de ces trois années de thèse ont permis de mettre en évidence la problématique de la limitation d'adaptation d'impédance sur de larges bandes passantes. Pour la technologie GaN GH50 UMS, cette limitation provient, au premier ordre, de la constante de temps de sortie τ_{out} (R_{out} , C_{out}). Cette limitation est liée à la technologie du

transistor utilisé. Une des perspectives «longs termes» est de modifier la technologie (dimension, architecture, matériau,...) du transistor afin de pouvoir réduire la constante de temps de sortie à densité de puissance égale. Une des voies d'investigation pourrait être la diminution du paramètre (R_{out}) qui est approximativement le rapport entre l'amplitude de l'excursion de la tension de drain du transistor (ΔV) et de l'amplitude du courant maximum (ΔI). Il peut être déduit des caractéristiques I/V du transistor.

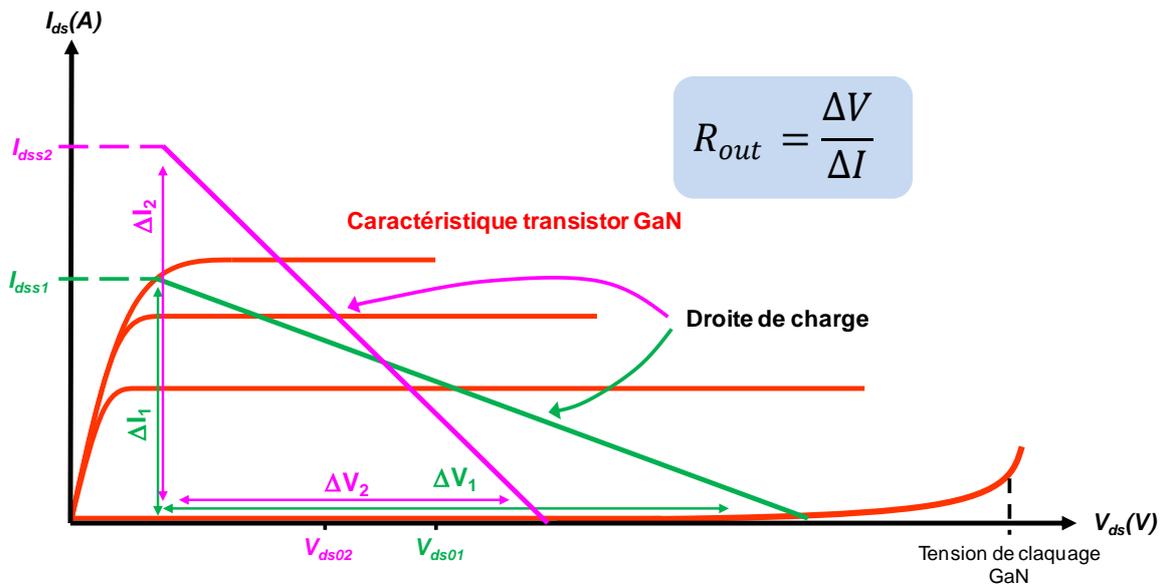


Figure A1 : Droite de charge d'un transistor actuel (Vert) comparée à celle souhaitée aujourd'hui par le concepteur d'amplificateur de puissance large bande à haut rendement (Violet).

L'inconvénient, associé à une diminution de R_{out} telle que présentée sur la figure A1, est la nécessité, pour les lignes de transmission, de supporter des densités de courant beaucoup plus importantes, pour une densité de puissance utile finale identique. En effet, un courant trop important peut réduire significativement la fiabilité du transistor.

Par ailleurs, il faut savoir qu'une réduction de la variable R_{out} induit forcément un réseau d'adaptation constitué d'un nombre d'éléments plus importants, ce qui est donc synonyme généralement d'une augmentation des pertes. La difficulté aujourd'hui est de pouvoir trouver le meilleur compromis pour satisfaire le concepteur de circuit et le technologue.

La solution serait la réduction de la capacité C_{out} pour une même densité de puissance. C'est la solution la plus judicieuse. Elle contraint les technologues à travailler sur de nouvelles architectures, de nouveaux matériaux, etc...

B. Architecture HPA large bande à haut rendement

D'un point de vue conception d'amplificateur de puissance large bande à haut rendement, des architectures telles que les amplificateurs distribués et push-pull, abordés brièvement lors du chapitre V, peuvent être envisagées. En effet, l'amplificateur Push-Pull, grâce aux propriétés liées au mode impair, peut discriminer les charges à la fréquence fondamentale et à la fréquence harmonique 2. De ce fait, le concepteur peut contourner les éventuels problèmes de recouvrement de bande entre fréquence fondamentale et fréquence harmonique 2. Aujourd'hui la difficulté réside en l'obtention de baluns symétriques à faibles pertes et à large bande passante.

L'amplificateur distribué, quant à lui, peut permettre d'obtenir des niveaux d'adaptation d'impédance large bande du même ordre que l'amplificateur équilibré réalisé dans le dernier chapitre. L'intérêt de l'architecture distribuée est la simplicité du circuit. Par conséquent, on peut espérer une réduction de taille et donc de coût par rapport à celui de l'amplificateur équilibré, il faut cependant montrer que le niveau de performance sera équivalent. En effet, le quadripôle d'adaptation est une simple ligne de drain qui aura probablement des pertes inférieures à celles obtenues lors de nos derniers travaux (quadripôle d'adaptation + coupleur de Lange). Cependant, la charge résistive, positionnée à l'extrémité de la ligne de drain pour assurer la stabilité de l'amplificateur, limite les performances en rendement. Une réalisation peut être envisagée sans cette charge résistive, ou du moins en réduisant son impact sur les performances de l'amplificateur.

C. Les classes AB, B, C en régime saturé

Enfin, l'utilisation d'une classe de fonctionnement destinée à l'amplification de puissance large bande à haut rendement est introduite ci-après. Cette classe que l'on nommera classe AB, B, C en régime saturé est simple et ne demande pas, en principe, un travail important de conception si on la compare au travail associé aux classes de fonctionnement (F, F¹, J, E). La méthode exposée en annexe peut permettre d'augmenter le rendement de drain sans ajout de composantes harmoniques sur les tensions V_{gs} et V_{ds} .

Cette perspective semble être intéressante pour la réalisation de larges bandes passantes.

➤ Annexe

Utilisation des classes de fonctionnement AB, B, C pour la conception d'amplificateurs à très large bande à très haut rendement.

Après avoir défini les classes de fonctionnement AB, B, C, les conditions d'utilisation qui permettraient d'obtenir de hauts rendements dans de larges bandes de fréquence sont ensuite définies.

▪ Les classes AB, B, C en régime saturé

L'utilisation d'une classe de fonctionnement originale destinée à l'amplification de puissance large bande à haut rendement est introduite ci-après. Cette classe que l'on nommera classe AB, B, C en régime saturé est simple et ne demande pas, en principe, un travail important de conception comparé aux classes de fonctionnement (F, F⁻¹, J, E). La méthode exposée peut permettre d'augmenter le rendement de drain sans ajout de composantes harmoniques sur les tensions V_{gs} et V_{ds} .

Un bref rappel sur la représentation électrique de l'effet fondamental d'un transistor est introduit par la figure suivante.

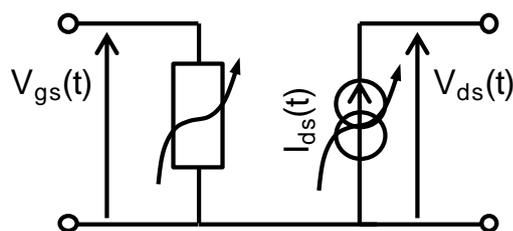


Figure C1 : Représentation électrique de l'effet fondamentale du transistor.

Un transistor est essentiellement une source de courant I_{ds} commandé par une tension qui ne se trouve pas à ses bornes. Par ailleurs, cette source de courant est aussi nécessairement fonction de la tension à ses propres bornes V_{ds} . Cette dernière condition se démontre à partir de considérations énergétiques. La dépendance de la source de courant en fonction de la

tension V_{ds} , à ses propres bornes, se manifeste lorsque cette tension tend vers les valeurs extrêmes minimale et maximale admissibles.

▪ **Définition des classes de fonctionnement AB, B, et C initiales**

Sont rappelées ci-après les classes de fonctionnement AB, B, et C comme définies au chapitre II:

- la tension de commande (V_{gs} pour un HEMT) est sinusoïdale.
- classe AB et B: la forme du courant qui en résulte dans la source de courant du transistor, est proche d'une arche de sinusoïde, avec un angle d'ouverture supérieur ou égal à π et inférieur à 2π .
- classe C: Dans cette classe de fonctionnement, l'angle d'ouverture est inférieur à π .

Il est à noter que pour ces trois classes de fonctionnement la tension aux bornes de la source de courant commandée est sinusoïdale autour d'un point de polarisation V_{ds0} . A partir de ces considérations, on comprend l'importance des tracés : I_{ds} fonction de V_{gs}/V_{ds} . Pour un HEMT, le courant I_{ds} , fonction de V_{gs}/V_{ds} , représente la caractéristique fondamentale du transistor.

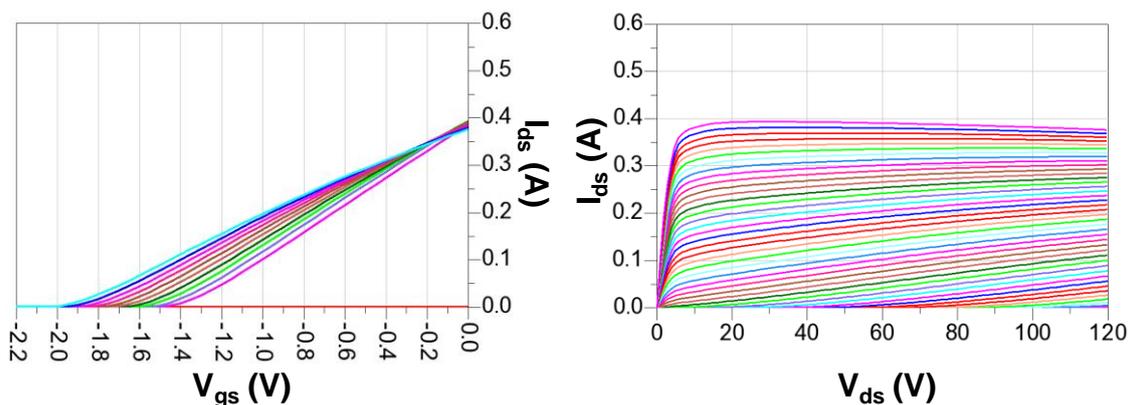


Figure C2 : Caractéristiques fondamentales de l'effet transistor $I_{ds}=f(V_{gs})$ et $I_{ds}=f(V_{ds})$.

Dans le cadre de la conception d'un amplificateur de puissance, un des objectifs demandés à la fréquence de travail est le rendement en puissance ajoutée maximum déduit de la relation suivante.

$$PAE = P_{out} \cdot \frac{1 - \frac{1}{G_p}}{P_{DC}}$$

Avec,

- P_{out} : Puissance de sortie du transistor à la fréquence de travail (f_0).
- G_p : Gain en puissance du transistor à f_0 .
- P_{DC} : Puissance délivrée par les alimentations.

Aujourd'hui, pour augmenter le rendement en puissance ajoutée, les techniques de formation d'ondes $V_{gs}(t)$, $V_{ds}(t)$ et donc de $I_{ds}(t)$ sont généralement utilisées. Le rendement en puissance ajoutée se traduit par l'augmentation du rapport de la puissance de sortie sur la puissance délivrée par les alimentations,

Le cycle de charge permet d'avoir une information sur les formes d'ondes.

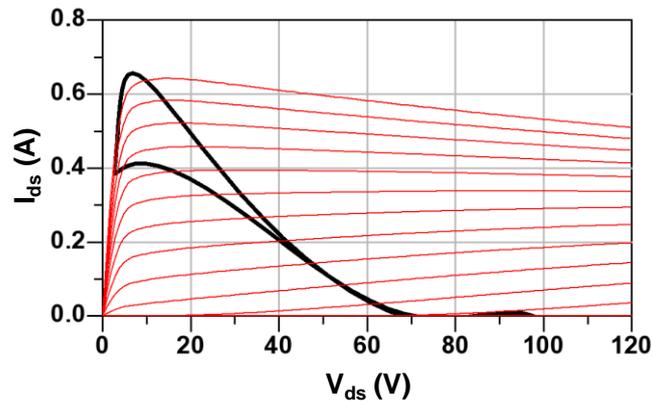


Figure C3 : Cycle de charge

L'objectif est de chercher le cycle de charge maximisant le rapport P_{out}/P_{DC} . Le principe généralement utilisé consiste à former l'onde de courant : $I_{ds}(t)$ obtenue par la formation de $V_{gs}(t)$ (ex: injection d'une fréquence H_2 à l'entrée du transistor) et/ou de l'onde de tension $V_{ds}(t)$ obtenue par l'intermédiaire d'une charge de drain convenablement choisie (ex : H_3), suivant l'équation:

$$I_{ds}(k\omega_0) = -V_{ds}(k\omega_0) \cdot Y(k\omega_0)$$

Dans le cas de nos travaux, l'amplificateur de puissance doit pouvoir, de plus, fonctionner sur de larges bandes de fréquences. Si la bande passante utile est Δf_0 , alors la largeur de bande à considérer à la fréquence harmonique deux est $2 \cdot \Delta f_0$, et de même manière la largeur de bande à la fréquence harmonique trois est $3 \cdot \Delta f_0$.

On voit le problème que peut poser le fonctionnement à haut rendement d'amplificateurs fonctionnant sur une octave de bande ou plus. C'est pourquoi, lors de la conception d'amplificateurs de puissance devant fonctionner sur plus d'une octave de bande, on cherchera une formation d'onde qui ne fasse intervenir que la fréquence fondamentale et la fréquence harmonique deux.

Le principe appliqué actuellement sur les amplificateurs à bande étroite, est le suivant:

- On applique les tensions V_{gs0} et V_{ds0} : tensions DC des alimentations.
- On considère alors la tension $V_{gs}(t)$ et $V_{ds}(t)$ que l'on développe en série de Fourier jusqu'à la fréquence harmonique deux.

$$V_{ds}(t) = V_{ds0} + V_{ds1} \cos(\omega_0 t + \phi_{v_{ds1}}) + V_{ds2} \cos(2\omega_0 t + \phi_{v_{ds2}}).$$

$$V_{gs}(t) = V_{gs0} + V_{gs1} \cos(\omega_0 t) + V_{gs2} \cos(2\omega_0 t + \phi_{v_{gs2}}).$$

On introduit ces expressions dans l'équation du courant $I_{ds}(t)$, et on cherche à optimiser les amplitudes et phases V_{gs1} , V_{ds1} , V_{gs2} , V_{ds2} , $\phi_{v_{gs2}}$, $\phi_{v_{ds1}}$, $\phi_{v_{ds2}}$ permettant d'obtenir une amplitude maximum d' I_{ds1} , ou un rapport P_{out} sur P_{DC} maximum.

On peut appliquer pour les amplificateurs à large bande passante la méthode suivante :

Dans une première phase, on fait fonctionner le transistor dans une classe de fonctionnement classique AB/B. On présente un court-circuit aux fréquences harmoniques aussi bien sur V_{gs} que sur V_{ds} .

Aux fréquences microondes, on utilise un point de polarisation en classe AB proche de la classe B, avec le rendement de drain associé à ces classes de fonctionnement.

Les formes d'onde initiales lors de la conception sont celles indiquées ci-dessous : tensions sinusoïdales, courant en arches de sinusoïde.

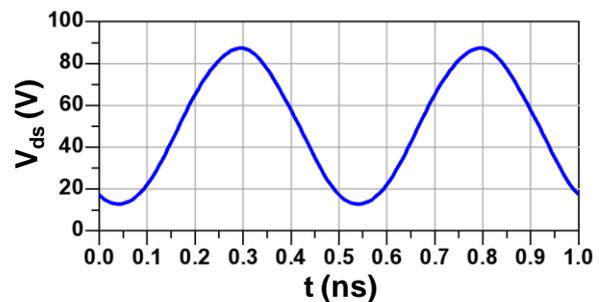
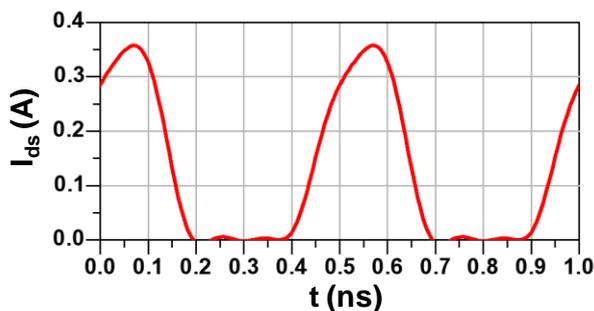


Figure C4 : Forme d'onde des tensions et courants en classe AB/B.

Le cycle de charge lié à ses formes d'onde est le suivant :

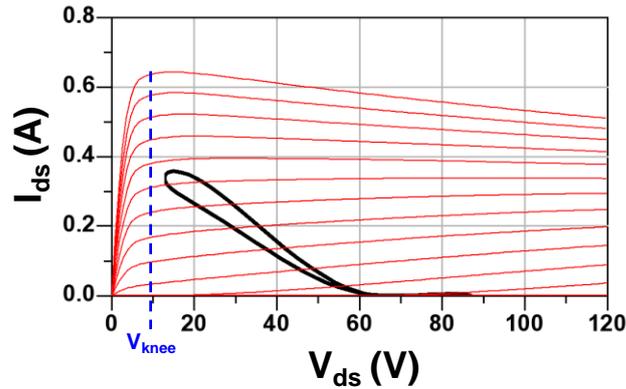


Figure C5 : Cycle de charge d'une classe AB/B.

Si maintenant, tout en gardant $V_{gs}(t)$ identique, on augmente l'amplitude V_{ds1} de $V_{ds}(t)$, et que l'on excursions la partie ohmique de l'équation de $I_{ds}=f(V_{gs}, V_{ds})$. C'est-à-dire que V_{ds} tout en restant sinusoïdal devient, durant un certain temps de la période, inférieur à la tension de coude V_{Knee} . On obtient un accroissement de V_{ds1} , alors que I_{ds1} et I_{ds0} diminuent.

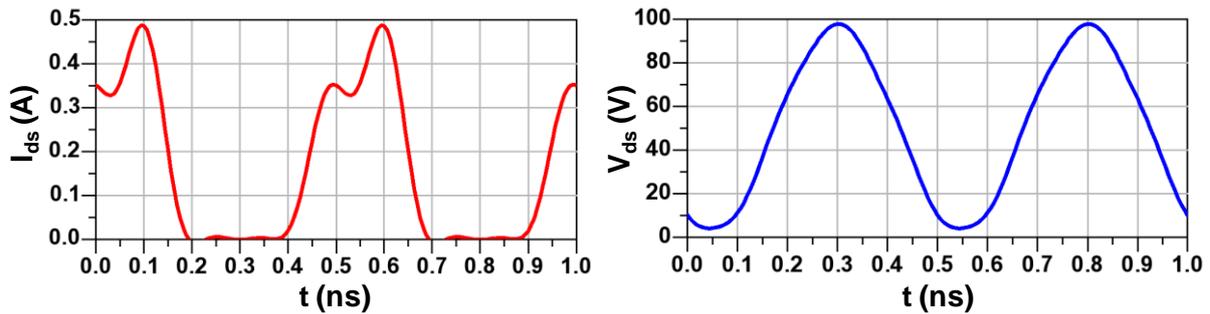


Figure C6 : Forme d'onde des tensions et courants en classe AB/B saturé.

On aboutit alors au cycle de charge suivant :

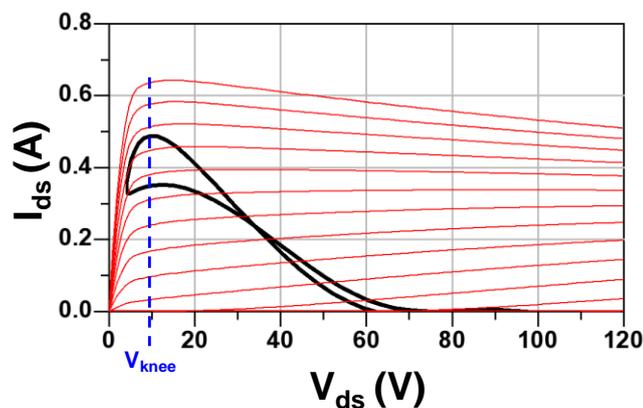


Figure C7 : Cycle de charge d'une classe AB/B saturée.

Les simulations montrent que le rendement en puissance ajoutée augmente par rapport à sa valeur en classe AB ou B non saturées. En conclusion, à partir d'un fonctionnement en classe AB/B, c'est-à-dire en gardant des tensions $V_{gs}(t)$ et $V_{ds}(t)$ sinusoïdales, une formation d'onde de $I_{ds}(t)$ est introduite uniquement par excursion volontaire de la tension $V_{ds}(t)$ dans la zone ohmique des caractéristiques I_{ds} fonction de V_{ds} : c'est-à-dire que V_{ds1} est tel que $V_{ds0} - V_{ds1} < V_{Knee}$.

Cette formation d'onde nous semble être une solution à explorer pour augmenter le rendement de drain pour des amplificateurs devant fonctionner à très large bande.

Il est assez aisé de montrer que cette classe, appliquée à un montage push-pull, pourrait permettre d'obtenir un amplificateur à haut rendement associé à une forte puissance de sortie. La contrainte majeure étant de savoir réaliser un court-circuit dans une large bande passante. Le problème du court-circuit à large bande peut être contourné en remplaçant celui-ci par un circuit ramenant aux bornes de la source de courant, à la fréquence harmonique 2, ou aux fréquences supérieures : soit une réactance équivalente à une capacité de forte valeur, celle-ci n'étant pas nécessairement constante dans la bande d'intérêt, soit une réactance équivalente à une self inductance de très faible valeur.

Pour un fonctionnement sur une bande passante d'une octave, l'association des deux possibilités précédentes devrait permettre d'accepter sur l'abaque de Smith, sur la bande passante correspondante de la fréquence harmonique 2, un coefficient de réflexion de module proche de l'unité, associé à une phase pouvant varier sur 180 degrés (sur les 360 degrés possibles) comme démontré lors du chapitre III.

On notera finalement qu'en s'appuyant sur des considérations différentes, l'utilisation des classes de fonctionnement AB, B, C en régime saturé a été proposée par ailleurs [C.1]¹, pour des architectures d'amplificateurs de puissance comprenant deux transistors.

Dans ce cas, l'excursion du cycle de charge des transistors dans la région ohmique permet à ceux-ci de se présenter, vis-à-vis de la charge de sortie, comme des générateurs

équivalents se rapprochant de générateurs de tension, ce qui est favorable à la réalisation d'architectures de puissance à haut rendement de type Chireix (Outphasing) [C.1]¹.

¹ C.1 **F.Raab**, "Efficiency of outphasing RF power-amplifier", IEEE transactions. On communications vol. com-33 no 10, october 1985.

Publications et communications relatives à ce travail

C. Berrached, D. Bouw, M. Camiade, D. Barataud, “Conception d’un Amplificateur GaN de Puissance 40W très large bande [1-3GHz] à haut rendement en technologie MIC”, JNM2013, Paris.

C.Berrached, D.Bouw, M.Camiade, D.Barataud, « Amplificateur GaN 25W, large bande, 2-4 GHz, Quasi MMIC à haut rendement », JNM2013, Paris.

C.Berrached, D.Bouw, M.Camiade, D.Barataud, « Wideband High Efficiency High Power GaN Amplifiers Using MIC and Quasi-MMIC Technologies », EuMW 2013, Nuremberg.

C.Berrached, D.Bouw, M.Camiade, D.Barataud, Wideband, High Efficiency, High Power GaN Amplifiers, Using MIC and Quasi-MMIC Technologies, in the 1-4GHz range, IJMWT.

Optimisation du rendement en puissance ajoutée des amplificateurs de puissances large bande à base de Nitrure de Gallium

Ces travaux traitent de l'optimisation du rendement des amplificateurs de puissance large bande fondé sur des barrettes de transistors en Nitrure de Gallium. Une méthode de conception destinée à l'optimisation du rendement des amplificateurs de puissance large bande est présentée. Elle est fondée sur une étude de l'influence de la charge présentée à la fréquence harmonique 2 ainsi qu'une étude théorique approfondie des limites d'adaptation d'impédance large bande pour le maintien d'un fort rendement. Cette étude est fondée sur les théorèmes de Bode et Fano. Cette analyse a conduit à la réalisation d'un premier amplificateur de puissance 40W, large bande [1-3GHz] et à haut rendement en technologie hybride basée sur un transistor encapsulé. Pour réduire l'encombrement de manière significative des amplificateurs de puissance, une technologie Quasi-MMIC a été développée à UMS. Deux amplificateurs de puissance (25W & 45W), large bande [2-4GHz] et à haut rendement ont été réalisés en technologie Quasi-MMIC et ont démontrées des résultats à l'état de l'art mondiale.

High efficiency improvement for wideband, high power amplifier based on Gallium Nitride.

This report deals with about efficiency optimization for wideband and high power amplifier based on Gallium Nitride powerbar devices. A design methodology is proposed for efficiency improvement for wideband power amplifier. It is based on second harmonics load impedance study and a theoretical analysis of the maximum matching bandwidth to maintain a high efficiency configuration. This study is based on Bode-Fano theorems. This study permit to design a wideband [1-3GHz], high efficiency MIC GaN high power 40W amplifier based on encapsulated bare die GaN device. To reduce significantly the power amplifier size, UMS has developed a quasi-MMIC technology to match GaN powerbar devices. Two high efficiency, wideband high power amplifiers was designed in Quasi-MMIC technology and it shows state of the art results.