

UNIVERSITÉ DE LIMOGES

ÉCOLE DOCTORALE Sciences et Ingénierie pour l'information,
Mathématiques

FACULTÉ DES SCIENCES ET TECHNIQUES

Année : 2012

Thèse N°19-2012

Thèse

pour obtenir le grade de

DOCTEUR DE L'UNIVERSITÉ DE LIMOGES

Discipline : Électronique des Hautes Fréquences, Photonique et Systèmes

présentée et soutenue par

Adeline DÉCHANSIAUD

le 29 juin 2012

Conception, modélisation et caractérisation de cellules de puissance innovantes en technologie MMIC pour des applications spatiales

Thèse dirigée par Raymond QUÉRÉ et Raphaël SOMMET

JURY :

Jean-Louis CAZAUX	Ingénieur Thales Alénia-Space	Rapporteur
Eric KERHERVÉ	Professeur, Université de Bordeaux 1	Rapporteur
Stéphane BILA	Chargé de recherche CNRS, Université de Limoges	Examineur
Diane BOUW	Ingénieur UMS	Examineur
Michel CAMPOVECCHIO	Professeur, Université de Limoges	Examineur
François DEBORGIES	Ingénieur ESA	Examineur
Jean-Michel NEBUS	Professeur, Université de Limoges	Examineur
Raymond QUÉRÉ	Professeur, Université de Limoges	Examineur
Raphaël SOMMET	Chargé de recherche CNRS, Université de Limoges	Invité
Marc CAMIADE	Ingénieur UMS	Invité
Christophe CHANG	Ingénieur UMS	Invité

“La théorie, c’est quand on sait tout et que rien ne fonctionne. La pratique, c’est quand tout fonctionne et que personne ne sait pourquoi”

Einstein

A mes parents et à tous ceux qui me sont chers.

Remerciements

Ces travaux de thèse se sont déroulés au sein du laboratoire de recherche XLIM, site de Brive la Gaillarde, en collaboration avec la fonderie UMS et l'Agence Spatiale Européenne.

Je remercie Monsieur Dominique Cros pour m'avoir permis de réaliser ces travaux dans le laboratoire XLIM. Je tiens également à remercier Monsieur Raymond Quéré, Professeur à l'Université de Limoges pour la confiance qu'il m'a témoigné en acceptant de m'accueillir dans l'équipe Circuits, Composants, Signaux et Systèmes qu'il dirige et pour avoir supervisé mes travaux en tant que directeur de thèse. Avec l'aide de Monsieur Raphaël Sommet, chargé de recherche au CNRS, qui a co-encadré ces travaux, ils ont su faire preuve d'une patience sans limite et d'une grande disponibilité. Je leur exprime également ma profonde reconnaissance pour leurs précieux conseils et leurs encouragements durant ces trois années de thèse.

Une partie de ce travail a été réalisé au sein de l'équipe Conception d'UMS. Je remercie Monsieur Marc Camiade de m'avoir accueilli au sein de cette équipe afin de réaliser mes recherches. J'exprime mes sincères remerciements à Mademoiselle Diane Bouw et Monsieur Christophe Chang, Ingénieurs à UMS, pour avoir accepté d'encadrer ces travaux au sein de cette même société. Je leur témoigne toute ma reconnaissance pour leurs qualités humaines, techniques et pour l'aide qu'ils ont pu m'apporter.

Ma reconnaissance va également à Monsieur François Deborgies, Ingénieur ESA, pour avoir suivi ces travaux durant ces trois années.

Que Monsieur Jean-Louis Cazaux, Ingénieur Thales Alenia-Space, ainsi que Monsieur Eric Kerhervé, Professeur à l'Université de Bordeaux 1, trouvent ici l'expression de ma considération, ainsi que mes remerciements sincères pour avoir accepté de rapporter ce travail.

Je témoigne ma reconnaissance à Messieurs Michel Campovecchio et Jean-Michel Nebus, Professeur à l'Université de Limoges, ainsi qu'à Monsieur Stéphane Bila, Chargé de Recherche au CNRS pour avoir accepté de prendre part à ce jury en tant qu'examineurs.

Je souhaite également remercier tout particulièrement Messieurs Tibault Reveyrand, Sylvain Laurent, Jean Pierre Teyssier et Olivier Jardel, pour leur patience et pour l'aide qu'ils m'ont apporté durant les périodes de mesures.

Mes remerciements vont également à tout le personnel compétant et convivial d'UMS avec qui j'ai pu collaborer : Charles, Mehdi, Pascal, Mickaël, Daniel, Estelle, Francis, Abderahim, José, Sébastien, Guillaume M...

Je souhaite aussi saluer tous mes camarades thésards (ou ancien thésards) de Brive, de Paris ou de Limoges : Jad, Hamzeh, Florent, Julie, Guillaume C, Alain, Jérôme, Wilfried, Ludovic... pour leur soutien durant ces trois années autant au niveau professionnel que personnel. Avec une pensée particulière pour ceux qui m'ont supporté plusieurs jours voire plusieurs semaines chez eux afin de pouvoir avancer mes travaux de thèse sur les sites de Limoges et d'Orsay, et dont l'aide m'a été précieuse. Je souhaite bon courage à Khaled pour la fin de ces travaux.

Un grand merci à Hélène et Marie-Claude pour leur assistance et leur gentillesse.

Merci également à tout le personnel de l'IUT de Brive pour leur accueil chaleureux et leur bonne humeur. Un petit clin d'oeil à Didier, le roi de l'informatique, qui a sauvé plusieurs fois mon travail ainsi qu'à Valérie et Danielle pour nos conversations de la plus haute importance ! J'ai également une pensée particulière pour Philippe à qui je souhaite un bon rétablissement.

Pour finir je souhaite remercier mes parents et mes amies de toujours pour leur soutien et pour leurs encouragements même dans les moments les plus difficiles.

Table des matières

Table des matières	1
Table des figures	5
Liste des tableaux	12
Introduction générale	15
Chapitre 1 : Amplification de puissance pour les terminaux terrestres de communication spatiale	19
1.1 Introduction	21
1.2 Généralités sur les applications spatiales	21
1.2.1 La navigation par satellite	22
1.2.2 L'observation de la Terre	24
1.3 Les communications par satellite : la technologie VSAT	27
1.3.1 Le segment spatial : description d'un satellite	28
1.3.1.1 Plateforme	29
1.3.1.2 Charge utile	30
1.3.2 Les terminaux terrestres	32
1.3.2.1 Bandes de fréquences utilisées	32
1.3.2.2 Principe de la technologie VSAT	34
1.4 Amplificateur de puissance bande Ku	38
1.4.1 Etat de l'art des amplificateurs MMIC bande Ku	38
1.4.2 Cahier des charges	41
1.4.3 Choix de la technologie	42
1.4.4 Différentes solutions étudiées pour augmenter la densité de puissance	46
1.4.4.1 Amplificateur de puissance bande Ku réalisé avec des transistors distribués	47
1.4.4.2 Nouvelles topologies de transistor « tête-bêche »	51
1.5 Conclusion	55
Chapitre 2 : Conception, modélisation et caractérisation d'une cellule cascode intégrée en technologie MMIC	57
2.1 Introduction	59
2.2 Principe du montage cascode : Etat de l'art	59
2.2.1 Description	59
2.2.2 Polarisation	62
2.2.3 Comportement fort signal	65
2.2.4 Revue de cellules cascodes utilisées	66
2.2.5 Mise en oeuvre d'une cellule cascode intégrée	67
2.3 Outils d'analyses et de mesures	67
2.3.1 Modélisation électromagnétique	67
2.3.2 Simulation thermique	70
2.3.2.1 Les différents effets thermiques	70
2.3.2.2 Le simulateur ANSYS	72
2.3.2.3 Définition de la résistance thermique	74

2.3.3	Méthode d'analyse de stabilité pour des dispositifs microondes linéaires	75
2.3.3.1	Le facteur de Rollet	75
2.3.3.2	Cercles de stabilité	79
2.3.3.3	Gain maximal	81
2.3.4	Bancs de mesure	82
2.4	Conception de la cellule cascode intégrée	84
2.4.1	Choix de la technologie	84
2.4.1.1	Modélisation petit signal	86
2.4.1.2	Modélisation non linéaire	89
2.4.1.3	Optimisation du modèle proportionnel	92
2.4.2	Layout des différentes topologies	94
2.4.3	Modélisation distribuée	100
2.4.3.1	Modélisation distribuée du cascode intégré	100
2.4.4	Stabilité linéaire de la cellule cascode	101
2.4.4.1	Facteur de Rollet	101
2.4.4.2	Cercles de stabilité	102
2.4.5	Analyse thermique	103
2.4.5.1	Calcul de la résistance thermique	103
2.4.5.2	Couplage thermique	107
2.5	Validation de la conception	109
2.5.1	Validation en régime petit signal	111
2.5.2	Validation du modèle par des mesures Load Pull à 12 GHz	113
2.5.3	Choix de la topologie entre les quatre versions de cellule cascode	115
2.5.4	Bilan des résultats obtenus	117
2.6	Tentatives d'amélioration de la PAE	118
2.6.1	Ajout d'une inductance L_a	119
2.6.2	Ajout d'une capacité drain source sur le transistor GC	120
2.6.3	Cascode piloté	123
2.6.4	Cascode autopolarisé	125
2.6.5	Cascode avec des transistors de taille différente	127
2.6.6	Bilan	128
2.7	Conclusion	128

Chapitre 3 : Conception et caractérisation d'un amplificateur de puissance MMIC à cellules cascades intégrées pour la bande Ku 131

3.1	Introduction	133
3.2	Détermination de la topologie de l'amplificateur	133
3.2.1	Détermination du nombre de transistors de l'étage de sortie	134
3.2.2	Détermination du nombre d'étages	135
3.3	Méthodologie de conception de l'amplificateur	137
3.3.1	Simulations load pull de la cellule cascode intégrée	137
3.3.2	Conception du combineur de sortie	138
3.3.2.1	Topologie du combineur de sortie	138
3.3.2.2	Optimisation du combineur de sortie	139
3.3.2.3	Vérification de l'optimisation du combineur en fort signal	140

3.3.3	Conception de l'inter-étage	142
3.3.4	Conception du combineur d'entrée	144
3.3.5	Points importants de la conception	147
3.3.5.1	Impédances d'entrée et de sortie	147
3.3.5.2	Cycles de charge	149
3.3.5.3	Performances électriques de chaque étage	150
3.3.6	Stabilité de l'amplificateur cascode	151
3.3.6.1	Facteur de Rollet et cercles de stabilité	151
3.3.7	Stabilité non linéaire des circuits microondes	152
3.3.7.1	Utilisation de l'outil STAN	152
3.3.7.2	Visualisation des modes d'oscillations	155
3.3.7.3	Résolutions de certains types d'instabilité	156
3.3.7.4	Application à l'amplificateur cascode	158
3.4	Dispersion technologique	160
3.5	Linéarité de l'amplificateur	161
3.5.1	Différentes méthodes d'obtention de la linéarité	161
3.5.1.1	Carrier to Intermodulation Ratio (C/I)	161
3.5.1.2	Le point d'interception d'ordre 3 (IP3)	162
3.5.2	Linéarité du HPA cascode intégré	163
3.6	Résultats de mesures de l'amplificateur	164
3.6.1	Mesures CW	166
3.6.2	Mesures pulsées	169
3.6.3	Bilan des mesures	170
3.7	Conclusion	171
	Conclusion Générale	173
	Bibliographie	178
	Annexes	188
	Nomenclature	188
	Publications et communications relatives à ce travail	189

Table des figures

1.1	Image d'un satellite de positionnement.	22
1.2	Constellation de satellites de navigation.	23
1.3	Détermination de la position d'un récepteur.	24
1.4	Principe d'observation des images terrestre.	25
1.5	Orbite géostationnaire.	26
1.6	Le cyclone Elena est une image de la NASA obtenue avec un satellite géostationnaire. L'image des mines de cuivre du Chili (Los Pelambres) est obtenue par le satellite FORMOSAT-2 d'Astrium qui est un satellite à orbite basse.	26
1.7	Éléments de base d'un système de communication par satellites.	27
1.8	Plateforme d'un satellite.	29
1.9	Schéma simplifié d'une charge utile de télécommunications.	31
1.10	Topologie en étoile.	35
1.11	Topologie maillée.	35
1.12	Schéma d'un terminal VSAT.	37
1.13	Structure d'un transistor HEMT comparé à la structure d'un transistor pHEMT.	44
1.14	Structure géométrique d'un transistor de puissance pHEMT.	45
1.15	Diagramme d'énergie de la double hétérojonction d'un pHEMT de puissance.	46
1.16	Dessin d'un transistor 12x125 μm à topologie parallèle.	47
1.17	Dessin d'un transistor « fishbone ».	47
1.18	Dessin de l'amplificateur de puissance « tête-bêche » et dessin de la cellule de puissance utilisée.	48
1.19	Comparaison des mesures en puissance (gain et puissance de sortie) sur plaque et des simulations de 12 à 16 GHz de l'amplificateur @ $I_d=1.1\text{A}$ et $V_d=8\text{V}$ (pointillés : mesures et traits continus : simulations).	50
1.20	Comparaison des mesures et des simulations de paramètres [S] de 2 à 30 GHz de la cellule « tête-bêche » @ $I_D=320\text{mA}$ et $V_D=8\text{V}$ (cercles : mesures et traits continus : simulations).	51
1.21	Layout des nouvelles topologies de « tête bêche » conçues.	52
1.22	Effets de distribution sur la cellule « tête-bêche » de référence.	53
1.23	Gain maximum disponible de la version 4 du fishbone pour une bande de fréquence de 0.5 GHz à 30 GHz.	54
1.24	Gain maximum disponible de la version 2 et 3 du fishbone pour une bande de fréquence de 0.5 GHz à 30 GHz comparé à un transistor TP de même développement.	55
2.1	Schéma du montage cascode.	60
2.2	Modèle petit signal simplifié d'un transistor à topologie parallèle.	60
2.3	Schéma linéaire simplifié du montage cascode.	60
2.4	Comparaison de l'impédance de sortie, du gain maximum disponible, du S_{21} et de l'isolation entrée-sortie d'une cellule cascode et d'un transistor à TP de même développement.	62
2.5	Schéma d'une cellule cascode.	62
2.6	Schéma du principe de polarisation d'une cellule cascode à deux transistors identiques.	63
2.7	Auto-polarisation d'une cellule cascode.	64
2.8	Tensions de polarisation appliquées à chaque transistor constituant le cascode.	65

2.9	Ajout de la capacité Ca_1	65
2.10	Pont diviseur de tension réalisé par la capacité Ca_1	66
2.11	Exemple d'un pont à air.	68
2.12	Exemple de discrétisation appliquée à la modélisation d'un transistor.	73
2.13	Couches physiques du transistor et lieu de la zone de dissipation de la chaleur.	74
2.14	Représentation d'un système 2 ports chargé sur son impédance de charge Z_L et son impédance de source Z_S	76
2.15	Représentation de deux cas de stabilité conditionnelle lorsque $ S_{11} < 1$	80
2.16	Représentation de deux cas de stabilité conditionnelle lorsque $ S_{11} > 1$	80
2.17	Courbe typique du gain maximum disponible pour une bande de fréquence de 0.5 à 30 GHz.	81
2.18	Architecture simple d'un banc Load Pull passif.	82
2.19	Représentation des charges disponibles sur l'abaque de Smith en Load Pull passif pour deux fréquences différentes.	83
2.20	Source et Load Pull basé sur la boucle active.	83
2.21	Transistor PPH25X de développement 12x100 μm	86
2.22	Schéma du modèle linéaire du transistor.	87
2.23	Comparaison mesures (croix) modèle (trait) des paramètres S_{11} , S_{22} , S_{21} et S_{12} au point de polarisation $V_{ds}=8\text{V}$, $I_{ds}=160\text{mA}$, en fonction de la fréquence de 0.5 à 30 GHz pour une transistor 12x100 μm	89
2.24	Structure du modèle non linéaire.	90
2.25	Comparaison mesure/modèle des paramètres [S] pour un point de polarisation $V_d=8\text{V}$ et $I_d=100\text{mA}$ et pour le modèle NL du transistor 8x100 μm (cercles : mesures, lignes continues : simulations).	91
2.26	Comparaison mesure/modèle des paramètres [S] pour un point de polarisation $V_d=8\text{V}$ et $I_d=180\text{mA}$ et pour le modèle NL du transistor 12x125 μm (cercles : mesures, lignes continues : simulations).	92
2.27	Caractéristiques de puissance mesurées et modélisées (gain, puissance de sortie et PAE) en fonction de la puissance d'entrée, pour l'impédance optimale, pour deux tailles de transistor (cercles : mesures, lignes continues : simulations) à leur point de polarisation respectif.	92
2.28	Schéma de simulation du transistor distribué PPH25X de développement 12x125 μm	93
2.29	Comparaison mesure/modèle distribué du transistor 12x125 μm des paramètres [S] pour un point de polarisation $V_d=8\text{V}$ et $I_d=180\text{mA}$ (cercles : mesures, lignes continues : simulations).	94
2.30	Comparaison mesure/modèle distribué du transistor 12x125 μm des caractéristiques de puissance (gain, puissance de sortie, PAE) pour un point de polarisation $V_d=8\text{V}$ et $I_d=180\text{mA}$ (cercles : mesures, lignes continues : simulations).	94
2.31	Layout de la version 1	97
2.32	Layout de la version 2	97
2.33	Layout de la version 3	98
2.34	Layout de la version 4	98
2.35	Modélisation distribuée du cascode intégré.	101
2.36	Facteur de Rollet K et $ \Delta $ de la matrice [S] dans la bande de fréquence 0.5 à 30 GHz pour la cellule cascode intégrée 2x12x100 μm	102

2.37	Cercles de stabilité en sortie de la cellule cascode intégrée et $ S_{22} $ de 0.5 à 30 GHz, pour un point de fonctionnement proche du point de repos.	102
2.38	Cercles de stabilité en entrée de la cellule cascode intégrée et $ S_{11} $ de 0.5 à 30 GHz, pour un point de fonctionnement proche du point de repos.	103
2.39	Layout du cascode intégré.	104
2.40	Structure 3D de la cellule cascode intégrée lors de la simulation avec ANSYS.	105
2.41	Zone de dissipation de la chaleur au sein du transistor.	105
2.42	Répartition de la chaleur dans la structure cascode, $T_{\text{socle}}=0^{\circ}\text{C}$	106
2.43	Equivalence électrique/thermique de la cellule cascode intégrée.	107
2.44	Vue en coupe de la géométrie de la version 2 et de la version 3.	109
2.45	Photo de la cellule cascode intégrée.	110
2.46	Photographie du banc de mesures des paramètres [S].	111
2.47	Système d'alimentation du dispositif cascode (a), le même dispositif mais avec la présence d'une antenne afin de détecter une oscillation (b).	111
2.48	Comparaison mesures/modèle des paramètres [S] pour le point de polarisation $V_{dd} = 16\text{V}$ et $I_d = 160\text{mA}$ (points : mesures, lignes continues : simulations).	112
2.49	Comparaison des mesures d'un cascode et du modèle d'un transistor SC de même développement de grille, des paramètres [S] pour le point de polarisation $V_{dd} = 16\text{V}$ et $I_d = 160\text{mA}$ (cercles : mesures, lignes continues : simulations).	113
2.50	Photographie du banc de mesures Load Pull (a), zoom sur le dispositif sous test (b).	114
2.51	Load pull réalisé à la sortie de la cellule de puissance à 12 GHz (a) et impédances de sources obtenues pour ces différentes mesures LP (b).	115
2.52	Caractéristiques de puissance mesurées et modélisées (Gain, puissance de sortie, PAE) en fonction de la puissance d'entrée, pour l'impédance optimale à 12 GHz (points : mesures, lignes continues : simulations).	115
2.53	Rappel du dessin de la cellule cascode intégrée.	116
2.54	Cycles de charges de chacun des transistors d'une cellule élémentaire du cascode intégré de développement $2 \times 12 \times 100 \mu\text{m}$ (cercles : transistor SC, lignes continues : transistor GC).	118
2.55	Impédance de charge de chacun des transistors de la cellule de puissance élémentaire comparé à l'impédance optimale de ce transistor.	118
2.56	Ajout d'une inductance de liaison entre les deux transistors	119
2.57	Impact de la variation de l'inductance L_a de 0 à 500 pF sur la PAE.	119
2.58	Ajout d'une capacité C_{a2}	120
2.59	Cellule cascode incluant C_{a1} et C_{a2}	120
2.60	Schéma simplifié d'une cellule cascode incluant C_{a1} et C_{a2}	121
2.61	Schéma simplifié du transistor GC d'une cellule cascode de base incluant C_{a1} et C_{a2}	121
2.62	Variation de l'erreur entre l'impédance de charge optimale d'un transistor SC et celle du premier transistor de la cellule cascode en fonction de C_{a2} et pour différentes valeurs de C_{a1}	122
2.63	Facteur de Rollet de la cellule cascode de base optimisée, avec C_{a2} , pour une bande de fréquence de 0.5 à 30 GHz.	123
2.64	Schéma du montage cascode « Driven ».	124

2.65	Impédances de charge vues par chacun des transistors pour la cellule cascode de base (a) et pour une cellule cascode « driven » (b) comparée à l'impédance optimale d'un transistor à TP.	124
2.66	Facteur de Rollet de déterminant de la matrice des paramètres [S] de la cellule cascode « driven » de 0.5 à 30 GHz	125
2.67	Schéma du montage cascode « self biased ».	125
2.68	Circuit linéaire simplifié de la topologie « self biased » sur le transistor GC.	126
2.69	Partie réelle et imaginaire de l'impédance de sortie vue par le premier transistor en fonction des valeurs de Gf et Bf	127
2.70	Cascode de base avec deux transistors en cascade de développement de grille différent.	127
2.71	Comparaison des différentes solutions d'amélioration du rendement.	128
3.1	Schéma de principe du montage amplificateur cascode.	136
3.2	Simulation load pull de la cellule cascode intégrée 2x12x100 μm	137
3.3	Topologie du combineur de sortie.	138
3.4	Principe d'optimisation du combineur de sortie.	139
3.5	Paramètres [S] du combineur de sortie sur la bande de fréquence 10-18 GHz.	140
3.6	Principe de vérification des charges Z_L	140
3.7	Impédances de sortie de chacune des cellules cascodes sur la bande de fréquence 12-16 GHz (trait continu). Comparaison avec l'impédance de charge optimale moyenne d'une cellule cascode sur cette même bande de fréquence (point).	141
3.8	Pertes en puissance du combineur de sortie de 12 à 16 GHz.	142
3.9	Topologie du réseau d'adaptation inter-étage.	143
3.10	Principe d'optimisation de l'inter-étage.	143
3.11	Pertes d'adaptation inter-étage en fonction de la fréquence (12-16GHz) et de la puissance d'entrée (trait plein : bas niveau, trait pointillé : fonction de P_{in}).	144
3.12	Topologie du combineur d'entrée.	145
3.13	Pertes en puissance du réseau d'adaptation en entrée en fonction de la fréquence (12-16 GHz) et de la puissance d'entrée P_{in} (trait plein : bas niveau, traits pointillés : en fonction de P_{in}).	146
3.14	Dessin global de l'amplificateur.	146
3.15	Parties réelles et imaginaires des impédances d'entrée des cellules cascodes intégrées de chaque étage, à toutes les fréquences (12-16 GHz) et en fonction de la puissance d'entrée P_{in}	148
3.16	Parties réelles et imaginaires des impédances de sortie des cellules cascodes intégrées de chaque étage, à toutes les fréquences (12-16 GHz) et en fonction de la puissance d'entrée P_{in}	148
3.17	Cycles de charge de chaque étage en fonction de la fréquence pour une puissance d'entrée $P_{in}=10$ dBm.	149
3.18	Simulation des performances en puissance (puissance de sortie, gain en puissance et puissance dissipée) des deux cellules cascodes intégrées appartenant chacune à l'étage 1 et à l'étage 2 en fonction de P_{in} , de 12 à 16 GHz par pas de 0.5 GHz.	150
3.19	Facteur de Rollet et module du déterminant de la matrice des paramètres [S] pour une fréquence de 0.5 à 30 GHz.	151

3.20	Cercles d'instabilités des charges d'entrée et de sortie de la cellule cascode intégrée pour une fréquence allant de 12 à 16 GHz.	152
3.21	Organigramme représentant le principe de l'outil STAN.	153
3.22	Schéma général du circuit électrique avec une source de courant petit signal de perturbation en parallèle à un nœud arbitraire du circuit n	154
3.23	Représentation des pôles et zéros d'un système deux ports instable.	155
3.24	Schéma électrique simplifié d'une division de fréquence.	156
3.25	Solutions pour assurer la stabilité de l'amplificateur.	157
3.26	Schéma de principe de l'analyse de stabilité non linéaire du premier étage.	158
3.27	Schéma de principe de l'analyse de stabilité non linéaire du dernier étage.	159
3.28	Parties réelle et imaginaire de l'impédance de chaque perturbateur du dernier étage (mode impair) en fonction de la fréquence $Freq_{omeg}$ (0.5 à 30GHz par pas de 100 MHz), de F_{pompe} (12 à 16GHz par pas de 0.5GHz) et en fonction de Pin_{pompe}	159
3.29	Diagramme de pôles et de zéros obtenus dans les conditions de fonctionnement : $V_{dd}=16V$, $F_{pompe} = 12GHz$ et $Pin_{pompe}=11dBm$. Ces diagrammes illustrent les données extraites pour une perturbation sur une bande de fréquence autour de 10 GHz pour la 1ère cellule cascode « intégrée » du dernier étage (a) et pour la 2nde cellule de puissance de ce même étage (b). Les croix représentent les pôles et les cercles les zéros.	160
3.30	Résultats de la dispersion technologique sur les paramètres [S] et le facteur de Rollet K en fonction de la fréquence (10 à 18 GHz) pour 100 itérations.	161
3.31	Génération des signaux parasites après amplification.	162
3.32	Point d'interception d'ordre 3.	163
3.33	IP3 en fonction de la puissance de sortie P_{out} et pour une fréquence de 12 à 16 GHz par pas de 1 GHz.	164
3.34	C/I en fonction de la puissance de sortie P_{out} et pour une fréquence de 12 à 16 GHz par pas de 1 GHz.	164
3.35	Photographie de l'amplificateur à cellules cascode intégrées.	165
3.36	Cartes à pointes utilisées pour la polarisation de l'amplificateur.	165
3.37	Mesures CW des paramètres S_{21} , S_{11} et S_{22} pour une fréquence allant de 10 à 18 GHz (mesures : cercles, simulations : traits continus).	166
3.38	Comparaison mesures CW/simulations en puissance (Gain, Puissance de sortie, PAE) pour trois fréquences (12, 14 et 16 GHz) avec $Pin=-10dBm$ à 12dBm (mesures : cercles, simulations : traits continus).	168
3.39	Mesures pulsées en puissance (Gain, Puissance de sortie, PAE) en fonction de la fréquence, pour $Pin=10 dBm$ et ceci pour 10 puces.	169

Liste des tableaux

1.1	Bandes de fréquences définis par l'UIT.	32
1.2	Bandes de fréquences utilisées pour la technique de communication VSAT.	33
1.3	Etat de l'art des amplificateurs MMIC bande Ku.	39
1.4	Cahier des charges fournis par UMS.	41
1.5	Comparaison des dimensions des deux amplificateurs STARK et « tête-bêche ».	49
1.6	Comparaison des facteurs de forme des deux cellules de puissance utilisées dans l'amplificateur STARK et « tête-bêche ».	49
2.1	Equivalence des grandeurs électriques et thermiques.	74
2.2	Stabilité du dispositif en fonction du facteur K.	78
2.3	Vue d'ensemble des performances des filières PHEMT d'UMS.	85
2.4	Valeurs des paramètres extrinsèques du modèle petit signal d'un transistor ($12 \times 100 \mu\text{m}$) extrait de 0.5GHz à 30GHz au point de polarisation : $V_{DS} = 8V$, $I_{DS} = 160\text{mA}$	88
2.5	Valeurs des paramètres intrinsèques du modèle petit signal d'un transistor ($12 \times 100 \mu\text{m}$) extrait de 0.5GHz à 30GHz au point de polarisation : $V_{DS} = 8V$, $I_{DS} = 160\text{mA}$	89
2.6	Dimension verticale et facteur de forme de chaque topologie de cascode comparée à celle d'un transistor à topologie parallèle de même développement de grille.	99
2.7	Comparaison des valeurs des résistances thermiques entre une cellule cascode et un transistor source commune de même développement de grille.	106
2.8	Valeur des paramètres de la matrice $[Z]$	107
2.9	Valeur de la résistance thermique du transistor SC, du transistor GC et résistance thermique caractérisant le coulage entre les deux transistors.	108
2.10	Séquence de polarisation de la cellule cascode.	110
2.11	Performances électriques comparées entre le cascode intégré (version 3) et un transistor à TP de même développement de grille (2.4 mm)	117
3.1	Spécifications de l'amplificateur à réaliser.	134
3.2	Puissance de sortie de la cellule cascode intégrée entre 12 et 16 GHz @ Pin=21dBm.	134
3.3	Estimation du bilan des pertes du gain entre 12 à 16 GHz.	136
3.4	Dispersion technologique imposée sur la technologie GaAs.	160
3.5	Comparaison des performances de l'amplificateur cascode par rapport aux spécifications exigées.	170
3.6	Nouvel état de l'art.	170

Introduction générale

La concurrence et les conditions exigeantes de développement des applications spatiales conduisent à une importante demande dans le domaine des amplificateurs de puissance performants et à faibles coûts. Les fondeurs, ingénieurs et universitaires doivent alors rivaliser d'ingéniosité pour proposer des solutions innovantes qui feront de leur choix technologique la solution de demain. Si l'attrait autour des nouveaux matériaux de type GaN reste très important depuis quelques années, les solutions GaAs, qui ont fait leurs preuves sont regardées avec intérêt par une industrie du spatial où le maître mot reste surtout la fiabilité. Une solution naturelle afin d'augmenter la compacité des amplificateurs de puissance consiste donc à réduire la surface de « la cellule de puissance unitaire » tout en conservant les performances initiales.

Le projet MILEA financé par la fonderie United Monolithic Semiconductors (UMS) et par l'Agence Spatiale Européenne (ESA), a été réalisé en 2007. Il consistait à diminuer la taille des circuits grâce à l'utilisation d'une cellule de puissance unitaire basée sur une topologie de transistor distribué appelée « fishbone ».

D'autres alternatives à la topologie de transistor classique ont été étudiées, notamment la cellule cascode qui est très attractive pour réduire la surface de l'élément de puissance unitaire et par conséquent la surface du circuit. En effet, elle est plus compacte qu'un transistor à topologie parallèle de même développement de grille et elle présente un gain en puissance plus important. De plus, l'effet Miller est réduit naturellement et elle permet d'élargir la bande de fréquence de fonctionnement. Son adaptation en sortie est facilitée puisque son impédance de sortie est doublée par rapport à une topologie parallèle.

Ce manuscrit se décline en trois parties :

Le premier chapitre propose une présentation générale des différentes applications spatiales avec une explication plus détaillée en ce qui concerne les communications par satellites. Ces dernières sont composées d'un segment spatial, un satellite, et d'un segment sol, les dispositifs de terminaux terrestres. Une attention particulière est portée aux circuits électroniques constituant ces terminaux notamment aux circuits réalisant l'amplification de puissance puisqu'ils constituent le coeur des travaux de cette thèse. Un état de l'art des amplificateurs de puissance compacts MMIC dans la bande 12-18 GHz en technologie GaAs est proposé. Dans ce même chapitre nous présenterons une étude réalisée en amont par une collaboration entre UMS et l'ESA. Elle consiste à utiliser une autre alternative que la classique topologie parallèle des transistors, afin de réduire les dimensions de l'amplificateur de puissance.

Le deuxième chapitre présente le développement de la nouvelle cellule de puissance que nous avons conçue, basée sur la topologie cascode. Cette dernière sera appelée

« cellule cascode intégrée ». Dans un premier temps, une présentation générale du principe de la cellule cascode est abordé. Les circuits conçus atteignant un niveau de compacité important peuvent entraîner des couplages électromagnétiques ou thermiques ou encore l'instabilité du dispositif. Une description des différents outils permettant la caractérisation complète de la cellule de puissance sera alors détaillée. En deuxième partie de ce chapitre, nous présenterons les diverses conceptions de cellules cascades que nous avons réalisées. Notre choix final s'effectuera en fonction des divers critères de la cellule, sa compacité, ses performances électriques et sa sensibilité aux oscillations. Pour terminer, nous présenterons également quelques résultats concernant des solutions alternatives à la cellule cascode.

Le troisième et dernier chapitre porte sur la conception d'un amplificateur MMIC dans la bande 12-16 GHz, réalisé grâce à l'utilisation de la cellule cascode intégrée. Nous exposerons dans un premier temps, de manière détaillée, la démarche de conception utilisée ainsi que les points clés à analyser lors de cette étape. Des résultats très encourageants, présentant notamment une réduction de 40 % de la surface du nouvel amplificateur par rapport au circuit initial seront dévoilés. Cet ensemble de travaux permet désormais à nos partenaires industriels de proposer une solution GaAs concurrentielle et performante.

Chapitre 1 :

Amplification de puissance pour les terminaux terrestres de communication spatiale

1.1 Introduction

La compacité des systèmes dans le domaine des télécommunications spatiales est un enjeu capital. La technique de communication VSAT (Very Small Aperture Terminal) est très utilisée pour la transmission de données, de vidéos ou la transmission vocale par satellite. Dans les stations de bases utilisées pour ces transmissions VSAT, l'amplificateur de puissance joue un rôle prépondérant. Il fournit la puissance nécessaire permettant d'envoyer les signaux vers le satellite. Les coûts de fabrication de ce type de dispositif sont élevés, c'est pourquoi afin d'augmenter leur rentabilité, chaque élément doit être étudié avec soin. Les dispositifs d'amplification de puissance sont alors réalisés avec une technologie intégrée. De nouvelles recherches menées conjointement par la fonderie United Monolithic Semiconductors (UMS) ainsi que par l'Agence Spatiale Européenne (ESA) s'orientent vers de nouvelles structures de plus en plus compactes. L'objectif du travail de recherche présenté dans ce manuscrit consiste à réaliser un amplificateur de puissance MMIC (Monolithic Microwave Integrated Circuit) bande Ku (12-18 GHz) sur substrat GaAs présentant une grande compacité, notamment par rapport aux études déjà menées par UMS et l'ESA.

La première partie de ce chapitre débute par une présentation globale des domaines d'application des satellites artificiels avec une explication plus détaillée en ce qui concerne les communications par satellites et en particulier la technologie VSAT. Ce type de communication nécessite la présence d'un segment spatial (satellite) et d'un segment sol (terminaux terrestres). Après une brève description des différentes fonctions qui composent le satellite, nous étudierons les terminaux terrestres VSAT au sein desquels nous mesurerons l'importance de la place réservée à l'amplification de puissance. Un état de l'art des amplificateurs de puissance MMIC bande Ku considérés comme les plus compacts actuellement sera effectué et nous examinerons les différentes technologies qui peuvent être utilisées pour concevoir ce type d'amplificateur.

Comme mentionné précédemment, ce travail s'appuie sur une étude menée au sein de la société UMS au cours de laquelle un amplificateur de puissance bande Ku a été réalisé. La compacité du circuit a pu être améliorée grâce à l'utilisation d'une cellule de puissance basée sur une distribution du transistor. Au cours de cette thèse, plusieurs versions de ce type de cellule ont été réalisées et mesurées, elles seront étudiées dans la dernière partie de ce chapitre.

1.2 Généralités sur les applications spatiales

[1], [2], [3] et [4]

De nombreuses applications utilisant le domaine spatial interviennent dans notre vie de tous les jours, comme par exemple, regarder la télévision, utiliser un système de navigation, se renseigner sur les conditions météorologiques et bien d'autres. Elles sont regroupées en trois catégories dont les deux premières sont présentées dans cette partie :

- La navigation par satellite.
- L'observation de la Terre.
- Les communications par satellite, qui seront développées plus en détail dans un paragraphe suivant.

1.2.1 La navigation par satellite

[5]

Les satellites de positionnement (Figure 1.1) permettent de se situer en tout point du globe et de son environnement spatial à tout instant et quelles que soient les conditions météorologiques.

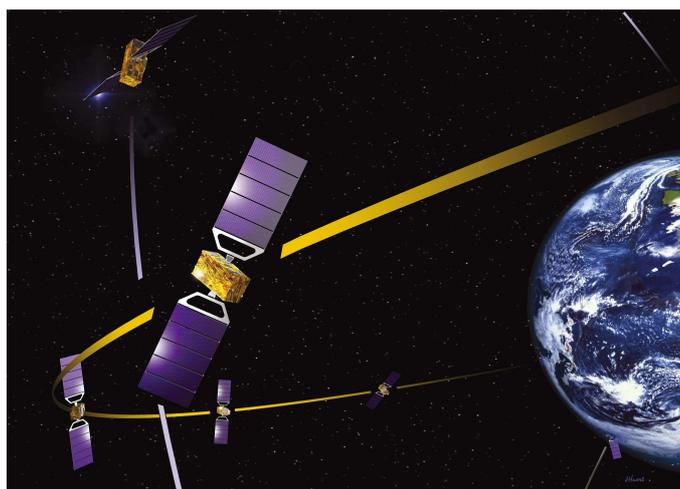


FIGURE 1.1 – Image d'un satellite de positionnement.

Typiquement, un système de navigation nécessite une constellation de satellites (Figure 1.2), des stations terrestres et un récepteur. Plusieurs systèmes de navigations ont été déployés mais le plus connu reste le GPS (Global Position System). Il a été développé par les Etats-Unis en 1973, dans un premier temps pour des applications militaires. Les premiers satellites ont été lancés en 1978 et le système fut opérationnel en 1994. Il permet l'accès à la notion de positionnement dans les trois dimensions de l'espace [6]. La version russe de ce système se nomme GLONASS (GLOBAL NAVIGATION Satellite System), le premier lancement a eu lieu en 1982. Au niveau européen, le système EGNOS (European Geostationary Navigation Overlay Service) est entré en service en 2009. Il constitue un complément du système GPS. En effet, il permet d'obtenir une meilleure précision du

positionnement et de pallier aux limitations de ce dernier et de GLONASS sur la zone européenne [7]. Il ouvre la voie au système GALILEO qui va permettre de doter l'Europe de son propre système de navigation mondial, complètement indépendant des américains [8]. GALILEO va émettre des signaux compatibles avec les autres systèmes mondiaux existants (GPS et GLONASS). Il possède également une vaste infrastructure terrestre à travers le monde. Deux satellites ont été lancés en octobre 2011 et deux autres seront lancés durant l'été 2012. Le déploiement du réseau complet aura lieu vers 2020. Ce système de navigation sera constitué d'une constellation de 30 satellites (27 actifs et 3 en réserve) en orbite à moyenne altitude MEOs (Medium Earth Orbits) qui se situe à environ 20000 km.

Ces orbites sont généralement utilisées pour tous les systèmes de navigations car :

- Elles sont stables, leur position est alors facilement prévisible.
- Elles se déplacent lentement, elles peuvent donc être observées durant plusieurs heures.
- Elles sont placées de telle sorte que quatre satellites soient visibles continuellement en tout point de la surface de la terre.



FIGURE 1.2 – Constellation de satellites de navigation.

Ce type de satellite émet des signaux en bande L (1-2 GHz).

Le principe de la mesure d'une position précise d'un récepteur repose sur la durée de propagation des signaux radioélectriques par au moins trois satellites [9]. Le récepteur détermine la distance de chacun des satellites en mesurant le temps que met le signal pour aller du récepteur au satellite. La figure 1.3 présente le principe de détermination de la position d'un récepteur. La distance mesurée de deux satellites, permet de déterminer que l'endroit où se situe le récepteur est un cercle correspondant à l'intersection des

deux sphères. La mesure d'un troisième satellite permet de réduire le champs à deux points qui correspondent à l'intersection du cercle avec cette troisième sphère. La position du récepteur se limite alors à deux points de l'espace dont un qui peut être facilement éliminé du fait de sa position aberrante. Un quatrième satellite est nécessaire pour la synchronisation des horloges de celui-ci et du récepteur. Il permet également d'éliminer les points les plus aberrants. En général, plus le nombre de satellites utilisés est important, meilleure sera la précision sur la position du récepteur.

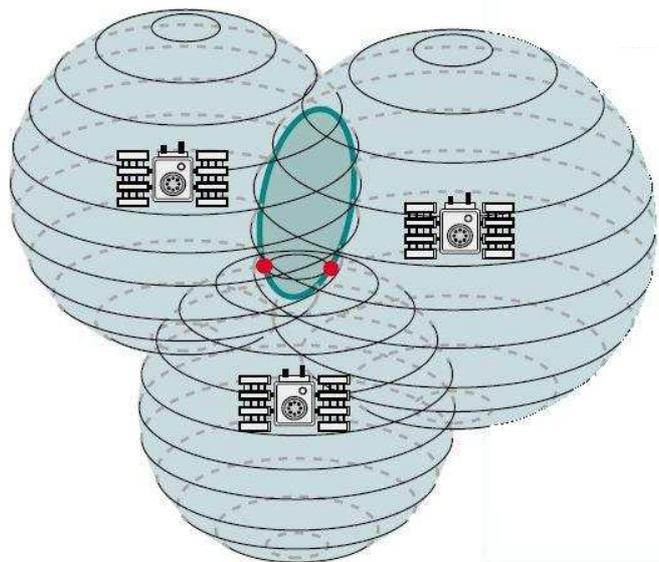


FIGURE 1.3 – Détermination de la position d'un récepteur.

1.2.2 L'observation de la Terre

[10], [11]

Les images obtenues par les satellites d'observation de la Terre permettent de surveiller l'état global de notre environnement, de gérer nos ressources et de suivre les catastrophes naturelles. Comme ces satellites restent en place durant une longue période, nous pouvons observer les changements environnementaux dans le temps comme par exemple les variations du niveau de la mer ou encore la baisse de la couche d'ozone due à la pollution atmosphérique. Dans le long terme, nous pourrions connaître l'impact humain sur le changement climatique grâce à ces satellites.

Le principe de fonctionnement des satellites d'observation de la Terre repose sur la détection et la mesure par leurs capteurs du flux de rayonnement électromagnétique en provenance de la zone observée (Figure 1.4). Plus la longueur d'onde de l'objet observé est courte, plus sa température va être élevée.

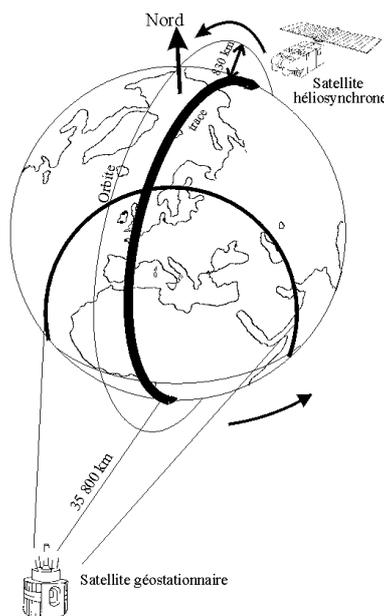


FIGURE 1.4 – Principe d'observation des images terrestre.

Chaque objet étudié (plante, surface terrestre ou océanique) émet ou réfléchit un rayonnement à différentes longueurs d'onde et à différentes intensités selon sa composition chimique. Il faut alors plusieurs types de capteurs afin de pouvoir étudier chaque phénomène.

Deux types de capteurs existent : les capteurs passifs et les capteurs actifs.

En ce qui concerne les capteurs passifs, le signal est reçu par un système optique, il correspond à l'énergie réfléchi à travers plusieurs longueurs d'onde incluant la lumière visible et l'infrarouge. Ce signal est envoyé sur des détecteurs puis transformé en signal électrique. Plus la résolution spectrale est grande plus elle permet d'avoir une caractérisation précise de la composition des objets observés.

Pour le capteur actif, c'est un système radar qui émet un signal pulsé vers la Terre et qui enregistre le signal réfléchi vers l'espace. Ces instruments mesurent la rugosité de la surface et ont l'avantage de passer à travers les nuages et l'obscurité. En combinant les différentes images d'un même lieu, une échelle très précise de la Terre peut être obtenue.

Les satellites d'observation de la Terre peuvent être classés en deux catégories.

Les satellites dits géostationnaires qui se situent sur des orbites très hautes (36000 km) sont visibles par environ 40 % de la surface terrestre en permanence (Figure 1.5). En effet, le satellite apparait immobile dans le ciel lorsqu'il se trouve sur cette orbite. Le temps mis par le satellite pour parcourir le périmètre du cercle, qui représente la trajectoire de l'orbite géostationnaire, est égal à la période de révolution de la Terre. De plus, cette orbite tourne dans le même sens que notre planète. Un envoi de données fréquent permet de suivre un événement à évolution rapide comme des phénomènes météorologiques (Figure 1.6 a). Une

seule station au sol est nécessaire pour la maintenance du satellite. Les régions polaires ne sont pas visibles et la résolution au sol reste mauvaise [12].

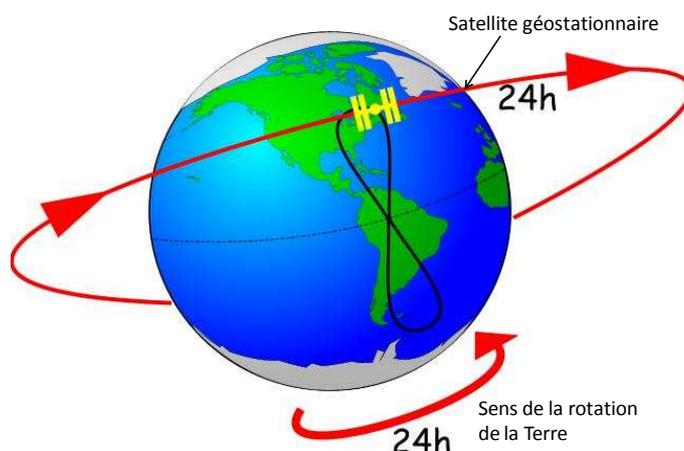


FIGURE 1.5 – Orbite géostationnaire.

Le deuxième type de satellite se situe sur des orbites basses, appelées LEO pour « Low Earth Orbit » (600 km). Il permet d’avoir une couverture globale et une bonne résolution au sol (Figure 1.6 b). Cependant, l’observation continue d’un point de la surface terrestre est impossible. Ce problème peut néanmoins être résolu en utilisant un grand nombre de satellites. Un nombre important de stations au sol reste alors nécessaire pour la gestion de ceux-ci.



a) Cyclone Elena



b) Los Pelambres

FIGURE 1.6 – Le cyclone Elena est une image de la NASA obtenue avec un satellite géostationnaire. L’image des mines de cuivre du Chili (Los Pelambres) est obtenue par le satellite FORMOSAT-2 d’Astrium qui est un satellite à orbite basse.

Les bandes de fréquence de fonctionnement pour ces deux types de satellites peuvent aller de la bande L (1-2 GHz) à la bande X (8-12 GHz). La définition de ces bandes sera réalisée en détail dans un paragraphe suivant.

1.3 Les communications par satellite : la technologie VSAT

[13], [14], [15], [16]

Les services de transmission de données peuvent être réalisés au travers de réseaux totalement terrestres (câbles) ou principalement grâce à des réseaux particuliers appelés VSAT, combinant un segment spatial et un segment sol. Par conséquent, la suite de ce chapitre portera sur les services de communication de données par satellites utilisant ces systèmes VSAT.

Les communications par satellite sont apparues très tôt avec le lancement du premier satellite de télécommunications russes, Souptnik en 1957. Suivi par les Etats-Unis avec le lancement de Score en 1958, il restera 34 jours en activité. L'ESA développe des satellites de télécommunication depuis 1968, et c'est dix ans plus tard que le premier satellite (OTS-2 : Orbital Test Satellite) est lancé. Ce type de communication est devenue incontournable pour la transmission de données, la téléphonie ou encore la TV diffusion.

Le principe de ces communications est présenté figure 1.7. Elles nécessitent la présence d'un segment spatial et d'un segment sol comprenant les terminaux terrestres d'émission et de réception.

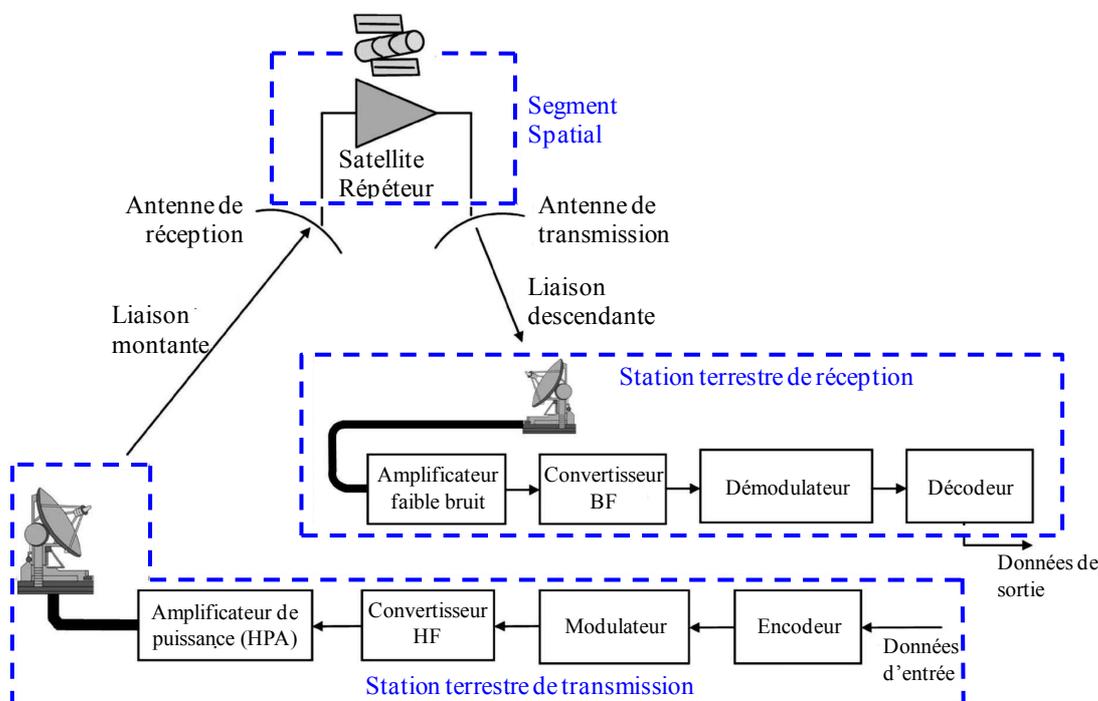


FIGURE 1.7 – Eléments de base d'un système de communication par satellites.

Les terminaux terrestres fournissent l'accès au spatial en transmettant et recevant les

données d'un satellite à un autre ou vers une autre station terrestre. Ces derniers, et en particulier le système VSAT sera détaillé puisque le sujet de cette thèse repose sur le circuit amplificateur présent dans ce dispositif.

Le segment spatial quant à lui, comprend un ou plusieurs satellites au sein desquels est présent un répéteur qui est l'élément clé du satellite puisqu'il permet la réception et l'émission de signaux.

Les premiers systèmes de communication par satellites étaient conçus pour fonctionner en mode passif. Les signaux émis par les stations terrestres étaient réfléchis dans toutes les directions de l'espace mais leur capacité restait limitée et des émetteurs puissants ainsi que des grandes antennes paraboliques au sol étaient nécessaires pour récupérer l'information. De plus, les signaux étant diffusés dans toutes les directions de l'espace ils pouvaient donc être reçus dans n'importe quelle partie du monde.

De nos jours, ces communications fonctionnent de manière active. Les satellites reçoivent des signaux modulés (en fréquence ou en amplitude) d'une station terrestre, les amplifient, puis les transmettent à une fréquence différente vers une autre station. Ce principe de fonctionnement sera expliqué plus en détails dans le paragraphe suivant. Chaque signal est caractérisé par sa bande de fréquence et sa largeur de bande. Plus la largeur est grande, plus le débit d'information est important. Au 21^{ème} siècle, grâce à l'utilisation de fréquences élevées et de satellites de plus en plus performants, plus de 100 millions d'Européens regardent la télévision par transmission satellite.

Il existe plusieurs sortes de satellites de télécommunication avec des caractéristiques qui varient selon les applications visées. Un principe fondamental dans ce genre de satellite est le type d'orbite sur lequel il se situe. Dans le domaine des télécommunications celle la plus utilisée est l'orbite géostationnaire.

Comme pour les satellites d'observation de la Terre, le deuxième type d'orbite utilisée est l'orbite basse. Plusieurs de ces systèmes ont été déployés pour fournir des communications aux terminaux mobiles. Afin de garantir un service continu, une constellation de 10 satellites doit être déployée. Ils sont plus ou moins répartis autour du globe. Les satellites présents sur cette orbite sont un réel avantage pour les communications mobiles, leur faible altitude diminue le retard due au signal transmis et réduit la puissance nécessaire pour établir des communications.

1.3.1 Le segment spatial : description d'un satellite

[17], [18], [19]

Un satellite est un objet qui doit remplir des fonctions spécifiques dans un environnement spatial. Son architecture résulte des objectifs définis par la mission et

des contraintes particulières liées à son évolution dans l'espace. Tout satellite comporte essentiellement une charge utile, constituée par les instruments de la mission et une plateforme de service comportant tout ce qui est nécessaire pour assurer le bon fonctionnement des instruments pendant la durée de vie prévue.

1.3.1.1 Plateforme

La plateforme (Figure 1.8) comprend des équipements de mesure, de communication, de commande, de servitude et de gestion. Elle peut englober une ou plusieurs charges utiles. Elle n'est pas spécifique à un satellite mais dépend fortement de l'altitude à laquelle elle se trouve.

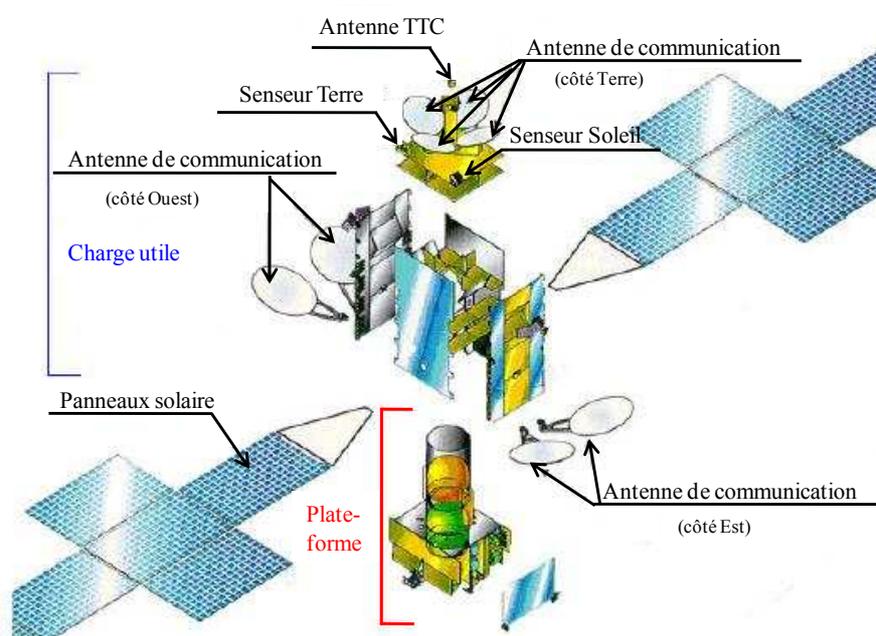


FIGURE 1.8 – Plateforme d'un satellite.

La plateforme assure tout d'abord le rôle de contrôle thermique en maintenant les équipements de télécommunications dans une plage de températures de 10°C à 50°C pendant toute la durée de vie du satellite, la température externe du satellite allant de -120°C à l'ombre de la Terre, et de $+150^{\circ}\text{C}$ lorsqu'il se trouve en plein soleil. Elle permet alors la protection de tous les équipements du satellite contre les dommages causés par l'environnement spatial.

Les panneaux solaires, assurent l'apport d'énergie nécessaire pour le fonctionnement du satellite. Ils sont constitués de cellules photovoltaïques qui transforment l'énergie des photons reçus du soleil en énergie électrique. Cette énergie peut être stockée dans des

batteries afin de répondre aux besoins lorsque le satellite n'est plus éclairé. Elle peut également être utilisée pour faire face à des phases de consommation importante.

Le satellite est aussi équipé de moyens de propulsions afin qu'instruments et antennes conservent une orientation bien précise dans l'espace. La performance de ce contrôle d'altitude dépend de l'utilisation du satellite. S'il est utilisé pour des observations scientifiques, il aura besoin d'un système de contrôle d'une plus grande précision que pour un satellite de télécommunication.

Les équipements de poursuite, de télémessure et de télécommande permettent de relayer les informations entre la Terre et le satellite.

1.3.1.2 Charge utile

La charge utile d'un satellite représente l'ensemble des équipements permettant au satellite de réaliser la fonction pour laquelle il a été fabriqué.

L'objectif de la charge utile d'un satellite de télécommunication est de relayer des signaux radioélectriques entre différents points de la surface terrestre ou entre satellites, en vue d'assurer une mission donnée (télévision, téléphonie, transmission de données...) pendant une durée de vie donnée. Elle représente 30 % de la masse totale du satellite.

Ces objectifs sont d'autant plus difficiles à atteindre puisque la charge utile est limitée par trois contraintes :

- La masse imposée par le lanceur et le véhicule.
- La puissance disponible pour le système d'alimentation de la charge utile.
- L'impossibilité d'intervenir à bord du satellite pour effectuer la maintenance des équipements et garantir sa durée de vie.

Une charge utile de satellite est principalement constituée d'antennes de réception et d'émission reliées entre elles par un répéteur.

- Le sous système antenne

L'antenne d'émission permet de faire en sorte que la puissance surfacique soit reçue au sol à l'intérieur d'une ou plusieurs zones géographiques aux contours répondant à des besoins bien précis. Aucune énergie ne doit être dispersée à l'extérieur des zones choisies, cette énergie étant soit inutilisée si elle arrive sur un océan ou dans le désert soit gênante pour d'autres systèmes de télécommunications.

L'antenne de réception quant à elle doit recevoir les signaux émis de la Terre et ne doit capter aucun signal parasite.

– Le sous système répéteur

Un module d'émission/réception d'un répéteur embarqué sur la charge utile d'un satellite est présenté figure 1.9.

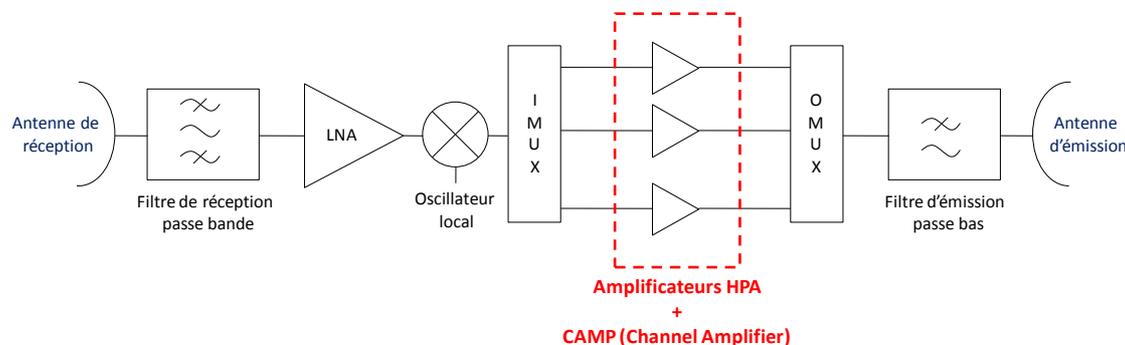


FIGURE 1.9 – Schéma simplifié d'une charge utile de télécommunications.

Cet exemple illustre l'importance du rôle de la fonction amplification dans la chaîne d'émission/réception d'un satellite. Ce système se compose principalement de deux antennes, des filtres de réception et d'émission, des multiplexeurs d'entrée (IMUX : Input Multiplexer) et de sortie (OMUX : Output Multiplexer), d'amplificateurs de puissance parallélisés HPA (High Power Amplifier), d'un amplificateur faible bruit LNA (Low Noise Amplifier).

Le répéteur assure généralement les fonctionnalités suivantes :

- Réception du signal incident large bande, d'où la présence d'un filtre large bande situé juste après l'antenne de réception. Ce filtre coupe le bruit qui est en dehors de la bande ainsi que le signal émis par l'antenne d'émission, ce qui évite la saturation du LNA. En fait, il sélectionne le signal à traiter.
- Translation de fréquence, afin que le futur signal transmis ne puisse pas brouiller le signal incident.
- Les multiplexeurs d'entrée (IMUX) et de sortie (OMUX) sont constitués d'un ensemble de filtres très sélectifs, à bande étroite (canaux d'une dizaine de MHz), dans laquelle l'ondulation est faible et le temps de propagation de groupe possède une caractéristique la plus plate possible.

L'IMUX permet de séparer la bande de réception en plusieurs canaux avant de l'amplifier ce qui permet de contrôler l'intermodulation. Cette amplification s'effectue grâce à un HPA qui fournit au signal une puissance élevée afin d'être reçu au sol dans de bonnes conditions.

L'OMUX, quant à lui, est situé après l'amplificateur de puissance, à l'extrémité des différents canaux afin d'éliminer les fréquences parasites créées par ce dernier. Il permet de combiner les canaux amplifiés.

- Le filtre passe-bas, situé juste avant l'antenne d'émission, a pour but d'éliminer les harmoniques et surtout d'atténuer les parasites dans la bande de réception afin d'éviter les interférences. Il doit supporter des fortes puissances.

Le niveau de puissance reçu à l'entrée du répéteur est de l'ordre de 100 pW à 1nW alors que le niveau de puissance émis en sortie est de l'ordre de 100 W par canal. Une amplification à l'intérieur du répéteur est donc considérable.

1.3.2 Les terminaux terrestres

1.3.2.1 Bandes de fréquences utilisées

[14], [18], [20]

Le choix des fréquences tient compte de la nature des applications, des besoins en largeur de bande, des conditions de propagation, des infrastructures existantes et des équipements nécessaires au sol. La bande de fréquence est imposée par une réglementation spécifique mise en place par l'UIT (Union Internationale des Télécommunications). Elle définit les bandes de fréquences qui doivent être utilisées pour les communications par satellites ainsi que la position orbitale en fonction du type de service proposé et doit être coordonnée entre les opérateurs afin d'éviter d'éventuelles interférences (table 1.1). Plus la fréquence est grande, par exemple pour la bande Ka, plus la largeur de la bande passante est importante. Contrairement à la bande L où la largeur de bande sera plus étroite et très disputée entre utilisateurs.

Bandes	Fréquences (GHz)		Applications
	Liaison descendante	Liaison montante	
L	autour de 1.55	autour de 1.65	Service Mobile par Satellite (SMS)
S	2.17-2.52	autour de 2 et 2.68	SMS : recherche et exploitation spatiale
C	3.4-4.2	5.7-7.1	Service Fixe par Satellite (SFS)
X	7.25-7.75	7.9-8.4	SFS : applications militaires et météorologique
Ku	10.7-12.75	12.75-14.8	SFS et Service de Radiodiffusion par Satellite (SRS)
Ka	17.3-21.2	27-31	SFS, SRS et services multimédia

TABLE 1.1 – Bandes de fréquences définies par l'UIT.

La liaison montante ou « uplink » désigne le trajet parcouru par le signal entre une station située sur Terre et un satellite. La liaison descendante ou « downlink » correspond à la liaison de communication dans le trajet inverse, c'est-à-dire du satellite vers la Terre. Les plages de fréquences des deux liaisons sont différentes afin d'éviter les interférences

entre ces deux signaux. Ceux captés par le satellite sont généralement réémis sur une fréquence plus basse car il est plus facile, à bord, d'émettre à une fréquence plus faible. Le changement de fréquence entre les antennes de réception et d'émission est assuré par le répéteur.

La table 1.2 montre le comparatif entre les bandes de fréquences utilisées pour la technique de communication VSAT [21].

Bandes	Bande passante	Avantages	Inconvénients
C	500 MHz	Peu affecté par la pluie Fiabilité	Interférences terrestre Encombrée
Ku	500 MHz	Disponible Petite antenne	Absorption par la pluie
Ka	2000 MHz	Large bande passante Petite antenne	Absorption par la pluie et coût des équipements

TABLE 1.2 – Bandes de fréquences utilisées pour la technique de communication VSAT.

Il existe également une répartition géographique en trois régions :

- La région **1** qui correspond à l'Europe, l'Afrique, le Moyen-Orient et la Russie.
- La région **2** correspondant à l'Asie et l'Océanie.
- La région **3** correspondant à l'Amérique.

La bande de fréquence la plus utilisée de nos jours reste la bande Ku, notamment pour la TV diffusion. Elle peut supporter la transmission de signaux venant de petites antennes contrairement à la bande C. N'étant pas encore totalement encombrée, elle est surtout utilisée pour les SFS et exclusivement pour les SRS. Son désavantage est qu'elle est très sensible aux pluies qui absorbent les signaux ce qui provoque une inutilisation de cette bande de fréquence dans les régions asiatiques du sud est. Par contre elle est peu sensible aux parasites urbains et est donc préconisée pour l'utilisation des systèmes VSAT.

La bande Ka est la moins saturée à ce jour. Elle permet l'utilisation d'antennes encore plus petites, les USAT (Ultra Small Aperture Terminal). Cette bande est surtout utilisée par les terminaux mobiles de type GSM. Le développement de la bande Ka est de plus en plus important notamment à cause de la demande croissante de l'élargissement en bande passante dans les applications spatiales et de la capacité limitée en fréquence de la bande Ku. Cependant, dans le domaine des applications VSAT, la bande de fréquence Ku reste privilégiée et notre étude s'appliquera à cette bande de fréquence.

1.3.2.2 Principe de la technologie VSAT

[22], [23], [24]

La croissance rapide des applications multimédias de masse implique de fournir des équipements à des coûts les plus faibles possibles. Les stations terrestres VSAT reçoivent et envoient des signaux aux satellites ou à d'autres stations terrestres par le biais de satellites en utilisant des antennes paraboliques de diamètres 0.6 à 3.5 m placées à l'extérieur et pointant vers le satellite.

Le premier système VSAT commercial a été réalisé en bande C, à 6 GHz, afin d'effectuer des communications dans les pays équatoriaux. La bande Ku a été utilisée en 1985 grâce à la mise en commun des recherches de Schlumberger Oilfield et de la société Hughes Aerospace afin de fournir un réseau de télécommunications portables.

L'appellation VSAT correspond à la fois au support, qui permet à travers une parabole de taille réduite de se connecter en direct à un satellite pour avoir une connexion permanente, et à la liaison elle-même. En général, ces stations sont utilisées en bande Ku ou en bande C. La bande C est principalement utilisée pour l'Asie, l'Afrique et l'Amérique latine, elle nécessite une antenne de diamètre important (2 à 3m) alors que la bande Ku est utilisée en Europe et en Amérique du Nord et nécessite un diamètre d'antenne réduit (autour de 0.9m). Il est nécessaire que les terminaux VSAT soient dans la zone de couverture du satellite pour pouvoir bénéficier de la connectivité.

Les plus grands types d'architectures de réseaux utilisés dans les opérations VSAT sont les suivants :

- L'architecture en étoiles (Figure 1.10).

Elle consiste en l'utilisation d'un site central (HUB) afin de transporter les données reçues et transmises de chaque terminal à travers un satellite. Le HUB est le point le plus important du réseau. Il est placé à un noeud d'un réseau en étoile qui concentre et distribue les communications de données. De part son importance, sa structure est conséquente et très coûteuse. Il possède une antenne de 5 à 7 mètres de diamètre et il gère tous les accès à la bande passante. Les stations VSAT permettent de connecter un ensemble de ressources au réseau. Dans la mesure où tout est géré par le HUB, les points distants ne prennent aucune décision sur le réseau ce qui a permis de réaliser des matériels relativement petits et surtout peu coûteux. Une station VSAT reste chère mais n'est pas un investissement important par rapport aux HUB et l'implantation d'un nouveau point dans ce système ne demande quasiment aucune modification du réseau existant. Ainsi une nouvelle station peut être implantée en quelques heures et ne nécessite pas de gros moyens. Si un dysfonctionnement apparaît dans le point central de ce dispositif cela entraînera une

perturbation du réseau entier et aucune donnée ne pourra être transmise, ce qui représente son principal défaut. Cette architecture est la plus utilisée pour les systèmes VSAT.

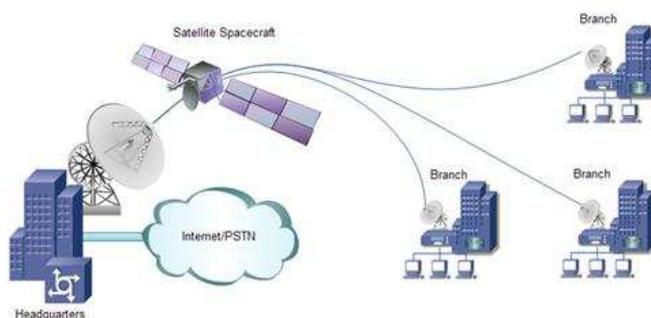


FIGURE 1.10 – Topologie en étoile.

– L'architecture maillée (figure 1.11).

Dans cette architecture, chaque terminal VSAT transfère des données à d'autres terminaux via un satellite ce qui minimise les besoins d'une station centrale. L'antenne utilisée sera de taille importante.

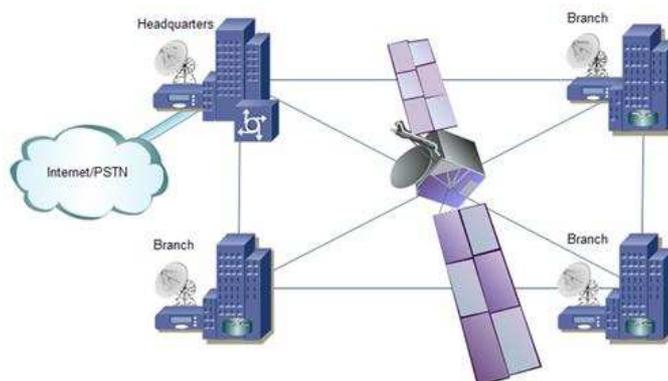


FIGURE 1.11 – Topologie maillée.

– L'architecture mixte

Cette dernière correspond à une combinaison entre les deux topologies présentées précédemment. Les réseaux VSAT sont connectés en une topologie multi-étoiles, avec chaque étoile connectée à une topologie maillée. Ce qui diminue le coût du réseau et allège la quantité de données qui doivent être relayées par le site central de liaison montante d'une étoile ou d'un réseau multi-étoiles.

Au départ la technique de communication VSAT était prévue pour mettre en place des réseaux de données. Mais depuis son apparition, des améliorations ont été apportées au système et les constructeurs ont réussi à augmenter considérablement le nombre

d'applications possible. Il n'est plus seulement un réseau de données mais il peut également être un réseau téléphonique ou un réseau de diffusion vidéo ou de voix par exemple. Ces différentes applications peuvent fonctionner en même temps ce qui accroît encore la modularité du système.

Un des nombreux avantages du système VSAT est de pouvoir connecter jusqu'à 10000 points du réseau simultanément. Il permet aux grands groupes de mettre en place un intranet global totalement privé sur plusieurs continents sans avoir à traiter avec les opérateurs de chacun des pays dans lequel le groupe est implanté. L'évolutivité est aussi un des gros avantages de ce système. En effet, connecter un nouveau point, ne demande pas de gros moyens techniques et financiers. Ce système permet également d'installer une station sur une unité mobile. Une fois que le modem VSAT est configuré, il faut juste pointer l'antenne dans la bonne direction. Comme cela a déjà été expliqué, l'architecture la plus utilisée pour les systèmes VSAT est l'architecture en étoile. Le HUB étant le point central de tout le réseau, il en assure la gestion complète. Ceci permet donc de gérer et superviser l'ensemble du réseau d'un seul et même point. Dans la mesure où toutes les connexions sont du même type, on se retrouve avec un réseau homogène. Le fait d'utiliser un satellite géostationnaire permet d'avoir une large couverture (en moyenne presque un hémisphère). Ceci rend possible la création d'un réseau intranet global à une échelle intercontinentale très rapidement.

Le principal inconvénient du VSAT est son prix. En effet, le HUB impose un investissement de base important. Cette barrière financière limite l'accès à la technologie. La couverture d'un satellite géostationnaire à quelques exceptions près est fixe. Ceci veut dire que si une zone où un point non couvert par ce satellite doit être connecté prochainement, elle ne le sera jamais avec ce satellite.

Comme le montre la figure 1.12, le terminal VSAT est constitué de deux modules, un module externe (en anglais outdoor unit, ODU) et un module interne (en anglais indoor unit, IDU).

– L'unité externe (ODU)

L'unité externe est réalisée par une antenne parabolique et des équipements électroniques radiofréquences. La taille de l'antenne est de l'ordre de 0.6 à 3m de diamètre, elle varie en fonction du débit et de la bande de fréquence utilisée. Cette antenne parabolique transmet ou reçoit la puissance fournie par le satellite.

Le transmetteur radiofréquence inclut un amplificateur faible bruit conçu pour minimiser le bruit ajouté au signal par le 1er étage du convertisseur de fréquence. Il est très important car la performance de cet étage détermine les performances en bruit

du convertisseur total. La température de bruit est le paramètre utilisé pour décrire les performances du LNA.

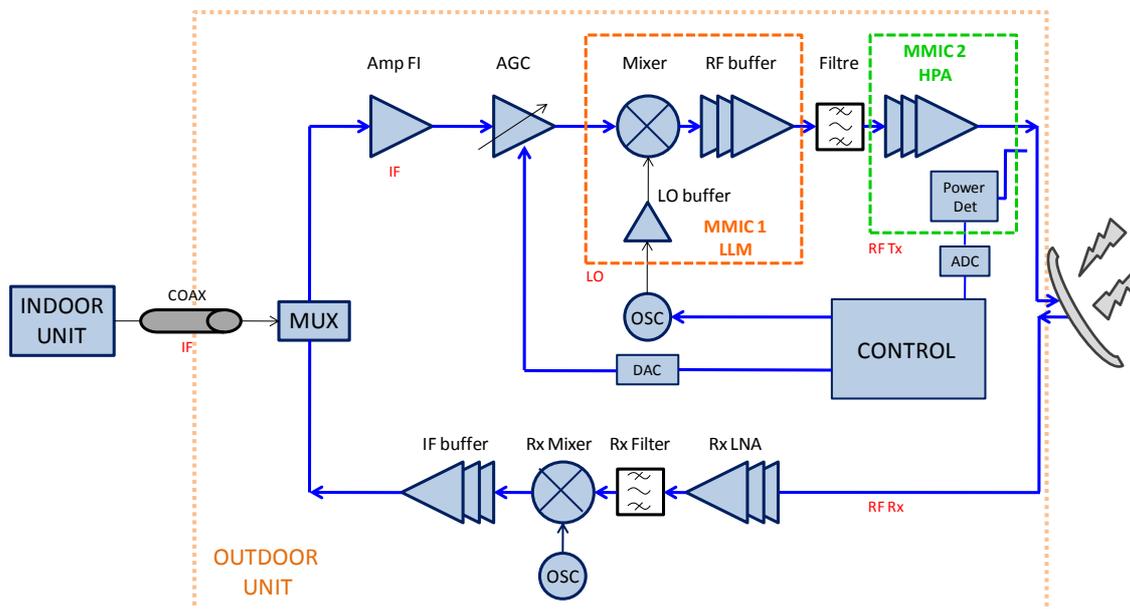


FIGURE 1.12 – Schéma d'un terminal VSAT.

Il inclut également un convertisseur basses fréquences, des convertisseurs hautes fréquences et des amplificateurs de puissance. Comme nous l'avons vu précédemment, un système VSAT est coûteux. Le module externe constituant la partie la plus chère du VSAT, il est alors essentiel d'intégrer plusieurs fonctions afin de réduire au maximum les coûts de fabrication. C'est pourquoi deux dispositifs de ce système vont être réalisés de manière complètement intégrés à partir de la technologie MMIC.

Tout d'abord le système multifonctions faible niveau (LLM, en anglais Low Level Multifunctions), qui consiste à convertir un signal en bande L ou S, vers les bandes Ku ou Ka en assurant à la fois un fort gain et un niveau de puissance suffisant. Le deuxième élément qui va être réalisé en technologie MMIC est le HPA pour l'étage de sortie. Il occupe une place importante au sein de ce système puisqu'il permet d'amplifier le signal reçu afin de le transmettre, via une antenne, au satellite. Sans cette amplification de puissance, le signal ne pourrait pas être transmis. Il doit fournir une puissance de sortie de 2W avec un gain linéaire de 24 dB pour la bande Ku ou Ka selon l'application visée. Le fait d'avoir un gain important évite l'utilisation de « driver » ce qui permet de réduire les coûts. Le rôle important qu'occupe l'amplificateur de puissance au sein de ce système de télécommunications, entraîne un grand nombre de recherche afin d'augmenter, notamment, sa compacité et par conséquent diminuer son coût de fabrication [25], [26]. C'est ce qui fera l'objet des deux chapitres suivants de ce manuscrit.

- Le module interne (IDU)

L'unité interne, quant à elle, est reliée à l'ODU par un simple câble coaxial à faibles pertes (60m). Il réalise l'interface avec l'équipement de l'utilisateur final en transformant le signal reçu afin qu'il soit exploitable par un ordinateur.

1.4 Amplificateur de puissance bande Ku

1.4.1 Etat de l'art des amplificateurs MMIC bande Ku

Nous avons vu dans le paragraphe précédent l'importance qu'occupe l'amplification de puissance au sein de l'unité ODU de la technologie VSAT. Les coûts de ce dispositif étant élevés, il est nécessaire d'intégrer le plus possible de composants et en particulier l'amplificateur de puissance utilisé dans cette unité, afin de réduire son prix. C'est ce dispositif réalisé en technologie MMIC pour la bande Ku qui fera l'étude de cette thèse. Le but affiché consiste à augmenter la compacité du circuit afin de réduire au maximum les coûts de l'unité ODU. Une présentation des principaux résultats d'amplificateurs MMIC bande Ku les plus compacts est rassemblée dans la table 1.3. Ils sont comparés au dernier amplificateur 2W dénommé STARK réalisé par la fonderie UMS dans cette bande de fréquence.

Affiliation des auteurs	Technologie	Topologie	Poutsat (dBm)	Gain linéaire (dB)	PAE (%)	Bande de fréquence (GHz)	Vd (V)	Dimensions (mm ²)	Densité de puissance (mW/mm ²)	DPN (mW/mm ²)	Date et Ref
Triquint	0.25μm pHEMT GaAs	3 étages	34 (maxi)	26	29	12.5-17	7.5	(2.02x1.38)mm 2.79	716	5.679	2009 [27]
Triquint	0.25μm pHEMT GaAs	3 étages	39	22	22	13.5-15.5	9	(2.87x3.91)mm 11.21	709	2.151	2004 [28]
Mimix broadband	0.15μm pHEMT GaAs	2 étages	29	20	-	13.75-14.5	5	(1.4x1.1)mm 1.54	515	0.547	2006 [29]
UMS (Stark)	0.25μm pHEMT GaAs	3 étages	34	29	25	12.5-15.5	8	(3.28x1.87)mm 6.13	409	2.538	2009 [30]
University of Taiwan	pHEMT GaAs	2 étages	38.1	10.5	24.6	13.6-14.2	8	(3.64x2.35)mm 8.554	760	0.344	2007 [31]
Fraunhofer IAF	0.25μm dual gate HEMT GaN	1 étage	34 (maxi)	10 (maxi)	-	14-18	30	(2.75x2.25)mm 6.19	403	-	2011 [32]
Research Institute Korea	0.25μm BiCMOS SiGe	2 étages	24.45	15	29.1	14	V _C =4	(0.6x0.64)mm 0.38	726	-	2010 [33]

TABLE 1.3 – Etat de l’art des amplificateurs MMIC bande Ku.

Les performances qui nous intéressent le plus dans cet état de l'art sont le gain et la puissance de sortie mais également la bande de fréquence ainsi que la compacité des dispositifs. C'est pourquoi une densité de puissance normalisée (DPN), dont la formule est décrite équation 1.1, a été calculée. Elle permet de prendre en compte tous les critères définis précédemment, et ainsi de réaliser une meilleure comparaison.

$$DPN = Gain(dB).BP_{rel}.DP \quad (1.1)$$

Avec $BP_{rel} = \frac{\Delta F}{F_C}$ la bande passante relative, F_C étant la fréquence centrale de la bande et DP la densité de puissance surfacique en $mW.mm^{-2}$.

A l'heure actuelle, l'amplificateur MMIC bande Ku possédant une densité de puissance surfacique la plus élevée avec 6.5W de puissance de sortie est réalisé par l'université de Taïwan [31]. Cependant, la largeur de la bande de fréquence est faible (600 MHz) et le gain linéaire n'est que de 10.5dB, ce qui implique une valeur de densité de puissance relative assez faible comparée aux autres circuits.

Le dispositif qui présente les meilleures performances est l'amplificateur commercialisé par Triquint [27] puisqu'il possède à la fois un gain élevé (26dB), une densité de puissance surfacique importante ($716 mW/mm^2$) et la bande de fréquence la plus large (12.5-17 GHz).

Nous pouvons observer que la quasi totalité des amplificateurs de puissances présentés dans cet état de l'art sont réalisés sur substrat GaAs [27], [28], [29], [30].

Un amplificateur MMIC sur substrat GaN dans la bande Ku a été réalisé par l'institut Fraunhofer [32]. Sa densité de puissance surfacique est de $403mW/mm^2$, elle est plus élevée que celle présentée par l'amplificateur conçu par UMS. Son principal inconvénient est de présenter un gain linéaire faible (10dB maximum sur toute la bande de fréquence). De plus, la PAE n'étant pas précisée nous pouvons supposer, vu son faible gain, qu'elle doit être peu élevée.

L'amplificateur SiGe réalisé par l'institut de recherche de Corée [33] présente une très bonne densité de puissance surfacique ($726mW/mm^2$), meilleure que les dispositifs réalisés par Triquint. Mais la puissance délivrée en sortie du circuit reste très faible, 0.28W, ceci est caractéristique de la technologie SiGe utilisée pour des bandes de fréquences telles que la bande Ku. Les résultats ne sont donnés qu'à 14 GHz.

Le dernier amplificateur réalisé par UMS [30] pour des applications VSAT possède un gain linéaire élevé de 27 dB, et une PAE de 22% dans la bande de fréquence de 13.75-14.5 GHz. Contrairement aux autres amplificateurs dont les caractéristiques sont détaillées

dans l'état de l'art, il possède une densité de puissance surfacique faible de $326mW/mm^2$. L'un des principaux but de cette thèse va consister à augmenter cette densité de puissance surfacique, afin de pouvoir concurrencer les amplificateurs de puissance présentés dans l'état de l'art, tout en gardant le fort niveau de gain nécessaire pour l'intégration de ce dispositif dans l'unité externe du VSAT sans avoir à ajouter de « driver », ce qui augmenterait les coûts de fabrication.

1.4.2 Cahier des charges

Nous avons présenté, en amont, les principales performances électriques à respecter lors de la conception d'un amplificateur de puissance destiné à un système VSAT bande Ku. Plus précisément nous avons observé que le gain linéaire doit être de 24 dB pour éviter l'utilisation d'un driver, et que la puissance de sortie nécessaire doit être de 2W. D'autres spécifications, qui n'ont pas été abordées jusqu'à présent, sont également à respecter (table 1.4), comme la linéarité de l'amplificateur qui devra être vérifiée, ou encore les variations du gain et de la puissance de sortie en fonction de la fréquence et de la température, ceci pour une fréquence allant de 13.75 à 14.5 GHz.

	<i>Minimum</i>	<i>Typique</i>	<i>Maximum</i>
Bande de fréquence (GHz)	13.75		14.5
Gain linéaire (dB)		24	
Puissance de sortie (dBm) @ Pin=+10dBm		33.5	
Point d'interception d'ordre 3 (IP3, dBm)		40	
Figure de bruit (dB)		5	
Variation Gain linéaire en fonction de la T° (dB)		±2	
Variation Gain linéaire en fonction de Freq (dB)		±0.5	
Variation Pout en fonction de Freq (dB)		±0.5	
Variation Pout en fonction de la T° (dB)		±1	
S11 (dB)		-15	
S22 (dB)		-10	
Stabilité		Inconditionnellement stable	
Tension de drain (V)		8	
Tension de grille (V)		-0.5	
Courant de drain (A)		1	
Courant de grille (mA)			15
PAE (%) @ Pin=10dBm		25	

TABLE 1.4 – Cahier des charges fournis par UMS.

1.4.3 Choix de la technologie

Afin d'être le moins coûteux possible, les systèmes VSAT doivent disposer de dispositifs, et plus particulièrement d'amplificateurs de puissance, les plus compacts possibles. Or, lors de l'étude de l'état de l'art, nous avons pu observer que le HPA STARK conçu par UMS possède une densité de puissance surfacique inférieure à celle qui peut être réalisé aujourd'hui. C'est pourquoi il est impératif d'augmenter sa densité de puissance surfacique et donc de diminuer sa surface tout en respectant le cahier des charges imposé par la technique de communication VSAT. Le fait d'augmenter la compacité de l'amplificateur implique la création de cellules de puissances innovantes, véritable défi et piste pour l'avenir. C'est ce qui fera le sujet du chapitre suivant.

La première étape de ce travail est de choisir la technologie adéquate, qui permet à la fois de respecter les performances exigées dans le cahier des charges et qui permet de diminuer la surface du circuit.

Dans le domaine des applications électroniques, le Silicium reste incontestablement le plus utilisé. Mais la montée en puissance et en fréquence a permis le développement de composants de puissances pHEMT (Pseudomorphic High Electron Mobility Transistor) ou HBT (Heterojunction Bipolar Transistor) GaAs ainsi que plus récemment HEMT (High Electron Mobility Transistor) GaN. Ce dernier a propulsé la technologie à des records de puissance jusque là jamais atteints.

Néanmoins, le GaAs reste la technologie la plus appropriée pour concevoir l'amplificateur bande Ku aujourd'hui. C'est une technologie mature, qui présente peu d'évolution récente et qui reste la plus utilisée dans le domaine des applications spatiales. De plus la conception de nouvelles cellules de puissances peut entraîner de nombreux problèmes tels que des effets de distribution, des couplages électromagnétiques ou thermiques ou encore des oscillations. C'est pourquoi l'utilisation de la filière GaAs nous permettra de nous affranchir des problèmes de pièges ou autres que pourraient ajouter l'utilisation d'autres matériaux comme le GaN. Dans un premier temps, ce substrat sera utilisé et si les nouvelles cellules de puissance s'avèrent performantes elles pourront très bien être adaptées à une filière plus innovante telle que le GaN afin d'en améliorer encore les performances.

L'utilisation du GaAs comme matériau semi-conducteur implique que l'on peut réaliser deux types de transistors. Le transistor bipolaire à hétérojonction et le transistor à effet de champ (FET). Le premier à l'avantage d'être un transistor rapide, qui possède une bonne linéarité et un fort rendement [34], de plus, grâce à sa topologie verticale il est très compact [35]. Il atteint des densités de puissance importantes, de l'ordre de 5 W/mm de développement de grille. La fréquence de fonctionnement et la tension de claquage

sont liées à l'épaisseur des couches. Des tensions de claquage de l'ordre de 100V pour une fréquence de transition F_T de 1.16 GHz et pour une fréquence d'oscillation maximale F_{max} de 3GHz sont obtenues [36]. Dès que l'on monte en fréquence les tensions de claquage diminuent tout comme la puissance délivrée en sortie. Il possède l'avantage d'avoir un bruit basse fréquence très faible. Les HBTs sont donc des transistors idéaux pour réaliser des oscillateurs faible bruit. Dans le domaine de la puissance ils ont montré leur intérêt pour des bandes basses (L,S,C et même X) mais pas en ce qui concerne la bande Ku et les applications VSAT [37], [38], [39], [40], [41].

Le principe du FET est apparu très tôt, en 1925, puisqu'un brevet a été déposé par J.E Lilenfield [42], mais aucune exploitation industrielle n'a été effectuée. Ce n'est qu'après la seconde guerre mondiale, en 1952, que le transistor à effet de champ fût « redécouvert » grâce à W.Schokley [43]. Contrairement au transistor bipolaire, où les deux types de porteurs interviennent dans le fonctionnement (électrons et trous), le FET est un composant semi-conducteur unipolaire. Les meilleurs porteurs permettant le fonctionnement des transistors sont les électrons qui sont plus mobiles que les trous. Le principe du FET consiste à contrôler le courant dans un barreau semi-conducteur à l'aide de deux tensions. C'est à dire moduler la conductivité de la zone drain-source à l'aide de champ électrique. Afin d'améliorer les performances de ces transistors, des progrès ont été réalisés dans l'élaboration de ces matériaux, notamment en créant une nouvelle génération de transistor dit à hétérojonction. En effet, les laboratoires Thomson-CSF et Fujitsu présentent un FET basé sur une hétérostructure AlGaAs/GaAs [44] [45]. Ce nouveau transistor est appelé HEMT. Cette filière est adaptée en maille. Elle représente le cas le plus favorable puisque tous les matériaux épitaxiés sont en accord de maille sur le substrat. Le paramètre cristallin est alors identique pour tous les matériaux. La structure du HEMT est constituée d'une couche mince de AlGaAs dopée N, qui est un matériau avec un gap électronique plus large, entre l'électrode métallique et la couche active GaAs non dopée qui constitue le canal et qui est un matériau à plus faible gap (Figure 1.13 a). La couche AlGaAs comprend une région dopée qui fournit les électrons au canal et une région non dopée appelée espaceur ou « spacer » qui sert à isoler les électrons du canal, des charges ionisées. La différence d'affinité entre les matériaux AlGaAs et GaAs implique que les électrons libérés par les donneurs situés dans le AlGaAs se fixent dans la bande de conduction de GaAs au niveau de l'hétérojonction GaAs/AlGaAs. Dans le GaAs non dopé les électrons ont une forte mobilité, et ceux présents à l'interface GaAs-AlGaAs constituent un gaz d'électrons à deux dimensions [46]. Ce gaz d'électrons est plus ou moins large suivant la tension appliquée sur la grille. La conductance du canal est alors commandée par la grille.

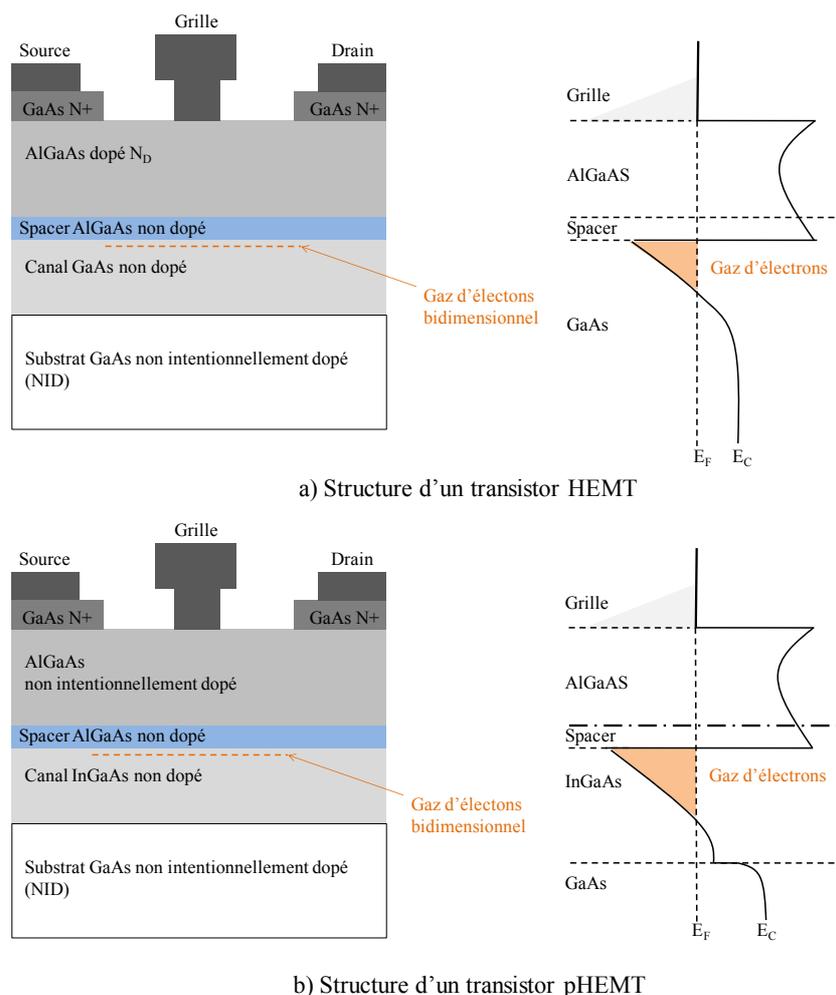


FIGURE 1.13 – Structure d'un transistor HEMT comparé à la structure d'un transistor pHEMT.

L'incorporation de l'Indium au sein du matériau GaAs (InGaAs) permet d'obtenir un plus faible gap afin de satisfaire les besoins de montée en fréquences. L'InGaAs est intégré entre les couche AlGaAs et GaAs de la structure du HEMT. La différence de gap entre l'AlGaAs et l'InGaAs étant plus importante que celle entre le AlGaAs et le GaAs, le puit de potentiel créé entre ces deux matériaux se trouve augmenté. Ce qui permet une plus grande mobilité des électrons sous l'action d'un fort champ électrique. Un courant plus élevé sera alors disponible. Ce type de transistor est appelé pHEMT (Figure 1.13 b). Il correspond à la filière pseudomorphique dont, contrairement à la filière adaptée, les matériaux épitaxiés ont des paramètres cristallins différents mais pas trop éloignés. Lors de la croissance d'une couche de matériau désadapté en maille sur un matériau plus épais, le matériau épitaxié tend à prendre le paramètre de maille du matériau le plus épais dans le plan de la croissance, entraînant ainsi une déformation tétragonale de sa maille. Le matériau étant contraint, ce désaccord de maille ne peut être supporté que pour une

couche épitaxiée relativement mince (plusieurs dizaine de nanomètres pour la plupart des matériaux). Au delà de cette épaisseur critique la contrainte se relaxe en formant des dislocations rendant le matériau inutilisable pour le transport électronique.

Des modifications permettant de limiter les phénomènes parasites ont été apportées au transistor pHEMT GaAs (Figure 1.14). Elles sont connues et communes pour tous ces types de transistors [47].

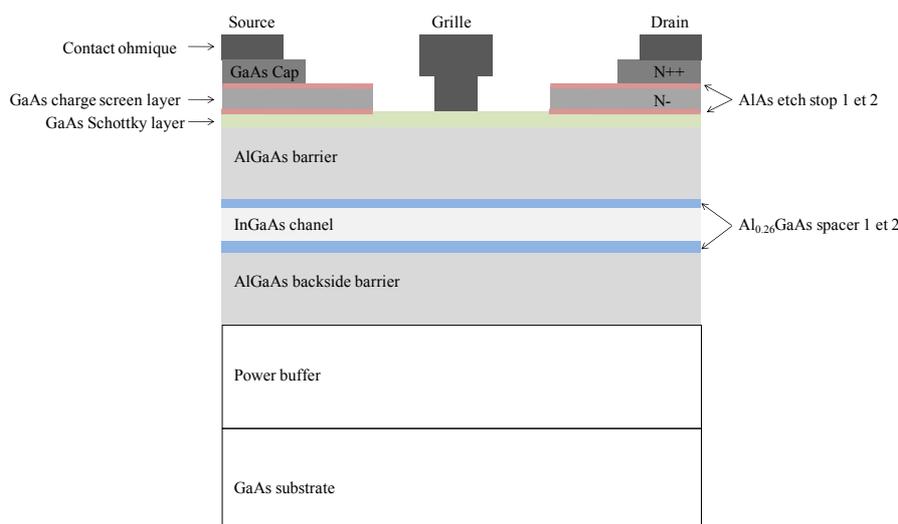


FIGURE 1.14 – Structure géométrique d'un transistor de puissance pHEMT.

La couche fortement dopée N++ située sous les contacts ohmiques permet d'éviter l'apparition d'une diode Schottky parasite et ainsi diminuer les résistances séries parasites, responsables de la chute du gain.

La grille est en forme de champignon ou en « T ». Afin d'avoir une fréquence de coupure élevée il est nécessaire d'avoir simultanément une résistance d'accès la plus faible possible, ceci est réalisable grâce à une longueur de grille élevée, et un temps de transit des électrons vers la grille le plus court possible. Or pour diminuer le temps de transit il faut au contraire des longueurs de grille faible. C'est pourquoi la forme en champignon de cette grille est un bon compromis puisqu'elle permet de réaliser en même temps ces deux conditions.

Le double plan de dopage est obtenu grâce à la double hétérojonction (Figure 1.15). Cela conduit à deux puits de potentiels, ou un puit de potentiel plus large, qui permet d'augmenter la densité de courant pour une même tension de claquage. On observe alors une puissance plus importante en sortie.

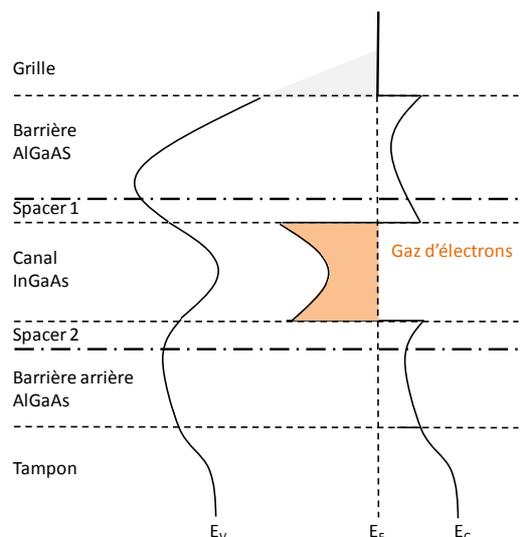


FIGURE 1.15 – Diagramme d'énergie de la double hétérojonction d'un pHEMT de puissance.

1.4.4 Différentes solutions étudiées pour augmenter la densité de puissance

Actuellement, l'architecture classique de cellule de puissance utilisée dans les amplificateurs est un transistor comportant plusieurs doigts de grille en parallèle (topologie parallèle, TP) dont un exemple est présenté figure 1.16. Il a pour avantage d'être connu au sein de la fonderie UMS. Le nombre de doigts de grille en parallèle s'ajuste selon le gain et la puissance de sortie voulue. Cependant, pour des nombres de doigts élevés et des largeurs de grille courtes son facteur de forme, défini par le rapport de la dimension verticale sur la dimension horizontale, est dégradé. Prenons l'exemple d'un transistor à 12 doigts de grille de largeur $125 \mu\text{m}$ dont la dimension verticale est égale à $441.5 \mu\text{m}$ et dont la dimension horizontale vaut $211 \mu\text{m}$. Son facteur de forme est alors équivalent à $441.5/211 = 1.95$. L'utilisation d'un transistor avec un nombre de doigts important aura alors une dimension « y » élevée qui aura un fort impact sur celle de l'amplificateur réalisé avec ce type de technologie. Il est alors plus difficile d'obtenir un amplificateur compact.

Pour remédier à cela, des cellules de puissance basées sur la topologie distribuée ont été développées et utilisées lors de la conception d'un amplificateur de puissance bande Ku destiné aux systèmes VSAT.

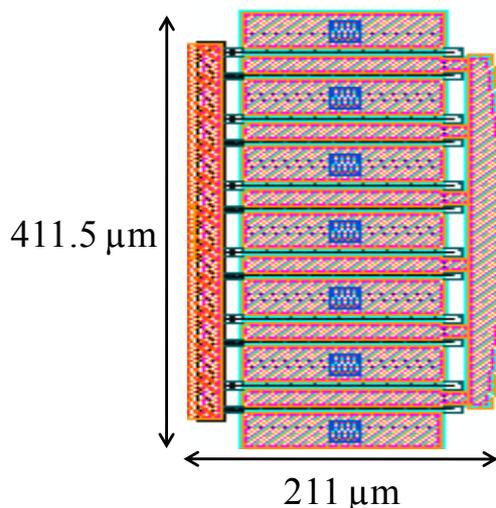


FIGURE 1.16 – Dessin d'un transistor $12 \times 125 \mu\text{m}$ à topologie parallèle.

1.4.4.1 Amplificateur de puissance bande Ku réalisé avec des transistors distribués

La conception d'un amplificateur de puissance bande Ku réalisé avec des transistors distribués date de 2007 [48], elle a été réalisée par la fonderie UMS en collaboration avec l'ESA. Le but de ce projet, était de créer un amplificateur de puissance MMIC PHEMT bande Ku plus compact afin de concurrencer les amplificateurs de puissance présentés dans l'état de l'art. Afin de réaliser cette contrainte, une cellule de puissance basée sur le principe du transistor distribué a été conçue.

L'idée de départ de cette conception était de s'inspirer de la topologie « fishbone » [49] montrée figure 1.17.

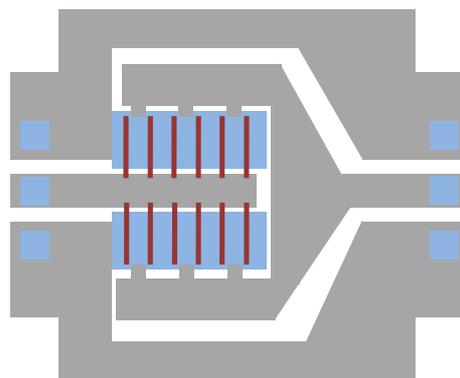


FIGURE 1.17 – Dessin d'un transistor « fishbone ».

Cette architecture consiste à distribuer les doigts de base (ou de grille) de part et d'autre d'un ruban principal. La mise en évidence des phénomènes distribués dans ces transistors dit « fishbone » a été réalisé pour des transistors HBT GaAs, cette structure

a été développée dans [50]. Il a été montré que plus le nombre de doigts combinés est important, plus le gain en puissance diminue. Ceci est dû au problème de propagation et de combinaison en phase des signaux provenant de chaque doigt. Un modèle très précis de ce type de topologie doit être réalisé afin de prendre en compte tous les phénomènes électromagnétique, thermique et électrique.

L'amplificateur conçu par UMS a été réalisé afin de respecter le cahier des charges présenté précédemment. C'est un amplificateur trois étages dont l'étage intermédiaire et l'étage de sortie possèdent des cellules de puissance distribuées non plus basées sur une distribution des grilles de part et d'autre d'un même ruban mais basée sur une distribution de drain (Figure 1.18). Ces cellules que l'on appellera « tête-bêche » sont inspirées du transistor « fishbone » puisque les doigts de grille sont distribués horizontalement au lieu d'être distribués verticalement par rapport à l'axe de propagation entrée/sortie. La principale différence observée est que ces doigts ne proviennent pas du même bus de grille. En fait cette structure équivaut à deux transistors que l'on aurait mis en parallèle et auxquels nous aurions fait subir une rotation de 90° . Les deux transistors utilisés dans cette cellule de puissance sont des pHEMTs GaAs de développement de grille 1.2 mm, c'est à dire qu'ils possèdent chacun 12 doigts de grille de $100 \mu\text{m}$ de largeur. Les courants de drain de chaque transistor vont alors s'additionner ce qui va entraîner une puissance de sortie deux fois plus grande que celle d'un des deux transistors, ou encore une puissance de sortie équivalente à un transistor à topologie parallèle de même développement de grille. C'est à dire un transistor de 24 doigts de largeur de grille $100 \mu\text{m}$.

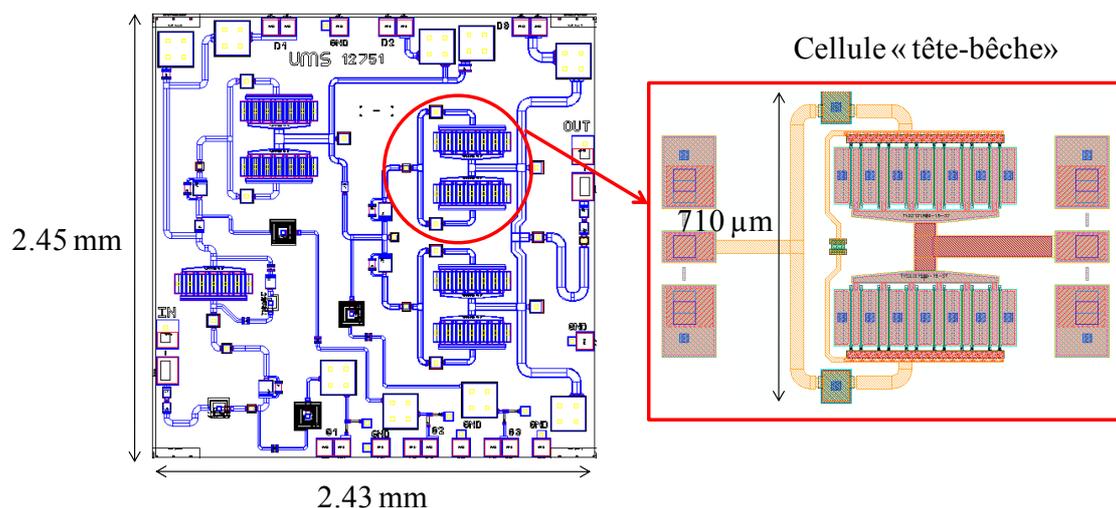


FIGURE 1.18 – Dessin de l'amplificateur de puissance « tête-bêche » et dessin de la cellule de puissance utilisée.

Avec ce nouvel amplificateur nous pouvons observer une légère diminution de la surface de la puce (3%) par rapport à l'amplificateur précédent STARK. L'avantage le plus

important que l'on peut tirer de cette conception est la valeur du facteur de forme de l'amplificateur obtenue qui est égale à 1. Si nous calculons celui de l'amplificateur STARK, présenté dans l'état de l'art, nous trouvons un facteur de forme égale à 1.75 (table 1.5).

	Ampli (STARK)	Ampli (« tête-bêche »)
Surface (mm^2)	6.1336	5.9535
Dimensions (mm)	(3.28x1.87)	(2.45x2.43)
Densité de puissance (mW/mm^2)	326	346
Facteur de forme	1.75	1

TABLE 1.5 – Comparaison des dimensions des deux amplificateurs STARK et « tête-bêche ».

Cette diminution du facteur de forme de l'amplificateur est due au fait que la cellule de puissance utilisée possède également un facteur de forme proche de 1. En effet, les cellules « tête-bêche » utilisées lors de cette conception possèdent un développement de grille total de 2.4 mm. Si nous comparons le facteur de forme de cette cellule à celui d'un transistor à topologie parallèle de même développement de grille, nous obtenons les résultats suivants :

	Topologie parallèle	Cellule (« tête-bêche »)
Facteur de forme	4.36	1.39

TABLE 1.6 – Comparaison des facteurs de forme des deux cellules de puissance utilisées dans l'amplificateur STARK et « tête-bêche ».

D'un point de vue électrique nous observons une légère augmentation de la densité de puissance (6%).

La conception de l'amplificateur a été réalisée de manière à respecter les performances exigées dans le cahier des charges.

Des mesures de paramètres [S] et des mesures en puissance directement sur plaque ont été effectuées. Les impédances d'entrée et de sortie sont fixées à 50Ω et la polarisation de grille ($V_g = -0.4V$) est une impulsion de $25 \mu s$ avec un rapport cyclique de 10 %. La polarisation de drain est $V_d = 8V$ et $I_d = 1.1A$. La figure 1.19 présente une comparaison entre les mesures et les simulations du gain bas niveau et de la puissance de sortie. Nous observons que le gain linéaire est sous estimé lors des simulations, en effet, la différence entre le gain mesuré et simulé est de 8 dB dans le pire cas à 12 GHz et de 6 dB dans la bande de fréquence 13.75-14.5 GHz. De plus, la variation du gain dans la bande de fréquence 12-16 GHz est importante puisqu'il passe de 34 dB à 12 GHz pour atteindre 26 dB à 16 GHz.

En ce qui concerne la puissance de sortie c'est le contraire, elle a été surestimée lors des simulations. En effet, lors des mesures, les spécifications exigées ne sont obtenues que

pour la bande de fréquence 12-13.5 GHz, puis la Pout diminue pour atteindre, dans le pire des cas 27 dBm à 16 GHz.

Les simulations linéaires et non linéaires ne sont donc pas en accord avec les mesures réalisées.

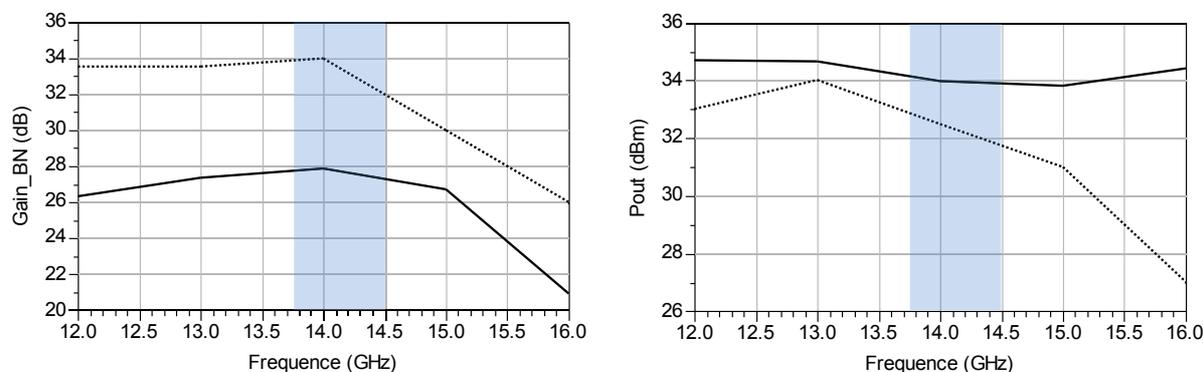


FIGURE 1.19 – Comparaison des mesures en puissance (gain et puissance de sortie) sur plaque et des simulations de 12 à 16 GHz de l’amplificateur @ $I_d=1.1A$ et $V_d=8V$ (pointillés : mesures et traits continus : simulations).

Afin de comprendre ces résultats une étude approfondie de la cellule de puissance a été réalisée par UMS.

Dans un premier temps des mesures de paramètres [S] ont été effectuées sur ces transistors distribués. Des différences notables entre le modèle des cellules de puissance utilisé lors des simulations et les mesures ont été observées, en particulier sur les coefficients de réflexion d’entrée et de sortie (Figure 1.20). Ceci implique que le modèle utilisé lors de la conception de l’amplificateur, qui ne prend pas en compte tous les effets du transistor distribué ainsi que tous les couplages électromagnétiques, est insuffisant.

Des modifications sur la modélisation de cette cellule de puissance ont été apportées par UMS. Tout d’abord, le modèle du transistor utilisé a été mis à jour. Ensuite, toutes les parties passives, comprenant les bus de grille et de drain de chacun des transistors, ont été simulées avec ADS-Momentum afin de prendre en compte tous les couplages électromagnétiques entre ces lignes. Les éléments localisés passifs tels que les résistances ou les capacités ont été remplacés par leur modèle distribué et ont également été simulés avec ADS-Momentum afin d’obtenir un modèle de la cellule « tête-bêche » le plus fidèle de la réalité possible. De plus, une distribution de cette structure, détaillée dans le paragraphe suivant a été réalisée.

Cette technique permet d’avoir des simulations se rapprochant des mesures effectuées sur la cellule « tête-bêche » mais elle n’explique pas les grandes différences observées entre les mesures et les simulations sur l’amplificateur.

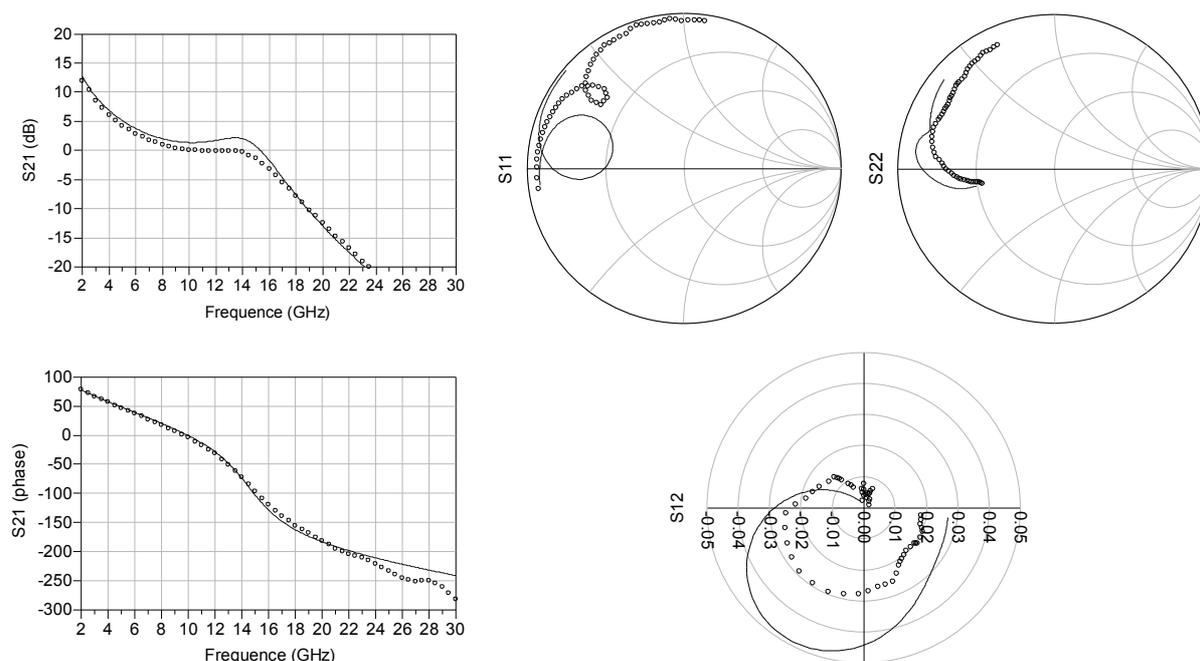


FIGURE 1.20 – Comparaison des mesures et des simulations de paramètres $[S]$ de 2 à 30 GHz de la cellule « tête-bêche » @ $I_D=320\text{mA}$ et $V_D=8\text{V}$ (cercles : mesures et traits continus : simulations).

Le problème posé dans la réalisation de cet amplificateur provient de l'utilisation d'une cellule élémentaire où les transistors sont face à face. Nous avons observé que les résultats de simulations ne sont pas cohérents avec les résultats de mesure. Afin d'obtenir une meilleure concordance avec les mesures nous avons réalisé des simulations électromagnétiques des structures passives et utilisé un modèle distribué. Les résultats, restent cependant encore différents des mesures.

Par conséquent, il apparait que des effets ne sont pas encore complètement maîtrisés lors de la modélisation de la cellule, comme notamment le problème de recombinaison des signaux. La priorité de nos travaux étant au final la réalisation d'un amplificateur fonctionnel, nous n'avons pas poursuivi dans la modélisation de ce transistor.

1.4.4.2 Nouvelles topologies de transistor « tête-bêche »

De nouvelles versions de transistors « tête-bêche » ont été réalisées au cours de cette thèse (Figure 1.21). Elles sont beaucoup plus compactes que la première version réalisée en 2007 qui nous servira de référence dans la suite de cette partie. L'alimentation du transistor ne se fait plus au centre du bus mais à son extrémité ce qui devrait augmenter le déphasage entre les signaux à l'entrée du dispositif. Nous observons le même problème en sortie, les deux bus de drain ne font plus qu'un et la sortie du bus se situe à une de ses extrémités. Les signaux récupérés à la sortie de ces transistors ont de fortes chances

d'être déphasés et de ne pas se combiner en phase. En effet, la nature distribuée ne permet pas l'adaptation simultanée en puissance de chaque doigt de grille. Si nous considérons qu'un doigt de grille représente un transistor, alors plusieurs transistors en parallèles sont nécessaires pour représenter la structure totale du fishbone. Ainsi ces transistors sont plus ou moins adaptés et incapables de fournir une puissance maximale correspondant à leur point de polarisation.

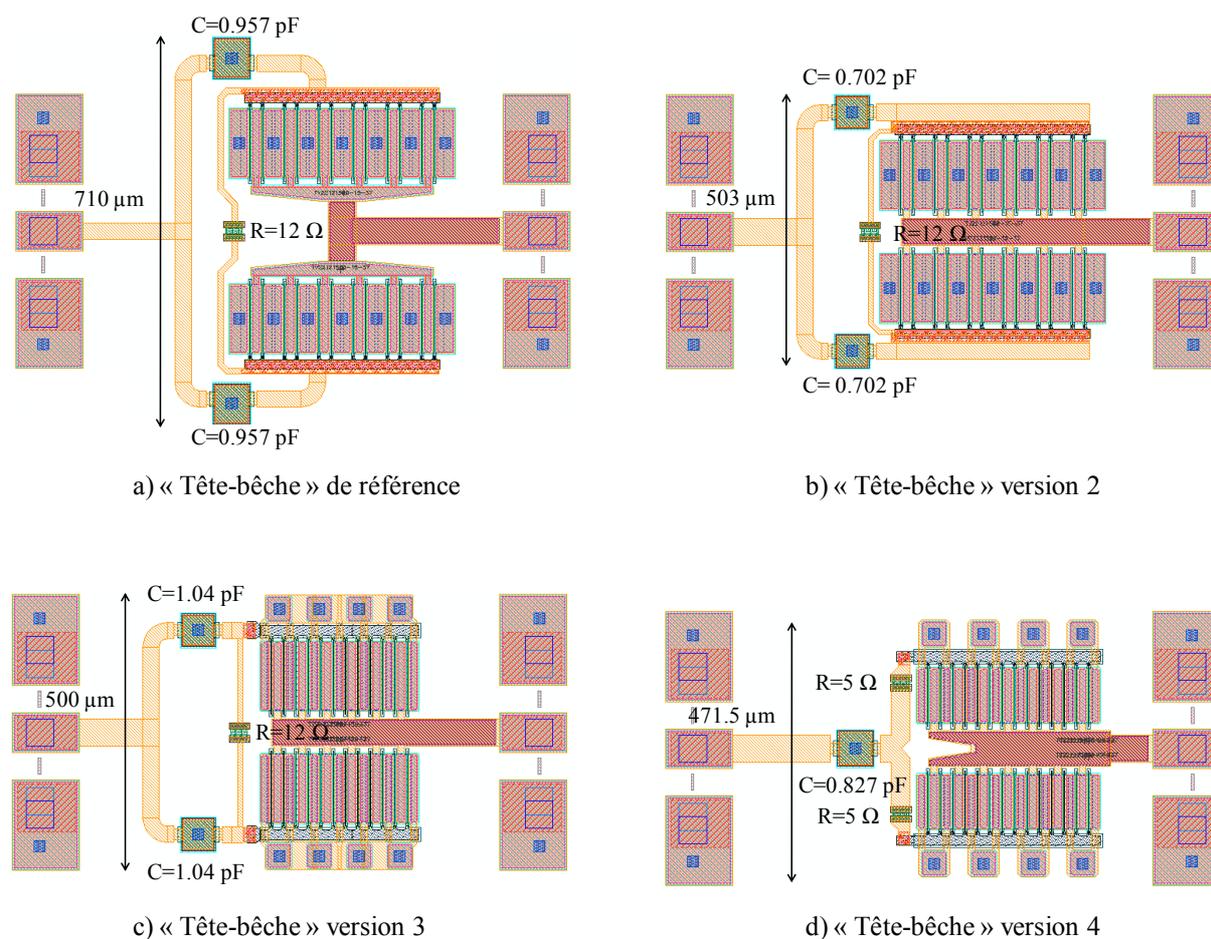


FIGURE 1.21 – Layout des nouvelles topologies de « tête bêche » conçues.

La version 2 est la plus proche de la version initiale au niveau du dessin de la structure. En effet, les principaux changements résident dans le fait que les chemins d'accès ont été raccourcis, les chemins de polarisation de grille et de drain arrivant maintenant aux extrémités des bus de grille et respectivement de drain. De plus, la mise en commun des bus de drain pour ne faire plus qu'un entraîne également une augmentation de la compacité de la structure. Cette version est alors plus compacte que la version initiale avec une dimension verticale de 503 μm (rappelons que la version initiale possède une dimension verticale de 710 μm).

La version 3, quant à elle, est identique à la version 2 en ce qui concerne les chemins d'accès du transistor. Par contre, les trous métallisés des sources ont été mis à l'extérieur de la structure du transistor distribué. Ceci permet de rapprocher au plus près les doigts de grille et par conséquent d'avoir un gain de place important. La dimension verticale de cette cellule de puissance étant de $500\ \mu\text{m}$.

Pour terminer, la version 4 est celle qui a subit le plus de changements au niveau de son dessin par rapport au fishbone initial. En effet, les trous métallisés présents dans les sources du transistor distribué initial ont été supprimés et mis à l'extérieur de la structure. Leur nombre a été réduit puisqu'un trou métallisé peut servir pour plusieurs doigts. Ceci permet d'approcher les doigts de grille au maximum, d'où une structure très compacte. De plus, comme pour les versions 2 et 3, les chemins d'accès de grille et de drain sont à l'extrémité des bus. La taille verticale du fishbone était de $710\ \mu\text{m}$ pour la version initiale alors qu'avec la version 4 elle est de $471.5\ \mu\text{m}$.

La modélisation de chacune des cellules « tête-bêche » a été réalisée en prenant en compte, au mieux, tous les effets de distribution présents dans ce type de transistor (figure 1.22). En effet, les transistors à 12 doigts de grille ont été remplacés par 6 transistors en parallèle à 2 doigts de grille de même développement. De plus, tous les dispositifs passifs tels que les lignes, les résistances et les capacités ont été simulés avec un logiciel électromagnétique Momentum.

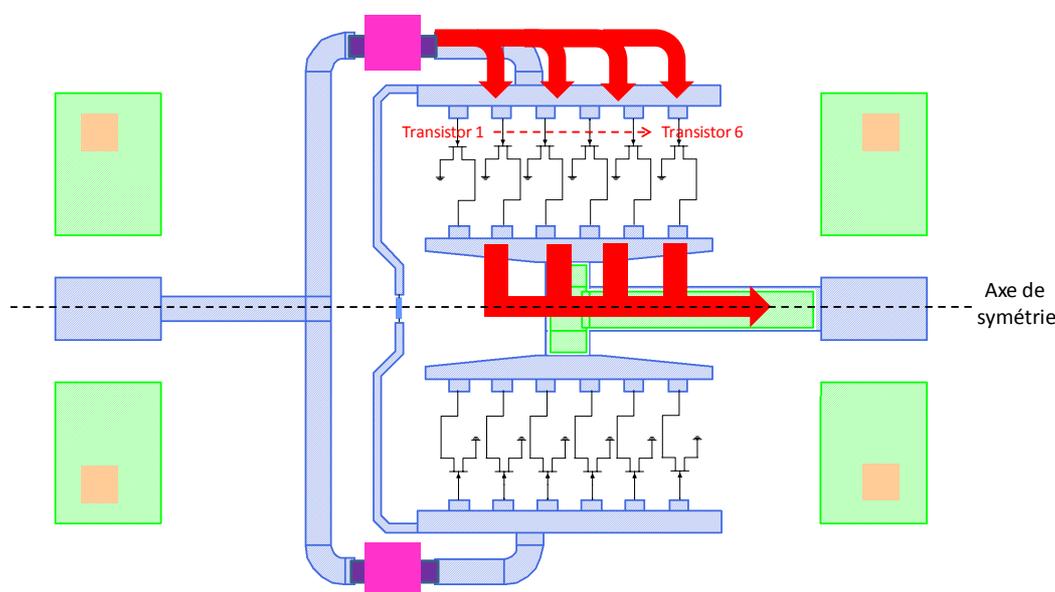


FIGURE 1.22 – Effets de distribution sur la cellule « tête-bêche » de référence.

Afin de comparer ces différentes versions, des mesures sur puce de paramètres $[S]$

ont été réalisées pour chacune des trois nouvelles topologies « tête-bêche ». Ce sont des mesures CW (c'est à dire que la polarisation est une tension continue), de 0.5 à 30 GHz pour un point de polarisation identique pour les trois versions, $V_d=8V$ et $I_d=320mA$. Le critère le plus critique pour ce type de structure étant le gain, nous allons nous intéresser au paramètre « MaxGain ». Ce dernier correspond au gain maximum disponible que peut fournir le dispositif. L'aspect théorique sera exposé en détail dans le chapitre suivant.

La figure 1.23 montre le gain maximum disponible de la version 4 sur une bande de fréquence de 0.5 à 30 GHz. La fréquence de transition F_T du gain (voir chapitre 2), est de 800 MHz. Ce qui signifie qu'à partir de cette fréquence il y aura une chute du gain pour arriver à un gain nul à 14.2 GHz. Avec cette version, le gain maximum disponible que peut fournir la cellule devient nul au milieu de la bande de fréquence étudiée. Cette version n'est donc pas utilisable dans la conception d'un amplificateur de puissance 2W, à fort gain en bande Ku.

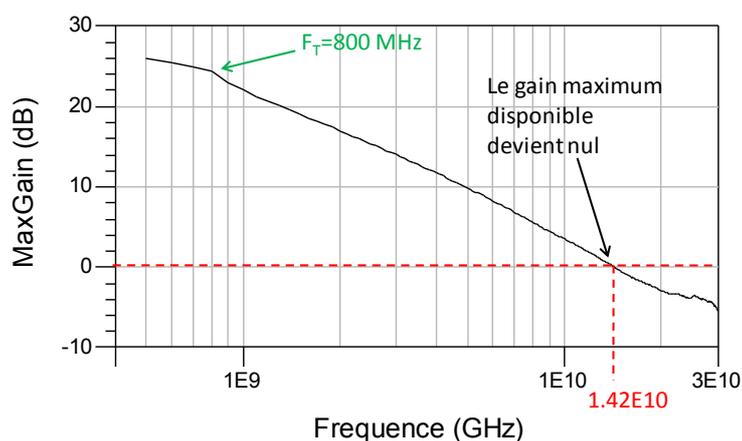


FIGURE 1.23 – Gain maximum disponible de la version 4 du fishbone pour une bande de fréquence de 0.5 GHz à 30 GHz.

Les mesures du gain maximum disponible pour les versions 2 et 3 ont été comparées à celle d'un transistor à topologie parallèle (TP) de même développement de grille que le transistor distribué. Cette comparaison permet de savoir si ces structures, qui possèdent l'avantage d'être très compactes par rapport à un transistor à TP de même développement de grille, possèdent les mêmes performances qu'un transistor classique. La figure 1.24 montre que pour les deux versions de « tête bêche » ainsi que le transistor TP de même développement de grille, le niveau du gain en début de bande est identique. Cependant, la fréquence de transition est deux fois plus petite pour le « tête bêche » que pour un transistor classique ce qui entraîne une chute du gain importante pour les deux « tête bêche » à partir de 5 GHz. Par exemple, à 14 GHz le gain du transistor à topologie

parallèle est de 11 dB alors que celui du transistor « tête-bêche » est de 8 dB. Même si cette nouvelle cellule de puissance est plus compacte, ses performances en gain sont divisées par deux. Dans le cadre d'une conception d'un amplificateur destiné aux systèmes VSAT, il est nécessaire de fournir 24 dB de gain. Cela signifie qu'il faudra trois étages avec ce type de cellules pour atteindre le gain voulu. Cet inconvénient aura un impact non négligeable sur la compacité et le coût du dispositif. Il est préférable de ne pas utiliser ces types de transistors pour concevoir l'amplificateur de puissance.

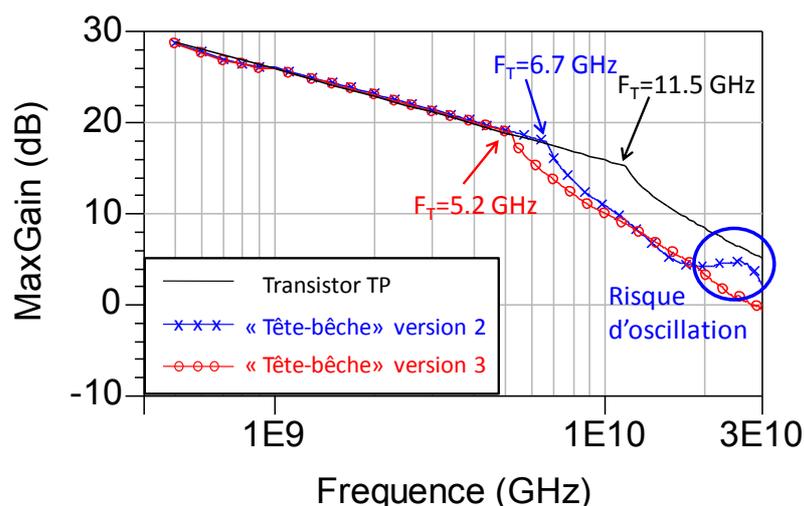


FIGURE 1.24 – Gain maximum disponible de la version 2 et 3 du fishbone pour une bande de fréquence de 0.5 GHz à 30 GHz comparé à un transistor TP de même développement.

La cellule de puissance dite « tête-bêche » n'apparaît pas être une solution adéquate pour diminuer la compacité d'un amplificateur. En effet, les problèmes de distribution le long de la cellule diminuent les performances attendues, notamment le gain. Il devient nécessaire de proposer une nouvelle cellule de puissance. Celle-ci devra être compacte, présenter un gain important et des performances en puissance identiques à un transistor TP de même développement de grille. La cellule cascode, comme nous le verrons par la suite, peut s'avérer être un bon candidat.

1.5 Conclusion

Au cours de ce chapitre, nous avons souligné l'importance des télécommunications par satellites, et notamment l'intérêt de disposer des techniques de communication VSAT.

Au sein de ce dispositif, l'amplification de puissance joue un rôle prépondérant dans la transmission des informations vers le satellite. Les terminaux VSAT étant onéreux, il est nécessaire d'intégrer le plus de fonctions possibles et en particulier l'amplificateur de

puissance. La recherche de circuits de plus en plus compacts et présentant donc une densité de puissance élevée est un enjeu majeur. L'étude de l'état de l'art des amplificateurs de puissances MMIC compacts réalisés en bande Ku à ce jour, a permis de mettre en évidence la nécessité pour UMS et l'ESA de concevoir un amplificateur compact de nouvelle génération afin d'être concurrentiel et de répondre à un marché exigeant.

La filière GaAs étant moins chère et plus fiable que les nouvelles filières GaN, elle reste incontournable dans ce domaine d'application et s'affirme alors comme la plus adaptée pour concevoir des nouvelles cellules de puissances innovantes.

Une étude préliminaire effectuée par la fonderie UMS a permis de réaliser un amplificateur de puissance MMIC bande Ku dont le facteur de forme est proche de 1, basé sur la conception de cellules de puissance appelées « tête-bêche ». Une attention toute particulière a été portée sur ces nouveaux dispositifs. Les résultats de mesures de cet amplificateur ne correspondent pas aux spécifications attendues. En effet, au delà des effets de distribution de cette structure « tête-bêche », le gain limité de cette cellule requiert l'utilisation de trois étages afin de répondre au cahier des charges de l'amplificateur utilisé dans les dispositifs VSAT en bande Ku. Ceci va à l'encontre d'un accroissement de la compacité du circuit. C'est pourquoi de nouvelles cellules de puissances vont être proposées. Elles seront décrites dans le chapitre suivant.

Chapitre 2 :

**Conception, modélisation et
caractérisation d'une cellule cascode
intégrée en technologie MMIC**

2.1 Introduction

Dans la partie précédente, nous avons montré qu'il est nécessaire de créer de nouvelles cellules de puissance afin d'obtenir des amplificateurs les plus compacts possible. La technologie PHEMT GaAs s'est présentée comme étant la filière la plus appropriée pour la création de ces nouvelles cellules.

Dans cette partie, une étude théorique de la cellule cascode de base est proposée afin de démontrer les avantages de l'utilisation de cette architecture. Dans le cadre de ces travaux, plusieurs cellules de puissance basées sur la topologie cascode ont été conçues. Ce sont des cellules réalisées sur technologie PHEMT GaAs de la fonderie UMS (process PPH25X) et fonctionnant en bande Ku. Ces structures étant complexes, une modélisation précise avec une meilleure prise en compte des effets distribués dans le transistor a été réalisée. De plus, afin d'avoir un modèle le plus précis possible, une étude thermique et électromagnétique ainsi qu'une étude de stabilité seront effectuées.

Une description détaillée de chaque topologie conçue sera réalisée. Les différents critères pertinent de comparaison seront la sensibilité aux oscillations, la précision des modèles électrique, électromagnétique et thermique. Le choix final de la topologie de cascode se portera sur la version la plus compacte, la moins sensible aux oscillations et la plus performante. Son modèle sera validé dans le domaine linéaire et non linéaire permettant son utilisation pour la conception d'un amplificateur qui sera décrit dans le chapitre 3.

2.2 Principe du montage cascode : Etat de l'art

[49], [51], [52]

La topologie cascode a été inventée afin de compenser l'effet Miller dans les amplificateurs triodes [53]. Avec l'invention du transistor son application a évolué, elle présente des avantages et des inconvénients qui vont être décrits dans ce paragraphe.

2.2.1 Description

Le montage cascode est réalisé par la mise en cascade de deux transistors identiques (Figure 2.1). Le premier est en configuration source commune (SC) et le second en configuration grille commune (GC). Ces deux transistors sont donc traversés par le même courant $I_{ds1}=I_{ds2}=I_{ds}$ et la tension de drain totale V_{dd} de la cellule est la somme des tensions de drain V_{ds1} et V_{ds2} de chaque transistor.

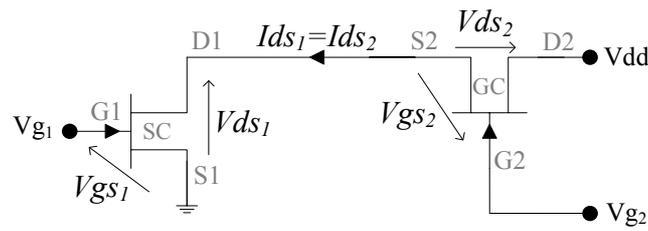


FIGURE 2.1 – Schéma du montage cascode.

Nous rappelons les paramètres $Y_{trans12}$ et $Y_{trans22}$ d'un transistor à topologie parallèle, calculés à l'aide du schéma d'un modèle linéaire simplifié présenté figure 2.2.

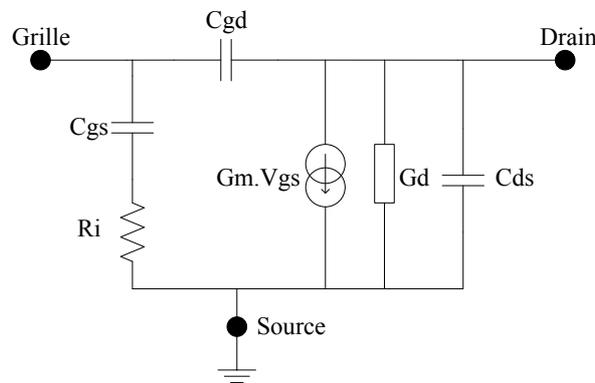


FIGURE 2.2 – Modèle petit signal simplifié d'un transistor à topologie parallèle.

$$Y_{trans12} = -j\omega Cgd \quad (2.1)$$

$$Y_{trans22} = gd + j\omega(Cgd + Cds) \quad (2.2)$$

D'après le modèle linéaire simplifié du montage cascode présenté figure 2.3, nous effectuons les mêmes calculs :

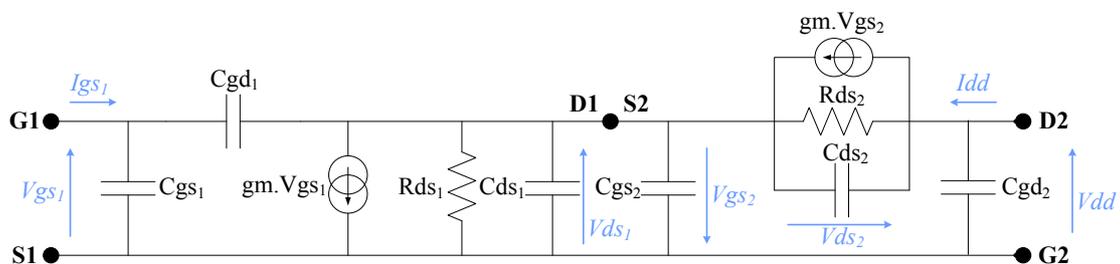


FIGURE 2.3 – Schéma linéaire simplifié du montage cascode.

$$Y_{casc12} = \frac{-j\omega Cgd_1 \cdot (gd + j\omega Cds_2)}{2gd + gm + j\omega(Cgd_1 + Cgs_2 + Cds_1 + Cds_2)} \quad (2.3)$$

$$Y_{casc22} = j\omega Cgd_2 + (gd + j\omega(Cgd_1 + Cds_1 + Cgs_2)) \times \frac{gd + j\omega Cds_2}{2gd + gm + j\omega(Cgd_1 + Cgs_2 + Cds_1 + Cds_2)} \quad (2.4)$$

On pose :

$$\mu = \frac{gm}{gd} \quad (2.5)$$

Dans le cas d'un transistor PHEMT de développement de grille 12x100 μm , la valeur idéale de μ vaut 46.6.

On obtient alors pour le cascode les équations suivantes :

$$Y_{casc12} \approx \frac{-j\omega Cgd}{2 + \mu} \approx \frac{Y_{trans12}}{\mu + 2} \quad (2.6)$$

$$Y_{casc22} \approx \frac{gd + j\omega(Cgd + Cds)}{\mu + 2} \approx \frac{Y_{trans22}}{\mu + 2} \quad (2.7)$$

La résistance de sortie se trouve alors augmentée du facteur $(\mu+2)$ et cet effet persiste même en hautes fréquences. Ceci permet de remédier à un inconvénient majeur des transistors à effet de champ à longueur de grille courtes qui est de présenter des impédances de sorties faibles et difficilement adaptable sur 50 Ω . De plus, l'isolation entrée-sortie se retrouve améliorée puisque l'admittance Y_{12} est diminuée d'un facteur $(\mu+2)$, ce qui signifie que l'effet Miller est réduit.

Les principaux avantages de la cellule cascode sont les suivants :

- Amélioration de l'isolation entrée/sortie.
- Augmentation de l'impédance de sortie.
- Augmentation du gain en puissance.

La figure 2.4 montre les caractéristiques électriques d'une cellule cascode constituée de deux transistors PHEMT de 12 doigts de grille de développement 100 μm comparées aux performances d'un transistor seul à topologie parallèle (TP) de même développement de grille (24 doigts de grille de développement 100 μm).

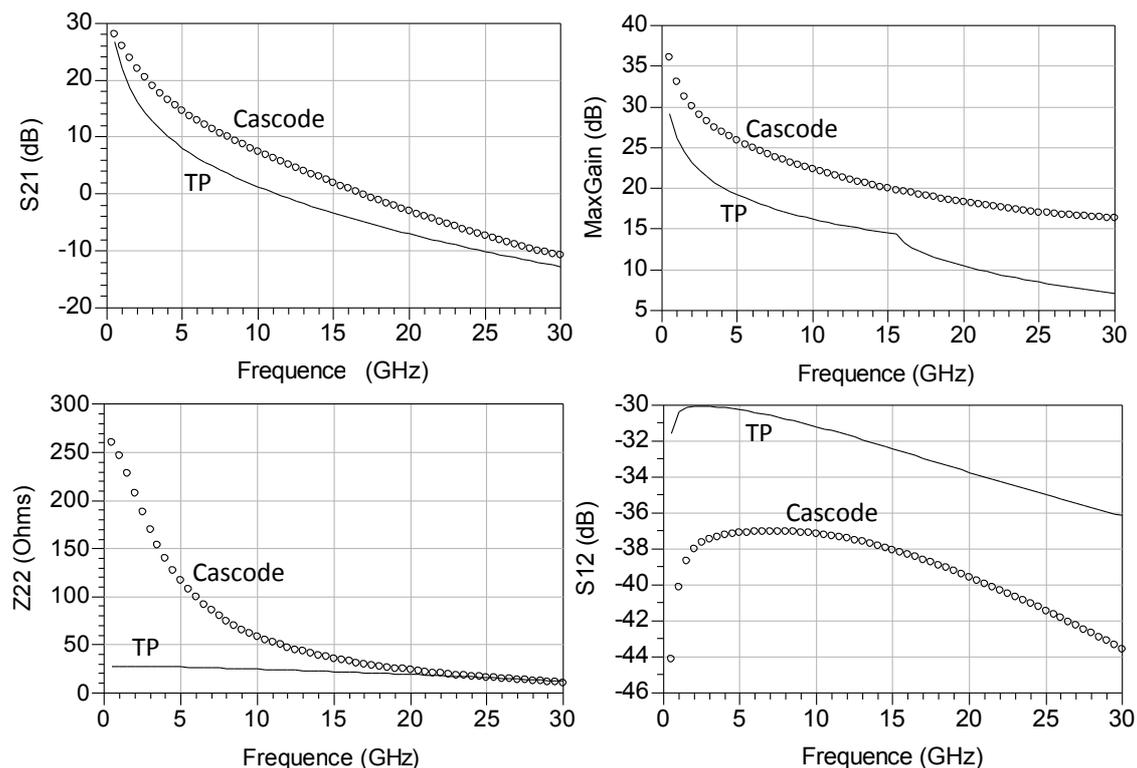


FIGURE 2.4 – Comparaison de l'impédance de sortie, du gain maximum disponible, du S_{21} et de l'isolation entrée-sortie d'une cellule cascode et d'un transistor à TP de même développement.

2.2.2 Polarisation

La polarisation de la cellule cascode est une étape délicate. En effet, la polarisation de drain du transistor SC (V_{ds1}) va dépendre de la polarisation appliquée sur la grille du transistor GC (V_{g2}). La figure 2.5 présente les différents courants et tensions présents au sein du dispositif cascode. Trois polarisations sont fixées par des générateurs extérieurs au circuit tels que V_{g1} qui est imposée sur la grille transistor SC, V_{g2} et V_{dd} qui sont appliquées respectivement sur la grille et le drain du transistor GC. Les valeurs des tensions V_{gs1} , V_{gs2} , V_{ds1} et V_{ds2} vont être déduites des valeurs imposées par ces trois générateurs.

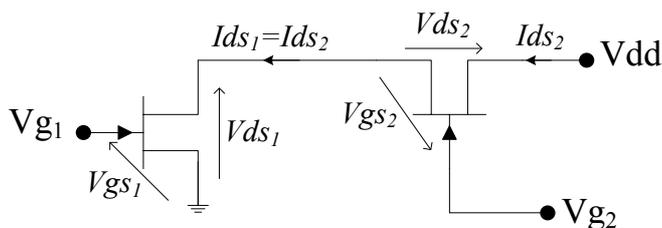


FIGURE 2.5 – Schéma d'une cellule cascode.

La figure 2.6 montre le principe de la polarisation de la cellule cascode. La tension V_{g1} que l'on applique sur la grille du premier transistor est directement égale à la polarisation V_{gs1} puisque le transistor est en source commune. Il va imposer le courant I_{ds1} du premier transistor qui va se conduire comme un générateur de courant idéal et imposer le courant de la cellule cascode, $I_{ds1}=I_{ds2}$. Comme les deux transistors sont identiques, traversés par le même courant de drain et que V_{g2} implique le fait que l'on soit en régime de saturation, alors la tension V_{gs2} va être égale à celle du premier transistor V_{gs1} . La tension de drain du transistor SC, V_{ds1} , va alors être imposée par la tension V_{g2} , et s'ajuste suivant :

$$V_{g2} = V_{ds1} + V_{gs2} \quad (2.8)$$

V_{gs2} étant une tension négative.

Comme les deux transistors sont de développement identique il vont fonctionner au même point de polarisation. C'est pourquoi nous imposons la valeur de la tension de drain V_{dd} de telle sorte que $V_{ds1}=V_{ds2}$.

$$V_{dd} = V_{ds1} + V_{ds2} = 2.V_{ds1} \quad (2.9)$$

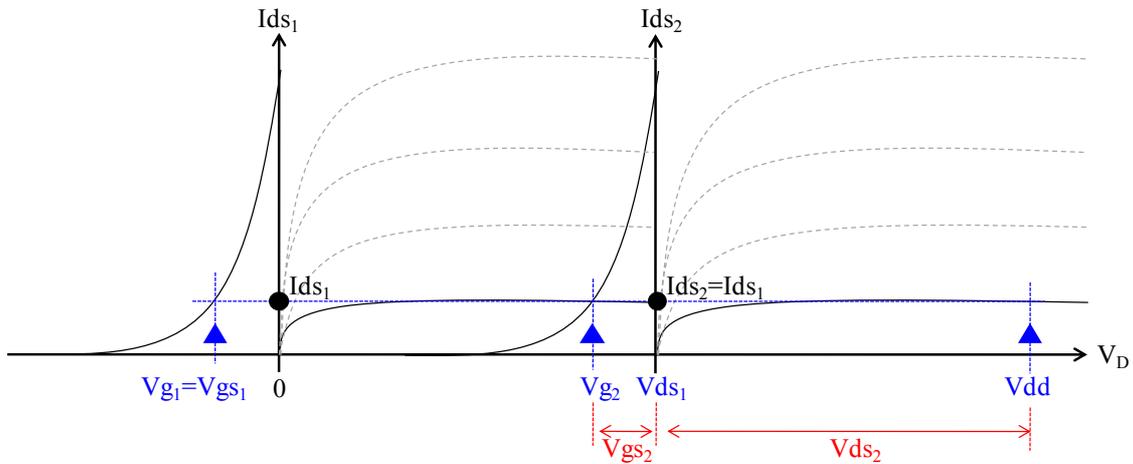


FIGURE 2.6 – Schéma du principe de polarisation d'une cellule cascode à deux transistors identiques.

L'inconvénient principal de ce schéma de montage réside dans la présence de trois générateurs de tension extérieurs au dispositif sous test (DST). Pour remédier à ce problème on peut utiliser le principe d'auto-polarisation pour la grille du transistor GC (Figure 2.7).

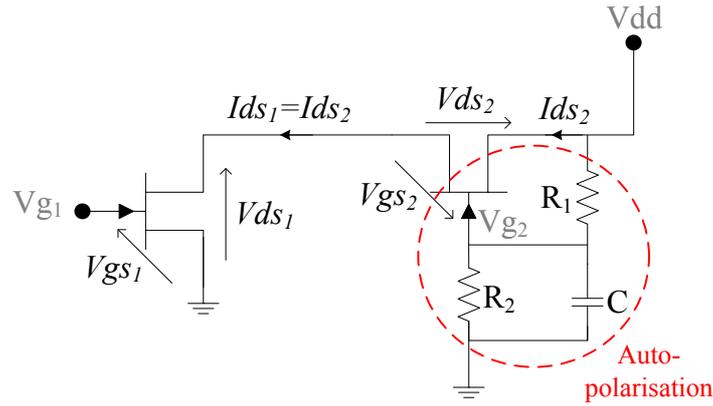


FIGURE 2.7 – Auto-polarisation d'une cellule cascode.

Si nous ne tenons pas compte de la capacité C et compte tenu de l'absence de courant de grille, les résistances R_1 et R_2 créent un pont diviseur de tension entre Vdd et Vg_2 de la façon suivante :

$$Vg_2 = \frac{R_2}{R_1 + R_2} \cdot Vdd \quad (2.10)$$

Vdd est connue et nous rappelons que $Vg_2 = Vds_1 + Vgs_2$.

Or $Vgs_2 = Vgs_1$ et Vgs_1 est la tension appliquée sur la grille de premier transistor (Vg_1), elle est donc connue. De plus, $Vds_1 = \frac{Vdd}{2}$. Nous avons alors l'équation suivante :

$$Vg_2 = \frac{Vdd}{2} + Vgs_1 \quad (2.11)$$

Afin de respecter cette équation il est nécessaire d'avoir deux valeurs de résistances différentes. Par exemple si nous prenons $R_2 = 100\Omega$, alors nous devons prendre $R_1 = 110.5\Omega$. L'étape de polarisation de la cellule cascode est délicate. C'est pourquoi une capacité C en parallèle avec R_2 peut être ajoutée lors de ce processus selon l'équation 2.12 . Elle permet de retarder la polarisation de grille du transistor GC, par rapport à la polarisation de drain Vdd , ce qui évite d'endommager le dispositif.

$$\tau = \frac{R_1 \cdot R_2}{R_1 + R_2} \cdot C \quad (2.12)$$

Afin de vérifier le principe d'auto-polarisation nous avons réalisé une simulation transitoire appliquée sur le montage cascode de base. Ce type de simulation permet une analyse temporelle du dispositif. Nous imposons les valeurs des deux générateurs de tension présents dans cette simulation, au point de polarisation de la cellule $Vdd = 16V$ et $Vg_1 = -0.4V$. La figure 2.8 montre les valeurs des tensions de grille et de drain obtenues pour chaque transistor constituant le cascode après un temps $\tau = 5\mu s$. Dans ces conditions

la valeur de la capacité C à insérer dans le circuit vaut 95.5 nF . Nous observons que les deux transistors constituant la cellule sont bien polarisés au même point de polarisation $V_{gs1} = V_{gs2} = -0.4V$ et $V_{ds1} = V_{ds2} = 8V$.

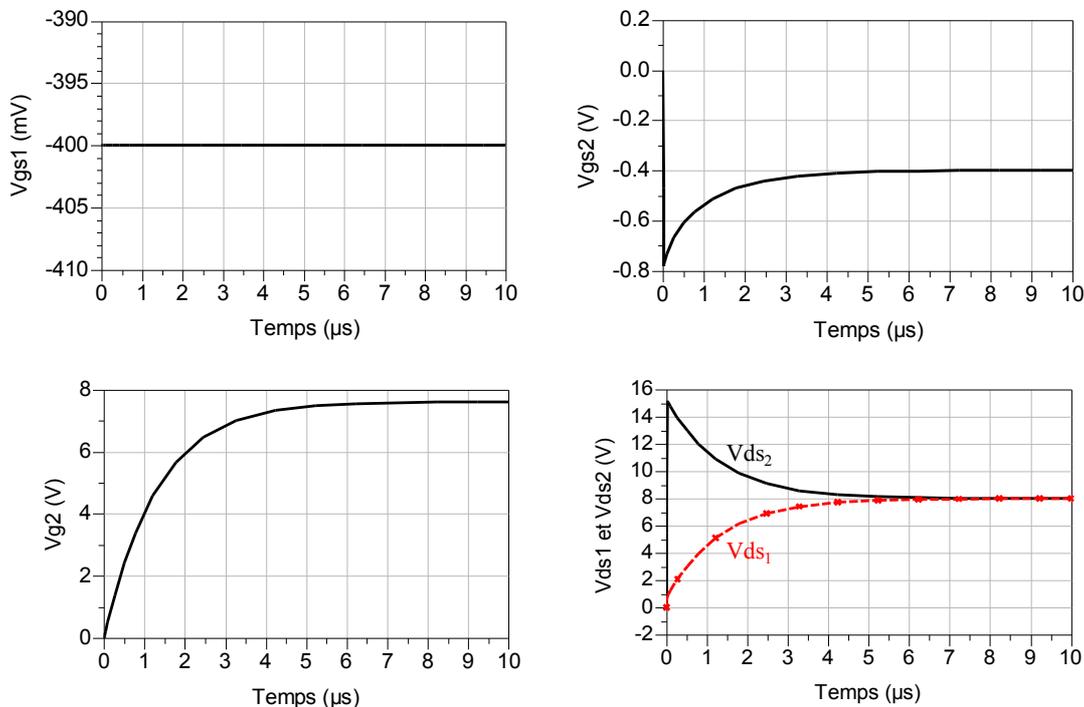


FIGURE 2.8 – Tensions de polarisation appliquées à chaque transistor constituant le cascode.

2.2.3 Comportement fort signal

Le montage « simple » du cascode avec seulement deux transistors en cascade ne permet pas un fonctionnement optimal en puissance. En effet, la variation de la tension de drain V_{ds1} va directement être appliquée en négatif sur la grille du transistor GC ce qui peut provoquer la destruction de ce dernier. Une capacité C_{a1} est alors ajoutée en série sur la grille du second transistor (Figure 2.9). Elle va permettre la création d'un pont diviseur de tension avec la capacité C_{gs} (Figure 2.10).

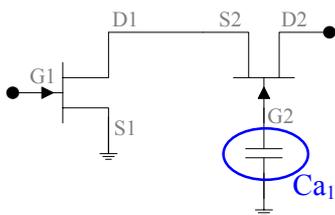
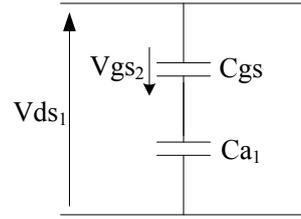


FIGURE 2.9 – Ajout de la capacité C_{a1} .


 FIGURE 2.10 – Pont diviseur de tension réalisé par la capacité C_{a_1} .

Pour avoir un fonctionnement optimal, les deux transistors doivent être polarisés au même point de fonctionnement. Par conséquent, $V_{gs_1} = V_{gs_2}$. Si on applique l'équation du pont diviseur de tension, nous obtenons :

$$V_{gs_2} = \frac{-C_{a_1}}{C_{a_1} + C_{gs}} \cdot V_{ds_1} \quad (2.13)$$

$$C_{a_1} = \frac{-C_{gs} \cdot V_{gs_2}}{V_{gs_2} + V_{ds_1}} \quad (2.14)$$

$$C_{a_1} = \frac{C_{gs} \cdot \Delta V_{gs_2}}{\Delta V_{gs_2} + \Delta V_{ds_1}} \quad (2.15)$$

La résolution de ces équations permet d'obtenir une valeur approchée de la capacité C_{a_1} . Il est alors nécessaire d'avoir recours à des processus d'optimisations (numériques) autour des valeurs initiales de C_{a_1} déduites des expressions précédentes au travers de la valeur de C_{gs} . Les valeurs V_{gs_2} et V_{ds_1} étant déduites des caractéristiques statiques. La procédure d'optimisation est alors basée sur l'optimisation des cycles de charge des deux transistors de la cellule cascode. En effet, comme nous l'avons indiqué précédemment, l'optimisation en puissance passe par le fonctionnement identique des deux composants et par conséquent par l'obtention de cycles de charge identiques. Pour cela, il est important également de déterminer l'impédance de charge optimale du montage cascode considéré.

2.2.4 Revue de cellules cascodes utilisées

La cellule cascode est principalement utilisée en technologie CMOS [54], [55]. Notamment pour obtenir des circuits à fortes linéarités [56], [57]. Elle est également utilisée, toujours avec cette technologie, pour concevoir des LNA large bande très compacts [58], [59] ainsi que des amplificateurs de puissance large bande en hautes fréquences, de l'ordre de 100 GHz [60], [61], [62]. Ce type de topologie est peu présent dans la conception d'amplificateurs de puissance HEMT [63] ou PHEMT [64]. Depuis quelques années, il connaît un regain d'intérêt, en particulier pour les circuits sur substrat GaN [65], [66], [32], [67], [68]. En effet, le gain élevé que présente ces cellules permet une montée en

fréquence. De plus, les cellules cascodes proposent une véritable alternative au topologie de cellules existantes.

2.2.5 Mise en oeuvre d'une cellule cascode intégrée

Les cellules cascodes possèdent des propriétés intéressantes en terme de gain, de niveau de polarisation de drain et par conséquent de niveau d'impédance de sortie. Pour préserver ces propriétés le dessin de la cellule cascode doit être le plus compact possible. En effet, cet avantage aura de plus, une conséquence bénéfique sur la surface finale de l'amplificateur. Cependant, cette compacité augmente très sensiblement les phénomènes de couplages électromagnétiques et par là même les risques d'instabilité. De plus, il faudra être attentif au comportement thermique de l'ensemble et vérifier que la dissipation thermique n'engendre pas de températures de canal trop élevées ou d'emballement thermique.

Cela ne peut se faire sans une maîtrise complète des outils de simulation, performants et sans une vérification systématique des différentes étapes de la conception par des mesures de paramètres [S] et des mesures grand signal.

Avant de poursuivre il nous faut donc présenter les différents outils mis en oeuvre au cours de ce travail.

2.3 Outils d'analyses et de mesures

2.3.1 Modélisation électromagnétique

[69], [70], [71]

La modélisation ElectroMagnétique (EM) est une étape importante lors de la conception de circuit. En effet, elle permet de représenter au mieux la topologie réelle de l'amplificateur conçu. Les circuits étant de plus en plus compacts, les dispositifs passifs tels que les capacités, les résistances ou les inductances vont être modélisés avec un logiciel électromagnétique. Ceci permet de prendre en compte les couplages entre ces dispositifs et le reste du circuit. En effet, l'utilisation d'un modèle électrique, est parfois insuffisante, ce qui implique qu'une dégradation des performances du dispositif pourra être observée lors des mesures alors qu'elle n'a pas été prévue lors de la conception. La proximité des lignes lorsque l'on cherche à rendre compacte une structure implique également qu'un couplage électromagnétique peut se créer et dégrader les performances du circuit. Cette étape, dans la modélisation de cellule de puissance ou dans la conception d'amplificateur est très importante afin d'avoir des performances électriques au plus proches des résultats de mesures que l'on pourrait avoir.

Afin de réaliser ces simulations EM, nous avons utilisé le logiciel ADS-Momentum. Il

est basé sur une technique de discrétisation numérique appelée la méthode des moments. Elle a été introduite par Roger F Harrington en 1967 [72]. Elle utilise la résolution des équations de Maxwell pour des structures planaires déposées sur un substrat homogène. Les simulateurs basés sur cette méthode sont appelés des simulateurs « 2.5D ». En effet, la discrétisation est effectuée seulement sur les surfaces conductrices et non pas sur le substrat. Cette technique convient donc particulièrement à des structures planaires mais lorsque des structures complexes 3D sont utilisées elle montre rapidement ses limites. En effet, la présence d'éléments rompant l'homogénéité du substrat nécessite de réaliser un modèle le plus proche possible de la structure afin de prendre en compte au mieux tous les éléments du système.

Afin d'effectuer cette modélisation plusieurs étapes sont nécessaires :

- Réalisation du layout de la structure :

Tout d'abord le dessin de la structure doit être réalisé en 2 dimensions mais en considérant toutes les couches nécessaires à cette étude. La figure 2.11 présente l'exemple d'un pont à air. La figure de gauche (figure 2.11 a) montre le layout du pont dessiné sous ADS-Momentum, le dessin s'effectue toujours en vue de dessus et seules les couches métalliques sont dessinées, alors que la figure de droite (figure 2.11 b) présente le schéma en coupe de ce pont que l'on doit définir sous ADS-Momentum.

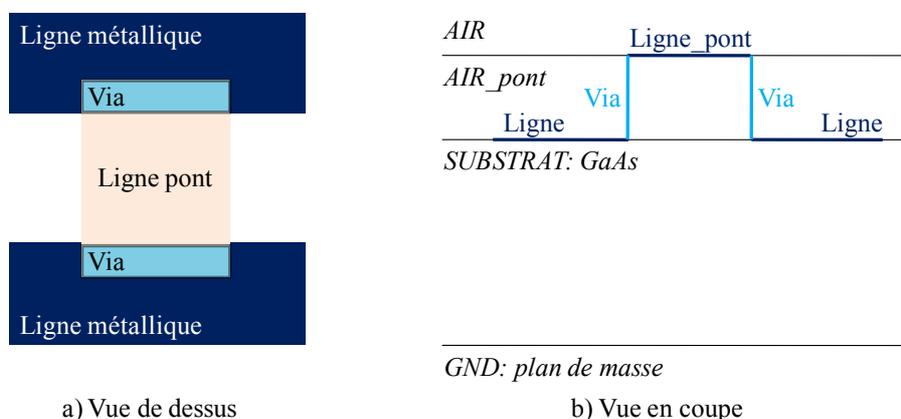


FIGURE 2.11 – Exemple d'un pont à air.

- Définition du substrat :

Afin de prendre en considération toutes les couches du dispositif simulé, il est nécessaire de les définir de la façon la plus précise possible. Le circuit est décrit par son substrat, défini grâce à la connaissance de sa permittivité et de sa perméabilité relative, ainsi que son épaisseur. Puis nous définissons les différentes couches qui le composent, grâce notamment

à la valeur de leur conductivité électrique (elles peuvent également être considérées comme conducteur parfait) et à leur épaisseur. De plus, des vias peuvent être insérés dans la structure, soit pour représenter un trou métallique reliant une ligne à la masse ou encore pour réaliser un pont à air comme dans la figure 2.11.

Le calcul du substrat peut être réalisé dès cette étape, puisque seule la connaissance des couches de la structure est nécessaire pour effectuer ce calcul. Si plusieurs géométries de structures sont différentes mais qu'elles possèdent le même substrat, alors il n'est pas nécessaire de refaire ce calcul. Le substrat précédent est simplement rechargé dans la simulation.

- Définition des ports :

Afin d'effectuer le calcul de paramètres $[S]$, des ports d'excitation doivent être ajoutés à la structure. Deux types de ports sont utilisés. Les ports « single mode », sont les ports par défaut. Ce sont des ports calibrés afin d'annuler les effets de bord des lignes de transmission. Ils se comportent comme si le signal était amené par une ligne. Ils sont toujours placés à la frontière des lignes.

Les ports « internal », ne sont pas des ports calibrés et sont également appelés ports à excitation directe puisque l'excitation est apportée en un point. Des éléments localisés passifs ou actifs peuvent être connectés sur ces ports. Ils se trouvent soit à la frontière des lignes de transmission soit à l'intérieur de ces surfaces.

- Le maillage :

Le maillage s'effectue seulement sur les surfaces planaires métalliques par des motifs rectangulaires ou triangulaires. Il est flexible et peut facilement être modifié par l'utilisateur. La densité de maillage va avoir un rôle important dans la précision et le temps de calcul. Plus le maillage est dense plus la précision de la simulation sera importante, mais les calculs seront plus longs, il faut alors faire un compromis entre le temps de calcul et la précision des résultats.

- Calcul des paramètres $[S]$:

Un élément clé lors du calcul des paramètres $[S]$ destiné à fournir des solutions rapides et très précises en utilisant un minimum de ressources informatiques est la fréquence d'échantillonnage adaptative (AFS : Adaptative Frequency Sampling). Lors de la simulation sur une large bande de fréquences, le suréchantillonnage et l'interpolation linéaire peuvent être utilisés pour obtenir des courbes de paramètres $[S]$ lissées. Le suréchantillonnage implique cependant l'utilisation d'une énorme quantité de ressources. ADS-Momentum permet à l'utilisateur de bénéficier d'un schéma d'interpolation

intelligent basée sur une réduction des techniques de modélisation. L'algorithme de la fréquence d'échantillonnage adaptative sélectionne automatiquement les échantillons de fréquences et interpole les données. Cette fonction permet de modéliser de façon très précise la réponse de la structure la plus dense où les paramètres [S] évoluent de manière significative. Il minimise le nombre total d'échantillons nécessaires et maximise les informations fournies par chaque nouvel échantillon. En fait, tous les types de structures peuvent profiter de ce module. Il réduit le temps de calcul nécessaire pour simuler des larges bandes de fréquences.

2.3.2 Simulation thermique

2.3.2.1 Les différents effets thermiques

Dans un milieu où un gradient de température est observé, il y a en fait un transfert de chaleur. Selon le premier principe de la thermodynamique, le sens du flux est dirigé de la température la plus élevée vers la plus basse. On distingue trois types de transfert.

- La conduction

Le phénomène de conduction se situe à l'échelle atomique ou moléculaire au sein d'un gaz, un liquide ou un solide. C'est le seul transfert de chaleur qui s'effectue au sein d'un solide. Le phénomène de conduction de la chaleur est dû à la non-uniformité de la température qui produit un transfert d'énergie thermique d'un point à un autre du système mais sans transport macroscopique de la matière.

Dans le cas des solides, le transfert d'énergie s'effectue via les électrons libres dans les matériaux métalliques, ou sous la forme d'une énergie mécanique par la vibration du réseau cristallin. La loi de Fourier est définie de la façon suivante :

Le flux de chaleur q (mesuré en $W.m^{-2}$) traversant perpendiculairement une surface unitaire est proportionnel au gradient de température dans la direction de la normale de la surface et de signe opposé.

$$q = -K.\nabla T \quad (2.16)$$

Le terme ∇T représente le gradient de température dans la direction normale à la surface unitaire. Le terme K représente la conductivité thermique du matériau en $W.K^{-1}.m^{-1}$.

En régime dynamique, nous obtenons l'équation suivante :

$$\rho.C_p.\frac{\partial T}{\partial t} = \nabla(K\nabla(T)) + g(x, y, z, t) \quad (2.17)$$

C_p représente la chaleur spécifique et s'exprime en $J.kg^{-1}.K^{-1}$, ρ est la masse volumique du matériau en $kg.m^{-3}$ et $g(x,y,z,t)$ représente la densité volumique de puissance générée par les sources placées à l'intérieur du volume en $W.m^{-3}$.

Pour que le problème soit complètement posé, il faut ajouter à cette équation de diffusion de la chaleur des conditions aux limites et des conditions initiales. Les conditions aux limites peuvent être de trois types :

- La condition de Dirichlet : on impose une température constante sur une surface (fond de puce pour les dispositifs électroniques par exemple).
- La condition de Neumann : on impose un flux de puissance sur une surface, si le flux imposé est nul, on a une condition de paroi adiabatique.
- La condition de Cauchy : Le flux s'exprime en fonction de la différence de température T de paroi et une température de référence.

– La convection

Le transfert de chaleur par convection se situe au niveau des particules, c'est à dire à l'échelle macroscopique. Il s'effectue entre un solide et un fluide, l'énergie étant transmise par le mouvement du fluide. On distingue deux types de convections, la convection forcée qui est une mise en mouvement du fluide par un moyen mécanique et la convection naturelle qui est une mise en mouvement du fluide sous l'action de la gravité (poussée d'Archimède).

Dans le cas d'une interface solide/fluide, la quantité de chaleur évacuée par convection est proportionnelle à l'aire S de l'interface et à la différence de température $\Delta T = T_s - T_f$.

Ce transfert d'énergie obéit à la loi de Newton :

$$\frac{q}{S} = h.\Delta T \quad (2.18)$$

$\frac{q}{S}$ représente le flux thermique échangé par unité de temps et de surface en $W.m^{-2}$. h représente le coefficient d'échange en $W.m^{-2}.K^{-1}$, en convection naturelle, la valeur du coefficient d'échange varie de 5 à 30 $W.m^{-2}.K^{-1}$. ΔT représente la différence de température entre les deux phases en K.

– Le rayonnement

Tous les corps, quelque soit leur état, émettent un rayonnement de nature électromagnétique. D'un point de vue phénoménologique, le transfert par rayonnement se traduit par un échange de chaleur entre deux corps séparés par un milieu n'autorisant aucun échange par conduction ou par convection.

Ce phénomène obéit à la théorie de la mécanique quantique, le transfert de chaleur présente la dualité onde-corpuscule et s'effectue par un phénomène électromagnétique. Ainsi, on peut considérer soit l'aspect corpusculaire du rayonnement, et donc supposer un déplacement d'un paquet de photons, soit son aspect ondulatoire sous la forme d'une onde électromagnétique.

Le concept de corps noir est introduit afin de décrire les caractéristiques radiatives des corps réels, il permet de servir de référence par rapport à d'autres surfaces réelles. Le corps noir est une surface idéale qui absorbe tous les rayonnements incidents dans toutes les directions et pour toutes les longueurs d'onde. De plus, pour une température donnée et une longueur d'onde donnée, aucune surface ne peut émettre plus d'énergie qu'un corps noir. Ce dernier, diffuse de l'énergie dans toutes les directions.

L'énergie émise par un corps noir obéit à la loi de Stephan-Boltzmann :

$$E = \sigma.T^4 \quad (2.19)$$

Avec $\sigma = 5.67 \times 10^{-8} W.m^{-2}.K^{-4}$ la constante de Stephan-Boltzmann et T la température absolue en Kelvin.

La plupart des solides ne se comportent pas comme des corps noirs. Ils n'absorbent pas tous les rayonnements incidents et ils réfléchissent une partie de ce qu'ils ont absorbé en plus de leur propre rayonnement. On définit alors l'émissivité ϵ comme le rapport entre l'énergie émise par une surface réelle et celle émise par la surface d'un corps noir. Le flux d'énergie vaut alors :

$$E = \sigma.\epsilon.T^4 \quad (2.20)$$

Dans le cas des circuits électroniques, l'évacuation de la chaleur générée au sein des composants, vers la face arrière, s'effectue principalement par conduction, mais aussi par convection et rayonnement sur les parties supérieures ou latérales.

2.3.2.2 Le simulateur ANSYS

Le simulateur ANSYS permet de résoudre l'équation de Fourier d'une structure donnée. La méthode utilisée est celle des Eléments Finis (EF) [73]. Cette méthode permet de prendre en compte des géométries complexes et l'utilisation de nombreux matériaux. Les différentes conditions aux limites de ce module permettent de tenir compte des transferts de chaleur par convection ou rayonnement s'ils existent [74].

La figure 2.12 montre une structure 3D discrétisée en éléments finis. Les divers parallélépipèdes en pyramides représentent les éléments finis. Les sommets des polyèdres

constituent les nœuds. Le choix des éléments finis dépend surtout de la géométrie mais également des grandeurs que l'on souhaite observer, par exemple en cas de simulation couplée (thermo-mécanique).

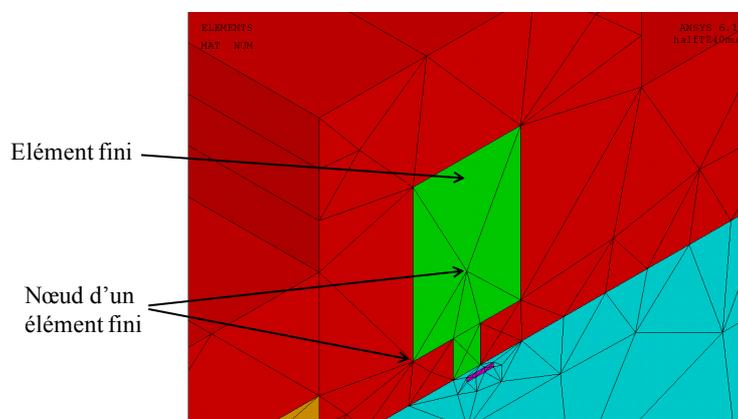


FIGURE 2.12 – Exemple de discrétisation appliquée à la modélisation d'un transistor.

La démarche d'utilisation de ce simulateur commence par la définition de la géométrie. Des géométries 2D ou 3D peuvent être modélisées, il est alors nécessaire de connaître les données physiques de chaque structure.

La récupération des données géométriques se fait grâce aux layouts fournis par la fonderie. Pour les couches formées par plusieurs matériaux, telles que le contact ohmique, une moyenne de leur conductivité thermique est réalisée au prorata des matériaux constituant la couche. Cette approche reste réaliste si les couches des matériaux ne sont pas trop fines.

La zone de dissipation de chaleur doit être déterminée en rapport avec la cartographie de champ et de courant circulant dans le transistor [75]. Dans notre cas, elle est représentée par un canal situé entre la grille et le drain du transistor (figure 2.13).

Le type de buffer qui est utilisé dans le transistor PPH25X est de l'AlGaAs. Sa séquence est 15 x (AlGaAs 18.5nm/GaAs 1.5nm) plus une couche de 300 nm de GaAs en partant du haut vers le bas. Les dimensions des couches étant très faibles, nous ne pouvons pas effectuer une simple moyenne des différentes conductivités thermiques. Nous avons donc utilisé des résultats issus de la littérature [76], [77], [78] sur les super-réseaux de matériaux. La conductivité thermique du buffer est inférieure à la conductivité thermique respective des matériaux utilisés. Cette conductivité dépend très fortement des phénomènes de dispersion existant aux interfaces entre les couches du super réseau, et donc de l'état de surface.

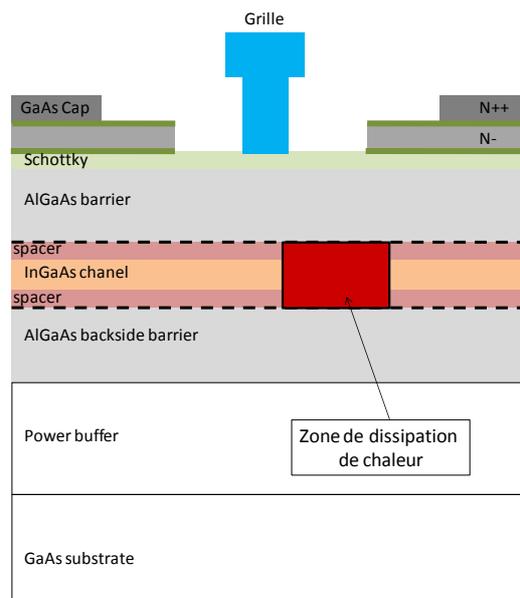


FIGURE 2.13 – Couches physiques du transistor et lieu de la zone de dissipation de la chaleur.

Une recherche des symétries permet de diminuer les temps de calcul. Une simplification de la structure est appliquée en tenant compte des diverses conductivités thermiques et des épaisseurs relatives des différentes couches. Eventuellement ces conductivités thermiques peuvent avoir des variations non linéaire en fonction de la température.

Les transistors faisant intervenir des variations de dimensions importantes, le maillage est une étape primordiale et longue. C'est elle qui va imposer le temps de calcul, mais c'est elle aussi qui impose la précision dans les résultats, d'où son importance capitale. C'est pour cela qu'elle reste délicate et coûteuse en temps de développement.

2.3.2.3 Définition de la résistance thermique

Dans les circuits électroniques, le transfert de chaleur généré au sein des composants (essentiellement vers la face arrière) s'effectue principalement par conduction. On définit la résistance thermique, R_{th} , par analogie avec la résistance électrique (table 2.1).

Grandeurs électriques	Grandeurs thermique
Tension V (V)	Température T ($^{\circ}C$)
Courant I (A)	Chaleur P (W)
Résistance R (Ω)	Résistance R_{th} ($^{\circ}C/W$)

TABLE 2.1 – Equivalence des grandeurs électriques et thermiques.

On a alors :

$$V = R.I \quad (2.21)$$

$$\Delta T = R_{th} \cdot P \quad (2.22)$$

où P est la puissance dissipée en Watts.

Cette équation de la chaleur « simplifiée » nous donne accès à la température du composant. R_{th} est de façon générale une grandeur non linéaire en fonction de la température [79]. Dans notre étude nous la considérons indépendante de la température pour faciliter la modélisation du phénomène.

2.3.3 Méthode d'analyse de stabilité pour des dispositifs microondes linéaires

[80]

Il arrive fréquemment qu'un système amplificateur se mette à osciller lorsqu'il présente un fort gain. Dans ce cas, le système ne fonctionne plus en régime linéaire et ce comportement peut entraîner sa destruction. Eviter le phénomène d'oscillation est un point clé lors de la conception de circuits, en particulier en technologie MMIC, car le réglage ultérieur est impossible. Des méthodes connues permettent de remédier à ces problèmes d'oscillation avant la phase de fabrication.

2.3.3.1 Le facteur de Rollet

Il existe deux types de stabilité linéaire pour un système deux ports. La première est la stabilité inconditionnelle, le système deux ports est stable quelque soit les charges présentées à son entrée ou à sa sortie. La deuxième est la stabilité conditionnelle, il existe une ou plusieurs combinaisons de charges de l'abaque de Smith qui feront osciller le circuit. Ces deux types de stabilités linéaires seront déduits des valeurs du facteur K défini par Rollet en 1962 [81]. Ce facteur est défini en fonction de ses paramètres [S], [Y], [G], [H] et s'exprime par l'équation suivante :

$$K = \frac{2 \cdot \text{Re}(\gamma_{11}) \cdot \text{Re}(\gamma_{22}) - \text{Re}(\gamma_{12} \cdot \gamma_{21})}{|\gamma_{21} \cdot \gamma_{12}|} \quad (2.23)$$

où γ_{ij} représente les éléments (i,j) d'une des matrices des paramètres [S], [Y], [G] ou [H].

Le critère de stabilité peut être défini en fonction d'un paramètre μ comme montré dans [82]. Le paramètre μ en plus d'évaluer le critère de stabilité permet d'estimer son degré d'instabilité potentielle car il peut s'interpréter géométriquement comme la distance minimale entre l'origine de l'abaque de Smith unitaire et la région d'instabilité. Cependant,

ce paramètre n'a jamais supplanté le facteur K qui reste la méthode la plus utilisée par les concepteurs de circuits microondes.

L'équation 2.23 peut s'écrire en fonction des paramètres $[S]$ en suivant [83]. En effet, on peut déduire de façon intuitive un critère de stabilité à l'entrée, qui sera fonction de sa charge de sortie, en considérant $|\Gamma_{IN}|$ module du coefficient de réflexion ramené par la charge à l'entrée du dispositif. Si $|\Gamma_{IN}| > 1$ cela signifie que la puissance à la sortie du dispositif est supérieure à celle de l'entrée, on peut alors en déduire qu'en l'absence de puissance entrante il existera tout de même une puissance sortante, ce qui signifie que le système sera en train d'osciller.

Le problème de stabilité d'un quadripôle est donc lié à sa « non unidirectionalité », c'est à dire aux dispositifs qui possèdent un gain très élevé. Il est donc important d'avoir une bonne adaptation en gain tout en ayant un système stable. Pour des quadripôles non unidirectionnels, les adaptations idéales en entrée et en sortie ne sont plus S_{11}^* et S_{22}^* à cause de la rétroaction apportée par S_{12} . La figure 2.14 représente un quadripôle linéaire deux ports auquel nous appliquons une étude de stabilité.

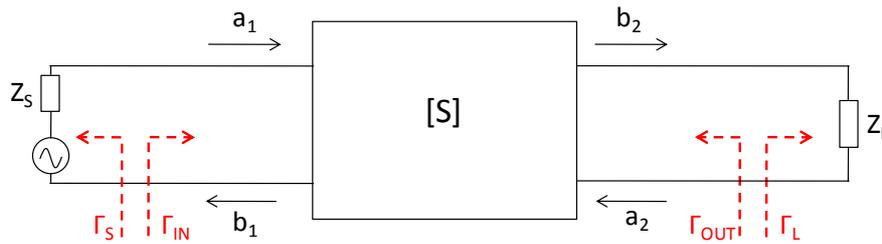


FIGURE 2.14 – Représentation d'un système 2 ports chargé sur son impédance de charge Z_L et son impédance de source Z_S .

Grâce aux ondes de puissance en entrée, a_1 b_1 , et aux ondes de puissance en sortie, a_2 b_2 , nous obtenons les équations du coefficient de réflexion à l'entrée du dispositif Γ_{IN} lorsqu'il est chargé sur Γ_L et du coefficient de réflexion en sortie Γ_{OUT} lorsqu'il est chargé sur son impédance de source Γ_S .

$$\Gamma_{IN} = S_{11} + \frac{\Gamma_L \cdot S_{21} \cdot S_{12}}{1 - \Gamma_L \cdot S_{22}} \quad (2.24)$$

$$\Gamma_{OUT} = S_{22} + \frac{\Gamma_S \cdot S_{21} \cdot S_{12}}{1 - \Gamma_S \cdot S_{11}} \quad (2.25)$$

Il est évident que la meilleure adaptation serait obtenue pour :

$$\Gamma_S = \Gamma_{IN}^* \quad (2.26)$$

$$\Gamma_L = \Gamma_{OUT}^* \quad (2.27)$$

Après quelques calculs assez lourds, cette condition se résoud et devient :

$$\Gamma_S = \frac{B_1 \pm \sqrt{B_1^2 - 4|C_1|^2}}{2C_1} \quad (2.28)$$

$$B_1 = 1 + |S_{11}|^2 - |S_{22}|^2 - |\Delta|^2 \quad (2.29)$$

$$C_1 = S_{11} - \Delta S_{22}^* \quad (2.30)$$

$$\Gamma_L = \frac{B_2 \pm \sqrt{B_2^2 - 4|C_2|^2}}{2C_2} \quad (2.31)$$

$$B_2 = 1 + |S_{22}|^2 - |S_{11}|^2 - |\Delta|^2 \quad (2.32)$$

$$C_2 = S_{22} - \Delta S_{11}^* \quad (2.33)$$

où $\Delta = S_{11}S_{22} - S_{12}S_{21}$ est le déterminant de la matrice [S].

En travaillant les équations précédentes nous obtenons :

$$B_1^2 - 4|C_1|^2 = B_2^2 - 4|C_2|^2 = 4(K^2 - 1)|S_{12} \cdot S_{21}|^2 \quad (2.34)$$

avec

$$K = \frac{1 + |\Delta|^2 - |S_{11}|^2 - |S_{22}|^2}{2|S_{12}| |S_{21}|} \quad (2.35)$$

où K est un nombre réel.

Selon la valeur que va prendre le facteur de Rollet K, nous allons pouvoir définir si le dispositif linéaire est stable ou non. La table suivante indique comment adapter le transistor en fonction du facteur K.

– Si $|K| = 1$:

Nous avons $B_1^2 = 4|C_1|^2$ et $B_2^2 = 4|C_2|^2$. Si nous reportons ces égalités dans le calcul des coefficients Γ_S et Γ_L , nous obtenons $|\Gamma_S| = |\Gamma_L| = 1$. Il est alors impossible d'adapter simultanément l'entrée et la sortie. Le dispositif oscille.

$ K = 1$			Pas d'adaptation possible du transistor	$ \Gamma_L = \Gamma_S = 1$
$ K > 1$	$K > 1$	$ \Delta < 1$	Transistor inconditionnellement stable	Tous les lieux de $ \Gamma_L \Gamma_S $ assurent la stabilité
		$ \Delta > 1$	Transistor conditionnellement stable	Il existe au moins un couple de $ \Gamma_L \Gamma_S $ qui assure la stabilité
	$K < -1$		Aucune adaptation possible du transistor	
$ K < 1$			Transistor conditionnellement stable	Il existe au moins un couple de $ \Gamma_L \Gamma_S $ qui assure la stabilité

TABLE 2.2 – Stabilité du dispositif en fonction du facteur K.

– Si $|K| > 1$, nous avons deux possibilités :

- $K > 1$: il faut alors également regarder le déterminant de la matrice $[S]$ afin de savoir si le dispositif est inconditionnellement ou conditionnellement stable.

⇒ Si $|\Delta| < 1|$ le dispositif est inconditionnellement stable. C'est le cas le plus favorable car le système deux ports sera stable quelque soit l'impédance présentée en entrée et en sortie de celui-ci. Ces conditions sont des conditions nécessaires mais pas suffisantes pour qu'un dispositif amplificateur soit inconditionnellement stable. Une autre condition est nécessaire, il faut que les pôles d'un système deux ports chargé par des terminaisons idéales soient dans le demi-plan à gauche du plan complexe. Cette condition additionnelle est connue comme la condition de Rollet [84].

Si le facteur de Rollet reste incontournable dans le monde de la conception de circuits, la condition de Rollet quant à elle est très peu utilisée. Ceci conduit normalement à des conclusions erronées car le circuit peut avoir des boucles de rétroaction internes qui sont imperceptibles depuis les accès du réseau deux ports [85]. C'est pourquoi, lors de l'étude de circuit composé de plusieurs transistors, une étude de stabilité non linéaire doit être réalisée en plus d'une étude sur le facteur de Rollet, afin de détecter ces potentielles instabilités. Cette étude sera décrite dans le chapitre suivant.

⇒ Si $|\Delta| > 1|$, la stabilité est conditionnelle. C'est à dire qu'il existe au moins un couple de charges entrée-sortie qui permette d'avoir un système amplificateur stable. Le circuit reste adaptable simultanément.

- $K < -1$, dans ce cas aucune adaptation n'est possible simultanément ce qui conduit à un dispositif instable.

– Si $|K| < 1$,

Le circuit amplificateur est conditionnellement stable. Il existe alors au moins un couple de charges d'entrée et de sortie qui assure la stabilité du dispositif. Mais avec l'étude seule du facteur de Rollet nous ne pouvons pas définir le lieu de cette (ou ces) charge(s). C'est pourquoi dans le cas de la stabilité conditionnelle il est nécessaire de tracer les cercles de stabilité pour trouver des compromis graphiques entre les zones de stabilité et les zones des charges entrée-sortie qui permettent l'adaptation.

2.3.3.2 Cercles de stabilité

Pour qu'un système amplificateur chargé par un coefficient de réflexion Γ_L soit stable, il faut que $|\Gamma_{IN}| < 1$ lors du choix de Γ_L . En pratique nous considérons toujours des charges passives $\Gamma_L < 1$, par conséquent nous pouvons utiliser l'abaque de Smith.

Nous allons chercher, dans le plan de Γ_L , la courbe réalisant la condition $|\Gamma_{IN}| = 1$. Elle forme un cercle qui correspond à la limite de stabilité. Elle est définie par l'équation suivante :

$$S_{11} + \frac{\Gamma_L S_{21} S_{12}}{1 - \Gamma_L S_{22}} = 1 \quad (2.36)$$

C'est l'équation d'un cercle de centre C et de rayon R donné par :

$$\bar{OC} = \frac{(S_{22} - \Delta S_{11}^*)^*}{|S_{22}|^2 - |\Delta|^2} \quad (2.37)$$

$$R = \frac{|S_{12}| |S_{21}|}{||S_{22}|^2 - |\Delta|^2|} \quad (2.38)$$

Le cercle de stabilité en entrée (input stability circle) est également appelé le cercle d'instabilité des charges (load instability circle). Ce cercle délimite deux zones, une zone où $|\Gamma_{IN}| < 1$, qui correspond à une zone de stabilité et une autre où $|\Gamma_{IN}| > 1$ qui correspond à une zone d'instabilité. Afin de déterminer quelle zone de l'abaque correspond à ces différentes conditions, il est pratique de regarder le cas particulier du centre de l'abaque pour lequel $\Gamma_L = 0$ ou encore $\Gamma_{IN} = S_{11}$.

Deux cas se présentent :

- $|S_{11}| < 1$, alors le centre de l'abaque appartient à la zone stable. Si le centre de l'abaque de Smith se situe à l'extérieur des cercles délimitant la zone de stabilité (figure 2.15 a), alors le lieu des charges de sortie qui provoqueront l'instabilité du dispositif se situe à l'intérieur de ces cercles. La zone des charges assurant la stabilité se situe donc hors des cercles. Alors que si le centre de l'abaque se trouve à l'intérieur des cercles de stabilité

d'entrée (figure 2.15 b) cela signifie que la zone des charges de sortie pour lesquelles le système est stable en entrée se situe à l'intérieur des cercles.

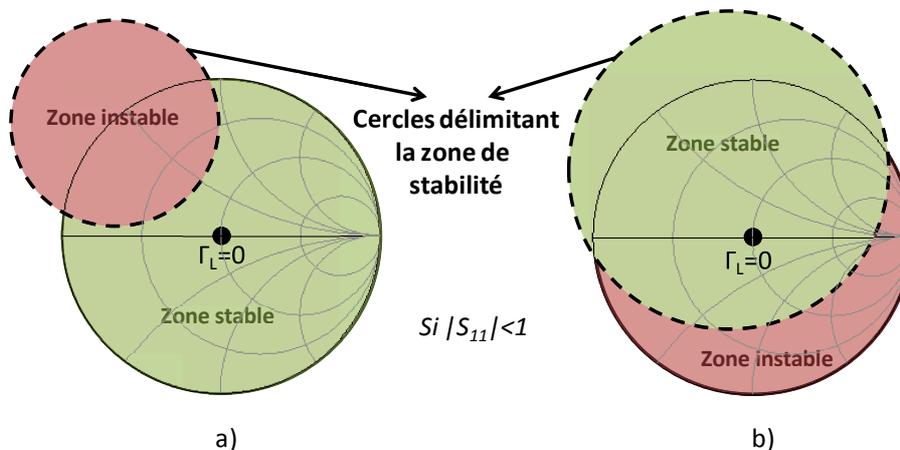


FIGURE 2.15 – Représentation de deux cas de stabilité conditionnelle lorsque $|S_{11}| < 1$.

- $|S_{11}| > 1$, alors le centre de l'abaque de Smith appartient à la zone d'instabilité. Ce qui signifie que si les cercles de stabilité n'englobent pas le centre de l'abaque de Smith (figure 2.16 a), la zone de stabilité se situe à l'intérieur de ces cercles. Et toutes les charges de sortie se trouvant dans ces cercles assureront la stabilité du système deux ports. Alors que si les cercles de stabilité entourent la charge 50Ω (figure 2.16 b), la zone d'instabilité se situera à l'intérieur de ces cercles. Par conséquent toutes les charges de sortie se situant à l'intérieur de ces cercles provoqueront l'instabilité en entrée du dispositif.

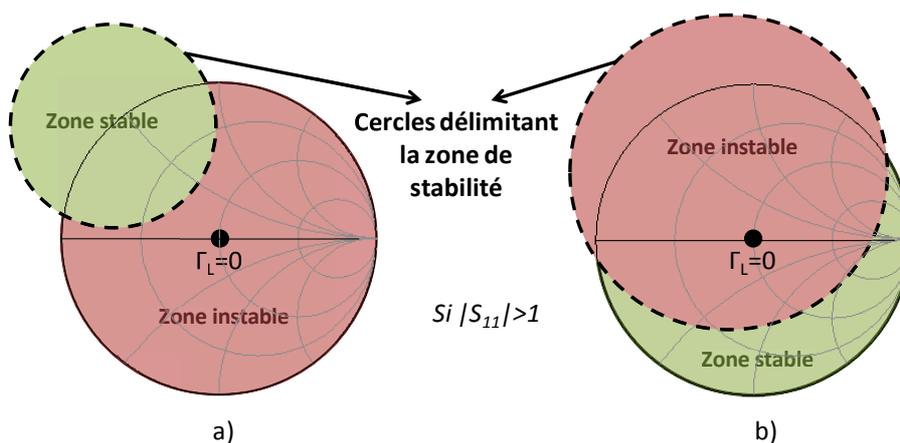


FIGURE 2.16 – Représentation de deux cas de stabilité conditionnelle lorsque $|S_{11}| > 1$.

Ces cercles de stabilité définissent le comportement en entrée en fonction de la charge de sortie. Par la même démarche, nous pouvons définir le comportement en sortie en fonction de la charge en entrée. Le problème est identique et sa solution s'obtient en renversant les indices 1 et 2 dans les équations précédentes. Ce cercle concernera un

quadripôle susceptible d'osciller en sortie si le coefficient de réflexion en entrée est mal choisi.

2.3.3.3 Gain maximal

Le gain disponible maximal (Maximum Available Gain : MAG) correspond à la zone de stabilité inconditionnelle c'est à dire lorsque le facteur de Rollet $K > 1$. Il est défini par l'équation suivante :

$$MAG = \left| \frac{S_{21}}{S_{12}} \right| \cdot \left| K - \sqrt{K^2 - 1} \right| \quad (2.39)$$

Dans le cas d'une stabilité conditionnelle, c'est à dire lorsqu'un dispositif est instable pour au moins un couple de charges entrée-sortie, et qui se traduit par $|K| < 1$. Nous définissons le gain stable maximum (Maximum Stable Gain : MSG) par l'équation suivante :

$$MSG = \left| \frac{S_{21}}{S_{12}} \right| \quad (2.40)$$

En général le gain maximum que l'on peut fournir à un dispositif amplificateur se présente sous la forme de deux régions, le MSG puis le MAG. La figure 2.17 représente une courbe typique que l'on peut trouver pour le gain maximum disponible. Les deux zones de gain MSG/MAG sont alors délimitées par la fréquence de transition F_T . Nous observons que le MSG est la zone qui présente un gain plus élevé, ce qui justifie quelle corresponde à une stabilité conditionnelle. Tandis que le MAG correspond à une zone où le gain diminue de façon abrupte, c'est pourquoi cela correspond à une stabilité inconditionnelle.

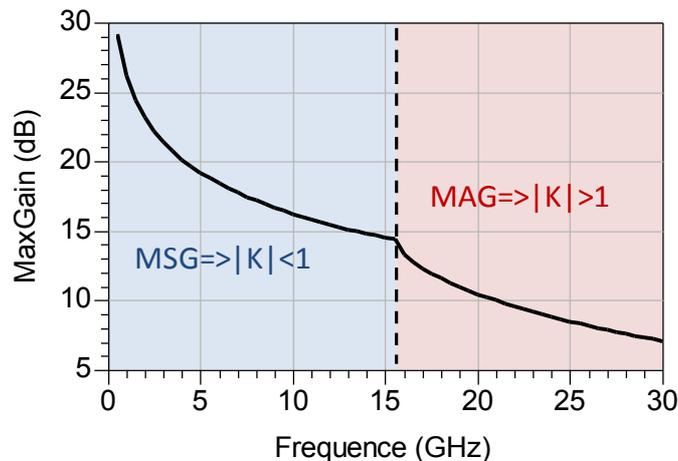


FIGURE 2.17 – Courbe typique du gain maximum disponible pour une bande de fréquence de 0.5 à 30 GHz.

2.3.4 Bancs de mesure

- Le banc de paramètres [S]

La mesure de paramètres [S] permet de valider les modèles petit signal des transistors ou des cellules de puissance utilisés lors des simulations. Ces mesures sont réalisées à l'aide d'un analyseur de réseau vectoriel (VNA, Vector Non linear Analyser) de la marque Anritsu.

- Le banc load pull

Le principe du banc load pull est d'effectuer un balayage des impédances de charge d'entrée et de sortie sur l'abaque de Smith du transistor. Ces acquisitions permettent de mesurer la puissance de sortie en fonction de la puissance d'entrée appliquée au composant. Il est ainsi possible de trouver la meilleure adaptation entrée-sortie permettant d'obtenir un maximum de rendement en puissance ajoutée (Power Added Efficiency : PAE), de Pout, de Gain ou un compromis entre ces trois caractéristiques selon l'application visée.

La figure 2.18 présente le banc load pull que nous avons utilisé lors des mesures durant cette thèse. Il comporte une partie RF qui est constituée d'un tuner d'entrée et de sortie afin de faire varier les impédances de charge en entrée et en sortie du dispositif. Dans notre cas, nous ne ferons varier que l'impédance de sortie.

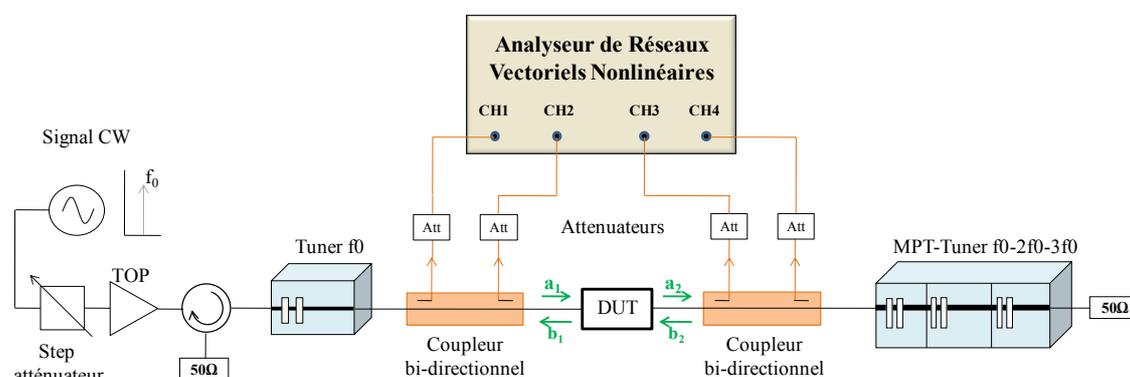


FIGURE 2.18 – Architecture simple d'un banc Load Pull passif.

Ce banc est dit de type passif, car les impédances présentées en sortie du transistor sont synthétisées grâce à un tuner mécanique. Un tuner est un élément passif qui permet de positionner horizontalement et verticalement des plongeurs qui modifient l'impédance ramenée à son entrée. Ce dispositif passif, est limité sur l'abaque de Smith à un cercle de diamètre strictement inférieur à 1 délimitant le domaine des impédances présentables par l'ensemble tuner et éléments passifs le reliant à la sortie du transistor (figure

2.19). Il convient très bien pour des mesures de puissances d'un dispositif présentant une impédance de sortie élevée. Malheureusement plus la fréquence de fonctionnement augmente, plus l'impédance de sortie nécessaire à l'adaptation du transistor est petite c'est à dire plus elle se rapproche des extrémités de l'abaque de Smith.

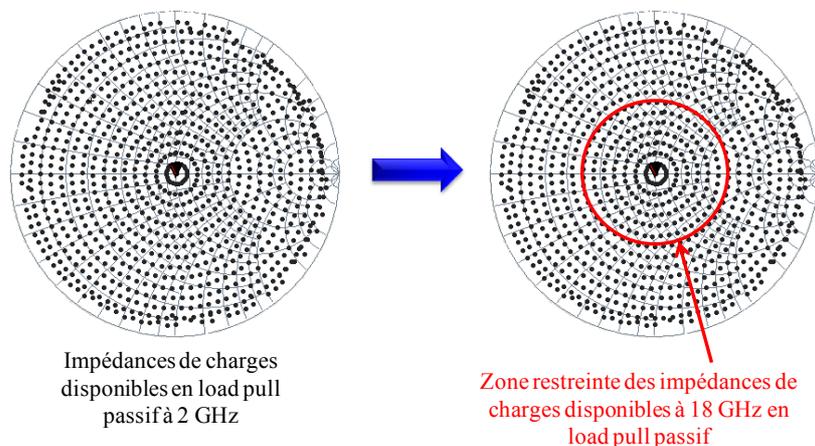


FIGURE 2.19 – Représentation des charges disponibles sur l'abaque de Smith en Load Pull passif pour deux fréquences différentes.

Afin de résoudre ce problème une autre technique a été élaborée, elle est appelée load-pull actif. Le principe est résumé sur la figure 2.20. Il s'agit d'injecter à la sortie du transistor un signal à la fréquence nominale de fonctionnement, pour simuler une onde a_2 qui serait renvoyée par une impédance donnée. Avec cette technique, des coefficients de réflexion à la sortie du composant égaux, voire supérieurs à 1, peuvent être créés. Pour des transistors très désadaptés, ayant des impédances de sortie inférieures à quelques Ohms par exemple, cette méthode permet d'atteindre ces impédances là où les bancs passifs en seraient incapables. Il s'agit d'une technique très utile pour la conception d'amplificateurs. Son principal point faible est d'être particulièrement difficile à maîtriser.

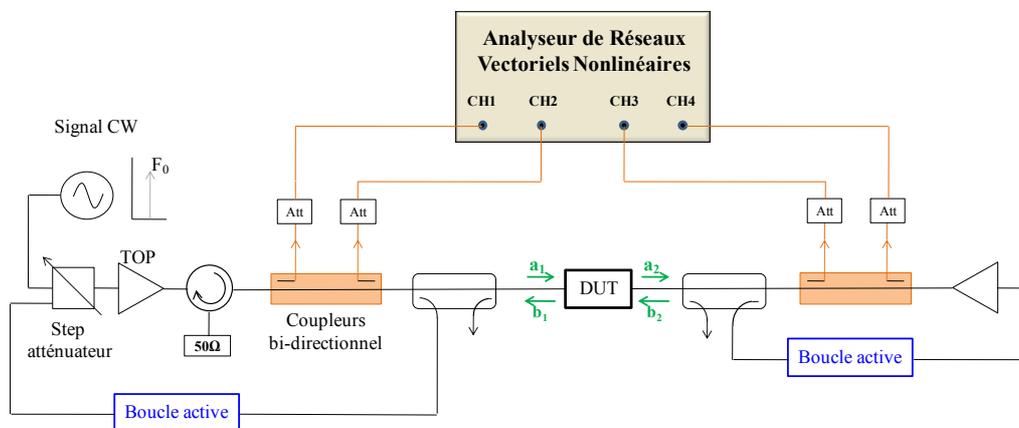


FIGURE 2.20 – Source et Load Pull basé sur la boucle active.

Les ondes de puissances sont récupérées via des coupleurs au plus proche du dispositif sous test grâce à un analyseur de réseau vectoriel non linéaire (NVNA) [86], [87]. Pour les bancs de Limoges et de Brive nous utilisons un analyseur de réseau grand signal (Large Signal Network Analyser : LSNA). Le LSNA est un récepteur qui mesure les quatre ondes de puissance a_1 , b_1 , a_2 et b_2 . Il fournit des informations d'amplitude et de phase pour une fréquence définie et un certain nombre de ses harmoniques, contrairement à un analyseur de réseau vectoriel (ARV) qui explore toute une bande de fréquence. Il permet la reconstruction des tensions et courants dans les plans définis lors du calibrage. Sa fréquence maximale de fonctionnement est de 18 GHz. Elle est limitée par la connectique à l'intérieur du LSNA. Cela signifie que si l'on veut étudier un signal à 3 harmoniques, sa fréquence fondamentale ne peut pas dépasser 6 GHz. Des mesures temporelles sont alors réalisées. Nous avons donc accès à grand nombre d'informations tels que la puissance de sortie mais aussi la puissance à l'entrée du DST, les coefficients de réflexions en entrée et en sortie du dispositif, le gain et la PAE. Il permet l'acquisition de l'amplitude absolue et de la phase relative à une onde prise en référence pour une fréquence fondamentale donnée et les fréquences harmoniques accessibles dans sa bande de fréquence de fonctionnement. La partie DC est constituée de générateurs qui peuvent être éventuellement pulsés, ce qui n'est pas notre cas.

L'étalonnage de ce banc est particulier puisqu'il nécessite un étalonnage dans le plan des pointes, de type SOLT ou LRRM, comme pour un ARV classique, mais également d'un étalonnage en puissance à l'aide d'un wattmètre sur un port auxiliaire afin de réaliser la correction en amplitude absolue de toutes les ondes à toutes les fréquences considérées. Un étalonnage en phase avec la diode SRD est également réalisé afin de prendre en compte les relations de phase entre l'onde incidente à la fréquence fondamentale et les ondes à toutes les autres fréquences [88], [89].

2.4 Conception de la cellule cascode intégrée

2.4.1 Choix de la technologie

Dans le chapitre 1, nous avons démontré que le transistor PHEMT GaAs était le meilleur candidat pour concevoir des nouvelles cellules de puissance. UMS propose différentes filières technologiques pour ce type de transistor que nous présentons dans la table 2.3 [90]. Cinq filières sont proposées dont deux que l'on peut éliminer puisqu'elles possèdent une densité de puissance et une tension de claquage faibles. Leur utilisation est réservée à des applications faible bruit. De plus, nous voulons concevoir un amplificateur compact présentant 2 W de puissance de sortie dans la bande de fréquence 12 à 16 GHz.

La filière *PPH25X* semble alors être le meilleur compromis puisqu'elle possède la plus forte densité de puissance, ce qui permettra d'avoir un dispositif compact.

Process	PH25 Faible bruit	PH15 Faible bruit	PPH25 Puissance	PPH25X Forte puissance	PPH15 Puissance	PPH15X Forte puissance
Densité de puissance (mW/mm)	250	300	700	900	600	750
Longueur de grille (μm)	0.25	0.15	0.25	0.25	0.15	0.15
Ids (Gm max) (mA/mm)	200	220	200	170	300	350
Tension de claquage (V)	> 6	> 4,5	> 12	> 18	> 8	> 12
Fréquence de coupure (GHz)	90	110	50	45	75	65

TABLE 2.3 – Vue d'ensemble des performances des filières PHEMT d'UMS.

Le dessin du transistor PPH25X est présenté figure 2.21, il est caractérisé par la présence de trous métallisés (vias holes) dans chacune des sources. Ces trous métallisés assurent un fort gain et une bonne stabilité thermique. De plus, ils fournissent un aspect distribué au transistor ce qui nous permettra de réaliser plusieurs versions de topologies de cascode et notamment des cellules avec des composants passifs intégrés à l'intérieur du modèle des transistors. Cette technologie utilise des capacités MIM (Metal Isolant Metal). Cette filière permet également de réaliser des ponts à air, dont on se servira par la suite.

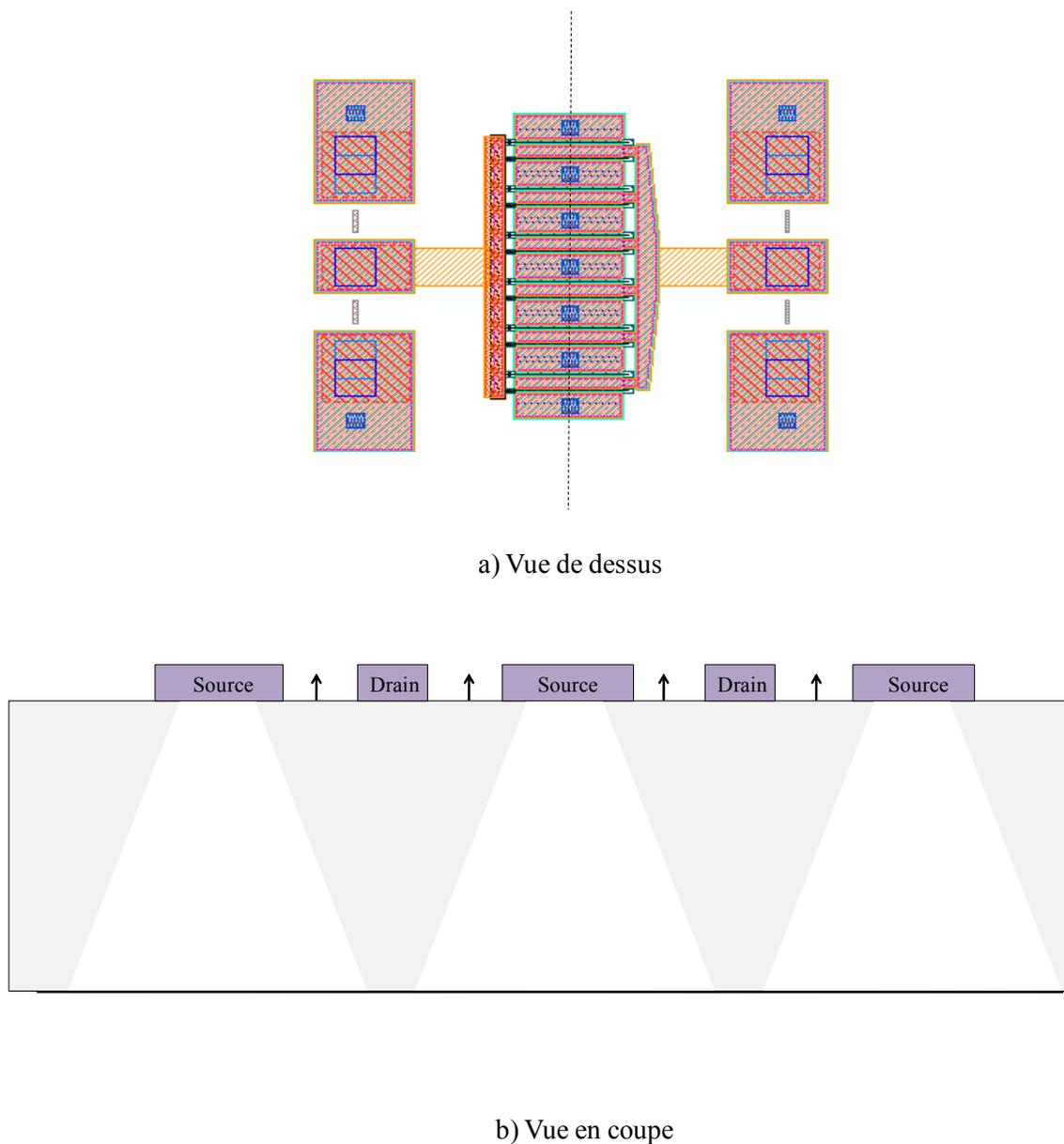


FIGURE 2.21 – Transistor PPH25X de développement 12x100 μm .

2.4.1.1 Modélisation petit signal

Le schéma équivalent petit signal est constitué de deux parties distinctes, les éléments extrinsèques qui correspondent aux éléments parasites des accès du transistor et les éléments intrinsèques (figure 2.22).

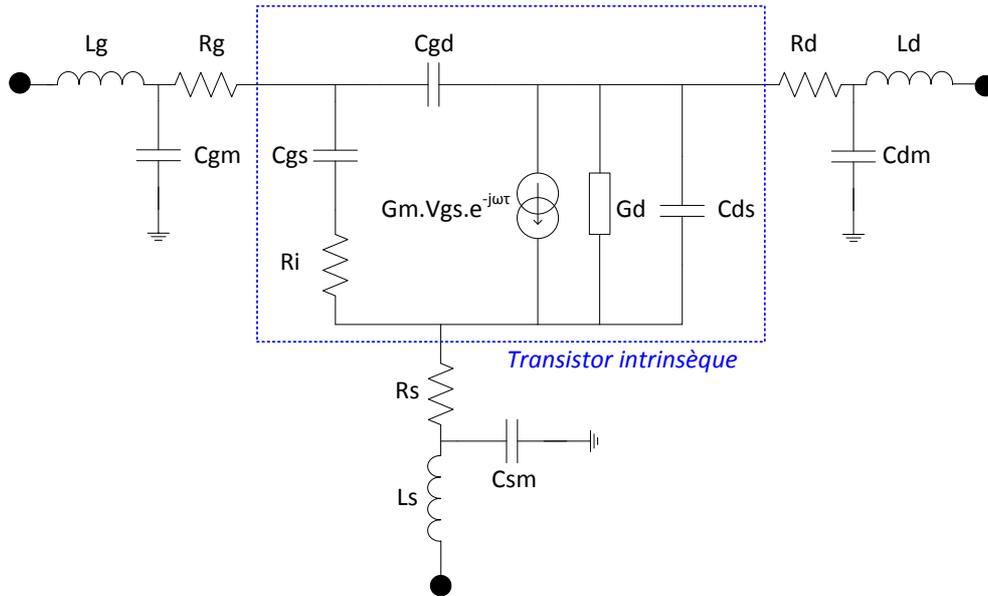


FIGURE 2.22 – Schéma du modèle linéaire du transistor.

– Les éléments intrinsèques :

Les éléments intrinsèques au transistor varient en fonction de la polarisation.

La transconductance Gm correspond au contrôle du courant dans le canal par la tension de grille, on lui associe un retard τ . La conductance Gd traduit les effets d'injection des électrons dans le canal sous l'influence d'une tension Vgs constante. Ces deux paramètres traduisent l'effet fondamental du transistor en fonctionnement petit signal :

$$Gm = \left. \frac{\partial Ids}{\partial Vgs} \right|_{Vds} \quad (2.41)$$

$$Gd = \left. \frac{\partial Ids}{\partial Vds} \right|_{Vgs} \quad (2.42)$$

Ri représente la résistance du canal côté grille alors que la capacité Cds représente la capacité drain source interne au composant. Les variations des charges accumulées sous la grille sous l'effet des tensions Vgs et Vgd sont modélisées respectivement par les capacités Cgs et Cgd telles que :

$$Cgs = \left. \frac{\partial Qg}{\partial Vgs} \right|_{Vgd} \quad (2.43)$$

$$Cgd = \left. \frac{\partial Qg}{\partial Vgd} \right|_{Vgs} \quad (2.44)$$

– Les éléments extrinsèques :

Les éléments extrinsèques quant à eux sont indépendants du point de polarisation choisi.

L_g et C_{gm} ainsi que L_d et C_{dm} symbolisent les éléments équivalents respectivement à la métallisation de grille et de drain. R_g équivaut à la métallisation de grille qui correspond au contact Schottky. R_d et R_s représentent les résistances parasites dues aux contacts ohmiques et aux zones conductrices inactives du canal entre les métallisations de drain et de source et la limite de la zone déserte. L_s et C_{sm} représentent l'inductance et la capacité associées aux vias holes des sources.

Afin d'extraire le modèle petit signal, une mesure de paramètres $[S]$ proche du point de repos est nécessaire. Un algorithme de calcul créé au sein du laboratoire associé à une procédure d'optimisation permet de rechercher les valeurs des éléments extrinsèques jusqu'à ce que tous les paramètres intrinsèques soient indépendants de la fréquence [91], [92]. Ce dernier basé sur la méthode du recuit simulé permet de s'affranchir des problèmes de minimum locaux qui pourraient être néfaste à la recherche de la solution optimale. Une comparaison pour chaque fréquence étudiée est systématiquement effectuée entre le modèle petit signal calculé par l'algorithme et les mesures de paramètres $[S]$. Le but de cet algorithme étant de minimiser l'écart entre le modèle et la mesure.

Des paramètres $[S]$ ont été réalisés sur tout le réseau $I(V)$ pulsé du transistor, par conséquent il a pu être montré que les éléments C_{gs} , C_{gd} , G_m et G_d sont non linéaires, alors que la résistance R_i , la capacité C_{ds} et le retard τ sont considérés comme constants même s'ils varient légèrement avec la polarisation. Cette approximation simplifie le modèle sans changement notable du comportement de celui-ci à fort niveau.

Dans les tables 2.4 et 2.5, nous présentons les valeurs des paramètres extrinsèques et intrinsèques d'un transistor pHEMT de développement de grille $12 \times 100 \mu\text{m}$ puisque c'est ce transistor qui sera utilisé lors de la conception des nouvelles cellules de puissance. Les paramètres de ce modèle ont été extraits pour un point du réseau $I(V)$ proche du point de polarisation visé. Les paramètres extrinsèques étant indépendants du point de polarisation ils seront conservés lors de la réalisation du modèle non linéaire.

Paramètres extrinsèques								
$R_g(\Omega)$	$L_g(pH)$	$C_{gm}(fF)$	$R_d(\Omega)$	$L_d(pH)$	$C_{dm}(fF)$	$R_s(\Omega)$	$L_s(pH)$	$C_{sm}(fF)$
1.083	28.925	37.754	0.521	24.453	63.436	0.521	2.847	67.086

TABLE 2.4 – Valeurs des paramètres extrinsèques du modèle petit signal d'un transistor ($12 \times 100 \mu\text{m}$) extrait de 0.5GHz à 30GHz au point de polarisation : $V_{DS} = 8V$, $I_{DS} = 160mA$.

Paramètres intrinsèques						
$C_{gs}(pF)$	$C_{gd}(pF)$	$C_{ds}(pF)$	$gm(mS)$	$gd(S)$	$\tau(ps)$	$R_i(\Omega)$
2.548	0.095	206.8	446	0.01	4.420	0.338

TABLE 2.5 – Valeurs des paramètres intrinsèques du modèle petit signal d'un transistor ($12 \times 100 \mu m$) extrait de 0.5GHz à 30GHz au point de polarisation : $V_{DS} = 8V$, $I_{DS} = 160mA$.

La comparaison, qui montre une bonne concordance, entre les paramètres $[S]$ mesurés et ceux issus du modèle petit signal d'un transistor $12 \times 100 \mu m$ au point de polarisation $V_d=8V$ et $I_d=160mA$ est présentée figure 2.23.

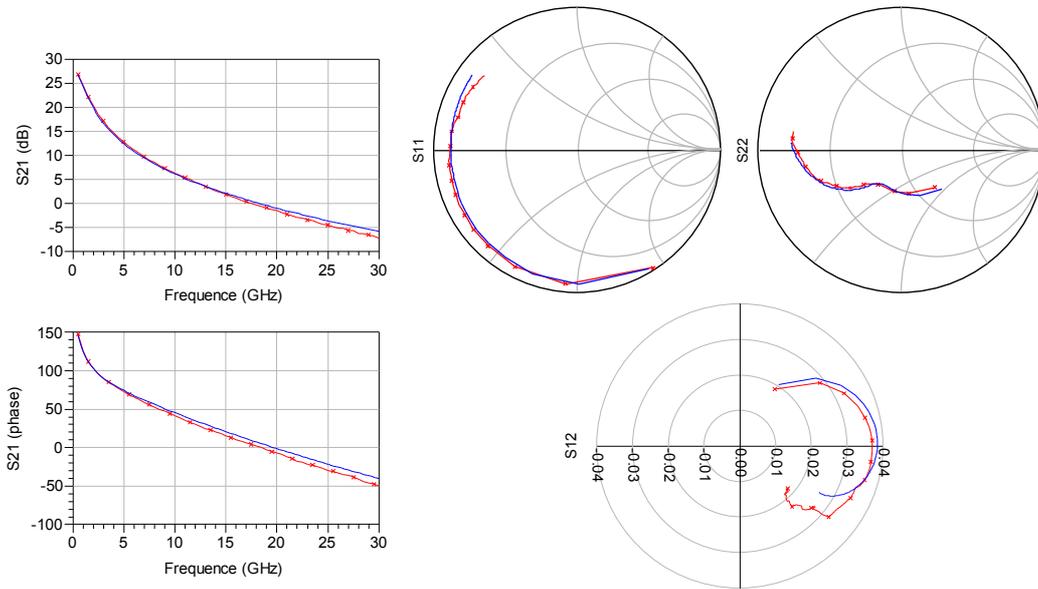


FIGURE 2.23 – Comparaison mesures (croix) modèle (trait) des paramètres S_{11} , S_{22} , S_{21} et S_{12} au point de polarisation $V_{ds}=8V$, $I_{ds}=160mA$, en fonction de la fréquence de 0.5 à 30 GHz pour une transistor $12 \times 100 \mu m$.

2.4.1.2 Modélisation non linéaire

Le modèle non linéaire (NL) du transistor PHEMT est celui de la bibliothèque UMS (figure 2.24). La source de courant de drain commandée par les tensions V_{ds} et V_{gs} est l'élément principal de la modélisation fort signal. Elle est basée sur le modèle de Tajima mais ses équations ont été modifiées afin de correspondre au mieux aux mesures réalisées. Les diodes d'entrée I_{dgs} et I_{dgd} représentent les générateurs de courant non linéaires permettant de représenter le courant positif de grille mesuré pour les fortes valeurs positives des tensions V_{gs} et V_{gd} .

Les phénomènes d'avalanches sont modélisés, ils permettent de limiter l'excursion de la tension de drain V_{ds} . Deux types d'avalanche sont représentés :

- L'avalanche standard drain-grille.

Lorsque le transistor est pincé et soumis à un champ électrique de drain important, un courant circulant du drain vers la grille apparaît. Il augmente exponentiellement avec le champ électrique. Dans ce cas, la totalité du courant négatif mesuré sur la grille se retrouve en positif sur le drain et aucun courant ne circule du drain vers la source.

- L'avalanche due à l'ionisation par impact.

Ce type d'avalanche apparaît pour les tensions V_{gs} relativement élevées lorsque le transistor est soumis à un fort champ de drain. Celui-ci provoque une ionisation par impact, c'est à dire l'accélération des électrons accumulés dans le canal. Les conséquences sur les caractéristiques $I(V)$ de ce phénomène sont l'augmentation du courant de sortie I_{ds} et l'apparition d'un courant négatif sur la grille. La modélisation de ce comportement s'effectue par l'ajout de deux générateurs. Le premier $I_{av} - ion_{ds}$ est placé entre le drain et la source et le second $I_{av} - ion_{dg}$ entre le drain et la grille pour modéliser la partie du courant de trous qui part vers la grille.

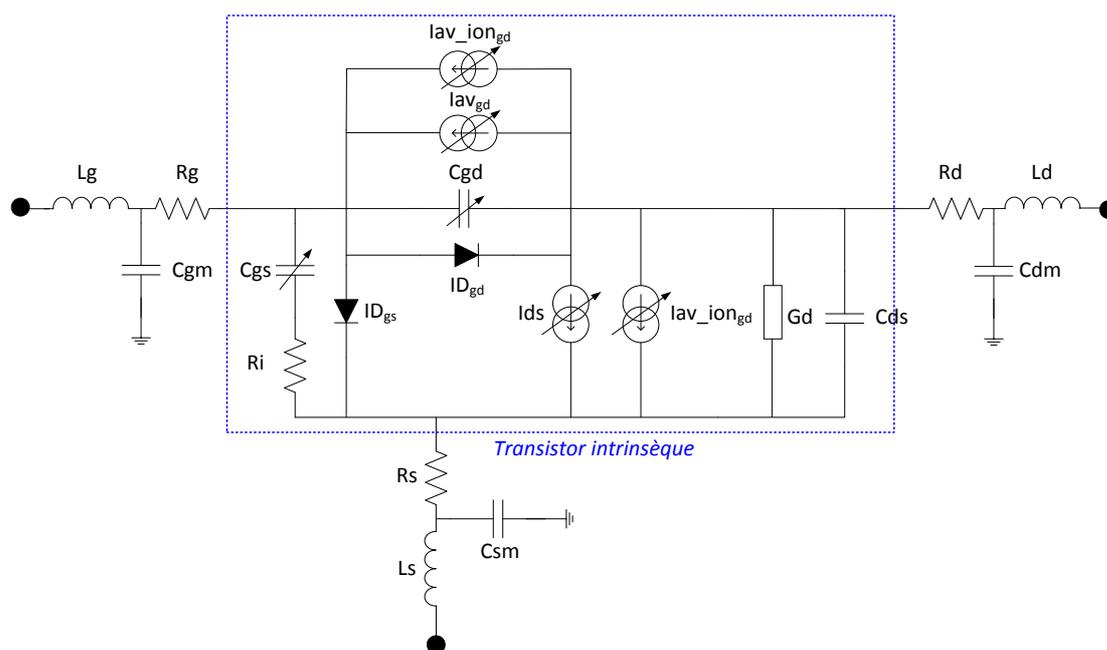


FIGURE 2.24 – Structure du modèle non linéaire.

Afin d'obtenir les capacités non linéaires $C_{gs}(V_{gs})$ et $C_{gd}(V_{gd})$, un cycle de charge idéal est tracé sur les mesures du réseau $I(V)$, il doit être représentatif d'un fonctionnement en puissance du transistor. Seuls les paramètres $[S]$ le long de ce cycle sont utilisés, les éléments capacitifs intrinsèques sont extraits, pour chaque point de polarisation correspondant à ce cycle de charge, avec l'algorithme présenté dans le paragraphe précédent.

Une loi d'échelle sur les différents paramètres extrinsèques et intrinsèques du transistor permet d'adapter la dimension de ce dernier sans effectuer de nouveau une modélisation complète [47]. Une comparaison des mesures de paramètres [S] et du modèle non linéaire du transistor pour deux tailles de transistor différentes est présentée figure 2.25 et figure 2.26. Les deux transistors testés ont un développement de grille de $8 \times 100 \mu\text{m}$ et $12 \times 125 \mu\text{m}$. Une mesure load pull à 12 GHz sur leur impédance de charge optimale permet de valider le modèle proportionnel ou « scalable » non linéaire (figure 2.27). Cette loi d'échelle sera utilisée lors de la modélisation de la cellule de puissance cascode.

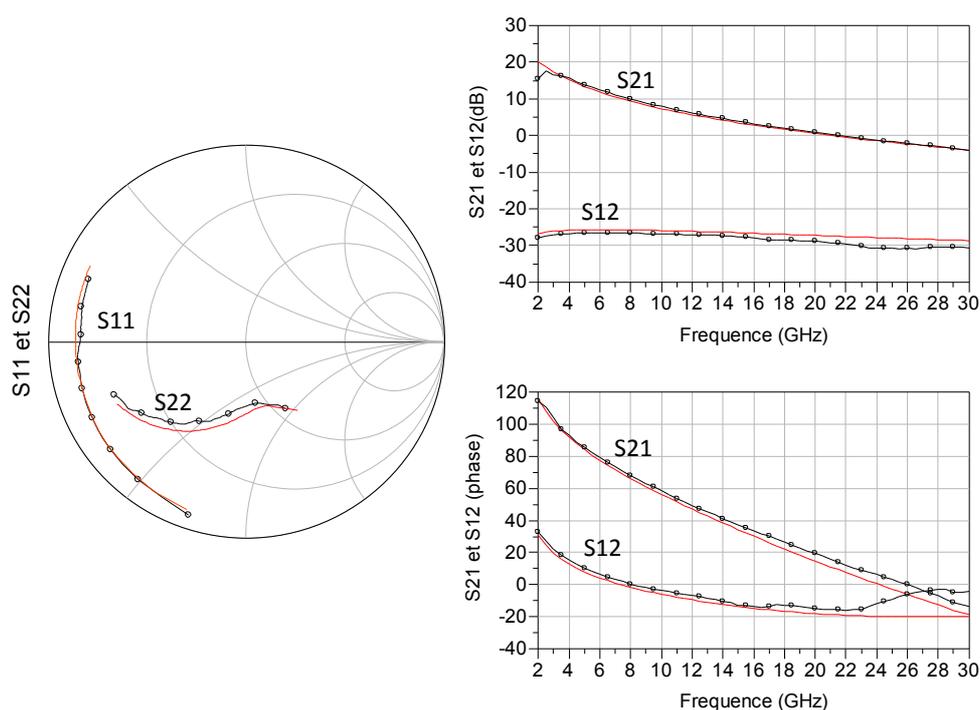


FIGURE 2.25 – Comparaison mesure/modèle des paramètres [S] pour un point de polarisation $V_d=8\text{V}$ et $I_d=100\text{mA}$ et pour le modèle NL du transistor $8 \times 100 \mu\text{m}$ (cercles : mesures, lignes continues : simulations).

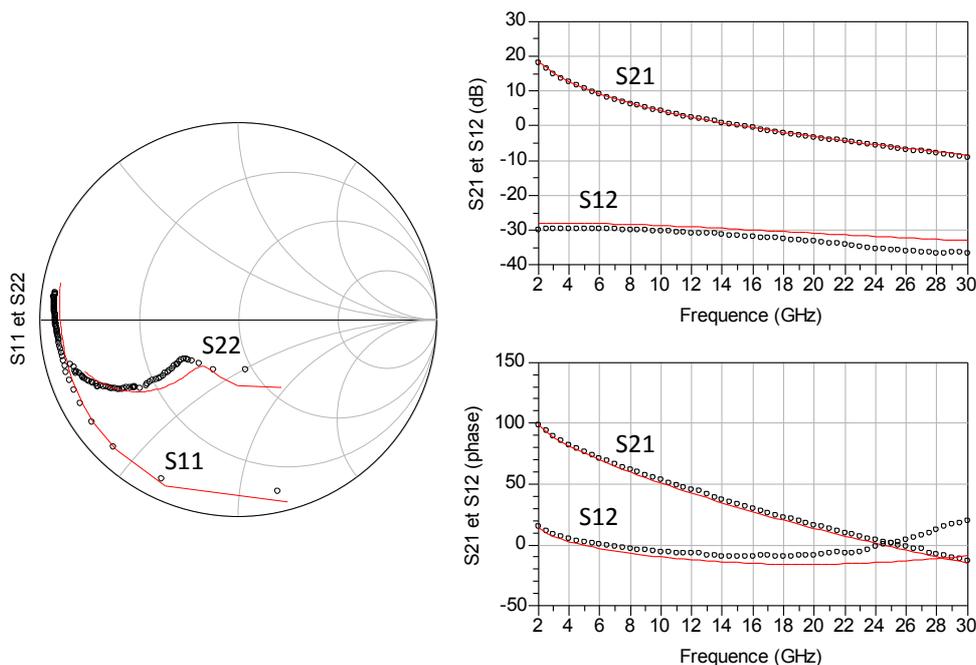


FIGURE 2.26 – Comparaison mesure/modèle des paramètres [S] pour un point de polarisation $V_d=8V$ et $I_d=180mA$ et pour le modèle NL du transistor $12 \times 125 \mu m$ (cercles : mesures, lignes continues : simulations).

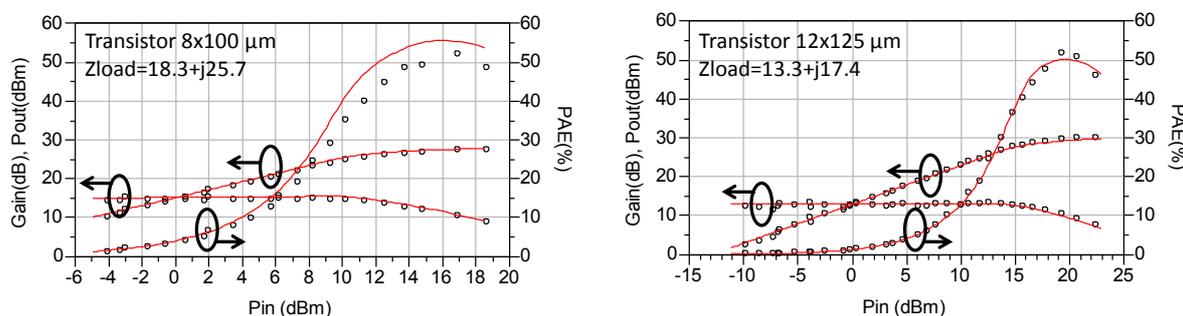


FIGURE 2.27 – Caractéristiques de puissance mesurées et modélisées (gain, puissance de sortie et PAE) en fonction de la puissance d'entrée, pour l'impédance optimale, pour deux tailles de transistor (cercles : mesures, lignes continues : simulations) à leur point de polarisation respectif.

2.4.1.3 Optimisation du modèle proportionnel

Afin de s'approcher au maximum du modèle de transistor à 2 doigts de grille utilisé lors de la modélisation distribuée du cascode intégré, nous distribuons un transistor de développement de grille $12 \times 125 \mu m$. Les transistors utilisés lors de la conception des cellules cascodes sont des $12 \times 100 \mu m$, mais lors de cette étape nous ne disposons pas de transistor de cette taille pour effectuer des mesures. Nous utilisons alors la loi d'échelle puisque le transistor est dit « scalable ». Le transistor à 12 doigts de grille va alors

être remplacé par 6 transistors à 2 doigts de grille en parallèle. Les bus de grille et de drain sont simulés sous Momentum, ce qui implique que le modèle à 2 doigts de grille ne contiendra pas les effets de ces bus. La différence du nombre de doigts entre les deux modèles (distribué à 2 doigts de grille et non distribué à 12 doigts de grille) est importante. Malgré la loi d'échelle, une mise à jour de certains paramètres du modèle 2 doigts a dû être réalisée. La figure 2.28 montre le schéma du transistor distribué que nous avons simulé.

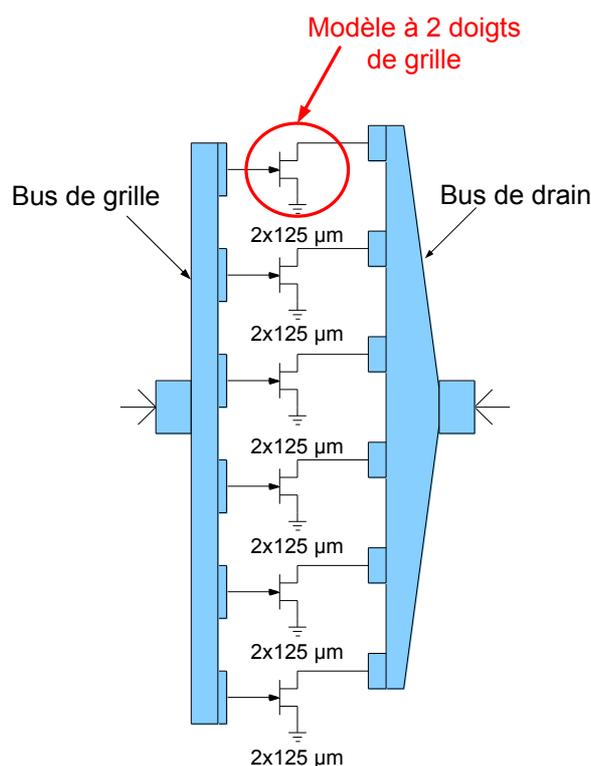


FIGURE 2.28 – Schéma de simulation du transistor distribué PPH25X de développement 12x125 µm.

Les paramètres $[S]$ de ce modèle distribué optimisé comparés aux mesures d'un transistor de même développement montrent une bonne concordance (figure 2.29). La vérification du modèle non linéaire du transistor distribué est réalisée grâce à une comparaison entre la simulation load pull et la mesure à 12 GHz (figure 2.30). Lors de cette mesure le transistor est chargé sur une impédance de charge proche de l'optimale $Z_{load} = 13.3 + j17.4$ (TOS=1.9).

Le modèle du transistor 2x125 µm qui a servi à la distribution du transistor est alors validé et peut être utilisé pour la modélisation de la cellule cascode.

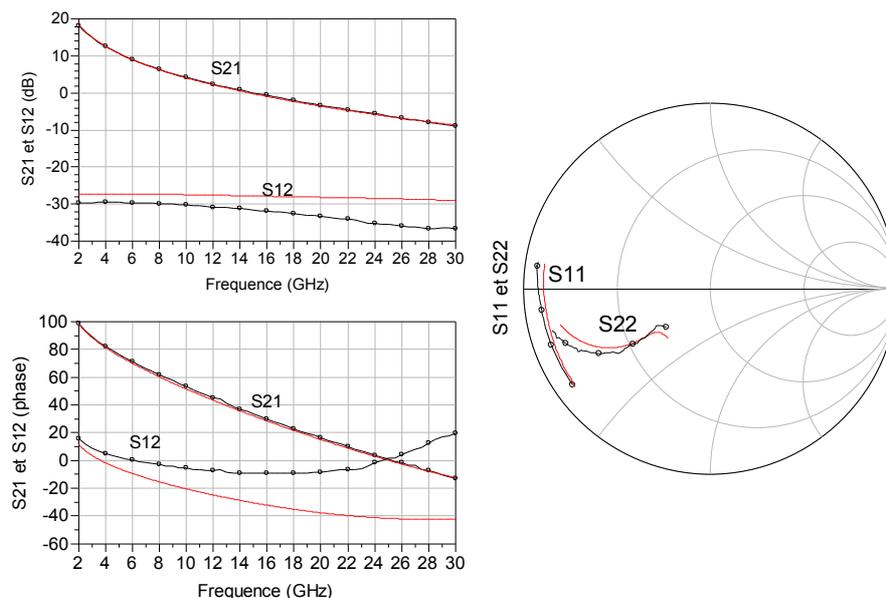


FIGURE 2.29 – Comparaison mesure/modèle distribué du transistor $12 \times 125 \mu\text{m}$ des paramètres $[S]$ pour un point de polarisation $V_d=8\text{V}$ et $I_d=180\text{mA}$ (cercles : mesures, lignes continues : simulations).

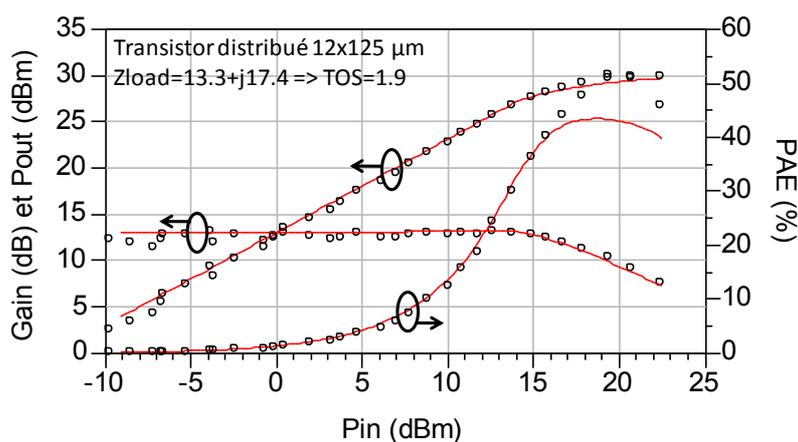


FIGURE 2.30 – Comparaison mesure/modèle distribué du transistor $12 \times 125 \mu\text{m}$ des caractéristiques de puissance (gain, puissance de sortie, PAE) pour un point de polarisation $V_d=8\text{V}$ et $I_d=180\text{mA}$ (cercles : mesures, lignes continues : simulations).

2.4.2 Layout des différentes topologies

Les transistors utilisés dans l'amplificateur STARK sont des PHEMT GaAs réalisés grâce à la technologie PPH25X d'UMS, présentée dans le paragraphe précédent. Afin de pouvoir comparer les performances électriques des transistors utilisés dans l'amplificateur STARK et celles des nouvelles cellules de puissance que nous avons conçues, nous décidons d'associer deux transistors de même développement de grille que ceux utilisés dans l'amplificateur. Par conséquent, la cellule cascode est composée de deux transistors de

même développement de grille $12 \times 100 \mu\text{m}$. Ce qui donne un développement de grille total de 2.4 mm. Le but de la conception de ces nouvelles cellules de puissance est de diminuer la dimension « y » de ces structures. En effet, dans un système VSAT, nous avons vu que les dispositifs amplificateurs doivent être de plus en plus compacts afin de réduire les coûts. C'est pourquoi, une cellule de puissance possédant un facteur de forme proche de 1 (rapport entre la dimension verticale et la dimension horizontale) réalisera un amplificateur le plus compact possible.

Pour les quatre versions conçues nous avons dû faire des modifications au sein même de la topologie du transistor utilisé. En effet, dans le transistor source commune du dispositif cascode, nous avons supprimé le bus de drain afin que la connexion entre le drain de ce transistor et la source du second s'effectue de la façon la plus directe possible. Pour que cette connexion soit réalisable il a fallu inverser les pads de drain et de source du transistor GC mais également supprimer les trous métallisés présents au sein de ce transistor. Ces quatre versions se révèlent plus compactes qu'un transistor source commune de même développement de grille.

Nous pouvons distinguer deux types de versions. Tout d'abord celles qui incluent la version 1 et 2 (figure 2.31 et figure 2.32), puisque dans ces deux cas les transistors constituant le cascode sont les plus proches possibles, et les éléments assurant le fonctionnement fort signal sont à l'extérieur des transistors et ajoutés sur la dimension verticale de celui-ci. L'autre type de version inclut les versions 3 et 4 (figure 2.33 et figure 2.34), puisque les éléments capacitifs et résistifs sont cette fois-ci distribués le long des transistors constituant la cellule cascode. Ce qui donne un aspect intégré à ces deux types de versions, en particulier pour la version 3 puisque les éléments passifs sont distribués entre des paires de doigts de grille. La valeur de capacité Ca_1 a tout d'abord été calculée de manière théorique grâce à l'équation 2.15, puis sa valeur a été optimisée afin d'avoir les meilleures performances électriques possibles. Une résistance $Rstab$ a été ajoutée en série avec Ca_1 afin d'avoir un compromis entre performances et stabilité du système. Ces différentes valeurs ont tout d'abord été optimisées sur une cellule cascode de base, puis elles ont subi une nouvelle optimisation lors de l'utilisation d'un modèle complet de la cellule cascode.

Dans la version 1 (figure 2.31), les transistors constituant le dispositif cascode sont les plus proches possibles. Le drain du transistor SC est directement connecté à la source du transistor GC par un pont passant au dessus du bus de grille de ce dernier. La valeur totale de la capacité Ca_{1tot} est de $0.52pF$ et celle de la résistance de stabilité totale $Rstab_{tot}$ est de 3.5Ω . Ces deux composants passifs sont distribués en deux éléments de part et d'autre du bus de grille du second transistor. Chaque capacité Ca_1 vaut alors la moitié de la valeur

de Ca_{1tot} globale et chaque résistance $Rstab$ vaut le double de la valeur de la résistance de stabilité totale $Rstab_{tot}$. La dimension verticale « y » de cette structure est de $550 \mu\text{m}$ et son facteur de forme (FF) vaut 1.59.

La version 2 (figure 2.32) possède, elle aussi, des transistors les plus proches possible. La connexion entre les deux transistors est directe et s'effectue sans la présence de ponts car le bus de grille du second transistor a été déplacé du même côté que son bus de drain. Par contre, le drain du transistor GC est relié à son bus par un pont passant au dessus de son bus de grille. La valeur de la capacité Ca_{1tot} est la même que pour la première version, alors que la résistance de stabilité totale $Rstab_{tot}$ est augmentée puisqu'elle vaut maintenant 7.5Ω . Cette augmentation de $Rstab_{tot}$ afin de stabiliser le dispositif laisse penser que cette version sera plus sensible aux oscillations. Elle est de même dimension verticale et possède le même FF que la version 1.

La version 3 (figure 2.33) est différente de celles présentées précédemment puisque la capacité Ca_{1tot} et la résistance de stabilité $Rstab_{tot}$ vont être distribuées, le long du bus de grille du transistor GC, entre les deux transistors constituant le cascode. Cette distribution des éléments passifs donne un aspect « intégré » à cette structure. C'est pourquoi nous lui avons donné le nom de « cellule cascode intégrée ». Elle est réalisée grâce à la présence des trous métallisés présents dans chaque source du transistor source commune, qui vont effectuer la mise à la masse de la capacité Ca_1 . Nous aurons alors cinq capacités Ca_1 en parallèle de valeur chacune 0.105 pF et également cinq résistances $Rstab$ en parallèle de valeur 15Ω chacune qui seront intégrées entre les deux transistors. Les valeurs de capacités à réaliser sont inférieures à celles imposées par les règles de dessin, la technologie sera alors très sensible et la valeur de cette capacité peut varier selon les circuits réalisés. Deux capacités en série de valeur double à celle de Ca_1 seront alors intégrées afin d'avoir un transistor reproductible dont les valeurs des éléments capacitifs ne varient pas pour chaque puce. Ceci nous donne des valeurs totales, telles que $Ca_{1tot} = 0.525 \text{ pF}$ et $Rstab_{tot} = 3 \Omega$. Nous remarquons que la résistance $Rstab_{tot}$ ajoutée pour stabiliser le dispositif est faible. Nous pouvons alors supposer que cette version sera plus stable que celles présentées précédemment. De plus, c'est la plus compacte verticalement, puisque sa dimension vaut $412.5 \mu\text{m}$ et son FF vaut 0.91.

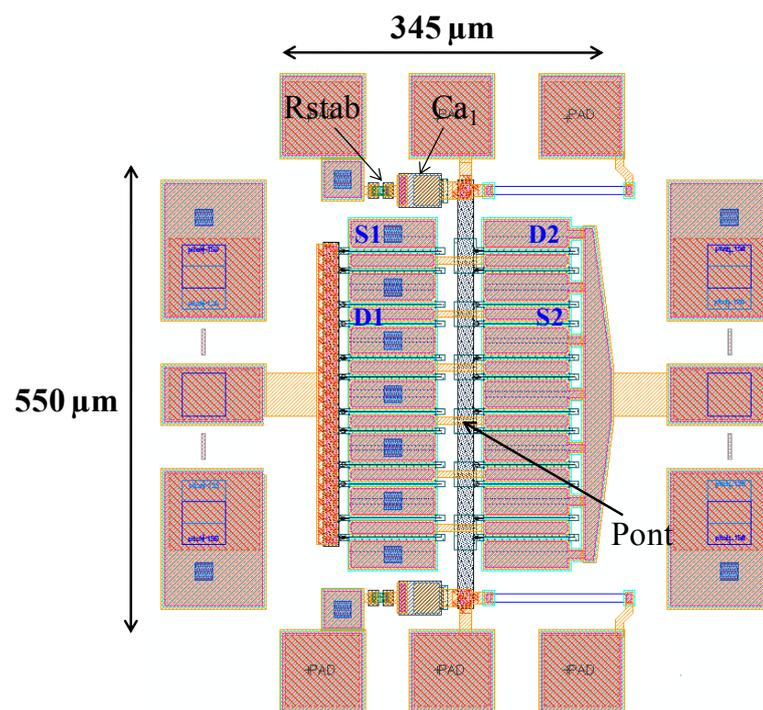


FIGURE 2.31 – Layout de la version 1

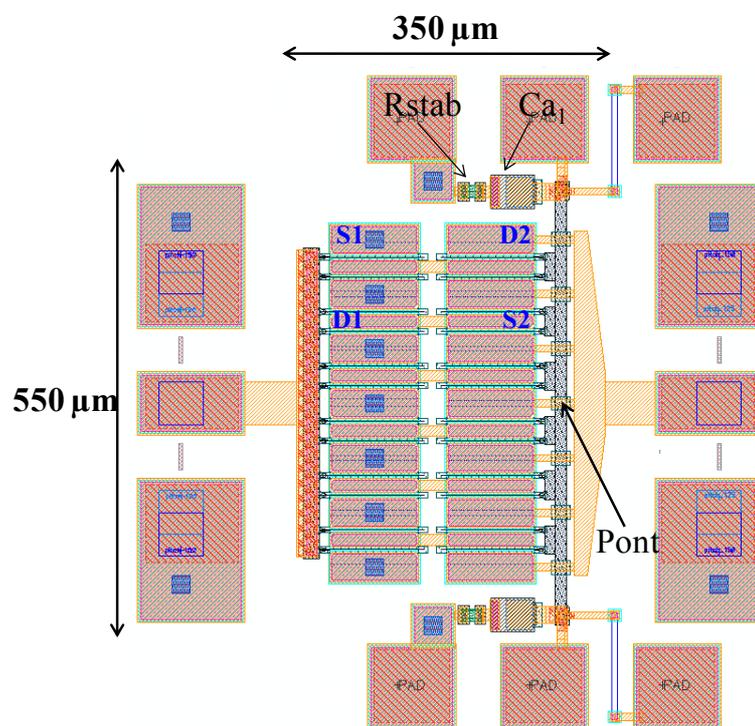


FIGURE 2.32 – Layout de la version 2

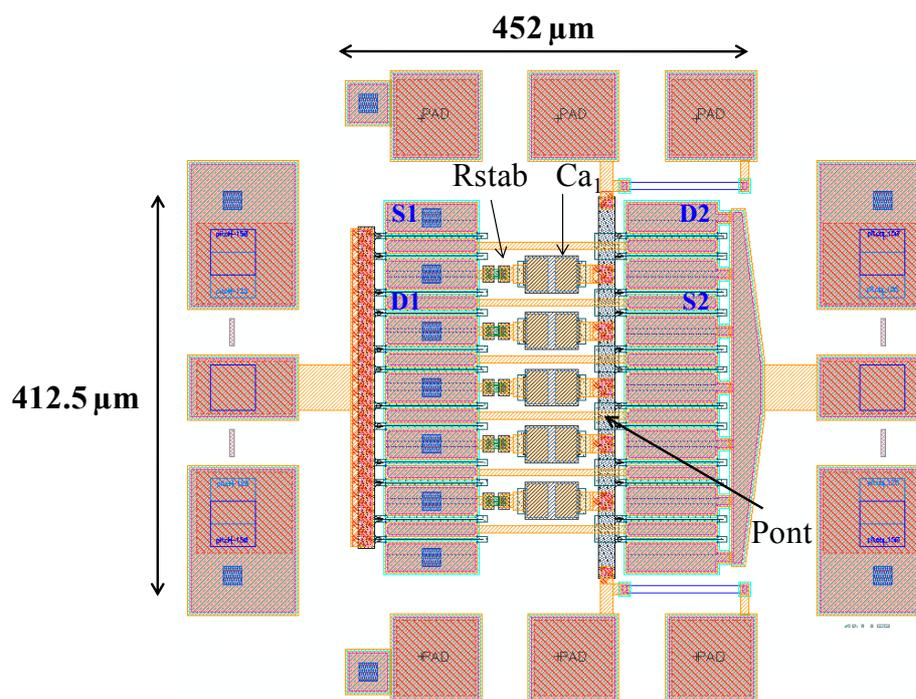


FIGURE 2.33 – Layout de la version 3

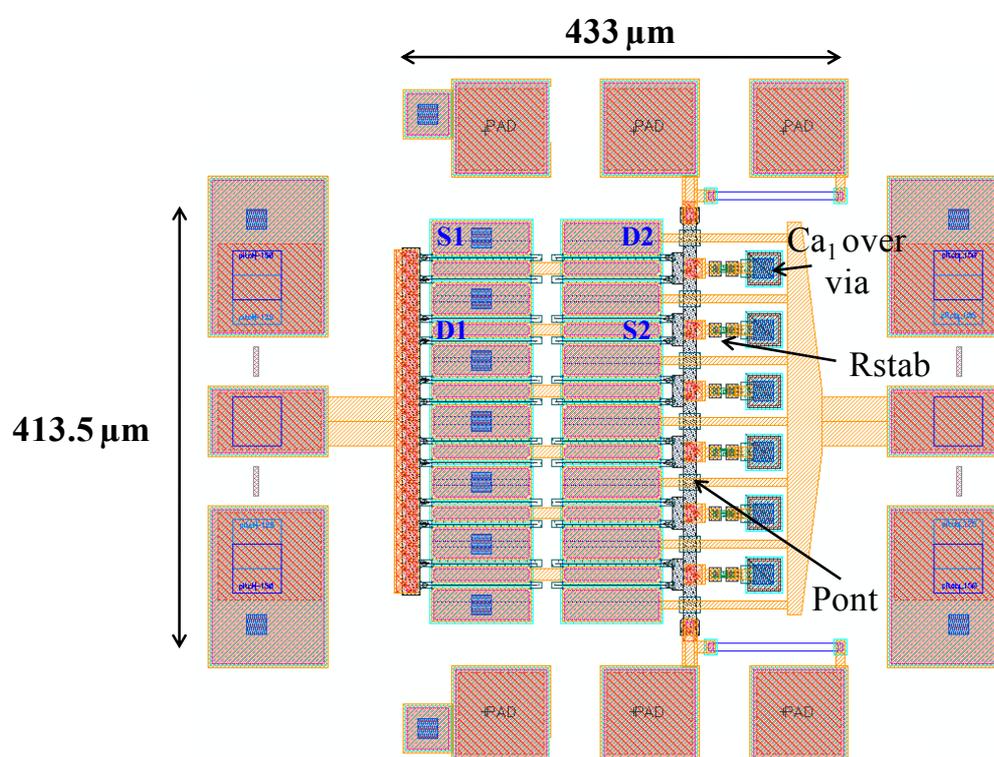


FIGURE 2.34 – Layout de la version 4

La dernière version est la plus « risquée » (figure 2.34). En effet, tout comme la version 2 nous déplaçons le bus de grille du second transistor vers la sortie du dispositif et tout comme la version 3, nous allons distribuer verticalement le long de ce bus de grille la capacité $Ca_{1tot} = 0.51pF$ et la résistance $Rstab_{tot} = 4\Omega$. Or puisque le bus de grille se situe en sortie, nous allons devoir distribuer les éléments passifs entre ce bus et le bus de drain du second transistor. Ce qui implique la présence d'une ligne de longueur importante pour relier le drain à son bus en sortie. De plus, l'utilisation des trous métallisés présents dans le premier transistor est alors impossible. Ceci implique l'utilisation de capacités MIM dites « over via ». Ce sont des capacités qui sont directement mise à la masse grâce à la présence d'un trou métallisé. La technologie de ces capacités est très sensible, surtout lorsque la distribution de ces éléments implique la réalisation de valeurs très petites ($Ca_1 = 0.085pF$) inférieures à la limite imposée par les règles de dessin (0.2pF). Nous ne pouvons pas être certain de la valeur réelle qu'aura cette capacité, une fois la fabrication effectuée, elle sera très sensible à la technologie. Cette version est également très compacte puisque sa dimension verticale est de $413.5 \mu m$ et son $FF = 0.95$.

Un bilan des dimensions verticales et des facteurs de forme de chaque version de cellule cascode est présenté dans la table 2.6. Une comparaison est réalisée avec un transistor à TP de même développement de grille (2.4 mm). Pour les versions 1 et 2, une diminution de 30% est observée sur la dimension « y ». Pour les versions 3 et 4, c'est une diminution encore plus importante, 48%, qui est réalisée. Les cellules cascodes conçues et notamment celles dont les éléments passifs sont intégrés au sein des transistors sont donc les plus compactes puisque leur dimension « y » a diminué. Comme le transistor et le cascode possèdent le même développement de grille, nous devrions avoir les mêmes performances pour ces deux dispositifs, d'où des performances par unité de surface plus importantes pour la cellule cascode. Ce qui est un atout pour concevoir un amplificateur plus compact.

Topologies	PPH25X	Version 1	Version 2	Version 3	Version 4
Dimension (μm)	790	550	550	412.5	413.5
Facteur de forme	4.36	1.59	1.57	0.91	0.95

TABLE 2.6 – Dimension verticale et facteur de forme de chaque topologie de cascode comparée à celle d'un transistor à topologie parallèle de même développement de grille.

Dans la suite de ce chapitre seule la cellule cascode intégrée (version 3) sera expliquée car c'est la version qui nous a servi lors de la conception de l'amplificateur. Nous verrons pourquoi à la fin de ce chapitre grâce à un bilan réalisé sur ces quatre versions.

2.4.3 Modélisation distribuée

Toutes les versions de cellules cascodes présentées dans le paragraphe précédent possèdent une distribution des éléments passifs le long du bus de grille du transistor grille commune. C'est pourquoi l'utilisation d'un modèle distribué de cette cellule est nécessaire afin d'effectuer une modélisation de la structure la plus précise possible.

2.4.3.1 Modélisation distribuée du cascode intégré

Nous appliquons la même démarche que celle utilisée pour modéliser le transistor distribué. Dans le modèle de la cellule cascode, les deux transistors $12 \times 100 \mu\text{m}$ sont alors remplacés par six transistors en parallèle de développement de grille $2 \times 100 \mu\text{m}$. La première étape de la modélisation consiste alors à optimiser le modèle du transistor à 2 doigts de grille (voir le paragraphe 2.4.1.3).

Toutes les parties passives telles que les bus de grille, de drain, les ponts ont été simulées avec ADS-Momentum. Les deux transistors constituant la cellule cascode étant proche, cette simulation permet de prendre en compte tous les couplages électromagnétiques qu'il pourrait y avoir entre les deux transistors. Lors de cette modélisation les capacités et les résistances ont été également été simulées avec ADS-Momentum afin de prendre en compte la proximité de ces éléments par rapport aux interconnexions entre les transistors.

La figure 2.35 montre le principe de la modélisation de la structure. En fait, nous pouvons considérer que cette cellule de puissance est composée de plusieurs cellules élémentaires en parallèle. Chaque brique de base étant une cellule cascode constituée de transistors en cascade de deux doigts de grille et de même largeur de grille $100 \mu\text{m}$. Une capacité Ca_1 intégrée sur le bus de grille du transistor GC permet le fonctionnement fort signal de la cellule et une résistance $Rstab$ assure sa stabilité. Cette cellule élémentaire constitue la brique de base de la cellule de puissance. En effet, selon les performances désirées, le nombre de cellules élémentaires mises en parallèles peut être ajusté.

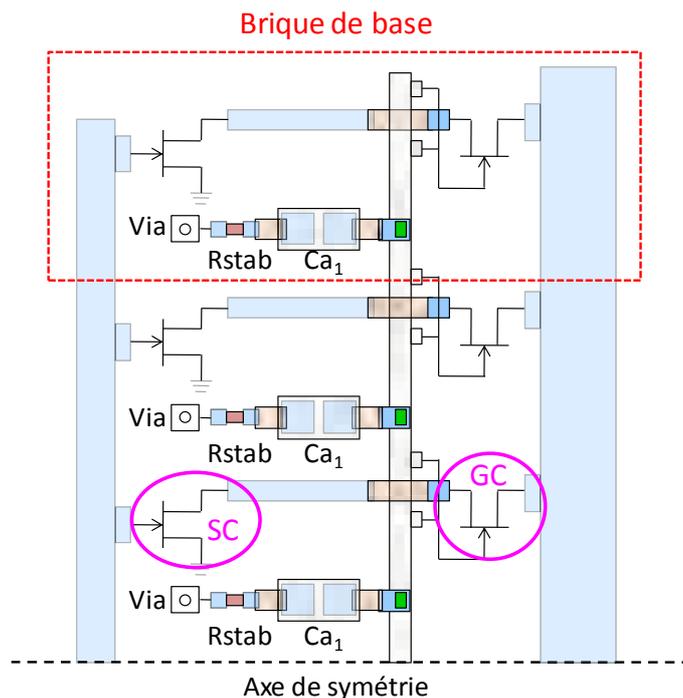


FIGURE 2.35 – Modélisation distribuée du cascode intégré.

2.4.4 Stabilité linéaire de la cellule cascode

Comme la cellule cascode présente un gain très élevé, elle est susceptible d'osciller. C'est pourquoi une étude complète, en linéaire doit être réalisée avant le lancement de cette cellule en fabrication.

2.4.4.1 Facteur de Rollet

Une analyse de la stabilité linéaire de la cellule cascode intégrée a été réalisée. Le facteur de Rollet ainsi que le module du déterminant de la matrice des paramètres $[S]$ est montré figure 2.36. Le déterminant $|\Delta|$ est inférieur à 1 sur toute la bande 0.5 à 30 GHz et K est supérieur à 1 à partir de 8.5 GHz ce qui signifie que le cascode intégré est inconditionnellement stable dans la bande de fréquence étudiée qui est 12-16 GHz. Cependant, en début de bande la valeur de K est très proche de 1 et elle est comprise entre 0 et 1 en dessous de 8.5 GHz. Afin d'être sûr que le système assure une stabilité conditionnelle pour ces fréquences, il faut observer le lieu des charges présentés en entrée et sortie qui permettent d'assurer cette stabilité sur une large bande de fréquence (0.5-30 GHz). En effet, la stabilité est étudiée sur une large bande car une oscillation peut apparaître à une fréquence hors de la bande d'étude et peut conduire à la destruction du dispositif.

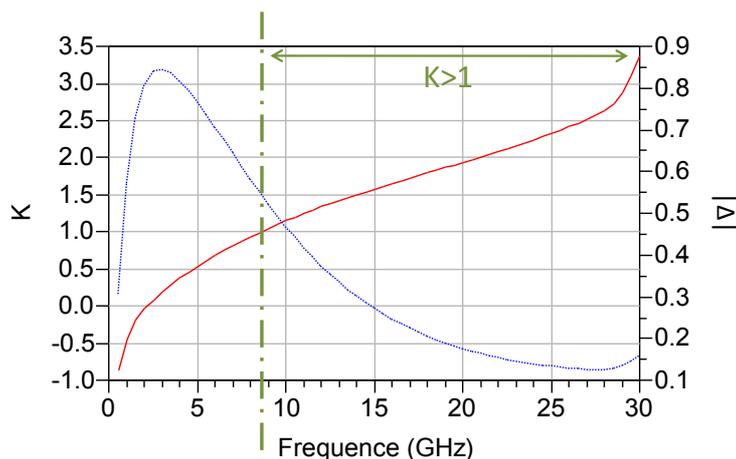


FIGURE 2.36 – Facteur de Rollet K et $|\Delta|$ de la matrice $[S]$ dans la bande de fréquence 0.5 à 30 GHz pour la cellule cascode intégrée $2 \times 12 \times 100 \mu\text{m}$.

2.4.4.2 Cercles de stabilité

La figure 2.37 montre les cercles de stabilité en sortie, c'est à dire le lieu des charges d'entrée sur l'abaque de Smith qui permettrons d'assurer la stabilité du système. Nous remarquons qu'en entrée $|S_{22}| < 1$ sur toute la bande de fréquence. Le centre de l'abaque de Smith correspond alors à une zone stable. Or aucun cercle n'entoure ce point particulier, donc les charges d'entrée assurant la stabilité en sortie du dispositif se trouvent hors des cercles. Il faut alors faire en sorte que pour chaque fréquence le dispositif ne voit pas les charges présentes à l'intérieur des cercles de la fréquence correspondante.

Cercles de stabilité en sortie = cercles d'instabilité des impédances de source

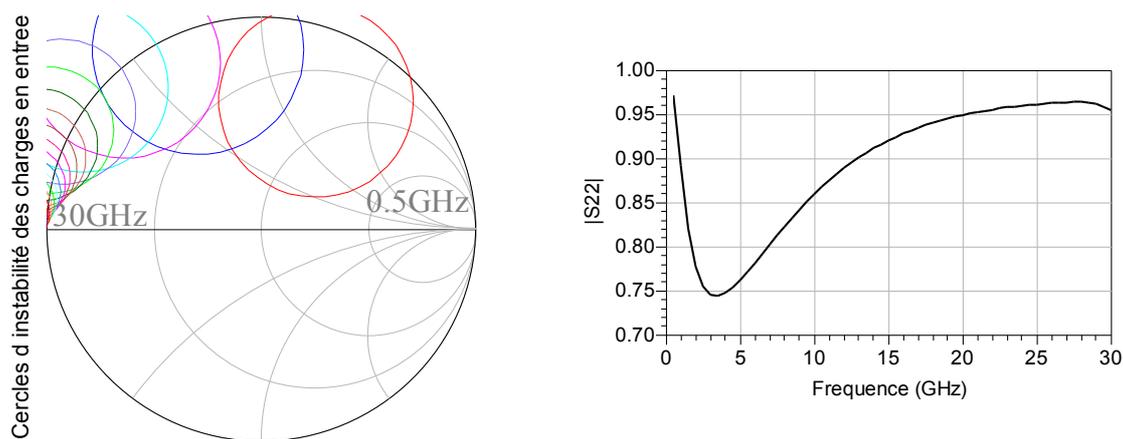


FIGURE 2.37 – Cercles de stabilité en sortie de la cellule cascode intégrée et $|S_{22}|$ de 0.5 à 30 GHz, pour un point de fonctionnement proche du point de repos.

La figure 2.38 présente le lieu des charges de sortie qui permettent d'assurer la stabilité à l'entrée. Deux cas sont présents dans cette étude :

- $|S_{11}| < 1$ pour des fréquences supérieures à 1.5 GHz.

Nous appliquons la même démarche que pour l'étude du lieu de stabilité des charges en entrée. On en déduit que pour ces fréquences le centre de l'abaque de Smith est stable. Or il n'est entouré par aucun cercle d'instabilité de charges de sortie donc les zones des charges de sortie qui assurent la stabilité sont hors des cercles. Pour des fréquences inférieures à 4GHz, cette zone est très restreinte.

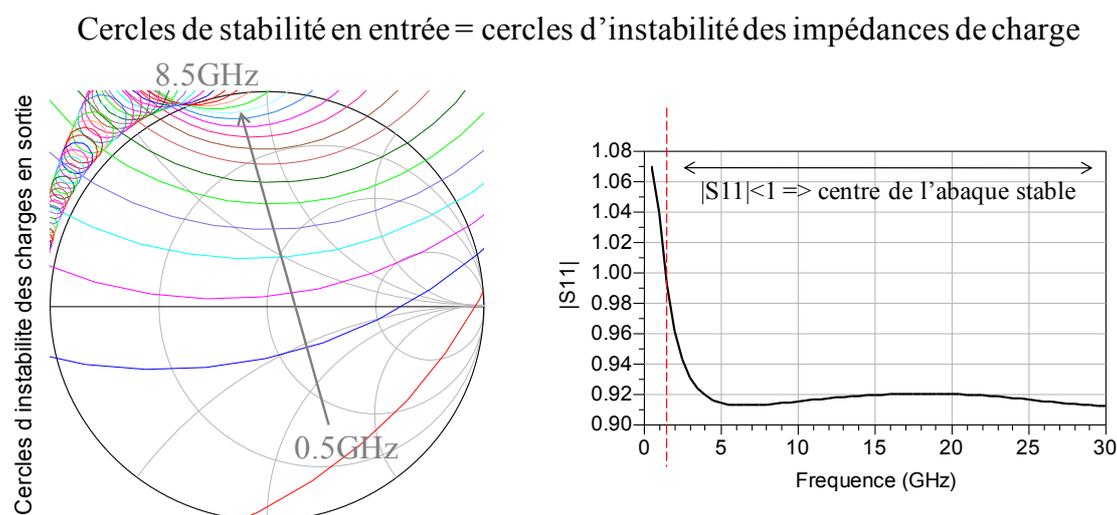


FIGURE 2.38 – Cercles de stabilité en entrée de la cellule cascode intégrée et $|S_{11}|$ de 0.5 à 30 GHz, pour un point de fonctionnement proche du point de repos.

- $|S_{11}| > 1$ pour des fréquences inférieures à 1.5 GHz.

Ceci signifie que le dispositif a de fortes chances d'être instable, puisque le signal réfléchi est plus important que celui transmis. Comme le système est sensible aux oscillations en basses fréquences, des capacités de découplage seront ajoutées lors des mesures afin d'assurer la stabilité du système.

2.4.5 Analyse thermique

Les deux transistors du cascode intégré étant très proches il est nécessaire d'effectuer une analyse thermique, afin d'évaluer l'auto-échauffement de chaque transistor ainsi que le couplage thermique qui pourrait exister.

2.4.5.1 Calcul de la résistance thermique

Dans un premier temps, une étude de la géométrie à partir du layout de la structure a été réalisée. Un axe de symétrie est observé (figure 2.39). Comme deux transistors sont connectés entre eux, la structure dessinée sous ANSYS sera obligatoire tridimensionnelle afin de prendre en compte les effets de couplages entre les deux transistors.

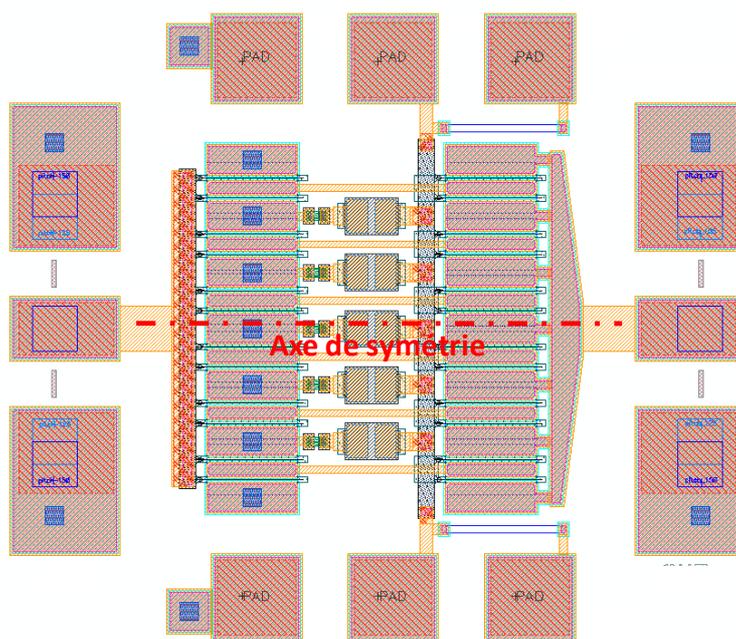


FIGURE 2.39 – Layout du cascode intégré.

Une vue de la modélisation 3D de la cellule cascode est présentée figure 2.40. Nous pouvons observer que la géométrie est simplifiée puisque les bus de drain ne sont pas modélisés. En effet, étant assez éloignés ils n'auront pas d'impact prépondérant au niveau de l'étude thermique.

Nous considérons qu'une cellule cascode dissipe $2W$ de puissance. Or nous savons que la zone de dissipation de chaleur se situe dans un canal se trouvant entre la grille et le drain du transistor (figure 2.41). Il va alors être de même largeur que la largeur de grille du transistor c'est à dire dans notre cas $100 \mu\text{m}$. Nous devons alors appliquer, au sein du canal, la densité de puissance (DP) suivante :

$$P_{diss} = N.S.w.DP \quad (2.45)$$

Avec N , le nombre de doigts de grille, S la surface du canal en μm^2 et w la largeur des doigts de grille.

Nous trouvons une densité de puissance $DP = 0.278W/\mu\text{m}^2$. Sur les 12 canaux présents dans la simulation nous allons appliquer cette densité de puissance. De plus, comme la simulation est considérée comme linéaire nous appliquons une température de socle T_{socle} de 0°C afin d'avoir directement la température maximale de la structure.

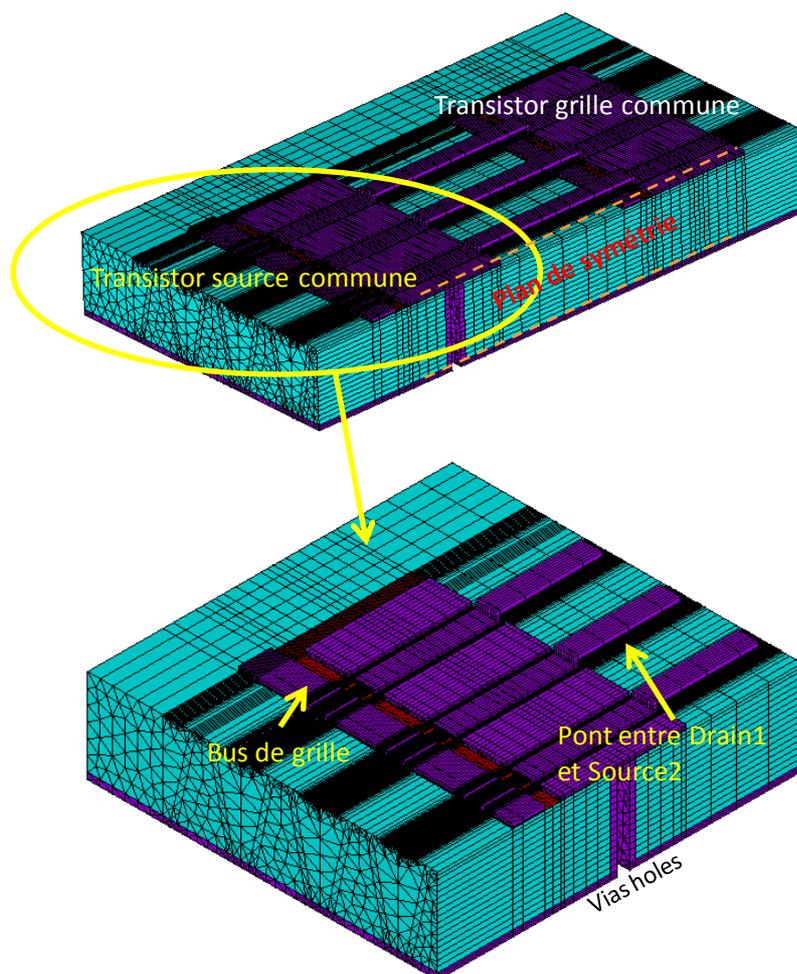


FIGURE 2.40 – Structure 3D de la cellule cascode intégrée lors de la simulation avec ANSYS.

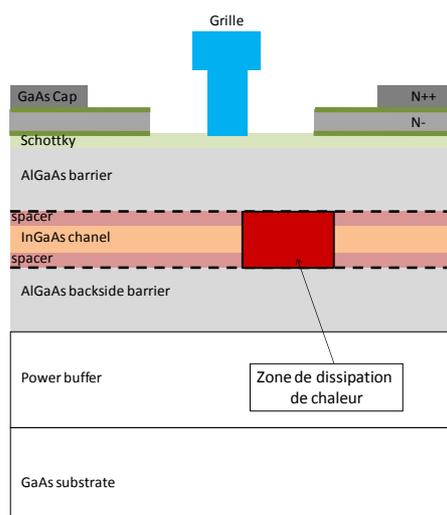


FIGURE 2.41 – Zone de dissipation de la chaleur au sein du transistor.

La figure 2.42 montre la répartition de la chaleur au sein du transistor source commune. Pour chaque transistor, le point le plus chaud se situe au centre de la structure. Ceci est dû au fait que le doigt central subit un échauffement qui lui est propre ainsi que l'échauffement des doigts qui l'entourent. La température maximale de la structure se situe sur le doigt central du transistor GC, avec $T_{max_{GC}} = 53.8^{\circ}C$. Elle est légèrement supérieure à la température maximale du transistor SC, $T_{max_{SC}} = 48.1^{\circ}C$. Cette différence s'explique par le fait que le transistor SC possède des trous métallisés au sein de chacune de ses sources, ce qui permet une meilleure évacuation de la chaleur. Le transistor GC n'en possédant pas il présente alors une température plus élevée.

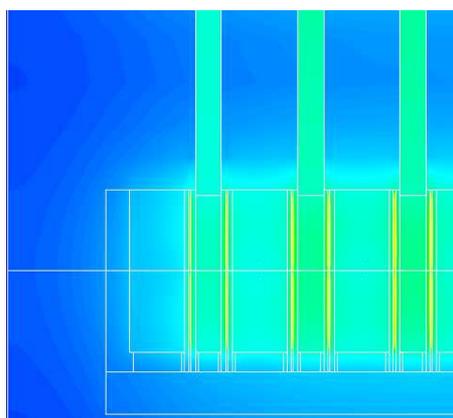


FIGURE 2.42 – Répartition de la chaleur dans la structure cascode, $T_{socle}=0^{\circ}C$.

A partir de cette température maximale trouvée nous allons extraire la résistance thermique R_{th} avec la formule suivante :

$$R_{th} = \frac{\Delta T}{P_{diss}} \quad (2.46)$$

La table 2.7 présente la valeur de la résistance thermique pour la cellule cascode intégrée, de développement de grille 2.4mm, comparée à celle d'un transistor source commune de même développement de grille. Une différence de $5.5^{\circ}C/W$ est observée entre ces deux valeurs, la résistance thermique de la cellule cascode étant la plus faible.

	Cascode intégré	Topologie parallèle
R_{th} ($^{\circ}C/W$)	27	32.5

TABLE 2.7 – Comparaison des valeurs des résistances thermiques entre une cellule cascode et un transistor source commune de même développement de grille.

2.4.5.2 Couplage thermique

Les deux transistors étant proches et reliés par un pont passant au dessus du bus de grille du second transistor, un couplage thermique risque de se présenter. En fait, nous cherchons le modèle électrothermique de la cellule cascode. Afin d'étudier les différents couplage thermiques possible entre les transistors de la cellule cascode, nous remplaçons chacun des transistors par les résistances thermiques R_{th1} pour le transistor SC et R_{th2} pour le transistor GC. Le couplage entre les deux est modélisé par une troisième résistance thermique R_{th12} (figure 2.43).

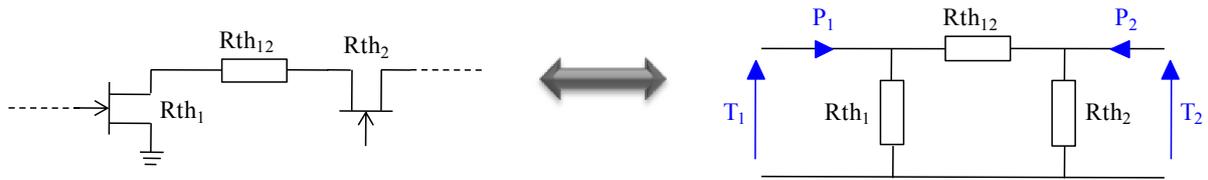


FIGURE 2.43 – Equivalence électrique/thermique de la cellule cascode intégrée.

On dispose alors du système suivant que l'on cherche à résoudre :

$$\begin{pmatrix} T_1 \\ T_2 \end{pmatrix} = \begin{pmatrix} Z_{11} & Z_{12} \\ Z_{21} & Z_{22} \end{pmatrix} \cdot \begin{pmatrix} P_1 \\ P_2 \end{pmatrix} \quad (2.47)$$

Comme la structure est représentée comme un dipôle passif lors de cette étude, alors elle va avoir pour propriété d'être réciproque. Par conséquent $Z_{12} = Z_{21}$. Les valeurs des paramètres $[Z]$ sont trouvés grâce à différentes simulations ANSYS.

En effet, afin de trouver les paramètres Z_{11} et Z_{12} nous alimentons tous les doigts du transistors source commune. Les doigts du second transistor sont éteints et nous calculons l'élévation de température du canal pour les deux transistors. Ceci nous donne alors l'auto-échauffement du premier transistor ainsi que l'influence qu'il va avoir sur le second. Nous faisons la même démarche pour trouver Z_{22} et Z_{21} (nous rappelons que $Z_{12} = Z_{21}$ il n'est donc pas nécessaire de calculer Z_{21}), mais cette fois-ci tous les doigts du transistor grille commune sont alimentés et tous les doigts du premier transistor sont éteints. Les valeurs de $[Z]$ sont récapitulés dans la table 2.8.

Z_{11}	$Z_{12}=Z_{21}$	Z_{22}
47.8 °C	1°C	53.5°C

TABLE 2.8 – Valeur des paramètres de la matrice $[Z]$.

Maintenant que nous avons les valeurs des paramètres de la matrice $[Z]$, il ne reste plus qu'à exprimer cette matrice en fonction des résistances thermiques R_{th1} R_{th2} R_{th12} grâce au circuit thermique équivalent. Nous obtenons alors :

$$Rth_{12} = \frac{Z_{22} \cdot Z_{11}}{Z_{21}} - Z_{21} \quad (2.48)$$

$$Rth_1 = \frac{Z_{22} \cdot Z_{11} - Z_{21}^2}{Z_{22} - Z_{21}} \quad (2.49)$$

$$Rth_2 = \frac{Z_{22} \cdot Z_{11} - Z_{21}^2}{Z_{11} - Z_{21}} \quad (2.50)$$

Un résumé des résultats obtenus est présenté dans la table 2.9. Les valeurs des résistances thermiques de chacun des transistors sont très proches, et la résistance correspondant au couplage entre les deux transistors possède une valeur très importante. Cela signifie que le couplage thermique est faible au sein de cette structure.

Rth_{11}	$Rth_{12}=Rth_{21}$	Rth_{22}
48.6 °C/W	2840 °C/W	53.5 °C/W

TABLE 2.9 – Valeur de la résistance thermique du transistor SC, du transistor GC et résistance thermique caractérisant le coulage entre les deux transistors.

Nous avons fait cette simulation pour toutes les versions de cascode. La seule différence dans la structure géométrique 3D simulée sous ANSYS pour les quatre versions est la distance entre les deux transistors et par conséquent la longueur du pont qui les relie. Nous avons alors rapproché les deux transistors afin de correspondre aux versions 1 et 2 qui sont les versions où la proximité des deux transistors est grande. La figure 2.44 présente la cellule cascode en coupe selon l'axe de symétrie pour la version 3, c'est à dire le cascode intégré et pour la version 2 qui est la version la plus critique au niveau du couplage thermique puisque, c'est pour cette architecture que les deux transistors sont les plus proches.

Après avoir effectué la même démarche que celle décrite précédemment, nous trouvons une résistance de couplage $Rth_{12} = 416^\circ C/W$. Ce qui signifie que même pour des versions de cascades où les transistors sont très proches, les deux transistors constituant la cellule de puissance sont quasiment indépendants au niveau de leur fonctionnement thermique. Ce n'est donc pas un critère primordial qui nous permettra de choisir entre les différentes versions.

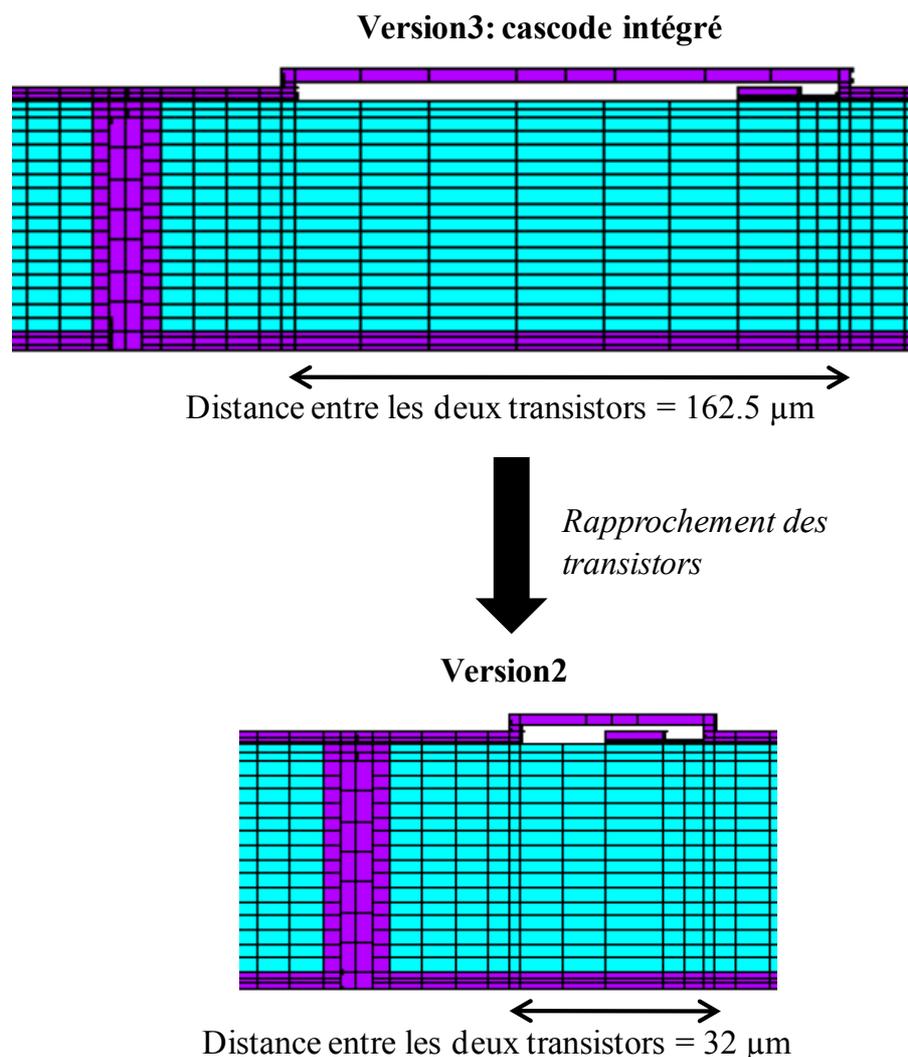


FIGURE 2.44 – Vue en coupe de la géométrie de la version 2 et de la version 3.

2.5 Validation de la conception

Dans un paragraphe précédent, nous avons expliqué le principe de polarisation d'une cellule cascode. Comme nous n'avons pas intégré de pont diviseur de tension au sein du layout de la cellule, il faut trois générateurs de tension extérieurs afin de pouvoir polariser le cascode intégré dont la photo est présentée figure 2.45. La grille du transistor GC est polarisée de part et d'autre de son bus de grille afin que la structure cascode soit symétrique. Cela évite d'avoir des problèmes de combinaison de signaux déphasés, et par conséquent une dégradation des performances électriques. Cette polarisation s'effectue grâce à des pointes DC.

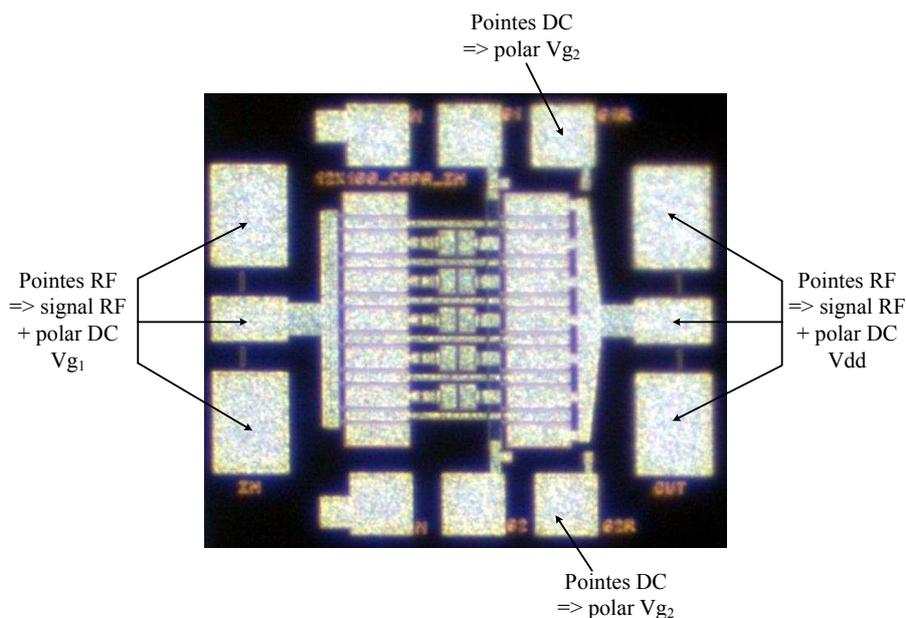


FIGURE 2.45 – Photo de la cellule cascode intégrée.

Afin d'éviter tout phénomène de claquage, la polarisation doit être réalisée selon une séquence bien définie qui est présentée dans la table 2.10. Tout d'abord nous procédons comme pour un transistor SC. La cellule cascode est pincée, la tension V_{g_1} est égale la tension de pincement du cascode intégré. Puis, dans un premier temps la tension V_{dd} est augmenté légèrement (4V), même si le cascode est en régime pincé et qu'il n'y a pas de courant circulant dans la cellule. Ensuite la tension V_{g_2} est à son tour augmentée (2V). Et cette séquence est reproduite jusqu'à avoir le V_{dd} voulu (16V) et le V_{g_2} désiré (8V). Puis le transistor est « dépinçé » petit à petit, tout en ajustant à chaque fois V_{g_2} pour que les deux transistors soient polarisés au même point.

	V_{g_1}	V_{g_2}	Vdd
Tension (V)	-2	0	0
Tension (V)	-2	0	4
Tension (V)	-2	2	4
Tension (V)	-2	2	8
Tension (V)	-2	4	8
Tension (V)	-2	4	12
Tension (V)	-2	6	12
Tension (V)	-2	6	16
Tension (V)	-2	8	16
Tension (V)	-1	8	16
Tension (V)	-0.4	7.6	16

TABLE 2.10 – Séquence de polarisation de la cellule cascode.

2.5.1 Validation en régime petit signal

Des mesures de paramètres $[S]$ en CW, ont été réalisées sur les quatre versions de la cellule cascode mais seuls les résultats de la version 3 seront présentés. La figure 2.46 montre le banc de mesure que nous avons utilisé ainsi que les pointes RF et les pointes DC permettant la polarisation et l'injection du signal RF au composant.

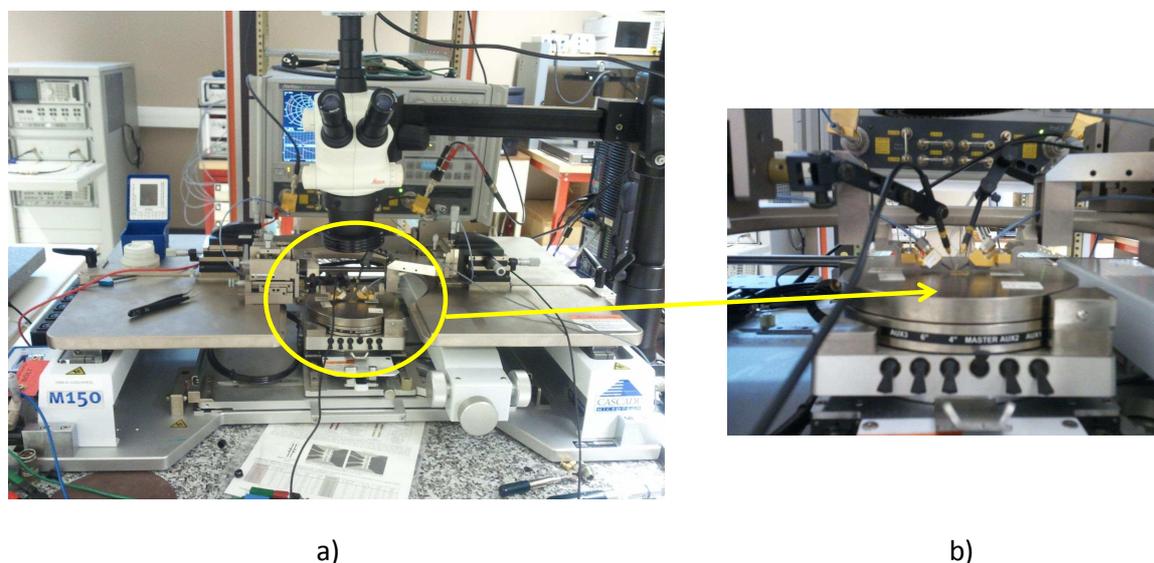


FIGURE 2.46 – Photographie du banc de mesures des paramètres $[S]$.

La figure 2.47 présente un zoom sur le dispositif sous test. Les dispositifs cascodes étant très compacts, le posé des pointes est délicat. Pour certaines mesures une « antenne » reliée à un analyseur de spectre est ajoutée afin de détecter d'éventuelles raies d'oscillation.

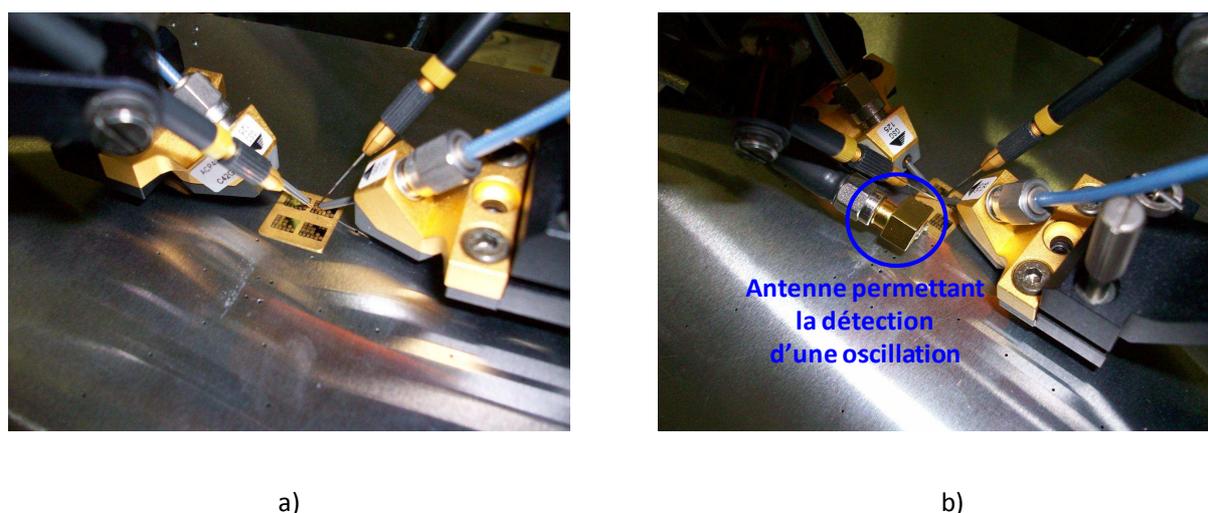


FIGURE 2.47 – Système d'alimentation du dispositif cascode (a), le même dispositif mais avec la présence d'une antenne afin de détecter une oscillation (b).

La première vérification du modèle distribué de la cellule cascode intégrée consiste à simuler les paramètres $[S]$ au point de polarisation de repos $V_{dd} = 16V$ et $I_{ds} = 160mA$, de 0.5 à 30 GHz. La figure 2.48 montre une bonne concordance entre les paramètres $[S]$ mesurés et simulés.

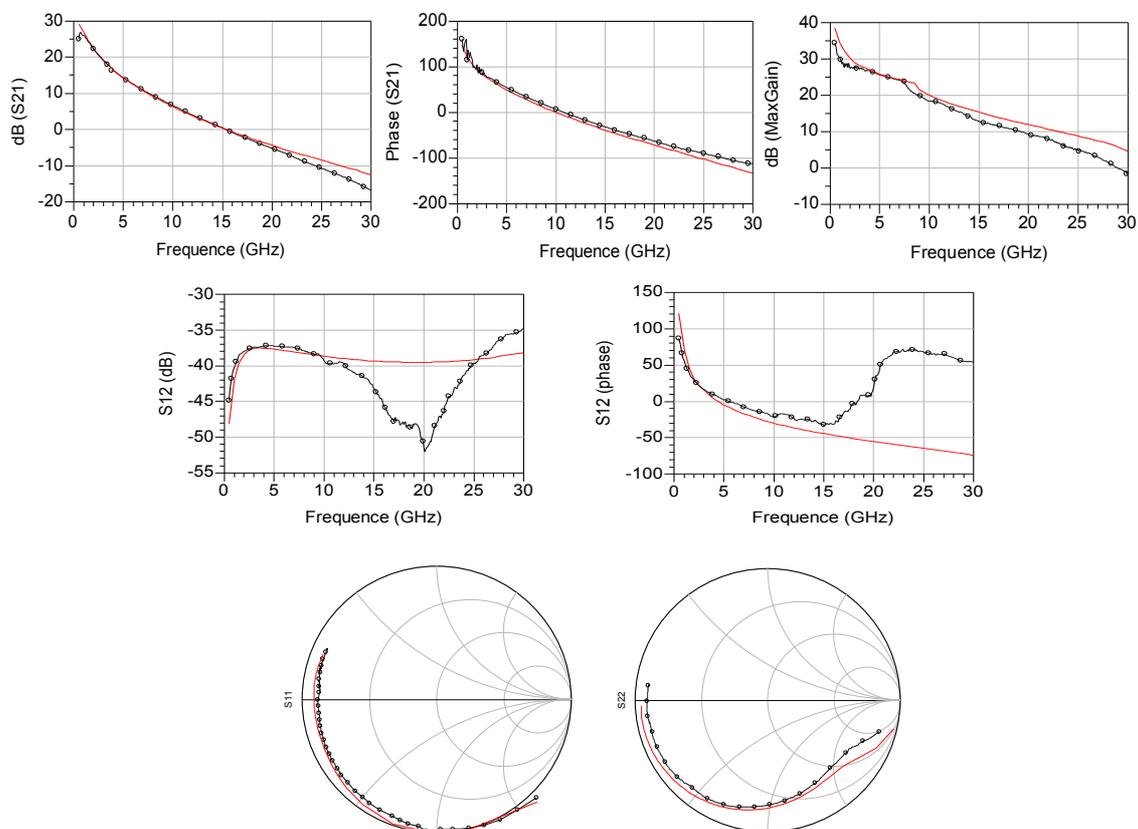


FIGURE 2.48 – Comparaison mesures/modèle des paramètres $[S]$ pour le point de polarisation $V_{dd} = 16V$ et $I_d = 160mA$ (points : mesures, lignes continues : simulations).

Afin de vérifier que la cellule cascode conçue possède toujours les mêmes avantages qu'une cellule cascode théorique, nous comparons la mesure de paramètres $[S]$ du cascode intégré (version 3) avec la simulation d'un transistor de même développement de grille (2.4mm). Nous prenons les résultats de simulation car nous n'avons pas de transistors de développement de grille $24 \times 100 \mu m$ à disposition. La figure 2.49 montre que le cascode intégré conçu garde les avantages que peut avoir une cellule cascode de base idéale (Gain plus élevé, impédance de sortie plus importante et meilleure isolation) même si toutefois, une dégradation du gain est observée à partir de 20 GHz. Le gain du cascode devenant inférieur à celui d'un transistor à topologie parallèle. Cette fréquence étant hors de la bande d'étude cela n'a pas de conséquences sur les performances de la cellule cascode intégrée.

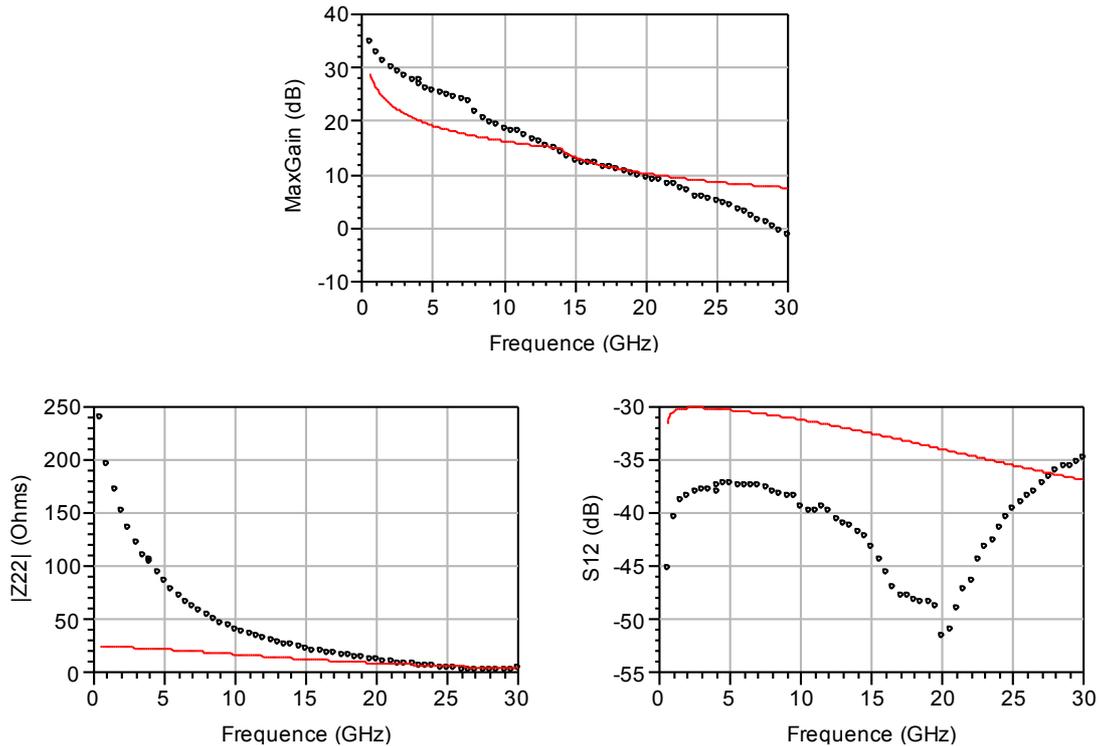


FIGURE 2.49 – Comparaison des mesures d'un cascode et du modèle d'un transistor SC de même développement de grille, des paramètres [S] pour le point de polarisation $V_{dd} = 16V$ et $I_d = 160mA$ (cercles : mesures, lignes continues : simulations).

2.5.2 Validation du modèle par des mesures Load Pull à 12 GHz

Plusieurs mesures load pull ont été réalisées pour les quatre cellules cascodes pour une bande de fréquence allant de 10 à 18 GHz par pas de 2 GHz. Le banc load pull utilisé est présenté figure 2.50. Il fonctionne en mode passif et seule une recherche d'impédance de charge optimale en sortie, grâce à un tuner mécanique placé à la sortie du dispositif, va être réalisée. Le LSNA ne sera pas utilisé en temporel car les harmoniques des fréquences étudiées seraient trop élevées.

Seules les mesures à 12 GHz sont présentées. En effet, nous avons vu que le banc « load pull » passif, ne permet pas de synthétiser des faibles impédances, or, plus la fréquence augmente plus l'impédance de charge optimale diminue. C'est pourquoi pour des fréquences supérieures à 12 GHz, nous n'avons pas pu atteindre les impédances de charge voulues. Les mesures à ces fréquences ont été réalisées avec des TOS de 2 ou 3. Le modèle ayant été réalisé pour fonctionner sur son impédance de charge optimale, nous ne pouvons pas effectuer une validation du modèle distribué pour ces fréquences.

Lors de ces mesures, le TOP (Tube à Ondes Progressives) a été utilisé afin d'amplifier le signal d'entrée. Il possède une bande passante allant de 6 à 18 GHz. Lorsque nous l'utilisons à une fréquence et en particulier en limite de bande, nous avons également du

signal aux fréquences voisines qui viennent s'ajouter à la fréquence d'étude. Si on voulait améliorer la qualité des mesures il faudrait placer des filtres pour chacune des fréquences d'étude.

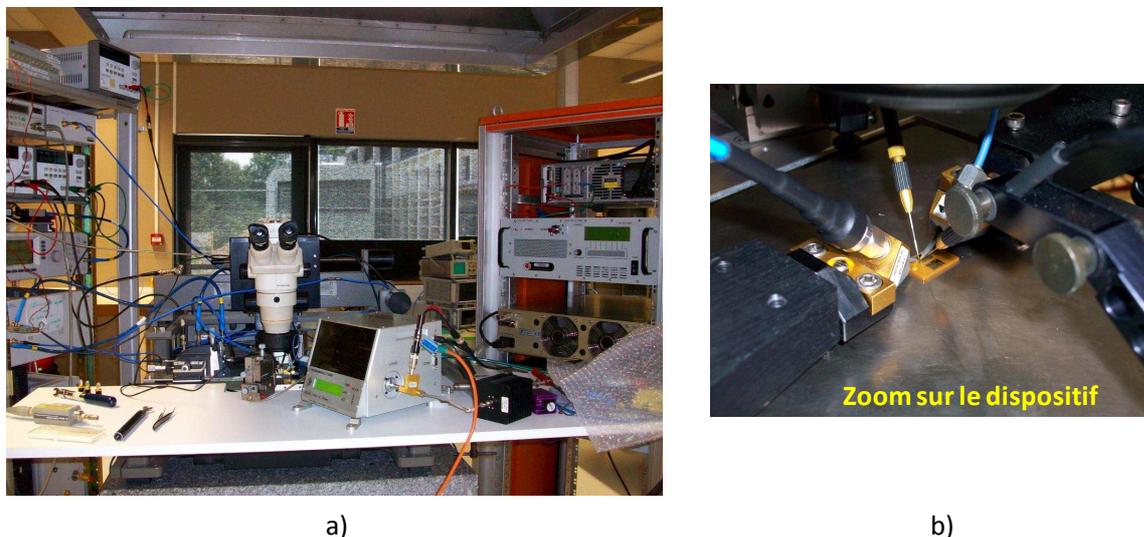


FIGURE 2.50 – Photographie du banc de mesures Load Pull (a), zoom sur le dispositif sous test (b).

Tout d'abord une recherche d'impédance optimale a été effectuée. Comme des simulations load pull ont été réalisées en amont sur la topologie du cascode intégré, la zone des impédances de charges optimales de la cellule cascode est connue. C'est un gain de temps, car nous n'avons pas besoin de balayer toute l'abaque de Smith à la recherche de cette impédance. Les impédances de charges balayées et les impédances d'entrée qui en découlent sont montrées figure 2.51. Elle sont superposées aux cercles de stabilité d'entrée et de sortie, mais à 12 GHz le cascode est inconditionnellement stable, les cercles se situent donc en dehors de l'abaque de Smith ce qui implique que n'importe quelle charge en entrée et en sortie assure la stabilité. L'impédance d'entrée est celle que voit le cascode à son entrée lorsqu'il est chargé sur son impédance de charge optimale.

Seule la comparaison mesure load pull, modèle distribué à 12GHz chargé sur son impédance optimale $Z_{load} = 14.54 + j21.66$ est montrée figure 2.52. Les mesures ont été réalisées en CW et au point de repos $V_{dd} = 16V$ et $I_{ds} = 160mA$. Elles montrent une bonne concordance avec le modèle distribué de la cellule cascode. Ce qui valide le modèle non linéaire distribué de cette cellule.

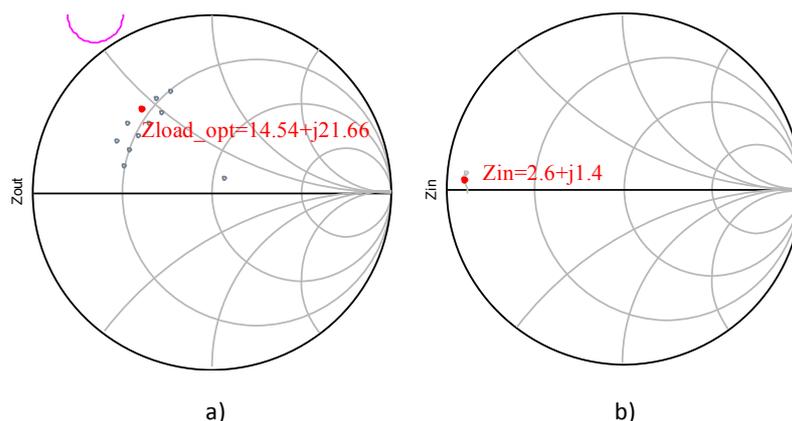


FIGURE 2.51 – Load pull réalisé à la sortie de la cellule de puissance à 12 GHz (a) et impédances de sources obtenues pour ces différentes mesures LP (b).

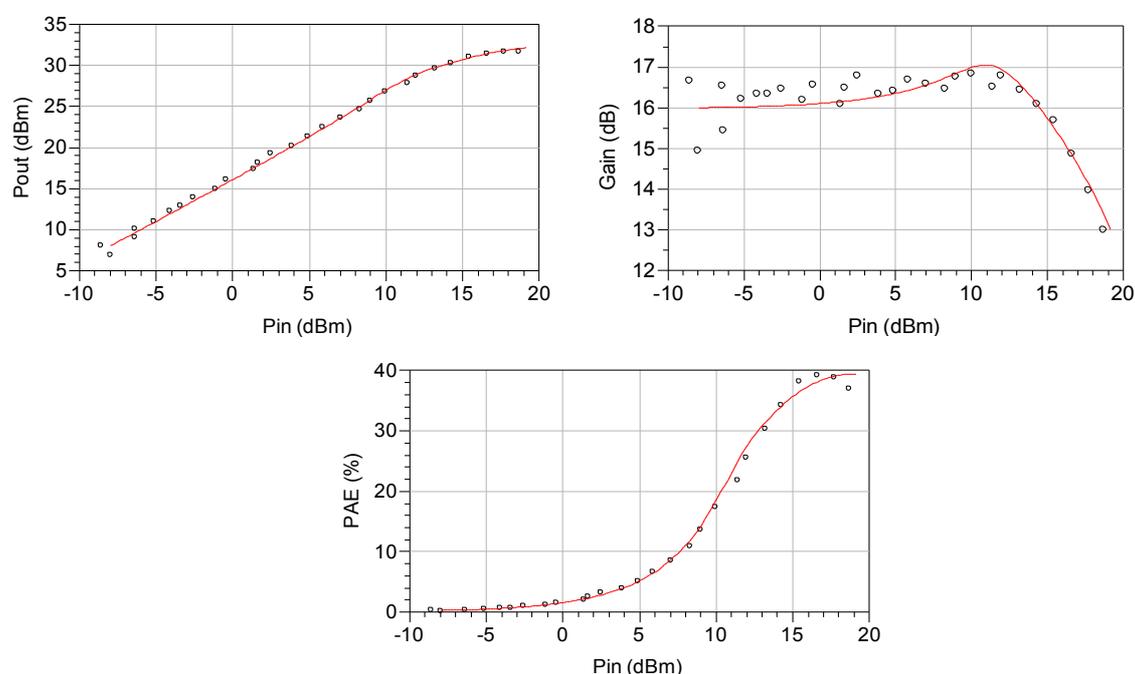


FIGURE 2.52 – Caractéristiques de puissance mesurées et modélisées (Gain, puissance de sortie, PAE) en fonction de la puissance d'entrée, pour l'impédance optimale à 12 GHz (points : mesures, lignes continues : simulations).

2.5.3 Choix de la topologie entre les quatre versions de cellule cascode

Quatre versions de cellule cascode ont été conçues, modélisées et mesurées. Pour les quatre cellules nous avons pu observer qu'il y a un couplage thermique faible entre les deux transistors. Le critère thermique ne permet pas de faire un choix de cellule. De plus, lors de mesures nous avons observé qu'elles présentent toutes les mêmes performances électriques.

Cependant, lors de la campagne de mesures en puissances, nous avons constaté que les versions 2 et 4 semblent être plus sensibles aux oscillations. En effet, ces deux versions ont nécessité des changements importants dans la topologie classique du transistor. Pour la version 2, le bus de grille du second transistor a été déplacé à la sortie de la structure et se retrouve très proche du bus de drain de ce dernier. Ceci pourrait expliquer la sensibilité plus importante aux oscillations pour cette structure, observée lors des mesures. La version 4, quant à elle, en plus d'avoir subi les mêmes modifications que la version 2 possède des capacités sur via de très faibles valeurs (0.085 pF), inférieures à la limite imposée par la technologie. Ceci implique que cette architecture sera la plus sensible aux risques d'oscillation lors des mesures. Afin de ne prendre aucun risque lors de la conception de l'amplificateur, nous n'utiliserons pas ces deux versions de cellules cascodes. Il reste alors les versions 1 et 3. Puisqu'elles ont les mêmes performances électriques, que leur modèle distribué est précis et qu'elles assurent une stabilité inconditionnelle aux fréquences d'étude, le critère de choix va se porter sur la dimension « y » des cellules cascodes. La version cascode intégrée possède une dimension « y » la plus petite, $412.5 \mu\text{m}$ pour la version intégrée et $550 \mu\text{m}$ pour la version 1. C'est alors la cellule cascode intégrée qui permettra d'avoir un amplificateur le plus compact possible. Le dessin de cette cellule cascode est rappelé figure 2.53. De plus, par rapport aux autres versions, elle possède un aspect plus innovant puisque les éléments capacitifs et résistifs sont intégrés à l'intérieur du transistor.

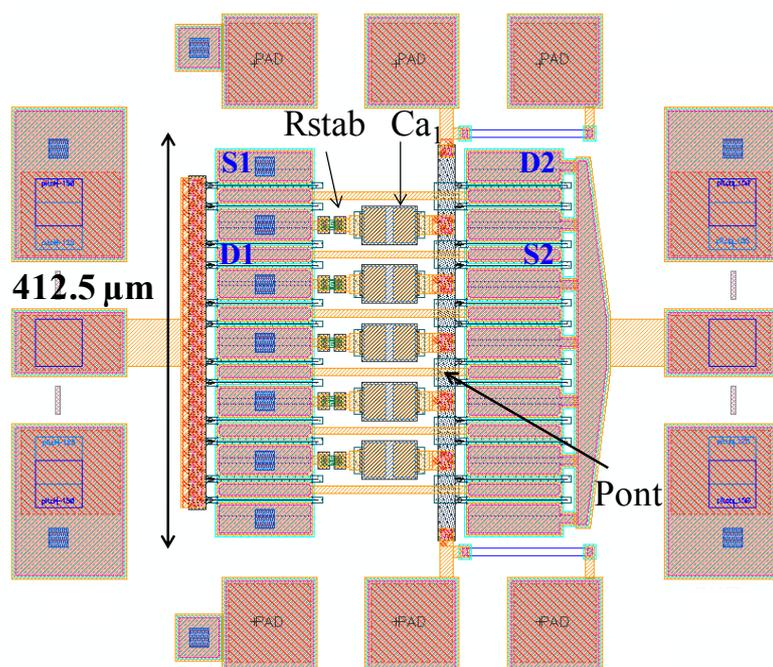


FIGURE 2.53 – Rappel du dessin de la cellule cascode intégrée.

2.5.4 Bilan des résultats obtenus

Un récapitulatif des performances électriques du cascode intégré comparées à celle d'un transistor avec le même développement de grille ($24 \times 100 \mu\text{m}$) est présenté dans la table 2.11. Les principaux avantages avec l'utilisation de la cellule cascode réside dans le fait que sa dimension verticale est diminuée quasiment de moitié puisqu'une diminution de 48 % est observée et il possède un facteur de forme proche de 1 (0.95), d'où une structure très compacte. De plus, la valeur de l'impédance de sortie est double par rapport à un transistor à topologie parallèle. Cela permettra une adaptation plus facile en sortie lors de la conception de l'amplificateur. Un autre point positif repose sur l'amélioration du gain linéaire qui est supérieur de près de 2 dB par rapport à celui d'un transistor seul.

	Dimension y (μm)	FF	Zload (Ω)	$P_{out_{sat}}$ (dBm)	$Gain_{lin}$ (dB)	PAE_{max} (%)
TP	790	4.36	$7.1+j8.9$	32.2	14.8	56.2
Cascode intégré	412.5	0.91	$14.5+j21.7$	31.6	16.5	39.1

TABLE 2.11 – Performances électriques comparées entre le cascode intégré (version 3) et un transistor à TP de même développement de grille (2.4 mm)

Les points critiques sont que la puissance de sortie de la cellule cascode intégrée est inférieure (de l'ordre de 0.6 dB) à celle d'un transistor classique à TP. La PAE quant à elle, subit une perte de 17 points. C'est une perte très importante et nous allons chercher à expliquer.

Pour cela nous allons étudier les cycles de charges aux bornes de chaque transistor d'une cellule élémentaire du cascode intégré. La figure 2.54 montre les cycles de charge du transistor SC et GC d'une cellule élémentaire à 2 doigts de grille de largeur $100 \mu\text{m}$ constituant le cascode intégré. Nous observons que le cycle du second transistor est bien optimisé alors que le cycle de charge du premier est beaucoup plus ouvert. Ce qui signifie que le premier transistor n'est pas adapté sur son impédance de charge optimale.

En effet, si nous comparons les charges de sortie observées par chacun des transistors de la cellule élémentaire avec l'impédance optimale de charge du transistor $2 \times 100 \mu\text{m}$ ($\Gamma_{lopt-2 \times 100 \mu\text{m}}$), nous observons, d'après la figure 2.55, que l'impédance de charge du transistor SC (Γ_{L1}) est beaucoup plus éloignée de l'impédance optimale de charge du transistor $2 \times 100 \mu\text{m}$ que l'impédance de charge du transistor GC (Γ_{L2}). Ce qui confirme que le transistor SC n'est pas correctement adapté et c'est ce qui provoque une dégradation de la PAE et une plus faible puissance de sortie observée.

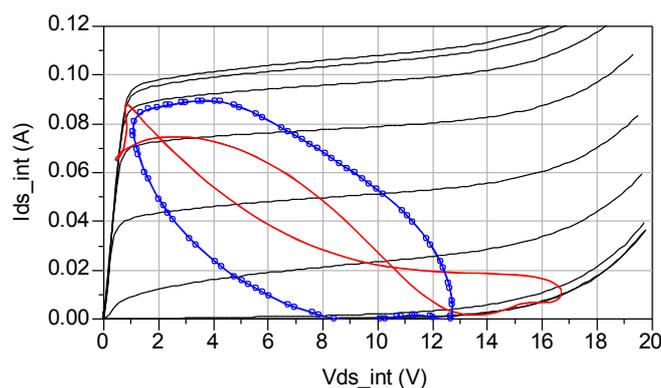


FIGURE 2.54 – Cycles de charges de chacun des transistors d'une cellule élémentaire du cascode intégré de développement $2 \times 12 \times 100 \mu\text{m}$ (cercles : transistor SC, lignes continues : transistor GC).

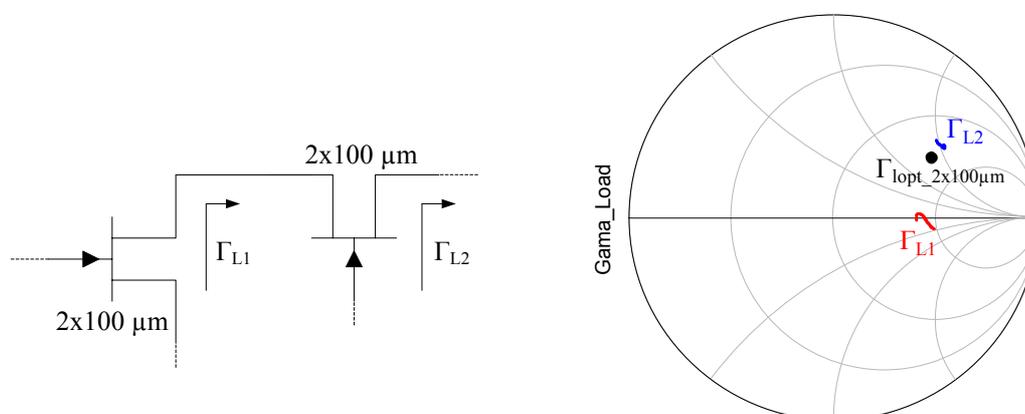


FIGURE 2.55 – Impédance de charge de chacun des transistors de la cellule de puissance élémentaire comparé à l'impédance optimale de ce transistor.

2.6 Tentatives d'amélioration de la PAE

Dans le paragraphe précédent nous avons pu constater que la topologie cascode possède de nombreux avantages par rapport à un transistor seul de même développement de grille. En particulier, elle présente un gain et une impédance de sortie plus élevés ainsi qu'une compacité beaucoup plus importante. Cependant, la PAE est un point critique qu'il faut optimiser. En effet, une différence de 17 points entre la PAE du cascode intégré et du transistor SC équivalent a été observée.

Afin de simplifier l'étude, toutes les méthodes d'optimisation que nous avons mises en œuvre sur une cellule cascode de base constituée de deux transistors de développement de grille $12 \times 100 \mu\text{m}$ et non pas sur le modèle distribué de la cellule cascode intégrée.

2.6.1 Ajout d'une inductance L_a

Afin de réaliser l'adaptation de la charge de sortie du transistor SC sur son impédance de charge optimale, une inductance a été ajoutée entre le drain du transistor SC et la source du transistor GC (figure 2.56). De plus, l'addition d'une inductance de liaison entre les deux FETs en plus de la capacité Ca_1 aide à l'adaptation du premier transistor mais contribue également à l'amélioration de l'isolation entrée/sortie du montage cascode.

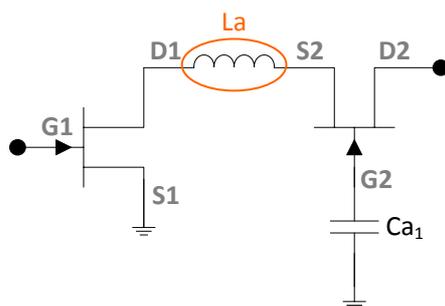


FIGURE 2.56 – Ajout d'une inductance de liaison entre les deux transistors

Un processus d'optimisation en puissance, au cours duquel nous avons fait varier la valeur de l'inductance de liaison L_a entre 0 et 500pF a été réalisé. La figure 2.57 présente l'évolution du rendement en puissance en fonction de la valeur de L_a et de la puissance d'entrée à 12 GHz, lorsque la cellule cascode est chargée sur son impédance optimale. Pour une valeur d'inductance de 100 pF, la PAE se retrouve augmentée de 6 points par rapport à une cellule cascode de base. Mais cette optimisation n'est valable que pour une seule fréquence. Il faudrait pouvoir changer la valeur de cette inductance pour chacune des fréquences de la bande d'étude. C'est pourquoi pour une fréquence différente de 12 GHz, les performances électriques ne sont pas améliorées par rapport à une cellule cascode de base.

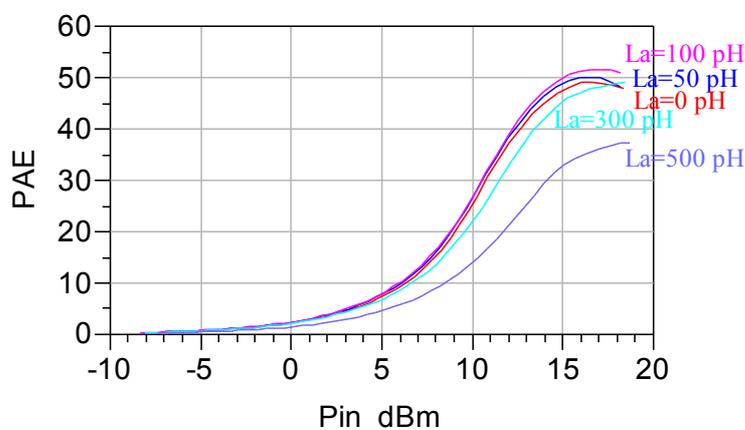


FIGURE 2.57 – Impact de la variation de l'inductance L_a de 0 à 500 pF sur la PAE.

2.6.2 Ajout d'une capacité drain source sur le transistor GC

Une autre méthode peut être employée afin d'avoir les deux transistors adaptés sur leur charge optimale, une capacité Ca_2 est ajoutée entre la source et le drain du transistor grille commune (Figure 2.58). Elle permettrait l'adaptation du premier transistor sur sa charge optimale à condition que sa valeur soit égale à :

$$Ca_2 = \frac{C_{gs} \cdot Ca_1}{C_{gs} + Ca_1} \quad (2.51)$$

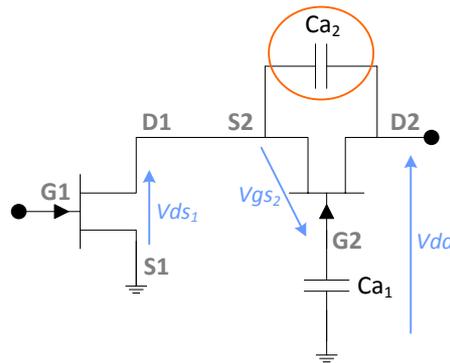


FIGURE 2.58 – Ajout d'une capacité Ca_2

La plupart du temps, cette capacité n'est pas intégrée dans le circuit à cause de sa très faible valeur (inférieure à 0.2 pF). Par contre, comme le montre la Figure 2.59, elle permet de simplifier l'étude analytique du montage cascode et de mieux comprendre l'intérêt de ce dernier.

Le schéma équivalent optimisé en puissance est montré Figure 2.60. Le cascode possède alors une impédance de sortie deux fois plus importantes que le transistor à topologie parallèle. Il résulte que sous des conditions de charges optimales la tension de sortie va être doublée. Ceci implique que la puissance de sortie du cascode $P_{s_{cas}}$ sera deux fois plus grande que celle du transistor à TP $P_{s_{TP}}$.

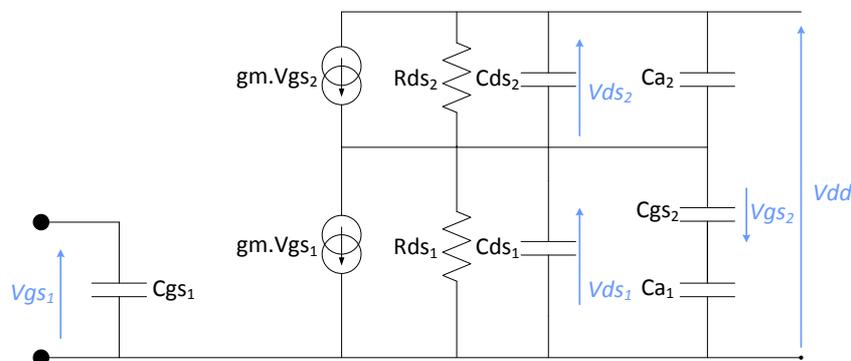


FIGURE 2.59 – Cellule cascode incluant Ca_1 et Ca_2 .

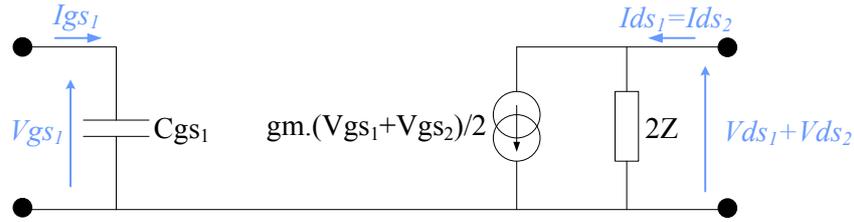


FIGURE 2.60 – Schéma simplifié d'une cellule cascode incluant Ca_1 et Ca_2 .

$$P_{Scasc} = \frac{1}{2} \cdot Re[(V_{ds1} + V_{ds2})gm \cdot (\frac{V_{gs1} + V_{gs2}}{2} + \frac{V_{ds1} + V_{ds2}}{2Z})] \quad (2.52)$$

avec $V_{gs1}=V_{gs2}=V_{gs}$ et $V_{ds1}=V_{ds2}=V_{ds}$ d'où

$$P_{Scasc} = \frac{1}{2} \cdot Re \left[2 \cdot V_{ds} \left(gm \cdot V_{gs} + \frac{V_{ds}}{Z} \right) \right] \quad (2.53)$$

$$P_{Scasc} = 2 \cdot \frac{1}{2} \cdot Re \left[V_{ds} \left(gm \cdot V_{gs} + \frac{V_{ds}}{Z} \right) \right] = 2 \cdot P_{STP} \quad (2.54)$$

Une étude sous SCILAB a été réalisée afin de trouver la valeur de Ca_2 qui permettrait d'optimiser les deux transistors, et en particulier le transistor SC. Afin de réaliser cette étude, un modèle de transistor cascode simplifié a été utilisé (figure 2.61).

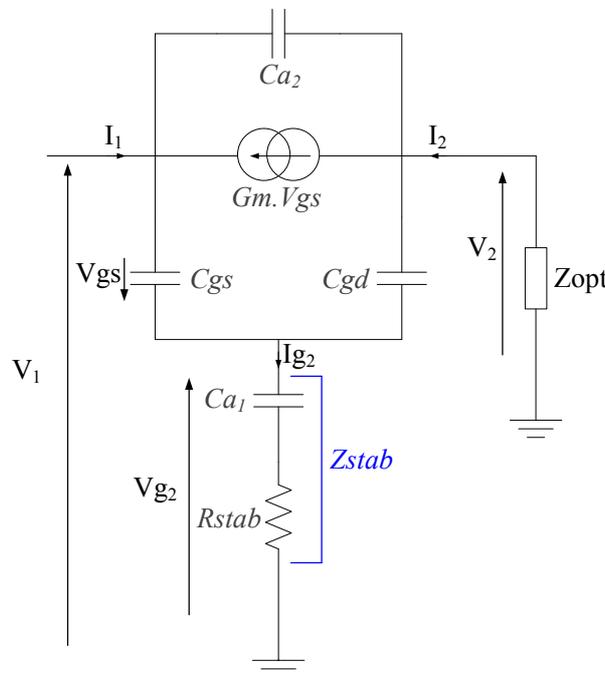


FIGURE 2.61 – Schéma simplifié du transistor GC d'une cellule cascode de base incluant Ca_1 et Ca_2 .

Les équations du fonctionnement de ce circuit simplifié sont les suivantes :

$$I_1 = -j.Ca_2.\omega.(V_2 - V_1) - Gm.Vgs - j.Cgs.\omega.Vgs \quad (2.55)$$

$$I_2 = j.Ca_2.\omega.(V_2 - V_1) + Gm.Vgs + j.Cgd.\omega.(V_2 - V_{g2}) \quad (2.56)$$

$$I_{g2} = -j.Cgs.\omega.Vgs + j.Cgd.\omega.(V_2 - V_{g2}) \quad (2.57)$$

$$V_2 = -Z_{opt}.I_2 \quad (2.58)$$

La résolution de ces équations sous SCLIB permet d'obtenir l'impédance $\frac{V_1}{I_1}$ qui correspond à l'impédance de charge vue par le transistor SC du dispositif cascode. Un processus d'optimisation est réalisé en faisant varier la capacité Ca_2 pour différentes valeurs de Ca_1 . Nous allons comparer les impédances de charge obtenues par cet algorithme à l'impédance de charge optimale que devrait voir le transistor SC pour être le mieux adapté possible.

Les résultats obtenus sont présentés figure 2.62. Il existe donc bien des combinaisons de Ca_1 et de Ca_2 qui permettent d'avoir une impédances de charge du transistor SC proche de la valeur optimale. En particulier pour des valeurs de Ca_1 de l'ordre du pF et des valeurs de Ca_2 plutôt faibles (de l'ordre de 0.1 pF). Une optimisation de ces valeurs est réalisée sous ADS. Les meilleures performances électriques sont obtenues pour $Ca_1 = 0.59pF$, $Ca_2 = 0.12pF$ et $Z_{load} = 10.5 + j23.5$ avec une PAE atteignant 50.4 % soit une augmentation de 5 points par rapport à une cellule cascode de base.

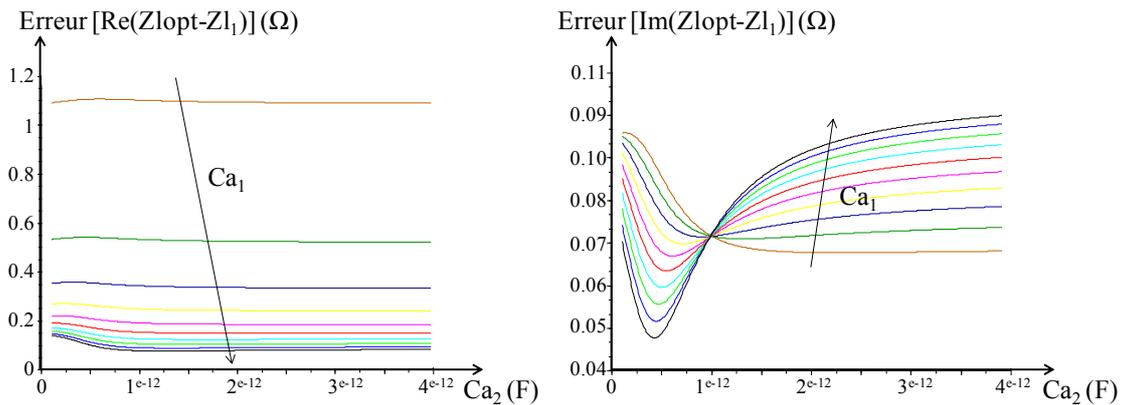


FIGURE 2.62 – Variation de l'erreur entre l'impédance de charge optimale d'un transistor SC et celle du premier transistor de la cellule cascode en fonction de Ca_2 et pour différentes valeurs de Ca_1 .

Augmenter les performances électriques d'un dispositif cascode n'est pas ce qui pose

problème, mais augmenter ses performances tout en assurant la stabilité du système est un véritable challenge. C'est pourquoi une étude de stabilité linéaire a été réalisée. La figure 2.63 présente le facteur de Rollet K pour une bande de fréquence de 0.5 à 30 GHz. Nous observons que $K < -1$ à partir de 7.5 GHz. Cela signifie que la cellule est instable à partir de cette fréquence et notamment pour la bande de fréquence étudiée qui est la bande Ku.

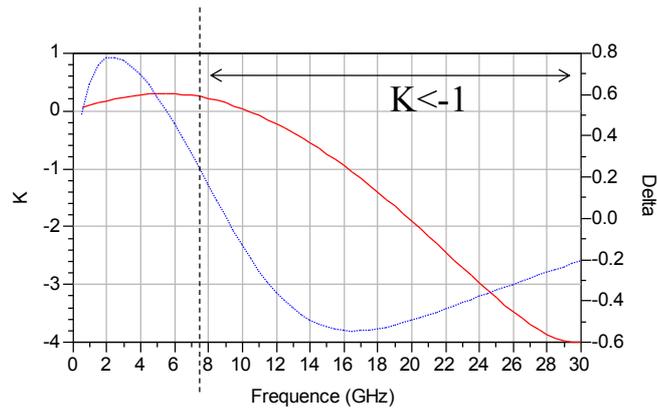


FIGURE 2.63 – Facteur de Rollet de la cellule cascode de base optimisée, avec C_{a_2} , pour une bande de fréquence de 0.5 à 30 GHz.

Une résistance de stabilité R_{stab} est alors ajoutée à la structure. Une nouvelle optimisation sur les valeurs de capacités C_{a_1} et C_{a_2} , sur Z_{load} et sur R_{stab} a été réalisée sous ADS afin de proposer un compromis entre stabilité et performances électriques. Mais les performances électriques obtenues tout en gardant la stabilité du système sont équivalentes à celles d'une cellule cascode de base.

2.6.3 Cascode piloté

Dans la littérature, un autre type de cellule cascode pilotée dit « driven » a été étudié [93]. Nous nous sommes inspirés de cette publication afin d'essayer une autre topologie de cellule qui permettrait d'optimiser le premier transistor sur son impédance de charge optimale. Une résistance R_b en série avec une capacité C_b est ajouté entre la grille du transistor SC et la grille du transistor GC de la cellule cascode (figure 2.64).

Une optimisation de ces deux paramètres ainsi que de la valeur de la capacité C_{a_1} et de l'impédance de charge optimale en sortie de la cellule a été réalisé sous ADS. Les valeurs trouvées qui permettent d'avoir les meilleures performances électriques sont les suivantes : $C_{a_1} = 0.6pF$, $C_b = 0.1pF$, $R_b = 10\Omega$ et $Z_{load} = 15.3 + j27.4$. La figure 2.65 présente les impédances de charge de chacun des transistors de la cellule cascode pilotée comparées à l'impédance de charge optimale d'un transistor à TP.

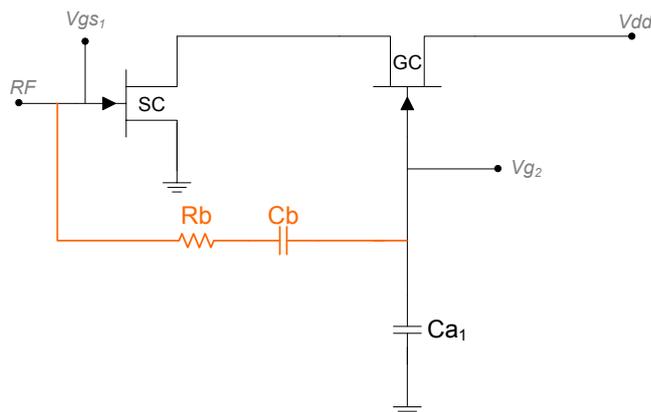


FIGURE 2.64 – Schéma du montage cascode « Driven ».

Les impédances de charge optimales vues par chacun des transistors pour une cellule cascode de base sont également rappelées dans cette figure. Nous observons que pour le cascode piloté, l'impédance de charge optimale du transistor SC (Γ_{L1}) se rapproche de l'impédance de charge optimale d'un transistor seul de même développement de grille (Γ_{lopt}), sans pour autant éloigner celle vue par le transistor GC (Γ_{L2}). Ceci conduit à une amélioration des performances électriques et en particulier de la PAE qui est maintenant de 52%, soit une augmentation de 7 points par rapport à une cellule cascode de base.

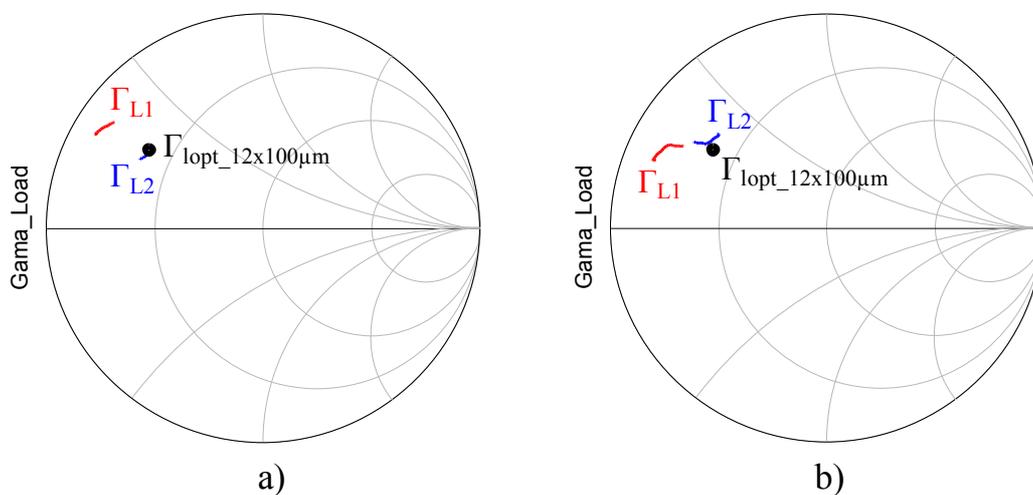


FIGURE 2.65 – Impédances de charge vues par chacun des transistors pour la cellule cascode de base (a) et pour une cellule cascode « driven » (b) comparée à l'impédance optimale d'un transistor à TP.

Une analyse de stabilité linéaire a été réalisée sur cette cellule. La figure 2.66 présente le facteur de Rollet K pour une bande de fréquence de 0.5 à 30 GHz. $K < -1$ à partir de 12GHz, ce qui signifie que le cascode piloté est instable pour des fréquences à partir de 12 GHz. Tout comme la topologie précédente, une résistance de stabilité $Rstab$ a été ajoutée

afin d'obtenir, grâce à un nouveau processus d'optimisation sur tous les paramètres, un compromis entre la stabilité et les performances électriques. Les performances obtenues sont là encore de l'ordre de celle de la cellule cascode de base.

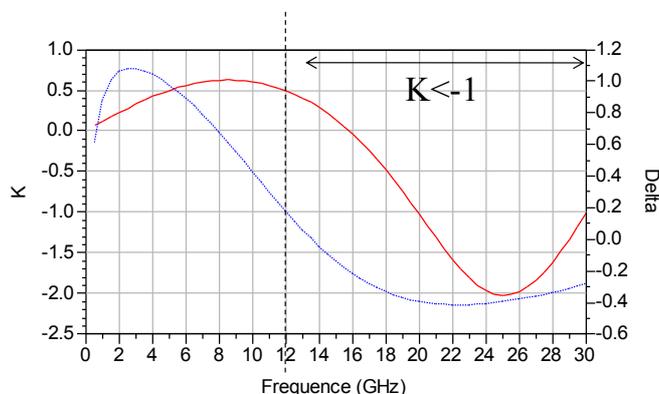


FIGURE 2.66 – Facteur de Rollet de déterminant de la matrice des paramètres [S] de la cellule cascode « driven » de 0.5 à 30 GHz

2.6.4 Cascode autopolarisé

Une autre architecture de la cellule cascode a également été développée dans la littérature. Il s'agit du cascode autopolarisé (self-bias) [94], [95]. Nous n'avons pas utilisé exactement cette topologie mais nous nous en sommes inspirés. En effet, une capacité C_f en série avec une résistance R_f a cette fois-ci été ajoutée entre la grille et le drain du transistor GC (figure 2.67).

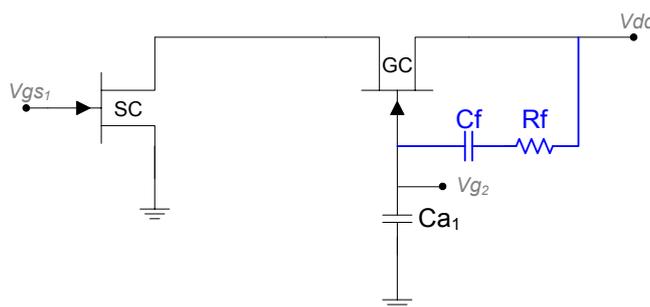


FIGURE 2.67 – Schéma du montage cascode « self biased ».

Afin de trouver une combinaison correcte de ces deux paramètres qui permettrait d'optimiser les performances électriques de la cellule cascode, nous allons chercher pour quelles valeurs de R_f et C_f , l'impédance de charge du transistor SC de la cellule cascode est proche de l'impédance de charge optimale, grâce à une routine réalisée sous SCILAB.

Le principe de cette étude consiste à étudier le schéma du circuit simplifié présenté figure 2.68.

transistor d'être équivalente à l'impédance de charge de sortie optimale pour un transistor de même développement de grille. Le problème est que cette combinaison a lieu pour des valeurs de Gf très faibles voir négatives ce qui n'est évidemment pas réalisable.

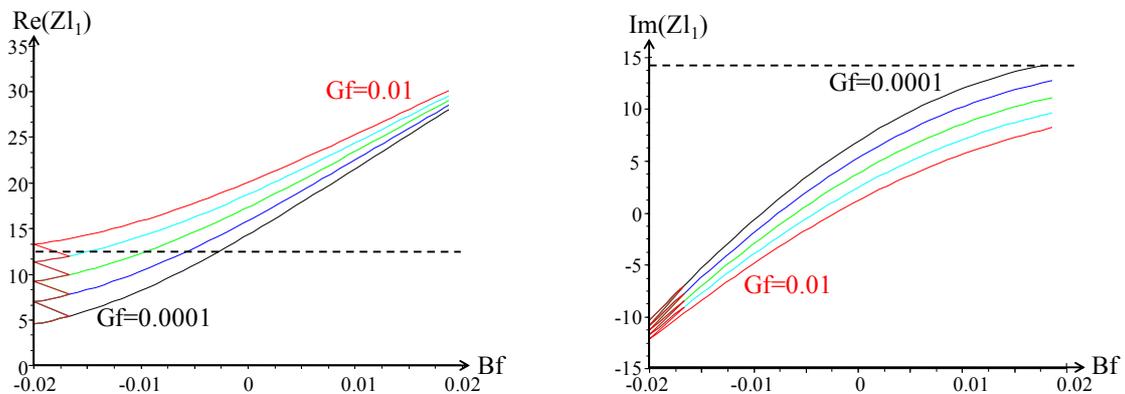


FIGURE 2.69 – Partie réelle et imaginaire de l'impédance de sortie vue par le premier transistor en fonction des valeurs de Gf et Bf .

2.6.5 Cascode avec des transistors de taille différente

Nous avons également tenté d'associer deux transistors de taille différente, mais avec un développement total de grille identique à ce qui a été fait précédemment afin de pouvoir effectuer des comparaisons au niveau des performances électriques.

La première configuration consiste à mettre un transistor SC de développement de grille $12 \times 75 \mu\text{m}$ en cascade avec un transistor GC de développement $12 \times 125 \mu\text{m}$. L'inverse a également été réalisé. Pour chaque topologie, une optimisation des paramètres Ca_1 , R_{stab} et Z_{load} a été tentée afin d'avoir les meilleures performances électriques tout en ayant un dispositif stable. Les performances électriques obtenues sont du même ordre voire dégradées par rapport à une cellule cascode de base composée de deux transistors de même développement de grille.

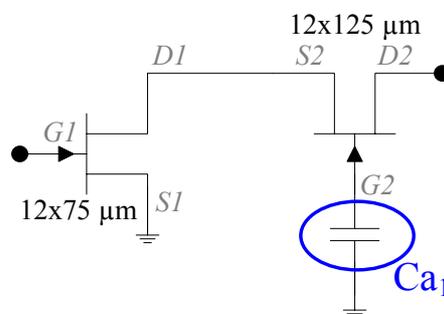


FIGURE 2.70 – Cascode de base avec deux transistors en cascade de développement de grille différent.

2.6.6 Bilan

Nous avons présenté un certain nombre de tentatives afin d'augmenter les performances électriques de la cellule cascode de base et par conséquent de la cellule cascode intégrée. Les performances électriques atteintes sont améliorées puisque une PAE de 53 % est atteinte. Seule la version avec des transistors de taille différente présente des performances électriques dégradées.

La figure 2.71 présente un bilan de toutes les versions testées au niveau de l'amélioration de la PAE et de la stabilité linéaire.

	Amélioration de la PAE	Stabilité	Réalisation
<i>Cascode+L_a</i>			
<i>Cascode+C_{a2}</i>			
<i>Cascode driven</i>			
<i>Cascode self bias</i>			
<i>SC: 12x75 μm GC: 12x125 μm</i>			
<i>SC: 12x125 μm GC: 12x75 μm</i>			

FIGURE 2.71 – Comparaison des différentes solutions d'amélioration du rendement.

Des compromis ont été réalisés afin de rendre ces différentes topologies stables tout en gardant de meilleures performances, mais une fois la stabilité assurée, les performances sont dégradées de telles sorte que la cellule cascode de base, avec des transistors identiques de même développement de grille reste la cellule la plus performante. C'est pourquoi par la suite nous continuons les travaux de cette thèse avec ce type de topologie et notamment avec la cellule cascode intégrée qui a été conçue et dont le modèle distribué a été validé.

2.7 Conclusion

Dans ce chapitre, nous avons tout d'abord décrit la théorie et les avantages de l'utilisation de la cellule cascode de base. Nous avons ensuite effectué une description de chaque outil permettant la modélisation précise de la cellule de puissance. En effet, la topologie cascode étant complexe et très compacte, il est nécessaire de réaliser une étude

électromagnétique et thermique complète. De plus, la particularité du dispositif cascode étant de présenter un fort gain linéaire, il est sensible aux oscillations. Une étude théorique a permis de présenter les différentes techniques d'analyse de la stabilité.

Nous avons conçu plusieurs cellules cascades bande Ku sur substrat GaAs à partir des données communiquées par UMS. Lors de la description du travail réalisé, nous pouvons nous rendre compte que des difficultés ont été rencontrées afin d'optimiser la PAE de la cellule cascode. En effet, les performances électriques ainsi que la compacité de la structure sont plus avantageuses si l'on fait abstraction du niveau de la PAE. Après plusieurs essais d'architectures nous avons observé qu'il est relativement facile d'améliorer cette performance. Le véritable problème réside dans le compromis entre les performances électriques et la stabilité.

Finalement, la cellule cascode la plus performante reste la cellule cascode de base. Notre choix pour la suite doit être réalisé en fonction de la stabilité électrique et thermique, des performances RF et surtout de la compacité de la structure. La cellule cascode intégrée puisqu'elle est la plus stable et la plus compacte, grâce à l'intégration de ces éléments passifs entre ces doigts de grille, est utilisée pour la conception de l'amplificateur de puissance MMIC bande Ku décrit dans le chapitre suivant.

Chapitre 3 :

Conception et caractérisation d'un amplificateur de puissance MMIC à cellules cascodes intégrées pour la bande Ku

3.1 Introduction

Dans le chapitre 2, nous avons développé une cellule de puissance innovante très compacte. Cette cellule, appelée cascode intégré, permet de diminuer la dimension verticale « y » du dispositif de 48% par rapport à un transistor à topologie parallèle (TP) de même développement de grille et par conséquent de diminuer son facteur de forme. Or, nous avons vu que les dispositifs utilisés dans les systèmes VSAT doivent être le plus compact possible afin de réduire leur coût. C'est pourquoi cette cellule de puissance est un atout puisque qu'elle va permettre de diminuer la surface du circuit.

Un amplificateur de puissance a alors été conçu avec ces nouvelles cellules cascodes intégrées au cours de ces travaux de thèse. Il s'agit d'un amplificateur MMIC sur la technologie PPH25X d'UMS fonctionnant dans la bande 12.5-15.5 GHz. Ce circuit a été réalisé afin de concurrencer les amplificateurs présents dans l'état de l'art.

L'utilisation de cette nouvelle cellule de puissance va offrir une application plus large bande qu'un transistor à topologie parallèle. Cependant la structure étant très compacte, elle va être sensible aux oscillations, d'où une attention particulière portée sur l'analyse de stabilité.

Nous présenterons dans un premier temps l'architecture envisagée de l'amplificateur, puis nous détaillerons les points clés d'une conception et enfin nous présenterons les mesures réalisées sur cet amplificateur.

Une conclusion sur l'ensemble des résultats obtenus ainsi qu'une comparaison avec l'état de l'art sera réalisée.

3.2 Détermination de la topologie de l'amplificateur

Un amplificateur de puissance est caractérisé entre autre par son gain et sa puissance de sortie. Dans cette partie, nous allons déterminer le nombre de transistors nécessaire au sein de l'étage de sortie afin d'avoir la puissance de sortie voulue et le nombre d'étages qu'il faut pour respecter les spécifications requises au niveau du gain.

Le tableau 3.1 rappelle les principales spécifications exigées lors de la conception de l'amplificateur de puissance sur la bande de fréquence 13.75 à 14.5 GHz.

Le but de cette nouvelle conception est de réaliser un amplificateur assurant les performances demandées dans le cahier des charges tout en diminuant son encombrement. Grâce à l'utilisation de la cellule cascode intégrée en remplacement du transistor à topologie parallèle, la surface du circuit pourra être réduite. Ceci aura pour conséquence d'avoir une densité de puissance surfacique plus grande, c'est un atout non négligeable dans le domaine des télécommunications VSAT. De plus, l'utilisation de cette cellule de

puissance permet d'élargir la bande de fréquence par rapport à l'utilisation d'un transistor à TP.

HPA PHEMT GaAs	Performances requises
Gain linéaire	24 dB
Pout @ Pin=10 dBm	33.5 dBm
Point d'interception d'ordre 3 (IP3)	40 dBm
Stabilité	inconditionnelle
Courant de grille max	15 mA
PAE @ Pin=10 dBm	25 %

TABLE 3.1 – Spécifications de l'amplificateur à réaliser.

3.2.1 Détermination du nombre de transistors de l'étage de sortie

Le nombre de transistors ou de cellules de puissance mis en parallèle au sein de l'étage de sortie détermine la puissance totale que va fournir l'amplificateur. Dans la table 3.2 nous rappelons la puissance de sortie saturée (c'est à dire pour une puissance d'entrée Pin de 21 dBm) délivrée par une cellule cascode intégrée dans la bande de fréquence 12-16 GHz.

Fréquence (GHz)	12	13	14	15	16
Pout (dBm)	32.5	32.2	32	31.8	31.5

TABLE 3.2 – Puissance de sortie de la cellule cascode intégrée entre 12 et 16 GHz @ Pin=21dBm.

Afin de déterminer le nombre de cellules cascodes utilisées au sein du dernier étage de l'amplificateur, nous nous plaçons dans le pire cas, c'est à dire à la fréquence la plus haute de la bande étudiée, soit 16 GHz. C'est à cette fréquence que la puissance délivrée par le dispositif cascode est la plus faible, soit 31.5 dBm. Selon les spécifications requises, 33.5 dBm de Pout est attendue en sortie de l'amplificateur de puissance.

Considérons deux topologies cascodes en parallèle, nous obtenons alors $P_{out} = 31.5dBm + 3dB(2cellules) = 34.5dBm$ de puissance de sortie. Les pertes du combineur peuvent varier selon la bande de fréquence étudiée et la technologie utilisée. Dans notre cas elles sont estimées à 0.5 dB. La puissance de sortie intégrant les pertes est alors $P_{out}=34$

dBm, ce qui laisse une marge assez faible, de 0.5 dB, pour parer à d'autres pertes qui pourraient s'ajouter lors de la conception.

Comme le nombre de cellules de puissance fonctionne par paire afin d'assurer une recombinaison symétrique des signaux en sortie, il faudrait alors quatre dispositifs cascodes en parallèle afin de pouvoir assurer, de façon certaine, les 33.5 dBm de puissance de sortie exigée. Ceci conduirait à une puissance de sortie équivalente à :

$$P_{out} = 31.5dBm + 6dB(4cellules) - 1dB(pertes - combineur) = 36.5dBm \quad (3.1)$$

En prenant quatre cellules cascodes en parallèle sur le dernier étage, l'amplificateur atteindrait une puissance de sortie de 36.5 dBm. Cette fois-ci la marge par rapport aux spécifications demandées serait de 3 dB. Or, le critère principal à respecter lors de cette conception est de minimiser au maximum la surface de l'amplificateur. De plus, les calculs effectués ont été réalisés en bord de bande haute, c'est à dire à la fréquence où la puissance de sortie est la plus faible. Ce qui laisse penser qu'en milieu de bande et en particulier pour des fréquences entre 13.75 et 14.5 GHz, il y aura une puissance de sortie plus élevée. L'étage de sortie restera alors constitué de deux cellules cascodes en parallèle. Nous nous contenterons d'une marge plus faible.

3.2.2 Détermination du nombre d'étages

Le gain de l'amplificateur est caractérisé par son nombre d'étages. Dans un premier temps, le travail consiste à déterminer quel type de cellules de puissance (transistor ou cascode) nous allons utiliser et le nombre d'étages qui vont composer l'amplificateur. Comme le but de cette nouvelle conception est d'avoir un circuit le plus compact possible, nous imposons le fait qu'il sera constitué de deux étages. Il faut alors déterminer si l'utilisation d'un transistor à topologie parallèle est suffisante afin de réaliser le premier étage ou si nous optons là aussi pour une structure cascode intégrée.

Ainsi, deux conditions doivent être remplies :

- Le dispositif choisi doit avoir un gain suffisamment important afin que le gain total de l'amplificateur respecte celui exigé dans les spécifications, soit 24 dB.

- Il doit fournir assez de puissance pour que le dernier étage puisse atteindre les 33.5 dBm de puissance de sortie exigée. En effet, les spécifications requises en puissance sont données pour une puissance d'entrée de l'amplificateur égale à 10 dBm. Il faut alors que le dispositif inséré au sein du premier étage ait, pour une puissance d'entrée de 10 dBm, une puissance de sortie qui permet aux cascodes intégrés du dernier étage d'atteindre les

33.5 dBm demandées. Dans le paragraphe précédent, nous avons vu que cette condition est respectée si la cellule cascode de l'étage de sortie possède une puissance d'entrée de 21 dBm. Il faut alors que le dispositif ajouté sur le premier étage possède une puissance de sortie de 21 dBm pour une puissance d'entrée de 10 dBm.

Après des simulations load pull effectuées sur plusieurs transistors de développements de grille différents et sur la cellule cascode intégrée, nous décidons d'utiliser une topologie cascode de même développement de grille que celle utilisée pour l'étage de sortie.

Comme pour la détermination de la puissance totale de sortie de l'amplificateur, nous plaçons dans le cas le plus défavorable, là où le gain en puissance est le plus faible. La table 3.3 récapitule la démarche d'obtention du gain de l'amplificateur. La fréquence d'étude est 16 GHz, puisque c'est à cette fréquence qu'on a le gain le plus faible. Le gain linéaire maximal de la cellule cascode intégrée est de 13.5 dB, cette valeur est multipliée par 2 puisque deux étages sont considérés. Ce qui donne un gain linéaire de 27 dB. On soustrait à ce gain les différentes pertes dues aux combineurs d'entrée et de sortie ainsi qu'à l'inter-étage. On en déduit alors un gain linéaire total de l'amplificateur de 22.5 dB, valeur inférieure à la spécification limite du cahier des charges.

Gain Max Load Pull à 16 GHz	2 étages	Pertes d'insertions en entrée	Pertes inter-étages	Pertes combineur de sortie	Gain linéaire total
13.5 dB	27 dB	2 dB	2 dB	0.5 dB	22.5 dB

TABLE 3.3 – Estimation du bilan des pertes du gain entre 12 à 16 GHz.

Pour augmenter les performances en gain à 16 GHz, il faudrait ajouter un troisième étage. Or, rappelons que le but de cette nouvelle conception d'amplificateur est de diminuer au maximum sa surface. L'essentiel étant d'avoir un amplificateur compact, fonctionnel et mesurable il sera alors composé de deux étages. C'est pourquoi il présentera un gain plus faible que celui exigé par le cahier des charges.

La figure 3.1 présente le schéma de principe du circuit qui va être conçu.

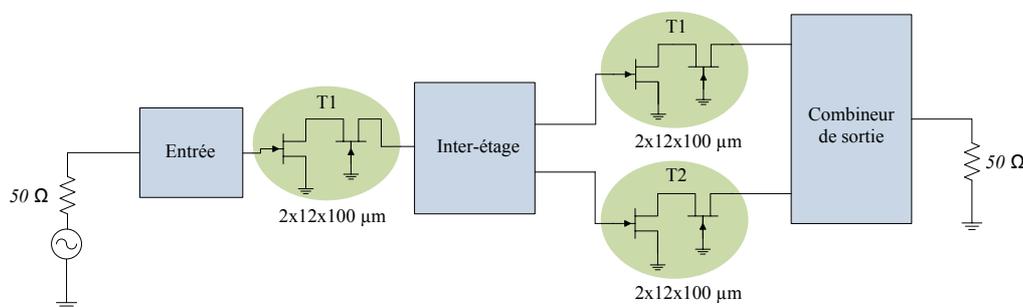


FIGURE 3.1 – Schéma de principe du montage amplificateur cascode.

3.3 Méthodologie de conception de l'amplificateur

Dans cette partie, nous allons décrire les différentes étapes de la conception d'un amplificateur bande Ku réalisé à partir des nouvelles cellules de puissance cascodes dont la conception et la validation du modèle ont été démontrées dans le chapitre précédent. Nous rappelons que ces cellules cascodes intégrées ont été réalisées sur substrat GaAs, avec la technologie PPH25X d'UMS.

3.3.1 Simulations load pull de la cellule cascode intégrée

Le principe d'une simulation load pull est de faire varier les impédances d'entrée et de sortie du dispositif afin d'atteindre les performances électriques souhaitées, ces zones d'impédances étant balayées sur l'abaque de Smith. Dans notre cas, seule une variation des impédances de sortie à la fréquence fondamentale f_0 est réalisée afin d'avoir un maximum de PAE. Les impédances de charge des fréquences harmoniques sont fixées sur 50Ω , tout comme l'impédance de source. La figure 3.2 présente les impédances de charges pour un fonctionnement optimal en PAE de la cellule cascode « intégrée » de développement de grille $2 \times 12 \times 100 \mu\text{m}$ en fonction de la fréquence.

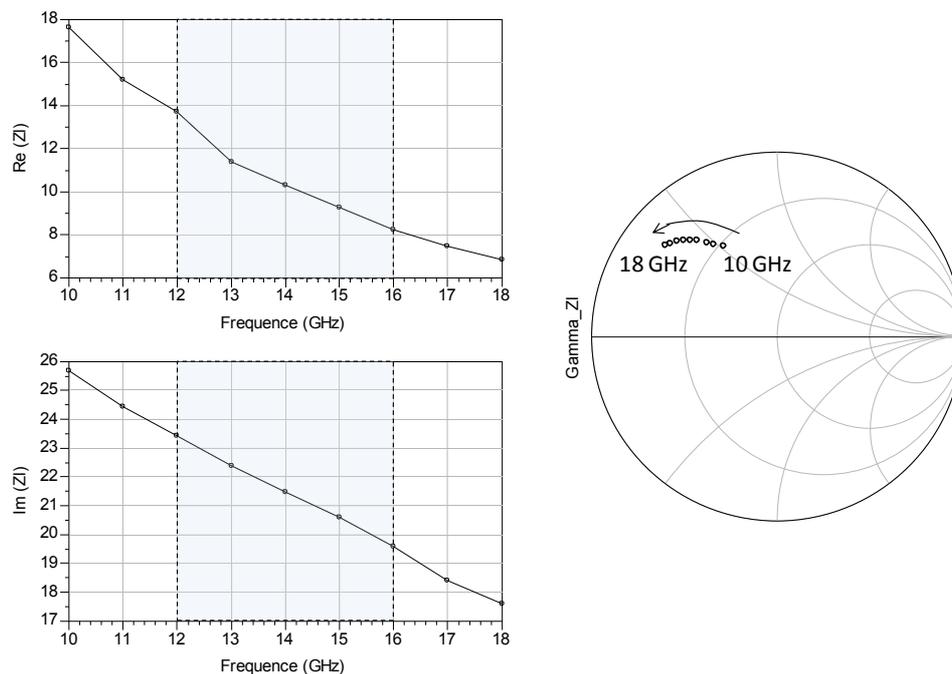


FIGURE 3.2 – Simulation load pull de la cellule cascode intégrée $2 \times 12 \times 100 \mu\text{m}$.

La partie réelle de l'impédance de charge varie de 14Ω à 8Ω pour la bande de fréquence $12 \text{ à } 16 \text{ GHz}$. Il va alors falloir concevoir un combineur de sortie permettant de transformer la charge 50Ω sur chaque impédance de charge (en partie réelle et imaginaire) pour chacune des fréquences étudiées.

3.3.2 Conception du combineur de sortie

3.3.2.1 Topologie du combineur de sortie

La réalisation du combineur de sortie est une étape importante de la conception de l'amplificateur. Son rôle est de transformer la charge 50Ω sur les impédances de charge optimales des cellules cascode pour chaque fréquence de la bande étudiée. Afin d'avoir un circuit le plus compact possible, nous imposons la distance entre les deux cellules cascodes de l'étage de sortie. Elle doit être la plus courte possible afin de minimiser la dimension « y » de l'amplificateur. La figure 3.3 présente la topologie du combineur de sortie réalisé.

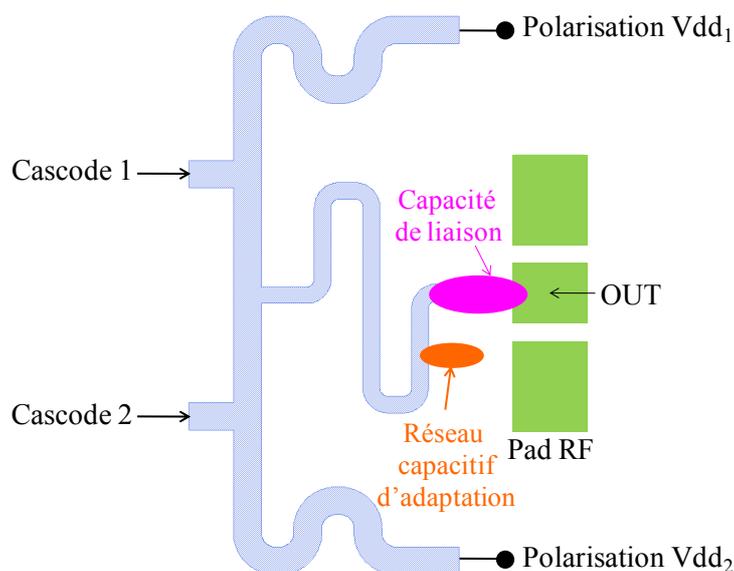


FIGURE 3.3 – Topologie du combineur de sortie.

Ce combineur comprend les accès de sortie de chacune des deux cellules cascodes de l'étage de sortie, leur polarisation de drain ainsi que l'accès RF de sortie du circuit. La polarisation de drain s'effectue de part et d'autre du combineur pour deux raisons. Tout d'abord, chacune des deux polarisations de drain fournit le courant de drain I_{ds} d'une cellule cascode intégrée, ce qui permet d'avoir des largeurs de lignes plus petites. En effet, si une seule polarisation de drain était présente, elle devrait fournir le courant des deux topologies cascodes, soit la somme des courants de chacune des cellules. I_{ds} étant multiplié par deux, des lignes de transmission plus larges devraient être utilisées, d'où une structure moins compacte. Mais la principale raison de cette double polarisation de drain est qu'elle permet d'éviter tout problème de dissymétrie lors de la polarisation des cascodes. En effet, cela pourrait nuire au bon fonctionnement du système en entraînant une dégradation des performances électriques.

Le combineur dispose d'un seul réseau capacitif d'adaptation et est principalement

constitué de lignes. Ceci s'explique par le fait que la transformation d'impédance est certes importante mais les impédances à transformer ne sont pas dépendantes fréquentiellement l'une de l'autre. Il est également composé d'une capacité dite « de liaison » qui permet d'éviter la fuite du courant DC vers l'extérieur. Les deux capacités présentes dans ce dessin sont très proches l'une de l'autre, de plus, le combineur est assez compact, c'est pourquoi toutes les lignes et les dispositifs passifs seront simulés avec ADS-Momentum afin de prendre en compte tous les couplages éventuels et les effets parasites des capacités.

L'optimisation du combineur de sortie est très importante puisque les performances en puissance et la PAE du circuit lui sont directement liées.

3.3.2.2 Optimisation du combineur de sortie

L'optimisation du réseau d'adaptation en sortie s'effectue selon le schéma présenté figure 3.4. Le combineur est chargé sur 50Ω en sortie. On se place dans le cas d'une adaptation en puissance, les cellules cascodes sont alors remplacées par le conjugué de leur impédance de charge optimale qu'elle devrait présenter. Ceci est effectué pour chaque fréquence de la bande 10-18 GHz. La charge en entrée du combineur est donc le conjugué de l'impédance de charge optimale de la cellule cascode intégrée divisé par deux puisque les deux voies de sortie sont reliées entre elles. L'optimisation s'effectue sur une bande de fréquence élargie par rapport à la bande d'étude afin d'avoir une marge d'erreur lors de la réalisation du combineur.

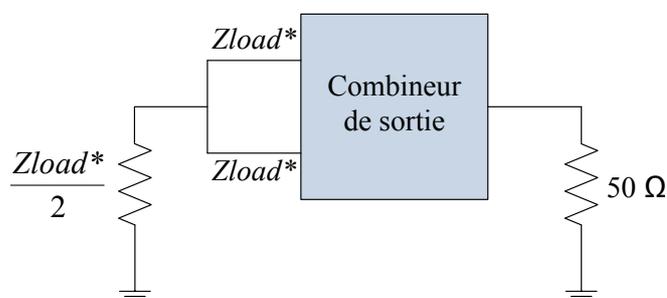


FIGURE 3.4 – Principe d'optimisation du combineur de sortie.

Cette optimisation est réalisée à partir de simulations de paramètres [S]. Le but étant d'adapter l'entrée et la sortie afin d'obtenir de faibles pertes de transmission (S_{21} proche de 0dB) en fonction de la fréquence et un faible coefficient de réflexion à l'entrée ($S_{11} < -10dB$). La figure 3.5 montre les résultats obtenus après optimisation de la structure. Les résultats sont satisfaisants puisque les pertes en transmission sont inférieures à 0.5 dB entre 12 et 16 GHz, et les coefficients de réflexion en entrée et en sortie sont inférieurs à -10 dB. Les pertes obtenues dépendent de la technologie des transistors utilisés et également de la largeur de la bande de fréquence d'étude. En bande étroite, des pertes de l'ordre

de 0.2 dB peuvent être atteintes avec la technologie PPH25X. Plus la bande de fréquence d'étude est large, plus il est difficile d'atteindre des faibles pertes de transmission, il faut alors faire des compromis et homogénéiser les pertes sur toute la bande.

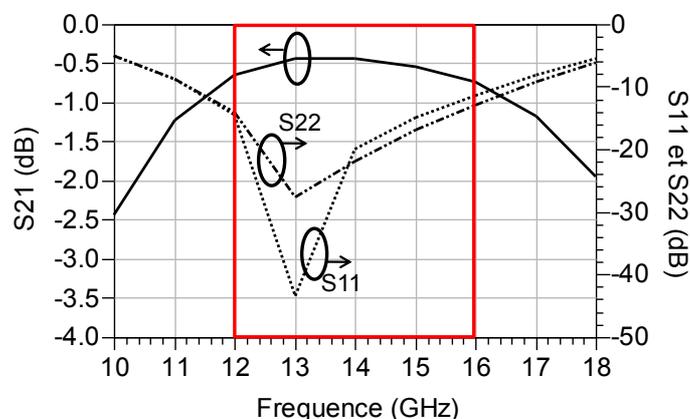


FIGURE 3.5 – Paramètres [S] du combineur de sortie sur la bande de fréquence 10-18 GHz.

3.3.2.3 Vérification de l'optimisation du combineur en fort signal

La simulation de paramètres [S] possède un inconvénient majeur qui est que l'on ne peut pas analyser les impédances de charges vues par chacune des deux cellules cascodes afin de vérifier que l'adaptation en sortie est correcte. De plus, avec une simulation fort signal, les pertes en puissance du combineur vont pouvoir être calculées. La démarche d'analyse est présentée figure 3.6. Le combineur est chargé sur 50Ω en sortie et connecté aux deux cellules cascodes en entrée. Ces dernières étant connectées à leur entrée par leur impédance de source divisée par deux puisque les entrées des deux cascodes sont combinées.

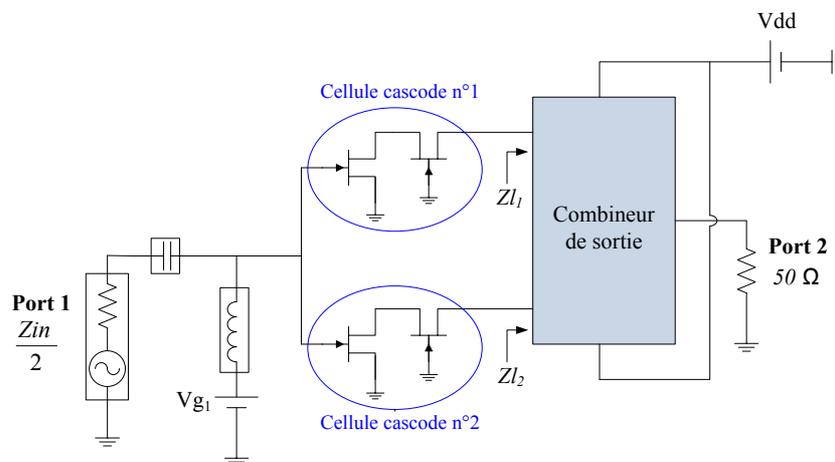


FIGURE 3.6 – Principe de vérification des charges Z_l .

A l'entrée et à la sortie du réseau d'adaptation de sortie, des sondes de tension et de courant sont ajoutées afin de calculer les impédance de charge de chacune des cellules de puissance et les puissances de sortie du dispositif avant et après le combineur. Les impédances de charges vues par chacune des cellules cascodes (Zl_1 et Zl_2) pour chaque fréquence d'étude sont comparées à la valeur moyenne de l'impédance de charge optimale obtenue lors des simulations load pull (figure 3.7). L'adaptation en sortie est correcte puisque les charges vues en sortie par les cascodes correspondent à leurs charges optimales. Le combineur étant un système passif il n'y a pas de variation des impédances de charge en fonction de la puissance d'entrée.

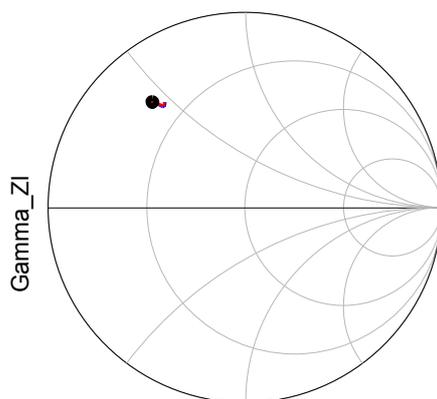


FIGURE 3.7 – Impédances de sortie de chacune des cellules cascodes sur la bande de fréquence 12-16 GHz (trait continu). Comparaison avec l'impédance de charge optimale moyenne d'une cellule cascode sur cette même bande de fréquence (point).

Une vérification supplémentaire est réalisée grâce au calcul des pertes en puissance du combineur pour une bande de fréquence de 12 à 16 GHz (figure 3.8). Pour les mêmes raisons évoquées lors de l'étude des impédances de charges, les pertes du combineur sont invariantes en fonction de la puissance d'entrée. Les résultats obtenus sont satisfaisants puisque sur toute la bande de fréquence les pertes d'adaptation en sortie sont inférieures à 0.5 dB, ce qui correspond à l'estimation de départ, et les pertes en puissance du combineur ne varient pas en fonction de la puissance d'entrée.

Une attention particulière doit être apportée aux impédances d'entrée et de sortie des dispositifs actifs. En effet, pour assurer la stabilité du système, les parties réelles de ces charges doivent être positives.

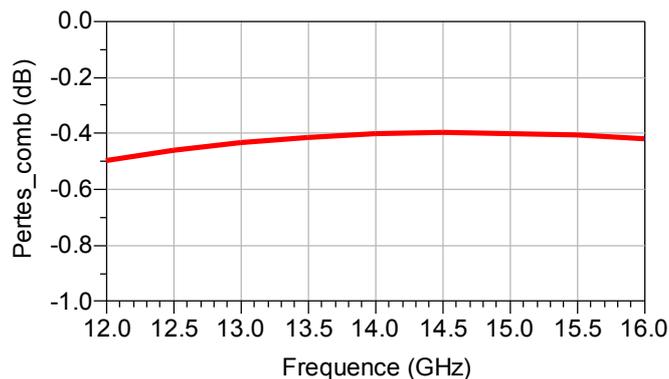


FIGURE 3.8 – Pertes en puissance du combineur de sortie de 12 à 16 GHz.

3.3.3 Conception de l'inter-étage

Le réseau d'adaptation inter-étage doit transformer l'impédance d'entrée des cellules de puissance du dernier étage sur l'impédance de sortie de la cellule de puissance du premier étage et ceci pour chaque fréquence de la bande étudiée. A 12 GHz par exemple, l'impédance d'entrée d'une cellule cascode est $Z_{in} = 3.7 + j4.4$ et son impédance de sortie est $Z_{load} = 13.7 + j23.4$. Cette opération est délicate, tout d'abord à cause de la transformation d'impédance importante à réaliser, et surtout du fait que contrairement aux réseaux d'adaptation entrée-sortie, ces deux impédances sont fréquemment dépendantes. La topologie de l'inter-étage est alors plus complexe et nécessite plus de réseaux d'adaptation en Té (ligne-capacité-ligne) que le combineur de sortie.

L'architecture utilisée lors de cette conception est présentée figure 3.9. On distingue trois réseaux capacitifs d'adaptation, alors qu'un seul était présent pour le combineur de sortie. Une capacité de liaison est également présente afin que la polarisation de drain du premier étage n'arrive pas directement sur les grilles des cellules cascodes du dernier étage ce qui les détruirait. Des filtres (résistance et capacité en parallèles) sont également présents sur les grilles des cascodes du second étage. Leur utilité sera expliquée dans le paragraphe sur l'étude de la stabilité de l'amplificateur. En plus de contenir les accès de sortie du dispositif cascode du premier étage et ceux d'entrée du dernier étage, l'inter-étage est également composé des accès de polarisation des grilles du dernier étage et du drain du premier étage. Les lignes de drain sont plus larges que les lignes de grille afin de laisser passer plus de courant.

Le principe d'optimisation est le même que pour le combineur de sortie (figure 3.10). Le combineur de sortie est chargé sur 50Ω et l'inter-étage est chargé sur les conjugués des impédances de charges optimales de la cellule cascode intégrée du premier étage et ceci pour chacune des fréquences de la bande d'étude.

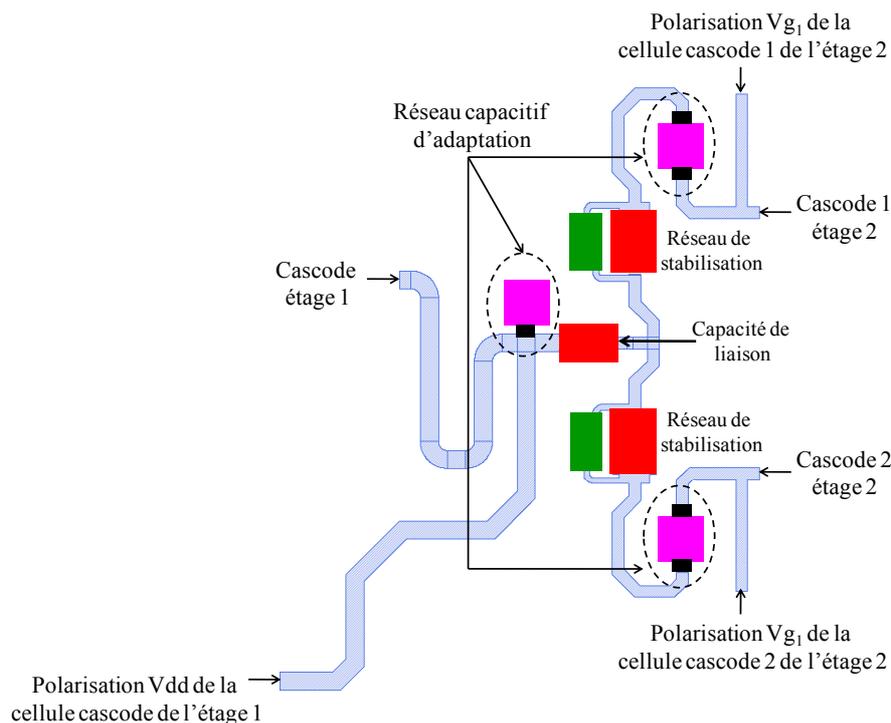


FIGURE 3.9 – Topologie du réseau d'adaptation inter-étage.

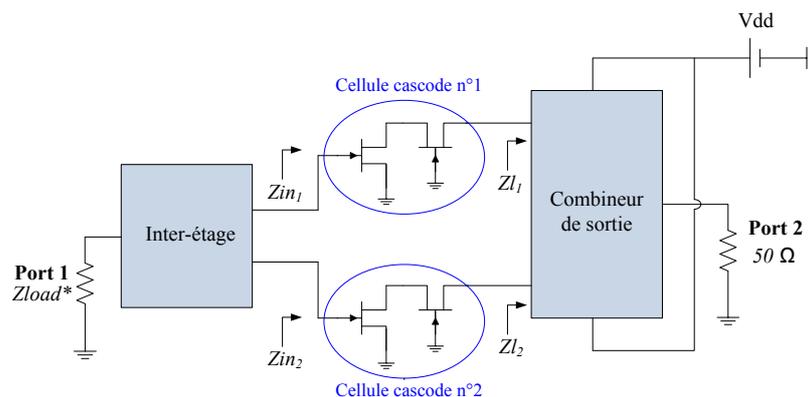


FIGURE 3.10 – Principe d'optimisation de l'inter-étage.

Tout d'abord une optimisation réalisée grâce à la simulation de paramètres $[S]$ est effectuée afin d'obtenir un coefficient de réflexion en entrée et sortie faible (de l'ordre de -15 dB) et un coefficient de transmission S_{21} le plus plat possible.

Une fois cette optimisation réalisée, une optimisation non linéaire est effectuée. L'impédance Z_{load}^* est alors remplacée par le dispositif cascode, fermé en entrée par son impédance d'entrée optimale Z_{in} . Toutes les performances électriques (gain, puissance de sortie et PAE) sont vérifiées pour chaque étage, sur toute la bande de fréquence étudiée pour une variation de puissance d'entrée allant de -10 à 15 dBm. De plus, les impédances d'entrée et de sortie de chaque dispositif cascode du circuit sont comparées aux impédances

optimales obtenues lors des simulations load pull, afin de vérifier l'adaptation entrée-sortie de chaque cellule. Une évolution des impédances en fonction de la fréquence et de la puissance d'entrée est également étudiée afin de vérifier qu'il n'y a pas d'oscillation (voir le paragraphe sur la stabilité). Une nouvelle optimisation sur les caractéristiques en puissance ou sur les impédances d'entrée-sortie peut être réalisée si les caractéristiques obtenues ne sont pas optimales.

Afin de caractériser ce réseau d'adaptation inter-étage, un calcul de ses pertes en puissance a été réalisé. Les résultats sont présentés figure 3.11. Les résultats obtenus sont satisfaisants puisqu'elles varient de 1.5 dB à 2.5 dB alors que les pertes estimées étaient de 2dB. En général pour les fréquences en fin de bande, les pertes sont inférieures à celles en début de bande afin de compenser la décroissance naturelle du gain lorsque la fréquence augmente. Nous pouvons observer que ce n'est pas le cas pour notre inter-étage. Cela signifie que le gain de l'amplificateur ne serait pas plat sur toute la bande de fréquence, nous pourrions alors avoir un gain plus faible en fin de bande qu'en début de bande. Les délais de lancement en fabrication ont contraint le temps consacré à la conception. Une reprise de conception permettrait certainement d'améliorer les réseaux d'adaptation.

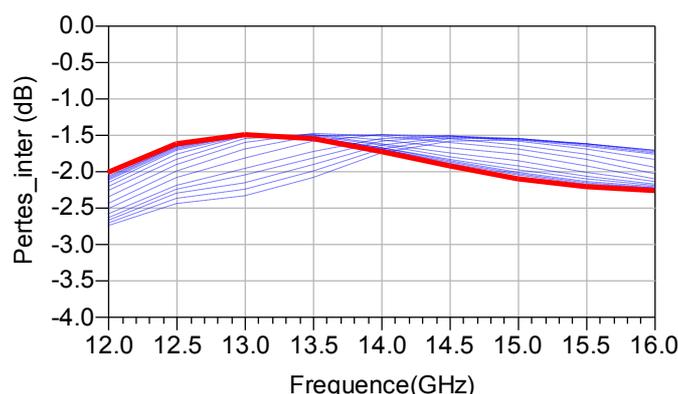


FIGURE 3.11 – Pertes d'adaptation inter-étage en fonction de la fréquence (12-16GHz) et de la puissance d'entrée (trait plein : bas niveau, trait pointillé : fonction de P_{in}).

La conception de l'inter-étage est importante car c'est elle qui va imposer la planéité du gain sur la bande de fréquence voulue.

3.3.4 Conception du combineur d'entrée

Le combineur d'entrée permet de transformer 50Ω en impédance d'entrée de la cellule cascode qui est de l'ordre de 3Ω . Le rapport de transformation est important mais il ne varie quasiment pas en fonction de la fréquence. La figure 3.12 présente l'architecture retenue pour ce réseau d'adaptation. Tout comme le réseau d'adaptation inter-étage il nécessite de nombreux réseaux capacitifs d'adaptation. De plus, un filtre RC est ajouté

sur la grille de la cellule cascode afin de supprimer les oscillations à $\frac{f_0}{2}$. Une inductance est présente afin de diminuer les longueurs de lignes utilisées et d'avoir un design plus compact.

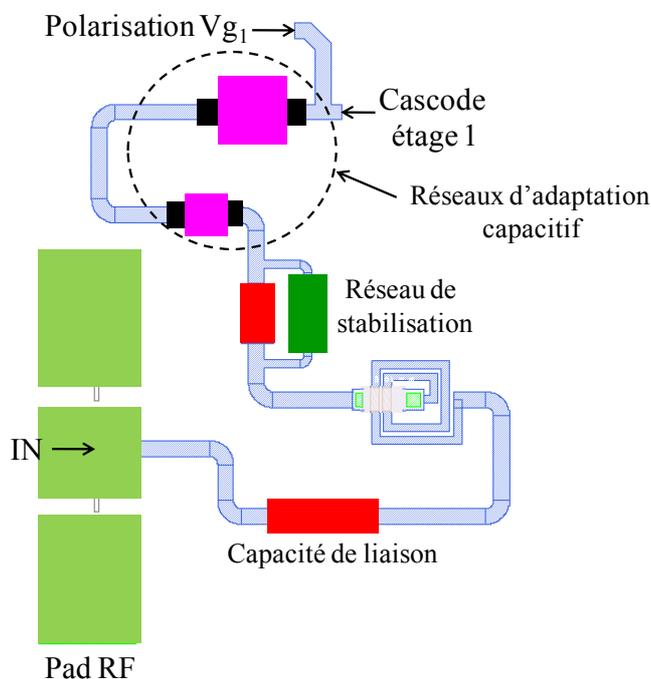


FIGURE 3.12 – Topologie du combineur d'entrée.

L'optimisation du réseau d'adaptation en entrée peut être réalisée en totalité grâce aux résultats de simulation des paramètres [S]. Le but étant d'avoir un gain le plus élevé possible, d'améliorer sa forme sur toute la bande de fréquence d'étude et surtout de minimiser les pertes du coefficient de réflexion en entrée du dispositif. Son optimisation est réalisée une fois que l'architecture de l'inter-étage et du combineur de sortie est figée. Les performances électriques sont vérifiées ainsi que toutes les impédances d'entrée et de sortie de chaque cellule cascode, pour chaque étage, pour toutes les fréquences étudiées et pour une variation de la puissance d'entrée. La figure 3.13 présente les pertes en puissance du combineur d'entrée, elles sont de l'ordre de celles qui avaient été estimées au début de la conception (2dB). Elles sont minimisées pour les hautes fréquences de la bande d'étude.

La conception de l'amplificateur se voulant la plus compacte possible, les trois réseaux d'adaptation entrée-sortie et inter-étage possèdent des lignes et des éléments passifs proches les uns des autres. C'est pourquoi tous les dispositifs passifs tels que les lignes microrubans, les capacités, les résistances et les inductances ont été simulées avec le logiciel ADS-Momentum. Les effets de couplage seront alors pris en compte afin d'avoir un « design » le plus proche possible de la réalité.

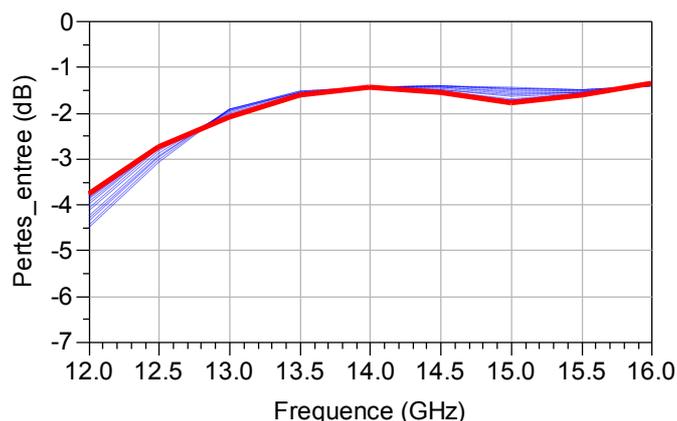


FIGURE 3.13 – Pertes en puissance du réseau d'adaptation en entrée en fonction de la fréquence (12-16 GHz) et de la puissance d'entrée P_{in} (trait plein : bas niveau, traits pointillés : en fonction de P_{in}).

Le dessin de l'amplificateur est alors achevé, il ne reste plus qu'à ajouter les circuits de polarisation ainsi que les plots permettant la polarisation sous pointes. La figure 3.14 présente le dessin (« layout ») du circuit global que l'on appellera dans la suite du manuscrit « amplificateur cascode ». La surface de ce circuit (3.84 mm^2) a été diminuée de 40 % par rapport à l'amplificateur initial STARK (6.13 mm^2).

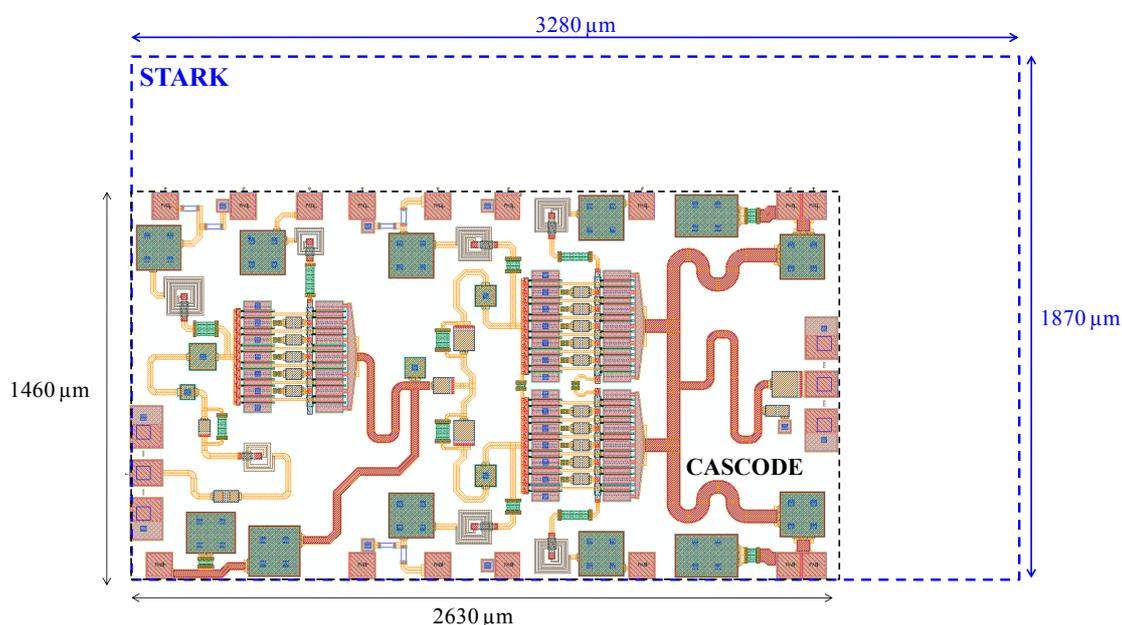


FIGURE 3.14 – Dessin global de l'amplificateur.

3.3.5 Points importants de la conception

Afin de vérifier chaque étape de la conception, il est important de regarder les impédances d'entrée-sortie de chaque cellule cascode pour chaque étage, leur cycle de charge ainsi que leurs performances électriques en entrée et en sortie.

Dans cette partie, les résultats obtenus seront montrés pour une des deux cellules de puissance de l'étage de sortie. En effet, l'amplificateur étant presque symétrique, les deux cellules possèdent alors des performances en puissance identiques.

3.3.5.1 Impédances d'entrée et de sortie

A chaque conception d'un réseau d'adaptation, entrée, sortie ou inter-étage, les impédances d'entrée et de sortie de chacune des cellules cascode intégrées doivent être analysées en fonction de la fréquence et en fonction de la puissance d'entrée. Cette analyse permet d'avoir une première approche de la stabilité de l'amplificateur. En effet, les impédances doivent être à partie réelle positive et ne doivent pas beaucoup varier avec la puissance d'entrée. Si un saut de variation est observée à une fréquence alors ceci signifie qu'il y a un risque d'oscillation. Ce type d'oscillation apparaît lorsque l'on a un phénomène de rétro-action important dans les transistors.

La figure 3.15 et la figure 3.16 présentent respectivement les parties réelles et imaginaires des impédances d'entrée et de sortie de la cellule cascode de l'étage 1 et d'une des deux cellules cascodes de l'étage 2 en fonction de la fréquence d'étude pour une variation de la puissance d'entrée de -10 à 15 dBm. Nous pouvons remarquer que les impédances d'entrée et de sortie de chaque étage sont à partie réelle positive et qu'elles varient peu avec la puissance d'entrée. Cette étude est une étape nécessaire à une première approche de la détection d'une oscillation mais n'est pas une étape suffisante pour confirmer la stabilité de l'amplificateur. C'est pourquoi une étude détaillée de la stabilité sera réalisée dans un paragraphe suivant.

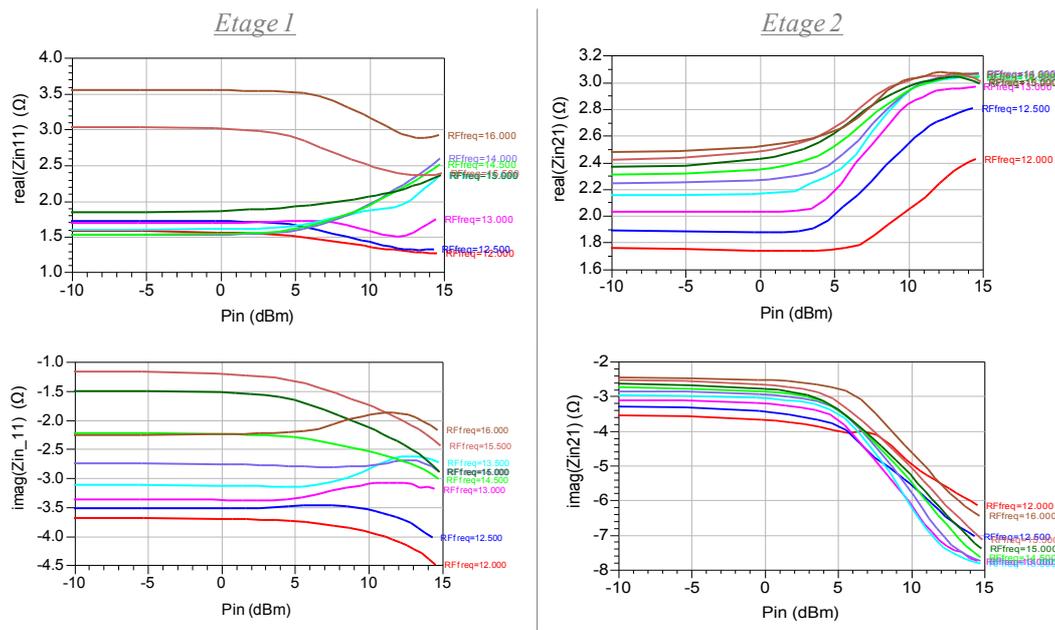


FIGURE 3.15 – Parties réelles et imaginaires des impédances d'entrée des cellules cascodes intégrées de chaque étage, à toutes les fréquences (12-16 GHz) et en fonction de la puissance d'entrée Pin.

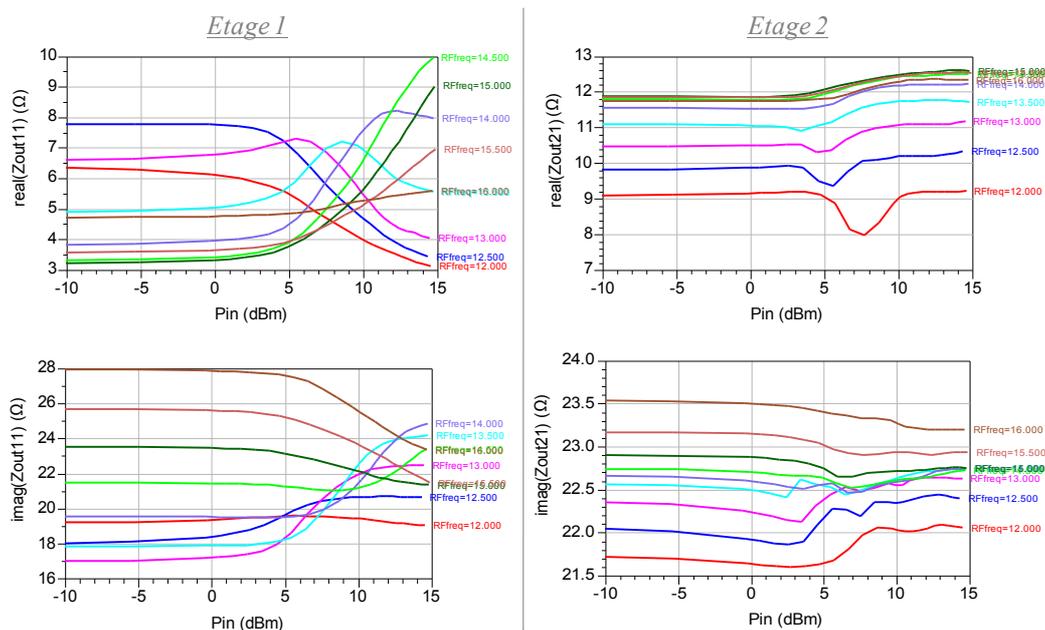


FIGURE 3.16 – Parties réelles et imaginaires des impédances de sortie des cellules cascodes intégrées de chaque étage, à toutes les fréquences (12-16 GHz) et en fonction de la puissance d'entrée Pin.

3.3.5.2 Cycles de charge

Les quatre graphiques de la figure 3.17 présentent les cycles de charge de chacun des transistors constituant la cellule cascode et ceci pour chacun des deux étages. Deux observations découlent de cette étude. Tout d'abord si nous comparons les cycles par rapport à l'étage dans lequel se situe le dispositif cascode. On remarque que les cycles du premier étage n'ont pas une excursion sur tout le réseau $I(V)$. En effet, le premier étage permet d'avoir un gain plat contrairement à l'étage de sortie qui lui est optimisé en puissance. Maintenant nous comparons les cycles de charge de chacun des transistors composant la cellule de puissance. Comme lors de l'étude de la cellule cascode, les cycles du transistor SC sont beaucoup plus ouverts que ceux du transistor GC. Cela signifie que les transistors GC sont mieux adaptés que les transistors SC. Or, nous avons observé dans le chapitre précédent, que la désadaptation du transistor SC entraîne une dégradation de la PAE de la cellule cascode par rapport à un transistor à topologie parallèle de même développement de grille. Ce qui laisse penser que la PAE de l'amplificateur sera plus modeste que celle de l'amplificateur STARK réalisé initialement.

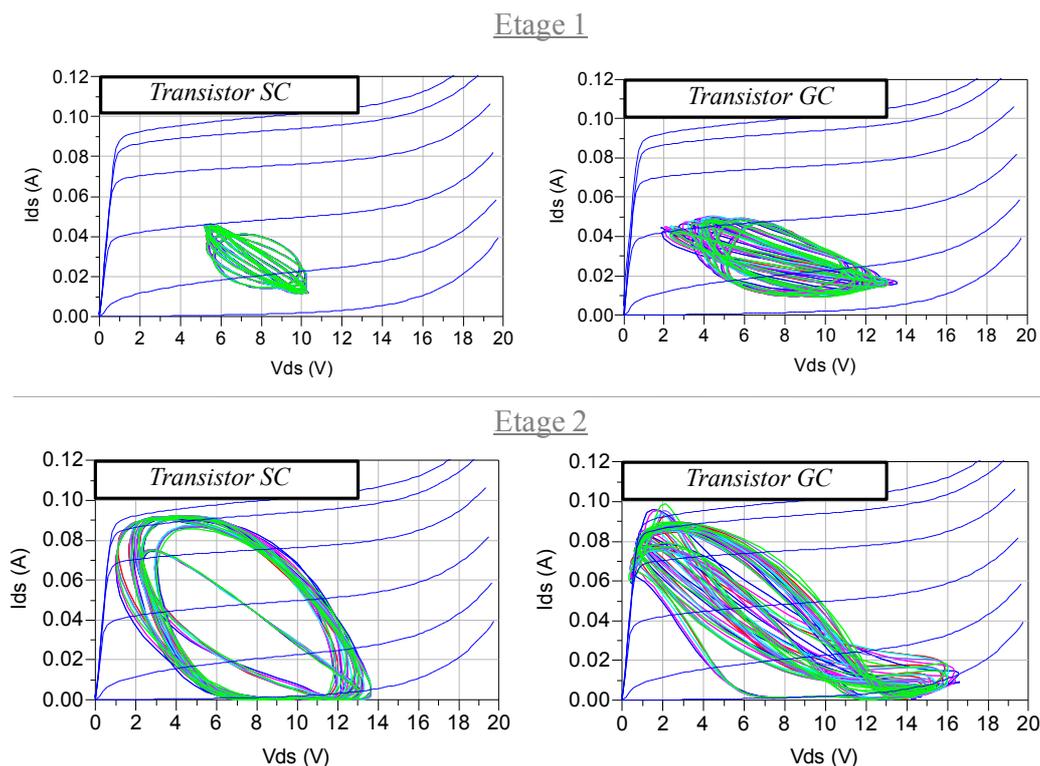


FIGURE 3.17 – Cycles de charge de chaque étage en fonction de la fréquence pour une puissance d'entrée $P_{in}=10$ dBm.

3.3.5.3 Performances électriques de chaque étage

Une vérification des performances électriques de chaque cellule cascade de l'amplificateur est réalisée. En effet, comme la bande de fréquence est assez large (12-16GHz), les cellules cascades peuvent être chargées par des impédances très différentes et dont certaines peuvent être éloignées de l'impédance optimale. La figure 3.18 montre le bilan de puissance de chaque étage. La puissance dissipée des cellules cascades varie peu entre les deux étages (2.5 W pour le premier étage et 3 W pour chacun des cascades du second étage), elle sera plus importante pour le dernier étage en fort niveau. Or, dans le deuxième chapitre, nous avons calculé la résistance thermique d'une cellule cascade, $R_{th} = 27^{\circ}C/W$. Nous pouvons alors déduire qu'une puissance dissipée de 3W correspond à une élévation de température de $80^{\circ}C$ par rapport à la température de socle.

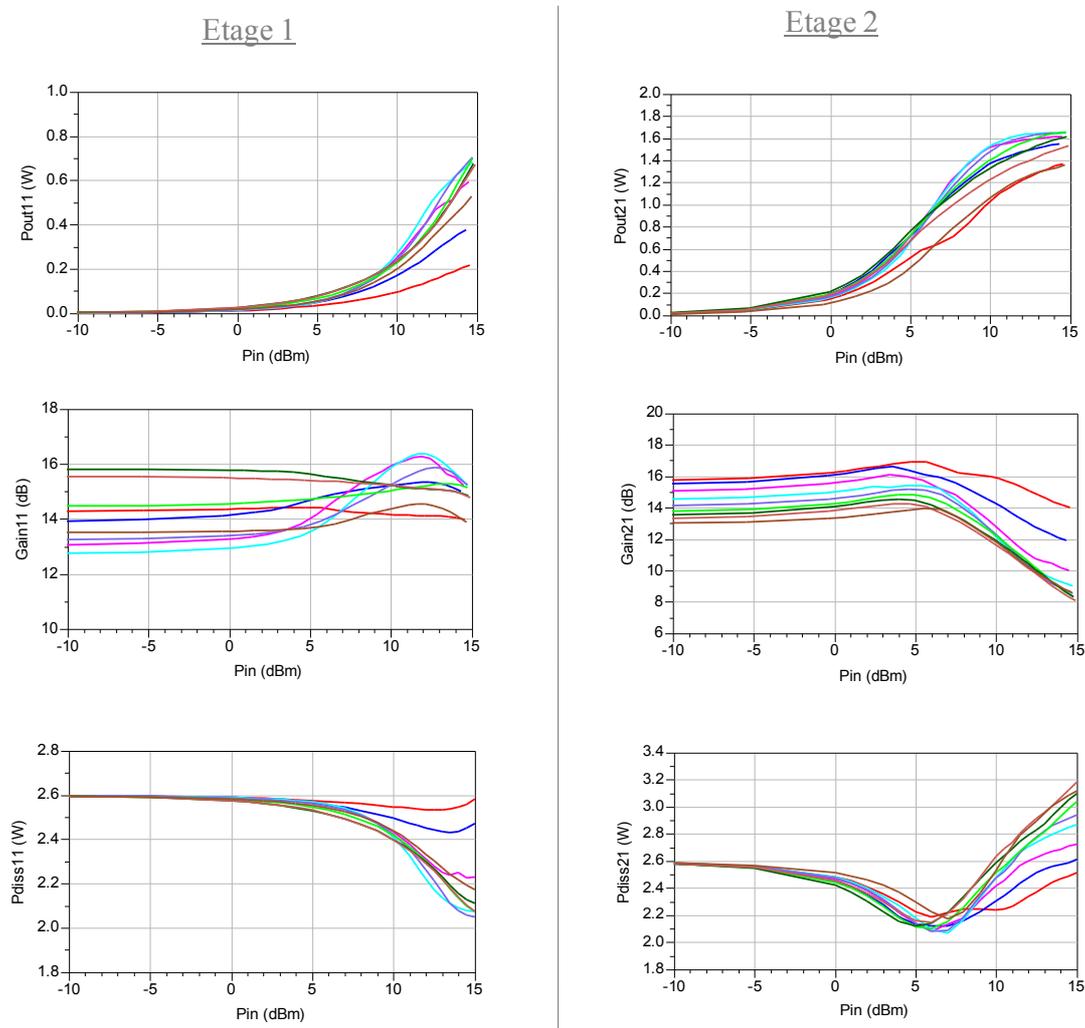


FIGURE 3.18 – Simulation des performances en puissance (puissance de sortie, gain en puissance et puissance dissipée) des deux cellules cascades intégrées appartenant chacune à l'étage 1 et à l'étage 2 en fonction de Pin, de 12 à 16 GHz par pas de 0.5 GHz.

3.3.6 Stabilité de l'amplificateur cascode

3.3.6.1 Facteur de Rollet et cercles de stabilité

Tout d'abord, la figure 3.19 présente le facteur de Rollet et le déterminant Δ de la matrice des paramètres [S]. Tout comme pour la cellule cascode intégrée, l'analyse est réalisée sur une large bande de fréquence (0.5 à 30 GHz). K est supérieur à 1 et $|\Delta| < 1$ pour toute cette large bande, excepté à 2 GHz où $|\Delta| > 1$. L'amplificateur est inconditionnellement stable de 0.5 à 30 GHz excepté autour de 2 GHz où une stabilité conditionnelle apparaît. Une oscillation peut alors être détectée mais elle pourra être facilement maîtrisée lors des mesures grâce à l'ajout de capacités proche de la polarisation.

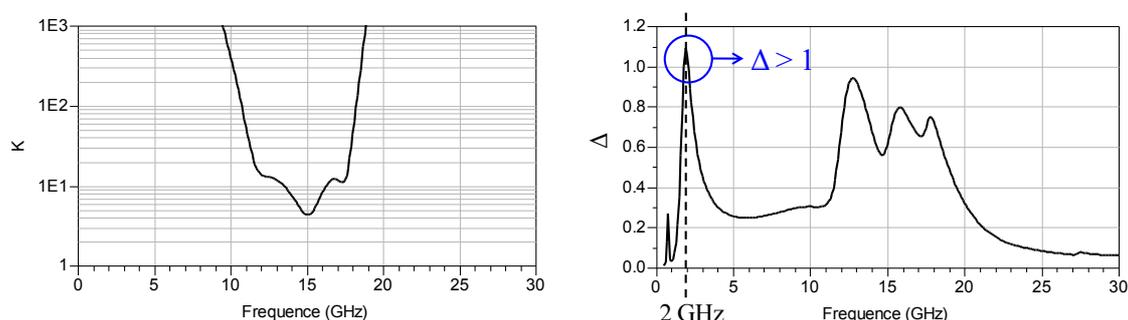


FIGURE 3.19 – Facteur de Rollet et module du déterminant de la matrice des paramètres [S] pour une fréquence de 0.5 à 30 GHz.

Nous avons observé dans la partie précédente la variation des impédances d'entrée et de sortie des cellules cascodes de chaque étage en fonction de la puissance d'entrée et pour chaque fréquence de la bande étudiée. Ceci nous a donné une première approche de la stabilité du circuit puisque qu'aucune anomalie n'a été observée lors de cette étude. Pour chaque fréquence la variation des impédances est homogène en fonction de la puissance d'entrée. Afin de compléter cette étude, il faut vérifier que les impédances ne se situent pas dans un cercle d'instabilité. La figure 3.20 présente les cercles d'instabilité des charges en entrée et en sortie des cellules cascodes pour la bande de fréquence 12-16 GHz et pour chaque étage. Puisque $K > 1$, les cercles en entrée et en sortie se situent hors de l'abaque de Smith. Le système sera donc stable quelle que soit la valeur des impédances présentées au dispositif.

Nous avons vu dans le chapitre précédent que le facteur de Rollet ne permet pas de détecter des oscillations internes au circuit. Cependant, la compacité du circuit et la présence de trois dispositifs actifs, implique que des boucles internes peuvent se former. C'est pourquoi une analyse de stabilité non linéaire est nécessaire.

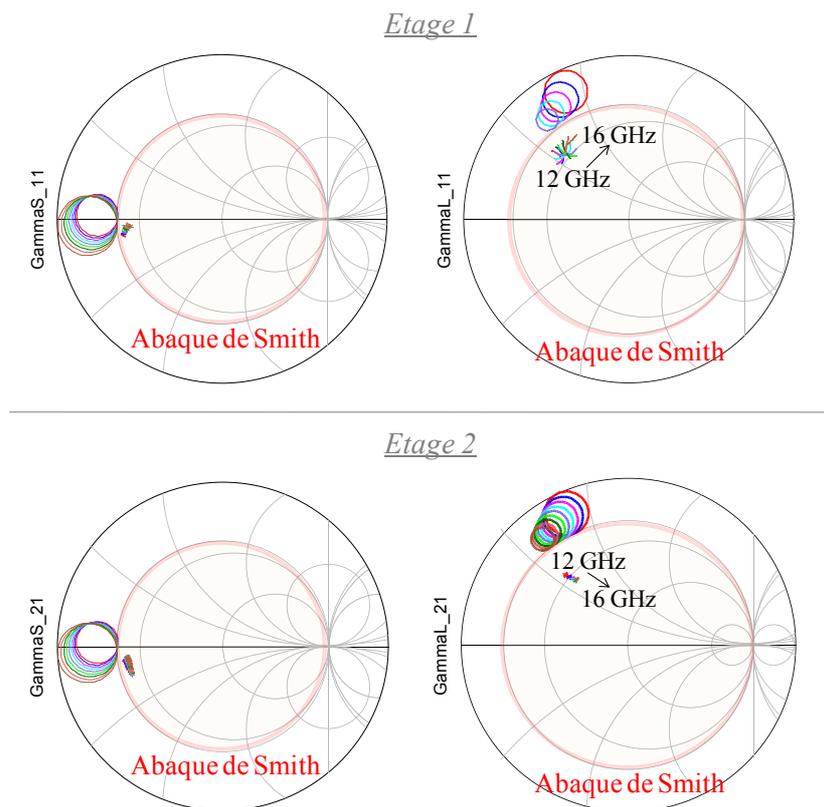


FIGURE 3.20 – Cercles d’instabilités des charges d’entrée et de sortie de la cellule cascode intégrée pour une fréquence allant de 12 à 16 GHz.

3.3.7 Stabilité non linéaire des circuits microondes

Les amplificateurs de puissance sont généralement constitués de plusieurs étages. La présence de plusieurs transistors peut entraîner la création de boucles intrinsèques, ce qui peut provoquer des oscillations. L’analyse de stabilité par l’étude du facteur de Rollet K étant une analyse globale du dispositif, elle ne permet pas de détecter des boucles d’oscillations internes [96]. Une analyse de stabilité non linéaire dans les systèmes amplificateurs doit être réalisée.

Cette étude prend en compte le comportement de l’amplificateur à toutes les fréquences, généralement comprises dans une large bande de 0.5 à 30 GHz, et pour une puissance donnée. Cela permet d’identifier des oscillations à un certain niveau de puissance et pas à un autre, on parle d’oscillations paramétriques. Dans ce manuscrit, l’analyse de la stabilité non linéaire repose sur l’identification pôle-zéro [97], [98], [99], [100], [101].

3.3.7.1 Utilisation de l’outil STAN

STAN a été développé par l’université de Bilbao en collaboration avec le Centre National d’Etudes Spatiales (CNES) [102]. Cette routine a été réalisée sous SCILAB. Elle

est basée sur l'identification des pôles et des zéros qui contiennent l'information relative à la stabilité du circuit linéarisé autour de son point de fonctionnement. Cette analyse consiste à obtenir une fonction de transfert associée à la linéarisation du circuit autour de ses conditions de polarisation ou de fort signal. La figure 3.21 présente l'organigramme de l'obtention de cette fonction de transfert.

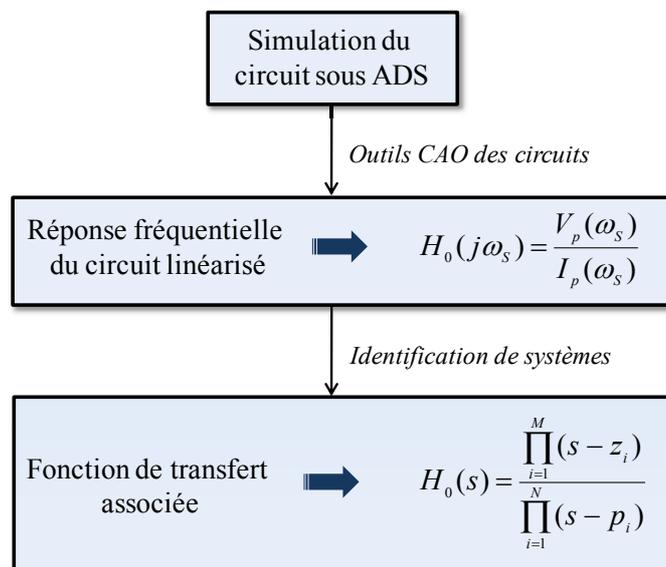


FIGURE 3.21 – Organigramme représentant le principe de l'outils STAN.

Cette méthode d'analyse est constituée de deux étapes. Tout d'abord, l'obtention de la réponse fréquentielle simulée du circuit préalablement linéarisé autour de son point de repos et pour une bande de fréquence donnée. Puis l'application ultérieure des techniques d'identification numérique à la réponse fréquentielle afin d'obtenir la fonction de transfert.

– Obtention de la réponse fréquentielle.

Elle nécessite l'ajout d'un générateur de perturbation dans un nœud du circuit souhaité et a pour particularité de ne pas modifier le régime d'excitation principal. Généralement une source de courant sinusoïdale petit signal en parallèle avec le circuit est ajoutée afin d'obtenir la réponse fréquentielle (figure 3.22). Ce générateur peut également être un générateur de tension en série avec le reste du circuit. Le balayage de la fréquence de la source de perturbation ne doit pas coïncider exactement avec la fréquence fondamentale du signal de pompe, ou un de ses harmoniques.

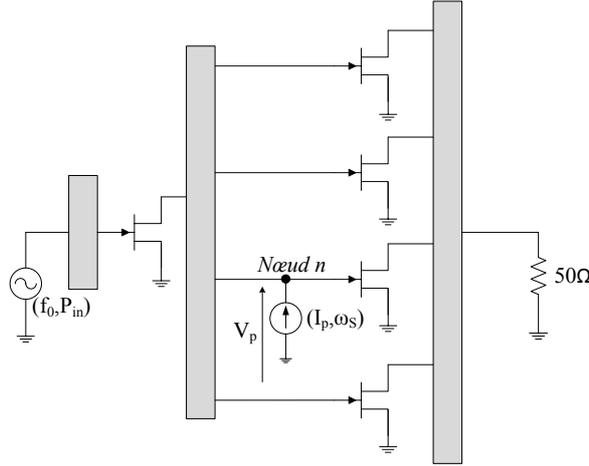


FIGURE 3.22 – Schéma général du circuit électrique avec une source de courant petit signal de perturbation en parallèle à un nœud arbitraire du circuit n .

Le signal de sortie choisi est $V_p(j\omega)$ généré dans le nœud d'insertion de la source de courant [103]. En effet, la réponse fréquentielle du système linéarisé est l'impédance $Z_p(j\omega)$ vue par la source de courant de perturbation de tout le circuit au nœud n :

$$Z_p(j\omega_s) = \frac{V_p(\omega_s)}{I_p(\omega_s)} \quad (3.2)$$

Une fois cette réponse fréquentielle obtenue, elle est injectée dans STAN afin d'obtenir la fonction de transfert correspondante $Z_p(s)$. Les résultats d'analyse de stabilité seront seulement valables dans la bande de fréquence analysée. De plus, lors de cette analyse, une variation des paramètres du signal d'entrée tels que la fréquence f_0 et la puissance P_{in} est éventuellement réalisable.

– Obtention de la fonction de transfert.

La deuxième étape de l'analyse consiste à obtenir la fonction de transfert $Z_p(s)$, à partir de la réponse fréquentielle obtenue précédemment. L'utilisation de technique d'identification de système permet d'obtenir le quotient de polynôme suivant :

$$Z_p(s) = \frac{\prod_{i=1}^M (s - z_i)}{\prod_{i=1}^N (s - p_i)} \quad (3.3)$$

avec z_i les zéros et p_i les pôles de la fonction de transfert. Cette étape est réalisée par l'outils STAN.

L'information sur la stabilité réside dans le dénominateur de cette fonction de transfert. La présence de pôles à partie réelle positive indique la présence d'une instabilité dans l'analyse de l'état établi du circuit (figure 3.23). Si une paire de pôles complexes conjugués avec une partie réelle positive est trouvée alors le début d'une oscillation à la fréquence donnée par la partie imaginaire des pôles sera observée.

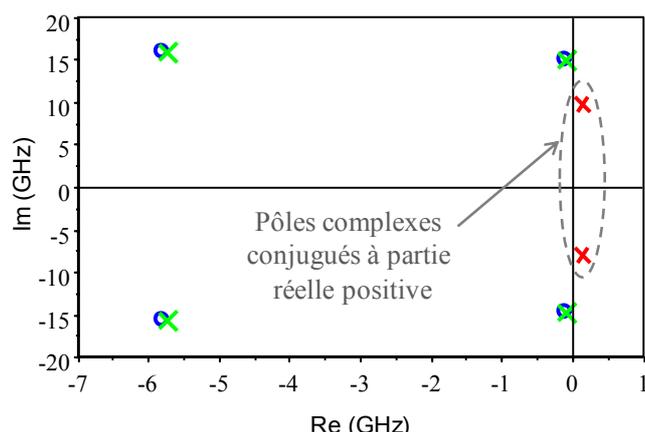


FIGURE 3.23 – Représentation des pôles et zéros d'un système deux ports instable.

Des précautions doivent être prises lors de cette étude. En effet, l'information sur la stabilité peut être obtenue en tout nœud du circuit. Cependant, les zéros de chaque fonction de transfert peuvent être différents selon le nœud d'analyse [104] d'où la présence éventuelle d'un phénomène de compensation pôles et zéros [105]. Ceci est dû à la diminution de l'observation d'une partie de la dynamique du circuit qui peut créer de graves problèmes lors de l'analyse de stabilité. En effet, la quasi-compensation pôle-zéro implique que la résonance instable est faible et par conséquent, elle peut rester cachée par le reste de la dynamique du circuit. Il faut alors un pas d'analyse très étroit afin de détecter l'oscillation. Selon le nœud choisi, nous aurons une stabilité avec une sensibilité différente. C'est pourquoi il est nécessaire de la réaliser en plusieurs nœuds du circuit.

3.3.7.2 Visualisation des modes d'oscillations

Dans un premier temps, l'outil STAN a permis de détecter les lieux du circuit sensibles aux oscillations. La technique d'analyse de stabilité décrite dans le paragraphe précédent, utilise une seule source de perturbation. Cette configuration excite tous les modes d'oscillation mais ils ne peuvent pas être distingués. C'est pourtant la connaissance de ces modes d'instabilité qui va permettre de stabiliser le circuit. En effet, prenons un circuit simple (figure 3.24). Si une source de courant petit signal est connectée au nœud A et que l'on détecte une oscillation, il est alors impossible de déduire le mode d'oscillation détecté. C'est pourquoi une source de courant petit signal est placée en chaque nœud des transistors en parallèle A et B. Une première simulation est réalisée en plaçant les deux sources de courant en phase. Si une oscillation est détectée elle sera alors en mode pair, et elle pourra également être détectée en tout nœud du circuit. Une deuxième simulation est réalisée en plaçant les deux générateurs en opposition de phase. L'oscillation qui apparaît sera révélatrice d'un mode impair. Elle n'est pas détectable au point C. En résumé si les deux transistors oscillent en phase, on parle alors de mode d'oscillation pair tandis que

s'ils oscillent en opposition de phase, on parle de mode impair. C'est la détermination de ces modes qui permet de proposer des solutions afin de stabiliser le circuit.

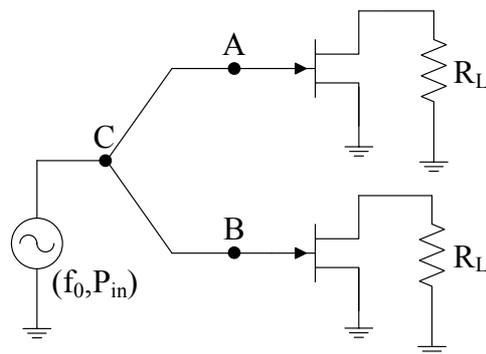


FIGURE 3.24 – Schéma électrique simplifié d'une division de fréquence.

Lors de cette étude seules les impédances Z_p aux bornes de chaque source de courant petit signal vont être observées afin de détecter le mode d'oscillation. Le critère de stabilité est défini de la façon suivante :

- Un dispositif est stable si $Re(Z_p) > 0$
- Un dispositif oscille si $Re(Z_p) \leq 0$ et si $Im(Z_p) = 0$ avec $Im(Z_p)$ fonction croissante passant par zéro.

Ce principe peut s'appliquer à un amplificateur multi-étages avec de nombreux transistors en parallèle [106]. Comme nous venons de le voir, une oscillation en mode impair n'est pas détectable en tout nœud du circuit. Dès lors, il devient indispensable de bien placer la source de perturbation, et de procéder à plusieurs simulations dans différents nœuds pour identifier le type d'instabilité détectée. Afin d'en détecter un maximum, la source de perturbation est alors incorporée au plus près de l'élément actif, en général sur la grille du transistor là où le signal subira l'amplification.

3.3.7.3 Résolutions de certains types d'instabilité

Afin de diminuer le risque d'oscillation, des précautions sont prises lors de la conception du circuit figure 3.25.

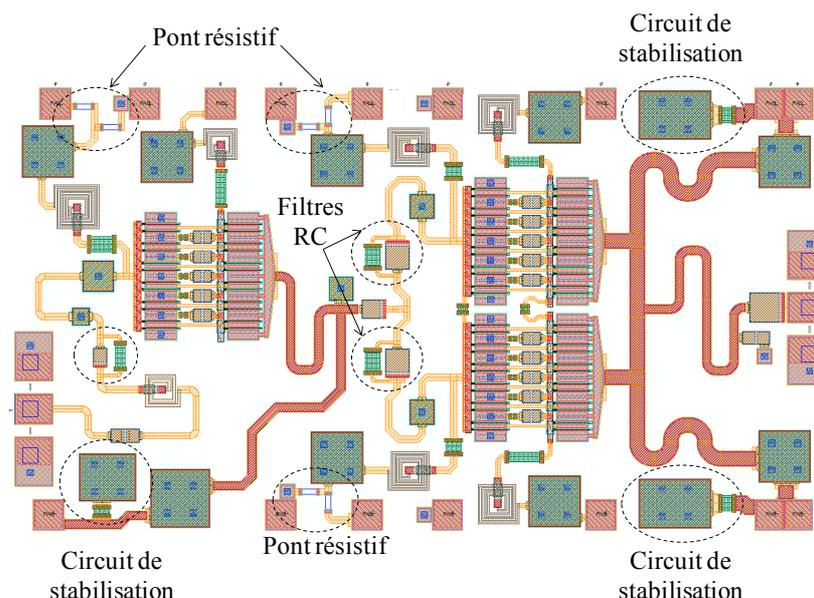


FIGURE 3.25 – Solutions pour assurer la stabilité de l'amplificateur.

Tout d'abord, des filtres, constitués d'une résistance en parallèle avec une capacité, sont placés sur les entrées des cellules cascodes, au plus proche de la polarisation de grille. Pour l'étage de sortie, la capacité est de 1.3 pF et la résistance de 38 Ω , alors que pour l'étage d'entrée nous avons $C = 0.4\text{pF}$ et $R = 70\Omega$. Ce sont des filtres passe-haut qui permettent de supprimer les oscillations aux fréquences multiples de la fréquence fondamentale d'étude, $\frac{f_0}{2}$ ou $\frac{3f_0}{2}$. Ils aident également à l'optimisation de l'adaptation de l'étage d'entrée et l'inter-étage sur lesquels ils sont ajoutés.

Ensuite, des résistances d'équilibrage, sont insérées en série entre les deux bus de grille de chacune des cellules cascode en parallèle sur l'étage de sortie, et ceci pour chacun des transistors constituant le dispositif cascode. C'est à dire entre le bus de grille du transistor SC et celui du transistor GC. Leur efficacité apparait à fort niveau de puissance d'entrée. Elles évitent d'avoir des boucles internes entre chaque cellule cascode de l'étage de sortie.

Les oscillations basses fréquences sont normalement associées aux circuits de polarisation [107], [108]. Afin de les éliminer, une résistance en série avec une capacité à la masse sont placées sur les polarisations de drain et au plus proche des pointes.

Des ponts de résistances sont également ajoutées sur les polarisations de grille du transistor SC de la cellule cascode. Ils permettent de doubler la valeur de la polarisation de cette grille qui est assez faible ($V_{g1} = -0.4V$). En effet, pour une faible valeur de tension de polarisation de grille, la moindre variation de cette tension peut entraîner un dysfonctionnement du circuit et par conséquent une dégradation des

performances électriques ou dans le cas extrême, une destruction du circuit. L'architecture de l'amplificateur étant très compact, une analyse détaillée de la stabilité a été réalisée.

3.3.7.4 Application à l'amplificateur cascode

L'analyse de la stabilité non linéaire par la méthode utilisant la routine STAN est longue puisque tous les nœuds du circuit doivent être testés. Et ceci pour toutes les fréquences de la bande étudiée, en fonction de la puissance d'entrée et aussi en fonction de la fréquence du perturbateur ajouté au circuit. De plus, les modes d'oscillations ne sont pas déterminés par cette méthode. C'est pourquoi, lors de la conception d'un amplificateur, le concepteur commence par la détection des modes d'oscillation pouvant exister dans le circuit.

Tous les modes de fonctionnement sont alors analysés. Tout d'abord, un générateur de courant de perturbation est inséré en parallèle sur la grille du transistor SC du cascode intégré qui se situe sur le premier étage (figure 3.26). Cet étage étant constitué d'une seule cellule de puissance, le mode d'oscillation détecté sera un mode pair.

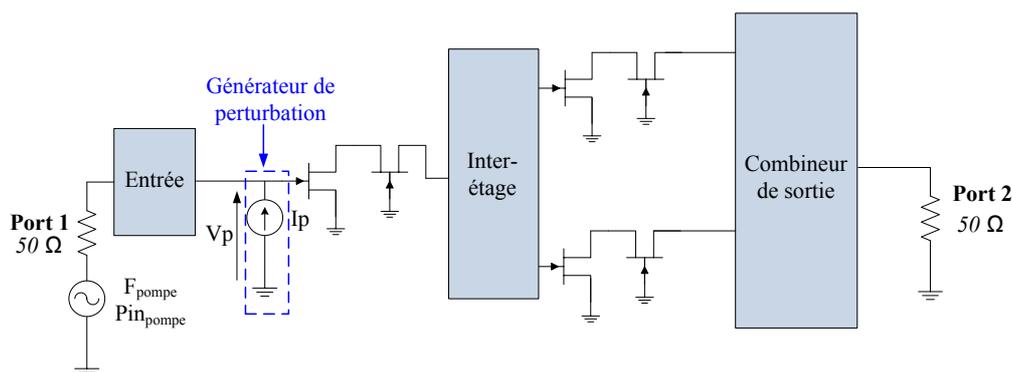


FIGURE 3.26 – Schéma de principe de l'analyse de stabilité non linéaire du premier étage.

Puis, deux générateurs de courant de perturbation sont insérés en parallèle sur chacun des accès de grille des cellules cascodes du dernier étage (figure 3.27). Deux modes de fonctionnement peuvent être alors déterminés, le mode pair si les deux perturbateurs sont en phases et le mode impair s'ils sont en opposition de phase. Ces simulations sont réalisées en fonction de la fréquence de pompe F_{pompe} , de la puissance d'entrée Pin_{pompe} et de la fréquence de générateur de perturbation $Freq_{omeg}$. Ces simulations sont assez longues, pouvant durer plusieurs heures, puisque plusieurs configurations sont étudiées simultanément.

La figure 3.28 montre que les impédances vues aux bornes du générateur de perturbation sont à parties réelles positives quelque soit la fréquence de pompe, la puissance d'entrée ou encore la fréquence du perturbateur. Dans ce cas le HPA est stable,

mais il présente un risque d'oscillation pour une fréquence du générateur de perturbation autour de 10 GHz.

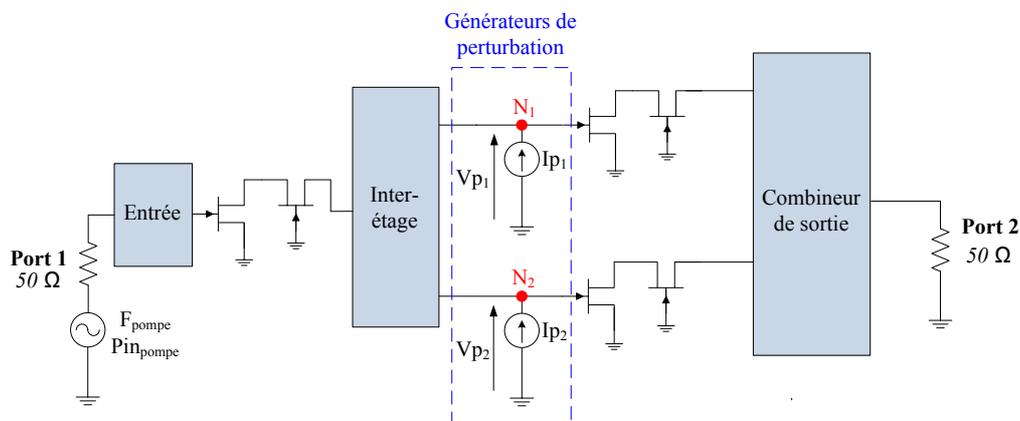


FIGURE 3.27 – Schéma de principe de l'analyse de stabilité non linéaire du dernier étage.

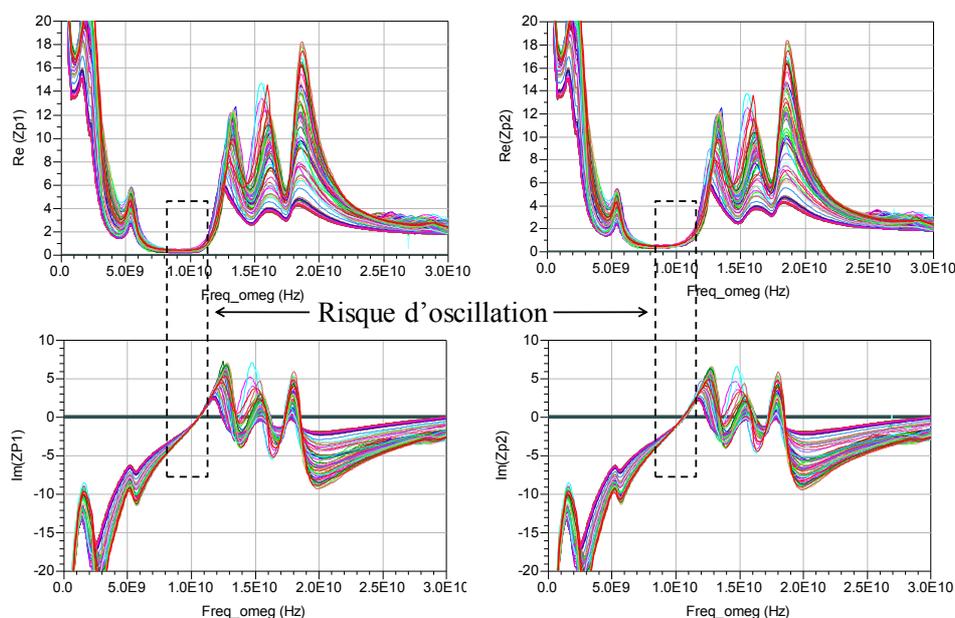


FIGURE 3.28 – Parties réelle et imaginaire de l'impédance de chaque perturbateur du dernier étage (mode impair) en fonction de la fréquence $Freq_{omeg}$ (0.5 à 30GHz par pas de 100 MHz), de F_{pompe} (12 à 16GHz par pas de 0.5GHz) et en fonction de Pin_{pompe} .

Lorsqu'un risque d'oscillation est détecté, il faut alors noter sur quel nœud du circuit il est apparu, pour quelle fréquence et quelle puissance d'entrée de la pompe et pour quelle fréquence du générateur de perturbation. Puis une nouvelle simulation est réalisée, avec un seul générateur de perturbation et autour des conditions où le risque d'oscillation a été détecté. Ceci permet un gain de temps par rapport à l'utilisation direct de STAN. La réponse fréquentielle est alors calculée par ADS, et peut être insérée dans STAN afin d'identifier les pôles et les zéros de la fonction de transfert calculée afin de détecter

une éventuelle instabilité. La figure 3.29 montre les pôles et les zéros correspondant à la simulation de l'amplificateur à une fréquence de pompe de 12 GHz, une variation de la puissance d'entrée de -5 à 15 dBm et une fréquence du perturbateur autour de 10 GHz. Nous pouvons observer que l'amplificateur est stable puisque qu'il ne présente pas de pair de pôles complexes à partie réelles positives. Lors de cette étude tous les cas ont été examinés, et aucune instabilité n'a été détectée.

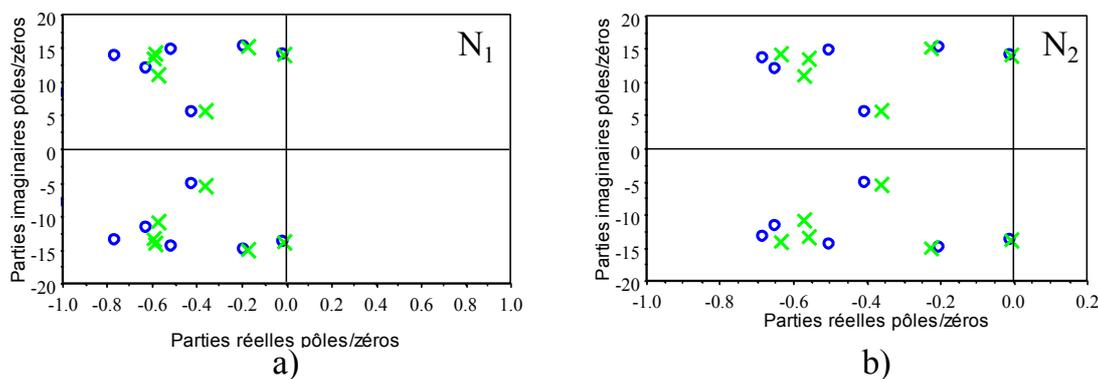


FIGURE 3.29 – Diagramme de pôles et de zéros obtenus dans les conditions de fonctionnement : $V_{dd}=16V$, $F_{pompe} = 12GHz$ et $Pin_{pompe}=11dBm$. Ces diagrammes illustrent les données extraites pour une perturbation sur une bande de fréquence autour de 10 GHz pour la 1ère cellule cascode « intégrée » du dernier étage (a) et pour la 2nde cellule de puissance de ce même étage (b). Les croix représentent les pôles et les cercles les zéros.

3.4 Dispersion technologique

Dans cette partie, nous allons étudier l'impact des variations technologiques sur les performances de l'amplificateur. Les variations imposées sont résumées dans la table ci-dessous :

Inductance L	$\pm 5 \%$
Inductance R	$\pm 20 \%$
Résistance TaN	$\pm 13 \%$
Densité de capacité	$\pm 12 \%$
Epaisseur du substrat	$\pm 10 \%$
Tension de pincement V_p	± 0.05
Courant dIdss	$\pm 15 \%$

TABLE 3.4 – Dispersion technologique imposée sur la technologie GaAs.

La figure 3.30 illustre l'influence de la dispersion technologique sur le coefficient de transmission S_{21} , sur les coefficients de réflexion en entrée et en sortie S_{11} et S_{22} ainsi que sur le facteur de Rollet K. Ces simulations ont été effectuées pour 100 itérations et pour une température ambiante de 25 °C.

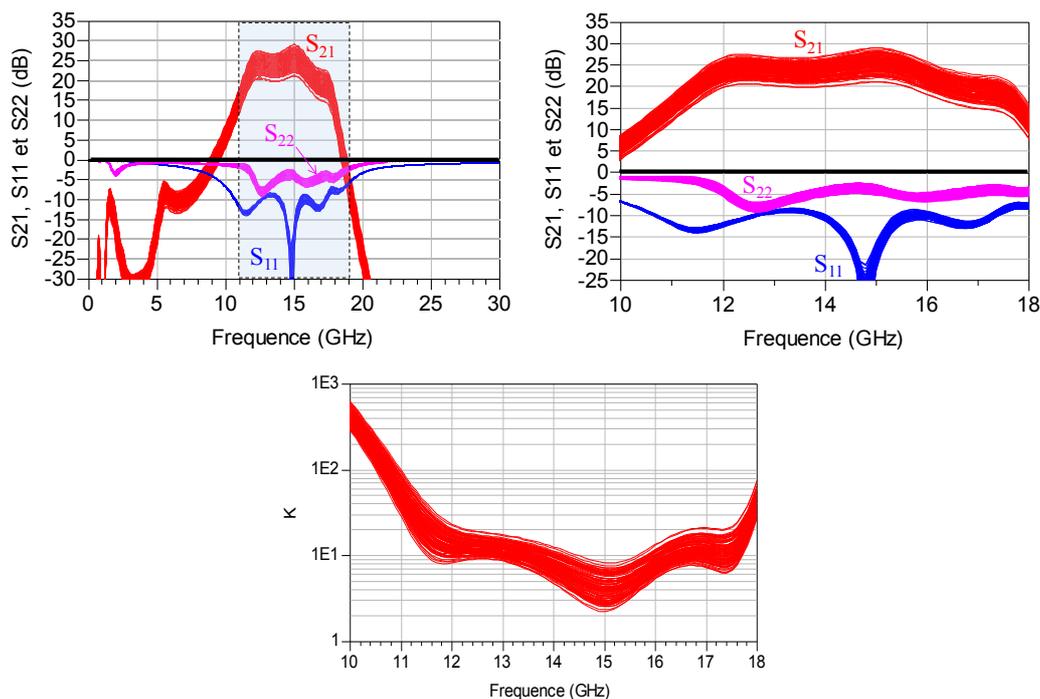


FIGURE 3.30 – Résultats de la dispersion technologique sur les paramètres [S] et le facteur de Rollet K en fonction de la fréquence (10 à 18 GHz) pour 100 itérations.

La dispersion technologique provoque une variation maximale de 8 dB sur le gain dans la bande de fréquence d'étude 12-16 GHz. Le pire cas de la fréquence de coupure haute à 16 GHz correspond à un gain de 18 dB. De plus, le facteur de Rollet K reste strictement supérieur à 1 pour toute la bande de fréquence étudiée.

Cette dispersion peut également être effectués pour des éléments actifs du modèle du transistor, comme les capacités C_{gs}, C_{gd} et C_{ds} ou le retard τ imposé à la source de courant du transistor ou encore sur leurs paramètres extrinsèques.

3.5 Linéarité de l'amplificateur

3.5.1 Différentes méthodes d'obtention de la linéarité

3.5.1.1 Carrier to Intermodulation Ratio (C/I)

A l'entrée du dispositif actif, un signal comportant deux fréquences proches F_1 et F_2 , séparées par un écart fréquentiel Δ_F de 1 à 100 MHz, est inséré. Si le système est non linéaire, des fréquences non désirables, en plus des fréquences harmoniques vont être créées. Le spectre de sortie comprend un grand nombre de raies dont les fréquences sont alors : $F = m.F_1 \pm n.F_2$. Les fréquences issues du battement entre les fréquences F_1 et F_2 sont appelées produit d'intermodulation d'ordre (n+m). Les produits d'intermodulation

d'ordre impair sont en général les plus gênants car ils se retrouvent dans la bande de fonctionnement très proches des signaux utiles et ne peuvent donc pas être filtrés. Comme l'amplitude des produits d'intermodulation décroît lorsque l'ordre d'intermodulation augmente, les produits d'intermodulation d'ordre 3 sont donc les plus critiques. Nous nous limiterons donc à cet ordre dans notre cas puisque ce sont les distorsions prépondérantes. La figure 3.31 illustre le principe de la mesure C/I qui est le rapport entre la puissance du signal fondamental sur la puissance du signal d'intermodulation d'ordre 3.

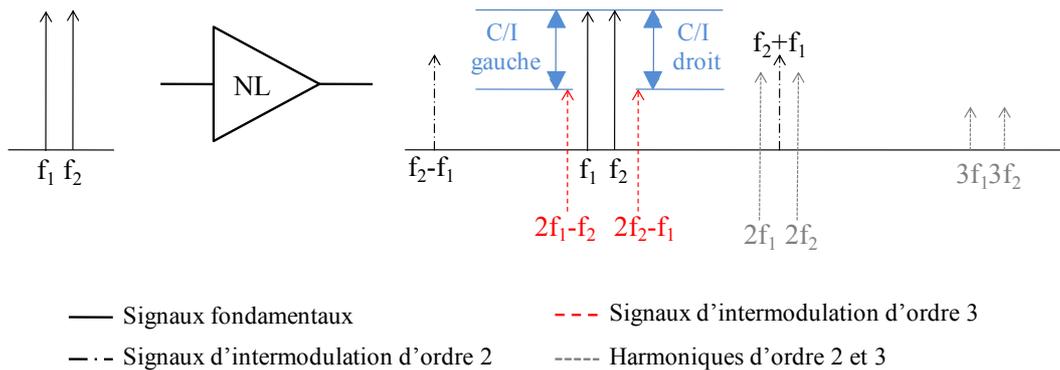


FIGURE 3.31 – Génération des signaux parasites après amplification.

3.5.1.2 Le point d'interception d'ordre 3 (IP3)

Le principe est le même que pour l'étude du rapport C/I. En effet, deux signaux dont les fréquences F_1 et F_2 sont séparées par un écart fréquentiel Δ_F faible (entre 1 MHz à 100 MHz) sont injectés dans le système amplificateur. Tout comme le montre le figure 3.31 des signaux parasites sont générés autour des fréquences fondamentales, ce sont des produits d'intermodulation d'ordre 3. La figure 3.32 résume le principe de calcul du point d'interception d'ordre 3 (IP3). Il correspond au point pour lequel la puissance de sortie à la fréquence fondamentale serait identique à la puissance de sortie de l'intermodulation d'ordre 3 en régime linéaire. Ce point est obtenu par extrapolation des deux courbes de puissance de sortie de ces deux signaux. Plus l'IP3 est élevé plus les produits d'intermodulation sont faibles et donc meilleure est la linéarité (la spécification exigée étant ici de 40 dBm).

La détermination expérimentale de l'IP3 repose sur la mesure de la puissance du signal utile et de celle du produit d'intermodulation d'ordre 3 en fonctionnement 2 tons bas niveau. Il suffit alors de mesurer le C/I à un point de puissance d'entrée P_{in} et d'extrapoler la valeur de la puissance d'entrée $PI_{(n)}in$ au point d'interception d'ordre 3.

$$IP3(dBm) = P_{out}(dBm) + \frac{C/I}{2} \quad (3.4)$$

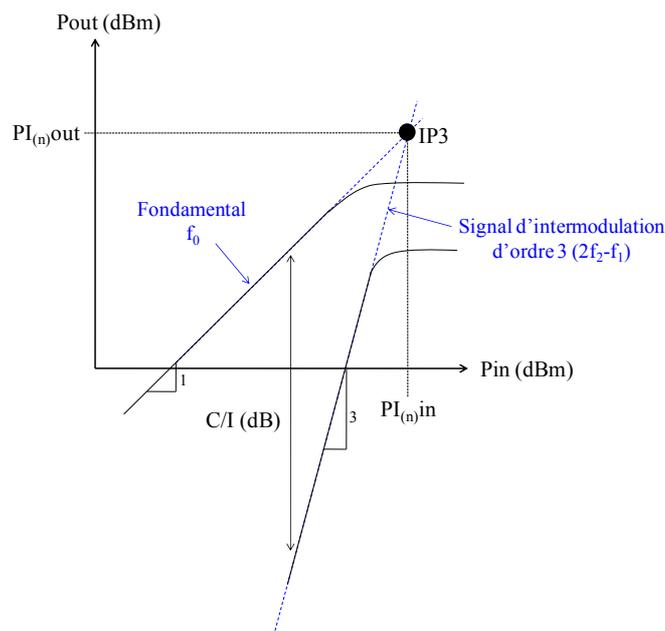


FIGURE 3.32 – Point d'interception d'ordre 3.

Pour une détermination correcte de l'IP3, il est important que la mesure du C/I se fasse à faible niveau de puissance d'entrée mais suffisant pour réaliser une mesure précise du niveau de la puissance du signal d'intermodulation d'ordre 3 qui serait autrement trop faible.

3.5.2 Linéarité du HPA cascode intégré

Pour l'étude de la linéarité de l'amplificateur, nous allons appliquer les deux méthodes présentées précédemment. En fait, elles consistent à injecter un signal bi-porteuse à l'entrée du circuit. Ce signal deux tons est éloigné du signal qui sera injecté dans la réalité mais cela permet d'avoir une première approche sur la linéarité du dispositif.

Deux signaux de fréquences proches de la fréquence fondamentale que l'on veut étudier sont injectés dans le système amplificateur. Ces deux signaux sont séparés par un intervalle de fréquence, « $F_{spacing}$ » qui aura pour valeur 1, 10 et 100 MHz. L'étude est réalisée pour chaque fréquence de la bande d'étude (par pas de 1 GHz) en fonction de la puissance d'entrée et ceci pour chaque valeur de « $F_{spacing}$ » entre les deux tons en entrée.

La figure 3.33 présente l'IP3 de l'amplificateur en fonction de la puissance de sortie, pour chaque fréquence de la bande d'étude et pour un $F_{spacing} = 10MHz$. L'IP3 atteint une valeur de 35 dBm en régime linéaire. Cette valeur ne respecte pas le cahier des charges imposé par la technologie VSAT. L'augmentation de l'IP3 lorsque la puissance de sortie augmente est due à l'extrapolation de la courbe de puissance du signal fondamental et celle du signal d'intermodulation d'ordre 3 lorsque les zones de compression sont atteintes.

Ceci n'apporte aucune information sur la linéarité du dispositif.

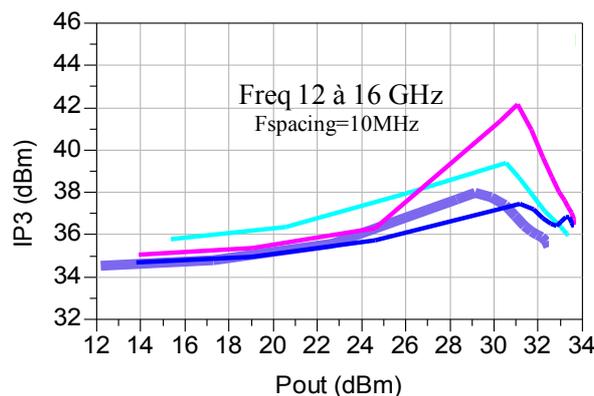


FIGURE 3.33 – IP3 en fonction de la puissance de sortie Pout et pour une fréquence de 12 à 16 GHz par pas de 1 GHz.

L'IP3 étant un facteur présentant la linéarité en bas niveau nous avons également évalué le rapport C/I afin d'avoir une idée de la linéarité du dispositif dans les zones de compression, c'est à dire dans la zone de fonctionnement du système. Ce rapport est présenté au sein de la figure 3.34, pour chacune des fréquences de la bande d'étude et pour « Fspacing » cette fois-ci égale à 100 MHz. La linéarité de l'amplificateur est satisfaisante puisque que pour un faible niveau de puissance nous avons un rapport C/I de l'ordre de 50 dBc et à fort niveau de l'ordre de 15 dBc.

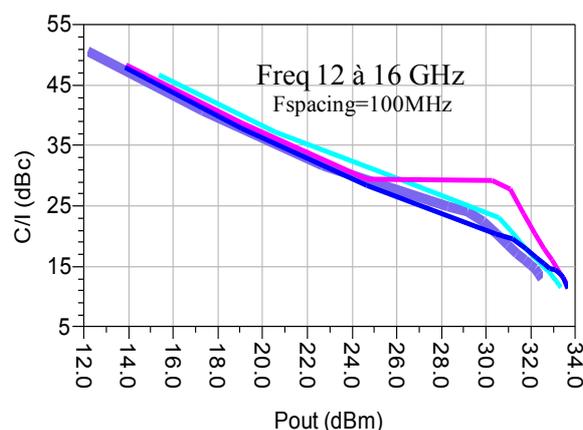


FIGURE 3.34 – C/I en fonction de la puissance de sortie Pout et pour une fréquence de 12 à 16 GHz par pas de 1 GHz.

3.6 Résultats de mesures de l'amplificateur

La figure 3.35 présente la photographie de l'amplificateur conçu.

3.6.1 Mesures CW

Des puces ont été prélevées puis reportées sur support cuivre. Des mesures de paramètres [S] en CW ont été réalisées sur ces puces pour une fréquence variant de 0.5 à 30 GHz et pour une polarisation $V_{dd}=16$ V et $I_{ds}=490$ mA. La figure 3.37 montre la comparaison mesures/simulations des paramètres [S] de l'amplificateur pour la bande de fréquence étudiée légèrement élargie (10 à 18 GHz). Une bonne concordance entre les mesures et les simulations permettent de valider le modèle de l'amplificateur. Nous pouvons observer que le gain est de 23.7 dB minimum sur la bande de fréquence 12.5 à 15.5 GHz, soit 0.3 dB de moins que les spécifications requises. Le coefficient de réflexion en entrée est inférieur à -8 dB sur la bande 10.5 à 16 GHz. Le coefficient de réflexion en sortie, est assez élevé, il varie de -2 à -8dB. Il correspond à l'impédance optimale à présenter au dernier étage afin d'avoir un maximum de PAE. L'amplificateur risque d'être sensible aux oscillations, il faut être très prudent lors des mesures et s'assurer que l'on présente bien 50Ω en entrée afin de ne pas provoquer d'oscillations à la sortie.

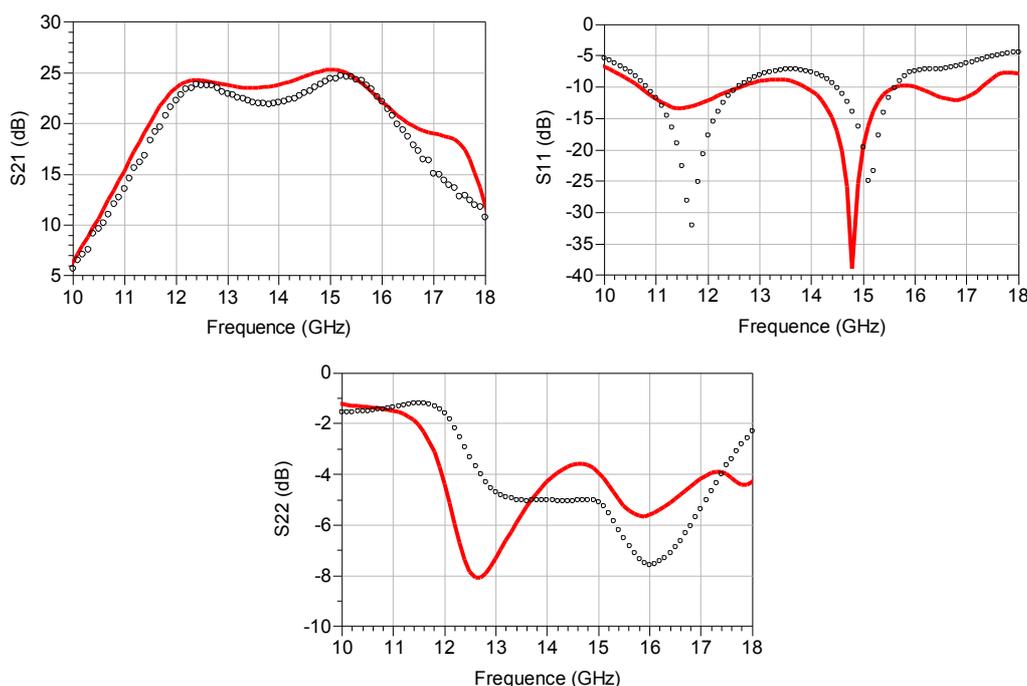


FIGURE 3.37 – Mesures CW des paramètres S_{21} , S_{11} et S_{22} pour une fréquence allant de 10 à 18 GHz (mesures : cercles, simulations : traits continus).

Des mesures CW en puissance ont également été réalisées, pour chacune des fréquences de la bande d'étude et pour un sweep de puissance d'entrée allant du bas niveau à 12 dBm et pour une polarisation $V_{dd}=16$ V et $I_{ds}=490$ mA. Le principe de ces mesures en puissance est le même que pour les mesures load pull réalisées sur les cascodes intégrés, sauf que les impédances d'entrée et de sortie ne varient pas et sont fixées sur 50Ω . La figure 3.38 montre le gain, la puissance de sortie et la PAE pour trois fréquences de cette bande, 12, 14 et 16 GHz.

Les simulations sont proches des mesures réalisées à 12 GHz, et la concordance entre les mesures et les simulations est légèrement dégradé à 14 et 16 GHz.

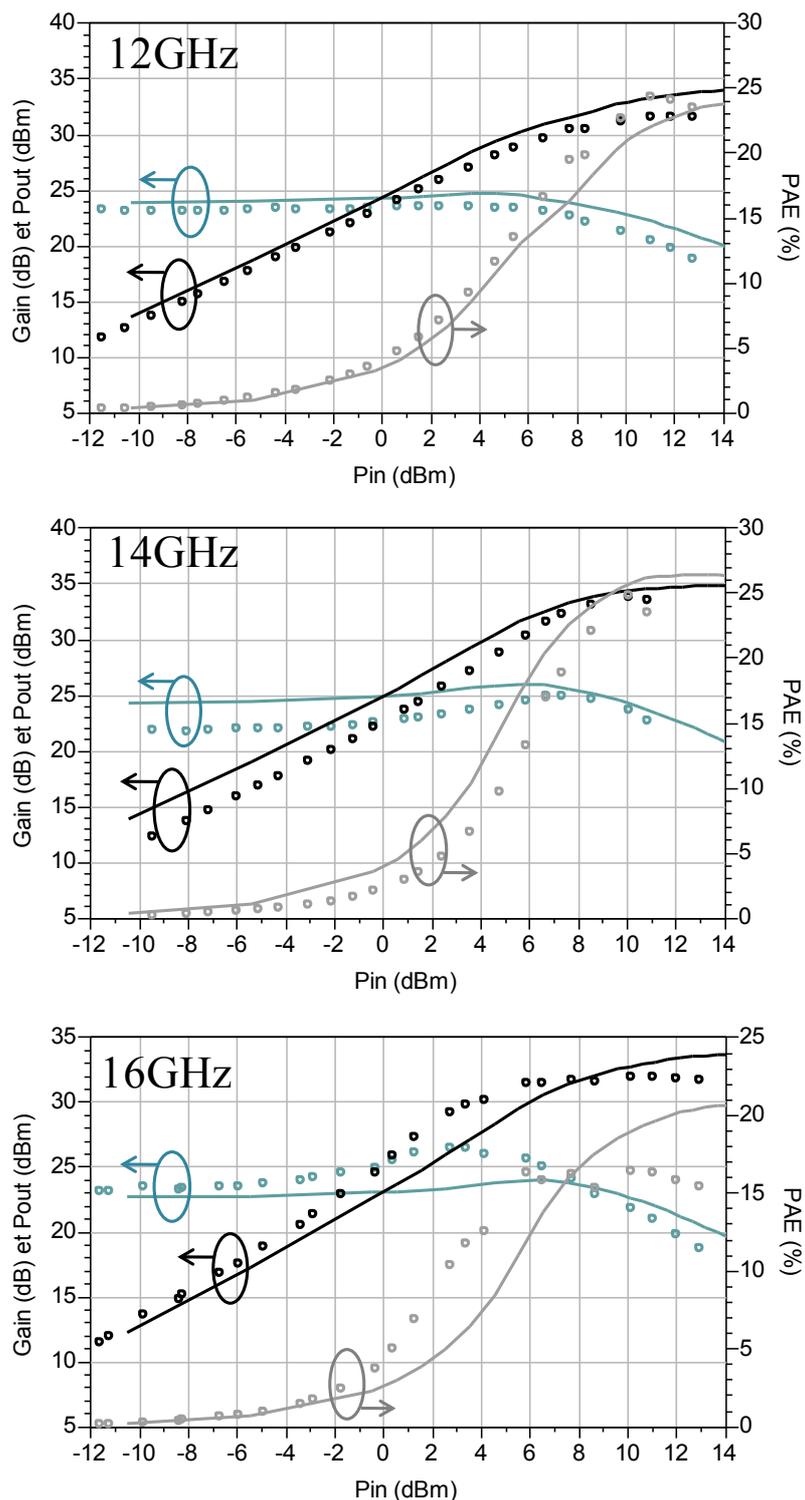


FIGURE 3.38 – Comparaison mesures CW/simulations en puissance (Gain, Puissance de sortie, PAE) pour trois fréquences (12, 14 et 16 GHz) avec $P_{in} = -10\text{dBm}$ à 12dBm (mesures : cercles, simulations : traits continus).

3.6.2 Mesures pulsées

Des mesures en puissance ont également été réalisées sur wafer. Lors de ces mesures les polarisations de drain sont pulsées. La durée des impulsions est de $25 \mu s$ avec un rapport cyclique de 10 %. Ces mesures permettent d'obtenir les performances en puissance sans prendre en compte les effets thermiques. Les drains sont polarisés à 16 V et le courant de l'amplificateur à 490 mA.

La figure 3.39 présente les performances électriques en puissance en fonction de la fréquence pour 10 puces réparties sur le wafer. Le gain de l'amplificateur est de 26 dB minimum à 13.5 GHz ce qui est supérieur aux spécifications demandées (24 dB), de plus 33.6 dBm de puissance de sortie est atteinte pour toute la bande de fréquence 12.5-15.5 GHz ainsi que 25 % de PAE en moyenne.

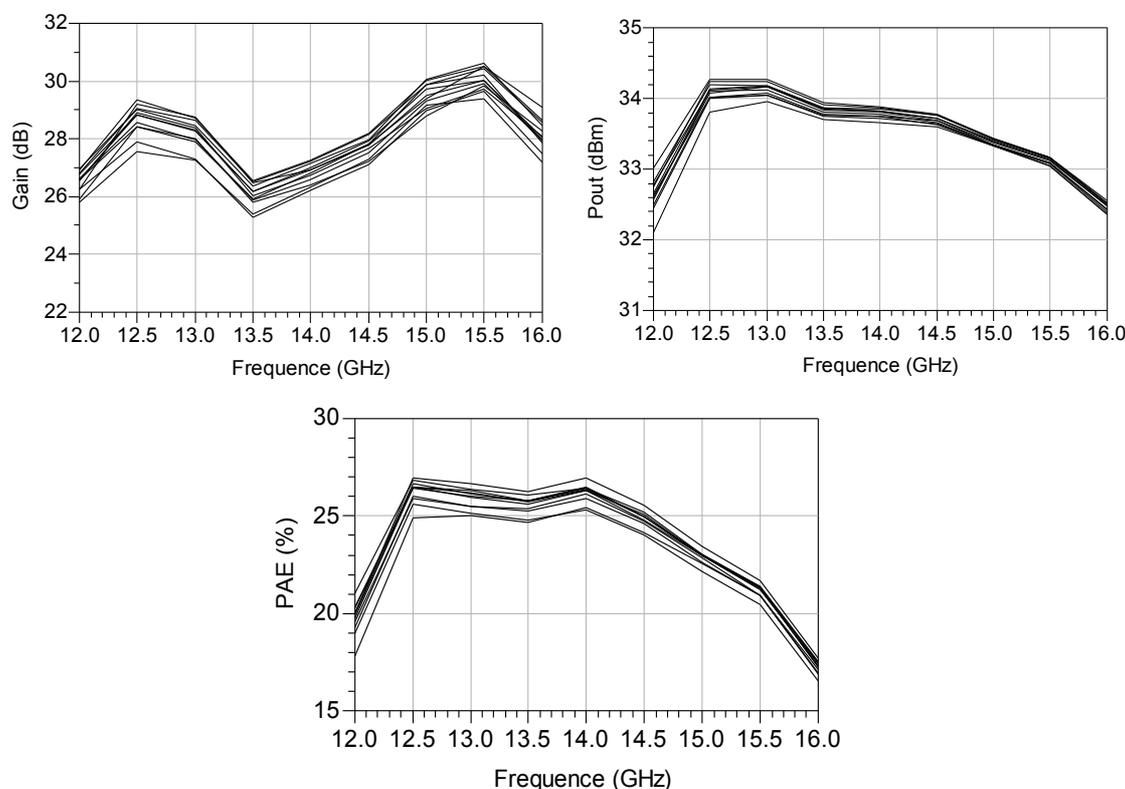


FIGURE 3.39 – Mesures pulsées en puissance (Gain, Puissance de sortie, PAE) en fonction de la fréquence, pour $P_{in}=10$ dBm et ceci pour 10 puces.

Un avantage, très important, de ce nouvel amplificateur cascode est que sa surface se trouve diminuée de 40 % par rapport à STARK.

3.6.3 Bilan des mesures

Un premier bilan des performances électriques de l'amplificateur cascode est réalisé table 3.5 en comparant les résultats de mesures obtenus (CW et pulsés) avec les spécifications exigées par la technologie VSAT sur la bande 13.75 14.5 GHz. Les performances mesurées en CW se retrouve dégradées par rapport aux spécifications exigées mais reste conforme par rapport aux simulations réalisées. Cependant, nous observons une différence importante (de 5 dB) entre le gain de l'amplificateur mesuré en CW et celui mesuré en pulsé. Une partie de cet écart peut être expliqué par les effets thermiques mais pas la totalité.

	Spécifications	Mesures CW	Mesures pulsées
Pout (dBm)	33.5	33.2	33.7
Gain (dB)	24	22	27
PAE (%)	25	22	26

TABLE 3.5 – Comparaison des performances de l'amplificateur cascode par rapport aux spécifications exigées.

Un bilan des performances électriques de l'amplificateur cascode, comparé à STARK ainsi qu'à l'état de l'art est présenté dans la table 3.6. Afin de prendre en compte toutes les performances les plus importantes pour réaliser des systèmes VSAT, une densité de puissance normalisée a été calculée. Elle tient compte du gain linéaire, de la bande passante, de la puissance de sortie et de la surface du circuit. Cette nouvelle conception permet alors de concurrencer tous les autres amplificateurs présents dans cet état de l'art à l'exception de celui de Triquint qui reste le plus performant à l'heure actuelle.

Nous rappelons que :

$$DPN = Gain(dB).BP_{rel}.DP \quad (3.5)$$

	Gain (dB)	Bande passante relative	Densité de puissance (mW/mm^2)	DPN
Taiwan	10.5	0.043	760	0.344
Triquint	26	0.305	716	5.679
Mimix	20	0.053	515	0.547
Stark	29	0.214	409	2.538
Cascode	28	0.214	596	3.571

TABLE 3.6 – Nouvel état de l'art.

Avec cette nouvelle conception, nous avons pu augmenter le critère qui faisait défaut à l'amplificateur STARK, sa densité de puissance surfacique.

3.7 Conclusion

Nous avons présenté dans ce chapitre, la conception et la réalisation d'un amplificateur de puissance bande Ku en technologie MMIC et utilisant des cellules cascodes intégrées réalisées avec des transistors pHEMT GaAs.

Ces nouvelles cellules de puissance ont permis de réaliser un amplificateur plus compact, dont la surface a diminué de 40 % par rapport à l'amplificateur initial et avec des performances quasi-identiques à ce dernier, d'où une densité de puissance surfacique plus importante. De plus, les performances électriques obtenues sont très correctes compte tenue du temps de conception dont nous avons bénéficié. En effet, le gain est supérieur aux spécifications demandées (24 dB) puisqu'il est maintenant de 28 dB pour cet amplificateur. La puissance de sortie est, quant à elle, légèrement supérieure à celle attendue c'est à dire 33.6 dBm de 12.5 à 15.5 GHz et la PAE est identique puisqu'en moyenne 25 % de PAE est obtenu sur toute la bande.

Les performances très encourageantes ainsi que la compacité de la structure permettent de montrer l'intérêt des cellules cascodes intégrées pour des applications d'amplification de puissance en bande Ku. Les perspectives seraient d'étendre le domaine d'application à la bande Ka. De plus, une réalisation de ces cellules de puissance sur technologie GaN et en particulier sur l'InAlN/GaN pourrait être envisagée, notamment pour permettre la montée en fréquence de ces transistors.

Conclusion générale

Cette thèse reflète le résultat d'un travail collaboratif entre une fonderie, la société United Monolithic Semiconductor, un utilisateur, l'Agence Spatiale Européenne et le laboratoire XLIM de l'université de Limoges.

La thématique concerne les circuits dédiés à l'amplification de puissance lors de communications spatiales, en se concentrant tout particulièrement sur les terminaux terrestres VSAT. Les contraintes économiques et technologiques font que la recherche de nouvelles architectures d'amplificateurs de puissance autour de nouvelles cellules de puissance reste un défi permanent. Dans ce travail, nous ne nous sommes pas intéressés à de nouveaux matériaux de type GaN pour relever ce challenge, mais nous avons effectué un travail de fond afin de savoir comment améliorer les performances d'une technologie existante à base de GaAs en proposant une modification des cellules unitaires composant les dispositifs de puissance.

Une première étude avait été menée par l'ESA et UMS en 2007. Elle consistait à utiliser une cellule de puissance dont le facteur de forme était proche de 1, ce qui impliquait que la surface totale du circuit était réduite. Malheureusement, une analyse minutieuse doublée d'une réalisation de ces dispositifs ont démontré que de nombreux phénomènes n'étaient pas maîtrisés, avec notamment un gain en puissance très élevé et une puissance de sortie sur-évaluée lors des simulations. C'est pourquoi l'intérêt des acteurs de ce projet s'est porté sur un autre type de cellule de puissance, la cellule cascode.

La cellule cascode est principalement utilisée en technologie CMOS pour la montée en fréquence des circuits, car elle a l'avantage de posséder un gain élevé. Cependant, nous observons actuellement un regain d'intérêt de cette topologie, notamment dans l'utilisation des filières de composants récentes telles que les HEMTs réalisés à partir de nitrure de gallium. Nous avons alors conçu une nouvelle cellule de puissance basée sur la topologie du cascode et appelée "cellule cascode intégrée". Elle possède l'avantage d'être très compacte puisque tous les éléments passifs localisés, nécessaires au bon fonctionnement de la cellule, ont été intégrés au dessin du transistor. Les questions de couplages électromagnétiques et thermiques ainsi que les problèmes éventuels d'instabilité ont été abordés, grâce à des études multi-physiques poussées réalisées avec des outils de simulation que nous avons présentés. Cette conception nous a permis de réduire la surface de la cellule de 48 % par rapport à un transistor à topologie parallèle de même développement de grille. Elle a toutefois montré des limitations en terme de rendement en puissance ajoutée.

Suite au développement de notre nouvelle cellule de puissance, nous avons présenté la conception et la réalisation d'un amplificateur de puissance de deux étages fonctionnant dans la bande 12.5-15.5 GHz, utilisant les cellules cascode intégrées sur substrat GaAs, de 2.4 mm de développement de grille total. Cette réalisation est destinée à montrer les

potentialités de la nouvelle cellule de puissance conçue. Grâce à elle, la surface du circuit a été diminuée de 40 % et une densité de puissance surfacique de 573 mW/mm^2 avec un gain associé de 24 dB a été atteint. Ces performances sont proches de l'état de l'art même si les performances électriques et la compacité du circuit réalisé par Triquint restent meilleures. Il est également nécessaire de préciser que la conception de l'amplificateur a été contrainte à un délai court et que les performances électriques auraient pu être améliorées avec un temps de conception plus long.

Malgré une amélioration de la modélisation distribuée au niveau des cellules cascodes, des différences entre les mesures CW, pulsées et les simulations de l'amplificateur restent inexplicables. L'objectif de cette thèse était avant tout d'avoir un dispositif réalisable et mesurable, une modélisation plus précise des structures cascodes ainsi qu'une nouvelle conception permettrait d'avoir de meilleures performances électriques. Les résultats obtenus sont tout de même très encourageants. Une des perspectives de ce travail consistera donc à utiliser ce type de cellules cascodes intégrées sur des filières plus récentes de type GaN, afin de monter en fréquence et de gagner en densité de puissance. Une autre perspective intéressante pourrait être la réalisation d'un amplificateur cascode en bande Ka.

Bibliographie

- [1] *www.esa.int*.
- [2] *www.cnes.fr*.
- [3] *www.astrium.eads.net*.
- [4] <http://www.thalesgroup.com/space/>.
- [5] <http://www.destination-orbite.net/documentations/astronotes21.pdf>.
- [6] A. Biron, “Intégration des systèmes de positionnement par satellites GPS et GLONASS,” Ph.D. dissertation, Université Laval Québec, 2001.
- [7] F. Toran-Marti, J. Ventura-Traveset, and L. Gauthier, “EGNOS project status,” *Navigation News (The Magazine of the Royal Institute of Navigation)*, 2005.
- [8] M. R. Ramjee PRASAD, *Applied satellite navigation using GPS GALILEO, and augmentation systems*. Lavoisier, 2005.
- [9] E. Doerflinger, “Les applications météorologiques du système de positionnement satellitaire GPS,” *La Météorologie*, vol. 34, pp. 21–37, 2001.
- [10] *www.nasa.gov/*.
- [11] J. C. Cazaux, “Les système spatiaux d’observation de la terre,” *CIHEAM, Options Méditerranéennes*, vol. 4, pp. 31–38, 1990.
- [12] <http://www.sat24.com/fr/>.
- [13] A. K. Maini and V. Agrawal, *Satellite Technology : Principles an Applications*. John Wiley and sons, 2011.
- [14] Y. Clavet, “Définitions de solutions de filtrage planaires et multicouches pour les nouvelles générations de satellites de télécommunications,” Ph.D. dissertation, Université de Bretagne Occidentale, 2006.
- [15] A. Kanso, “Etude, conception et réalisation d’antennes bie bande. Application au développement d’une structure focale pour des applications spatiales multimédia et multifaisceaux,” Ph.D. dissertation, Université de Limoges, 2010.
- [16] E. Altam and J. Galtier, “Communication Satellite,” *Cours INRIA Sophia Antipolis*.
- [17] M. Chatras, “Filtres micro-usinés à bande étroite pour les applications spatiales,” Ph.D. dissertation, Université de Limoges, 2003.
- [18] A. Déchansiaud, “Automatisation et généralisation de procédures de conception d’Omux,” Master’s thesis, Université de Limoges, 2008.
- [19] <http://www.destination-orbite.net/documentations/fa15102008.pdf>.
- [20] J.-L. Cazaux, “Equipements hyperfréquences embarqués sur satellites,” *Cours*, 2012.
- [21] <http://www.eutelsat.com>.

- [22] Y. Butel, D. Langrez, J. F. Villemazet, G. Coury, J. Decroix, and J. L. Cazaux, “Low cost MMIC chipset for VSAT ground terminals,” in *Proc. European Gallium Arsenide and Other Semiconductor Application Symp. EGAAS*, 2005, pp. 613–616.
- [23] B. Flowers, “La technologie VSAT dans le système de conférence Eurovision,” *UER- Revue technique*, pp. 19–25, 1994.
- [24] R. W. Sébastien Fleury, Jean-Marc Girod, “Les satellites et la technologie VSAT,” Master’s thesis, Université de Marne La Vallée.
- [25] H. Z. Liu, C. C. Wang, Y. H. Wang, J. W. Huang, C. H. Chang, W. Wu, C. L. Wu, and C. S. Chang, “A four-stage Ku-band 1 Watt PHEMT MMIC Power Amplifier,” in *Proc. 24th Annual Technical Digest Gallium Arsenide Integrated Circuit (GaAs IC) Symp*, 2002, pp. 33–36.
- [26] H. Z. Liu, C. H. Lin, C. K. Chu, H. K. Huang, M. P. Houn, Y. H. Wang, C. H. Chang, C. L. Wu, and C. S. Chang, “A Self-bias Ku-band 1-Watt PHEMT Power Amplifier MMIC With A Compact Source Capacitor,” in *Proc. IEEE Conf. Electron Devices and Solid-State Circuits*, 2005, pp. 207–210.
- [27] <http://www.triquint.com/products/p/TGA2510.pdf>, 2009.
- [28] Q. Zhang and S. A. Brown, “Fully monolithic 8 Watts Ku-band high power amplifier,” in *IEEE MTT-S International Microwave Symposium Digest (MTT)*, vol. 2, 2004, pp. 1161–1164.
- [29] A. Bessemoulin, Y. H. Suh, D. Richardson, S. J. Mahon, and J. T. Harvey, “A Compact 500 mW Ku-band Power Amplifier MMIC in $3\times 3\text{ mm}^2$ quad flat (QFN) packages,” in *Proc. 1st European Microwave Integrated Circuits Conf*, 2006, pp. 229–232.
- [30] UMS, “Low Cost Ku-Band High Power Amplifiers Development for VSAT Ground Terminals,” *Rapport interne*, 2009.
- [31] C.-H. Lin, H.-Z. Liu, C.-K. Chu, H.-K. Huang, C.-C. Liu, C.-H. Chang, C.-L. Wu, C.-S. Chang, and Y.-H. Wang, “A Compact 6.5-W PHEMT MMIC Power Amplifier for Ku-Band Applications,” vol. 17, no. 2, pp. 154–156, 2007.
- [32] P. Dennler, F. van Raay, M. Seelmann-Eggebert, R. Quay, and O. Ambacher, “Modeling and realization of GaN-based dual-gate HEMTs and HPA MMICs for Ku-band applications,” in *IEEE MTT-S International Microwave Symposium Digest (MTT)*, 2011.
- [33] Y. S. Noh, M. S. Uhm, and I. B. Yom, “A Compact Ku-Band SiGe Power Amplifier MMIC With On-Chip Active Biasing,” *IEEE, Microwave and Wireless Components Letters*, vol. 20, no. 6, pp. 349–351, 2010.

- [34] S. Heckmann, "Contribution au développement d'une filière de transistors bipolaires à hétérojonction de très fortes puissance en bandes l et s pour applications de télécommunications civiles et radar," Ph.D. dissertation, Université de Limoges, 2003.
- [35] W. Liu, *Handbook of III-V Heterojunction Bipolar Transistor*, J. W. . Sons, Ed., 1998.
- [36] A. Baca, P. Chang, F. Klem, and Al, "Vertical AlGaAs/GaAs Heterojunction Bipolar Transistors with 106V breakdown," *Solid-State Electronic*, pp. 721–725, 2001.
- [37] K. Daehyun, Jinsung, K. Dongsu, Y. Daekyu, M. Kyoungjoon, and K. Bumman, "30.3 % PAE HBT Doherty power amplifier for 2.5-2.7 GHz mobile WiMAX," in *IEEE MTT-S International Microwave Symposium Digest (MTT)*, 2010.
- [38] Z. Xiangkun, F. Chau, and B. Lin, "An accurate packaged model for HVHBT 120W power amplifiers and its application to 250W Doherty amplifiers," in *IEEE MTT-S International Microwave Symposium Digest (MTT)*, 2011.
- [39] U. Karthaus, D. Sukumaran, S. Tontisirin, S. Ahles, A. Elmaghraby, L. Schmidt, and H. Wagner, "Fully Integrated 39 dBm, 3-Stage Doherty PA MMIC in a Low-Voltage GaAs HBT Technology," *IEEE, Microwave and Wireless Components Letters*, vol. 22, pp. 94–96, 2012.
- [40] N. Le Gallou, J. Mazet, B. Cogo, J. Cazaux, A. Mallet, and L. Lapierre, "10W high efficiency 14 V HBT power amplifier for space applications," in *Proc. European Microwave Integrated Circuits Conf*, 2003.
- [41] O. Vendier, J.-P. Fraysse, C. Schaffauser, M. Paillard, C. Drevon, J.-L. Cazaux, D. Floriot, N. Caillas-Devignes, H. Blanck, P. Auxemery, W. de Ceuninck, R. Petersen, N. Haese, and P.-A. Rolland, "Flip-chip mounted, Ku band power amplifier compliant with space applications," in *IEEE MTT-S International Microwave Symposium Digest (MTT)*, 2002.
- [42] J. E. Lilienfeld, "Method and apparatus for controlling electric currents," Canadienne Patent 140 363, 1925.
- [43] W. Shockley, "A unipolar « Field-Effect » transistor," *Proceedings of the IRE*, vol. 40, no. 11, pp. 1365–1376, 1952.
- [44] D. Delagebeaudeuf, P. Delescluse, P. Etienne, M. Laviro, J. Chaplart, and N. T. Linh, "Two-dimensional electron gas M.E.S.F.E.T. structure," *Electronics Letters*, vol. 16, no. 17, pp. 667–668, 1980.
- [45] T. Mimura, S. Hiyamizu, T. Fujii, and K. Nanbu, "A new field-effect transistor with selectively doped GaAs/n-Al_xGa_{1-x}As heterojunctions," *Japanese journal of applied physics*, vol. 19, pp. L225–L227, 1980.

- [46] D. Delagebeaudeuf and N. T. Linh, "Metal-(n) AlGaAs-GaAs two-dimensional electron gas FET," *IEEE Transactions on Electron Devices*, vol. 29, no. 6, pp. 955–960, 1982.
- [47] C. Teyssandier, "Contribution à la modélisation non-linéaire de transistors de puissance HEMT Pseudomorphiques sur substrat AsGa : Analyse des effets parasites," Ph.D. dissertation, Université de Limoges, 2008.
- [48] UMS, "Low Cost Ku-Band High Power Amplifiers Development for VSAT Ground Terminals," UMS, Tech. Rep., 2007.
- [49] S. D. Meyer, "Étude d'une nouvelle filière de composants HEMTs sur technologie nitrure de gallium. Conception d'une architecture flip-chip d'amplificateur distribué de puissance à très large bande." Ph.D. dissertation, Université de Limoges, 2005.
- [50] D. Floriot, "Optimisation et modélisation de transistors bipolaires à hétérojonction GaInP/GaAs. Application aux amplificateurs monolithiques de puissance, bande X." Ph.D. dissertation, Université Pierre et Marie Curie (Paris VI), 1995.
- [51] A. Philippon-Martin, "Étude d'une nouvelle filière de composants sur technologie nitrure de gallium. Conception et réalisation d'amplificateurs distribués de puissance large bande à cellules cascodes en montage flip-chip et technologie MMIC." Ph.D. dissertation, Université de Limoges, 2007.
- [52] J. P. Fraysse, "Modélisation non linéaire des transistors bipolaires à hétérojonction. Application à la conception optimum d'amplificateurs distribués de puissance à montage cascode," Ph.D. dissertation, Université de Limoges, 1999.
- [53] J. Miller, "Dependence of the input impedance of a three-electrode vacuum tube upon the load in the plate circuit," *Scientific Papers of the Bureau of Standards*, vol. 15, pp. 367–385, 1920.
- [54] Y. Luque, N. Deltimple, E. Kerherve, and D. Belot, "A 65nm CMOS fully integrated 31.5 dBm triple SFDS Power Amplifier dedicated to W-CDMA application," in *17th IEEE International Conference on Electronics, Circuits, and Systems (ICECS)*, 2010.
- [55] C. Moreira, E. Kerherve, P. Jarry, T. Taris, and D. Belot, "Fully-integrated bipolar-based LNA for W-CDMA application : Theory, design and implementation," in *IEEE Northeast Workshop on Circuits and Systems, NEWCAS*, 2007.
- [56] C. Lujan, A. Torralba, R. Carvajal, and J. Ramirez-Angulo, "Highly linear voltage follower based on local feedback and cascode transistor with dynamic biasing," *Electronics Letters*, vol. 47, pp. 244–248, 2011.
- [57] K. Bonhoon, N. Yoosam, and H. Songcheol, "Integrated Bias Circuits of RF CMOS Cascode Power Amplifier for Linearity Enhancement," *IEEE Transactions on Microwave Theory and Techniques*, vol. 60, pp. 340–351, 2012.

- [58] Y. Han-Chih, L. Ze-Yu, and W. Huei, "Analysis and Design of Millimeter-Wave Low-Power CMOS LNA With Transformer-Multicascade Topology," *IEEE Transactions on Microwave Theory and Techniques*, vol. 59, pp. 3441–3454, 2011.
- [59] C. Hsien-Ku, L. Yo-Sheng, and L. Shey-Shi, "Analysis and Design of a 1.6-28-GHz Compact Wideband LNA in 90-nm CMOS Using a π Match Input Network," *IEEE Transactions on Microwave Theory and Techniques*, vol. 58, pp. 2092–2104, 2010.
- [60] X. Zhiwei, J. G. Qun, and M. C. F. Chang, "A Three Stage, Fully Differential 128-157 GHz CMOS Amplifier with Wide Band Matching," *IEEE Microwave and Wireless Components Letters*, vol. 21, pp. 550–552, 2011.
- [61] X. Zhiwei, Q. J. Gu, and M. C. F. Chang, "A 100-117 GHz W-Band CMOS Power Amplifier With On-Chip Adaptive Biasing," *IEEE Microwave and Wireless Components Letters*, vol. 21, pp. 547–549, 2011.
- [62] K. Joo-hwa and J. Buckwalter, "A 92 GHz Bandwidth Distributed Amplifier in a 45 nm SOI CMOS Technology," *IEEE, Microwave and Wireless Components Letters*, vol. 21, pp. 329–331, 2011.
- [63] A. Martin, T. C. Reveyard, R. Aubry, S. Piotrowicz, D. Floriot, and R. Quere, "Balanced AlGaN/GaN HEMT cascode cells : design method for wideband distributed amplifiers," *Electronics Letters*, vol. 44, pp. 116–117, 2008.
- [64] A. Tessmann, O. Wohlgemuth, R. Reuter, W. Haydl, H. Massler, and A. Hulsmann, "A coplanar 148 GHz cascode amplifier MMIC using 0.15 μ m GaAs PHEMTs," in *IEEE MTT-S International Microwave Symposium Digest (MTT)*, 2000.
- [65] S. Masuda, M. Yamada, T. Ohki, K. Makiyama, N. Okamoto, Y. Nakasha, K. Imanishi, T. Kikkawa, and H. Shigematsu, "C-Ku band GaN MMIC T/R frontend module using multilayer ceramics technology," in *IEEE MTT-S International Microwave Symposium Digest (MTT)*, 2011.
- [66] J. Komiak, K. Chu, and P. Chao, "Decade bandwidth 2 to 20 GHz GaN HEMT power amplifier MMICs in DFP and No FP technology," in *IEEE MTT-S International Microwave Symposium Digest (MTT)*, 2011.
- [67] A. Darwish, H. Hung, E. Viveiros, and M.-Y. Kao, "Multi-octave GaN MMIC amplifier," in *IEEE MTT-S International Microwave Symposium Digest (MTT)*, 2010.
- [68] B. Pribble, J. Milligan, J. Barner, J. Fisher, and T. Smith, "GaN MMIC Design and Modeling," in *IEEE MTT-S International Microwave Symposium Digest (MTT)*, 2011.
- [69] E. Byk, "Méthodes d'analyses couplées pour la modélisation globale de composants et modules millimétriques de forte puissance," Ph.D. dissertation, Université de Limoges, 2002.

- [70] F. Bodereau, "Aide à la conception de circuits et modules hyperfréquences pour une méthode globale couplant lois de l'électromagnétisme et des circuits," Ph.D. dissertation, Université de Limoges, 2000.
- [71] *C :/ADS2009U1/doc/mom/index.html*, 2009.
- [72] R. Harrington, "Matrix methods for field problems," *Proceedings of the IEEE*, vol. 55, pp. 136–149, 1967.
- [73] O. O. C. Zienkiewicz and Y. K. Chung, "The finite element method in structural and continuum mechanics," *Mc Graw -Hill Publishing Company Limited*, p. 272, 1967.
- [74] A. Xiong, "Modélisation électrothermique distribuée avec loi d'échelle de TBH multidoigts destiné aux applications RF de puissance," Ph.D. dissertation, Université de Limoges, 2008.
- [75] C. Moglestue, "A Self-Consistent Monte Carlo Particle Model to Analyze Semiconductor Microcomponents of any Geometry," *IEEE Transactions on computer aided design*, vol. CAD 5, n°2, pp. 326–345, 1986.
- [76] G. Chen, C. Tien, X. Wu, and J. Smith, "Thermal diffusivity measurement of GaAs/AlGaAs thin-film structures," *Journal of Heat Transfer*, vol. 116, 1994.
- [77] W. Capinski, H. Harris, T. Ruf, M. Cardonna, K. Ploog, and D. Katzer, "Thermal conductivity measurements of GaAs/AlGaAs superlattices using a picosecond optical pump-and probe technique," *Physics Revue B.*, vol. 59, pp. 8105–8113, 1999.
- [78] T. Yao, "Thermal properties of AlAs/GaAs superlattices," *Applied Physics Letters*, vol. 51, pp. 1798–1800, 1987.
- [79] C. Chang, "Amélioration de modèles électrothermiques de composants de puissance de type TBH ou pHEMT et application à la conception optimale de modules actifs pour les radars," Ph.D. dissertation, Université de Limoges, 2004.
- [80] L. Chusseau, "Paramètres S - Antennes," *Centre d'Electronique et de Microélectronique de Montpellier*, pp. 30–55, 2005.
- [81] J. M. Rollet, "Stability and power-gain invariants of linear twoports," *IRE Transactions on Circuit Theory*, vol. 9, no. 1, pp. 29–32, 1962.
- [82] M. L. Edwards and J. H. Sinsky, "A new criterion for linear two ports stability using a single geometrically derived parameter," *IEEE Transactions on Microwave Theory and Techniques*, vol. 40, pp. 2303–2311, 1992.
- [83] D. Woods, "Reappraisal of the unconditional stability criteria for active 2-port networks in terms of S parameters," *IEEE Transactions on Circuits and Systems*, vol. 23, pp. 73–81, 1976.

- [84] M. Ohtomo, "Proviso on the unconditional stability criteria for linear twoport," *IEEE Transactions on Microwave Theory and Techniques*, vol. 43, no. 5, pp. 1197–1200, 1995.
- [85] A. Platzer, W. Struble, and K. T. Hetzler, "Instabilities diagnosis and the role of K in microwave circuits," in *IEEE MTT-S International Microwave Symposium Digest (MTT)*, 1993.
- [86] F. D. Groote, "Mesures de formes d'ondes temporelles en impulsions. Application à la caractérisation de transistors micro-ondes de forte puissance," Ph.D. dissertation, Université de Limoges, 2007.
- [87] J. Faraj, "Développement et validation d'un banc de caractérisation de transistors de puissance en mode temporel impulsionnel avec un NVNA," Ph.D. dissertation, Université de Limoges, 2010.
- [88] F. Sischka, "eesof.tm.agilent.com/docs/ iccap2002/ mdlgbook/1measurements/4lsna/ nolinrf1.pdf," Agilent Technologies, Tech. Rep., 2002.
- [89] J. Verspecht, "Calibration of a measurement system for high frequency non linear devices," Ph.D. dissertation, Université de Bruxelles, 1995.
- [90] <http://www.ums-gaas.com>, Service fonderie : technologie.
- [91] J. J. Raoux, "Modélisation non-linéaire des composants électroniques : du modèle analytique au modèle tabulaire paramétré," Ph.D. dissertation, Université de Limoges, 1995.
- [92] J. J. Raoux and R. Quéré, "Application de l'optimisation par recuit simulé à la modélisation électrique des composants microondes semi-conducteurs," in *Journées Nationales Microondes, Grenoble*, 1991.
- [93] J. Weng and M. Hella, "A 5GHz SiGe RF driven Cascode Power Amplifier," in *49th IEEE International Midwest Symposium on Circuits and Systems*, 2006.
- [94] T. Sowlati and D. Leenaerts, "A 2.4-GHz 0.18-um CMOS self-biased cascode power amplifier," *IEEE Journal of Solid-State Circuits*, vol. 38, pp. 1318–1324, 2003.
- [95] T. Sowlati and N. Y. Ossining, U.S. Patent US,6,515,547,B2, 2003.
- [96] G. Mougnot, "Potentialités des transistors HEMTs AlGaIn/GaN pour l'amplification large bande de fréquence. Effets limitatifs et modélisation," Ph.D. dissertation, Université de Limoges, 2011.
- [97] A. Suárez, *Analysis and design of autonomous microwave circuits*. Wiley-IEEE Press, 2009.
- [98] A. Collado, F. Ramirez, and A. Suarez, "Analysis and stabilization tools for microwave amplifiers," in *IEEE MTT-S International Microwave Symposium Digest (MTT)*, 2004.

- [99] F. Ramirez, A. Suarez, I. Lizarraga, and J.-M. Collantes, "Stability analysis of nonlinear circuits driven with modulated signals," *IEEE Transactions on Microwave Theory and Techniques*, vol. 58, pp. 929–940, 2010.
- [100] C. Barquinero, A. Suarez, A. Herrera, and J. Garcia, "Complete Stability Analysis of Multifunction MMIC Circuits," *IEEE Transactions on Microwave Theory and Techniques*, vol. 55, pp. 2024–2033, 2007.
- [101] A. Suarez, S. Jeon, and D. Rutledge, "Stability analysis and stabilization of power amplifiers," *IEEE Microwave Magazine*, vol. 7, pp. 51–65, 2006.
- [102] A. Mallet, A. A., J.-M. Collantes, J. Portilla, J. Jugo, L. Lapierre, and J. Sombrin, "Stan : An efficient tool for non linear stability analysis," in *Microwave power amplifier workshop*, 2004.
- [103] A. Anakabe, "Deteccion y eliminacion de inestabilidades parametricas en amplificadores de potencia para radiocomunicaciones," Ph.D. dissertation, Université du Pays Basque, 2004.
- [104] S. Skogestad, *Multivariable Feedback control*. John Wiley and sons, 1996.
- [105] N. A. Rozas, "Développement des méthodes de stabilisation pour la conception des circuits hyperfréquences : Application à l'optimisation d'un amplificateur de puissance spatiale," Ph.D. dissertation, Université du Pays Basque, 2011.
- [106] R. Freitag, "A unified analysis of MMIC power amplifier stability," in *IEEE MTT-S International Microwave Symposium Digest (MTT)*, 1992.
- [107] D. J. Miller and M. Bujatti, "Mechanisms for low frequency oscillations in gaas fets," *IEEE transactions on Electron Devices*, vol. 11, pp. 703–712, 1976.
- [108] Y. Hirachi, T. Nakagami, Y. Toyama, and Y. Fukukawa, "High power 50 GHz Double-Drift-Region IMPATT oscillators with improved bias circuits for eliminating low frequency instabilities," *IEEE transactions on Microwave Theory and Techniques*, vol. 24, pp. 731–737, 1976.

Annexes

Nomenclature

<i>2DEG</i>	2 Dimension Electron Gas.
<i>ADC</i>	Analog to Digital Converter.
<i>ARV</i> (VNA)	Analyseur de Réseaux Vectoriels. Vectorial Network Analyser.
<i>ARVN</i> (NVNA)	Analyseur de Réseaux Vectoriels Non-linéaires. Non-Linear Vectorial Network Analyser.
<i>CW</i>	Continuous Waveform.
<i>DC</i> (CC)	Direct Current. Courant Continu.
<i>DST</i> (DUT)	Dispositif Sous Test. Device Under Test.
<i>HEMT</i> (THME)	High Electron Mobility Transistor. Transistor à Haute Mobilité Électronique.
<i>LDMOS</i>	Lateraly Diffused Oxyde Semiconductor.
<i>LSNA</i>	Large Signal Network Analyser.
<i>MBE</i>	Molecular Beam Epitaxy.
<i>MESFET</i>	Metal Semiconductor Field Effect Transistor.
<i>MMIC</i>	Monolithic Microwave Integrated Circuit.
<i>MOVPE</i>	MetalOrganic Vapour Phase Epitaxy.
<i>PAE</i> (RPA)	Power Added Efficiency. Rendement en Puissance Ajouté.
<i>pHEMT</i>	Pseudomorphic High Electron Mobility Transistor.
<i>TEC</i> (FET)	Transistor à Effet de Champ. Field Effect Transistor.
<i>TBH</i> (HBT)	Transistor Bipolaire à Hétérojonction. Heterojunction Bipolar Transistor.

Publications et communications relatives à ce travail

- [1] A. Déchansiaud, R. Sommet, T. Reveyrand, D. Bouw, C. Chang, M. Camiade, R. Quéré, F. Deborgies, “New compact power cells for Ku-Band applications”, *The International Workshop on Integrated Nonlinear Microwave and Millimetre-wave Circuits*, Vienna 2011.
- [2] A. Déchansiaud, R. Sommet, T. Reveyrand, D. Bouw, C. Chang, M. Camiade, R. Quéré, F. Deborgies, “Nouvelles cellules de puissance compactes pour des applications bande Ku en technologie MMIC”, *Journée Nationale Micro-ondes*, Brest 2011.
- [3] A. Déchansiaud, R. Sommet, D. Bouw, C. Chang, M. Camiade, R. Quéré, F. Deborgies “Design of an integrated cascode power cell for compact Ku band power amplifier”, *Microwave Technologies and Techniques Workshop ESA*, Noordwijk, 2012.
- [4] A. Déchansiaud, R. Sommet, T. Reveyrand, D. Bouw, C. Chang, M. Camiade, R. Quéré, F. Deborgies “Design of an Integrated Cascode Cell for Compact Ku-Band Power Amplifiers”, *The European Microwave Integrated Circuits Conference*, Amsterdam 2012.

Conception, modélisation et caractérisation de cellules de puissance innovantes en technologie MMIC pour des applications spatiales

Résumé : Ce document montre comment améliorer la compacité des amplificateurs de puissance en bande Ku utilisés dans les systèmes VSAT en proposant une nouvelle topologie de cellule de puissance élémentaire appelée « cascode intégré ». La cellule active est constituée de deux transistors MMIC fabriqués avec la technologie PHEMT GaAs de la filière UMS PPH25X. Les sources du premier transistor possèdent des vias holes qui assurent un gain élevé et une bonne stabilité thermique. De plus, ils permettent une approche distribuée pour la modélisation de la cellule (intégration de composants entre les doigts de grilles) et imposent une parfaite symétrie à la structure. Le nombre de cellules élémentaires peut être ajusté afin de pouvoir délivrer la puissance totale désirée. Le facteur de forme du cascode intégré est de 1 alors que le facteur de forme du transistor correspondant (même développement de grille) est de 4. Cette cellule a été caractérisée et son modèle validé. Elle a permis la conception d'un amplificateur MMIC délivrant 2W en bande Ku avec des performances proche de l'état de l'art. Une réduction de la surface totale de l'amplificateur d'environ 40 % a été atteinte.

Mots clés : pHEMT, GaAs, MMIC, amplificateur de puissance, bande Ku, caractérisation, conception, modélisation, température, montage cascode.

Design, Modeling and Characterization of MMIC new power cells for Space-Borne Applications

Abstract : This report deals with the reduction of Ku-band power amplifiers area used in VSAT equipments. Therefore, a new unitary power cell called « Integrated cascode » has been designed. This new cell is composed of two MMIC GaAs transistors of the UMS PPH25X foundry. The sources of the first transistor exhibit via holes. These via holes ensure a high gain and a good thermal stability. Moreover, a distributed approach can be adopted (components integration between gate fingers). They also allow a perfect symmetry of the structure. The number of unitary cell can be adjusted in order to deliver the global power expected. The shape factor of the integrated cascode is equal to 1 whereas the shape factor of a single transistor with the same gate development is equal to 4. This cell has been measured and its model has been validated. The integrated cascode has been used to design a 2W MMIC Ku-band amplifier. The amplifier area is decreased of 40 %.

Keywords : pHEMT, GaAs, MMIC, power amplifier, Ku-band, characterization, design, modeling, temperature, cascode cell.

XLIM - UMR CNRS n°6172
123, avenue Albert Thomas - 87060 LIMOGES CEDEX