

UNIVERSITÉ DE LIMOGES

ÉCOLE DOCTORALE Sciences et Ingénierie pour l'information

FACULTÉ DES SCIENCES ET TECHNIQUES

Année : 2012

Thèse n° 75-2012

Thèse

pour obtenir le grade de

DOCTEUR DE L'UNIVERSITÉ DE LIMOGES

Discipline : Électronique des Hautes Fréquences, Photoniques et Systèmes

présentée et soutenue par

Jérémy DUFRAISSE

le 21 décembre 2012

Étude des classes de fonctionnement à haut rendement pour l'amplification de puissance en hyperfréquence en utilisant la technologie HEMT à base de nitrure de gallium.

Thèse dirigée par Raymond QUÉRÉ et Philippe BOUYSSÉ

JURY :

| | | |
|----------------------------|---|------------|
| Michel CAMPOVECCHIO | Professeur, université de Limoges | Président |
| Farid TEMCAMANI | Professeur, ENSEA | Rapporteur |
| Eric BERGEAULT | Professeur, Telecom Paris Tech | Rapporteur |
| Raymond QUÉRÉ | Professeur, Université de Limoges | Examineur |
| Philippe BOUYSSÉ | Maître de conférences, Université de Limoges | Examineur |
| Stéphane PIOTROWICZ | Ingénieur III-V Lab | Examineur |
| Olivier JARDEL | Ingénieur III-V Lab | Examineur |
| Nicolas BERTHOU | Responsable R&T Thales Communications & Security | Invité |

Remerciements

Les travaux présentés dans ce document se sont déroulés à III-V Lab à Marcoussis en partenariat avec les équipes du laboratoire XLIM de l'université de Limoges.

Je tiens à remercier monsieur Dominique Cros de m'avoir permis d'effectuer cette thèse avec le laboratoire XLIM, ainsi que monsieur le Professeur Raymond Quéré de m'avoir intégré à l'équipe Circuits Composants Signaux et Systèmes qu'il dirige. Avec Philippe Bouysse, ils ont supervisé mes travaux en tant que directeurs de thèse malgré la distance séparant les deux laboratoires.

Je tiens aussi à remercier messieurs Dominique Pons et Sylvain Delage, pour leur accueil au sein de l'équipe Microélectronique GaN à III-V lab, et pour l'intérêt qu'ils ont portés à mes travaux. J'exprime ma gratitude envers Stéphane Piotrowicz pour son encadrement et son expérience qui m'ont permis de découvrir le domaine de l'amplification radiofréquence de puissance. Je remercie également Olivier Jardel pour ses conseils professionnels qui m'ont été d'une précieuse aide pour les simulations, les mesures et les présentations orales et écrites.

Je souhaite exprimer ma reconnaissance envers monsieur Farid TEMCAMANI, professeur à l'école ENSEA et envers monsieur Eric BERGEAULT, professeur à l'école Telecom Paris Tech, pour avoir accepté d'évaluer ces travaux en tant que rapporteurs.

Je désire exprimer ma considération à messieurs Michel CAMPOVECCHIO, professeur à l'université de Limoges au sein de XLIM et Nicolas BERTHOU, manager R&T Thales Communications & Security, pour leur participation au jury de cette thèse.

Je souhaite aussi remercier l'ensemble de mes collègues de l'équipe Microélectronique GaN et mes collègues de III-V Lab pour m'avoir accueilli et intégré à la vie du site de Marcoussis ; notamment, Jean-Claude pour m'avoir tenu compagnie en attendant la fin de nos simulations, Eric pour la réalisation des mesures en puissance, et pour m'avoir expliqué le fonctionnement du banc, Stéphanie, pour sa réactivité dans la préparation des montages et Bernard, pour m'avoir laissé tester ses lignes de code.

Je souhaite formuler mes remerciements à Nathalie, Maryline, Marie-Claude et Pascale pour leur aide et leur gentillesse au cours de mes démarches administratives.

Je tiens d'ailleurs à saluer tous mes camarades doctorants d'XLIM et du collège doctoral que j'ai pu rencontrer au cours de mes déplacements à Limoges et au cours des conférences et des formations.

Avec une pensée particulière pour les stagiaires, les apprentis, les doctorants, les voisines et les voisins de bureaux qui ont dû me supporter pendant ces trois années : Didier, Philippe, Florent, Estelle, Florence, Natacha, Guillaume, Romain, Virginie, Magda, Sarah, Edouard, Ronan, Olivier, Julien, Michele, Mourad, Mage, Piero, Benjamin, Cédric, Delphine, François, David, Hermine, Alban, Charlye, Patrick, ... et tous ceux que j'ai oubliés.

Enfin, je souhaite vraiment remercier Martial, Fanny, Cyrille, Sandrine, Michael, et toutes celles et ceux que j'ai rencontrés au cours de cette année pour le soutien qu'ils m'ont apporté et pour avoir su me divertir aux bons moments.

Sommaire

| | |
|---|-----|
| Remerciements | 5 |
| Abréviations et notations | 9 |
| Introduction | 11 |
| Chapitre I : Intérêt du HEMT à base de nitrure de gallium pour les classes de fonctionnement à haut rendement | 17 |
| Chapitre II : Caractérisation et modélisation du transistor élémentaire | 67 |
| Chapitre III : Applications des méthodes d'amélioration du rendement des transistors de puissance HEMT GaN | 113 |
| Perspectives | 167 |
| Conclusion | 173 |
| Annexes | 179 |
| Bibliographie | 197 |
| Table des matières | 203 |
| Liste des figures | 207 |
| Liste des tableaux | 217 |
| Publications relatives à ce travail | 219 |

Abréviations et notations

| | |
|-------------------------------|---|
| BHFFOM : | Figure de mérite de Baliga pour les hautes fréquences de l'anglais, <i>Baliga's high Frequencies Figure of Merite</i> |
| CW : | Formes d'onde continues, de l'anglais <i>Continuous Waves</i> |
| Fréq. : | Fréquence. |
| FPS : | Plaque de champ reliée à la source, pour l'anglais <i>Field Plate linked to the Source</i> . |
| FPD : | Plaque de champ reliée au drain, pour l'anglais <i>Field Plate linked to the Drain</i> . |
| DGD : | Distance entre la grille et le drain. |
| GaN : | Nitride de gallium. |
| g_m : | Transconductance $g_m = \frac{\partial Id}{\partial V_{GS}}$ |
| G_p : | Gain en puissance $G_p = \frac{P_{OUT}}{P_{IN}}$ |
| HEMT : | Transistor à haute mobilité électronique, de l'anglais, <i>High Electronic Mobility Transistor</i> . |
| Jd : | Densité linéique de courant de drain par développement total de grille du transistor (A/m) |
| JFOM : | Figure de mérite de Johnson, de l'anglais, <i>Johnson's Figure of Merite</i> |
| KFOM : | Figure de mérite de Keyes, de l'anglais, <i>Keyes's Figure of Merite</i> |
| PAE : | Rendement en puissance ajoutée, de l'anglais, <i>Power Added Efficiency</i> |
| P_{DC} : | Puissance statique fournie par l'alimentation |
| P_{IN} : | Puissance injectée dans l'amplificateur. |
| P_{OUT} : | Puissance de sortie de l'amplificateur. |
| Réf. : | Référence bibliographique. |
| Wg : | Développement total de la grille d'un transistor. |
| η : | Rendement en puissance au niveau du drain $\eta = \frac{P_{OUT}}{P_{DC}}$ |

Introduction

Les systèmes d'amplification, pour les télécommunications ou les radars, fournissent aujourd'hui de fortes puissances à haute fréquence. Que ce soit dans le domaine civil ou militaire, l'augmentation des puissances d'émission permet des transmissions sur de plus longues distances et avec une plus grande efficacité.

Les transistors à haute mobilité électronique (HEMT) à base de nitrure de gallium (GaN) présentent maintenant des performances élevées qui répondent aux exigences des systèmes radiofréquences. Des industriels (UMS, Cree, Sumitomo ...) produisent ainsi des transistors et des amplificateurs à base de HEMT AlGaIn/GaN destinés à la génération d'ondes RADAR ou à l'amplification de signaux de télécommunications.

De nouvelles contraintes énergétiques apparaissent. En effet, bien que les niveaux de puissance des amplificateurs aient atteint les attentes d'hier, il n'en demeure pas moins que les systèmes génèrent beaucoup de chaleur qu'il faut dissiper. Ces pertes thermiques sont proportionnelles aux niveaux de puissance générés. Les améliorations de ces dernières années ont donc conduit à concevoir des systèmes devant dissiper de fortes pertes thermiques.

La gestion de la température dans les circuits est alors assurée par des systèmes de refroidissement d'autant plus volumineux et gourmands en énergie qu'il faut extraire la chaleur depuis les zones actives des amplificateurs.

Dans le domaine des télécommunications, la réduction des coûts de fabrication et d'exploitation est le moteur du développement des nouvelles technologies. La réalisation d'importants systèmes de refroidissement augmente le prix total de chaque antenne. De plus, l'énergie nécessaire au fonctionnement de ces systèmes contribue d'autant plus aux frais de fonctionnement des stations de base.

L'augmentation du rendement des amplificateurs permet alors de réduire les pertes thermiques et participe au développement des nouvelles générations d'antennes.

De la même manière, dans le domaine militaire, la génération des ondes RADAR a souvent lieu au sein de systèmes mobiles (avion, camion transportant une antenne, bateau, ...). Ces véhicules disposent de réserves d'énergie limitées. L'utilisation d'une part importante de cette énergie pour refroidir les systèmes d'amplification des ondes RADAR, ou de télécommunications, réduit leur rayon d'action. De plus, ces systèmes de refroidissement occupent de la place et rajoutent du poids à des véhicules cherchant à être les plus mobiles possibles.

En augmentant le rendement des amplificateurs, les systèmes militaires s'en retrouvent plus efficaces pour assurer leur fonction de sécurité.

Ainsi, afin de profiter pleinement des niveaux de performances pouvant être générés par les amplificateurs utilisant des HEMT à base de GaN, il apparaît nécessaire d'améliorer le rendement en puissance de ces circuits.

Plusieurs techniques permettent d'améliorer le rendement en puissance. Même s'il est possible d'optimiser la structure et la technologie des composants pour arriver à ce but, le début de ce manuscrit se concentre sur la description de configurations particulières d'utilisation des transistors. Ce sont les classes de fonctionnement qui modifient les formes temporelles au sein du composant pour y réduire la production de chaleur.

La présentation des caractéristiques physiques des HEMT à base de GaN rend compte de l'aptitude intrinsèque de ce matériau pour son utilisation dans les classes de fonctionnement à haut rendement.

L'étude se poursuit sur l'analyse des caractéristiques électriques de composant en AlGaN/GaN et en InAlN/GaN afin d'évaluer les paramètres offrant une amélioration de la puissance et du rendement des transistors pour un fonctionnement à haute fréquence.

Les travaux continuent ensuite par l'étude de deux classes de fonctionnement appliquées à la réalisation d'amplificateur utilisant des HEMT à base de GaN. Les premières simulations de transistors fonctionnant en classe E ont conduit à se focaliser sur la réalisation de circuits fonctionnant en classe F inverse.

Enfin, ces simulations débouchent sur la conception et la mesure d'amplificateurs avec des barrettes de transistors délivrant des puissances d'une centaine de watts. De hautes performances ont été atteintes pour une fréquence $f_0 = 2$ GHz en appliquant les techniques d'amélioration propres à la classe F inverse.

Chapitre I : Intérêt du HEMT à base de nitrure de gallium pour les classes de fonctionnement à haut rendement

À l'heure de la prise de conscience collective des bienfaits de la réduction de la consommation énergétique, l'amélioration du rendement énergétique devient une priorité. Cette amélioration est mise en avant pour différents objectifs comme l'économie financière réalisée par la réduction de consommation d'énergie, les idées écologistes, l'augmentation de l'autonomie des systèmes mobiles ou l'augmentation des performances des systèmes en conservant une consommation énergétique équivalente.

Ce chapitre commence ainsi par une description des différentes classes de fonctionnement qui permettent d'augmenter le rendement des amplificateurs fonctionnant à quelques gigahertz. Nous nous intéressons ensuite aux différents atouts de la technologie des transistors à base de nitrure de gallium pour l'amplification radiofréquence. Enfin, nous présentons les composants à base de nitrure de gallium réalisés à III-V Lab ainsi que l'état de l'art des performances obtenues avec de tels composants dans la littérature scientifique, performances obtenues en particulier avec des classes de fonctionnement dites à "haut rendement".

I. 1. Les classes de fonctionnement traditionnelles

Pour l'amplification de signaux radiofréquences, c'est-à-dire pour des fréquences allant jusqu'à plusieurs dizaines de gigahertz, la façon de choisir le point de polarisation du composant et les impédances présentées à l'entrée et à la sortie de l'amplificateur conditionne le comportement du transistor. Ces conditions permettent de classer son fonctionnement suivant plusieurs régimes appelés "classes de fonctionnement". Il en existe quatre traditionnelles : les classes A, AB, B et C.

Dans cette partie, nous présentons leurs avantages et leurs inconvénients.

I. 1. a. Présentation des classes de fonctionnement

Les classes A, AB, B et C possèdent le même schéma de principe. Il est représenté sur la figure I.1.

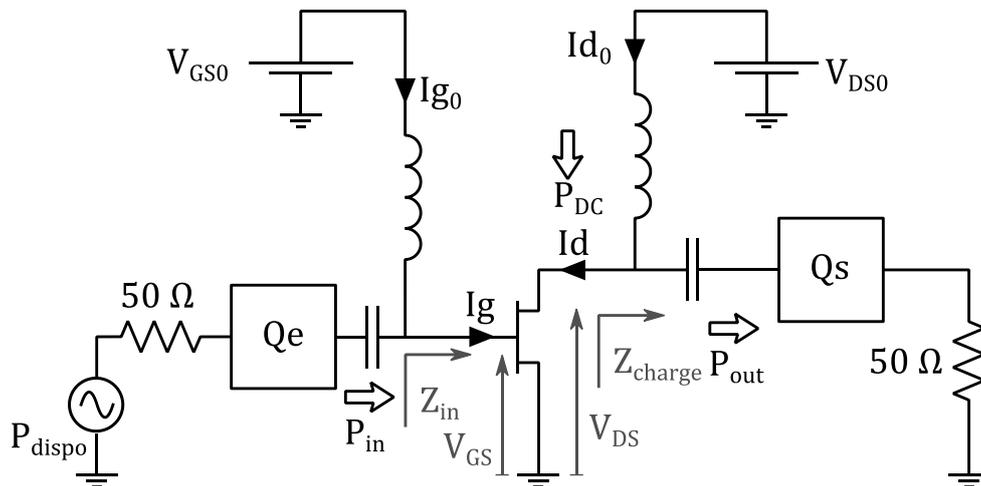


Figure I.1: Schéma de principe pour un fonctionnement en classe A, AB, B ou C

Sur la figure I.1, les tensions V_{GS0} et V_{DS0} représentent respectivement les tensions de polarisation de la grille et du drain. Les courants I_{g0} et I_{d0} correspondent respectivement aux courants statiques qui traversent les inductances de lissage (*choke* en anglais) et qui alimentent le transistor. Celui-ci reçoit de la part des sources de tension une puissance statique P_{DC} . Le composant reçoit aussi de la part d'un générateur de signal à la fréquence f_0 une puissance P_{in} . Il fournit à la charge 50Ω une puissance P_{out} . Un circuit d'adaptation d'impédance Q_e permet de trans-

mettre l'intégralité de la puissance disponible P_{dispo} du générateur de signal vers le transistor, qui lui présente une impédance Z_{in} . De la même manière, un circuit d'adaptation d'impédance Q_s permet de présenter une impédance Z_{charge} au transistor et de transmettre la puissance reçue à une charge 50Ω .

Une première approche de qualification des performances de l'amplificateur consiste à les exprimer à l'aide de plusieurs gains ou rendements. Le gain en puissance correspond au rapport $G_p = \frac{P_{out}}{P_{in}}$. Le rendement de drain correspond au rapport $\eta = \frac{P_{out}}{P_{DC}}$. Le rendement en puissance ajoutée, noté *PAE* pour l'anglais "Power Added Efficiency", correspond au rapport $PAE = \frac{P_{out} - P_{in}}{P_{DC}}$.

Cependant, la définition théorique des classes de fonctionnement A, AB, B et C se fait par la forme temporelle de la tension V_{ds} aux bornes du transistor et la forme temporelle du courant I_d traversant le transistor.

Pour ces quatre classes de fonctionnement, la tension V_{ds} aux bornes du transistor est toujours sinusoïdale (voir figure I.2).

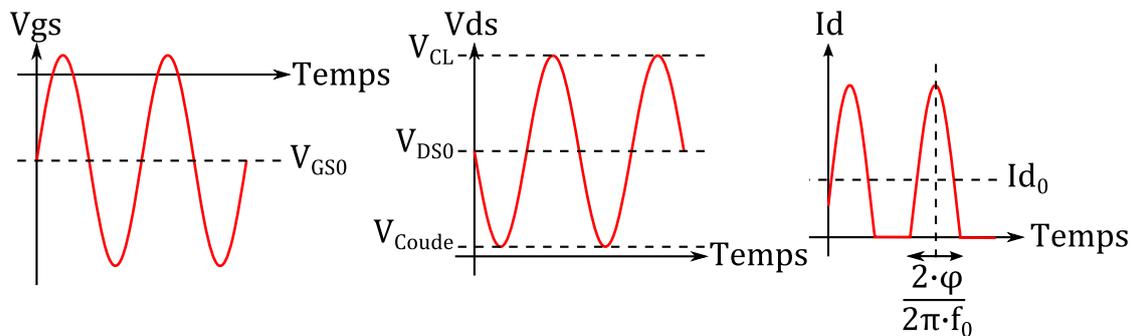


Figure I.2 : Allure des formes temporelles de tension et de courant pour un fonctionnement en classe AB

La différence entre les quatre classes de fonctionnement repose sur la forme temporelle du courant de drain I_d . Elle est déterminée par la valeur de la tension de polarisation de grille V_{GS0} par rapport à la tension de pincement V_p . Plus la tension V_{GS0} est basse, plus le temps de conduction du transistor est faible. Ce temps correspond à la durée pendant laquelle le courant $I_d(t)$ est positif, c'est-à-dire, quand $V_{GS}(t)$ est supérieure à la tension de pincement V_p . L'angle de conduction ϕ est défini tel que $\frac{2 \cdot \phi}{2 \pi \cdot f_0}$ corresponde au temps de conduction du transistor sur une période du signal (voir figure I.2).

Cette modification est aussi visible sur le cycle de charge du transistor (voir figure I.3). Sur cette figure, les tracés, de couleur rouge, représentent le cycle du courant de drain I_d en fonction de la tension V_{GS} (à gauche) et en fonction de la tension V_{DS} (à droite). Ce dernier se nomme aussi cycle de charge. Il permet de suivre la localisation des points (V_{DS}, I_d) . La diminution de la puissance dissipée dans le transistor, qui correspond à $P_{dissipée} = P_{DC} - P_{OUT} + P_{IN}$, est alors obtenue en favorisant les cycles de charges passant au plus près du point $(0,0)$. C'est le cas quand la tension de polarisation V_{GS0} diminue (classe C par exemple). Un point particulier est le point de polarisation (V_{DS0}, I_{d0}) qui correspond aux valeurs de tension et de courant de polarisation pendant le fonctionnement, le produit $I_{d0} \cdot V_{DS0}$ donnant la puissance P_{DC} fournie par l'alimentation.

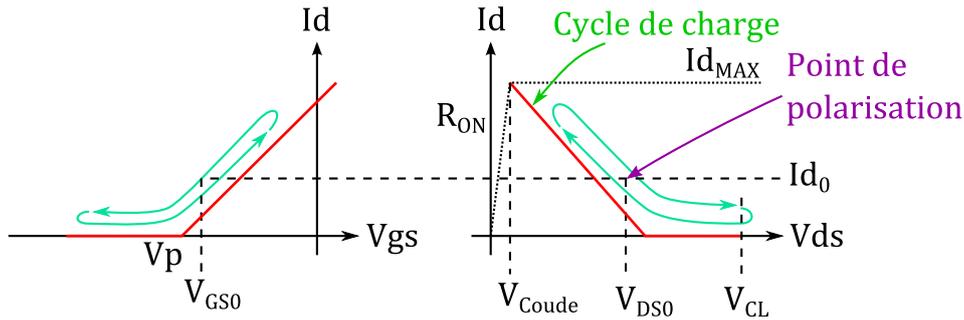


Figure I.3 : Allure du cycle I_d - V_{gs} et du cycle de charge pour un fonctionnement en classe AB

Maximiser la puissance de sortie du transistor revient à maximiser le produit $\Delta I \cdot \Delta V$; où ΔI est l'excursion en courant et ΔV est l'excursion en tension. Pour obtenir ceci, $V_{DS}(t)$ étant sinusoïdale, V_{DS0} doit être milieu de la tension de claquage V_{CL} et de la tension de coude V_{COUDE} . La charge du transistor doit alors être optimisée afin que le cycle de charge atteigne le courant I_{dMAX} au niveau de la zone ohmique. On a alors $V_{coude} = R_{ON} \cdot I_{dMAX}$ (voir figure I.3).

Pour un fonctionnement en classe A, le courant de drain I_d possède une forme sinusoïdale (voir tableau I.1). Pour un fonctionnement en classe AB, le courant I_d correspond à une forme sinusoïdale tronquée. L'angle de conduction est alors supérieur à 90° , mais toujours inférieur à 180° . Cette dernière valeur correspond à un fonctionnement en classe A. Pour la classe B, l'angle de conduction vaut exactement 90° , le transistor conduit exactement pendant la moitié de la période du signal. En classe C, l'angle de conduction est compris entre 0° et 90° , car le transistor conduit pendant un temps inférieur à la moitié de la période du signal (voir tableau I.1).

Dans la pratique, la détermination du type de classe de fonctionnement se fait à l'aide de la valeur de la tension de polarisation de grille V_{GS} par rapport à la tension de pincement V_p . Ainsi, le fonctionnement de tout transistor polarisé par une tension V_{GS} comprise entre celle de la classe A $\left(\frac{V_{GS}^{MAX} + V_p}{2}\right)$ et celle de la classe B (V_p) est communément appelé fonctionnement en classe AB. Le fonctionnement est alors considéré en classe AB même pour les faibles puissances d'entrée pour lesquelles les formes temporelles ressemblent à celles de la classe A.

Enfin, quand $V_{GS0} \leq V_p$, ce qui correspond à un fonctionnement en classe B ou C, s'il n'y a pas de puissance en entrée, il n'y a pas d'amplitude de courant et le courant statique de drain I_{d0} est nul. Ce comportement est intéressant car il permet de ne pas consommer d'énergie en l'absence de puissance du signal d'entrée. Mais, il engendre un gain en puissance nul pour les faibles puissances d'entrée. Ce type de fonctionnement est utilisé, par exemple, dans certaines applications radar où les besoins en linéarité ne sont pas critiques.

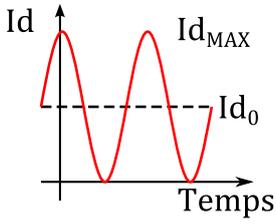
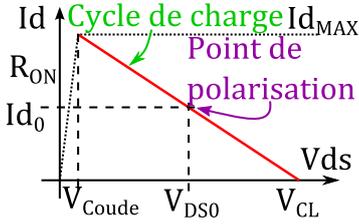
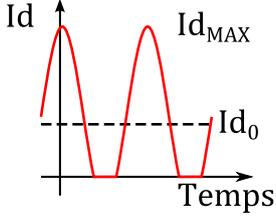
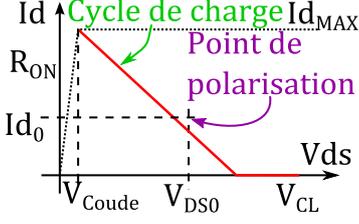
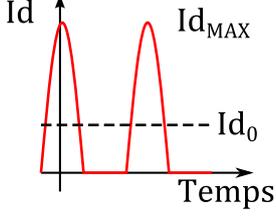
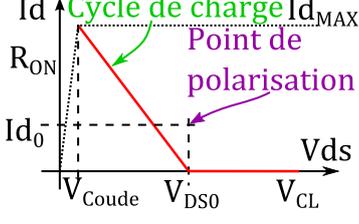
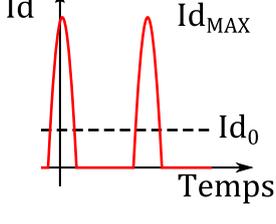
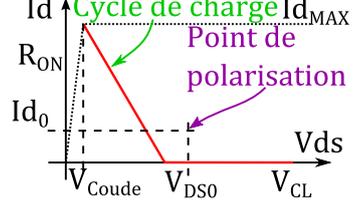
| Classe | Forme temporelle du courant I_d | Cycle de charge $I_d - V_{ds}$ | Angle de conduction φ |
|--------|---|--|--|
| A |  |  | $\varphi = 180^\circ$ $V_{GS0} = \frac{V_{GS}^{MAX} + V_p}{2}$ |
| AB |  |  | $90^\circ < \varphi < 180^\circ$ $V_p \leq V_{GS0}$ et $V_{GS0} \leq \frac{V_{GS}^{MAX} + V_p}{2}$ |
| B |  |  | $\varphi = 90^\circ$ $V_p = V_{GS0}$ |
| C |  |  | $0^\circ < \varphi < 90^\circ$ $V_{GS0} \leq V_p$ |

Tableau I.1: Formes temporelles du courant et de la tension aux bornes du transistor et angle de conduction pour les classes de fonctionnement A, AB, B et C

I. 1. b. Impact des différentes classes de fonctionnement sur le rendement et la puissance

Le choix de fonctionnement entre les classes A, AB, B et C permet de modifier le rendement du circuit. Ce paragraphe s'intéresse à l'étude analytique du rendement de ces classes ainsi qu'à l'impact sur le niveau de puissance de sortie.

Pour cela, les définitions des décompositions en série de Fourier de la tension V_{DS} et du courant I_D sont respectivement présentées dans les équations 1 et 2.

Équation 1 :

$$V_{DS} = V_{DS0} + \sum_{i=1}^{\infty} v_i \cdot \cos(\omega_0 \cdot i \cdot t + \varphi_i)$$

Équation 2 :

$$I_D = I_{D0} + \sum_{i=1}^{\infty} i_i \cdot \cos(\omega_0 \cdot i \cdot t + \Phi_i)$$

où le terme ω_0 vaut $2\pi \cdot f_0$ avec f_0 la fréquence fondamentale du signal à amplifier.

Par définition, la tension V_{DS} est sinusoïdale, donc les termes v_i pour $i > 1$ sont nuls. Le courant I_D est toujours de signe positif.

Nous obtenons donc :

$$V_{DS} = \frac{V_{CL} + V_{Coude}}{2} - \frac{V_{CL} - V_{Coude}}{2} \cdot \cos(\omega_0 \cdot t) \text{ et}$$

$$\begin{cases} I_D(t) = I_{D_{MAX}} \cdot \frac{\cos(\omega_0 \cdot t) - \cos(\varphi)}{1 - \cos(\varphi)} & \text{pour } -\varphi \leq \omega_0 \cdot t \leq \varphi \\ I_D(t) = 0 & \text{sinon} \end{cases} \text{ où } \varphi \text{ est l'angle de conduction [1].}$$

Le courant de polarisation du drain est alors donné par la formule :

$$I_{D0} = \frac{1}{2\pi} \cdot \int_{-\varphi}^{\varphi} I_{D_{MAX}} \cdot \frac{\cos(\theta) - \cos(\varphi)}{1 - \cos(\varphi)} d\theta = \frac{I_{D_{MAX}}}{\pi} \cdot \frac{\sin(\varphi) - \varphi \cdot \cos(\varphi)}{1 - \cos(\varphi)}$$

La composante en courant de chaque harmonique est donnée par la formule :

$$I_1 = \frac{I_{D_{MAX}}}{2\pi} \cdot \frac{2 \cdot \varphi \cdot \sin(2 \cdot \varphi)}{1 - \cos(\varphi)} \text{ et } \Phi_1 = 0$$

et pour les harmoniques supérieurs ($i > 1$) :

$$I_i = \frac{I_{D_{MAX}}}{\pi \cdot [1 - \cos(\varphi)]} \cdot \left\{ \frac{\sin[(i+1) \cdot \varphi]}{i+1} + \frac{\sin[(i-1) \cdot \varphi]}{i-1} - \frac{2 \cdot \cos(\varphi) \cdot \sin(i \cdot \varphi)}{i} \right\} \text{ et } \Phi_i = 0$$

Ces formules permettent de tracer sur la figure I.4 les différentes composantes de la décomposition de Fourier du courant de drain I_D . Cette figure présente un courant de drain statique I_{D0} qui diminue quand l'angle de conduction devient plus faible. À la fréquence fondamentale, l'amplitude de la composante du courant de drain I_{D1} augmente légèrement pour un fonctionnement en classe AB puis retrouve en classe B un niveau identique à la classe A. Ce courant diminue au fur et à mesure de l'évolution vers un fonctionnement en classe C. Enfin, l'amplitude des composantes aux harmoniques augmente pour un angle de conduction plus faible. Le fonctionnement en classe C se traduit donc par la présence de nombreux harmoniques dans la décomposition du courant de drain I_D .

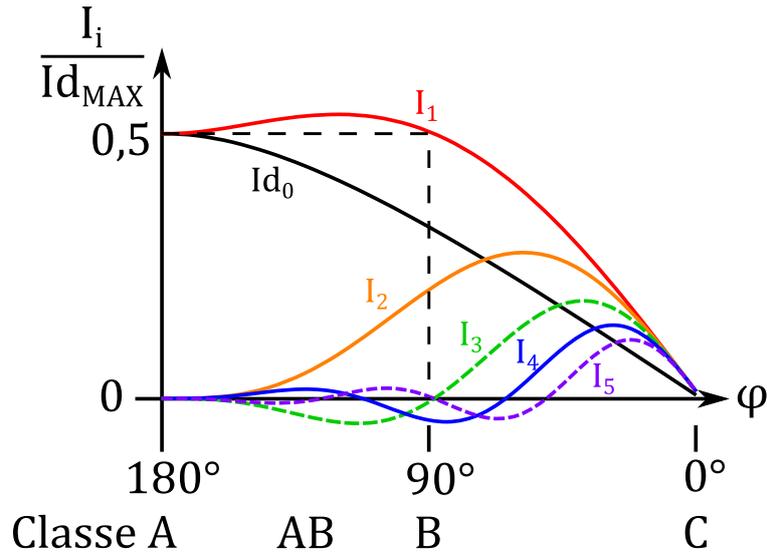


Figure I.4 : Analyse de Fourier en fonction de l'angle de conduction.

À partir des équations présentées juste avant, nous obtenons la puissance consommée au niveau de l'alimentation du drain :

$$P_{DC} = I_{D0} \cdot V_{DS0} = \frac{V_{CL} + V_{Coude}}{2} \cdot \frac{I_{dMAX}}{\pi} \cdot \frac{\sin(\varphi) - \varphi \cdot \cos(\varphi)}{1 - \cos(\varphi)}$$

La puissance de sortie de l'amplificateur est donnée par :

$$P_{OUT} = \frac{I_1 \cdot V_1}{2} = \frac{I_{dMAX}}{2 \cdot \pi} \cdot \frac{2 \cdot \varphi \cdot \sin(2 \cdot \varphi)}{1 - \cos(\varphi)} \cdot \frac{V_{CL} - V_{Coude}}{4}$$

Le rendement en puissance est donnée par :

$$\eta = \frac{P_{out}}{P_{DC}} = \frac{1}{4} \cdot \frac{2 \cdot \varphi \cdot \sin(2 \cdot \varphi)}{\sin(\varphi) - \varphi \cdot \cos(\varphi)} \cdot \frac{V_{CL} - V_{Coude}}{V_{CL} + V_{Coude}}$$

Pour la classe A ($\varphi = 180^\circ$), on retrouve $P_{OUT} = \frac{I_{dMAX} \cdot (V_{CL} - V_{Coude})}{8}$ et

$$\eta = \frac{P_{out}}{P_{DC}} = \frac{1}{2} \cdot \frac{V_{CL} - V_{Coude}}{V_{CL} + V_{Coude}} \leq 0,5$$

Pour les autres classes, les tracés de P_{OUT} et η sont représentés sur la figure I.5.

Ainsi pour une même excursion en courant I_{dMAX} et une même excursion en tension $V_{CL} - V_{Coude}$, la puissance de sortie P_{OUT} augmente jusqu'à valoir + 0,3 dB par rapport à la puissance de sortie de la classe A pour un angle de conduction $\varphi = 123^\circ$ (classe AB) avec un rendement $\eta = 65\%$ avant de revenir à 0 dB avec un rendement $\eta = 79\%$ pour la classe B. Cette puissance P_{OUT} diminue jusqu'à s'annuler à mesure que l'angle de conduction s'approche de 0° . Le rendement augmente lui jusqu'à la valeur théorique de 100 %.

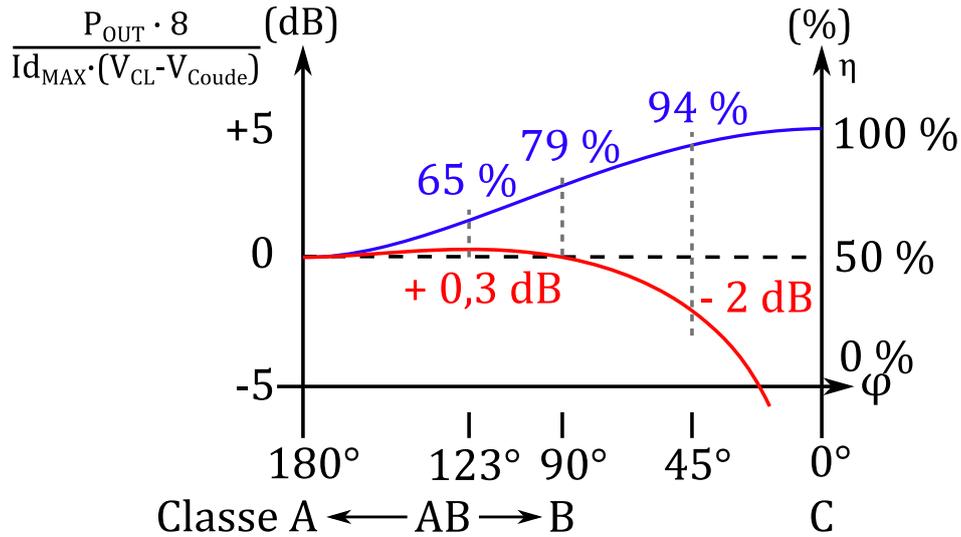


Figure I.5 : Puissance de sortie et rendement de drain en fonction de l'angle de conduction φ

Nous remarquons sur la figure I.5 que pour un angle de conduction $\varphi = 45^\circ$, la classe C présente une puissance de sortie inférieure de 2 dB à celle de la classe A mais offre un rendement théorique de 94 %. L'utilisation de la classe C est intéressante pour améliorer le rendement mais génère un niveau plus important d'harmoniques (voir figure I.4). Ces signaux peuvent alors se retrouver dans les bandes radiofréquences voisines et gêner l'utilisation de ces bandes. Il faut donc correctement les atténuer dans le filtre de sortie, constitué sur la figure I.1 par le circuit d'adaptation d'impédance Q_s . L'amélioration apportée sur le rendement s'accompagne d'une augmentation de la complexité du circuit.

De plus, pour toutes les classes de fonctionnement, l'impédance de charge optimale qui donne une excursion jusqu'à I_d^{MAX} est donnée par $R_{OPT} = \frac{V_{DS0}}{I_1} = \frac{\pi \cdot (V_{CL} + V_{Coude})}{I_{dMAX}} \cdot \frac{1 - \cos(\varphi)}{2 \cdot \varphi \cdot \sin(2 \cdot \varphi)}$.

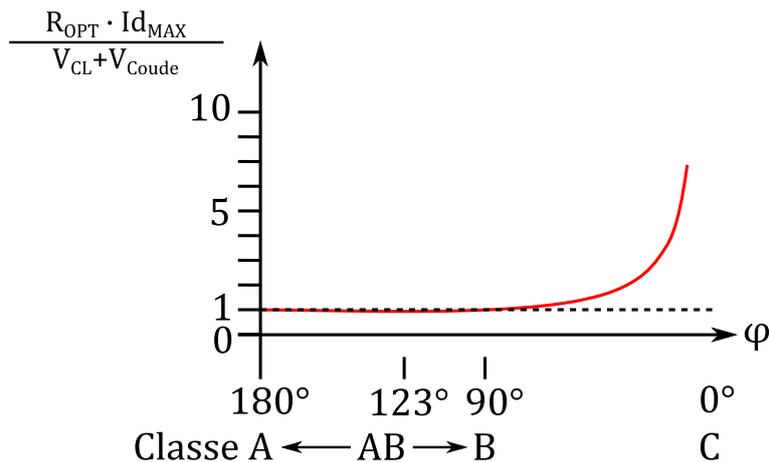


Figure I.6 : Résistance optimale R_{OPT} en fonction de l'angle de conduction φ

La figure I.6 présente l'évolution de R_{OPT} en fonction de l'angle de conduction φ . Il apparaît que l'utilisation de la classe de fonctionnement C conduit à présenter au transistor une résistance plus élevée que pour la classe A. Selon les éléments qui entourent le transistor, il peut être plus ou moins difficile de synthétiser cette résistance optimale R_{OPT} aux bornes du composant.

Un compromis doit alors être réalisé entre l'augmentation du rendement grâce au fonctionnement en classe C et les possibilités de réalisation de R_{OPT} .

Enfin, pour les plus fortes puissances du signal de sortie, il y a écrêtage du courant I_d et de la tension V_{DS} . C'est l'apparition de la compression du signal de sortie. Dans ce cas, l'étude analytique précédente n'est plus applicable. Le rendement dépend alors du type de classe utilisé. Les tracés des niveaux de puissance par rapport à la puissance de sortie en classe A à compression nulle et du rendement sont présentés sur la figure I.7 [1, p. 142].

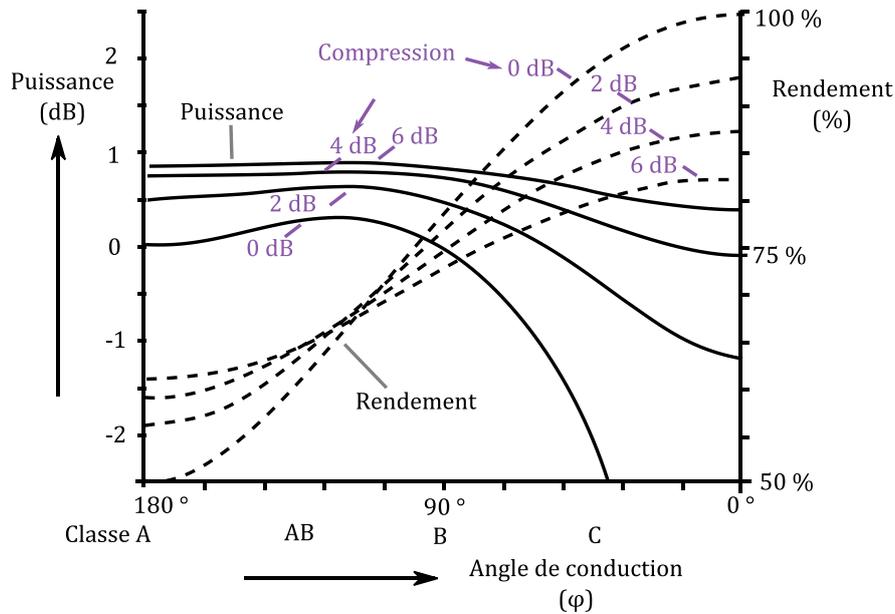


Figure I.7 : Puissance $P_{OUT}/P_{Classe\ A}$ et rendement pour différents niveaux de compression du signal de sortie.

Nous observons sur la figure I.7 que, pour un angle de conduction ϕ supérieur à 123°, la puissance de sortie et le rendement augmentent avec la compression. Ceci est une piste pour l'amélioration des performances du transistor, mais elle se fait au détriment de la linéarité et elle pousse le transistor au plus proche de ses limites.

Quand l'angle de conduction est inférieur à 123° (classe AB dite profonde, classe B et classe C), la puissance de sortie augmente avec la compression mais le rendement diminue. Le travail à fort niveau de compression est alors intéressant pour obtenir un niveau de puissance de sortie proche de celui de la classe A mais ceci diminue le rendement attendu et peut éventuellement amener le transistor à fonctionner au plus proche de ses limites en tension et/ou en courant.

I. 2. Les classes de fonctionnement à signaux commutés pour améliorer la puissance et le rendement

Les classes de fonctionnement A, AB, B et C correspondent à l'amplification de signaux sinusoïdaux. Il existe d'autres classes de fonctionnement dont l'objectif est d'avoir la forme temporelle du courant ou de la tension qui se rapproche d'une forme carrée. Ces classes ont alors des formes temporelles de signaux commutés. L'intérêt attendu pour ces classes de fonctionnement est d'augmenter le rendement et/ou la puissance de sortie sans avoir besoin de compresser le signal de sortie. Cette partie décrit les principes des classes de fonctionnement D, E, F, J et S. Elle termine sur une courte présentation des autres méthodes d'amélioration du rendement.

I. 2. a. Classe de fonctionnement D

Pour fonctionner en classe D, le transistor est utilisé en tant qu'interrupteur. Idéalement, la tension de polarisation de la grille est un créneau temporel de fréquence f_0 qui alterne entre la tension $V_{g_{min}}$ inférieure à la tension de pincement V_p du transistor et la tension $V_{g_{max}}$ égale à la tension maximale supportable par la grille (voir figures I.10 et I.13).

Il y a deux types de classes D (voir les circuits des figures I.8 et I.9). L'une consiste à faire commuter la tension aux bornes du transistor avec un courant de drain en forme de demi-sinus. Il y a alors utilisation d'un deuxième transistor qui permet de créer l'autre morceau de la sinusoïde (voir figures I.8 et I.10). L'autre classe D consiste à commuter le courant ; la tension est alors de forme sinusoïdale (voir figures I.9 et I.13). Pour les deux types de classes D, un filtre L-R-C est accordé avec la fréquence de travail afin d'obtenir une tension sinusoïdale aux bornes de la charge R (voir figures I.12 et I.15).

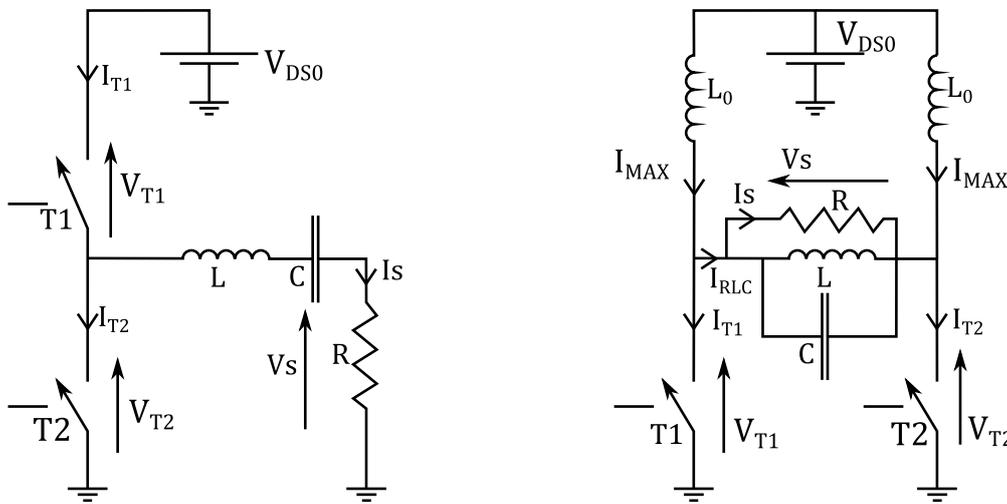


Figure I.8 : Circuit fonctionnant en classe D en tension **Figure I.9 : Circuit fonctionnant en classe D en courant**

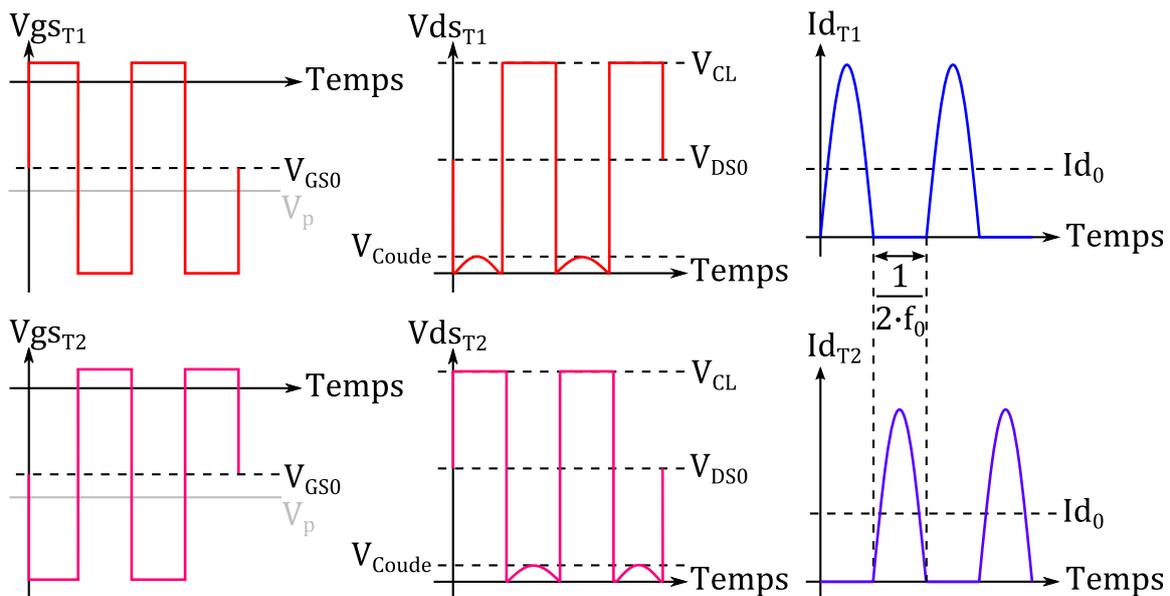


Figure I.10 : Formes temporelles théoriques pour le fonctionnement en classe D en tension

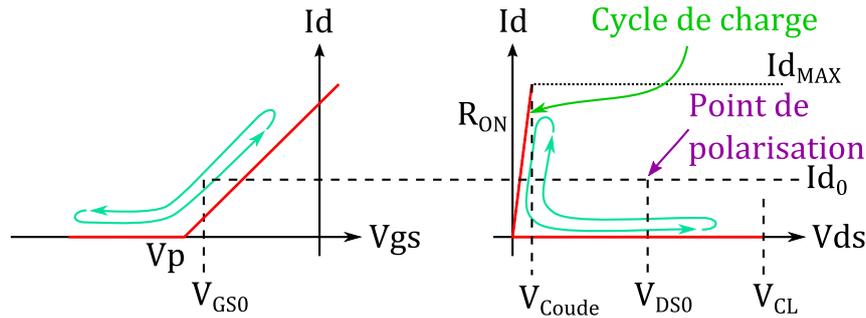


Figure I.11 : Cycles Id-Vgs et Id-Vds pour un fonctionnement en classe D en tension

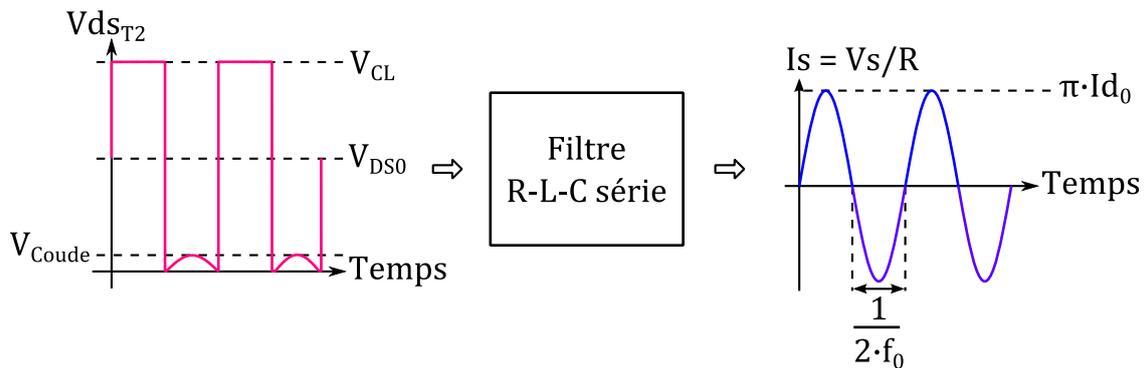


Figure I.12 : Formes temporelles obtenues en sortie pour une classe D en tension

Comme nous pouvons le remarquer sur les figures I.11 et I.14, le transistor fonctionne toujours pour des zones sans dissipation de puissance. Soit le courant est nul. Soit la tension est très faible car le cycle de charge se situe en zone ohmique. Les transitions étant rapides, il n'y a pas de pertes par commutation. Ce type de classe de fonctionnement pose par contre une contrainte sur la réalisation d'un générateur de signaux pour la grille qui soit capable de faire commuter le transistor beaucoup plus rapidement que la période du signal. La transition entre les deux états de tension Vgs doit être suffisamment rapide pour ne pas introduire de pertes par commutation.

Il est important de noter qu'un fonctionnement en classe D se définit par une fréquence du signal carré de commande des transistors qui est identique à celle du signal de sortie f_0 et que le filtre de sortie R-L-C possède une fréquence propre identique à la fréquence f_0 (voir figures I.12 et I.15).

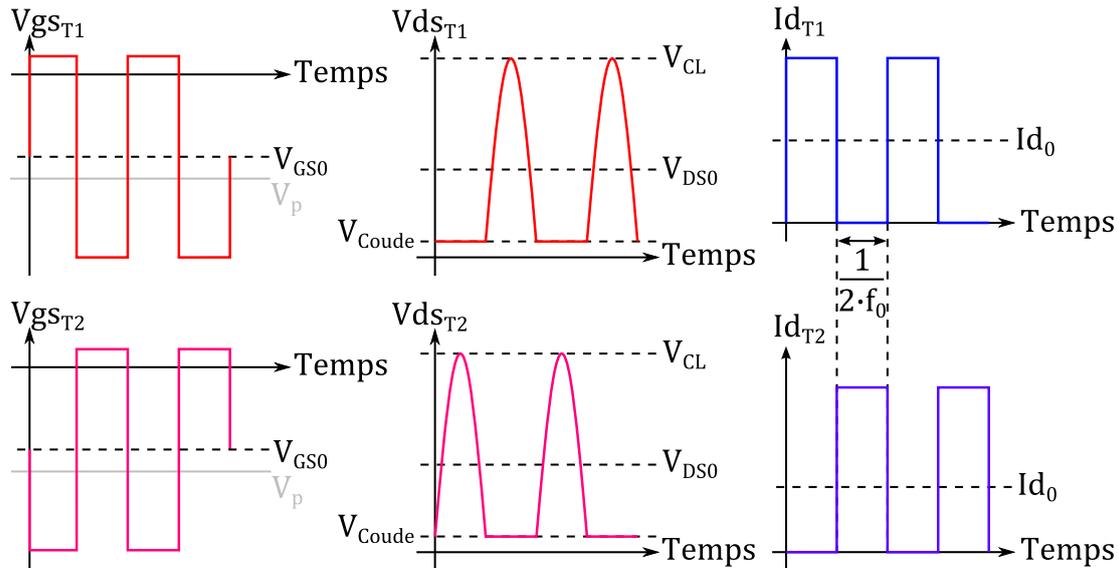


Figure I.13 : Formes temporelles attendues pour le fonctionnement en classe D en courant

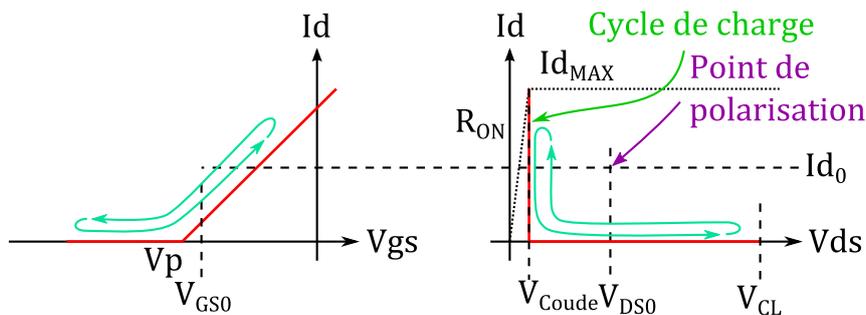


Figure I.14 : Cycle Id-Vgs et cycle de charge pour un fonctionnement en classe D en courant.

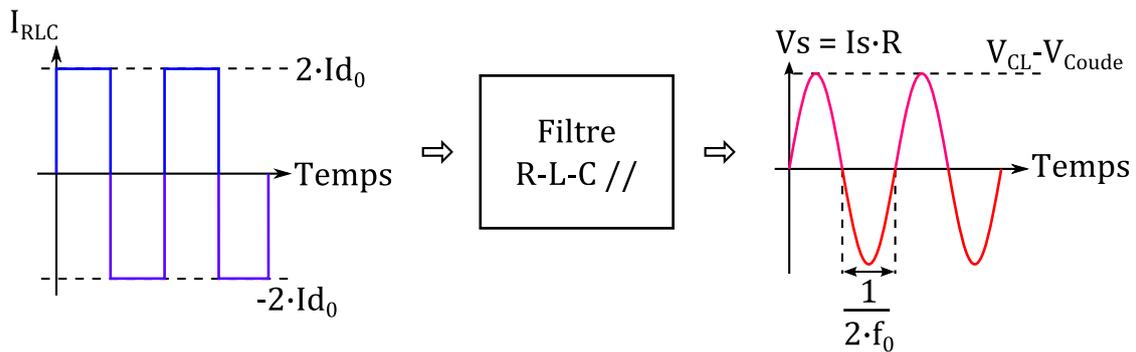


Figure I.15 : Formes temporelles obtenues en sortie pour une classe D en courant

I. 2. b. Classe de fonctionnement E

Un des inconvénients du fonctionnement en classe D est qu'il existe aux bornes du transistor un effet capacitif dû à la capacité C_{DS} placée en parallèle du drain et de la source (voir figure I.16). Cette capacité doit être chargée et déchargée à chaque transition du fonctionnement en classe D. Ceci peut prendre du temps si la charge vue par le transistor est élevée (temps caractéristique $\tau = R_{Charge} \cdot C_{DS}$) et correspond aussi à une perte d'énergie. En effet, l'énergie stockée

dans la capacité $\left(\frac{1}{2} \cdot C_{DS} \cdot (\Delta V_{DS})^2\right)$, à l'état chargé, est directement déchargée à la masse à travers le transistor. Ceci engendre donc une perte de puissance $P_{CDS} = \frac{1}{2} \cdot C_{DS} \cdot (\Delta V_{DS})^2 f_0$. Cette puissance augmente avec la fréquence et limite l'utilisation de transistors à forte capacité de sortie pour les hautes fréquences.

Une alternative à ce phénomène est le fonctionnement en classe E. Il a pour objectif de mettre en conduction le transistor quand la tension $V_{DS}(t)$ est nulle et que la dérivée de cette tension est nulle $\frac{dV_{DS}(t)}{dt} = 0$ (voir figure I.17). La capacité C_{DS} est alors déchargée au moment de la mise en conduction du transistor. Il n'y a donc plus d'énergie stockée dans la capacité C_{DS} qui pourrait être déchargée et perdue à travers le transistor. Ce type de fonctionnement conduit à une relation entre les valeurs des capacités C_{DS} et C , de l'inductance L , de la charge R et de la fréquence de fonctionnement f_0 . Ces paramètres sont présentés sur la figure I.16. Comme nous pouvons le remarquer sur la figure I.18, le cycle de charge dans le transistor passe, comme pour la classe D, par des points avec une faible consommation de puissance ($I_d = 0$ ou $V_{DS} \approx 0$). En théorie, le rendement de cette classe de fonctionnement est de 100 % quand le transistor n'a pas de résistance à l'état passant R_{ON} [2].

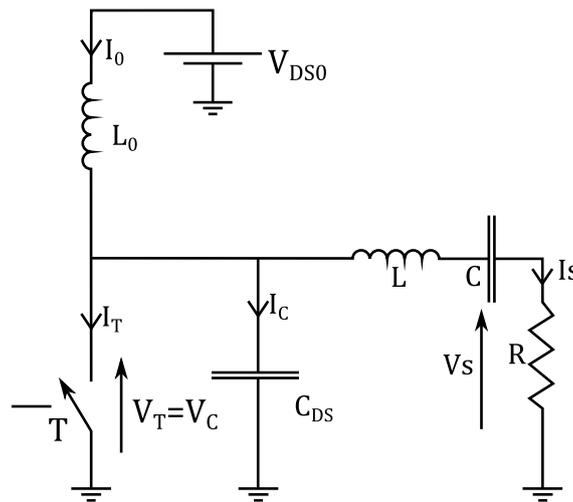


Figure I.16 : Circuit fonctionnant en classe E

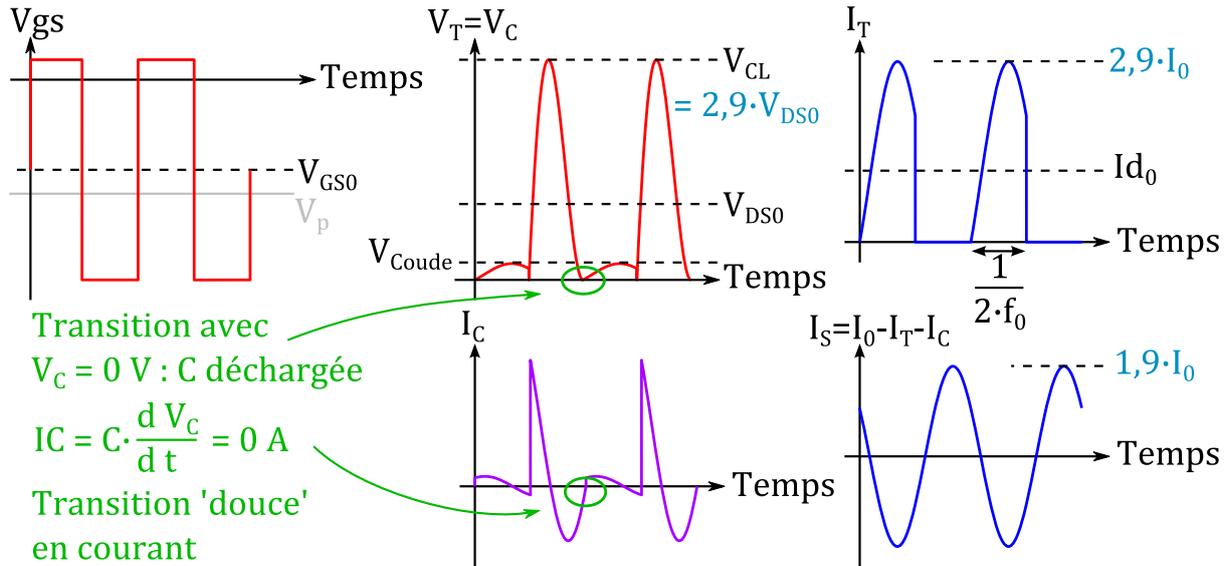


Figure I.17 : Formes temporelles de la classe E.

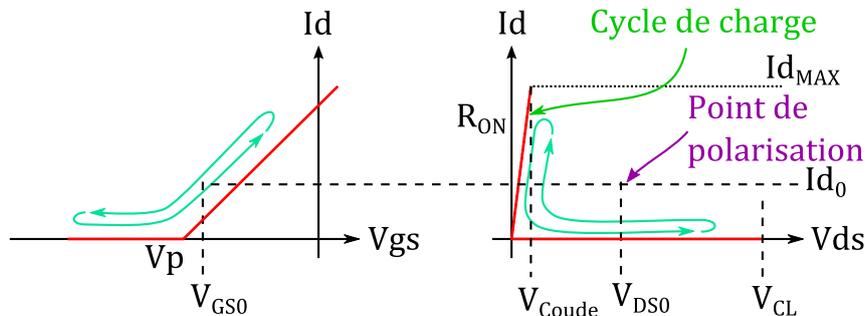


Figure I.18 : Cycle Id-Vgs et cycle de charge pour un fonctionnement en classe E

Les formes temporelles présentées sur les figures I.17 et I.18 sont obtenues à l'aide des formules suivantes.

$$I_C(t) = C_{DS} \cdot \frac{dV_{DS}}{dt} = I_0 \cdot (1 + A \cdot \sin(2 \cdot \pi \cdot f_0 \cdot t + \varphi)) \text{ pour } \frac{1}{2 \cdot f_0} \leq t \leq \frac{1}{f_0}, I_C(t) = 0 \text{ sinon.}$$

$$I_D(t) = I_0 \cdot (1 + A \cdot \sin(2 \cdot \pi \cdot f_0 \cdot t + \varphi)) \text{ pour } 0 \leq t \leq \frac{1}{2 \cdot f_0}, I_D(t) = 0 \text{ sinon.}$$

$$V_{DS}(t) = \frac{I_0}{2 \cdot \pi \cdot f_0 \cdot C_{DS}} \cdot \left\{ 2 \cdot \pi \cdot f_0 \cdot \left(t - \frac{1}{2 \cdot f_0} \right) - A \cdot [\cos(2 \cdot \pi \cdot f_0 \cdot t + \varphi) + \cos(\varphi)] \right\} \text{ pour } \frac{1}{2 \cdot f_0} \leq t \leq \frac{1}{f_0},$$

$$V_{DS}(t) = 0 \text{ sinon}$$

$$\text{Avec } A = \sqrt{\left(\frac{\pi}{2}\right)^2 + 1} \approx 1,86 \text{ et } \varphi = -\arcsin\left(\frac{1}{A}\right) \approx -32,5^\circ$$

$$\text{Nous avons alors } I_0 = f_0 \cdot \int_0^1 I_d(t) dt, \max(I_d(t)) = (1+A) \cdot I_0 \approx 1,9 \cdot I_0,$$

$$V_{DS0} = f_0 \cdot \int_0^1 V_{DS}(t) dt = \frac{I_0}{2 \cdot \pi \cdot f_0 \cdot C_{DS}} \cdot \frac{\pi}{2} \text{ et}$$

$$\max(V_{DS}(t)) = V_{DS} \left(\frac{1}{2 \cdot f_0} - \frac{\varphi}{\pi \cdot f_0} \right) = V_{DS0} \cdot \frac{2 \cdot \pi - 2 \cdot \varphi}{\pi} \approx 2,88 \cdot V_{DS0}$$

Nous détaillons dans le paragraphe III. 1 l'étude de la classe E appliquée aux transistors du laboratoire.

En observant les expressions de $V_{DS}(t)$, il apparaît que pour une excursion donnée en tension V_{DS} et en courant I_d , la valeur de la capacité C_{DS} est critique pour fonctionner à haute fréquence en respectant la définition du fonctionnement en classe E permettant un rendement de 100 %. Certaines technologies de transistors peuvent posséder des capacités C_{DS} internes dont la valeur ne permettra pas une réalisation d'un circuit fonctionnant en classe E à très haute fréquence avec un rendement idéal de 100 %.

I. 2. c. Classes de fonctionnement F et F inverse

La classe de fonctionnement F est une classe de fonctionnement qui joue sur les composantes de la tension et du courant aux harmoniques du signal amplifié afin d'en améliorer la puissance de sortie et le rendement.

En effet, en augmentant les composantes aux harmoniques du signal, il est possible de modifier les formes temporelles du courant et de la tension afin d'améliorer la puissance de sortie et le rendement.

Pour un fonctionnement en classe F, la tension V_{DS} est de forme carrée tandis que le courant I_d est de forme demi-sinusoidale (voir figure I.19).

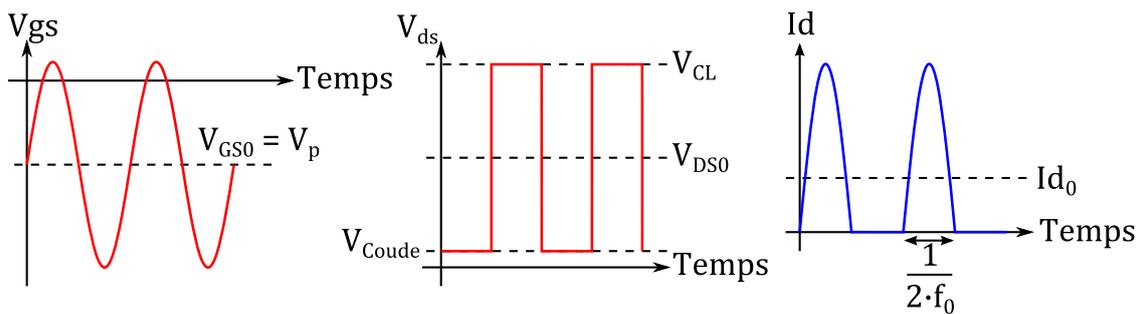


Figure I.19 : Formes temporelles théoriques pour la classe F.

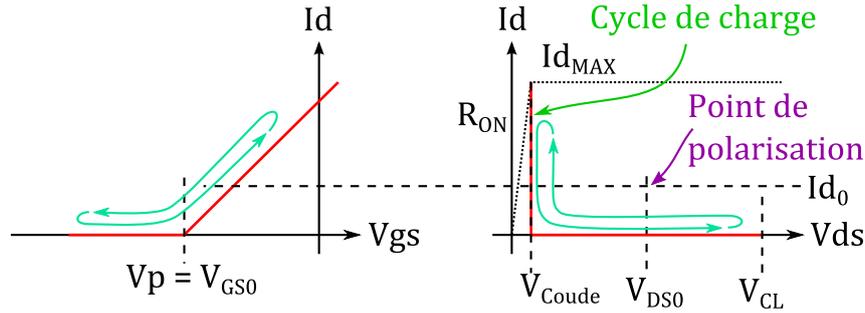


Figure I.20 : Cycle Id-Vgs et cycle de charge pour un fonctionnement en classe F

Dans ce cas, la décomposition en série de Fourier de la tension est de la forme :

$$V_{DS}(t) = \frac{V_{CL} + V_{Coude}}{2} + \frac{V_{CL} - V_{Coude}}{2} \cdot \frac{4}{\pi} \cdot \left\{ \sum_{k=0}^{\infty} \frac{1}{(2 \cdot k + 1)} \cdot \sin[2 \cdot \pi \cdot (2 \cdot k + 1) \cdot f_0 \cdot t] \right\}$$

Il n'y a pas de composantes paires au niveau de la tension et les composantes impaires sont toutes en phase.

La décomposition en série de Fourier du courant est de la forme :

$$I_D(t) = \frac{I_{D_{MAX}}}{\pi} - \frac{I_{D_{MAX}}}{2} \cdot \sin(2 \cdot \pi \cdot f_0 \cdot t) - \frac{I_{D_{MAX}}}{\pi} \sum_{k=1}^{\infty} \frac{2}{(2 \cdot k + 1) \cdot (2 \cdot k - 1)} \cdot \cos(2 \cdot \pi \cdot 2 \cdot k \cdot f_0 \cdot t)$$

Il n'y a pas de composantes impaires pour les harmoniques supérieurs à trois au niveau du courant de drain I_D . Les composantes paires sont déphasées de 90° par rapport au signal à la fréquence fondamentale.

Avec une telle configuration, il n'y a jamais de pertes par commutation. En effet, la commutation de tension est terminée quand le courant apparaît. De même, le courant est nul pour la transition en tension. Les pertes par conduction sont elles déterminées par la résistance à l'état passant du transistor R_{ON} . Comme le présente la figure I.20, les considérations, présentées juste avant, justifient le fait que le cycle de charge passe par des points de faible puissance dissipée ($I_D \cdot V_{DS} \approx 0$).

La puissance de sortie est alors $P_{OUT} = \frac{I_{D_{MAX}} \cdot (V_{CL} - V_{Coude})}{2 \cdot \pi}$. Cette puissance de sortie est plus importante que la puissance maximale obtenue en classe AB pour $\varphi = 123^\circ$, $P_{OUT}^{AB} \approx 1,073 \cdot \frac{I_{MAX} \cdot (V_{CL} - V_{Coude})}{8}$ pour une même excursion en courant et en tension. À titre de comparaison, pour des valeurs crêtes identiques en courant et en tension, le rapport de puissance de sortie entre un fonctionnement en classe F et un fonctionnement en classe AB est $\frac{P_{OUT}^F}{P_{OUT}^{AB}} \approx \frac{8}{2 \cdot \pi \cdot 1,073} \approx 1,19$.

La puissance consommée sur l'alimentation est $P_{DC} = \frac{I_{D_{MAX}} \cdot (V_{CL} + V_{Coude})}{2 \cdot \pi}$

Le rendement de drain est alors $\eta = \frac{V_{CL} - V_{Coude}}{V_{CL} + V_{Coude}}$. Il peut atteindre théoriquement 100 % quand la tension de coude V_{Coude} est nulle, ce qui est le cas quand $R_{ON} = 0$.

La classe F permet donc d'augmenter la puissance de sortie par rapport aux classes traditionnelles avec un rendement de presque 100 % sans modifier les valeurs crêtes en courant et en tension.

Avec un nombre limité d'harmoniques, le fonctionnement en classe F ne permet pas d'avoir un rendement de 100 %. Le rendement théorique du fonctionnement en classe F est d'autant plus proche de 100 % que le nombre d'harmoniques pris en compte est important.

Des valeurs particulières pour les amplitudes de chaque harmonique permettent d'obtenir une puissance de sortie maximale pour une excursion donnée, ou une forme temporelle la plus plate, ou un rendement le plus élevé. Les travaux de Frederick H. Raab sur la classe F [3] décrivent les coefficients à choisir pour optimiser soit la puissance de sortie, soit la forme temporelle, soit le rendement.

Les tableaux I.2 à I.4 présentent les coefficients des composantes aux harmoniques de la tension et du courant afin d'obtenir un rendement maximal.

| Harmoniques | $\frac{V_{DS}^{MAX}}{V_{DS0}}$ | $\frac{V_{DS1}}{V_{DS0}}$ | $\frac{V_{DS3}}{V_{DS0}}$ | $\frac{V_{DS5}}{V_{DS0}}$ |
|-------------|--------------------------------|-------------------------------|---------------------------------|---------------------------------|
| 1 (n=1) | 2 | 1 | ∅ | ∅ |
| 3 (n=3) | 2 | $\sqrt{\frac{2}{3}} = 1,1547$ | $\frac{1}{6} = 1,667$ | ∅ |
| 5 | 2 | 1,05146 | ∅ | -0,06180 |
| 3 + 5 (n=5) | 2 | 1,2071 | 0,2323 | 0,0607 |
| ∞ (n=∞) | 2 | $\frac{4}{\pi} = 1,273$ | $\frac{4}{3 \cdot \pi} = 0,424$ | $\frac{4}{5 \cdot \pi} = 0,255$ |

Tableau I.2: Composantes aux harmoniques de $V_{DS}(t)$ pour obtenir un rendement maximal pour un nombre limité d'harmoniques ($R_{ON} = 0$) [3]

| Harmoniques | $\frac{I_{dMAX}}{I_{d0}}$ | $\frac{I_{d1}}{I_{d0}}$ | $\frac{I_{d2}}{I_{d0}}$ | $\frac{I_{d4}}{I_{d0}}$ |
|-------------|-----------------------------------|-------------------------|-------------------------------|-------------------------|
| 1 (m=1) | 2 | 1 | ∅ | ∅ |
| 2 (m=2) | $\frac{3}{2} + \sqrt{2} = 2,9142$ | $\sqrt{2} = 1,4142$ | $\frac{\sqrt{2}}{4} = 0,3540$ | ∅ |
| 4 | 2,1863 | 1,0824 | ∅ | -0,0957 |
| 2 + 4 (m=4) | 3 | 1,500 | 0,3890 | 0,0556 |
| ∞ (m=∞) | $\pi = 3,142$ | $\frac{\pi}{2} = 1,571$ | $\frac{2}{3} = 0,667$ | $\frac{2}{15} = 0,133$ |

Tableau I.3: Composantes aux harmoniques de $I_d(t)$ pour obtenir un rendement maximal pour un nombre limité d'harmoniques ($R_{ON} = 0$) [3]

| Harmoniques | n=1 | n=3 | n=5 | n=∞ |
|-------------|-------------------------|-------------------------------|--------|-------------------------|
| m=1 | 0,5 | $\sqrt{\frac{1}{3}} = 0,5774$ | 0,6033 | $\frac{2}{\pi} = 0,637$ |
| m=2 | 0,7071 | 0,8165 | 0,8532 | 0,9003 |
| m=4 | 0,7497 | 0,8656 | 0,9045 | 0,9545 |
| m=∞ | $\frac{\pi}{4} = 0,785$ | 0,9069 | 0,9477 | 1 |

Tableau I.4: Rendement maximal obtenu pour un nombre limité d'harmoniques au niveau de la tension (n) et au niveau du courant (m) [3]

Comme le montre le tableau I.4, la prise en compte de plus en plus d'harmoniques permet de se rapprocher du rendement maximal de 100 %. Avec n=3 et m=2, le rendement vaut 81,7%, ce qui est une bonne valeur comparée au rendement maximal en classe A de 50 %. De plus, comme le présente le tableau I.5, le fonctionnement en classe F avec trois harmoniques permet d'avoir une puissance de sortie 15 % plus élevée qu'en classe A (7,6 % plus élevée que la classe AB).

Ainsi, il est suffisant de ne contrôler que quelques harmoniques des signaux d'entrée et de sortie. En pratique, pour un signal à amplifier à 3 GHz, le contrôle des harmoniques se fait jusqu'à l'harmonique 3 (9 GHz) voire l'harmonique 2 (6 GHz). De cette manière, les apports d'un fonctionnement en classe F sont suffisamment intéressants par rapport aux classes traditionnelles sans avoir besoin de synthétiser des circuits supplémentaires pour présenter les bonnes impédances aux harmoniques supérieures à 4.

| Harmoniques | n=1 | n=3 | n=5 | n=∞ |
|--|-----|------------------------------|--------|-------------------------|
| $\frac{P_{OUT}^{MAX} \cdot 8}{V_{DS}^{MAX} \cdot I_{D}^{MAX}}$ | 1 | $\frac{2}{\sqrt{3}} = 1,155$ | 1,2064 | $\frac{4}{\pi} = 1,273$ |

Tableau I.5: Puissance maximale obtenue pour un nombre limité d'harmoniques en cherchant à avoir le rendement maximal [3]

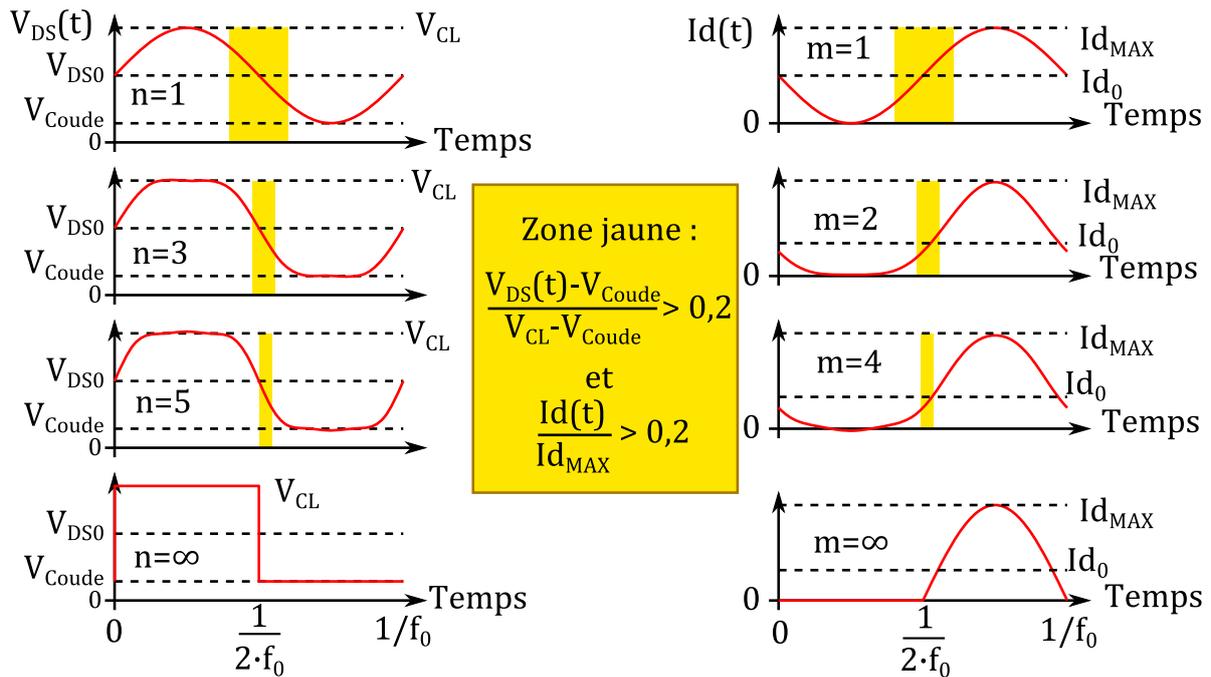


Figure I.21: Évolution des formes temporelles de la tension V_{DS} et du courant I_d en fonction du nombre d'harmoniques

Comme le présente la figure I.21, les formes temporelles de la tension et du courant sont respectivement d'autant plus proches d'un créneau et d'une forme demi-sinusoidale que le nombre d'harmoniques est grand.

Les zones en jaune sur la figure I.21 représentent les instants ayant instantanément un fort courant ($\frac{I_d(t)}{I_{d_{MAX}}} > 0,2$) et une forte tension ($\frac{V_{DS}(t) - V_{Coude}}{V_{CL} - V_{Coude}} > 0,2$). Nous remarquons que ces périodes de commutation avec une forte puissance instantanée sont d'autant plus courtes que le nombre d'harmoniques est élevé. Ceci explique en partie l'amélioration du rendement.

En effet, vu que la composante de chaque harmonique n'est présente soit qu'au niveau de la tension, soit qu'au niveau du courant I_d , la puissance générée en sortie aux harmoniques est nulle $P_i = \frac{1}{2} \cdot V_{DSi} \cdot I_{di} = 0$. La classe F permet donc de ne pas perdre d'énergie au niveau des harmoniques et de minimiser les pertes dissipées pendant les phases de commutation.

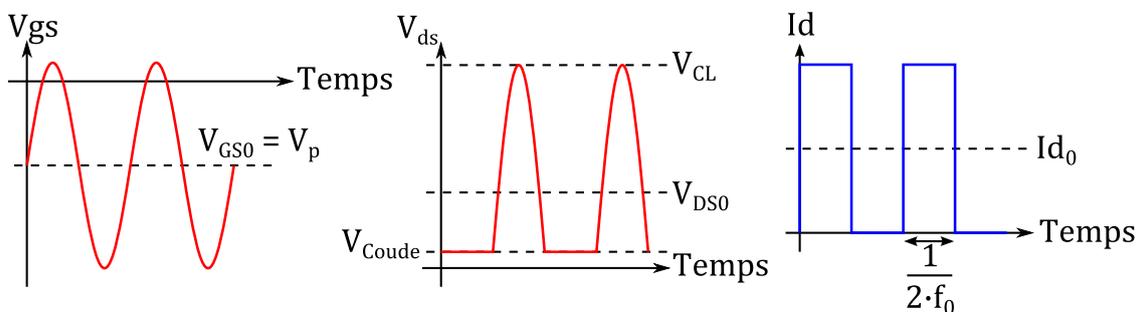


Figure I.22 : Formes temporelles pour le fonctionnement en classe F inverse

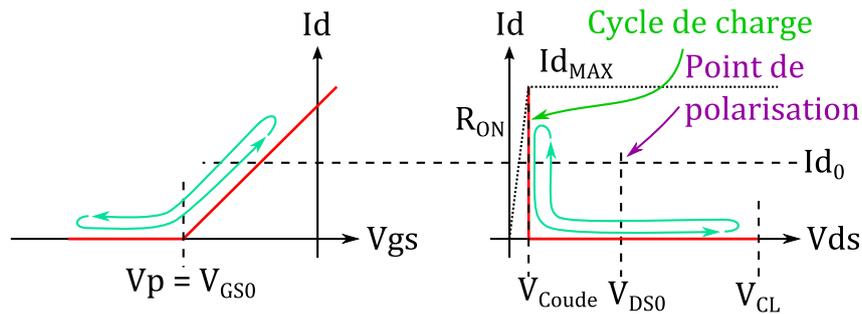


Figure I.23 : Cycle I_d - V_{gs} et cycle de charge pour un fonctionnement en classe F inverse

Une classe duale de la classe F s'appelle la classe F inverse. Elle consiste à chercher à obtenir une tension de forme demi-sinusoïdale et un courant de forme carrée. La figure I.22 présente les formes temporelles théoriques au niveau du transistor pour un fonctionnement en classe F inverse. Le cycle I_d - V_{gs} et le cycle de charge de la classe F inverse sont présentés sur la figure I.23. Comme pour la classe F, le cycle de charge passe par des points de faible puissance dissipée.

En pratique, comme nous le décrivons dans la partie III. 2, le fonctionnement en classe F ou en classe F inverse est obtenu en présentant des impédances particulières aux harmoniques. Le choix entre ces classes est conditionné par les possibilités de synthèse des impédances aux harmoniques. Les valeurs de ces impédances dépendent du comportement du transistor et du circuit de charge. Les difficultés de réalisation d'un amplificateur fonctionnant en classe F ou F inverse proviennent de la possibilité ou non de réalisation des impédances permettant d'obtenir le rendement optimal et la puissance de sortie optimale. Mais, contrairement à la classe E, l'optimisation des impédances présentées au transistor laisse plus de degrés de liberté et diminue les contraintes apportées par une valeur trop élevée de la capacité C_{DS} . La classe F semble donc mieux appropriée pour le fonctionnement des circuits hyperfréquences.

I. 2. d. Classe de fonctionnement J

La classe de fonctionnement J est une classe de fonctionnement qui permet d'améliorer le rendement du transistor avec l'utilisation d'un nombre limité de composants passifs.

Le schéma de base est celui présenté sur la figure I.24 [1, pp. 68-77].

Lors d'un fonctionnement en classe J, le transistor reçoit un signal sinusoïdal. La tension de polarisation de la grille est choisie de telle manière que le courant de drain I_d soit de forme demi-sinusoïdale. La forme temporelle de la tension $V_{ds}(t)$ aux bornes du transistor est définie par la valeur de la capacité C_{DS}^{ext} , le déphasage introduit par la ligne de transmission et la capacité C_f (voir figure I.25). La capacité entre le drain et la source C_{DS} interne au transistor peut jouer le rôle de la capacité C_{DS}^{ext} .

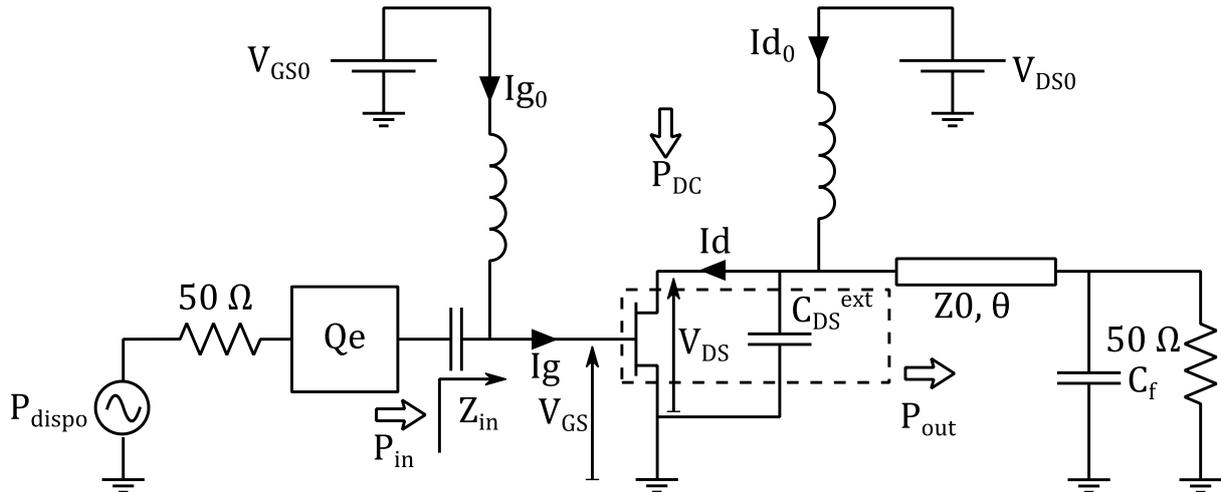


Figure I.24 : Schéma électrique de base d'un fonctionnement en classe J

L'objectif d'un fonctionnement en classe J est d'améliorer le rendement en ayant un cycle de charge passant par les points $I_d \cdot V_{ds}$ proches de (0,0) (voir figure I.26). L'avantage d'un tel circuit est qu'il est composé de peu d'éléments pour synthétiser le circuit de sortie. L'inconvénient réside principalement dans le fait que le réglage du montage est fortement dépendant de la valeur de la capacité C_{DS} interne au transistor. La principale différence de la classe J avec la classe E réside dans la ligne de transmission qui fait directement partie du circuit de réglage. De plus, les mises en conduction du transistor ne sont pas obligatoirement réalisées au moment de la décharge de la capacité C_{DS} .

Des réalisations d'amplificateurs fonctionnant en classe J sont régulièrement présentées. Nous pouvons remarquer les performances suivantes. L'université de Cardiff a réalisé un amplificateur sur la bande 1,3 GHz – 2,25 GHz avec une puissance de sortie P_{OUT} supérieure à 10 W et un rendement de drain η compris entre 60 % et 70 % [4]. L'université de Waterloo a mesuré une puissance de 40 W avec un rendement de drain η de 58 % sur un amplificateur à 1,8 GHz [5]. De la même manière, pour démontrer les performances de cette classe, l'institut technologique de Berlin a conçu des amplificateurs dont les performances atteignent 60 W et 56 % de rendement de drain sur la bande 0,9 GHz – 1,8 GHz [6].

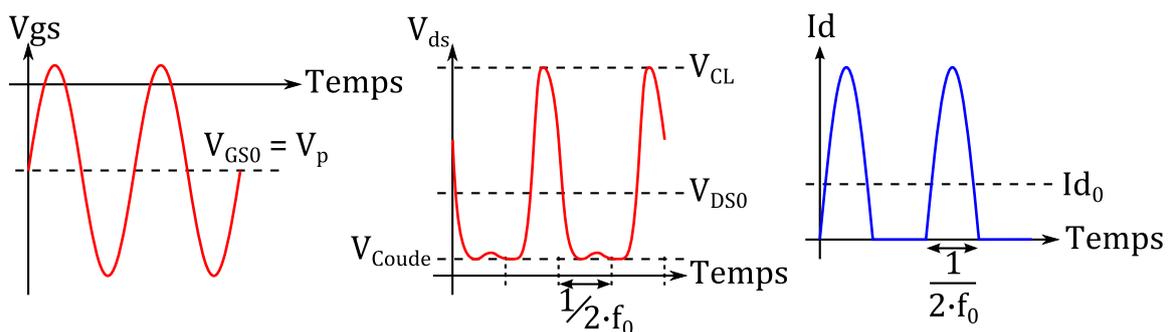


Figure I.25 : Formes temporelles obtenues pour un fonctionnement en classe J

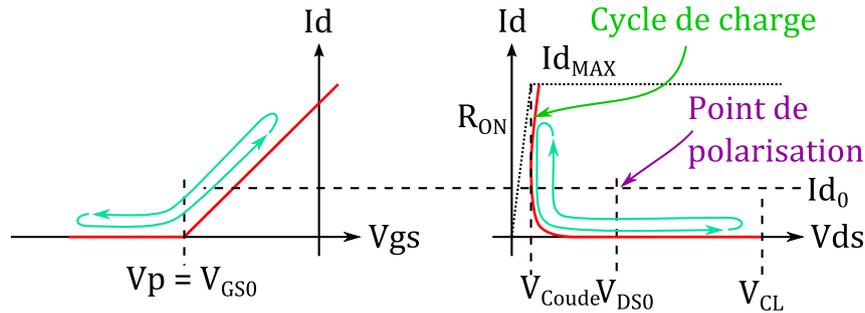


Figure I.26 : Cycle Id-Vgs et cycle de charge pour un fonctionnement en classe J

I. 2. e. Classe de fonctionnement S

La classe de fonctionnement S fait partie des classes de fonctionnement utilisant le transistor en commutation. L'objectif est d'utiliser le transistor dans deux états pour lesquels les pertes par conductions sont limitées : l'état pincé sans courant de drain, et le fonctionnement en zone ohmique avec une tension V_{DS} faible (V_{Coude}). Le changement d'un état à l'autre doit être le plus rapide possible pour limiter les pertes par commutation.

Même si le circuit fonctionnant en classe S est similaire à celui fonctionnant en classe D (voir figure I.27), son fonctionnement est différent de celui de la classe D. En effet, pour la classe D (voir figures I.12 et I.15), la fréquence du signal d'entrée de forme carrée est identique à celle du signal de sortie. Pour un fonctionnement en classe S, la fréquence instantanée des commutations est plus élevée que celle du signal de sortie (voir figure I.30). Le signal de sortie correspond à la valeur moyenne "instantanée" de $V_{DS}(t)$. Il faut donc avoir recours à un filtre de reconstruction qui ne transmet que le signal contenu dans une bande autour de la fréquence du signal de sortie (voir figures I.27 et I.30) [7]. Contrairement à la classe D, ce filtre de reconstruction n'a pas besoin d'être accordé avec la fréquence de travail. Il doit posséder une bande passante plus large et couper les harmoniques afin de reconstruire le signal utile.

En pratique, deux transistors sont utilisés pour générer une tension commutée (voir figure I.28). Chaque transistor reçoit un signal V_{GS} opposé en phase. De cette manière, un transistor fournit le courant positif de sortie (transistor T1 sur la figure I.27), l'autre transistor (T2) récupère le courant de sortie quand il est négatif. Les transistors fonctionnent sur des points avec faible puissance dissipée afin de garantir un rendement élevé (voir figure I.29).

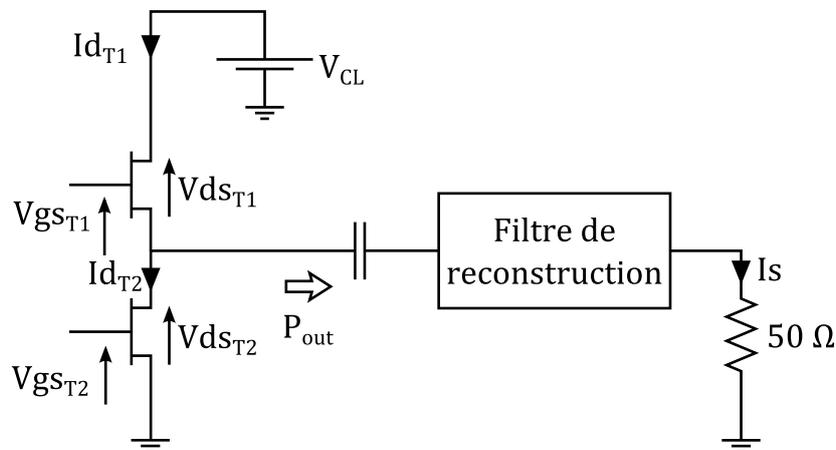


Figure I.27 : Exemple de circuit fonctionnant en classe S.

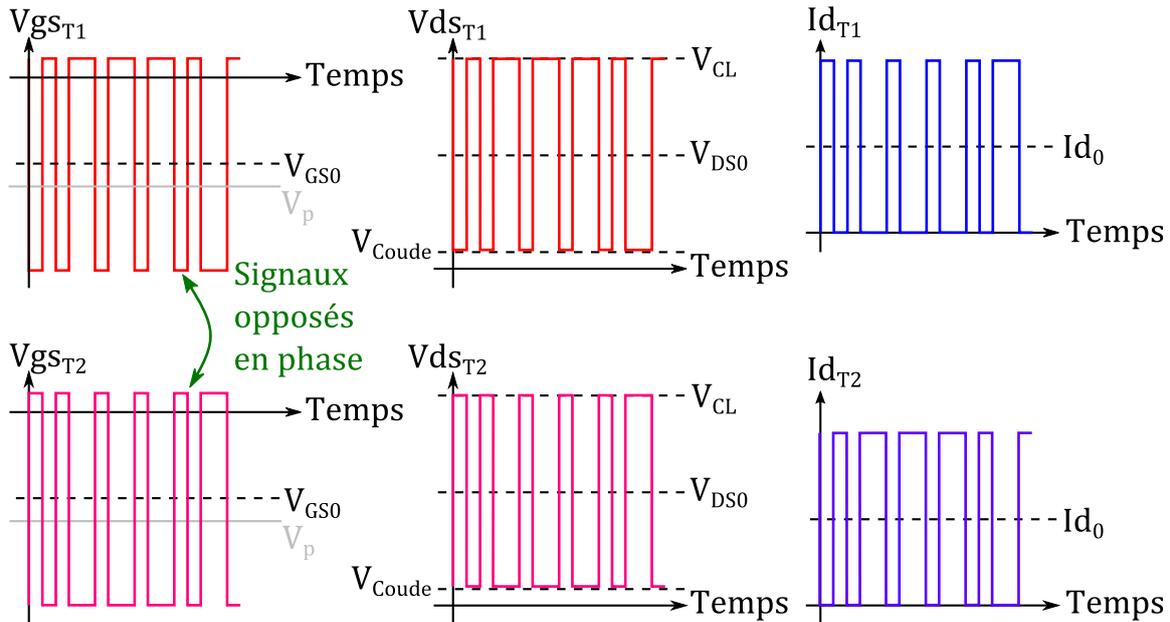


Figure I.28 : Exemple de formes temporelles pour un fonctionnement en classe à signaux commutés (classe S)

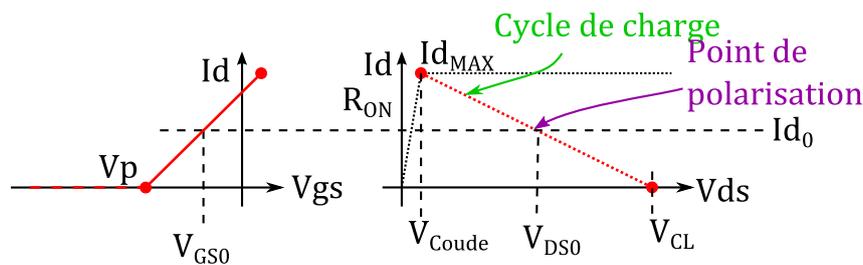


Figure I.29 : Cycle Id-Vgs et cycle de charge pour un fonctionnement en classe à signaux commutés (classe S)

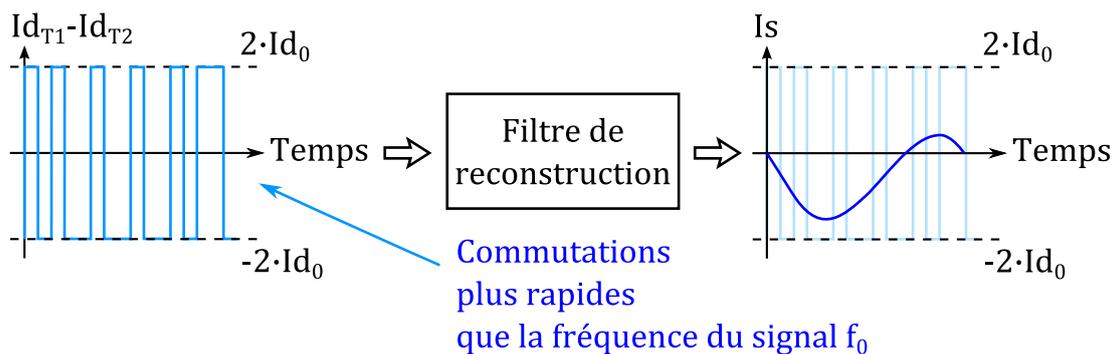


Figure I.30 : Principe de reconstruction du signal par le filtre de sortie de la classe à signaux commutés (classe S)

Le principe de base d'un fonctionnement en classe S est l'amplification d'un signal commuté dont la moyenne instantanée représente le signal de sortie. Il existe plusieurs modulations d'entrée qui permettent d'obtenir ceci. Nous présentons ici la modulation de largeur d'impulsion, notée MLI ou PWM pour *Pulse width modulation*, et la modulation sigma-delta Σ - Δ [7].

La modulation de largeur d'impulsion consiste à moduler la largeur de chaque impulsion afin d'avoir comme moyenne le signal souhaité. Les commutations n'ont pas lieu de façon syn-

chrone avec une horloge. Un schéma de principe sur la figure I.31 présente un moyen de réalisation d'une modulation de largeur d'impulsion.

Le signal à amplifier est ici comparé à un signal en dents de scie dont la fréquence est plus élevée que celle du signal à amplifier. Cette comparaison permet de générer une suite de deux valeurs de tension commutée dont la valeur moyenne représente le signal à amplifier. L'avantage réside dans la simplicité de réalisation mais le signal généré est un signal commuté dont la fréquence de commutation n'est pas constante. Ceci est dû à la modulation de largeur d'impulsion. Cela rend compliqué le dimensionnement des transistors, car, en général, ce ne sont pas les mêmes transistors qui sont optimisés pour fonctionner aux basses fréquences de ceux adaptés aux très hautes fréquences.

Des solutions existent, comme par exemple la réalisation de MLI avec une commutation synchronisée sur une horloge mais ces circuits sont plus complexes à réaliser et introduisent un bruit de quantification.

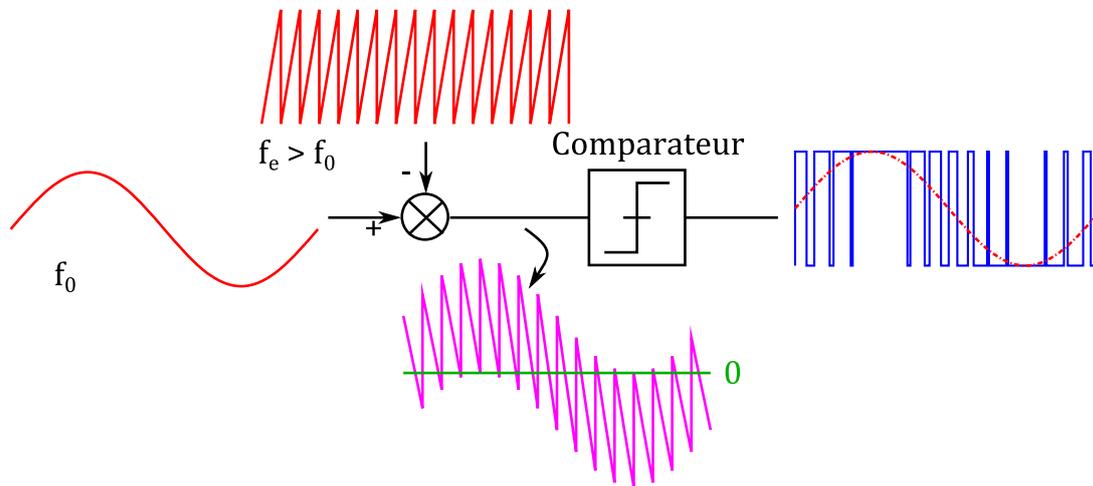


Figure I.31 : Exemple de principe de création d'une modulation MLI.

Une autre modulation décrite ici est la modulation sigma-delta Σ - Δ .

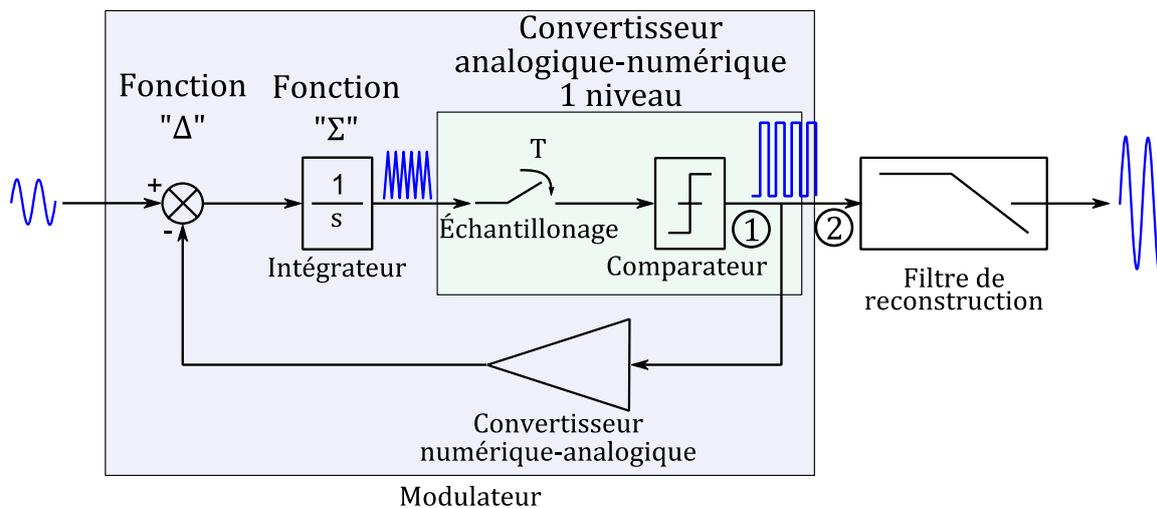


Figure I.32 : Schéma de principe d'un modulateur Σ - Δ .

Le nom de cette modulation provient du fait que le signal de sortie à valeurs commutées est soustrait au signal à amplifier (Δ) et que la valeur de cette différence est intégrée dans le temps (Σ) (voir figure I.32).

Le signal résultant de l'intégration temporelle est échantillonné à une fréquence $f_e = 1/T_e$ plus élevée que la fréquence du signal à amplifier f_0 , puis il est comparé à la valeur nulle, pour donner une suite de deux états. Le résultat de cette comparaison produit le signal de sortie à signaux commutés dont la valeur moyenne représente le signal à amplifier.

Un tel modulateur possède donc une partie numérique constituée de l'échantillonneur et du comparateur, et une partie analogique constituée du module réalisant la différence et de l'intégrateur. Il est donc nécessaire d'utiliser un convertisseur numérique analogique (CNA) afin de pouvoir soustraire un signal analogique représentant le signal de sortie.

Un tel montage permet d'avoir des commutations synchronisées avec une horloge (T_e), ce qui permet de dimensionner plus aisément les transistors.

Deux positions sont possibles pour l'amplificateur de puissance dans le modulateur Σ - Δ [7], [8] et [9].

L'amplificateur peut faire partie de la boucle et être placé juste après le comparateur. Cette position est marquée d'un "1" sur la figure I.32. Le signal, qui est alors utilisé pour être soustrait au signal d'entrée, possède donc un comportement dépendant des non-linéarités de l'amplificateur. L'intégrateur fait donc la somme des erreurs introduites par ces non-linéarités. Ceci permet au modulateur Σ - Δ de corriger les non-linéarités de l'amplificateur. L'inconvénient principal réside dans le fait que le temps de réponse de la boucle, qui inclut donc l'amplificateur, peut être trop long et conduire à un comportement instable du modulateur.

L'amplificateur peut aussi être placé en dehors de la boucle pour éviter les problèmes de stabilité du modulateur. Cette position est marquée d'un "2" sur la figure I.32. La stabilité de la boucle, qui n'inclut pas l'amplificateur, est alors plus facile à obtenir. En contre partie, le modulateur ne corrige pas directement les non-linéarités de l'amplificateur.

Pour ces deux positions de l'amplificateur dans le modulateur Σ - Δ , il y a un avantage à utiliser un tel modulateur. En effet, le modulateur peut fonctionner sur une grande plage de fréquence car l'alternance des niveaux commutés peut avoir comme moyenne instantanée un signal de différentes fréquences. La limitation principale provient du filtre de reconstruction qui doit avoir une bande passante suffisante.

Afin de réduire les contraintes de réalisation de ce filtre, la structure du modulateur Σ - Δ , qui génère un bruit de quantification au niveau du comparateur, permet de rejeter ce bruit au pied du signal à amplifier. La figure I.33 représente de façon schématique la densité spectrale de puissance du signal de sortie du modulateur Σ - Δ . Le cas représenté correspond à un modulateur passe-bas; la bande de signal utile commence à la fréquence "nulle". Le comportement théorique du modulateur est de rejeter le bruit de quantification, créé par l'ensemble constitué de l'échantillonneur et du comparateur, en dehors de cette bande.

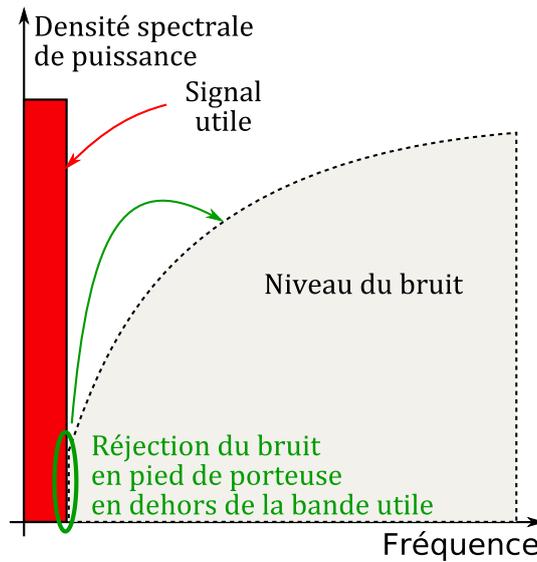


Figure I.33 : Représentation d'un spectre fréquentiel du signal commuté en sortie du modulateur Σ - Δ .

Le filtre de reconstruction est alors plus facile à réaliser pour reconstruire le signal dans la bande utile car le bruit de quantification n'y est pas présent. Par contre, les contraintes sont déportées sur les bandes adjacentes dans lesquelles le filtre de reconstruction doit absorber suffisamment le bruit pour ne pas polluer les signaux des fréquences voisines.

Malgré ces différentes limitations concernant la fréquence de commutation élevée et la gestion plus ardue du bruit hors bande, la classe S reste intéressante car elle présente un amplificateur reconfigurable grâce à sa large bande passante.

De par l'aspect reconfigurable et le fait que les commutations sont plus faciles à basses fréquences, ce genre d'amplificateurs est communément utilisé pour les amplificateurs de signaux audio en portant l'appellation "classe D audio" [10], [11], [12].

Il faut aussi rajouter le fait qu'une grande partie de ce genre de modulateur peut être réalisée de façon numérique sur FPGA, ce qui rend plus facile les mises à jour et les modifications du modulateur [13].

I. 2. f. Présentation des autres techniques d'amélioration du rendement

Comme nous l'avons présenté dans les paragraphes précédents, le rendement du transistor peut être amélioré en choisissant un point de polarisation particulier, en présentant des impédances particulières aux harmoniques ou encore en utilisant des signaux commutés. D'autres architectures cherchent à améliorer le rendement du transistor en préservant la linéarité de l'amplificateur. Ces architectures peuvent être complémentaires des techniques d'amélioration apportée par les classes de fonctionnement.

En effet, pour l'amplification de signaux de télécommunications, il est impératif de conserver une bonne linéarité au niveau de l'amplificateur. Hors, en général, le rendement de l'amplificateur est maximal quand le signal de sortie est compressé. Les schémas de la figure I.34 représentent avec un point rouge le point correspondant au rendement le plus haut. Le point violet représente le point de plus forte puissance de sortie en conservant la linéarité de l'amplificateur. Pour fonctionner avec une bonne linéarité, il faut pouvoir amplifier tous les signaux en

régime linéaire. Le plus souvent le point de fonctionnement moyen retenu correspond au point orange. Il est reculé d'environ 6 dB en puissance par rapport au point violet afin de pouvoir amplifier les pics de puissance tout en restant linéaire pour la majeure partie du signal qui possède une puissance plus faible. L'amplificateur fonctionne donc avec une puissance de sortie limitée et un rendement faible par rapport aux performances maximales qu'il peut avoir.

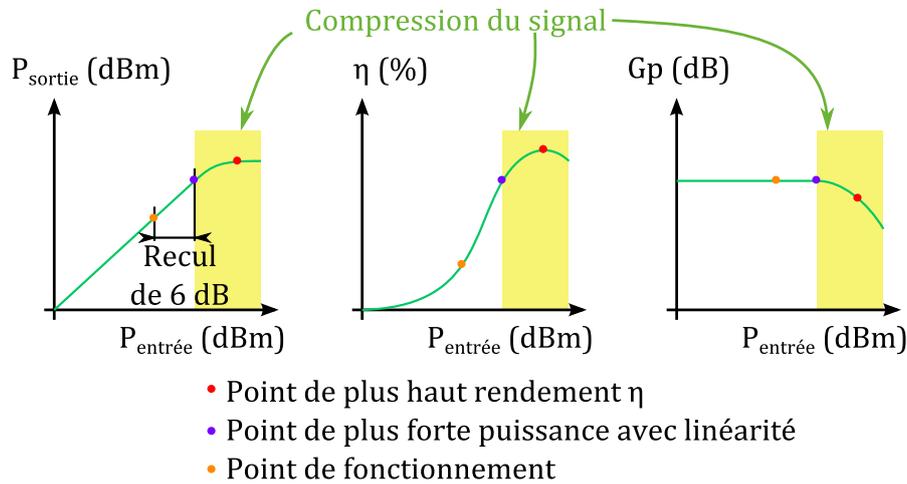


Figure I.34 : Présentation du recul en puissance pour conserver la linéarité de l'amplificateur

Les architectures présentées ici cherchent à faire fonctionner le transistor au plus près du point de rendement maximal tout en conservant la linéarité de l'amplificateur.

I. 2. f. 1. Architecture Doherty

La première architecture présentée est l'amplificateur de type Doherty. Le principe de fonctionnement consiste à utiliser deux amplificateurs (voir figure I.35) [14].

L'amplificateur principal fonctionne quelque soit la puissance d'entrée. Pour les puissances faibles, l'amplificateur auxiliaire ne fonctionne pas. Dans la pratique, l'amplificateur auxiliaire fonctionne en classe C. Pour cette classe, l'amplificateur ne consomme et ne produit rien jusqu'à un certain seuil sur la puissance d'entrée. Dans cette configuration, l'amplificateur principal fonctionne comme s'il était chargé par l'impédance optimale pour obtenir une bonne linéarité et un bon rendement.

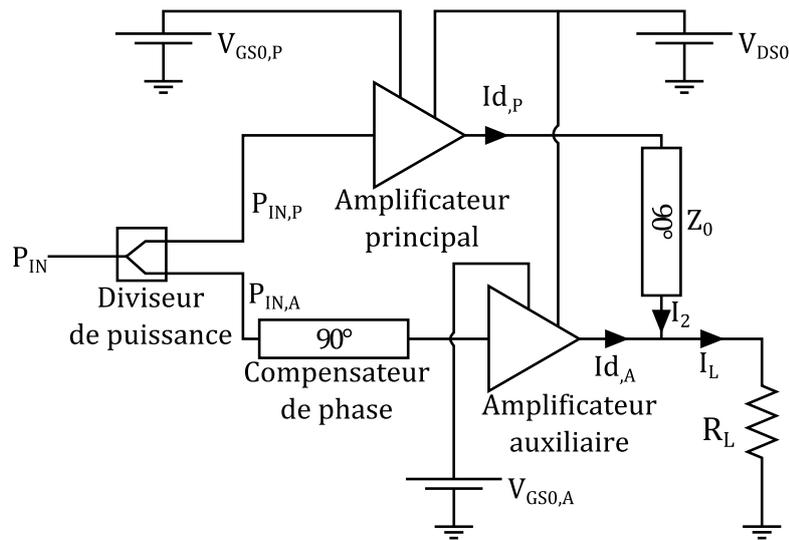


Figure I.35 : Schéma de base de l'amplificateur Doherty

Quand la puissance d'entrée dépasse le seuil d'allumage de l'amplificateur auxiliaire, le signal d'entrée est amplifié afin de modifier le courant de sortie de l'amplificateur Doherty. À l'aide de ligne à inversion d'impédance placée en sortie de l'amplificateur principal, ce dernier voit sa charge modifiée au fur et à mesure de l'augmentation de la puissance d'entrée. Avec un bon réglage d'un tel circuit, l'augmentation de la puissance d'entrée ne se traduit pas tout de suite par une compression du signal de sortie mais par un changement d'impédance de charge vue par l'amplificateur principal de façon à le maintenir dans un état linéaire avec un bon rendement (voir figure I.36).

Le fonctionnement de l'amplificateur peut donc avoir lieu autour de la tension de seuil d'allumage de l'amplificateur auxiliaire. Quand il y a des pics de puissances en entrée, cet amplificateur se met en fonctionnement pour permettre de conserver la linéarité de l'amplificateur Doherty sans dégrader le rendement lors de l'amplification de ce pic de puissance.

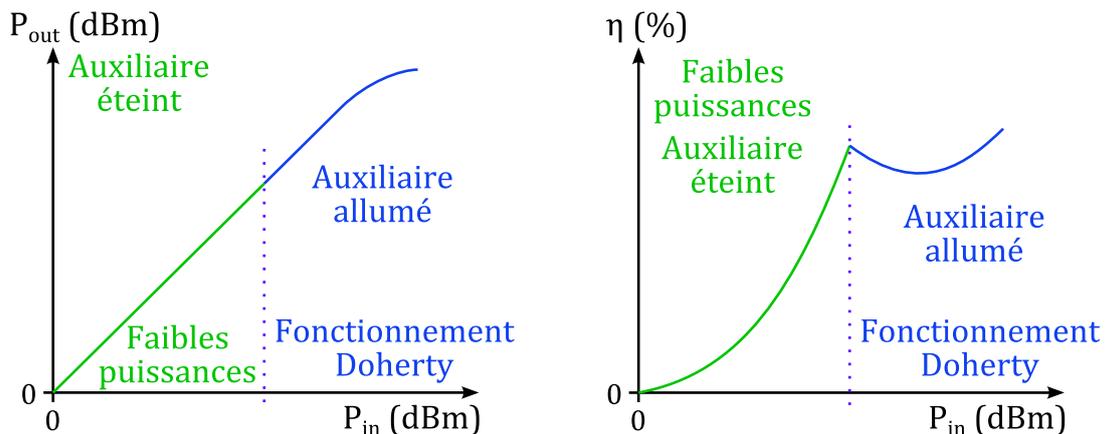


Figure I.36 : Principe de fonctionnement de l'amplificateur Doherty

Cette architecture est aujourd'hui très utilisée dans les stations de bases en télécommunication. Nous trouvons dans la littérature de nombreux exemples utilisant des composants à base de nitrure de gallium GaN. Nous pouvons en particulier citer les performances de l'institut

technologique de Berlin avec la réalisation d'un amplificateur ayant 53 % de rendement de drain et 25 W de puissance de sortie P_{OUT} pour un fonctionnement à 2 GHz avec un recul en puissance de sortie de 6 dB[15]. L'entreprise Sumitomo a aussi présenté un amplificateur Doherty à hautes performances possédant un rendement de drain de 48 % et une puissance de sortie de 107 W pour une fréquence de fonctionnement de 2,6 GHz et un recul en puissance de sortie de 7 dB [16].

I. 2. f. 2. Amplification à suivi d'enveloppe dynamique

Une méthode pour améliorer le rendement et la linéarité est l'amplification à suivi d'enveloppe dynamique. Ici, l'objectif n'est plus de modifier l'impédance vue par le transistor pour maintenir le rendement mais de modifier la tension d'alimentation du transistor.

L'architecture à suivi d'enveloppe dynamique est présentée sur la figure I.37 [17].

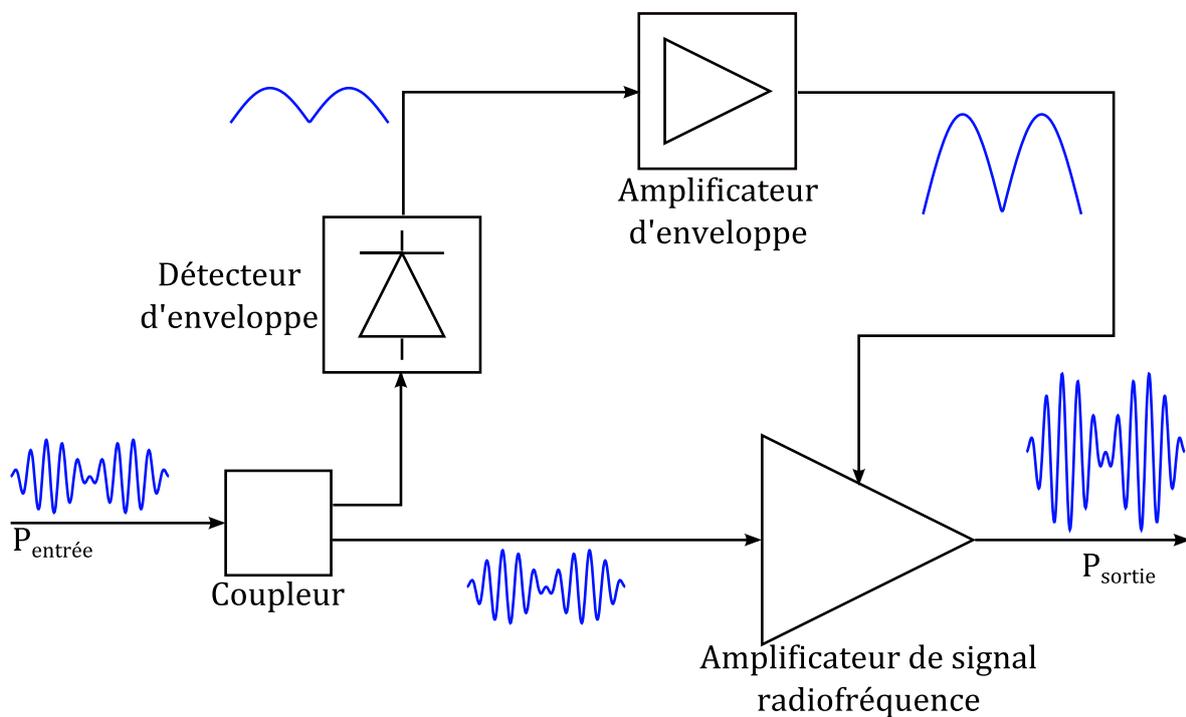


Figure I.37 : Schéma de base du fonctionnement en suivi d'enveloppe

L'objectif est de faire fonctionner l'amplificateur en limite de linéarité quelque soit la puissance d'entrée (voir figure I.38).

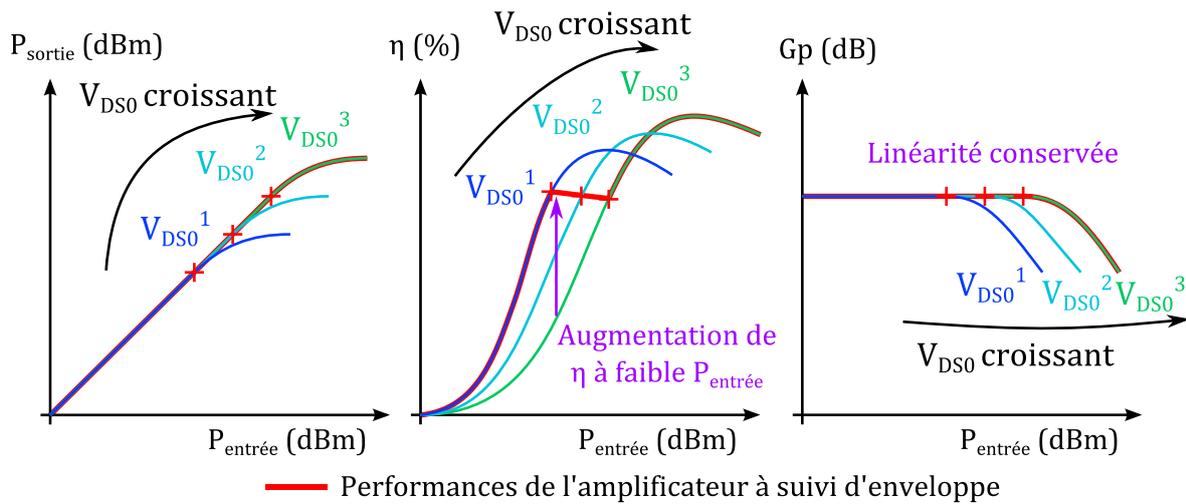


Figure I.38 : Performances attendues pour un amplificateur à suivi d'enveloppe.

La tension alimentant l'amplificateur est ajustée en fonction de l'enveloppe du signal d'entrée afin de faire fonctionner le transistor à la plus forte puissance de la zone linéaire. De cette manière, la linéarité de l'amplificateur est conservée et le rendement à faible puissance est amélioré.

L'utilisation de cette technique a démontré une augmentation du rendement en puissance ajoutée *PAE* pour les faibles puissances d'entrée. Les travaux de Flavie Elmazova ont permis d'obtenir une augmentation du rendement en puissance ajoutée *PAE* de 25 % à 43 % pour un fonctionnement de l'amplificateur à 100 kHz avec une puissance de sortie de 10 W [18]. Une amélioration de 26 % à 30 % de *PAE* a été obtenue à 1,8 GHz pour une puissance de sortie de 9,4 W par l'université de Pohang [19].

I. 2. f. 3. Amplification à suppression et restauration d'enveloppe (EER)

La structure suivante ressemble à celle du suivi d'enveloppe mais elle cherche à faire fonctionner le transistor en régime compressé tout en conservant la linéarité de l'amplificateur global. Cette structure se nomme amplification à suppression et restauration d'enveloppe. Elle est présentée sur la figure I.39, [20].

Pour cette architecture, l'amplificateur reçoit un signal dépourvu de son enveloppe. C'est un signal de puissance constante dont seule la phase est modulée dans le temps. L'amplificateur est placé à la compression pour laquelle la puissance de sortie et le rendement sont élevés. L'enveloppe est amplifiée par un autre circuit. Elle permet de générer un signal de commande de la tension de drain V_{DS0} du transistor afin d'ajuster le niveau de puissance de sortie de l'amplificateur. C'est l'ajustement de la tension de polarisation du drain du transistor qui permet de restituer l'enveloppe et de retrouver le signal utile. L'amplificateur se comporte alors comme un modulateur d'amplitude.

La figure I.40 présente les performances attendues pour un fonctionnement d'un tel amplificateur. Le choix de la bonne loi d'amplification du signal d'enveloppe permet d'obtenir un gain linéaire pour l'amplificateur global tout en ayant un rendement élevé dès les puissances faibles. La conception d'un tel amplificateur nécessite de bien connaître le comportement du

transistor et de pouvoir synthétiser la loi de commande adaptée pour l'amplification de l'enveloppe.

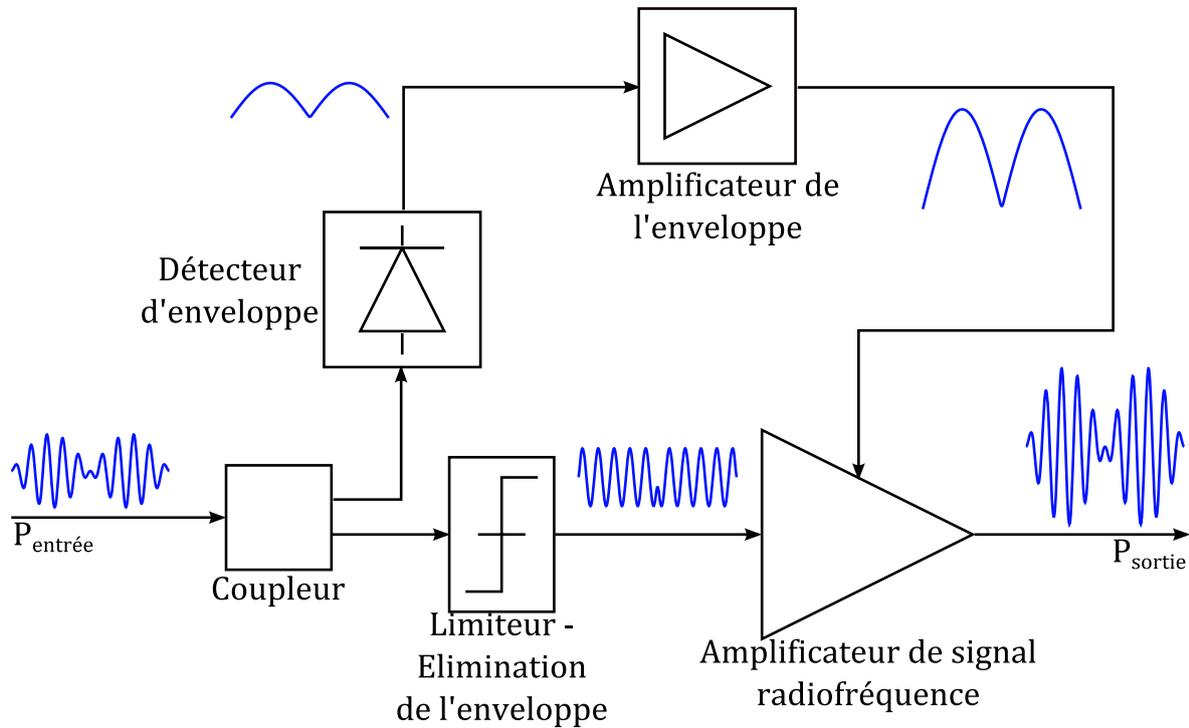


Figure I.39 : Schéma de principe d'un amplificateur à suppression puis restauration d'enveloppe

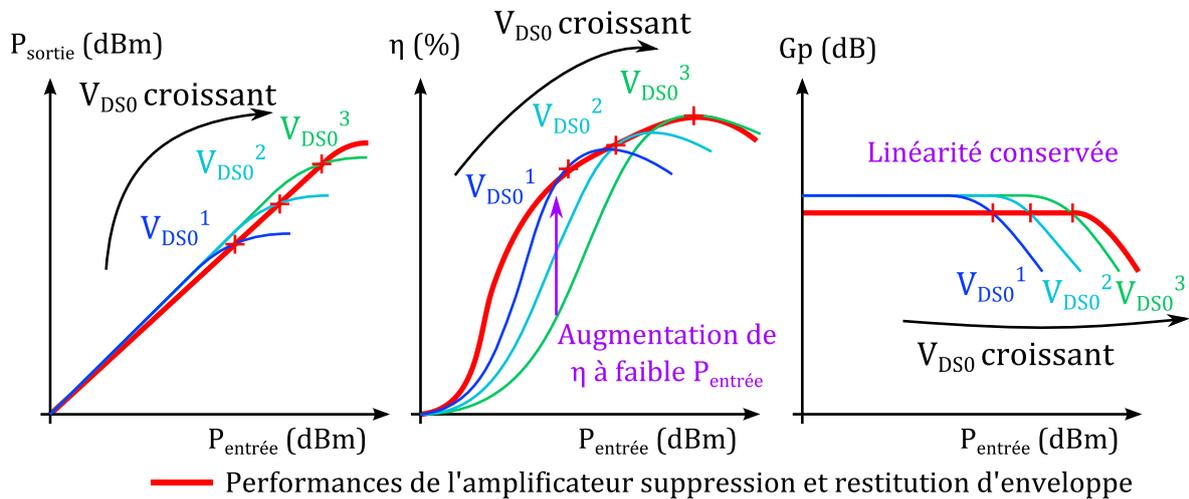


Figure I.40 : Schéma des performances attendues pour un amplificateur à suppression puis restitution d'enveloppe

I. 2. f. 4. Architecture Chireix

Enfin, afin de diminuer les difficultés de conception d'un circuit générant une tension de drain commandée par le signal d'enveloppe, une autre architecture a été proposée par Chireix [21]. Cette architecture est présentée sur la figure I.41.

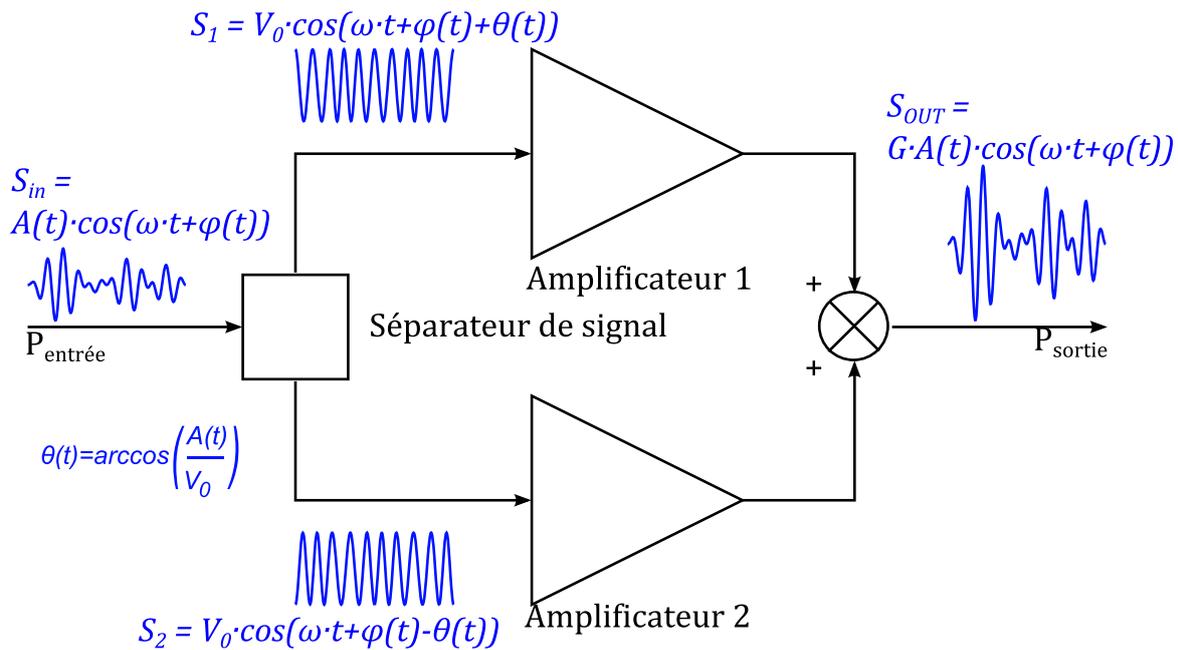


Figure I.41 : Schéma de l'architecture de l'amplificateur Chireix

Cette architecture est elle aussi composée de deux amplificateurs. Ces amplificateurs sont identiques. Ils reçoivent chacun un signal de puissance constante correspondant à la puissance permettant aux transistors de fonctionner dans les conditions optimales de puissance et de rendement.

Pour y arriver, le signal d'entrée est séparé en deux signaux. Ces deux signaux ont à la fois le même niveau l'un par rapport à l'autre et une puissance constante dans le temps. L'information est alors contenue dans une modulation de phase. Chaque amplificateur reçoit un signal dont la modulation $\theta(t) = \arccos\left(\frac{A(t)}{V_0}\right)$ correspond à l'information d'amplitude du signal d'entrée. L'un des amplificateurs reçoit un signal de modulation $\theta(t)$ alors que l'autre reçoit la modulation $-\theta(t)$. La somme des signaux de sortie des amplificateurs permet d'obtenir le signal d'entrée amplifié.

Les contraintes pour un tel modulateur reposent sur les difficultés pour générer la modulation de phase $\theta(t)$ avec suffisamment de rapidité et de précision pour ne pas dégrader les performances en gain et en linéarité de l'amplificateur global.

Les architectures présentées ici permettent d'améliorer le rendement et la linéarité des amplificateurs sans en dégrader les niveaux de puissance de sortie. Elles viennent compléter les améliorations apportées par l'utilisation de classes de fonctionnement à haut rendement.

I. 3. Le nitrure de gallium, un matériau semi-conducteur adapté à la forte puissance

Les performances d'un composant peuvent être évaluées par la puissance maximale $\left(P_{\max} \approx \frac{I_{\max} \times V_{\max}}{8}\right)$ que le composant peut générer et par son comportement fréquentiel. Les paragraphes suivants présentent les différents avantages du matériau nitrure de gallium (GaN) pour l'amplification de puissance avec les classes de fonctionnement à haut rendement.

I. 3. a. Champ de claquage

La tension maximale que peut supporter le matériau GaN est déterminée par sa tension de claquage. Cette tension correspond au déclenchement de l'effet avalanche : la tension appliquée accélère suffisamment les électrons libres pour qu'ils aient assez d'énergie pour ioniser un atome.

L'électron arraché à l'atome lors de l'impact est à son tour accéléré pour ioniser un autre atome. Le phénomène s'amplifie pour donner un courant très élevé qui conduit à la destruction du matériau.

L'énergie pour ioniser un atome correspond à la hauteur de bande interdite. Le phénomène d'avalanche est donc d'autant plus difficile à initier que la hauteur de bande interdite est grande.

| Éléments semi-conducteurs | Hauteur de bande interdite (eV) |
|-----------------------------|---------------------------------|
| Germanium (Ge) | 0,66 eV |
| Silicium (Si) | 1,12 eV |
| Phosphure d'indium (InP) | 1,34 eV |
| Arséniure de gallium (GaAs) | 1,42 eV |
| Carbure de silicium (SiC) | 2,86 eV |
| Nitrure de gallium (GaN) | 3,39 eV |

Tableau I.6 : Hauteur de bande interdite de différents semi-conducteurs à 300 K [22].

Le nitrure de gallium possède une hauteur de bande interdite de 3,39 eV (voir tableau I.6) bien supérieure à celle d'autres matériaux comme l'arséniure de gallium : 1,42 eV.

Cette propriété de grande hauteur de bande interdite permet au nitrure de gallium de tenir des tensions de claquage élevées et offre des possibilités intéressantes pour son utilisation pour des composants adaptés à la forte puissance.

I. 3. b. Densité de courant

Un moyen d'augmenter la puissance maximale P_{\max} est d'accroître le courant maximum qui peut traverser le composant.

Le courant dans un composant peut être exprimé par la formule suivante :

$$I = J \cdot z$$

où

- z est le développement du transistor (longueur du doigt de grille en mm)
- J est la densité linéique de courant par longueur de développement du transistor (A/mm)

La longueur de grille z est donnée par la taille du composant. Le courant maximum I_{max} est donc obtenu pour une densité de courant J_{max} maximum.

La densité de courant est donnée par la formule :

$$\vec{J} = q \cdot n \cdot \vec{v}$$

avec

- n la densité des porteurs (les électrons) (cm^{-3})
- \vec{v} la vitesse des porteurs (en m/s)
- q la charge d'un porteur (en C)

La densité de courant J peut être augmentée par :

- un accroissement de la densité de porteurs n ;
- une hausse de la vitesse des porteurs v .

La structure du HEMT à base de GaN qui est présentée dans la partie I. 4 permet d'obtenir une vitesse des électrons très importante dans un canal situé dans une couche de nitrure de gallium. Des modifications au niveau de la structure du composant permettent d'augmenter la densité de porteurs n dans le canal. La vitesse des porteurs dépend de la structure du composant et des paramètres du matériau. La figure I.42 présente les vitesses des électrons en fonction du champ électrique dans divers matériaux.

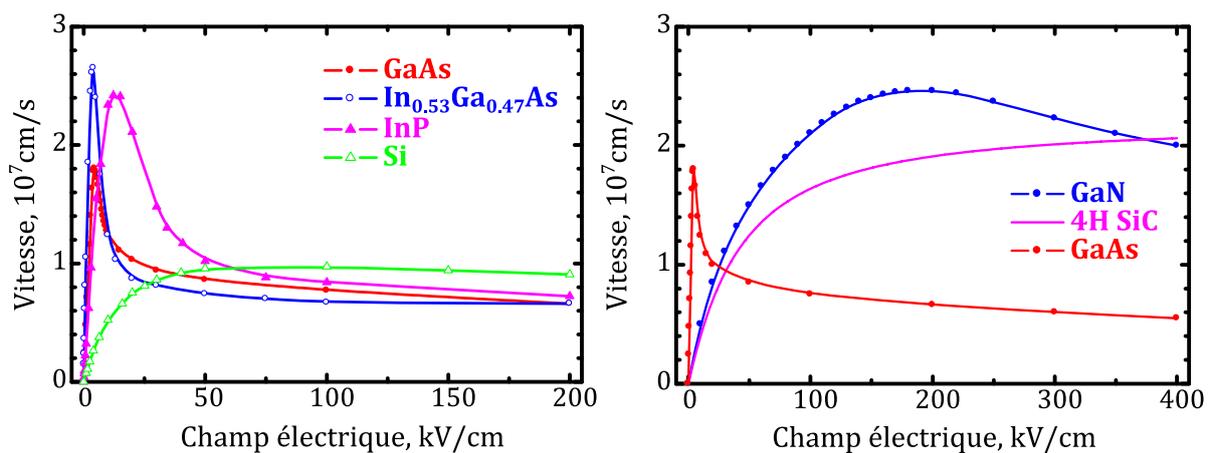


Figure I.42 : Variation de la vitesse de dérive des électrons pour différents matériaux (Si, III-V, grand gap) en fonction du champ électrique [23]

Le nitrure de gallium possède une vitesse de saturation parmi les plus élevées (environ $2 \cdot 10^7$ cm/s) avec un effet de survitesse valant presque $2,5 \cdot 10^7$ cm/s à 200 kV/cm. Cette vitesse électronique élevée, associée à une structure aidant à atteindre des densités surfaciques de

charge proches de 10^{13} e⁻ par cm² [24], permet ainsi d'obtenir des courants maximums dans les HEMT AlGaN/GaN atteignant 1 à 1,5 A/mm.

I. 3. c. Performances fréquentielles

Un paramètre pour caractériser les potentialités d'un transistor à fonctionner à haute fréquence est la fréquence de transition f_T caractérisant la fréquence pour laquelle le gain en courant du transistor est unitaire. Plus cette fréquence est élevée, plus il sera facile d'adapter le transistor pour obtenir un gain élevé à haute fréquence.

La fréquence de transition peut être approchée par l'inverse du temps de parcours des porteurs sous la grille :

$$f_T \approx \frac{v_s}{2 \cdot \pi \cdot L_{eff}}$$

avec L_{eff} la longueur de la grille effective.

Le nitrure de gallium ayant une vitesse électronique de saturation élevée, il fait partie des matériaux les plus aptes à l'amplification à haute fréquence. En prenant une vitesse de saturation $v_s = 2 \cdot 10^7$ cm.s⁻¹ et une longueur effective de grille $L_{eff} = 700$ nm, le calcul de la fréquence de transition donne 45 GHz. Pour obtenir une valeur identique de la fréquence de transition avec du silicium, il faudrait une longueur de grille $L_{eff} = 350$ nm.

I. 3. d. Propriétés thermiques du substrat

Le nitrure de gallium n'est pas un cristal facile à produire. En pratique, les transistors à base de nitrure de gallium sont réalisés par croissance par épitaxie d'une couche de nitrure de gallium sur un cristal d'un autre matériau. Le principal critère de choix du matériau de ce substrat est l'adaptation du paramètre de maille du substrat avec celui du cristal de GaN.

Les matériaux les plus utilisés pour concevoir des substrats pouvant accepter la maille de GaN sont le silicium (Si), le carbure de silicium (SiC), le nitrure de gallium (GaN) ou le saphir (Al₂O₃). Tous ne sont pas adaptés en maille ; les contraintes engendrées doivent alors être confinées dans la couche de nucléation qui permet de relâcher progressivement les contraintes introduites entre les deux cristaux (voir figures I.43 et I.46).

Le second critère de choix du substrat résulte d'un compromis entre le coût de fabrication du substrat et sa capacité à évacuer rapidement la chaleur produite au niveau du transistor.

| Matériaux du substrat | Coût | Conductivité thermique (W/cm.K) | Maturité de la technologie utilisant ce substrat |
|--|--------|---------------------------------|---|
| Saphir (Al ₂ O ₃) | Faible | 0,3 (à 100°C) | Très élevée – Ø 2" à 6" [25] – Premiers substrats pour l'épitaxie de GaN [26] |
| Silicium (Si) | Faible | 1,5 [27] | Élevée – Ø 2" à 12" [28] - Production industrielle à grande échelle des substrats |
| Nitrure de gallium (GaN) | Élevé | 1,3 [27] | Faible – Ø 2" à 3" -Technologie plus récente (1996) [29] |
| Carbure de silicium (SiC) | Élevé | 4,5 [27] | Intermédiaire – Ø 2" à 6" [30] – Fabrication des substrats onéreuse |

Tableau I.7 : Conductivité thermique et coût des substrats utilisés pour les HEMT AlGaN/GaN

Le tableau I.7 indique le coût de fabrication et la conductivité thermique des matériaux cités ci-dessus.

- Le silicium est choisi comme substrat par certains fournisseurs de composants, comme Nitronex, car son coût de fabrication est faible. Il reste moins utilisé que le carbure de silicium pour les applications à hautes fréquences. Pour les applications de commutation pour la conversion d'énergie, le silicium reste le substrat de prédilection en raison des infrastructures existantes qui offrent la possibilité d'une production de masse à moindre coût unitaire par composant.

- Le saphir est peu utilisé pour la fabrication de transistors, car il possède de mauvaises propriétés thermiques et une désadaptation de paramètre de maille de 16 % avec le cristal de GaN.

Il a été le premier substrat disponible pour faire croître du GaN. En raison de son faible coût, Il est toujours utilisé pour les étapes de maintenance des bâtis d'épitaxie et de mise au point du matériau utilisé dans les couches déposées par épitaxie.

- Le nitrure de gallium est encore difficile à utiliser comme substrat car son procédé de fabrication n'est établi que depuis quelques années

- Le substrat retenu pour des applications de petites quantités ou de hautes performances (militaire, spatial, ...) reste le carbure de silicium ; car, même si son coût de fabrication est élevé, le carbure de silicium possède une conductivité thermique très élevée (deux fois supérieure à celle du nitrure de gallium), ce qui en fait le matériau idéal pour gérer le comportement thermique des amplificateurs de puissance.

À III-V Lab, les transistors sont réalisés par épitaxie sur un substrat de carbure de silicium (SiC) en raison de son efficacité pour évacuer la chaleur produite dans la partie active du composant. Ceci permet de diminuer la température de fonctionnement du canal pour une puissance dissipée donnée.

I. 3. e. Figures de mérite

L'utilisation de figures de mérite permet de comparer de façon théorique les performances pouvant être atteintes par différents matériaux.

Trois figures de mérite sont présentées. Ce sont les figures de mérite de Johnson (JFOM), de Keyes (KFOM) et de Baliga pour les hautes fréquences (BHFFOM).

La figure de mérite de Johnson est donnée par la formule :

$$JFOM = \frac{E_c \cdot v_s}{2 \cdot \pi}$$

Où E_c est le champ électrique critique pour le claquage du matériau semi-conducteur, et v_s est la vitesse électronique à saturation.

Cette figure de mérite permet de comparer les matériaux en fonction de leur capacité à amplifier de fortes puissances [31].

La figure de mérite de Keyes est définie par la formule :

$$KFOM = \lambda \cdot \sqrt{\frac{c \cdot v_s}{4 \cdot \pi \cdot \epsilon_r}}$$

Où λ est la conductivité thermique du matériau

c est la célérité de la lumière

ϵ_r est la constante diélectrique du matériau semi-conducteur.

Ce critère détermine les limitations physiques vis-à-vis de la dissipation thermique pour utiliser le matériau en commutation [32].

Enfin, la figure de mérite de Baliga pour les hautes fréquences s'exprime par la relation suivante :

$$\text{BHFFOM} = f_B = \frac{1}{R_{\text{ON}} \cdot C_{\text{IN}}} = \mu_n \cdot E_c^2 \cdot \frac{\sqrt{V_G}}{2 \cdot V_B^{1.5}}$$

Où μ_n est la mobilité électronique dans le matériau du matériau considéré

V_G est l'amplitude de l'excursion de la tension de grille

V_B est la tension de claquage du composant

Cette formule permet de classer les matériaux en fonction de la capacité à dissiper la puissance électrique perdue lors de commutations à hautes fréquences [33].

Le tableau I.8 présente ces différentes figures de mérite pour plusieurs matériaux semi-conducteurs.

| Matériaux | ϵ_r | μ_n ($\text{cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$) | E_c ($10^6 \text{ V} \cdot \text{cm}^{-1}$) | v_s (v_{PIC}) ($\text{cm} \cdot \text{s}^{-1}$) | λ ($\text{W} \cdot \text{cm}^{-1} \cdot \text{K}^{-1}$) | Ratio JFOM | Ratio KFOM | Ratio BHFFOM |
|-----------|--------------|--|--|---|--|---------------|---------------|-----------------|
| Si | 11,8 | 1350 | 0,3 | 1 | 1,5 | 1 | 1 | 1 |
| GaAs | 12,5 | 8500 | 0,4 | 1 (2,1) | 0,45 | 1,3 | 0,3 | 9,5 |
| 4H-SiC | 10 | 700 | 3 | 2 | 4,2 | 20 | 4,3 | 13,1 |
| GaN | 9 | 1200 | 3,3 | 2 (2,7) | 1,5 | 22 | 1,6 | 27,2 |

Tableau I.8 : Figures de mérite de Johnson, Keyes et Baliga pour différents matériaux semi-conducteurs [24], [32], [33], [34], [35].

Comme le présente le tableau I.8, le matériau le plus adapté pour l'évacuation de la puissance est le carbure de silicium car ce matériau présente la valeur la plus élevée de la figure de mérite de Keyes. Par contre, le matériau le plus apte à travailler en commutation à hautes fréquences est le nitrure de gallium car sa valeur de BHFFOM est la plus élevée. L'association d'un cristal de nitrure de gallium sur un substrat de carbure de silicium est donc très appropriée pour les applications de commutation à haute fréquence et de forte puissance.

I. 4. Structure du transistor à haute mobilité électronique

Un HEMT ou *High Electron Mobility Transistor* est un transistor à haute mobilité électronique, dont le fonctionnement est celui d'un transistor à effet de champ possédant une hétérojonction. Dans le cas du HEMT AlGaIn/GaN, cette hétérojonction est constituée des couches AlGaIn et GaN. Pour le HEMT InAlN/GaN, c'est l'interface entre une couche d'InAlN et une couche de GaN qui crée l'hétérojonction.

I. 4. a. Transistors AlGaIn/GaN

Dans cette partie, nous allons décrire les principes généraux de la réalisation des transistors en AlGaIn/GaN.

I. 4. a. 1. Épitaxie des composants

Le transistor est fabriqué par épitaxie de couches composées de GaN sur un substrat de carbure de silicium (SiC) (voir la partie I. 3. d pour le choix du type de substrat). L'épitaxie utilisée est une épitaxie en phase vapeur aux organométalliques à basse pression (LP-MOVPE).

La première couche de GaN n'est pas directement déposée sur le substrat en SiC. En effet, il existe une différence entre le paramètre de maille du substrat en SiC et celui du GaN. Ceci rend difficile la croissance d'un cristal parfait de GaN sur le substrat. Afin de permettre une relaxation des tensions entre les deux cristaux et d'obtenir une adaptation progressive du paramètre de maille entre les deux cristaux, une couche de nucléation est déposée entre le substrat et le cristal de GaN (voir figure I.43).

La deuxième couche de l'hétérojonction est une couche d'AlGaN. Elle est déposée sur la couche de GaN (voir figure I.43). Cette couche contient environ 20 % de proportion d'aluminium et sa épaisseur est voisine de 20 nm.

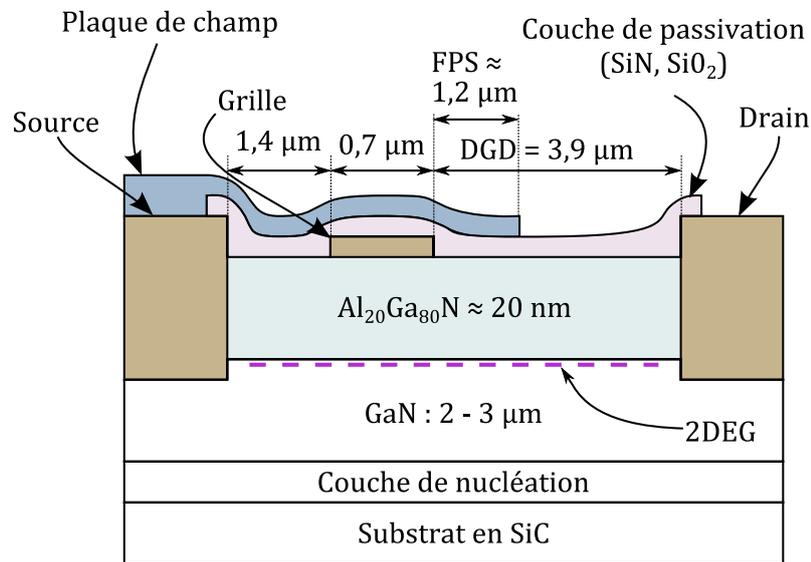


Figure I.43 : Coupe verticale d'un exemple d'HEMT AlGaIn/GaN.

I. 4. a. 2. Principe de création du canal

L'hétérojonction du HEMT est formée à la jonction des couches d'AlGaIn et de GaN.

Les cristaux en GaN et AlGaIn présentent une polarisation spontanée se traduisant par l'apparition de charges à chaque face du cristal. De plus, ces cristaux sont piézoélectriques ce qui se traduit par l'apparition d'une charge surfacique supplémentaire dépendant de la contrainte mécanique qui est appliquée sur le cristal.

L'hétérojonction AlGaIn sur GaN est constituée de deux cristaux qui n'ont pas les mêmes paramètres de maille. La croissance du cristal d'AlGaIn par épitaxie sur le cristal de GaN se traduit par l'apparition de contraintes mécaniques dans l'AlGaIn. À cause de l'effet piézoélectrique, des charges supplémentaires apparaissent à mesure que la proportion d'Aluminium augmente dans l'AlGaIn. La figure I.44 présente l'évolution de la polarisation spontanée, de la polarisation piézoélectrique de l'AlGaIn et de la densité de charges à la jonction AlGaIn/GaN en fonction du taux d'aluminium dans l'AlGaIn [36].

Les charges créées par polarisation spontanée et piézoélectrique apparaissent donc de part et d'autre des cristaux d'AlGaIn et de GaN (voir figure I.45) [36]. Cette répartition de charges

associées à une différence de hauteur de bande interdite (E_g) entre les deux cristaux conduit au diagramme de bandes d'énergie de la figure I.45. La particularité de ce diagramme est que, sans nécessité d'un dopage intentionnel, il y a création d'un puits de potentiel dans le GaN au niveau de l'hétérojonction. Les électrons, provenant des polarisations spontanée et piézoélectrique des cristaux, se regroupent dans ce puits de potentiel.

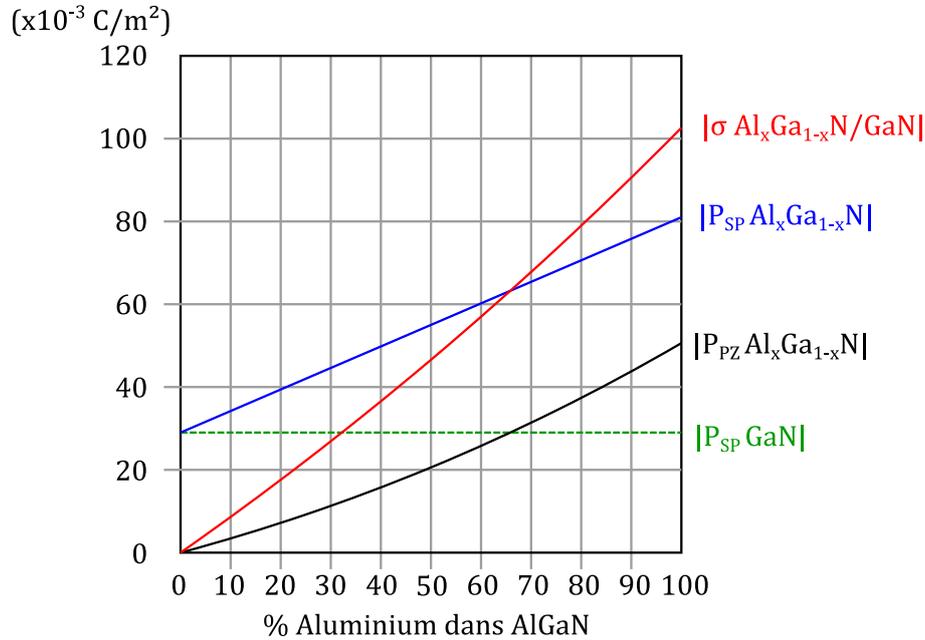


Figure I.44: Évolution des polarisations spontanée et piézoélectrique et de la densité de charges en fonction du taux d'aluminium

La finesse du puits est de quelques Angströms, ce qui lui confère un comportement quantique. La densité d'électrons y est donc très élevée et ces derniers forment un gaz bidimensionnel (2DEG) dans lequel ils se déplacent avec une vitesse très élevée. Les densités électroniques peuvent atteindre $2,4 \cdot 10^{13}$ charges par centimètre carré [37].

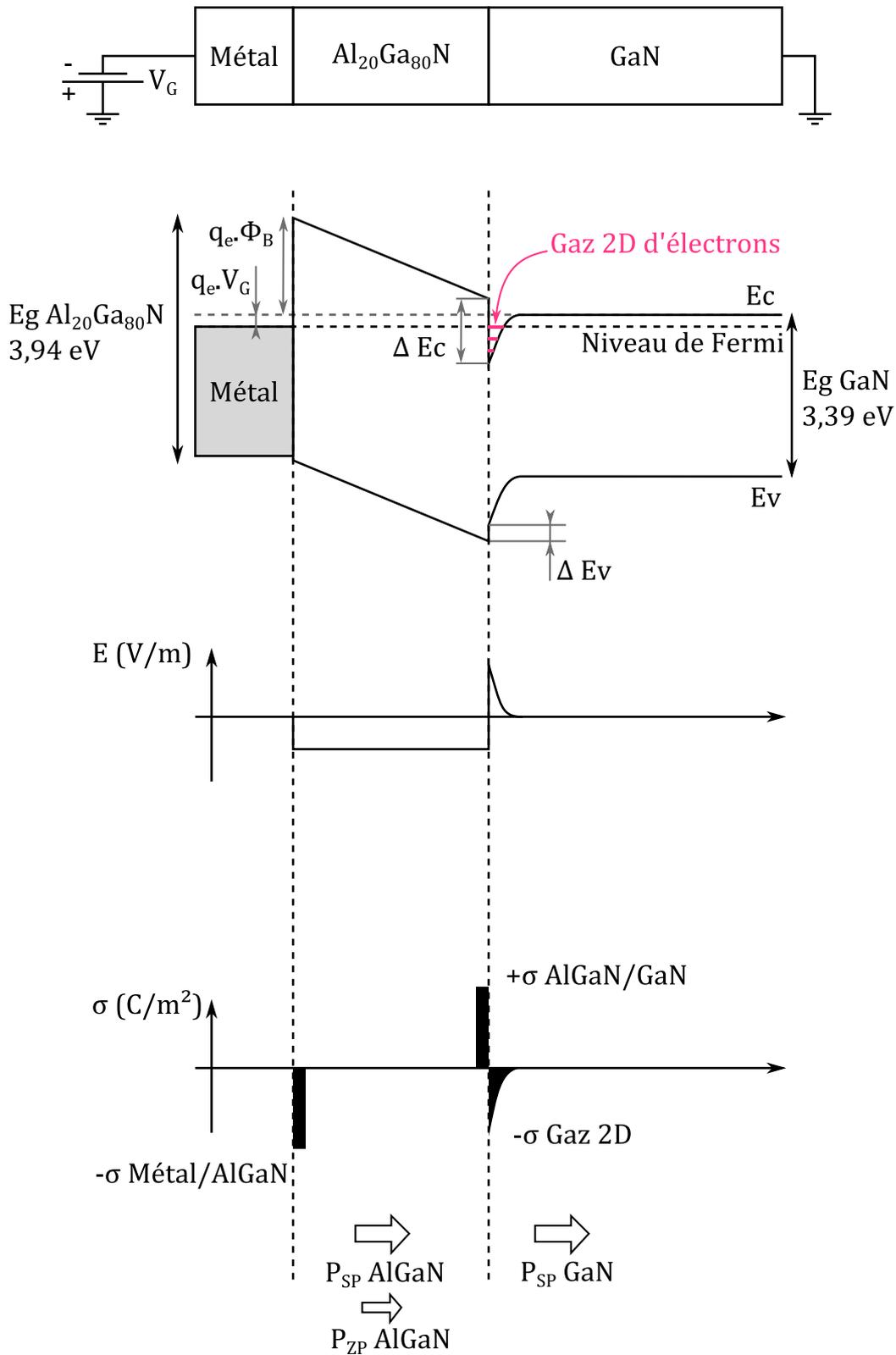


Figure I.45 : Diagramme de bandes d'énergie de l'hétérojonction AlGaN/GaN sous la grille

I. 4. b. Transistors InAlN/GaN

Nous allons décrire dans cette partie les principes généraux de la réalisation des transistors en InAlN/GaN.

I. 4. b. 1. Épitaxie des composants

Comme pour les transistors en AlGaN/GaN, l'épitaxie des transistors en InAlN/GaN commence par la croissance d'un cristal de GaN sur un substrat en carbure de silicium SiC. Une couche de nucléation est préalablement déposée entre le GaN et le SiC afin de relâcher progressivement les contraintes mécaniques introduites par la différence de paramètre de maille entre le SiC et le GaN (voir figure I.46).

La deuxième couche de l'hétérojonction est une couche d'InAlN. Afin de rendre l'hétérojonction InAlN/GaN efficace [37], une couche en AlN d'épaisseur voisine de 1 nm est déposée sur le cristal de GaN. La couche en InAlN avec 18% d'indium est déposée sur l'AlN avec une épaisseur de 10 nm environ (voir figure I.46)

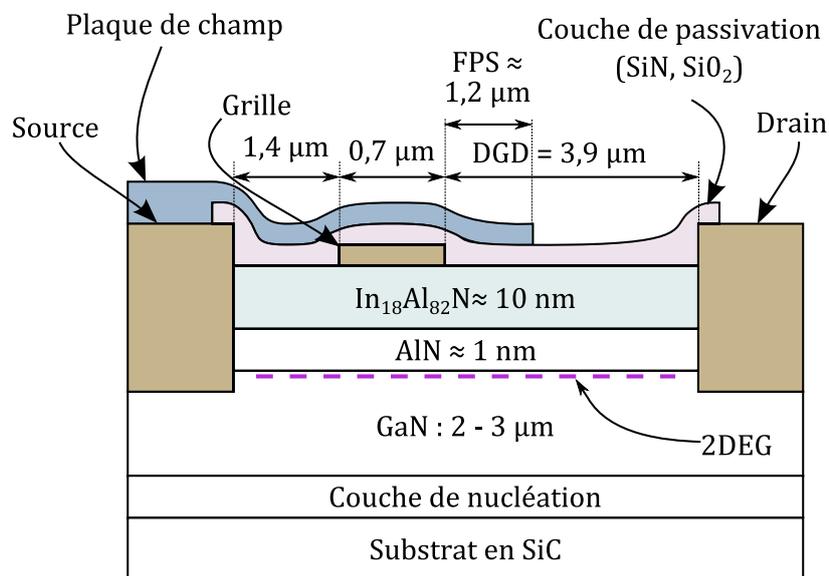


Figure I.46 : Coupe verticale d'un HEMT InAlN/GaN.

I. 4. b. 2. Principe de création du canal

L'hétérojonction du HEMT est formée à la jonction des couches d'InAlN, d'AlN et de GaN.

Les cristaux en GaN, AlN et InAlN présentent une polarisation spontanée se traduisant par l'apparition de charges à chaque face du cristal. De plus, ces cristaux sont piézoélectriques, ce qui se traduit par l'apparition d'une charge surfacique supplémentaire dépendant de la contrainte mécanique qui est appliquée sur le cristal.

L'hétérojonction InAlN/AlN/GaN est constituée des deux principaux cristaux InAlN et GaN qui sont adaptés en paramètre de maille pour une proportion de 18% d'Indium dans l'InAlN (voir figure I.47). Il n'y a donc pas création de polarisation par piézoélectricité mais la densité de charges créée par polarisation spontanée de cette hétérojonction ($-0,04 \text{ C/m}^2$) est plus élevée que la densité de charges de l'hétérojonction AlGaN/GaN ($-0,03 \text{ C/m}^2$) (voir figures I.44 et I.47). L'hétérojonction en InAlN/GaN possède donc l'avantage de proposer une polarisation plus forte qui peut conduire à des courants plus élevés tout en limitant les contraintes mécaniques au sein de l'hétérojonction.

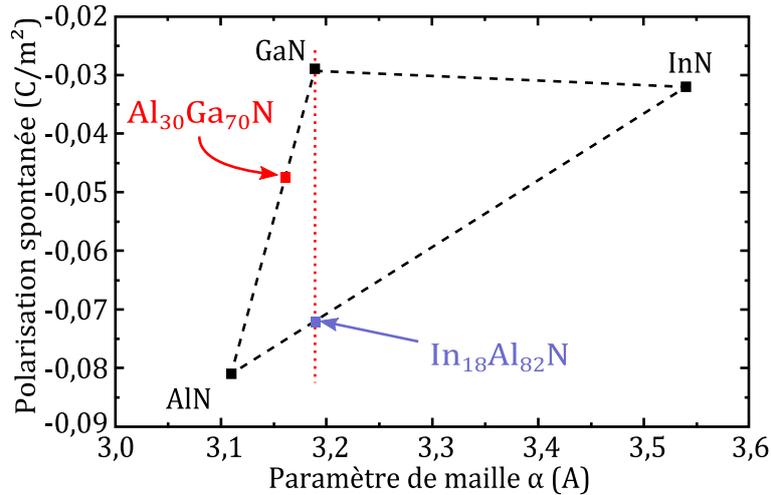


Figure I.47 : Polarisation spontanée en fonction du paramètre de maille pour différents composés en GaN, AlN et InN

Les charges créées par polarisations spontanée apparaissent donc de part et d'autre des cristaux d'InAlN et de GaN (voir figure I.48) [37]. Cette répartition de charges associée à une différence de hauteur de bande interdite (E_g) entre les deux cristaux conduit au diagramme de bandes d'énergie de la figure I.48. Nous retrouvons alors un fonctionnement similaire au HEMT AlGAN/GaN.

L'utilisation de l'hétérojonction InAlN/GaN permet donc d'obtenir une densité de porteurs dans le canal plus élevée en ayant une diminution des contraintes mécaniques à l'interface, par rapport à l'hétérojonction AlGAN/GaN.

I. 4. c. Structure des transistors

Les HEMT AlGAN/GaN et InAlN/GaN possèdent une structure horizontale similaire. Elle est composée de trois électrodes (une source, une grille et un drain, voir figures I.43 et I.46), [38] et [39]. L'électrode de grille permet de contrôler le courant circulant dans le canal entre les électrodes de drain et de source.

La distance qui sépare la grille du drain est notée DGD. Dans le cas de transistors du III-V Lab, et pour des applications autour de quelques gigahertz, la distance DGD vaut entre 3 et 4 μm ; la longueur de grille (L_g) est de 0,7 μm et la distance entre la grille et la source (DGS) est autour de 1 μm .

Des plaques de champs, de l'anglais *Field plate*, et notée *FP*, peuvent être déposées sur le composant. La *Field Plate* de source (*FPS*) est une plaque de métal partant du plot de source passant au-dessus de la grille et s'étendant jusqu'au-dessus de la zone entre la grille et le drain. L'extension de *FPS* à partir du bord de la grille vers le drain est un paramètre ajustable en fonction des objectifs retenus. Son ordre de grandeur est de 1 μm . L'objectif de cette *FPS* est d'étaler le pic de champ électrique qui existe en sortie de grille dans la zone entre la grille et le drain et de permettre au composant de résister au claquage pour des tensions V_{DG} plus élevées.

Une partie des travaux présentés dans ce manuscrit consiste à étudier l'impact des ces distances sur les performances des composants. Elles sont décrites dans le chapitre II.

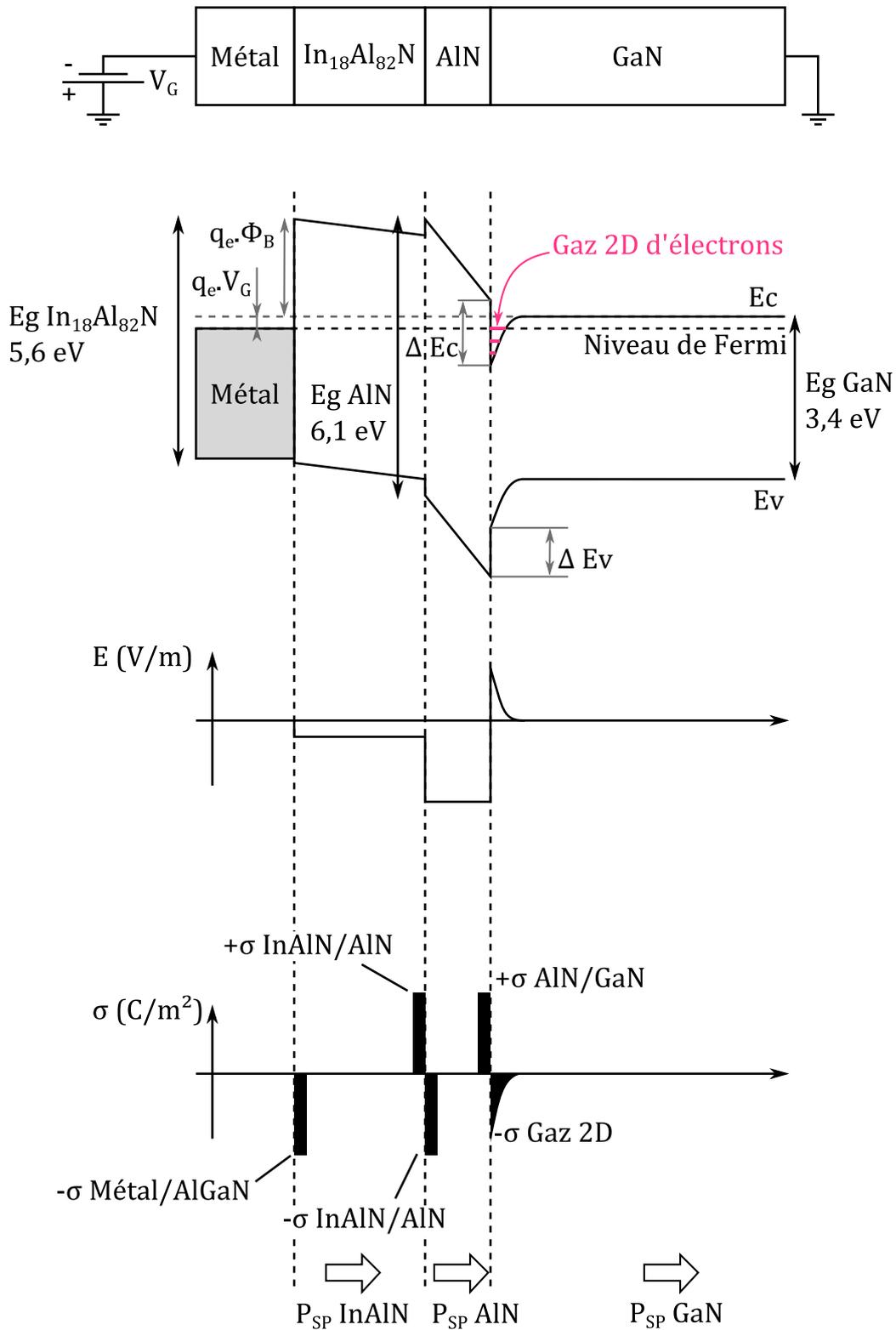


Figure I.48 : Diagramme de bandes d'énergie de l'hétérojonction InAlN/GaN sous la grille

I. 5. Paramètres pour améliorer la puissance ou la commutation des transistors

Les transistors, dont la structure a été présentée dans la partie I. 4, sont adaptés pour un fonctionnement à forte puissance pour des fréquences autour de quelques gigahertz. Les HEMT à base de GaN peuvent aussi être utilisés dans d'autres applications comme l'amplification à très hautes fréquences (entre 20 et 30 GHz), ou la conversion d'énergie avec l'utilisation de signaux commutés.

Des modifications doivent être apportées à la fabrication des composants afin de s'orienter sur l'une ou l'autre des améliorations citées ci-dessus.

Ce paragraphe présente une liste non-exhaustive des modifications réalisables pour améliorer le comportement en fréquence des transistors puis une liste non-exhaustive des modifications aidant à augmenter la puissance de sortie.

Pour trouver des pistes pour augmenter la fréquence de fonctionnement des HEMT, il est intéressant d'analyser la formule de la fréquence de transition f_T . Présentée dans la partie I. 3. c, la fréquence de transition f_t peut-être approchée par l'équation suivante :

$$f_T \approx \frac{V_s}{2 \cdot \pi \cdot L_{eff}}$$

V_s correspond à la vitesse des porteurs (ici les électrons) sous la grille. Pour les HEMT AlGaIn/GaN, elle peut être légèrement modifiée en ajustant la concentration d'Aluminium dans l'AlGaIn, ce qui s'accompagne aussi par des modifications des autres propriétés physiques comme la tenue en tension ou la densité de porteurs dans le canal. Mais, cette vitesse reste principalement déterminée par les propriétés intrinsèques des matériaux AlGaIn, GaN et InAlN.

La longueur efficace L_{eff} de la grille peut être choisie plus courte pour augmenter la fréquence f_T . Les transistors réalisés à III-V lab, et visant des fréquences de fonctionnement supérieures à 20 GHz, sont conçus avec des longueurs de grille de 250 μm voire de 150 μm .

Une autre formule pour approcher la fréquence de transition sera utilisée en partie II. 2. Elle est présentée ici :

$$f_T = \frac{g_m}{2 \cdot \pi \cdot (C_{GS} + C_{GD})}$$

Où

- g_m est la transconductance du transistor
- C_{GS} et C_{GD} sont respectivement les capacités entre la grille et la source et entre la grille et le drain dans le modèle en petits signaux présenté dans la partie II. 2. b.

L'augmentation de la fréquence f_T peut donc être obtenue en diminuant les valeurs des capacités C_{GS} et C_{GD} . Nous nous attendons à diminuer les valeurs de ces capacités en privilégiant les transistors de petite taille car leur surface est plus faible.

Par ailleurs, l'augmentation de la puissance de sortie est principalement obtenue par l'augmentation du courant maximal dans le transistor et par l'augmentation de la tenue en tension du transistor.

Les transistors avec de plus grands développements peuvent être traversés par plus de courant. En contre partie, leur surface est plus importante. Les valeurs des capacités peuvent

alors être augmentées, ce qui fait diminuer les performances en fréquence du transistor. Toutefois, la résistance à l'état passant R_{ON} de ces transistors est diminuée. Il y a donc une diminution des pertes par conduction dans le transistor, ce qui peut conduire à une amélioration du rendement. Il apparait donc un compromis entre rendement, fonctionnement à forte puissance et fonctionnement à haute fréquence.

L'excursion maximale de la tension aux bornes du transistor est limitée par sa tenue en tension, en particulier par les phénomènes de claquage. Les choix entre différents matériaux permettent d'obtenir des tenues en tension élevées. En particulier, l'association du GaN sur des substrats de carbure de silicium présente des figures de mérite élevées pour la tenue en tension (voir partie I. 3. e).

Une autre technique consiste à modifier la structure du composant afin de changer la répartition du champ électrique dans le composant et de réduire les pics de champ électrique pouvant conduire au déclenchement du claquage. Des variantes dans la structure des transistors sont étudiées dans la partie II. L'objectif y est de détecter un impact des dimensions du transistor sur la tenue en tension. Dans ce but, comme le présente la partie I. 4, des plaques de champ ont aussi été ajoutées au transistor afin d'étaler le champ électrique en sortie de grille et de tenir des tensions V_{DG} plus élevées.

Finalement, différentes voies existent afin d'augmenter le rendement, la puissance de sortie ou la fréquence de fonctionnement du transistor. Ces pistes concernent aussi bien les modes de polarisation des composants que les étapes technologiques, la croissance par épitaxie, ou le choix dans la structure ou la taille du transistor.

La partie II étudie l'influence de ces choix de structure du composant sur les performances fréquentielles et en puissance.

I. 6. État de l'art des performances des transistors à haute mobilité électronique à base de nitrure de gallium

Les performances d'amplificateurs utilisant des transistors à base de GaN sont présentées dans le tableau I.9. Ce tableau regroupe les résultats, dont nous avons connaissance, pour des fonctionnements à forte puissance pour les classes de fonctionnement traditionnelles autour de quelques gigahertz, mais aussi les classes de fonctionnement E et F.

Les différentes performances relevées ont été reportées sur les deux graphiques de la figure I.49, afin de comparer leur rendement en puissance ajoutée (PAE) en fonction de la puissance de sortie des amplificateurs et en fonction de la densité de puissance associée.

| Réf. | Transistor (Substrat) | P _{OUT} | P _{OUT} /W _G | PAE | Gain | Fréq. | V _{DS0} | Date | Commentaires |
|------|----------------------------------|------------------|----------------------------------|------|---------|----------|------------------|-----------|----------------------------------|
| [40] | AlGaIn/GaN HEMT III-V LAB (SiC) | 85 W | 2,6 W/mm | 38 % | 10,6 dB | 2,7 GHz | 40 V | Déc.-2009 | Classe B - pulsée |
| [41] | AlGaIn/GaN HEMT Eudyna (SiC) | 100 W | 2,7 W/mm | 58 % | 12,5 dB | 2,8 GHz | 50 V | Oct.-2005 | Classe AB - pulsée |
| [42] | AlGaIn/GaN HEMT Nitronex (Si) | 156 W | 2,2 W/mm | 56 % | 9 dB | 2,1 GHz | 28 V | Jun-2005 | Classe AB |
| [43] | AlGaIn/GaN HEMT Futjisu (SiC) | 150 W | 4,2 W/m | 54 % | 13 dB | 2,1 GHz | 63 V | Déc.-2003 | Classe AB |
| [44] | AlGaIn/GaN HEMT NEC (SiC) | 230 W(*) | 4,8 W/mm | 67 % | 9 dB | 2 GHz | 53 V | Nov.-2004 | Classe AB |
| [45] | AlGaIn/GaN HEMT RFMD (SiC) | 434 W | 4,9 W/mm | 53 % | 9 dB | 3,4 GHz | 65 V | Jun-2008 | Classe AB - Pulsée |
| [46] | AlGaIn/GaN HEMT Cree (SiC) | 550 W | 9,5 W/mm | 68 % | 11 dB | 3,6 GHz | 55 V | Déc.-2006 | Classe C - pulsée |
| [47] | AlGaIn/GaN UMS GH50_10 (SiC) | 40 W | 2,8 W/mm | 58 % | 11 dB | 3,3 GHz | 50 V | Jun-2012 | Classe F - pulsée |
| [48] | GaN Cree 10W CGH40010F (SiC) | 10 W | - | 75 % | 12 dB | 2,8 GHz | - | Jun-2012 | Classe F - 1,3-3,3 GHz - Doherty |
| [49] | GaN CREE CGH60015DE (SiC) | 11 W | - | 78 % | 11 dB | 3,5 GHz | 28 V | Sep-2009 | Classe F |
| [50] | HEMT GaN Cree CGH40045 (SiC) | 56 W | - | 71 % | 15 dB | 2,1 GHz | 28 V | Sep-2010 | Classe F |
| [15] | GaN HEMT CGH40045F Cree (SiC) | 66 W | - | 63 % | 9,5 dB | 2 GHz | 28 V | Jun-2012 | Classe F - Doherty |
| [51] | HEMT GaN NEC Corporation (SiC) | 95 W | 4,0 W/mm | 72 % | 16 dB | 2,6 GHz | 40 V | Jun-2012 | Classe F |
| [52] | HEMT AlGaIn/GaN Eudyna (SiC) | 100 W | 5 W/mm | 70 % | 12 dB | 2,14 GHz | 55V | Sep-2006 | Classe E |
| [16] | HEMT AlGaIn/GaN Sumitomo | 305 W | 3,8 W/mm | 62 % | 12 dB | 2,6 GHz | 50 V | Jun-2012 | Classe F - Pulsée |
| [53] | HEMT AlGaIn/GaN Mitsubishi (SiC) | 330 W (*) | 5,2 W/mm | 62 % | 12 dB | 2,7 GHz | 60 V | Oct.-2011 | Classe E/F Pulsée |
| [54] | HEMT AlGaIn/GaN Mitsubishi (SiC) | 360 W | 3,1 W/mm | 65 % | 12 dB | 2 GHz | 53 V | Jun-2012 | Classe E |
| [55] | HEMT InAlN/GaN III-V Lab (SiC) | 9,8 W (*) | 8,2 W/mm | 65 % | - | 3,5 GHz | 25 V | Sep-2010 | Classe A |
| [56] | HEMT InAlN/GaN III-V Lab (SiC) | 56 W (*) | 2,9 W/mm | 54 % | 9,6 dB | 2 GHz | 20 V | Oct.-2011 | Classe AB - Pulsée |
| [57] | InAlN/GaN HEMT III-V Lab(SiC) | 240 W | 3,3 W/mm | 34 % | 10 dB | 2 GHz | 30 V | Oct-2011 | Classe B - Pulsée |

(* : Performances obtenues sur puces)

Tableau I.9 : Comparaison des performances d'amplificateurs RF à base de HEMT GaN.

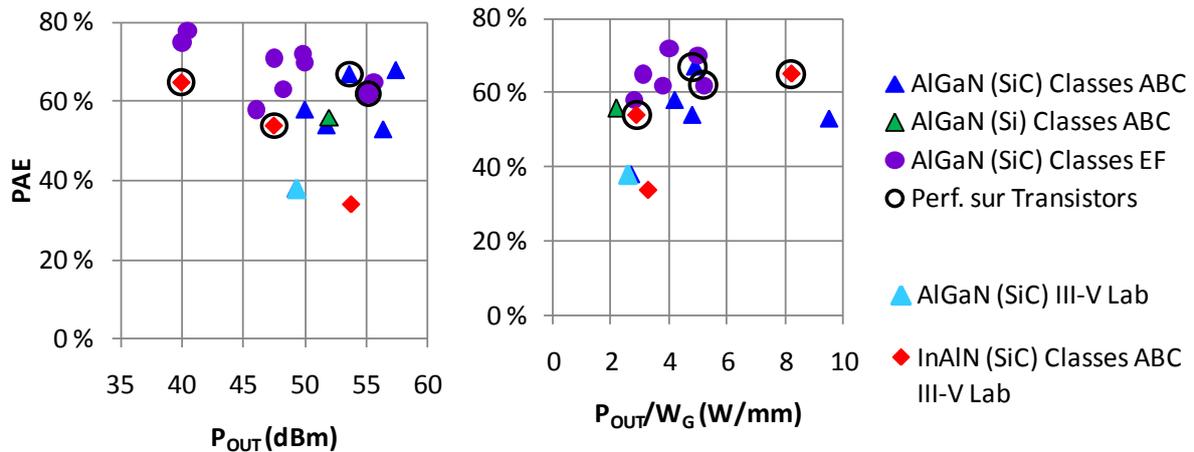


Figure I.49 : PAE en fonction de la puissance P_{OUT} pour les différents articles cités

Depuis plusieurs années, des amplificateurs de très forte puissance (environ 100 W) à base de GaN sont proposés avec des fonctionnements en classes traditionnelles A, AB, B et C. ces amplificateurs présentent de fortes puissances avec des rendements en puissance ajoutée PAE voisins de 50 % à 70 % [40], [41], [42], [43], [44], [45] et [46].

Plus récemment, des amplificateurs fonctionnant en classes E et F permettent d'atteindre les mêmes performances en termes de densité de puissance et de rendement [47], [48], [49], [50], [51], [52], [16], [53] et [54]. Le fonctionnement en classes E et F permet dans certains cas d'obtenir des bandes passantes importantes [48], [53]. Ces classes de fonctionnement ont permis d'obtenir des plus hauts rendements (proches de 80%) avec des puissances plus faibles [48], [49].

Les derniers travaux à III-V Lab [55], [56] et [57] ont permis d'obtenir des amplificateurs à base d'InAlN ayant des performances tout à fait comparables aux circuits à base d'AlGaN mais en utilisant des classes de fonctionnement traditionnelles et en ayant une maturité technologique moins ancienne.

Conclusion

Dans ce chapitre, nous avons d'abord rappelé les différentes techniques de polarisation des transistors ; ce sont les classes de fonctionnement. L'impact de celles-ci sur les performances des composants a été présenté. Les classes à haut rendement, telles que les classes D, E, F, J et S, ont été également décrites. Elles permettent une mise en forme des signaux électriques qui augmente la puissance de sortie et le rendement des amplificateurs. L'utilisation de composants à base de GaN leur est appropriée en raison de leur temps de commutation court. L'amélioration des performances peut également être réalisée par des architectures spécifiques dont nous avons présenté les principales.

Dans une deuxième partie, nous avons présenté les avantages du matériau à base de GaN pour les composants semi-conducteurs destinés à l'amplification de puissance en hyperfréquence. La structure des composants HEMT réalisés à III-V Lab a aussi été décrite et a permis d'expliquer l'intérêt de l'hétérojonction InAlN/GaN par rapport à l'hétérojonction AlGaIn/GaN pour ce type de composants.

Enfin, un état de l'art donne une vue plus globale des performances des composants obtenus en GaN ces dernières années, notamment en utilisant des classes de fonctionnement à haut rendement. Ces dernières sont, aujourd'hui, fortement étudiées par la communauté scientifique, en raison de l'amélioration en puissance, en rendement et en bande passante qu'elles permettent d'obtenir.

Chapitre II : Caractérisation et modélisation du transistor élémentaire

La technologie HEMT à base de GaN a été présentée dans ce manuscrit. Des composants réalisés dans cette technologie ont été caractérisés et modélisés afin de correctement prévoir le comportement des circuits étudiés dans le chapitre III.

Cette partie décrit les différentes mesures statiques et en impulsions qui permettent de déterminer les limites d'utilisation en tension des composants et l'influence des pièges. Des mesures de paramètres S montrent le comportement de la technologie en fonction de la fréquence.

Enfin, une description du modèle du transistor est faite. Ce modèle sera utilisé pour les simulations réalisées dans la partie III.

II. 1. Caractéristiques courant-tension

Ce paragraphe présente les mesures des caractéristiques électriques des HEMT à base de GaN. Les mesures ont été réalisées en statique (DC) et en impulsions, afin de déterminer l'influence des pièges sur les réseaux courant-tension I_d - V_{ds} des transistors ainsi que sur la tenue en tension des composants.

II. 1. a. Réseaux de caractéristiques statiques

Des mesures statiques de réseaux I_d - V_{ds} et I_d - V_{gs} ont été réalisées sur des transistors de petits développements de grille ($2 \times 100 \mu\text{m}$). Ces transistors sont présents en plusieurs exemplaires sur chaque plaque en présentant des variantes en termes d'extension de la plaque de champ reliée à la source FPS , de la présence ou non d'une plaque de champ reliée au drain FPD et de la distance DGD . Ceci permet d'étudier l'influence de ces paramètres sur les caractéristiques statiques. Les transistors ont tous des longueurs de grille de $0,7 \mu\text{m}$ et une distance grille-source DGS de $1,4 \mu\text{m}$.

La figure II.1 rappelle la structure des composants avec la position des différents paramètres variables (FPS , FPD et DGD).

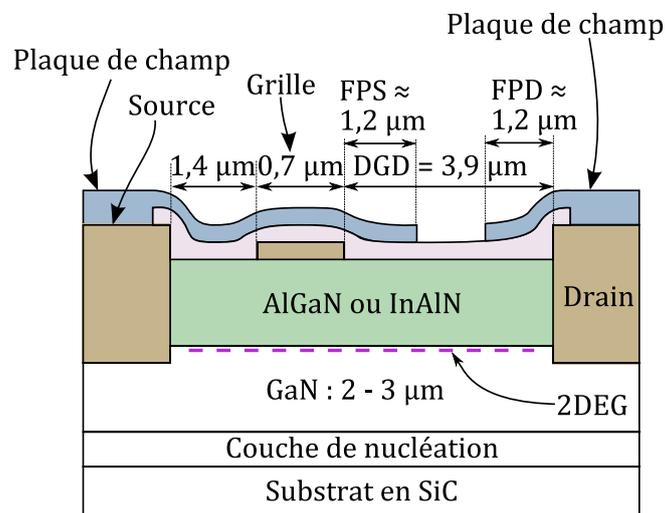


Figure II.1: Structure des composants HEMT à base de GaN

Les différentes variantes de transistors ont été caractérisées sur plusieurs plaques. Le tableau II.1 détaille la liste des plaques et les matériaux des substrats associés. Deux caractéristiques sont aussi indiquées. Ce sont l'estimation de la tension de pincement V_p et la densité de porteurs dans le gaz électronique n_s (exprimée en électrons e^- par cm^2). Ces valeurs sont obtenues à partir de mesures de caractéristiques Capacité-Tension C - V directement sur la plaque entre les étapes d'épitaxie et celles de fabrication de la structure du transistor.

| Nom de la plaque | A | B | C | D |
|------------------|--|------------------|--|--|
| Matériaux | AlGaIn/GaN | AlGaIn/GaN | InAlIn/GaN | InAlIn/GaN |
| Estimation V_p | ≈ -1 V | $\approx -2,3$ V | ≈ -3 V | $\approx -2,2$ V |
| Densité n_s | $2,4 \cdot 10^{12}$ e-/cm ² | Non caractérisée | $1,5 \cdot 10^{13}$ e-/cm ² | $1,1 \cdot 10^{13}$ e-/cm ² |

Tableau II.1 : Liste des plaques utilisées et matériaux associés

Les figures II.2 et II.3 présentent les caractéristiques statiques obtenues pour un transistor CL8 sur la plaque C-InAlIn/GaN.

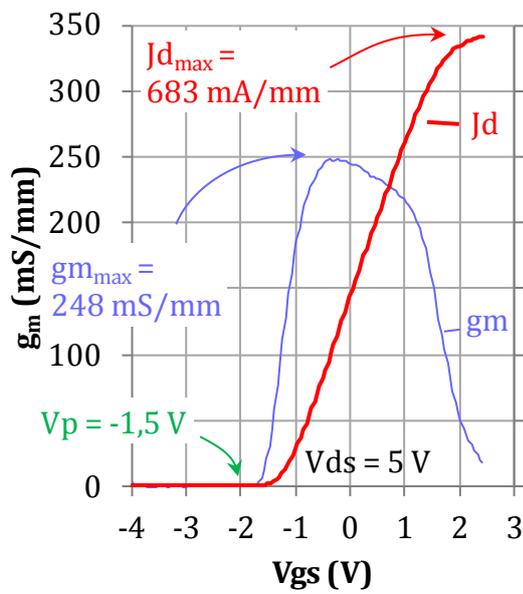


Figure II.2 : J_d et g_m en fonction de V_{gs} pour $V_{ds} = 5$ V, transistor $2 \times 100 \mu\text{m}$ CL8, plaque C-InAlIn/GaN.

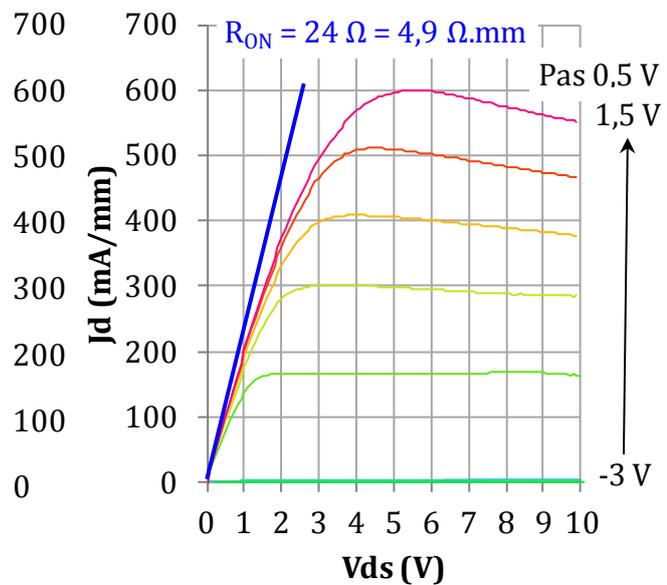


Figure II.3 : Réseau J_d en fonction de V_{ds} , transistor $2 \times 100 \mu\text{m}$ CL8, plaque C-InAlIn/GaN.

La tension de pincement du transistor est proche de $-1,5$ V. Le courant maximal, pour $V_{ds} = 5$ V, est $I_d = 137$ mA ($J_d = 683$ mA/mm), atteint pour $V_{gs} \approx 2,5$ V. La transconductance g_m maximale est de 248 mS/mm. La résistance à l'état passant R_{ON} vaut $4,9 \Omega \cdot \text{mm}$.

Ces paramètres, R_{ON} , g_m^{MAX} , V_p et I_d^{MAX} , ont été relevés pour plusieurs variantes de transistors sur les différentes plaques. Les résultats sont présentés ci-dessous. Ils ont été regroupés en fonction de chaque variante dans la structure du transistor.

Certaines grandeurs, comme le courant de drain I_d ou la conductance g_m , sont parfois exprimées en densité en fonction de la longueur totale de développement de la grille des transistors. Certaines notations changent, comme par exemple, la densité de courant de drain qui est alors notée J_d (en A/m).

II. 1. a. 1. Impact de la plaque FPS

L'impact de la plaque de champ reliée à la source FPS peut-être étudié à l'aide des quatre types de transistors présentés dans le tableau II.2.

| Nom du transistor | Longueur de grille Lg | Développement de grille | DGS | DGD | FPS | FPD |
|-------------------|-----------------------|-------------------------|--------|--------|------------|------------|
| CL1 | 0,7 μm | 2x100 μm | 1,4 μm | 3,9 μm | 1,2 μm | Pas de FPD |
| CL2 | 0,7 μm | 2x100 μm | 1,4 μm | 3,9 μm | Pas de FPS | Pas de FPD |
| CL5 | 0,7 μm | 2x100 μm | 1,4 μm | 3,9 μm | 1,7 μm | Pas de FPD |
| CL6 | 0,7 μm | 2x100 μm | 1,4 μm | 3,9 μm | 2,2 μm | Pas de FPD |

Tableau II.2 : Structure des transistors avec différentes variantes de FPS.

Les figures II.4 à II.7 présentent l'évolution de la résistance à l'état passant R_{ON} en fonction de l'extension de FPS pour les quatre plaques présentées dans le tableau II.1. Comme le montrent ces figures, la plaque de champ reliée à la source FPS n'a pas d'impact sur la résistance à l'état passant R_{ON} . Les plaques en AlGaN/GaN (plaques A et B) ont une résistance à l'état passant R_{ON} plus élevée que les plaques en InAlN/GaN (plaques C et D).

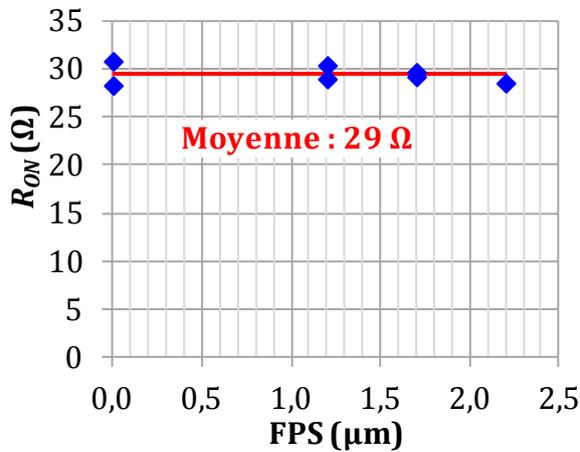


Figure II.4: R_{ON} en fonction de l'extension de FPS pour la plaque A-AlGaN/GaN

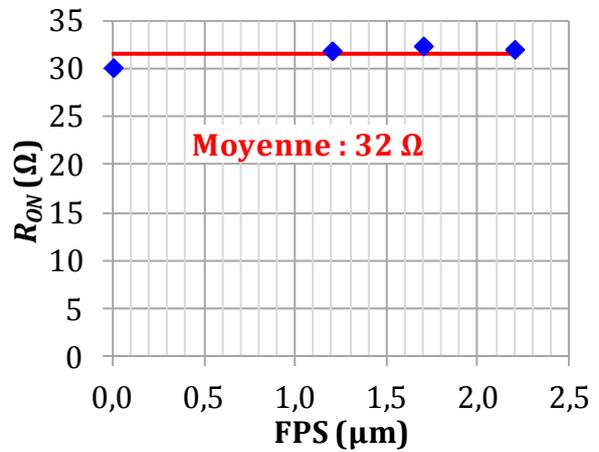


Figure II.5: R_{ON} en fonction de l'extension de FPS pour la plaque B-AlGaN/GaN

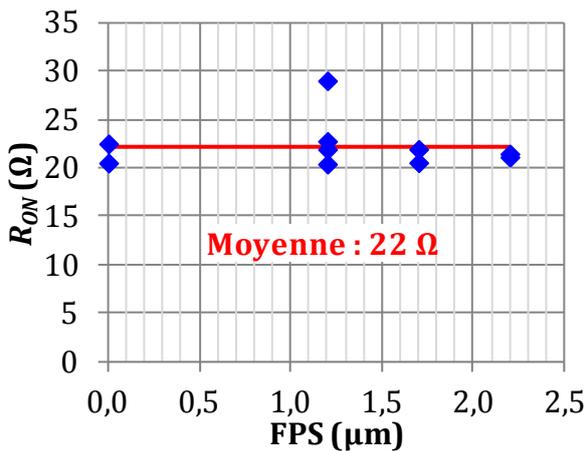


Figure II.6 : R_{ON} en fonction de l'extension de FPS pour la plaque C-InAlN/GaN

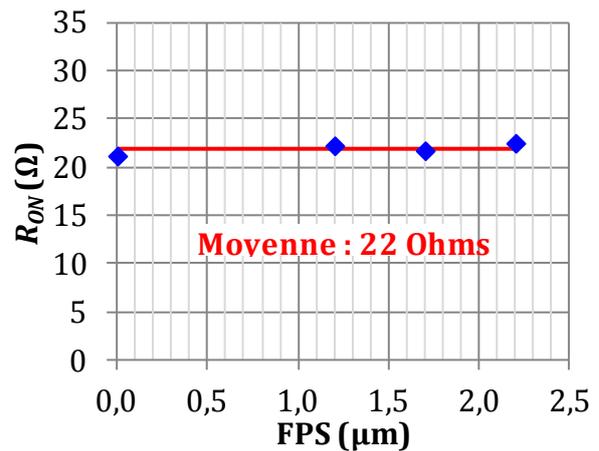


Figure II.7 : R_{ON} en fonction de l'extension de FPS pour la plaque D-InAlN/GaN

Les figures A.1 à A.9 présentées dans l'annexe A.1 montrent que la plaque de champ reliée à la source FPS n'a pas d'impact sur la transconductance maximale g_m^{MAX} , ni sur la tension de pincement V_p , ni sur le courant maximal à saturation I_d^{MAX} .

L'ajout d'une plaque de champ reliée à la source *FPS* n'a donc pas d'impact sur les paramètres statiques R_{ON} , g_m^{MAX} , V_p et I_d^{MAX} . L'allongement de l'extension de cette *FPS* n'a pas d'avantage d'impact.

Nous remarquons aussi que les plaques en AlGaIn/GaN (plaques A et B) ont une transconductance maximale g_m^{MAX} plus faible que les plaques en InAlN/GaN (plaques C et D).

II. 1. a. 2. Impact de la plaque FPD

L'impact de la plaque de champ reliée au drain *FPD* peut-être étudié à l'aide des quatre types de transistors présentés dans le tableau II.3. Deux types de transistors possèdent une plaque de champ reliée à la source *FPS* ; les deux autres types n'en possèdent pas. Les résultats précédents, présentés dans la partie II. 1. a. 1, ont montré que la *FPS* n'a pas d'impact sur les paramètres statiques. Les transistors avec et sans *FPS* peuvent donc être rassemblés pour étudier l'impact de *FPD*.

| Nom du transistor | Longueur de grille Lg | Développement de grille | DGS | DGD | FPS | FPD |
|-------------------|-----------------------|-------------------------|--------|--------|------------|------------|
| CL1 | 0,7 μm | 2x100 μm | 1,4 μm | 3,9 μm | 1,2 μm | Pas de FPD |
| CL3 | 0,7 μm | 2x100 μm | 1,4 μm | 3,9 μm | 1,2 μm | 1,2 μm |
| CL2 | 0,7 μm | 2x100 μm | 1,4 μm | 3,9 μm | Pas de FPS | Pas de FPD |
| CL4 | 0,7 μm | 2x100 μm | 1,4 μm | 3,9 μm | Pas de FPS | 1,2 μm |

Tableau II.3 : Structure des transistors avec différentes variantes de FPD.

Les figures II.8 à II.10 présentent l'évolution de la résistance à l'état passant R_{ON} en fonction de la présence de *FPD*. Il n'y a pas eu assez de transistors mesurés pour relever l'impact de *FPD* sur la plaque B-AlGaIn/GaN. Les résultats de cette plaque ne seront pas présentés dans cette partie. Comme le montrent les figures II.8 à II.10, la plaque de champ reliée au drain *FPD* n'a pas d'impact sur la résistance à l'état passant R_{ON} .

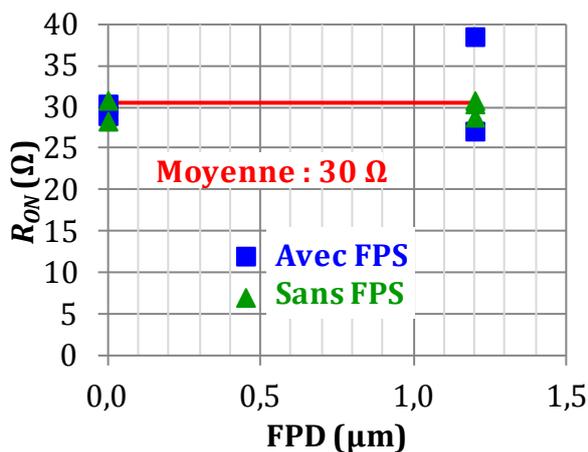


Figure II.8: R_{ON} en fonction de la présence de *FPD* pour la plaque A-AlGaIn/GaN

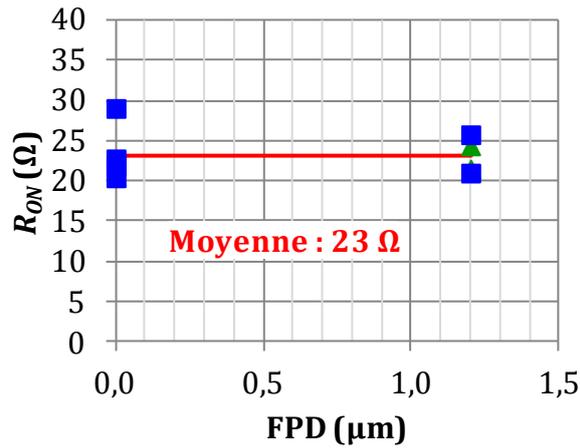


Figure II.9 : R_{ON} en fonction de la présence de FPD pour la plaque C-InAlN/GaN

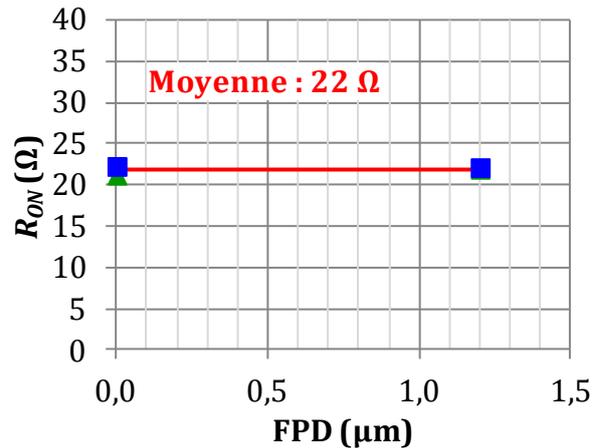


Figure II.10 : R_{ON} en fonction de la présence de FPD pour la plaque D-InAlN/GaN

Les figures A.10 à A.16 présentées dans l'annexe A.2 montrent que la présence de la plaque de champ reliée au drain FPD n'a pas d'impact sur la transconductance maximale g_m^{MAX} , ni sur la tension de pincement V_p , ni sur le courant maximal à saturation I_d^{MAX} .

L'ajout d'une plaque de champ reliée au drain FPD n'a pas d'impact sur les paramètres statiques R_{ON} , g_m^{MAX} , V_p et I_d^{MAX} .

II. 1. a. 3. Impact de la distance DGD

L'impact de la distance DGD peut-être étudié à l'aide des trois types de transistors présentés dans le tableau II.4.

| Nom du transistor | Longueur de grille Lg | Développement de grille | DGS | DGD | FPS | FPD |
|-------------------|-----------------------|-------------------------|--------|--------|--------|------------|
| CL1 | 0,7 μm | 2x100 μm | 1,4 μm | 3,9 μm | 1,2 μm | Pas de FPD |
| CL7 | 0,7 μm | 2x100 μm | 1,4 μm | 4,9 μm | 1,2 μm | Pas de FPD |
| CL8 | 0,7 μm | 2x100 μm | 1,4 μm | 5,9 μm | 1,2 μm | 1,2 μm |

Tableau II.4 : Structure des transistors avec différentes variantes de DGD.

Les figures II.11 à II.14 présentent l'évolution de la résistance à l'état passant R_{ON} en fonction de la distance DGD pour les quatre plaques présentées dans le tableau II.1. Comme le montrent ces figures, la résistance à l'état passant R_{ON} augmente en fonction de la distance DGD. Pour chaque graphique, une régression linéaire est réalisée avec les différents points indiqués. Cette droite de régression est tracée sur chaque figure. La pente de cette régression n'est pas la même pour chaque plaque. Les plaques en AlGaIn/GaN (plaques A et B) ont une résistance à l'état passant R_{ON} plus élevée que les plaques en InAlN/GaN (plaques C et D).

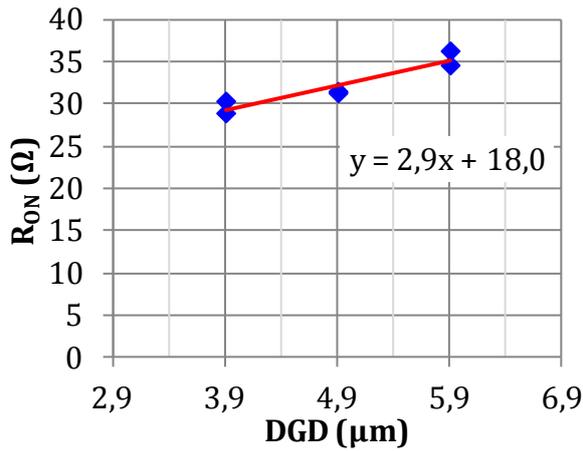


Figure II.11: R_{ON} en fonction de la distance DGD pour la plaque A-AlGaIn/GaN

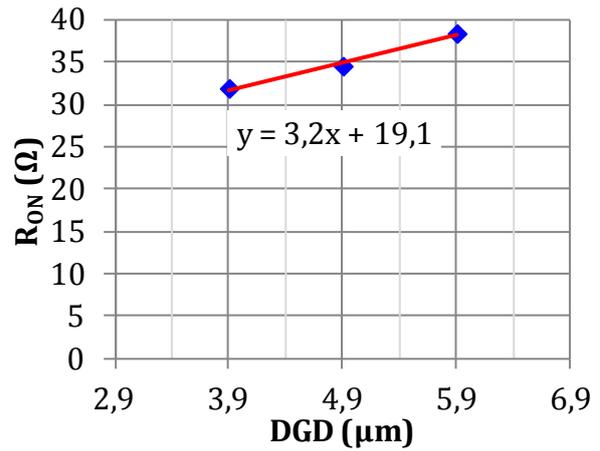


Figure II.12 : R_{ON} en fonction de la distance DGD pour la plaque B-AlGaIn/GaN

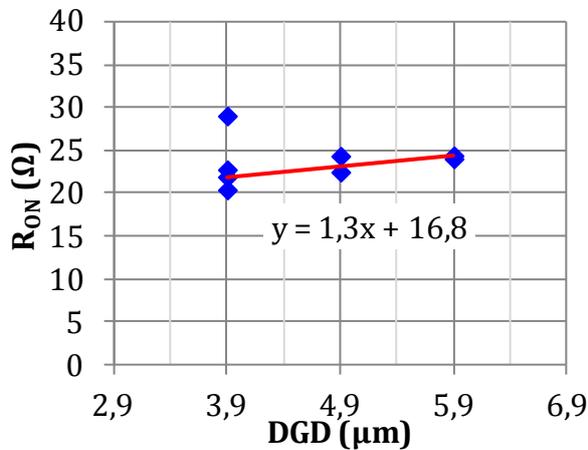


Figure II.13 : R_{ON} en fonction de la distance DGD pour la plaque C-InAlIn/GaN

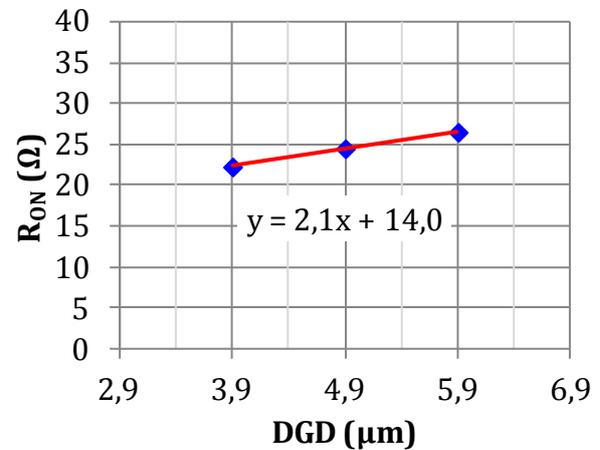


Figure II.14 : R_{ON} en fonction de la distance DGD pour la plaque D-InAlIn/GaN

En utilisant la résistance par carré du canal, il est possible de calculer la variation attendue de la résistance à l'état passant R_{ON} pour une augmentation de la distance DGD . En effet, cette variation vaut $\Delta R_{ON} = \frac{R_{CARRÉ}}{W_g}$, où W_g est le développement de grille du transistor. Le tableau II.5 présente les résistances par carré pour les quatre plaques étudiées ainsi que les variations attendues de résistance à l'état passant ΔR_{ON} comparées aux variations relevées sur les mesures.

| Nom de la plaque | A | B | C | D |
|---------------------------|--------------------------|--------------------------|--------------------------|--------------------------|
| R/carré | 822 Ω | 609 Ω | 382 Ω | 405 Ω |
| ΔR_{ON} (calculé) | 4,1 $\Omega/\mu\text{m}$ | 3,1 $\Omega/\mu\text{m}$ | 1,9 $\Omega/\mu\text{m}$ | 2,0 $\Omega/\mu\text{m}$ |
| ΔR_{ON} (mesuré) | 2,9 $\Omega/\mu\text{m}$ | 3,2 $\Omega/\mu\text{m}$ | 1,3 $\Omega/\mu\text{m}$ | 2,1 $\Omega/\mu\text{m}$ |

Tableau II.5 : Variation de résistance R_{ON} calculée et mesurée pour les différentes plaques étudiées

La variation de résistance à l'état passant ΔR_{ON} relevée sur les mesures est très proche de la valeur attendue pour les plaques B et D. Pour les plaques A et C, la valeur relevée est plus faible que la valeur attendue (voir tableau II.5).

Les figures A.17 à A.24 présentées dans l'annexe A.3 montrent que l'augmentation de la distance DGD n'a pas d'impact sur la transconductance maximale g_m^{MAX} , ni sur la tension de pincement V_p .

Nous remarquons toujours que les plaques en AlGaIn/GaN (plaques A et B) ont une transconductance maximale g_m^{MAX} plus faible que les plaques en InAlIn/GaN (plaques C et D).

Les figures II.15 et II.16 montrent l'évolution du courant maximal à saturation I_d^{MAX} . Sur les plaques A-AlGaIn/GaN et C-InAlIn/GaN, les mesures de caractéristiques I_d - V_{GS} ont été réalisées jusqu'à des tensions V_{GS} trop faibles pour atteindre la saturation ($V_{DS} \approx +1,5$ V). Seuls les relevés de I_d^{MAX} sont présentés pour les plaques B-AlGaIn/GaN et D-InAlIn/GaN. Les figures II.15 et II.16 montrent que l'augmentation de la distance DGD s'accompagne d'une diminution du courant maximal à saturation I_d^{MAX} . La pente est d'environ 5 mA/ μ m pour la plaque B-AlGaIn/GaN et d'environ 10 mA/ μ m pour la plaque D-InAlIn/GaN. La plaque en AlGaIn/GaN (plaque B) possède moins de courant à saturation que la plaque D en InAlIn/GaN. En calculant le rapport $\frac{I_d^{MAX}}{|V_p|}$, nous approchons la valeur de la transconductance maximale g_m^{MAX} . Pour la plaque B en AlGaIn/GaN, $\frac{I_d^{MAX}}{|V_p|} = 52,2$ mS. Pour la plaque D-InAlIn/GaN, $\frac{I_d^{MAX}}{|V_p|} = 79,6$ mS. L'augmentation de ce rapport concorde avec la différence mesurée au niveau de la transconductance g_m^{MAX} .

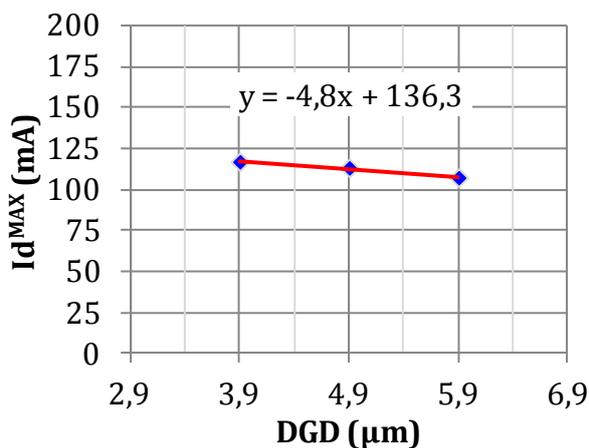


Figure II.15 : I_d^{MAX} en fonction de la distance DGD pour la plaque B-AlGaIn/GaN

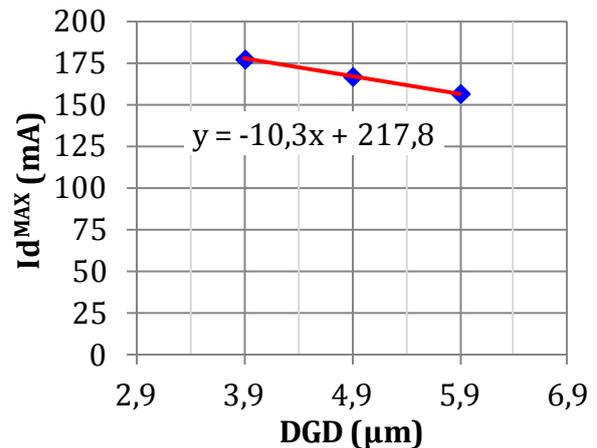


Figure II.16 : I_d^{MAX} en fonction de la distance DGD pour la plaque D-InAlIn/GaN

Finalement, les plaques de champ n'ont pas d'impact notable sur les caractéristiques statiques des transistors, alors que l'augmentation de la distance DGD se traduit par une augmentation de la résistance à l'état passant R_{ON} et la diminution du courant maximal à saturation I_d^{MAX} . Ces paramètres ont respectivement un impact négatif sur les pertes par conduction et l'excursion en courant. Nous nous attendons donc à ce que les transistors avec une distance DGD plus élevée aient un rendement en puissance plus faible. Nous prévoyons aussi que leur puissance de sortie soit moins importante, à tension de polarisation V_{DS0} identique.

II. 1. b. Présentation des effets de pièges sur les composants

Les structures HEMT à base GaN sont réalisées par épitaxie. C'est un procédé très complexe qui ne peut entièrement empêcher l'apparition de défauts dans la structure cristalline. Ceux-ci peuvent provenir de la création de dislocations dans les cristaux aux interfaces entre les différentes couches déposées par épitaxie, de la présence d'impuretés dans les cristaux, de la migration d'éléments en provenance des métallisations ou passivation de surface, ces éléments devenant des dopants non-intentionnels pour les cristaux.

Ces défauts modifient la structure des bandes d'énergie dans les cristaux. Leur présence se traduit par l'apparition de niveaux supplémentaires dans le diagramme de bandes d'énergie (voir figure II.17). Les niveaux énergétiques des défauts situés entre la bande de valence et la bande de conduction du matériau semi-conducteur sont appelés des pièges [38]. Ces niveaux intermédiaires modifient le comportement électrique du matériau.

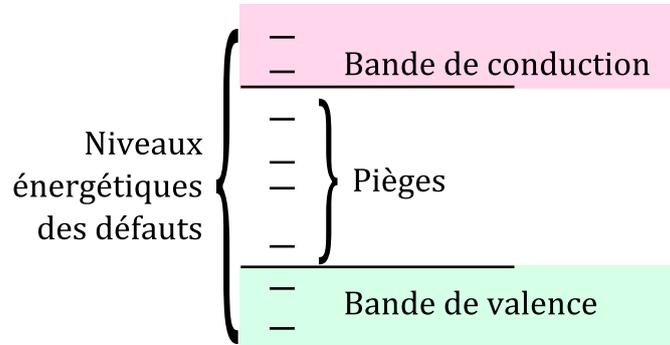


Figure II.17 : Position des pièges dans un exemple de diagramme de bandes d'énergie

Deux types de pièges sont définis. Les pièges accepteurs correspondent à des défauts qui peuvent accepter un électron. Le piège devient alors chargé négativement. Les pièges accepteurs, dont le niveau énergétique est en dessous du niveau de Fermi, ont donc capturé un électron et sont chargés négativement. Les pièges accepteurs, dont le niveau énergétique est au-dessus du niveau de Fermi, ne contiennent pas d'électrons. Ils sont électriquement neutres (voir figure II.18).

Les pièges donneurs sont des défauts qui peuvent donner un électron. Le piège devient alors chargé positivement, car il reste un trou à la place de l'électron donné. Les pièges donneurs, dont le niveau énergétique est en dessous du niveau de Fermi, possèdent toujours leur électron et sont électriquement neutres. Les pièges donneurs, dont le niveau énergétique est au-dessus du niveau de Fermi, ont émis leur électron et sont chargés positivement (voir figure II.18).

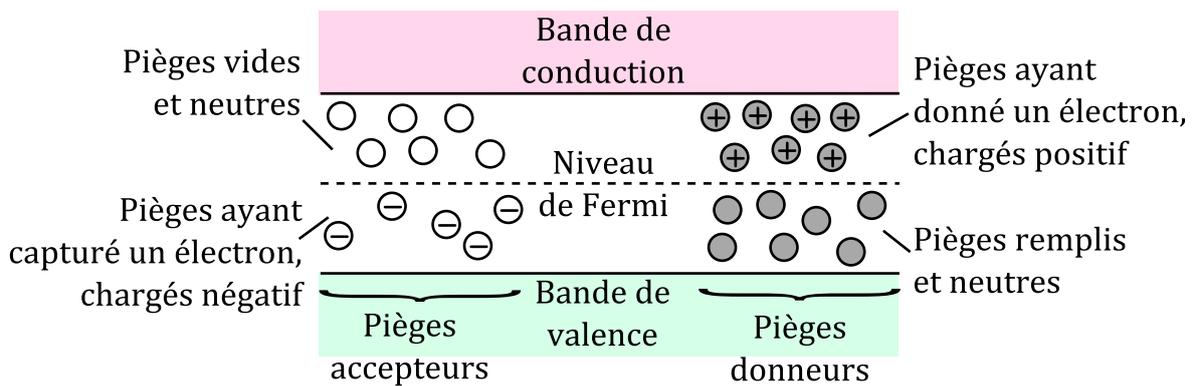


Figure II.18 : Présentation des deux types de pièges, accepteurs et donneurs au niveau du diagramme de bandes d'énergie

Quand le niveau des bandes d'énergie change par rapport au niveau de Fermi, ce qui peut, par exemple, survenir lors d'une variation de la tension V_{gs} ou de la tension V_{ds} , les pièges se chargent ou se déchargent. La figure II.19 présente un exemple de charge et de décharge d'un niveau de piège donneur situé initialement au-dessus du niveau de Fermi ($t = t_0$ sur la figure II.19).

Au moment du changement de la valeur du niveau de Fermi ($t = t_1$) par rapport au niveau des bandes d'énergie, le piège donneur se retrouve sous le niveau de Fermi. Il devrait alors avoir capturé un électron pour devenir neutre. Ce phénomène ne se passe pas immédiatement mais il se réalise au bout d'un temps caractéristique τ_c (voir figure II.19). En effet, le phénomène de capture est un phénomène aléatoire. Pour modéliser ce phénomène, le piège est associé à une surface de capture. La section de cette surface σ_n est une caractéristique du piège. Il faut attendre qu'un électron "rencontre" cette surface pour qu'il soit capturé par le piège donneur. Le temps caractéristique associé à cette capture est alors :

$$\tau_c = \frac{1}{n \cdot \sigma_n \cdot v_{th}}$$

où n est la concentration en électron et v_{th} est la vitesse thermique des électrons [58, p. 218].

Le temps caractéristique de capture τ_c est donc généralement très court, en particulier dans les matériaux à très forte densité électronique et dans les zones à forte concentration en électrons n (dans le canal, par exemple).

Le phénomène inverse se comporte de la même manière. Lors du retour du niveau de Fermi à sa valeur initiale ($t = t_2$ sur la figure II.19), le piège donneur n'émet l'électron qu'il possède qu'au bout d'un temps caractéristique τ_e . L'émission de l'électron suit la loi d'Arrhenius :

$$\tau_e = \frac{1}{A \cdot T^2 \cdot e^{-\frac{E_A}{k \cdot T}}}$$

où A est une constante, T est la température et E_A est l'énergie d'activation du piège. Cette énergie correspond à l'énergie qu'il faut apporter à l'électron pour l'extraire du piège et l'amener dans la bande de conduction. Cette énergie E_A est d'autant plus grande que le niveau du piège est éloigné de la bande de conduction. Dans ce cas, le piège est appelé piège profond.

En pratique, le temps caractéristique d'émission τ_e est beaucoup plus long que le temps de capture τ_c . En particulier, dans les matériaux ayant une grande hauteur de bande interdite, comme le GaN, les niveaux d'énergie d'activation E_A des pièges peuvent atteindre quelques électrons-volts et les temps caractéristiques d'émission τ_e peuvent atteindre plusieurs heures.

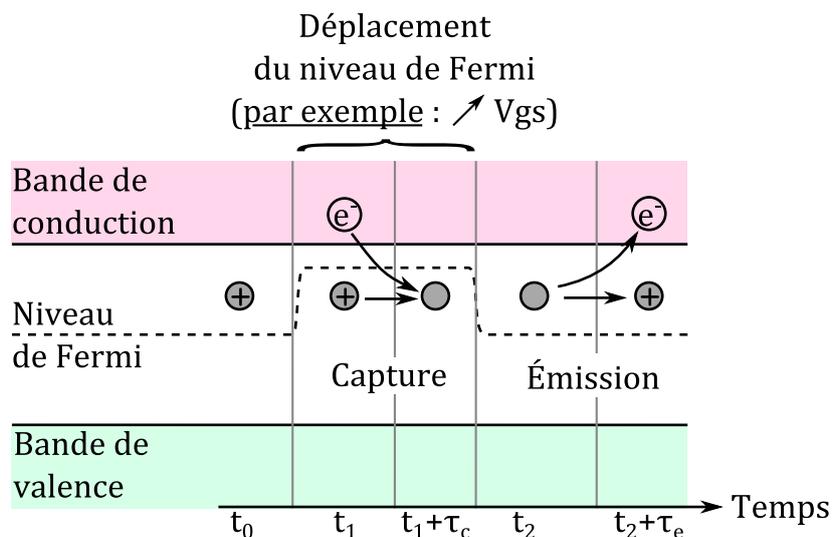


Figure II.19 : Exemple de charge et décharge d'un piège donneur

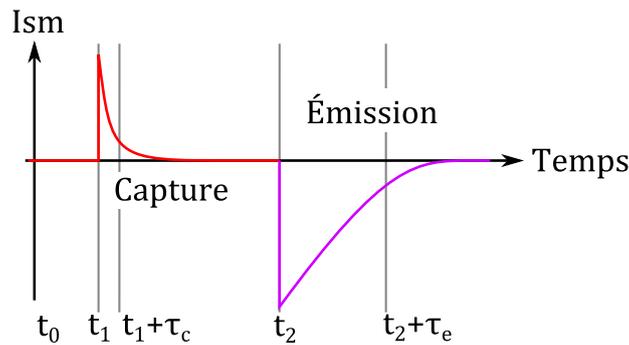


Figure II.20 : Allure du courant I_{sm} sortant du matériau pour l'exemple présenté sur la figure II.19

Les charges et décharges des pièges se traduisent par un échange d'électrons entre le matériau et son environnement proche. Cet échange d'électrons se traduit par l'apparition d'un courant I_{sm} sortant localement du matériau. Ce courant est représenté sur la figure II.20 pour l'exemple présenté à la figure II.19. La forme du courant est une exponentielle décroissante de temps caractéristique τ_c pour la capture et τ_e pour l'émission. L'amplitude du pic en courant dépend de la densité de pièges dans le matériau. Ce courant peut représenter un déplacement de charges entre deux parties du composant. Il peut aussi modifier le courant de drain du transistor.

La figure II.21 présente un exemple de modification du courant de drain I_d sous l'action des pièges. Dans cet exemple, une modification de la tension entre la grille et la source V_{GS} modifie le niveau de Fermi. Ce phénomène se traduit par une charge puis une décharge de pièges accepteurs. Le courant qui en résulte s'ajoute à la modification de courant I_d créée par la variation de V_{GS} (voir figure II.21). Dans l'exemple, au lieu d'obtenir une forme rectangulaire pour le courant I_d (tracé en bleu à gauche), nous obtenons une montée progressive du courant sous la forme d'une croissance exponentielle qui tend vers le courant qu'il y aurait sans les pièges. La partie droite de la figure II.21 présente la modification du courant de drain pour une modification de la tension entre le drain et la source V_{DS} . Nous obtenons aussi des formes exponentielles qui tendent vers le courant qu'il y aurait sans les pièges.

Lors d'une utilisation avec des signaux rapides, les pièges modifient le comportement du transistor. Ceci peut survenir lors des mesures pulsées ou lors d'une utilisation en amplification radiofréquence. Les excursions maximales en courant et/ou en tension sont alors différentes des excursions obtenues avec des mesures statiques.

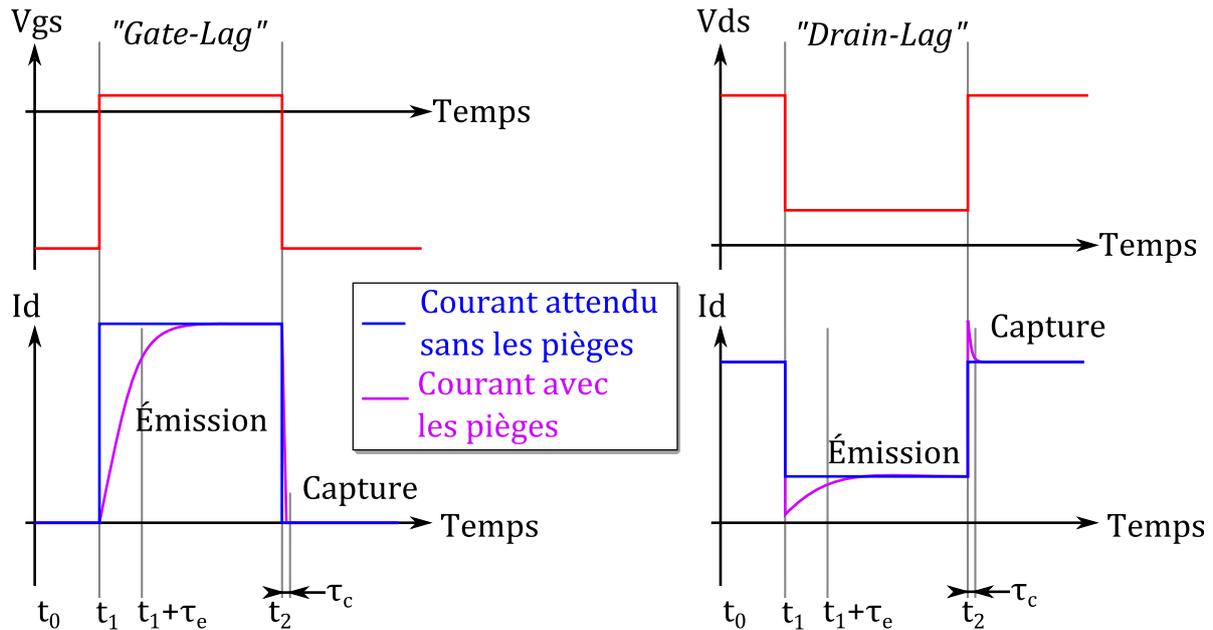


Figure II.21 : Exemple de modification du courant de drain à cause des pièges

Le comportement d'un transistor possédant des pièges est donc une résultante de l'historique des tensions qui lui ont été appliquées. Ce comportement est principalement déterminé par les temps de réponse caractéristiques des différents pièges qu'il possède. Nous pouvons donc décrire la réponse en courant de drain du transistor comme étant une fonction des tensions V_{GS} et V_{DS} et de l'état des pièges.

$$I_d = f(V_{DS}; V_{GS}; \text{État des pièges})$$

Cet effet, que nous pouvons qualifier d'effet mémoire, modifie le comportement fréquentiel du transistor et génère des composantes basses fréquences correspondant aux réponses des pièges [38].

II. 1. c. Caractéristiques en impulsions

En plus des effets dus aux pièges, les transistors sont soumis à un échauffement. Celui-ci est particulièrement important lors des mesures statiques avec un fort courant de drain I_d et une forte tension V_{DS} . Par exemple, sur la figure II.22, qui reprend le réseau I_d - V_{DS} de la figure II.3, le transistor reçoit la puissance électrique maximale $P_{DC} = V_{DS} \cdot I_d \approx 600 \text{ mA/mm} \cdot 10 \text{ V} = 6 \text{ W/mm}$. Cette puissance P_{DC} est entièrement dissipée en chaleur dans le composant. L'échauffement, qui en résulte, modifie le courant de drain I_d . Comme Michael S. Shur l'a montré à l'aide de simulations Monte-Carlo [59], la vitesse des électrons dans le canal diminue avec la température (voir figure II.23). Le courant de drain I_d diminue donc avec l'échauffement du transistor. Nous pouvons identifier les conséquences de celui-ci sur la figure II.22, sur laquelle le courant de drain I_d (représenté par la densité de courant J_d) diminue quand la tension V_{DS} augmente pour les courbes de plus fort courant (tension V_{GS} proche de 0 V) ; alors que ce phénomène ne se ressent pas sur les courbes de courant I_d plus faible (tension V_{GS} proche de -3 V).

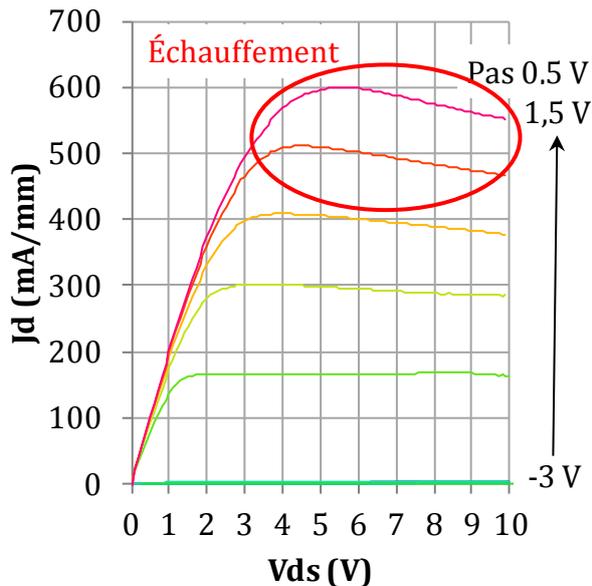


Figure II.22 : Réseau statique J_d en fonction de V_{ds} , transistor $2 \times 100 \mu\text{m}$ CL8, plaque C-InAlN/GaN

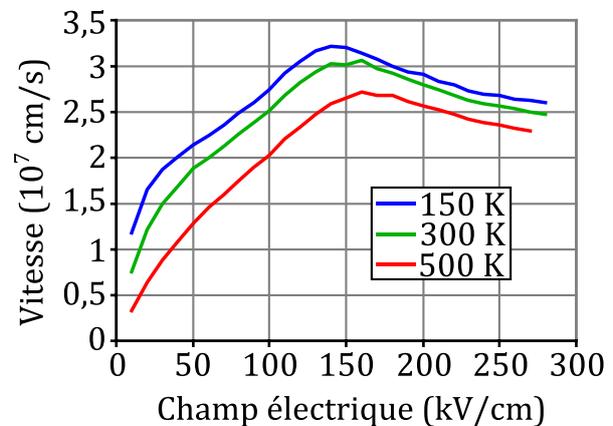


Figure II.23 : Simulation Monte-Carlo de l'évolution de la vitesse électronique dans le canal en fonction du champ électrique et de la température [59, p. 64]

Le fonctionnement des transistors à haute température réduit leur performance en raison d'une diminution du courant de drain I_d . La caractérisation des composants en mesures statiques (DC) s'accompagne toujours d'un échauffement. Pour dissocier les effets thermiques des autres effets, il est alors intéressant de réaliser des mesures avec des impulsions suffisamment courtes pour limiter l'échauffement. Le paragraphe suivant décrit la méthode utilisée pour la réalisation des mesures de caractéristiques en impulsions.

II. 1. c. 1. Principe de mesure

Les mesures en impulsions consistent à placer le transistor la majeure partie du temps dans un état thermique 'froid'. Cet état est le point de repos et correspond à un point de polarisation pour lequel l'échauffement du composant est faible.

Les tensions V_{GS} et V_{DS} , correspondant au point de mesure, sont alors appliquées pendant une impulsion (de t_1 à t_2 sur la figure II.24). Cette impulsion est suffisamment courte pour limiter l'échauffement dans le transistor et pour considérer que la mesure se réalise à température constante. En général, les temps de capture des électrons sont plus courts que la durée de l'impulsion. En réalisant l'instant de mesure t_m dans des impulsions voisines de $1 \mu\text{s}$, la mesure rend alors compte des effets des pièges en termes de capture des électrons.

L'impulsion ne doit pas être trop longue afin de ne pas percevoir les effets des pièges en termes d'émission des électrons. L'objectif est de ne pas réaliser la mesure après la réponse des pièges, car le composant se retrouve alors dans le même état que les mesures statiques (DC). Ce principe de mesure est possible en raison de la forte dissymétrie entre les temps de capture et les temps d'émissions des électrons.

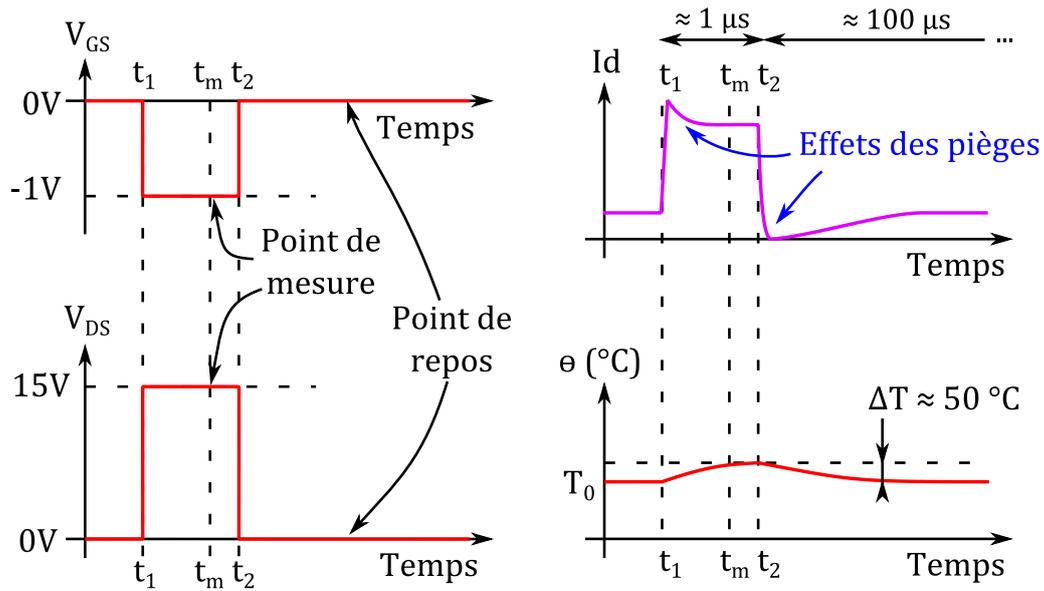


Figure II.24 : Formes temporelles lors d'une mesure en impulsions

Plusieurs mesures, avec différents points de repos 'à froid', permettent de comparer l'influence de l'état des pièges sur les caractéristiques du transistor. En général, les trois points de repos retenus sont $(V_{GS0} = 0V; V_{DS0} = 0V)$, $(V_{GS0} = V_{GS1}; V_{DS0} = 0V)$ et $(V_{GS0} = V_{GS1}; V_{DS0} = V_{DS1})$, où la tension V_{GS1} est prise inférieure à la tension de pincement V_p pour ne pas avoir de courant de polarisation I_{d0} .

La comparaison des caractéristiques pour les points de repos $(V_{GS0} = 0V; V_{DS0} = 0V)$ et $(V_{GS0} = V_{GS1}; V_{DS0} = 0V)$ met en évidence l'influence des pièges vis-à-vis d'une modification de la tension de grille. L'influence de ces pièges est couramment appelée effets des pièges de grille, correspondant à l'anglais *Gate-Lag*. La comparaison des caractéristiques pour les points de repos $(V_{GS0} = V_{GS1}; V_{DS0} = 0V)$ et $(V_{GS0} = V_{GS1}; V_{DS0} = V_{DS1})$ permet d'identifier l'impact des pièges vis-à-vis d'une modification de la tension de drain. L'influence de ces pièges est couramment appelée effets des pièges de drain, correspondant à l'anglais *Drain-Lag*.

II. 1. c. 2. Mesures des composants de III-V Lab

Un exemple de caractérisation des effets des pièges sur les plaques fabriquées III-V Lab a été réalisé sur un transistor de développement $2 \times 250 \mu\text{m}$.

La figure II.25 présente la superposition des quatre réseaux I-V en impulsions obtenus pour les points de repos $(V_{GS0} = 0V; V_{DS0} = 0V)$, $(V_{GS0} = -2V; V_{DS0} = 0V)$, $(V_{GS0} = -2V; V_{DS0} = 25V)$ et $(V_{GS0} = -2V; V_{DS0} = 40V)$. Les impulsions ont une durée de 800 ns et une récurrence de 100 μs . La plaque présentée est la plaque D-InAlN/GaN. Le transistor possède une structure similaire au transistor CL1 présenté dans la partie II. 1. a.

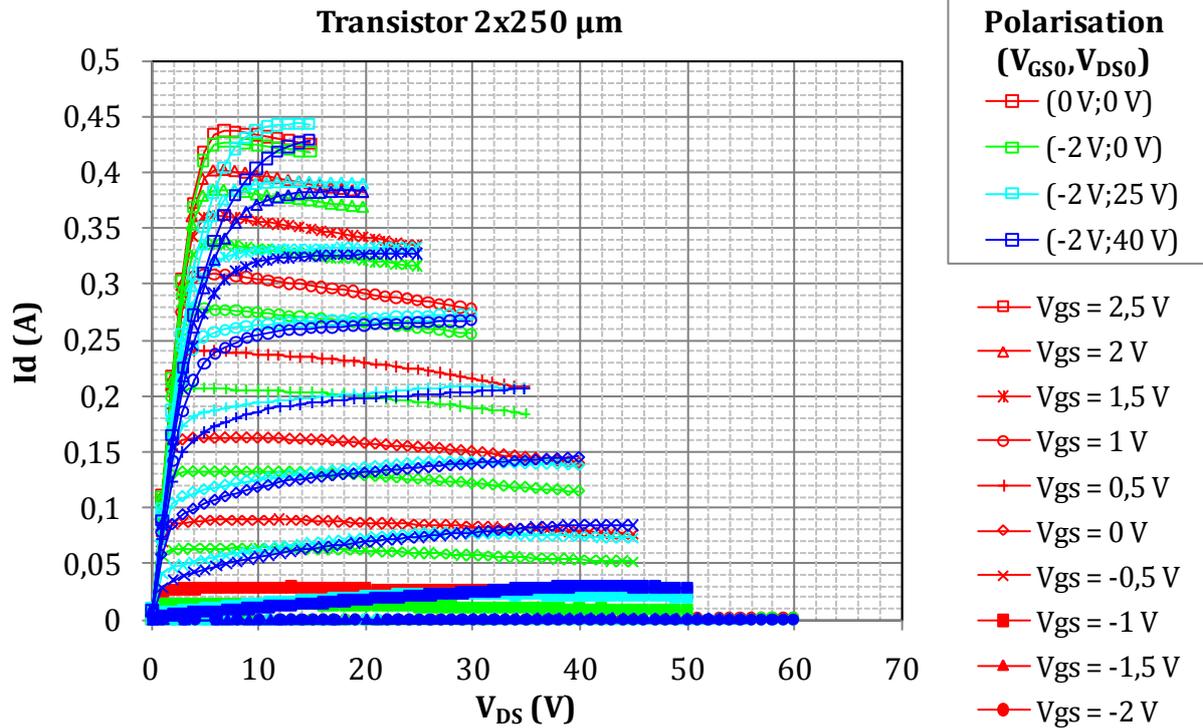


Figure II.25 : Mesures en impulsions pour un transistor 2x250 µm de la plaque D-InAlN/GaN.

En comparant sur la figure II.25 les réseaux pour les points de repos ($V_{GS0} = 0V$; $V_{DS0} = 0V$) et ($V_{GS0} = -2V$; $V_{DS0} = 0V$), nous observons l'impact des pièges lors d'une modification de la tension V_{GS0} . Il se caractérise par une diminution du courant de drain I_d maximal de 2,3 %.

La comparaison entre les réseaux ($V_{GS0} = -2V$; $V_{DS0} = 0V$) et ($V_{GS0} = -2V$; $V_{DS0} = 25V$) permet d'identifier l'impact des pièges lors d'une variation de la tension V_{DS0} de 0 V à 25 V. La comparaison se fait en termes de puissance maximale que le transistor peut générer en fonctionnant en classe A. La formule de la puissance de sortie maximale pour un fonctionnement en classe A a été présentée à la page 24. Elle est adaptée ci-dessous pour une tension maximale V_{MAX} atteinte au cours du cycle de fonctionnement radiofréquence :

$$P_{OUT} = \frac{I_{dMAX} \cdot (V_{MAX} - V_{Coude})}{8}$$

Nous considérons que lors d'un fonctionnement en amplification radiofréquence, les variations en $V_{ds}(t)$ sont plus lentes que l'évolution des captures d'électrons par les pièges mais plus rapides que celle des émissions d'électrons. L'état des pièges correspond alors au réseau I-V en impulsions pour une tension V_{DS0} égale à la tension maximale V_{MAX} vue par le transistor au cours de son cycle de charge en amplification radiofréquence. Cette tension V_{MAX} vaut $V_{MAX} = 2 \cdot V_{DS0}^{RF} - V_{Coude}$, où V_{DS0}^{RF} est la tension de polarisation drain-source pour le fonctionnement en amplification radiofréquence. Cette tension V_{DS0}^{RF} est différente de la tension V_{DS0} utilisée pour la tension de repos dans le réseau I-V en impulsions.

En comparant les réseaux ($V_{GS0} = -2V$; $V_{DS0} = 0V$) et ($V_{GS0} = -2V$; $V_{DS0} = 25V$), nous étudions l'impact de l'état des pièges "chargés" à 25 V par rapport à un état où ils sont "chargés" à 0 V. La valeur de V_{MAX} est donc 25 V.

Dans la formule précédente, I_{dMAX} et V_{Coude} correspondent aux points ($V_{DS}; I_d$) de la courbe pour $V_{GS} = 2,5$ V. Une recherche sur l'ensemble des points de cette courbe est réalisée afin d'ob-

tenir une puissance de sortie maximale. Cette estimation de la puissance maximale est réalisée pour les deux réseaux ($V_{DS0} = 0V$ et $V_{DS0} = 25 V$) et permet de comparer l'évolution des effets des pièges vis-à-vis d'une modification de la tension entre le drain et la source. Nous relevons une diminution en puissance maximale de 11 %.

En comparant les réseaux ($V_{GS0} = -2V$; $V_{DS0} = 0V$) et ($V_{GS0} = -2V$; $V_{DS0} = 40V$) et en prenant $V_{MAX} = 40 V$ dans la formule précédente, nous relevons une diminution de cette puissance maximale de 16 %.

Pour le transistor $2x250 \mu m$ présenté sur la figure II.25, l'impact des pièges est donc plutôt faible pour une modification de la tension de grille V_{GS0} alors qu'il devient plus important pour une modification de la tension de drain V_{DS0} . En faisant le rapprochement avec le fonctionnement en amplification de puissance, les pièges diminuent d'autant plus la puissance maximale de sortie que la tension maximale V_{MAX} est grande. Un compromis doit donc être trouvé pour permettre une augmentation de la puissance de sortie par l'augmentation de l'excursion en tension V_{DS}^{RF} sans être limité par les effets négatifs des pièges.

II. 1. c. 3. Influence de la plaque FPS

Comme nous l'avons analysé dans la partie II. 1. a. 1, la plaque de champ *FPS* n'a pas d'impact sur les caractéristiques statiques du transistor. Dans cette partie, des mesures des caractéristiques I-V en impulsions sont présentées pour vérifier l'impact de *FPS*.

Les mesures ont été réalisées sur des transistors $2x100 \mu m$ avec présence ou non de *FPS*. Les caractéristiques de ces transistors sont rappelées dans le tableau II.6. L'hétérojonction est en InAlN/GaN mais ce n'est pas une plaque présentée dans le tableau II.1. Cette plaque, notée plaque E, possède des caractéristiques de fabrication similaires à la plaque D–InAlN/GaN.

| Nom du transistor | Longueur de grille L_g | Développement de grille | DGS | DGD | FPS | FPD |
|-------------------|--------------------------|-------------------------|-------------|-------------|-------------|------------|
| CL1 | $0,7 \mu m$ | $2x100 \mu m$ | $1,4 \mu m$ | $3,9 \mu m$ | $1,2 \mu m$ | Pas de FPD |
| CL2 | $0,7 \mu m$ | $2x100 \mu m$ | $1,4 \mu m$ | $3,9 \mu m$ | Pas de FPS | Pas de FPD |

Tableau II.6 : Structure des transistors avec différentes variantes de FPS.

La diminution de courant maximal de drain I_d , créée par les pièges pour une modification de la tension de grille V_{GS0} , a été relevée pour plusieurs transistors. Elle est notée GL et est présentée sur la figure II.26. De même, les variations de puissance maximale atteignable pour un changement de tension V_{DS0} sont notées DL. Elles sont indiquées pour deux tensions maximales V_{DS} de 25 V et 40 V sur la figure II.27.

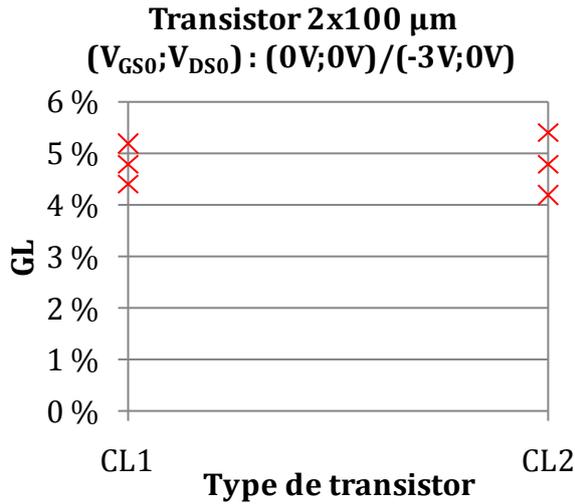


Figure II.26 : Diminution relative de courant maximal I_d pour une variation de tension V_{GS0} (plaque E-InAlN/GaN)

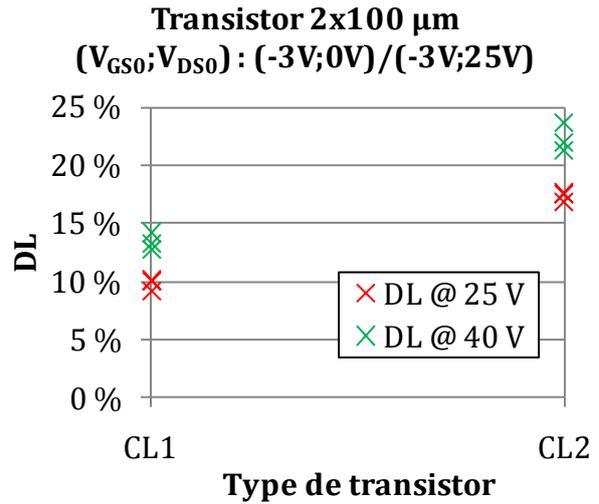


Figure II.27 : Diminution relative de puissance maximale pour une variation de V_{DS0} (plaque E-InAlN/GaN)

Comme le montre la figure II.26, la présence de la plaque de champ *FPS* n'a pas d'influence sur les pièges réagissant aux variations de tension V_{GS} . Par contre, la figure II.27 révèle que la présence de *FPS* permet une diminution du *DL* de 8 points environ. Les transistors possédant une plaque de champ *FPS* peuvent donc avoir une puissance maximale de sortie plus importante.

II. 1. c. 4. Influence de la plaque FPD

Comme nous l'avons analysé dans la partie II. 1. a. 2, la plaque de champ *FPD* n'a pas d'impact sur les caractéristiques statiques du transistor. Dans cette partie, des mesures des caractéristiques I-V en impulsions sont présentées pour vérifier l'impact de *FPD*.

Les mesures ont été réalisées sur des transistors $2 \times 100 \mu\text{m}$ de la plaque E-InAlN/GaN avec présence ou non de *FPD*. Les caractéristiques de ces transistors sont rappelées dans le tableau II.7.

| Nom du transistor | Longueur de grille L_g | Développement de grille | DGS | DGD | FPS | FPD |
|-------------------|--------------------------|----------------------------|-------------------|-------------------|------------|-------------------|
| CL2 | $0,7 \mu\text{m}$ | $2 \times 100 \mu\text{m}$ | $1,4 \mu\text{m}$ | $3,9 \mu\text{m}$ | Pas de FPS | Pas de FPD |
| CL4 | $0,7 \mu\text{m}$ | $2 \times 100 \mu\text{m}$ | $1,4 \mu\text{m}$ | $3,9 \mu\text{m}$ | Pas de FPS | $1,2 \mu\text{m}$ |

Tableau II.7 : Structure des transistors avec différentes variantes de FPD.

La diminution de courant maximal de drain I_d , créée par les pièges pour une modification de la tension de grille V_{GS0} , a été relevée pour plusieurs transistors et est présentée sur la figure II.28. De même, les variations de puissance maximale atteignable pour un changement de tension V_{DS0} sont indiquées pour deux tensions maximales V_{DS} de 25 V et 40 V sur la figure II.29.

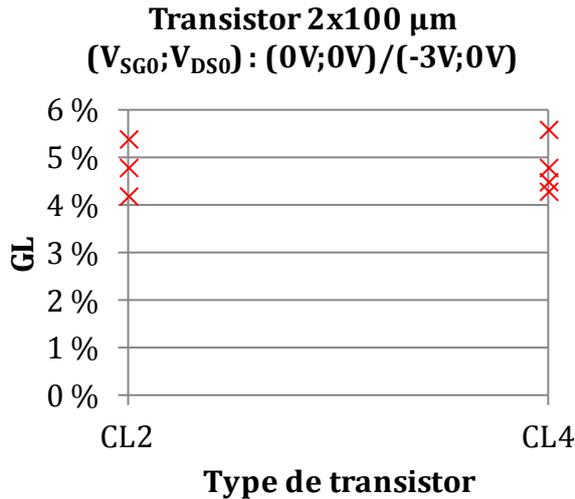


Figure II.28 : Diminution relative de courant maximal I_d pour une variation de tension V_{GS0} (plaque E-InAlN/GaN)

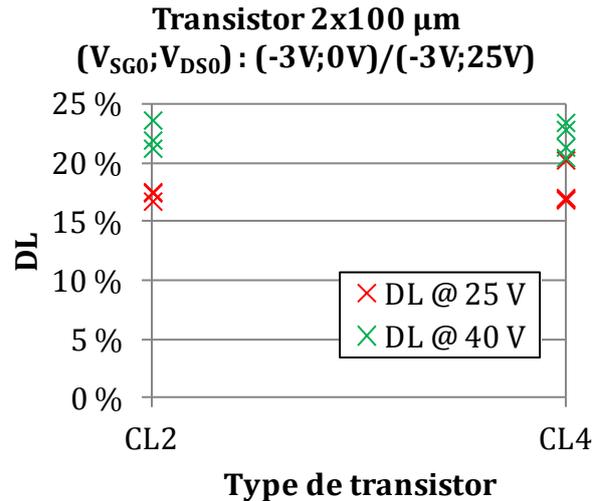


Figure II.29 : Diminution relative de puissance maximale pour une variation de V_{DS0} (plaque E-InAlN/GaN)

Comme le montrent les figures II.28 et II.29, la présence de la plaque de champ *FPD* n'a pas d'influence sur les pièges réagissant aux variations de tensions V_{GS} et V_{DS} .

II. 1. d. Tenue en tension

L'influence des plaques de champ *FPS* et *FPD* ainsi que de la distance *DGD* a été présentée sur les caractéristiques courant-tension statiques (*DC*) et en impulsions. L'intérêt principalement attendu pour les plaques de champ consiste à réduire le pic de champ électrique localisé au pied de la grille dans le transistor afin d'en augmenter la tenue en tension. Nous présentons dans cette partie l'influence de ces paramètres sur la tension maximale V_{DS} que peuvent tenir les transistors de III-V Lab.

Pour cela, les transistors sont polarisés avec une tension V_{GS} légèrement en dessous de la tension de pincement V_p . Un balayage en tension V_{DS} est effectué afin d'atteindre soit la destruction du composant, soit une forme spécifique au niveau du courant de drain I_d permettant de détecter un début d'augmentation brutale du courant I_d . La figure II.30 présente le tracé du courant I_d en fonction de la tension V_{DS} pour un transistor 2x100 μm – CL3 de la plaque D-InAlN/GaN. La tension V_{GS} est constante. La tension maximale atteinte est $V_{DS} = 193$ V.

Les tensions maximales V_{DS}^{MAX} atteintes sont répertoriées pour plusieurs transistors et permettent de comparer les différentes structures.

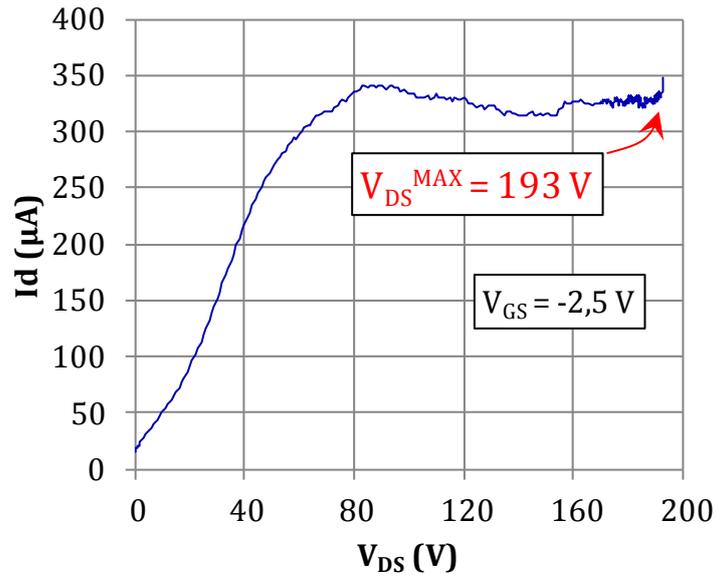


Figure II.30 : Tracé I_d en fonction de V_{ds} pour un transistor $2 \times 100 \mu\text{m}$ CL3 de la plaque D-InAlN/GaN.

II. 1. d. 1. Influence de la plaque FPS

L'impact de la plaque de champ reliée à la source *FPS* peut-être étudié à l'aide des quatre types de transistors présentés dans le tableau II.2.

Les figures II.31 à II.34 présentent l'évolution de la tension maximale atteinte V_{DS}^{MAX} en fonction de l'extension de *FPS* pour les quatre plaques présentées dans le tableau II.1. Comme l'indiquent ces figures, la plaque de champ reliée à la source *FPS* n'a pas d'impact sur la tenue en tension. Les plaques en AlGaIn/GaN (plaques A et B) ont une tenue en tension V_{DS}^{MAX} voisine de 170 V. Les plaques en InAlN/GaN (plaques C et D) possèdent une plus grande irrégularité dans les tensions relevées. La plaque C-InAlN/GaN comporte deux populations de transistors qui donnent une valeur moyenne de la tension maximale V_{DS}^{MAX} voisine de 85 V. Pour cette plaque, les valeurs relevées pour la tension maximale V_{DS}^{MAX} ont été difficile à obtenir en raison d'un important courant de fuite ($J_d = 10$ mA/mm) qui a conduit certains transistors à être détruits pour des tensions plus basses que la tension de claquage. La tension V_{DS}^{MAX} moyenne est voisine de 170 V pour la plaque D-InAlN/GaN. Pour cette dernière, le faible nombre d'échantillons ne permet pas de tirer une conclusion solide de l'influence de *FPS* sur la tenue en tension, mais il semblerait que celle-ci soit faible.

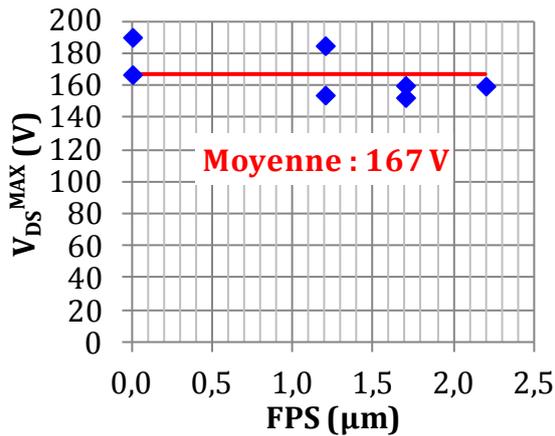


Figure II.31: V_{DS}^{MAX} en fonction de l'extension de FPS pour la plaque A-AlGaIn/GaN

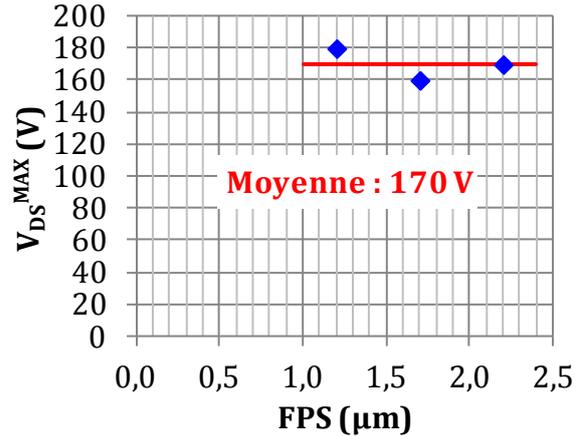


Figure II.32: V_{DS}^{MAX} en fonction de l'extension de FPS pour la plaque B-AlGaIn/GaN

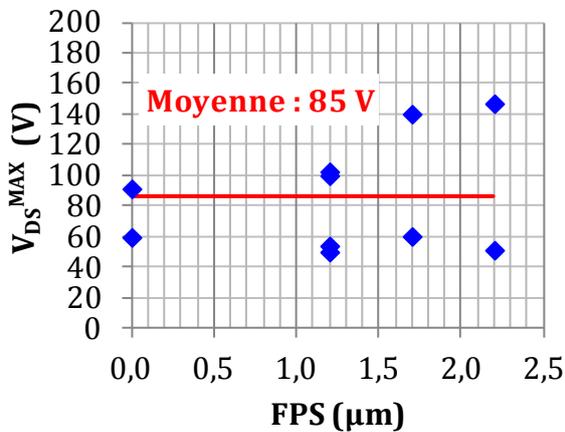


Figure II.33: V_{DS}^{MAX} en fonction de l'extension de FPS pour la plaque C-InAlN/GaN

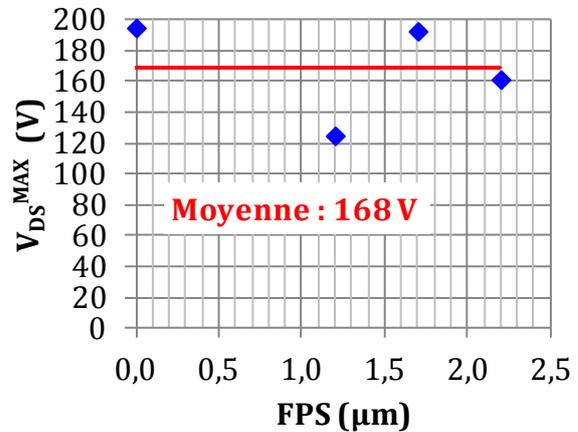


Figure II.34: V_{DS}^{MAX} en fonction de l'extension de FPS pour la plaque D-InAlN/GaN

II. 1. d. 2. Influence de la plaque FPD

L'impact de la plaque de champ reliée au drain FPD peut-être étudié à l'aide des quatre types de transistors présentés dans le tableau II.3.

Les figures II.35 à II.37 présentent l'évolution de la tension maximale atteinte V_{DS}^{MAX} en fonction de l'extension de drain FPD pour trois des quatre plaques présentées dans le tableau II.1. En effet, il n'y a pas eu suffisamment de transistors mesurés sur la plaque B-AlGaIn/GaN pour permettre d'identifier un impact de FPD sur la tenue en tension V_{DS} . Ces figures montrent que la plaque de champ reliée au drain FPD n'a pas d'impact sur la tenue en tension. La plaque en AlGaIn/GaN (plaque A) possède une tenue en tension V_{DS}^{MAX} voisine de 175 V. Les plaques en InAlN/GaN (plaques C et D) possèdent une plus grande irrégularité dans les tensions relevées. La plaque C-InAlN/GaN présente une valeur moyenne de la tension maximale V_{DS}^{MAX} voisine de 80 V. Pour cette plaque, les valeurs relevées pour la tension maximale V_{DS}^{MAX} ont été difficiles à obtenir en raison d'un important courant de fuite ($J_d = 10$ mA/mm) qui a conduit certains transistors à être détruits pour des tensions plus basses que la tension de claquage. La tension V_{DS}^{MAX} moyenne est voisine de 149 V pour la plaque D-InAlN/GaN.

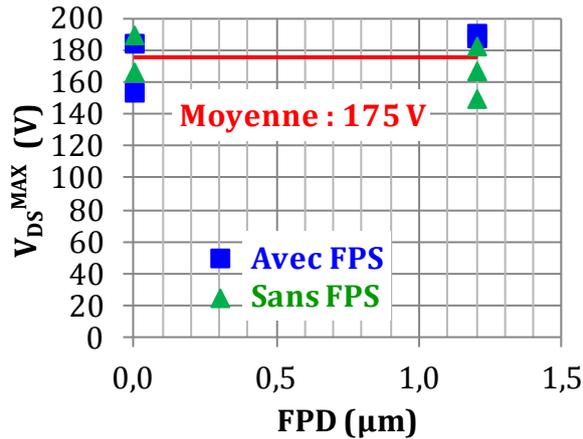


Figure II.35: V_{DS}^{MAX} en fonction de l'extension de FPS pour la plaque A-AlGaN/GaN

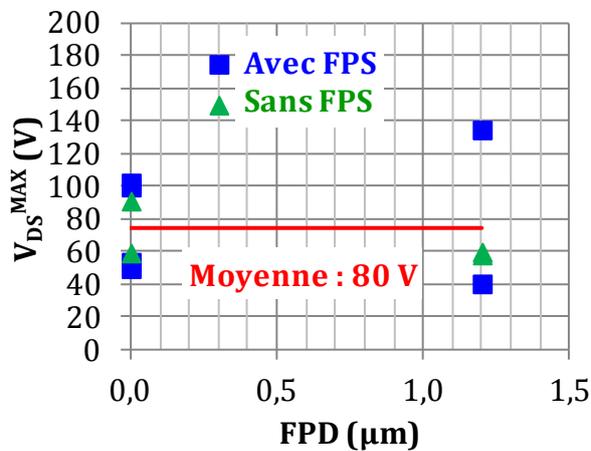


Figure II.36 : V_{DS}^{MAX} en fonction de l'extension de FPS pour la plaque C-InAlN/GaN

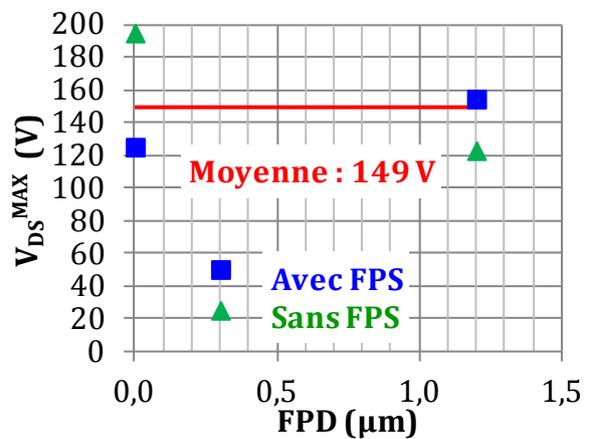


Figure II.37 : V_{DS}^{MAX} en fonction de l'extension de FPS pour la plaque D-InAlN/GaN

II. 1. d. 3. Influence de la distance DGD

L'influence de la distance DGD peut-être étudiée à l'aide des trois types de transistors présentés dans le tableau II.4.

Les figures II.38 à II.41 présentent l'évolution de la tension maximale atteinte V_{DS}^{MAX} en fonction de l'allongement de la distance DGD pour les quatre plaques présentées dans le tableau II.1. Comme le montrent ces figures, l'allongement de la distance DGD se traduit par une augmentation de la tenue en tension. Sur la plaque A en AlGaN, l'augmentation de V_{DS}^{MAX} est bien visible. Elle approche $40 \text{ V}/\mu\text{m}$. Sur l'autre plaque en AlGaN/GaN (plaque B), l'augmentation n'est pas aussi visible, mais le nombre d'échantillons est trop faible pour réaliser une statistique aussi précise. L'augmentation de V_{DS}^{MAX} est visible sur les deux plaques en InAlN. Sur la plaque C-InAlN/GaN, cette augmentation est d'environ 16 V par micromètre. Sur la plaque D-InAlN/GaN, seuls deux échantillons ont été mesurés, mais l'augmentation approche $35 \text{ V}/\mu\text{m}$.

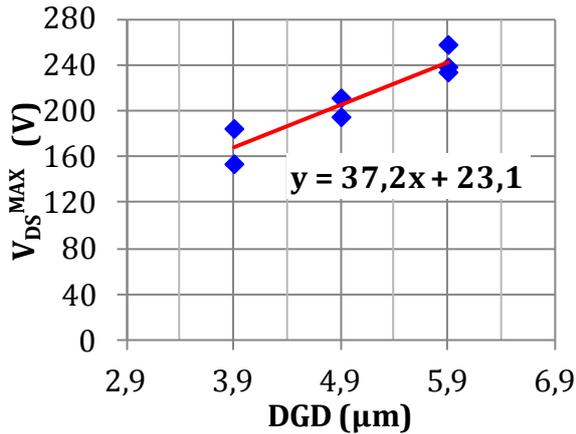


Figure II.38 : V_{DS}^{MAX} en fonction de l'allongement de DGD pour la plaque A-AlGaIn/GaN

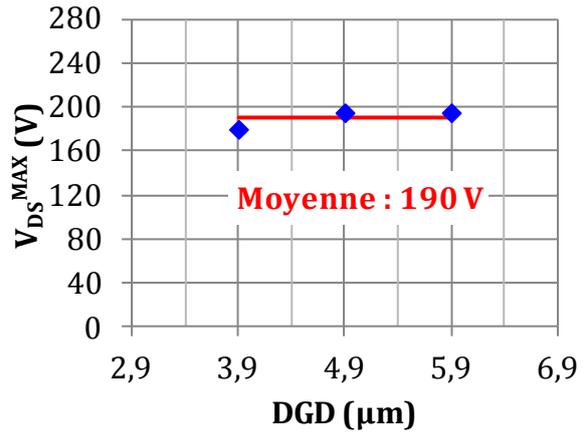


Figure II.39 : V_{DS}^{MAX} en fonction de l'allongement de DGD pour la plaque B-AlGaIn/GaN

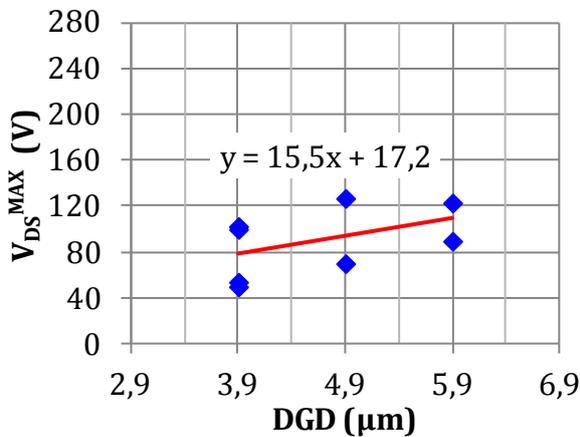


Figure II.40 : V_{DS}^{MAX} en fonction de l'allongement de DGD pour la plaque C-InAlIn/GaN

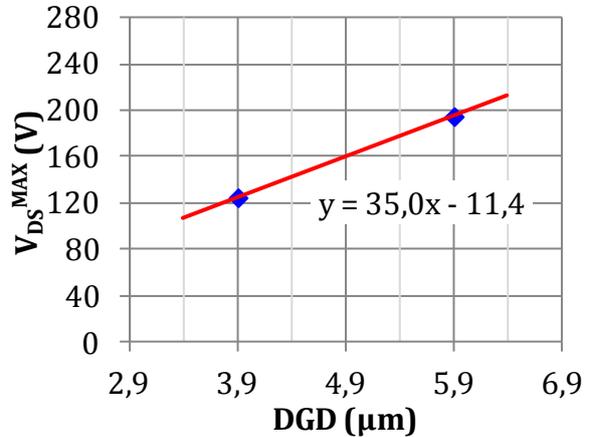


Figure II.41 : V_{DS}^{MAX} en fonction de l'allongement de DGD pour la plaque D-InAlIn/GaN

Contrairement à ce que nous attendions, la configuration étudiées pour les plaques de champ *FPS* et *FPD* n'apportent pas une réelle amélioration sur la tension maximale V_{DS}^{MAX} que le composant peut tenir, alors que l'augmentation de la distance DGD participe à l'amélioration de cette tenue en tension.

La configuration retenue (épitaxie et étapes technologiques) n'est donc pas la plus propice pour profiter de l'intérêt apporté par les plaques de champ. Les pistes possibles pour améliorer la tenue en tension seraient de rapprocher les plaques de champ de la zone active en réduisant l'espace sous les plaques de champ. La définition de ces structures plus propices aux tensions élevées se réalise à l'aide de simulations physiques (modèle de dérive-diffusion) par éléments finis très gourmandes en ressources de calcul. Ces simulations permettent de trouver les formes géométriques les plus appropriées en fonction de la composition chimique et de la structure même des matériaux composants les couches déposées par épitaxie.

II. 2. Caractérisation en paramètres S

Les paragraphes précédents nous ont permis d'identifier l'impact de *FPS*, *FPD* et *DGD* sur les caractéristiques statiques et en impulsions des transistors. Les plaques de champ *FPS* et *FPD*

ont un impact faible. Seule la plaque de champ *FPS* permet de réduire les effets des pièges pour une modification de V_{DS0} . L'augmentation de la distance *DGD* permet une augmentation de la tenue en tension au détriment de la résistance à l'état passant R_{ON} et du courant maximal I_d^{MAX} .

Dans ce paragraphe, nous nous intéressons aux propriétés fréquentielles des transistors et nous cherchons à identifier l'impact de *FPS*, *FPD* et *DGD* sur celles-ci.

II. 2. a. Performances fréquentielles

Les premières analyses pouvant être faites à partir des mesures de paramètres S sont celles concernant les performances fréquentielles des composants.

Des calculs à partir des matrices de paramètres S permettent d'obtenir le gain en courant $H_{21} = \frac{I_d}{I_g}$ et le gain maximal MSG/MAG en fonction de la fréquence. Un tracé de ces grandeurs est présenté sur les figures II.42 et II.43, pour un transistor CL1 2x100µm de la plaque D-InAlN/GaN (voir tableaux II.1 et II.2 pour les caractéristiques de fabrication). Le point de polarisation appliqué pendant la mesure est $V_{DS0} = 20$ V et $I_d = 40$ mA.

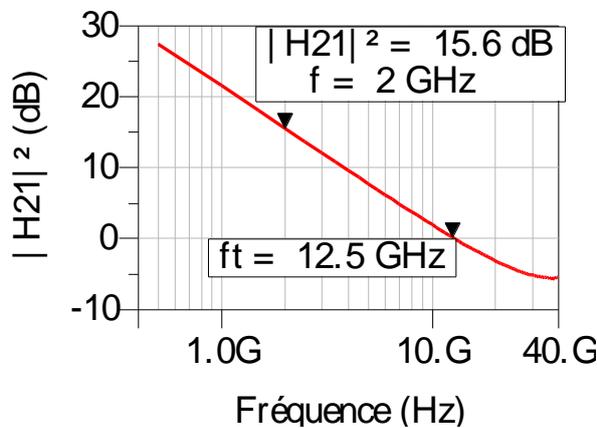


Figure II.42 : Gain en courant $|H_{21}|^2$ pour un transistor 2x100µm- CL1 de la plaque D-InAlN/GaN, $V_{DS0} = 20$ V, $I_d = 40$ mA

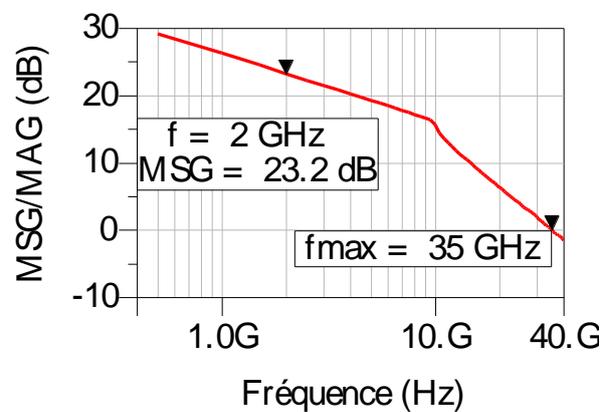


Figure II.43 : Gain maximum MSG/MAG pour un transistor 2x100µm- CL1 de la plaque D-InAlN/GaN, $V_{DS0} = 20$ V, $I_d = 40$ mA

Nous relevons un gain en courant $|H_{21}|^2 = 15,6$ dB à 2 GHz avec une fréquence de transition $f_t = 12,5$ GHz, obtenue pour $H_{21} = 1$. Le gain maximal stable MSG vaut 23,2 dB à 2 GHz. Le gain maximal disponible MAG devient unitaire pour la fréquence maximale $f_{MAX} = 35$ GHz.

L'étude de ces paramètres pour les différentes structures de transistors est une voie dans la compréhension de l'influence des plaques de champ *FPS* et *FPD* et de la distance *DGD* sur le comportement fréquentiel du composant.

II. 2. a. 1. Influence de la plaque FPS

L'impact de la plaque de champ reliée à la source *FPS* peut-être étudié à l'aide des quatre types de transistors présentés dans le tableau II.2.

Les figures II.44 à II.47 présentent l'évolution des paramètres $|H_{21}|^2$, f_t , MSG à 2 GHz et f_{MAX} en fonction de l'extension de la plaque de champ *FPS* pour les quatre plaques présentées dans le tableau II.1. La plaque de champ reliée à la source *FPS* a principalement un impact sur les fréquences f_t et f_{MAX} . La fréquence de transition diminue légèrement par l'ajout de la plaque de champ *FPS* mais n'est que peu impactée par l'allongement de cette dernière. Par contre, la fréquence maximale d'oscillation f_{MAX} est fortement diminuée par l'allongement de *FPS*. La figure II.46 montre que la présence de *FPS* conduit à une légère augmentation du gain MSG à 2 GHz.

L'utilisation d'une plaque de champ *FPS* se traduit donc par une réduction des performances à hautes fréquences des transistors.

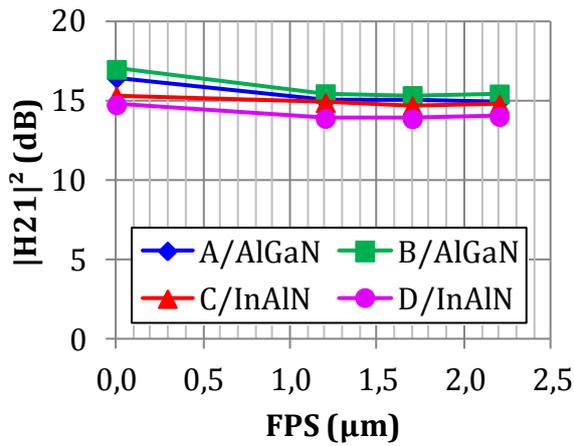


Figure II.44: Gain en courant $|H_{21}|^2$ à 2 GHz en fonction de l'extension de *FPS* pour des transistors $2 \times 100 \mu\text{m}$ ($V_{DS0} = 5 \text{ V}$, $I_{d0} = 20 \text{ mA}$)

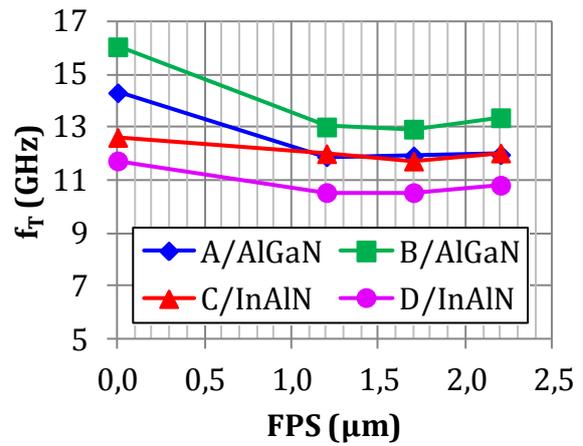


Figure II.45 : Fréquence de transition f_T en fonction de l'extension de *FPS* pour des transistors $2 \times 100 \mu\text{m}$ ($V_{DS0} = 5 \text{ V}$, $I_{d0} = 20 \text{ mA}$)

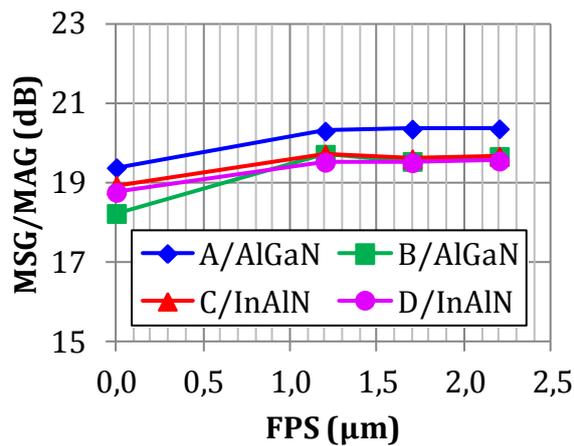


Figure II.46 : Gain maximal stable (MSG) à 2 GHz en fonction de l'extension de *FPS* pour des transistors $2 \times 100 \mu\text{m}$ ($V_{DS0} = 5 \text{ V}$, $I_{d0} = 20 \text{ mA}$)

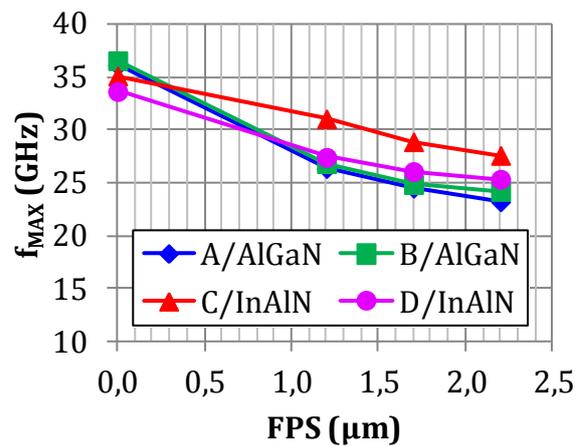


Figure II.47 : Fréquence maximale d'oscillation f_{MAX} en fonction de l'extension de *FPS* pour des transistors $2 \times 100 \mu\text{m}$ ($V_{DS0} = 5 \text{ V}$, $I_{d0} = 20 \text{ mA}$)

II. 2. a. 2. Influence de la plaque FPD

L'impact de la plaque de champ reliée au drain *FPD* peut-être étudié à l'aide des quatre types de transistors présentés dans le tableau II.3.

Les figures II.48 à II.51 présentent l'évolution des paramètres $|H_{21}|^2$, f_T , MSG à 2 GHz et f_{MAX} en fonction de l'extension de la plaque de champ *FPD* pour les quatre plaques présentées dans le tableau II.1. Comme le montrent ces figures, la plaque de champ reliée au drain *FPD* n'a pas d'impact sur les performances fréquentielles des transistors.

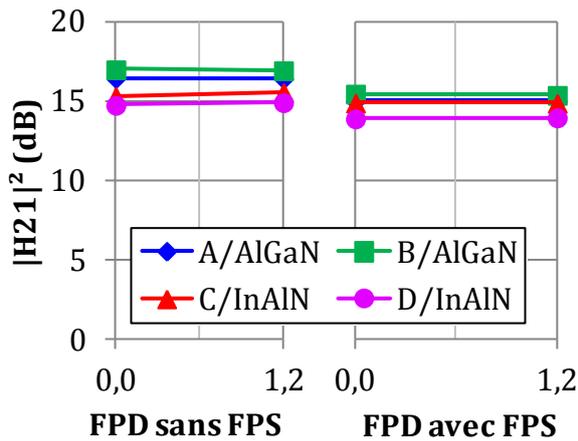


Figure II.48 : Gain en courant $|H_{21}|^2$ à 2 GHz en fonction de l'extension de *FPD* pour des transistors $2 \times 100 \mu\text{m}$ ($V_{DS0} = 5 \text{ V}$, $I_{d0} = 20 \text{ mA}$)

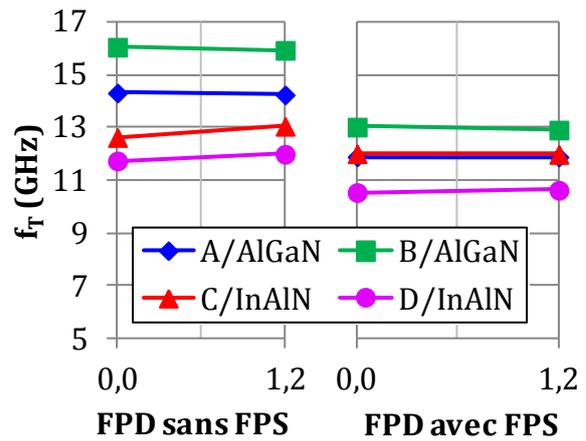


Figure II.49 : Fréquence de transition f_T en fonction de l'extension de *FPD* pour des transistors $2 \times 100 \mu\text{m}$ ($V_{DS0} = 5 \text{ V}$, $I_{d0} = 20 \text{ mA}$)

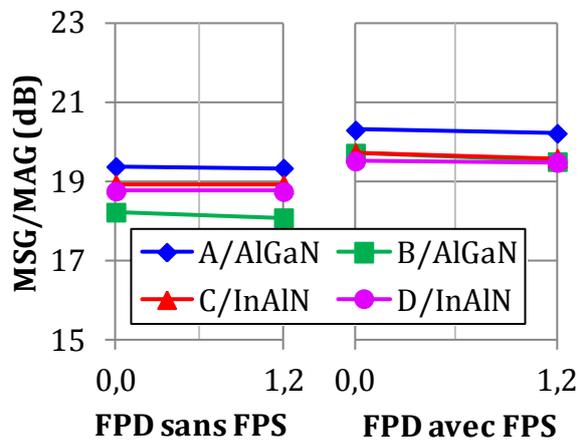


Figure II.50 : Gain maximal stable (MSG) à 2 GHz en fonction de l'extension de *FPD* pour des transistors $2 \times 100 \mu\text{m}$ ($V_{DS0} = 5 \text{ V}$, $I_{d0} = 20 \text{ mA}$)

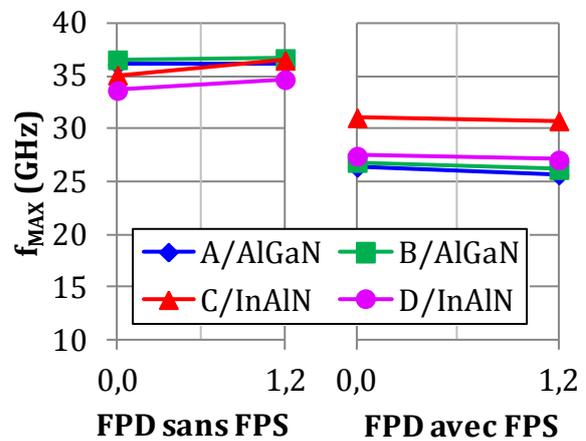


Figure II.51 : Fréquence maximale d'oscillation f_{MAX} en fonction de l'extension de *FPD* pour des transistors $2 \times 100 \mu\text{m}$ ($V_{DS0} = 5 \text{ V}$, $I_{d0} = 20 \text{ mA}$)

II. 2. a. 3. Influence de la distance DGD

L'influence de l'allongement de la distance *DGD* peut-être étudiée à l'aide des trois types de transistors présentés dans le tableau II.4.

Les figures II.52 à II.55 présentent l'évolution des paramètres $|H_{21}|^2$, f_t , MSG à 2 GHz et f_{MAX} en fonction de l'allongement de la distance *DGD* pour les quatre plaques présentées dans le tableau II.1. La plaque de champ reliée au drain *FPD* ne se traduit que par une légère diminution de la fréquence maximale d'oscillation f_{MAX} (voir figure II.55). L'allongement de *DGD* a donc peu d'influence sur le comportement des transistors à 2 GHz mais peut mener à une réduction de la fréquence maximale d'utilisation des transistors.

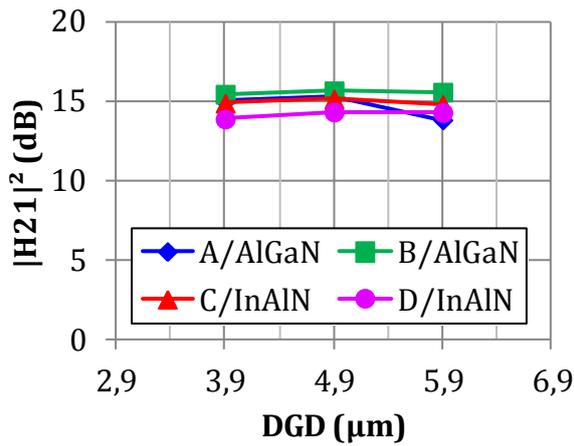


Figure II.52: Gain en courant $|H_{21}|^2$ à 2 GHz en fonction de l'allongement de DGD pour des transistors $2 \times 100 \mu\text{m}$ ($V_{DS0} = 5 \text{ V}$, $I_{d0} = 20 \text{ mA}$)

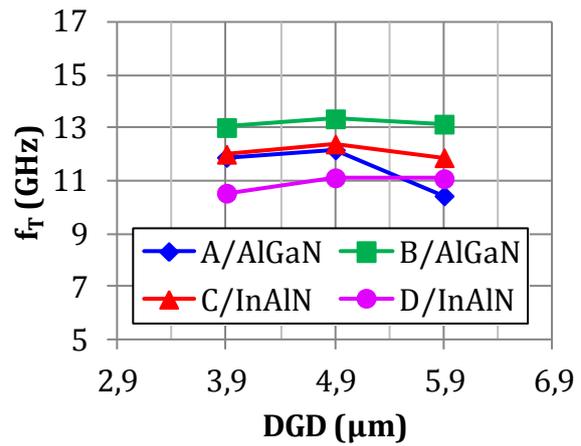


Figure II.53 : Fréquence de transition f_T en fonction de l'allongement de DGD pour des transistors $2 \times 100 \mu\text{m}$ ($V_{DS0} = 5 \text{ V}$, $I_{d0} = 20 \text{ mA}$)

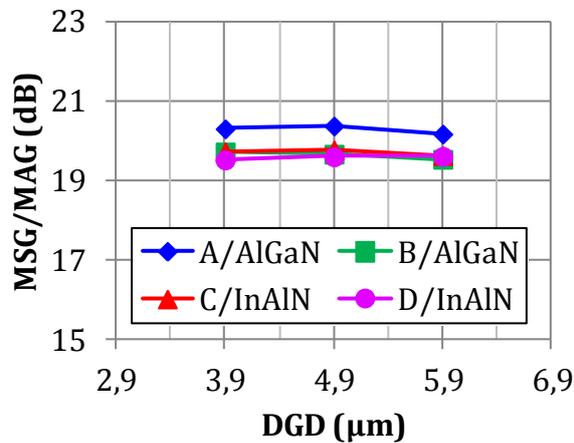


Figure II.54 : Gain maximal stable (MSG) à 2 GHz en fonction de l'allongement de DGD pour des transistors $2 \times 100 \mu\text{m}$ ($V_{DS0} = 5 \text{ V}$, $I_{d0} = 20 \text{ mA}$)

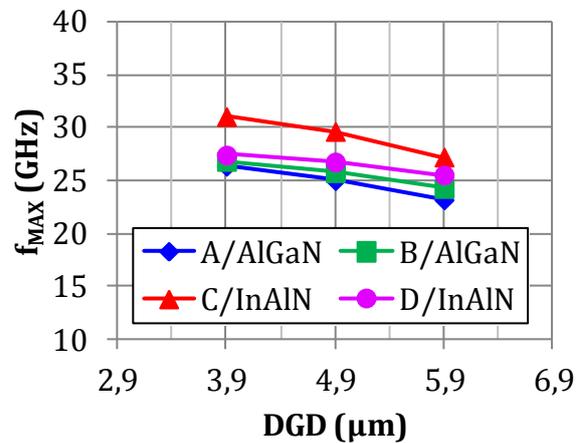


Figure II.55 : Fréquence maximale d'oscillation f_{MAX} en fonction de l'allongement de DGD pour des transistors $2 \times 100 \mu\text{m}$ ($V_{DS0} = 5 \text{ V}$, $I_{d0} = 20 \text{ mA}$)

En résumé, les performances en gain et en fréquence sont principalement impactées par l'extension de la plaque de champ FPS et l'allongement de la distance DGD . L'influence se ressent majoritairement au niveau de la fréquence maximale d'oscillation f_{MAX} qui est légèrement diminuée par l'allongement de DGD et plus fortement par l'extension de FPS . Ceci peut se traduire par une réduction de la fréquence maximale d'utilisation du transistor. Le fonctionnement à plus basse fréquence (2 GHz) n'est, quant à lui, presque pas modifié par les plaques FPS , FPD et par l'allongement de la distance DGD .

II. 2. b. Extraction d'un modèle en petits signaux

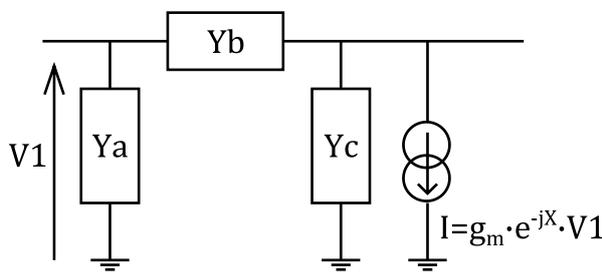
Le paragraphe précédent a mis en évidence l'influence des plaques de champ FPS , FPD et de la distance DGD sur les gains $|H_{21}|^2$ et MSG ainsi que sur les fréquences f_T et f_{MAX} . Pour relier les résultats obtenus à la structure du composant, il est intéressant de réaliser un modèle électrique du composant. Ceci permet de déterminer si l'impact provient de la grille ou du drain, ou d'une autre zone du composant.

Les mesures de paramètres S servent à réaliser un modèle linéaire de transistor. À l'aide de calculs matriciels, les paramètres S permettent d'obtenir les paramètres Y du transistor. Ces derniers sont utilisés pour modéliser le transistor sous la forme du circuit présenté sur la figure II.56. Cette modélisation est toujours possible car les paramètres Y peuvent être obtenus à partir des équations suivantes :

$$\begin{bmatrix} Y_{11} & Y_{12} \\ Y_{21} & Y_{22} \end{bmatrix} = \begin{bmatrix} Y_a + Y_b & Y_b \\ g_m \cdot e^{-jX} - Y_b & Y_b + Y_c \end{bmatrix}$$

Inversement, les paramètres du modèle présentés sur la figure II.56 sont obtenus à l'aide des équations suivantes :

$$\begin{bmatrix} Y_a = Y_{11} - Y_{12} \\ Y_b = Y_{12} \\ Y_c = Y_{22} - Y_{12} \\ g_m \cdot e^{-jX} = Y_{21} + Y_{12} \end{bmatrix}$$



Correspondance avec les paramètres Y :

$$Y_{11} = Y_a + Y_b$$

$$Y_{12} = Y_b$$

$$Y_{21} = g_m \cdot e^{-jX} - Y_b$$

$$Y_{22} = Y_b + Y_c$$

Figure II.56 : Modèle linéaire simplifié avec correspondance avec les paramètres Y

Le modèle présenté sur la figure II.56 est rendu plus précis en remplaçant les blocs Ya, Yb et Yc par des couples R-C. La figure II.57 présente le modèle linéaire avec les noms des paramètres traditionnellement utilisés.

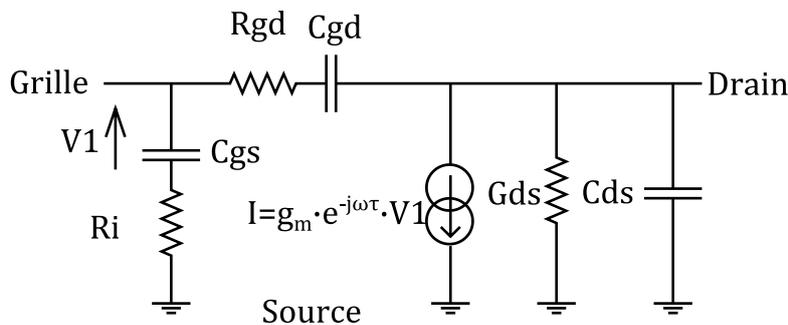


Figure II.57 : Modèle linéaire à huit éléments pour un HEMT

Cette modélisation par couples R-C est une bonne approche des phénomènes physiques qui ont lieu au sein du transistor. D'autres modélisations sont possibles à partir d'éléments distribués, comme les lignes de transmissions. Ces modèles sont difficiles à utiliser pour des simulations temporelles car ils doivent être simplifiés à l'aide d'éléments discrets pour réaliser ce type de simulation. L'utilisation de couples R-C permet d'avoir directement un modèle adapté pour les simulations en équilibre harmonique (*Harmonic Balance*) et les simulations temporelles.

La structure même du transistor ainsi que l'expérience acquise sur les extractions de modèles linéaires ont permis de conclure que, pour les fréquences basses jusqu'à 10 GHz envi-

ron, cette modélisation est représentative des mesures et des phénomènes physiques qui ont lieu au sein du composant.

Le modèle linéaire présenté sur la figure II.57 permet de donner les formules analytiques des paramètres Y :

$$\left[\begin{array}{l} Y_{11} = \frac{1}{Ri + \frac{1}{j \cdot \omega \cdot C_{gs}}} + \frac{1}{Rgd + \frac{1}{j \cdot \omega \cdot C_{gd}}} \quad Y_{12} = - \frac{1}{Rgd + \frac{1}{j \cdot \omega \cdot C_{gd}}} \\ Y_{21} = - \frac{1}{Rgd + \frac{1}{j \cdot \omega \cdot C_{gd}}} + \frac{g_m \cdot e^{-j \cdot \omega \cdot \tau}}{1 + j \cdot \omega \cdot Ri \cdot C_{gs}} \quad Y_{22} = \frac{1}{Rgd + \frac{1}{j \cdot \omega \cdot C_{gd}}} + Gds + j \cdot \omega \cdot Cds \end{array} \right]$$

À basse fréquence, ces expressions des paramètres Y peuvent être approchées par les formules suivantes :

$$\left[\begin{array}{l} Y_{11} \approx j \cdot \omega \cdot (C_{gs} + C_{gd}) \quad Y_{12} \approx - j \cdot \omega \cdot C_{gd} \\ Y_{21} \approx - j \cdot \omega \cdot C_{gd} + g_m \cdot e^{-j \cdot \omega \cdot \tau} \quad Y_{22} \approx j \cdot \omega \cdot (C_{gd} + Cds) + Gds \end{array} \right]$$

Le tracé de la partie imaginaire de Y_{12} , $-\frac{\text{Im}(Y_{12})}{\omega}$, permet d'approcher la valeur de C_{gd} . De même, $\frac{\text{Im}(Y_{11})}{\omega}$ permet d'approcher la valeur de $C_{gd} + C_{gs}$, $\frac{\text{Im}(Y_{22})}{\omega}$ permet d'approcher la valeur de $C_{gd} + C_{ds}$ et la partie réelle de Y_{22} $\text{Re}(Y_{22})$ permet d'approcher la valeur de Gds . Enfin, la partie réelle de Y_{21} permet d'obtenir la transconductance g_m . Ces différents tracés sont présentés sur les figures II.58 à II.62. Cette méthode d'extraction rapide de certains paramètres du modèle linéaire évite la mise en œuvre de calculs plus complexes et plus longs pour obtenir le modèle complet.

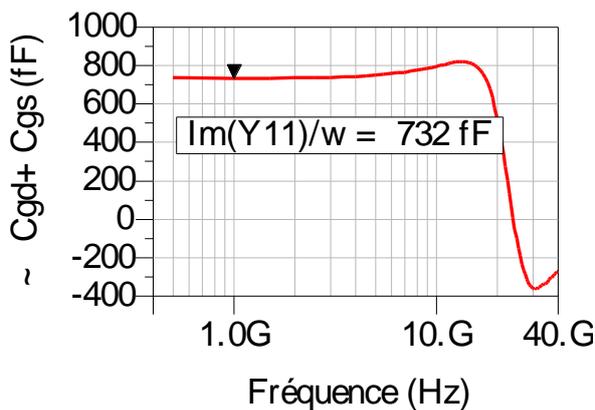


Figure II.58: Estimation de $C_{gd} + C_{gs}$ à partir de Y_{11} pour un transistor CL1 de la plaque D-InAlN/GaN ($V_{DS0} = 5$ V, $I_{d0} = 20$ mA)

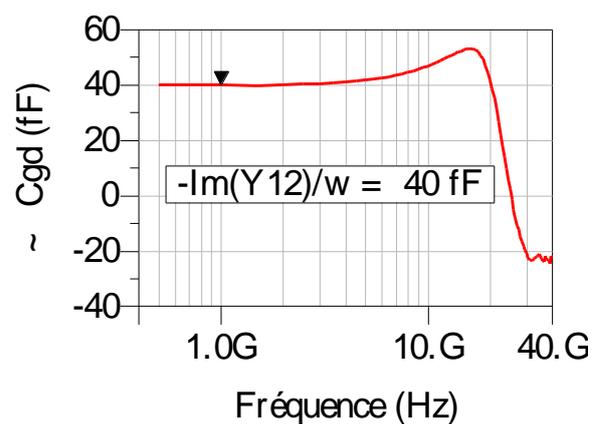


Figure II.59 : Estimation de C_{gd} à partir de Y_{12} pour un transistor CL1 de la plaque D-InAlN/GaN ($V_{DS0} = 5$ V, $I_{d0} = 20$ mA)

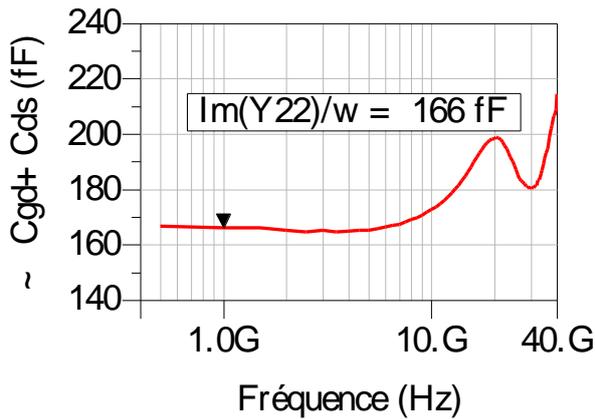


Figure II.60 : Estimation de $C_{gd} + C_{ds}$ à partir de Y_{22} pour un transistor CL1 de la plaque D-InAlN/GaN ($V_{DS0} = 5$ V, $I_{d0} = 20$ mA)

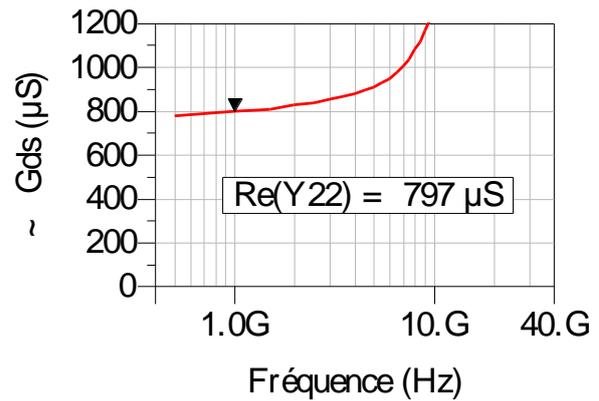


Figure II.61 : Estimation de G_{ds} à partir de Y_{22} pour un transistor CL1 de la plaque D-InAlN/GaN ($V_{DS0} = 5$ V, $I_{d0} = 20$ mA)

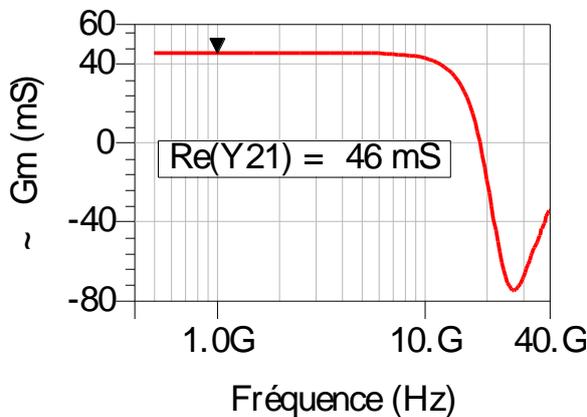


Figure II.62 : Estimation de g_m à partir de Y_{22} pour un transistor CL1 de la plaque D-InAlN/GaN ($V_{DS0} = 5$ V, $I_{d0} = 20$ mA)

Ces tracés permettent d'obtenir une première approximation des valeurs de C_{gs} , C_{gd} , C_{ds} , G_{ds} et g_m . Ces valeurs sont utilisées dans les paragraphes suivants pour comparer les différentes structures de transistors entre elles.

II. 2. b. 1. Influence de la plaque FPS

L'impact de la plaque de champ reliée à la source *FPS* peut-être étudié à l'aide des quatre types de transistors présentés dans le tableau II.2.

Les figures II.63 à II.67 présentent l'évolution des estimations des capacités C_{gd} , C_{gs} et C_{ds} , de la conductance G_{ds} et de la transconductance g_m en fonction de l'extension de la plaque de champ *FPS* pour les quatre plaques présentées dans le tableau II.1.

Nous identifions que la présence de la plaque de champ *FPS* conduit à une diminution de la capacité C_{gd} , une faible augmentation de la capacité C_{gs} et une forte augmentation de la capacité C_{ds} . Cette dernière est fortement augmentée par l'allongement de l'extension la *FPS*.

Cette augmentation de la capacité C_{ds} avec l'allongement de *FPS* est un inconvénient pour l'obtention de fortes performances en termes de rendement car, par exemple, pour un fonc-

tionnement avec des signaux commutés, la capacité C_{ds} est une source de pertes électriques d'une puissance $P = \frac{1}{2} \cdot C_{DS} \cdot (\Delta V_{DS})^2 \cdot f_0$ (voir les commentaires dans le paragraphe I. 2. b).

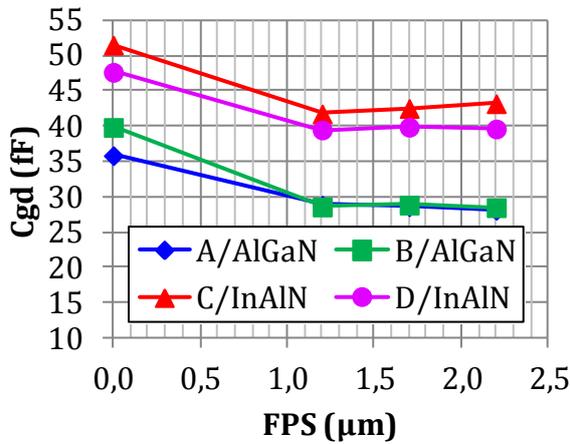


Figure II.63 : Estimation de la capacité C_{gd} en fonction de l'extension de FPS pour des transistors $2 \times 100 \mu\text{m}$ (5 V, 20 mA)

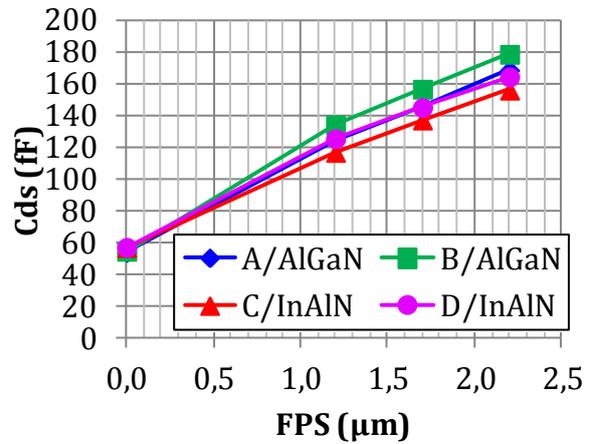


Figure II.64 : Estimation de la capacité C_{ds} en fonction de l'extension de FPS pour des transistors $2 \times 100 \mu\text{m}$ (5 V, 20 mA)

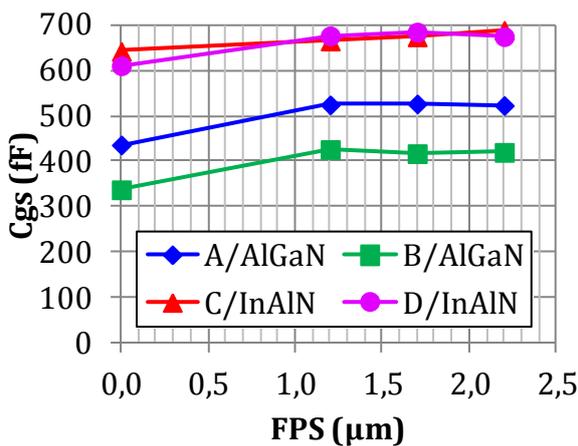


Figure II.65 : Estimation de la capacité C_{gs} en fonction de l'extension de FPS pour des transistors $2 \times 100 \mu\text{m}$ (5 V, 20 mA)

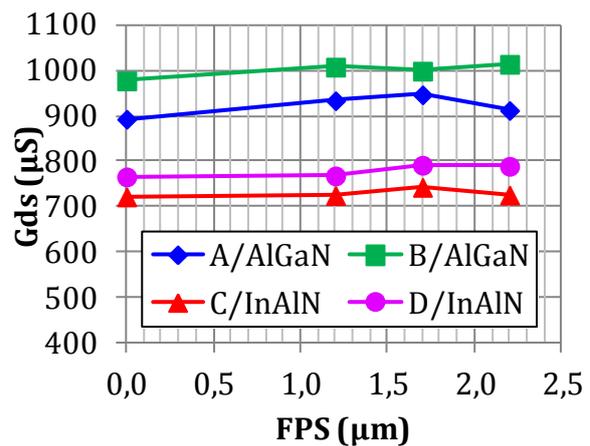


Figure II.66 : Estimation de la conductance G_{ds} en fonction de l'extension de FPS pour des transistors $2 \times 100 \mu\text{m}$ (5 V, 20 mA)

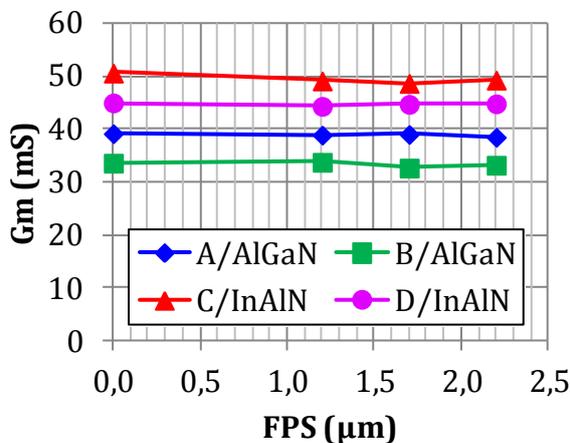


Figure II.67 : Estimation de la transconductance g_m en fonction de l'extension de FPS pour des transistors $2 \times 100 \mu\text{m}$ (5 V, 20 mA)

II. 2. b. 2. Influence de la plaque FPD

L'impact de la plaque de champ reliée au drain *FPD* peut-être étudié à l'aide des quatre types de transistors présentés dans le tableau II.3.

Les figures II.68 à II.72 présentent l'évolution des estimations des capacités C_{gd} , C_{gs} et C_{ds} , de la conductance G_{ds} et de la transconductance g_m en fonction de l'extension de la plaque de champ *FPD* pour les quatre plaques présentées dans le tableau II.1.

La présence de cette plaque de champ *FPD* ne modifie pas les paramètres cités ci-dessus.

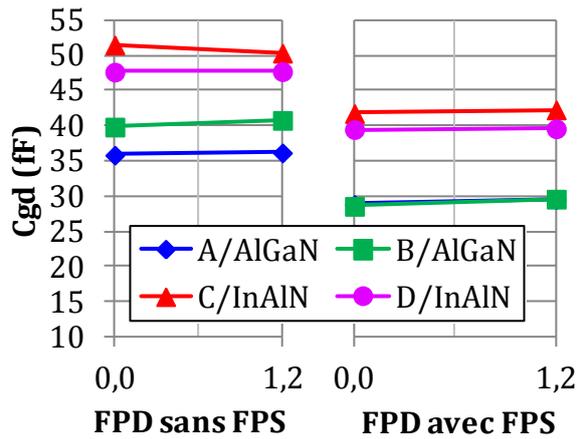


Figure II.68: Estimation de la capacité C_{gd} en fonction de l'extension de *FPD* pour des transistors $2 \times 100 \mu m$ (5 V, 20 mA)

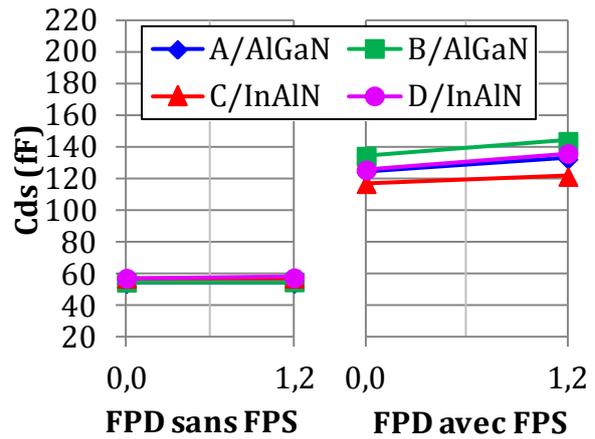


Figure II.69 : Estimation de la capacité C_{ds} en fonction de l'extension de *FPD* pour des transistors $2 \times 100 \mu m$ (5 V, 20 mA)

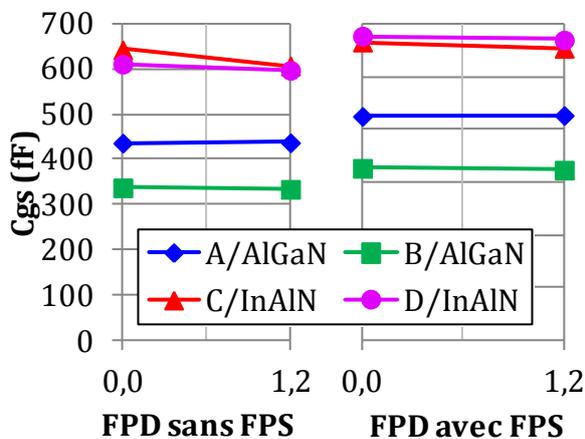


Figure II.70 : Estimation de la capacité C_{gs} en fonction de l'extension de *FPD* pour des transistors $2 \times 100 \mu m$ (5 V, 20 mA)

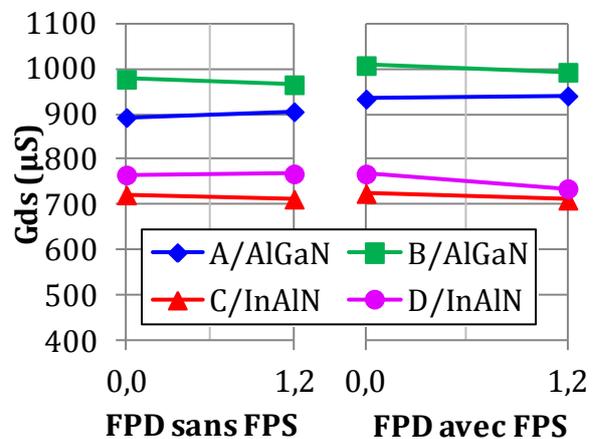


Figure II.71 : Estimation de la conductance G_{ds} en fonction de l'extension de *FPD* pour des transistors $2 \times 100 \mu m$ (5 V, 20 mA)

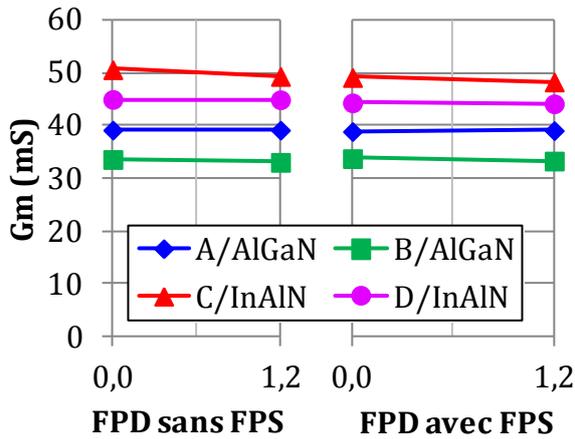


Figure II.72 : Estimation de la transconductance g_m en fonction de l'extension de FPD pour des transistors $2 \times 100 \mu m$ (5 V, 20 mA)

II. 2. b. 3. Influence de la distance DGD

L'influence de l'allongement de la distance DGD peut-être étudiée à l'aide des trois types de transistors présentés dans le tableau II.4.

Les figures II.73 à II.77 présentent l'évolution des estimations des capacités C_{gd} , C_{gs} et C_{ds} , de la conductance G_{ds} et de la transconductance g_m en fonction de l'allongement de la distance DGD pour les quatre plaques présentées dans le tableau II.1.

L'allongement de la distance DGD ne modifie pas les paramètres cités ci-dessus, sauf une très légère augmentation de la conductance G_{ds} .

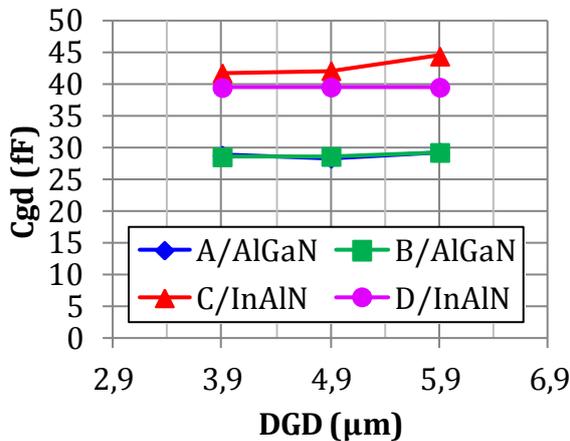


Figure II.73: Estimation de la capacité C_{gd} en fonction de l'allongement de DGD pour des transistors $2 \times 100 \mu m$ (5 V, 20 mA)

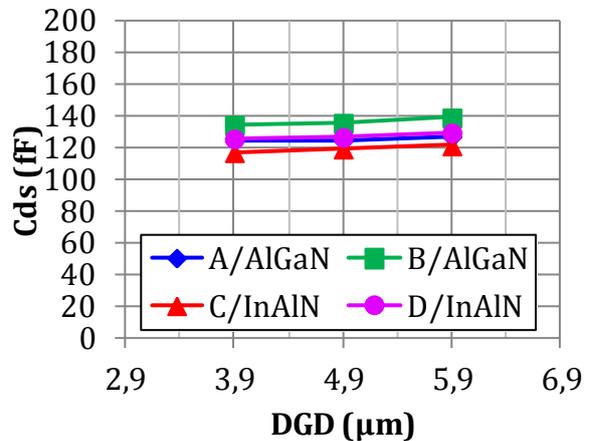


Figure II.74 : Estimation de la capacité C_{ds} en fonction de l'allongement de DGD pour des transistors $2 \times 100 \mu m$ (5 V, 20 mA)

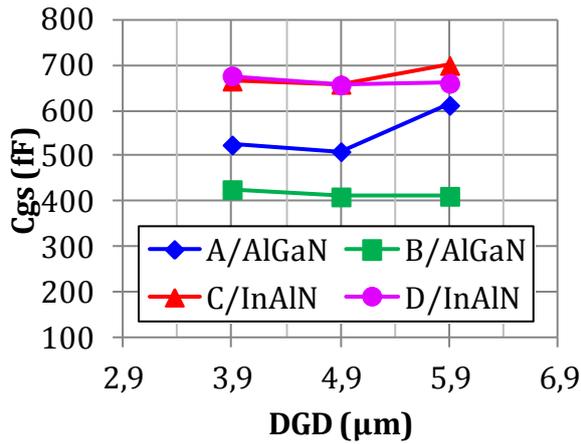


Figure II.75 : Estimation de la capacité C_{gs} en fonction de l'allongement de DGD pour des transistors $2 \times 100 \mu m$ (5 V, 20 mA)

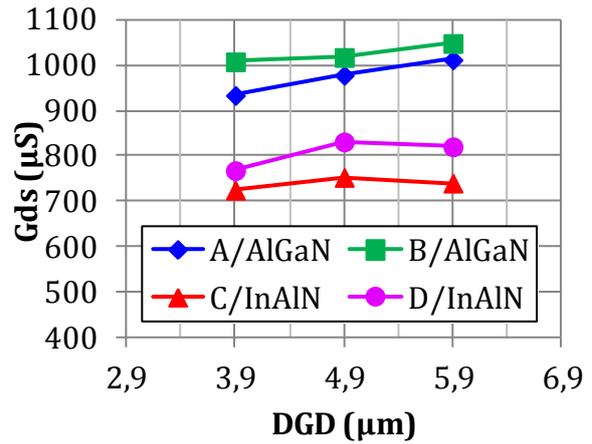


Figure II.76 : Estimation de la conductance G_{ds} en fonction de l'allongement de DGD pour des transistors $2 \times 100 \mu m$ (5 V, 20 mA)

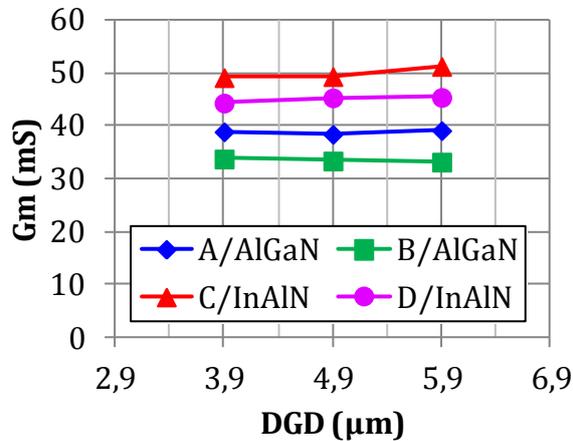


Figure II.77 : Estimation de la transconductance g_m en fonction de l'allongement de DGD pour des transistors $2 \times 100 \mu m$ (5 V, 20 mA)

La modification dans la structure des transistors qui a le plus d'impact sur le comportement fréquentiel est la présence et l'allongement de la plaque de champ FPS . Sa présence se traduit par une diminution de la fréquence de transition f_T et de la fréquence maximale d'oscillations f_{MAX} , en s'accompagnant d'une petite réduction de la capacité C_{GD} , et d'une augmentation de la capacité C_{DS} . La fréquence f_{MAX} et la capacité C_{DS} sont d'autant plus impactées que l'extension de FPS est longue. Ces modifications peuvent conduire à une limitation pour l'utilisation à haute fréquence (supérieure à 10 GHz).

Pour un fonctionnement à basse fréquence (2 GHz par exemple), les modifications de structures n'ont pas d'impact significatif sur le gain en courant $|H_{21}|^2$ et le gain maximal MSG.

Les analyses présentées ici ont été réalisées à partir de mesures de paramètres S pour une tension de polarisation $V_{DS0} = 5 V$ et un courant de drain $I_{d0} = 20 mA$ environ. Ce point de polarisation peut être considéré trop proche de la zone ohmique. Des mesures de paramètres S ont aussi été réalisées pour $V_{DS0} = 20 V$ et $I_{d0} = 20 mA$ et pour $V_{DS0} = 20 V$ et $I_{d0} = 40 mA$. Ces mesures n'ont été effectuées que sur les plaques B et D. Les variations des différents paramètres extraits à partir des paramètres S sont présentées dans l'annexe B.

Les conclusions énoncées dans ce paragraphe sont aussi obtenues pour les deux autres polarisations $V_{DS0} = 20$ V et $I_{d0} = 20$ mA et pour $V_{DS0} = 20$ V et $I_{d0} = 40$ mA, qui sont des points de polarisations plus éloignés du fonctionnement en zone ohmique. Nous pouvons noter que certaines valeurs comme C_{GD} ou G_{DS} sont modifiées par le choix du point de polarisation mais leur évolution en fonction de FPS , FPD ou DGD reste similaire à celle pour le point $V_{DS0} = 5$ V et $I_{d0} = 20$ mA.

Les différents tracés présentés dans ce paragraphe, ainsi que dans l'annexe B, montrent que les deux plaques en AlGaN/GaN (plaques A et B) présentent des valeurs de capacités C_{GD} et C_{GS} plus faibles que les plaques en InAlN/GaN (plaques C et D). Leur conductance G_{DS} est aussi plus élevée que pour les plaques en InAlN.

La valeur de la transconductance maximale g_m^{MAX} est plus élevée pour les plaques en InAlN/GaN (plaques C et D) que pour les plaques en AlGaN/GaN (plaques A et B). L'écart est d'environ 50 %. Une autre différence notable est la valeur des capacités C_{GD} et C_{GS} qui est plus forte pour les plaques en InAlN/GaN (écart d'environ de 33 %). Les variations de ces grandeurs agissent de façon opposée pour l'amélioration des performances du transistor. En effet, la transconductance g_m^{MAX} correspond à l'amplification du courant de drain I_d pour une variation de tension entre la grille et la source V_{GS} . Elle est donc reliée au gain en puissance du transistor. Alors que les capacités C_{GS} et C_{DS} sont les capacités d'entrée du transistor et sont chargées et déchargées lors des variations du signal d'entrée. Leur forte valeur exige des temps de charge plus longs qui ralentissent la réponse du transistor et diminue le gain en puissance à haute fréquence. La technologie InAlN, utilisée sur les plaques C et D, présente donc une densité de charges n_s plus élevée dans le canal, se traduisant par des courants de drain et une transconductance plus grands, mais au détriment des capacités C_{GS} et C_{GD} elles-aussi plus importantes. Cette technologie est toutefois très intéressante pour les valeurs de résistance à l'état passant R_{ON} qui sont 33% plus faibles que celles obtenues pour l'AlGaN.

II. 3. Mesures en puissance

Les mesures présentées dans les paragraphes précédents sont des mesures de caractéristiques I-V ou de paramètres S. Ces mesures permettent de caractériser les transistors en évaluant les excursions en courant et tension et le gain pour des petits niveaux de puissance d'entrée (régime quasi-linéaire).

Ces caractérisations ne sont pas suffisantes pour déterminer le comportement du transistor pour des fonctionnements en amplification de puissance en hyperfréquences. Des mesures en puissance sont donc réalisées. Elles demandent de prendre plus de précautions car elles placent le transistor dans des configurations qui peuvent facilement le mener à sa destruction. Ces contraintes rendent les mesures en puissance plus complexes et moins nombreuses que les mesures de caractéristiques I-V et de paramètres S.

Les mesures en puissance ont été réalisées pour un transistor 8×250 μm de la plaque C en InAlN. Ce transistor possède un développement de grille plus élevé que les transistors étudiés dans les paragraphes précédents ($W_G = 2$ mm contre $W_G = 0,2$ mm). Par contre, sa structure est identique à celle du transistor CL1 présenté dans les tableaux II.2, II.3 et II.4.

Les caractéristiques en puissance sont présentées sur la figure II.78. Elles ont été mesurées pour un transistor sur plaque. Les performances sont présentées dans le plan des plots du transistor. Chaque point de mesure s'effectue lors de l'application de la puissance d'entrée pendant une impulsion de durée 250 μs . Le transistor est ensuite au repos en attendant le point de mesure suivant (environ une minute). Une description du principe de mesure en puissance est faite dans le chapitre III.

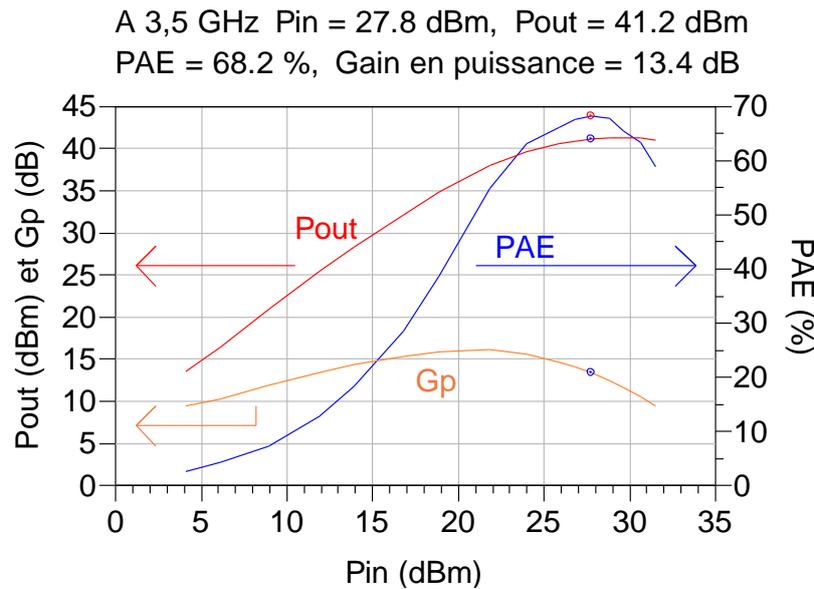


Figure II.78 : Performances en puissance à 3,5 GHz d'un transistor 8x250 μ m de la plaque C-InAlN/GaN ($V_{GS0} = -1,9$ V, $V_{DS0} = 35$ V, $Z_s = 9 + j \cdot 6 \Omega$, $Z_c = 28 + j \cdot 36 \Omega$ - mesure à une impulsion de 250 μ s)

Le transistor a été directement mesuré sur la plaque de carbure de silicium SiC avant découpe. Une adaptation est réalisée pour présenter l'impédance de source $9 + j \cdot 6 \Omega$ au niveau de la grille et une impédance de charge $28 + j \cdot 36 \Omega$ au niveau du drain. La fréquence est de 3,5 GHz. La tension de polarisation V_{GS0} vaut $-1,9$ V. La tension de polarisation V_{DS0} vaut 35 V. Le fonctionnement est celui d'une classe B.

Le rendement en puissance ajoutée PAE est maximal pour une puissance injectée dans le transistor $P_{IN} = 27,8$ dBm (0,60 W). Ce maximum atteint 68 % pour une puissance de sortie $P_{OUT} = 41,2$ dBm (13,2 W) et un gain en puissance $G_p = 13,4$ dB. La densité de puissance est très intéressante : $\frac{P_{OUT}}{W_G} \approx 6,6$ W/mm.

La technologie des HEMT adaptée à l'hétérojonction InAlN/AlN/GaN permet donc d'atteindre des performances élevées en termes de rendement en puissance ajoutée (68 %) et en densité de puissance (6,6 W/mm). Dans le chapitre III, une barrette de transistor utilisant cette technologie de composants est utilisée pour concevoir un amplificateur de puissance.

Les performances en puissance ont aussi été mesurées sur des transistors de la plaque E-InAlN/GaN et des transistors de la plaque F-AlGaIn/GaN qui est une plaque ayant la même structure et le même matériau que la plaque B-AlGaIn/GaN. Ces performances sont présentées sur les figures II.79 et II.80.

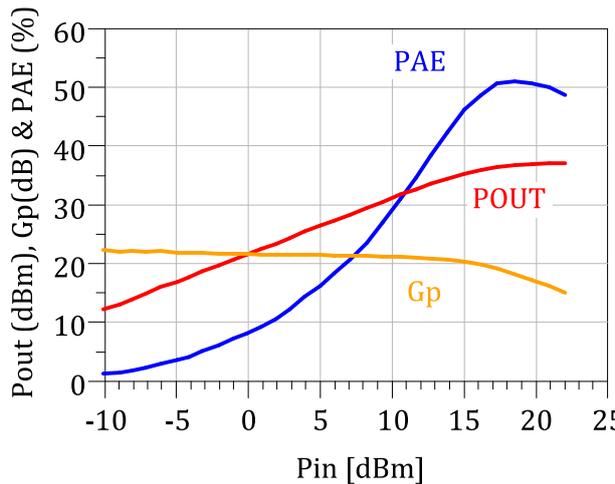


Figure II.79 : Performances en puissance à 2 GHz d'un transistor 4x250 µm de la plaque E-InAlN/GaN ($V_{DS0} = 30$ V, adapté en entrée et sortie - mesure à onde continue CW)

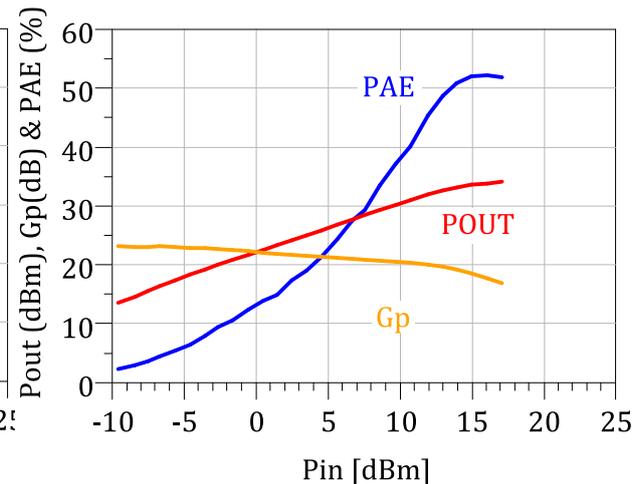


Figure II.80 : Performances en puissance à 2 GHz d'un transistor 4x250 µm de la plaque F-AlGaN/GaN ($V_{DS0} = 30$ V, adapté en entrée et sortie - mesure à onde continue CW)

Ces plaques présentent des performances tout à fait honorables pour un fonctionnement à ondes continues *CW*. La plaque E-InAlN/GaN atteint un rendement en puissance ajoutée $PAE = 51\%$ pour une densité de puissance de sortie $\frac{P_{OUT}}{W_g} = 5$ W/mm et un gain en puissance $G_p = 17$ dB. La plaque F-AlGaN/GaN atteint un rendement en puissance ajoutée $PAE = 52\%$ pour une densité de puissance de sortie $\frac{P_{OUT}}{W_g} = 2,5$ W/mm et un gain en puissance $G_p = 17,2$ dB.

Ces performances mesurées en ondes continues *CW* démontrent les potentialités de la technologie HEMT à base de GaN pour l'amplification à haut rendement autour de $f_0 = 2$ GHz.

Enfin, dans le cadre de partenariats au cours de projets scientifiques européens, des mesures en puissance *CW* ont été réalisées par la société *MC2-Technologies* [60] sur des transistors 6x400 µm provenant de la plaque E-InAlN/GaN (figure II.81).

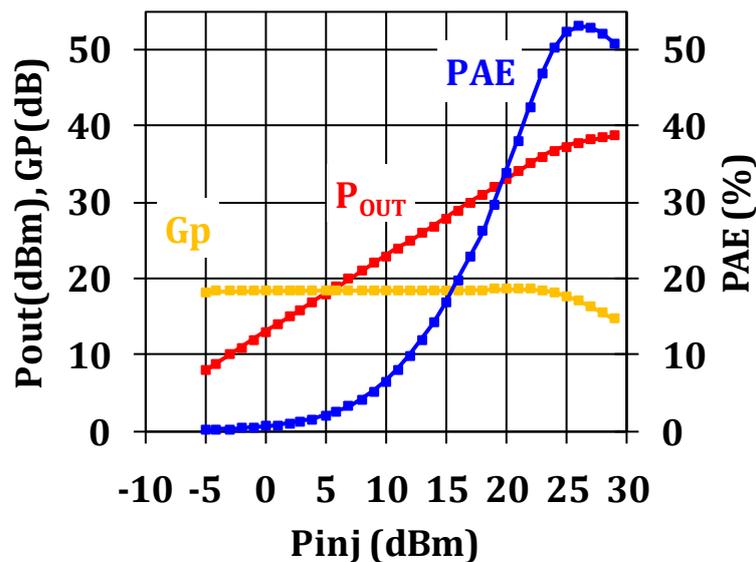


Figure II.81 : Mesures en puissance CW d'un transistor 6x400 µm de la plaque E-InAlN/GaN, réalisées par MC2 à 2 GHz, $V_{DS0} = 30$ V.

Ces mesures à 2 GHz et $V_{DS0} = 30$ V démontrent une densité de puissance $\frac{P_{OUT}}{W_g} = 2,5$ W/mm, un rendement en puissance ajoutée de 53 % et un gain $G_p = 17$ dB pour un fonctionnement en classe AB d'un transistor 6x400 µm en InAlN/GaN.

II. 4. Modélisation du transistor

Les analyses présentées dans le paragraphe II. 2 ont été réalisées en se basant sur un modèle linéaire simplifié qui est extrait en utilisant des mesures à basse fréquence.

Cette approche n'est pas suffisante pour réaliser un modèle précis du transistor permettant de prévoir son comportement en régime d'amplification de puissance en hyperfréquences.

Un modèle électrique plus complexe est utilisé afin de remplir cet objectif. Même si la réalisation de ce modèle non-linéaire n'a pas été le cœur des travaux, nous avons souhaité, en tant qu'utilisateurs, décrire les grands principes de sa structure.

II. 4. a. Les éléments extrinsèques

Le modèle présenté dans le paragraphe II. 2 est un modèle linéaire composé de huit paramètres (C_{GD} , C_{GS} , C_{DS} , R_{GD} , R_i , G_{DS} , g_m et τ). Ce modèle n'est pas suffisant pour décrire le fonctionnement du transistor. Des éléments supplémentaires sont ajoutés. Ils sont appelés éléments extrinsèques car ils peuvent être associés à des phénomènes physiques situés en dehors de la zone active du transistor. Les huit paramètres cités précédemment sont alors appelés éléments intrinsèques car ils correspondent aux effets propres à la zone active du transistor.

La figure II.82 représente un schéma regroupant les différents éléments cités.

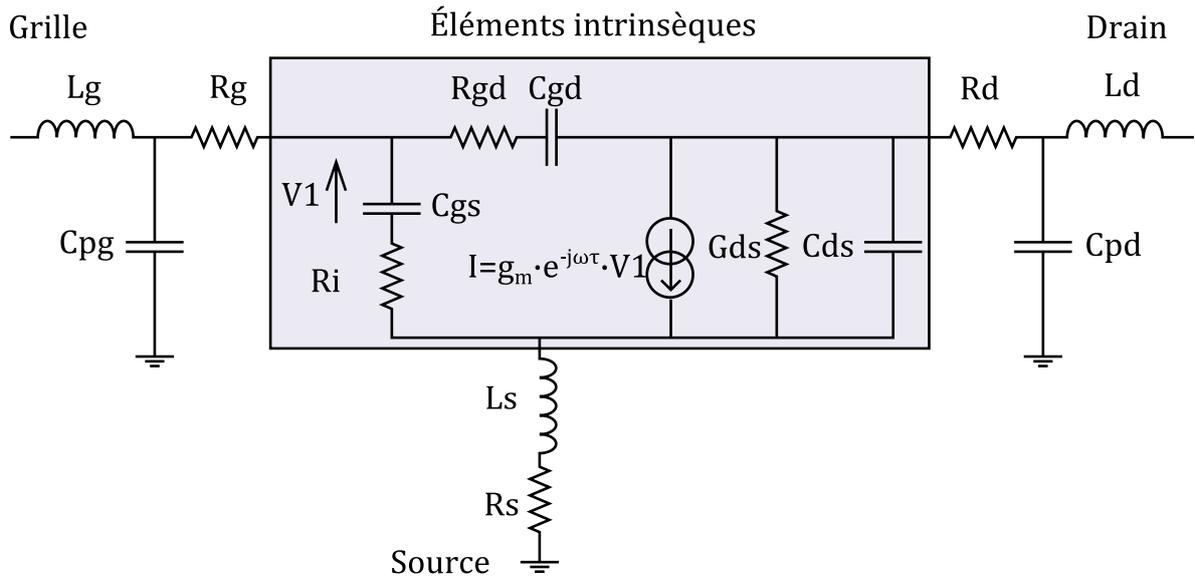


Figure II.82 : Schéma électrique du modèle linéaire à 16 éléments (intrinsèques et extrinsèques)

Les huit éléments extrinsèques sont des composants passifs qui permettent de prendre en compte les effets des accès (pistes, fils de câblage, ...). La figure II.83 illustre la position qui peut être associée à chaque élément au sein du transistor.

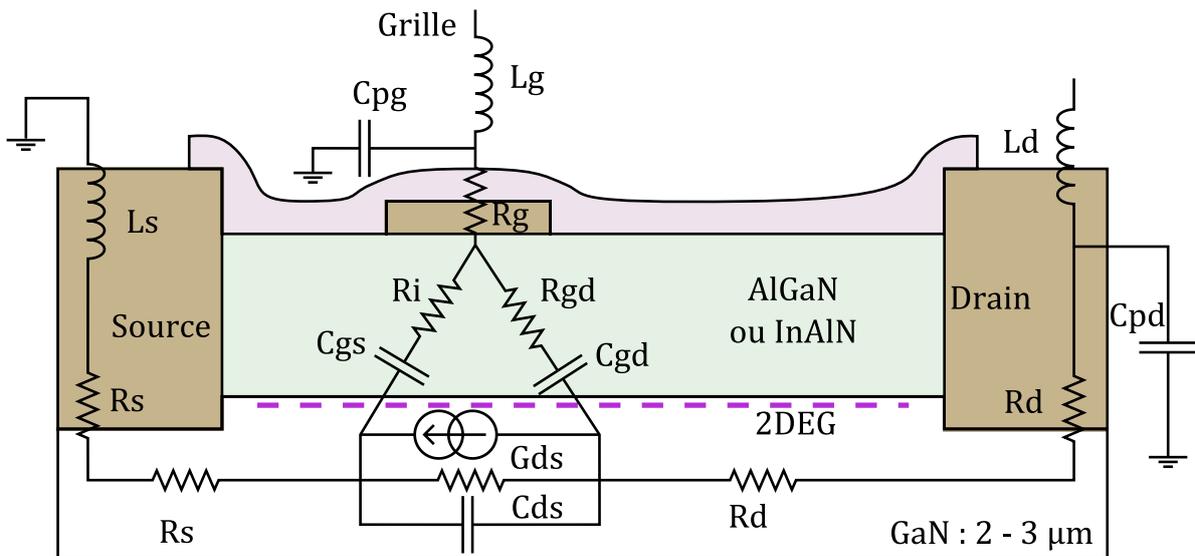


Figure II.83 : Position des éléments du circuit de la figure II.82 sur un schéma en coupe de la structure des HEMTS.

Les éléments extrinsèques ajoutés à l'extérieur de l'ensemble constitué des éléments intrinsèques sont les résistances R_s , R_g et R_d modélisant les parties résistives d'accès à la zone active depuis respectivement la source, la grille et le drain ainsi que le contact ohmique entre le métal des plots de source, de grille et de drain et le GaN. Les inductances L_s , L_g et L_d modélisent les effets inductifs induits dans les pistes métalliques permettant d'accéder à la source, la grille et au drain. Enfin, les capacités de plot C_{pg} et C_{pd} modélisent les effets capacitifs créés par les surfaces métalliques en vis-à-vis au niveau des plots de grille et de drain. Ces modélisations sont

en réalité des approximations de premier ordre, car les accès et les plots se comportent comme des éléments distribués.

Le modèle linéaire présenté ici contient seize inconnues alors que les paramètres S mesurés aux bornes du transistor ne fournissent que huit valeurs à chaque point de fréquence (parties réelles et complexes de S_{11} , S_{12} , S_{21} et S_{22}). Afin de trouver un modèle linéaire représentatif du comportement du transistor, une optimisation des paramètres du modèle est réalisée. Les algorithmes de convergence utilisés ont pour objectif de faire correspondre les paramètres S du modèle avec ceux mesurés sur la plus grande plage de fréquence. Cette méthode permet de lever l'indétermination entre les seize inconnues et les huit équations.

Afin d'aider les algorithmes à converger, les valeurs de départ de certains paramètres peuvent être déterminées grâce à des mesures statiques supplémentaires (R_g , R_d , R_s , ...). La mesure des paramètres S pour des points de polarisation dits "froids" ($V_{DS} = 0$ V) permet aussi l'extraction de paramètres extrinsèques supplémentaires comme les capacités C_{pd} et C_{pg} [61].

II. 4. b. Non linéarités des capacités et de la source de courant

Le modèle présenté sur la figure II.82 est extrait pour plusieurs points de polarisation. Les extractions traditionnelles montrent que les valeurs des capacités C_{gs} et C_{gd} ainsi que les paramètres de la source de courant g_m et τ sont fortement dépendants du point de polarisation.

Une illustration de ces non-linéarités est présentée sur la figure II.85.

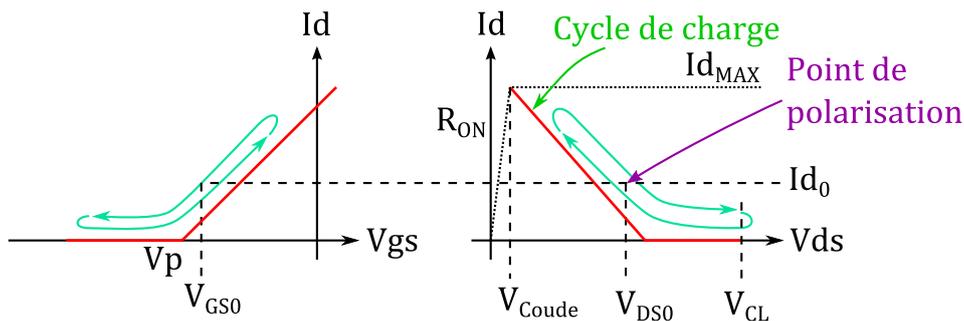


Figure II.84 : Allure du cycle I_d - V_{gs} et du cycle de charge pour un fonctionnement en classe AB (reprise de la figure I.3)

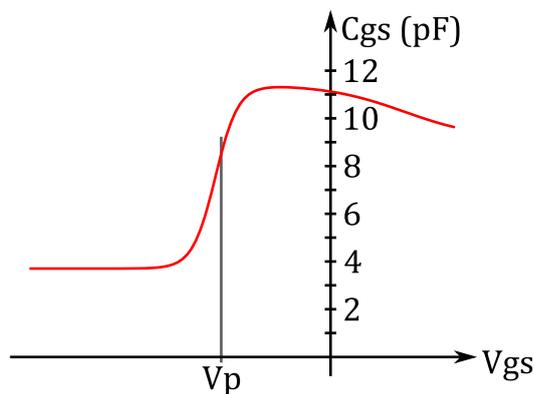


Figure II.85 : Modèle non-linéaire de la capacité C_{gs} extraite en fonction de V_{GS} le long du cycle de charge présenté sur la figure II.84.

L'évolution de la capacité C_{gs} extraite a été tracée sur la figure II.85 pour l'ensemble des points de polarisation situés sur le cycle de charge présenté sur la figure II.84. En effet, la valeur extraite pour C_{gs} dépend à la fois de la tension V_{GS} et de la tension V_{DS} . Pour simplifier la réalisation d'un modèle, seule une variation selon un cycle de charge connu a été extraite et modélisée.

Cette modélisation non-linéaire à une dimension est faite directement dans le modèle à l'aide de formules analytiques approchant la forme de C_{gs} [62].

Ce type de modélisation est aussi réalisé pour la capacité C_{gd} et le modèle de la source intrinsèque de courant.

Dans la pratique, l'extraction de modèles à une seule dimension permet d'obtenir une précision suffisante sur les valeurs des capacités C_{gs} et C_{gd} . Le modèle extrait n'est donc valide que pour un cycle de charge qui n'est pas trop éloigné du cycle de charge choisi pour réaliser le modèle. Dans ce cas, l'erreur commise sur les valeurs des capacités C_{gs} et C_{gd} est très faible (inférieure à 5 % environ) [38, pp. 156-158].

II. 4. c. Limites d'excursion en tensions : l'effet avalanche et les diodes de grille

L'accroissement de la tension aux bornes des transistors augmente les champs électriques au sein du composant. À partir d'un seuil, le champ électrique est suffisamment important pour atteindre le champ de claquage (voir paragraphe I. 3. a). Ceci crée l'effet d'avalanche et conduit à la destruction du composant.

Ce phénomène est modélisé par un composant qui génère une forte augmentation du courant dès que la tension V_{DG} devient supérieure à la tension de claquage du composant.

Un autre phénomène a lieu au niveau de la grille du transistor. Les hétérojonctions grille-source et grille-drain sont isolantes pour des tensions V_{GS} et V_{GD} négatives, mais elles se comportent comme des diodes car elles laissent passer du courant pour les tensions positives. Le modèle de la figure II.82 est donc complété par deux diodes placées entre la grille et la source et entre la grille et le drain afin de prendre en compte ces effets.

La figure II.86 présente une illustration du modèle utilisé en tenant compte des éléments cités dans ce paragraphe.

Les caractéristiques des diodes sont obtenues à l'aide de mesures statiques de caractéristiques I_g-V_{GS} et I_g-V_{GD} pour des tensions positives. La fonction analytique qui permet d'approcher leur fonctionnement est une fonction exponentielle.

L'effet avalanche est aussi extrait à partir de mesures de tensions de claquage. Le modèle utilisé pour le claquage est une fonction exponentielle qui augmente fortement le courant dès que la tension d'avalanche est atteinte [38, p. 149].

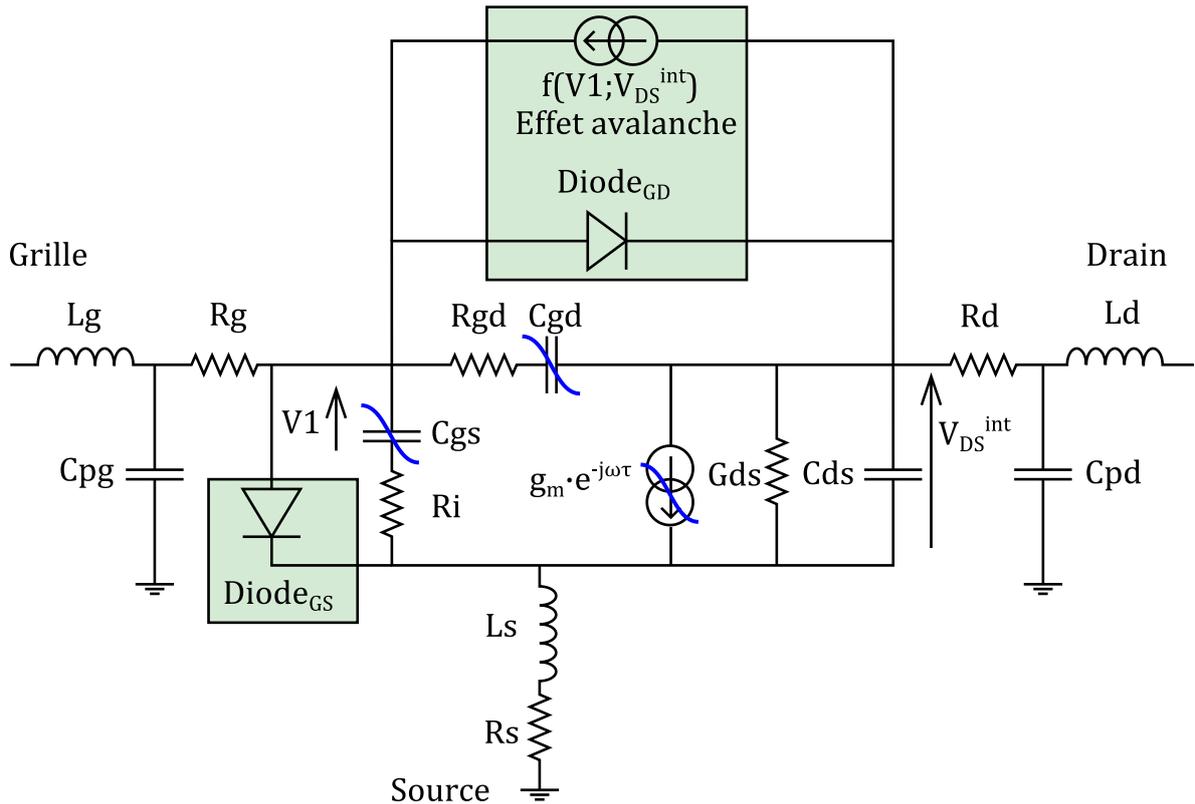


Figure II.86 : Modèle des HEMT avec les diodes grille-source et grille-drain et l'effet avalanche

II. 4. d. Modélisation des pièges

Le modèle présenté à la figure II.86 peut encore être rendu plus précis en ajoutant les effets des pièges décrits dans le paragraphe II. 1. b. Les pièges modifient le courant de drain avec des temps de réponses caractéristiques. Les mesures en impulsions présentées dans le paragraphe II. 1. c permettent de déterminer l'impact des pièges sur le courant de drain.

Le modèle de pièges retenu consiste à modifier la tension V_1 mesurée aux bornes de la capacité C_{GS} pour commander la source intrinsèque de courant par une tension V_1' retardée et dont la valeur est modifiée pour représenter les pièges. En effet, diminuer la tension de commande vue par la source intrinsèque réduit le courant de drain (transconductance g_m) et permet de modéliser l'effet des pièges.

La figure II.87 présente la position dans le modèle des composants qui prennent en compte les effets des pièges.

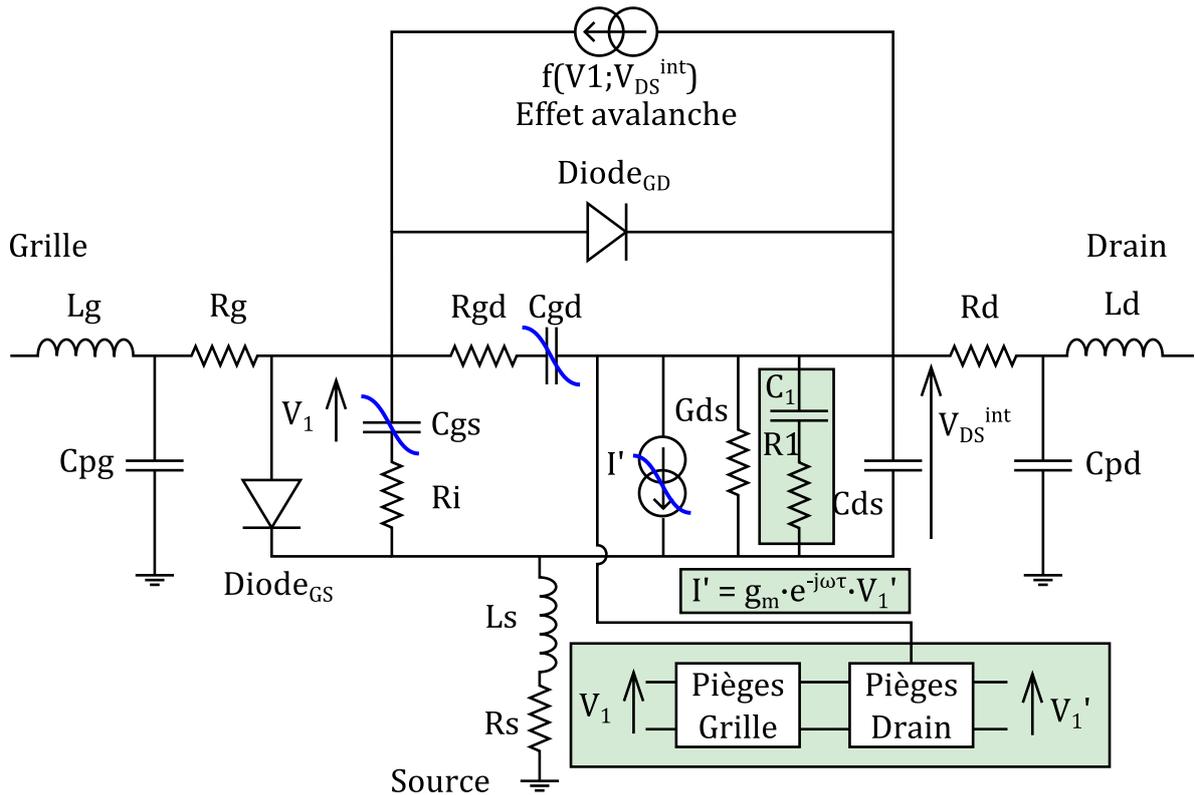


Figure II.87 : Schéma du modèle complet utilisé pour les simulations des HEMT à base de GaN

L'effet des pièges sur le courant de drain est donc pris en compte par l'intermédiaire d'une modification de la commande de la source intrinsèque de courant. Cette modification est réalisée avec des blocs R-C qui permettent de modéliser les temps caractéristiques de réponses des pièges. Ces temps sont choisis arbitrairement car ils sont le plus souvent trop courts pour être mesurés [38, p. 167]. Pour rendre les temps de capture différents des temps d'émission, une diode est utilisée pour obtenir un bloc R-C pour la capture et un autre pour l'émission. Le schéma sur la figure II.88 présente le principe de fonctionnement des composants modélisant les pièges. Pour modéliser plusieurs temps de captures ou d'émissions, il faut combiner plusieurs sous-circuits comme ceux présentés sur la figure II.88.

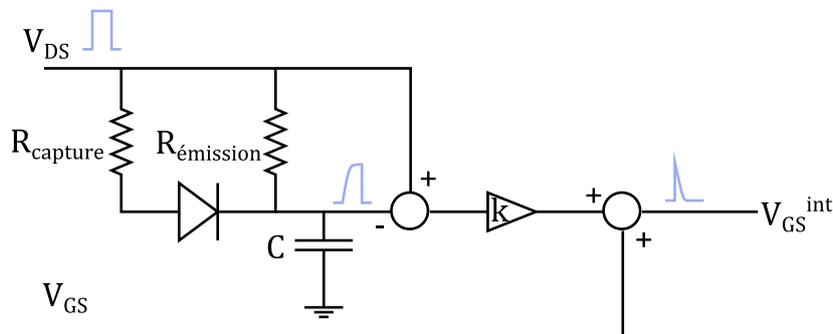


Figure II.88 : Schéma décrivant le fonctionnement du modèle des effets des pièges pour une modification de la tension V_{DS}

Un bloc R-C série est ajouté en parallèle de la source intrinsèque de courant. Il sert à modifier la conductance G_{DS} pour les hautes fréquences et permet d'avoir une conductance plus faible à la fréquence de travail f_0 que pour le comportement en basse fréquence. Ceci permet de

modéliser l'influence du comportement des pièges sur la conductance G_{DS} . Cette influence est visible sur les caractéristiques en impulsions présentées dans le paragraphe II. 1. c.

Le modèle de transistor obtenu est utilisé dans un logiciel de simulations électroniques comme Advanced Design Software (ADS). La technique de l'équilibrage harmonique (*Harmonic Balance – HB*) permet d'obtenir les performances en puissance du transistor et de les comparer aux mesures en puissance. Cette comparaison permet de vérifier la bonne extraction du modèle.

Enfin, la plupart des effets physiques qui peuvent être associés aux éléments du modèle (pièges, diodes, transconductance) sont des phénomènes qui dépendent de la température du transistor. Dans un souci de simplicité de réalisation du modèle et de réduction des temps de calcul, les paramètres sont considérés comme indépendants de la température. L'ajustement des paramètres a été réalisé sur des mesures de puissances à formes ondes continues (*CW*) pour lesquelles le composant fonctionne à température élevée. Nous pouvons alors considérer que le modèle est valide pour un fonctionnement à forte puissance au cours duquel sa température est élevée.

Conclusion

Dans ce chapitre, nous avons abordé la caractérisation et la modélisation des transistors HEMT à base de nitrure de gallium GaN.

Les transistors ont été caractérisés à l'aide de mesures de réseaux courant I_d – tension V_{DS} statiques et en impulsions, de mesures de tenue en tension et de mesures de paramètres S.

Ces mesures ont été utilisées pour comparer l'influence de différentes structures de transistors.

L'utilisation d'une plaque de champ reliée à la source *FPS* se traduit par une influence plutôt faible sur les caractéristiques statiques courant-tension. Seuls les effets des pièges pour une variation de la tension V_{DS} sont diminués par la présence de la plaque de champ *FPS*. Cette dernière n'a pas un impact remarquable sur la tenue en tension. Ce résultat est contraire aux attentes en termes de champ de claquage. Même si les mesures de tensions de claquage ont été rendues difficiles à cause de courants de fuite de grille trop élevés, il semble que la configuration de cette plaque de champ ne soit pas optimisée pour augmenter la tension de claquage et qu'il faille modifier la structure pour les prochaines conceptions de transistors. Toutefois, la présence de cette plaque de champ influence plus fortement le comportement en fréquence. La fréquence de transition f_T , la fréquence maximale d'oscillation f_{MAX} et la capacité C_{GD} sont diminuées par la présence de cette plaque alors que les capacités C_{GS} et C_{DS} et le gain maximal à 2 GHz *MSG* sont augmentés. L'allongement de l'extension de cette plaque de champ *FPS* s'exprime par une augmentation de la capacité C_{DS} et une diminution de la fréquence maximale d'oscillation f_{MAX} .

Pour une utilisation à 2 GHz, la présence d'une plaque de champ *FPS* se traduit par l'augmentation de la capacité C_{DS} et par une diminution des effets des pièges. Ces phénomènes agissent de façon opposée sur le rendement électrique du transistor et ne permettent pas de conclure sur l'efficacité de la plaque de champ *FPS*.

Les mesures ont aussi permis d'étudier l'impact de la plaque de champ reliée au drain *FPD*. Cette dernière ne présente pas d'influence sur les caractéristiques du transistor.

La dernière variante de structure étudiée concerne l'allongement de la distance *DGD*. Cette augmentation se traduit par une augmentation de la résistance à l'état passant R_{ON} , par une diminution du courant de drain maximal I_d^{MAX} , par une légère diminution de la fréquence maximale d'oscillation f_{MAX} mais aussi par une augmentation de la tenue en tension. Allonger la distance *DGD* permet donc de tenir de plus fortes tensions mais augmente la résistance à l'état passant R_{ON} . Ceci réduit le rendement en puissance. Cette solution demande donc de faire des compromis en termes de rendement et de puissance de sortie.

D'autre part, un transistor $8 \times 250 \mu\text{m}$ InAlN/GaN a été mesuré en puissance afin de démontrer les potentialités de la technologie InAlN/GaN pour l'amplification de puissance. Un rendement en puissance de 68 % a été atteint pour une densité de puissance de 6,6 W/mm à 3,5 GHz. Cette technologie est utilisée dans le chapitre suivant pour réaliser un amplificateur de classe 100 W.

Enfin, le modèle de transistor, utilisé pour les simulations présentées dans le chapitre suivant, a été décrit. Il utilise les mesures statiques, en impulsions, de tenue en tension et les mesures de paramètres S. Ce modèle prend en compte les effets des pièges et a été extrait pour un cycle de charge donné et pour un fonctionnement *CW* (formes d'onde de durée infinie).

Chapitre III : Applications des méthodes d'amélioration du rendement des transistors de puissance HEMT GaN

Le chapitre I a décrit les techniques d'amélioration du rendement ainsi que les caractéristiques physiques des composants HEMT à base de GaN. Le chapitre II a présenté les performances obtenues pour des transistors unitaires réalisés dans cette technologie.

Ce chapitre décrit les analyses et les simulations réalisées pour obtenir un amplificateur de forte puissance et de haut rendement dans cette technologie. Après un exposé des études sur le fonctionnement en classe E d'un amplificateur en technologie GaN, nous détaillons les différentes simulations de fonctionnement en classe F qui ont permis de réaliser et de mesurer des amplificateurs à haut rendement.

III. 1. Évaluation des améliorations apportées par la classe de fonctionnement E

Une première description du fonctionnement en classe E a été faite dans le chapitre I. Ce fonctionnement repose principalement sur la topologie du circuit présentée sur la figure III.1.

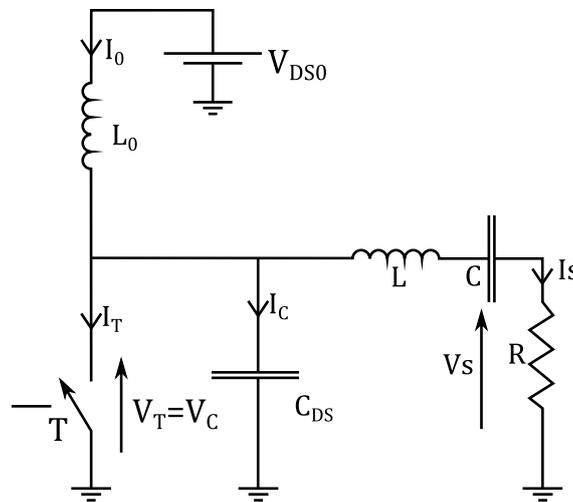


Figure III.1 : Circuit fonctionnant en classe E.

Idéalement, ce circuit est commandé par une tension grille-source de forme rectangulaire. Un rendement théorique de 100 % est obtenu si la phase d'établissement du courant de drain I_T se fait quand la capacité C_{DS} est déchargée ($V_T = 0$ V et $I_C = 0$ A).

III. 1. a. Aspects théoriques

Cette technique d'amélioration du rendement a été évaluée à l'aide de simulations avec un modèle de HEMT $8 \times 250 \mu\text{m}$ en AlGaIn/GaN de technologie similaire aux transistors de la plaque A-AlGaIn/GaN.

Les caractéristiques électriques du transistor sont présentées sur les figures III.2 et III.3, à l'aide du tracé du courant de drain I_d en fonction de la tension V_{GS} pour $V_{DS} = 30$ V et du tracé du réseau du courant de drain I_d en fonction de V_{DS} pour différents V_{GS} . La tension de pincement du transistor approche $V_{GS} = -4$ V. Le composant possède un courant de drain à saturation $I_{dSAT} = 970$ mA environ ($V_{GS} = 0$ V, $V_{DS} = 40$ V), une résistance à l'état passant $R_{ON} = 7,8 \Omega$ et une transconductance $g_m = 250$ mS environ.

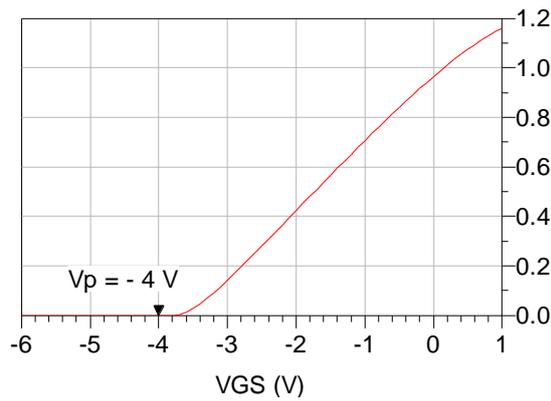


Figure III.2 : Courant Id en fonction de V_{GS} pour $V_{DS} = 30$ V pour le modèle utilisé pour les simulations d'un fonctionnement en classe E.

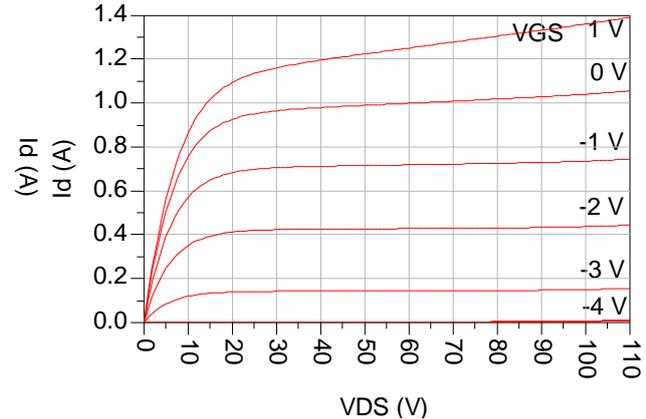


Figure III.3 : Réseau Id- V_{DS} du modèle utilisé pour les simulations d'un fonctionnement en classe E.

Les considérations théoriques sur la classe E déterminent des valeurs bien précises pour les capacités C_{DS} , et C et pour l'inductance L et la résistance R présentées sur la figure III.1.

Un utilitaire fourni par James L. Tonne [63] permet de calculer les valeurs optimales pour un fonctionnement en classe E. Les valeurs sont calculées en se basant sur les formules théoriques énoncées F.H. Raab [2].

En choisissant une tension de polarisation $V_{DS0} = 40$ V, un courant de drain pic $I_{dMAX} = 887$ mA, une tension de coude $V_{Coude} = 16$ V, un facteur de qualité du filtre L-C série $Q = 10$, et une fréquence de fonctionnement $f_0 = 3$ GHz, nous obtenons les valeurs présentées dans le tableau III.1.

| Paramètre | Valeur | Paramètre | Valeur |
|-------------|--------|------------------|---------------|
| V_{DS0} | 40 V | C_{DS} | 383 pF |
| V_{Coude} | 10 V | Q | 10 |
| I_{dMAX} | 887 mA | C | 220 pF |
| f_0 | 3 GHz | L | 14,6 nH |
| P_{OUT} | 11,5 W | R | 27,4 Ω |
| V_{MAX} | 102 V | Rendement η | 60 % |

Tableau III.1 : Exemple de valeurs pour un fonctionnement en classe E à 3 GHz

Le point clé dans le fonctionnement en classe E repose sur la valeur de la capacité C_{DS} qu'il faut présenter entre le drain et la source du transistor. En effet, le réglage présenté dans le tableau III.1 demande une valeur $C_{DS} = 383$ pF. Or, le modèle du transistor utilisé possède une valeur de capacité $C_{DS} = 452$ pF. Le transistor n'est donc pas adapté pour répondre aux exigences d'un fonctionnement en classe E, dans les conditions énoncées précédemment. Le rendement présenté dans le tableau III.1 correspond au rendement de drain η qu'il est possible d'obtenir en respectant les formes temporelles de la classe E malgré une tension de coude V_{Coude} non-nulle. Ce rendement n'atteint donc pas 100 % en raison des pertes par conduction dans le transistor quand sa tension V_{DS} vaut V_{Coude} .

Les valeurs de C_{DS} , C et L sont directement liées à la fréquence de travail afin de conserver le fonctionnement en classe E. La résistance R , la tension maximale V_{MAX} , la puissance de sortie P_{OUT} et le rendement η ne sont pas influencés par cette modification des éléments réactifs. La figure III.4 présente l'évolution de la valeur retenue pour la capacité C_{DS} en fonction de la fréquence f_0 .

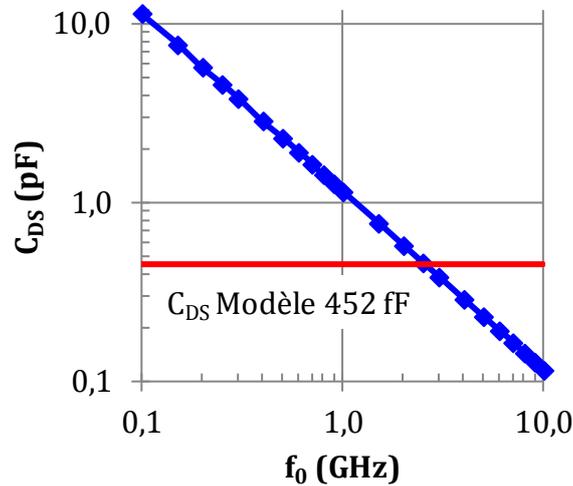


Figure III.4 : Évolution de C_{DS} en fonction de f_0 pour conserver un fonctionnement en classe E.

La capacité C_{DS} diminue avec la fréquence f_0 . Pour une fréquence $f_0 = 2,54$ GHz, la capacité nécessaire vaut $C_{DS} = 452$ fF. Cette valeur correspond à celle du modèle de HEMT utilisé dans les simulations. Le transistor du modèle respecte donc les spécifications d'un fonctionnement en classe E pour une amplification jusqu'à 2,54 GHz. Le rendement de drain reste alors 60 %.

La capacité C et l'inductance L évoluent aussi en fonction de la fréquence f_0 . Leurs valeurs sont présentées sur les figures III.5 et III.6.

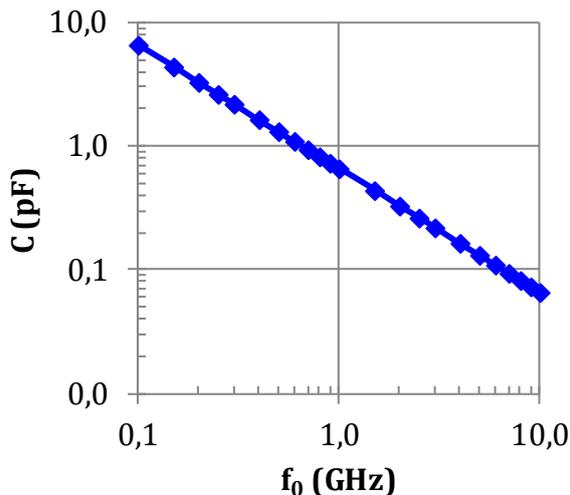


Figure III.5 : Évolution de la capacité C en fonction de f_0

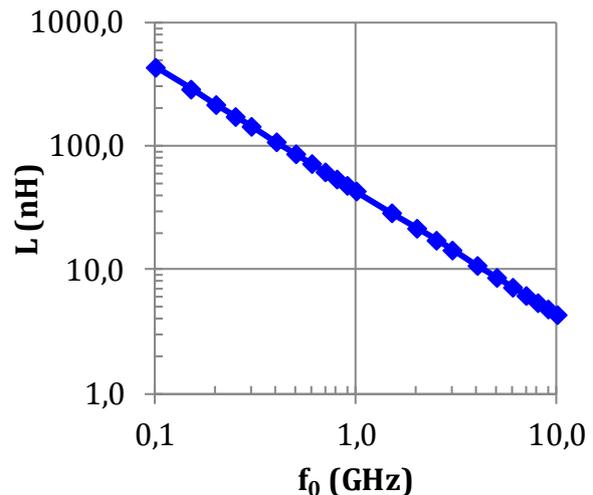


Figure III.6 : Évolution de l'inductance L en fonction de f_0

La variation du facteur de qualité Q a aussi été étudiée. Cette modification a peu d'impact sur la puissance de sortie P_{OUT} , la tension maximale V_{MAX} , ou le rendement η . Par contre, la capa-

La capacité C_{DS} et la résistance de charge R sont modifiées. Leurs valeurs sont présentées sur les figures III.7 et III.8 pour une fréquence $f_0 = 3$ GHz.

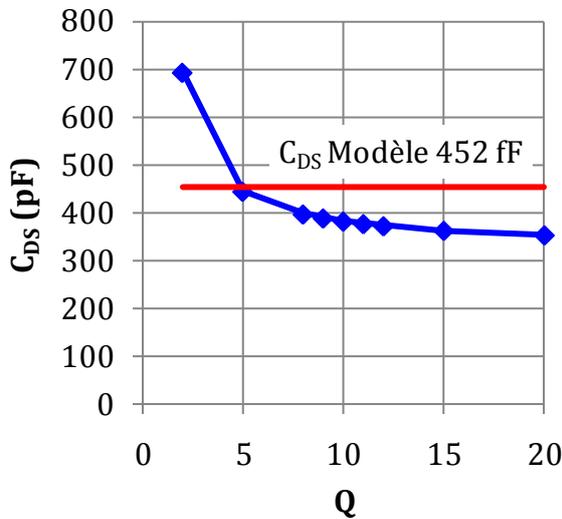


Figure III.7 : Évolution de la capacité C_{DS} en fonction du facteur de qualité Q , avec $f_0 = 3$ GHz.

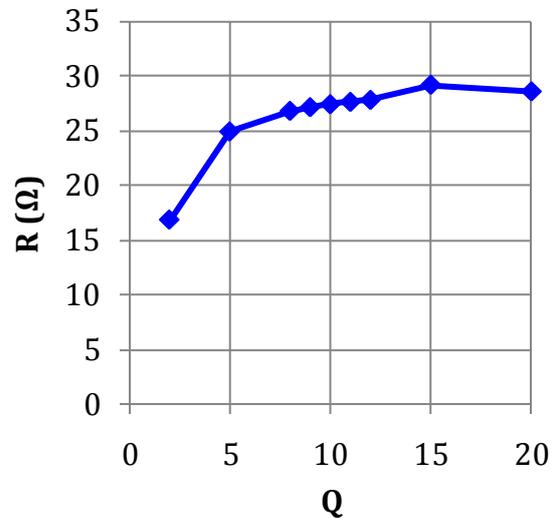


Figure III.8 : Évolution de la résistance R en fonction du facteur de qualité Q , avec $f_0 = 3$ GHz.

En diminuant le facteur de qualité Q , la capacité C_{DS} doit être plus élevée pour respecter le fonctionnement en classe E. La résistance de charge R diminue. Cette diminution du facteur de qualité Q augmente la bande passante de l'amplificateur. En contre partie, la reconstruction du signal de sortie dans la résistance de charge R n'est plus aussi parfaite. En effet, le filtre R-L-C ne joue plus aussi bien son rôle d'élimination des harmoniques pour reconstruire le signal. L'augmentation de la valeur de la capacité C_{DS} nécessaire au fonctionnement en classe E s'accompagne, dans ce cas, d'une distorsion en sortie, car le signal de sortie s'éloigne d'une forme sinusoïdale.

L'analyse suivante permet d'étudier l'impact d'une variation de la résistance de charge R sur le fonctionnement en classe E. L'augmentation de la valeur de R se traduit par une réduction de la puissance de sortie P_{OUT} , par une augmentation du rendement η , par une diminution de la capacité C_{DS} et une augmentation de la tension maximale V_{MAX} . Les évolutions de ces valeurs sont présentées sur les figures III.9 et III.10 pour une fréquence $f_0 = 3$ GHz.

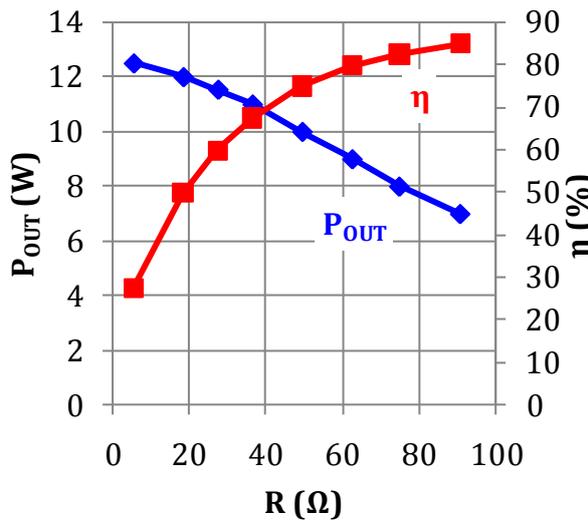


Figure III.9 : Évolution de la puissance P_{OUT} et du rendement η en fonction de la résistance R , avec $f_0 = 3$ GHz.

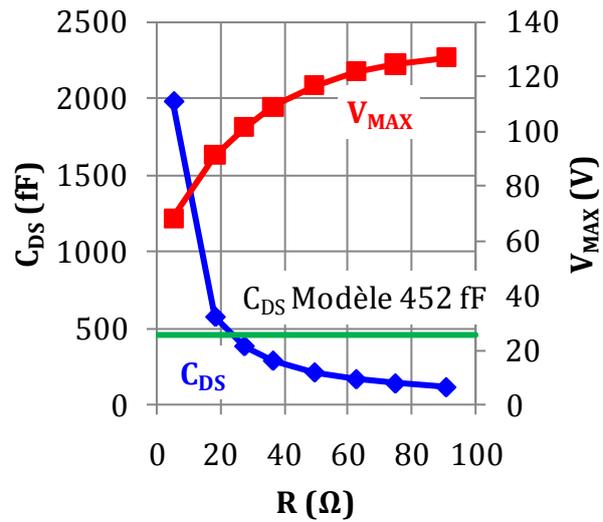


Figure III.10 : Évolution de la capacité C_{DS} et de la tension maximale V_{MAX} en fonction de la résistance R , avec $f_0 = 3$ GHz.

L'augmentation de la résistance de charge R se traduit par une diminution du courant maximal I_d^{MAX} atteint pendant le cycle de charge. Il en résulte une réduction de la puissance de sortie. En contre partie, la tension de coude V_{Coude} diminue. Les pertes par conduction diminuent également. Ceci conduit à une augmentation du rendement en puissance η . La valeur de la capacité C_{DS} doit alors être plus faible. Ainsi, pour une fréquence $f_0 = 3$ GHz, diminuer la résistance R permet d'obtenir une configuration de fonctionnement en classe E avec une capacité C_{DS} supérieure à celle du transistor utilisé mais au détriment du rendement en puissance η .

Finalement, la technologie HEMT à base de GaN utilisée présente des valeurs de capacités C_{DS} légèrement trop élevées pour respecter les conditions de fonctionnement en classe E pour les fréquences f_0 supérieures à 2 GHz. Le développement de la grille du transistor utilisé dans le modèle est de 2 mm. Pour les réalisations présentées dans la partie III. 4, les transistors utilisés ont pour développement $6 \times 400 \mu m = 2,4$ mm. Leur capacité C_{DS} vaut 1,9 pF. Cette valeur est encore plus grande que la limitation imposée par le fonctionnement en classe E autour de 2 GHz.

Comme nous l'avons vu dans le chapitre II, l'utilisation de composants sans plaque de champ reliée à la source permet de réduire la capacité C_{DS} . Ce serait alors une possibilité pour obtenir des transistors fonctionnant en classe E.

III. 1. b. Simulation pour $f_0 = 1$ GHz

Le paragraphe précédent nous a montré que l'utilisation de la technologie HEMT GaN n'est donc pas optimisée pour le fonctionnement en classe E au-delà de 2 GHz.

Néanmoins, nous avons réalisé quelques simulations de fonctionnement en classe E pour une fréquence plus basse. La figure III.11 présente le circuit utilisé pour les simulations par équilibrage harmonique (*Harmonic Balance*).

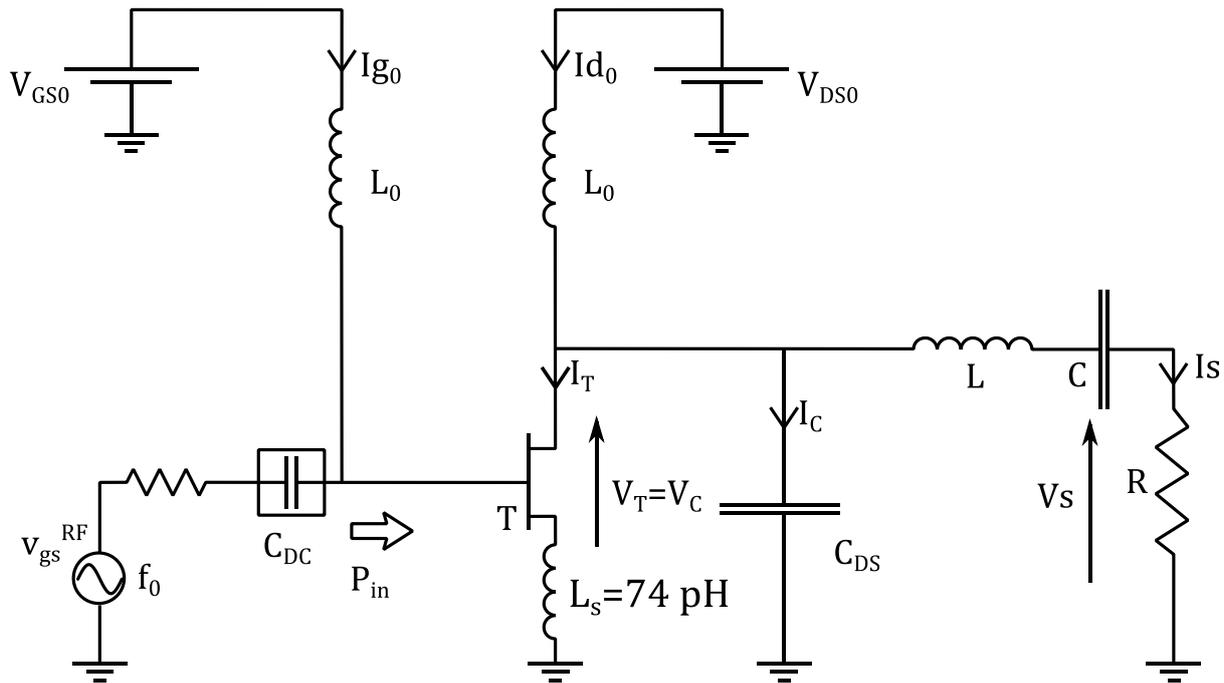


Figure III.11 : Schéma du circuit utilisé pour les simulations en classe E.

Le circuit utilisé pour les simulations en classe E a été adapté pour un fonctionnement avec $f_0 = 1$ GHz. La source de puissance est un générateur de tension v_{gs}^{RF} sinusoïdale de fréquence f_0 . Une capacité C_{DC} sert à découpler le générateur de puissance de la source de tension de polarisation V_{GS0} , afin d'éviter les courts-circuits entre ces éléments. Le transistor n'est donc pas commandé par un signal rectangulaire mais par un signal sinusoïdal. Il se comporte alors comme un interrupteur avec des transitions lentes et douces.

De plus, les transistors utilisés ne possèdent pas de trous métallisés allant de l'avant vers la face arrière du substrat. Les accès à la source du transistor doivent donc être reliés à la masse du circuit à l'aide de fils de câblage. Ces fils "de bonding" introduisent donc un effet inductif entre la source du transistor et la masse du circuit. Pour réaliser des simulations représentatives du comportement des circuits réels, une inductance $L_S = 74$ pH a été introduite entre la source et la masse.

Ces modifications, par rapport à la structure proposée dans la théorie du fonctionnement en classe E, changent les valeurs optimales qui permettent d'obtenir une mise en conduction du transistor au moment où la capacité C_{DS} est déchargée ($V_C = 0$ V) et le courant traversant la capacité C_{DS} est nul ($I_C = 0$ A). Cette différence entre le fonctionnement théorique et le fonctionnement du circuit présenté sur la figure III.11 a été mise en évidence par des simulations avec $f_0 = 1$ GHz. Les valeurs des paramètres correspondant au fonctionnement en classe E sont présentées dans le tableau III.2.

| Paramètre | Valeur | Paramètre | Valeur |
|--------------------------------------|-----------------|-----------|---------------|
| V_{DS0} | 40 V | C | 659 fF |
| V_{GS0} | -3,4 V | L | 43,7 nH |
| $C_{DS}^{Transistor} + C_{DS}^{ext}$ | 452 fF + 663 fF | R | 27,4 Ω |

Tableau III.2 : Paramètres du circuit pour obtenir un fonctionnement en classe E pour $f_0 = 1$ GHz.

Les figures III.12 et III.13 présentent les formes temporelles au niveau de la source intrinsèque de courant du modèle du transistor pour un fonctionnement avec les paramètres du tableau III.2 pour $f_0 = 1$ GHz.

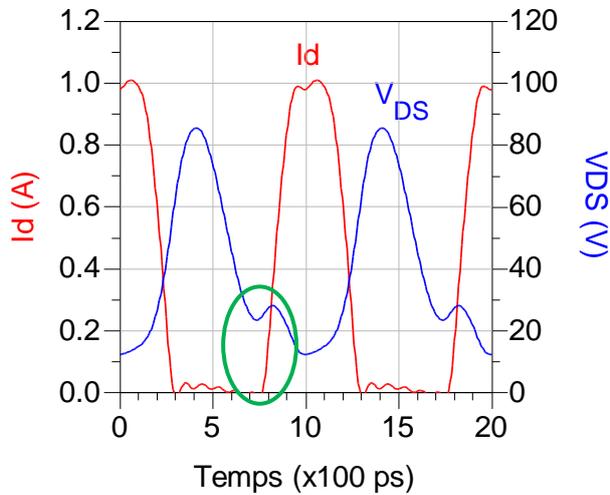


Figure III.12 : Formes temporelles du courant I_d et de la tension V_{DS} intrinsèques pour un fonctionnement avec les paramètres attendus pour la classe E avec $f_0 = 1$ GHz.

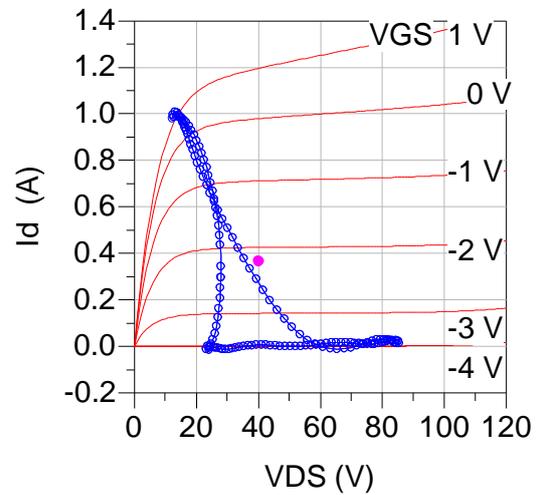


Figure III.13 : Cycle de charge I_d - V_{DS} intrinsèques pour un fonctionnement avec les paramètres attendus pour la classe E avec $f_0 = 1$ GHz.

Sur la figure III.12, la tension V_{DS} n'a pas atteint sa valeur minimale au moment de la mise en conduction du transistor (zone entourée d'une ellipse de couleur verte sur la figure III.12). Nous retrouvons ce phénomène au niveau du cycle de charge présenté sur la figure III.13. Le cycle de charge est particulièrement déformé. Il ne passe pas à côté du point (0,0). Sur cette figure, le point de polarisation est représenté par le point rose (V_{DS0} , I_{d0}).

La figure III.14 montre la puissance de sortie P_{OUT} et le rendement en puissance ajoutée (PAE) en fonction de la puissance injectée dans le transistor. Le rendement maximum PAE_{MAX} vaut 50 % pour une puissance de sortie $P_{OUT} = 38,5$ dBm. L'évolution de ce rendement PAE et de la puissance P_{OUT} en fonction de la fréquence f_0 est présentée sur la figure III.15. Le rendement en puissance ajoutée ne dépasse pas 70 %. Ce pic en PAE n'est pas centré sur $f_0 = 1$ GHz. De plus, la puissance de sortie P_{OUT} est faible pour ce pic en PAE ($P_{OUT} \approx 6$ W).

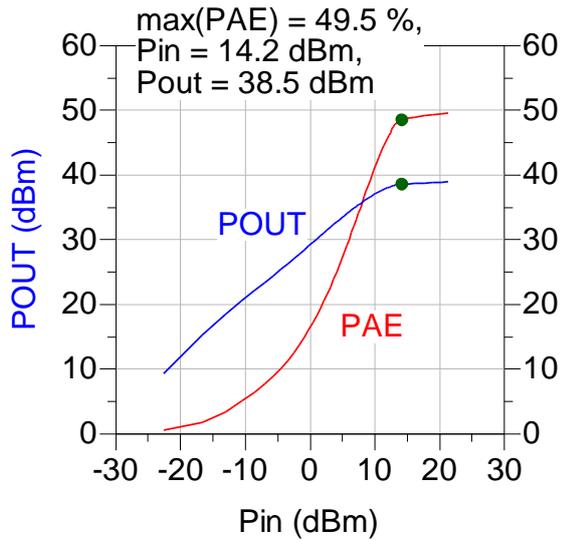


Figure III.14 : Puissance P_{OUT} et rendement PAE en fonction de la puissance injectée P_{IN} pour $f_0 = 1$ GHz.

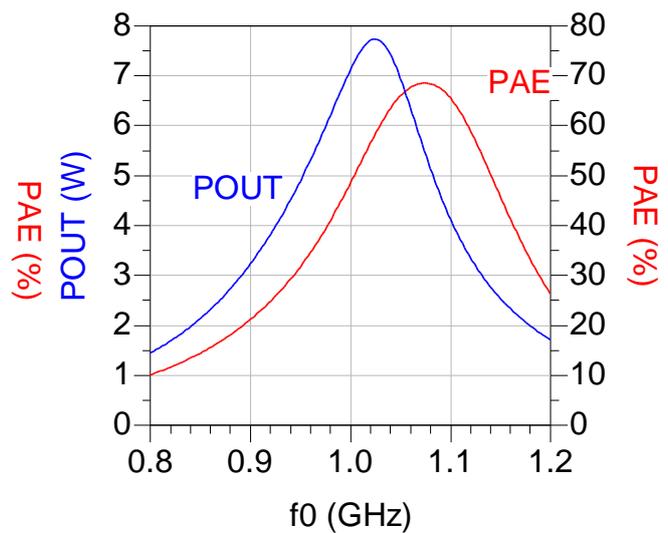


Figure III.15 : Puissance P_{OUT} et rendement PAE en fonction de la fréquence f_0

III. 1. c. Optimisation des formes temporelles pour $f_0 = 3$ GHz

Au laboratoire, les prototypes d'amplificateurs sont habituellement conçus pour fonctionner entre 2 GHz et 4 GHz. Afin d'étudier le fonctionnement en classe E des transistors de ces amplificateurs, une optimisation des valeurs des composants du circuit de la figure III.11 a été réalisée avec $f_0 = 3$ GHz. L'objectif est d'obtenir la mise en conduction du transistor en respectant les conditions d'un fonctionnement en classe E ($V_C = 0$ V et $I_C = 0$ A). Le tableau III.3 regroupe les valeurs obtenues à la suite de cette optimisation.

| Paramètre | Valeur | Paramètre | Valeur |
|--------------------------------------|---------------|-----------|--------------|
| V_{DS0} | 40 V | C | 35 fF |
| V_{GS0} | -3,4 V | L | 84 nH |
| $C_{DS}^{Transistor} + C_{DS}^{ext}$ | 452 fF + 0 fF | R | 8,9 Ω |

Tableau III.3 : Paramètres d'un circuit permettant d'obtenir un fonctionnement proche de la classe E pour $f_0 = 3$ GHz.

Ces paramètres ont permis d'obtenir les formes temporelles présentées sur les figures III.16 et III.17.

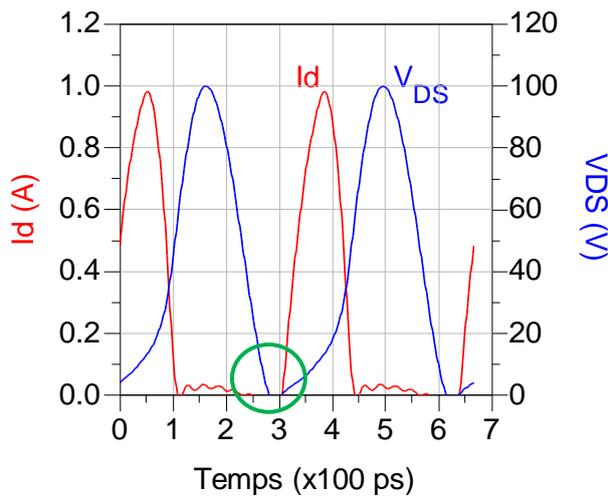


Figure III.16 : Formes temporelles du courant I_d et de la tension V_{DS} intrinsèques pour un fonctionnement en classe E avec $f_0 = 3$ GHz.

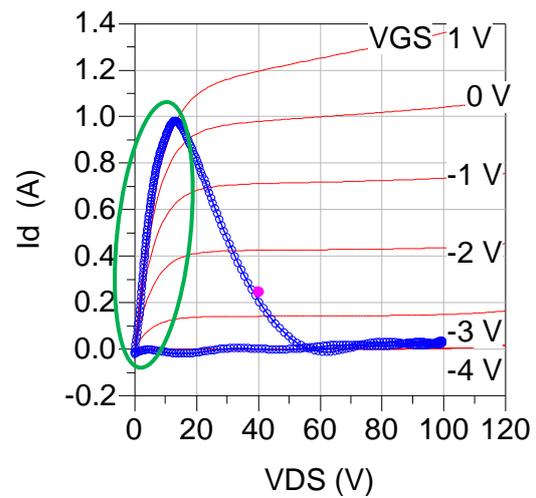


Figure III.17 : Cycle de charge I_d - V_{DS} intrinsèques pour un fonctionnement en classe E avec $f_0 = 3$ GHz.

L'optimisation a permis d'obtenir une mise en conduction du transistor au moment où la tension V_{DS} intrinsèque est nulle et sa dérivée est nulle. Une ellipse verte met en évidence cette transition sur la figure III.16. Le cycle de charge présenté sur la figure III.17 passe par le point $(I_d, V_{DS}) = (0,0)$. L'ouverture du transistor se poursuit par un balayage de la zone ohmique du transistor. Néanmoins, l'utilisation d'un signal sinusoïdal pour commander le transistor se traduit par une extinction lente du transistor, le courant de drain I_d n'est pas coupé de façon brutale par le transistor, alors que ceci est exigé pour le fonctionnement théorique en classe E. Le cycle de charge passe ainsi, pendant cette phase de réduction du courant de drain I_d , par des points de fortes puissances instantanées $I_d(t) \times V_{DS}(t)$. Le rendement en puissance en est impacté.

Les figures III.18 et III.19 regroupent les tracés de la puissance de sortie P_{OUT} et du rendement en puissance ajoutée PAE en fonction de la puissance injectée P_{in} pour $f_0 = 3$ GHz et aussi en fonction de la fréquence f_0 .

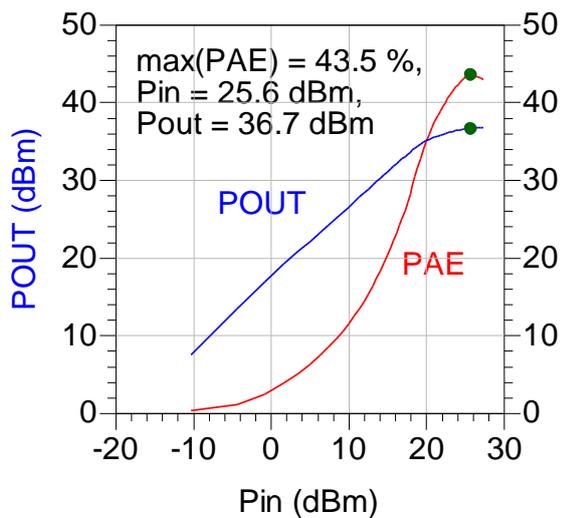


Figure III.18 : Puissance P_{OUT} et rendement PAE en fonction de la puissance injectée P_{IN} pour un fonctionnement en classe E avec $f_0 = 3$ GHz.

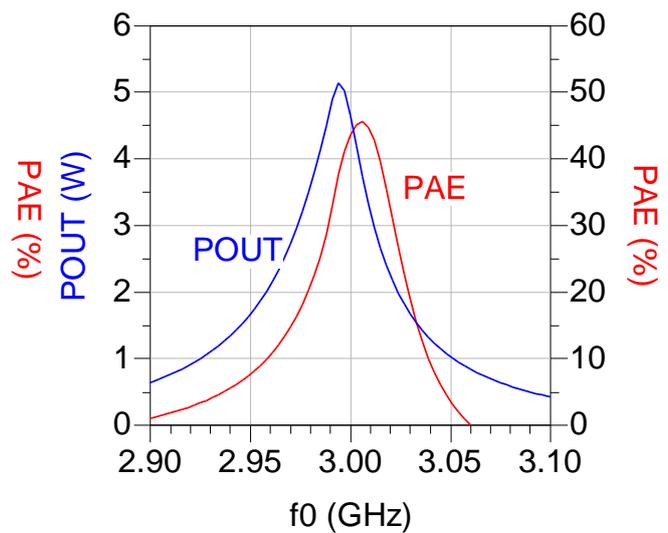


Figure III.19 : Puissance P_{OUT} et rendement PAE en fonction de la fréquence f_0 un fonctionnement en classe E.

Le rendement en puissance ajoutée est faible. Il atteint 44 %. Ce pic en PAE est centré autour de la fréquence $f_0 = 3$ GHz. De même, la puissance de sortie est faible. Elle vaut 37 dBm (5W). Cette puissance est maximale autour de $f_0 = 3$ GHz.

L'optimisation des formes temporelles pour un fonctionnement en classe E a permis d'obtenir le comportement temporel recherché au moment de la mise en conduction du transistor. Par contre, l'utilisation de signaux d'entrée de formes sinusoïdales ne permet pas d'avoir une extinction du transistor rapide. Ceci se traduit par un rendement en puissance ajoutée et une puissance de sortie faibles. De plus, la bande passante de l'amplificateur visible sur la figure III.19 est réduite. Elle vaut 400 MHz pour un rendement supérieur à 20 % et une puissance de sortie supérieure à 2 W.

III. 1. d. Optimisation du rendement en puissance ajoutée PAE pour $f_0 = 3$ GHz

Le circuit de la figure III.11 ne présente pas un rendement important pour un fonctionnement en classe E avec $f_0 = 3$ GHz. Une optimisation supplémentaire a été réalisée afin d'améliorer la puissance et le rendement du transistor. Le tableau III.4 regroupe les paramètres obtenus en cherchant à maximiser le rendement en puissance ajoutée.

| Paramètre | Valeur | Paramètre | Valeur |
|--------------------------------------|---------------|-----------|-------------|
| V_{DS0} | 40 V | C | 41 fF |
| V_{GS0} | -3,4 V | L | 71 nH |
| $C_{DS}^{Transistor} + C_{DS}^{ext}$ | 452 fF + 0 fF | R | 28 Ω |

Tableau III.4 : Paramètres d'un circuit permettant d'obtenir un rendement maximal pour $f_0 = 3$ GHz.

Ces paramètres ont permis d'obtenir les formes temporelles présentées sur les figures III.20 et III.21.

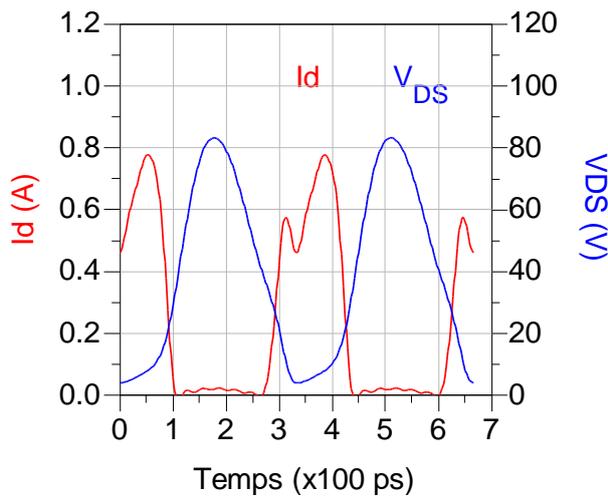


Figure III.20 : Formes temporelles du courant I_d et de la tension V_{DS} intrinsèques pour un fonctionnement au maximum de PAE avec $f_0 = 3$ GHz.

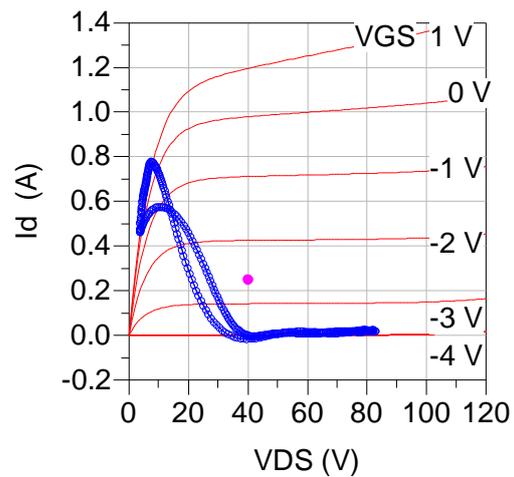


Figure III.21 : Cycle de charge I_d - V_{DS} intrinsèques pour un fonctionnement au maximum de PAE avec $f_0 = 3$ GHz.

L'optimisation, pour atteindre un rendement plus élevé, donne des formes temporelles correspondant à celles de la classe F inverse. Cette classe de fonctionnement a été présentée dans le paragraphe I. 2. c. Le courant de drain I_d possède presque une forme quasi rectangulaire. La tension V_{DS} s'approche d'un demi-sinus (voir figure III.20). Le cycle de charge passe plus loin du point (0,0) que l'optimisation précédente, mais il ne passe pas par des points de puissance instantanée aussi élevée. Le rendement s'en trouve ainsi amélioré.

Les figures III.22 et III.23 présentent la puissance de sortie et le rendement en puissance ajoutée en fonction de la puissance injectée P_{in} et de la fréquence f_0 .

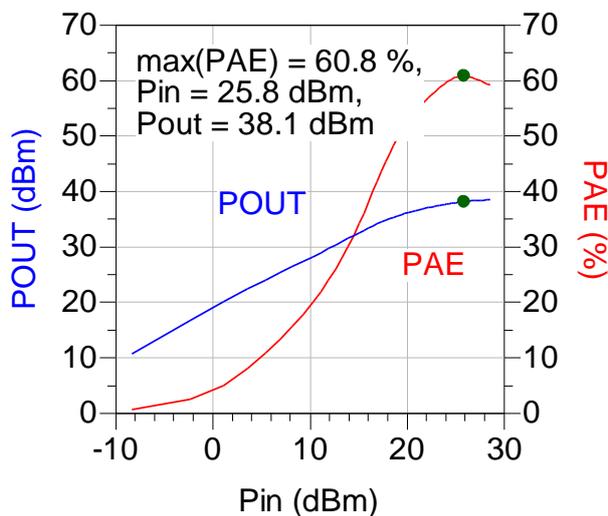


Figure III.22 : Puissance P_{OUT} et rendement PAE en fonction de la puissance injectée P_{IN} pour un fonctionnement au maximum de PAE à $f_0 = 3$ GHz.

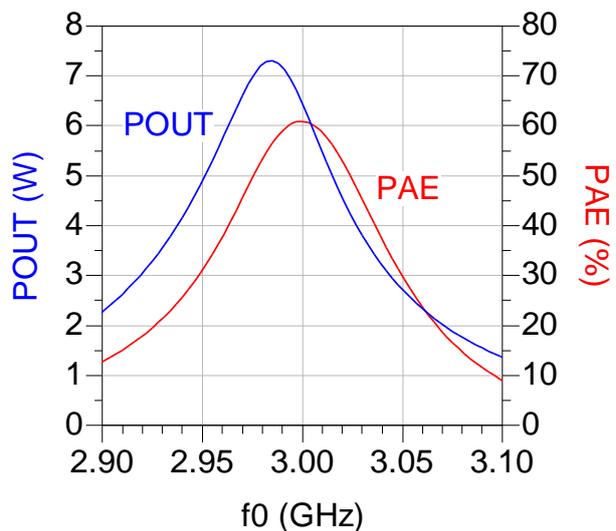


Figure III.23 : Puissance P_{OUT} et rendement PAE en fonction de la fréquence f_0 pour un fonctionnement au maximum de PAE.

Le rendement en puissance ajoutée PAE atteint 61 % avec une puissance de sortie P_{OUT} valant 38 dBm. La bande passante pour un rendement PAE supérieur à 20 % et une puissance de sortie supérieure à 2 W dépasse 1,2 GHz.

L'optimisation a donc augmenté de façon importante les performances du transistor. Cependant, les formes temporelles obtenues ressemblent plus à celles d'un fonctionnement en classe F inverse qu'aux formes attendues pour le fonctionnement en classe E.

La technologie HEMT GaN utilisée dans ces travaux possède donc des valeurs de capacité C_{DS} trop élevées pour permettre le fonctionnement en classe E aux fréquences voisines de 3 GHz. Les optimisations réalisées sur le circuit utilisé pour la classe E ont permis d'obtenir de bonnes performances en rendement en puissance et en puissance de sortie. Les formes temporelles correspondant aux réglages avec les meilleures performances sont celles d'un fonctionnement en classe F inverse.

III. 2. Étude de l'augmentation du rendement avec la classe de fonctionnement F

L'étude du fonctionnement en classe E décrite dans la partie précédente a montré que les transistors HEMT GaN utilisés dans ces travaux sont plus propices à l'obtention de fortes performances à l'aide de formes temporelles d'un fonctionnement en classe F ou F inverse.

Nous étudions ainsi dans cette partie le fonctionnement en classe F ou F inverse pour avec les mêmes transistors.

III. 2. a. Recherche des impédances optimales

Comme nous l'avons vu dans le paragraphe I. 2. c, le fonctionnement en classe F repose principalement sur l'utilisation d'impédances de charge et de source particulières aux harmoniques.

Le circuit utilisé pour réaliser les simulations de cette classe de fonctionnement est présenté sur la figure III.24.

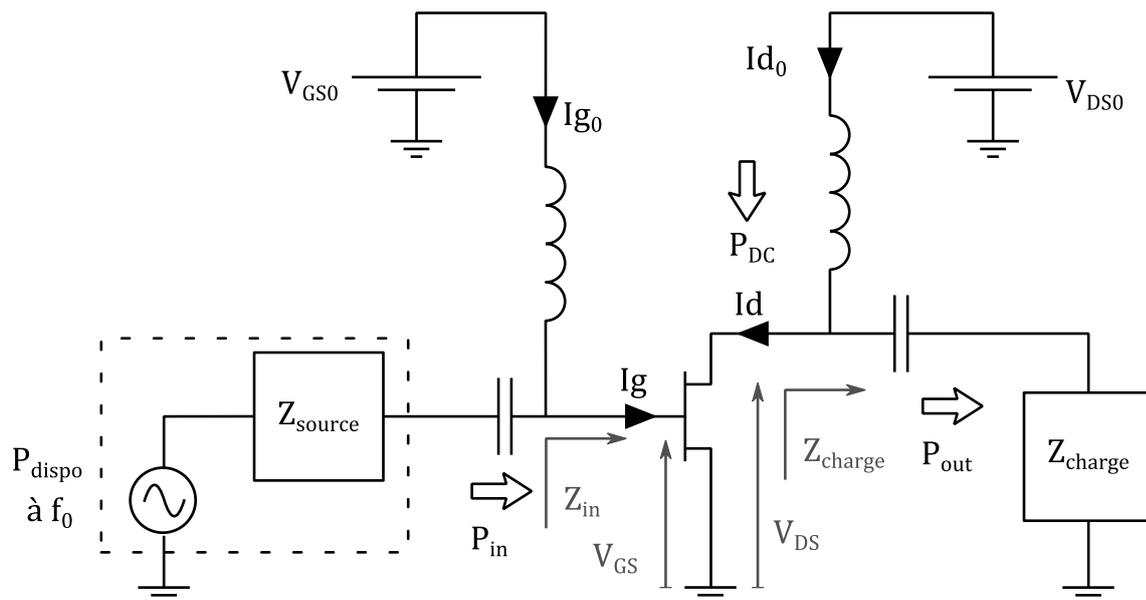


Figure III.24 : Circuit permettant de simuler le fonctionnement du transistor en classe F.

Le circuit possède une structure très proche du circuit utilisé pour le fonctionnement dans les classes A, AB, B et C. L'impédance de charge présentée au transistor est une impédance tabulée qui présente une valeur différente à chaque harmonique. Ce bloc permet d'optimiser les impédances pour chaque harmonique. De la même manière, l'impédance de source est tabulée pour présenter une impédance différente à chaque harmonique.

Les valeurs retenues à la fréquence fondamentale réalisent l'adaptation d'impédances pour transmettre au mieux la puissance depuis le générateur de puissance vers le transistor puis du transistor vers la charge.

Les valeurs présentées aux harmoniques modifient les amplitudes et les phases des harmoniques de la tension et du courant. Ceci permet de régler le fonctionnement du transistor pour obtenir les formes temporelles propres à la classe F ou à la classe F inverse.

Ce circuit a été utilisé pour optimiser son fonctionnement à l'aide de simulations par équilibrage harmonique (*Harmonic Balance*) à la fréquence fondamentale $f_0 = 2 \text{ GHz}$. Plusieurs étapes ont été réalisées pour augmenter le rendement en puissance ajoutée en travaillant avec les impédances d'entrée et de sortie jusqu'à l'harmonique $3xf_0 = 6 \text{ GHz}$. Les cinq étapes sont décrites dans le tableau III.5. Les impédances aux harmoniques supérieures n'ont pas été optimisées et valent 50Ω .

| Fréquences | Impédances | | | | | |
|------------|---------------------------|---------------------------|--------------------|----------------------------|-----------------------|------------------------|
| | Source (grille) : Zg | | | Charge (drain) : Zd | | |
| | f_0 | $2 \cdot f_0$ | $3 \cdot f_0$ | f_0 | $2 \cdot f_0$ | $3 \cdot f_0$ |
| Étape 1 | $3,7 + j \cdot 19 \Omega$ | 50Ω | 50Ω | $50,7 + j \cdot 61 \Omega$ | 50Ω | 50Ω |
| Étape 2 | $3,7 + j \cdot 19 \Omega$ | 50Ω | 50Ω | $50,7 + j \cdot 61 \Omega$ | $j \cdot 63,6 \Omega$ | 50Ω |
| Étape 3 | $3,7 + j \cdot 19 \Omega$ | $5,2 + j \cdot 30 \Omega$ | 50Ω | $50,7 + j \cdot 61 \Omega$ | $j \cdot 63,6 \Omega$ | 50Ω |
| Étape 4 | $3,7 + j \cdot 19 \Omega$ | $5,2 + j \cdot 30 \Omega$ | 50Ω | $50,7 + j \cdot 61 \Omega$ | $j \cdot 63,6 \Omega$ | $-j \cdot 52,7 \Omega$ |
| Étape 5 | $3,7 + j \cdot 19 \Omega$ | $5,2 + j \cdot 30 \Omega$ | $j \cdot 2 \Omega$ | $50,7 + j \cdot 61 \Omega$ | $j \cdot 63,6 \Omega$ | $-j \cdot 52,7 \Omega$ |

Tableau III.5 : Évolution des impédances présentées au transistor pour chaque étape d'optimisation vers un fonctionnement en classe F

Cette optimisation se traduit par une augmentation de la puissance de sortie et du rendement en puissance ajoutée, qui est présentée sur les figures III.25 et III.26.

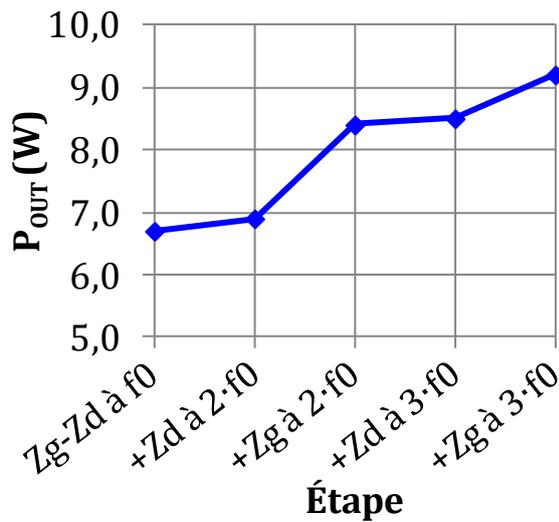


Figure III.25 : Évolution de la puissance de sortie P_{OUT} au cours des différentes étapes du tableau III.5.

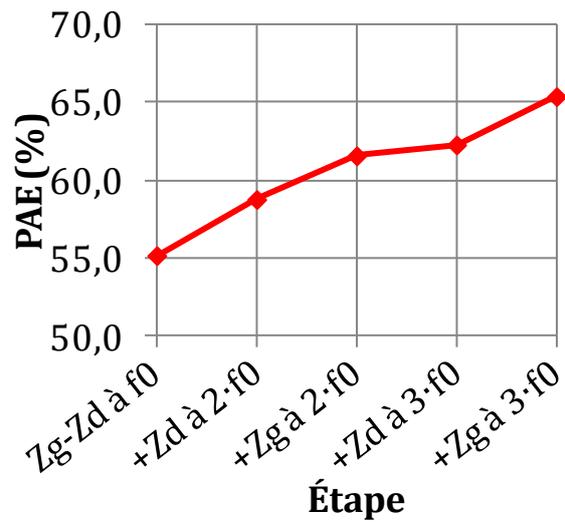


Figure III.26 : Évolution du rendement en puissance ajoutée PAE au cours des différentes étapes du tableau III.5.

L'optimisation des impédances présentées aux harmoniques permet une augmentation de la puissance de sortie de 2,5 W (+ 1,4 dB) et du rendement en puissance ajoutée de 10 points. La puissance de sortie est nettement améliorée par la modification de l'impédance présentée à la grille du transistor pour l'harmonique 2. Le rendement est lui accru de trois points par l'optimisation de l'impédance présentée au drain à l'harmonique 2, ou les impédances présentées à la grille pour l'harmonique 2 ou 3. Pour le transistor étudié, l'optimisation de l'impédance présentée au drain à l'harmonique 3 a une influence faible.

III. 2. b. Comparaison des performances avec un fonctionnement traditionnel

Les différentes étapes d'optimisation décrites dans le paragraphe précédent permettent, de partir d'un fonctionnement en classe traditionnelle, d'atteindre un rendement PAE et une puissance de sortie P_{OUT} plus élevés.

Les performances du transistor au cours des étapes 1 et 5, définies dans le paragraphe précédent, sont présentées sur les figures III.27 à III.32 :

- Étape 1 : adaptation des impédances uniquement pour la fréquence fondamentale, la tension de polarisation V_{GS0} vaut $-3,9$ V. Ceci correspond à un fonctionnement en classe B.
- Étape 5 : adaptation pour les harmoniques deux et trois en entrée et en sortie. Ceci est propre au fonctionnement en classe F ou F inverse. Les tracés correspondant à l'étape 5 sont référencés par le terme "classe F inverse" en raison des formes temporelles obtenues pour le courant et les tensions V_{GS} et V_{DS} .

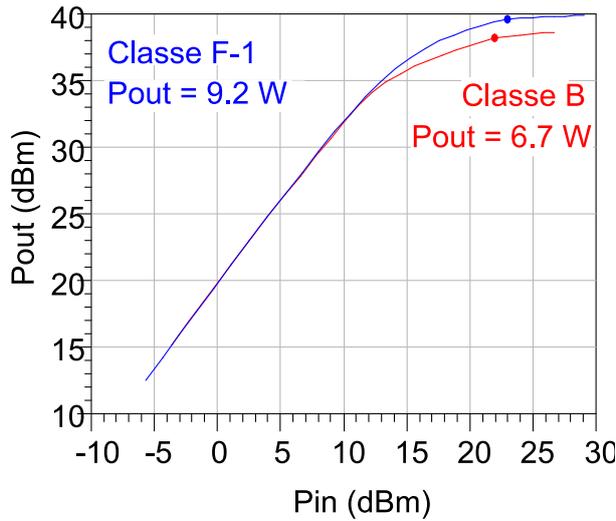


Figure III.27 : Puissance de sortie P_{OUT} pour un fonctionnement en classe B et un fonctionnement en classe F inverse.

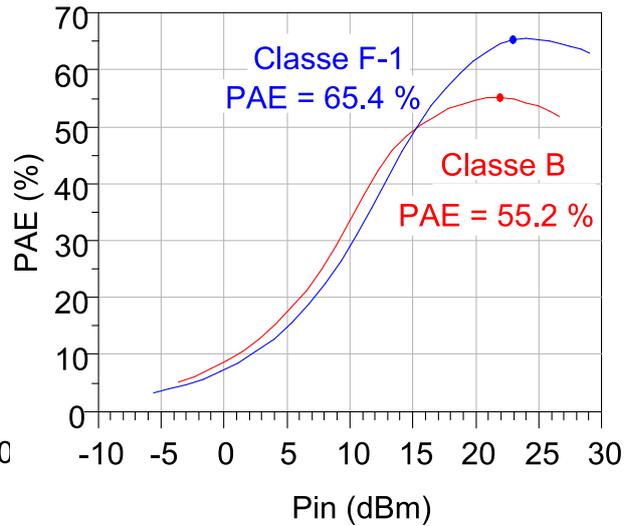


Figure III.28 : Rendement PAE pour un fonctionnement en classe B et un fonctionnement en classe F inverse.

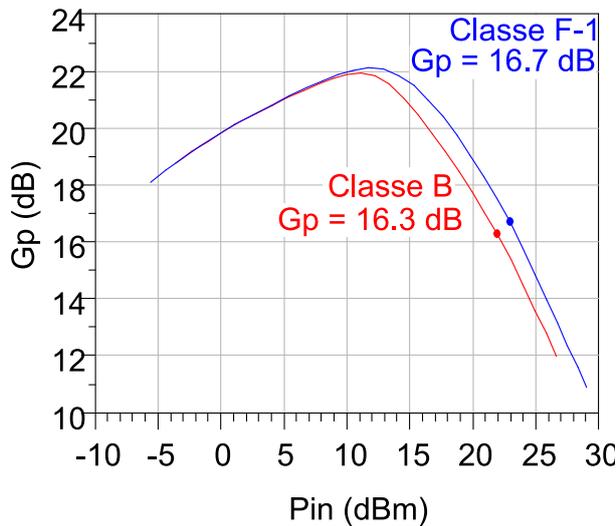


Figure III.29 : Gain en puissance G_p pour un fonctionnement en classe B et un fonctionnement en classe F inverse.

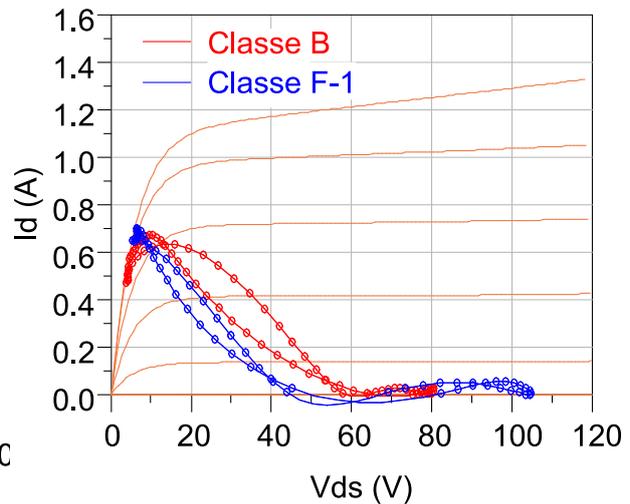


Figure III.30 : Cycle de charge I_d - V_{ds} intrinsèques pour un fonctionnement en classe B et un fonctionnement en classe F inverse

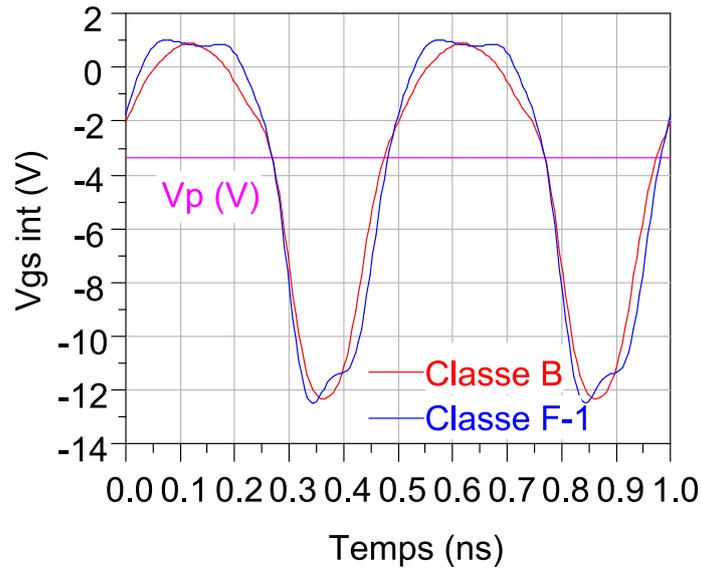


Figure III.31 : Formes temporelles de la tension V_{GS} intrinsèque pour un fonctionnement en classe B et un fonctionnement en classe F inverse

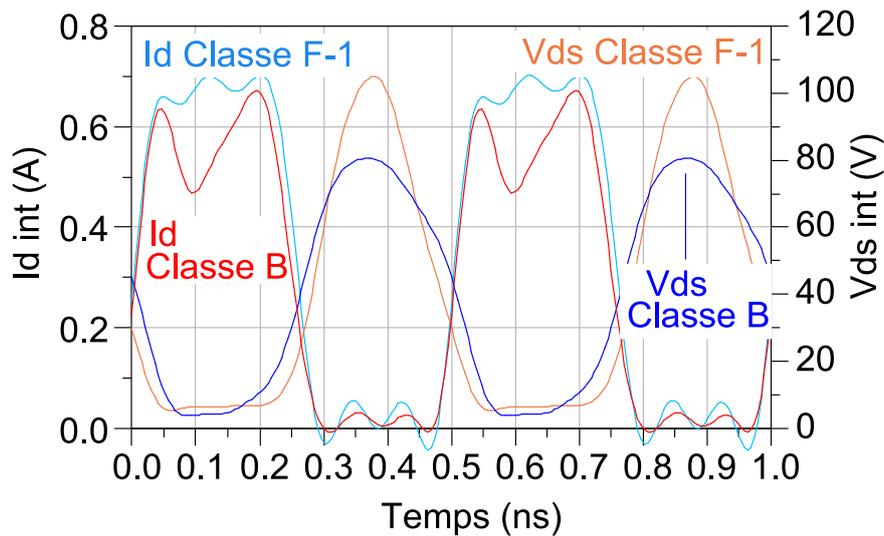


Figure III.32 : Formes temporelles du courant I_d et de la tension V_{ds} intrinsèques pour un fonctionnement en classe B et un fonctionnement en classe F inverse.

L'optimisation des impédances présentées aux harmoniques se traduit par l'augmentation de la puissance de sortie et du rendement en puissance ajoutée. Le gain en puissance G_p est quasiment le même pour les deux types de fonctionnement. Des différences sont aussi visibles au niveau des formes temporelles. Ainsi, sur la figure III.31, la forme temporelle de la tension V_{GS} , intrinsèque, pour le fonctionnement en classe B ressemble à celle d'un sinus déformé, alors que pour le fonctionnement en classe F inverse, la forme de la tension V_{GS} est proche d'un demi-sinus renversé. De cette façon, pendant le temps de conduction, la forme de la tension V_{GS} s'approche d'un rectangle ($V_{GS} > V_p$). Ceci se traduit immédiatement sur la forme du courant de drain I_d dans la source intrinsèque. En effet, le tracé en bleu clair du courant de drain pour le fonctionnement en classe F inverse sur la figure III.32 est plus proche d'un signal rectangulaire que celui du fonctionnement en classe B (tracé en rouge).

De la même manière, sur cette figure, la tension V_{DS} , aux bornes de la source intrinsèque de courant, présente une forme sinusoïdale déformée pour le fonctionnement en classe B alors que cette tension se rapproche d'un demi-sinus pour le fonctionnement en classe F inverse.

Les formes temporelles de l'étape 5 dans l'optimisation correspondent au fonctionnement en classe F inverse. La théorie décrite dans le paragraphe I. 2. c explique l'augmentation du rendement en puissance ajoutée PAE et de la puissance de sortie P_{OUT} qui est visible sur les figures III.27 et III.26. Enfin, le tracé des cycles de charge I_d-V_{DS} intrinsèques sur la figure III.30 passe beaucoup plus près du point (0;0) pour le fonctionnement en classe F inverse que pour le fonctionnement en classe B. Ceci est une illustration des raisons expliquant l'augmentation du rendement en puissance ajoutée PAE .

Les impédances de charge présentées à la source intrinsèques de courant ont été modifiées par l'optimisation des impédances présentées au transistor. Les figures III.33 à III.35 contiennent les positions de ces impédances sur des abaques de Smith.

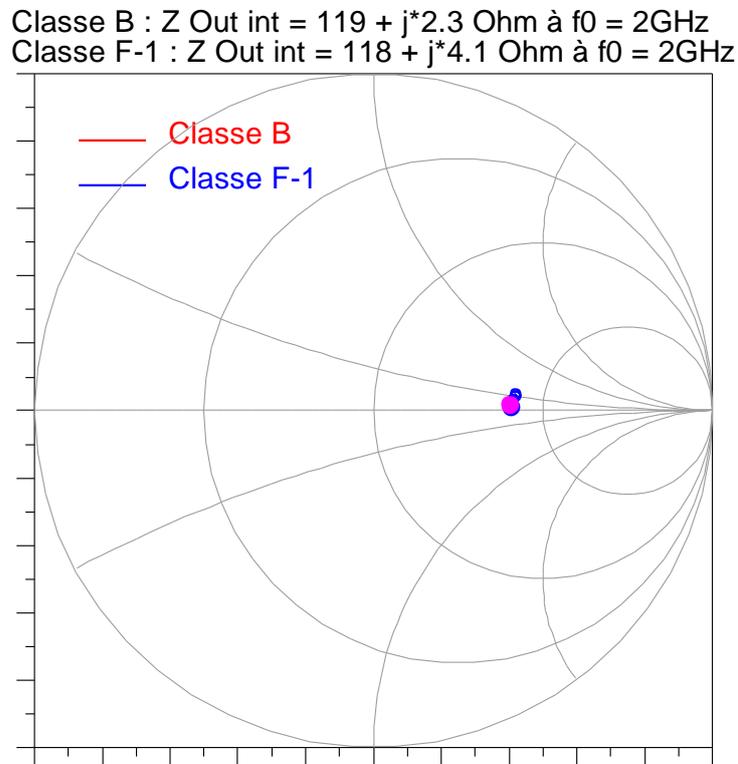


Figure III.33 : Position des impédances de charge présentées à la source de courant intrinsèque pour la fréquence f_0 pour les fonctionnements en classe B et en classe F

Classe B : $Z_{Out\ int} = 67 - j*86.8\ \Omega$ à $2xf_0 = 4\text{GHz}$
Classe F-1 : $Z_{Out\ int} = -1014 - j*386.9\ \Omega$ à $2xf_0 = 4\text{GHz}$

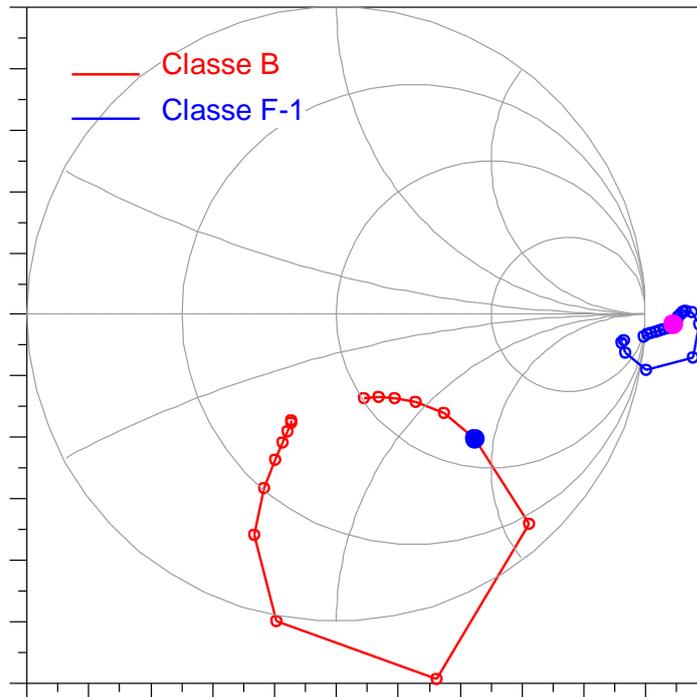


Figure III.34 : Position des impédances de charge présentées à la source de courant intrinsèque pour l'harmonique deux pour les fonctionnements en classe B et en classe F

Classe B : $Z_{Out\ int} = 23 - j*27.8\ \Omega$ à $3xf_0 = 6\text{GHz}$
 Classe F-1 : $Z_{Out\ int} = -2 - j*20.8\ \Omega$ à $3xf_0 = 6\text{GHz}$

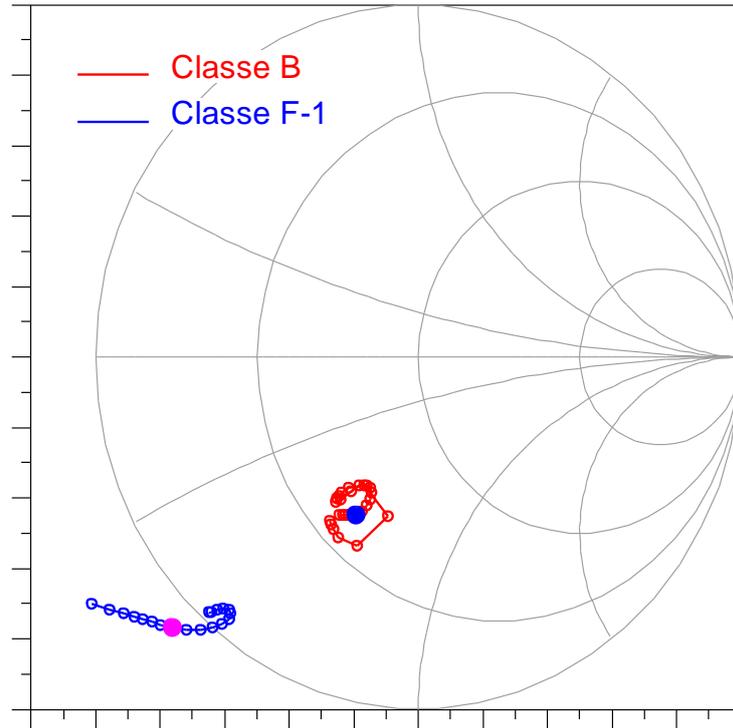


Figure III.35 : Position des impédances de charge présentées à la source de courant intrinsèque pour l'harmonique trois pour les fonctionnements en classe B et en classe F

Les impédances sont présentées en fonction de la puissance d'entrée. Les points en gras correspondent à l'impédance présentée pour le point de rendement maximal en puissance ajoutée *PAE*. Certains points sont placés en dehors de l'abaque de Smith. Ces points correspondent à une injection de puissance dans la source de courant intrinsèque pour l'harmonique concernée. L'impédance calculée possède alors une partie réelle à valeur négative. Cette puissance provient des autres éléments non-linéaires dans le transistor comme les diodes grille-source et grille-drain. En modifiant les formes des tensions, ces diodes transforment une partie de la puissance à la fréquence fondamentale pour en générer aux harmoniques.

L'adaptation à la fréquence fondamentale permet de présenter pratiquement une résistance pure de $119\ \Omega$ environ. À l'harmonique deux, l'optimisation a déplacé l'impédance présentée vers un circuit ouvert. À l'harmonique trois, la configuration en classe F inverse a rapproché l'impédance présentée vers le bord de l'abaque de Smith et légèrement vers un court-circuit. Ces impédances présentées aux harmoniques sont propres au fonctionnement en classe F inverse et expliquent les formes temporelles obtenues pour les tensions V_{GS} et V_{DS} et pour le courant I_d .

Les simulations présentées dans ce paragraphe montrent qu'il est possible d'augmenter la puissance de sortie et le rendement en puissance ajoutée en optimisant les impédances qui sont présentées aux transistors aux harmoniques du signal utile.

III. 3. Amélioration du rendement sur un montage avec une barrette 15x6x400 μm fonctionnant à 2 GHz.

Les techniques d'amélioration du rendement vues dans le paragraphe précédent ont été mises en œuvre sur une barrette de quinze transistors. Ce paragraphe décrit les différentes étapes qui ont permis d'appliquer l'optimisation des impédances pour obtenir un fonctionnement en classe F ou F inverse.

III. 3. a. Présentation du montage

La barrette de quinze transistors a déjà été utilisée dans un circuit permettant d'obtenir un fonctionnement en classe AB pour une fréquence $f_0 = 2$ GHz. La barrette possède des transistors ayant un développement de grille de $6 \times 400 \mu\text{m} = 2,4$ mm. Le développement total de grille de la barrette est de 36 mm. La configuration de la barrette nécessite la pose de fils pour relier les différents plots de grille, de drain et de source au reste du circuit.

Le circuit existant réalise l'adaptation d'impédance à la fréquence fondamentale à l'aide de tronçons de lignes à forte constante diélectrique. Ces tronçons de ligne sont placés dans un boîtier (figure III.36).

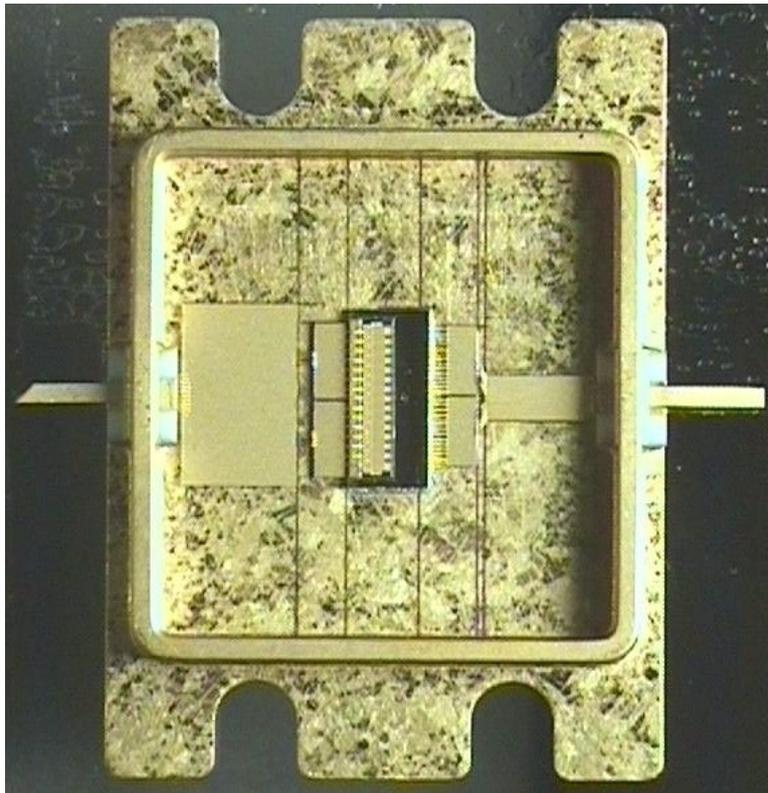


Figure III.36 : Photographie d'un boîtier avec une barrette 15x6x400 μm pour un fonctionnement en classe AB.

Cette configuration permet de réaliser l'adaptation d'impédances au plus près des transistors. Elle est constituée par l'alternance des tronçons de lignes et des fils qui s'approchent de couples L-C. Le boîtier est inséré sur un circuit hybride qui est présenté sur la photographie de la figure III.37.

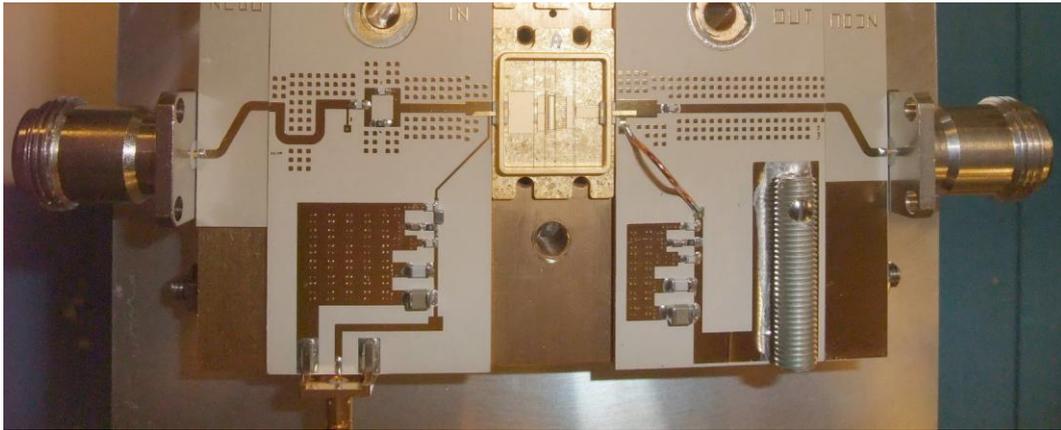


Figure III.37 : Circuit hybride avec le boîtier contenant une barrette 15x6x400 μm pour un fonctionnement en classe AB.

Le circuit hybride est réalisé sur un substrat souple provenant de chez *Rogers*. Sa constante diélectrique vaut $\epsilon_r = 10,2$. Il permet de relier le boîtier aux connecteurs de type N et aux alimentations électriques. Les accès aux alimentations sont constitués d'une succession de capacités et d'un long fil jouant le rôle de ligne quart d'onde. Ces accès sont nommés tés de polarisations et leur objectif est d'empêcher la transmission de puissance radiofréquence vers les sources de polarisation.

Ce montage est destiné à générer une puissance de sortie proche de 100 W en utilisant des barrettes de quinze transistors 6x400 μm . La modélisation de la barrette consiste à relier 15 modèles de transistors 6x400 μm à l'aide de lignes et de fils pour correspondre à la structure du circuit réel. Chaque transistor est associé au modèle non-linéaire décrit dans le paragraphe II. 4.

Des simulations en équilibrage harmonique (*Harmonic Balance*) avec ce modèle de barrette démontrent les potentialités de ce circuit à atteindre une puissance de sortie de 74 W (48,7 dBm) et un rendement en puissance ajoutée *PAE* de 38 % pour une fréquence $f_o = 2 \text{ GHz}$ (voir figures III.38 et III.39). La tension de polarisation drain-source vaut $V_{\text{DS0}} = 30 \text{ V}$. Le fonctionnement est en classe AB ; le courant de drain de polarisation au repos est $I_{\text{d0}} \approx 1,5 \text{ A} \approx I_{\text{dss0}}/10$.

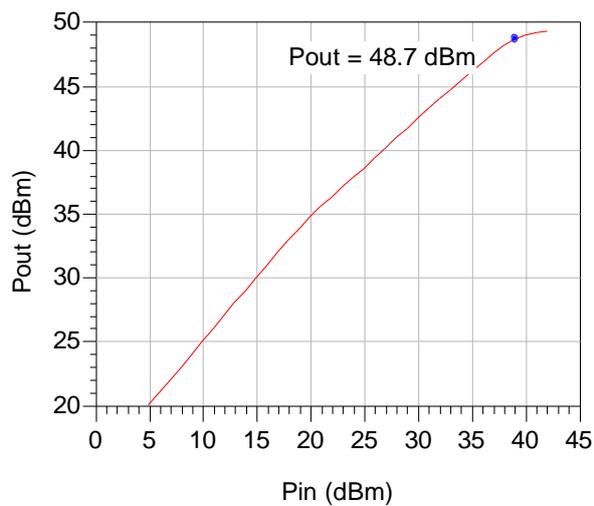


Figure III.38 : Puissance de sortie P_{OUT} pour une simulation de circuit avec une barrette $15 \times 6 \times 400 \mu\text{m}$ en AlGaIn/GaN.

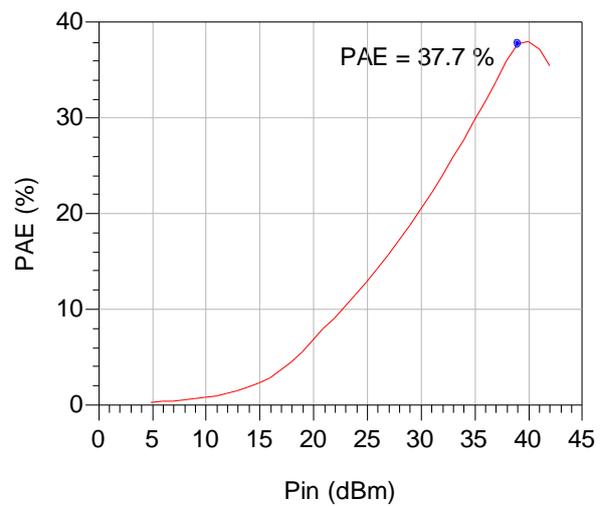


Figure III.39 : Rendement en puissance ajoutée PAE pour une simulation de circuit avec une barrette $15 \times 6 \times 400 \mu\text{m}$ en AlGaIn/GaN.

Les formes temporelles du courant de drain I_d et de la tension V_{DS} au niveau de la source intrinsèque de courant sont présentées sur la figure III.40. Ces formes temporelles sont celles du transistor en position centrale dans la barrette.

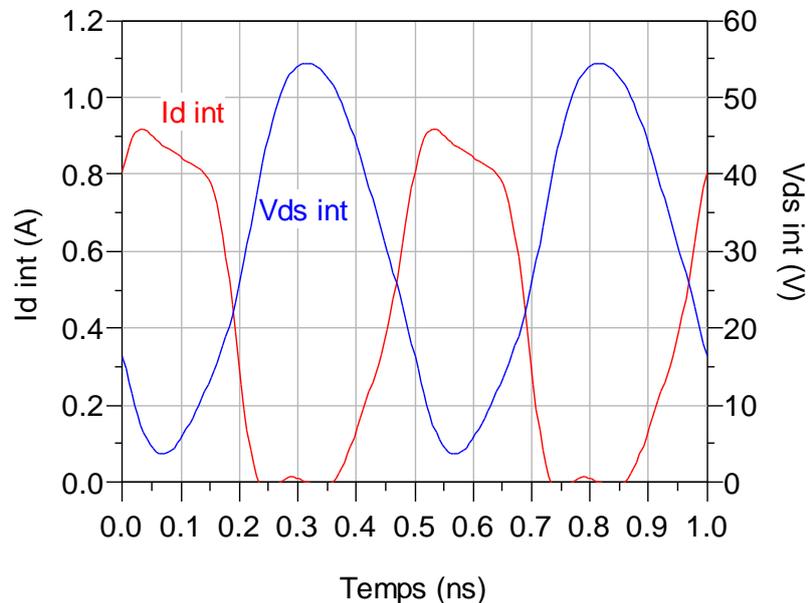


Figure III.40 : Formes temporelles du courant I_d et de la tension V_{DS} au niveau de la source intrinsèque de courant pour la barrette 15x6x400 μm .

Les formes temporelles obtenues ne sont ni caractéristiques d'un fonctionnement en classe F, ni en classe F inverse. Le courant de drain I_d est presque de forme carrée mais la tension V_{DS} est très proche d'un sinus.

Une étude des améliorations pouvant être apportées au niveau du circuit est ensuite réalisée, afin de modifier les formes temporelles dans la source intrinsèque de courant pour obtenir une augmentation de la puissance de sortie et du rendement en puissance propre au fonctionnement en classe F ou classe F inverse.

III. 3. b. Améliorations des performances à l'aide de modifications des circuits d'adaptations situés dans le boîtier.

Le circuit décrit dans le paragraphe précédent fournit une puissance de sortie importante avec un rendement en puissance ajoutée raisonnable. Mais les formes temporelles ne sont pas celles d'un fonctionnement en classe F ou en classe F inverse. Les techniques d'optimisation des impédances présentées dans le paragraphe III. 2 ont été appliquées aux circuits de cet amplificateur avec la barrette de 15 transistors.

Le circuit existant réalise l'adaptation d'impédance à l'aide de tronçons de lignes à forte constante diélectrique et de fils de câblage pour les relier. Ces lignes sont placées dans le boîtier. Le schéma présenté la figure III.41 est une représentation de ces lignes et de la barrette au sein du boîtier.

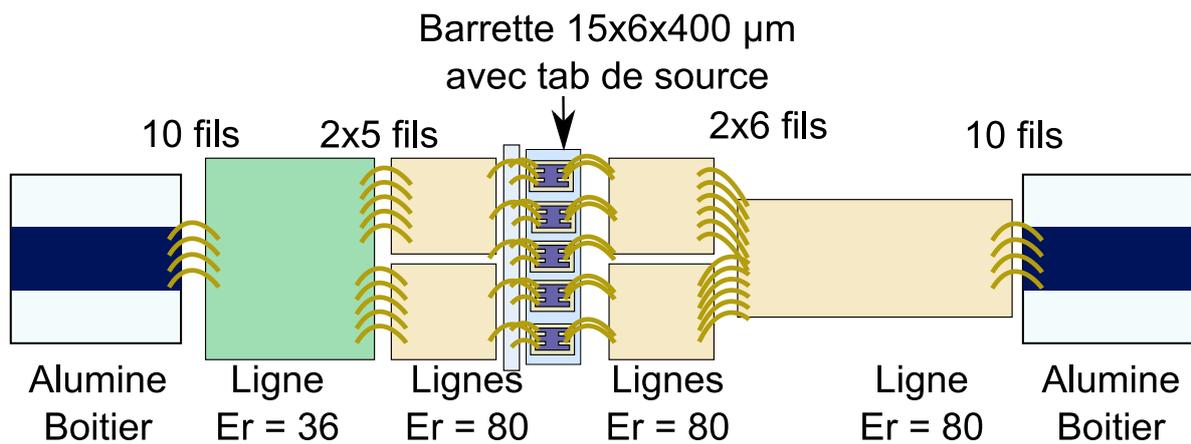


Figure III.41 : Schéma représentant la structure des lignes à forte constante diélectrique (ϵ_r), de la barrette 15x6x400 µm et des fils de câblage dans le boîtier.

L'utilisation de lignes à fortes constantes diélectriques permet de réaliser l'adaptation d'impédance en respectant les dimensions intérieures du boîtier. Les formes présentées sur le schéma ne sont pas représentatives des dimensions réelles. Ces lignes à fortes constantes diélectriques sont constituées de deux plaques métalliques placées de part et d'autre du matériau à forte constante diélectrique. La structure est donc proche de celle d'une capacité.

L'entrée et la sortie du boîtier sont reliées aux connecteurs par des lignes en alumine d'impédance caractéristique 50 Ω. En entrée, un circuit R/C assure une coupure du gain en basse fréquence et améliore la stabilité de l'amplificateur. La polarisation des transistors s'effectue par l'intermédiaire de circuits de polarisation utilisant des lignes quart d'onde.

L'observation de la figure III.36 montre qu'il reste un peu de place dans le boîtier pour ajouter des éléments permettant d'optimiser les impédances aux harmoniques au niveau de la barrette. Les paragraphes ci-dessous présentent des études de l'impact de modifications au sein du boîtier dans l'objectif d'améliorer les performances du circuit.

III. 3. b. 1. Impact au niveau du drain des transistors

Afin de déterminer quelles sont les impédances optimales, des impédances tabulées sont placées en parallèle des drains de chaque transistor de la barrette. Le schéma de la figure III.42 montre la position des blocs qui créent ces impédances.

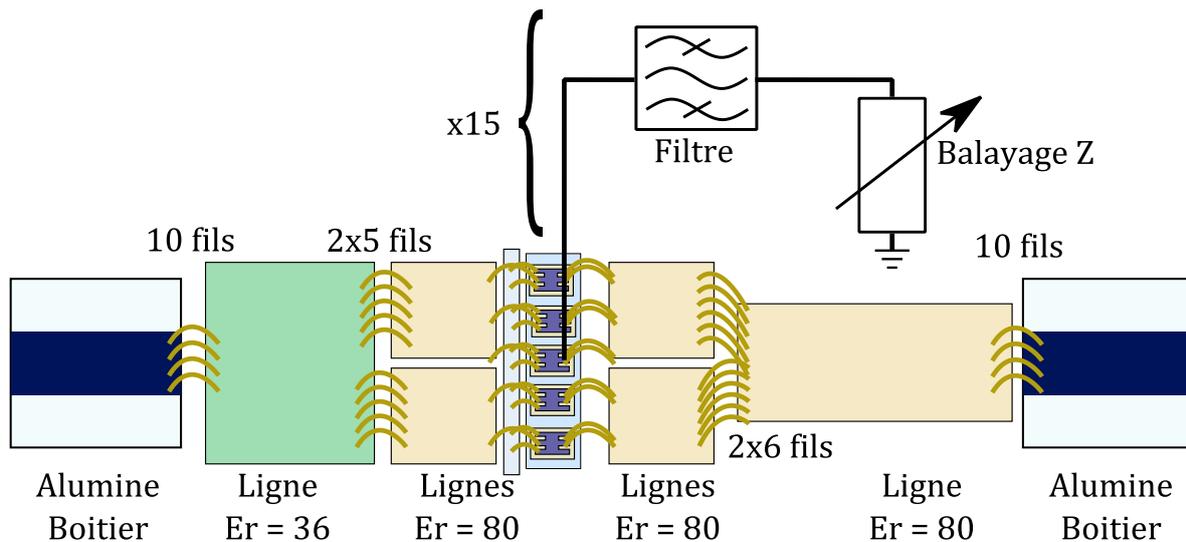


Figure III.42 : Position des impédances placées aux harmoniques en parallèle des drains afin de modifier le comportement du circuit.

Un filtre passe-bande est utilisé pour ne présenter en parallèle des drains uniquement les impédances à l'harmonique étudié. Ainsi, pour l'optimisation de l'impédance à l'harmonique deux, le filtre permet de ne présenter l'impédance tabulée que pour la fréquence $2xf_0$. En dehors de ces fréquences, le filtre se comporte comme un circuit ouvert.

Le balayage de l'impédance modifie le comportement des transistors. La figure III.43 présente l'évolution du rendement en puissance ajoutée pour le balayage en impédance présentée à l'harmonique deux sur le drain de chaque transistor. La puissance du générateur est de 39 dBm à la fréquence $f_0 = 2$ GHz. La tension polarisation drain-source vaut $V_{DS0} = 30$ V. La tension de polarisation grille-source V_{GS0} est la même que pour la configuration sans modification.

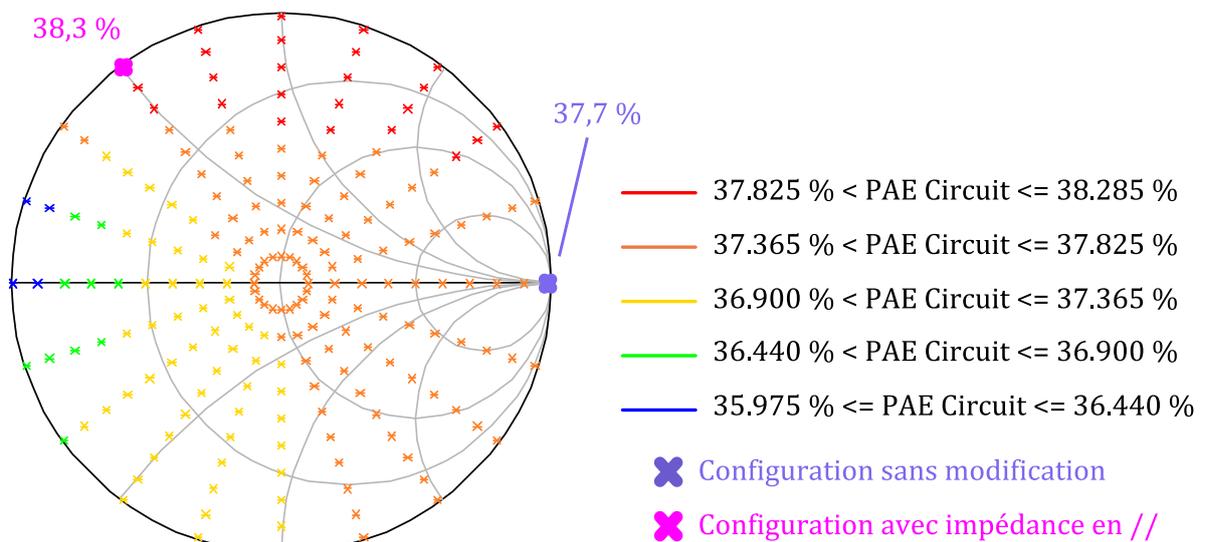


Figure III.43 : Évolution du rendement PAE du circuit en fonction de l'impédance présentée en parallèle des drains à l'harmonique deux ($P_{IN} = 39$ dBm, $V_{DS0} = 30$ V).

En plaçant une impédance en parallèle des drains de chaque transistor à l'harmonique deux, il est possible de gagner 0,5 points au niveau du rendement en puissance ajoutée *PAE*. Cette amélioration est très faible.

La même étude a été réalisée pour l'harmonique trois. L'impédance de charge présentée en parallèle à l'harmonique deux est de nouveau un circuit ouvert. La figure III.44 présente l'évolution du rendement en puissance ajoutée pour le balayage en impédance présentée à l'harmonique trois sur le drain de chaque transistor. Les conditions de polarisation sont identiques.

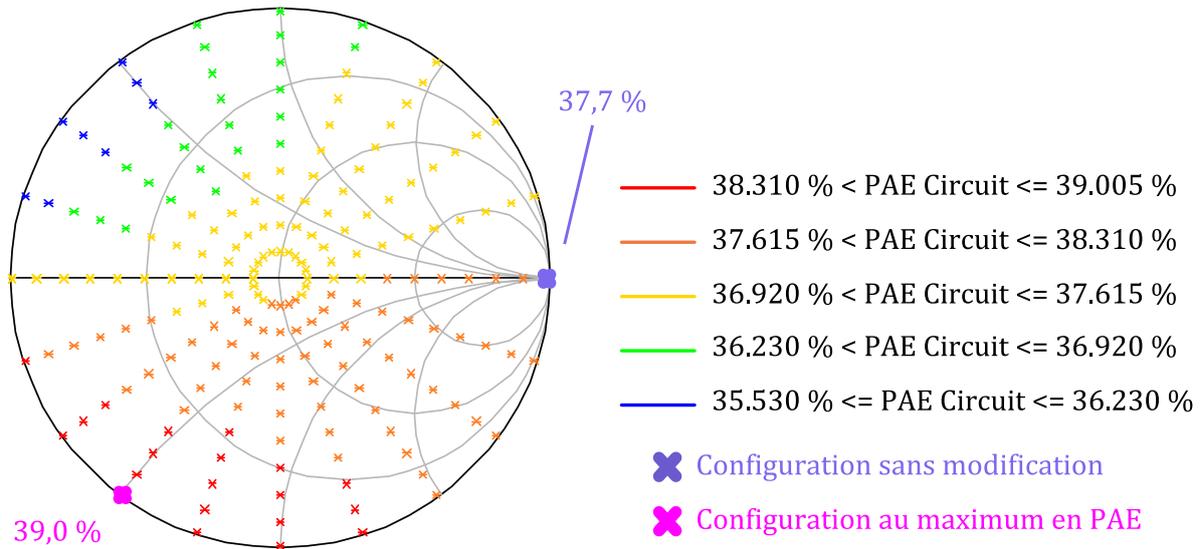


Figure III.44 : Évolution du rendement *PAE* du circuit en fonction de l'impédance présentée en parallèle des drains à l'harmonique trois ($P_{IN} = 39$ dBm, $V_{DS0} = 30$ V).

En plaçant une impédance en parallèle des drains de chaque transistor à l'harmonique trois, il est possible de gagner 1,3 points au niveau du rendement en puissance ajoutée *PAE*. Cette amélioration est aussi très faible.

De plus, la réalisation du circuit permettant de présenter l'impédance optimale à l'harmonique trois ($3xf_0 = 6$ GHz) présentera une petite partie réelle en raison des difficultés à créer un circuit sans perte à cette fréquence. Le point de *PAE* maximal est alors assez difficile à obtenir. Les points placés plus au centre de l'abaque de Smith sur la figure III.44 sont plus faciles à obtenir mais ils ne permettent pas d'avoir une amélioration significative du rendement en puissance ajoutée *PAE*.

L'augmentation du rendement en puissance ajoutée n'est pas suffisante en modifiant les impédances de charges aux harmoniques deux et trois. Le circuit existant présente déjà des impédances en sortie permettant d'atteindre un rendement et une puissance importants.

III. 3. b. 2. Impact au niveau de la grille des transistors

Afin d'appliquer les principes d'optimisation propres au fonctionnement en classe F, une variation des impédances de source présentées aux harmoniques entre la grille et la source des transistors a été effectuée et est décrite dans ce paragraphe. Ceci permet d'évaluer l'impact de cette modification sur le rendement et la puissance des transistors.

Le schéma de la figure III.45 montre la position des blocs qui créent ces impédances.

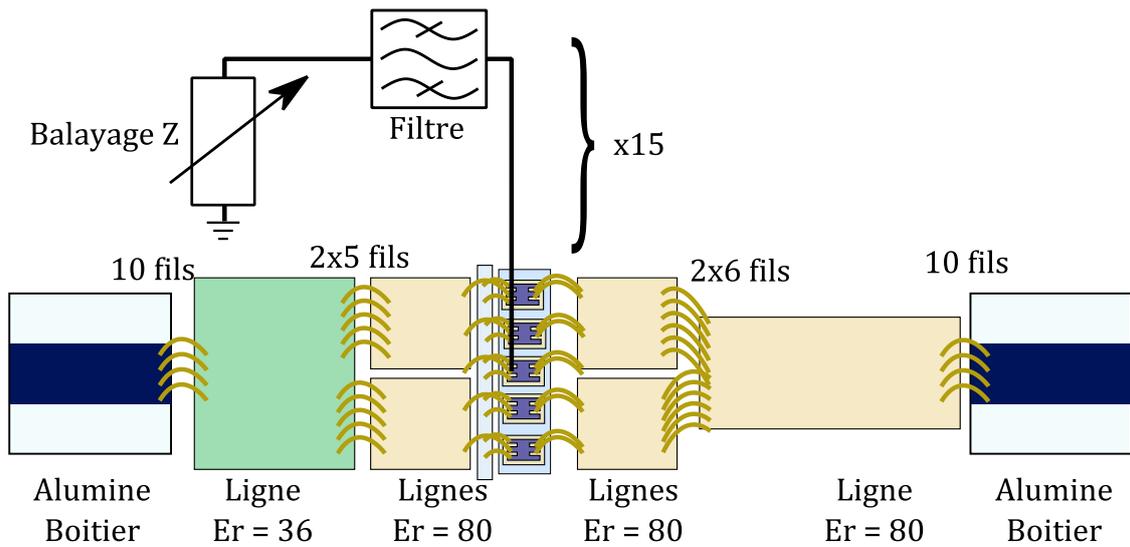


Figure III.45 : Position des impédances placées aux harmoniques en parallèle des grilles afin de modifier le comportement du circuit.

Le balayage de l'impédance présentée à l'harmonique deux sur la grille de chaque transistor donne la modification du rendement en puissance ajoutée *PAE* qui est répertoriée sur un abaque de Smith sur la figure III.46. La puissance du générateur est 39 dBm à la fréquence $f_0 = 2$ GHz. La tension de polarisation drain-source vaut $V_{DS0} = 30$ V. Ce sont les mêmes conditions de polarisation que pour l'étude au niveau du drain réalisée dans le paragraphe précédent.

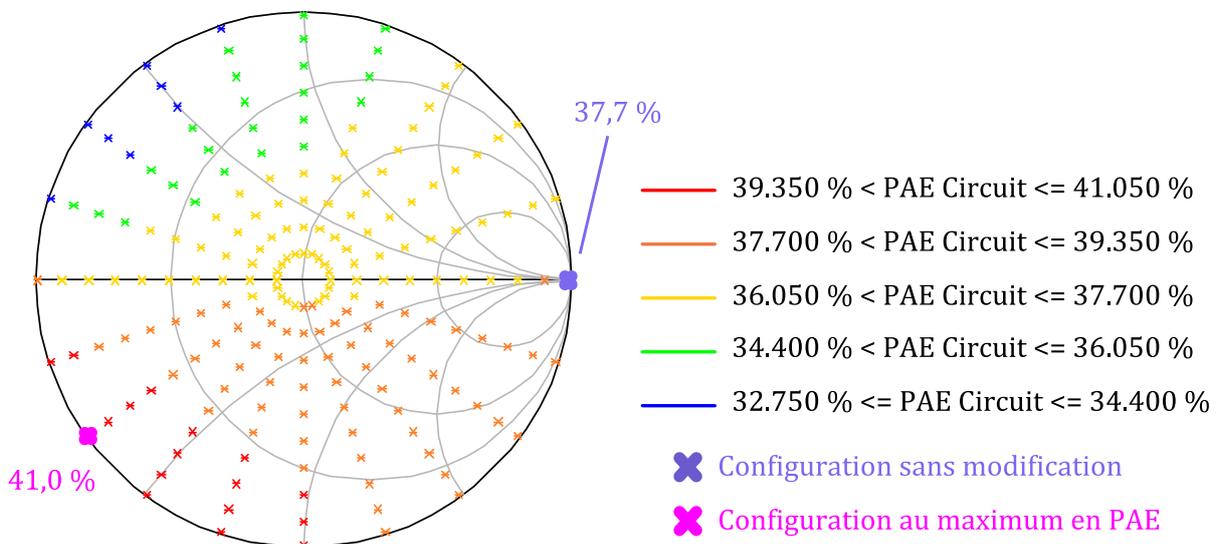


Figure III.46 : Évolution du rendement *PAE* du circuit en fonction de l'impédance présentée en parallèle des grilles à l'harmonique deux ($P_{IN} = 39$ dBm, $V_{DS0} = 30$ V).

En plaçant une impédance en parallèle des grilles de chaque transistor à l'harmonique deux, il est possible de gagner 3,3 points au niveau du rendement en puissance ajoutée *PAE*. Cette amélioration est intéressante. De plus, la figure III.46 montre qu'il existe des impédances à partie réelle non-nulle (plus au centre de l'abaque), qui permettent d'obtenir une augmentation du rendement *PAE* proche de 3 points.

La même étude a été réalisée pour l'harmonique trois. L'impédance de source présentée en parallèle à l'harmonique deux est de nouveau un circuit ouvert. La figure III.47 présente l'évolution du rendement en puissance ajoutée *PAE* pour le balayage en impédance présentée à l'harmonique trois sur la grille de chaque transistor. Les conditions de polarisation sont identiques.

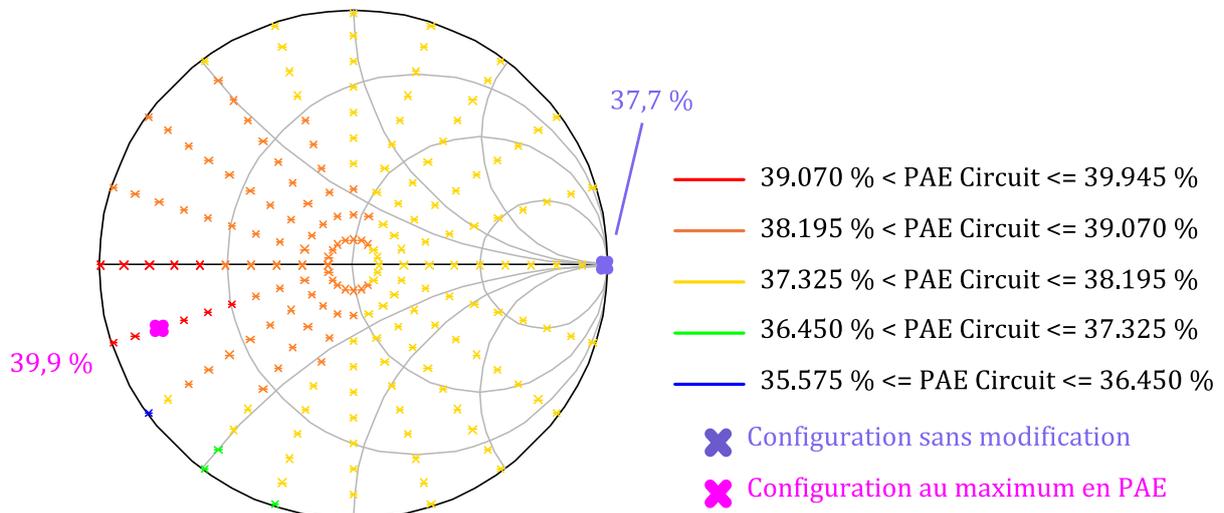


Figure III.47 : Évolution du rendement *PAE* du circuit en fonction de l'impédance présentée en parallèle des grilles à l'harmonique trois ($P_{IN} = 39$ dBm, $V_{DS0} = 30$ V).

En plaçant une impédance en parallèle des grilles de chaque transistor à l'harmonique trois, il est obtenu, par simulations, une amélioration de 2,2 points au niveau du rendement en puissance ajoutée de l'amplificateur. Cette amélioration est aussi intéressante mais plus faible que celle obtenue pour l'optimisation au niveau de la grille à l'harmonique deux.

Sur la figure III.47, la zone correspondant au rendement maximal est assez petite (partie en rouge à gauche). Il sera alors plus difficile de créer le circuit générant une impédance optimale avec la précision demandée.

Par rapport aux résultats et aux conclusions de cette étude, les efforts dans la réalisation d'un montage se sont portés sur l'optimisation de l'impédance présentée à l'harmonique deux en parallèle de la grille des transistors.

III. 3. c. Amélioration du rendement à l'aide de filtres L-C entre la grille et la source des transistors de la barrette.

L'augmentation du rendement en puissance ajoutée *PAE* est donc plus importante en optimisant l'impédance à présenter à l'harmonique deux en parallèle de la grille du transistor.

Ce paragraphe présente le montage permettant de s'approcher de l'impédance optimale ainsi que les performances atteintes en simulation.

III. 3. c. 1. Présentation de la solution retenue.

L'impédance optimale consiste à placer une impédance proche de $-j \cdot 16 \Omega$ à $2xf_0 = 4$ GHz entre la grille et la source du transistor. Cette impédance doit être placée au plus proche du transistor et ne doit pas modifier le comportement du circuit pour les autres harmoniques.

Plusieurs pistes sont envisageables pour synthétiser cette impédance optimale. Afin d'évaluer la place disponible autour des grilles des transistors pour réaliser cette impédance, la figure III.48 présente des schémas du boîtier et des éléments dans le boîtier. Les proportions entre les différents éléments y sont respectées.

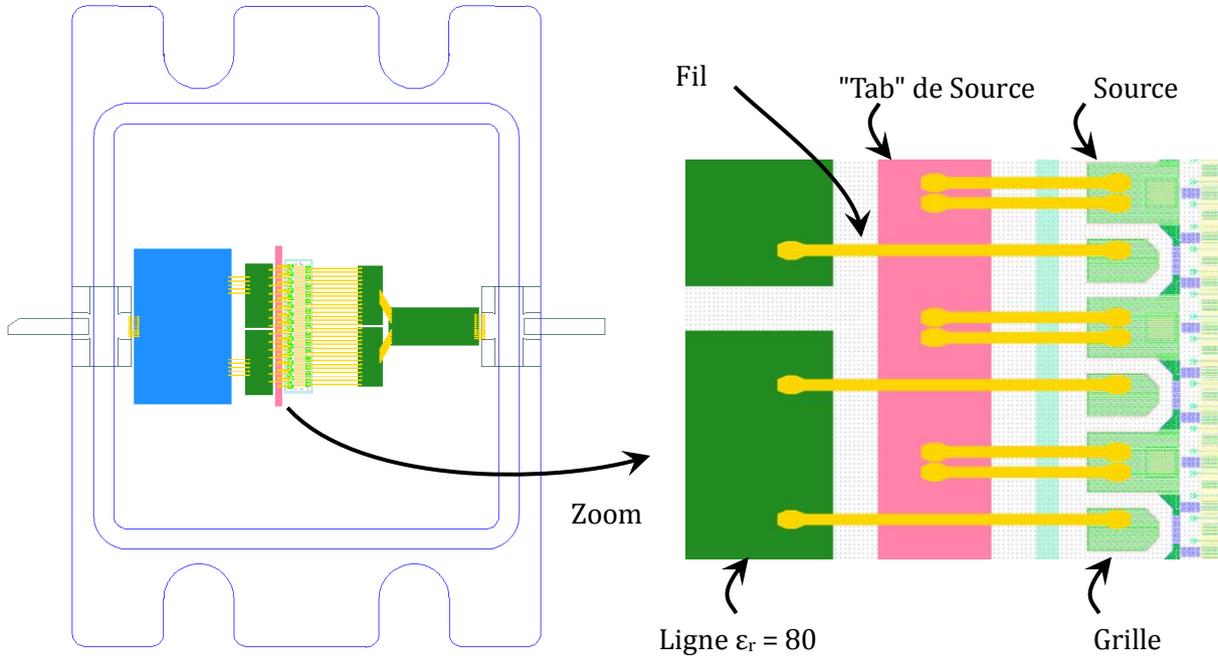


Figure III.48 : Schéma de l'intérieur du boîtier contenant une barrette 15x6x400 µm.

Les distances entre les lignes à forte constante diélectrique ($\epsilon_r = 80$) et les plots des grilles des transistors sont très faibles (300 µm). Ces courtes distances permettent de minimiser les pertes introduites par les éléments parasites comme les résistances et les inductances des fils de câblage.

Il existe un "Tab" de source qui est un plot métallique permettant d'y connecter les sources des transistors à l'aide de fils. Ce "Tab" est brasé au fond du boîtier et relie les plots de source à la masse du circuit. Il contribue à réduire la longueur des fils pour la mise à la masse des sources des transistors. L'objectif est de minimiser l'influence de ces fils sur le gain des transistors.

Au vue de la place disponible, nous avons opté pour une réalisation de l'impédance présentée à l'harmonique deux à l'aide de capacités en céramique placées sur le "Tab" de source (voir figure III.49).

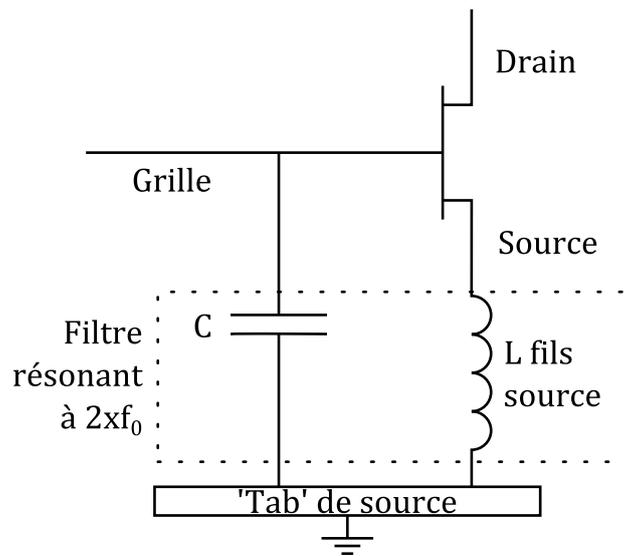


Figure III.49 : Principe d'utilisation d'une capacité placée sur le "Tab" de source afin de créer un filtre résonant à l'harmonique deux.

Les dimensions du "Tab" de source ($250 \mu\text{m}$) n'ont pas permis de choisir toutes les dimensions de capacités disponibles auprès des fournisseurs. Seules quelques références respectent cette contrainte dimensionnelle. Nous avons choisi des capacités TECDIA de référence CMS5R6K2BC-FK [64]. Leur dimension ($250 \mu\text{m} \times 250 \mu\text{m}$) a été un critère décisif en raison de la largeur du "Tab" de $250 \mu\text{m}$. Une augmentation de la largeur de ce dernier aurait entraîné un allongement des fils de connexion à la grille des transistors, modifiant de façon importante et néfaste l'adaptation d'impédance du circuit d'entrée à la fréquence fondamentale.

Une valeur de $5,6 \text{ pF}$ a été retenue après des simulations en paramètres S qui ont permis une optimisation de la valeur pour présenter un court-circuit à l'harmonique deux entre la grille et la source du transistor. Cette résonance est obtenue en créant un couple L-C à l'aide de l'inductance créée par les fils reliant les plots de source au "Tab" de source.

La mise en place des capacités sur le "Tab" de source a demandé une réorganisation des plans des fils. De plus, la largeur des capacités et la taille des outils de dépose des fils ont limité le nombre à sept capacités pour toute la barrette. Il y a donc un transistor sur deux qui est directement relié à la ligne à forte constante diélectrique et les autres qui ont une capacité placée en parallèle entre la grille et la source. Le schéma de la figure III.50 détaille la structure proposée.

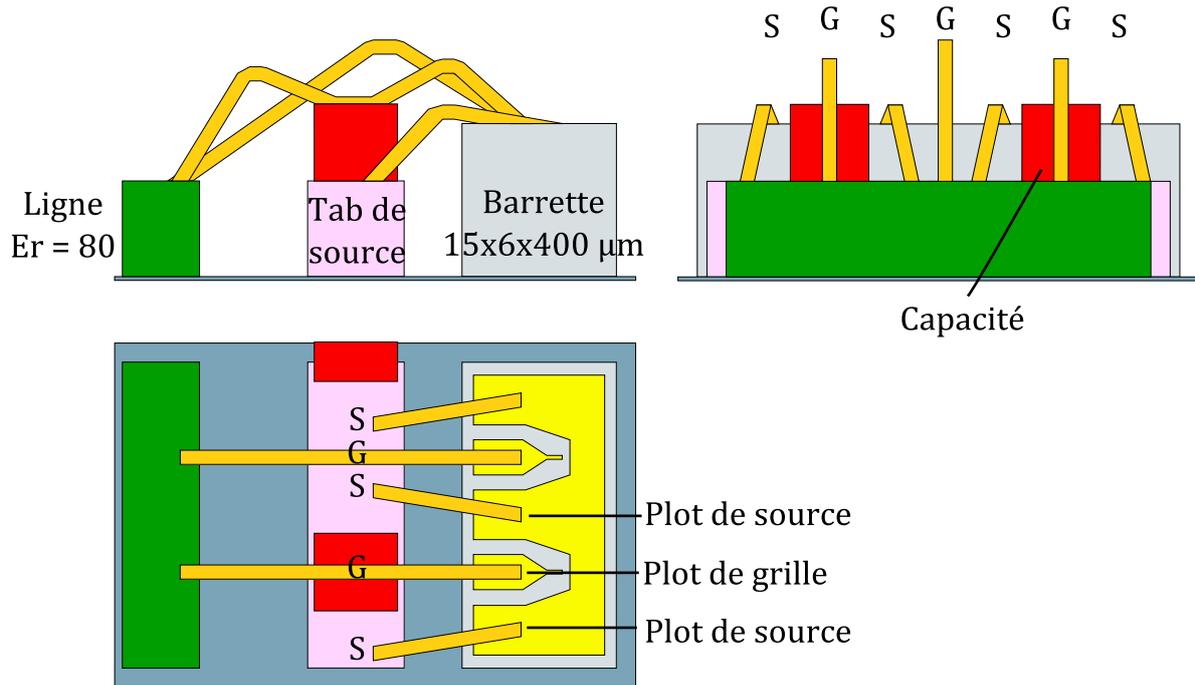


Figure III.50 : Agencement des fils et des capacités placées sur le "Tab" de source pour une épaisseur de barrette de 400 µm avec fils de source.

En raison de la place disponible, il n'a été possible que de mettre un fil par plot de source. Ce fil est alors d'un diamètre de 37 µm au lieu du diamètre 25 µm utilisé pour la configuration initiale sans capacité, afin de pouvoir résister au courant important qui traverse ces fils.

Les simulations ont montré que, pour les transistors reliés directement à ligne à forte constante diélectrique ϵ_r , l'impédance vue en entrée n'est pas tout à fait un court-circuit à l'harmonique deux, mais la valeur n'est pas très éloignée et permet encore de profiter de l'intérêt des capacités placées sur le "Tab" de source.

Cette structure sera utilisée dans les paragraphes suivants pour les barrettes non-amincies dont l'épaisseur est de 400 µm. La figure III.51 présente la photographie d'une telle structure.

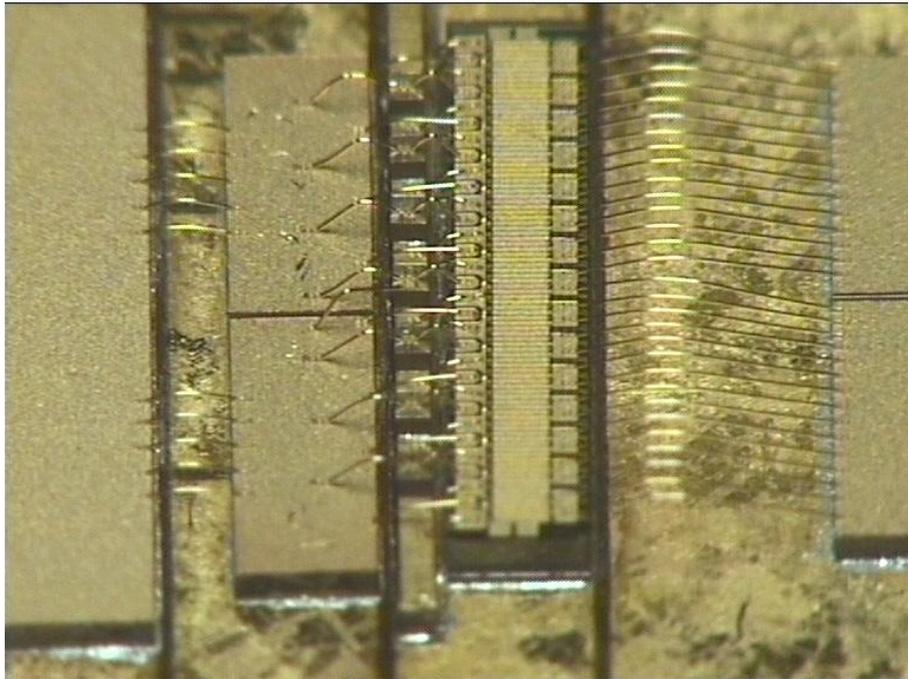


Figure III.51 : Photographie d'une barrette à 15 transistors avec 7 capacités placées sur le "Tab" de source

Pour les barrettes provenant de plaques amincies, leur épaisseur est de 100 μm . Ces plaques possèdent des trous métallisés qui traversent le substrat de SiC. Ils relient les plots de sources du transistor directement à la face arrière de la barrette pour une mise à la masse simplifiée permettant également de réduire l'inductance équivalente. Il n'y a plus besoin d'utiliser des fils de câblage pour relier les plots de source à la masse, laissant plus de place disponible au niveau du "Tab" de source. Les structures sans capacités et avec 7 capacités pour les barrettes avec trous métallisés ou 'Vias' sont présentées sur les figures III.52 et III.53. La place disponible au niveau du "Tab" de source laisse ainsi la possibilité d'utiliser 15 capacités, une pour chaque grille de transistor. Ceci donne la structure présentée sur la figure III.54.

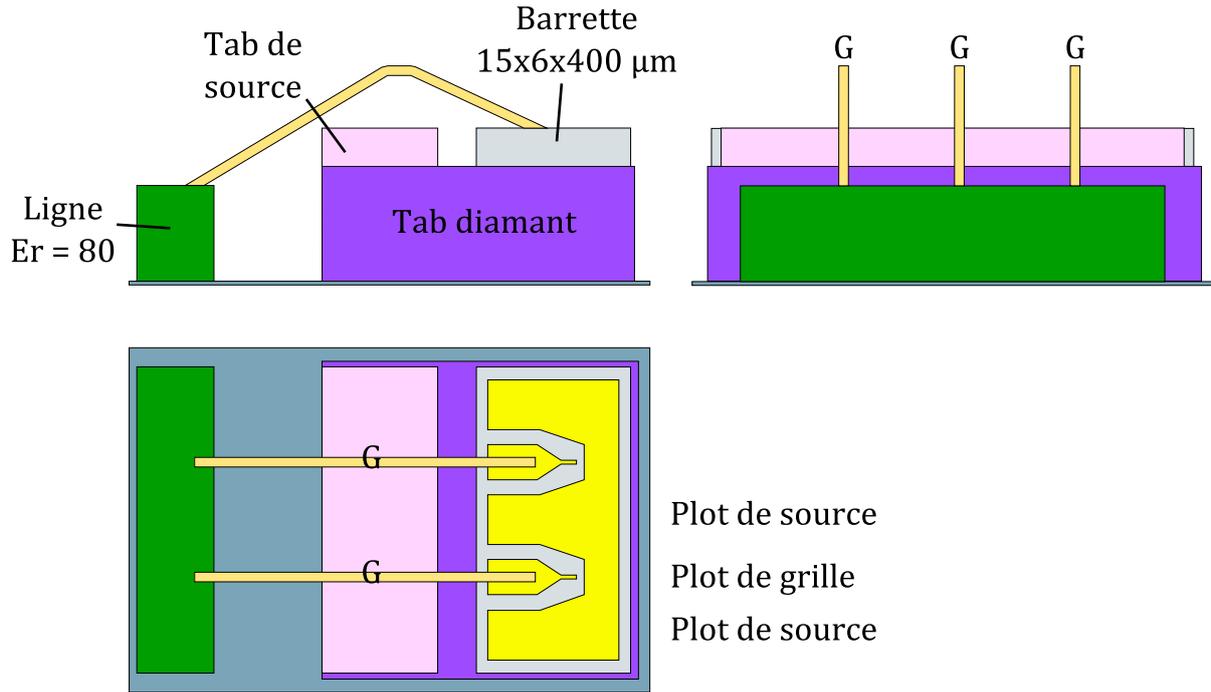


Figure III.52 : Agencement des fils sans capacité placée sur le "Tab" de source pour une épaisseur de barrette de 100 μm sans fils de source.

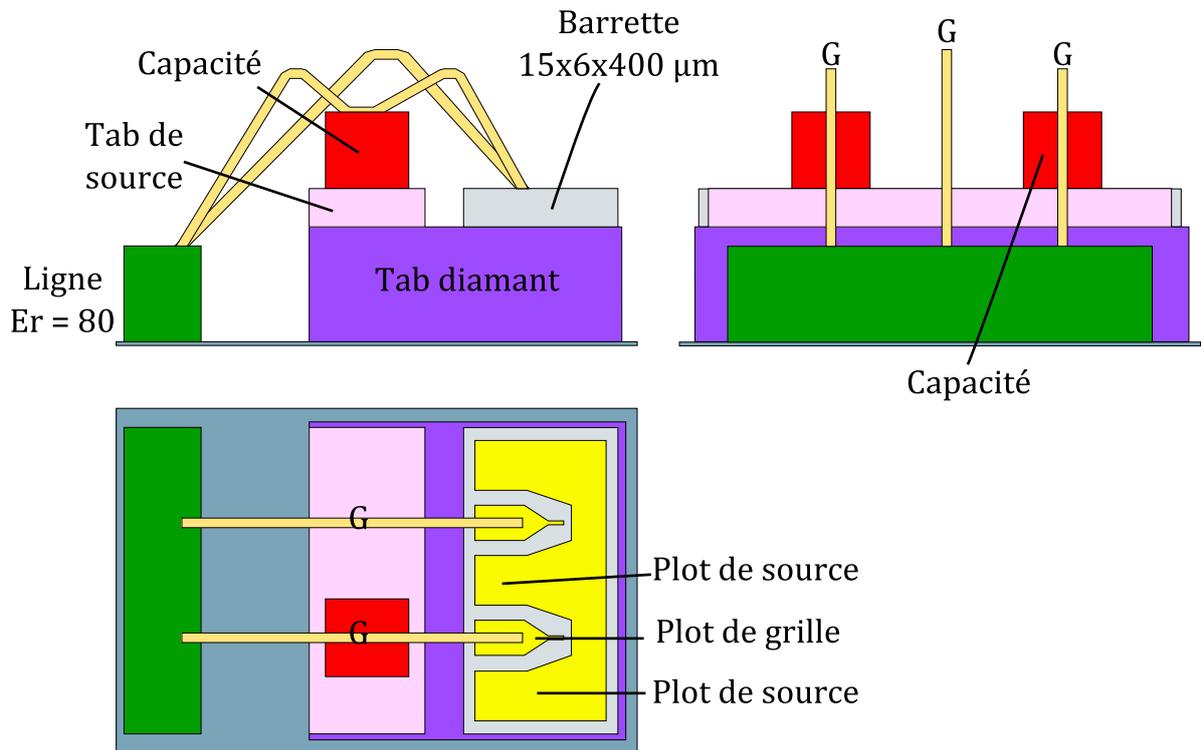


Figure III.53 : Agencement des fils et des 7 capacités placées sur le "Tab" de source pour une épaisseur de barrette de 100 μm sans fils de source

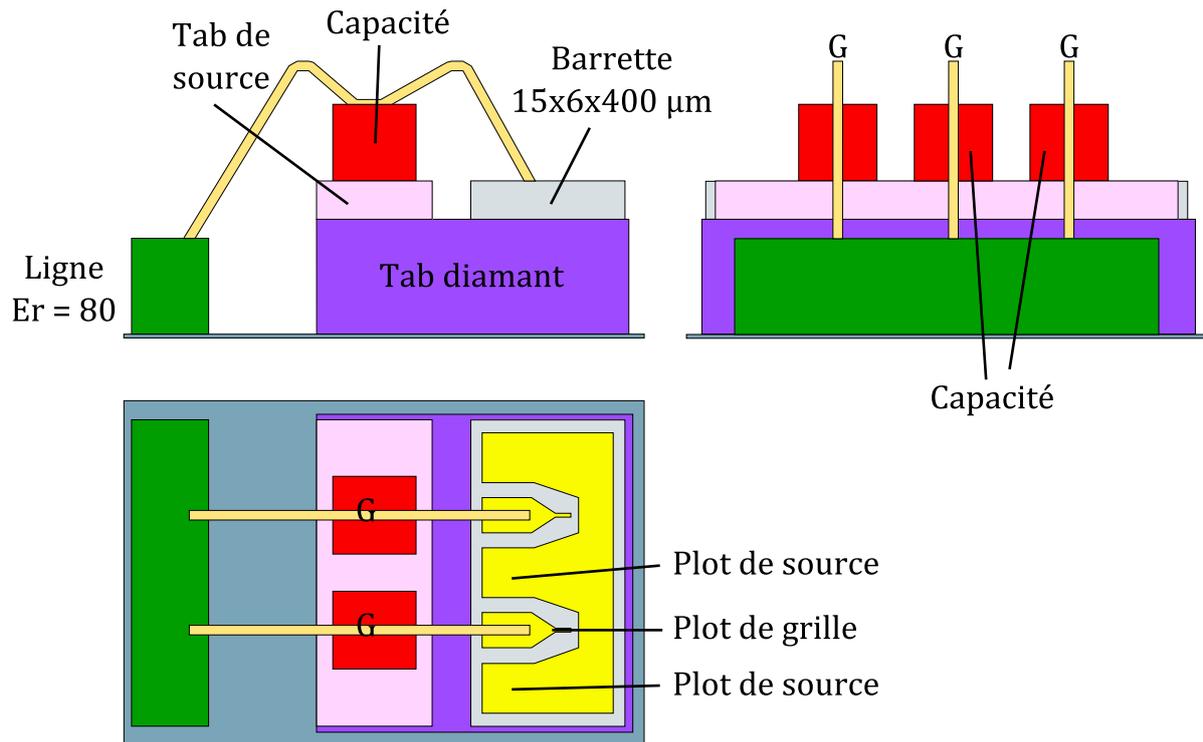


Figure III.54 : Agencement des fils et des 15 capacités placées sur le "Tab" de source pour une épaisseur de barrette de 100 µm sans fils de source

Les barrettes amincies ont été déposées sur un "Tab" en diamant. Ce "Tab" métallisé relie électriquement le fond du boîtier (masse du circuit) à l'arrière de la barrette, mais son intérêt principal réside dans la grande conductivité thermique du diamant. En effet, le diamant répartit plus efficacement la dissipation de la puissance thermique depuis la barrette vers le boîtier, que pour les configurations sans "Tab" en diamant.

Ce sont des simulations en éléments finis du fonctionnement thermique du transistor qui ont permis d'obtenir ce résultat. L'utilisation du "Tab" diamant diminue la résistance thermique de l'ensemble du montage et abaisse la température de fonctionnement de la zone active.

III. 3. c. 2. Liste des montages étudiés

Les montages présentés dans le paragraphe précédent ont été utilisés pour des barrettes en provenance de deux plaques. Le tableau III.6 décrit les caractéristiques de ces plaques et des barrettes utilisées.

| Nom de la plaque | D | F |
|------------------------|---|-------------------------|
| Matériaux | InAlN/GaN | AlGaN/GaN |
| Estimation Vp | ≈ -2,2 V | ≈ -2,3 V |
| Densité n _s | 1,1·10 ¹³ e-/cm ² | Non caractérisée |
| Barrette | 15 transistors 6x400 µm | 15 transistors 6x400 µm |
| Épaisseur | 400 µm | 100 µm |
| Vias de source | Non | Oui |

Tableau III.6 : Liste des plaques utilisées et matériaux associés

La plaque D-InAlN/GaN ne possède pas de vias de source. Il faut donc utiliser des fils de source. Pour cette plaque, nous avons réalisé des montages sans capacité et avec 7 capacités.

La plaque F-AlGa_N/Ga_N possède des vias de source. La place disponible laissée par les fils de source a permis la réalisation de montages sans capacités, avec 7 capacités et avec 15 capacités.

Le tableau III.7 regroupe les différentes configurations réalisées.

| Nom de la plaque | D-InAlN/GaN | F-AlGa _N /Ga _N |
|------------------|---------------------|--------------------------------------|
| Sans capacité | Avec fils de source | Sans fils de source |
| 7 capacités | Avec fils de source | Sans fils de source |
| 15 capacités | Non | Sans fils de source |

Tableau III.7 : Liste des montages réalisés.

Les montages décrits ci-dessus ont été utilisés dans des simulations en équilibrage harmonique (*Harmonic Balance*) afin d'évaluer l'apport en termes de rendement et de puissance de l'ajout des capacités entre la grille et la source. Les paragraphes suivant présentent ces simulations.

III. 3. c. 3. Performances simulées pour les circuits à base d'InAlN/GaN

Deux montages ont été conçus pour utiliser des barrettes 15x6x400 μm de la plaque D-InAlN/GaN. Le premier montage ne possède pas de capacité. Sa structure correspond au circuit d'origine. Elle est adaptée pour fonctionner à la fréquence $f_0 = 2$ GHz, avec une tension de polarisation $V_{DS0} = 30$ V et des impédances de charge et de source de 50 Ω.

Sept capacités ont été ajoutées au second montage, sur le "Tab" de source dans l'objectif de présenter des courts-circuits entre la grille et la source des transistors.

Les performances simulées de ces circuits sont présentées sur les figures III.55 à III.60.

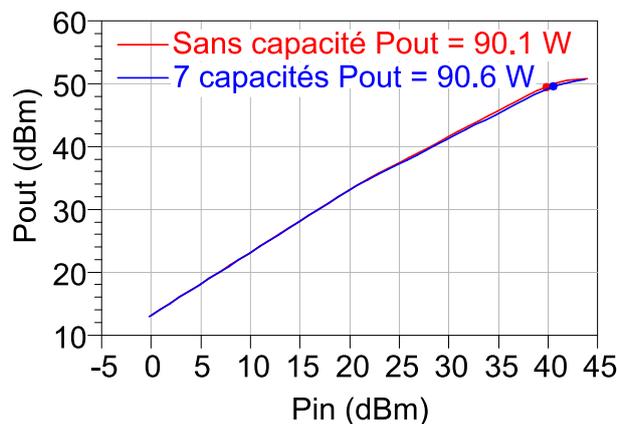


Figure III.55 : Simulation de la puissance de sortie P_{OUT} pour des montages 15x6x400 μm plaque D-InAlN/GaN sans capacité et avec 7 capacités.

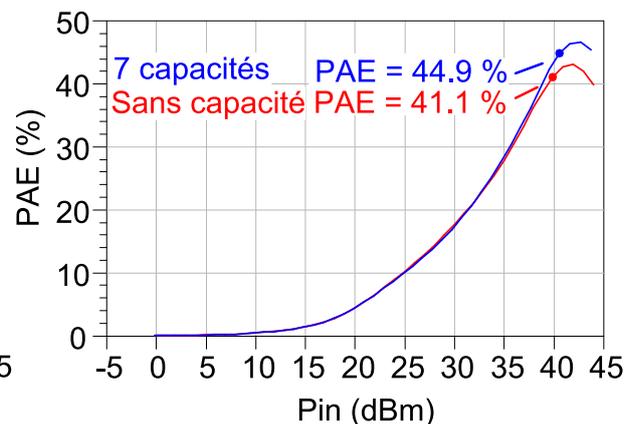


Figure III.56 : Simulation du PAE pour des montages 15x6x400 μm plaque D-InAlN/GaN sans capacité et avec 7 capacités.

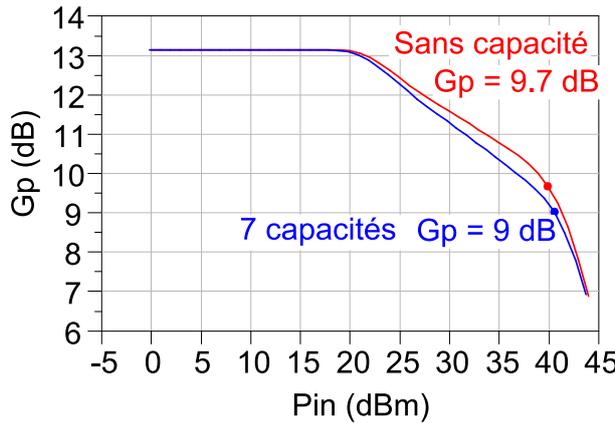


Figure III.57 : Simulation du gain G_p pour des montages $15 \times 6 \times 400 \mu\text{m}$ plaque D-InAlN/GaN sans capacité et avec 7 capacités.

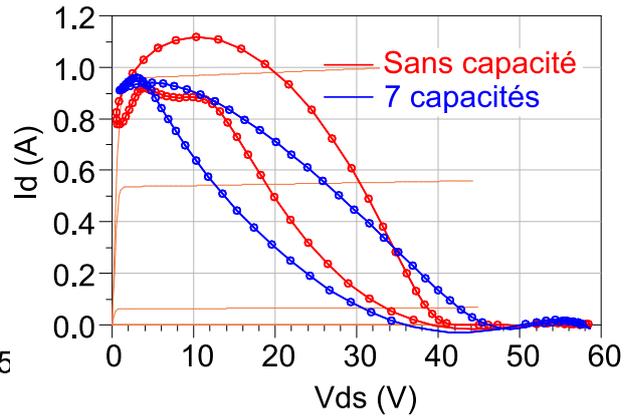


Figure III.58 : Simulation du cycle I_d - V_{ds} pour des montages $15 \times 6 \times 400 \mu\text{m}$ plaque D-InAlN/GaN sans capacité et avec 7 capacités.

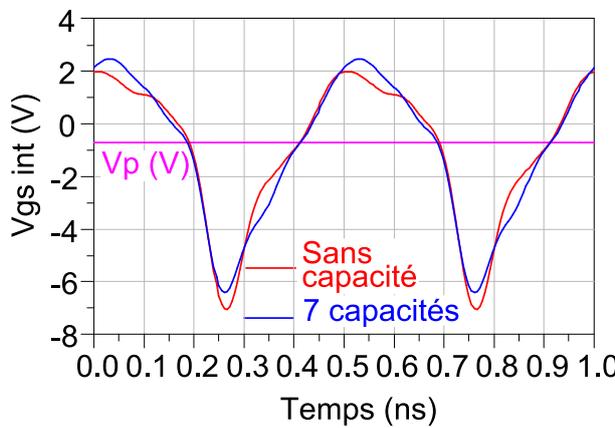


Figure III.59 : Simulation des formes temporelles V_{GS} pour des montages $15 \times 6 \times 400 \mu\text{m}$ plaque D-InAlN/GaN sans capacité et avec 7 capacités.

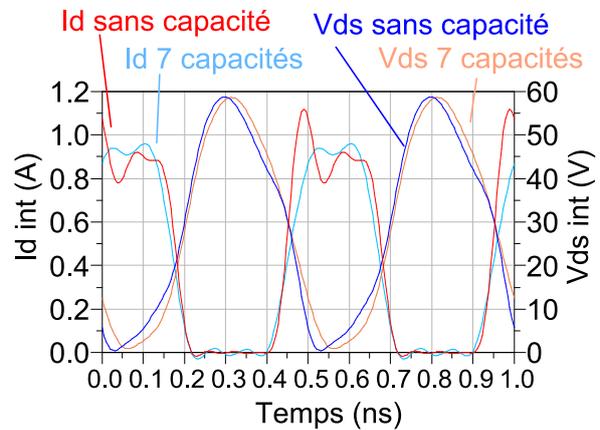


Figure III.60 : Simulation des formes temporelles I_d et V_{DS} pour des montages $15 \times 6 \times 400 \mu\text{m}$ plaque D-InAlN/GaN sans capacité et avec 7 capacités.

En raison du fait que l'utilisation des capacités ne permet pas de présenter un circuit ouvert à la fréquence fondamentale, l'impédance d'entrée à la fréquence fondamentale est légèrement modifiée et conduit à une légère diminution du gain en puissance G_p à fort niveau. Par contre, le niveau atteint en puissance de sortie P_{OUT} est identique pour les deux montages. Le rendement en puissance ajoutée PAE est augmenté de 3,8 points (voir figure III.56).

Les performances ont été comparées pour une puissance injectée de 40 dBm pour le circuit sans capacité et 40,5 dBm pour le circuit avec 7 capacités. Ces puissances d'entrée ont été choisies au démarrage de l'élévation brutale du courant statique entrant dans la grille des transistors. Ces points correspondent donc à l'état maximal pouvant être atteint sans destruction des diodes grille-drain et grille-source au sein des transistors. Les circuits sont donc comparés pour un même stress de la grille. Ceci se perçoit au niveau de la figure III.59 sur laquelle les excursions de tension V_{GS} dans les valeurs positives sont similaires pour les deux circuits.

L'observation des formes temporelles sur les figures III.58 à III.60 montrent une amélioration de la forme temporelle du courant de drain I_d . Celui-ci se rapproche d'une forme rectangulaire.

L'impact des capacités est nettement visible sur la figure III.61, où le tracé de l'impédance présentée entre la grille et la source de chaque transistor à l'harmonique deux est déplacé vers un court-circuit grâce à ces capacités. Pour ces tracés, les courbes représentent les impédances pour les 15 transistors de la barrette. La puissance d'entrée correspond au point du maximum en PAE.

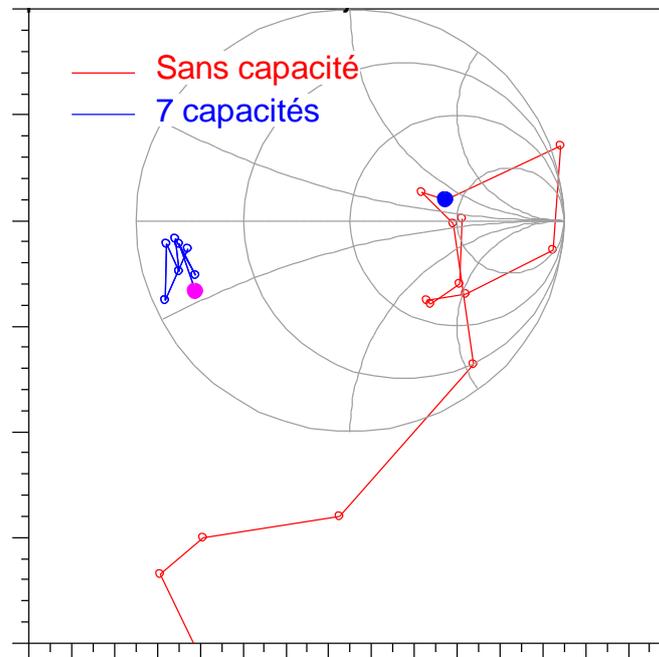


Figure III.61 : Simulation de l'impédance présentée entre la grille et la source des 15 transistors à l'harmonique deux pour des montages 15x6x400 µm plaque D-InAlN/GaN sans capacité et avec 7 capacités.

L'utilisation des capacités placées entre la grille et la source aide à l'augmentation du rendement en puissance ajoutée pour les barrettes 15x6x400 µm à base d'InAlN/GaN. Cette amélioration est principalement remarquable pour les fortes puissances d'entrée. Il se traduit par une légère diminution du gain G_p mais conduit à un fonctionnement plus proche de celui de la classe F inverse.

III. 3. c. 4. Performances simulées pour les circuits à base d'AlGaIn/GaN

Des simulations identiques à celles du paragraphe précédent ont été réalisées avec des circuits conçus pour des barrettes 15x6x400 µm de la plaque F-AlGaIn/GaN.

Trois montages ont été étudiés. Le premier ne possède pas de capacités. Comme les barrettes étudiées sont amincies et possèdent des 'vias' de source, la configuration utilisée contient un "Tab" de source et n'emploie pas de fils de sources. Le second montage inclut 7 capacités entre les grilles et les sources des transistors. Enfin, le troisième comporte 15 capacités, une pour chaque transistor.

Comme dans le paragraphe précédent, les performances de ces trois montages ont été comparées à l'aide de simulations en équilibrage harmonique. Les figures III.62 à III.65 contiennent des comparaisons de performances entre le montage sans capacité et le montage avec 15 capacités. Les comparaisons entre le montage avec 7 capacités et le montage avec 15 capacités

présentent de très faibles différences. Elles n'ont pas été reportées dans ce paragraphe afin d'alléger la compréhension des résultats de simulations.

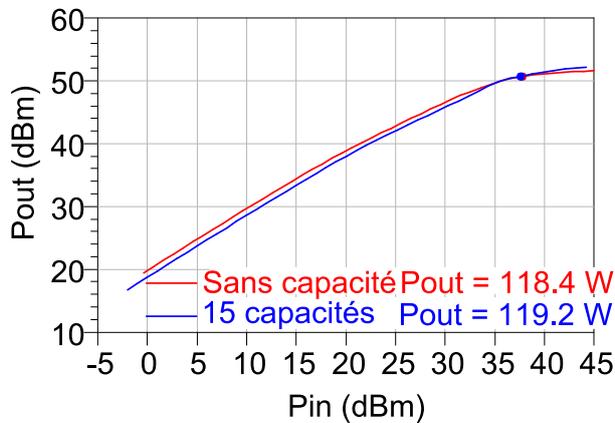


Figure III.62 : Simulation de la puissance P_{OUT} pour des montages $15 \times 6 \times 400 \mu\text{m}$ plaque F-AlGaIn/GaN sans capacité et avec 15 capacités.

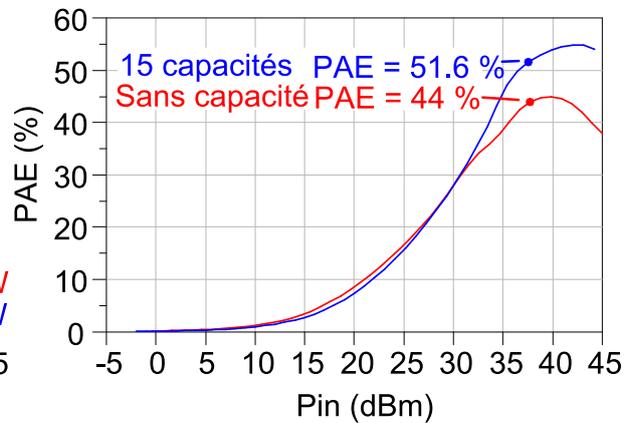


Figure III.63 : Simulation du PAE pour des montages $15 \times 6 \times 400 \mu\text{m}$ plaque F-AlGaIn/GaN sans capacité et avec 15 capacités.

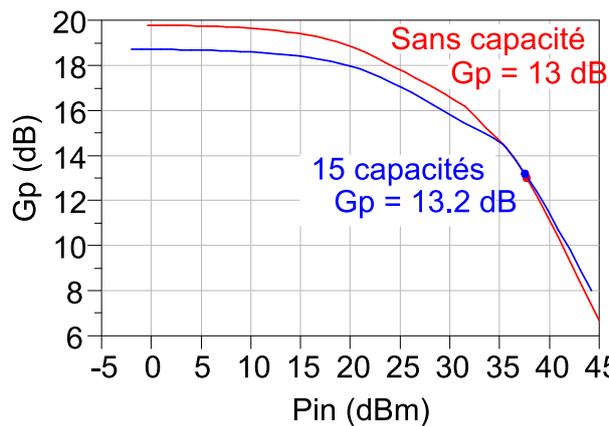


Figure III.64 : Simulation gain G_p pour des montages $15 \times 6 \times 400 \mu\text{m}$ plaque F-AlGaIn/GaN sans capacité et avec 15 capacités.

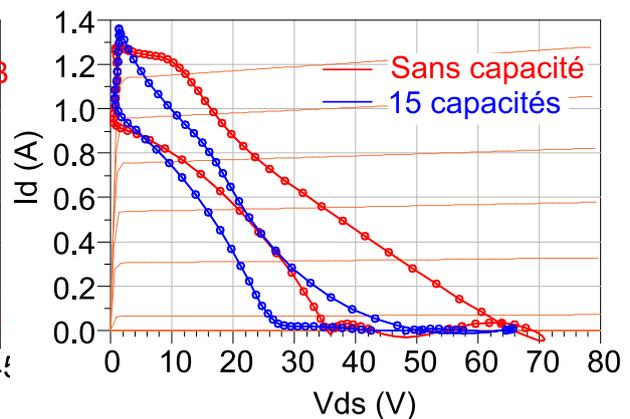


Figure III.65 : Simulation du cycle I_d - V_{DS} pour des montages $15 \times 6 \times 400 \mu\text{m}$ plaque F-AlGaIn/GaN sans capacité et avec 15 capacités.

Comme pour les barrettes à base d'InAlN, le gain en puissance G_p est légèrement diminué par l'ajout des capacités. Cet impact est plutôt significatif à bas niveau. Les puissances de sortie atteintes sont équivalentes pour les deux montages (sans capacité et avec 15 capacités). Elles approchent 120 W pour une compression du gain proche de 3 dB.

Par contre, l'utilisation des capacités permet de gagner près de 8 points sur le rendement en puissance ajoutée PAE . Cette augmentation du rendement est explicable par la modification au niveau des formes temporelles sur le cycle de charge I_d - V_{DS} (voir figure III.65). Ce dernier est plus proche du point (0;0) à l'aide des capacités.

Les puissances d'entrée retenues pour réaliser les comparaisons (37 dBm) correspondent, ici aussi, au démarrage brutale du courant de grille entrant dans les transistors. Ces points

permettent de comparer les circuits pour des stress similaires au niveau de la grille des transistors.

L'impact des capacités est aussi très visible sur la figure III.66, où l'impédance présentée entre la grille et la source des 15 transistors est rapprochée du court-circuit grâce aux capacités.

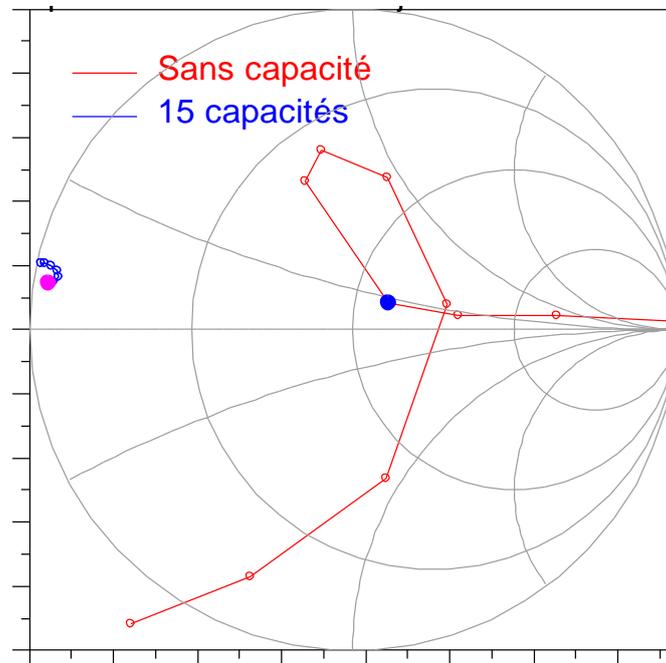


Figure III.66 : Simulation de l'impédance présentée entre la grille et la source des 15 transistors à l'harmonique deux pour des montages 15x6x400 µm plaque F-AlGaIn/GaN sans capacité et avec 15 capacités.

Nous notons que le nuage d'impédances pour le circuit avec les 15 capacités en AlGaIn/GaN est plus resserré que celui obtenu pour la configuration avec 7 capacités à base InAlN/GaN (voir figure III.61). La modification des impédances présentées aux transistors est donc plus resserrée vers un court-circuit en utilisant les 15 capacités qu'un utilisant les 7 capacités. Ceci est dû au léger dérèglement introduit par les transistors qui ne sont pas directement reliés à une capacité.

L'utilisation des capacités conduit à une augmentation du rendement en puissance ajoutée pour les barrettes 15x6x400 µm de la plaque F-AlGaIn/GaN. Le gain en puissance G_p est légèrement diminué.

Dans les figures III.61 et III.66, les impédances présentées entre la source et la grille à $2xf_0$ sont toujours passives en présence des capacités et peuvent devenir actives (hors de l'abaque de Smith) sans les capacités. Les impédances deviennent actives lorsque la puissance augmente. Ceci indique qu'il y a injection de puissance à l'harmonique deux. Cette puissance est générée pour la source de courant des transistors et se transfère du drain vers la grille.

En plaçant des capacités en entrée, il y a création d'un court-circuit à l'harmonique deux au niveau de la commande V_{GS} , ce qui empêche la génération de courant de drain à l'harmonique deux et il n'y a donc quasiment plus d'injection de puissance à l'harmonique deux du drain vers la grille. L'entrée du transistor ne voit plus qu'une impédance passive à l'harmonique deux.

Finalement, avec les capacités placées en entrée, les impédances de source à $2xf_0$ sont bien maîtrisées quelle que soit la puissance, contrairement au cas sans capacité.

De plus, ce réglage génère peu de courant de drain à l'harmonique deux. Il semble donc logique que les impédances de charge aux harmoniques optimales pour le rendement soient celles d'un fonctionnement en classe F inverse. Cette modification supplémentaire permettrait de favoriser les formes temporelles de cette classe. La forme carrée du courant de drain I_d sur la figure III.58 obtenue avec les capacités confirme qu'il n'y a pas beaucoup de courant de drain à l'harmonique deux.

III. 4. Mesures des montages avec amélioration du rendement

Les simulations présentées dans le paragraphe précédent ont permis de mettre en avant l'amélioration apportée, en termes de rendement en puissance ajoutée, par l'utilisation de capacités placées entre les grilles et les sources des transistors.

Les circuits utilisés pour les simulations ont été réalisés. Les performances de ces montages ont été mesurées et sont reportées dans ce paragraphe.

Lors des mesures en puissance, les boîtiers et le circuit hybride sont mis au contact d'un radiateur en aluminium. Un ventilateur force le passage de l'air dans les ailettes afin de refroidir au mieux le boîtier et la barrette. La figure III.67 contient un schéma de cette structure.

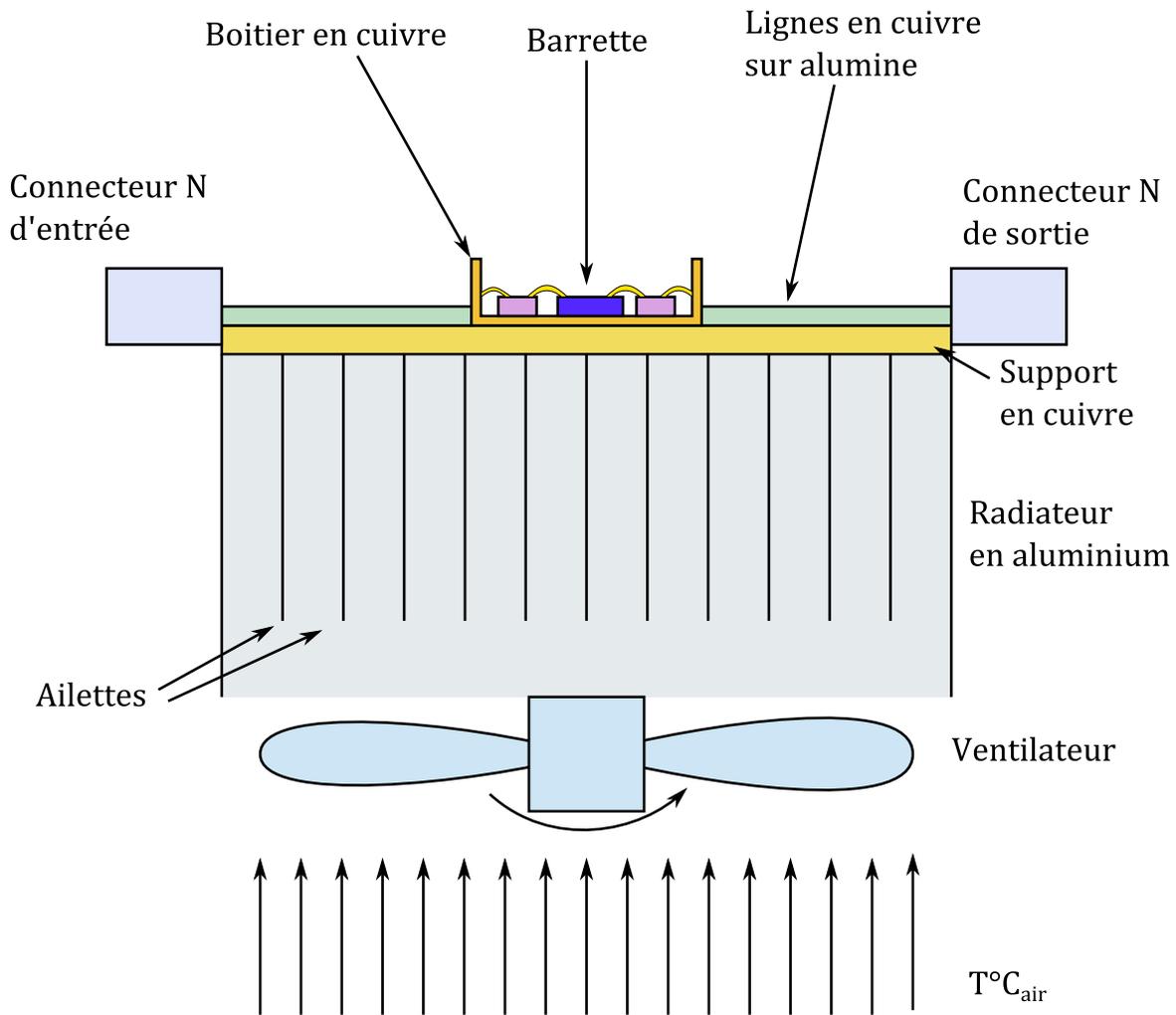


Figure III.67 : Schéma du montage utilisé pour refroidir les composants lors des mesures en puissance

Les mesures en puissance sont réalisées pour une fréquence $f_0 = 2$ GHz. Chaque point de mesure consiste en une impulsion de durée 1 ms pendant laquelle la tension de polarisation V_{DS0} et la puissance d'entrée P_{IN} sont appliquées. La tension de polarisation V_{GS0} est appliquée pendant quelques secondes. L'intervalle de temps entre deux points de mesure dépend des différents automatismes asynchrones du banc. Il vaut approximativement une minute.

Le schéma de la figure III.68 contient une représentation de l'agencement temporel des évènements au cours de la mesure. Les échelles de temps n'y sont pas respectées.

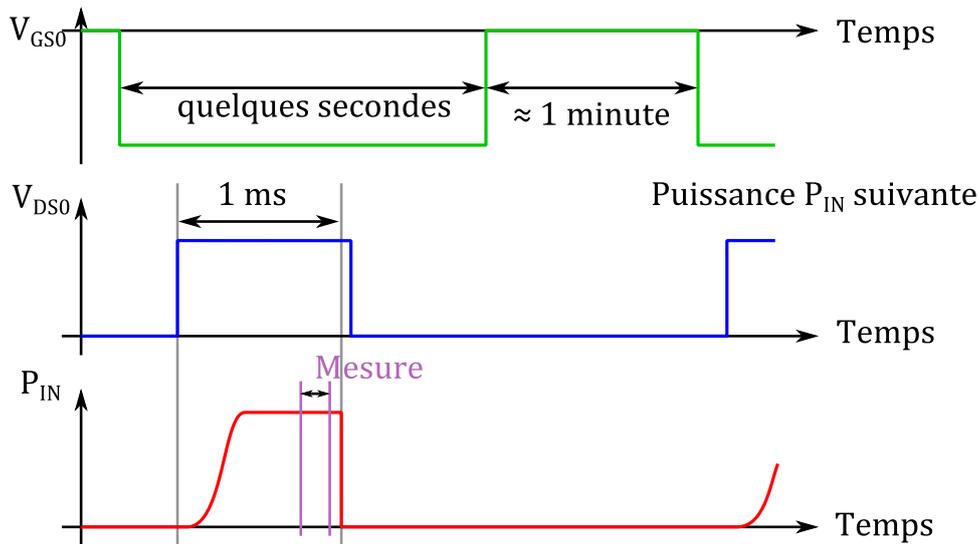


Figure III.68 : Temporisations des évènements lors d'une impulsion de mesure en puissance

Lors d'une telle mesure, la durée de l'impulsion en puissance radiofréquence permet d'obtenir une montée en température dans le composant qui s'approche de la température de fonctionnement en régime d'ondes continues.

III. 4. a. Mesures en puissance des circuits à base d'AlGaIn/GaN

Les mesures en puissance ont pu être réalisées sur six circuits de la plaque F-AlGaIn/GaN.

Deux montages correspondent à la configuration sans capacité, deux autres montages possèdent 7 capacités et les derniers contiennent 15 capacités.

Les mesures en puissance par balayage d'impédance de charge (*Load-Pull*) ont mis en évidence une désadaptation du circuit de charge. En effet, les lignes à forte constante diélectrique ϵ_r réalisent une adaptation optimale pour les barrettes de la plaque D-InAlN/GaN. Les caractéristiques électriques des barrettes de la plaque F-AlGaIn/GaN ne permettent pas un fonctionnement optimal avec l'adaptation proposée. Les mesures *Load-Pull* ont permis de trouver l'impédance donnant le maximum en *PAE* pour chaque circuit. Cette impédance vaut approximativement $Z_{OUT}^{OPT} = 22 + j \cdot 26 \Omega$.

Cette impédance optimale en *PAE* a été utilisée pour les obtenir les performances des circuits sans capacité qui sont présentées sur les figures III.69 à III.72. Ces résultats sont comparés à ceux obtenus avec cette même impédance de charge, optimale en *PAE* pour les circuits avec 7 capacités.

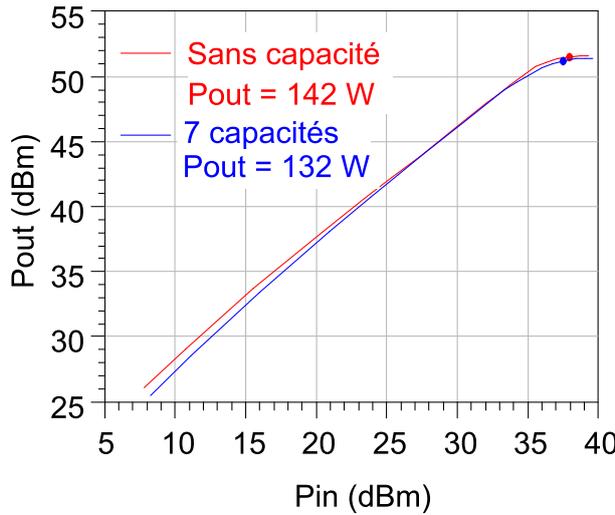


Figure III.69 : Mesures de la puissance P_{OUT} pour des montages $15 \times 6 \times 400 \mu\text{m}$ plaque F-AlGaIn/GaN sans capacité et avec 7 capacités.

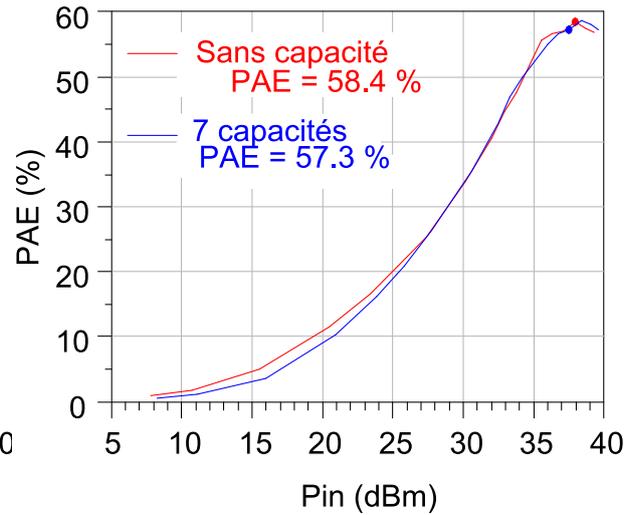


Figure III.70 : Mesures du PAE pour des montages $15 \times 6 \times 400 \mu\text{m}$ plaque F-AlGaIn/GaN sans capacité et avec 7 capacités.

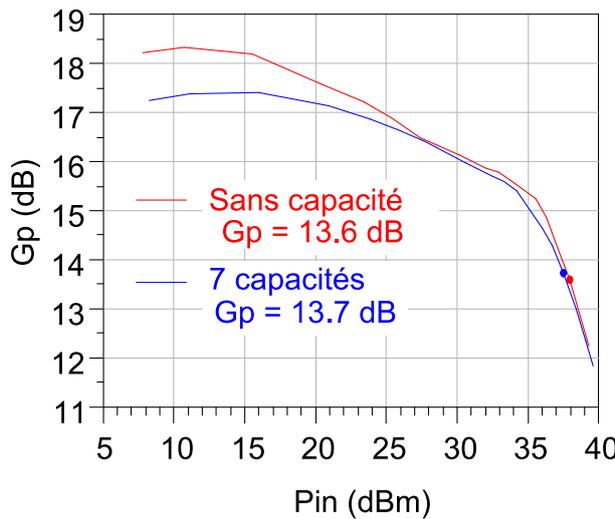


Figure III.71 : Mesures du gain G_p pour des montages $15 \times 6 \times 400 \mu\text{m}$ plaque F-AlGaIn/GaN sans capacité et avec 7 capacités.

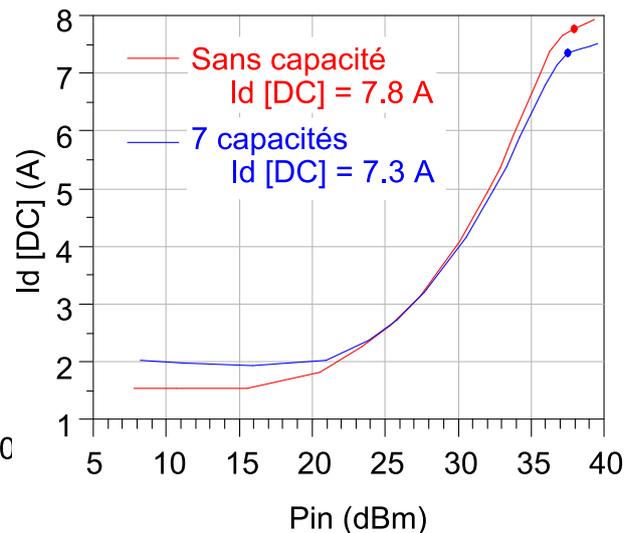


Figure III.72 : Mesures du courant de polarisation du drain I_d pour des montages $15 \times 6 \times 400 \mu\text{m}$ plaque F-AlGaIn/GaN sans capacité et avec 7 capacités.

Les performances obtenues pour ces circuits atteignent une puissance de sortie $P_{OUT} = 132 \text{ W}$, un rendement $PAE = 57 \%$ et un gain $G_p = 14 \text{ dB}$ pour $f_0 = 2 \text{ GHz}$. Le circuit avec 7 capacités a un gain en puissance à bas niveau G_p légèrement plus faible que le circuit sans capacité. La puissance de sortie P_{OUT} et le rendement PAE sont légèrement meilleurs pour le circuit sans capacité.

Ces mesures n'ont pas montré une nette amélioration des performances par l'utilisation de circuits à 7 capacités par rapport aux circuits sans capacité.

Les performances ont été comparées pour le point présentant le maximum en PAE . Il est atteint pour $P_{IN} = 38 \text{ dBm}$ pour le circuit sans capacité et pour $P_{IN} = 37,5 \text{ dBm}$ pour le circuit avec 7 capacités.

Les figures III.73 à III.76 regroupent les comparaisons des performances pour les circuits à 15 capacités et les circuits à 7 capacités. Ces circuits ont été adaptés sur l'impédance de charge optimale pour le rendement PAE .

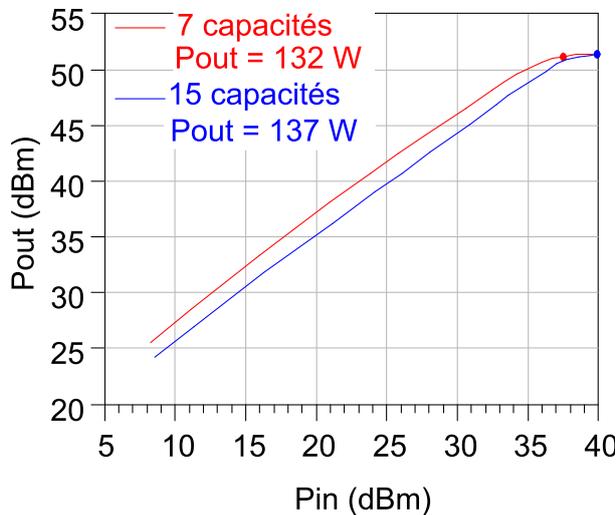


Figure III.73 : Mesures de la puissance P_{OUT} pour des montages $15 \times 6 \times 400 \mu\text{m}$ plaque F-AlGaN/GaN avec 7 capacités et avec 15 capacités.

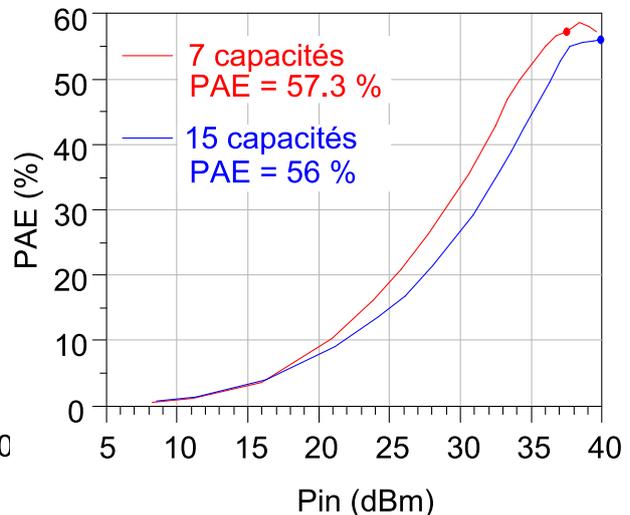


Figure III.74 : Mesures du rendement PAE pour des montages $15 \times 6 \times 400 \mu\text{m}$ plaque F-AlGaN/GaN avec 7 capacités et avec 15 capacités.

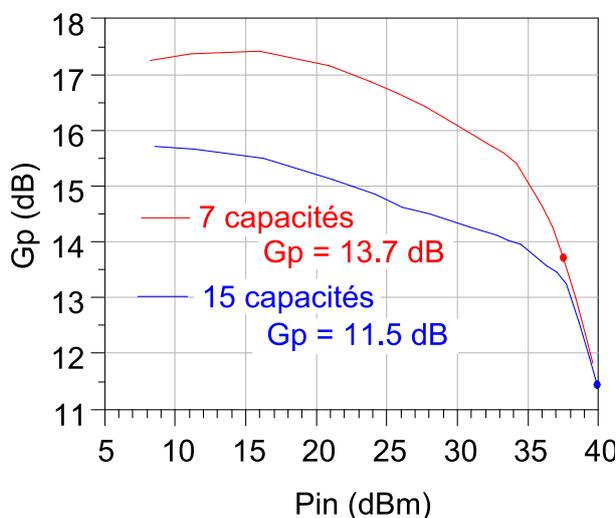


Figure III.75 : Mesures du gain G_p pour des montages $15 \times 6 \times 400 \mu\text{m}$ plaque F-AlGaN/GaN avec 7 capacités et avec 15 capacités.

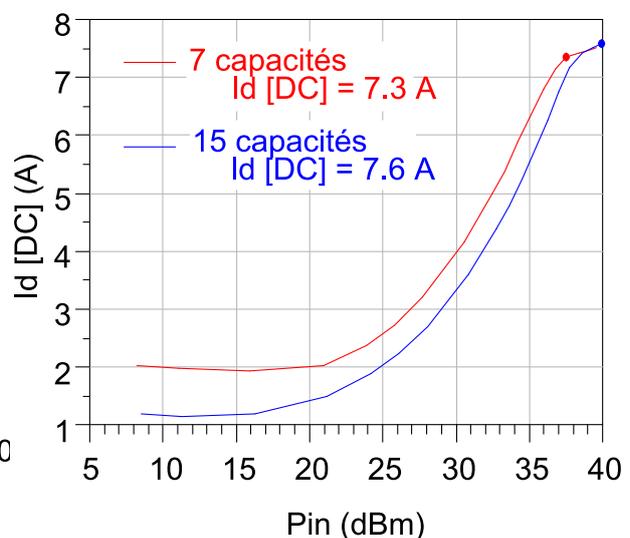


Figure III.76: Mesures du courant de polarisation du drain I_d pour des montages $15 \times 6 \times 400 \mu\text{m}$ plaque F-AlGaN/GaN avec 7 capacités et avec 15 capacités.

Le circuit ayant 15 capacités présente un gain en puissance G_p plus faible que le circuit ayant 7 capacités. La modification de l'impédance présentée au transistor à la fréquence fondamentale est plus modifiée par le circuit à 15 capacités. Ce décalage d'impédance diminue les performances (P_{OUT} , PAE) et masque l'intérêt apporté par l'utilisation des capacités.

En raison des différences importantes de gain G_p , les performances ont été comparées pour une compression de gain équivalente ($\approx 3,5$ dB). La puissance injectée vaut alors $P_{IN} = 37,5$ dBm pour le circuit avec 7 capacités et $P_{IN} = 40$ dBm pour le circuit avec 15 capacités.

Finalement, les montages utilisant des capacités placées entre la grille et la source n'ont pas obtenu des performances meilleures mais du même ordre que le circuit sans capacité. Les modifications sur l'adaptation d'impédance introduites par les capacités viennent masquer les bénéfices attendus.

III. 4. b. Mesures en puissance des circuits à base d'InAlN/GaN

Les mesures en puissance ont aussi été réalisées avec les barrettes de la plaque D-InAlN/GaN. Les performances des montages sans capacité sont comparées à celles des circuits avec 7 capacités, sur les figures III.77 à III.80.

Les circuits ont été mesurés sur des impédances de charge de 50Ω . Les balayages d'impédances de charge (*Load-Pull*) ont révélé que les circuits sont adaptés sur 50Ω .

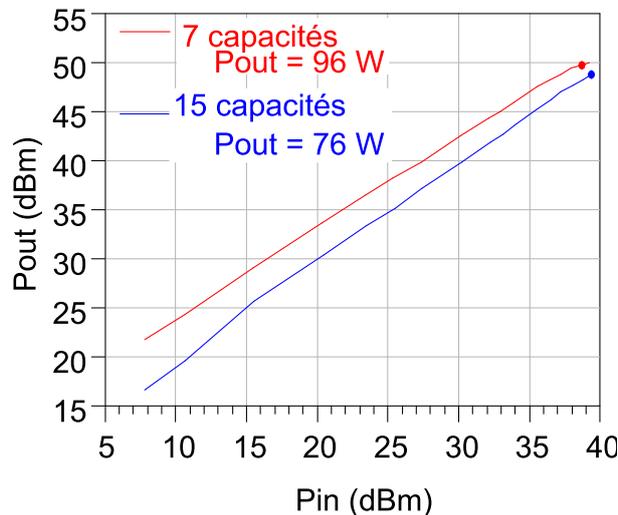


Figure III.77 : Mesures de la puissance P_{OUT} pour des montages $15 \times 6 \times 400 \mu\text{m}$ plaque D-InAlN/GaN sans capacité et avec 7 capacités.

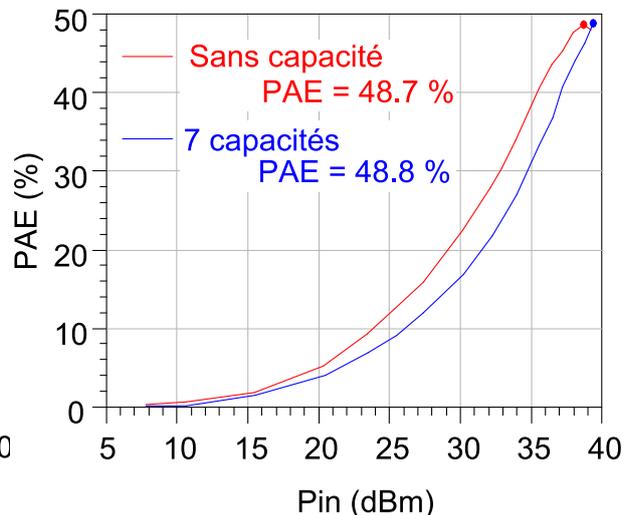


Figure III.78 : Mesures du rendement PAE pour des montages $15 \times 6 \times 400 \mu\text{m}$ plaque D-InAlN/GaN sans capacité et avec 7 capacités.

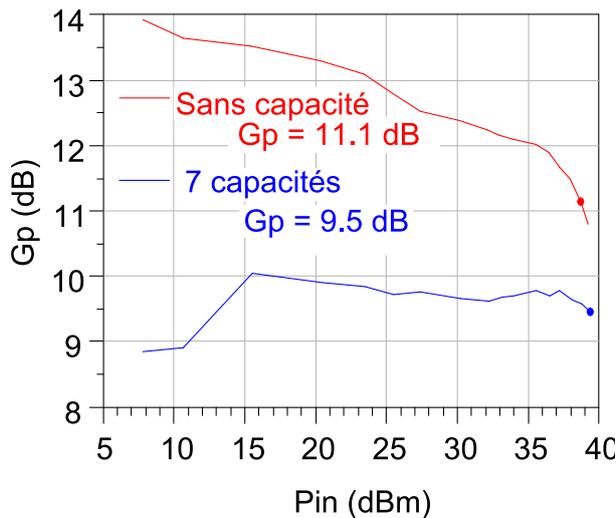


Figure III.79 : Mesures du gain G_p pour des montages $15 \times 6 \times 400 \mu\text{m}$ plaque D-InAlN/GaN sans capacité et avec 7 capacités.

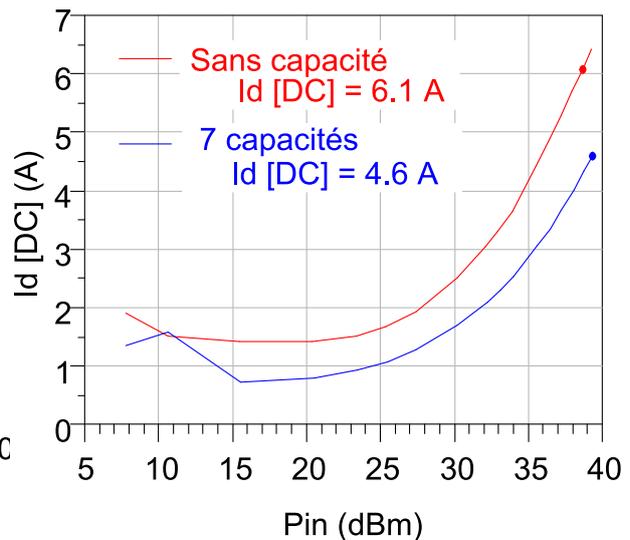


Figure III.80 : Mesures du courant de polarisation du drain I_d pour des montages $15 \times 6 \times 400 \mu\text{m}$ plaque D-InAlN/GaN sans capacité et avec 7 capacités.

Le circuit ayant 7 capacités présente un gain en puissance G_p très inférieur à celui du montage sans capacité, entre 2 à 3 dB. Cette différence de gain réduit beaucoup les autres performances comme la puissance de sortie P_{OUT} et le rendement PAE .

Cette réduction sur le gain est trop forte pour être uniquement expliquée par une modification de l'adaptation d'impédance en entrée par l'introduction des capacités entre la grille et la source. Au vu du faible nombre de barrettes fonctionnant correctement avec 7 capacités (2 montages), il n'a pas été possible de pouvoir déterminer la raison de cette baisse de gain : vieillissement prématuré du composant, imprécision sur la pose des fils de câblage ou désadaptation importante de l'impédance d'entrée.

Toutefois, l'observation du rendement en puissance ajoutée PAE montre qu'il semble possible d'extrapoler le tracé pour le montage avec 7 capacités plus haut que le maximum en PAE obtenu pour le montage sans capacité. Les générateurs de puissance et les préamplificateurs disponibles sur le banc de mesure ne permettent malheureusement pas de prolonger cette courbe au-delà de 20 W de puissance P_{IN} injectée dans le circuit.

Il semblerait donc possible d'améliorer le rendement de la barrette en utilisant les capacités placées entre la grille et la source.

Les performances présentées dans ce paragraphe ont été relevées pour le point de rendement en puissance ajoutée maximal. Il a été atteint pour une puissance injectée $P_{IN} = 38 \text{ dBm}$ pour le circuit sans capacité et $P_{IN} = 39 \text{ dBm}$ pour le circuit avec 7 capacités.

III. 4. c. Comparaison simulations aux mesures

Les mesures en puissance réalisées sur la plaque D-InAlN/GaN ont été comparées aux simulations obtenues en équilibrage harmonique. Les figures III.81 à III.84 présentent les comparaisons des performances obtenues en simulations et en mesure pour le circuit sans capacité.

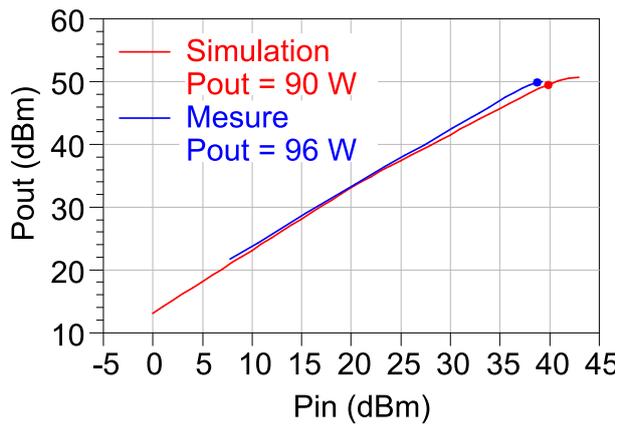


Figure III.81 : Comparaison de la puissance de sortie P_{OUT} pour la mesure et la simulation d'un circuit sans capacité de la plaque D-InAlN/GaN.

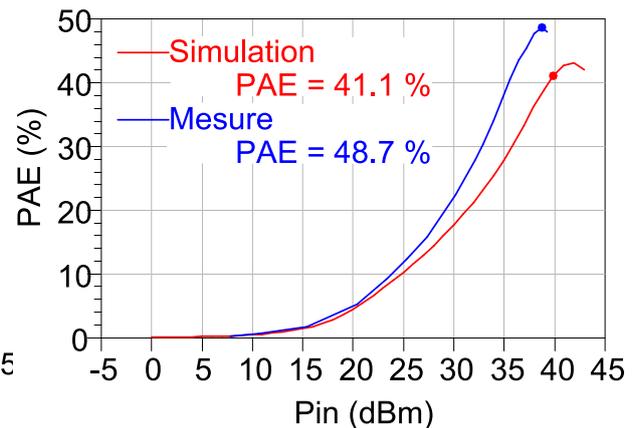


Figure III.82 : Comparaison du rendement PAE pour la mesure et la simulation d'un circuit sans capacité de la plaque D-InAlN/GaN.

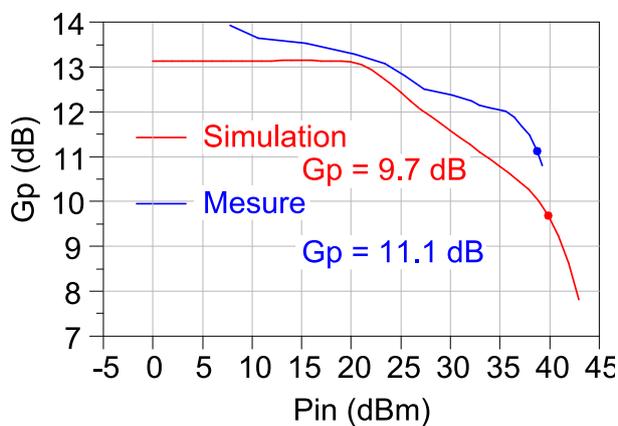


Figure III.83 : Comparaison du gain G_p pour la mesure et la simulation d'un circuit sans capacité de la plaque D-InAlN/GaN.

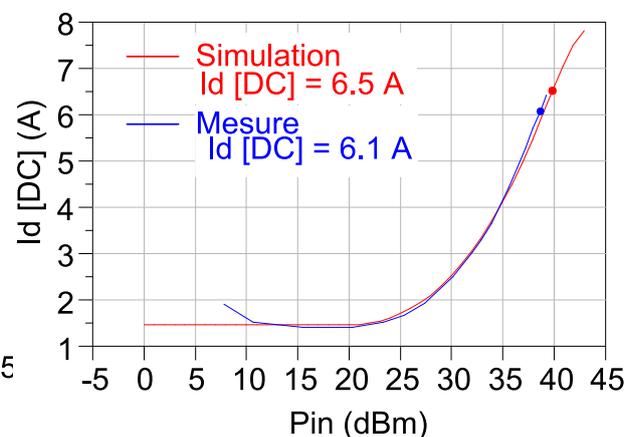


Figure III.84 : Comparaison du courant de polarisation I_d pour la mesure et la simulation d'un circuit sans capacité de la plaque D-InAlN/GaN.

Les performances obtenues avec les mesures sont meilleures que celles obtenues pour le rendement PAE , que ce soit pour la puissance de sortie P_{OUT} , le gain G_p et le rendement PAE .

Ces performances ont été comparées pour une puissance d'entrée correspondant à l'augmentation brutale du courant de grille pour le circuit simulé. Ceci correspond à une puissance injectée proche de 40 dBm. Pour le circuit mesuré, le point retenu ($P_{IN} = 38$ dBm) est le point de rendement en puissance ajoutée maximale.

La comparaison des performances simulées et mesurées pour le circuit avec 7 capacités est présentée sur les figures III.85 à III.88.

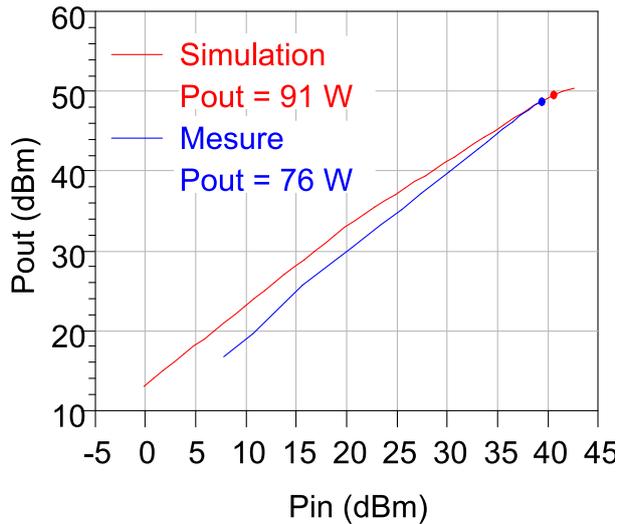


Figure III.85 : Comparaison de la puissance de sortie P_{OUT} pour la mesure et la simulation d'un circuit avec 7 capacités de la plaque D-InAlN/GaN.

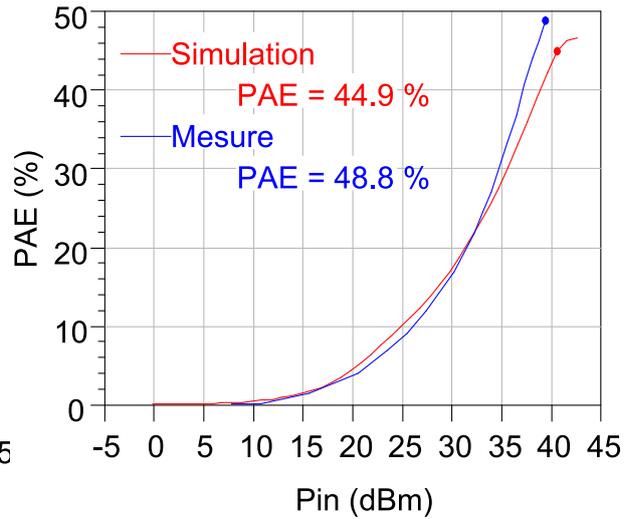


Figure III.86 : Comparaison du rendement PAE pour la mesure et la simulation d'un circuit avec 7 capacités de la plaque D-InAlN/GaN.

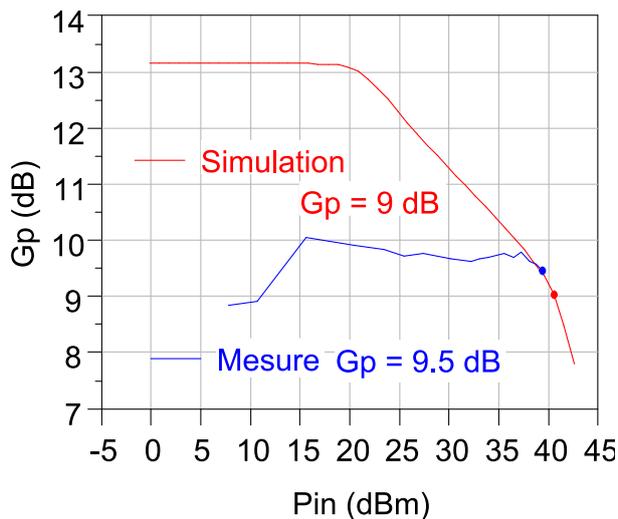


Figure III.87 : Comparaison du gain G_p pour la mesure et la simulation d'un circuit avec 7 capacités de la plaque D-InAlN/GaN.

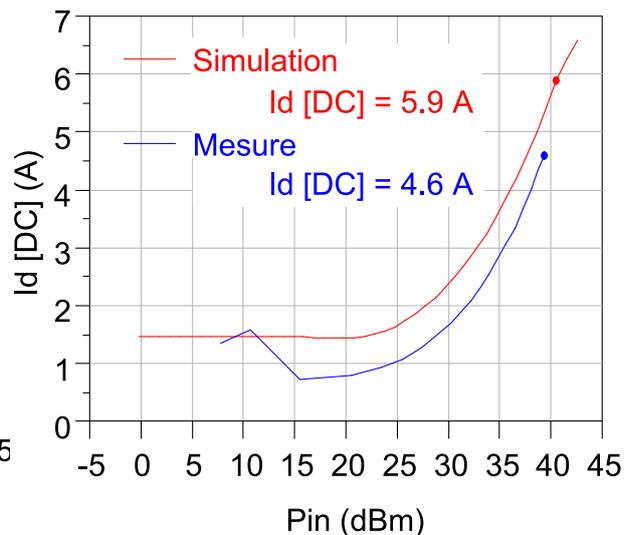


Figure III.88 : Comparaison du courant de polarisation I_d pour la mesure et la simulation d'un circuit avec 7 capacités de la plaque D-InAlN/GaN.

Le gain G_p du circuit mesuré est très inférieur à bas niveau au gain obtenu pour la simulation. Par contre, le rendement en puissance ajoutée PAE est supérieur pour le circuit mesuré.

L'observation du tracé de la puissance de sortie P_{OUT} et du rendement en puissance ajoutée PAE laissent supposer qu'il est possible de mesurer le circuit avec 7 capacités plus haut en puissance afin d'atteindre un meilleur maximum en puissance ou en PAE .

Ces performances ont été comparées pour une puissance d'entrée correspondant à l'augmentation brutale du courant de grille pour le circuit simulé. Ceci correspond à une puissance injectée proche de 41 dBm. Pour le circuit mesuré, le point retenu ($P_{IN} = 38$ dBm) est le point de rendement en puissance ajoutée maximale.

Les comparaisons entre les simulations et les mesures ne concordent pas suffisamment. Les différences au niveau du gain G_p (plus de gain dans un cas, moins de gain dans l'autre) ne permettent pas de conclure avec certitude, sachant que le modèle de transistor n'a pas été strictement établi dans les mêmes conditions thermiques que la mesure. La tension de polarisation V_{GS0} utilisée dans le modèle n'a pas été ajustée afin de faire correspondre les niveaux de courant de drain I_{d0} de polarisation entre les simulations et les mesures. Mais, le fort écart en gain ne peut pas être seulement expliqué par une différence de tension V_{GS0} .

L'origine de ces différences pourrait provenir d'écart entre la disposition des fils de câblage prévue dans la simulation et la disposition réalisée au cours du montage. Une observation visuelle des montages met en évidence des écarts importants. Il faudrait poursuivre l'investigation pour quantifier l'impact de ces modifications sur les performances et pouvoir statuer sur leur implication dans les différences de gains obtenues entre les mesures et les simulations.

Toutefois, les mesures en puissance des différents circuits étudiés ont montré que les technologies HEMT AlGaN/GaN et InAlN/GaN atteignent des puissances de sortie supérieures à 100 W pour une fréquence $f_0 = 2$ GHz. Le rendement en puissance ajoutée dépasse 45 % et atteint 58 % pour des barrettes en AlGaN/GaN.

L'utilisation de barrettes en InAlN/GaN laisse supposer qu'il est possible d'augmenter le rendement en puissance ajoutée *PAE* en utilisant des capacités placées entre la grille et la source afin de s'approcher d'un fonctionnement en classe F inverse.

Conclusion

Ce chapitre est une présentation de la mise en œuvre des techniques d'amélioration du rendement en puissance sur des amplificateurs utilisant des HEMT à base de GaN pour un fonctionnement autour de 2 GHz.

La première méthode d'amélioration décrite est le fonctionnement en classe E. Les études préliminaires à partir des considérations théoriques ont montré que les caractéristiques des composants utilisés empêchent le fonctionnement correct en classe E pour des fréquences supérieures à 2 GHz. En effet, la valeur de la capacité de sortie C_{DS} des transistors est plus élevée que la valeur optimale pour le fonctionnement en classe E.

Des simulations en équilibrage harmonique ont confirmé les conclusions obtenues avec les calculs préliminaires. L'obtention des formes temporelles propres au fonctionnement en classe E s'accompagne d'une puissance de sortie P_{OUT} et d'un rendement en puissance ajoutée PAE trop faible. Les optimisations des paramètres du circuit caractéristique du fonctionnement en classe E ont permis d'obtenir une puissance de sortie et un rendement en puissance plus élevés. Les formes temporelles obtenues correspondent alors à celles d'un fonctionnement en classe F inverse.

La suite des travaux a donc porté sur l'amélioration des performances en utilisant les techniques propres à la classe F ou la classe F inverse.

Cette dernière consiste à optimiser les impédances présentées au transistor aux harmoniques. Des simulations en équilibrage harmonique ont permis d'obtenir un rendement en puissance ajoutée $PAE = 67 \%$ pour une densité de puissance de sortie $P_{OUT}/W_G = 4,6 \text{ W/mm}$, à l'aide du modèle d'un transistor en AlGaIn/GaN, avec une fréquence $f_0 = 2 \text{ GHz}$.

Ces performances attrayantes nous ont poussés à étudier le fonctionnement en classe F inverse avec un amplificateur utilisant une barrette de 15 transistors $6 \times 400 \mu\text{m}$.

L'amplificateur d'origine fonctionne à 2 GHz en classe AB. Les simulations de différentes modifications de ce circuit ont permis d'obtenir une amélioration de quelques points du rendement en puissance ajoutée PAE . Cette solution consiste à placer des capacités de 5,6 pF en parallèle de la grille et de la source des transistors de la barrette.

Ces capacités forment un couple L-C avec les éléments inductifs dans le circuit (fils de câblage). Ce résonateur sert à présenter un court-circuit à l'harmonique deux à l'entrée des transistors. De cette manière, la forme temporelle de la tension V_{GS} est modifiée afin de favoriser un courant de drain I_d de forme rectangulaire. Dans les simulations, l'utilisation des capacités rapproche le fonctionnement de l'amplificateur d'un fonctionnement en classe F inverse.

Cette modification a été appliquée à un amplificateur utilisant des barrettes de puissance provenant d'une plaque en InAlN/GaN et aussi d'une plaque en AlGaIn/GaN. Différentes structures sans capacités et avec capacités ont été comparées avec des mesures en puissance en impulsions.

Ces mesures réalisées pour une fréquence $f_0 = 2 \text{ GHz}$ ont permis d'atteindre une puissance de sortie $P_{OUT} = 142 \text{ W}$ ($P_{OUT}/W_g = 3,9 \text{ W/mm}$), un rendement en puissance ajoutée $PAE = 58 \%$, pour un gain en puissance $G_p = 13,6 \text{ dB}$, avec un montage sans capacité en AlGaIn/GaN.

Les circuits à base d'AlGaN/GaN possédant des capacités obtiennent des performances équivalentes mais ne démontrent pas une amélioration des performances aussi visibles que lors des simulations en équilibrage harmonique.

Les circuits à base d'InAlN/GaN présentent des performances proches. Une puissance de sortie $P_{out} = 96 \text{ W}$ avec un rendement en puissance ajoutée $PAE = 49 \%$ a été obtenue avec un gain en puissance Gp de 11 dB, pour une fréquence $f_0 = 2 \text{ GHz}$.

La complexité de réalisation de l'agencement de fils de câblage, pour les montages possédant des capacités à l'entrée des transistors, n'a pas permis d'obtenir un grand nombre d'échantillons. La comparaison des performances du circuit ayant 7 capacités avec un circuit sans capacité montre la possibilité d'augmenter le rendement en puissance ajoutée pour les forts niveaux de puissance d'entrée, malgré les différences en termes de gain en puissance et de puissance de sortie. Afin de pouvoir vérifier cette amélioration du rendement, les circuits devraient être mesurés avec des puissances d'entrée plus élevées que les limites techniques imposées par le banc de mesure.

Enfin, la comparaison des mesures des circuits avec les simulations mettent en avant les difficultés de concevoir un modèle des circuits dont les caractéristiques sont proches du comportement réel. Les observations visuelles des montages révèlent des différences entre l'emplacement des fils dans le montage réel par rapport aux plans utilisés pour les simulations. Ces différences sont dues à la précision propre à la pose des fils. Pour améliorer les modèles de circuits, il faudrait corriger le plan de la structure utilisée pour les simulations.

Finalement, l'utilisation des techniques d'amélioration du rendement en puissance, en se basant sur le fonctionnement en classe F ou en classe F inverse, laisse entrevoir une amélioration du rendement en puissance ajoutée pour les circuits en InAlN/GaN à la fréquence $f_0 = 2 \text{ GHz}$.

Perspectives

La partie III a présentée les différents circuits mettant en œuvre les techniques d'amélioration du rendement en puissance.

Le fonctionnement en classe E en utilisant des générateurs de signaux sinusoïdaux ne fournit pas de hautes performances à cause des caractéristiques des transistors à base de GaN. Leur capacité de sortie C_{DS} est trop élevée.

La réalisation de circuits fonctionnant en classe F inverse a permis d'ouvrir des pistes vers l'amélioration du rendement mais au détriment d'une complexité accrue dans la structure des circuits.

D'autres classes de fonctionnement ont été décrites dans la partie I. Elles permettent aussi d'améliorer le rendement en puissance. Parmi celles-ci, les classes D et S utilisent des signaux commutés. La mise en œuvre de telles classes de fonctionnement est adaptée aux transistors à base de GaN.

En effet, les temps de commutation des HEMT à base de GaN sont très courts. Les fréquences de transition f_t dépassent 10 GHz et ne cessent d'être augmentées grâce à l'optimisation des structures des transistors. Ces composants sont donc aptes à amplifier les signaux commutés.

Les difficultés d'utilisation de ces transistors à base de GaN pour les classe commutés reposent sur le fait qu'il est compliqué de générer la tension de commande du transistor. En effet, la structure présentée sur la figure IV.1 montre deux transistors agencés en "Push-Pull" afin d'amplifier des signaux commutés. Cette structure peut être une structure de base pour le fonctionnement en classe D ou en classe S.

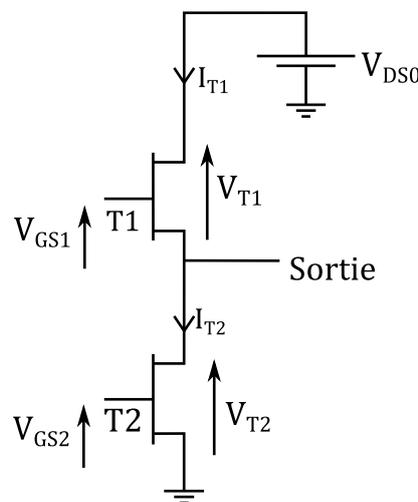


Figure IV.1 : Structure Push-Pull

Dans le cas des HEMT en InAlN/GaN et en AlGaIn/GaN, la tension de pincement est négative. Le transistor T1 est donc piloté par une tension négative. Mais comme la tension de sortie est variable, il faut utiliser un générateur de tension à masse flottante pour le transistor T1. Les circuits permettant de travailler avec une masse flottante viennent réduire le temps de commutation de ces générateurs (capacités, inductances, ...).

L'utilisation des HEMT à base de GaN pour la commutation demande donc la réalisation de cellules de commutation incluant le transistor et un circuit aidant à sa commutation (voir figure IV.2).

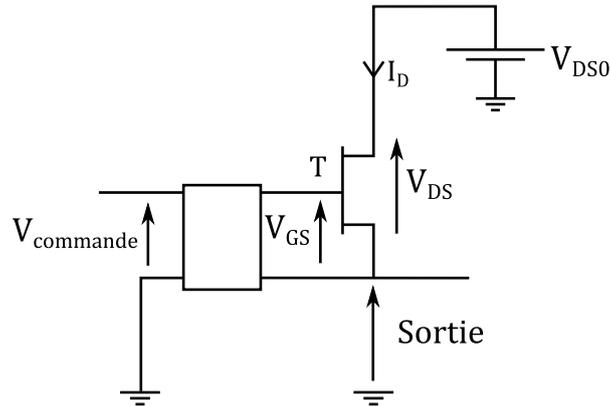


Figure IV.2 : Structure d'une cellule de commutation

Le principe de ces circuits d'aide à la commutation consiste à prélever au moment de la transition du courant au niveau de la source du transistor afin de le réinjecter dans la grille du transistor et ainsi l'aider à commuter. Ce sont des structures astables, pour lesquelles une petite modification du signal de commande les rend instables et déclenche une commutation rapide du transistor.

La fabrication de telles cellules permettra de réaliser des prototypes d'amplificateurs en classe S en reprenant la structure présentée dans le paragraphe I. 2. e et rappelée dans la figure IV.3.

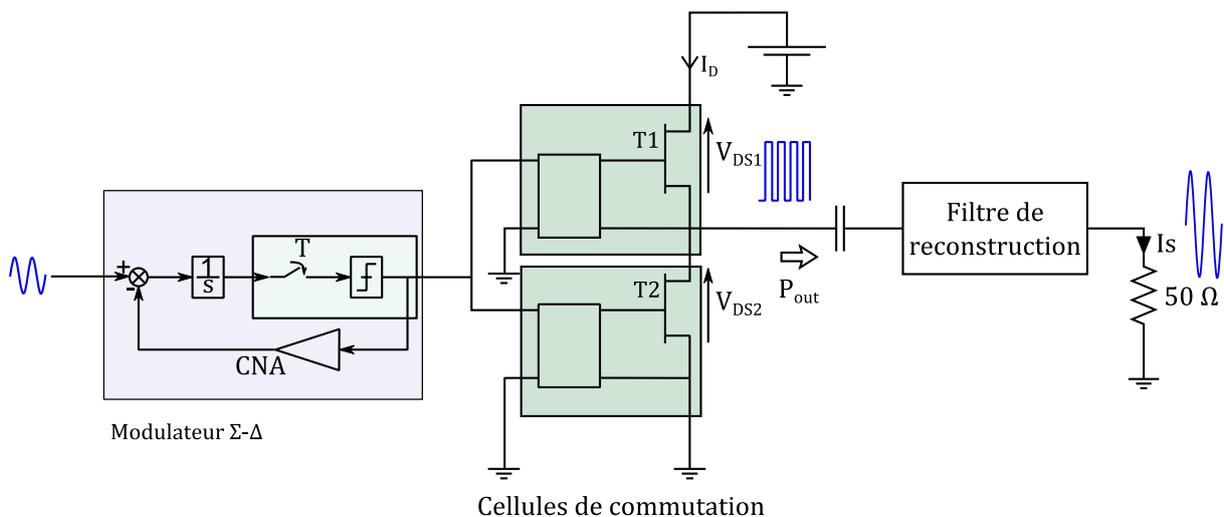


Figure IV.3 : Structure de base d'un fonctionnement en classe S en utilisant des transistors HEMT à base de GaN

Ce type de structure présente l'avantage de combiner la forte puissance de sortie de la technologie GaN avec le haut rendement en puissance grâce à l'utilisation de cellule de commutation. Le modulateur Σ - Δ permet un fonctionnement sur de très larges bandes de fréquences. Ce modulateur peut être implémenté à l'aide de traitements numériques, ce qui offre des possibilités de reconfigurations sans avoir à modifier les composants du modulateur.

La réalisation de structure à signaux commutés utilisant des HEMT à base de GaN est donc prometteuse pour répondre aux exigences de puissance, de rendement et de reconfiguration des amplificateurs pour les signaux de télécommunications ou la génération d'onde RADAR.

Conclusion

Les travaux présentés dans ce manuscrit se sont concentrés sur la réalisation de circuits améliorant le rendement en puissance d'amplificateur de puissance en radiofréquence utilisant des transistors à haute mobilité électronique (*HEMT*) à base de nitrure de gallium (*GaN*).

Il existe différentes configurations d'utilisation des transistors appelées classes de fonctionnement qui permettent d'augmenter le rendement en puissance des amplificateurs. Ces classes de fonctionnement modifient les formes temporelles de la tension et du courant au sein des transistors afin de diminuer les pertes électriques dans les composants et d'augmenter la puissance de sortie.

Le fonctionnement en classe F inverse est particulièrement intéressant car, tout en utilisant un signal d'entrée sinusoïdal, il permet d'obtenir un courant de drain I_d de forme rectangulaire et une tension V_{DS} de forme demi-sinusoïdale au sein du transistor.

L'étude des caractéristiques électriques des HEMT à base de GaN a permis de démontrer les aptitudes de ces composants à atteindre des courants et des tensions élevées. Leur densité par développement de grille pour le courant de drain atteint $I_d^{MAX}/W_g = 600 \text{ mA/mm}$. Ils présentant des tensions de claquage avoisinant $V_{CL} = 200 \text{ V}$ pour des transistors en AlGaIn/GaN.

Ceci démontre l'aptitude de ces composants à amplifier des signaux pour produire de fortes puissances de sortie. Leurs fréquences maximales d'oscillation f_{MAX} sont élevées (25 – 35 GHz). Elles indiquent que ces composants sont aptes à fonctionner en haute fréquence et en particulier pour les signaux autour de 2 GHz.

Différentes structures de transistors ont été étudiées. La présence d'une plaque de champ (*Field Plate*) reliée à la source *FPS* ne présente pas d'influence sur les caractéristiques statiques des transistors, que ce soit pour les composants en AlGaIn/GaN que pour les hétérojonctions en InAlN/GaN. De la même manière, la présence d'une plaque de champ reliée au drain *FPD* n'a pas d'impact sur les caractéristiques statiques.

L'objectif de ces plaques de champ consiste à étaler le champ électrique au sein du composant. Les pics de champs sont plus faibles pour des tensions appliquées aux transistors identiques. L'utilisation de ces plaques cherche donc à augmenter la tenue en tension des transistors. Cet effet n'a pas été obtenu avec les composants mis à disposition aussi bien pour les plaques en AlGaIn/GaN qu'en InAlN/GaN. Malgré la présence d'un courant de fuite de grille important pour les plaques en InAlN/GaN, le claquage a été atteint pour une partie des transistors mesurés. L'analyse statistique de ces caractérisations ne démontre pas d'impact des plaques de champ sur la tenue en tension, pour la structure considérée.

Toutefois, l'analyse des performances fréquentielles des composants à partir des mesures de paramètres *S* a montré que l'utilisation de cette structure de plaque de champ reliée à la source diminue fortement la fréquence maximale d'oscillation f_{MAX} du transistor et augmente la capacité de sortie C_{DS} . La présence de cette plaque réduit donc l'utilisation des transistors à très haute fréquence. De plus, l'augmentation de la capacité C_{DS} est à l'origine de pertes électriques plus importantes pour l'utilisation avec des signaux commutés (classes D, classe S, ...) et réduit la gamme de fréquences de fonctionnement en classe E. L'utilisation d'une telle plaque de champ pénalise donc le fonctionnement en signaux commutés ou à haute fréquence mais s'accompagne d'un effet bénéfique sur les caractéristiques I-V en impulsion en démontrant une réduction significative de la tension de coude en présence d'une tension de repos V_{DS0} .

L'étude de la structure des composants a aussi porté sur l'impact de la distance grille-drain *DGD* sur les caractéristiques statiques et fréquentielles.

L'allongement de cette distance étale le champ électrique dans le composant et conduit à une augmentation significative de la tenue en tension des transistors. Par contre, elle s'accompagne d'une réduction du courant de drain à saturation I_d^{MAX} (diminution de la puissance maximale), une augmentation de la résistance à l'état passant R_{ON} (augmentation des pertes par conduction) et une diminution de la fréquence maximale d'oscillation f_{MAX} (fonctionnement à des fréquences plus basses). L'amélioration des performances en augmentant la distance DGD conduit à faire un compromis entre tenue en tension, fréquence de fonctionnement, courant maximum et rendement en puissance.

La suite des travaux s'est poursuivie sur la mise en pratique des techniques d'amélioration du rendement en puissance.

L'étude du fonctionnement en classe E a été réalisée à partir de simulations en équilibrage harmonique (*Harmonic Balance*). Elle a montré que les transistors utilisés présentent une capacité de sortie C_{DS} dont la valeur est trop élevée pour respecter le fonctionnement théorique en classe E. Les simulations, avec le modèle d'un transistor de développement de grille $W_g = 2$ mm, ont conduit à l'obtention de formes temporelles proches du fonctionnement en classe E pour une fréquence $f_0 = 3$ GHz. Mais, le rendement en puissance ajoutée *PAE* ne dépasse pas 44 % au niveau du transistor et la puissance de sortie P_{OUT} atteint difficilement la densité $P_{OUT}/W_g = 2,5$ W/mm. Une optimisation du circuit propre au fonctionnement en classe E cherchant à atteindre un rendement en puissance plus élevé a montré des performances plus intéressantes. Le rendement en puissance ajoutée *PAE* atteint 61 % avec une densité de puissance de sortie $P_{OUT}/W_g = 3,2$ W/mm pour une fréquence $f_0 = 3$ GHz. Les formes temporelles obtenues correspondent à celles d'un fonctionnement en classe F inverse.

C'est en se basant sur ces considérations que les travaux ont continué sur des simulations de circuits fonctionnant en classe F inverse. Les résultats préliminaires ont montré que l'optimisation des impédances présentées aux transistors aux harmoniques permet une amélioration du rendement en puissance ajoutée de plus de 10 points et de la densité de puissance de sortie de plus de 1 W/mm. Ces performances ont été atteintes pour une optimisation des impédances présentées en entrée et en sortie du transistor jusqu'à l'harmonique trois.

Les formes temporelles obtenues sont une forme rectangulaire pour le courant de drain intrinsèque au sein de la source de courant dans le transistor et une tension V_{DS} de forme demi-sinusoidale.

Cette amélioration, propre au fonctionnement en classe F inverse, nous a motivé à appliquer cette technique pour augmenter les performances d'un circuit existant fonctionnant à 2 GHz.

Différentes modifications ont été testées pour optimiser les impédances présentées aux transistors. Il apparaît que la plus forte augmentation des performances est obtenue en plaçant des capacités entre la grille et la source des transistors. Ces capacités participent à la création de courts-circuits en entrée du transistor à l'harmonique deux. Ceci met en forme la tension V_{GS} et pousse à obtenir une forme rectangulaire pour le courant de drain.

Cette modification a été appliquée à des circuits utilisant des barrettes de 15 transistors ayant un développement total de grille de 36 mm. D'après les simulations en équilibrage harmonique, elle permet une augmentation du rendement en puissance ajoutée de près de 3 points aussi bien pour les circuits à base d'AlGaIn/GaN que ceux à base d'InAlN/GaN. Cette augmentation du rendement, qui peut paraître modeste, se traduit en réalité par une diminution de 16 % des pertes électriques, ce qui induit un impact non négligeable sur la gestion de la température au sein du composant.

Des montages ont été fabriqués et mesurés en puissance à 2 GHz. Les mesures en impulsion ont démontré le potentiel des transistors à base de GaN pour l'amplification de puissance. Un rendement en puissance ajoutée $PAE = 58 \%$ a été atteint pour une densité de puissance de sortie $P_{out}/W_g = 3,9 \text{ W/mm}$ (142 W) avec un gain en puissance $Gp = 13,6 \text{ dB}$ pour un fonctionnement avec une fréquence $f_0 = 2 \text{ GHz}$.

Des comparaisons entre des circuits sans capacité et avec capacités n'ont pas démontré l'augmentation attendue sur le rendement en puissance ajoutée PAE . Plusieurs hypothèses peuvent expliquer le fait que les améliorations recherchées n'ont pas été obtenues. Les circuits avec capacités sont très complexes à réaliser, surtout au niveau de la pose des fils de câblage. Il existe alors des légères différences entre la disposition des fils dans la réalité et le plan utilisé lors des simulations. Ces différences peuvent expliquer une différence de comportement en amplification. De plus, la complexité est particulièrement accrue sur les circuits en InAlN/GaN incluant des capacités car la présence de fils de câblage pour relier les plots de source à la masse du circuit a demandé une organisation très particulière pour faire passer les outils au plus près des éléments du circuit. Certains circuits ont donc subi des dégradations lors du montage ne laissant que peu d'échantillons viables pour les mesures.

Malgré les difficultés de réalisation, il semblerait qu'en injectant plus de puissance dans les circuits à base d'InAlN/GaN avec capacités, il serait possible de démontrer l'augmentation du rendement en puissance ajoutée.

Les perspectives d'amélioration du fonctionnement de ces circuits consistent donc à affiner les plans des fils de câblage dans les modèles de ces circuits pour mieux correspondre aux mesures et à utiliser un banc de mesure avec une source plus puissante pour pouvoir atteindre le maximum de rendement.

Enfin, il apparaît que les performances des circuits à base de GaN sont appropriées pour les faire fonctionner dans des classes à signaux commutés comme la classe S. L'étude de ce type de circuit permettrait de pousser encore plus loin les améliorations en termes de rendement en puissance. De plus, ces topologies d'amplificateurs profitent d'un potentiel de reconfiguration simple tout en ayant une bande de fréquence de fonctionnement élevée avec une gestion de la linéarité des signaux.

Annexes

Annexe A. Caractéristiques statiques des transistors avec des variantes de FPS, FPD et DGD

Cette annexe présente les mesures statiques qui ont été réalisées sur les différentes variantes de FPS, FPD et DGD et qui n'ont pas été présentées dans la partie II. 1. a, afin d'en alléger la compréhension. Les mesures ont été réalisées sur des transistors de développement $2 \times 100 \mu\text{m}$.

A.1. Impact de la plaque FPS

Les figures II.4 à II.7 présentées dans la partie II. 1. a. 1 montrent que la plaque de champ reliée à la source FPS n'a pas d'impact sur la résistance à l'état passant R_{ON} .

Les figures A.1 à A.3 présentent l'évolution de la transconductance maximale g_m^{MAX} en fonction de l'extension de FPS. Comme le montrent ces figures, la plaque de champ reliée à la source FPS n'a pas d'impact sur la transconductance maximale g_m^{MAX} . Les plaques en AlGaIn/GaN (plaques A et B) ont une transconductance maximale g_m^{MAX} plus faible que celles en InAlIn/GaN (plaques C et D).

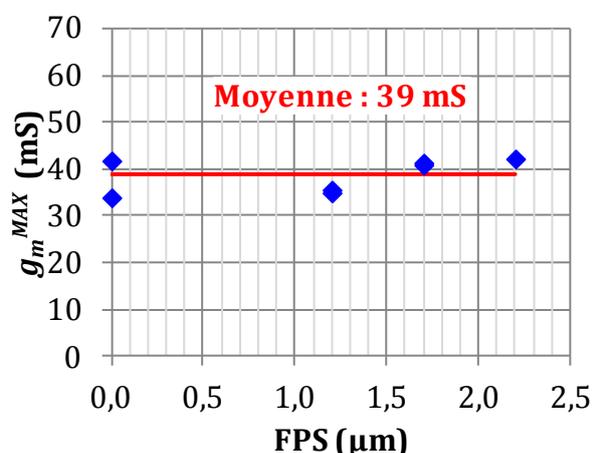


Figure A.1 : g_m^{MAX} en fonction de l'extension de FPS pour la plaque A-AlGaIn/GaN

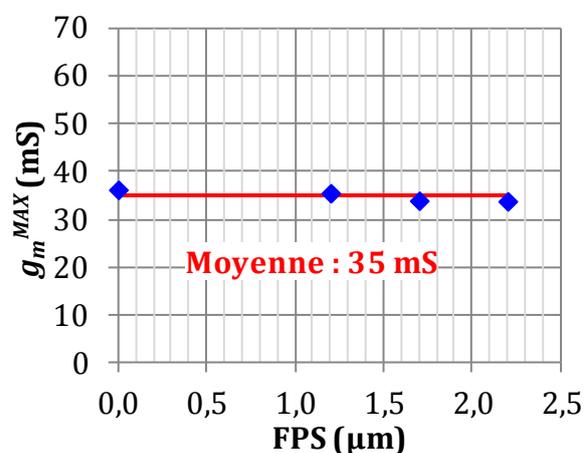


Figure A.2 : g_m^{MAX} en fonction de l'extension de FPS pour la plaque B-AlGaIn/GaN

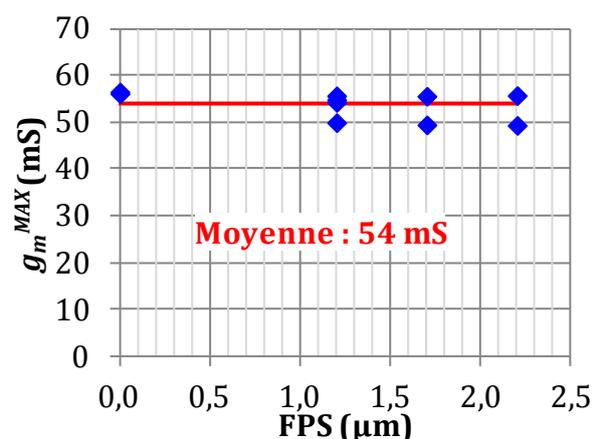


Figure A.3 : g_m^{MAX} en fonction de l'extension de FPS pour la plaque C-InAlIn/GaN

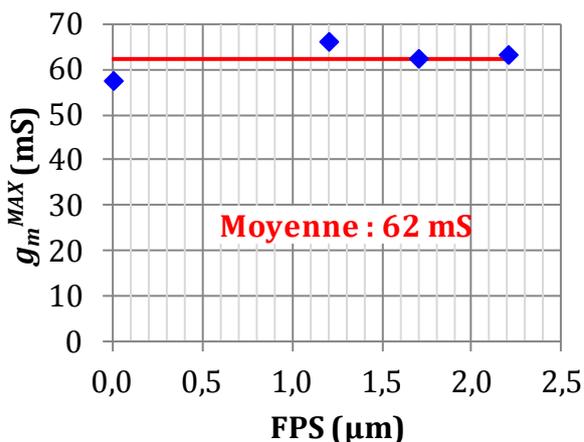


Figure A.3 : g_m^{MAX} en fonction de l'extension de FPS pour la plaque D-InAlIn/GaN

Les figures A.4 à A.7 présentent l'évolution de la tension de pincement V_p en fonction de l'extension de FPS . Comme le montrent ces figures, la plaque de champ reliée à la source FPS n'a pas d'impact sur la tension de pincement V_p .

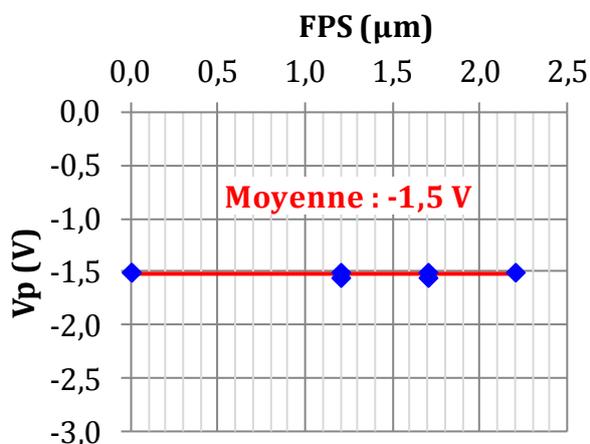


Figure A.4: V_p en fonction de l'extension de FPS pour la plaque A-AlGaIn/GaN

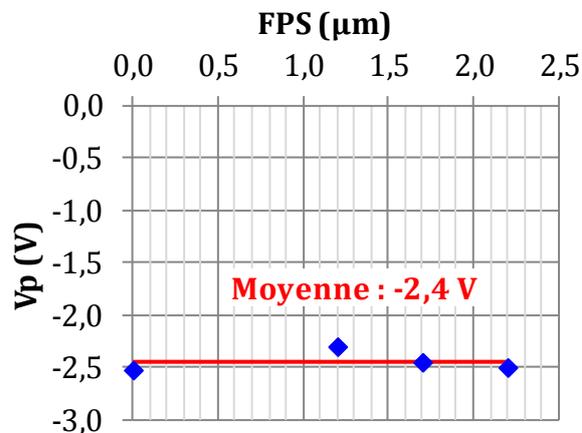


Figure A.5: V_p en fonction de l'extension de FPS pour la plaque B-AlGaIn/GaN

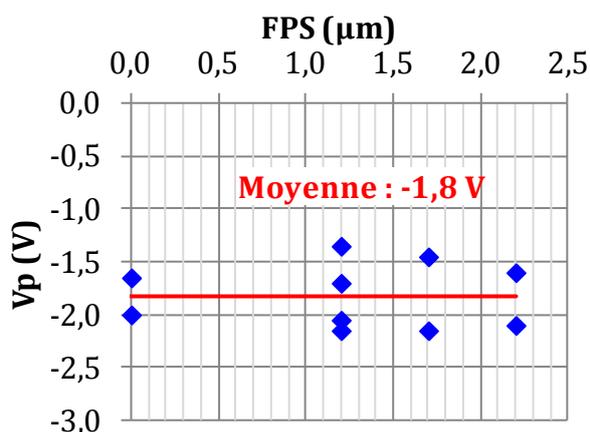


Figure A.6 : V_p en fonction de l'extension de FPS pour la plaque C-InAlIn/GaN

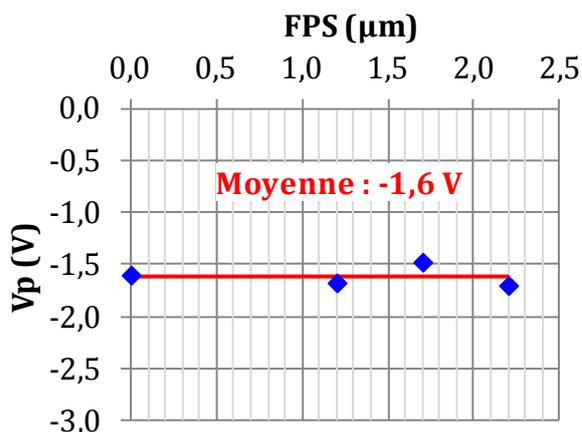


Figure A.7 : V_p en fonction de l'extension de FPS pour la plaque D-InAlIn/GaN

Les figures A.8 et A.9 présentent l'évolution du courant maximal à saturation I_d^{MAX} pour les plaques B et D en fonction de l'extension de FPS . Sur les plaques A et C, les mesures de caractéristiques I_d - V_{GS} ont été réalisées jusqu'à des tensions V_{GS} trop faible pour atteindre la saturation ($V_{DS} \approx +1,5$ V). Seules les relevés de I_d^{MAX} sont présentés pour les plaques B et D. Comme le montrent ces figures, la plaque de champ reliée à la source FPS n'a pas d'impact sur le courant maximal à saturation I_d^{MAX} . La plaque B en AlGaIn/GaN possède moins de courant que la plaque D-InAlIn/GaN en InAlIn.

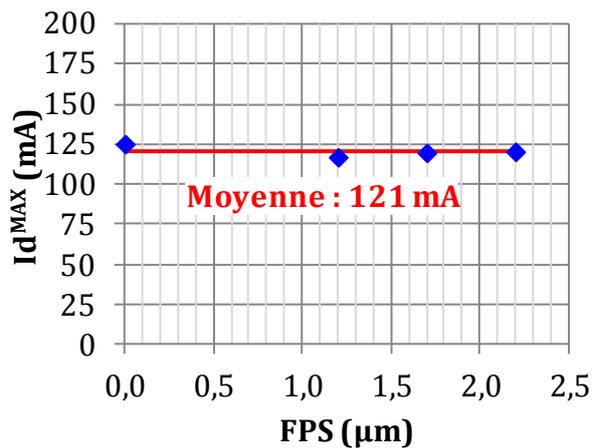


Figure A.8 : I_d^{MAX} en fonction de l'extension de FPS pour la plaque B-AlGaN/GaN

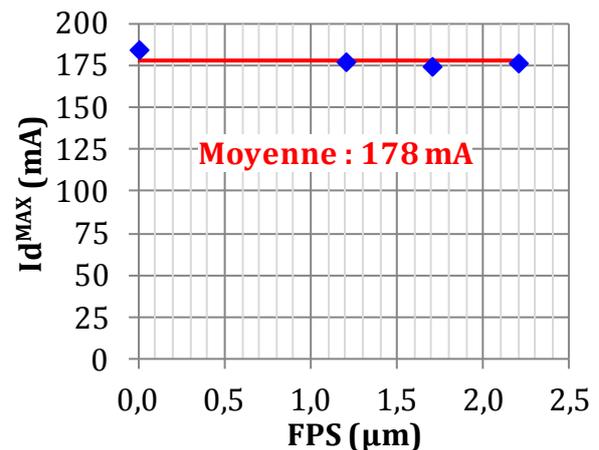


Figure A.9 : I_d^{MAX} en fonction de l'extension de FPS pour la plaque D-InAlN/GaN

L'ajout d'une plaque de champ reliée à la source FPS n'a pas d'impact sur les paramètres statiques R_{ON} , g_m^{MAX} , V_p et I_d^{MAX} . L'allongement de l'extension de cette FPS n'a pas plus d'impact.

A.2. Impact de la plaque FPD

Les figures II.8 à II.10 présentées dans la partie II. 1. a. 2 montrent que la présence de la plaque de champ reliée au drain FPD n'a pas d'impact sur la résistance à l'état passant R_{ON} .

Les figures A.10 à A.12 présentent l'évolution de la transconductance maximale g_m^{MAX} en fonction de la présence de FPD. Comme le montrent ces figures, la plaque de champ reliée au drain FPD n'a pas d'impact sur la transconductance maximale g_m^{MAX} . La plaque en AlGaN/GaN (plaque A) a une transconductance maximale g_m^{MAX} plus faible que les plaques en InAlN/GaN (plaques C et D).

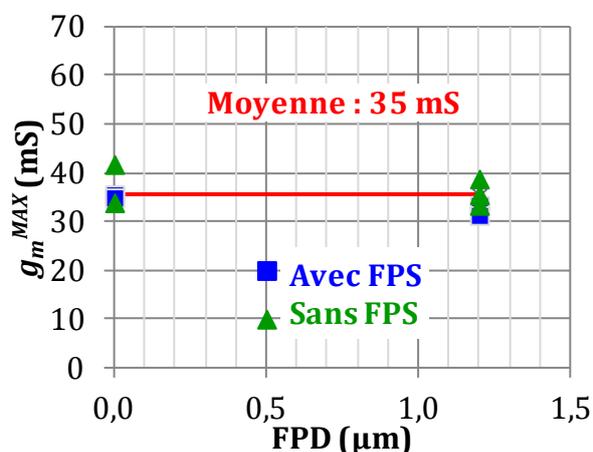


Figure A.10: g_m^{MAX} en fonction de la présence de FPD pour la plaque A-AlGaN/GaN

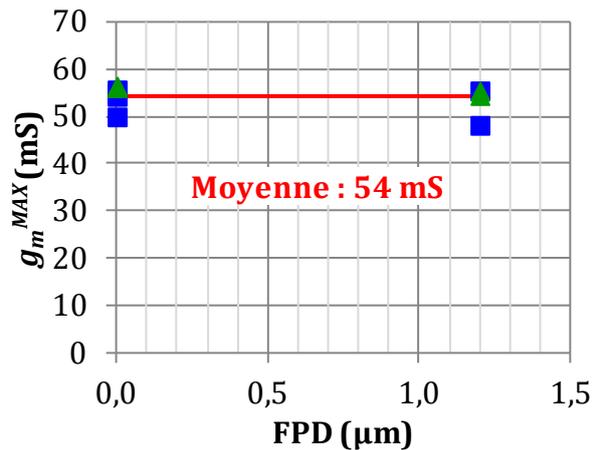


Figure A.11 : g_m^{MAX} en fonction de la présence de *FPD* pour la plaque C–InAlN/GaN

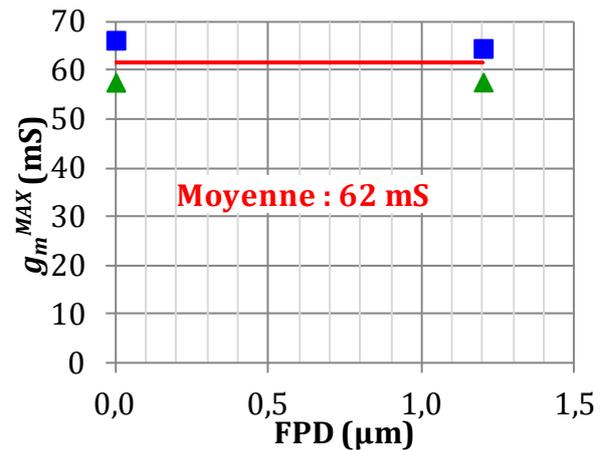


Figure A.12 : g_m^{MAX} en fonction de la présence de *FPD* pour la plaque D–InAlN/GaN

Les figures A.13 à A.15 présentent l'évolution de la tension de pincement V_p en fonction de la présence de *FPD*. Comme le montrent ces figures, la plaque de champ reliée au drain *FPD* n'a pas d'impact sur la tension de pincement V_p .

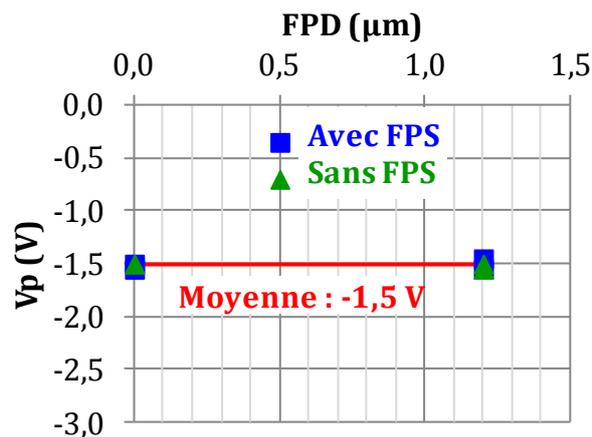


Figure A.13: V_p en fonction de la présence de *FPD* pour la plaque A–AlGaIn/GaN

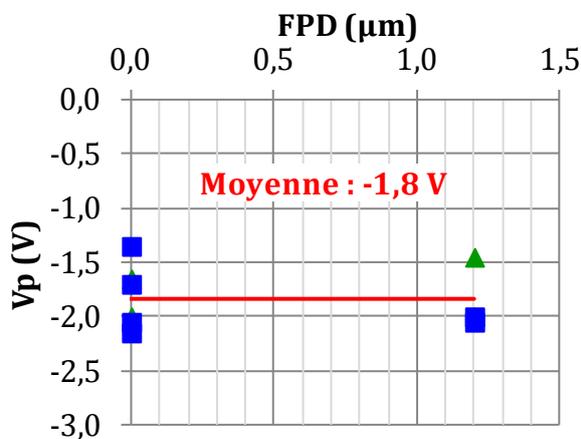


Figure A.14 : V_p en fonction de la présence de *FPD* pour la plaque C–InAlN/GaN

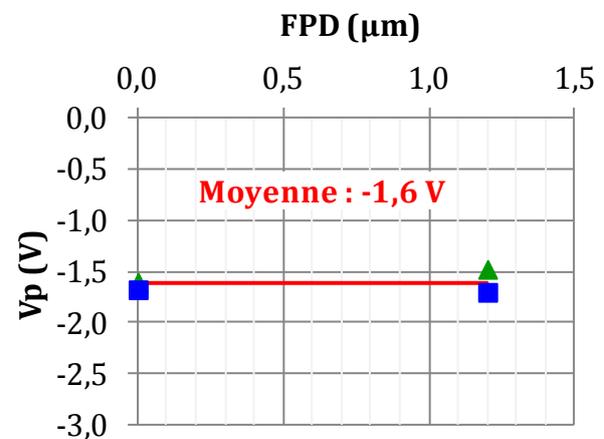


Figure A.15 : V_p en fonction de la présence de *FPD* pour la plaque D–InAlN/GaN

La figure A.16 présente l'évolution de du courant maximal à saturation I_d^{MAX} . Sur les plaques A et C, les mesures de caractéristiques I_d - V_{GS} ont été réalisées jusqu'à des tensions V_{GS} trop faible pour atteindre la saturation ($V_{DS} \approx +1,5$ V). Il n'y a pas assez de transistors mesurés sur la plaque B-AlGaN/GaN pour en tirer une tendance. Seuls les relevés du courant maximal I_d^{MAX} sont présentés pour la plaque D-InAlN/GaN. Comme le présente la figure A.16, la plaque de champ reliée au drain FPD n'a pas d'impact sur le courant maximal à saturation I_d^{MAX} .

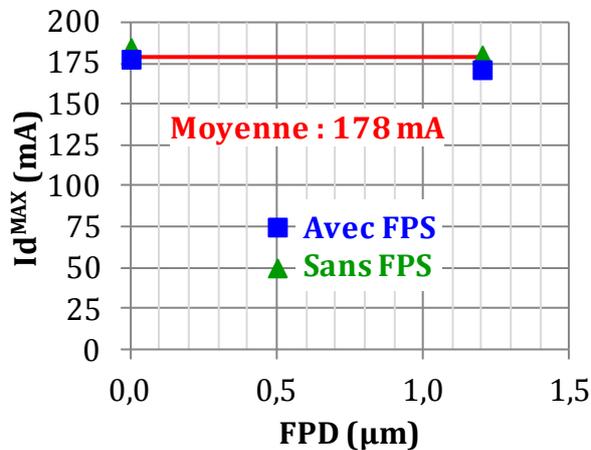


Figure A.16 : I_d^{MAX} en fonction de l'extension de FPD pour la plaque D-InAlN/GaN

L'ajout d'une plaque de champ reliée au drain FPD n'a pas d'impact sur les paramètres statiques R_{ON} , g_m^{MAX} , V_p et I_d^{MAX} .

A.3. Impact de la distance DGD

Les figures II.11 à II.14 présentées dans la partie II. 1. a. 3 montrent que la résistance à l'état passant R_{ON} augmente en fonction de la distance DGD selon une pente qui est reliée à la résistance par carrée du matériau.

Les figures A.17 à A.20 présentent l'évolution de la transconductance maximale g_m^{MAX} en fonction de la distance DGD . Comme le montrent ces figures, l'augmentation de la distance DGD n'a pas d'impact sur la transconductance maximale g_m^{MAX} . Les plaques en AlGaN/GaN (plaques A et B) ont une transconductance maximale g_m^{MAX} plus faible que les plaques en InAlN/GaN (plaques C et D).

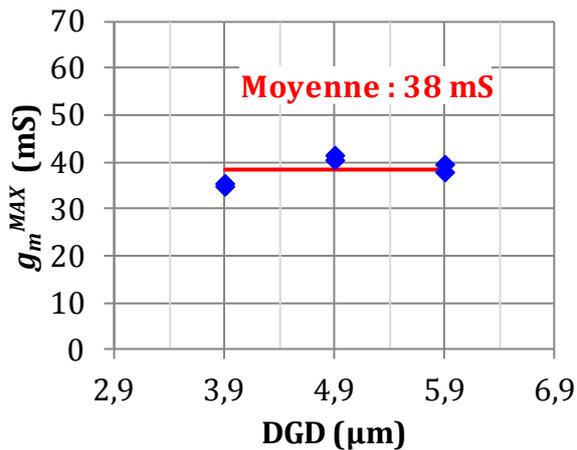


Figure A.17: g_m^{MAX} en fonction de la distance DGD pour la plaque A-AlGaN/GaN

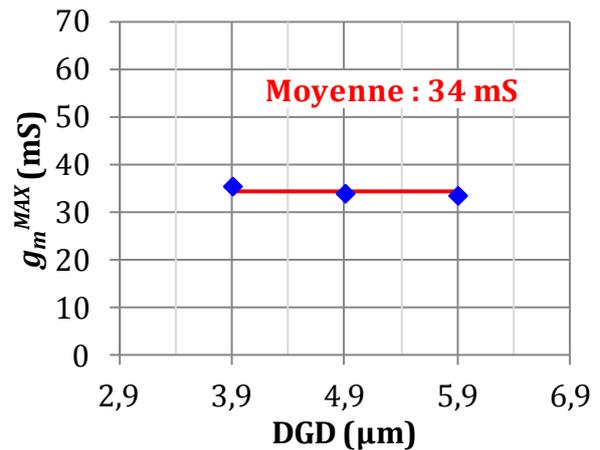


Figure A.18: g_m^{MAX} en fonction de la distance DGD pour la plaque B-AlGaN/GaN

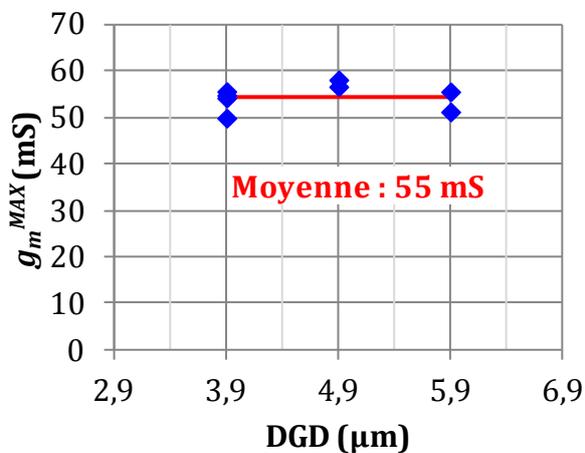


Figure A.19: g_m^{MAX} en fonction de la distance DGD pour la plaque C-InAlN/GaN

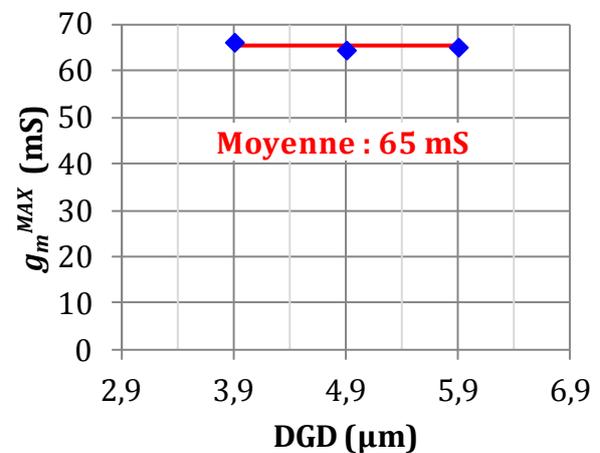


Figure A.20: g_m^{MAX} en fonction de la distance DGD pour la plaque D-InAlN/GaN

Les figures A.21 à A.24 présentent l'évolution de la tension de pincement V_p . Comme le montrent ces figures, l'augmentation de la distance DGD n'a pas d'impact sur la tension de pincement V_p .

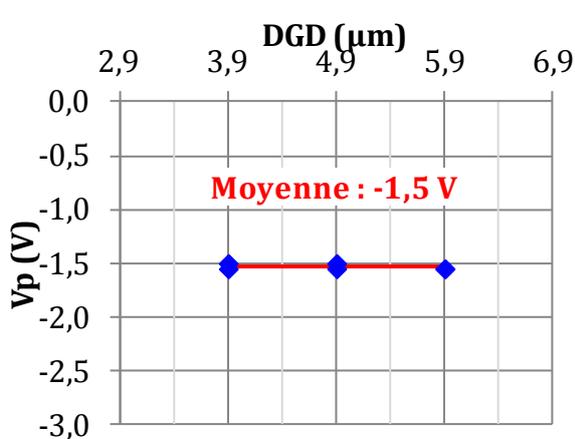


Figure A.21: V_p en fonction de la distance DGD pour la plaque A-AlGaN/GaN

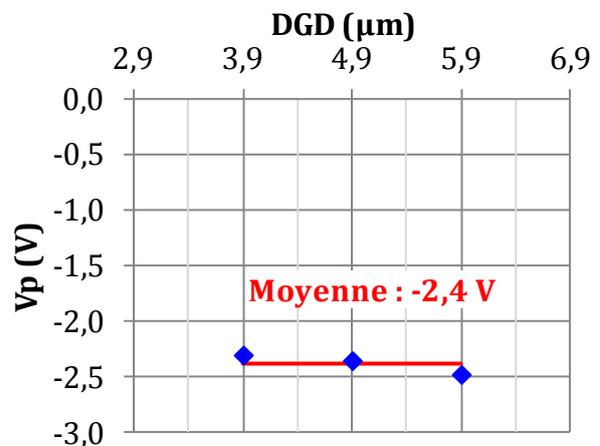


Figure A.22: V_p en fonction de la distance DGD pour la plaque B-AlGaN/GaN

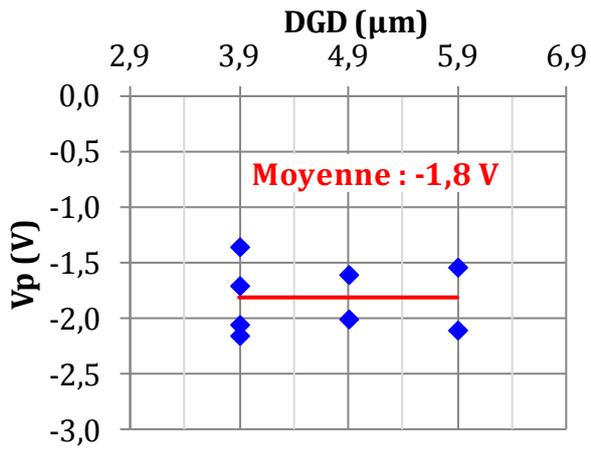


Figure A.23 : V_p en fonction de la distance DGD pour la plaque C-InAlN/GaN

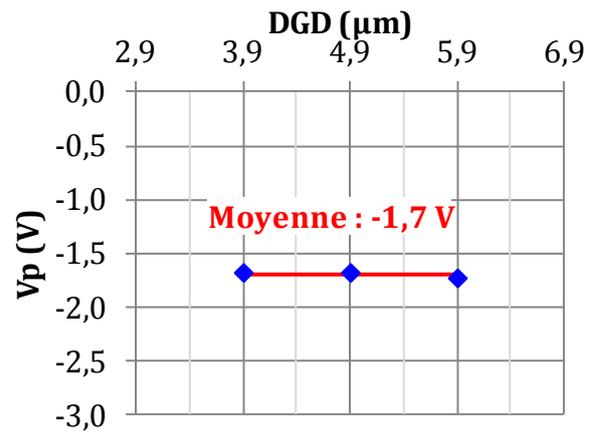


Figure A.24 : V_p en fonction de la distance DGD pour la plaque D-InAlN/GaN

Les figures II.15 et II.16 présentées dans la partie II. 1. a. 3 montrent que l'augmentation de la distance DGD s'accompagne d'une diminution du courant maximal à saturation I_d^{MAX} .

L'augmentation de la distance DGD n'a pas d'influence sur la transconductance g_m^{MAX} , ni sur la tension de pincement V_p . Son influence sur la résistance à l'état passant R_{ON} et sur le courant maximal à saturation I_d^{MAX} est décrite dans la partie II. 1. a. 3.

Annexe B. Caractérisations en paramètres S pour une tension $V_{DS0} = 20$ V

Les mesures de paramètres S utilisées pour présenter les résultats dans la partie II. 2 ont été effectuées pour une tension de polarisation de 5 V et une densité de courant de drain $J_d = 100$ mA/mm. Ce point de polarisation est assez proche du fonctionnement en zone ohmique. Des mesures supplémentaires ont pu être réalisées sur les plaques B-AlGaN/GaN et D-InAlN/GaN. Les points de polarisation supplémentaires sont ($V_{DS0} = 20$ V, $I_{d0} = 100$ mA/mm) et ($V_{DS0} = 20$ V, $I_{d0} = 200$ mA/mm). Une partie des résultats présentés dans la partie II. 2 est aussi présentée dans cette annexe mais pour différents points de polarisation.

Parmi l'ensemble des résultats qui ont été présentés pour le point de polarisation ($V_{DS0} = 5$ V, $I_{d0} = 100$ mA/mm) dans la partie II. 2, seules les grandeurs présentant des variations notables sont tracées dans cette partie. Nous retrouvons donc les variations du gain en courant $|H_{21}|^2$, de la fréquence de transition f_T , du gain maximal MSG/MAG, de la fréquence maximale f_{MAX} et des capacités C_{GD} , C_{DS} et C_{GS} en fonction de l'extension de FPS. Les évolutions de f_{MAX} et de la conductance G_{DS} sont aussi tracées pour une modification de l'allongement de DGD.

B.1. Influence sur la plaque B-AlGaN/GaN

Les performances pour la plaque B-AlGaN/GaN sont présentées sur les figures B.1 à B.9.

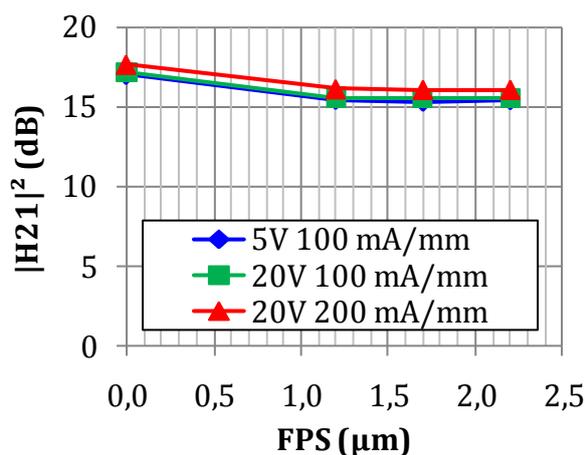


Figure B.1: Gain en courant $|H_{21}|^2$ à 2 GHz en fonction de l'extension de FPS pour des transistors $2 \times 100 \mu\text{m}$ pour la plaque B-AlGaN/GaN.

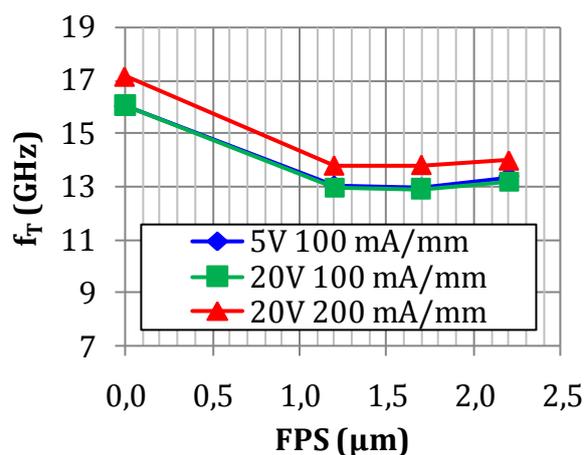


Figure B.2 : Fréquence de transition f_T en fonction de l'extension de FPS pour des transistors $2 \times 100 \mu\text{m}$ pour la plaque B-AlGaN/GaN

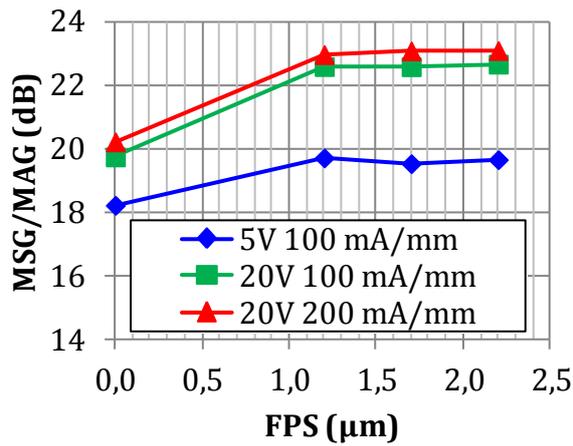


Figure B.3 : Gain maximal stable (MSG) à 2 GHz en fonction de l'extension de FPS pour des transistors $2 \times 100 \mu\text{m}$ pour la plaque B-AlGaN/GaN

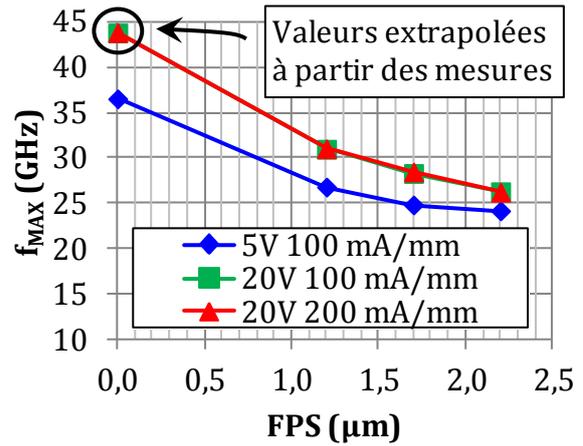


Figure B.4 : Fréquence maximale d'oscillation f_{MAX} en fonction de l'extension de FPS pour des transistors $2 \times 100 \mu\text{m}$ pour la plaque B-AlGaN/GaN

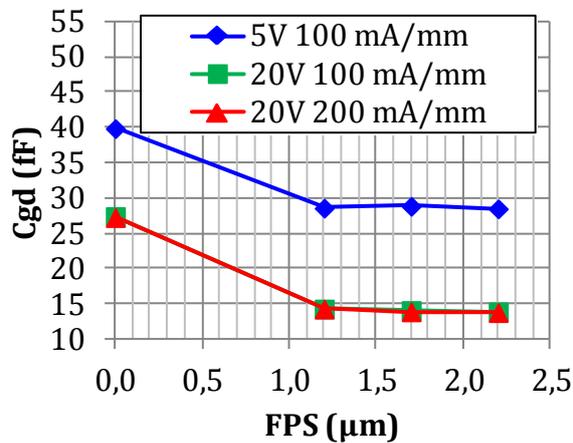


Figure B.5 : Estimation de la capacité C_{gd} en fonction de l'extension de FPS pour des transistors $2 \times 100 \mu\text{m}$ pour la plaque B-AlGaN/GaN

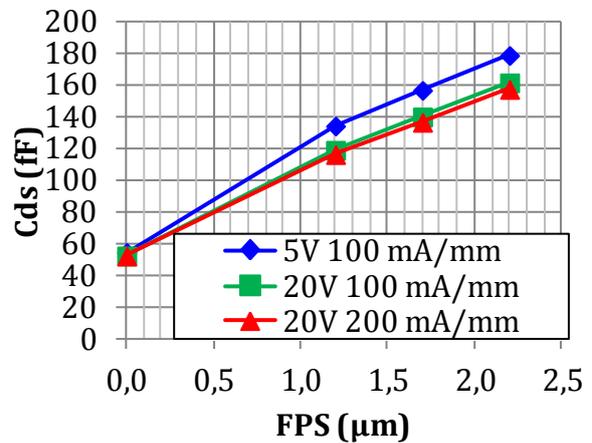


Figure B.6 : Estimation de la capacité C_{ds} en fonction de l'extension de FPS pour des transistors $2 \times 100 \mu\text{m}$ pour la plaque B-AlGaN/GaN

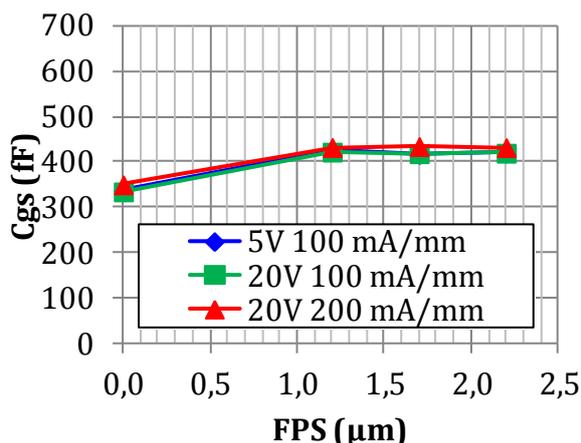


Figure B.7 : Estimation de la capacité C_{gs} en fonction de l'extension de FPS pour des transistors $2 \times 100 \mu\text{m}$ pour la plaque B-AlGaIn/GaN

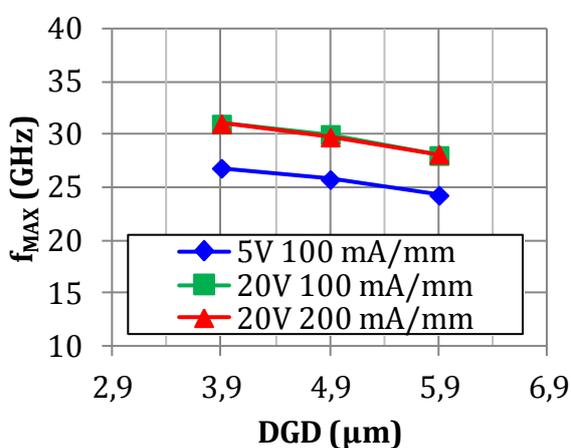


Figure B.8 : Fréquence maximale d'oscillation f_{MAX} en fonction de l'allongement de DGD pour des transistors $2 \times 100 \mu\text{m}$ pour la plaque B-AlGaIn/GaN

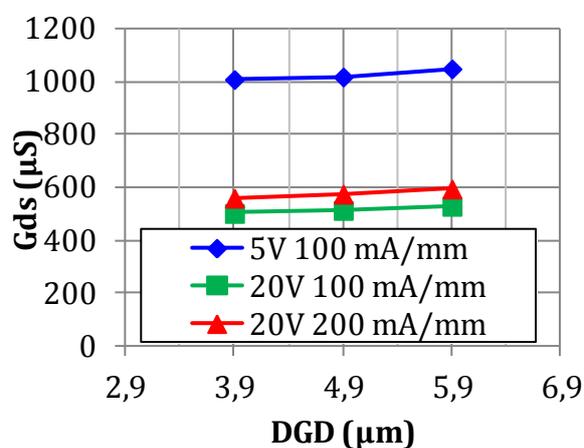


Figure B.9 : Estimation de la conductance G_{ds} en fonction de l'allongement de DGD pour des transistors $2 \times 100 \mu\text{m}$ pour la plaque B-AlGaIn/GaN

Nous observons les mêmes conclusions pour les trois points de polarisations présentés.

Par contre, le gain maximal à 2 GHz MSG ainsi que la fréquence maximale d'oscillation f_{MAX} sont plus élevés pour la tension de polarisation $V_{DS0} = 20 \text{ V}$. De même, pour cette tension, la capacité C_{GD} et la conductance G_{DS} sont plus faibles. La capacité C_{DS} est légèrement plus faible pour la tension $V_{DS0} = 20 \text{ V}$, principalement pour les transistors possédant un plaque FPS .

B.2. Influence sur la plaque D-InAlN/GaN

Les performances pour la plaque D-InAlN/GaN sont présentées sur les figures B.10 à B.18.

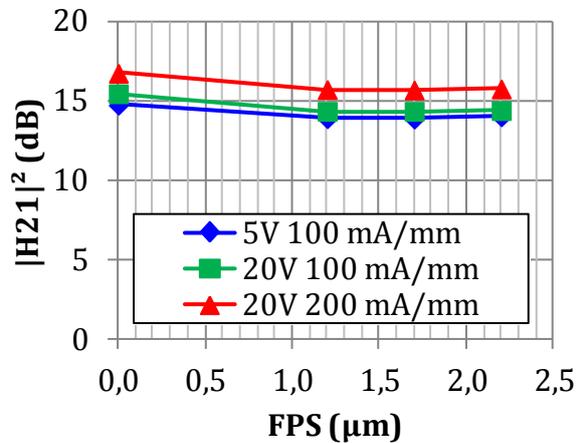


Figure B.10: Gain en courant $|H_{21}|^2$ à 2 GHz en fonction de l'extension de FPS pour des transistors $2 \times 100 \mu\text{m}$ pour la plaque D-InAlN/GaN.

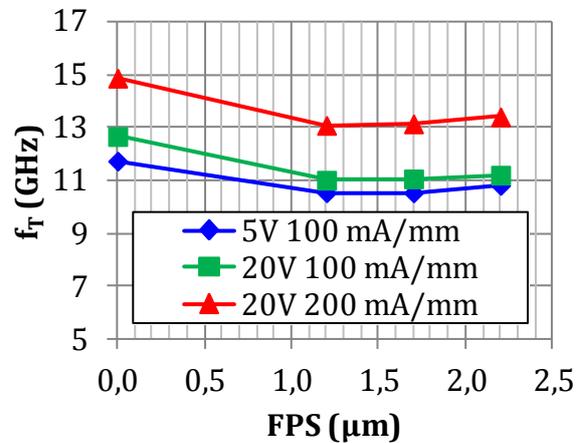


Figure B.11 : Fréquence de transition f_T en fonction de l'extension de FPS pour des transistors $2 \times 100 \mu\text{m}$ pour la plaque D-InAlN/GaN

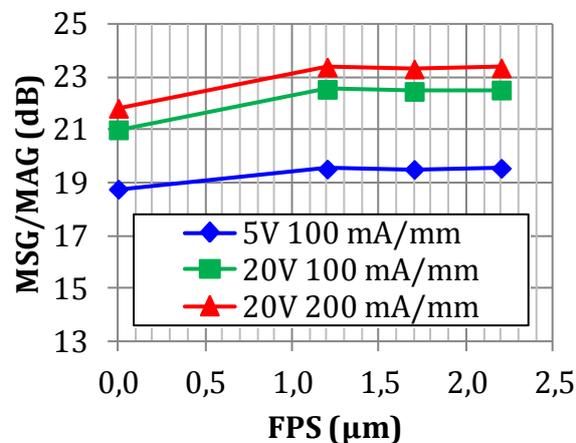


Figure B.12 : Gain maximal stable (MSG) à 2 GHz en fonction de l'extension de FPS pour des transistors $2 \times 100 \mu\text{m}$ pour la plaque D-InAlN/GaN

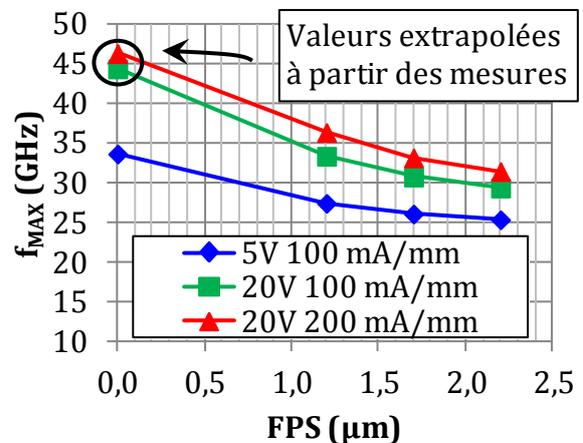


Figure B.13 : Fréquence maximale d'oscillation f_{MAX} en fonction de l'extension de FPS pour des transistors $2 \times 100 \mu\text{m}$ pour la plaque D-InAlN/GaN

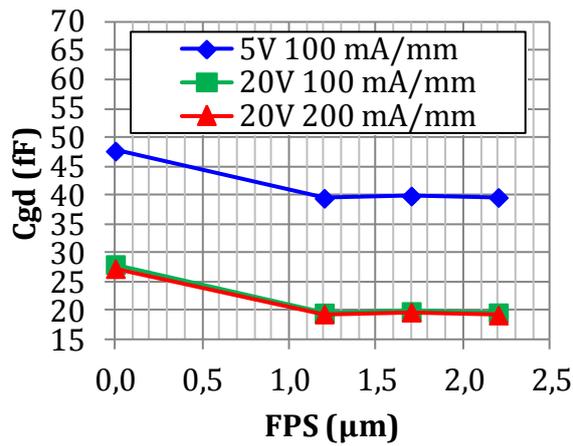


Figure B.14 : Estimation de la capacité C_{gd} en fonction de l'extension de FPS pour des transistors $2 \times 100 \mu\text{m}$ pour la plaque D-InAlN/GaN

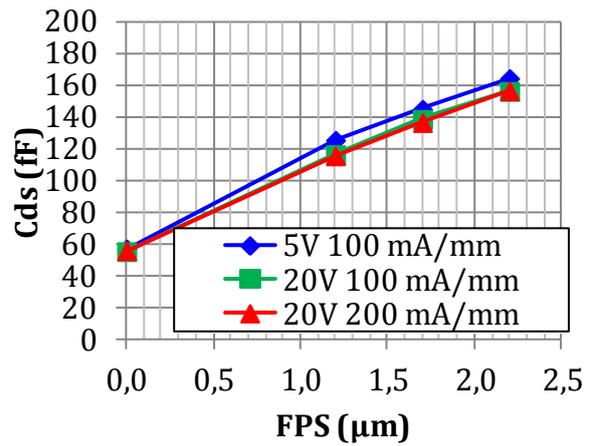


Figure B.15 : Estimation de la capacité C_{ds} en fonction de l'extension de FPS pour des transistors $2 \times 100 \mu\text{m}$ pour la plaque D-InAlN/GaN

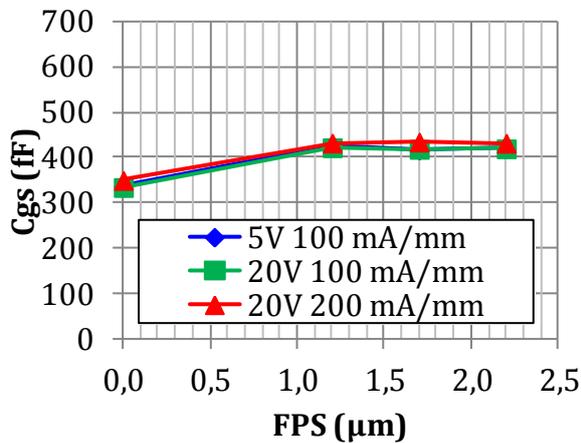


Figure B.16 : Estimation de la capacité C_{gs} en fonction de l'extension de FPS pour des transistors $2 \times 100 \mu\text{m}$ pour la plaque D-InAlN/GaN

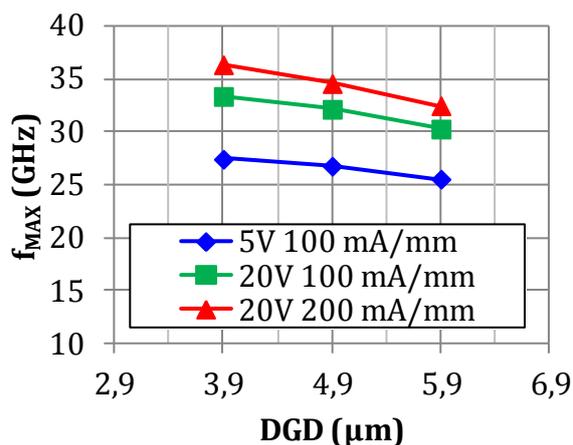


Figure B.17 : Fréquence maximale d'oscillation f_{MAX} en fonction de l'allongement de DGD pour des transistors $2 \times 100 \mu\text{m}$ pour la plaque D-InAlN/GaN

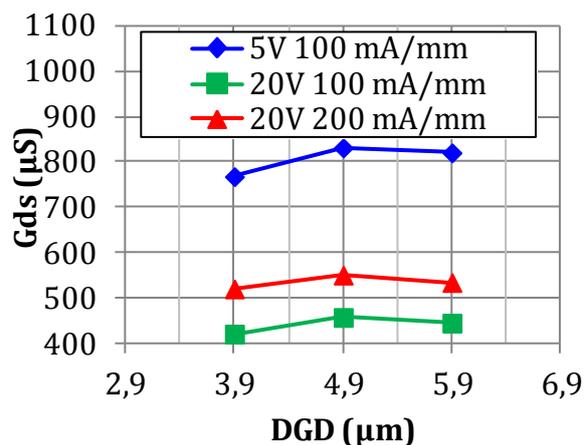


Figure B.18 : Estimation de la conductance G_{ds} en fonction de l'allongement de DGD pour des transistors $2 \times 100 \mu\text{m}$ pour la plaque D-InAlN/GaN

Nous observons les mêmes conclusions pour les trois points de polarisations présentés.

Par contre, le gain maximal à 2 GHz MSG ainsi que la fréquence maximale d'oscillation f_{MAX} sont plus élevés pour la tension de polarisation $V_{DS0} = 20 \text{ V}$. De même, pour cette tension, la capacité C_{GD} et la conductance G_{DS} sont plus faibles. La capacité C_{DS} est légèrement plus faible pour la tension $V_{DS0} = 20 \text{ V}$, principalement pour les transistors possédant un plaque FPS.

Le choix du point de polarisation pour la mesure et l'analyse des paramètres S modifie les valeurs extraites, en particulier pour les grandeurs f_{MAX} , C_{GD} et G_{DS} . Par contre, les évolutions de ces paramètres en fonction de FPS, FPD et DGD sont les mêmes quelque soit le point de polarisation.

Bibliographie

- [1] S. C. Cripps, *RF Power Amplifiers for Wireless Communications*, Norwood: Artech House, INC., 2006.
- [2] F. H. RAAB, «Idealized Operation of the Class E Tuned Power Amplifier,» *IEEE Transactions on Circuits and Systems*, vol. 24, n° 112, pp. 725-735, décembre 1977.
- [3] F. H. Raab, «Maximum Efficiency and Output of Class-F Power Amplifiers,» *IEEE TRANSACTIONS ON MICROWAVE THEORY AND TECHNIQUES*, vol. 49, n° 16, pp. 1162-1166, 2001.
- [4] P. Wright, J. Lees, P. J. Tasker, J. Benedikt et S. C. Cripps, «An Efficient, Linear, Broadband Class-J-Mode PA Realised Using RF Waveform Engineering,» *IEEE MTT-S International Microwave Symposium Digest*, pp. 653-656, 7-12 Juin 2009.
- [5] X. Fu, D. T. Bepalko et S. Boumaiza, «Novel Dual-Band Matching Network Topology and its Application for the Design of Dual-Band Class J Power Amplifiers,» *IEEE MTT-S International Microwave Symposium Digest*, 17-22 Juin 2012.
- [6] S. Preis, D. Gruner et G. Boeck, «Investigation of Class-B/J Continuous Modes in Broadband GaN Power Amplifiers,» *IEEE MTT-S International Microwave Symposium Digest*, 7-12 Juin 2012.
- [7] M. Bloechl, M. Bataineh et D. Harrell, «Class D Switching Power Amplifiers: Theory, Design, and Performance,» *SoutheastCon, 2004. Proceedings. IEEE*, pp. 123 - 146, 2004.
- [8] É. Avignon, *Contribution à la conception d'un modulateur Sigma-Delta passe-bande à temps continu pour la conversion directe de signaux radiofréquences*, Orsay: SUPÉLEC, 2007.
- [9] A. Samulak, G. Fischer et R. Weigel, «Design and Simulation GaN based Class-S PA at 900MHz,» *International Conference on Microwave Radar and Wireless Communications (MIKON)*, pp. 1-4, 2010.
- [10] «Audio Amplifiers,» Analog Devices, Inc., 2012. [En ligne]. Available: http://www.analog.com/en/audiovideo-products/audio-amplifiers/products/index.html#Class-D_Audio_Amplifiers. [Accès le 01 08 2012].
- [11] Analog Devices Inc., «SSM2377 (Rev. 0),» 09 05 2011. [En ligne]. Available: http://www.analog.com/static/imported-files/data_sheets/SSM2377.pdf. [Accès le 01 08 2012].
- [12] «500H, BBT,» Yamaha Corporation, 2012. [En ligne]. Available: <http://usa.yamaha.com/products/musical-instruments/guitars-basses/amps/bbt500h/?mode=model>. [Accès le 01 08 2012].
- [13] A. Samulak, G. Fischer et R. Weigel, «Demonstrator of Class-S Power Amplifier for base stations based on GaN technology,» *17th International Conference on Microwaves, Radar and*

-
- Wireless Communications, 2008. MIKON 2008.*, pp. 1-4, 19-21 Mai 2008.
- [14] W. H. DOHERTY, «A NEW HIGH EFFICIENCY POWER AMPLIFIER FOR MODULATED WAVES,» *Proceedings of the Institute of Radio Engineers*, vol. 24, n° 19, pp. 1163-1182, Septembre 1936.
- [15] K. Bathich et G. Boeck, «Wideband Harmonically-Tuned GaN Doherty Power Amplifier,» *IEEE MTT-S International Microwave Symposium Digest*, Juin 2012.
- [16] H. Deguchi, N. Watanabe, A. Kawano, N. Yoshimura, N. Ui et K. Ebihara, «A 2.6GHz Band 537W Peak Power GaN HEMT Asymmetric Doherty Amplifier with 48% Drain Efficiency at 7dB,» *IEEE MTT-S International Microwave Symposium Digest*, Juin 2012.
- [17] C. Buoli, A. Abblati et D. Riccardi, «Microwave power amplifier with "envelope controlled" drain power supply,» *25th European Microwave Conference*, pp. 31-35, 4-5 Septembre 1995.
- [18] F. Elmazova, *Contribution à l'étude de l'amplification de puissance en technologie GaN par le technique de suivi d'enveloppe*, Limoges: Université de Limoges, 2011.
- [19] D. Kang, B. Park, C. Zhao, D. Kim, J. Kim, Y. Cho, S. Jin, H. Jin et B. Kim, «A 34% PAE, 26-dBm Output Power Envelope-Tracking CMOS Power Amplifier for 10-MHz BW LTE Applications,» *IEEE MTT-S International Microwave Symposium Digest*, 17-22 Juin 2012.
- [20] L. R. KAHN, «Single-Sideband Transmission by Envelope Elimination and Restoration,» *Proceedings of the IRE*, vol. 40, n° 17, pp. 803-806, 1953.
- [21] H. CHIREIX, «HIGH POWER OUTPHASING MODULATION,» *Proceedings of the Institute of Radio Engineers*, vol. 23, n° 111, pp. 1370-1392, Novembre 1935.
- [22] S. M. Sze, *Semiconductor Devices, Physics and technology*, 2e éd., Hoboken: John Wiley & Sons, 2002, p. 537.
- [23] F. Schwierz, *Wide Bandgap and Other Non-III-V RF Transistors : Trends and Prospects*, ASU Tempe, 2004.
- [24] A. Philippon-Martin, *Étude d'un nouvel le filière de composants sur technologie nitrure de gallium. Conception et réalisation d'amplificateurs distribués de puissance large bande à cellules cascodes en montage Flip-chip et technologie MMIC*, Limoges: Université de Limoges, 2007.
- [25] «Cradley Crystal Products,» 2011. [En ligne]. Available: <http://www.cradley-crystals.com/CCinit.php?id=productsa>. [Accès le 10 Septembre 2012].
- [26] R. Dingle, D. D. Sell, S. E. Stokowski et M. Ilegems, «Absorption, Reflectance, and Luminescence of GaN Epitaxial Layers,» *Physical Review B*, vol. 4, n° 14, pp. 1211-1218, 15 Août 1971.
- [27] H. Vang, *Optimisation des étapes technologiques pour la fabrication de composants de puissance en carbure de silicium*, Lyon: INSA Lyon, 2006, p. 27.
- [28] «Semiconductors Wafers,» 2011. [En ligne]. Available: <http://silrec.com/>. [Accès le 10 septembre 2012].

- [29] Z. Liliental-Weber, C. Kisielowski, S. Ruvimov, Y. Chen, J. Washburn, I. Grzegory, M. Bockowski, J. Jun et S. Porowski, «Structural characterization of bulk GaN crystals grown under high hydrostatic pressure,» *Journal of Electronic Materials*, vol. 25, n° 19, pp. 1545-1550, 1996.
- [30] «Cree Materials,» 2012. [En ligne]. Available: <http://www.cree.com/led-chips-and-materials/materials>. [Accès le 10 septembre 2012].
- [31] E. O. Johnson, «Physical Limitations On Frequency and Power Parameters Of Transistors,» *IRE International Convention Record*, vol. 13, n° 1, pp. 27-34, mars 1965.
- [32] R. W. Keyes, «Figure of Merit for Semiconductors for High-Speed Switches,» *PROCEEDINGS OF THE IEEE, FEBRUARY 1972*, vol. 60, n° 12, p. 225, Février 1972.
- [33] B. J. Baliga, «Power Semiconductor Device Figure of Merit for High-Frequency Applications,» *IEEE ELECTRON DEVICE LETTERS, VOL. 10, NO. 10, OCTOBER 1989*, vol. 10, n° 110, pp. 455-457, octobre 1989.
- [34] H. BOUSBIA, *Analyse et développement de la caractérisation en puissance, rendement et linéarité de transistors de puissance en mode impulsif*, Limoges: Université de Limoges, 2006.
- [35] H. VANG, *Optimisation des étapes technologiques pour la fabrication de composants de puissance en carbure de silicium*, Lyon: INSA Lyon, 2006.
- [36] N. Vellas, *Études expérimentales de transistors HFET de la filière Nitrure de Gallium pour des applications de puissance hyperfréquences*, Lille: Université de Lille, 2003.
- [37] N. Sarazin, *HEMTs à base de nitrure de gallium : Évolution vers un nouveau système de matériaux, une nouvelle génération de composants*, Lille: Université de Lille, 2007.
- [38] O. Jardel, *Contribution à la modélisation des Transistors pour l'amplification de puissance aux fréquences micro-ondes. Développement d'un nouveau modèle électrothermique de HEMT AlGaIn/GaN incluant les effets de pièges*, Limoges: Université de Limoges, 2008.
- [39] H. Mathieu, *Physique des semiconducteurs*, Paris: Dunod, 2001.
- [40] G. Le Coustre, *Contribution au développement d'une filière de transistor de forte puissance à base de technologie HEMT GaN pour applications télécoms et radar*, Lille: Université de Lille 1, 2009.
- [41] A. Maekawa, M. Nagahara, T. Yamamoto et S. Sano, «A 100W High-Efficiency GaN HEMT Amplifier for S-Band Wireless System,» *2005 European Microwave Conference*, Octobre 2005.
- [42] W. Nagy, S. Singhal, R. Borges, J. W. Johnson, J. D. Brown, R. Therrien, A. Chaudhari, A. W. Hanson, J. Riddle, S. Booth, P. Rajagopal, E. L. Piner et K. J. Linthicum, «150 W GaN-on-Si RF Power Transistor,» *IEEE MTT-S International Microwave Symposium Digest*, pp. 483-486, Juin 2005.
- [43] K. Joshin, T. Kikkawa, H. Hayashi, T. Maniwa, S. Ydkokawa, M. Yokoyama, N. Adachi et M. Takikaw, «A 174 W high-efficiency GaN HEMT power amplifier for W-CDMA base station

- applications,» *IEEE International Electron Devices Meeting*, pp. 12.6.1 - 12.6.3, 2003.
- [44] Y. Okamoto, Y. Ando, K. Hataya, T. Nakayama, H. Miyamoto, T. Inoue, M. Senda, K. Hirata, M. Kosaki, N. Shibata et M. Kuzuhara, «Improved Power Performance for a Recessed-Gate AlGa_N-Ga_N Heterojunction FET With a Field-Modulating Plate,» *IEEE TRANSACTIONS ON MICROWAVE THEORY AND TECHNIQUES*, vol. 52, n° 111, pp. 2536-2540, Novembre 2004.
- [45] K. Krishnamurthy, J. Martin, B. Landberg, R. Vetry et M. J. Poulton, «Wideband 400 W Pulsed Power GaN HEMT Amplifiers,» *IEEE MTT-S International Microwave Symposium Digest*, pp. 303-306, Juin 2008.
- [46] Y.-F. Wu, S. M. Wood, R. P. Smith, S. Sheppard, S. T. Allen, P. Parikh et J. Milligan, «An Internally-matched GaN HEMT Amplifier with 550-watt Peak Power at 3.5 GHz,» *International Electron Devices Meeting*, dec 2006.
- [47] J. Chéron, M. Campovecchio, D. Barataud, T. Reveyrand, M. Stanislawiak, P. Eudeline et D. Floriot, «Wideband 50W Packaged GaN HEMT With Over 60% PAE Through Internal Harmonic Control in S-Band,» *IEEE MTT-S International Microwave Symposium Digest*, Juin 2012.
- [48] K. Chen et D. Peroulis, «Design of Broadband High-Efficiency Power Amplifier using in-Band Class-F-1/F Mode-Transferring Technique,» *IEEE MTT-S International Microwave Symposium Digest*, Juin 2012.
- [49] P. Saad, H. M. Nemati, M. Thorsell, K. Andersson and C. Fager, "An Inverse Class-F GaN HEMT Power Amplifier with 78% PAE at 3.5GHz," *Proceedings of the 39th European Microwave Conference*, pp. 496-499, Septembre 2009.
- [50] J. Kim, F. Mkaem et S. Boumaiza, «A High Efficiency and Multi-Band/Multi-Mode Power Amplifier using a Distributed Second Harmonic Termination,» *Proceedings of the 5th European Microwave Integrated Circuits Conference*, pp. 420-423, 2010.
- [51] K. Motoi, K. Matsunaga, S. Yamanouchi, K. Kunihiro et M. Fukaiishi, «A 72% PAE, 95-W, Single-chip GaN FET S-band Inverse Class-F Power Amplifier with a Harmonic Resonant Circuit,» *IEEE MTT-S International Microwave Symposium Digest*, Juin 2012.
- [52] N. Ui et S. Sano, «A 100W Class-E GaN HEMT with 75% Drain Efficiency at 2GHz,» *Proceedings of the 1st European Microwave Integrated Circuits Conference*, pp. 72-74, Septembre 2006.
- [53] K. Yamanaka, M. Kimura, S. Chaki, M. Nakayama et Y. Hirano, «S-band Internally Harmonic Matched GaN FET with 330W Output Power and 62% PAE,» *Proceedings of the 6th European Microwave Integrated Circuits Conference*, pp. 244-247, Octobre 2011.
- [54] K. Yamanaka, N. Yunoue, S. Chaki, M. Nakayama et Y. Hirano, «L-band 360W and 65% PAE GaN Amplifier with mixed Class-E / F Harmonic Control,» *IEEE MTT-S International Microwave Symposium Digest*, Juin 2012.
- [55] O. Jardel, G. Callet, J. Dufraisse, N. Sarazin, E. Chartier, T. Reveyrand, M. Oualli, D. Lancereau, M. Di Forte Poisson, S. Piotrowicz, E. Morvan et S. L. Delage, «Performances of AlInN/GaN HEMTs for Power Applications at Microwave Frequencies,» *Proceedings of the 5th European*

-
- Microwave Integrated Circuits Conference*, pp. 49-52, 27-28 Septembre 2010.
- [56] S. Piotrowicz, E. Chartier, O. Jardel, J. Dufraisse, G. Callet, J.-C. Jacquet, D. Lancereau, E. Morvan, R. Aubry, N. Sarazin, C. Dua, M. Oualli, M. Di-Forte Poisson et S. L. Delage, «Development of InAlN/GaN HEMTs Power Devices in S-Band.», *IEEE Compound Semiconductor Integrated Circuit Symposium (CSICS)*, 16-19 Octobre 2011.
- [57] O. Jardel, «Rapport de projet MORGAN,» Palaiseau, 2011.
- [58] O. Jardel, R. Sommet, J.-P. Teyssier et R. Quéré, Nonlinear Transistor Model Parameter Extraction Techniques, Chapitre 7 Nonlinear characterization and modeling of dispersive effects in high-frequency power transistors, M. Rudolph, C. Fager et D. E. Root, Éd., Cambridge: Cambridge University Press, 2012, pp. 206-256.
- [59] M. S. Shur, «GaN-Based Electronic Device, Chapter 5, pp.61-86,» [En ligne]. Available: http://citeseerx.ist.psu.edu/viewdoc/download?doi=10.1.1.197.7454&rep=rep1&type=pdf&ei=x6xQUNKQJcHQtab-woGQBA&usg=AFQjCNGQEgqa3eE9Mthc_ugokGtnQe0JEQ. [Accès le 12 septembre 2012].
- [60] M. Technologies, «MC2 Technologies,» 2010. [En ligne]. Available: <http://www.mc2-technologies.com>. [Accès le 2012 11 04].
- [61] G. DAMBRINE, A. CAPPY, F. HELIODORE et E. PLAYEZ, «A New Method for Determining the FET Small-Signal Equivalent Circuit,» *IEEE Transactions on Microwave Theory and Techniques*, vol. 36, n° 17, pp. 1151-1159, Juillet 1988.
- [62] S. Forestier, T. Gasseling, P. Bouysse, R. Quere et J. M. Nebus, «A New Nonlinear Capacitance Model of Millimeter Wave Power PHEMT for Accurate AM/AM-AM/PM Simulations,» *IEEE MICROWAVE AND WIRELESS COMPONENTS LETTERS*, vol. 14, n° 11, pp. 43-45, Janvier 2004.
- [63] J. L. Tonne, «Classe E Design Software design program from James Tonne,» 2008. [En ligne]. Available: <http://www.tonnesoftware.com/classe.html>. [Accès le 23 06 2011].
- [64] TECDIA, «Single Layer Capacitors - Products - Microelectronic ceramic products - Products : TECDIA,» [En ligne]. Available: http://tecdia.com/us/products/hf/std_slc.php. [Accès le 22 10 2012].
- [65] A. N. Stameroff et A.-V. Pham, «Wide Bandwidth Inverse Class F Power Amplifier with Novel Balun Harmonic Matching Network,» *IEEE MTT-S International Microwave Symposium Digest*, Juin 2012.
- [66] H. UCHIDA, H. NOTO, K. YAMANAKA, M. NAKAYAMA et Y. HIRANO, «An X-Band Internally-Matched GaN HEMT Amplifier with Compact Quasi-Lumped-Element Harmonic-Terminating Network,» *IEEE MTT-S International Microwave Symposium Digest*, Juin 2012.
- [67] M. Nishihara, T. Yamamoto, S. Mizuno, S. Sano et Y. Hasegawa, «X-band 200W AlGaN/GaN HEMT for High Power Application,» *Proceedings of the 6th European Microwave Integrated Circuits Conference*, pp. 65-68, Octobre 2011.
- [68] A. Wakejima, K. Matsunaga, Y. Okamoto, Y. Ando, T. Nakayama et H. Miyamo, «370W output

power GaN-FET amplifier for W-CDMA cellular base stations,» *Electronics Letters*, vol. 41, n° 125, pp. 1371-1372, 8 décembre 2005.

Table des matières

| | |
|---|----|
| Remerciements | 5 |
| Sommaire | 7 |
| Abréviations et notations | 9 |
| Introduction | 11 |
| Chapitre I : Intérêt du HEMT à base de nitrure de gallium pour les classes de fonctionnement à haut rendement | 17 |
| I. 1. Les classes de fonctionnement traditionnelles | 19 |
| I. 1. a. Présentation des classes de fonctionnement | 19 |
| I. 1. b. Impact des différentes classes de fonctionnement sur le rendement et la puissance | 22 |
| I. 2. Les classes de fonctionnement à signaux commutés pour améliorer la puissance et le rendement | 26 |
| I. 2. a. Classe de fonctionnement D | 27 |
| I. 2. b. Classe de fonctionnement E | 29 |
| I. 2. c. Classes de fonctionnement F et F inverse | 32 |
| I. 2. d. Classe de fonctionnement J | 37 |
| I. 2. e. Classe de fonctionnement S | 39 |
| I. 2. f. Présentation des autres techniques d'amélioration du rendement | 43 |
| I. 2. f. 1. Architecture Doherty | 44 |
| I. 2. f. 2. Amplification à suivi d'enveloppe dynamique | 46 |
| I. 2. f. 3. Amplification à suppression et restauration d'enveloppe (EER) | 47 |
| I. 2. f. 4. Architecture Chireix | 48 |
| I. 3. Le nitrure de gallium, un matériau semi-conducteur adapté à la forte puissance | 50 |
| I. 3. a. Champ de claquage | 50 |
| I. 3. b. Densité de courant | 50 |
| I. 3. c. Performances fréquentielles | 52 |
| I. 3. d. Propriétés thermiques du substrat | 52 |
| I. 3. e. Figures de mérite | 53 |
| I. 4. Structure du transistor à haute mobilité électronique | 54 |
| I. 4. a. Transistors AlGa _N /Ga _N | 54 |
| I. 4. a. 1. Épitaxie des composants | 55 |
| I. 4. a. 2. Principe de création du canal | 55 |
| I. 4. b. Transistors InAlN/Ga _N | 58 |
| I. 4. b. 1. Épitaxie des composants | 58 |

| | |
|---|-----|
| I. 4. b. 2. Principe de création du canal..... | 58 |
| I. 4. c. Structure des transistors..... | 59 |
| I. 5. Paramètres pour améliorer la puissance ou la commutation des transistors | 61 |
| I. 6. État de l'art des performances des transistors à haute mobilité électronique à base de nitrure de gallium | 62 |
| Conclusion..... | 65 |
| Chapitre II : Caractérisation et modélisation du transistor élémentaire | 67 |
| II. 1. Caractéristiques courant-tension..... | 69 |
| II. 1. a. Réseaux de caractéristiques statiques | 69 |
| II. 1. a. 1. Impact de la plaque FPS..... | 70 |
| II. 1. a. 2. Impact de la plaque FPD | 72 |
| II. 1. a. 3. Impact de la distance DGD..... | 73 |
| II. 1. b. Présentation des effets de pièges sur les composants | 75 |
| II. 1. c. Caractéristiques en impulsions..... | 79 |
| II. 1. c. 1. Principe de mesure..... | 80 |
| II. 1. c. 2. Mesures des composants de III-V Lab | 81 |
| II. 1. c. 3. Influence de la plaque FPS..... | 83 |
| II. 1. c. 4. Influence de la plaque FPD | 84 |
| II. 1. d. Tenue en tension..... | 85 |
| II. 1. d. 1. Influence de la plaque FPS..... | 86 |
| II. 1. d. 2. Influence de la plaque FPD | 87 |
| II. 1. d. 3. Influence de la distance DGD | 88 |
| II. 2. Caractérisation en paramètres S..... | 89 |
| II. 2. a. Performances fréquentielles | 90 |
| II. 2. a. 1. Influence de la plaque FPS..... | 90 |
| II. 2. a. 2. Influence de la plaque FPD | 91 |
| II. 2. a. 3. Influence de la distance DGD | 92 |
| II. 2. b. Extraction d'un modèle en petits signaux | 93 |
| II. 2. b. 1. Influence de la plaque FPS..... | 96 |
| II. 2. b. 2. Influence de la plaque FPD | 98 |
| II. 2. b. 3. Influence de la distance DGD | 99 |
| II. 3. Mesures en puissance..... | 101 |
| II. 4. Modélisation du transistor | 104 |
| II. 4. a. Les éléments extrinsèques | 104 |
| II. 4. b. Non linéarités des capacités et de la source de courant..... | 106 |
| II. 4. c. Limites d'excursion en tensions : l'effet avalanche et les diodes de grille..... | 107 |

| | | |
|--|---|-----|
| II. 4. d. | Modélisation des pièges..... | 108 |
| | Conclusion..... | 111 |
| Chapitre III : Applications des méthodes d'amélioration du rendement des transistors de puissance HEMT GaN | | 113 |
| III. 1. | Évaluation des améliorations apportées par la classe de fonctionnement E | 115 |
| III. 1. a. | Aspects théoriques | 115 |
| III. 1. b. | Simulation pour $f_0 = 1$ GHz | 119 |
| III. 1. c. | Optimisation des formes temporelles pour $f_0 = 3$ GHz..... | 122 |
| III. 1. d. | Optimisation du rendement en puissance ajoutée <i>PAE</i> pour $f_0 = 3$ GHz..... | 124 |
| III. 2. | Étude de l'augmentation du rendement avec la classe de fonctionnement F | 126 |
| III. 2. a. | Recherche des impédances optimales..... | 126 |
| III. 2. b. | Comparaison des performances avec un fonctionnement traditionnel..... | 128 |
| III. 3. | Amélioration du rendement sur un montage avec une barrette 15x6x400 μm fonctionnant à 2 GHz..... | 134 |
| III. 3. a. | Présentation du montage..... | 134 |
| III. 3. b. | Améliorations des performances à l'aide de modifications des circuits d'adaptations situés dans le boîtier. | 137 |
| III. 3. b. 1. | Impact au niveau du drain des transistors | 138 |
| III. 3. b. 2. | Impact au niveau de la grille des transistors..... | 140 |
| III. 3. c. | Amélioration du rendement à l'aide de filtres L-C entre la grille et la source des transistors de la barrette. | 142 |
| III. 3. c. 1. | Présentation de la solution retenue..... | 142 |
| III. 3. c. 2. | Liste des montages étudiés..... | 148 |
| III. 3. c. 3. | Performances simulées pour les circuits à base d'InAlN/GaN..... | 149 |
| III. 3. c. 4. | Performances simulées pour les circuits à base d'AlGaIn/GaN | 151 |
| III. 4. | Mesures des montages avec amélioration du rendement | 154 |
| III. 4. a. | Mesures en puissance des circuits à base d'AlGaIn/GaN | 155 |
| III. 4. b. | Mesures en puissance des circuits à base d'InAlN/GaN..... | 158 |
| III. 4. c. | Comparaison simulations aux mesures | 159 |
| | Conclusion..... | 163 |
| Perspectives | | 167 |
| Conclusion | | 173 |
| Annexes | | 179 |
| Annexe A. Caractéristiques statiques des transistors avec des variantes de FPS, FPD et DGD | | 181 |
| A.1. | Impact de la plaque FPS..... | 181 |
| A.2. | Impact de la plaque FPD | 183 |

| | | |
|-------------------------------------|---|-----|
| A.3. | Impact de la distance DGD..... | 185 |
| Annexe B. | Caractérisations en paramètres S pour une tension $V_{DS0} = 20$ V..... | 189 |
| B.1. | Influence sur la plaque B-AlGaN/GaN..... | 189 |
| B.2. | Influence sur la plaque D-InAlN/GaN..... | 192 |
| Bibliographie | | 197 |
| Liste des figures | | 207 |
| Liste des tableaux | | 217 |
| Publications relatives à ce travail | | 219 |

Liste des figures

| | |
|--|----|
| Figure I.1: Schéma de principe pour un fonctionnement en classe A, AB, B ou C | 19 |
| Figure I.2 : Allure des formes temporelles de tension et de courant pour un fonctionnement en classe AB..... | 20 |
| Figure I.3 : Allure du cycle Id-Vgs et du cycle de charge pour un fonctionnement en classe AB.... | 21 |
| Figure I.4 : Analyse de Fourier en fonction de l'angle de conduction..... | 24 |
| Figure I.5 : Puissance de sortie et rendement de drain en fonction de l'angle de conduction φ ... | 25 |
| Figure I.6 : Résistance optimale R_{OPT} en fonction de l'angle de conduction φ | 25 |
| Figure I.7 : Puissance P_{OUT}/P_{Classe_A} et rendement pour différents niveaux de compression du signal de sortie..... | 26 |
| Figure I.8 : Circuit fonctionnant en classe D en tension | 27 |
| Figure I.9 : Circuit fonctionnant en classe D en courant..... | 27 |
| Figure I.10 : Formes temporelles théoriques pour le fonctionnement en classe D en tension..... | 27 |
| Figure I.11 : Cycles Id-Vgs et Id-Vds pour un fonctionnement en classe D en tension | 28 |
| Figure I.12 : Formes temporelles obtenues en sortie pour une classe D en tension | 28 |
| Figure I.13 : Formes temporelles attendues pour le fonctionnement en classe D en courant | 29 |
| Figure I.14 : Cycle Id-Vgs et cycle de charge pour un fonctionnement en classe D en courant..... | 29 |
| Figure I.15 : Formes temporelles obtenues en sortie pour une classe D en courant | 29 |
| Figure I.16 : Circuit fonctionnant en classe E..... | 30 |
| Figure I.17 : Formes temporelles de la classe E..... | 31 |
| Figure I.18 : Cycle Id-Vgs et cycle de charge pour un fonctionnement en classe E..... | 31 |
| Figure I.19 : Formes temporelles théoriques pour la classe F..... | 32 |
| Figure I.20 : Cycle Id-Vgs et cycle de charge pour un fonctionnement en classe F..... | 33 |
| Figure I.21: Évolution des formes temporelles de la tension V_{DS} et du courant Id en fonction du nombre d'harmoniques..... | 36 |
| Figure I.22 : Formes temporelles pour le fonctionnement en classe F inverse..... | 36 |
| Figure I.23 : Cycle Id-Vgs et cycle de charge pour un fonctionnement en classe F inverse..... | 37 |
| Figure I.24 : Schéma électrique de base d'un fonctionnement en classe J..... | 38 |
| Figure I.25 : Formes temporelles obtenues pour un fonctionnement en classe J | 38 |
| Figure I.26 : Cycle Id-Vgs et cycle de charge pour un fonctionnement en classe J..... | 39 |
| Figure I.27 : Exemple de circuit fonctionnant en classe S. | 39 |
| Figure I.28 : Exemple de formes temporelles pour un fonctionnement en classe à signaux commutés (classe S) | 40 |
| Figure I.29 : Cycle Id-Vgs et cycle de charge pour un fonctionnement en classe à signaux commutés (classe S) | 40 |
| Figure I.30 : Principe de reconstruction du signal par le filtre de sortie de la classe à signaux commutés (classe S) | 40 |
| Figure I.31 : Exemple de principe de création d'une modulation MLI..... | 41 |
| Figure I.32 : Schéma de principe d'un modulateur Σ - Δ | 41 |
| Figure I.33 : Représentation d'un spectre fréquentiel du signal commuté en sortie du modulateur Σ - Δ | 43 |
| Figure I.34 : Présentation du recul en puissance pour conserver la linéarité de l'amplificateur .. | 44 |
| Figure I.35 : Schéma de base de l'amplificateur Doherty | 45 |
| Figure I.36 : Principe de fonctionnement de l'amplificateur Doherty | 45 |
| Figure I.37 : Schéma de base du fonctionnement en suivi d'enveloppe..... | 46 |

| | |
|--|----|
| Figure I.38 : Performances attendues pour un amplificateur à suivi d'enveloppe..... | 47 |
| Figure I.39 : Schéma de principe d'un amplificateur à suppression puis restauration d'enveloppe..... | 48 |
| Figure I.40 : Schéma des performances attendues pour un amplificateur à suppression puis restitution d'enveloppe..... | 48 |
| Figure I.41 : Schéma de l'architecture de l'amplificateur Chireix..... | 49 |
| Figure I.42 : Variation de la vitesse de dérive des électrons pour différents matériaux (Si, III- V, grand gap) en fonction du champ électrique [23]..... | 51 |
| Figure I.43 : Coupe verticale d'un exemple d'HEMT AlGa _N /Ga _N | 55 |
| Figure I.44: Évolution des polarisations spontanée et piézoélectrique et de la densité de charges en fonction du taux d'aluminium..... | 56 |
| Figure I.45 : Diagramme de bandes d'énergie de l'hétérojonction AlGa _N /Ga _N sous la grille | 57 |
| Figure I.46 : Coupe verticale d'un HEMT InAlN/Ga _N | 58 |
| Figure I.47 : Polarisation spontanée en fonction du paramètre de maille pour différents composés en Ga _N , AlN et InN..... | 59 |
| Figure I.48 : Diagramme de bandes d'énergie de l'hétérojonction InAlN/Ga _N sous la grille | 60 |
| Figure I.49 : <i>PAE</i> en fonction de la puissance P_{OUT} pour les différents articles cités | 64 |
| Figure II.1: Structure des composants HEMT à base de Ga _N | 69 |
| Figure II.2 : J_d et g_m en fonction de V_{gs} pour $V_{ds} = 5$ V, transistor 2x100 μ m CL8, plaque C- InAlN/Ga _N | 70 |
| Figure II.3 : Réseau J_d en fonction de V_{ds} , transistor 2x100 μ m CL8, plaque C-InAlN/Ga _N | 70 |
| Figure II.4: R_{ON} en fonction de l'extension de <i>FPS</i> pour la plaque A-AlGa _N /Ga _N | 71 |
| Figure II.5 : R_{ON} en fonction de l'extension de <i>FPS</i> pour la plaque B-AlGa _N /Ga _N | 71 |
| Figure II.6 : R_{ON} en fonction de l'extension de <i>FPS</i> pour la plaque C-InAlN/Ga _N | 71 |
| Figure II.7 : R_{ON} en fonction de l'extension de <i>FPS</i> pour la plaque D-InAlN/Ga _N | 71 |
| Figure II.8: R_{ON} en fonction de la présence de <i>FPD</i> pour la plaque A-AlGa _N /Ga _N | 72 |
| Figure II.9 : R_{ON} en fonction de la présence de <i>FPD</i> pour la plaque C-InAlN/Ga _N | 73 |
| Figure II.10 : R_{ON} en fonction de la présence de <i>FPD</i> pour la plaque D-InAlN/Ga _N | 73 |
| Figure II.11: R_{ON} en fonction de la distance <i>DGD</i> pour la plaque A-AlGa _N /Ga _N | 74 |
| Figure II.12 : R_{ON} en fonction de la distance <i>DGD</i> pour la plaque B-AlGa _N /Ga _N | 74 |
| Figure II.13 : R_{ON} en fonction de la distance <i>DGD</i> pour la plaque C-InAlN/Ga _N | 74 |
| Figure II.14 : R_{ON} en fonction de la distance <i>DGD</i> pour la plaque D-InAlN/Ga _N | 74 |
| Figure II.15 : I_d^{MAX} en fonction de la distance <i>DGD</i> pour la plaque B-AlGa _N /Ga _N | 75 |
| Figure II.16 : I_d^{MAX} en fonction de la distance <i>DGD</i> pour la plaque D-InAlN/Ga _N | 75 |
| Figure II.17 : Position des pièges dans un exemple de diagramme de bandes d'énergie | 76 |
| Figure II.18 : Présentation des deux types de pièges, accepteurs et donneurs au niveau du diagramme de bandes d'énergie | 76 |
| Figure II.19 : Exemple de charge et décharge d'un piège donneur | 77 |
| Figure II.20 : Allure du courant I_{sm} sortant du matériau pour l'exemple présenté sur la figure II.19..... | 78 |
| Figure II.21 : Exemple de modification du courant de drain à cause des pièges..... | 79 |
| Figure II.22 : Réseau statique J_d en fonction de V_{ds} , transistor 2x100 μ m CL8, plaque C- InAlN/Ga _N | 80 |
| Figure II.23 : Simulation Monte-Carlo de l'évolution de la vitesse électronique dans le canal en fonction du champ électrique et de la température [59, p. 64]..... | 80 |
| Figure II.24 : Formes temporelles lors d'une mesure en impulsions | 81 |

| | |
|--|----|
| Figure II.25 : Mesures en impulsions pour un transistor 2x250 μm de la plaque D-InAlN/GaN..... | 82 |
| Figure II.26 : Diminution relative de courant maximal I_d pour une variation de tension V_{GS0} (plaque E-InAlN/GaN) | 84 |
| Figure II.27 : Diminution relative de puissance maximale pour une variation de V_{DS0} (plaque E-InAlN/GaN) | 84 |
| Figure II.28 : Diminution relative de courant maximal I_d pour une variation de tension V_{GS0} (plaque E-InAlN/GaN) | 85 |
| Figure II.29 : Diminution relative de puissance maximale pour une variation de V_{DS0} (plaque E-InAlN/GaN) | 85 |
| Figure II.30 : Tracé I_d en fonction de V_{ds} pour un transistor 2x100 μm CL3 de la plaque D-InAlN/GaN..... | 86 |
| Figure II.31: V_{DS}^{MAX} en fonction de l'extension de <i>FPS</i> pour la plaque A-AlGaIn/GaN | 87 |
| Figure II.32 : V_{DS}^{MAX} en fonction de l'extension de <i>FPS</i> pour la plaque B-AlGaIn/GaN | 87 |
| Figure II.33 : V_{DS}^{MAX} en fonction de l'extension de <i>FPS</i> pour la plaque C-InAlN/GaN..... | 87 |
| Figure II.34 : V_{DS}^{MAX} en fonction de l'extension de <i>FPS</i> pour la plaque D-InAlN/GaN | 87 |
| Figure II.35: V_{DS}^{MAX} en fonction de l'extension de <i>FPS</i> pour la plaque A-AlGaIn/GaN | 88 |
| Figure II.36 : V_{DS}^{MAX} en fonction de l'extension de <i>FPS</i> pour la plaque C-InAlN/GaN..... | 88 |
| Figure II.37 : V_{DS}^{MAX} en fonction de l'extension de <i>FPS</i> pour la plaque D-InAlN/GaN | 88 |
| Figure II.38: V_{DS}^{MAX} en fonction de l'allongement de <i>DGD</i> pour la plaque A-AlGaIn/GaN..... | 89 |
| Figure II.39 : V_{DS}^{MAX} en fonction de l'allongement de <i>DGD</i> pour la plaque B-AlGaIn/GaN..... | 89 |
| Figure II.40 : V_{DS}^{MAX} en fonction de l'allongement de <i>DGD</i> pour la plaque C-InAlN/GaN | 89 |
| Figure II.41 : V_{DS}^{MAX} en fonction de l'allongement de <i>DGD</i> pour la plaque D-InAlN/GaN | 89 |
| Figure II.42 : Gain en courant $ H_{21} ^2$ pour un transistor 2x100 μm - CL1 de la plaque D-InAlN/GaN, $V_{DS0} = 20\text{ V}$, $I_d = 40\text{ mA}$ | 90 |
| Figure II.43 : Gain maximum MSG/MAG pour un transistor 2x100 μm - CL1 de la plaque D-InAlN/GaN, $V_{DS0} = 20\text{ V}$, $I_d = 40\text{ mA}$ | 90 |
| Figure II.44: Gain en courant $ H_{21} ^2$ à 2 GHz en fonction de l'extension de <i>FPS</i> pour des transistors 2x100 μm ($V_{DS0} = 5\text{ V}$, $I_{d0} = 20\text{ mA}$)..... | 91 |
| Figure II.45 : Fréquence de transition f_T en fonction de l'extension de <i>FPS</i> pour des transistors 2x100 μm ($V_{DS0} = 5\text{ V}$, $I_{d0} = 20\text{ mA}$)..... | 91 |
| Figure II.46 : Gain maximal stable (MSG) à 2 GHz en fonction de l'extension de <i>FPS</i> pour des transistors 2x100 μm ($V_{DS0} = 5\text{ V}$, $I_{d0} = 20\text{ mA}$)..... | 91 |
| Figure II.47 : Fréquence maximale d'oscillation f_{MAX} en fonction de l'extension de <i>FPS</i> pour des transistors 2x100 μm ($V_{DS0} = 5\text{ V}$, $I_{d0} = 20\text{ mA}$) | 91 |
| Figure II.48: Gain en courant $ H_{21} ^2$ à 2 GHz en fonction de l'extension de <i>FPD</i> pour des transistors 2x100 μm ($V_{DS0} = 5\text{ V}$, $I_{d0} = 20\text{ mA}$)..... | 92 |
| Figure II.49 : Fréquence de transition f_T en fonction de l'extension de <i>FPD</i> pour des transistors 2x100 μm ($V_{DS0} = 5\text{ V}$, $I_{d0} = 20\text{ mA}$)..... | 92 |
| Figure II.50 : Gain maximal stable (MSG) à 2 GHz en fonction de l'extension de <i>FPD</i> pour des transistors 2x100 μm ($V_{DS0} = 5\text{ V}$, $I_{d0} = 20\text{ mA}$)..... | 92 |
| Figure II.51 : Fréquence maximale d'oscillation f_{MAX} en fonction de l'extension de <i>FPD</i> pour des transistors 2x100 μm ($V_{DS0} = 5\text{ V}$, $I_{d0} = 20\text{ mA}$) | 92 |
| Figure II.52: Gain en courant $ H_{21} ^2$ à 2 GHz en fonction de l'allongement de <i>DGD</i> pour des transistors 2x100 μm ($V_{DS0} = 5\text{ V}$, $I_{d0} = 20\text{ mA}$)..... | 93 |
| Figure II.53 : Fréquence de transition f_T en fonction de l'allongement de <i>DGD</i> pour des transistors 2x100 μm ($V_{DS0} = 5\text{ V}$, $I_{d0} = 20\text{ mA}$)..... | 93 |

| | |
|--|-----|
| Figure II.54 : Gain maximal stable (MSG) à 2 GHz en fonction de l'allongement de <i>DGD</i> pour des transistors 2x100 μm ($V_{\text{DS0}} = 5 \text{ V}$, $I_{\text{D0}} = 20 \text{ mA}$)..... | 93 |
| Figure II.55 : Fréquence maximale d'oscillation f_{MAX} en fonction de l'allongement de <i>DGD</i> pour des transistors 2x100 μm ($V_{\text{DS0}} = 5 \text{ V}$, $I_{\text{D0}} = 20 \text{ mA}$)..... | 93 |
| Figure II.56 : Modèle linéaire simplifié avec correspondance avec les paramètres Y..... | 94 |
| Figure II.57 : Modèle linéaire à huit éléments pour un HEMT..... | 94 |
| Figure II.58: Estimation de $C_{\text{gd}} + C_{\text{gs}}$ à partir de Y_{11} pour un transistor CL1 de la plaque D-InAlN/GaN ($V_{\text{DS0}} = 5 \text{ V}$, $I_{\text{D0}} = 20 \text{ mA}$)..... | 95 |
| Figure II.59 : Estimation de C_{gd} à partir de Y_{12} pour un transistor CL1 de la plaque D-InAlN/GaN ($V_{\text{DS0}} = 5 \text{ V}$, $I_{\text{D0}} = 20 \text{ mA}$)..... | 95 |
| Figure II.60 : Estimation de $C_{\text{gd}} + C_{\text{ds}}$ à partir de Y_{22} pour un transistor CL1 de la plaque D-InAlN/GaN ($V_{\text{DS0}} = 5 \text{ V}$, $I_{\text{D0}} = 20 \text{ mA}$)..... | 96 |
| Figure II.61 : Estimation de G_{ds} à partir de Y_{22} pour un transistor CL1 de la plaque D-InAlN/GaN ($V_{\text{DS0}} = 5 \text{ V}$, $I_{\text{D0}} = 20 \text{ mA}$)..... | 96 |
| Figure II.62 : Estimation de g_{m} à partir de Y_{22} pour un transistor CL1 de la plaque D-InAlN/GaN ($V_{\text{DS0}} = 5 \text{ V}$, $I_{\text{D0}} = 20 \text{ mA}$)..... | 96 |
| Figure II.63: Estimation de la capacité C_{gd} en fonction de l'extension de <i>FPS</i> pour des transistors 2x100 μm (5 V, 20 mA)..... | 97 |
| Figure II.64 : Estimation de la capacité C_{ds} en fonction de l'extension de <i>FPS</i> pour des transistors 2x100 μm (5 V, 20 mA)..... | 97 |
| Figure II.65 : Estimation de la capacité C_{gs} en fonction de l'extension de <i>FPS</i> pour des transistors 2x100 μm (5 V, 20 mA)..... | 97 |
| Figure II.66 : Estimation de la conductance G_{ds} en fonction de l'extension de <i>FPS</i> pour des transistors 2x100 μm (5 V, 20 mA)..... | 97 |
| Figure II.67 : Estimation de la transconductance g_{m} en fonction de l'extension de <i>FPS</i> pour des transistors 2x100 μm (5 V, 20 mA)..... | 97 |
| Figure II.68: Estimation de la capacité C_{gd} en fonction de l'extension de <i>FPD</i> pour des transistors 2x100 μm (5 V, 20 mA)..... | 98 |
| Figure II.69 : Estimation de la capacité C_{ds} en fonction de l'extension de <i>FPD</i> pour des transistors 2x100 μm (5 V, 20 mA)..... | 98 |
| Figure II.70 : Estimation de la capacité C_{gs} en fonction de l'extension de <i>FPD</i> pour des transistors 2x100 μm (5 V, 20 mA)..... | 98 |
| Figure II.71 : Estimation de la conductance G_{ds} en fonction de l'extension de <i>FPD</i> pour des transistors 2x100 μm (5 V, 20 mA)..... | 98 |
| Figure II.72 : Estimation de la transconductance g_{m} en fonction de l'extension de <i>FPD</i> pour des transistors 2x100 μm (5 V, 20 mA)..... | 99 |
| Figure II.73: Estimation de la capacité C_{gd} en fonction de l'allongement de <i>DGD</i> pour des transistors 2x100 μm (5 V, 20 mA)..... | 99 |
| Figure II.74 : Estimation de la capacité C_{ds} en fonction de l'allongement de <i>DGD</i> pour des transistors 2x100 μm (5 V, 20 mA)..... | 99 |
| Figure II.75 : Estimation de la capacité C_{gs} en fonction de l'allongement de <i>DGD</i> pour des transistors 2x100 μm (5 V, 20 mA)..... | 100 |
| Figure II.76 : Estimation de la conductance G_{ds} en fonction de l'allongement de <i>DGD</i> pour des transistors 2x100 μm (5 V, 20 mA)..... | 100 |
| Figure II.77 : Estimation de la transconductance g_{m} en fonction de l'allongement de <i>DGD</i> pour des transistors 2x100 μm (5 V, 20 mA)..... | 100 |

| | |
|---|-----|
| Figure II.78 : Performances en puissance à 3,5 GHz d'un transistor 8x250 μm de la plaque C-InAlN/GaN ($V_{GS0} = -1,9 \text{ V}$, $V_{DS0} = 35 \text{ V}$, $Z_S = 9 + j \cdot 6 \ \Omega$, $Z_C = 28 + j \cdot 36 \ \Omega$ - mesure à une impulsion de 250 μs) | 102 |
| Figure II.79 : Performances en puissance à 2 GHz d'un transistor 4x250 μm de la plaque E-InAlN/GaN ($V_{DS0} = 30 \text{ V}$, adapté en entrée et sortie - mesure à onde continue CW).103 | 103 |
| Figure II.80 : Performances en puissance à 2 GHz d'un transistor 4x250 μm de la plaque F-AlGaIn/GaN ($V_{DS0} = 30 \text{ V}$, adapté en entrée et sortie - mesure à onde continue CW) | 103 |
| Figure II.81 : Mesures en puissance CW d'un transistor 6x400 μm de la plaque E-InAlN/GaN, réalisées par MC2 à 2 GHz, $V_{DS0} = 30 \text{ V}$ | 104 |
| Figure II.82 : Schéma électrique du modèle linéaire à 16 éléments (intrinsèques et extrinsèques)..... | 105 |
| Figure II.83 : Position des éléments du circuit de la figure II.82 sur un schéma en coupe de la structure des HEMTS..... | 105 |
| Figure II.84 : Allure du cycle I_d - V_{GS} et du cycle de charge pour un fonctionnement en classe AB (reprise de la figure I.3)..... | 106 |
| Figure II.85 : Modèle non-linéaire de la capacité C_{gs} extraite en fonction de V_{GS} le long du cycle de charge présenté sur la figure II.84. | 106 |
| Figure II.86 : Modèle des HEMT avec les diodes grille-source et grille-drain et l'effet avalanche | 108 |
| Figure II.87 : Schéma du modèle complet utilisé pour les simulations des HEMT à base de GaN | 109 |
| Figure II.88 : Schéma décrivant le fonctionnement du modèle des effets des pièges pour une modification de la tension V_{DS} | 109 |
| Figure III.1 : Circuit fonctionnant en classe E. | 115 |
| Figure III.2 : Courant I_d en fonction de V_{GS} pour $V_{DS} = 30 \text{ V}$ pour le modèle utilisé pour les simulations d'un fonctionnement en classe E. | 116 |
| Figure III.3 : Réseau I_d - V_{DS} du modèle utilisé pour les simulations d'un fonctionnement en classe E. | 116 |
| Figure III.4 : Évolution de C_{DS} en fonction de f_0 pour conserver un fonctionnement en classe E..... | 117 |
| Figure III.5 : Évolution de la capacité C en fonction de f_0 | 117 |
| Figure III.6 : Évolution de l'inductance L en fonction de f_0 | 117 |
| Figure III.7 : Évolution de la capacité C_{DS} en fonction du facteur de qualité Q , avec $f_0 = 3 \text{ GHz}$ | 118 |
| Figure III.8 : Évolution de la résistance R en fonction du facteur de qualité Q , avec $f_0 = 3 \text{ GHz}$ | 118 |
| Figure III.9 : Évolution de la puissance P_{OUT} et du rendement η en fonction de la résistance R , avec $f_0 = 3 \text{ GHz}$ | 119 |
| Figure III.10 : Évolution de la capacité C_{DS} et de la tension maximale V_{MAX} en fonction de la résistance R , avec $f_0 = 3 \text{ GHz}$ | 119 |
| Figure III.11 : Schéma du circuit utilisé pour les simulations en classe E. | 120 |
| Figure III.12 : Formes temporelles du courant I_d et de la tension V_{DS} intrinsèques pour un fonctionnement avec les paramètres attendus pour la classe E avec $f_0 = 1 \text{ GHz}$ | 121 |
| Figure III.13 : Cycle de charge I_d - V_{DS} intrinsèques pour un fonctionnement avec les paramètres attendus pour la classe E avec $f_0 = 1 \text{ GHz}$ | 121 |
| Figure III.14 : Puissance P_{OUT} et rendement PAE en fonction de la puissance injectée P_{IN} pour $f_0 = 1 \text{ GHz}$ | 122 |
| Figure III.15 : Puissance P_{OUT} et rendement PAE en fonction de la fréquence f_0 | 122 |

| | |
|--|-----|
| Figure III.16 : Formes temporelles du courant I_d et de la tension V_{DS} intrinsèques pour un fonctionnement en classe E avec $f_0 = 3$ GHz. | 123 |
| Figure III.17 : Cycle de charge I_d-V_{DS} intrinsèques pour un fonctionnement en classe E avec $f_0 = 3$ GHz. | 123 |
| Figure III.18 : Puissance P_{OUT} et rendement PAE en fonction de la puissance injectée P_{IN} pour un fonctionnement en classe E avec $f_0 = 3$ GHz..... | 124 |
| Figure III.19 : Puissance P_{OUT} et rendement PAE en fonction de la fréquence f_0 un fonctionnement en classe E. | 124 |
| Figure III.20 : Formes temporelles du courant I_d et de la tension V_{DS} intrinsèques pour un fonctionnement au maximum de PAE avec $f_0 = 3$ GHz..... | 125 |
| Figure III.21 : Cycle de charge I_d-V_{DS} intrinsèques pour un fonctionnement au maximum de PAE avec $f_0 = 3$ GHz. | 125 |
| Figure III.22 : Puissance P_{OUT} et rendement PAE en fonction de la puissance injectée P_{IN} pour un fonctionnement au maximum de PAE à $f_0 = 3$ GHz..... | 125 |
| Figure III.23 : Puissance P_{OUT} et rendement PAE en fonction de la fréquence f_0 pour un fonctionnement au maximum de PAE | 125 |
| Figure III.24 : Circuit permettant de simuler le fonctionnement du transistor en classe F. | 126 |
| Figure III.25 : Évolution de la puissance de sortie P_{OUT} au cours des différentes étapes du tableau III.5. | 128 |
| Figure III.26 : Évolution du rendement en puissance ajoutée PAE au cours des différentes étapes du tableau III.5. | 128 |
| Figure III.27 : Puissance de sortie P_{OUT} pour un fonctionnement en classe B et un fonctionnement en classe F inverse..... | 129 |
| Figure III.28 : Rendement PAE pour un fonctionnement en classe B et un fonctionnement en classe F inverse..... | 129 |
| Figure III.29 : Gain en puissance G_p pour un fonctionnement en classe B et un fonctionnement en classe F inverse..... | 129 |
| Figure III.30 : Cycle de charge I_d-V_{ds} intrinsèques pour un fonctionnement en classe B et un fonctionnement en classe F inverse..... | 129 |
| Figure III.31 : Formes temporelles de la tension V_{gs} intrinsèque pour un fonctionnement en classe B et un fonctionnement en classe F inverse. | 130 |
| Figure III.32 : Formes temporelles du courant I_d et de le tension V_{ds} intrinsèques pour un fonctionnement en classe B et un fonctionnement en classe F inverse. | 130 |
| Figure III.33 : Position des impédances de charge présentées à la source de courant intrinsèque pour la fréquence f_0 pour les fonctionnements en classe B et en classe F..... | 131 |
| Figure III.34 : Position des impédances de charge présentées à la source de courant intrinsèque pour l'harmonique deux pour les fonctionnements en classe B et en classe F..... | 132 |
| Figure III.35 : Position des impédances de charge présentées à la source de courant intrinsèque pour l'harmonique trois pour les fonctionnements en classe B et en classe F..... | 133 |
| Figure III.36 : Photographie d'un boîtier avec une barrette $15 \times 6 \times 400 \mu m$ pour un fonctionnement en classe AB..... | 134 |
| Figure III.37 : Circuit hybride avec le boîtier contenant une barrette $15 \times 6 \times 400 \mu m$ pour un fonctionnement en classe AB..... | 135 |

| | |
|--|-----|
| Figure III.38 : Puissance de sortie P_{OUT} pour une simulation de circuit avec une barrette 15x6x400 μm en AlGaIn/GaN..... | 136 |
| Figure III.39 : Rendement en puissance ajoutée PAE pour une simulation de circuit avec une barrette 15x6x400 μm en AlGaIn/GaN..... | 136 |
| Figure III.40 : Formes temporelles du courant I_d et de la tension V_{DS} au niveau de la source intrinsèque de courant pour la barrette 15x6x400 μm | 137 |
| Figure III.41 : Schéma représentant la structure des lignes à forte constante diélectrique (ϵ_r), de la barrette 15x6x400 μm et des fils de câblage dans le boîtier..... | 138 |
| Figure III.42 : Position des impédances placées aux harmoniques en parallèle des drains afin de modifier le comportement du circuit. | 139 |
| Figure III.43 : Évolution du rendement PAE du circuit en fonction de l'impédance présentée en parallèle des drains à l'harmonique deux ($P_{IN} = 39 \text{ dBm}$, $V_{DS0} = 30 \text{ V}$). | 139 |
| Figure III.44 : Évolution du rendement PAE du circuit en fonction de l'impédance présentée en parallèle des drains à l'harmonique trois ($P_{IN} = 39 \text{ dBm}$, $V_{DS0} = 30 \text{ V}$)..... | 140 |
| Figure III.45 : Position des impédances placées aux harmoniques en parallèle des grilles afin de modifier le comportement du circuit. | 141 |
| Figure III.46 : Évolution du rendement PAE du circuit en fonction de l'impédance présentée en parallèle des grilles à l'harmonique deux ($P_{IN} = 39 \text{ dBm}$, $V_{DS0} = 30 \text{ V}$). | 141 |
| Figure III.47 : Évolution du rendement PAE du circuit en fonction de l'impédance présentée en parallèle des grilles à l'harmonique trois ($P_{IN} = 39 \text{ dBm}$, $V_{DS0} = 30 \text{ V}$)..... | 142 |
| Figure III.48 : Schéma de l'intérieur du boîtier contenant une barrette 15x6x400 μm | 143 |
| Figure III.49 : Principe d'utilisation d'une capacité placée sur le "Tab" de source afin de créer un filtre résonant à l'harmonique deux. | 144 |
| Figure III.50 : Agencement des fils et des capacités placées sur le "Tab" de source pour une épaisseur de barrette de 400 μm avec fils de source..... | 145 |
| Figure III.51 : Photographie d'une barrette à 15 transistors avec 7 capacités placées sur le "Tab" de source..... | 146 |
| Figure III.52 : Agencement des fils sans capacité placée sur le "Tab" de source pour une épaisseur de barrette de 100 μm sans fils de source..... | 147 |
| Figure III.53 : Agencement des fils et des 7 capacités placées sur le "Tab" de source pour une épaisseur de barrette de 100 μm sans fils de source..... | 147 |
| Figure III.54 : Agencement des fils et des 15 capacités placées sur le "Tab" de source pour une épaisseur de barrette de 100 μm sans fils de source | 148 |
| Figure III.55 : Simulation de la puissance de sortie P_{OUT} pour des montages 15x6x400 μm plaque D-InAlN/GaN sans capacité et avec 7 capacités. | 149 |
| Figure III.56 : Simulation du PAE pour des montages 15x6x400 μm plaque D-InAlN/GaN sans capacité et avec 7 capacités..... | 149 |
| Figure III.57 : Simulation du gain G_p pour des montages 15x6x400 μm plaque D-InAlN/GaN sans capacité et avec 7 capacités..... | 150 |
| Figure III.58 : Simulation du cycle I_d - V_{DS} pour des montages 15x6x400 μm plaque D-InAlN/GaN sans capacité et avec 7 capacités. | 150 |
| Figure III.59 : Simulation des formes temporelles V_{GS} pour des montages 15x6x400 μm plaque D-InAlN/GaN sans capacité et avec 7 capacités. | 150 |
| Figure III.60 : Simulation des formes temporelles I_d et V_{DS} pour des montages 15x6x400 μm plaque D-InAlN/GaN sans capacité et avec 7 capacités. | 150 |

| | |
|---|-----|
| Figure III.61 : Simulation de l'impédance présentée entre la grille et la source des 15 transistors à l'harmonique deux pour des montages 15x6x400 μm plaque D-InAlN/GaN sans capacité et avec 7 capacités. | 151 |
| Figure III.62 : Simulation de la puissance P_{OUT} pour des montages 15x6x400 μm plaque F-AlGaIn/GaN sans capacité et avec 15 capacités. | 152 |
| Figure III.63 : Simulation du PAE pour des montages 15x6x400 μm plaque F-AlGaIn/GaN sans capacité et avec 15 capacités. | 152 |
| Figure III.64 : Simulation gain G_p pour des montages 15x6x400 μm plaque F-AlGaIn/GaN sans capacité et avec 15 capacités. | 152 |
| Figure III.65 : Simulation du cycle I_d - V_{DS} pour des montages 15x6x400 μm plaque F-AlGaIn/GaN sans capacité et avec 15 capacités. | 152 |
| Figure III.66 : Simulation de l'impédance présentée entre la grille et la source des 15 transistors à l'harmonique deux pour des montages 15x6x400 μm plaque F-AlGaIn/GaN sans capacité et avec 15 capacités. | 153 |
| Figure III.67 : Schéma du montage utilisé pour refroidir les composants lors des mesures en puissance. | 154 |
| Figure III.68 : Temporisation des événements lors d'une impulsion de mesure en puissance | 155 |
| Figure III.69 : Mesures de la puissance P_{OUT} pour des montages 15x6x400 μm plaque F-AlGaIn/GaN sans capacité et avec 7 capacités. | 156 |
| Figure III.70 : Mesures du PAE pour des montages 15x6x400 μm plaque F-AlGaIn/GaN sans capacité et avec 7 capacités. | 156 |
| Figure III.71 : Mesures du gain G_p pour des montages 15x6x400 μm plaque F-AlGaIn/GaN sans capacité et avec 7 capacités. | 156 |
| Figure III.72 : Mesures du courant de polarisation du drain I_d pour des montages 15x6x400 μm plaque F-AlGaIn/GaN sans capacité et avec 7 capacités. | 156 |
| Figure III.73 : Mesures de la puissance P_{OUT} pour des montages 15x6x400 μm plaque F-AlGaIn/GaN avec 7 capacités et avec 15 capacités. | 157 |
| Figure III.74 : Mesures du rendement PAE pour des montages 15x6x400 μm plaque F-AlGaIn/GaN avec 7 capacités et avec 15 capacités. | 157 |
| Figure III.75 : Mesures du gain G_p pour des montages 15x6x400 μm plaque F-AlGaIn/GaN avec 7 capacités et avec 15 capacités. | 157 |
| Figure III.76: Mesures du courant de polarisation du drain I_d pour des montages 15x6x400 μm plaque F-AlGaIn/GaN avec 7 capacités et avec 15 capacités. | 157 |
| Figure III.77 : Mesures de la puissance P_{OUT} pour des montages 15x6x400 μm plaque D-InAlN/GaN sans capacité et avec 7 capacités. | 158 |
| Figure III.78 : Mesures du rendement PAE pour des montages 15x6x400 μm plaque D-InAlN/GaN sans capacité et avec 7 capacités. | 158 |
| Figure III.79 : Mesures du gain G_p pour des montages 15x6x400 μm plaque D-InAlN/GaN sans capacité et avec 7 capacités. | 159 |
| Figure III.80 : Mesures du courant de polarisation du drain I_d pour des montages 15x6x400 μm plaque D-InAlN/GaN sans capacité et avec 7 capacités. | 159 |
| Figure III.81 : Comparaison de la puissance de sortie P_{OUT} pour la mesure et la simulation d'un circuit sans capacité de la plaque D-InAlN/GaN. | 160 |
| Figure III.82 : Comparaison du rendement PAE pour la mesure et la simulation d'un circuit sans capacité de la plaque D-InAlN/GaN. | 160 |
| Figure III.83 : Comparaison du gain G_p pour la mesure et la simulation d'un circuit sans capacité de la plaque D-InAlN/GaN. | 160 |

| | |
|---|-----|
| Figure III.84 : Comparaison du courant de polarisation I_d pour la mesure et la simulation d'un circuit sans capacité de la plaque D-InAlN/GaN. | 160 |
| Figure III.85 : Comparaison de la puissance de sortie P_{OUT} pour la mesure et la simulation d'un circuit avec 7 capacités de la plaque D-InAlN/GaN. | 161 |
| Figure III.86 : Comparaison du rendement PAE pour la mesure et la simulation d'un circuit avec 7 capacités de la plaque D-InAlN/GaN. | 161 |
| Figure III.87 : Comparaison du gain G_p pour la mesure et la simulation d'un circuit avec 7 capacités de la plaque D-InAlN/GaN. | 161 |
| Figure III.88 : Comparaison du courant de polarisation I_d pour la mesure et la simulation d'un circuit avec 7 capacités de la plaque D-InAlN/GaN. | 161 |
| | |
| Figure A.1 : g_m^{MAX} en fonction de l'extension de FPS pour la plaque A-AlGaN/GaN. | 181 |
| Figure A.2 : g_m^{MAX} en fonction de l'extension de FPS pour la plaque B-AlGaN/GaN. | 181 |
| Figure A.3 : g_m^{MAX} en fonction de l'extension de FPS pour la plaque D-InAlN/GaN. | 181 |
| Figure A.4 : V_p en fonction de l'extension de FPS pour la plaque A-AlGaN/GaN. | 182 |
| Figure A.5 : V_p en fonction de l'extension de FPS pour la plaque B-AlGaN/GaN. | 182 |
| Figure A.6 : V_p en fonction de l'extension de FPS pour la plaque C-InAlN/GaN. | 182 |
| Figure A.7 : V_p en fonction de l'extension de FPS pour la plaque D-InAlN/GaN. | 182 |
| Figure A.8 : I_d^{MAX} en fonction de l'extension de FPS pour la plaque B-AlGaN/GaN. | 183 |
| Figure A.9 : I_d^{MAX} en fonction de l'extension de FPS pour la plaque D-InAlN/GaN. | 183 |
| Figure A.10 : g_m^{MAX} en fonction de la présence de FPD pour la plaque A-AlGaN/GaN. | 183 |
| Figure A.11 : g_m^{MAX} en fonction de la présence de FPD pour la plaque C-InAlN/GaN. | 184 |
| Figure A.12 : g_m^{MAX} en fonction de la présence de FPD pour la plaque D-InAlN/GaN. | 184 |
| Figure A.13 : V_p en fonction de la présence de FPD pour la plaque A-AlGaN/GaN. | 184 |
| Figure A.14 : V_p en fonction de la présence de FPD pour la plaque C-InAlN/GaN. | 184 |
| Figure A.15 : V_p en fonction de la présence de FPD pour la plaque D-InAlN/GaN. | 184 |
| Figure A.16 : I_d^{MAX} en fonction de l'extension de FPD pour la plaque D-InAlN/GaN. | 185 |
| Figure A.17 : g_m^{MAX} en fonction de la distance DGD pour la plaque A-AlGaN/GaN. | 186 |
| Figure A.18 : g_m^{MAX} en fonction de la distance DGD pour la plaque B-AlGaN/GaN. | 186 |
| Figure A.19 : g_m^{MAX} en fonction de la distance DGD pour la plaque C-InAlN/GaN. | 186 |
| Figure A.20 : g_m^{MAX} en fonction de la distance DGD pour la plaque D-InAlN/GaN. | 186 |
| Figure A.21 : V_p en fonction de la distance DGD pour la plaque A-AlGaN/GaN. | 186 |
| Figure A.22 : V_p en fonction de la distance DGD pour la plaque B-AlGaN/GaN. | 186 |
| Figure A.23 : V_p en fonction de la distance DGD pour la plaque C-InAlN/GaN. | 187 |
| Figure A.24 : V_p en fonction de la distance DGD pour la plaque D-InAlN/GaN. | 187 |
| Figure B.1: Gain en courant $ H_{21} ^2$ à 2 GHz en fonction de l'extension de FPS pour des transistors $2x100 \mu m$ pour la plaque B-AlGaN/GaN. | 189 |
| Figure B.2 : Fréquence de transition f_T en fonction de l'extension de FPS pour des transistors $2x100 \mu m$ pour la plaque B-AlGaN/GaN. | 189 |
| Figure B.3 : Gain maximal stable (MSG) à 2 GHz en fonction de l'extension de FPS pour des transistors $2x100 \mu m$ pour la plaque B-AlGaN/GaN. | 190 |
| Figure B.4 : Fréquence maximale d'oscillation f_{MAX} en fonction de l'extension de FPS pour des transistors $2x100 \mu m$ pour la plaque B-AlGaN/GaN. | 190 |
| Figure B.5 : Estimation de la capacité C_{gd} en fonction de l'extension de FPS pour des transistors $2x100 \mu m$ pour la plaque B-AlGaN/GaN. | 190 |
| Figure B.6 : Estimation de la capacité C_{ds} en fonction de l'extension de FPS pour des transistors $2x100 \mu m$ pour la plaque B-AlGaN/GaN. | 190 |

| | |
|--|-----|
| Figure B.7 : Estimation de la capacité C_{gs} en fonction de l'extension de FPS pour des transistors $2 \times 100 \mu\text{m}$ pour la plaque B-AlGaIn/GaN | 191 |
| Figure B.8 : Fréquence maximale d'oscillation f_{MAX} en fonction de l'allongement de DGD pour des transistors $2 \times 100 \mu\text{m}$ pour la plaque B-AlGaIn/GaN..... | 191 |
| Figure B.9 : Estimation de la conductance G_{ds} en fonction de l'allongement de DGD pour des transistors $2 \times 100 \mu\text{m}$ pour la plaque B-AlGaIn/GaN | 191 |
| Figure B.10: Gain en courant $ H_{21} ^2$ à 2 GHz en fonction de l'extension de FPS pour des transistors $2 \times 100 \mu\text{m}$ pour la plaque D-InAlN/GaN..... | 192 |
| Figure B.11 : Fréquence de transition f_T en fonction de l'extension de FPS pour des transistors $2 \times 100 \mu\text{m}$ pour la plaque D-InAlN/GaN..... | 192 |
| Figure B.12 : Gain maximal stable (MSG) à 2 GHz en fonction de l'extension de FPS pour des transistors $2 \times 100 \mu\text{m}$ pour la plaque D-InAlN/GaN | 192 |
| Figure B.13 : Fréquence maximale d'oscillation f_{MAX} en fonction de l'extension de FPS pour des transistors $2 \times 100 \mu\text{m}$ pour la plaque D-InAlN/GaN..... | 192 |
| Figure B.14 : Estimation de la capacité C_{gd} en fonction de l'extension de FPS pour des transistors $2 \times 100 \mu\text{m}$ pour la plaque D-InAlN/GaN..... | 193 |
| Figure B.15 : Estimation de la capacité C_{ds} en fonction de l'extension de FPS pour des transistors $2 \times 100 \mu\text{m}$ pour la plaque D-InAlN/GaN..... | 193 |
| Figure B.16 : Estimation de la capacité C_{gs} en fonction de l'extension de FPS pour des transistors $2 \times 100 \mu\text{m}$ pour la plaque D-InAlN/GaN..... | 193 |
| Figure B.17 : Fréquence maximale d'oscillation f_{MAX} en fonction de l'allongement de DGD pour des transistors $2 \times 100 \mu\text{m}$ pour la plaque D-InAlN/GaN..... | 194 |
| Figure B.18 : Estimation de la conductance G_{ds} en fonction de l'allongement de DGD pour des transistors $2 \times 100 \mu\text{m}$ pour la plaque D-InAlN/GaN..... | 194 |

Liste des tableaux

| | |
|--|-----|
| Tableau I.1: Formes temporelles du courant et de la tension aux bornes du transistor et angle de conduction pour les classes de fonctionnement A, AB, B et C | 22 |
| Tableau I.2: Composantes aux harmoniques de $V_{DS}(t)$ pour obtenir un rendement maximal pour un nombre limité d'harmoniques ($R_{ON} = 0$) [3] | 34 |
| Tableau I.3: Composantes aux harmoniques de $I_d(t)$ pour obtenir un rendement maximal pour un nombre limité d'harmoniques ($R_{ON} = 0$) [3] | 34 |
| Tableau I.4: Rendement maximal obtenu pour un nombre limité d'harmoniques au niveau de la tension (n) et au niveau du courant (m) [3] | 35 |
| Tableau I.5: Puissance maximale obtenue pour un nombre limité d'harmoniques en cherchant à avoir le rendement maximal [3] | 35 |
| Tableau I.6 : Hauteur de bande interdite de différents semi-conducteurs à 300 K [22]. | 50 |
| Tableau I.7 : Conductivité thermique et coût des substrats utilisés pour les HEMT AlGaIn/GaN | 52 |
| Tableau I.8 : Figures de mérite de Johnson, Keyes et Baliga pour différents matériaux semi-conducteurs [24], [32], [33], [34], [35]. | 54 |
| Tableau I.9 : Comparaison des performances d'amplificateurs RF à base de HEMT GaN. | 63 |
| Tableau II.1 : Liste des plaques utilisées et matériaux associés | 70 |
| Tableau II.2 : Structure des transistors avec différentes variantes de FPS. | 71 |
| Tableau II.3 : Structure des transistors avec différentes variantes de FPD. | 72 |
| Tableau II.4 : Structure des transistors avec différentes variantes de DGD. | 73 |
| Tableau II.5 : Variation de résistance R_{ON} calculée et mesurée pour les différentes plaques étudiées | 74 |
| Tableau II.6 : Structure des transistors avec différentes variantes de FPS. | 83 |
| Tableau II.7 : Structure des transistors avec différentes variantes de FPD. | 84 |
| Tableau III.1 : Exemple de valeurs pour un fonctionnement en classe E à 3 GHz | 116 |
| Tableau III.2 : Paramètres du circuit pour obtenir un fonctionnement en classe E pour $f_0 = 1$ GHz. | 120 |
| Tableau III.3 : Paramètres d'un circuit permettant d'obtenir un fonctionnement proche de la classe E pour $f_0 = 3$ GHz. | 122 |
| Tableau III.4 : Paramètres d'un circuit permettant d'obtenir un rendement maximal pour $f_0 = 3$ GHz. | 124 |
| Tableau III.5 : Évolution des impédances présentées au transistor pour chaque étape d'optimisation vers un fonctionnement en classe F. | 127 |
| Tableau III.6 : Liste des plaques utilisées et matériaux associés | 148 |
| Tableau III.7 : Liste des montages réalisés. | 149 |

Publications relatives à ce travail

J. Dufraisse, G. Callet, E. Chartier, O. Jardel, J.-C. Jacquet, N. Sarazin, E. Morvan, R. Aubry, M.-A. Di Forte Poisson, S. L. Delage, S. Piotrowicz, P. Bouysse, R. Quéré, *Caractéristiques électriques des transistors en technologie InAlN/AlN/GaN pour les applications en bande S*, 17èmes Journées nationales des Micro-ondes, 18-20 mai 2011, Session 2C-1, *Prix IEEE de la meilleure présentation orale*.

J. Dufraisse, G. Callet, O. Jardel, E. Chartier, N. Sarazin, S. Piotrowicz, M.-A. Di Forte Poisson, P. Bouysse, R. Quere, S.L. Delage, *Characterizations of InAlN/AlN/GaN transistors for S-band applications*, European Microwave Integrated Circuits Conference (EuMIC), 2011, 10-11 octobre 2011, pages 140-143, Session EuMIC 09-4.

S. Piotrowicz, E. Morvan, R. Aubry, G. Callet, E. Chartier, C. Dua, **J. Dufraisse**, D. Floriot, J.-C. Jacquet, O. Jardel, Y. Mancuso, B. Mallet-Guy, *Overview of AlGaIn/GaN HEMT technology for L- to Ku-band applications*, International Journal of Microwave and Wireless Technologies, vol. 2, no. 01, 2010

O. Jardel, G. Callet, **J. Dufraisse**, N. Sarazin, E. Chartier, T. Reveyrand, M. Oualli, D. Lancereau, M.A. Di Forte Poisson, S. Piotrowicz, E. Morvan, S.L. Delage, *Performances of AllnN/GaN HEMTs for power applications at microwave frequencies*, European Microwave Integrated Circuits Conference (EuMIC), 2010, 27-28 septembre 2010, pages 49-52

S. Piotrowicz, E. Chartier, O. Jardel, **J. Dufraisse**, G. Callet, J.-C. Jacquet, D. Lancereau, E. Morvan, R. Aubry, N. Sarazin, C. Dua, M. Oualli, M.-A. Poisson, S.L. Delage, *Development of InAlN/GaN HEMTs Power Devices in S-Band*, IEEE Compound Semiconductor Integrated Circuit Symposium (CSICS), 2011, 16-19 octobre 2011

S. Piotrowicz, O. Jardel, J.-C. Jacquet, D.Lancereau, R. Aubry, E. Morvan, N. Sarazin, **J. Dufraisse**, C.Dua, M. Oualli, E.Chartier, M.A Di-Forte Poisson, C.Gaquièrre, S.L.Delage, *160W InAlN/GaN HEMTs Amplifier at 2 GHz With Optimized Thermal Management*, IEEE Compound Semiconductor Integrated Circuit Symposium (CSICS), 2012, 14-17 octobre 2012

Étude des classes de fonctionnement à haut rendement pour l'amplification de puissance en hyperfréquence en utilisant la technologie HEMT à base de nitrure de gallium.

Résumé : Ce rapport traite de l'étude de classes de fonctionnement pour améliorer le rendement en puissance d'amplificateurs à base de HEMT AlGaN/GaN et InAlN/GaN fonctionnant autour de 2 GHz. L'analyse des caractéristiques électriques des HEMT à base de GaN présente l'impact de plaques de champ et de la distance grille-drain sur les performances du composant. Ensuite, la description des améliorations de chaque classe conduit à la conception de circuits fonctionnant en classe F inverse avec un rendement en puissance ajoutée mesuré de 58 % et une puissance de sortie de 42 W pour une fréquence de 2 GHz.

Mots-clés : *HEMT, AlGaN/GaN, InAlN/GaN, Classe F, Bande S, conception, modélisation, haut rendement*

Study of high-efficiency classes of power amplifier at high frequencies using HEMT technology based on gallium nitride

Abstract : This report deals with the study of class of amplifiers in order to improve the power efficiency of amplifiers based on AlGaN/GaN and InAlN/GaN HEMT, working around 2 GHz. The analysis of the electrical characteristics of HEMT based on GaN presents the impact of field plates and the drain-gate distance on device's performances. Then, the description of the improvements of each class leads to the design of circuits working in inverse F-class with a measured power added efficiency of 58 % and an output power of 42 W for a frequency of 2 GHz.

Keywords : *HEMT, AlGaN/GaN, InAlN/GaN, Classe F, S-band, design, characterization, high efficiency*

Jérémy Dufraisse

III-V Lab

Route de Nozay

91 460 Marcoussis

France

XLIM – UMR CNRS n°6172

123 avenue Albert Thomas

87 060 Limoges CEDEX