

# UNIVERSITE DE LIMOGES

## FACULTE DES SCIENCES ET TECHNIQUES

ECOLE DOCTORALE Sciences et Ingénierie pour l'Information

XLIM : Equipe « Circuits et Sous-Ensembles Electroniques Non-Linéaires »

Année : 2011

Thèse N° 8-2011

### THESE

Pour obtenir le grade de

### DOCTEUR DE L'UNIVERSITE DE LIMOGES

Discipline : « Electronique des hautes Fréquences, Photonique et systèmes »

Présentée et soutenue par

**Guillaume MOUGINOT**

le 18 mars 2011

*Potentialités des transistors HEMTs AlGa<sub>N</sub>-Ga<sub>N</sub>  
pour l'amplification large bande de fréquence ;  
effets limitatifs et modélisation*

Thèse dirigée par Raymond QUERE et Raphaël SOMMET

Membres du jury :

Serge Verdeyme	Professeur Université de Limoges-XLIM	Président
Nathalie Malbert	Professeur, Université de Bordeaux I	Rapporteur
Juan Mari Collantes	Professeur, Université de Bilbao	Rapporteur
Zineb Ouarch	Ingénieur, UMS (Orsay)	Examineur
Francis Doukhan	Ingénieur, DGA (Paris)	Examineur
Raymond Quéré	Professeur, Université de Limoges	Examineur
Raphaël Sommet	Chargé de Recherche CNRS, Université de Limoges	Examineur
Olivier Jardel	Ingénieur Alcatel-Thales III-V lab (Marcoussis)	Invité



A mes parents, à mes grands-parents,

A tous ceux qui me sont chers...



## Remerciements

Tout d'abord, j'aimerais avoir une pensée pour Sylvain Heckmann, une personne généreuse et extrêmement compétente. A travers ses activités de modélisation à UMS, il a été très présent à mes côtés au cours de ces travaux. N'ayant pu le remercier de son vivant, je lui témoigne toute ma gratitude. Merci Sylvain...

Une partie de ce travail a été réalisée au sein de l'équipe Conception de UMS. Je remercie Monsieur Marc Camiade de m'avoir accueilli au sein de cette équipe afin de réaliser mes recherches.

J'exprime mes sincères remerciements à Madame Zineb Ouarch, ingénieur à UMS, pour avoir accepté d'encadrer ces travaux au sein de cette même société. Je lui témoigne toute ma reconnaissance pour ses qualités humaines, techniques et pour l'aide qu'elle a pu m'apporter durant ces trois années.

L'encadrement universitaire a été assuré par l'équipe *Composants Circuits Signaux et Systèmes Hautes Fréquences* du site de Brive. Je tiens à remercier Monsieur Raymond Quéré, Professeur à l'Université de Limoges, pour la confiance qu'il m'a témoignée en acceptant de m'accueillir dans le département qu'il dirige. Je le remercie aussi pour m'avoir dirigé et conseillé pendant toute la durée de cette thèse, en collaboration avec Monsieur Raphaël Sommet, Chargé de recherche au CNRS, leurs suggestions et leur sympathie m'ont permis de mener à bien ce travail.

J'exprime mes sincères remerciements à Monsieur Serge Verdeyme, Professeur de l'Université de Limoges, pour l'honneur qu'il me fait en acceptant de présider le jury de cette thèse.

Que Madame Nathalie Malbert, Professeur de l'Université de Bordeaux I, ainsi que Monsieur Juan Mari Collantes, Professeur de l'Université de Bilbao, trouvent ici l'expression de ma considération, ainsi que mes sincères remerciements pour avoir accepté de rapporter ce travail.

Je désire exprimer ma gratitude à Messieurs Francis Doukhan, Ingénieur, DGA Paris, et Olivier Jardel, Ingénieur à Alcatel-Thales III-V lab, pour avoir pris part au jury de cette thèse.

## Remerciements

---

Je souhaite également remercier deux anciens « UMSiens » Benoît Lefebvre et Julien Lhortolary pour leurs précieux conseils lors des phases de conceptions et de mesures. Je leur souhaite beaucoup de bonnes choses sous le soleil toulousain.

Je souhaite également saluer tous mes camarades thésards (ou anciens thésards) de Brive et d'Orsay : Jad, Florent, Adeline, Guillaume, Abdel, Chamssedine, Sylvain... Je remercie très sincèrement tous ceux qui m'ont permis de faire progresser cette étude, et dont l'aide m'a été précieuse. Merci à Hélène et Marie-Claude pour leur assistance et leur gentillesse.

Mes remerciements vont enfin vers tout le personnel compétant et convivial d'UMS avec qui j'ai pu collaborer : Charles, Christophe, Didier, Claude, Laurent, Estelle (assistante Excel « échelle de droite »...), José, Bruno, Arthur...

Je ne peux finir sans évoquer les « supportrices » du Petit Saint Germain : Mehdi, Pascal, Daniel. Outre les discussions très engagées sur certains sujets de littérature classique ou d'histoire de France, je retiendrais les bons moments passés ensemble... Comme par exemple pour certains d'entre eux, avec la participation de José et Eder, les vacances à Marrakech en mai 2010 ; des moments intenses, et parfois courts pour certains...

# Table des matières

<b>Introduction générale.....</b>	<b>1</b>
<b>Chapitre I : Analyse des potentialités du nitrure de gallium et du transistor HEMT AlGaIn/GaN pour les applications de puissance hyperfréquences....</b>	<b>5</b>
I. Introduction.....	7
II. Caractéristiques physiques du matériau GaN.....	8
II.1 La Bande interdite (gap).....	9
II.2 Mobilité des porteurs, vitesse des porteurs.....	10
II.3 Conductivité électrique, résistivité, conductivité thermique.....	11
III. Principe de fonctionnement des transistors HEMTs GaN.....	12
IV. Les effets limitatifs dans les HEMTs GaN.....	14
IV.1 Les effets de pièges.....	14
IV.1.1 Présentation générale d'un piège.....	14
IV.1.2 Les différents types de pièges.....	18
IV.1.2.1 Caractéristiques des pièges de "buffer".....	18
IV.1.2.2 Caractéristiques des pièges de "surface".....	20
IV.2 Phénomènes thermiques.....	22
V. Etat de l'art des transistors HEMTs en technologie GaN.....	24
VI. Modèle non-linéaire stationnaire utilisé en conception.....	26
VI.1 Topologie du modèle petit signal.....	26
VI.1.1 Détermination des éléments extrinsèques et intrinsèques.....	26
VI.2 Modélisation des sources de courant et extraction des paramètres associés.....	29
VI.2.1 Topologie du modèle.....	29
VI.2.2 La source de courant $I_{ds}$ .....	30
VI.2.3 Les diodes d'entrées $I_{gs}$ et $I_{gd}$ .....	30
VI.2.4 Le générateur d'avalanche $I_{bk}$ .....	31
VI.3 Modélisation des capacités non-linéaires $C_{gs}$ et $C_{gd}$ .....	32
VII. Etat de l'art des performances de l'amplification microonde de puissance large bande.....	34
VIII. Conclusion.....	36
<b>Chapitre II : Conception et analyse d'un amplificateur de puissance large bande 6-18 GHz sur la technologie GH25.....</b>	<b>37</b>
I. Introduction.....	39
II. Etude des amplificateurs de puissance large bande.....	40
II.1 Introduction.....	40
II.2 Les différentes architectures d'amplificateurs.....	40
II.2.1 Amplificateur distribué.....	41
II.2.2 Amplificateur à adaptation résistive.....	42
II.2.3 Amplificateur à contre-réaction résistive.....	43
II.2.4 Amplificateur arborescent.....	44
III. Stabilité d'un étage amplificateur en régime linéaire.....	45
III.1 Le facteur de Stabilité k.....	45
III.2 Conditions d'instabilité d'un amplificateur en régime linéaire.....	47
III.2.1 L'amplificateur est inconditionnellement stable.....	50
III.2.2 L'amplificateur est conditionnellement stable.....	52

III.3 Gain maximum inconditionnellement stable.....	53
III.4 Gain stable « maximal ».....	53
III.5 Limitation du facteur k et précisions apportées à la détermination de la stabilité, pré-requis (proviso) .....	54
IV. Méthodologie de conception d'un amplificateur arborescent.....	58
IV.1 Introduction .....	58
IV.2 Etude préliminaire de la topologie de l'amplificateur .....	59
IV.2.1 Détermination du nombre d'étage.....	60
IV.2.2 Détermination du nombre de transistors par étage.....	61
IV.2.3 Influence des pertes du réseau d'adaptation de sortie.....	62
IV.3 Méthodologie de conception .....	63
IV.3.1 Simulations load-pull du transistor, conception du combineur de sortie.....	63
IV.3.1.1 Simulations Load-pull.....	63
IV.3.1.2 Topologie du combineur de sortie .....	64
IV.3.1.3 Optimisation du combineur de sortie en petit signal : Paramètres [S].....	65
IV.3.1.4 Optimisation du combineur de sortie en petit signal : Simulation « AC »	67
IV.3.1.5 Simulation « HB » d'un étage amplificateur, vérification du combineur de sortie .....	69
IV.3.2 Conception d'un inter-étage.....	70
IV.3.2.1 Description .....	71
IV.3.2.2 Difficultés rencontrées .....	72
IV.3.3 Conception du réseau d'adaptation d'entrée .....	74
IV.4 Points clefs de la phase de conception .....	75
IV.4.1 Comportement des transistors en régime Non-Linéaire.....	77
IV.4.2 Cycles de charges.....	78
IV.5 Etude de la stabilité .....	79
IV.5.1 Cercles de stabilité .....	80
IV.5.2 Etude de la stabilité non linéaire .....	81
V. Résultats de mesures de l'amplificateur .....	83
V.1 Introduction .....	83
V.2 Résultats de mesures sur plaques et rétro-simulations .....	83
V.3 Mesures de l'amplificateur dans un dispositif de test .....	85
V.3.1 Le dispositif de test.....	85
V.3.2 Conditions de test .....	86
V.3.3 Résultats de mesures en mode continu.....	88
VI. Simulation de l'amplificateur large bande basé sur la nouvelle itération du process GH25 .....	90
VI.1 Introduction.....	90
VI.2 Résultats de simulations d'un amplificateur basé sur des transistors de 8x100 µm	91
VI.2.1 Simulations en régime linéaire.....	91
VI.2.2 Simulations en régime fort signal .....	91
VI.2.3 Mise en évidence des limitations dues aux effets thermiques.....	94
VI.3 Résultats de simulations d'un amplificateur basé sur des transistors 8x125 µm.....	95
VI.3.1 Simulations en régime linéaire.....	95
VI.3.2 Simulations en régime fort signal .....	96
VI.3.3 Limitations dû aux effets thermiques.....	97
VII. Conclusion .....	98





V.6 Validation load-pull sur un transistor .....	160
VI. Mise en evidence d'effets parasites dans les HEMTS AlGa <sub>N</sub> /Ga <sub>N</sub> par des mesures innovantes.....	161
VI.1 Mesures load-pull impulsionnelles temporelles.....	162
VI.1.1 Description du banc de mesure LPT .....	162
VI.1.2 Interprétation des résultats de mesure .....	163
VI.1.3 Comparaison Mesures/Modèle et interprétation .....	167
VI.2 Mesures d'un amplificateur Ga <sub>N</sub> en biporteuse.....	170
VII. Mesures paramètres [S] basses frequences .....	171
VIII. Conclusion.....	175
<b>Conclusion générale .....</b>	<b>177</b>
<b>Bibliographie.....</b>	<b>183</b>
Publications et communications relatives à ce travail.....	197

## **INTRODUCTION GENERALE**



Avec le développement récent des systèmes de télécommunications modernes, aussi bien civils que militaires, les domaines de l'électronique de puissance subissent une évolution importante liée à de nouvelles exigences de performances, d'intégration, de coût et de fiabilité des systèmes. Par exemple, dans les applications de communication mobile, les téléphones portables de nouvelle génération nécessitent aujourd'hui une bande passante plus importante et une meilleure autonomie. De plus, le développement des satellites de communication requièrent des amplificateurs opérant à des fréquences de plus en plus hautes (de la bande C à la bande Ku, ou même Ka), avec des puissances de sortie de plus en plus importantes afin de réduire entre autre la taille de l'antenne terminale.

Afin de satisfaire ces nouveaux besoins, la technologie nitrure de gallium (GaN) a suscité beaucoup d'attention en Europe au cours des dernières années pour le domaine de l'électronique hyperfréquence. Les transistors à haute mobilité électronique (HEMTs) sur nitrure de gallium (GaN) apparaissent comme une réponse technologique extrêmement performante pour les applications de puissance hyperfréquence.

La société UMS (United Monolithic Semiconductors) a été un acteur européen majeur dans la technologie AsGa au cours de ces dernières années. Son expérience importante de la technologie des matériaux III-V, le soutien intensif de collaborateurs et d'instituts de recherche européens ont permis à UMS d'élargir son éventail technologique en incorporant cette nouvelle technologie.

Ce travail de thèse s'inscrit dans le cadre d'un contrat CIFRE à l'initiative de la société UMS. Il concerne l'étude d'une filière de composants HEMTs sur technologie nitrure de gallium et son application à l'amplification de puissance sur différentes bandes de fréquence. Au cours de ces travaux, les tâches ont été principalement divisées en deux parties : une première partie concernant la conception d'amplificateurs de puissance large bande en nitrure de gallium effectuée au sein de la société UMS et une deuxième partie concernant la caractérisation et la modélisation des transistors HEMTs GaN accomplie au sein du laboratoire Xlim (CNRS-Université de Limoges).

Ce manuscrit se présente donc en trois parties :

Dans un premier chapitre, nous présenterons les principaux paramètres physiques et électroniques qui témoignent des réelles potentialités des transistors GaN. Nous rappellerons le principe de la structure physique d'un HEMT et nous apporterons quelques connaissances importantes sur les différents phénomènes limitatifs associés. Un état de l'art des différents transistors HEMTs en technologie GaN sera dévoilé et ensuite la présentation de la topologie des modèles stationnaires utilisés lors des phases de conception sera exposée. Enfin, un état

de l'art concernant les amplificateurs large bande de puissance sera effectué en toute fin de chapitre.

Le deuxième chapitre concerne la conception et l'évolution des performances d'un amplificateur de puissance large bande à travers la nouvelle technologie GaN d'UMS. Pour commencer, un point sur les différentes architectures généralement utilisés pour ces systèmes sera effectué. Nous exposerons une étude théorique sur la stabilité linéaire des amplificateurs de puissances hyperfréquences. Puis, la théorie de l'amplification en architecture arborescente sera étudiée ; topologie d'amplificateur choisie au cours de ces travaux. A travers des simulations et des mesures nous exposerons les performances obtenues dans une bande de fréquence comprise entre 6-18 GHz. Enfin, lors de cette étude, nous remarquerons que les effets limitatifs connus dans les HEMTs GaN peuvent venir perturber le bon fonctionnement d'un amplificateur.

Le troisième et dernier chapitre s'attache donc à caractériser ces effets limitatifs. Une caractérisation de la résistance thermique basée sur une méthode simple et efficace sera présentée. Les effets de pièges seront largement étudiés avec différentes méthodes, bien établies pour certaines et totalement nouvelles pour d'autres. Au cours de ce chapitre, un modèle non linéaire électrothermique, incluant les effets de pièges nous permettra d'approfondir l'impact de ces effets limitatifs sur les performances du transistor. Les caractérisations effectuées mettront en lumière les limitations des techniques actuelles de modélisation des pièges et nous permettrons d'ouvrir de nouvelles perspectives dans ce domaine.

**CHAPITRE I :**

**ANALYSE DES POTENTIALITES DU NITRURE DE  
GALLIUM ET DU TRANSISTOR HEMT  
ALGAN/GAN POUR LES APPLICATIONS DE  
PUISSANCE HYPERFREQUENCES**





## I. Introduction

Durant les années passées, les technologues et les concepteurs ont proposé de nombreux dispositifs compétitifs afin de satisfaire la demande croissante en puissance, en large bande de fréquence, en température et en puissance ajoutée.

Les transistors AsGa à haute mobilité d'électrons (HEMTs) et bipolaires à hétérojonction (HBTs), ainsi que les transistors SiGe et SiC à effet de champ métal semi-conducteur (MESFET) ont établi un niveau de performances important dans ces domaines.

Cependant, depuis quelques années maintenant, le transistor GaN à haute mobilité d'électrons a accaparé toutes les attentions pour ces applications spécifiques. De nombreux groupes de recherche travaillent intensivement à travers le monde sur cette technologie. Ces travaux ont donné ainsi naissance à de multiples rapports de recherche qui ont permis une progression des performances et placent désormais le transistor HEMT GaN en première place pour les applications énumérées précédemment.

Nous étudierons dans cette partie les caractéristiques physiques et électriques du matériau GaN. Nous détaillerons succinctement les principales propriétés qui définissent les matériaux semi-conducteurs et nous montrerons l'intérêt du GaN pour la fabrication de transistors de puissance. Nous verrons par la même une description simplifiée du fonctionnement d'un transistor GaN à haute mobilité électronique.

Par la suite, nous évoquerons la problématique des effets limitatifs dans les HEMTs GaN. Leurs impacts sur les performances électriques ainsi que les différents moyens technologiques développés afin de les limiter seront observés dans le Chapitre 3. Ici nous tenterons de cerner ces phénomènes restrictifs en balayant assez largement tous les travaux de recherche déjà réalisés sur le sujet.

Nous présenterons les principaux résultats de la littérature concernant les performances des transistors GaN dans la bande 2 à 40 GHz. Ils permettront de mettre en avant les potentialités du GaN pour les applications de puissance à ces fréquences.

Le principe de fonctionnement d'un modèle non-linéaire stationnaire sera exposé. Cette topologie de modèle a été utilisée lors des études de conception réalisées au cours de ces travaux de thèse. Nous verrons par la suite à travers les travaux de caractérisation qui ont été

faits (Chapitre 3) que cette topologie de base a aussi été utilisée au cours d'une modélisation plus « complexe » incluant les phénomènes limitatifs observés dans les transistors GaN.

Enfin, nous introduirons les principaux résultats de la littérature concernant les performances de l'amplification microonde de puissance large bande. Ils permettront de confirmer le net avantage du GaN pour ces applications.

## II. Caractéristiques physiques du matériau GaN

Pour répondre aux besoins de génération de puissance microonde, plusieurs technologies de semi-conducteurs peuvent être envisagées. Nous présentons dans le Tableau 1 les principaux paramètres physiques des semi-conducteurs présents dans les composants de puissance microondes afin de comparer ces différentes technologies.

	<i>Si</i>	<i>AsGa</i>	<i>GaN</i>	<i>Diamant</i>
<b>E<sub>g</sub> (eV)</b> (Bande interdite)	1.1	1.43	3.39	5.45
<b>μ<sub>n</sub> (cm<sup>2</sup>/V.s)</b> (Mobilité des électrons)	1350	8500	900 à 1300	1900
<b>E<sub>c</sub> (V/cm)</b> (Champ électrique d'avalanche)	0.3	0.4	3.3	5.6
<b>K (W/(cm.K))</b> (Conductivité thermique)	1.5	0.5	1.5 (4.2 pour le SiC)	20

Tableau 1: Principaux paramètres technologiques suivant les principaux matériaux utilisés dans la fabrication des transistors de puissance RF.

Afin de mieux comprendre la signification de ce tableau, nous allons décrire le plus succinctement possible les différents paramètres physiques qui définissent les semi-conducteurs.

## II.1 La Bande interdite (gap)

L'énergie de bande interdite est la mesure de la quantité d'énergie nécessaire à un électron pour passer de la bande de valence à la bande de conduction lorsque celui-ci est soumis à une excitation. Le matériau sera appelé semi-conducteur si le gap (notée  $E_g$ , unité : eV), ou la distance énergétique entre le bas de la bande de conduction et le sommet de la bande de valence, est inférieur à 2 eV. Le matériau est considéré comme un semi-conducteur grand gap pour des valeurs supérieures à 2 eV.

La taille de la bande interdite donne des caractéristiques électriques importantes à chaque semi-conducteur et détermine en grande partie les potentialités en puissance des composants. En effet, la hauteur de barrière définit le champ électrique à partir duquel intervient le claquage, selon la relation :

$$E_c \propto E_g^{3/2}$$

Ce champ de claquage ou champ critique (noté  $E_c$ , unité : V/cm) est la valeur du champ maximum (ou de la tension maximum pour une épaisseur de substrat donnée) que peut supporter le composant. Le fait d'avoir un gap important et donc un champ de claquage très élevé permet aux transistors grand gap de supporter des tensions de polarisation importantes, ce qui est excellent pour les applications de puissance. Nous remarquerons ainsi qu'il existe un rapport 14 entre le champ de claquage de l'AsGa et celui du GaN (Tableau 1).

De plus, l'utilisation de couples de matériaux à grande bande interdite permet aussi de créer des hétérojonctions avec de fortes discontinuités de bandes. Dans les HEMTs, cela a un impact sur la densité de porteurs dans le canal (habituellement proche de  $1.10^{13} \text{ cm}^{-2}$  dans les HEMTs GaN et de  $3.10^{12} \text{ cm}^{-2}$  dans les PHEMTs AsGa) et donc, sur les densités de courant maximum atteignables dans les composants.

Pour finir, nous pourrions préciser que la largeur de bande interdite fixe la limite en température au dessous de laquelle le dispositif peut fonctionner sans détérioration, ainsi que l'aptitude du semi-conducteur à résister aux radiations [1].

Ces explications nous permettent donc de comprendre l'intérêt d'un matériau grand gap (en particulier le GaN). En effet, il peut supporter un champ élevé plus important ce qui permet de repousser la tension de claquage et d'appliquer une tension de polarisation plus importante et donc, une puissance plus élevée. A titre d'exemple, la polarisation d'un transistor PHEMT

AsGa en bande X est de l'ordre de 8 V alors que dans le cas des HEMTs GaN la polarisation est plutôt aux alentours de 25 à 30 V pour la même bande de fréquence.

## II.2 Mobilité des porteurs, vitesse des porteurs

Lorsqu'un champ électrique est appliqué, les porteurs de charge libres sont entraînés, les électrons et les trous.

La mobilité (notée  $\mu_n$  unité:  $\text{cm}^2/\text{V.s}$ ) étant liée au libre parcours sans choc dans le semi-conducteur, toute modification du réseau cristallin entraîne une modification de cette mobilité. En effet, l'ajout d'atomes dopants et/ou l'élévation de température, créent des perturbations dans le cristal et affectent la mobilité.

Pour de faibles champs électriques, les porteurs libres sont en équilibre thermodynamique avec le réseau, et leur vitesse moyenne est proportionnelle au champ électrique. La vitesse s'écrit :

$$\vec{v} = \pm\mu(E).\vec{E}$$

Et à faible champ électrique :

$$\vec{v} = \pm\mu_0.\vec{E} \quad \text{Avec} \quad \mu_0 = \frac{q.\tau}{m^*}$$

Où  $q$  est la charge élémentaire,  $\tau$  est le temps de relaxation,  $m^*$  la masse effective des porteurs et  $\mu_0$  la mobilité pour des champs faibles (en  $\text{cm}^2/\text{Vs}$ ).

Lorsque le champ électrique devient important, les interactions des porteurs avec les vibrations du réseau entraînent une diminution de la mobilité des porteurs : la vitesse sature et tend vers la vitesse thermique. La loi de variation de la mobilité par rapport au champ électrique varie d'un matériau à l'autre, en fonction de la nature de la structure de bandes du semi-conducteur, elle se traduit par une variation non linéaire de la vitesse de dérive des porteurs.

A la vue du Tableau 1, nous observons que la mobilité est plus faible dans le GaN que dans l'AsGa. Néanmoins, utiliser une structure HEMT GaN à canal non dopé permet d'atteindre une mobilité maximum liée au matériau.

### II.3 Conductivité électrique, résistivité, conductivité thermique

Suivant le matériau utilisé lors de la conception d'un MMIC (Si, AsGa, GaN, ...), le substrat possédant une conductivité électrique plus ou moins grande, la puissance dissipée par ce circuit ne sera pas due exclusivement aux éléments actifs (transistors, ...) mais aussi aux éléments passifs (selfs, capacités, résistances...).

La conductivité électrique (notée  $\sigma$ , unité : S/m) ainsi que la résistivité (notée  $\rho$ , unité :  $\Omega.m$ ) d'un matériau sont définis par les formules suivantes :

$$\sigma = q.(n.\mu_n + p.\mu_p) \quad ; \quad \rho = 1/\sigma$$

En effet, une faible résistivité des substrats provoque des courants de fuites importants, ce qui augmente la puissance dissipée du dispositif et diminue ainsi la puissance transmise par celui-ci. De plus, elle entraîne la présence de capacités parasites de couplage avec le substrat, ce qui réduit les performances en termes de fréquence des circuits microondes. Par conséquent, les circuits à base de technologies grand gap ou silicium ont des pertes importantes dans les éléments passifs.

Cependant, si on considère l'aspect thermique des matériaux, le contraire se produit. En effet, selon la loi de Wiedemann-Franz, la conductivité électrique est directement liée à la conductivité thermique (notée  $K$ , unité : W/cm.K) :

$$K = L.T.\sigma$$

Où  $L$  est le nombre de Lorentz ( $2.45.10^{-8} \text{ W}.\Omega/^{\circ}\text{K}^2$ ),  $T$  est la température en  $^{\circ}\text{K}$ ,  $\sigma$  est la conductivité électrique en S/m,  $K$  est la conductivité thermique en W/m.K.

Cela signifie qu'un matériau possédant une conductivité électrique importante a également une conductivité thermique importante. La conductivité thermique d'un matériau traduit sa capacité à dissiper la chaleur. Or, la résistance thermique (notée  $R_{th}$ ) est inversement proportionnelle à la conductivité thermique.

La résistance thermique est directement liée à la puissance dissipée. Cela signifie qu'une forte conductivité thermique du matériau permet l'évacuation de la puissance dissipée (sous

forme de chaleur) sans échauffement important de celui-ci. Dans le cas de l'amplification de puissance où les puissances délivrées sont importantes, l'élévation de température pour une puissance dissipée donnée sera bien plus faible dans des transistors grand gap que dans des transistors AsGa par exemple.

De plus, on peut noter que la conductivité thermique du diamant ( $20 \text{ W/cm.K}$ ) est très supérieure à toutes les autres ( $K_{\text{Si}}=1.5 \text{ W/cm.K}$ ,  $K_{\text{AsGa}}=0.54 \text{ W/cm.K}$ ,  $K_{\text{GaN}}=1.5 \text{ W/cm.K}$ ). Autrement dit, le diamant est le meilleur matériau pour évacuer la chaleur, et est donc à privilégier pour les applications de puissance. Cependant, aujourd'hui, cette technologie n'a pas atteint un niveau de développement industriel suffisant pour la fabrication de produits de puissance.

Pour conclure, actuellement, les transistors GaN sont fabriqués majoritairement sur substrats Si ou SiC. Le Si est moins bon thermiquement mais les substrats sont peu chers car les procédés industriels de fabrication sont matures. En ce qui concerne le SiC, il est très bon thermiquement, trois fois supérieurs au Si, c'est le meilleur matériau dans ce domaine après le diamant. Le point négatif est son coût. Par conséquent, la fabrication sur Si ou SiC dépendra de l'application visée. Ainsi pour des applications civiles « low cost » le substrat choisi sera le Si. Au contraire, pour des applications critiques (militaire, hautes performances), le substrat SiC est privilégié.

### **III. Principe de fonctionnement des transistors HEMTs**

#### **GaN**

Le transistor HEMT est composé principalement de trois couches de matériaux (Figure 1), et le principe de fonctionnement est celui d'un FET : le courant est contrôlé par l'application d'un champ sur une grille. Le canal de conduction est formé par la jonction de deux matériaux (l'AlGaN et le GaN) ayant des hauteurs de bande interdites différentes créant ainsi une hétérojonction. La conséquence de cette hétérojonction est la création d'un canal de faible résistance très fin dans le matériau non dopé (GaN), entraînant ainsi une mobilité d'électrons élevée. Cette couche est appelé gaz d'électrons à deux dimensions (2DEG : 2 Dimensional Electron Gas).

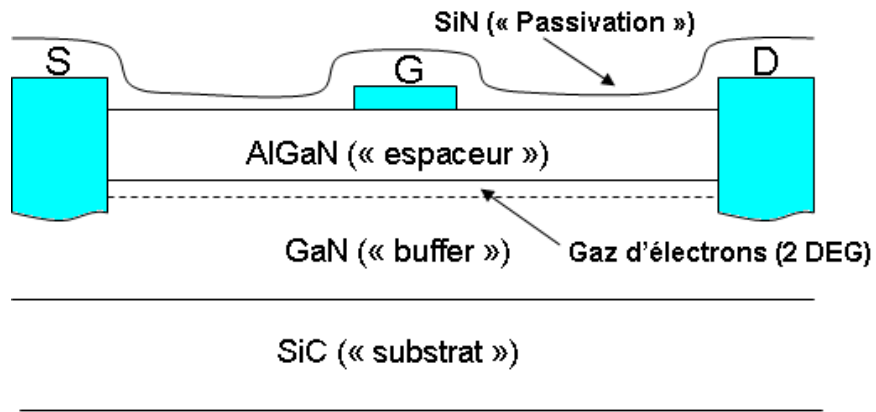


Figure 1 : Structure standard d'un transistor AlGa<sub>x</sub>N/GaN HEMT sur substrat SiC.

Contrairement au PHEMT AsGa, la couche donneuse n'est pas dopée ; les électrons du canal proviennent du caractère piézoélectrique du matériau, et ce dernier est déterminé par la proportion d'aluminium de la couche donneuse Al<sub>x</sub>Ga<sub>1-x</sub>N. Cette quantité est aussi déterminée par l'épaisseur de cette couche. Typiquement, les proportions d'Al utilisées sont entre 15 et 25 % et les épaisseurs de l'ordre de 20 nm. Il a été démontré que l'augmentation d'Al résulte approximativement en un changement linéaire de la densité d'électrons dans le canal ( $n_s$ ) à un taux de  $dn_s/dx = 5.45 \times 10^{13} \text{ cm}^{-2}$  [2]. Un schéma représentant une hétérostructure AlGa<sub>x</sub>N/GaN utilisée dans les HEMT est exposée Figure 1.

Les niveaux d'énergie d'un transistor HEMT avec la représentation du puits quantique sont représentés Figure 2.

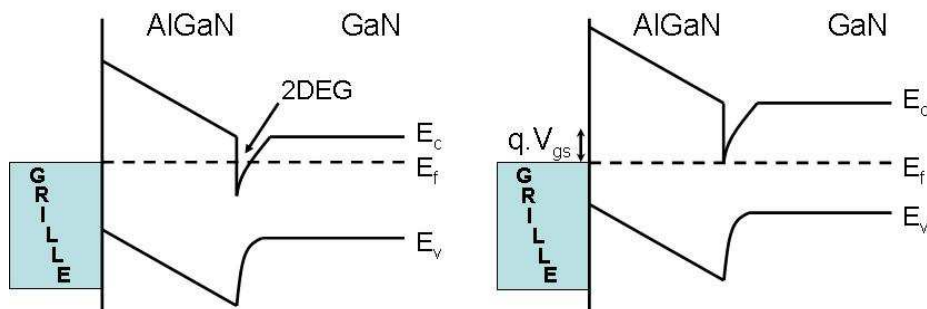


Figure 2 : Niveaux d'énergie des matériaux d'un AlGa<sub>x</sub>N/GaN HEMT à  $V_{gs0} = 0V$  (à gauche) et à  $V_{gs0} < 0V$  (à droite).

En appliquant une tension positive sur le drain, la circulation du gaz d'électrons, générant un courant électrique, peut alors débuter en raison de l'augmentation de la différence de potentiel entre la source et le drain. L'intensité du courant est contrôlée par la tension appliquée à la grille  $V_g$ . L'augmentation de cette tension vers les valeurs négatives peut entraîner une déplétion de la région de grille et ainsi mener à « pincer » le gaz d'électrons (Figure 2 à droite). Ainsi une tension appliquée sur la grille d'un HEMT permet de contrôler le courant qui circule entre le drain et la source.

## **IV. Les effets limitatifs dans les HEMTs GaN**

La recherche des facteurs expliquant la différence entre les performances en puissance microondes obtenues et attendues, basée sur des caractérisations DC des composants, a été un des sujets les plus traités au cours des dernières années. Cette différence est due aux effets dits « dispersifs basse-fréquence » [3] tels que l'échauffement et les effets de pièges.

Ces effets sont de plus difficiles à prendre en compte dans la simulation des performances globales des amplificateurs, car ils ne réagissent pas directement aux signaux RF appliqués aux accès de commandes.

### **IV.1 Les effets de pièges**

#### **IV.1.1 Présentation générale d'un piège**

Un piège est un défaut, ou une impureté avec un état énergétique donnée localisé dans les semi-conducteurs. Les niveaux d'énergie d'un piège se trouvent dans la bande interdite du semi-conducteur. Le matériau GaN est connu pour contenir une grande densité de défauts et dislocations en partie en raison de l'absence de substrat naturel.

On distingue deux types de pièges : les donneurs et les accepteurs. Un piège de type donneur peut être soit positif (possibilité de capturer un électron) soit neutre (possibilité d'émettre un



électron). Un piège de type accepteur peut être soit négatif (possibilité d'émettre un électron) soit neutre (possibilité de capturer un électron).

Un piège est capable de capturer ou d'émettre un électron libre de la bande de conduction, avec des constantes de temps bien différentes : la capture est généralement très rapide et l'émission plutôt lente. Le taux d'émission  $e$  des niveaux profonds situés dans la bande interdite est lié à l'énergie d'ionisation  $E_i$  et la température  $T$  par l'équation d'Arrhenius [4] :

$$e = AT^2.\exp\left(-\frac{E_i}{kT}\right),$$

La constante de temps d'émission étant lente, celle-ci devient mesurable, et ainsi nous pouvons remonter à l'énergie d'activation des pièges. La plupart des méthodes de caractérisation des pièges que nous verrons par la suite sont basées sur ce fait : photoionisation, DLTS, relaxation isotherme...

Cependant, dans les HEMTs GaN et plus généralement dans les transistors grand-gap soumis à des champs électriques importants, la caractérisation des pièges basée sur la mesure des constantes de temps d'émission est rendue difficile par un effet, dit effet « Poole-Frenkel » [5, 6]. Celui-ci décrit une dépendance de l'énergie d'activation effective d'un piège en fonction du champ électrique [7]. La Figure 3 nous montre, à l'intérieur même d'un semi-conducteur, l'énergie potentielle ( $U(r)$ ) d'un électron dans les puits de trois atomes proches (pièges), sans application d'un champ électrique. Nous nous sommes limités à trois atomes pour des raisons de lisibilité. Ainsi, comme nous le constatons, ces impuretés sont situées dans la bande interdite du matériau ( $ETI_{da}$ ). Nous appelons alors énergie d'activation ( $E_T$ ) le niveau d'un piège par rapport à la bande de conduction. La section efficace de capture ou d'émission peut être assimilée par les traits continus noirs délimités par la section entre  $U(r)$  et le niveau énergétique  $ETI_{da}$ . Ainsi, dans ces conditions, plus le puits sera étroit et plus la section efficace sera petite.

A l'équilibre thermodynamique, l'énergie d'activation des pièges  $E_T$  est fixe. Dans ce cas précis, le système maintient piégée une certaine densité d'électrons, réduisant le nombre d'électrons disponibles pour la conduction du courant grâce aux processus d'émission et de capture.

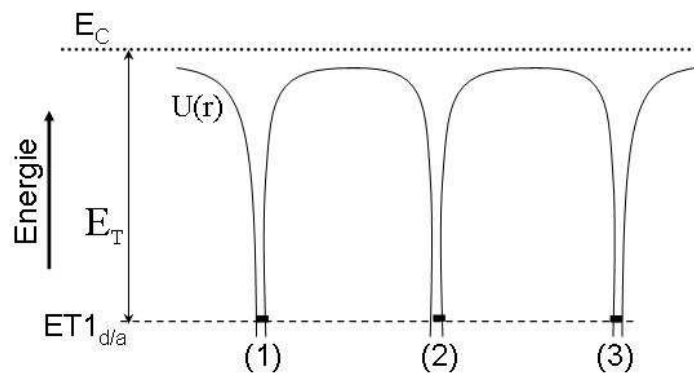


Figure 3 : Energie potentielle d'un électron dans les puits de trois atomes proches sans application d'un champ E.

Maintenant, si nous appliquons une force extérieure au semi-conducteur à l'aide d'un champ électrique  $E$ , l'énergie d'ionisation reste constante car le niveau énergétique des pièges reste référencé au niveau de la bande de conduction. La courbure des bandes peut impliquer que certains pièges passent d'un côté à l'autre du niveau de Fermi, et changent donc d'état par capture ou émission d'électrons libres, ce qui conduit à un nouveau nombre d'électrons piégés. Cependant, à la vue de la Figure 4, nous constatons que l'énergie apparente d'activation des pièges peut être modifiée (réduite). Par l'application d'un champ électrique, la barrière de potentiel devient plus faible. L'électron piégé aura besoin d'une énergie moins importante pour se libérer, il sera donc émis plus rapidement.

Ainsi, la barrière diminue d'un montant proportionnel à la racine carrée du champ électrique appliqué  $F$  :

$$\Delta\phi_{PF} = \left(\frac{q^3}{\pi\epsilon}\right)^{1/2} \cdot \sqrt{F} = \beta \cdot \sqrt{F} ,$$

Où  $q$  est une unité de charge de l'électron, et  $\epsilon$  est la constante diélectrique du matériau. L'énergie d'ionisation  $E_i$  apparaissant dans l'équation du taux d'émission devient dépendante du champ :

$$E_i(F) = E_i(0) - \beta\sqrt{F} ,$$

Où  $E_i(0) = E_T$ , l'énergie de liaison entre l'atome et la bande de conduction sans application d'un champ électrique (Figure 3).

Pour conclure cette présentation, toujours à partir des travaux de O. Mitrofanov [5, 6], nous pourrions rappeler que trois modes d'émission d'électrons piégés sont répertoriés lorsqu'un champ électrique est appliqué (Figure 4) :

- L'effet tunnel direct (DT) : si les bandes sont suffisamment inclinées, l'électron piégé peut passer directement par effet tunnel direct à la bande de conduction.
- L'effet phonon tunnel assisté (PAT) : l'électron piégé acquiert de l'énergie grâce au champ appliqué puis traverse une mince barrière jusqu'à la bande de conduction.
- L'effet par ionisation thermique (PF) : l'électron piégé acquiert ainsi assez d'énergie pour passer directement au niveau de la bande de conduction.

De ce fait, la réémission des électrons piégés est fortement influencée par le champ électrique appliqué.

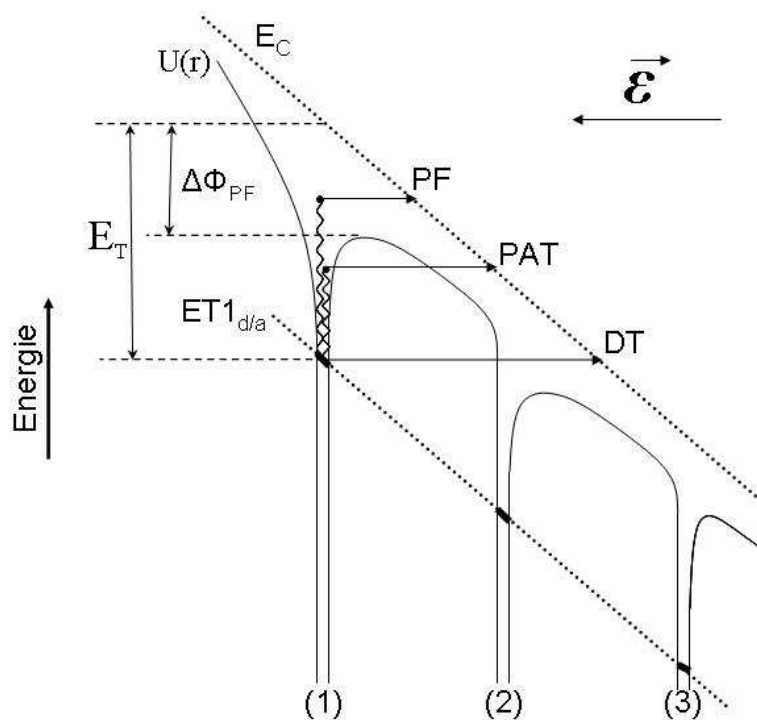


Figure 4 : Energie potentielle d'un électron dans les puits de trois atomes proches avec application d'un champ électrique E.

Cet effet « Poole-Frenkel » est très important car il complexifie la loi d'Arrhénius et met en défaut certaines méthodes d'extraction de pièges basées sur une énergie d'activation fixe et non dépendante du champ électrique. De ce fait, la connaissance des pièges est rendue difficile dans les HEMTs GaN. Enfin, nous verrons que cet effet doit être pris en compte pour expliquer certains effets observés dans ces transistors, comme par exemple l'effet kink (Chapitre 3).

## **IV.1.2 Les différents types de pièges**

D'un point de vue électrique, les pièges peuvent être séparés en deux familles : ceux qui réagissent à des changements de polarisation de grille, générant les effets dits de « gate-lag », et ceux qui réagissent à des changements de polarisation de drain, générant les effets dits de « drain-lag ».

D'un point de vue physique, les pièges peuvent être séparés par leur position physique dans le composant. Les pièges sont principalement trouvés en surface au dessus de la couche donneuse, et dans le buffer, sous le canal. Il y a donc ici deux grandes familles.

Or ces points de vues ne sont pas contradictoires : en effet, il est admis pour les technologies conventionnelles III-V que les pièges de surface sont généralement à l'origine du « gate-lag », et ceux de buffer généralement à l'origine du « drain-lag » [8, 9, 10].

### **IV.1.2.1 Caractéristiques des pièges de “buffer”**

Le courant de drain subit une chute brutale lorsque la tension de drain varie brutalement, ce phénomène est appelé « drain-lag » (Figure 5). Le même phénomène apparait dans les transistors MESFETs GaN [3], montrant que l'origine de cet effet serait due à la capture d'électrons dans la couche de buffer GaN.

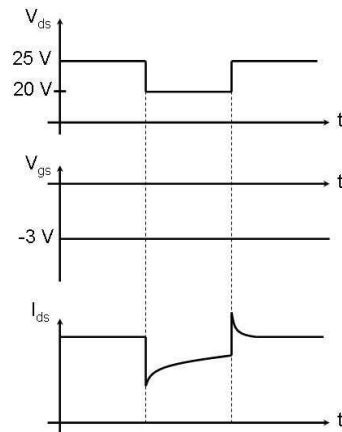


Figure 5 : Mise en évidence du phénomène de « drain-lag ».

Comme nous allons le voir, cet effet est sensible à l'éclairage et à la température.

P.B. Klein expose une technique basée sur la spectroscopie [11] afin de déterminer les propriétés des pièges responsables de ce phénomène observé dans les MESFETs GaN. Le courant de drain est mesuré lorsque le dispositif est dans le noir puis sous une lumière monochromatique, la réponse est mesurée et comparée à l'état initial (obscurité). Les mêmes auteurs ont montré en [12] que la réponse en courant était proportionnelle à la photoionisation des pièges initialement remplis si le transistor fonctionne en régime linéaire et si les mesures sont effectuées à une faible excitation optique. Ainsi, en mesurant la différence de courant en fonction de l'intensité de la lumière appliquée au transistor, deux niveaux de pièges bien distincts (1.8 eV et 2.85 eV en dessous de la bande de conduction) ont été isolés dans le buffer GaN. Des pièges similaires ont aussi été démontrés en [13].

En utilisant la technique de photoionisation, il a été montré que les pièges causant la diminution du courant dans les HEMTs AlGaIn/GaN ont les mêmes niveaux d'énergies que les MESFETs GaN [14]. Cela indique que ces pièges sont situés dans la couche de buffer GaN.

La mesure de « drain-lag » dans les HEMTs AlGaIn/GaN a révélé que la réduction du courant était plus prononcée sur les dispositifs où la conductivité du buffer GaN était faible [15]. De plus, ils nous montrent aussi que les traitements de surface, comme par exemple la passivation du transistor avec une couche de SiN n'influe en aucun cas sur l'amplitude de la chute du courant caractérisant les pièges.

P.B. Klein montre en [16] qu'il existe une corrélation entre la pression (en Torr) utilisée lors de l'épitaxie de la couche de buffer, la densité de Carbone incorporée dans celui-ci et la

concentration de pièges profonds (2.85 eV) présents à ce niveau. En effet l'épitaxie du niveau du buffer GaN à une pression faible (< 50 Torr) augmente l'incorporation de carbone. Des travaux préliminaires ont montré que le carbone peut agir comme un accepteur profond et pourrait par conséquent compenser des donneurs de type n [17]. Enfin les niveaux de pièges intermédiaires (1.8 eV) sont supposés liés aux importantes densités de dislocations qui se créent à des pressions de croissance encore plus faibles [16].

Enfin, dans les transistors HEMTs AlGaAs/GaAs, la chute du courant due aux pièges est souvent observée à faible température. Cet effet est attribué à la capture d'électrons par les pièges DX localisés dans le niveau AlGaAs dopé Si [18]. De la même façon, dans les transistors HEMTs AlGaIn/GaN HEMTs, la molécule d'Oxygène est reconnue pour provoquer le même type de pièges DX dans le niveau d'AlGaIn [19].

#### IV.1.2.2 Caractéristiques des pièges de «surface»

Le terme décrivant au mieux ces pièges est le phénomène de « gate-lag ». Le courant de drain subit une augmentation lente lorsque la tension de grille varie abruptement d'un niveau pincé ( $V_{gs} < V_p$ ) à un niveau passant ( $V_{gs} > V_p$ ), alors que la tension de drain reste constante (Figure 6). Le lien entre la mesure RF de la puissance de sortie et la réponse en courant  $I_{ds}$  lors de la mesure du « gate-lag » a été démontré en [20]. Comme les auteurs l'ont démontré, ce type de mesures peut fournir des informations importantes sur les capacités en puissance du dispositif.

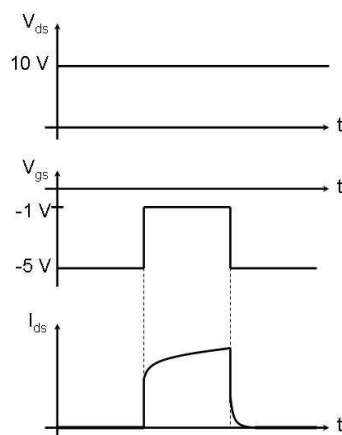


Figure 6 : Mise en évidence du phénomène de « gate-lag ».

Des réponses lentes de transitoires de courant de drain ont été observées en [21] après que le transistor ait été stressé pendant plusieurs minutes à différentes tensions de polarisation de grille alors que la polarisation de drain est fixée nulle. Après avoir appliqué une tension sur la grille, le transistor est polarisé à  $V_{gs} = 0$  V et  $V_{ds} = 0.1$  V et la réponse du courant de drain est mesurée.

B.M. Green nous montre en [22] qu'avec un transistor HEMT passivé avec une couche de 350 nm de SiN, l'augmentation de la puissance de sortie de ce dispositif est significative. La transconductance, le courant et la tension maximum de drain augmentent respectivement de 10, 20 et 25 % alors que la tension de pincement subit un petit décalage de seulement -0.25 V. Par contre, la couche de SiN cause une augmentation de la capacité grille drain, qui conduit à son tour à une diminution du gain petit signal, de la fréquence de transition et de la fréquence maximum d'oscillation. Des résultats similaires ont été signalés dans d'autres publications [23, 24].

En utilisant les mesures de « gate-lag » il a été montré que le maximum de courant sur une structure non passivée peut être jusqu'à 10 % plus faible que le maximum de courant obtenu sur cette même structure une fois passivée [15].

Une étude intéressante a été réalisée par R. Vetury [25] : la mesure du courant de drain en grand signal avec un transistor travaillant en zone saturée et pincée a permis d'observer une décroissance du courant en fonction du temps. Cette dégradation a été attribuée à la formation d'une grille virtuelle causée par le piégeage d'électrons dans des états de surface situés entre la grille et le drain. Ces électrons peuvent être injectés à partir du métal de grille, un processus qui est facilité par l'important champ électrique présent au bord de la grille coté drain. L'apparition de cette grille virtuelle engendre l'extension de la zone de déplétion afin de respecter l'équilibre des charges, et par conséquent le canal de conduction diminue. Des mesures sous illumination UV ou même des mesures sur des transistors avec une couche de passivation ont permis de prévenir la formation de cette grille virtuelle. Ceci prouvant bien que les pièges de surfaces sont responsables en partie de la chute du courant observée dans les HEMTs AlGaIn/GaN.

La méthode électrique DLTS [26] a été appliquée sur un transistor HEMTs AlGaIn/GaN [27] et a permis de mettre en évidence la présence de deux niveaux de pièges. Après passivation, il a été constaté que le signal DLTS décrivant l'état de piège prédominant a été fortement diminué. De la même manière, d'autres méthodes existent comme par exemple la méthode dite de « relaxation isotherme » [28] très similaire à la DLTS et qui a été mise en place pour

caractériser les transistors en technologie AsGa quand ils étaient au même niveau de maturité que les transistors GaN actuels.

Pour finir sur cette partie, nous pourrions ajouter que le SiN n'est pas le seul candidat valable pour la passivation d'un transistor. D'autres matériaux comme le SiO<sub>2</sub>, Sc<sub>2</sub>O<sub>3</sub> et le MgO ont aussi fourni de bons résultats [29].

De plus amples informations sur ces deux types de pièges ("buffer" et "surface") peuvent être disponibles dans la thèse de M. Faqir [30].

## IV.2 Phénomènes thermiques

Les effets thermiques dans les transistors vont induire des variations dynamiques lentes. L'état thermique résulte de la température ambiante et de l'auto échauffement du composant. La génération de chaleur est dissipée par effet Joule et est égale à la puissance électrique dissipée :

$$P_{DISS} = P_{dc}(1 - PAE)$$

Où  $P_{dc}$  est la puissance fournie en polarisation  $dc$  et  $PAE$  le rendement en puissance ajoutée du transistor en fonctionnement  $RF$ .

Les échanges d'énergie thermique entre deux systèmes (ou sous-systèmes), à deux températures différentes, s'effectuent suivant trois modes de transfert :

- La conduction,
- La convection,
- Le rayonnement.

Dans le cas des circuits électroniques, l'évacuation de la chaleur générée au sein des composants (vers la face arrière) s'effectue principalement par conduction.

Une étude théorique complète est disponible dans les travaux de thèse de C. Chang [31] et R. Aubry [32]. Nous, nous concentrerons dans cette étude au phénomène de conduction thermique. Celui-ci est lié à l'activité atomique ou moléculaire au sein d'un gaz, un liquide ou un solide. Le transfert d'énergie s'effectue des particules les plus énergétiques d'une substance aux particules les moins énergétiques. Il est régi par la loi de Fourier.



➤ *Loi de Fourier :*

Dans un milieu quelconque, l'existence d'un gradient de température génère un transfert de chaleur d'un point à un autre. Selon le premier principe de la thermodynamique, le sens du flux de chaleur est dirigé de la température la plus élevée à la plus basse. Ce flux de chaleur  $q$  (mesuré en  $\text{W}\cdot\text{m}^{-2}$ ), traversant perpendiculairement une surface unitaire, est proportionnel au gradient de température dans la direction normale de la surface  $S$ , et de signe opposé, selon la loi de Fourier :

$$q = -K \left( \frac{\partial T}{\partial n} \right)$$

Le terme  $\left( \frac{\partial T}{\partial n} \right)$  représente le gradient de température dans la direction normale à la surface unitaire. Le terme  $K$  symbolise la conductivité thermique du matériau en  $\text{W}/\text{cm}\cdot\text{K}$ . Cette conductivité thermique peut dépendre de la température au point considéré.

Les effets de la température sur les caractéristiques des semi-conducteurs sont non négligeables. Les trois paramètres principalement influencés par la température sont :

- **La largeur de la bande interdite :**

Lorsque la température augmente, le matériau se dilate augmentant donc la longueur des mailles. La largeur de la bande interdite étant inversement proportionnelle à celle-ci, il en résulte qu'elle diminue lorsque la température augmente. D'où une réduction de la tension de claquage lorsque la température augmente.

- **La mobilité :**

L'augmentation de la température entraîne une diminution de la mobilité des porteurs due à des perturbations dans le réseau cristallin. Celle-ci diminue donc quand la température augmente, il en résulte une chute de courant de drain entraînant une diminution de la transconductance de sortie. Afin d'illustrer ces affirmations, M. S. Shur montre en [33] la diminution de la vitesse des électrons dans le GaN et l'AsGa lorsque la température augmente.

- **La conductivité thermique :**

Comme nous l'avons dit précédemment, la conductivité thermique varie sensiblement en fonction de la température. O. Jardel [34] propose dans ses travaux de thèse une formule liant la conductivité thermique à la température et trace cette dépendance pour le SiC, le GaN et

l'AsGa. Ainsi la conductivité thermique du carbure de silicium et surtout celle du diamant (Tableau 1) sont largement supérieures à celles des autres matériaux. Ces matériaux représentent donc les meilleurs matériaux pour évacuer la chaleur et sont donc à privilégier pour les applications de puissance. La conductivité thermique du GaN est supérieure à celle de l'AsGa et son association, avec un substrat d'accueil SiC permet d'améliorer ses performances thermiques.

## V. Etat de l'art des transistors HEMTs en technologie GaN

La technologie sur nitrure de gallium est en constant développement. Beaucoup de résultats sont publiés chaque année avec des réalisations de transistors de plus en plus performants. Le Tableau 2 recense l'état de l'art des transistors HEMTs sur nitrure de gallium portés à ce jour à notre connaissance.

Ce tableau montre que ce matériau allié à la structure HEMT est très intéressant, il présente des avantages significatifs par rapport aux autres technologies de composants. Ainsi, pour des rendements en puissance ajoutée identiques on obtient des puissances de l'ordre de 3 à 10 fois plus élevées que dans les PHEMT AsGa (densité de puissance en moyenne de 1W/mm). D'ailleurs nous pourrions noter que les problèmes thermique restent les mêmes entre les structures AsGa et GaN. En effet, comme nous l'avons vu précédemment le SiC a une conductivité thermique 3 fois supérieure à l'AsGa cependant comme nous le constatons la puissance est 3 à 10 fois plus élevée. La difficulté reste donc la même et tend même à s'aggraver. Afin de palier à ces difficultés récurrentes, certains fabricants limitent la puissance de sortie de leurs composants évitant ainsi des problèmes thermiques trop importants. Nous parlerons alors ici de composants dits commerciaux qui pourront ainsi maintenir un niveau de fiabilité acceptable pour le client. Ceci explique donc les importantes différences constatées sur les densités de puissances à une fréquence donnée obtenues dans ce tableau. Il faut donc différencier les composants commerciaux qui doivent tenir des spécificités de fiabilité et les composants de laboratoire qui doivent démontrer les capacités maximales du composant.

<i>Laboratoire</i>	<i>Substrat</i>	<i>Fréquence (GHz)</i>	<i>Densité de puissance (W/mm)</i>	<i>Puissance de sortie (W)</i>	<i>PAE (%)</i>	<i>Tension de drain (V)</i>	<i>Commentaire</i>	<i>Date de publication</i>	<i>Réf</i>
MACOM Technology Solutions	SiC	2	5.2	130	58	36	7x3.5mm CMC package	Sept. 2009	[35]
IMEC	Si	2	9	10	40	50	-	Juin 2010	[36]
Univ. California	SiC	4	13.1	2	72	48		Sept. 2009	[37]
CREE	SiC	4	41.4	10	60	135	Double Field Plate	Juin 2006	[38]
CREE	SiC	4 8	32.2 30.6	8 7.5	54.8 49.6	120 120	Passivation + Field Plate	Mars 2004	[39]
Nat. Key Lab.	SiC	8	6.6	36.5	40.1	35	Field Plate	Oct. 2008	[40]
Air Force Res. Lab.	CVD Diamant	10	2.08	0.63	44.1	25-30	-	Fev. 2010	[41]
Cornell Univ.	Diamant SiC	10	2.79 3.29	0.7 0.67	47 31	25 20	-	Nov. 2007	[42]
CNRS	Si	10	2.9	0.87	20	30	(001) Si	Juill. 2010	[43]
Cornell Univ.	SiC	10	16.5	2.47	47	60	Extension de grille	Janv. 2004	[44]
Cornell Univ.	SiC	10	17.5	1.75	61	55	AlSiN Passivation	Oct. 2010	[45]
Univ. California	SiC	10	19	-	48	78	-	Mars 2009	[46]
TriQuint SC	SiC	10 35	5.6 4.5	2.24 0.9	67 51	30 20	-	Juin 2007	[47]
Tiger/Picogiga	SiC	18	5.1	0.51	20	35	Passivation	Janv. 2006	[48]
HRL Lab.		30	10	1.5	40	42	N+ source contact	Août 2008	[49]
Northrop Grumman	SiC	40	3.6	1.44	36.6	28	0.2 um T-gate	Mai 2010	[50]
UCSB	-	40	10.5	1.57	34	30	Passivation	Nov. 2005	[51]

Tableau 2 : Etat de l'art des transistors HEMT en nitrure de gallium.

Pour finir, nous préciserons que ce tableau présente des composants de laboratoire mais aussi des composants commerciaux couvrant une large bande de fréquence (de la bande S à la bande Ka). Cette technologie est donc apte à remplacer toutes les autres technologies existantes dans ces bandes de fréquences.

## VI. Modèle non-linéaire stationnaire utilisé en conception

Nous allons présenter maintenant la topologie des modèles non-linéaires stationnaires que nous avons utilisés lors des phases de conception. La technologie GH25 d'UMS n'étant pas encore figée au cours de ces travaux, il a été nécessaire de concevoir plusieurs modèles capables de reproduire le comportement des transistors issus de différentes épitaxies nécessaires au développement. Ces modèles ont été réalisés par S. Heckmann, ingénieur modélisation à UMS. Nous illustrerons cette partie théorique par des résultats obtenus sur un transistor AlGaIn/GaN HEMT d'une longueur de grille de 0.25  $\mu\text{m}$  possédant 8 doigts de grille de 100  $\mu\text{m}$  de largeur (transistor utilisé lors de la deuxième conception présentée dans le chapitre suivant). Partant de la représentation petit-signal, nous arriverons pas à pas à une description plus complète et suffisamment détaillée donnant ainsi une représentation correcte des caractéristiques électriques dans la plage d'utilisation qui nous intéresse.

### VI.1 Topologie du modèle petit signal

#### VI.1.1 Détermination des éléments extrinsèques et intrinsèques

Une analyse de la structure du transistor au premier ordre fait apparaître un schéma équivalent petit signal à éléments localisés correspondant au fonctionnement dans la zone saturée. Chaque élément représente un comportement physique ou une propriété électronique du transistor à effet de champ (Figure 7).

Le schéma équivalent petit signal (en régime saturé) est constitué des éléments suivants :

**- les éléments extrinsèques :**

- $L_g$ ,  $L_d$  et  $L_s$  sont des inductances parasites liées à la topologie du transistor. Les lignes d'accès peuvent être modélisées comme des inductances parasites supplémentaires.
- $R_d$  et  $R_s$  représentent les résistances parasites dues aux contacts ohmiques.
- $R_g$  représente la résistance de grille, liée au métal qui constitue le contact Schottky.
- $C_{pg}$  et  $C_{pd}$  représentent les capacités de plots du transistor.

**- les éléments intrinsèques :**

- la transconductance  $G_m$  qui traduit le mécanisme de contrôle du courant dans le canal par la commande de grille :

$$G_m = \left. \frac{\delta I_d}{\delta V_{gs}} \right|_{V_{ds}=cte}$$

- La conductance de sortie  $G_d$  représente les effets d'injection des électrons dans le canal :

$$G_d = \left. \frac{\delta I_d}{\delta V_{ds}} \right|_{V_{gs}=cte}$$

- Les capacités grille-source et grille-drain représentent les variations de charges accumulées sous la grille, sous l'effet des tensions respectives  $V_{gs}$  et  $V_{gd}$  :

$$C_{gs} = \left. \frac{\delta Q_g}{\delta V_{gs}} \right|_{V_{gd}=cte}$$

$$C_{gd} = \left. \frac{\delta Q_g}{\delta V_{gd}} \right|_{V_{gs}=cte}$$

-  $R_{gd}$  et  $R_i$  sont liées à des effets distribués sous la grille,  $\tau$  correspond à un retard associé à la transconductance  $G_m$ , et  $C_{ds}$  prend en compte les effets parasites de couplage électrostatique entre l'électrode de drain et celle de la source.

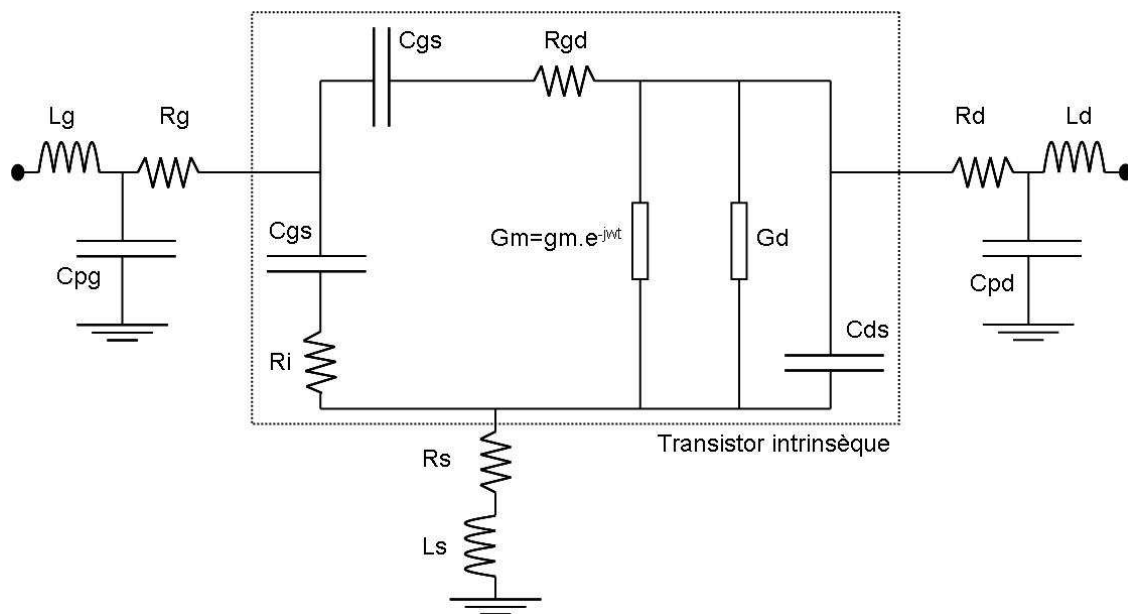


Figure 7 : Modèle équivalent petit signal d'un transistor HEMT.

L'extraction d'un modèle électrique consiste à déterminer les valeurs des éléments extrinsèques puis à en déduire les valeurs des éléments intrinsèques quel que soit le point de polarisation du transistor. La qualité finale du modèle dépend fortement de la précision avec laquelle sont estimés les éléments extrinsèques du circuit équivalent. Ici, ces éléments sont extraits à partir de la méthode du « transistor froid » [52], excepté les résistances  $R_s$ ,  $R_d$  et  $R_g$  qui sont déduites des mesures statiques sous différentes conditions de polarisation.

La méthode d'extraction des paramètres extrinsèques et intrinsèques est détaillée dans les travaux de thèse de C. Teyssandier [53].

➤ **Application au transistor 8x100  $\mu\text{m}$  AlGaN/GaN HEMT :**

Les mesures des paramètres [S] pulsés nécessaires à l'extraction des paramètres ont été effectuées par la société MC2. La définition de la valeur des paramètres est effectuée en utilisant le fichier de paramètres [S] le plus proche du point de repos de référence, dans notre cas  $V_{ds0} = 30 \text{ V}$ ,  $I_{ds0} = 110 \text{ mA/mm}$ . Il contient les paramètres [S], de 0.5 à 40 GHz par pas de 0.5 GHz. La Figure 8 présente la bonne corrélation entre les paramètres [S] mesurés et les paramètres [S] issus du modèle petit signal pour différents points prélevés le long d'une droite de charge idéale.

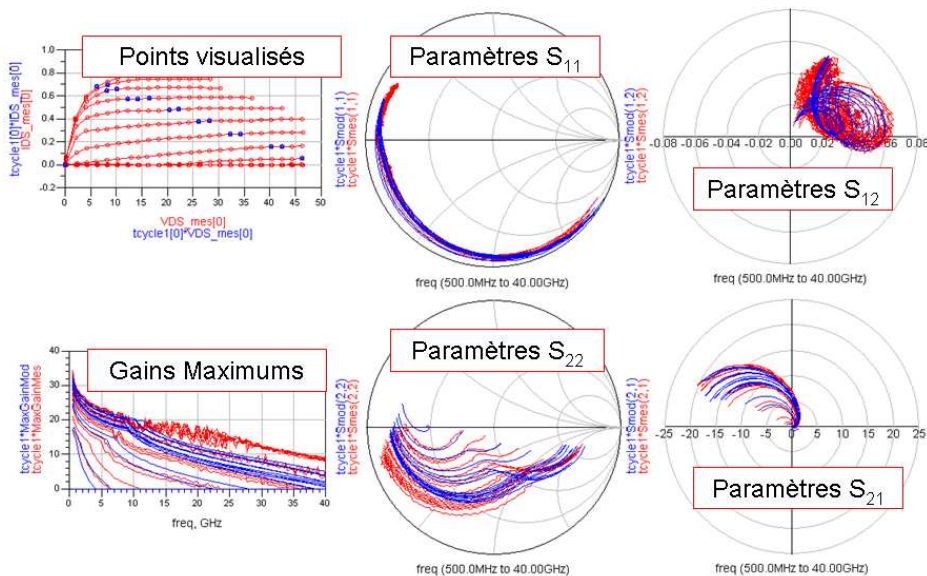


Figure 8 : Comparaison mesures (rouge)/modèle (bleu) petit signal du transistor HEMT 8x100  $\mu\text{m}$  AlGaN/GaN pour plusieurs points extrait le long d'une droite de charge idéale.

## VI.2 Modélisation des sources de courant et extraction des paramètres associés

### VI.2.1 Topologie du modèle

La topologie du modèle non-linéaire des caractéristiques I/V est présentée à la Figure 9. Pour un point de polarisation de repos donné, ce modèle permet une description complète du comportement statique à l'aide de l'ensemble des éléments suivants :

- $R_g, R_d, R_s$  : résistances d'accès,
- $I_{ds}$  : modèle de la source de courant,
- $I_{bk}$  : générateur d'avalanche,
- $I_{gs}, I_{gd}$  : diodes d'entrée.

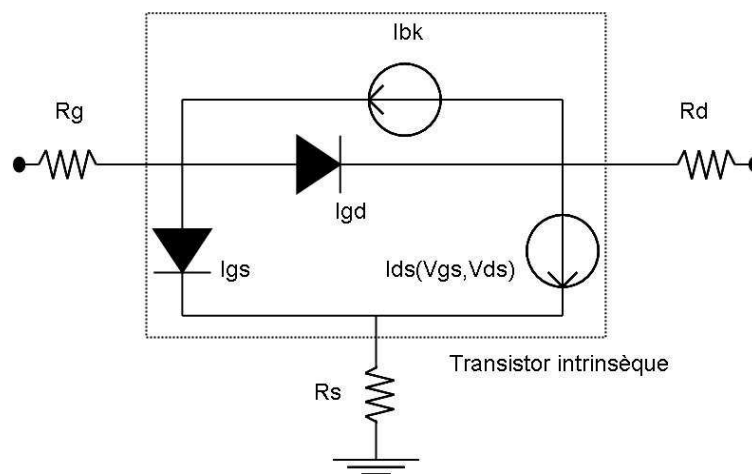


Figure 9 : Modèle non-linéaire convectif d'un transistor HEMT.

Nous avons vu précédemment que les paramètres résistifs ( $R_g, R_d, R_s$ ) sont extraits des mesures hyperfréquences. Néanmoins, les résistances  $R_d$  et  $R_s$  peuvent être obtenues à partir des mesures I/V, le  $R_{on}$  du réseau étant égale à la somme  $R_{canal} + R_d + R_s$ . La précision étant moindre, il est préférable de conserver les valeurs des résistances  $R_d$  et  $R_s$  extraites de mesures hyperfréquences.

### VI.2.2 La source de courant $I_{ds}$

L'effet fondamental du transistor à effet de champ est décrit par une source de courant non linéaire commandée par les tensions  $V_{gs}$  et  $V_{ds}$ . Le modèle de base de la source de courant est celui de Tajima [54], ce modèle décrivant assez précisément les caractéristiques de sortie du transistor, de la zone de pincement jusqu'à la limite de la zone de conduction de grille pour les valeurs positives de  $V_{ds}$ .

$$I_{d_{Tajima}} = \frac{I_{DSS}}{1 - \frac{1}{m}(1 - e^{-m})} \left[ V_{GSN} - \frac{1}{m}(1 - e^{-mV_{GSN}}) \right] \left[ 1 - e^{-V_{DSN}(1 - aV_{DSN} - bV_{DSN}^2)} \right]$$

$$\text{Avec } V_{GSN} = 1 + \frac{V_{GS}(t - \tau) - V\phi}{V_p} ; V_{DSN} = \frac{V_{DS}}{V_{DSP}(1 + \omega \frac{V_{GS}(t - \tau)}{V_p})} \text{ et } V_p = V_{p0} + pV_{DSP} + V\phi$$

Un terme correctif a été rajouté ( $Correct\_G_m G_d$ ) de façon à rendre compte de la décroissance de la transconductance  $G_m$  présente dans les transistors HEMTs [55] :

$$I_d = I_{d_{Tajima}} \times Correct\_G_m G_d$$

$$\text{Avec } Correct\_G_m G_d = 1 + \beta gm \times (V_{ds} + V_{dm}) \times (1 + \tanh(\alpha gm \times (V_{gs} - V_{gm})))$$

### VI.2.3 Les diodes d'entrées $I_{gs}$ et $I_{gd}$

Les diodes d'entrées représentent des générateurs de courant non-linéaires permettant de modéliser le courant positif de grille mesuré pour les fortes valeurs positives des tensions  $V_{gs}$  et  $V_{gd}$ . Les expressions utilisées pour modéliser ce courant sont les suivantes :

$$I_{gs} = I_{sgs} \cdot \left[ e^{\frac{q \cdot V_{gs}}{N_{gs} \cdot k \cdot T}} - 1 \right] \quad \text{et} \quad I_{gd} = I_{sgd} \cdot \left[ e^{\frac{q \cdot V_{gd}}{N_{gd} \cdot k \cdot T}} - 1 \right]$$



## VI.2.4 Le générateur d'avalanche $I_{bk}$

Le phénomène d'avalanche apparaît dans la zone de pincement du transistor lorsque celui-ci est soumis à une tension  $V_{ds}$  relativement importante provoquant ainsi la circulation d'un courant  $I_{av}$ , du drain vers la grille :

$$I_{av} = I_{avg} \cdot e_{SOFT}^{\alpha_d \cdot V_{ds}}$$

Pour des raisons de convergence, les exponentielles sont limitées à une valeur maximale (fonction  $e_{SOFT}$ ).

Modéliser l'avalanche dans les transistors HEMTs GaN actuels a peu d'intérêt, la tension d'avalanche  $V_{bd}$  étant supérieure à 100 V : domaine de valeurs pour lequel le modèle de notre transistor ne sera pas utilisé.

### ➤ Application au transistor 8x100 $\mu\text{m}$ AlGaN/GaN HEMT :

La Figure 10 montre une comparaison entre les mesures en impulsion et les caractéristiques obtenues grâce au modèle de Tajima modifié. La corrélation est bonne entre les mesures et le modèle.

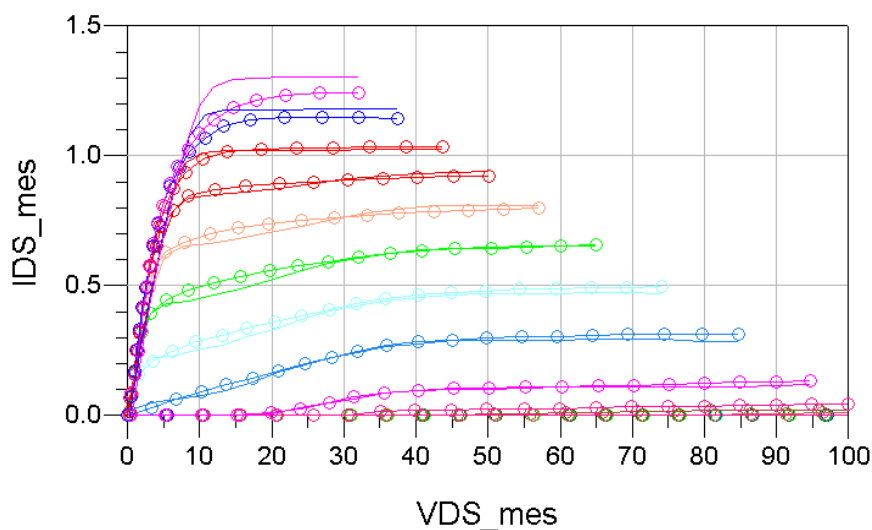


Figure 10 : Comparaison mesure/modèle des réseaux IV en impulsion, en utilisant le modèle de Tajima modifié.

### VI.3 Modélisation des capacités non-linéaires $C_{gs}$ et $C_{gd}$

Seules les valeurs capacitives, fonctions des polarisations de grille  $V_{gs}$  et de drain  $V_{ds}$ , sont retenues pour la modélisation des capacités. La modélisation est réalisée en paramétrant une fonction apte à décrire leurs variations respectives le long d'une droite de charge idéale [56]. Par ce biais, la description de  $C_{gs}$  et de  $C_{gd}$  sont réduites à une seule dépendance, respectivement de  $V_{gs}$  et de  $V_{gd}$ .

La droite de charge est habituellement tracée sur le réseau I/V mesuré en mode impulsionnel avec la polarisation de repos de l'application visée.

Les valeurs de ces capacités  $C_{gs}$  et  $C_{gd}$  en fonction des tensions à leurs bornes ( $V_{gs}$  et  $V_{gd}$ ) peuvent être représentées par une forme utilisant des tangentes hyperboliques, donnée à l'équation suivante :

$$C_{gx} = C_0 + \frac{C_1 - C_0}{2} \left[ 1 + \tanh(a(V_{gx} + V_m)) \right] - \frac{C_2}{2} \left[ 1 + \tanh(b(V_{gx} + V_p)) \right]$$

Où  $C_0$ ,  $C_1$ ,  $C_2$ ,  $a$ ,  $b$ ,  $V_p$ , et  $V_m$  représentent les différents paramètres associés à chaque capacité, et où  $C_{gx}$  et  $V_{gx}$  valent respectivement  $C_{gs}$  et  $V_{gs}$  ou  $C_{gd}$  et  $V_{gd}$ .

Nous exposerons dans le chapitre 3 les valeurs des capacités extraites pour un modèle électrothermique incluant les effets de pièges basé sur cette même topologie de modélisation.

#### ➤ Validation load-pull sur un transistor :

Un transistor 8x100  $\mu\text{m}$  AlGaIn/GaN HEMT a été mesuré à 10 GHz en grand signal mono-porteuse au point de repos  $I_{ds0} = 120 \text{ mA}$  ;  $V_{ds0} = 30 \text{ V}$  par la société MC2.

En prenant soin de simuler dans les conditions de mesure du circuit, nous avons pu effectuer la vérification du modèle.

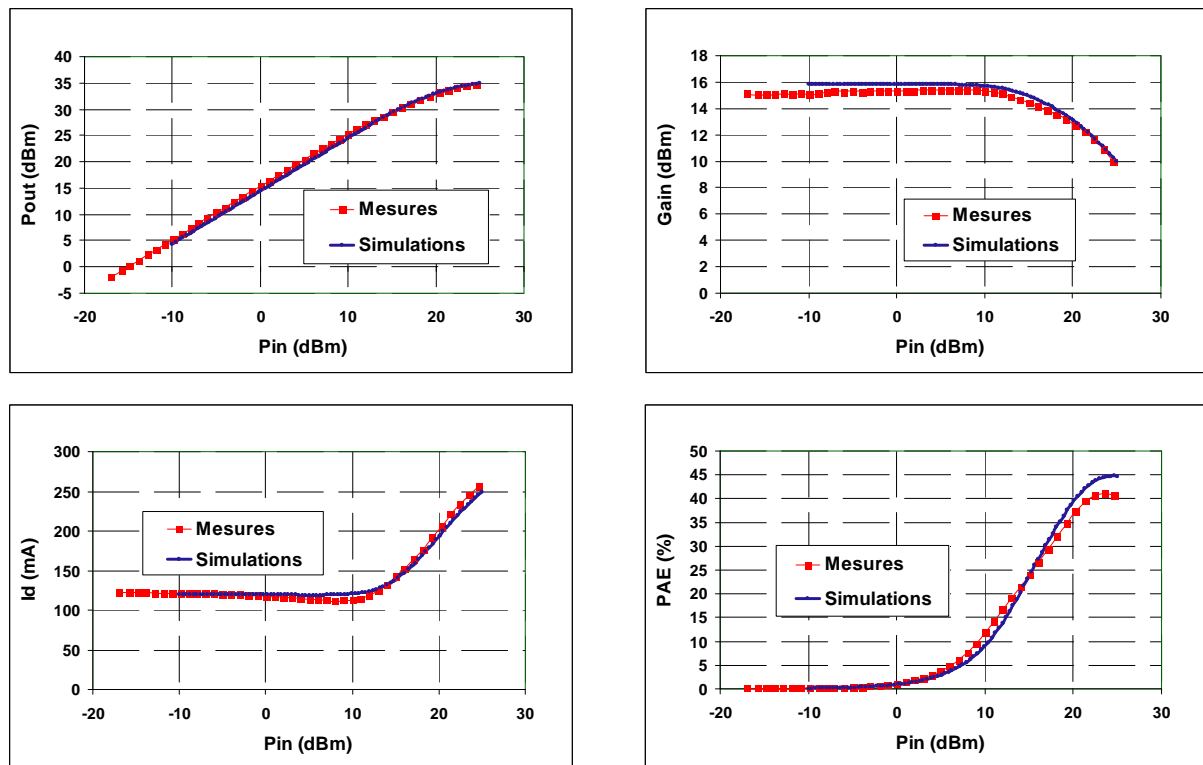


Figure 11 : Comparaison mesures (rouge), modèle (bleu) des critères de performance en puissance sur l'optimum en puissance à 10 GHz pour un transistor 8x100  $\mu\text{m}$  AlGaIn/GaN HEMT.

Il est important de préciser que ce comparatif des performances en puissance est illustré ici avec une version de transistor 8x100 ou l'espacement grille/drain est le plus important, d'où l'obtention des performances les plus pessimistes en PAE. Dans ces conditions, nous pourrions obtenir 5 à 6 points de PAE supplémentaires sur des versions de transistors 8x100 avec un espacement grille/drain réduit à l'optimum (versions utilisées lors de la conception).

## VII. Etat de l'art des performances de l'amplification microonde de puissance large bande

Les tableaux 3 et 4 ci-dessous présentent l'état de l'art des amplificateurs de puissance large bande en ce qui concerne les performances électriques demandées sous différentes technologies connues à ce jour.

<i>Fonderie</i>	<i>Technologie</i>	<i>Topologie</i>	<i>Pout (W)</i>	<i>Pout (dBm)</i>	<i>PAE (%)</i>	<i>Gain petit signal (dB)</i>	<i>Bande de Freq. (GHz)</i>	<i>Vd/Vce (V)</i>	<i>Dimensions mm<sup>2</sup></i>	<i>Date &amp; Ref</i>
<b>Fujitsu Laboratories</b>	0.25 $\mu\text{m}$ HEMT GaN	Deux étages (Distribué)	12.9	41.1	18	8	6-18	40	18.72	2010 [57]
<b>TriQuint</b>	0.25 $\mu\text{m}$ 3MI GaN	Un étage (Distribué)	9	39.5	20	10	1.5-17	30	15.4	2008 [58]
<b>Northrop Grumman Corporation</b>	0.25 $\mu\text{m}$ HEMT GaN	Un étage (Distribué)	5.5	37.5	25	10	2-15	20	7.75	2007 [59]
<b>BAE System</b>	0.15 $\mu\text{m}$ HEMT GaN	Un étage (Distribué)	4	36	15	12	4-18	35	20.58	2007 [60]
<b>TriQuint</b>	0.25 $\mu\text{m}$ pHEMT GaAs	Dual Channel 3 étages	4.5	36.5	17	22	6-18	8	24.8	2005 [61]
<b>SIRENZA MICRO-DEVICES</b>	GaN 0.2 $\mu\text{m}$ T-gate GaN-SIC HEMT	Darlington Feedback	>1	30	20	11	0.05-18.7	15	2.9	2007 [62]
		Darlington-Cascode Feedback	>1	30	20	14.5	0.05-12.3	15	2.9	
<b>UMS</b>	0.25 $\mu\text{m}$ PHEMT GaAs	Dual Channel 3 étages	2	33	20	24	5-18	8	16.8	2007 [63]
<b>IRCOM-ITIC</b>	0.15 $\mu\text{m}$ HEMT GaN	Hybride flip-chip	5.8 sim	37.6 sim	16 sim	8.6 (1dBc)	4-18		45.9	2005 [64]
<b>BAE System</b>	0.15 $\mu\text{m}$ PHEMT GaAs	2 étages	5.4	37.3	22	12	6-18		33.65	2002 [65]

Tableau 3 : Etat de l'art des amplificateurs de puissance large bande (1<sup>ère</sup> partie).

<i>Fonderie</i>	<i>Technologie</i>	<i>Topologie</i>	<i>Pout (W)</i>	<i>Pout (dBm)</i>	<i>PAE (%)</i>	<i>Gain petit signal (dB)</i>	<i>Bande de Freq. GHz</i>	<i>Vd/Vce (V)</i>	<i>Dimensions mm<sup>2</sup></i>	<i>Date &amp; Ref</i>
<b>University of California</b>	0.2 μm HEMT GaN (Dual-Gate HEMT)	Distribué	1 (maxi)	30	16	12	2-32	15	4.5	2008 [66]
<b>TriQuint</b>	GaN 0.25 μm 3 MI pHEMT		1	30		17	2-22	12	7.4	2009 [67]
<b>FBH-UMS GmbH</b>	0.2 μm HEMT GaN	Distribué	1.4 to 2.2	33	20	10	2-10	20	2.9	2007 [68]
<b>Nitronex Corporation</b>	0.5 μm HFETs GaN	Distribué (HFETs)	2	33	25	10	0.1-5	15	9.35	2008 [69]
<b>Cornell University</b>	0.3 μm HEMT GaN	Distribué Cascode	3 to 6	36	20	12	3-8	25	3.5	2001 [70]
<b>Triquint Semiconductor</b>	0.7 μm HEMT GaN	Contre-reaction résistive	1.5	31.5	15	11	0.2-7.5	24	1.6	2000 [71]
<b>California Univ.</b>	0.7 μm HEMT GaN sur Sapphire	flip-chip	5		10	7	3-10	24	96	2000 [72]

Tableau 4 : Etat de l'art des amplificateurs de puissance large bande (2<sup>ème</sup> partie).

Nous constatons sans surprise que ce sont les amplificateurs en GaN qui offrent les meilleures performances, malgré l'avènement récent de cette technologie. Ces résultats viennent donc valider le tableau de l'état de l'art des transistors GaN tout en confirmant tout ce qui a été vu précédemment sur les avantages physiques du composant.

Plusieurs topologies sont appliquées à la conception d'amplificateurs large bande, nous énumérerons dans le second chapitre les plus utilisés en donnant un succinct descriptif de la méthodologie employée.

## VIII. Conclusion

Au cours de ce chapitre, nous avons présenté les principaux critères technologiques concernant les matériaux semi-conducteurs et les potentialités du nitrure de gallium. Cette étude a permis de montrer le net avantage du GaN pour des applications de puissance haute fréquence. Cela est dû pour beaucoup à sa grande largeur de bande interdite, qui permet de polariser les composants à des tensions élevées et qui implique dans le cas des HEMTs, de fortes densités de porteurs et donc de courant.

Le fonctionnement spécifique du transistor HEMT au travers de sa structure physique et du principe d'hétérojonction a été illustré pour la technologie AlGaIn/GaN.

Ensuite, l'exposition des différents effets limitatifs observés dans les HEMTs GaN souligne la relative jeunesse de la filière. Cependant, la quasi-totalité de ces effets ont déjà été rencontrés dans les développements des transistors AsGa, nous pouvons être certains que ces difficultés seront quasi-résolues dans un futur plus ou moins proche.

De fait, nous avons dressé un état de l'art portant sur les transistors HEMTs GaN, permettant d'observer des densités de puissance environ 4 à 7 fois plus élevées que les PHEMTs AsGa.

Subséquemment, nous avons présenté la topologie du modèle de type stationnaire utilisé lors des phases de conceptions. Nous avons pu observer quelques résultats probants basés sur des comparatifs mesures/modèle d'un transistor  $8 \times 100 \mu\text{m}$  utilisé lors de la deuxième itération de conception présentée dans la suite du manuscrit.

Nous avons enfin élaboré une recherche bibliographique afin d'examiner l'état de l'art des amplificateurs de puissance large bande en nitrure de gallium. A l'image de l'état de l'art sur les transistors, cette étude nous permet une nouvelle fois d'affirmer le net avantage du nitrure de gallium pour les applications microondes de puissance.

A la vue d'une grande partie de ce chapitre, le HEMT GaN présente donc tous les critères nécessaires à la réalisation d'amplificateurs de puissance large bande. C'est cette technologie qui a été sélectionnée afin de débiter ces travaux de thèse : la réalisation d'un amplificateur de puissance 6-18 GHz. Nous allons aborder cette réalisation dans le deuxième chapitre de ce manuscrit.

**CHAPITRE II :**

**CONCEPTION ET ANALYSE D'UN**

**AMPLIFICATEUR DE PUISSANCE LARGE BANDE**

**6-18 GHZ SUR LA TECHNOLOGIE GH25**





## I. Introduction

Comme nous l'avons vu à travers le chapitre I, le développement rapide des composants électroniques de puissance requièrent des matériaux grands gap pour leur fort potentiel en densité de puissance. Les systèmes modernes concernant la «guerre électronique» demandent des caractéristiques de circuits MMIC de plus en plus contraignantes. Une demande croissante de la puissance, de la largeur de bande et du rendement en puissance ajoutée à amener les industriels à se tourner vers ce nouveau matériau qu'est le nitrure de gallium. En effet, les solutions trouvées jusqu'ici n'ont été capables de répondre à ce besoin que pour des niveaux de puissance de sortie modestes. L'arrivée sur le marché du nitrure de gallium est annonciateur de nouvelles performances technologiques très prometteuses.

Dans ce cadre, un démonstrateur amplificateur de puissance a été conçu au cours de ces travaux de thèse. Il s'agit du tout premier MMIC sur la technologie GaN GH25 d'UMS fonctionnant sur la bande 6-18 GHz. Ce circuit représente un défi technologique car il permet la validation de la nouvelle filière GH25 ainsi que l'évaluation de ses performances à travers les spécifications imposées. Ce premier travail s'inscrit dans le cadre d'un contrat DGA. Le but de cette étude était de développer une fonction hyperfréquence nécessaire aux systèmes radar dans une filière entièrement européenne.

Le process MMIC utilisé est basé sur une technologie 0.25  $\mu\text{m}$  AlGaIn/GaN HEMT reposant sur un substrat SiC. Ce développement offre alors une application large, de la bande C, à la bande Ku. Le module de grille est basé sur un processus assisté par dépôts successives de SiN. La définition du pied de grille est identique à ses homologues faits en AsGa. Ceci permettant un très bon contrôle du process et une bonne reproductibilité. Le mécanisme de gravure et l'empilement des métaux ont été optimisés afin de fournir les meilleures performances et une meilleure stabilité de la technologie. En effet, le contact ohmique a été optimisé après plusieurs itérations afin d'atteindre les propriétés électriques et morphologiques appropriées. Le processus technologique inclut le traitement face arrière complet, l'épaisseur finale du wafer atteignant 100  $\mu\text{m}$ . Le traitement des trous métallisés est basé sur le processus conventionnel de gravure sèche.

## **II. Etude des amplificateurs de puissance large bande**

### **II.1 Introduction**

Les performances des systèmes électroniques modernes et plus particulièrement les amplificateurs de puissance large bande destinés aux applications militaires sont de plus en plus exigeants dans les performances demandées (forte puissance, bande de fréquence importante, haut rendement). La conception d'un amplificateur de puissance nécessite une méthodologie stricte étant donné la quantité de paramètres en jeu. La caractéristique large bande ajoute encore une difficulté dans la conception. Par conséquent, le concepteur se doit de maîtriser le principe de fonctionnement du circuit avant de commencer l'étape de conception.

### **II.2 Les différentes architectures d'amplificateurs**

La conception d'un amplificateur de puissance large bande nécessite l'utilisation de topologies spécifiques permettant la compensation des variations en fonction de la fréquence des performances de l'élément actif. Au contraire d'une application bande étroite, où les circuits d'adaptation entrée-sortie sont réactifs, donc sans autres pertes que celles occasionnées par les éléments résistifs parasites des composants passifs, les amplificateurs de puissance large bande aggravent considérablement le problème. Le fait de vouloir couvrir une bande très supérieure à l'octave complique le travail d'adaptation afin d'obtenir un gain plat et maximum dans la bande passante.

En effet, on sait que la décroissance naturelle du gain d'un transistor à effet de champ est de 6 dB par octave, par conséquent le gain total de l'amplificateur global sera limité par le gain maximal du transistor en haute fréquence. La platitude du gain sur toute la bande sera effective grâce à l'implémentation de circuits dissipatifs destinés à absorber l'excès de puissance aux basses fréquences sans perturber le fonctionnement aux hautes fréquences.

Nous allons présenter succinctement les différentes topologies utilisées pour la conception d'amplificateurs large bande. Ensuite, la topologie choisie sera présentée.

### II.2.1 Amplificateur distribué

L'amplification distribuée de signaux microondes est probablement la technique la plus ancienne, basée sur l'interaction active entre deux ondes se propageant sur des lignes voisines.

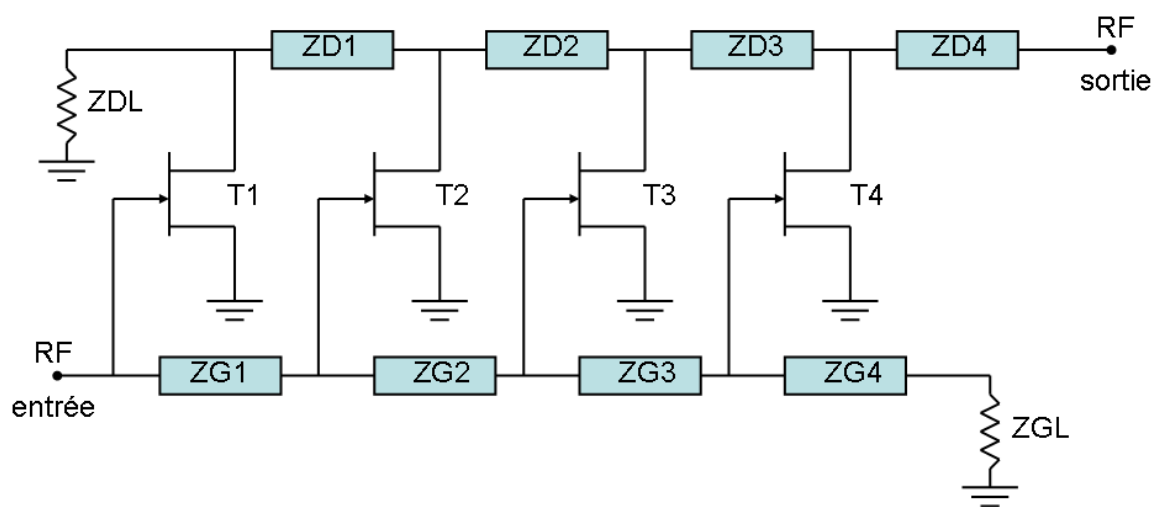


Figure 12 : Schéma de l'amplificateur distribué (ici à 4 cellules).

La distribution de plusieurs transistors le long de deux lignes permet l'addition des transconductances  $gm$  des transistors à effet de champ, de telle sorte que l'augmentation correspondante des capacités d'entrée et de sortie soit compensée dans la bande de fréquence. La simple mise en parallèle des transistors permet d'additionner les gains de chaque composant. Cependant, les capacités d'entrée et de sortie équivalentes, proportionnelles au nombre de transistors, réduisent la fréquence de coupure et le produit gain-bande reste constant. Le principe de l'amplification distribuée permet de repousser ces limites par l'association de chaque capacité avec une inductance de manière à réaliser des lignes artificielles de transmission à l'entrée et à la sortie de l'amplificateur. Les transistors sont reliés par des charges  $ZGn$ ,  $ZDn$  (le plus souvent des inductances) réalisant ainsi un système de deux lignes couplées activement par la transconductance de chaque transistor.

La conception d'un amplificateur distribué reste donc difficile à réaliser [73, 74], l'optimisation du circuit demeure complexe. Pour exemple, le respect de l'égalité de phase entre cellules est primordial pour assurer la recombinaison en puissance des signaux, cependant il reste délicat à élaborer.

De nombreuses références sont disponibles pour de plus amples explications [75, 76, 77, 78].

## II.2.2 Amplificateur à adaptation résistive

Le principe consiste à placer une résistance parallèle entre grille et source, en entrée, et entre drain et source en sortie, on obtient donc l'amplificateur à adaptation résistive ou amplificateur résistif [79].

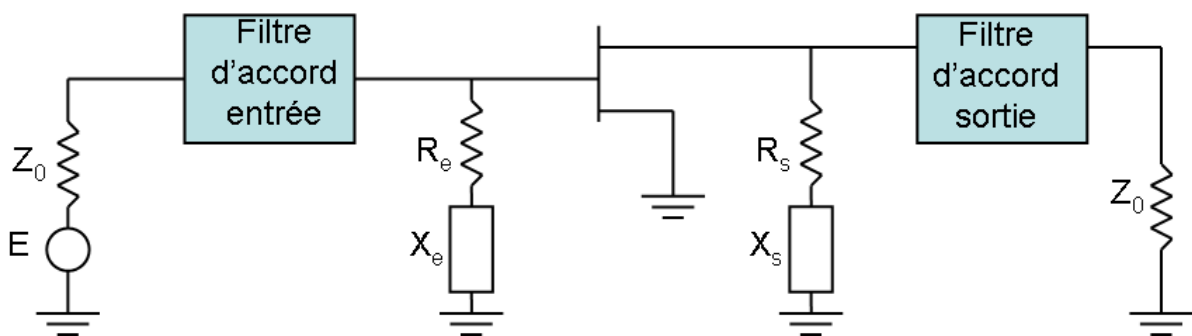


Figure 13 : Schéma de l'amplificateur à adaptation résistive.

En bas de bande, les résistances permettront de contrôler le gain, le transistor étant chargé par les deux résistances parallèles entrée-sortie ( $R_e$ ,  $R_s$ ) et les impédances de source et de charge  $Z_0$ . Ce type d'amplificateur nécessite l'utilisation de transistors affichant une transconductance  $gm$  élevée, il est cependant possible d'augmenter le gain en mettant en cascade plusieurs étages non-adaptés à l'exception de l'étage d'entrée et de sortie. En haut de bande, aux fréquences microondes, les résistances sont découplées par une self inductance ( $X_e$  et  $X_s$ ) de telle sorte que l'impédance à adapter en HF reste l'impédance d'entrée du transistor et le gain maximum disponible du transistor est conservé. Les quadripôles d'adaptation inter-étages sont alors optimisés pour obtenir un gain plat dans la bande.

L'inconvénient majeur de cette topologie est l'exigence d'une forte transconductance  $gm$ . Ses principes de conception sont toutefois simples à mettre en œuvre et les résistances entrée-sortie peuvent être utilisées pour polariser le drain et la grille.

### II.2.3 Amplificateur à contre-réaction résistive

L'amplificateur à contre-réaction résistive consiste à placer une résistance parallèle de contre-réaction entre la grille et le drain, ainsi l'adaptation basse fréquence et le contrôle du gain est obtenue [80]. Pour ne pas faire chuter le gain en haut de bande, la résistance est découplée par une self inductance en série, ainsi son effet est limité.

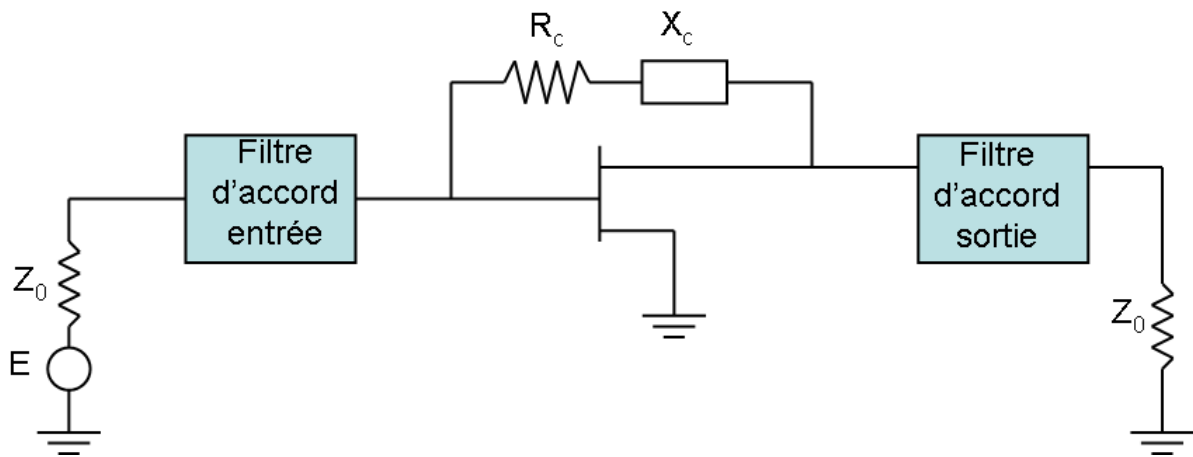


Figure 14 : Schéma de l'amplificateur à contre-réaction résistive.

Cependant il est souvent nécessaire de compliquer la cellule de contre-réaction car elle influence à la fois l'accord d'entrée et de sortie. L'inconvénient de cette topologie est que la largeur de bande est souvent limitée en basse fréquence par des circuits de polarisation très sensibles et de réalisation complexe.

## II.2.4 Amplificateur arborescent

La topologie arborescente est basée sur la mise en parallèle de plusieurs transistors permettant ainsi de contrôler la puissance de l'amplificateur et sur la mise en cascade de plusieurs étages (contrôle du gain) autorisant une maîtrise du gain du système.

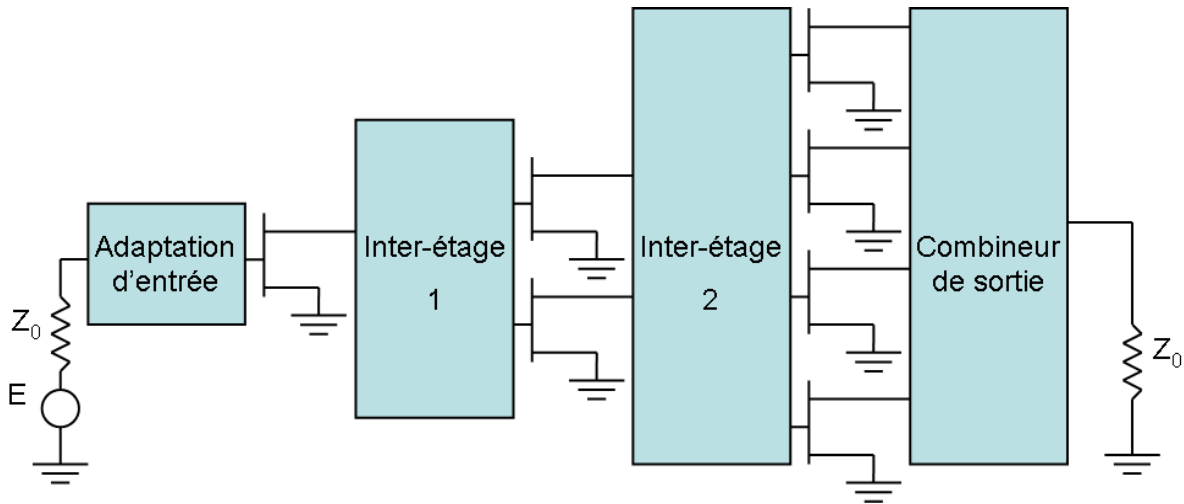


Figure 15 : Schéma de l'amplificateur arborescent (ici à 3 étages).

Les blocs d'adaptation sont composés d'éléments passifs permettant de présenter aux transistors leurs impédances optimales d'entrée et de sortie définies en load-pull. La technique consiste à concevoir tout d'abord le combineur de sortie puis les adaptations inter-étages jusqu'au combineur d'entrée. Ce travail de la sortie vers l'entrée permet de garder constamment une vision sur les performances finales.

Comme nous l'avons vu précédemment, la décroissance naturelle du gain d'un transistor fait apparaître avec cette topologie une difficulté pour optimiser les performances en gain en haut de bande. Le ou les étages mis en cascade ont pour but de bien piloter le dernier étage et de garder le gain à son maximum pour les hautes fréquences. Pour cela, les étages supplémentaires sont optimisés afin de garantir des pertes d'insertions minimales et un gain plat dans la bande.

L'inconvénient de cette topologie est la limitation de la bande de fréquence et en particulier pour les basses fréquences. Cependant, elle reste moins complexe à réaliser et à optimiser que la structure distribuée. Compte tenu des spécifications en fréquence de notre amplificateur (6-18 GHz), nous avons retenu la topologie arborescente pour la conception de l'amplificateur large bande.

### **III. Stabilité d'un étage amplificateur en régime linéaire**

La conception, la fabrication et les mesures sont les principales phases de réalisation d'un circuit intégré. Lorsque le circuit est instable, les mesures destinées à valider la simulation sont rendues irréalisables. Par ailleurs le circuit est inutilisable. Ceci induit des retards et des coûts supplémentaires lors de la reprise de la conception. L'analyse de la stabilité de ces circuits devient ainsi incontournable dès la phase de conception, mais elle est souvent négligée faute de temps.

Comme nous allons le rappeler, de nombreux paramètres existent pour déterminer la stabilité linéaire d'un système ( $k$ ,  $\Delta$ ,  $\mu$ ...). Néanmoins, comme le rappelle R. W. Jackson [81], tous ces tests sont valides si et seulement si un pré-requis est satisfait : un quadripôle est inconditionnellement stable si, avec des terminaisons passives arbitraires, les fréquences caractéristiques restent dans la partie gauche du plan complexe en fréquence. Condition très souvent ignorée des concepteurs car elle n'est pas aisée à déterminer et souvent pas indispensable si le système est composé d'un seul élément actif.

#### **III.1 Le facteur de Stabilité $k$**

Au début des années soixante, les deux centres d'intérêts concernant la stabilité des circuits sont la passivité et l'activité des circuits linéaires. Le concept de quadripôle passif pour un système linéaire a déjà été grandement éclairé par la fonction invariante  $U$  de Mason [82, 83] en 1954.

Jusqu'à la date précédente, aucune fonction équivalente n'avait été proposée en ce qui concerne la stabilité. C'est en 1962 qu'un facteur de stabilité invariant a été établi, le facteur de Rollett [84] ; facteur caractérisant le degré de stabilité conditionnelle ou inconditionnelle d'un quadripôle.

Pour résumer nous dirons que le facteur de stabilité que nous allons présenter est invariant suivant les terminaisons choisies, l'interversion de l'entrée avec la sortie ainsi que les substitutions d'« immittances ».

- Le facteur de stabilité invariant  $k$  :

Le critère bien connu qui définit la stabilité inconditionnelle d'un système deux ports est, en paramètres admittance :

$$2g_{11}g_{22} \geq |y_{12}y_{21}| + \operatorname{Re}(y_{12}y_{21}) \quad , \text{ avec } \quad g_{11}, g_{22} \geq 0$$

Où  $g_{11} = \operatorname{Re}(y_{11})$ , etc. Toute indication sur la stabilité conditionnelle ou inconditionnelle d'un système doit se reporter à cette règle qui est clairement invariante en fonction de la charge d'entrée et (ou) de sortie ainsi que lorsque l'on intervertit l'entrée avec la sortie.

Maintenant, le facteur  $k$  peut être défini par :

$$k = \frac{2g_{11}g_{22} - \operatorname{Re}(y_{12}y_{21})}{|y_{12}y_{21}|}$$

Invariant suivant l'immittance choisie, il sera appelé le facteur de stabilité invariant. La valeur de  $k$  restant la même quelque soit les paramètres  $z$ ,  $h$  ou  $g$  choisis à la place des paramètres  $y$ , il convient de généraliser l'expression et d'introduire la lettre  $\gamma$  qui représentera chacun des paramètres  $z$ ,  $y$ ,  $h$ , ou  $g$  du système. Nous obtenons donc :

$$k = \frac{2\rho_{11}\rho_{22} - \operatorname{Re}(\gamma_{12}\gamma_{21})}{|\gamma_{12}\gamma_{21}|}$$

Où  $\rho_{11} = \operatorname{Re}(\gamma_{11})$ , etc. La valeur de  $k$  étant comprise entre  $+\infty$  et  $-1$ , si  $\rho_{11}, \rho_{22} \geq 0$ .



Le critère pour obtenir une stabilité inconditionnelle devient donc :

$$k \geq 1, \quad \text{avec} \quad \rho_{11}, \rho_{22} \geq 0$$

Ceci étant la propriété fondamentale du facteur de stabilité.

Par ailleurs, lorsque  $k$  est positif et très supérieur à 1, le degré de stabilité inconditionnelle est élevé, cependant lorsque  $k$  est tout juste supérieur à 1, le système se trouve à la limite de la stabilité inconditionnelle et de la stabilité conditionnelle définie par  $k = 1$ . Quand  $k$  est compris entre 1 et -1 ( $1 > k \geq -1$ ), alors le système est dans la région de la stabilité conditionnelle, il est alors possible de trouver des terminaisons qui mèneront à des « immittances » d'entrée et de sortie à parties réelles négatives et ainsi à des oscillations.

### III.2 Conditions d'instabilité d'un amplificateur en régime linéaire

Les conditions rigoureuses sont données par le facteur de Rollett  $k$  et le pré-requis (provisio) que nous rappellerons par la suite. Cependant, pour des questions de temps de conception, nous utilisons la démarche présentée ci-dessous qui nous satisfera dans la plupart des cas.

Un amplificateur est instable s'il se comporte comme un oscillateur. Les oscillations, surtout en haute fréquence, sont alors quasi sinusoïdales de fréquence  $f_{os}$ . La théorie de l'oscillateur sinusoïdal dit qu'à la fréquence  $f_{os}$  :

- entre deux bornes quelconques du système, l'admittance présentée est nulle,
- l'impédance présentée entre les deux bornes d'une connexion quelconque ouverte, est nulle.

Ceci permet de dire qu'un amplificateur risque d'être instable si, à la fréquence  $f_0$ , l'impédance d'entrée  $Z_{IN}$  ou (et) l'impédance de sortie  $Z_{OUT}$  présente(nt) l'une ou (et) l'autre une partie réelle négative.

La condition  $R(Z_{IN}) < 0$  étant équivalente à  $|\Gamma_{IN}| > 1$  on dit :

L'amplificateur est potentiellement instable (risque d'oscillations) si, le coefficient de réflexion en entrée  $\Gamma_{IN}$  ou (et) le coefficient de réflexion en sortie  $\Gamma_{OUT}$  présente(nt) un module supérieur à l'unité.

En effet, la valeur du paramètre  $S_{12}$  d'un transistor n'est pas parfait, un signal passant de la sortie (où le niveau de puissance est supérieur due au gain du système) vers l'entrée existe (Figure 16). Il est ainsi possible que pour certaines valeurs du coefficient de réflexion de la charge,  $\Gamma_L$ , le coefficient de réflexion en entrée,  $\Gamma_{IN}$ , excède l'unité, amenant le circuit à amplifier la réflexion en entrée. De même, certaines valeurs du coefficient de réflexion de la source,  $\Gamma_S$ , peuvent causer le dépassement de l'unité pour le coefficient de réflexion en sortie,  $\Gamma_{OUT}$ . Si une de ces deux conditions est vérifiée à une fréquence, alors le circuit est dit conditionnellement stable, ou potentiellement instable.

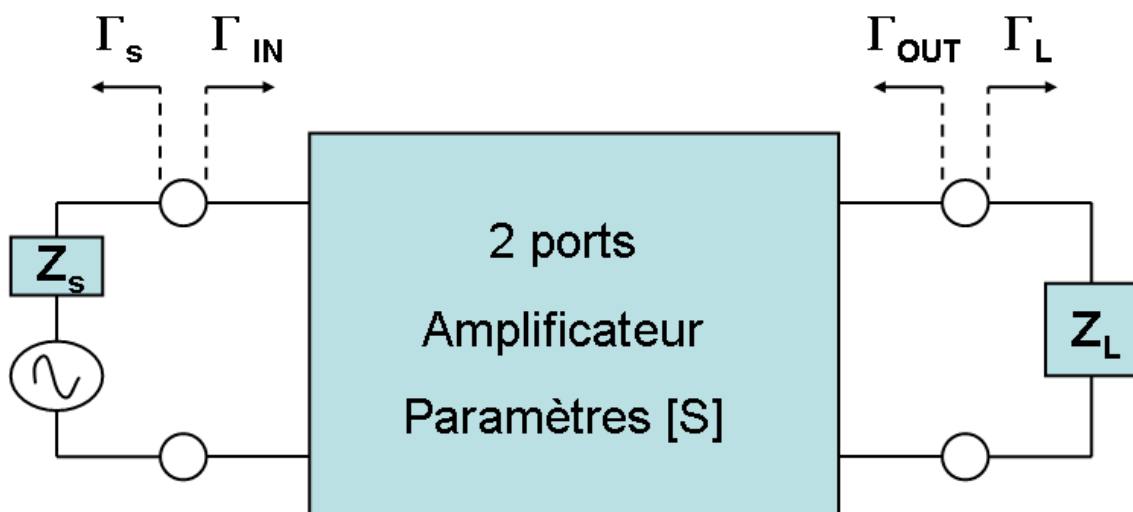


Figure 16 : Représentation d'un système 2 ports intégré entre une source et une charge avec les différents coefficients de réflexions mis en jeu.

Etudions dans un premier temps, la stabilité en entrée. La limite entre la stabilité et l'instabilité en entrée est  $|\Gamma_{IN}| = 1$ , cercle centré à l'origine de l'abaque de Smith. Les valeurs de  $\Gamma_L$  qui induisent un coefficient de réflexion en entrée égal à 1 ( $|\Gamma_{IN}| = 1$ ) forment un cercle appelé « input stability circle ». On notera que ce cercle partage le plan  $\Gamma_L$  en deux régions :

- une région telle que  $|\Gamma_{IN}| < 1$ , quel que soit  $\Gamma_L$  dont l'affixe appartient à cette région, l'amplificateur est stable.
- une région telle que  $|\Gamma_{IN}| > 1$ , si le point représentatif de  $\Gamma_L$  est dans cette région, l'amplificateur risque d'être instable.

Les valeurs de  $\Gamma_L$  et  $\Gamma_{IN}$  sont liées à la vue de l'équation 1. Cette fonction cartographie les valeurs de  $\Gamma_L$  pour laquelle  $|\Gamma_{IN}| = 1$ .

$$\Gamma_L = \frac{\Gamma_{IN} - S_{11}}{S_{22}\Gamma_{IN} - \Delta} \quad (1) \quad \text{Où} \quad \Delta = S_{11}S_{22} - S_{12}S_{21}$$

On a aussi :

$$\Gamma_{IN} = S_{11} - \frac{S_{12}S_{21}}{S_{22} - \frac{1}{\Gamma_L}} \quad \text{et} \quad \Gamma_{OUT} = S_{22} - \frac{S_{12}S_{21}}{S_{11} - \frac{1}{\Gamma_S}}$$

Cherchons, dans le plan  $\Gamma_L$ , la courbe réalisant la condition  $|\Gamma_{IN}| = 1$ . Elle est définie par l'équation :

$$\left| S_{11} - \frac{S_{12}S_{21}}{S_{22} - \frac{1}{\Gamma_L}} \right| = 1$$

C'est l'équation d'un cercle  $C_2$  de centre  $O_2$  et de rayon  $R_2$  tels que :

$$OO_2 = \frac{S_{22}^* - \Delta^* S_{11}}{|S_{22}|^2 - |\Delta|^2} \quad R_2 = \frac{|S_{12}S_{21}|}{\left| |S_{22}|^2 - |\Delta|^2 \right|}$$

Le cercle « input stability circle » est aussi appelé « load instability circle » car sa nomenclature met en lumière les impédances de charge causant l'instabilité.

Ce cercle  $C_2$  délimite deux régions dans le plan  $\Gamma_L$ . Pour déterminer si l'intérieur de  $C_2$  correspond à  $|\Gamma_{IN}| < 1$  ou à  $|\Gamma_{IN}| > 1$ , il suffit de considérer un point particulier : en pratique on considère l'origine, soit  $\Gamma_L = 0$  ( $Z_L = 50 \Omega$ ).  $\Gamma_{IN}$  est alors égal à  $S_{11}$  ; selon la valeur de  $|S_{11}|$ , on considère dans quelle région se trouve le point  $\Gamma_L = 0$ . Or, on sait que lorsque le transistor est chargé sur  $50 \Omega$ , le centre de l'abaque de Smith,  $|S_{11}| < 1$ . Par conséquent, le centre de l'abaque de Smith est un point de charge stable.

On fait une étude similaire en sortie et on détermine, dans le plan  $\Gamma_S$ , deux régions délimitées par un cercle  $C_1$ .

On notera que le cercle  $C_1$  appelé « output stability circle » est aussi appelé « source instability circle » car il représente les valeurs de  $\Gamma_S$  causant l'instabilité en sortie.

Pour conclure, il faut étudier les différents cas qui peuvent se présenter.

### III.2.1 L'amplificateur est inconditionnellement stable

Etudions le cas où la région correspondant à des risques d'instabilité est à l'extérieur du disque unité. Cet état correspond (en étudiant par exemple la stabilité en entrée), aux deux cas suivants :

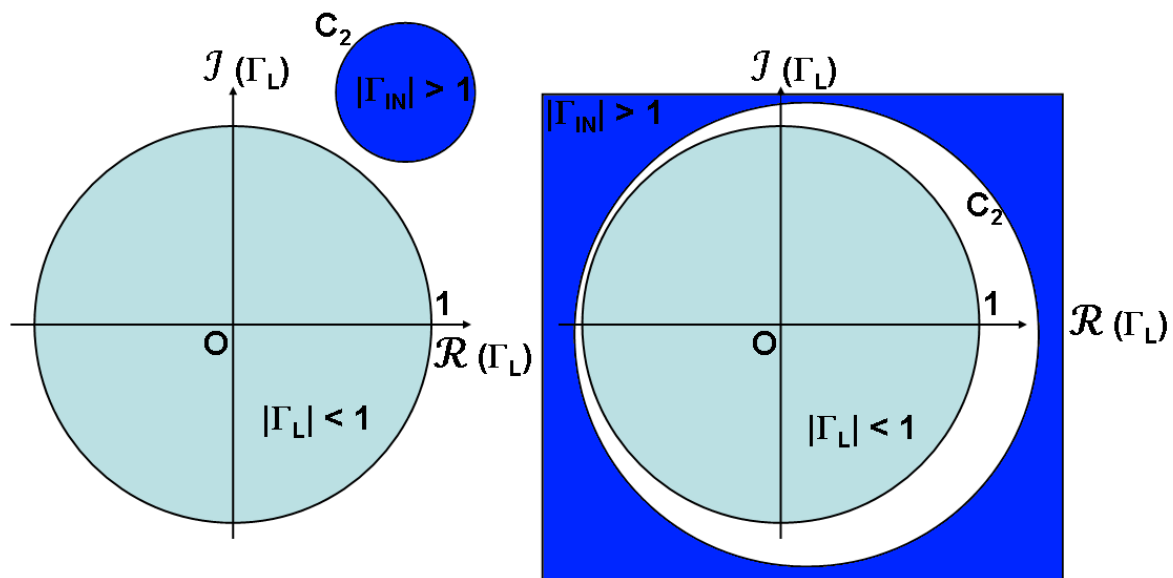


Figure 17 : Illustration de deux cas de stabilité inconditionnelle.

La région « instable » en entrée ( $|\Gamma_{IN}| > 1$ ) est à l'extérieur du disque de centre  $O$  et de rayon unité et supposons qu'il en soit de même en sortie.

Dans ces conditions, quelles que soient  $Z_S$  et  $Z_L$  à partie réelle positive ( $|\Gamma_S| < 1$  et  $|\Gamma_L| < 1$ ), l'impédance d'entrée  $Z_{IN}$  et l'impédance de sortie  $Z_{OUT}$  sont à partie réelle positive ( $|\Gamma_{IN}| < 1$  et  $|\Gamma_{OUT}| < 1$ ). L'amplificateur est alors dit inconditionnellement stable.

Déterminons dans un premier temps les conditions de stabilité inconditionnelle en entrée. Considérons tout d'abord le cas de la figure de gauche ; on a écrit que :

- le centre de  $C_2$  est à l'extérieur du disque unité :  $|OO_2| > R_2$
- le disque  $C_2$  est à l'extérieur du disque unité :  $|OO_2| - R_2 > 1$
- le disque unité appartient à la zone "stable" :  $|S_{11}| < 1$

Pour la figure de droite, on écrit que :

- le disque  $C_2$  contient l'origine  $O$  :  $|OO_2| < R_2$
- le disque  $C_2$  contient le disque unité :  $R_2 - |OO_2| > 1$
- le disque unité appartient à la zone "stable" :  $|S_{11}| < 1$

En explicitant ces différentes conditions, on arrive à la conclusion :  $k > 1$ .

En procédant de la même façon en sortie, avec  $|S_{22}| < 1$  on trouve aussi :  $k > 1$ .

En conclusion :

L'amplificateur est inconditionnellement stable si :

$$|S_{11}| < 1 \quad |S_{22}| < 1 \quad k > 1$$

On retrouve dans ces conditions, la condition d'adaptation simultanée entrée-sortie obtenue au paragraphe précédent ( $k > 1$ ). Donc :

Un élément actif inconditionnellement stable est adaptable simultanément à l'entrée et la sortie. Nous noterons que dans ces conditions particulières uniquement, le pré-requis (proviso) ne s'applique plus.

### III.2.2 L'amplificateur est conditionnellement stable

Dans ce cas, la région "instable" empiète sur le disque unité. Ce cas correspond aux deux cas suivants (stabilité en entrée) :

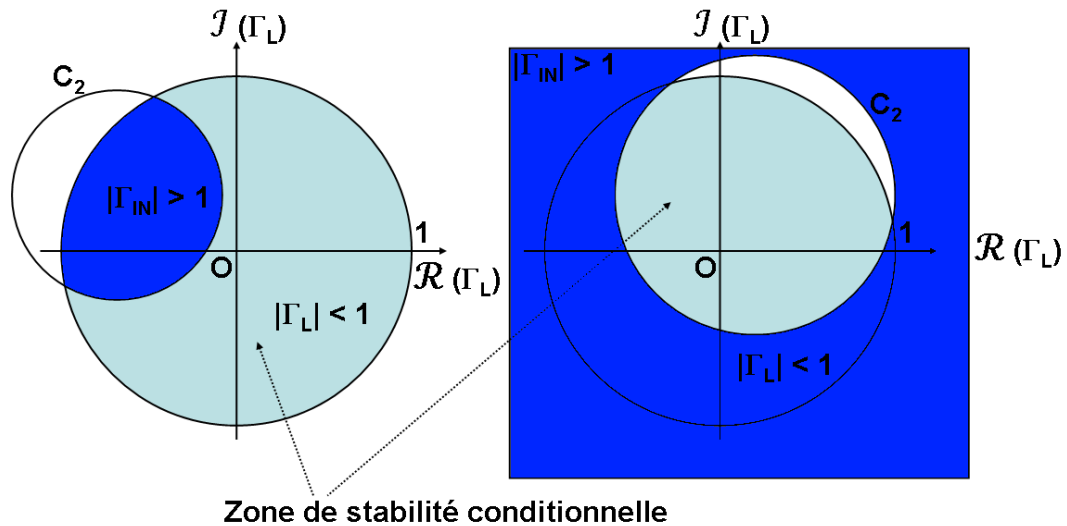


Figure 18 : Illustration de deux cas de stabilité conditionnelle.

Le cercle  $C_2$  coupe le disque de rayon unité et une partie de ce disque correspond à une région "instable" ( $|Γ_{IN}| > 1$ ). L'amplificateur risque d'être instable en entrée si  $Γ_L$  appartient à cette région. En revanche, l'amplificateur est stable si  $Γ_L$  appartient à l'autre région : on dit alors que l'amplificateur est conditionnellement stable en entrée. Une étude similaire est effectuée en sortie.

On notera ici que l'on retrouve la condition vue dans le paragraphe précédent où  $k$  est inférieur à 1.

### III.3 Gain maximum inconditionnellement stable

Le gain stable maximal réalisable  $G_{MA}$  est obtenu lorsque l'entrée et la sortie sont simultanément chargées sur leurs « immittances » conjuguées. Ceci est seulement possible si le système obéit au critère de stabilité inconditionnelle. L'expression de  $G_{MA}$  est :

$$G_{MA} = \frac{|\gamma_{21}|^2}{2 \rho_{11} \rho_{22} - \text{Re}(\gamma_{12} \gamma_{21}) + \sqrt{\left\{ \left[ 2 \rho_{11} \rho_{22} - \text{Re}(\gamma_{12} \gamma_{21}) \right]^2 - |\gamma_{12} \gamma_{21}|^2 \right\}}}$$

En fonction du facteur  $k$ , cela donne :

$$G_{MA} = \frac{|\gamma_{21}|}{|\gamma_{12}|} \frac{1}{k + \sqrt{k^2 - 1}} = \frac{|\gamma_{21}|}{|\gamma_{12}|} \left[ k - \sqrt{k^2 - 1} \right]$$

### III.4 Gain stable « maximal »

Le gain stable maximal est défini si  $k < 1$  ou si  $\rho_{11}, \rho_{22} < 0$ . Dans ce cas précis, si les « immittances » externes  $\Gamma_1, \Gamma_2$  sont ajoutées au système, elles peuvent être considérées comme faisant partie du système, et le facteur de stabilité devient donc :

$$K = \frac{2(P_1 + \rho_{11})(P_2 + \rho_{22}) - \text{Re}(\gamma_{12}\gamma_{21})}{|\gamma_{12}\gamma_{21}|}$$

Où  $P_1 = \text{Re}(\Gamma_1)$ , etc.

Ainsi, les « immittances » choisies doivent vérifier que  $(P_1 + \rho_{11}), (P_2 + \rho_{22}) > 0$ , et  $K > 1$ , le système approchera donc la limite entre la stabilité conditionnelle et inconditionnelle. Le gain stable maximal aura donc pour expression :

$$G_{MA} \rightarrow \frac{|\gamma_{21}|}{|\gamma_{12}|} = G_{MS}$$

Après avoir identifié  $|\gamma_{21}/\gamma_{12}|$ , nous pourrions par conséquent écrire la relation suivante pour un système vérifiant les conditions de stabilité inconditionnelle :

$$G_{MA} = G_{MS} / \left[ k + \sqrt{(k^2 - 1)} \right]$$

Le gain stable maximal réalisable est donné par la relation divisant le gain stable maximal par l'expression donnant le minimum d'atténuation.

Après analyse, nous avons constaté que  $G_{MS}$  n'apporte pas d'informations significatives. Il est en effet appelé à tort gain stable « maximal ». Il est calculé avec l'hypothèse  $k = 1$ , or dans un amplificateur conditionnellement stable  $k$  est inférieur à 1. Cette hypothèse a été prise pour tracer  $G_{MS}$  car c'est la limite pour laquelle  $G_{MS}$  peut être calculé. En effet, à partir du moment où  $k$  devient inférieur à 1, des zones d'instabilités apparaissent dans l'abaque de Smith. Lorsque  $G_{MA}$  ou  $G_{MS}$  sont calculés, l'ensemble de l'abaque de Smith est (ou est supposé, dans le cas de  $G_{MS}$ ) stable. Or, dès lors qu'une région instable apparaît dans l'abaque ( $k < 1$ ) il n'est plus possible de faire la différence entre la zone stable et instable pour le calcul de  $G_{MS}$ .

Nous en concluons que lors d'une conception le système peut avoir un gain supérieur à  $G_{MS}$ , mais il sera alors important de vérifier que les charges présentées aux transistors sont placés dans les zones stable de l'abaque de Smith (cercles de stabilités).

### **III.5 Limitation du facteur k et précisions apportées à la détermination de la stabilité, pré-requis (provisio)**

De nombreuses références montrent qu'un quadripôle est stable si et seulement si  $k > 1$  et  $\rho_{11}, \rho_{22} \geq 0$ . En termes de paramètres  $S$ , le critère de stabilité équivalent est donné par :

$$k = \frac{1 - |S_{11}|^2 - |S_{22}|^2 + |\Delta_s|^2}{2|S_{12} S_{21}|} > 1$$



Avec l'une des conditions auxiliaires suivantes :

- $|\Delta_s| < 1$ ,
- $B_i = 1 + |S_{ii}|^2 - |S_{jj}|^2 - |\Delta_s|^2 > 0$
- $1 - |S_{ii}|^2 > |S_{12}S_{21}|$

Avec  $i, j = 1$  ou  $2$  et  $\Delta_s = S_{11}S_{22} - S_{12}S_{21}$

La stipulation que cet énoncé est valable, si et seulement si, le circuit étudié ne présente pas de pôles à partie réelle positive, semble avoir été oubliée par les designers microondes. En effet, A. Platzker expose en 1993 [85] des travaux montrant des circuits au comportement instable remplissant pourtant ces conditions. Le rôle du facteur  $k$  vis-à-vis de la stabilité inconditionnelle est alors redéfini plus précisément (même si les travaux de Rollett tenaient compte implicitement de ces limitations).

Le critère de stabilité d'un quadripôle vis-à-vis du facteur  $k$  est :

Un quadripôle dont la fonction de transfert ne contient pas de pôles à partie réelle positive restera stable lorsqu'il sera chargé par des impédances extérieures en entrée et en sortie si et seulement si  $k > 1$  et  $|\Delta_s| < 1$  quel que soit la fréquence.

- Fréquences naturelles d'un circuit linéaire :

Après coupure des générateurs externes d'excitation et par l'insertion d'une petite impulsion de perturbation, les tensions du circuit relaxent sous la forme :

$$X(t) = X_0 \cdot e^{\alpha t} \cdot \cos(\omega t + \theta)$$

La réponse temporelle s'atténuera si et seulement si  $\alpha < 0$ . C'est-à-dire que pour être stable notre circuit ne devra pas contenir, parmi les fréquences naturelles du circuit  $p = \alpha + j\omega$ , de partie réelle positive ( $\alpha > 0$ ). Les valeurs de  $\alpha$  sont appelées pôles du circuit, et sont donnés par les racines du déterminant de la matrice qui décrit entièrement le comportement du circuit :

$$\text{Det}\{[Y(p)]\} = \Delta = 0$$

- Apport du N.D.F :

L'analyse de stabilité par la méthode du facteur  $k$  est une condition nécessaire mais non suffisante de stabilité linéaire. Pour prendre en compte les instabilités intrinsèques du transistor, il est nécessaire de procéder à une analyse complémentaire de la fonction normalisée du déterminant (N.D.F). Cette méthode s'appuie sur la théorie de stabilité de Bode et la notion de retour de niveau (Return Ratio) [86, 87].

Afin de révéler ces instabilités cachées, Platzker [85] introduit alors le critère du N.D.F. L'étude consiste à dire qu'un système est stable, si et seulement si, tous les zéros de son déterminant sont dans la partie gauche du plan complexe, ce qui revient à dire qu'aucun élément constituant le circuit ne possède de pôles à partie réelle positive. Pour un système constitué de  $N$  transistors, l'étude composante du N.D.F permet d'avoir une information sur le lieu de l'instabilité.

$$N.D.F = \frac{\Delta}{\Delta_0} = N.D.F_1 * N.D.F_2 * \dots * N.D.F_N$$

Dans cette équation,  $\Delta$  représente le déterminant du circuit et  $\Delta_0$  est le déterminant de ce même circuit mais lorsque toutes les sources actives commandées par des grandeurs électriques, qui ne sont pas à leurs bornes, sont éteintes. Tracer la fonction N.D.F en fonction de la fréquence révèle alors le nombre de zéros à partie réelle positive correspondant au nombre de fois où la courbe entoure l'origine. Cette méthode est donc très efficace pour trouver les instabilités cachées que ne peuvent pas révéler les méthodes traditionnelles.

- Critère de stabilité d'Edwards-Sinsky [88, 89] :

A l'image du facteur  $k$ , les paramètres de stabilité d'Edwards-Sinsky  $\mu_1$  et  $\mu_2$  sont calculés à partir des paramètres  $S$  du quadripôle de la manière suivante :

$$\mu_1 = \frac{1 - |S_{11}|^2}{|S_{22} - \Delta S_{11}^*| + |S_{12}S_{21}|} \quad \mu_2 = \frac{1 - |S_{22}|^2}{|S_{11} - \Delta S_{22}^*| + |S_{12}S_{21}|}$$

Avec :  $\Delta = \det(S) = S_{11}.S_{22} - S_{12}.S_{21}$

Et  $S^*$  est le complexe conjugué du paramètre  $S$  désigné.

Les travaux d'Edwards et Sinsky ont montré que la condition  $\mu_1 > 1$  (ou  $\mu_2 > 1$ ) est nécessaire pour affirmer que le système est inconditionnellement stable sur les 2 ports du quadripôle.

Attention cette condition est valable, si et seulement si, comme nous l'avons vu précédemment avec le facteur  $k$ , le système ne possède pas de pôle instable  $p = \alpha + j\omega$ .

Pour conclure, nous dirons que la condition pré-requise sur les pôles instables s'appelle le Proviso de Rollett, condition reprise par Ohtomo [90]. Enfin, il semble opportun d'utiliser les coefficients  $K$ ,  $\Delta$ ,  $\mu$  et le tracé des cercles de stabilité, il y a peu de chance que le Proviso de Rollett soit nécessaire lorsque le système est inconditionnellement stable, mais une identification des pôles peut être ajoutée en fin de conception.

Nous verrons, lors de la conception de l'amplificateur de puissance MMIC dans la deuxième partie, que la combinaison de puissance se fait par l'intermédiaire de plusieurs modules. De par cette combinaison, il existe différents modes possibles d'oscillations, soit un mode pair représentant le mode d'opération normal du circuit où les courants et tensions sont en phase à chaque port, soit un mode d'oscillation impair où les courants et tensions sont en opposition de phase. Ces instabilités impaires sont dues à des boucles de rétroaction à l'intérieur même du circuit. Nous verrons donc qu'il convient de s'assurer de la stabilité de chacun des étages séparément, et si l'étude est bien faite la mise en cascade d'étages stables donnera un amplificateur global stable.

## IV. Méthodologie de conception d'un amplificateur arborescent

### IV.1 Introduction

Dans cette deuxième partie nous allons décrire les différentes étapes de conception de l'amplificateur large bande 6 – 18 GHz en technologie GaN. Tout d'abord, on rappelle ci-dessous les principales spécifications de cet amplificateur.

<b><i>GaN HPA</i></b>	<b><i>Performances Requises</i></b>
<b>Fréquence</b>	6-18 GHz
<b>Pout @ 3 dBc</b>	5 W
<b>Pae @ 3 dBc</b>	10 %
<b>Gain associé</b>	10 dB
<b>Mode d'utilisation</b>	CW
<b>Température</b>	25 °C

Tableau 5 : Spécifications de l'amplificateur large bande à réaliser.

De telles spécifications nécessitent une étude approfondie afin de connaître, la topologie à adopter, la taille et le nombre de transistors à utiliser.

Dans cette optique, un travail amont très important réalisé par UMS a été effectué consistant à caractériser à température ambiante plusieurs topologies de transistors appartenant à la technologie GH25 (longueur de grille 0.25  $\mu\text{m}$ ). Plusieurs plaques ont été caractérisées pendant cette étude pour l'évaluation du process qui servira à l'implémentation de l'amplificateur large bande. Ce travail a ainsi permis de développer des modèles de transistors précis pour la phase de conception (Chapitre I).

Basée sur la caractérisation des transistors et leur modélisation, ainsi que sur le cahier des charges illustré par le Tableau 5, une taille de transistor a été déterminée comme étant l'optimale pour cette étude. Nous allons voir que le transistor de 8 doigts de  $75\ \mu\text{m}$  avec une longueur de grille de  $0.25\ \mu\text{m}$  présente les meilleures caractéristiques pour être intégré dans la phase de conception.

Ensuite, nous découvrirons que durant la phase de dimensionnement du HPA, un point critique a été identifié : le gain spécifié serait difficile à atteindre avec une version deux étages. Afin de minimiser ce risque, une version de trois étages a été réalisée avec les mêmes transistors  $8 \times 75\ \mu\text{m}$ .

## **IV.2 Etude préliminaire de la topologie de l'amplificateur**

Tout d'abord, le travail consiste à comparer les résultats de mesure des différentes topologies de transistors étudiées pendant la phase de caractérisation. L'objectif étant de trouver la topologie de transistor qui offrira le meilleur compromis entre ces différents paramètres hyperfréquences : Puissance, Gain, PAE, Courant... Ainsi, la topologie  $8 \times 75\ \mu\text{m}$  (8 doigts de  $75\ \mu\text{m}$  de largeur) est apparue comme la plus optimale pour la conception de l'amplificateur. Elle présente les meilleures performances et compromis en gain et puissance spécialement à 18 GHz.

Par la suite, nous déterminons le nombre de transistors et le nombre d'étages que contiendra l'amplificateur large bande.

### IV.2.1 Détermination du nombre d'étage

<i>Gain Max (mesure load-pull) à 18 GHz</i>	<i>2 étages</i>	<i>Pertes d'insertions en entrée</i>	<i>Pertes inter-étages</i>	<i>Pertes combineur de sortie</i>	<i>Gain Total (petit signal)</i>
9.5 dB	19 dB	2 dB	3 dB	1 dB	13 dB (= spec min)

Tableau 6 : Estimation du gain global petit signal à 18 GHz basé sur un HPA deux étages.

Le nombre d'étage caractérise le gain total de l'amplificateur, ainsi nous nous plaçons dans le cas le plus défavorable, c'est-à-dire à la fréquence haute dans la bande de fonctionnement correspondant au gain minimum. Le Tableau 6 ci-dessus résume l'évaluation du gain total de l'amplificateur à 18 GHz, fréquence critique, pour une topologie à deux étages.

Pour cela, on utilise le gain maximum bas niveau mesuré pendant les campagnes de mesures load-pull CW (1<sup>ère</sup> colonne), on le multiplie par deux afin de considérer les deux étages (2<sup>ème</sup> colonne) et on retranche les pertes dues aux adaptations entrée, sortie et inter-étages (3<sup>ème</sup>, 4<sup>ème</sup> et 5<sup>ème</sup> colonnes). Pour ce calcul, nous avons pris des moyennes pour les différentes pertes localisées dans le HPA. De ce fait, on en déduit un gain total petit signal de 13 dB, valeur égale à la spécification limite du cahier des charges. Par conséquent, la conception de l'amplificateur basé sur une version deux étages permettra bien d'atteindre la spécification en gain, cependant il y a un risque important car elle n'offre aucune marge.

Pour augmenter les performances en gain à 18 GHz la solution retenue est d'ajouter un troisième étage utilisant la même topologie de transistor. Ainsi en considérant le Tableau 7 on constate que l'on fait passer le gain total petit signal de 13 dB à 19.5 dB. Cette version permet de minimiser le risque observé sur la version deux étages.

<b><i>Gain Max</i></b> <i>(mesure load-pull)</i> <i>à 18 GHz</i>	<b><i>3 étages</i></b>	<b><i>Pertes d'insertions en entrée</i></b>	<b><i>Pertes inter-étages 1→2</i></b>	<b><i>Pertes inter-étages 2→3</i></b>	<b><i>Pertes combineur de sortie</i></b>	<b><i>Gain Total (petit signal)</i></b>
9.5 dB	28.5 dB	2 dB	3 dB	3 dB	1 dB	19.5 dB

Tableau 7 : Estimation du gain global petit signal à 18 GHz basé sur un HPA trois étages.

#### IV.2.2 Détermination du nombre de transistors par étage

De même, le nombre de transistors en parallèle sur l'étage de sortie caractérise la puissance totale de l'amplificateur. En accord avec les mesures load-pull CW utilisant un transistor 8x75 µm, on constate que la puissance maximale à 3 dB de compression est de 2.5 W à 18 GHz (≈ 34 dBm). Par conséquent, si on considère quatre transistors en sortie sur le dernier étage, on obtient :

$$\underline{34 \text{ dBm} + 6 \text{ dB (4 transistors*)} - 1 \text{ dB (pertes combineur)} = 39 \text{ dBm} \approx 8 \text{ W}}$$

$$\underline{8\text{W} > \text{Spécification (5 W min)}}$$

Une autre façon de déterminer le nombre de transistors sur l'étage de sortie consiste à déduire la puissance nominale de la cellule de base à partir de la puissance spécifiée (5W ≈ 37 dBm) :

$$\underline{37 \text{ dBm} + 1 \text{ dB (marge)} + 1 \text{ dB (perte combineur)} - 6 \text{ dB (4 transistors en sortie*)} = 33 \text{ dBm}}$$

Chaque transistor du dernier étage doit fournir une puissance égale ou supérieur à 33 dBm, le transistor 8x75 µm fournissant 34 dBm, le choix de quatre transistors en sortie reste judicieux.

\* : On aura suivant les cas :

- 2 transistors → 3 dB
- 4 transistors → 6 dB
- 8 transistors → 9 dB

A noter que le nombre de transistor sur l'étage de sortie fonctionne toujours par paire afin de garder une symétrie lors de la recombinaison et ainsi obtenir le moins de pertes possibles.

### IV.2.3 Influence des pertes du réseau d'adaptation de sortie

Les pertes du combineur de sortie jouent un rôle important sur la puissance et le rendement en puissance ajoutée, on peut considérer qu'un delta négatif de 0.1 dB sur les pertes entrainera 0.1 dB de moins en puissance mais aussi directement 1 point de moins en PAE sur l'amplificateur global. C'est pourquoi la réalisation du combineur est très importante du point de vue des performances hyperfréquences de l'amplificateur.

Démonstration :

$$\text{Soit, } Pae_1 = 100x \frac{Pout_1(W) - Pin_1(W)}{Pdc_1(W)} \quad \text{et} \quad Pae_2 = 100x \frac{Pout_2(W) - Pin_2(W)}{Pdc_2(W)}$$

Avec  $Pae_1$  : référence avec le minimum de pertes.

$Pae_2$  : avec une dégradation sur les pertes de 0.1 dB par rapport à  $Pae_1$ .

$$\text{Ainsi, on a : } Pout_2(dBm) = Pout_1(dBm) - 0.1dB \Rightarrow Pout_2(dBm) = \frac{Pout_1(dBm)}{10^{\left(\frac{0.1}{10}\right)}}$$

$$\text{Or } Pin_1 = Pin_2 \quad \text{et} \quad Pdc_1 = Pdc_2$$

$$\text{Par conséquent, } Pae_2 = \frac{Pae_1}{10^{\left(\frac{0.1}{10}\right)}}$$

Cette expérience montre que le moindre écart sur les pertes peut avoir des conséquences néfastes sur la PAE. Ainsi, pour une PAE de 40 % ( $Pae_1$ ), nous pouvons en déduire qu'avec une augmentation de 0.1 dB de pertes, la PAE ne sera plus que de 39.08 % ( $Pae_2$ ).



### IV.3 Méthodologie de conception

#### IV.3.1 Simulations load-pull du transistor, conception du combineur de sortie

##### IV.3.1.1 Simulations Load-pull

Le but d'une simulation load-pull est de déterminer les impédances de charge optimales du transistor qui offriront le meilleur compromis entre les performances en puissance et la PAE. Ces zones d'impédance sont balayées sur l'abaque de Smith alors que l'impédance de source du transistor est fixée. Seule l'impédance à l'harmonique fondamentale ( $f_0$ ) varie. Aux fréquences harmoniques les impédances sont fixées à 50 Ohms en entrée et en sortie du transistor.

Compte tenu de la largeur de bande (6-18 GHz), la variation de l'impédance de charge optimale est non négligeable entre 6 et 18 GHz. La figure qui suit montre les valeurs de l'impédance de charge du transistor (partie réelle et imaginaire) en fonction de la fréquence pour un transistor  $8 \times 75 \mu\text{m}$ .

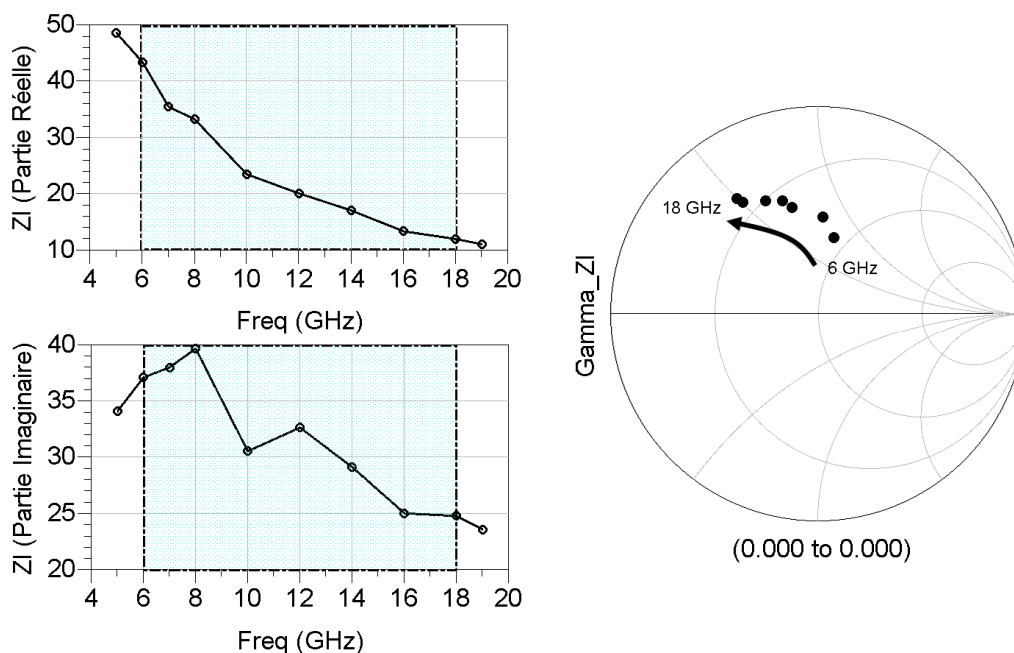


Figure 19 : Simulations load-pull sur un transistor  $8 \times 75 \mu\text{m}$ .

La partie réelle de l'impédance de charge varie très fortement de 45 Ohms à 10 Ohms à travers la bande 6-18 GHz. En effet, le combineur de sortie devra transformer la charge 50 Ohms de façon à présenter à chaque transistor la charge optimale (en réelle et imaginaire) pour chaque fréquence de la bande de fréquence.

#### IV.3.1.2 Topologie du combineur de sortie

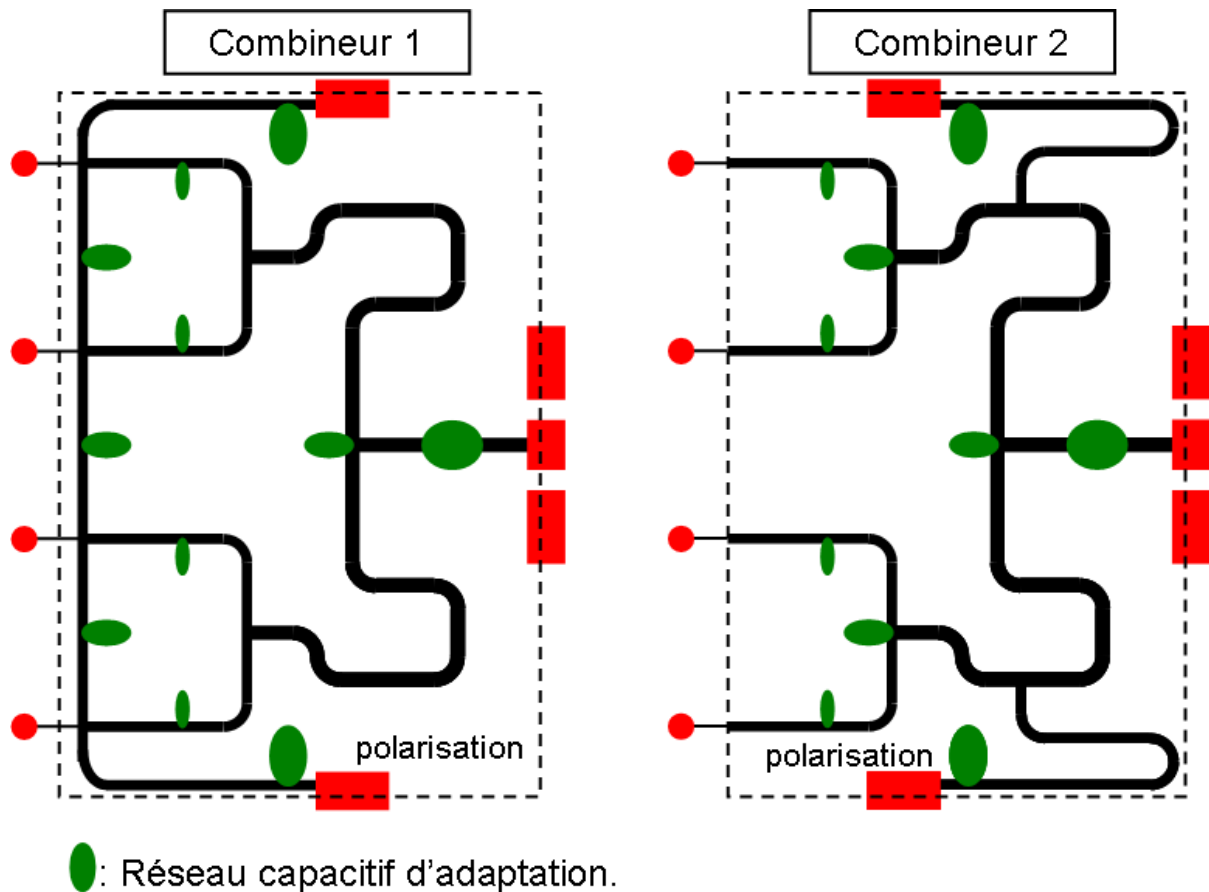


Figure 20 : Exemple de topologies de combineurs de sortie.

Ci-dessus, nous pouvons observer deux topologies de combineur de sortie différentes. D'un côté le "combineur 1" où la polarisation de drain vient se connecter au niveau du "bus de connexion" reliant les quatre sorties des transistors du dernier étage. Cette topologie permet de délivrer aux transistors des impédances faibles, mais aussi rendre critique le découplage RF-DC et accroître la sensibilité des fils de connexion au niveau des ports d'alimentation de drain. De l'autre côté, le "combineur 2" où la topologie est différente ; la connexion en "bus

de connexion" n'étant pas utilisée. Cette version est très intéressante car le combineur est totalement symétrique comparé au "combineur 1" ce qui est très avantageux pour la stabilité de l'amplificateur. Après de multiples essais d'optimisation notre choix se portera sur un combineur intermédiaire, la topologie se rapprochant de celle du "combineur 2" mais les connexions d'alimentation se faisant au plus proche des accès drain des transistors afin de limiter les pertes ohmiques et les éventuels couplages.

L'optimisation du combineur de sortie est la chose la plus importante à prendre en considération dans la conception d'un amplificateur car cet élément est lié directement aux performances en puissance et PAE. Nous allons donc détailler les différentes étapes à suivre lors de sa conception.

#### IV.3.1.3 Optimisation du combineur de sortie en petit signal : Paramètres [S]

La conception de cette partie du HPA se fait tout d'abord à partir de simulations en paramètres [S]. Le principe d'optimisation employé sous ADS est décrit sur la figure suivante :

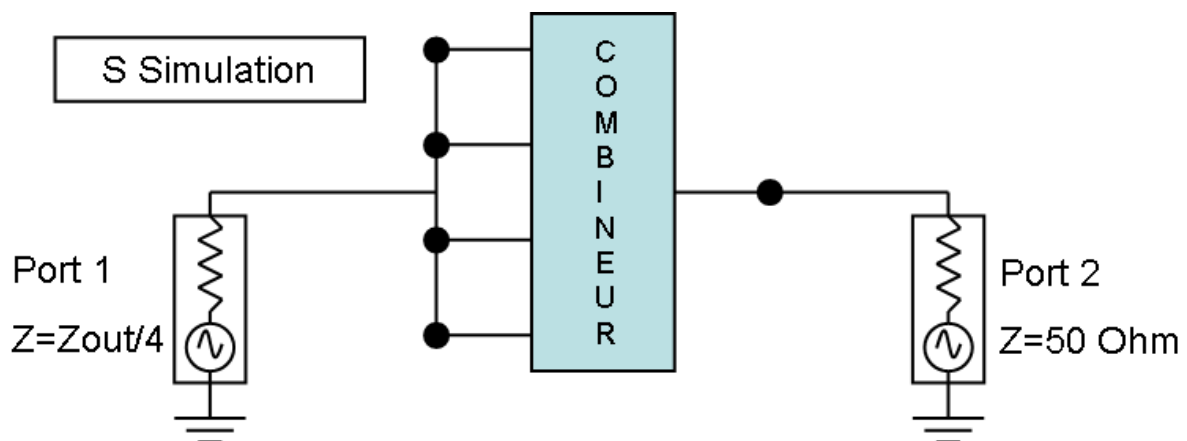


Figure 21 : Principe d'optimisation du combineur de sortie.

Le combineur de sortie est chargé sur 50 Ohms et son entrée est chargée par l'impédance  $Z_{out}$ .  $Z_{out}$  est définie comme le conjugué de l'impédance de charge  $Z_l$  caractérisée lors des simulations load-pull. L'impédance  $Z_{out}$  est divisée par quatre car les quatre voies du

combineur de sortie sont reliées entre elles. L'optimisation peut être réalisée à travers toute la bande de fréquence,  $Z_{out}$  prenant la valeur de  $Zl^*$  à chaque fréquence. C'est la condition d'absorption maximum de puissance par une charge. Dans cette condition, l'impédance vue vers la charge en un point de la ligne est égale à l'impédance complexe conjuguée de celle vue vers la source.

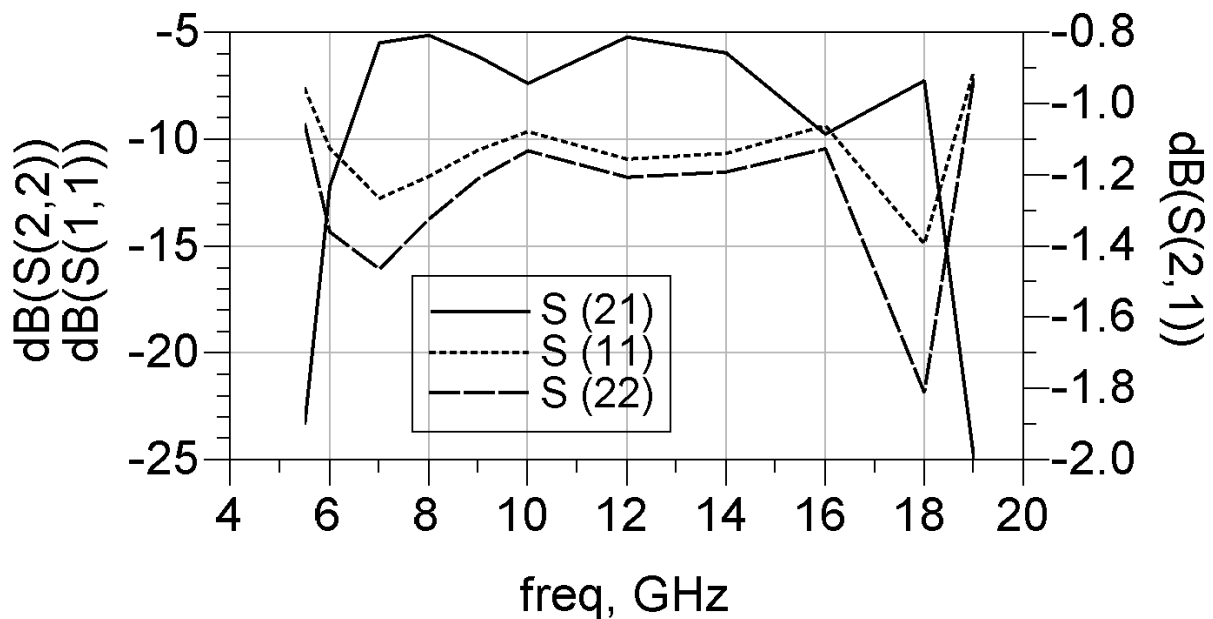


Figure 22 : Simulation du combineur de sortie en paramètres [S] dans la bande 5.5-19 GHz.

L'optimisation du combineur de sortie consiste à adapter l'entrée et la sortie de façon à obtenir les plus faibles pertes en transmission ( $S_{21}$ ) en fonction de la fréquence avec le plus faible coefficient de réflexion ( $S_{11}$ ). La Figure 22 montre les résultats obtenus après l'optimisation du combineur. Les résultats sont satisfaisants, dans la bande 6-18 GHz : les pertes en transmission sont inférieures à 1.1 dB et les coefficients de réflexion en entrée/sortie sont inférieurs à -10 dB. En bande étroite, le combineur peut être optimisé avec des pertes de seulement 0.5-0.6 dB. En fonctionnement large bande ces valeurs sont trop difficiles à obtenir. Il faut faire des compromis et homogénéiser les pertes dans la bande. Les pertes visées dans ces applications sont de l'ordre de 1 dB.

La simulation peut être réalisée dans une bande de fréquence supérieure à la bande donnée par le cahier des charges (+ 1 GHz).

#### IV.3.1.4 Optimisation du combineur de sortie en petit signal : Simulation

##### « AC »

L'inconvénient de la simulation en paramètres [S] réside dans le fait que l'impédance de chacun des ports du combineur n'est pas connue. La seule façon de la déterminer et de détecter de possible dissymétrie entre transistors est de faire une simulation « AC ». Dans la plupart des cas, les transistors du dernier étage qui se situent à l'extérieur ( $Tr_1$  et  $Tr_4$ ) sont ceux qui présentent le plus de risque de dissymétrie avec les autres. Cette dissymétrie est le plus souvent due à la présence des lignes d'alimentation de drain.

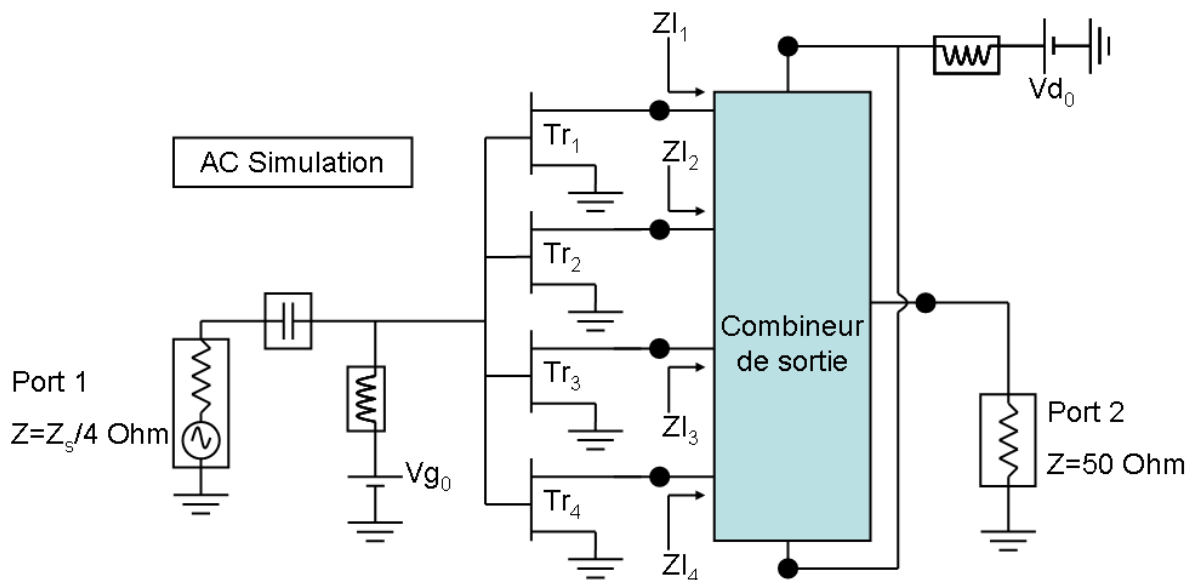


Figure 23 : Schéma de conception pour la détermination des impédances de charge  $Z_{l_n}$ .

Le schéma ci-dessus présente la marche à suivre lors de cette étape. A la sortie de chaque transistor ( $Tr_n$ ), une sonde de tension et une sonde de courant sont placées afin de déterminer les impédances de charge ( $Z_{l_n}$ ). De même le gain de chaque transistor tracé en fonction de la fréquence est comparé au gain maximal du transistor simulé seul lors d'une analyse en paramètres [S]. Cette comparaison permettra de vérifier la qualité de l'adaptation. A noter, comme dans le cas de la simulation en paramètres [S], le *Port 1* est cette fois-ci chargé par l'impédance  $Z_s/4$ .  $Z_s$  représentant l'impédance de source du transistor  $8 \times 75 \mu\text{m}$  déterminée en simulation load-pull pour chaque fréquence de la bande de fonctionnement.

Lors de cette simulation, une optimisation est effectuée sur les impédances de sortie des transistors, le gain du système et les pertes du combineur.

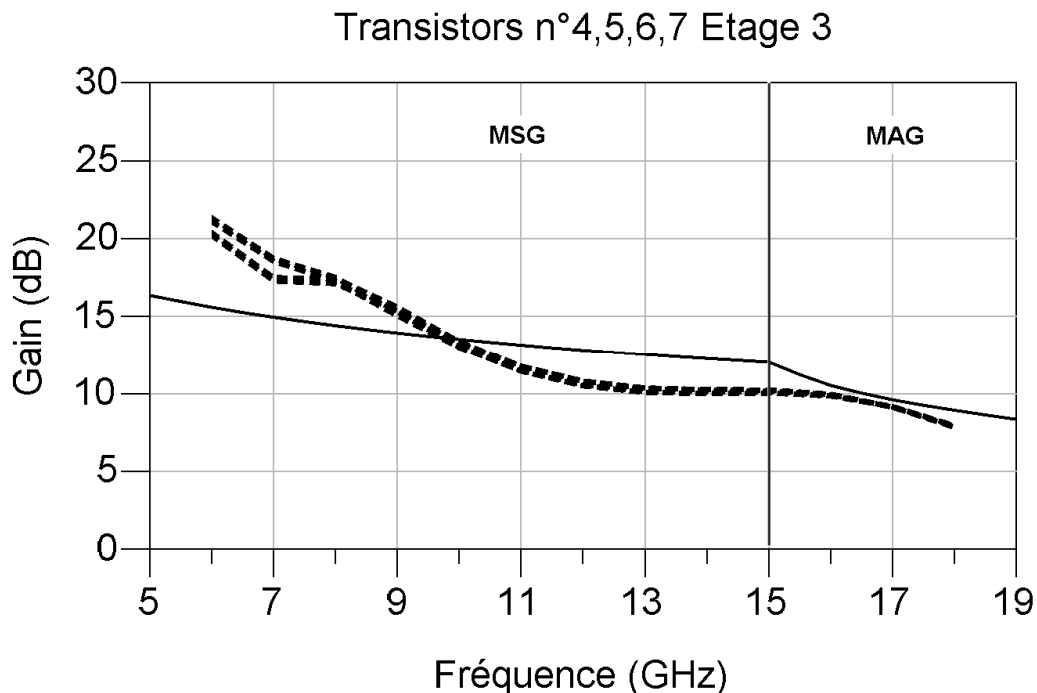


Figure 24 : Gains linéaires des quatre transistors du dernier étage (en pointillés) comparés au Gain maximum du transistor  $8 \times 75 \mu\text{m}$  (en continu) dans la bande 6-18 GHz.

Sur la figure ci-dessus, nous avons tracé les gains des quatre transistors (en pointillés) du dernier étage en fonction de la fréquence. Comparé au gain du transistor seul en paramètres [S] (en trait continu), nous observons pour les fréquences de 6 à 10 GHz un dépassement du  $G_{MS}$  (Maximum Stable Gain). En rappelant brièvement les définitions du  $G_{MA}$  et du  $G_{MS}$  comme nous l'avons vu lors de l'étude théorique de stabilité linéaire, nous allons démontrer qu'un transistor peut être stable même si son gain dépasse la valeur de son  $G_{MS}$  à une fréquence donnée.

Le  $G_{MA}$  (Maximum Available Gain ou aussi appelé  $G_{max}$ ) est seulement défini lorsque le facteur  $k$  est supérieur à 1. Car, la valeur de l'expression sous la racine carrée devient négative pour des valeurs de  $k$  inférieur à 1. Aussi, le  $G_{MA}$  deviendrait infini pour des valeurs de  $k$  inférieur à 1, or un gain infini correspond à un oscillateur.

$$G_{\max} = \left(k - \sqrt{k^2 - 1}\right) \times \frac{|S_{21}|}{|S_{12}|} \quad \text{Pour } k > 1.$$

Le  $G_{MS}$  d'un dispositif est défini lorsque le facteur  $k$  est inférieur à 1. Il est simplement défini par le ratio  $mag(S_{21})/mag(S_{12})$ . Ce paramètre ne nous apporte donc pas d'informations significatives car il est défini avec  $k = 1$  dans une zone *ou*  $k < 1$ . Nous ne pouvons donc pas en tenir compte avec une grande considération dans notre conception. Nous en déduirons cependant que lorsque le gain du transistor à l'intérieur du dispositif dépassera le  $G_{MS}$ , il sera nécessaire de tracer les cercles de stabilité en entrée et en sortie et vérifier que les impédances présentées aux transistors se trouvent bien dans la zone stable (Partie stabilité).

#### **IV.3.1.5 Simulation « HB » d'un étage amplificateur, vérification du combineur de sortie**

Le schéma de principe est le même que la simulation « AC ». La simulation « Harmonic Balance » est utilisée afin d'observer les éventuelles dissymétries liées au niveau de puissance d'entrée injecté dans le dispositif. Il est nécessaire de faire une étude sur l'évolution des impédances des transistors en fonction de la puissance d'entrée. Pour chaque transistor, les parties réelles des impédances d'entrée et de sortie doivent être positives afin de réduire le risque d'instabilité. De plus, les parties réelles et imaginaires doivent avoir un comportement homogène, sans grande variation en fonction de la puissance d'entrée.

Lors d'une analyse non linéaire de l'amplificateur complet, le comportement du système doit être vérifié à différents niveaux de puissance d'entrée. Ainsi, une attention toute particulière est donnée au comportement du gain, du rendement en puissance ajoutée et de la puissance de chaque transistor en fonction de la puissance.

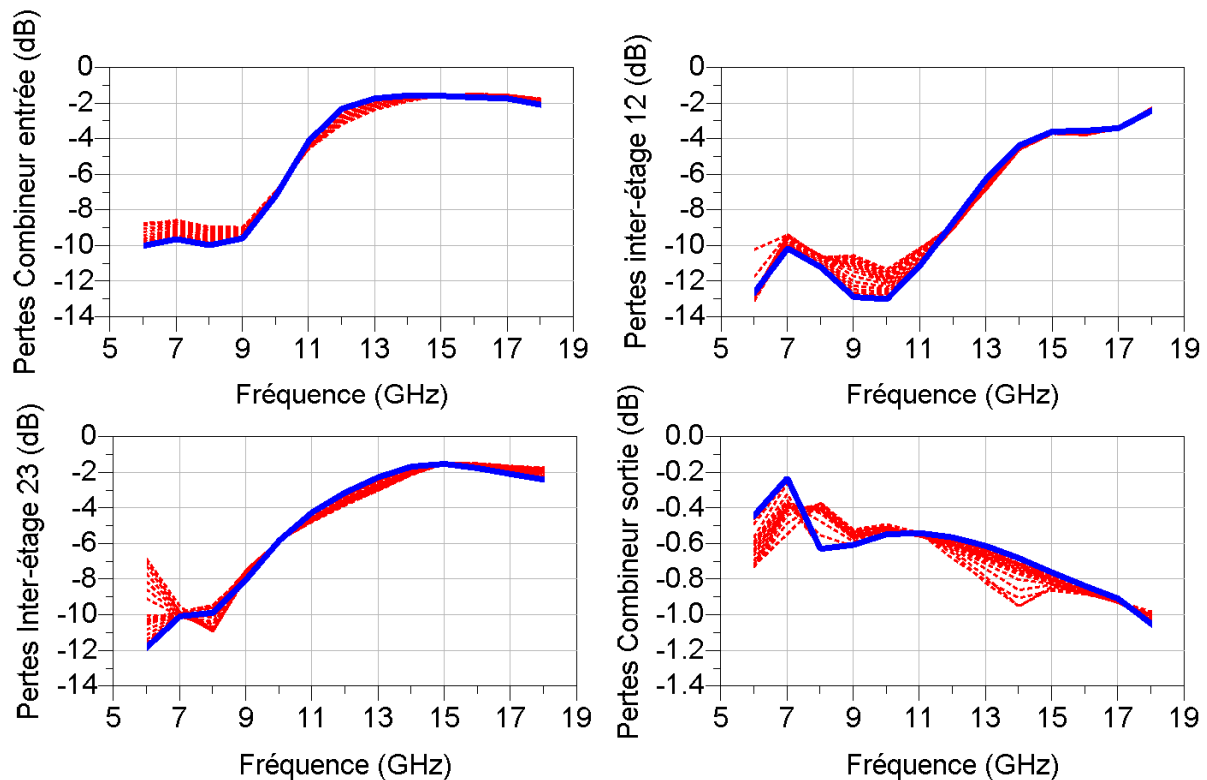


Figure 25 : Pertes d'adaptations entrée/sortie et inter-étages en fonction de la fréquence (6-18 GHz). Trait continu  $\Rightarrow$  Bas niveau ; Traits pointillés  $\Rightarrow$  fonction de Pin.

La Figure 25 présente un exemple des pertes par adaptation de l'adaptateur d'entrée, de l'inter-étage 1 vers 2, de l'inter-étage 2 vers 3 et du combineur de sortie dans la bande 6-18 GHz. Les pertes sont quasiment constantes en fonction de la puissance (traits pointillés) et sont beaucoup plus variables en fonction de la fréquence. Nous constatons néanmoins que les pertes à 18 GHz ont été minimisées dans les deux combineurs et les deux inter-étages de l'amplificateur.

### IV.3.2 Conception d'un inter-étage

L'inter-étage peut être le facteur limitant de l'amplificateur en termes de bande de fréquence. Cette limitation est due aux faibles impédances à présenter en entrée des transistors à travers toute la bande de fréquence. De plus, la grande difficulté pour la conception d'un inter-étage est liée au fait que les impédances d'entrée et de sortie sont fréquemment dépendantes



(ce qui n'est pas le cas pour la conception du combineur d'entrée et le combineur de sortie). Le choix de la topologie dépend du gain linéaire global du HPA, de la puissance d'entrée à fournir à l'étage supérieur, ainsi qu'à la polarisation de drain de l'étage inférieur et la polarisation de grille de l'étage supérieur.

Nous verrons dans cette partie que l'optimisation a été difficile à cause d'un important retour de signal ("feedback") dû à un fort coefficient de transmission  $S_{12}$  du transistor 8x75  $\mu\text{m}$ .

#### IV.3.2.1 Description

La version de l'amplificateur que nous décrivons ici est celle d'un amplificateur trois étages. Par conséquent il sera composé de deux inter-étages. Ici nous décrivons seulement la méthodologie de l'inter-étage reliant l'étage deux à l'étage trois. La méthode étant la même pour le second inter-étage reliant l'étage un à l'étage deux.

La solution retenue est de conserver la même topologie de transistors pour le deuxième étage comme nous l'avons vu en IV.2.1. Ainsi, le choix de deux transistors sur le deuxième étage s'avère être le choix le plus judicieux.

Lors de l'optimisation, les pertes inter-étage doivent être plus faibles en haut de bande afin de compenser la décroissance naturelle du gain des transistors en fonction de la fréquence (Figure 25). Ainsi cela permettra aussi d'obtenir un gain plat global du HPA dans la bande.

Les réseaux de transformation d'impédance (réseaux en "T" ligne-capacité-ligne) sont davantage utilisés dans la conception d'un inter-étage par rapport à celle d'un combineur de sortie. Le rapport de transformation est plus élevé dès lors que l'adaptation de l'entrée d'un transistor est prise en compte. Lors des mesures load-pull, l'ordre de grandeur de l'impédance de source idéale pour un transistor de 8x75  $\mu\text{m}$  est de l'ordre de 3 à 4 Ohms dans la bande 6-18 GHz. Ceci nous contraint donc à créer des réseaux d'adaptations complexes afin de présenter des impédances élevées en sortie de l'étage  $n$  et des impédances faibles en entrée de l'étage  $n+1$ .

### IV.3.2.2 Difficultés rencontrées

L'élaboration de cette partie de l'amplificateur se fait en suivant la même méthodologie que lors de la réalisation du combineur de sortie vue précédemment. Cependant, l'étape d'optimisation en paramètres [S] n'est pas d'une grande importance lors de cette étude. En effet, la prise en compte du coefficient de transmission de la sortie vers l'entrée ( $S_{12}$ ) des transistors GH25 s'est avérée primordiale. Comme on peut l'observer sur le Tableau 8 ci-dessous, les transistors en GaN, au moment de la conception du circuit MMIC, présentent un signal  $S_{12}$  plus élevé par rapport à une filière AsGa. Par conséquent, ceci entraîne de nombreuses complications lors de la phase de conception. L'optimisation d'un inter-étage doit se faire avec la prise en compte de tous les éléments le succédant jusqu'à la charge. Il faut préciser que pour la même taille, le transistor GaN fournit quatre fois plus de puissance que le transistor AsGa.

	Topologie	Polarisation	Adaptation en puissance entrée/sortie			Adaptation 50 $\Omega$ entrée/sortie	
			$P_{out}$	$S_{21}$	$S_{12}$	$S_{21}$	$S_{12}$
GH25	8x75 $\mu\text{m}$	25V ; 160 mA	34.6 dBm	11 dB	<b>-14.6 dB</b>	5.5 dB	<b>-20.2 dB</b>
PPH25X	8x75 $\mu\text{m}$	8V ; 80 mA	28.6 dB	14.4 dB	<b>-18.3 dB</b>	7.2 dB	<b>-25.6 dB</b>

Tableau 8 : Comparaison technologies GaN/AsGa d'UMS @ 12 GHz.

La Figure 26 illustre une difficulté rencontrée lors de la phase de conception. Les quatre graphiques représentent les parties réelles et imaginaires des impédances d'entrée et de sortie d'un transistor du 3<sup>ème</sup> étage. Ce résultat a été obtenu lors de l'optimisation de l'inter-étage (2 vers 3) en simulation « HB ». Chaque graphique représente le paramètre sélectionné en ordonnée en fonction de la fréquence et de la puissance d'entrée. La courbe en trait plein (bleu) représente la valeur du paramètre à faible niveau ( $P_{in} = -5$  dBm), et les courbes en pointillés représentent les valeurs du paramètre pour toutes les autres valeurs de puissance d'entrée ( $-5$  dBm <  $P_{in} \leq 30$  dBm).

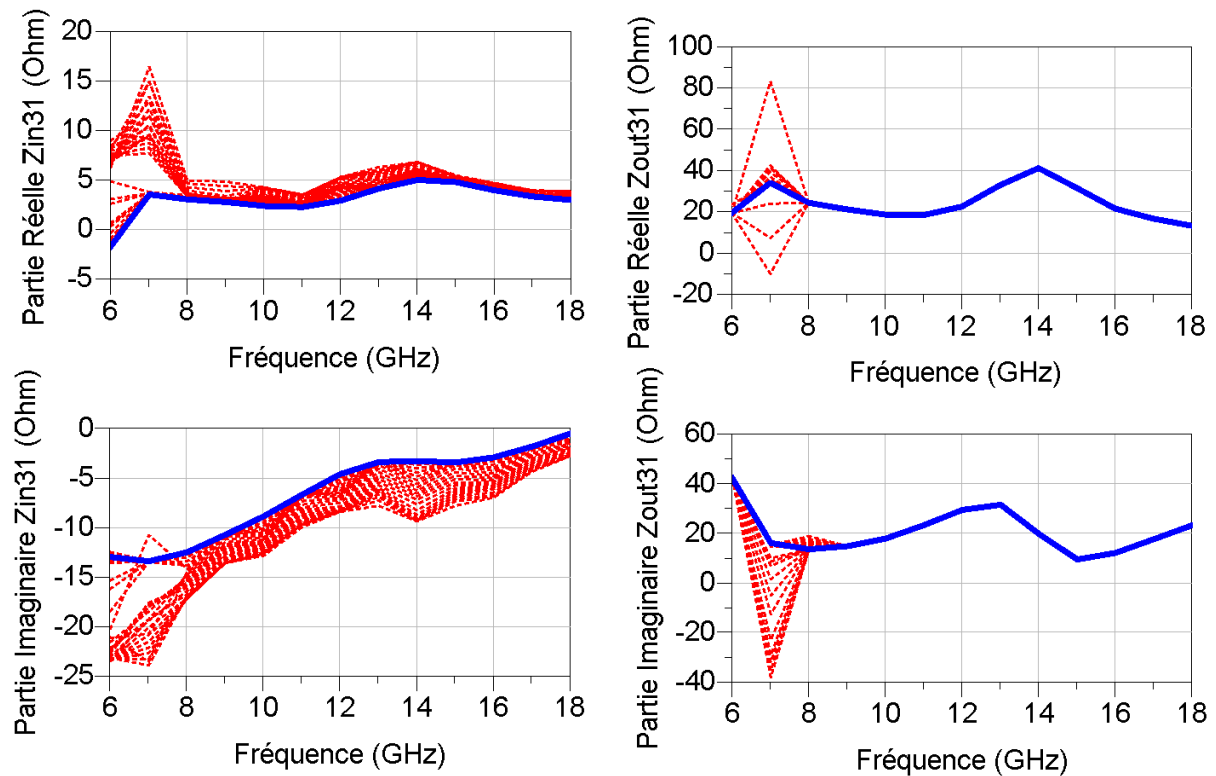


Figure 26 : Illustration d'une oscillation à 7 GHz à partir des impédances d'entrée et sortie d'un transistor du 3<sup>ème</sup> étage.

On constate une importante variation des impédances en entrée et sortie à 7 GHz, ce phénomène est typique d'une oscillation dû à un "feedback" important des transistors. Si l'on se contente d'observer les impédances à faible niveau de puissance d'entrée (trait continu en bleu), nous n'observons pas de problème particulier à 7 GHz. L'instabilité apparaît au moment où la puissance d'entrée augmente. Cette illustration démontre clairement l'importance de faire des optimisations non linéaire des inter-étages. Les autres difficultés rencontrées sont celles liées à toute conception d'amplificateur large bande : à savoir réaliser le meilleur compromis entre les impédances optimales à présenter aux transistors dans la bande de fréquence avec le minimum de pertes en essayant de maintenir un gain relativement plat.

### IV.3.3 Conception du réseau d'adaptation d'entrée

Cette partie de l'amplificateur peut être entièrement optimisée à l'aide de simulations paramètres [S]. Le combineur d'entrée est très important car il permet d'améliorer la forme du gain dans la bande une fois que le combineur de sortie et les inter-étages sont optimisés. Ensuite, le combineur d'entrée est optimisé dans le but d'obtenir un minimum de pertes en transmission mais aussi, et surtout, un minimum de pertes de réflexion en entrée du dispositif ( $S_{11}$ ).

Le combineur d'entrée doit transformer 50 Ohms en entrée de l'amplificateur en 3 à 4 Ohms au niveau de la grille du transistor sur la bande 6-18 GHz. Le rapport de transformation d'impédance est important mais ne varie quasiment pas en fonction de la fréquence contrairement au combineur de sortie.

Comme dans le cadre de la conception d'un inter-étage, les réseaux de transformation d'impédances sont nombreux, la mise en place de capacités en parallèle sur la grille du transistor est utilisée afin d'augmenter l'impédance du transistor vu du générateur. Aussi, l'utilisation de circuits RC parallèles permet de supprimer les oscillations potentielles à  $F_0/2$ .

Une fois le combineur d'entrée optimisé, le contrôle des impédances d'entrée et de sortie de chaque étage est essentiel. Ceci, nous permet en partie de vérifier la présence ou non de zones potentiellement instables dans l'amplificateur. Sur la Figure 27, les impédances d'entrée d'un transistor de chaque étage ont été tracées en fonction de la puissance d'entrée pour toutes les fréquences de la bande de fonctionnement. La simulation en puissance de l'amplificateur complet montre un bon comportement des impédances d'entrée et de sortie. Cependant nous allons voir par la suite qu'une étude détaillée de la stabilité est nécessaire avant tout lancement de circuit de puissance en fabrication.

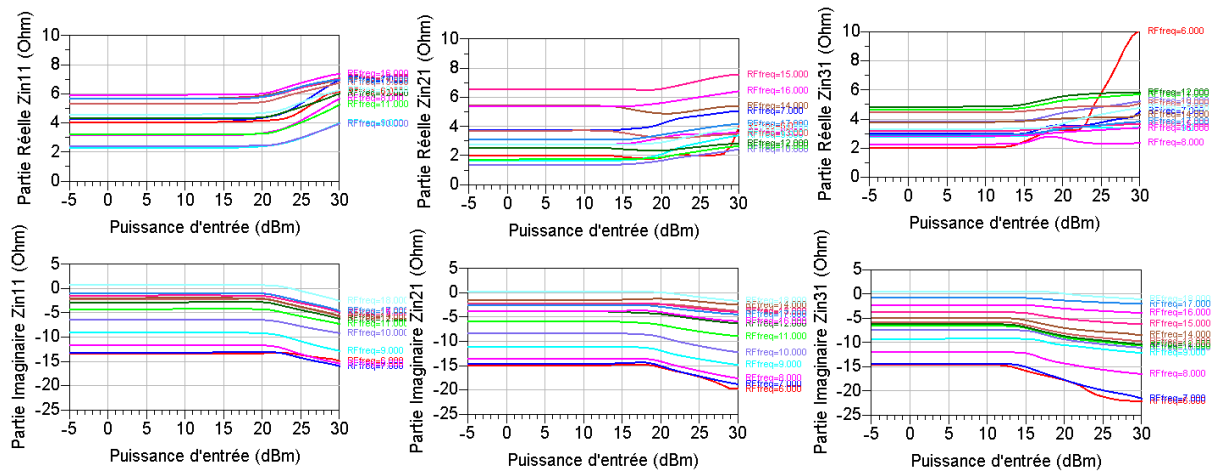


Figure 27 : parties réelles et imaginaires des impédances d'entrée d'un transistor de chaque étage à toutes les fréquences (6 à 18 GHz) en fonction de la puissance d'entrée.

#### IV.4 Points clefs de la phase de conception

Au cours de la phase de conception de nombreux points techniques ont été rigoureusement étudiés. La conception de circuits MMIC en GaN requière une approche nouvelle car les performances obtenues sont supérieures à celles habituellement réalisées en AsGa (Tableau 9). Comme nous l'avons vu précédemment, les capacités de la technologie GaN en termes de puissance et de valeurs tensions/courants mis en jeu apportent de nouveaux points de réflexion dans l'étude de la conception de circuit de puissance MMIC. Ainsi, l'élévation de la température du composant s'est imposée comme une évidence lors de la conception de l'amplificateur. Tout au long de cette phase, une attention toute particulière a été portée sur les caractéristiques intrinsèques de chaque transistor de l'amplificateur.

<b>Caractéristiques du transistor</b>	<b>GaN CW (*)</b>	<b>PPH25X CW (*)</b>
<b>Géométrie</b>	8x75 $\mu\text{m}$	12x100 $\mu\text{m}$
<b>Polarisation</b>	25 V	8 V
<b>Puissance (saturée)</b>	2.5 W	0.84 W
<b>Densité de puissance (saturée)</b>	4.2 W/mm	0.7 W/mm
<b>PAE à 18GHz</b>	30 % @ 3dBc	42 % @ 3 dBc
<b>Gain linéaire</b>	10 dB	11 dB
<b>Réelle (Zin)</b>	4 Ohms (sat)	3 Ohms (sat)
<b>Réelle (Zout)</b>	13 Ohms (sat)	12 Ohms (sat)

(\*) : Données extraites à partir des simulations et validées à partir des mesures load-pull.

Tableau 9 : Comparaison des caractéristiques électriques entre deux filières GaN (1<sup>ère</sup> itération) et AsGa d'UMS.

De plus, pour les amplificateurs de puissance parcourant une large bande de fréquence et utilisant plusieurs étages, les transistors sont parfois chargés par des impédances très différentes, certaines étant très éloignées de l'impédance optimale. Nous verrons alors que ce phénomène peut amener le transistor à travailler dans des zones de fonctionnement dangereuses.

### IV.4.1 Comportement des transistors en régime Non-Linéaire

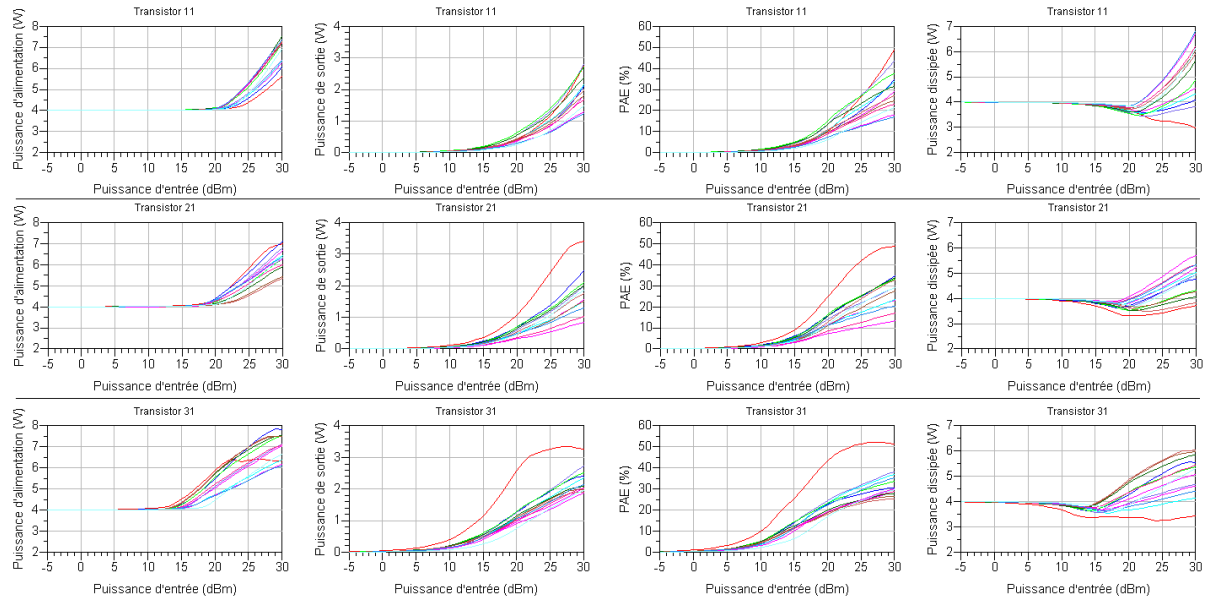


Figure 28 : Simulations non-linéaire de 3 transistors appartenant chacun aux étages 1, 2 et 3. Puissance d'alimentation (W), Puissance de sortie (W), Rendement en puissance ajoutée (%) et Puissance dissipée (W) en fonction de la puissance d'entrée (dBm) et de la fréquence (GHz).

Les résultats de simulation présentés ci-dessus (Figure 28) correspondent au bilan de puissance de chaque étage. Pour une puissance d'entrée de 25 dBm, dans le cas le plus défavorable, les transistors qui dissipent le plus de puissance se situent au niveau du troisième étage avec 5.5 W. Si nous augmentons la puissance d'entrée à 30 dBm, c'est le transistor du premier étage qui dissipera alors le plus de puissance avec 6.5 W.

Les puissances d'alimentation étant élevées (4 à 7 W) et les rendements en puissance ajoutée moyennement importants (en moyenne 20 %), les puissances dissipées sont non négligeables. Pour une application en mode CW, l'objectif est de réduire encore cette puissance dissipée en améliorant le rendement en puissance ajoutée afin que le HPA soit compatible avec des procédés d'assemblage à bas coût. Les mesures de fiabilité sont prévues pour définir les valeurs maximales de puissance dissipées à ne pas dépasser en mode CW et en mode pulsé.

### IV.4.2 Cycles de charges

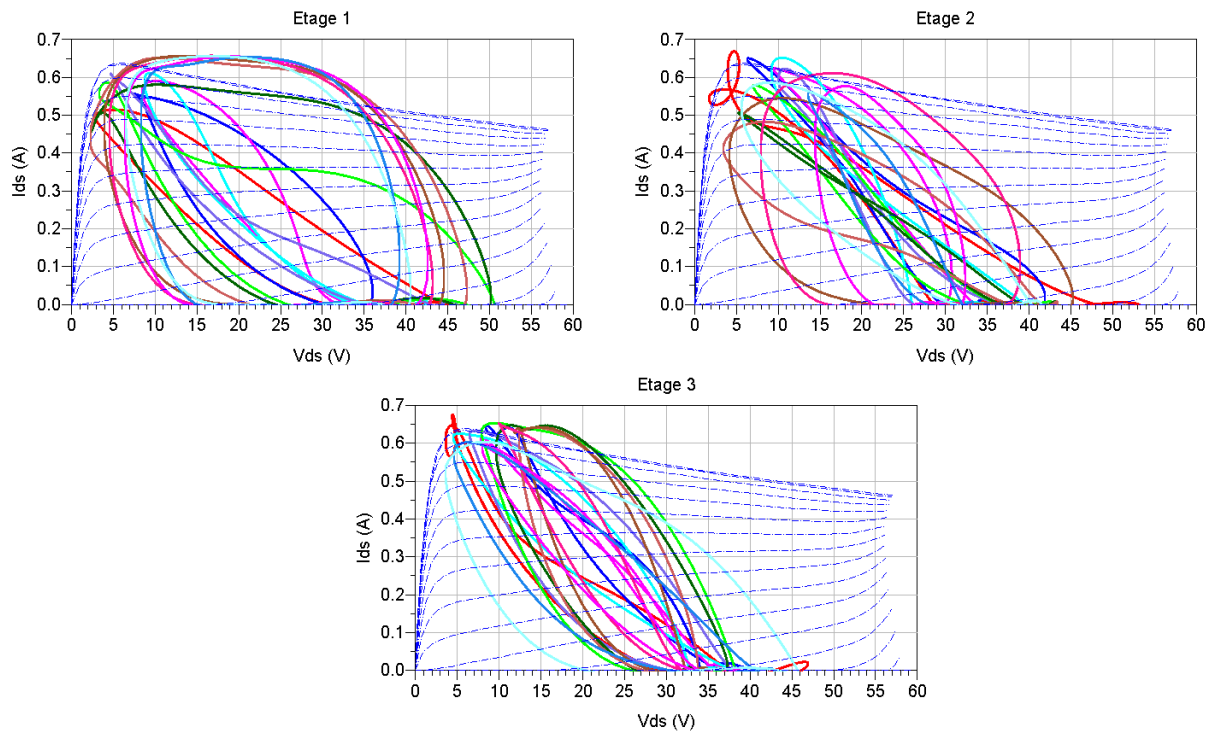


Figure 29 : Simulation des cycles de charge de chaque étage en fonction de la fréquence pour une puissance d'entrée de 30 dBm.

Les trois graphiques de la Figure 29 représentent les cycles de charges appartenant à un transistor de chacun des trois étages. On constate alors que le transistor du premier étage présente les cycles les plus « ouverts ». Les impédances vues par le transistor du premier étage sont difficiles à optimiser. La priorité sur la forme du gain global (gain plat) et la diminution des pertes d'entrée ont pour résultat la forme du cycle de charge.

Pour le troisième étage, les cycles de charges correspondent bien à une adaptation en puissance optimale. En effet, le rapport de transformation d'impédance est moins important que pour les inter-étages.

La tension d'avalanche de la filière GH25 étant supérieure à 80 V, on peut conclure que les cycles de charges varient dans une zone relativement sécurisée. En effet, le comportement RF du HPA dans la zone à fort courant et à forte tension de drain reste à analyser, notamment en fiabilité. Ceci sera réalisé sur la version qualifiée de la filière.



## IV.5 Etude de la stabilité

Afin de vérifier la stabilité de l'amplificateur, des simulations en régimes linéaire et non linéaire ont été effectuées. Nous avons vu en début de chapitre que le facteur de Rollett  $k$  ne reflète qu'une approche globale et linéaire de la stabilité. Cette analyse ne permet pas, par exemple, d'identifier une oscillation interne du circuit.

Dans un premier temps, il est intéressant de comparer le facteur de stabilité du transistor  $8 \times 75 \mu\text{m}$  au facteur de stabilité de l'amplificateur complet. La Figure 30 présente ces deux paramètres en fonction de la fréquence (6-18 GHz). On constate que le facteur  $K$  de l'amplificateur est très largement supérieur à 1 (condition limite de stabilité inconditionnelle) quelque soit la fréquence. Ceci, nous amène à penser que l'amplificateur serait stable quelque soit l'impédance de charge placée en entrée et en sortie. Néanmoins, il faut faire attention car si l'on se place non plus au niveau de l'amplificateur mais au niveau du transistor, on peut observer que le facteur  $k$  du transistor est inférieur à 1 de 6 à 15 GHz. Par définition, le transistor est conditionnellement stable dans cette bande de fonctionnement. L'étude des cercles de stabilité est donc nécessaire. Nous en concluons qu'une oscillation interne peut ne pas être détectée à partir des accès externes de l'amplificateur.

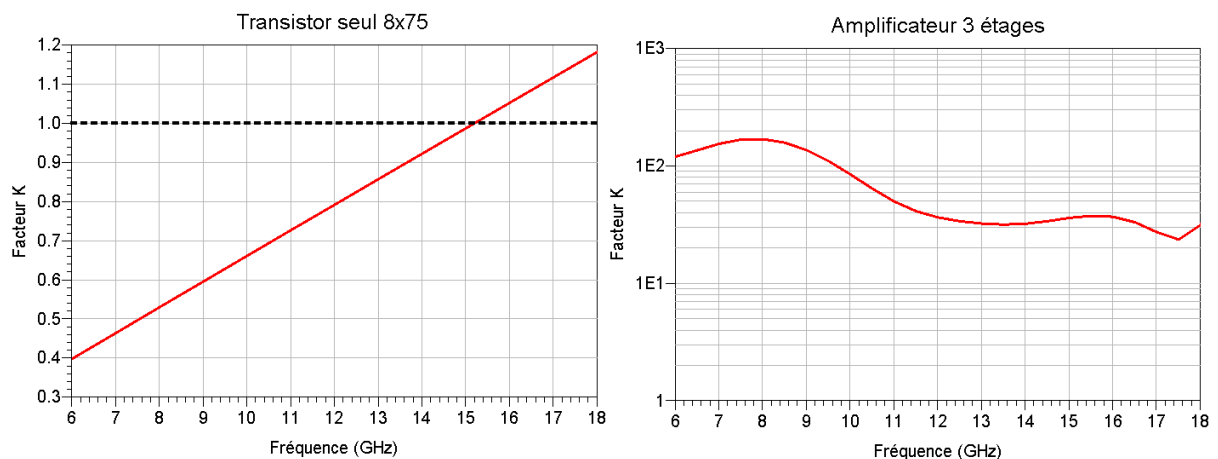


Figure 30 : Facteurs de stabilité  $K$  du transistor  $8 \times 75 \mu\text{m}$  et de l'amplificateur trois étages dans la bande 6-18 GHz.

### IV.5.1 Cercles de stabilité

Le principe d'analyse consiste à superposer les cercles de stabilité aux impédances vues par les transistors. Etage par étage, les impédances entrée/sortie des transistors sont superposées aux cercles de stabilité entrée/sortie du transistor 8x75  $\mu\text{m}$ . Cette simulation est effectuée pour toutes les fréquences de la bande de fonctionnement. Les charges peuvent aussi être tracées en fonction de la puissance d'entrée de l'amplificateur permettant ainsi de détecter une éventuelle oscillation non linéaire.

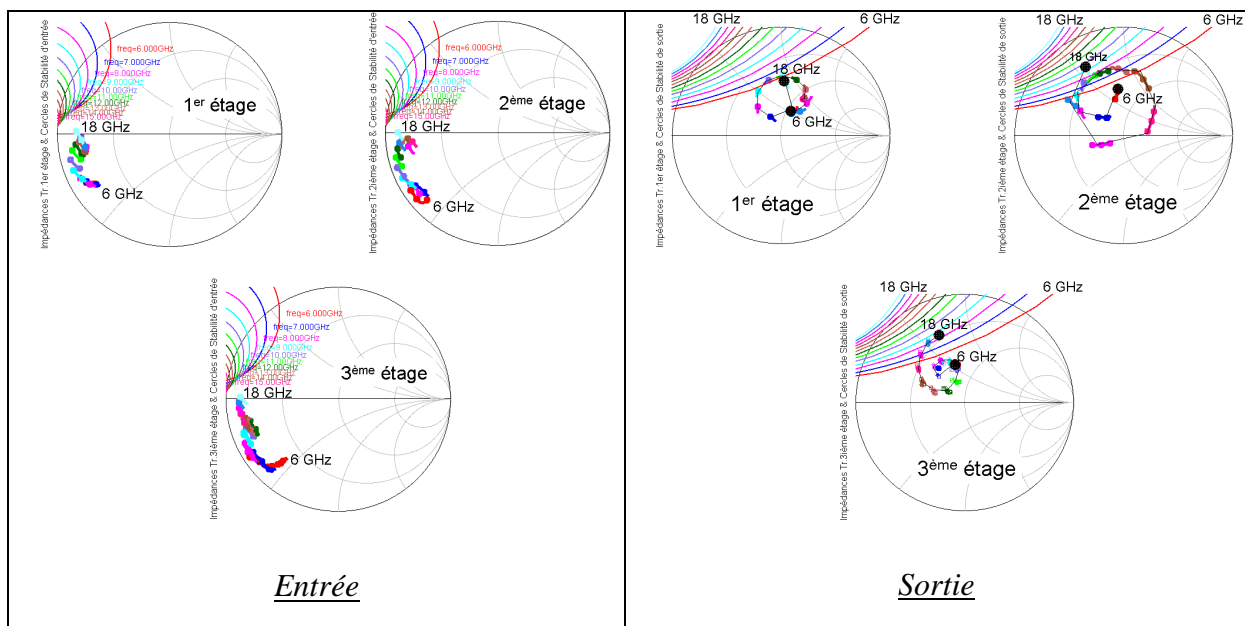


Figure 31 : Charges entrée/sortie présentées aux transistors et superposées aux cercles de stabilité pour les fréquences de 6 à 18 GHz.

Toutes les charges et tous les cercles de stabilité sont représentés en fonction de la fréquence. La zone stable étant référencée par le centre de l'abaque (50 Ohms, partie III.2), quelque soit la fréquence toutes les charges se situent à l'intérieur même de cette zone. Par conséquent, aucun des six abaques ci-dessus ne présente de cas d'instabilité.

Cette conclusion est toujours valable lorsque l'on analyse les charges en fonction de la puissance. Cependant l'étude de la stabilité en non linéaire doit être réalisée. Dans le paragraphe suivant, nous allons présenter l'analyse de la stabilité en mode non linéaire du HPA.

### IV.5.2 Etude de la stabilité non linéaire

Ici, la méthode décrite est celle utilisée pour l'analyse de la stabilité non linéaire des amplificateurs de puissance. Cette méthode consiste à générer une perturbation dans un nœud du circuit (généralement à l'entrée de chaque transistor). La fréquence générée à l'entrée de l'amplificateur est appelée  $RF\_freq$  et la puissance associée injectée  $Pin$ . La fréquence de perturbation est  $Freq\_omeg$  et son niveau de puissance est très faible.

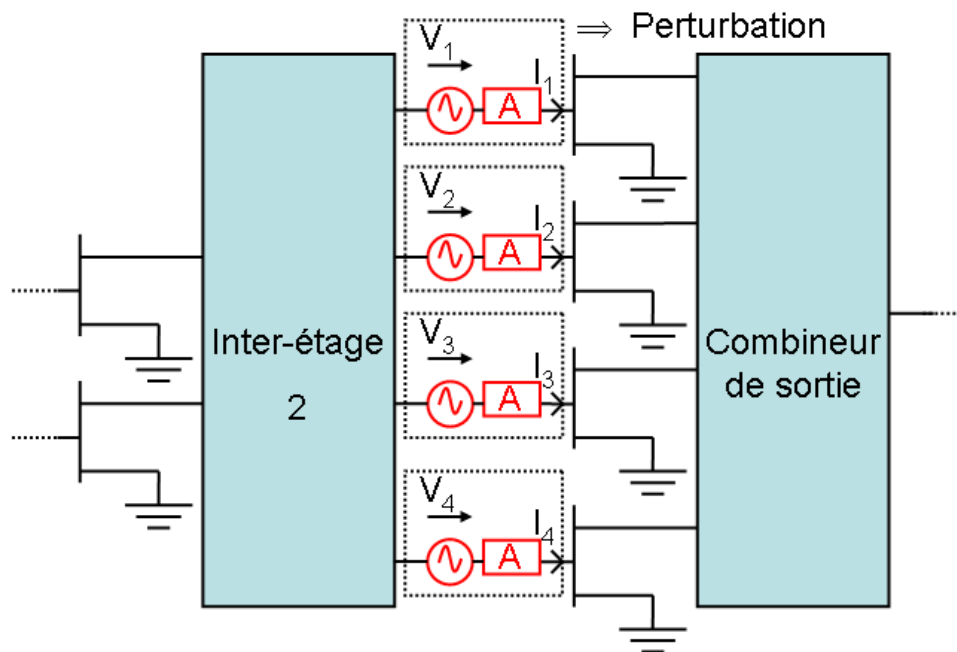


Figure 32 : Schéma de principe de la méthode d'analyse de stabilité non linéaire du 3<sup>ème</sup> étage.

Le principe de fonctionnement de la méthode est décrit sur la figure ci-dessus. L'analyse est complexe car, pour chaque étage, elle requière une étude de tous les modes de fonctionnement (phase de la perturbation, modes pairs et impairs), ceci en fonction des fréquences  $RF\_freq$ ,  $Freq\_omeg$  et de la puissance d'entrée  $Pin$ . On notera que les simulations peuvent encore être étendues en faisant varier la température, le point de polarisation ou bien même la charge.

Le principe de la méthode est de calculer  $Z_k(j\omega)$ , l'impédance aux bornes du générateur de perturbation :

$$Z_k(j\omega) = \frac{V_k(j\omega)}{I_k(j\omega)}$$

Dès lors, on visualise les parties réelle et imaginaire de celle-ci. Une oscillation est susceptible d'intervenir lorsque la partie réelle de cette impédance est négative et lorsque sa partie imaginaire passe par zéro avec une pente positive.

Illustration :

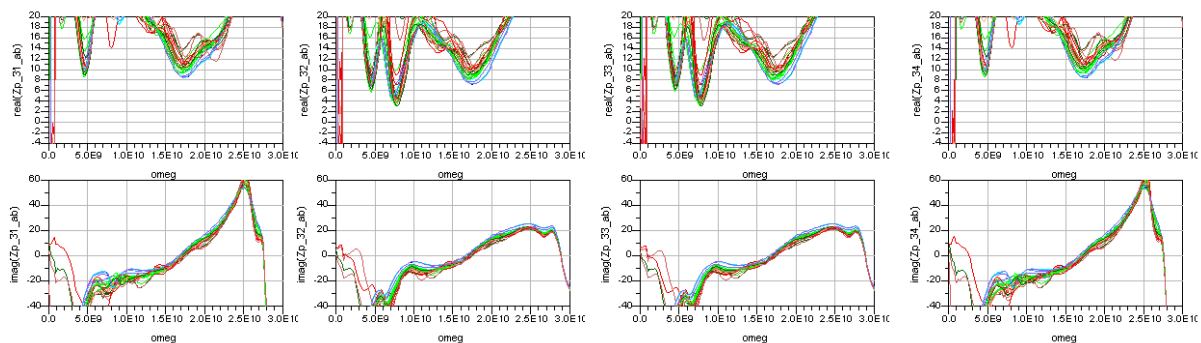


Figure 33 : Parties réelle et imaginaire de l'impédance de chaque port de perturbation du 3<sup>ème</sup> étage (mode impair) en fonction de  $Freq\_omeg$  et  $RF\_freq$  pour  $P_{in} = 25$  dBm.

La Figure 33 montre que la partie réelle des impédances aux bornes des sources de perturbation sont positives quelque soit la valeur de la fréquence de pompe  $RF\_freq$  et de la fréquence de perturbation  $Freq\_omeg$ . Dans ce cas, le HPA est stable.

Lors de cette étude, tous les cas ont été étudiés. Lorsqu'on détecte un risque faible d'oscillation (exemple : partie réelle de l'impédance est négative mais la phase ne varie pas dans le sens favorable à l'instabilité), la stabilité est alors vérifiée à l'aide de la méthode polynomiale utilisant le logiciel STAN [91, 92].

## **V. Résultats de mesures de l'amplificateur**

### **V.1 Introduction**

Nous allons présenter ici les résultats de mesure de l'amplificateur de puissance large bande 6-18 GHz. Ces résultats sont superposés aux rétro-simulations de l'amplificateur basées sur un modèle réactualisé du transistor.

Les performances mesurées de l'amplificateur de puissance sont proches des spécifications. De plus, le circuit est stable dans toutes les conditions de fonctionnement et dans toute la bande de fréquence.

### **V.2 Résultats de mesures sur plaques et rétro-simulations**

Dans cette partie, tous les amplificateurs de puissance sont mesurés en mode pulsé (25  $\mu$ s, rapport cyclique 10 %) afin d'éviter tout problème lié à la dissipation thermique.

Les figures suivantes présentent les mesures en paramètres [S] en mode pulsé effectuées sur trois plaques appartenant à deux lots différents. Les mesures montrent un comportement homogène d'une plaque à l'autre mais également de deux lots différents. On peut noter aussi une bonne maîtrise de la filière GH25 en cours de développement.

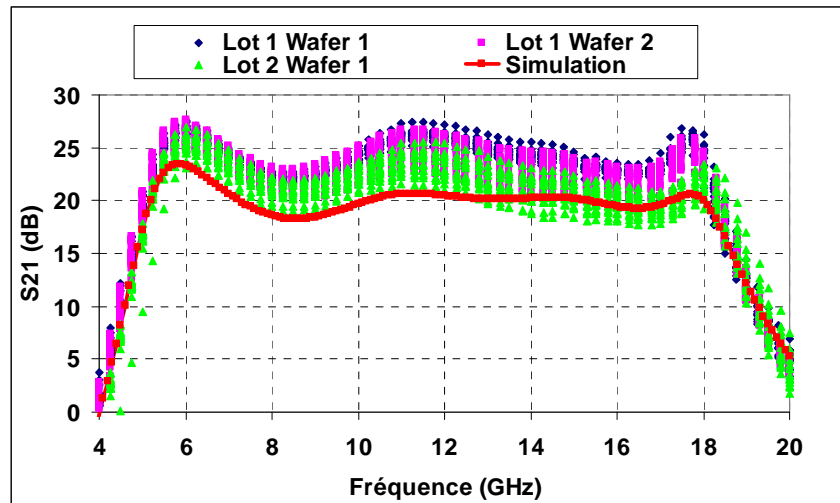


Figure 34 : Mesures et simulations du gain en paramètres [S] de l'amplificateur de puissance sur la bande 4-20 GHz.

La mesure du paramètre  $S_{21}$  montre un gain bas niveau minimum de 18 dB à travers la bande 6–18 GHz. De plus, les rétro-simulations reproduisent avec précision le comportement de l'amplificateur ce qui confirme la précision du modèle non linéaire. Il est utile de mentionner que les simulations sont effectuées en mode continu (CW), donc prenant en compte les effets thermiques. La simulation est donc logiquement pessimiste par rapport aux mesures.

Ci-dessous, les coefficients de réflexion en entrée ( $S_{11}$ ) et sortie ( $S_{22}$ ) sont présentés. En ce qui concerne le coefficient  $S_{11}$ , les valeurs mesurées varient entre -5 et -30 dB dans la bande de fonctionnement. Pour le paramètre  $S_{22}$ , les mesures obtenues sont le résultat d'un compromis (puissance/PAE) correspondant à l'impédance optimale à présenter au dernier étage. Les valeurs obtenues sont du même ordre de grandeur que pour le paramètre  $S_{11}$ , ces valeurs sont quasi similaires aux valeurs mesurées sur des amplificateurs large bande en AsGa.

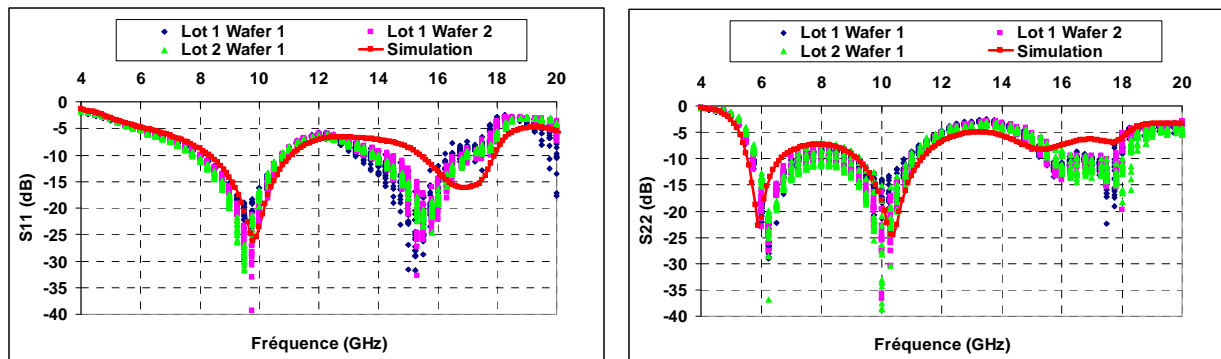


Figure 35 : Mesures et Simulations des coefficients de réflexion entrée/sortie de l'amplificateur large bande 6-18 GHz.

### V.3 Mesures de l'amplificateur dans un dispositif de test

La deuxième phase de caractérisation consiste à valider le circuit amplificateur dans un environnement proche de l'application finale. Nous allons présenter dans ce paragraphe les performances de l'amplificateur trois étages monté dans un dispositif de test et mesuré en mode CW.

#### V.3.1 Le dispositif de test

Plusieurs échantillons ont été assemblés dans des structures de test. Le MMIC a tout d'abord été brasé sur une structure métallique fine en molybdène et adaptée à la taille du MMIC. Le point critique lors de cette assemblage est la qualité de la brasure Au/Sn. La présence de bulles d'air doit être évitée au maximum et doit même être absente sous la zone active. La qualité du brasage est vérifiée avant assemblage à l'aide d'analyses en Rayons X.

Cet ensemble (puce + molybdène) est également brasé sur une pièce de cuivre qui est par la suite mise entre deux brides en laiton afin d'assurer les connections RF/DC. Les fils d'or de connexions sont posés à la fin de montage. Les deux images ci-dessous montrent le dispositif de test après assemblage. Nous appellerons ce montage le DUT (dispositif under test ou dispositif sous test).

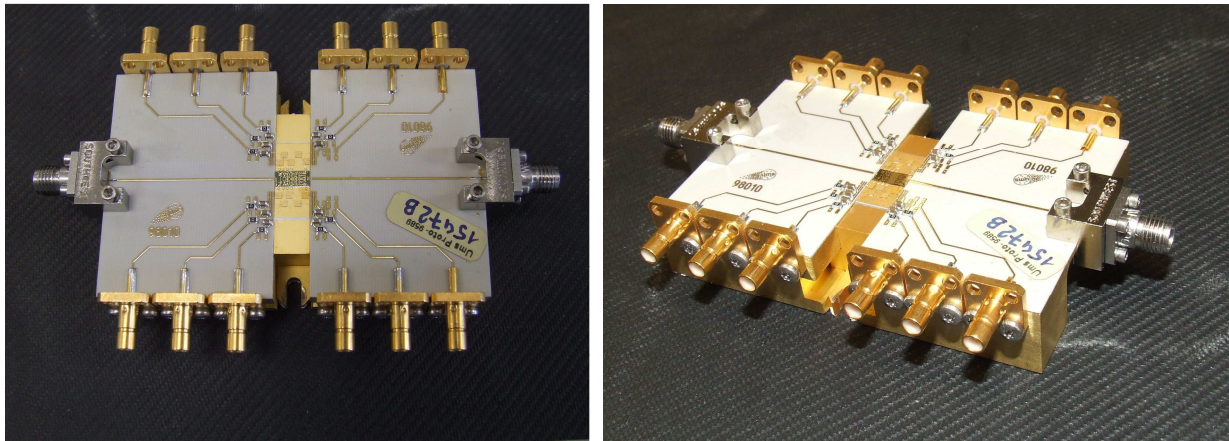


Figure 36 : Photos de l'amplificateur de puissance monté en dispositif de test (DUT).

### V.3.2 Conditions de test

Le DUT est placé sur un module Peltier afin de contrôler la température de fond de puce de l'amplificateur. La température est réglée à 25 °C. Ensuite, nous avons réalisé les mesures en mode CW.



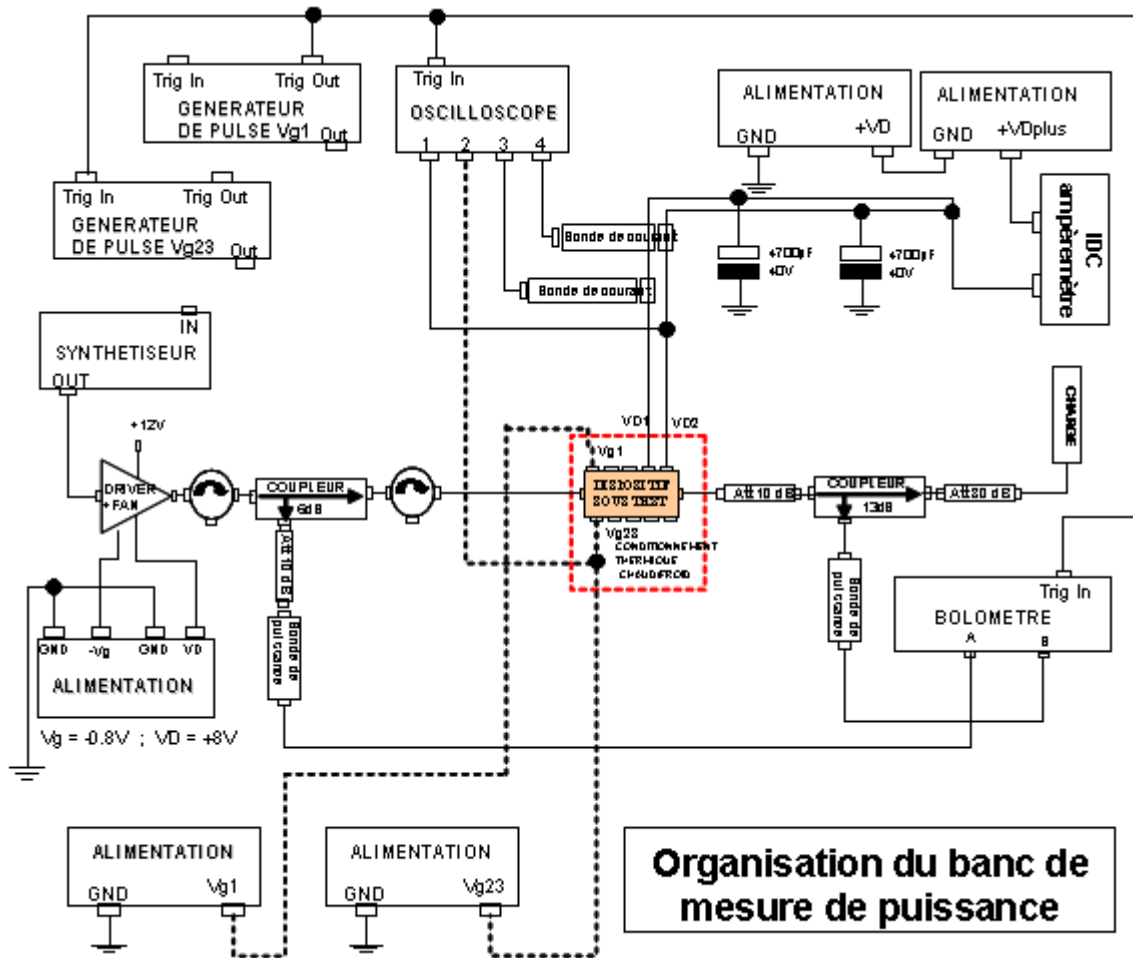


Figure 37 : Banc de test pour la mesure en puissance CW (dispositif pour un amplificateur deux étages).

La Figure 37 présente la composition du banc de mesure en puissance permettant la caractérisation de l'amplificateur sous dispositif de test. Pour simplifier la schématique, nous avons choisi de présenter le dispositif utilisé pour un amplificateur deux étages. Ainsi, pour un amplificateur trois étages, il suffit de dupliquer en trois les câblages de polarisation en  $V_g$  et  $V_d$ .

La Figure 38 présente quelques photos du banc de test.

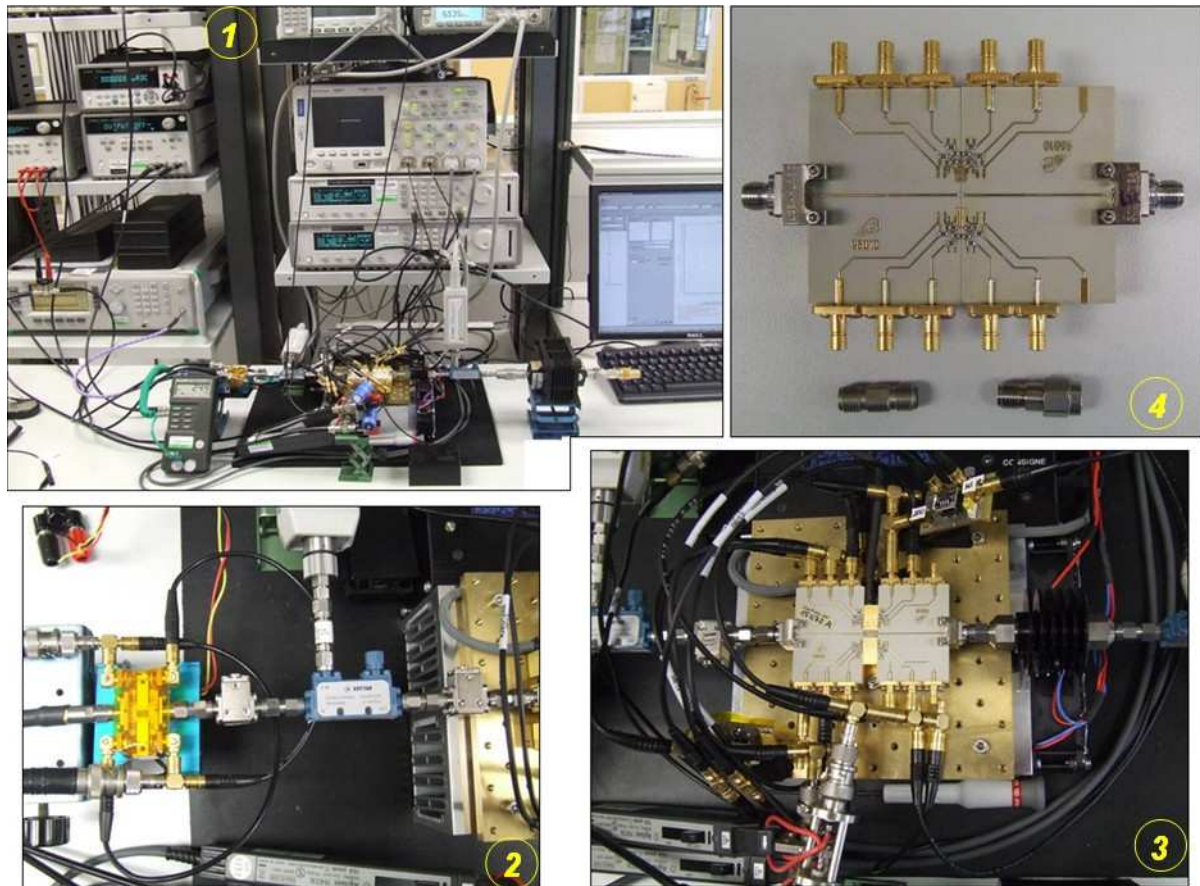


Figure 38 : Photos du banc de mesure en CW : 1- Vue d'ensemble du banc. /2- Entrée du dispositif (Driver). /3- Zoom sur le DUT. /4-Kit de calibration.

### V.3.3 Résultats de mesures en mode continu

Les performances linéaires et non linéaires de l'amplificateur ont été mesurées au cours de cette campagne de caractérisation en mode continu à dans la bande 6–18 GHz (par pas de 0.5 GHz), avec une polarisation de drain de 25 V et une température de socle fixée à 25 °C.

La Figure 39 présente les performances en puissance (en dB et W) en fonction de la fréquence ainsi que du gain de puissance correspondant à une puissance d'entrée de 22 dBm. Typiquement, la puissance de sortie est supérieure à 6 W tout au long de la bande de fonctionnement. A certaines fréquences, la puissance de sortie atteint 10 W à 3 dB de compression.

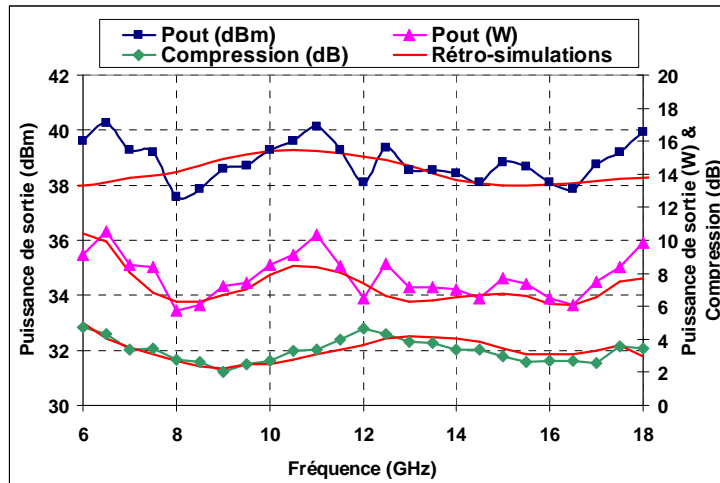


Figure 39 : Mesures et simulations de la puissance de sortie et de la compression en fonction de la fréquence (6-18 GHz) pour une puissance d'entrée de 22 dBm.

La Figure 40 représente le gain linéaire, le rendement en puissance ajoutée et le gain associé pour une puissance d'entrée constante de 22 dBm en mode continu. L'amplificateur fournit un gain linéaire minimum de 18 dB, avec un maximum de 23 dB à 6 GHz. Concernant le gain associé, il présente un minimum de 15 dB. Enfin, le MMIC fonctionne avec une valeur minimale de PAE de 13% et une valeur maximale de 25% à 6.5 GHz et 11 GHz. Ces résultats ont donné lieu à une publication à l'IMS en 2010 [93].

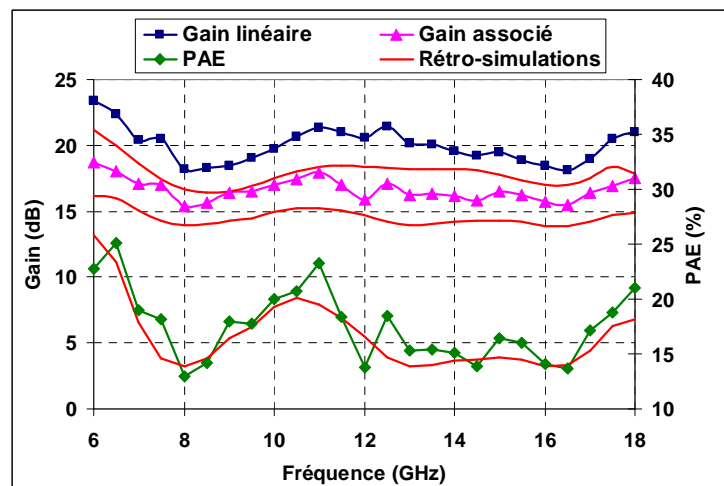


Figure 40 : Mesures et simulations du Gain linéaire ( $P_{in} = -5$  dBm), du gain à la compression ( $P_{in} = 22$  dBm) et du rendement en puissance ajoutée ( $P_{in} = 22$  dBm) en fonction de la fréquence (6-18 GHz).

## **VI. Simulation de l'amplificateur large bande basé sur la nouvelle itération du process GH25**

### **VI.1 Introduction**

Les résultats prometteurs obtenus sur le premier amplificateur de puissance réalisé avec la filière GaN 0.25 $\mu$ m d'UMS ont permis de continuer ces travaux sur la nouvelle itération du process. La technologie a progressé, par exemple l'important « feedback » observé sur les transistors de la première itération a été réduit. Aujourd'hui, la valeur du paramètre  $S_{12}$  des transistors GaN conceptualisés est égale aux valeurs trouvées en technologie AsGa.

L'objectif de cette nouvelle conception est une augmentation de la puissance de sortie mais aussi du rendement en puissance ajoutée par rapport à la première itération dans la même bande de fréquence 6-18 GHz. Ces travaux de simulation ont été réalisés au cours de la dernière période de ma thèse. Les plaques sont actuellement en phase de fabrication (front-end).

Afin de garantir les spécifications en puissance et en PAE, nous avons choisi de concevoir deux versions. Une première version proposant un amplificateur de trois étages basé sur des transistors de 8 doigts de 100  $\mu$ m et une deuxième version quasiment identique mais cette fois basée sur des transistors de 8 doigts de 125  $\mu$ m. La conception et l'optimisation de cet amplificateur ont été réalisées à l'aide de simulations électromagnétiques des structures passives (adaptation d'entrée, inter-étages, combineur de sortie) afin de tenir en compte d'éventuels couplages entre lignes de transmission. Le principe d'optimisation des performances reste le même que pour la première conception.

Nous présenterons ici les performances obtenus à partir des simulations électromagnétiques des éléments passifs.

## VI.2 Résultats de simulations d'un amplificateur basé sur des transistors de $8 \times 100 \mu\text{m}$

### VI.2.1 Simulations en régime linéaire

La Figure 41 montre les paramètres [S] obtenus par l'analyse en petit signal de l'amplificateur. Ainsi, nous relevons un gain minimum de 25 dB dans la bande de fréquence 6-18 GHz. Les paramètres [S] en réflexion entrée  $S_{11}$  et sortie  $S_{22}$  sont à -6 dB dans le pire cas.

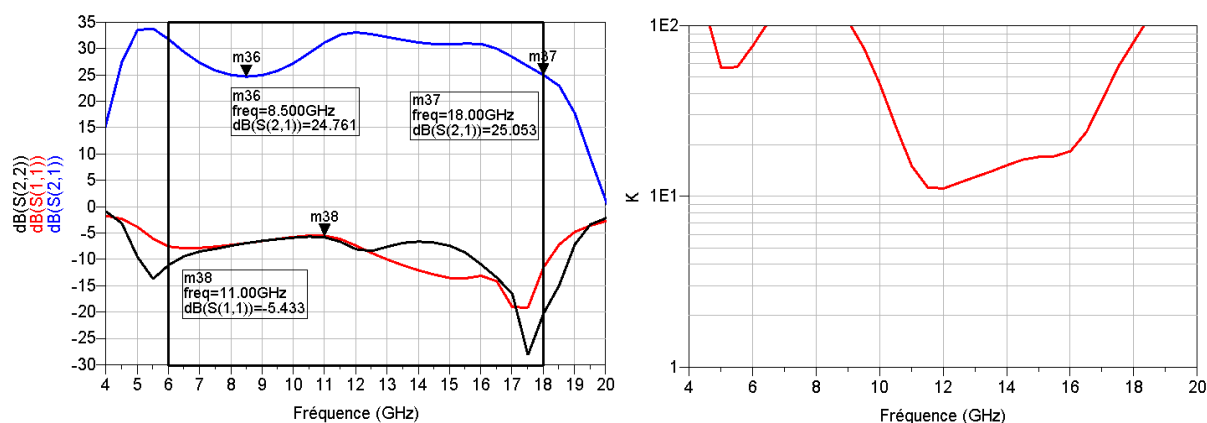


Figure 41 : Simulation des paramètres [S] et du facteur  $K$  obtenus par analyse en petit signal de l'amplificateur dans la bande de fréquence 4 GHz – 20 GHz ; version avec transistors  $8 \times 100 \mu\text{m}$ .

### VI.2.2 Simulations en régime fort signal

Des simulations en régime fort signal en fonction de la fréquence et en fonction de la puissance d'entrée ont été effectuées. Les points de polarisation considérés au cours de ces analyses sont de 25 puis 20 V sur le drain, avec une densité de courant de 170 mA/mm. Les simulations ont été réalisées pour une puissance d'entrée variant de -5 à 35 dBm dans une bande de fréquence allant de 6 à 18 GHz.

La Figure 42 présente la puissance de sortie, le rendement en puissance ajoutée, la puissance dissipée et le gain en fonction de la fréquence et à puissance d'entrée constante ( $P_{in} = 27 \text{ dBm}$ ).

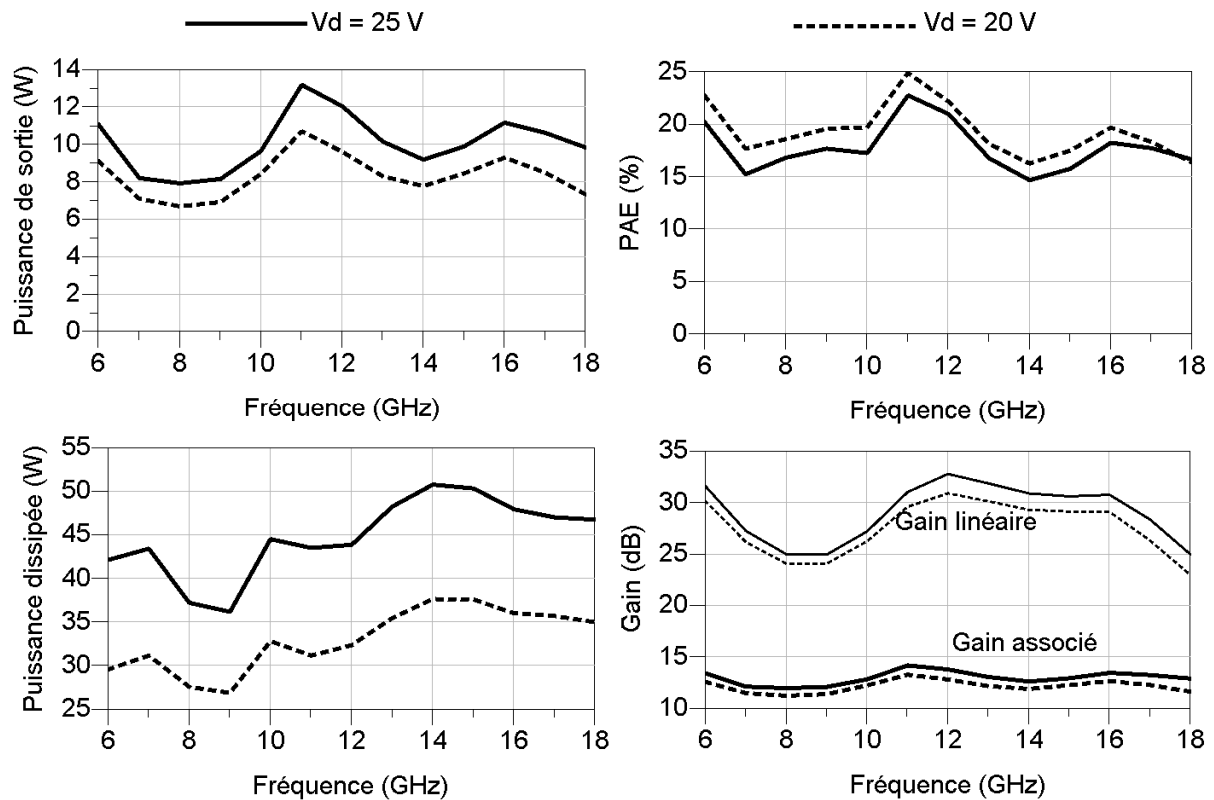


Figure 42 : Simulations de la puissance de sortie (W), PAE (%), puissance dissipée (W) et gain (dB) en fonction de la fréquence (6-18 GHz) pour un  $P_{in} = 27\text{ dBm}$ .  $I_{d0} = 170\text{ mA/mm}$ . Version avec transistors  $8 \times 100\text{ }\mu\text{m}$ .

La puissance de sortie est supérieure à 8 W dans la bande 6–18 GHz pour une polarisation de drain de 25 V. Dans ces conditions, on constate que le minimum de PAE est à 15 %, avec un maximum à 23 %. Le gain associé moyen est proche de 13 dB dans toute la bande de fonctionnement. Enfin, la puissance dissipée de l'amplificateur varie entre 35 W à 9 GHz et 50 W à 14 GHz.

Comme nous allons le voir par la suite, la maîtrise de la puissance dissipée par transistor est très importante pour permettre le bon fonctionnement du dispositif. De ce fait, nous avons fait des simulations en limitant la tension de polarisation à 20 V, permettant comme nous pouvons le constater sur la Figure 42, une baisse significative de la puissance dissipée et une légère augmentation du rendement en puissance ajoutée. En conséquence, la puissance de sortie baisse d'au moins 1 W dans toute la bande. Néanmoins, cette limitation de la tension de drain pourra être une bonne solution pour limiter la puissance dissipée du HPA.

La Figure 43 présente les mêmes performances RF mais cette fois-ci en fonction de la puissance d'entrée et ce, pour toutes les fréquences de 6 à 18 GHz par pas de 1 GHz. Ces résultats nous permettent de souligner plusieurs points:

- Le bon comportement du gain en fonction de la puissance d'entrée, en effet nous n'observons pas d'expansion forte de gain.
- La puissance de sortie sature différemment en fonction des fréquences. En effet, à  $P_{in} = 25$  dBm, certaines caractéristiques de puissance sont déjà saturées à certaines fréquences alors que pour d'autres fréquences, la saturation de la puissance de sortie est moins abrupte due à la différence de charges présentées aux transistors en fonction de la fréquence. Ceci est le résultat de compromis à faire entre les différentes performances à obtenir.

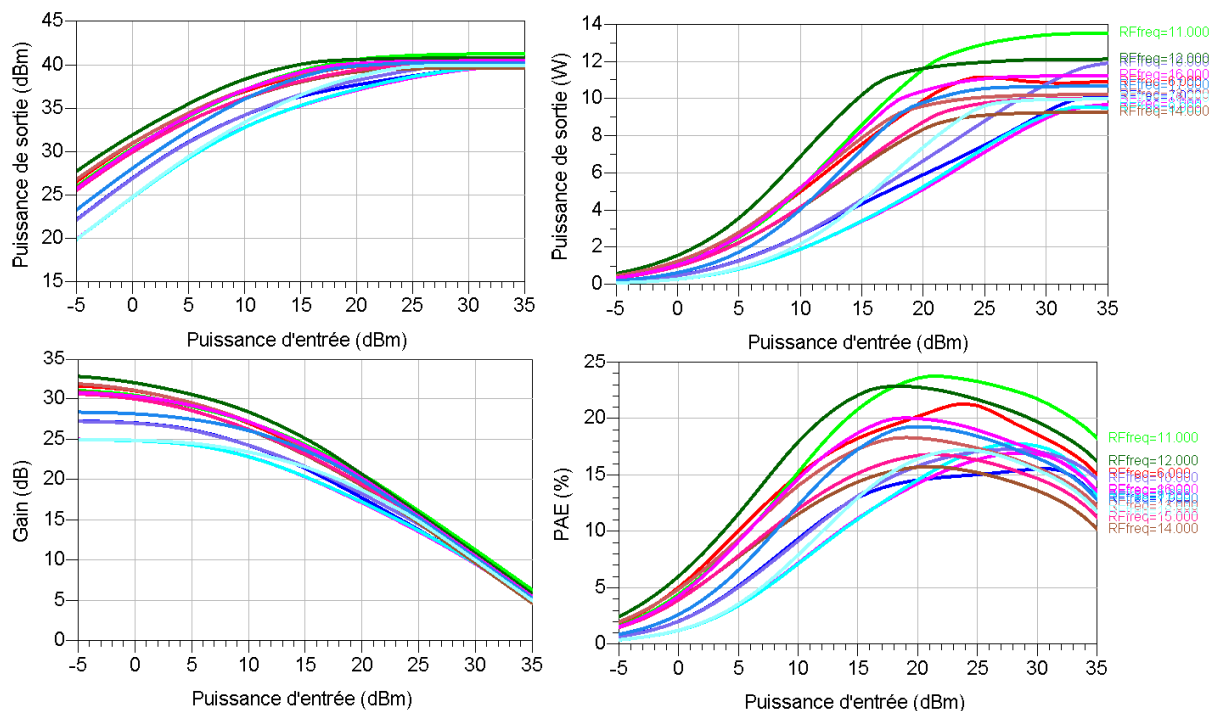


Figure 43 : Simulations de la puissance de sortie (dBm et W), gain (dB) et PAE (%) en fonction de la puissance d'entrée (-5→ 35 dBm) à toutes les fréquences (6-18 GHz).  $I_{d0} = 170$  mA/mm. Version avec transistors  $8 \times 100$   $\mu$ m.

### VI.2.3 Mise en évidence des limitations dues aux effets thermiques

Afin d'analyser le phénomène d'auto-échauffement, nous avons simulé les puissances dissipées par chacun des transistors de 6 à 18 GHz (Figure 44 @ $P_{in} = 25$  dBm). A l'aide de l'équation ci-dessous nous avons pu estimer la température de jonction de chaque transistor :

$$T_j = (P_{diss} \times R_{th}) + T_{socte}$$

Avec  $R_{th} = 18^\circ C/W$  et  $T_{socte} = 25^\circ C$  ( $R_{th}$  est estimée à partir de simulations numériques).

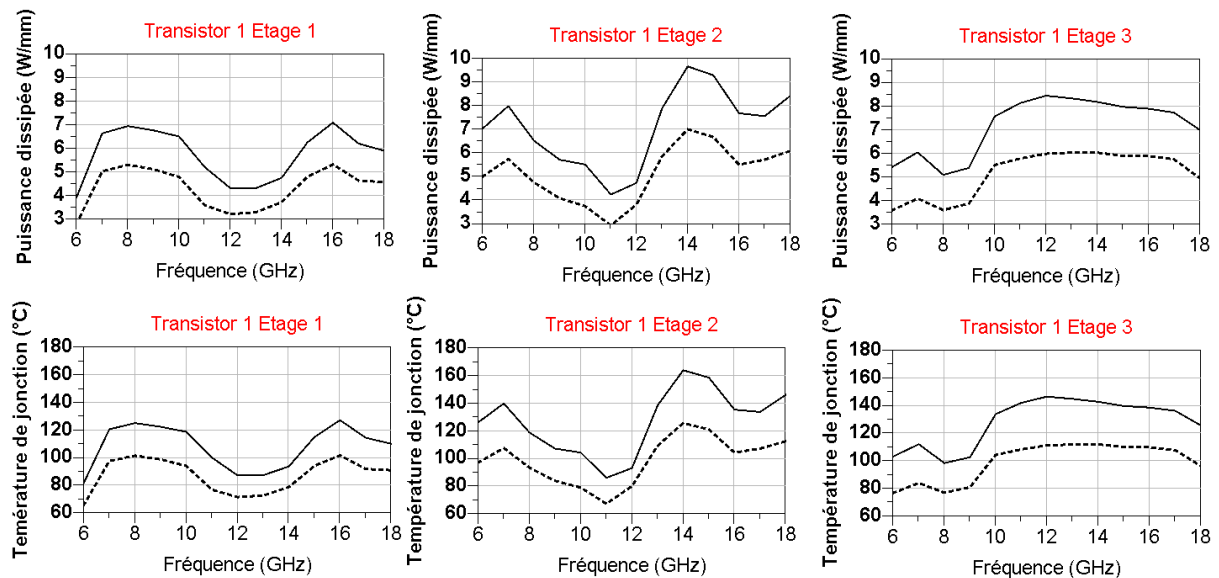


Figure 44 : Simulations des puissances dissipées (W) et température de jonction ( $^\circ C$ ) pour chaque transistors en fonction de la fréquence 6-18 GHz et à  $P_{in} = 25$  dBm. Courbes continues :  $V_{d0} = 25$  V ; courbes pointillées  $V_{d0} = 20$  V.  $T_{socte} = 25$   $^\circ C$ . Version avec transistors  $8 \times 100$   $\mu m$ .

La filière n'étant pas encore qualifiée, nous ne connaissons pas exactement les limites en puissance dissipée et en température de jonction à ne pas dépasser. Néanmoins, notre objectif est de ne pas dépasser une température de jonction autour de  $180$   $^\circ C$ . Ainsi, nous constatons que pour une polarisation  $V_{d0}$  égale à  $25$  V, nous dépassons le seuil de puissance dissipée acceptable avec un maximum à  $9.5$  W/mm sur le deuxième étage, la température de jonction



équivalente étant supérieure à 160 °C (si nous considérons une température de socle égale à 25 °C). Cependant, si nous nous contentons de simuler l'amplificateur avec une tension  $V_{d0}$  égale à 20 V, nous observons une baisse significative de la puissance dissipée ainsi que de la température de jonction, maximums relevés respectivement à 7 W/mm et 125 °C sur les transistors du deuxième étage.

### VI.3 Résultats de simulations d'un amplificateur basé sur des transistors 8x125 $\mu\text{m}$

#### VI.3.1 Simulations en régime linéaire

De la même manière, on montre à la Figure 45 les paramètres [S] obtenus par l'analyse petit signal de l'amplificateur basé sur des transistors 8x125  $\mu\text{m}$ . Ainsi, nous relevons un gain minimum de 24.5 dB dans la bande de fréquence 6-18 GHz, niveau légèrement inférieur à la première version. Enfin, les paramètres [S] en réflexion entrée  $S_{11}$  et sortie  $S_{22}$  sont au maximum d'approximativement -7 dB.

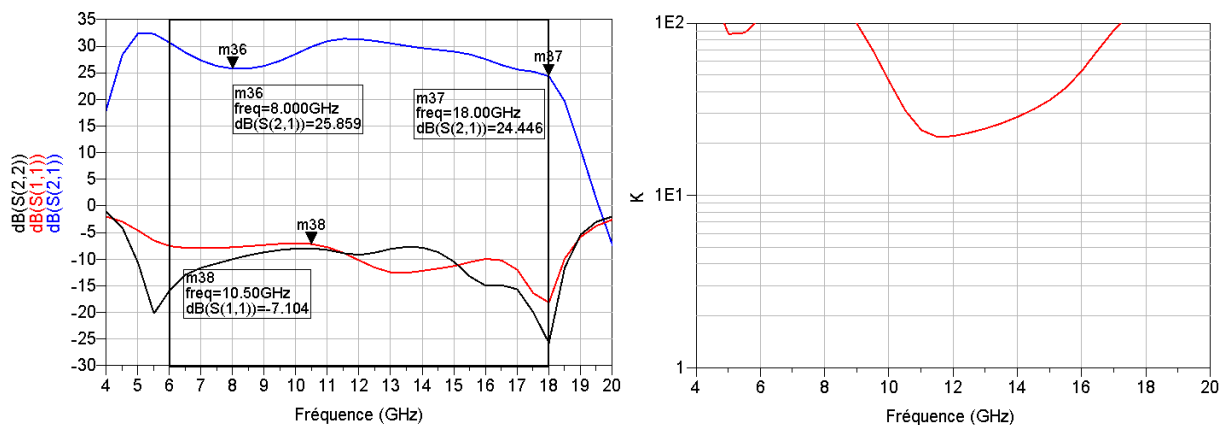


Figure 45 : Simulation des paramètres [S] et facteur  $K$  obtenus par analyse petit signal de l'amplificateur dans la bande de fréquence 4 GHz – 20 GHz ; version avec transistors 8x125  $\mu\text{m}$ .

### VI.3.2 Simulations en régime fort signal

La Figure 46 présente la puissance de sortie, le rendement en puissance ajoutée, la puissance dissipée et le gain de l'amplificateur en fonction de la fréquence. Tout ceci à une puissance d'entrée constante ( $P_{in} = 27$  dBm) et à 25 V (trait continu) puis 20 V (trait pointillé) avec une densité de courant de 170 mA/mm. Les simulations sont réalisées dans une bande de fréquence de 6 à 18 GHz.

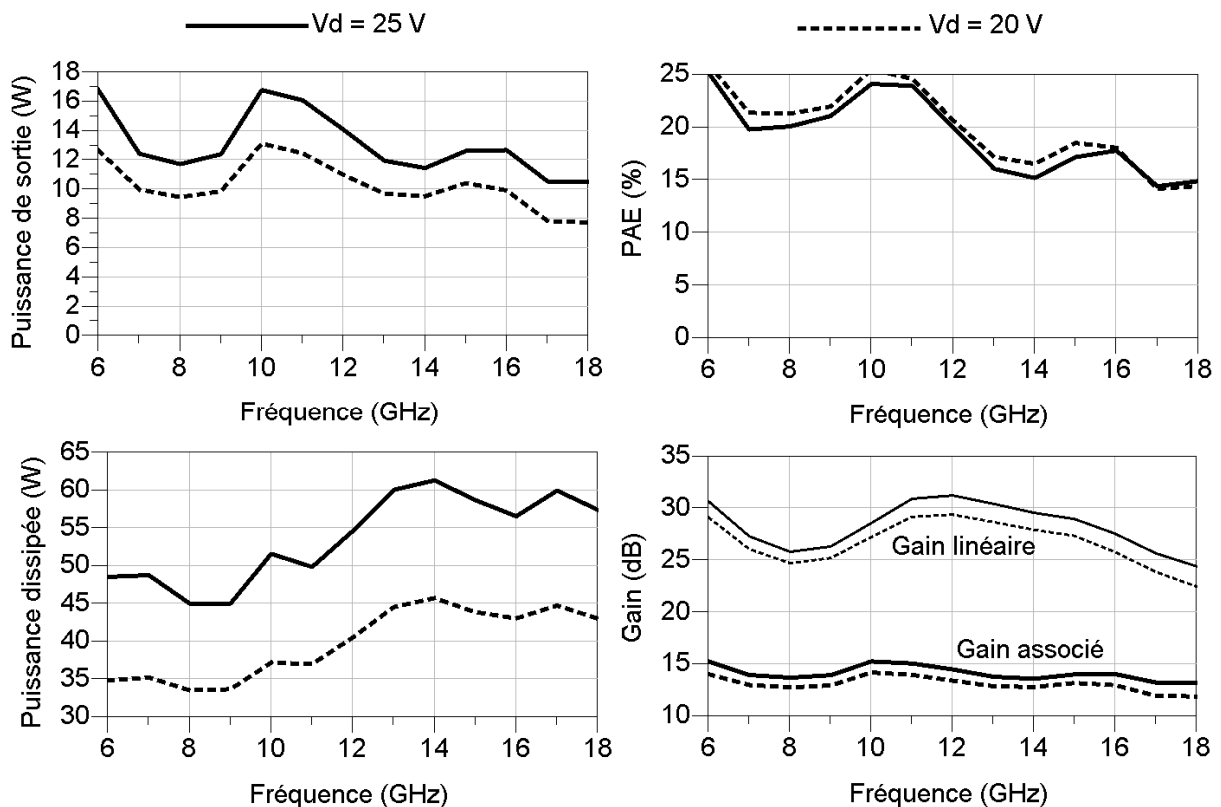


Figure 46 : Simulations de la puissance de sortie (W), PAE (%), puissance dissipée (W) et gain (dB) en fonction de la fréquence (6-18 GHz) pour un  $P_{in} = 27$  dBm.  $I_{d0} = 170$  mA/mm. Version avec transistors  $8 \times 125$   $\mu$ m.

Grâce à l'augmentation de la taille des transistors, la puissance de sortie est maintenant supérieure à 10 W dans la bande 6–18 GHz pour une polarisation de drain de 25 V. Dans ces nouvelles conditions, on constate que le minimum de PAE ne diminue pas beaucoup et reste à 15 % environ au minimum, avec cette fois-ci un maximum à 25 %. Le gain associé moyen est proche de 14 dB dans toute la bande de fonctionnement et est sensiblement identique à celui

obtenu avec des transistors de taille inférieure. Enfin, la puissance dissipée de l'amplificateur varie entre 45 W à 9 GHz et 61 W à 14 GHz. Comme nous pouvons une nouvelle fois le constater sur ces simulations, la limitation de la tension de drain de polarisation à 20 V est une solution efficace afin de prévenir d'éventuels problèmes d'auto-échauffement et de dissipation thermique. En effet, nous constatons une diminution d'au moins 10 W sur la puissance dissipée, avec la diminution de la puissance de sortie; le minimum simulé est de 8 W en haut de bande ce qui reste compatible avec les spécifications minimales.

### VI.3.3 Limitations dû aux effets thermiques

Nous observons à partir de la Figure 47 que la puissance dissipée par transistor et la température de jonction sont sensiblement équivalentes à celles simulées sur la première version (Figure 44 avec des transistors 8x100 µm).

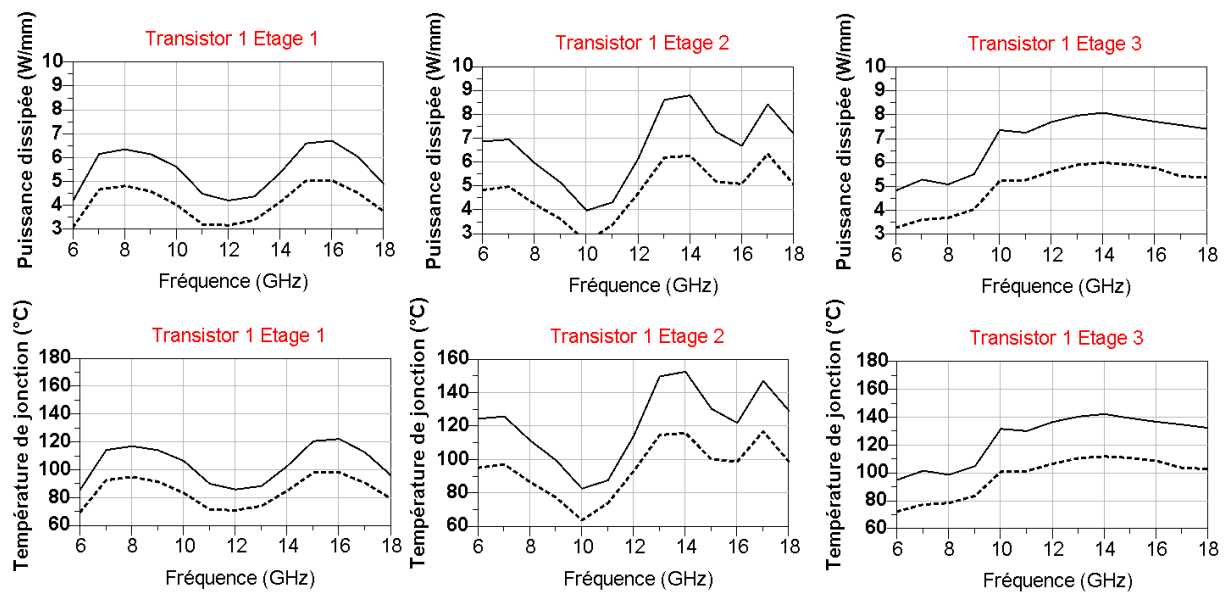


Figure 47 : Simulations des puissances dissipées (W) et température de jonction (°C) pour chaque transistors en fonction de la fréquence 6-18 GHz et à  $P_{in} = 25$  dBm. Courbes continues :  $V_{d0} = 25$  V ; courbes pointillées  $V_{d0} = 20$  V.  $T_{so\text{c}le} = 25$  °C. Version avec transistors 8x125 µm.

Comme pour la version précédente, on pourra noter que le maximum de puissance dissipée, ainsi que la température de jonction maximale relevée se trouvent au niveau du deuxième

étage. C'est en effet à ce niveau que nous observons le minimum de PAE (non montré dans ce manuscrit). Nous pouvons expliquer ce phénomène par la difficulté rencontrée lors de la phase de conception pour adapter au mieux les transistors du deuxième étage. En effet, ces transistors sont adaptés en entrée et en sortie par des charges qui sont elles même pilotées par les transistors du premier et du troisième étage.

Pour conclure, ces résultats de simulations basés sur deux nouvelles versions d'amplificateur large bande, montrent que les performances obtenues sont prometteuses et en nette augmentation par rapport à la première version mesurée. Néanmoins, la difficulté majeure reste aujourd'hui l'augmentation du rendement en puissance ajoutée.

## VII. Conclusion

Dans ce chapitre, nous avons tout d'abord énuméré les principales architectures utilisées des amplificateurs de puissance large bande en nitrure de gallium. Une étude théorique de la stabilité en régime linéaire a permis de mettre en lumière certaines conditions souvent oubliées par les concepteurs. Néanmoins, malgré ces connaissances, ces conditions ne sont pas toujours vérifiées lors d'une conception, ceci par faute de temps. Quelques résultats ont été présentés sur le tout premier amplificateur conçu. La stabilité des amplificateurs de puissance étant un point essentiel et souvent critique, nous avons effectué une analyse de la stabilité en mode non linéaire en faisant varier la puissance d'entrée, la fréquence du signal radiofréquence ainsi que la fréquence du signal parasite. Des solutions ont été intégrées à la conception du MMIC afin de minimiser les risques d'oscillation du HPA.

La conception de l'amplificateur de puissance 6-18 GHz sur la nouvelle technologie GaN d'UMS a été menée sur la base de la structure arborescente et les méthodes de conception développées au sein d'UMS. Ainsi, une description succincte de la méthodologie à employer pour définir les caractéristiques de la structure arborescente a été exposée. Lors de la description du travail effectué, nous pouvons nous rendre compte que de nombreuses difficultés ont été rencontrées lors de la phase de conception et en particulier la synthèse des charges optimales à présenter aux transistors. L'objectif était d'obtenir les performances en puissance associées à un gain plat dans une bande de fréquence relativement importante. Pour

cela, nous avons analysé le comportement intrinsèque du transistor afin d'adapter et d'optimiser les méthodes de conception qui permettent d'améliorer les performances.

Par la suite, nous avons présenté les résultats de mesures sur plaques en mode pulsé ainsi qu'en dispositif de test contrôlé en température en mode continu. Les performances sont très bonnes, elles sont supérieures aux spécifications requises. La puissance de sortie est supérieure à 5.5 W à 3 dB de compression (cas le plus défavorable à 8 GHz) et supérieur à 6.3 W en moyenne dans la bande 6-18 GHz. Le gain associé est supérieur au minimum requis (10 dB) : l'amplificateur fournit 15.5 dB sur toute la bande de fonctionnement avec une ondulation dans la bande inférieur à 3 dB. Enfin, le rendement en puissance ajoutée est lui aussi supérieur aux spécifications, il est de 13 % pour le cas le plus défavorable à 8 GHz mais nous noterons qu'il est le plus souvent supérieur à 15 % dans la bande. Cette conception a donné lieu à une publication à la conférence internationale de microondes d'Anaheim en Californie en mai 2010 (IEEE MTT-S International Microwave Symposium).

Enfin, la technologie étant en cours de développement, nous avons présenté une deuxième conception issue de nouveaux transistors plus performants. Les améliorations sont notables, néanmoins les problèmes dus à la dissipation thermique sont notables et persistants. Les effets thermiques ne sont pas le seul problème, comme nous l'avons observé avec les cycles de charges présentés lors de la première conception, les désadaptations sont importantes pour les transistors d'un amplificateur large bande, les cycles de charge ont une surface importante. Ceci peut limiter les performances de l'amplificateur dû aux phénomènes de pièges.



## **CHAPITRE III :**

# **CARACTERISATION DES EFFETS DISPERSIFS DE PIEGES ET DE TEMPERATURE DANS LES HEMTS GAN ; MODELISATION ELECTROTHERMIQUE**





## I. Introduction

Nous avons vu au cours du Chapitre 2 que les amplificateurs de puissance large bande GaN disposent de potentialités remarquables en termes de génération de puissance aux fréquences microondes. Ceci est dû aux capacités électriques supérieures des transistors HEMTs AlGa\GaN qui sont susceptibles de remplacer petit à petit les transistors HEMTs AsGa traditionnellement utilisés par le passé pour la conception d'amplificateurs de puissance.

Cependant, cette augmentation de génération de puissance entraîne un échauffement encore plus conséquent des transistors. Comme nous le savons, les effets thermiques altèrent les performances des dispositifs, la diminution de la mobilité des électrons entraîne une diminution du courant et donc de la puissance de sortie. De plus, la vitesse de saturation des porteurs étant également altérée, ceci se répercute directement sur la diminution de la fréquence de transition. Ce sont ces phénomènes dus aux effets thermiques que nous allons commencer par étudier. Bien isoler les dépendances en température du transistor permettra d'introduire un modèle thermique qui réagira en fonction de l'état électrique du transistor.

Par ailleurs, la technologie récente des transistors HEMTs n'est pas sans défaut. Cela se traduit par les effets de pièges qui affectent considérablement la puissance de sortie des transistors (« gate-lag », « drain-lag ») (Chapitre I :IV.1). En effet, le comportement non linéaire et les effets parasites du transistor HEMT GaN affectent le fonctionnement des circuits et des systèmes. Nous étudierons donc ces phénomènes dans un deuxième temps. Une étude de l'effet « kink » et de ses répercussions sur les performances du transistor sera effectuée.

Lors des nombreuses campagnes de mesures réalisées dans le cadre de l'analyse des phénomènes thermiques et des phénomènes de pièges, un modèle électrothermique a été conçu.

Enfin lors de l'étude de ces phénomènes parasites que sont les pièges, nous verrons que différentes méthodes ont été employées, certaines classiques comme d'autres totalement nouvelles.

## **II. Caractérisation des effets thermiques dans les HEMTs GaN**

### **II.1 Introduction**

Comme nous l'avons vu lors de la conception et les mesures de l'amplificateur de puissance large bande 6-18 GHz (Chapitre 2), le bilan des puissances électriques au niveau d'un transistor en fonctionnement n'est pas nul, la puissance dissipée au sein du composant peut devenir importante suivant les performances du système. Les transistors sont constitués de matériaux semi-conducteurs régis par les lois de la physique des composants. Ces lois incluent la température comme paramètre. Il en découle une dépendance des caractéristiques du composant en fonction de la température. Ainsi, les conditions thermiques liées à l'environnement d'un système peuvent poser de fortes difficultés aux ingénieurs de conception en raison de la diminution du gain avec la température. Dans notre cas, il est donc nécessaire d'étudier en détail les effets thermiques pour les transistors HEMTs de la filière GH25 provenant de la fonderie UMS. Nous avons principalement travaillé sur notre transistor de référence : 8 doigts de grille de 75  $\mu\text{m}$  de largeur.

### **II.2 Le banc IV pulsé, paramètres [S] pulsé**

Le banc de mesure par impulsions repose sur le principe de l'application de brèves impulsions rectangulaires (de largeur minimum 400 ns) autour du point de polarisation continu [94]. Durant ces brèves impulsions, un oscilloscope numérique de précision métrologique mesure les grandeurs électriques, tensions et courants aux deux accès du transistor. Les impulsions doivent balayer tout le domaine des tensions acceptables par le transistor en cours de caractérisation et donc, décrire point par point un réseau de caractéristiques. Le schéma de montage du banc est présenté ci-dessous Figure 48.

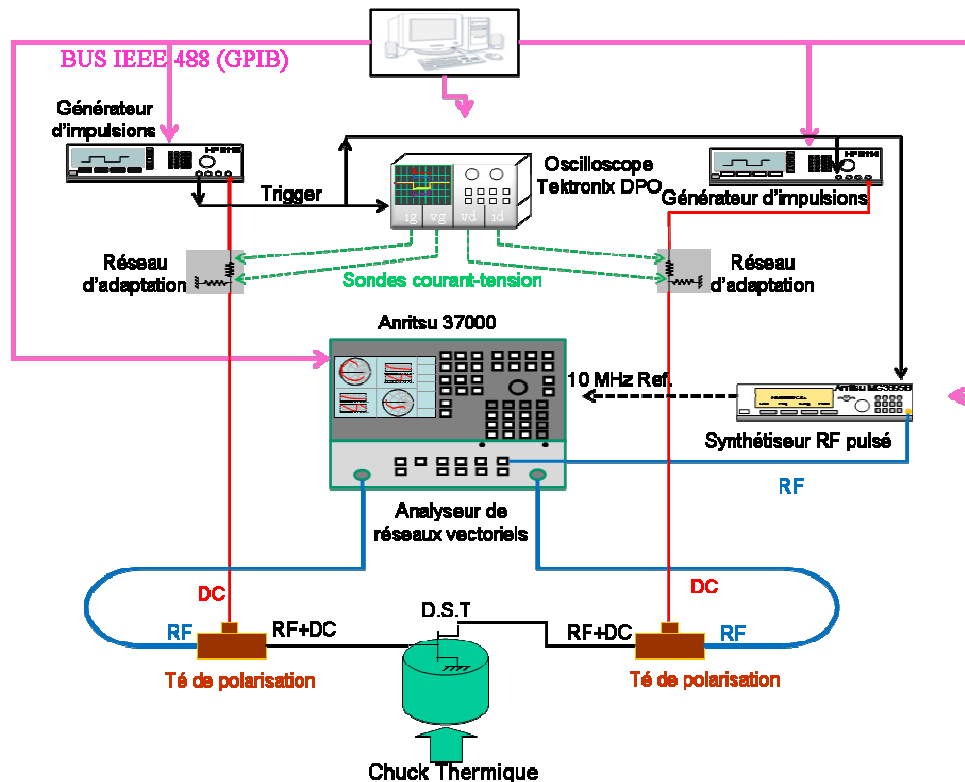


Figure 48 : Schéma de montage du banc IV pulsé, paramètres [S] pulsés.

Le chuck thermique installé sur ce banc permet d'effectuer, à l'aide de son importante plage de variation (-65 °C à +200 °C), une large gamme de caractéristiques en température sur les composants.

## II.3 Influence de la température sur les performances électriques d'un transistor HEMT GaN 8x75 µm sur substrat SiC

### II.3.1 Influence de la température sur l'excursion en courant

Pour débiter cette étude, nous allons nous intéresser à l'impact de la température sur les caractéristiques statiques du transistor HEMT GaN 8x75 µm. Le banc de mesures en mode impulsionnel permet d'agir sur la température de deux façons différentes, soit par réglage du chuck thermique, soit par les niveaux des tensions de polarisation de repos (auto-échauffement).

Afin de mettre en évidence l'influence de la température sur l'excursion en courant, nous avons mesuré le transistor en mode pulsé avec des points de polarisation « chauds » (puissance dissipée non nulle) et des températures de socles différentes (-20 °C, 25 °C et 100 °C). Le point de polarisation choisi est le même pour tous les réseaux  $V_{ds0} = 30$  V,  $I_{ds0} = 50$  mA.

A la vue de la Figure 49, on observe que plus la température ambiante augmente plus la caractéristique I/V se « tasse ». Le courant dans un transistor à effet de champ est fonction de la mobilité des porteurs, or celle-ci diminue lorsque la température augmente (Chapitre 1), entraînant ainsi une diminution du courant.

Cependant, si on observe en détails la Figure 49, cette dernière remarque n'est valable que pour des tensions  $V_{gs}$  supérieures à -1.5 V. En effet, pour les courbes à  $V_{gs}$  inférieures à -1.5 V, c'est le phénomène inverse qui se produit. Nous obtenons une diminution de la tension de pincement à haute température, d'où une augmentation du courant de sortie. Comme nous le verrons dans la deuxième partie de ce chapitre, ce phénomène est à mettre à l'actif des pièges présents dans le transistor et plus particulièrement du « drain-lag ». Le piégeage dans cette zone est fort car la tension  $V_{gs}$  est très négative et la tension  $V_{ds}$  assez élevée d'où un champ électrique intense sous la grille et une sensibilité aux pièges de buffer. D'autre part, avec ces tensions de grille et drain, il y a peu de courant, l'auto-échauffement est donc faible. L'émission des électrons piégés dépendant fortement de la température, dans le sens où elle ralentit quand la température diminue, nous verrons que plus la température diminue et plus la capture des électrons est prédominante. Ainsi pour des puissances dissipées encore modérées avec des tensions  $V_{gs}$  appliquées inférieures à -1.5 V, c'est le phénomène de piégeage des électrons du gaz bidimensionnel qui prédomine (en décalant la tension de pincement et ainsi en augmentant le courant à  $V_{gs}$  donnée) sur le phénomène thermique (qui aurait tendance à diminuer le courant à  $V_{gs}$  donnée).

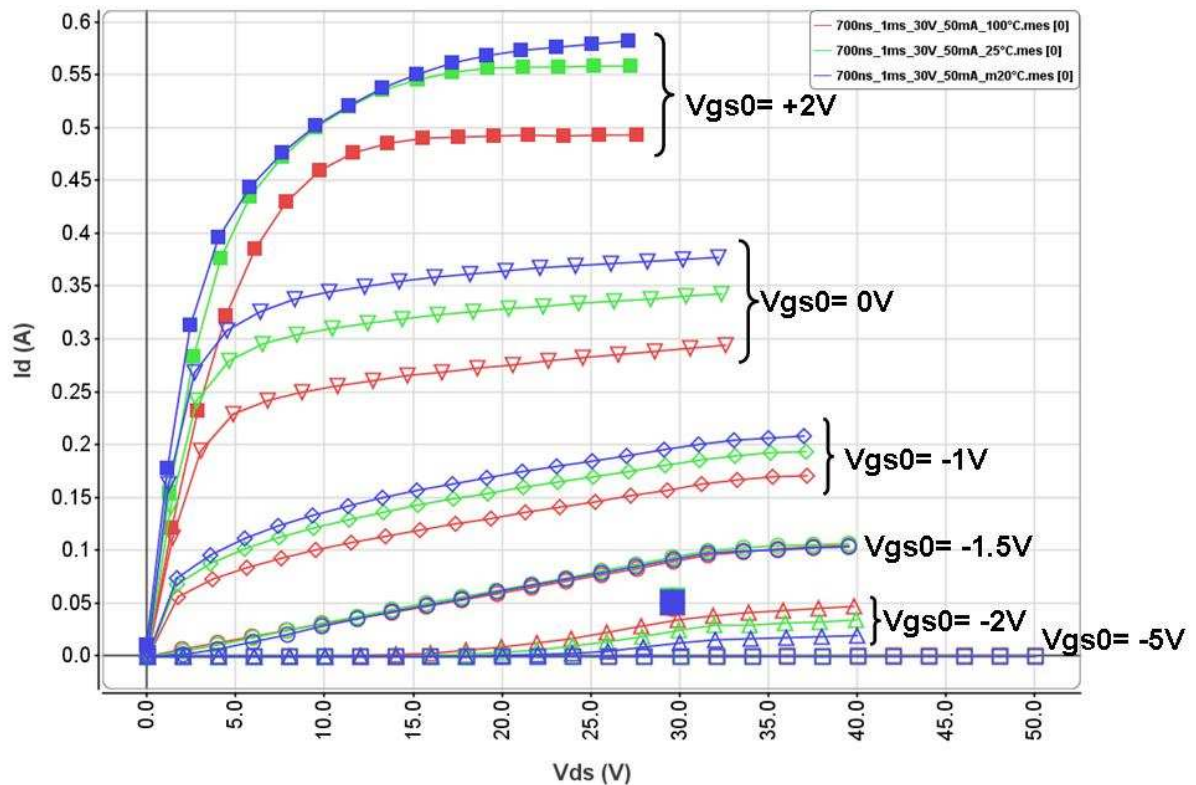


Figure 49 : Influence de la température ambiante (-20, 25 et 100 °C) sur le courant de sortie du transistor HEMT 8x75  $\mu\text{m}$  pour une même polarisation  $V_{ds0} = 30\text{V}$   $I_{d0} = 50\text{ mA}$ .

La Figure 50, nous montre la variation en courant  $I_{d0}$  du point de polarisation en fonction de la température à des tensions de drain  $V_{d0}$  et  $V_{g0}$  fixes. A la différence de la Figure 49 où le point de polarisation a été ajusté à l'aide de la commande  $V_{gs0}$  afin d'avoir la même puissance dissipée au point de polarisation entre les trois réseaux, ici nous observons la dérive du courant de polarisation  $I_{d0}$  en fonction de la température de socle appliquée. A 25 °C, nous retrouvons bien les 50 mA préalablement réglés lors du début de la manipulation. En augmentant la température de socle à 100 °C puis 150 °C, nous constatons une augmentation linéaire du courant de repos  $I_{d0}$  qui atteint 65 mA à 150 °C, soit une augmentation de 30 % de sa valeur initiale. A l'inverse, lorsque la température de socle est abaissée à 0 °C puis -20 °C et enfin -40 °C, nous observons une baisse significative du courant  $I_{d0}$ . Le courant  $I_{d0}$  atteint la valeur de 31 mA à -20 °C et -40 °C soit une baisse de 40 % par rapport à sa valeur initiale à 25 °C. Enfin, à la différence des hautes températures, l'évolution du courant à basses températures n'est pas linéaire, le courant de repos sature à partir de -20 °C et se stabilise aux alentours de 31 mA. Ce phénomène peut être expliqué ainsi : comme nous l'avons

préalablement interprété et comme nous le verrons lors de l'étude des pièges, nous avons constaté que la capture d'électrons par un piège est prédominante à basse température. Ainsi nous pouvons avancer l'hypothèse que tous les pièges sont remplis par la capture d'un électron à partir de  $-20\text{ }^{\circ}\text{C}$ , les niveaux de pièges sont saturés, ainsi le courant se stabilise et n'évolue plus pour des températures inférieures à  $-20\text{ }^{\circ}\text{C}$ .

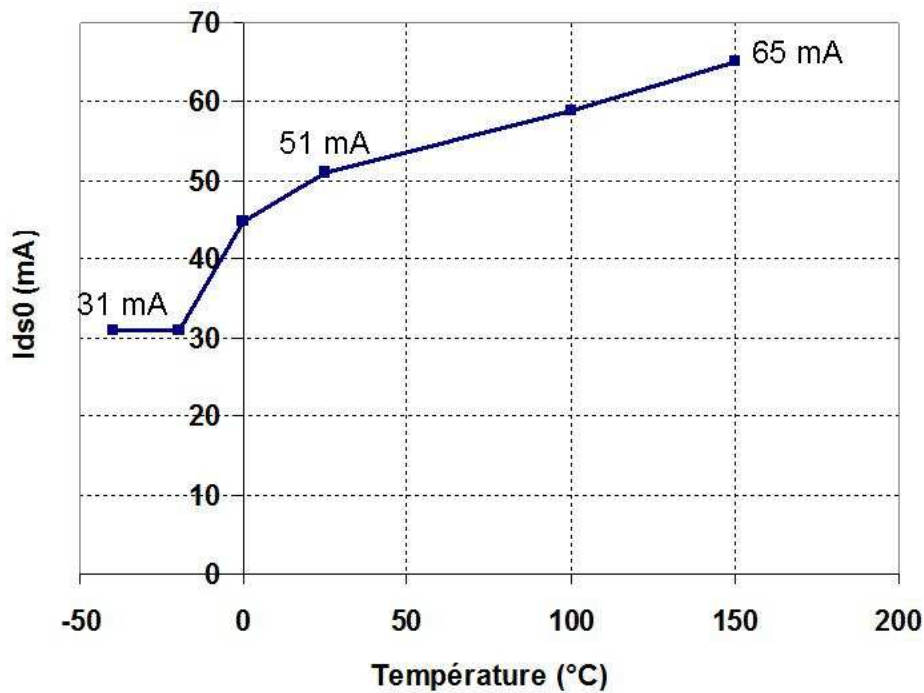


Figure 50 : Evolution du point de polarisation en courant  $I_{ds0}$  en fonction de la température pour un transistor HEMT GaN  $8 \times 75\text{ }\mu\text{m}$  polarisé en classe AB profonde.

### II.3.2 Influence de la température sur la fréquence de transition et sur la fréquence maximale d'oscillation

La fréquence de transition et la fréquence maximale d'oscillation sont extraites de la mesure de paramètres [S] au point de repos  $V_{ds0} = 30\text{ V}$ ,  $I_{ds0} = 50\text{ mA}$ . Le banc de mesure I/V pulsé paramètres [S] ne permettant pas d'effectuer de mesures en impulsions lors de notre campagne de mesure, nous nous sommes limités à des mesures de paramètres [S] CW, au point de polarisation. Comme nous l'avons vu précédemment, le point de repos varie en fonction de la température, c'est pourquoi dans les mesures qui vont suivre nous avons

réajusté avant chaque mesure le point de polarisation  $I_{d0}$  à 50 mA afin d'avoir la même puissance dissipée dans le transistor pour toutes les températures.

Nous représentons dans un premier temps la variation du gain maximum stable  $G_{MSG}$  et du gain en courant  $|H_{21}|$  en fonction de la température de socle à la fréquence de 10 GHz (Figure 51), puis dans un second temps ces mêmes paramètres sont tracés en fonction de la fréquence sur une échelle logarithmique pour toutes les températures afin de déterminer la fréquence de transition et maximale d'oscillation (Figure 52 et Figure 53).

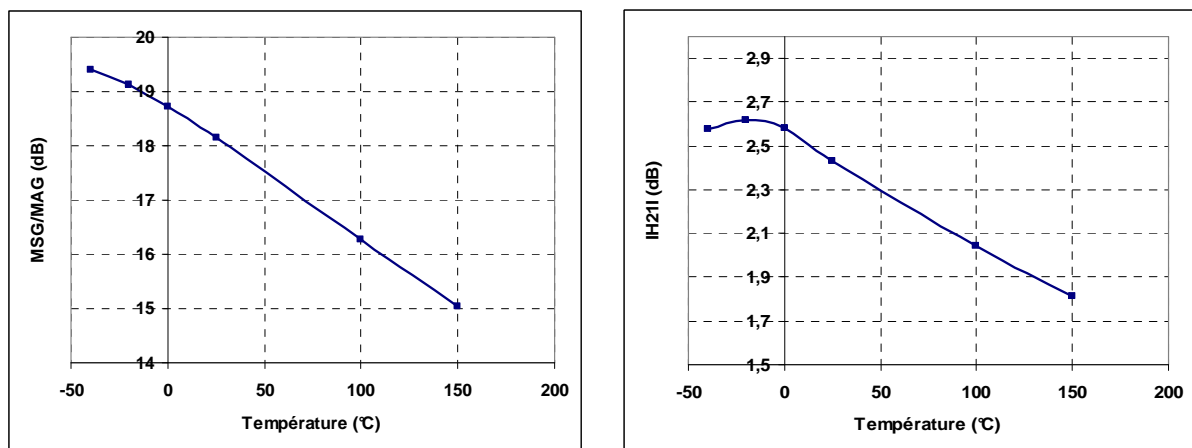


Figure 51 : Paramètres  $G_{MSG}$  et  $|H_{21}|$  en dB à 10 GHz en fonction de la température de socle.

On peut remarquer que la variation de ces paramètres en fonction de la température s'avère plutôt linéaire en dB même si l'on peut observer une saturation du gain en courant aux températures négatives.

La fréquence de transition  $F_t$  obtenue quand  $|H_{21}| = 1$  a tendance à diminuer lorsque la température augmente. Cette baisse de la valeur de  $F_t$  est bien conforme à la théorie, car la fréquence de transition est proportionnelle à la vitesse de saturation des porteurs. Or, celle-ci décroît lorsque la température augmente.

La conséquence directe de cette baisse de valeur de la fréquence de transition est la diminution du gain en courant.

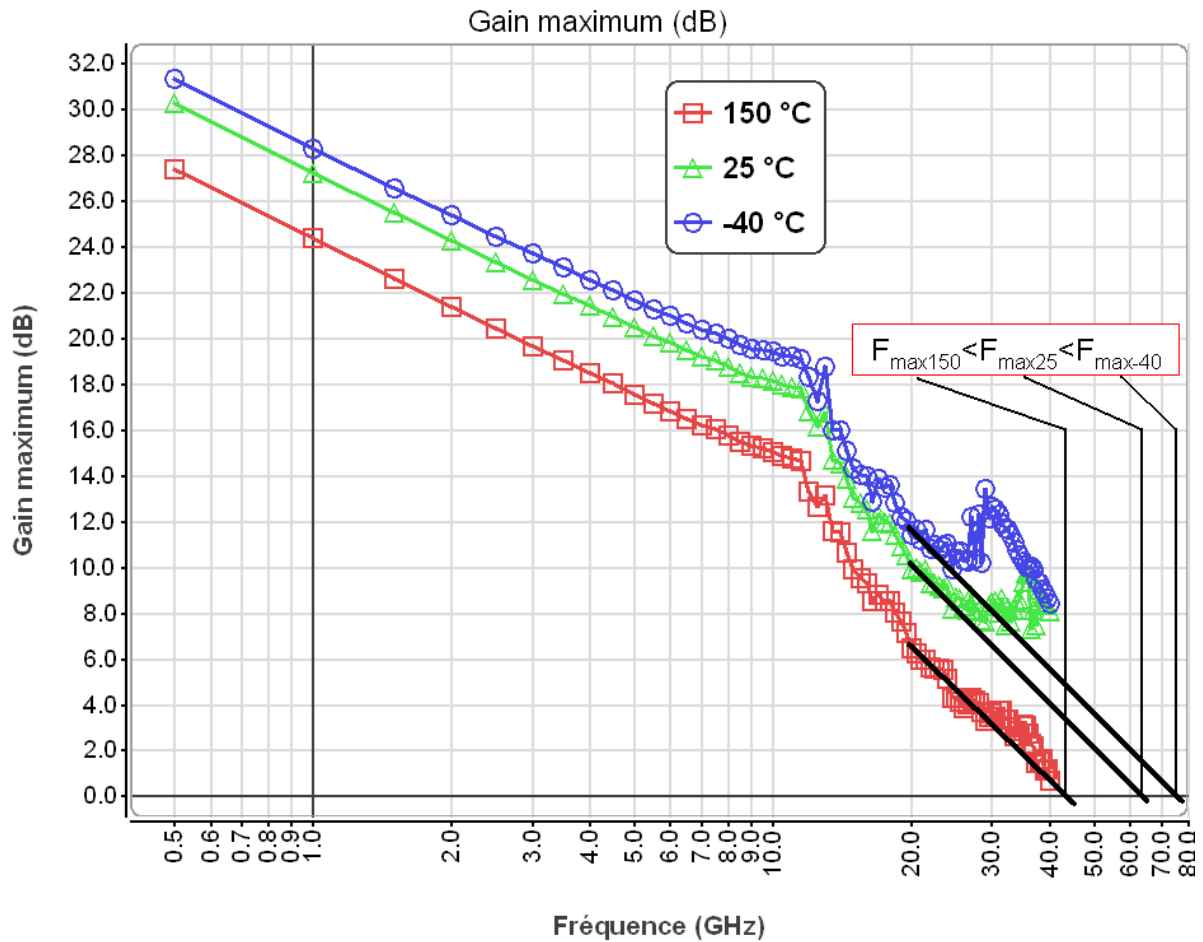


Figure 52 : Influence de la température sur la fréquence maximale d'oscillation.

On peut estimer en regardant la Figure 52 que la fréquence maximale d'oscillation obéit à la même loi en fonction de la température que  $Ft$ . Cette baisse de la valeur de la fréquence maximale d'oscillation est une nouvelle fois conforme à la théorie car la fréquence maximale d'oscillation est proportionnelle à la racine carrée de la fréquence de transition. Donc, si la fréquence de transition chute quand la température augmente, la fréquence maximale d'oscillation fait de même. En conséquence, la diminution de la fréquence maximale d'oscillation lorsque la température augmente entraîne une chute du gain maximum disponible.



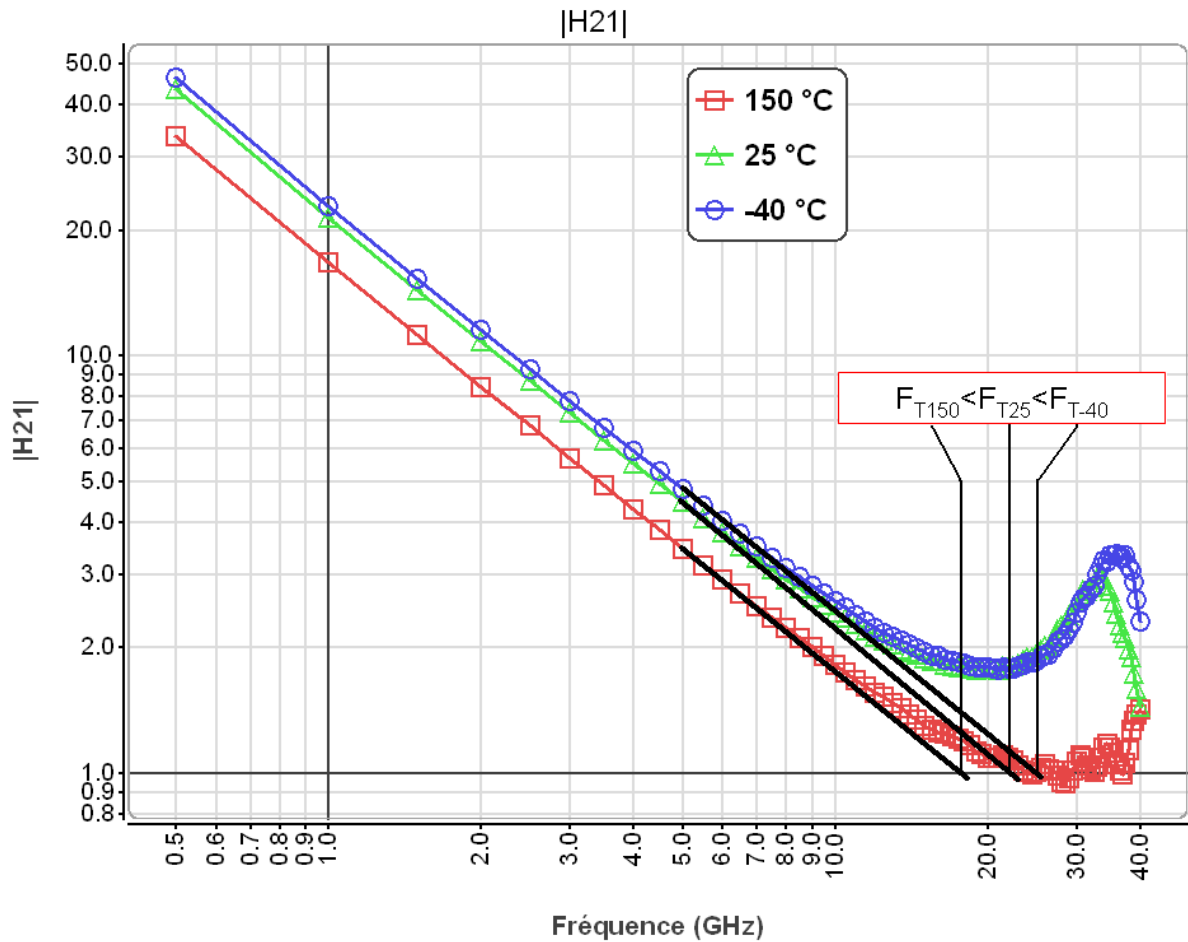


Figure 53 : Influence de la température sur la fréquence de transition.

Ces quelques résultats de mesures nous montrent clairement l'effet de la température sur les performances du transistor HEMT AlGaIn/GaN. Nous allons ainsi poursuivre notre investigation afin de connaître le plus précisément possible la température de fonctionnement du transistor en mesurant sa résistance thermique associée.

## II.4 Mesures électriques de la résistance thermique

### II.4.1 Définition de la résistance thermique

Les échanges d'énergie thermique entre deux systèmes à deux températures différentes s'effectuent suivant trois modes de transfert : la conduction, la convection, et le rayonnement. A noter que dans les circuits électroniques, l'évacuation de la chaleur générée au sein des composants (essentiellement vers la face arrière) s'effectue principalement par conduction. C'est le cas que nous retiendrons pour la suite de cette étude.

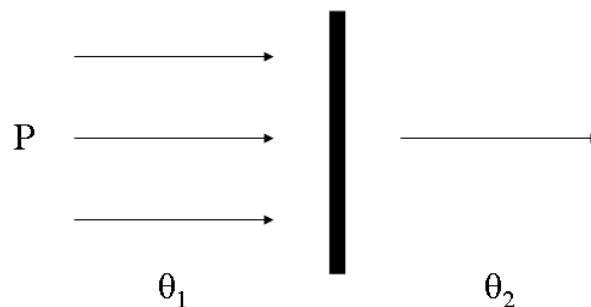


Figure 54 : Illustration définissant la résistance thermique d'un matériau.

Une puissance  $P$  à dissiper provoque une élévation de température  $\theta_1$  du matériau. On retrouve une température  $\theta_2$  inférieure à  $\theta_1$  à l'extérieur de celui-ci. On conçoit que plus la résistance thermique du matériau est élevée, moins il aura tendance à céder sa chaleur au milieu ambiant. Tout comme pour une résistance électrique, plus celle-ci est faible, plus le courant passe facilement. Pour une résistance thermique, plus elle est faible plus la chaleur est facilement évacuée et moins le composant chauffe. L'expression de la résistance thermique est donc :

$$R_{TH} = \frac{\theta_1 - \theta_2}{P} \quad , \text{ l'unité est le degré par watt } (^\circ\text{C/W}) ;$$

On a donc :

$$P = \frac{\Delta T}{R_{th}}, \quad \text{avec l'échauffement : } \Delta T = \theta_1 - \theta_2$$

Où  $P$  est la puissance dissipée en Watts.

Cette équation de la chaleur « simplifiée » nous donne accès à la température du composant.

## II.4.2 Méthode du courant maximum $I_{d_{max}}$ et de la résistance $R_{on}$

Nous présentons ici, une nouvelle méthode de caractérisation simple et efficace de la résistance thermique. Le principe de la mesure de la résistance thermique est basé sur les variations des paramètres  $I_{d_{max}}$  et  $R_{on}$  du transistor en fonction de la température ambiante et de la puissance dissipée [95]. En effet, la variation de la température ambiante ou la variation de l'auto-échauffement amènent la température de jonction du composant à varier.

Cette méthode repose sur des mesures I/V pulsés et se compose de deux étapes. Tout d'abord, la dépendance en température des paramètres du transistor est calibrée en fonction de la variation de la température ambiante (température de chuck) à puissance dissipée nulle. Ensuite, ce même transistor est mesuré à une température ambiante fixée mais à plusieurs valeurs de puissances dissipées.

### II.4.2.1 Variation de la température ambiante – Puissance dissipée fixée

Lors de la première étape, les paramètres électriques du transistor sont mesurés à partir de tensions de polarisation de repos  $V_{gs0}$  et  $V_{ds0}$  fixées à 0 V, dans ces conditions il n'y a pas de puissance dissipée et donc pas d'auto échauffement. Ainsi, dans l'ensemble des mesures pulsées que nous allons présenter, nous considérons que la température du canal ( $T_j$ ) reste proche de la température de chuck ( $T_a$ ) :  $T_j \# T_a$ , il n'y a pas ou quasiment pas non plus d'échauffement dans le pulse. Dans la pratique, il est vrai que cette condition est difficile à réaliser, même avec des pulses très courts. La durée des pulses choisis est de 500 ns avec une

réurrence de 1 ms (rapport cyclique de 0.05%). Nous verrons par la suite que cette approximation ne pénalise en aucun cas le résultat final.

Nous commençons par calibrer ce « thermomètre électrique » en température par une mesure en mode pulsé du courant de drain. Ces mesures sont faites pour une tension de grille fixe de 0 V et des tensions de drain variant de 0 à 10 V par pas de 2 V. Une fois la mesure de la courbe effectuée à une température de chuck donnée, celle-ci est incrémentée (de 25 à 175 °C par pas de 25 °C) et la mesure réitérée. Les résultats obtenus sont présentés Figure 55.

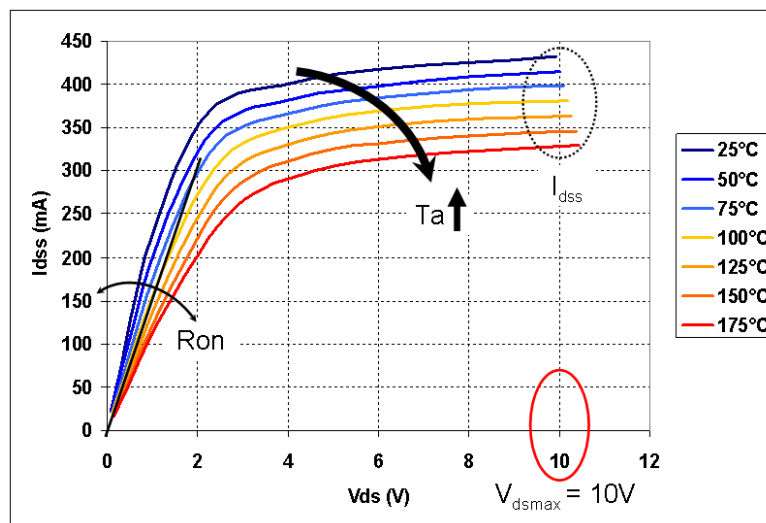


Figure 55 : Caractéristiques I-V pulsées (@ $V_{gs}=0V$ ) d'un transistor  $0.25 \times 8 \times 75 \mu m^2$  AlGaIn/GaN HEMT à partir de différentes température de chuck. Point de polarisation fixe  $V_{gs0}=V_{ds0}=0V$ .

Comme nous pouvons l'observer sur la Figure 55, le seul fait d'augmenter la température du socle (chuck) ( $T_a$ ), sur lequel repose le transistor mesuré, entraîne une diminution significative de la caractéristique en courant  $I_d$ . Autrement dit, cette manipulation équivaut à diminuer la mobilité des électrons avec l'augmentation de la température de chuck (avec la température de canal très proche de la température de chuck).

Le courant de saturation  $I_{dss}$ , obtenu quand  $V_{gs}$  est nulle, est mesuré pour une tension  $V_{ds}$  égale à 10 V. La résistance  $R_{on}$  du transistor est calculée à partir des mesures du courant  $I_d$  et de la tension  $V_{ds}$  ( $V_{ds}$  compris entre 0 et 2 V). De ce fait, nous pouvons tracer les variations du courant de saturation  $I_{dss}$  ainsi que les variations de la résistance  $R_{on}$  en fonction de la température ambiante (Figure 56).

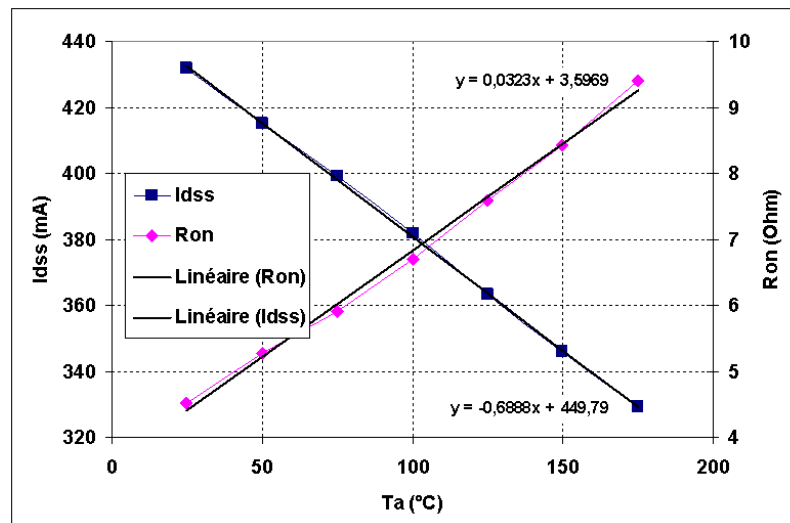


Figure 56 : Extraction des mesures pulsées (Figure 55) d' $I_{dss}$  (@ $V_{ds}=10V$ ) et de  $R_{on}$  en fonction de la température de chuck  $T_a$  @ $P_{diss}=0W$  pour un  $0.25 \times 8 \times 75 \mu m^2$  AlGaIn/GaN HEMT.

D'après la Figure 56, on constate que plus la température ambiante augmente, plus le courant de saturation  $I_{dss}$  diminue et plus la résistance  $R_{on}$  augmente. Ces variations ne sont pas négligeables. Pour une augmentation de  $150^\circ C$  de la température ambiante le courant de saturation du transistor chute de 100 mA et la résistance  $R_{on}$  augmente de 5 Ohms. Ces variations sont linéaires, deux équations peuvent en être extraites :

$$I_{dss} = -0.69 \times T_a + 449.79$$

$$R_{on} = 0.03 \times T_a + 3.60$$

Les équations ci-dessus nous permettent d'obtenir une dépendance du courant de saturation  $I_{dss}$  et de la résistance  $R_{on}$  en fonction de la température ambiante. Elles nous serviront plus tard lors de notre étude.

### II.4.2.2 Température ambiante fixe – Variation de la puissance dissipée

La deuxième étape de la méthode consiste maintenant à fixer la température ambiante (température de chuck) et à faire varier le point de polarisation. A chaque point de polarisation choisi la puissance dissipée varie ( $V_{ds0} \times I_{ds0}$ ). Ainsi, nous pouvons alors mesurer  $I_{dmax}$  et  $R_{on}$  à différentes températures de jonction qui seront définies par le point de polarisation.

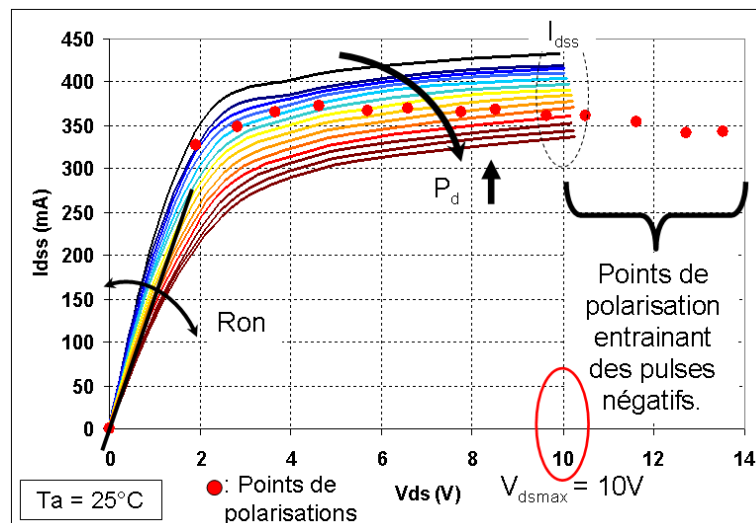


Figure 57 : Caractéristiques I-V pulsées (@ $V_{gs}=0V$ ) d'un transistor  $0.25 \times 8 \times 75 \mu m^2$  AlGaIn/GaN HEMT à partir de différents points de polarisation. Température ambiante fixe  $T_a=25^\circ C$ .

Il est important de noter que dans sa démonstration [95], J. Joh a pris comme tension de grille +2 V, mesurant ainsi le courant maximum  $I_{dmax}$  à  $V_{ds} = 10 V$  (lors de la première et deuxième étape). De notre coté, nous avons choisi une tension de grille limitée à 0 V car lors des tests à +2 V nous avons rencontré des problèmes dûs au fort courant de grille lors de la détermination de la résistance  $R_{on}$  (à faible  $V_{ds}$ ). Nous nous sommes donc concentrés sur la mesure du courant de saturation  $I_{dss}$  à  $V_{ds} = 10 V$ .

La Figure 57 montre une caractéristique I/V pulsée à partir de différents points de polarisation et une température de socle fixée à  $25^\circ C$ . J. Joh explique qu'il est important de limiter la tension de polarisation de drain à 10 V afin de prévenir tout type de dégradation du

à l'activation des pièges. Il nous montre en [96] que cette valeur de 10 V a été testée préalablement et que ses effets sont négligeables dans ce dispositif de mesure.

Au cours de notre étude, en limitant la tension de grille à 0 V comme nous venons de l'expliquer précédemment, nous avons dû compenser la décroissance du courant de drain et donc de la puissance dissipée au point de polarisation par une augmentation de la tension de polarisation de drain. C'est pourquoi nous avons été contraints de choisir des points de polarisations avec des tensions de drain supérieures à 10 V (Figure 57) afin d'obtenir une bonne dynamique en puissance dissipée (Figure 58),  $V_{gs0} = 0$  V (constant) et  $V_{ds0}$  variant de 0 à 13.5 V. Nous verrons par la suite que la sélection de tensions de polarisation supérieures à 10 V entraîne la mise en évidence d'effets de pièges dans le transistor.

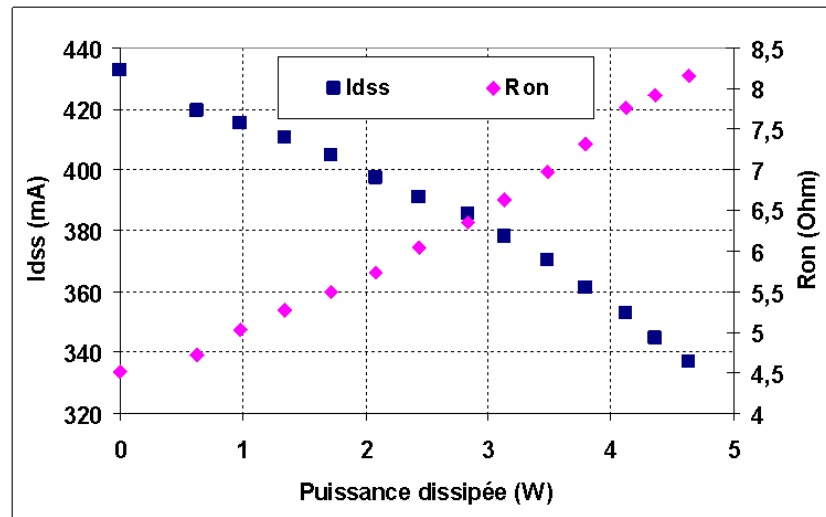


Figure 58 : Extraction des mesures d' $I_{dss}$  et  $R_{on}$  en fonction de la puissance dissipée (Figure 57).

Le fait de faire varier la puissance dissipée du transistor en fixant la température de socle nous permet de tracer la dépendance d' $I_{dss}$  et  $R_{on}$  en fonction de cette même puissance dissipée (Figure 58). La dépendance quasi-linéaire obtenue pour des puissances dissipées modérées est semblable à celle obtenue lors de la caractérisation en fonction de la température ambiante (Figure 56).

Comme nous l'avons mentionné précédemment, en utilisant des pulses très courts et une puissance dissipée nulle du point de polarisation, la température de canal du transistor n'est

pas strictement la même que la température du chuck thermique. Néanmoins, cette condition n'est pas strictement obligatoire, comme indiqué ci-dessous. En tenant compte de la dépendance linéaire entre  $R_{on}$  et la température ou entre  $R_{on}$  et la puissance dissipée nous pouvons écrire les deux équations suivantes :

$$R_{on}(\Delta T) = R_{on}(T_0) + \frac{dR_{on}}{dT} \cdot \Delta T$$

$$R_{on}(P_{diss}) = R_{on}(0) + \frac{dR_{on}}{dP_{diss}} \cdot P_{diss}$$

Où  $T_0 = 25^\circ C$ , correspond à une puissance dissipée nulle et  $\Delta T = T - T_0$ . La résistance thermique peut donc être extraite de l'équation suivante :

$$R_{TH} = \frac{\Delta T}{\Delta P_{diss}} = \left( \frac{dR_{ON}}{dP_{diss}} \right) / \left( \frac{dR_{ON}}{dT} \right)$$

Ainsi, si on suppose que la résistance thermique est constante, celle-ci est simplement le rapport de deux variations. Nous pouvons en déduire que la température de canal du transistor n'a pas à être connue avec précision.

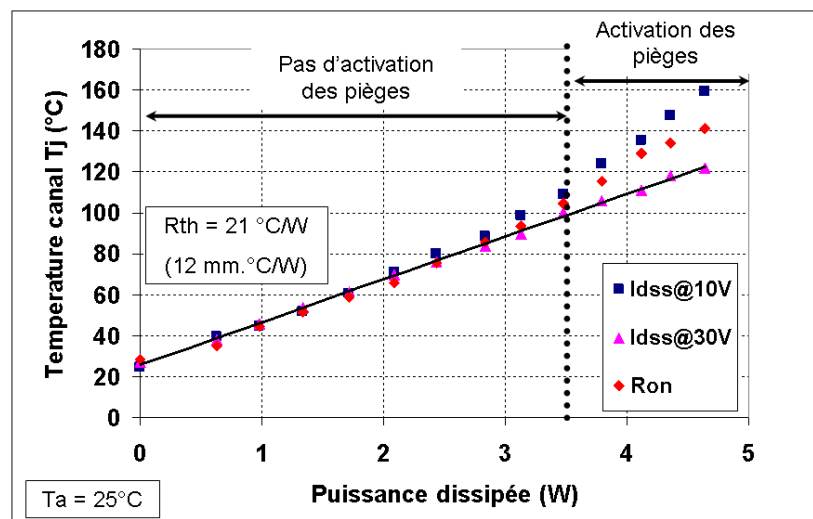


Figure 59 : Estimation de la température de jonction en fonction de la puissance dissipée à partir des mesures pulsées  $I_{dss}$  et  $R_{on}$ . A température ambiante constante de  $25^\circ C$ .



A partir des équations extraites de la Figure 56 et des données de la Figure 58, nous avons pu tracer la correspondance entre la température de canal  $T_j$  et la puissance dissipée (Figure 59). La résistance thermique a ainsi pu être extraite, la valeur obtenue est  $R_{th} = 21 \text{ °C/W}$ .

#### II.4.2.3 Mise en évidence de phénomènes de piégeage

Afin d'interpréter au mieux les résultats, une mesure non présentée précédemment a consisté à mesurer le courant  $I_{dss}$  à une tension de drain de 30 V. La manipulation reste identique à celle effectuée à 10 V, les points de polarisation lors de la deuxième étape restant analogues. Les courbes obtenues montrent clairement deux zones qui correspondent à une puissance dissipée inférieure ou supérieure à 3.6 W. En dessous de la valeur 3.6 W la température de jonction augmente linéairement en fonction de la puissance dissipée et les trois mesures donnent le même résultat. Cependant, au dessus de la valeur 3.6 W la dépendance devient non linéaire pour les mesures extraites de  $R_{on}$  et  $I_{dss}@10 \text{ V}$ , alors qu'elle reste linéaire pour les mesures extraites de  $I_{dss}@30 \text{ V}$ . La Figure 59 illustre parfaitement ces propos.

Pour expliquer cette différence, nous pouvons nous appuyer sur la Figure 60 et sur la méthodologie de mesure expliquée précédemment. En effet, une puissance dissipée de 3.6 W correspond dans notre cas à une tension de polarisation de drain de 10 V. Ainsi, pour une puissance dissipée inférieure à 3.6 W ( $V_{dso} < 10 \text{ V}$ ), la mesure du courant de drain  $I_{dss}$  à 10 V ou 30 V sera faite par une impulsion en  $V_d$  positive alors que pour une puissance dissipée supérieure à 3.6 W ( $V_{dso} > 10 \text{ V}$ ) la mesure sera faite par une impulsion positive à 30 V et une impulsion négative à 10 V (cf. cas de la Figure 60). Les différences observées sur la Figure 59 sont dues à différents états de piégeage, les pièges étant sensibles à la valeur maximum de la tension de drain [97].

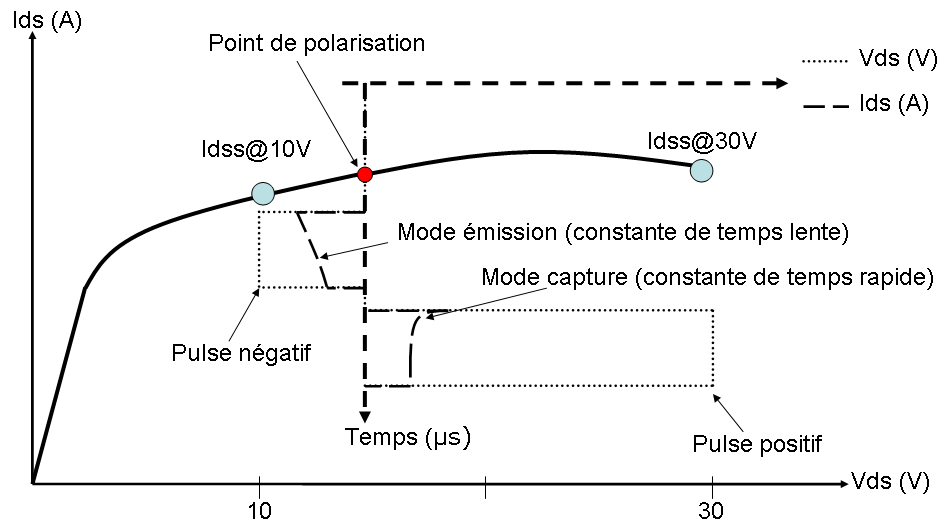


Figure 60 : Schéma explicatif sur la prise de mesure du courant de saturation  $I_{dss}$  à 10V et 30V à partir d'un point de polarisation où  $V_{ds0} > 10V$ .

Pour la mesure du courant de drain à 30 V ( $I_{dss}@30 V$ ) le niveau de piégeage reste le même quelque soit le point de polarisation choisi. En effet, l'impulsion à 30 V est continuellement en mode « capture » quelque soit le point de polarisation ( $V_{ds0}$  variant ici de 0 à 13.5 V), les constantes de temps de capture étant très rapides la mesure d' $I_{dss}$  à 30 V est donc constamment à un niveau de piégeage fixe. Cependant, pour l'impulsion à 10 V ( $I_{dss}@10 V$ ), suivant le point de polarisation, nous serons soit dans un cas d'impulsion positive ( $P_{diss} < 3.6 W \Rightarrow V_{ds0} < 10 V$ ) donc en mode « capture », soit dans un cas d'impulsion négative ( $P_{diss} > 3.6 W \Rightarrow V_{ds0} > 10 V$ ) donc en mode « émission ». La constante de temps d'émission des pièges étant très lente et notre largeur de pulse très courte, les pièges n'auront pas le temps de se décharger. Nous nous retrouverons donc dans une configuration où le niveau de piégeage n'est pas défini par l'amplitude de la tension de drain du pulse mais par le point de polarisation du transistor. C'est ainsi que l'on peut observer une diminution du courant de saturation  $I_{dss}$  à 10 V pour des puissances dissipées supérieures à 3.6 W sur la Figure 58, phénomène se traduisant par une augmentation de la température de jonction du canal  $T_j$  sur la Figure 59.

A noter aussi, au regard de la caractéristique tracée à partir de  $R_{on}$  (Figure 59), la validation de la mise en garde de J. Joh sur la valeur de la tension de drain à ne pas dépasser afin d'éviter toute activation d'effets de pièges (10 V). En effet, lors de la mesure de  $R_{on}$  ( $V_{ds}$  entre 0 et 2 V), nous appliquons, quelque soit le point de polarisation (sauf exception du point

$P_{diss} = 0$  W), des impulsions négatives donc en mode « émission ». Or, nous constatons que la caractéristique devient non linéaire seulement à partir d'une puissance dissipée  $P_{diss} = 3.6$  W, valeur correspondant à la tension de polarisation  $V_{ds0} = 10$  V. Avant ce point, la caractéristique est linéaire ce qui traduit un état de pièges non modifié par le point de polarisation dans le transistor.

#### **II.4.2.4 Conclusion sur la méthode de détermination de la résistance thermique $R_{th}$**

Nous pouvons donc conclure que les phénomènes de pièges peuvent venir perturber la caractérisation de la résistance thermique, il faut donc rester très prudent lors de l'évaluation des résultats. Les effets de pièges variant avec la température, des phénomènes complexes supplémentaires peuvent venir se greffer aux mesures. Une enquête plus approfondie sera ainsi nécessaire afin de séparer thermique et phénomènes de pièges.

Afin de compléter au mieux toutes ces mesures, nous avons finalisé cette étude en caractérisant la variation de la résistance thermique en fonction de la température. Nous avons, pour cela, réitéré la deuxième étape de notre expérience (température de socle constante, variation de la puissance dissipée) mais cette fois-ci à une température de socle de 100 °C. Les résultats obtenus en Figure 61 montrent que la résistance thermique extraite à partir de  $R_{on}$  est non linéaire. Ce résultat est concordant avec la théorie car la résistance thermique augmente avec la température et la puissance dissipée. Nous pouvons donc en conclure que la méthode d'extraction de la résistance thermique à travers la mesure de  $R_{on}$  est fiable, les résultats sont cohérents.

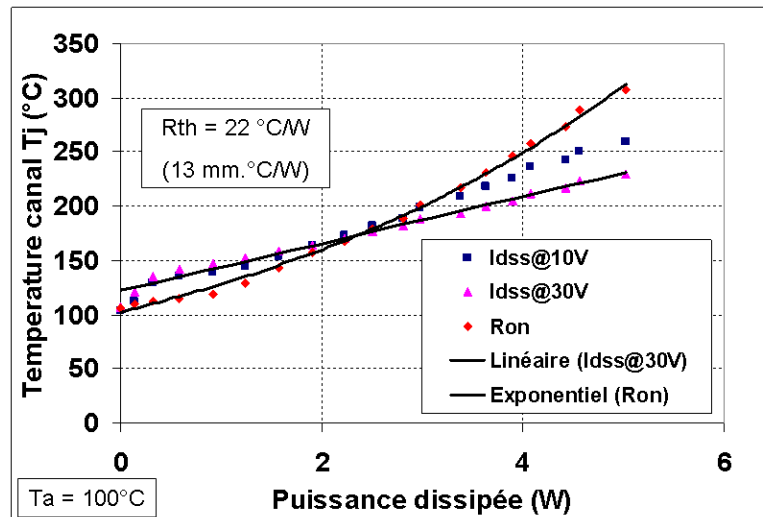


Figure 61 : Estimation de la température de jonction en fonction de la puissance dissipée à partir des mesures pulsées  $I_{dss}$  et  $R_{on}$ . A température ambiante constante de  $100^\circ\text{C}$ .

Une interprétation des résultats peut être donnée à partir de la Figure 61. Tout d’abord, les caractéristiques tracées à  $I_{dss}$  10 V et 30 V ressemblent très fortement à celles tracées à  $25^\circ\text{C}$  (Figure 59). Comme dans le cas de la mesure à  $25^\circ\text{C}$ , une différence se manifeste entre la caractérisation à 10 V et celle à 30 V, différence due, comme nous l’avons vu à la forme de l’impulsion appliquée en  $V_{ds}$  (impulsion négative). Cependant, en comparant ces deux caractéristiques avec les deux caractéristiques obtenues à  $25^\circ\text{C}$  (Figure 59), on constate que l’écart séparant ces deux courbes à puissance dissipée maximale ( $P_{diss} \# 4.8$  voire  $5 \text{ W}$ ) est deux fois plus élevée à  $25^\circ\text{C}$  ( $\text{delta} = 40 \text{ mA}$ ) qu’à  $100^\circ\text{C}$  ( $\text{delta} = 20 \text{ mA}$ ). Cette constatation peut s’expliquer par le fait que la visualisation des effets de pièges diminue à haute température. En d’autres termes, plus la température diminue, plus les constantes de temps d’émission augmentent et plus les effets de pièges sont visibles et prononcés (Chapitre 1).

Par la suite, on constate que la non linéarité de la résistance thermique est seulement mise en évidence à partir de la mesure de  $R_{on}$  (Figure 55) et à la vue des Figures 59 et 61, nous observons que cette non-linéarité est plus importante à  $100^\circ\text{C}$  qu’à  $25^\circ\text{C}$ . En effet, nous pouvons noter que l’écart existant à puissance dissipée maximale, entre la température  $T_j$  extraite de la mesure à  $V_{ds} = 30 \text{ V}$  et celle extraite de la mesure de  $R_{on}$ , est supérieur pour une température de socle de  $100^\circ\text{C}$ .

### II.4.3 Validation par la simulation 3D ANSYS du transistor

Le maillage de la structure en trois dimensions (3D) d'un transistor  $8 \times 75 \mu\text{m}$  AlGaIn/GaN HEMT a été réalisé à XLIM dans le cadre d'une étude thermique de transistors GH25 d'UMS.

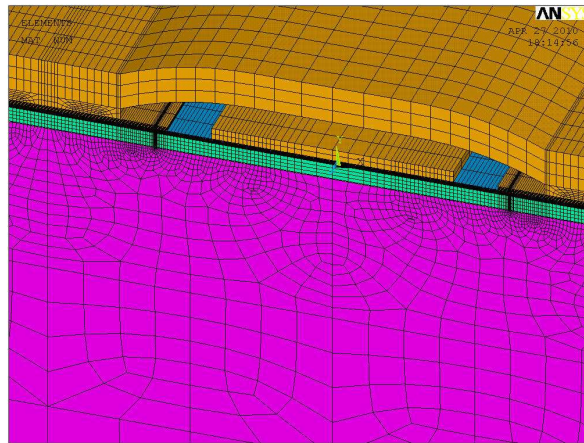


Figure 62 : Maillage d'une structure HEMT GaN GH25.

Les résultats obtenus précédemment ( $R_{th} = 21 \text{ }^\circ\text{C/W}$ ) ont donc été vérifiés à travers une analyse de simulation thermique 3D par Eléments Finis (EF) ANSYS (Figure 62). Dans ces simulations, les matériaux GaN et SiC ont été considérés avec des conductivités thermiques non linéaires [98]. D'autre part la résistance de contact (TBR) entre le substrat SiC et le GaN a été prise en compte [99].

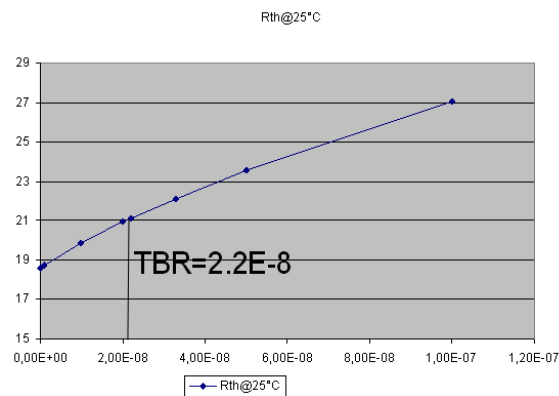


Figure 63 : Evaluation de la résistance de contact (TBR) GaN/SiC dans un transistor HEMT,  $R_{th}$  ( $^\circ\text{C/W}$ ) en fonction de la TBR ( $\text{W}^{-1} \cdot \text{m}^2 \cdot \text{K}$ ).

Plusieurs simulations ont été réalisées pour diverses valeurs de TBR allant de 0 à  $2 \cdot 10^{-7} \text{ W}^{-1} \cdot \text{m}^2 \cdot \text{K}$ . Nous pouvons voir que la résistance de contact doit être ajustée à la valeur de  $2.2 \times 10^{-8} \text{ W}^{-1} \cdot \text{m}^2 \cdot \text{K}$  pour obtenir la même valeur de résistance thermique qu'en mesure (Figure 63). Cette valeur est très proche de celle trouvée dans la littérature pour des structures similaires :  $3.3 \times 10^{-8} \text{ W}^{-1} \cdot \text{m}^2 \cdot \text{K}$  démontré dans [99]. Ceci confirme donc que la méthode de mesure de la résistance thermique précédemment utilisée est valide et fiable. Nous noterons que dans les travaux de thèse de G. Le Coustre [100] des mesures Raman ont été réalisées et ont permis d'extraire une TBR égale à  $3 \cdot 10^{-8} \text{ }^\circ\text{C} \cdot \text{m}^2 \cdot \text{K}$  pour un transistor sur substrat SiC.

Pour conclure, nous noterons que ces valeurs de résistance thermique ont aussi été vérifiées par d'autres méthodes de mesures comme la méthode du courant de drain ou la méthode du courant de grille [101, 102]. Enfin, il existe d'autres méthodes de détermination de la résistance thermique, on peut citer la méthode de thermographie à cristaux liquides dont la mise en œuvre reste délicate, la thermographie infrarouge ou encore la photorélectance [103, 104].

Ces résultats ont donné lieu à deux publications, l'une à EuMIC et la suivante à THERMINIC en 2010 [105, 106].

### **III. Les effets de pièges dans les transistors HEMTS GaN**

Depuis la création du tout premier transistor en technologie GaN, de rapides progrès ont été faits dans la technologie de conception de ces transistors HEMTs de puissance [107]. Comme nous l'avons vu au cours du premier chapitre les transistors AlGaIn/GaN HEMTs ont reçu beaucoup d'attention du fait de leurs hautes potentialités en puissance et en fréquence grâce à leur champ de claquage élevé et leur grande largeur de bande interdite. Le principal obstacle à la progression des performances a été et reste encore aujourd'hui le contrôle des densités de pièges dans le transistor [108-111]. En effet, bien que l'amélioration de la qualité des matériaux soit essentielle à l'obtention d'un dispositif de haute puissance, les effets de pièges restent toujours présents dans les transistors HEMTs et doivent être étudiés afin d'essayer de comprendre leurs mécanismes.

Les différents types de défauts présents dans l'épitaxie sont à l'origine des effets de pièges, et en particulier la présence d'impuretés dans le réseau cristallin, la présence de densités

élevées de dislocations, qui sont des défauts cristallographiques, ou l'existence de liaisons pendantes aux surfaces libres des transistors. D'un point de vue électrique, ces impuretés génèrent des états énergétiques situés dans la bande interdite du matériau semi-conducteur qui peuvent être occupés par des porteurs libres (on appelle alors énergie d'activation le niveau d'un piège par rapport à la bande de conduction ou de valence, selon les conventions). Ces porteurs sont alors retenus pendant un temps donné dans ces niveaux d'énergie ; d'où le nom de pièges donné à ces états. De plus amples informations sur la connaissance des pièges sont disponibles dans la thèse d'O. Jardel [34] ainsi que dans le Chapitre I de ce manuscrit.

Les résultats présentés dans cette partie sont extraits à partir de la technique de mesures I/V en mode impulsionnel. Cette technique permet de séparer les effets des pièges des effets thermiques, et ainsi, de voir l'influence des pièges sur le comportement électrique des transistors HEMTs. C'est ce que nous allons développer dans ce paragraphe.

### **III.1 Le Phénomène de « gate-lag »**

Le phénomène de « gate-lag » se traduit par l'apparition de transitoires lents du courant de drain lorsque la commande de grille passe d'un état de pincement à un état de conduction du canal en particulier, quand la transition est abrupte (transitions ON/OFF et OFF/ON de la tension de grille) vu que les pièges n'ont pas le temps de réagir [112]. L'état OFF de la tension de grille correspond à  $|V_{gs}| > |V_p|$ .

#### **III.1.1 Mise en évidence de la tension de polarisation $V_{gs0}$ sur les effets des pièges**

Pour mettre en évidence l'altération des performances des transistors HEMTs AlGaIn/GaN due aux effets de « gate-lag », nous réalisons deux jeux de mesures différents à puissance dissipée nulle et à température ambiante constante. Par conséquent, tout phénomène apparaissant sera attribué aux effets des pièges. Ces mesures sont réalisées sur un transistor HEMT AlGaIn/GaN 8x75  $\mu\text{m}$  sur substrat SiC sans « field plate ». Nous verrons par la suite que la présence ou non de la terminaison « field plate » sur le transistor aura des répercussions non négligeables sur ces phénomènes dégradants (III-2-2).

Tout d'abord, la première série de mesures consiste à réaliser un réseau I/V pour lequel le transistor est polarisé de la manière suivante :  $V_{gs0} = V_{ds0} = 0$  V. Ensuite, nous polarisons ce même transistor avec  $V_{ds0} = 0$  V, mais  $V_{gs0} = -5$  V ( $< V_p$ ). La durée et la période des impulsions sont respectivement de 700 ns et 10  $\mu$ s afin de minimiser l'auto-échauffement.

Lorsque nous comparons les réseaux de sortie (Figure 64) obtenus à partir des mesures pulsées décrites précédemment, nous constatons une différence importante au niveau de l'amplitude du courant de sortie. Le courant de drain chute de 50 mA. Par contre, la valeur de la tension de coude n'est quasiment pas affectée par le phénomène de « gate-lag ». A la vue de ces résultats, si nous raisonnons en termes de puissance, cette baisse du courant de sortie ( $P_s \propto I_d$ ) va réduire de façon importante la puissance de sortie du transistor.

Il a largement été admis que les états de surface sont principalement à l'origine de cette différence sur le courant de drain [113]. Comme dans le cas de l'AsGa, les pièges de surface peuvent généralement être identifiés à travers les mesures de « gate-lag ». Un certain nombre de groupes ont utilisé cette approche afin d'étudier ces effets de pièges sur les dispositifs GaN [108, 114, 115]. Les défauts de structure dans le cristal proches de la surface sont à l'origine du phénomène, les électrons sont alors piégés à la surface de la couche AlGaN. Ces électrons, sont ionisés quand la tension de grille passe en dessous de la tension de pincement. Les électrons capturés, lorsque la grille est polarisée OFF, ne participent pas au courant de conduction dans le canal quand la grille passe à l'état ON. Ceci est dû au fait que la constante de temps d'émission des pièges est plus grande que la durée des impulsions.



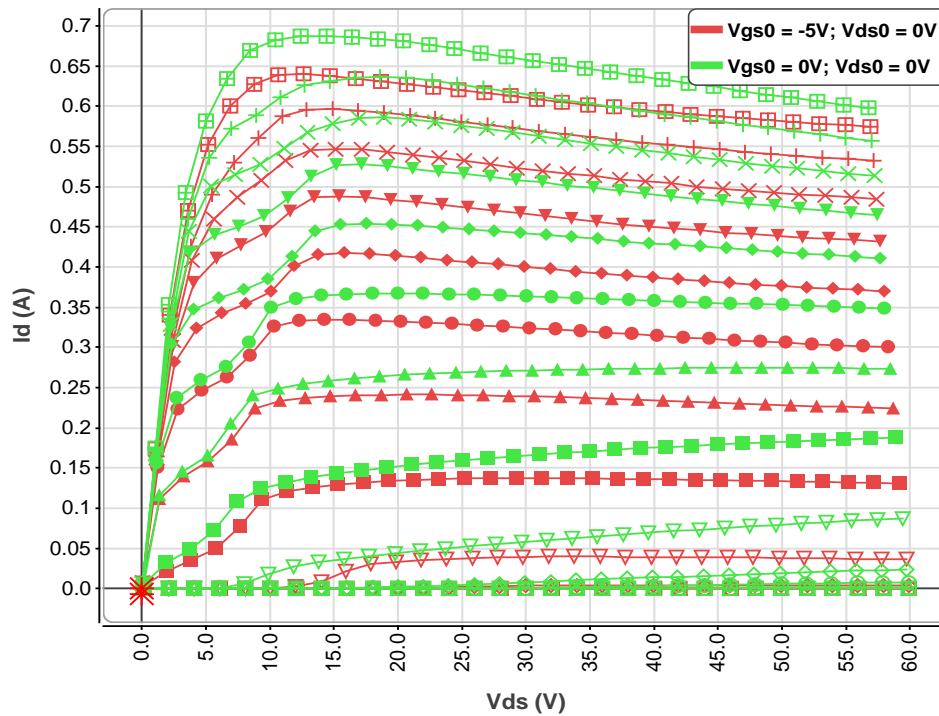


Figure 64 : Influence de la tension de grille sur un transistor HEMT AlGaIn/GaN 8x75  $\mu\text{m}$  avec une puissance dissipée nulle et une température de chuck de 25°C.  $V_{gs}$  variant de -4V à +2V par pas de 0.5V.

Afin de compléter cette étude, nous avons réalisé une dernière expérience qui consiste à réitérer la manipulation faite précédemment tout en y ajoutant l'aspect thermique, c'est à dire en changeant la température ambiante. Dans un premier temps, nous fixons la température de socle à 0 °C (Figure 65a) puis dans un second temps nous augmentons la température de socle à 100 °C (Figure 65b). Nous constatons alors une diminution significative de la chute du courant de drain lorsque la température augmente de 0 à 100 °C. Cette expérience, nous permettrait d'avancer le fait que les pièges de « gate-lag » sont d'autant plus visibles que la température ambiante est faible. Comme nous l'avons vu lors de la présentation d'un piège dans le chapitre I (partie IV.I), le taux d'émission varie fortement en fonction de la température (loi d'Arrhénius). L'émission par ionisation thermique des électrons piégés due à l'effet Poole-Frenkel (PF) est alors amplifiée à haute température. La température joue ainsi un rôle important sur les constantes de temps d'émission des pièges. O. Mitrofanov [4, 6] évoque le sujet, en montrant clairement que le taux d'émission augmente à température élevée.

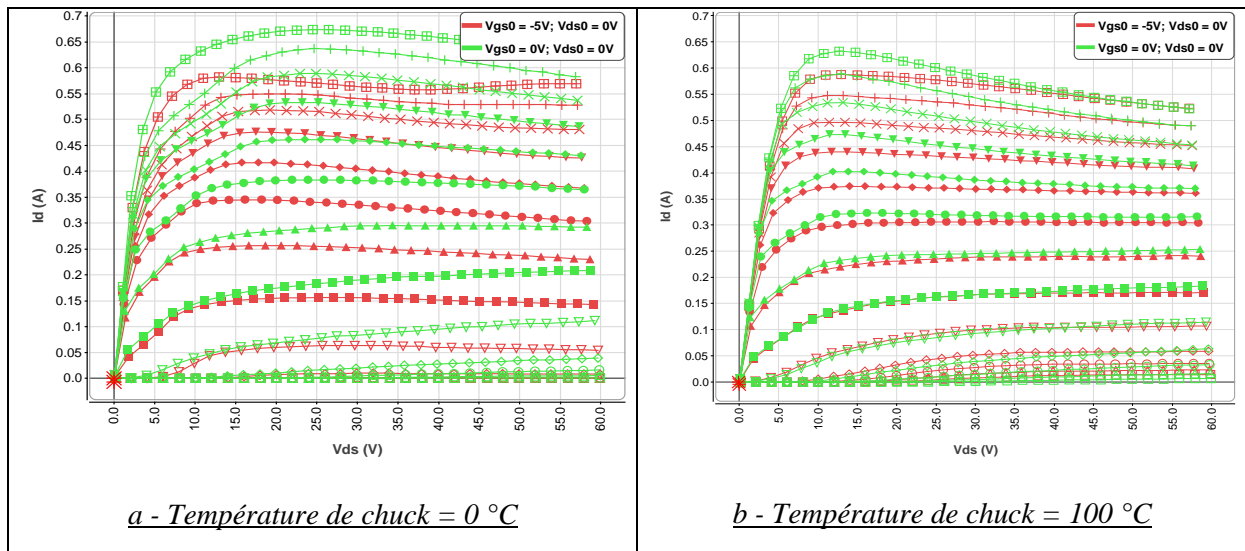


Figure 65 : Comparaison en température de l'influence de la tension de grille sur un transistor HEMT AlGaIn/GaN 8x75  $\mu\text{m}$  avec une puissance dissipée nulle. Vgs variant de -4V à +2V par pas de 0.5V.

### III.1.2 Réduction des effets de « gate-lag »- Passivations

La réduction de ces effets de pièges peut être effective en ajoutant un film ( $\text{SiO}$ ,  $\text{SiO}_2$ ,  $\text{Si}_3\text{N}_4$ ) au dessus de la couche d'AlGaIn [116]. Cette couche masque donc les surfaces libres des composants. Des mesures en impulsions sur des transistors avant et après passivation effectuées par C. Charbonniaud [101] ont montré une nette réduction des effets de « gate-lag ». Enfin, la présence de pièges de surface a été confirmée par G. Koley [117] et ses mesures ont montré que les électrons migrent de 0.5 à 1  $\mu\text{m}$  de profondeur à partir du contact de grille.

A noter, lors de nos travaux, tous les transistors utilisés contiennent une couche de passivation SiN.

## III.2 Le Phénomène de « drain-lag »

Le phénomène de « drain-lag » se traduit par l'apparition de transitoires lents du courant de drain lorsque la commande de drain passe d'un état OFF ( $V_{ds} = 0V$ ) à un état ON ( $V_{ds} > 0V$ ) pour une tension de grille constante.

### III.2.1 Mise en évidence de la tension de polarisation $V_{ds0}$ sur les effets des pièges

Comme dans le cas du « gate-lag », pour mettre en évidence l'altération des performances des transistors HEMTs AlGaIn/GaN due aux effets de « drain-lag », nous réalisons deux jeux de mesures différents à puissance dissipée nulle et à température ambiante constante. Ces mesures sont toujours réalisées sur le même transistor HEMT AlGaIn/GaN  $8 \times 75 \mu m$  sur substrat SiC (sans « field plate », III-2-2).

Un seul des deux jeux de mesure est identique à celui utilisé lors de la caractérisation précédente,  $V_{ds0} = 0 V$ ,  $V_{gs0} = -5 V$ . Le deuxième jeu de mesure diffère afin de mettre en évidence l'effet de la polarisation de drain et garder un état thermique nul, nous polarisons donc le transistor à  $V_{ds0} = 30 V$  et  $V_{gs0} = -5 V$  pour la mesure du deuxième réseau I/V. Et comme précédemment, la durée et la période des impulsions sont respectivement de 700 ns et 10  $\mu s$ .

Il est utile de préciser que dans de telles conditions de mesures, la période des impulsions est plus petite que la constante de temps d'émission des pièges. On atteint alors un régime établi où le nombre moyen de pièges ionisés dépend essentiellement de la tension de drain maximale et de la période de répétition des impulsions.

A partir des deux jeux de mesures pulsées décrites précédemment, lorsque nous les superposons ensemble (Figure 66), nous constatons une augmentation importante de la tension de coude et une diminution du courant dans la zone 0-30 V. Nous pouvons en conclure que l'augmentation de cette tension de coude et la baisse du courant de sortie entraînent une diminution de l'excursion du cycle de charge et ainsi une baisse de la puissance de sortie.

Afin de comprendre le phénomène, Zhang [118] nous explique que la réduction du courant de sortie dans les transistors FETs GaN lors de l'application d'une impulsion de tension sur le drain est due à l'injection d'électrons dans le buffer (GaN) où ils sont piégés. Dans le cas de MESFETs GaAs, Horio [119] a montré que lorsque l'on applique une impulsion de la tension de drain, une zone de charge d'espace se forme à l'interface substrat/canal. Quand les pièges de niveaux d'énergies profonds dans le buffer capturent les électrons, une électrode de grille parasite (appelée back-gate) se forme et resserre le canal, réduisant ainsi le courant de drain : c'est le phénomène de self-backgating. De plus amples explications sont disponibles dans la thèse de Z. Ouarch [102].

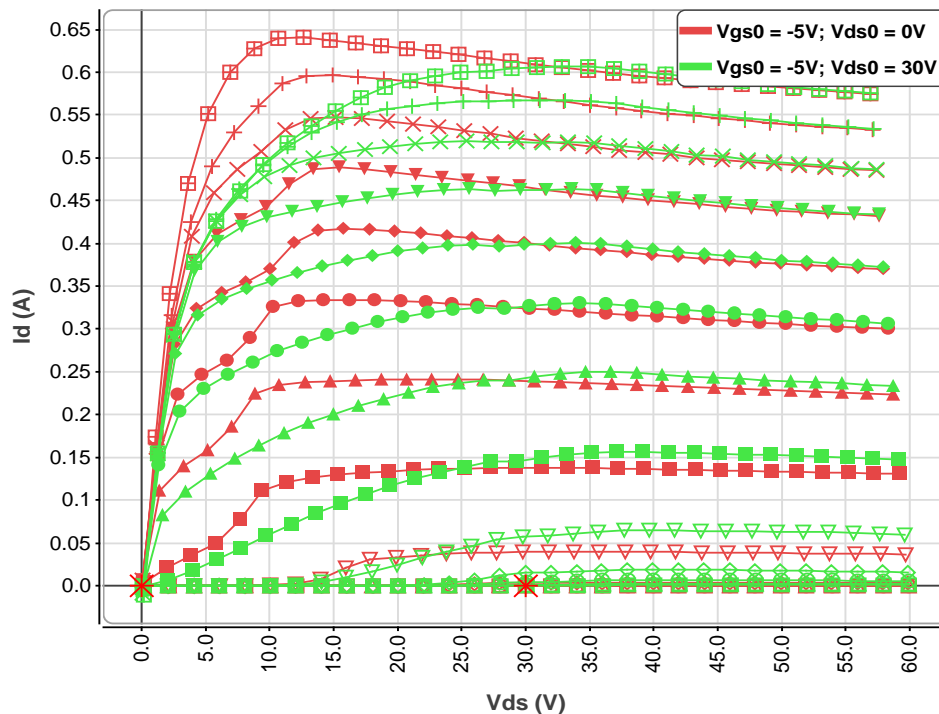


Figure 66 : Influence de la tension de drain sur un transistor HEMT AlGaIn/GaN  $8 \times 75 \mu\text{m}$ , avec une puissance dissipée nulle.  $V_{gs}$  variant de  $-4\text{V}$  à  $+2\text{V}$  par pas de  $0.5\text{V}$ .

Lors d'une impulsion, pour une variation positive de  $V_{ds}$ , les électrons sont accélérés par le champ électrique engendré par  $V_{ds}$ . Ils sont capturés par des pièges de niveaux d'énergie profonds localisés dans le buffer et/ou dans le substrat. Ces électrons capturés par les pièges ne participent pas au courant dans le canal. Le résultat direct est la diminution du courant de

drain jusqu'à ce qu'il atteigne son état permanent, au fur et à mesure que les pièges se remplissent.

Il est important de remarquer que les valeurs du courant pour des tensions supérieures à 30 V sont quasiment les mêmes pour les deux réseaux. L'explication est la même que celle donnée pour la présence de pièges dans la mesure de la résistance thermique (Figure 60). La largeur de l'impulsion étant trop courte pour vider totalement les pièges, l'état de piège dans l'impulsion dépend donc de la valeur la plus élevée entre la tension de drain du pulse ( $V_{dsi}$ ) et la tension de drain du point de polarisation ( $V_{ds0}$ ). Ainsi, pour le réseau à  $V_{ds0} = 30$  V et  $V_{gs0} = -5$  V, tous les points mesurés à  $V_{ds} < 30$  V ont un état de piège constant et égal à l'état du point de polarisation  $V_{ds0} = 30$  V ( $V_{ds0} > V_{dsi}$ ). Dans tous les autres cas, le point  $V_{dsi}$  est supérieur au point  $V_{ds0}$ , l'état de piège dans l'impulsion dépend donc de la valeur de tension de drain instantanée  $V_{dsi}$ .

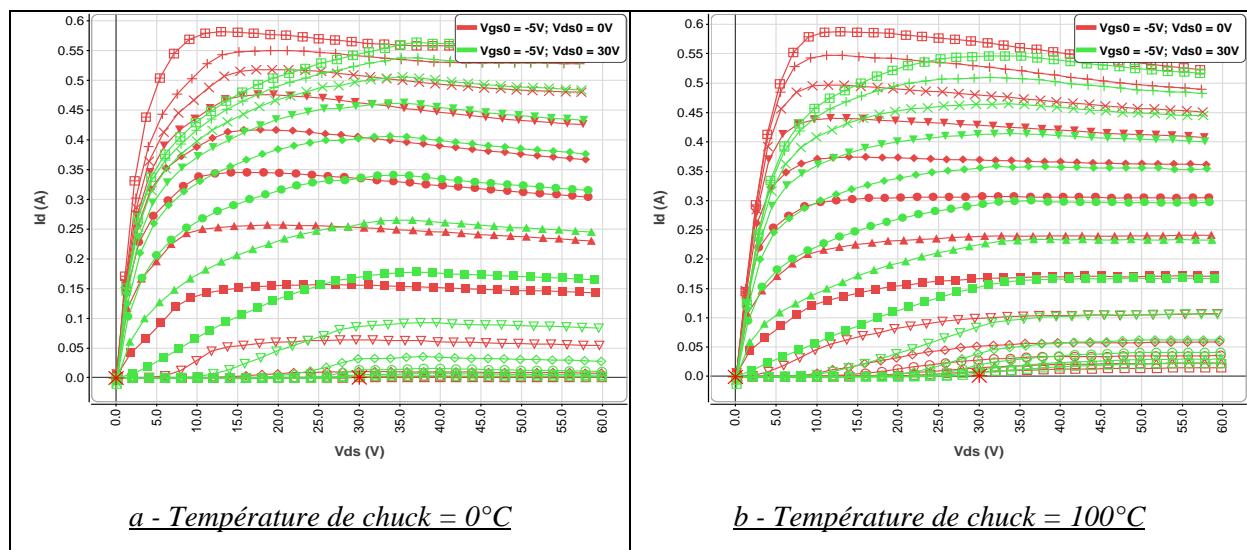


Figure 67 : Comparaison en température de l'influence de la tension de grille sur un transistor HEMT AlGaIn/GaN 8x75  $\mu\text{m}$  avec une puissance dissipée nulle.  $V_{gs}$  variant de -4V à +2V par pas de 0.5V.

Nous avons réalisé la même expérience (Figure 67) que lors de l'étude du « gate-lag » qui consiste à réitérer la manipulation faite précédemment tout en y ajoutant l'aspect thermique. Nous constatons alors de la même façon une diminution significative de la chute du courant de drain lorsque la température augmente de 0 à 100 °C. Cette expérience, nous permet de

confirmer le fait que les constantes de temps d'émission des pièges varient fortement en fonction de la température.

### III.2.2 Réduction des effets de « drain-lag » - Field plate

La technologie « field plate » [120] permet d'augmenter les tensions de claquage de façon significative, mais aussi de réduire les pièges de surface à champs élevés ainsi que les pièges de buffer, permettant des performances accrues des transistors [121]. L'utilisation d'une métallisation de grille appelée « field plate » ou « overlapping » située au dessus de la couche de passivation du composant comme indiqué Figure 68 permet de modifier le profil du champ électrique dans le transistor et notamment la valeur du pic du champ électrique.

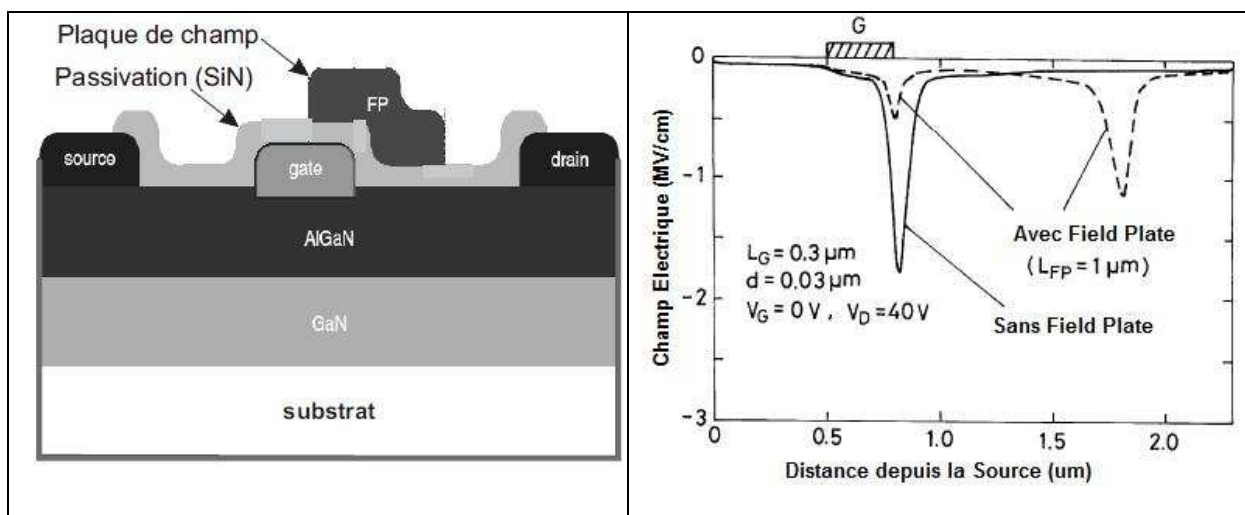


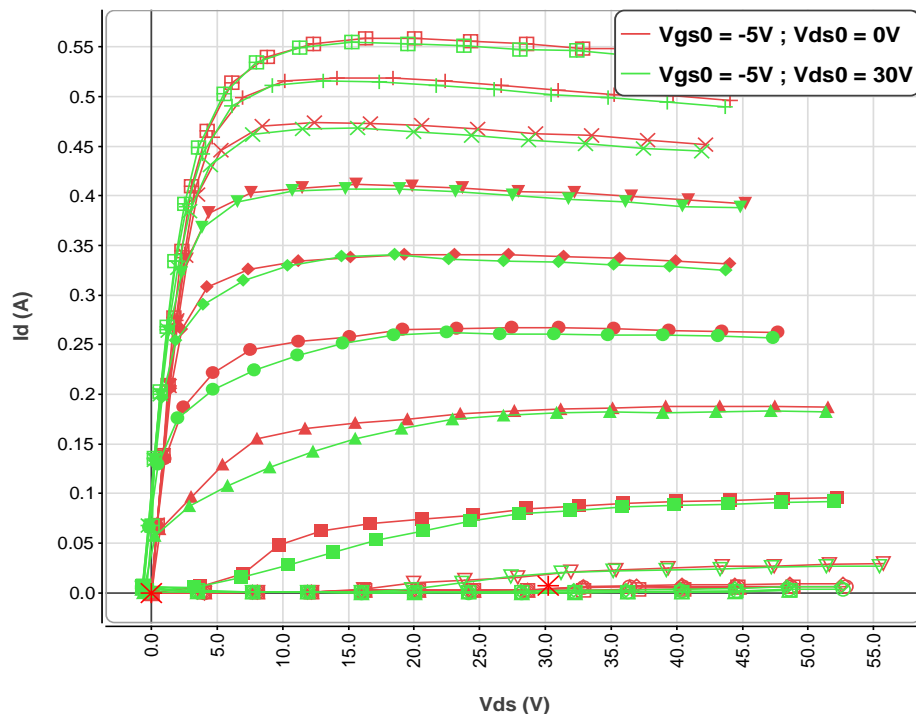
Figure 68 : Schéma de la structure d'un HEMT avec une plaque de champ au dessus de la grille, et comparaison de la distribution du champ électrique le long de l'axe du gaz d'électrons bidimensionnel avec et sans field-plate [122, 123].

Ainsi A. Koudymov [124] démontre qu'en plus de la présence du « field plate » dans la structure du transistor, la conductivité du diélectrique se trouvant sous la plaque de champ, joue un rôle très important dans l'élimination des pièges. De ce fait, il nous présente un transistor HFETs GaN avec une couche diélectrique semi-conductrice sous sa terminaison « field plate » fournissant 20 W/mm à 55 V (fréquence = 2 GHz) et avec un courant de fuite de drain négligeable.

A. Nakajima [125] nous explique comment l'existence de la plaque de champ dans les HEMTs et MESFETs GaN affecte les pièges de « drain-lag » et de « gate-lag ». La démonstration est faite qu'en introduisant une terminaison field plate le « drain-lag » est réduit car l'injection d'électrons dans le buffer en est réduite.

Enfin, une autre solution permet de minimiser le piégeage des électrons dans le buffer dû aux effets négatifs des impuretés, l'accepteur superficiel le plus commun étant le carbone [126], W. D. Hu [127] présente une structure de transistor HEMT à puits quantique qui permet de confiner les électrons dans le gaz d'électron bidimensionnel. La structure diffère d'une structure classique de HEMT par l'ajout d'une couche d'AlN hautement résistif entre le GaN et le substrat SiC.

Comme nous l'avons précisé au début de notre étude, les effets de « gate-lag » ainsi que ceux de « drain-lag » ont été présentés à partir de transistors sans « field plate » afin de mettre en évidence ces phénomènes assez clairement. Comme nous pouvons le constater sur la Figure 69 ci-dessous, si nous considérons maintenant un transistor avec « field plate », celui-ci réduit considérablement les effets de pièges dans les transistors HEMT GaN 8x75  $\mu\text{m}$  d'UMS (mesures effectuées pour une température de socle de 25 °C).





## IV. L'effet « kink » dans les HEMTs GaN

### IV.1 Introduction

L'effet « kink » représente une augmentation soudaine du courant de drain pour une certaine valeur de tension de drain, entraînant ainsi l'augmentation de la conductance de drain  $G_d$  et la réduction de la transconductance  $G_m$ . Cet effet a été longuement étudié depuis maintenant de nombreuses années dans les transistors HEMTs à base d'AsGa ou même d'InP [128, 129, 130, 131, 132] et plusieurs de ces auteurs mettent en avant le lien direct entre l'ionisation par impacts et les effets de pièges. L'effet « kink » observé dans les transistors HEMTs GaN est légèrement différent de celui observé dans les transistors HEMTs AsGa comme nous pouvons le constater sur la Figure 70 ci-dessous.

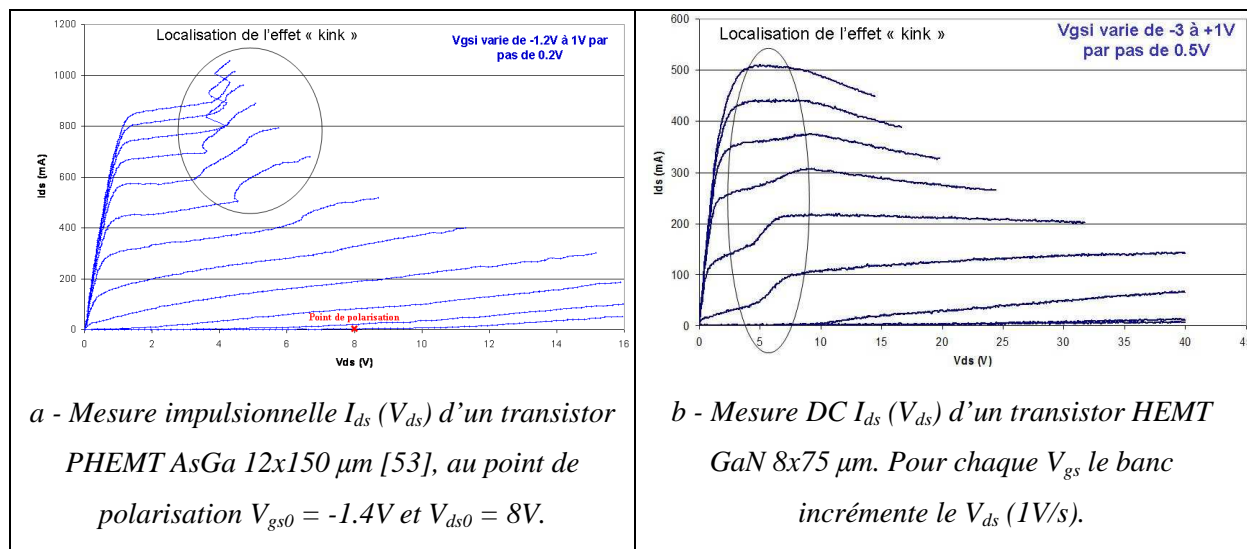


Figure 70 : Comparaison entre l'effet « kink » observé sur un transistor PHEMT AsGa et un transistor HEMT GaN.

L'effet « kink » est un effet dégradant pour les transistors à effet de champ AsGa contrairement au transistor GaN ou il n'a jamais été prouvé quelconques altérations sur les performances radiofréquence du transistor. Cependant cet effet n'a été que peu étudié dans la littérature pour les transistors GaN, l'ionisation par impact est un phénomène difficile à



observer dans les matériaux que sont l'AlGaN ou le GaN (ceci étant dû à leur grande largeur de bande interdite et aux faibles taux d'ionisation les caractérisant). Néanmoins, la corrélation entre l'effet « kink » et la ionisation par impact a été démontrée par B. Brar [133] et N. Dyakonova [134], où le champ électrique spécifique de  $2.1 \times 10^6$  V/cm a été obtenu pour un transistor HEMT GaN. Les raisons de cet effet sont donc attribuées au phénomène d'ionisation par impact ou aux pièges localisés en surface ou dans le buffer.

Dans cette partie, nous allons donner une explication possible quant à l'apparition de l'effet « kink », son origine et sa disparition. Des mesures DC ainsi que pulsées ont été nécessaires afin d'obtenir ces résultats et cette discussion. Nous verrons qu'une étude en température a même été faite afin de mettre en évidence la grande dépendance de cet effet avec ce paramètre.

#### **IV.2 Influence de la valeur de la tension $V_{ds}$ ainsi que du temps d'exposition à forts $V_{ds}$**

Ici, l'expérience qui a été menée a pour but de mettre en évidence l'effet mémoire dans l'apparition de l'effet « kink ». En effet, nous allons prouver que pour obtenir l'effet « kink » sur nos réseaux I/V, il faut obligatoirement avoir appliqué un état précédent au transistor. Ces mesures ont été réalisées à UMS, le banc pulsé DIVA permet de mesurer en mode impulsionnel et en mode continu. Les transistors utilisés sont des transistors  $8 \times 75 \mu\text{m}$  AlGaN/GaN HEMT sur plaque provenant de la technologie GH25 d'UMS.

### IV.2.1 Influence de la tension $V_{ds}$

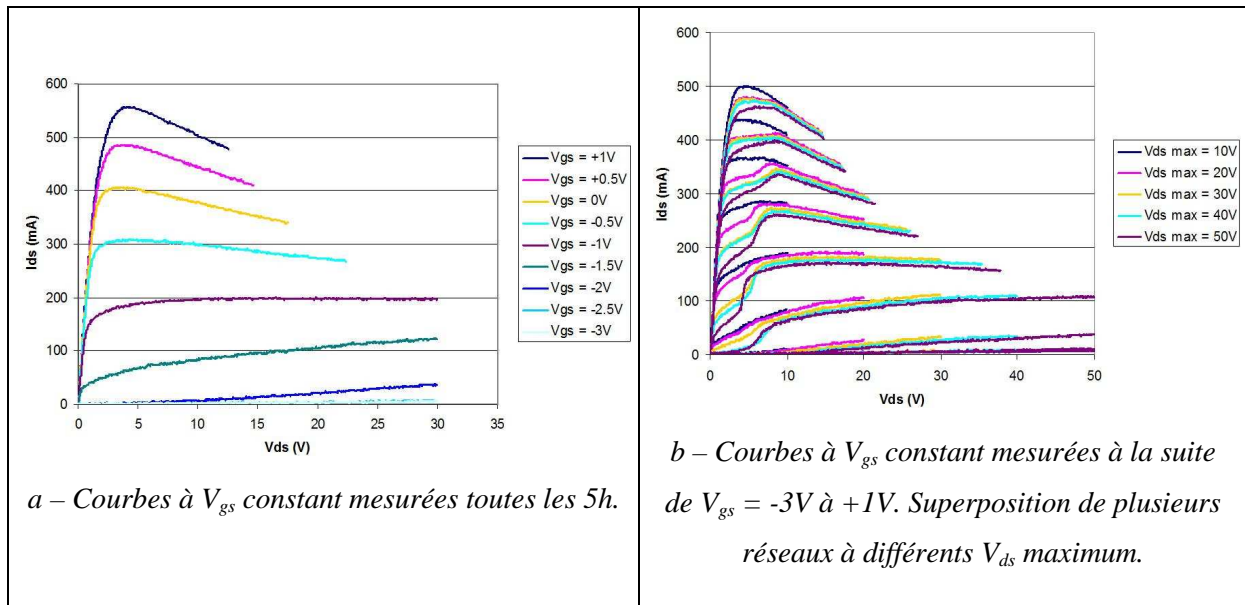


Figure 71 : Mise en évidence de l'effet « kink », mesures DC 1V/s sur un transistor 8x75  $\mu\text{m}$  AlGaIn/GaN HEMT.

La première étape de l'expérience, illustrée en Figure 71a, consiste à mesurer une caractéristique I/V complète tout en laissant un temps de repos conséquent (5 h en moyenne) entre chaque mesure de courbes à  $V_{gs}$  constante. Le banc est configuré de telle sorte qu'à chaque  $V_{gs}$ , le programme d'automatisation des mesures incrémente la tension de drain  $V_{ds}$  de 1V/s jusqu'à atteindre la tension  $V_{dsmax}$  maximale ou la puissance dissipée critique (à ne pas dépasser) préalablement enregistrées. Au vu des résultats, nous ne constatons pas la présence de l'effet « kink ».

La deuxième étape de l'expérience (Figure 71b), consiste à faire quasiment les mêmes mesures mais cette fois-ci en supprimant le temps de repos entre chaque courbe à  $V_{gs}$  constant. Le réseau est donc mesuré directement, depuis les tensions  $V_{gs}$  négatives ( $V_{gs} = -3$  V) jusqu'aux tensions  $V_{gs}$  positives ( $V_{gs} = +1$  V) par pas de 0.5 V, tout en incrémentant  $V_{ds}$  d'1V/s à chaque itération en  $V_{gs}$ . Cette mesure est effectuée pour différentes valeurs de  $V_{dsmax}$ . Dans ces cas précis, nous constatons l'apparition de l'effet « kink » et nous pouvons observer que l'effet est plus prononcé lorsque les réseaux sont mesurés pour des tensions  $V_{ds}$  importantes.

On constate donc que l'effet « kink » apparaît, si et seulement si un état précédent à fort  $V_{ds}$  a été appliqué au transistor. Cet effet est donc à mettre à l'actif d'un phénomène de piégeage qui s'opère à fort  $V_{ds}$ . G. Meneghesso [135], nous explique que le « kink » ne peut être expliqué par les pièges de surface car il n'est en aucun cas affecté par les traitements de surface ou les couches de passivations appliquées aux transistors. Toujours dans ces mêmes travaux, il nous démontre que l'effet « kink » a un impact sur la tension de pincement  $V_p$ . Si nous considérons la tension  $V_{ds\ kink}$ , tension pour laquelle l'effet « kink » apparaît, alors pour des tensions  $V_{ds} < V_{ds\ kink}$  la tension de pincement  $V_p$  augmente et pour des tensions  $V_{ds} > V_{ds\ kink}$ , la tension de pincement revient à une valeur plus négative. Cette constatation lui permet alors d'affirmer que les niveaux de pièges responsables de cet effet se situent dans des couches épitaxiales localisées sous la grille puisque l'effet « kink » crée une variation de la tension  $V_p$ . Nous verrons par la suite que nous avons essayé d'extraire la constante de temps de repos nécessaire au transistor afin d'éliminer cet effet.

#### **IV.2.2 Influence du « moyennage » en mesure**

La deuxième expérience consiste à mettre en évidence le temps passé à fort  $V_{ds}$  pour caractériser l'effet « kink ». Comme nous pouvons l'observer sur la Figure 72, deux réseaux I/V sont mesurés en mode impulsionnel avec deux moyennages différents (16 et 2048). Le moyennage impose le nombre d'acquisition de mesures réalisées dans des conditions identiques. Nous constatons que l'effet « kink » émerge lorsque le moyennage est le plus important (2048), pour un moyennage inférieur (16) l'effet « kink » est inexistant.

L'effet « kink » est donc dépendant du temps passé à forts  $V_{ds}$ , le temps nécessaire afin de remplir les niveaux de pièges peut en être l'explication. Les constantes de temps de captures doivent être non négligeables et c'est ainsi, qu'en une seule impulsion de 500 ns, les pièges n'ont pas le temps de se remplir totalement. Afin d'observer le phénomène, il est donc nécessaire d'appliquer des mesures DC ou bien des consignes à fort moyennage en mode pulsé.

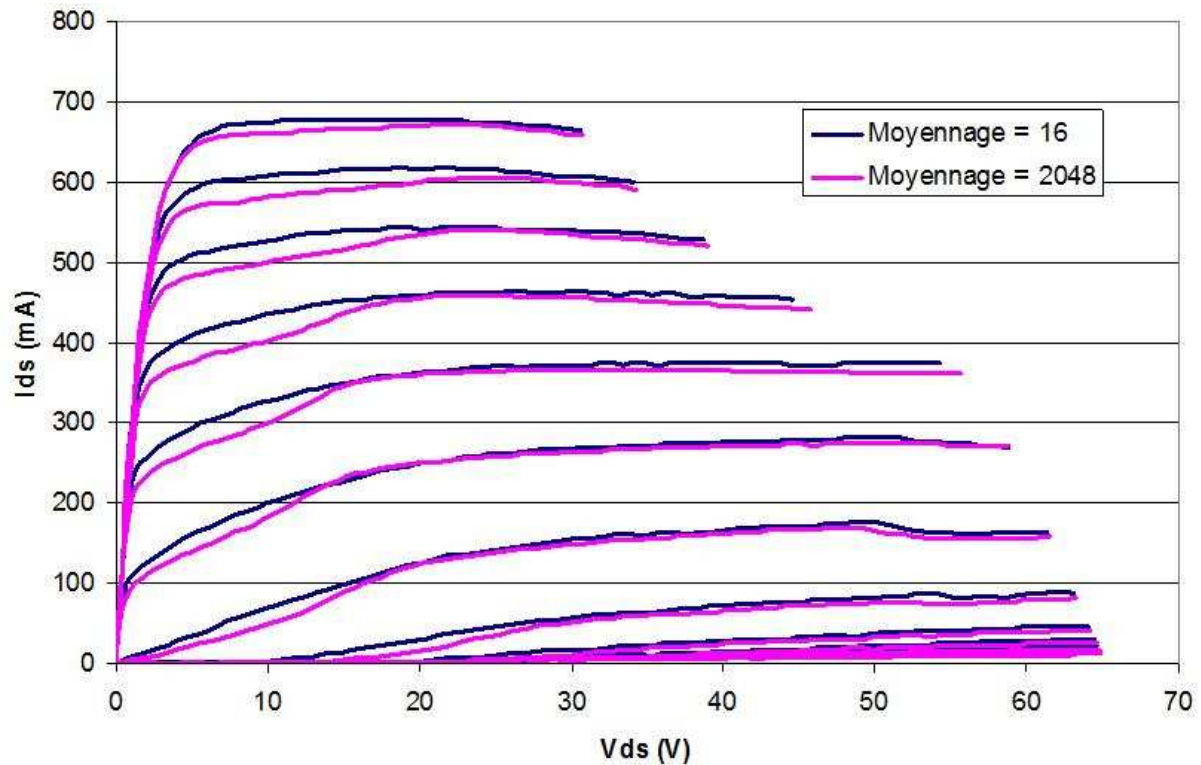


Figure 72 : Mise en évidence de l'effet « kink », mesures impulsionnelles (impulsion : 500ns, repos : 1ms) avec variation du moyennage; sur un transistor  $8 \times 75 \mu\text{m}$  HEMT GaN.

### IV.2.3 Influence sur les performances RF

Comme nous l'avons dit en introduction de l'étude, il n'a jamais été prouvé que ce phénomène provoque des résultats néfastes sur les performances hyperfréquences des transistors HEMTs GaN. Afin d'illustrer ces suppositions, nous avons superposé deux réseaux I/V dans la Figure 73. Le premier étant un réseau pulsé ayant pour point de polarisation  $V_{gs0} = -1 \text{ V}$ ,  $V_{ds0} = 25 \text{ V}$ , ceci afin de décrire un fonctionnement qui peut être celui d'un transistor dans un amplificateur hyperfréquence de puissance (polarisé sur un point chaud). Le deuxième réseau étant un réseau DC, configuration la mieux adaptée afin de mettre en évidence le phénomène de « kink ».

En observant les deux réseaux, on constate que l'effet « kink » est totalement absent du réseau impulsionnel réalisé à partir d'un point chaud. Nous pouvons émettre l'hypothèse que l'effet « kink » est masqué par les effets de « drain-lag » du transistor. En effet, comme nous le montre la Figure 73, le seul point commun entre les deux réseaux est le point  $V_{ds0} = 25 \text{ V}$ ,

$V_{gs0} = -1$  V, c'est le seul point mesuré en mode DC dans les deux cas. Si nous raisonnons à partir de ce point, nous pourrions alors aisément en déduire que les flèches noires tracées sur le graphique décrivent l'évolution du courant en fonction du temps, précisément de 500 ns (largeur de pulse) à 1 s (dynamique utilisée lors de la mesure DC). Par la suite, nous pouvons imaginer que la constante de temps décrite par les flèches rouges afin de revenir à un état établi sans effet « kink » est supérieure à la seconde.

C'est cette dernière constante de temps que nous allons tenter de caractériser lors de notre prochaine étude.

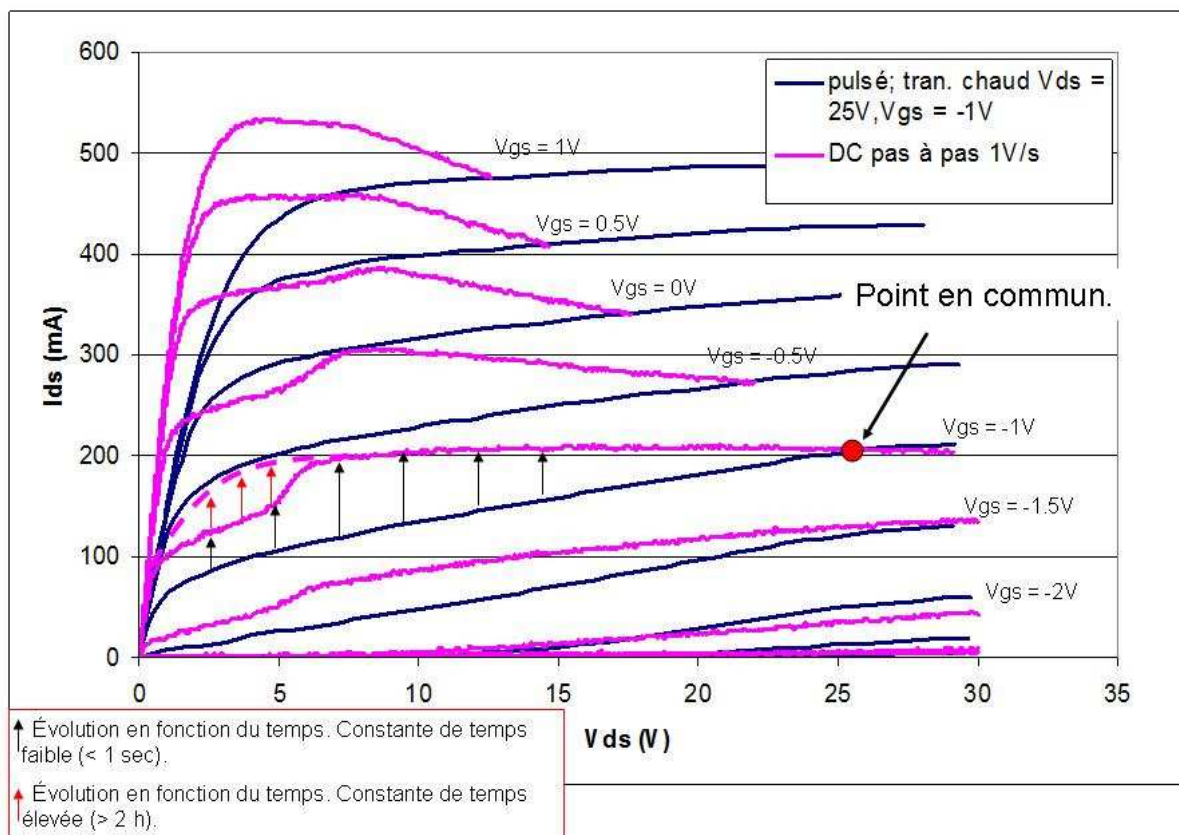


Figure 73 : Comparaison de deux réseaux IV en mode pulsé à partir d'un point « chaud » (pulse : 500 ns, repos : 1 ms) et d'un mode DC (1V/s) sur un transistor HEMT 8x75 µm.

### IV.3 Détermination de la constante de temps d'émission

Afin de déterminer avec plus ou moins de précision la constante de temps nécessaire à la disparition de l'effet « kink », nous avons développé la méthodologie définie ci-après :

- ➔ Mesure d'une courbe à  $V_{gs} = -1$  V (courbe en violet sur la Figure 74) en mode DC (1 V/s),  $V_{ds}$  variant de 0 à pratiquement 40 V (limité à 6 W de puissance dissipée en mode « on state »). Nous avons pris soin de ne pas « stresser » le composant avant cette manipulation, c'est-à-dire que nous ne lui avons pas appliqué d'état précédent.
- ➔ Mesure d'un réseau  $V_{gs} = -5$  V à -1 V (réseau en bleu sur la Figure 74) en mode DC (1 V/s),  $V_{ds}$  variant de 0 à 50 V en pincé « off state » et limité à 6 W de puissance dissipée en mode « on state ».

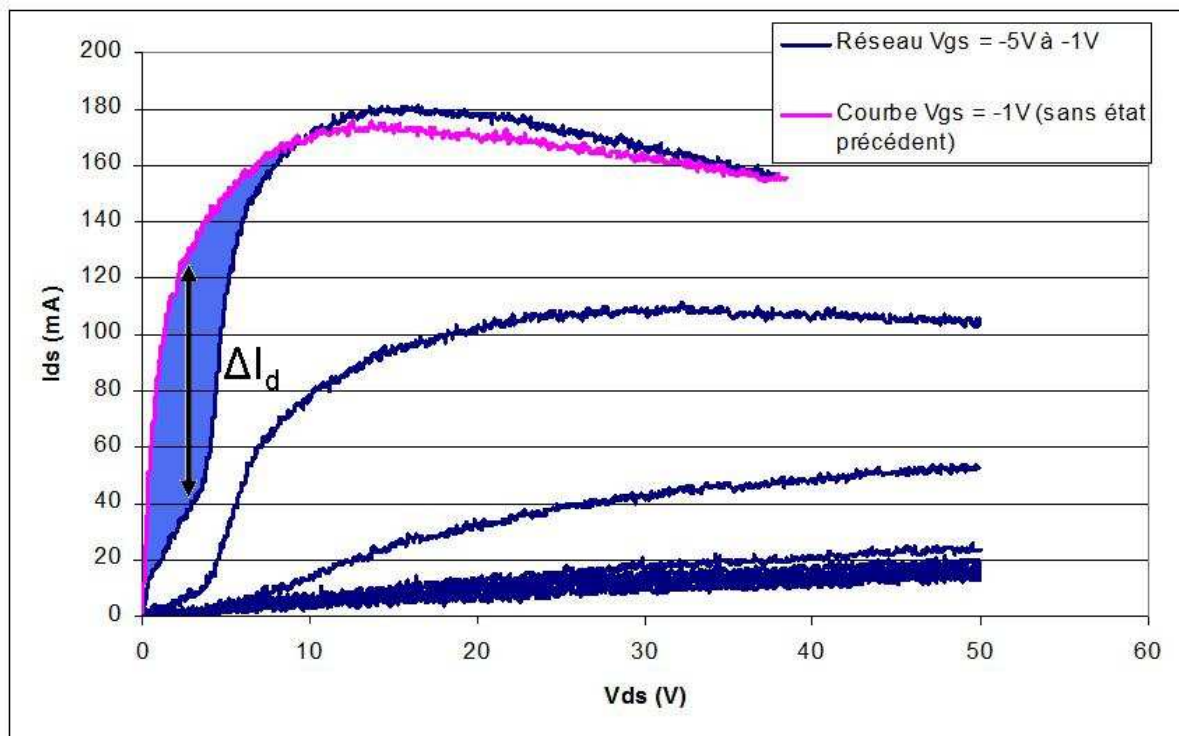


Figure 74 : Caractérisation de l'effet « kink », mise en évidence de la variation en courant provoquée par un état précédent à fort  $V_{ds}$ .

Très clairement, à la vue de la superposition de la courbe et du réseau de la Figure 74, nous observons un écart en courant ( $\Delta I_d$ ) de l'ordre de 80 mA caractérisant l'effet « kink ». Comme nous l'attendions, la courbe à  $V_{gs} = -1$  V sans état précédent ne décrit pas l'effet, cette courbe sera donc notée « courbe de repos » dans la Figure 75a. Ensuite, la courbe du réseau complet à  $V_{gs} = -1$  V traduit l'effet « kink », en effet ceci est compréhensible puisque un état précédent lui a été appliqué (courbes du réseau  $V_{gs} = -5$  à  $-1.5$  V par pas de 0.5 V avec  $V_{dsmax} = 50$  V). Cette courbe sera reprise dans la Figure 75a et sera noté  $t = 0$ .

Une fois le réseau de la Figure 74 mesuré, nous programmons « à la chaîne » une série de courbes à  $V_{gs} = -1$  V en incrémentant  $V_{ds}$  de 0 à 4 V maximum en mode DC (1 V/s). Ceci, nous permettant de retranscrire le temps nécessaire mis par le transistor pour libérer les électrons capturés par les pièges (Figure 75b).

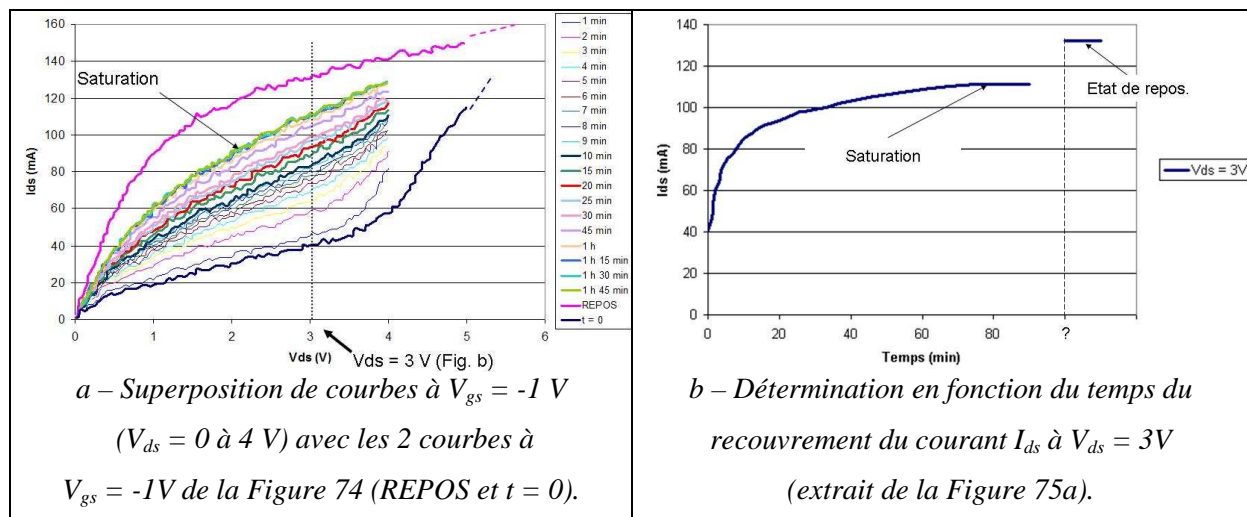


Figure 75: Détermination du temps nécessaire à la disparition de l'effet « kink » sur un transistor HEMT 8x75  $\mu$ m.

La Figure 75a, nous montre clairement la lente remontée du courant de drain  $I_{ds}$  pour chaque courbe limitée à 4 V en  $V_{ds}$ . Afin de mieux se rendre compte du temps nécessaire à la libération des électrons capturés, nous traçons en Figure 75b l'évolution du courant de drain  $I_{ds}$  en fonction du temps à  $V_{ds} = 3$  V (extrait de la Figure 75a).

Nous constatons tout d'abord que le temps nécessaire est supérieur à l'heure, ceci coïncide avec l'étude de G. Meneghesso [135] qui nous explique que les longues constantes de temps liées à l'effet « kink » suggèrent que cet effet est lié à des niveaux de pièges profonds. Cette hypothèse est confirmée par la dépendance spectrale de l'effet « kink », dont l'amplitude peut



être modulée en utilisant des énergies de photons inférieures au gap d'énergie du matériau GaN [135].

La deuxième chose que nous pouvons noter, est qu'une saturation du courant de drain apparait à partir d'un temps compris entre 60 et 80 minutes. Nous ne retrouvons donc pas le courant de repos à  $V_{ds} = 3$  V qui était de 130 mA environ mais un courant de l'ordre de 110 mA. Ainsi, deux hypothèses peuvent être avancées, la première est de dire qu'une deuxième constante de temps supérieure à 80 minutes existe et la seconde est de dire que le point de saturation observé correspond à un état de piégeage propre à l'état  $V_{ds} = 4$  V,  $V_{gs} = -1$  V.

#### IV.4 Dépendance de l'effet « kink » avec la température

Dans cette quatrième partie, nous voulons montrer l'effet de la température sur l'effet « kink ». Comme R. Cuerdo [136] qui a présenté quelques résultats en température sur ce phénomène en fonction du process, ici nous voulons mettre en évidence que le déclenchement du « kink » est fonction de la température.

L'expérience a été produite sur le banc I/V impulsif d'Xlim à Brive la Gaillarde grâce à son socle à variation thermique. L'expérimentation consiste à mesurer des caractéristiques I/V d'un transistor  $8 \times 75$   $\mu\text{m}$  AlGaIn/GaN HEMT sur plaque à différentes températures de socle (variation de la température du « chuck » thermique). A chaque température préalablement fixée, un réseau I/V en impulsion, à fort moyennage, a été mesuré ( $V_{gs}$  variant de -4 V à 2 V et  $V_{ds}$  de 0 V à 40 V, point de polarisation (0 ; 0)). Afin d'observer plus clairement le phénomène, nous avons isolé les courbes à  $V_{gs} = -1$  V tracées en Figure 76.

Le résultat est assez surprenant, pour des températures faibles (- 20 °C et 0 °C) comme pour des températures élevées (100 °C et 150 °C), l'effet « kink » est inexistant. Cependant, aux températures intermédiaires, l'effet « kink » se produit et nous pouvons observer un décalage du maximum de la conductance  $G_d$  en fonction de la température. Nous en concluons que le phénomène de « kink » dans les transistors HEMT GaN est très fortement sensible à la température. La température jouant un rôle important sur l'énergie d'activation des pièges comme nous l'avons vu précédemment.



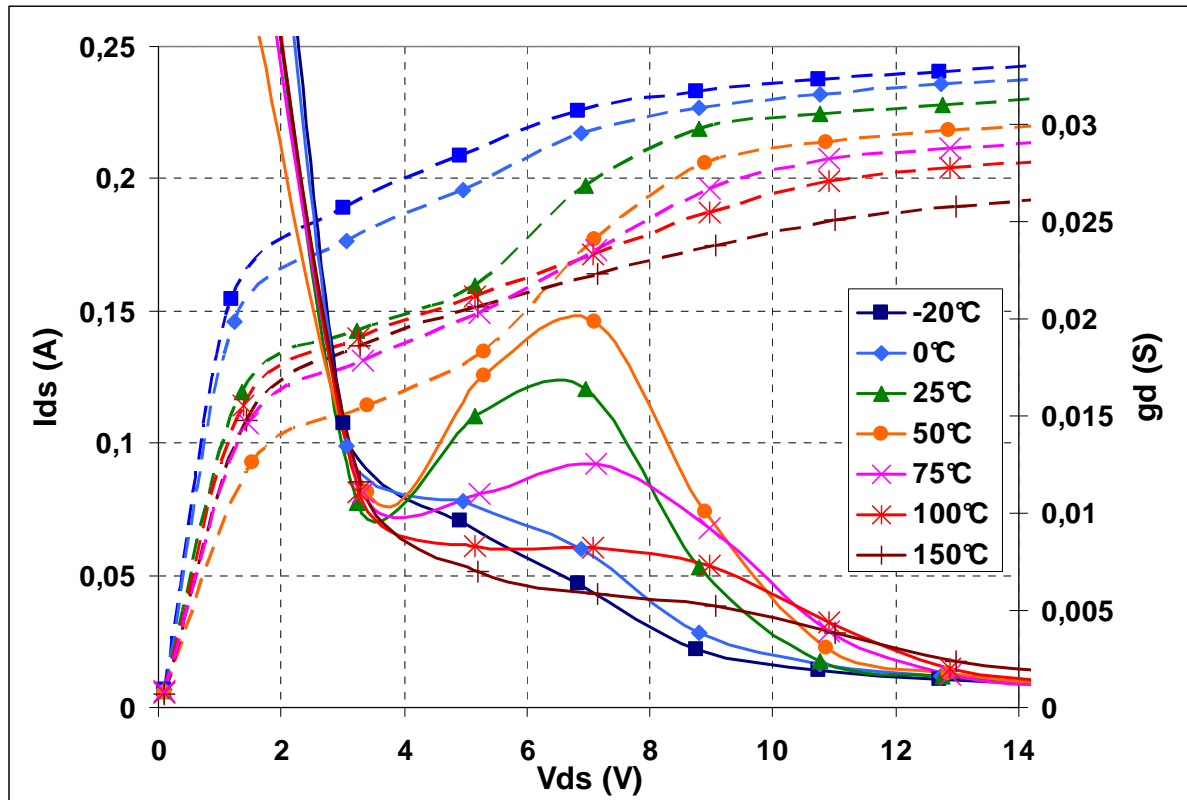


Figure 76 : Courbes isolées IV pulsé ( $V_{gs} = -1$  V) et conductance  $G_d$  de sortie en fonction de la température pour un HEMT GaN 8x75  $\mu\text{m}$ .

Comme nous avons pu le constater avec l'effet Poole-Frenkel (Chapitre I partie IV.1), le taux d'émission est fonction du champ électrique et de la température appliqués. Le champ électrique nécessaire à la libération des électrons augmente en fonction de la température et les constantes de temps d'émission des pièges diminuent en fonction de cette même température. L'interprétation que l'on peut donner de ces mesures est qu'à faible température la libération des électrons par les pièges qui provoquent l'effet « kink » a déjà eu lieu, sûrement dans la zone ohmique du composant. Par la suite, l'émission des électrons par ionisation thermique prédomine, une combinaison du champ appliqué et de la température est visible afin de déterminer le point de libération des électrons (équivalent au maximum de  $G_d$ ), on observe une évolution en fonction de  $V_{ds}$ . Dans ces conditions, jusqu'à une température de 50 °C, on constate que l'effet « kink » est de plus en plus prononcé, ceci s'expliquant par d'importantes constantes de temps d'émission à « froid » permettant d'observer clairement la libération de tous les électrons. Par la suite, la température augmentant, les constantes de temps d'émission diminuent. L'effet de piégeage est de moins en moins visible. Pour des

températures supérieures à 50 °C, l'effet « kink » s'estompe jusqu'à disparaître à haute température. Pour illustrer ces hypothèses, la caractéristique du courant  $I_{ds}$ , à  $V_{ds} = 4$  V, remonte pour des températures supérieures à 50 °C, comme nous l'avons précisé ceci est due à la diminution de la constante de temps d'émission permettant d'observer de moins en moins d'électrons piégés d'où une augmentation du courant (phénomène observé lors de l'étude du « gate-lag » et du « drain-lag »). Nous en concluons donc que l'effet « kink » est fonction de la température et du champ électrique appliqué.

Lors de cette étude sur l'effet « kink », les mesures effectuées suggèrent que ce phénomène peut être expliqué par la capture des électrons dans des niveaux profonds de pièges, entraînant des constantes de temps de ré-émission très longues. Celles-ci pouvant être occultées par une certaine valeur de champ électrique appliquée au transistor permettant la libération immédiate des électrons. Les travaux de M. Faqir [30] sur cet effet, basés sur des mesures et des simulations physiques 2D convergent vers les mêmes conclusions.

## **V. Modélisation Electrothermique non-lineaire d'un transistor HEMT AlGaIn/GaN incluant les effets de pièges**

Après avoir mis en évidence la présence d'effets limitatifs que sont la thermique et les pièges dans nos transistors, nous avons décidé de modéliser ces phénomènes. La topologie du modèle utilisé est identique à celle présentée au cours du Chapitre 1. Néanmoins, nous pourrions remarquer que la méthode d'extraction du modèle employée ici est celle utilisée au sein du laboratoire Xlim, méthode quelque peu différente de celle employée par les ingénieurs réalisant les modèles d'UMS (Chapitre 1 VI. : modèle stationnaire). Nous allons ainsi présenter dans cette partie la modélisation d'un transistor 8x75  $\mu\text{m}$  AlGaIn/GaN HEMT élaboré à partir des appareils de mesures disponibles au sein du laboratoire Xlim de Brive la Gaillarde.

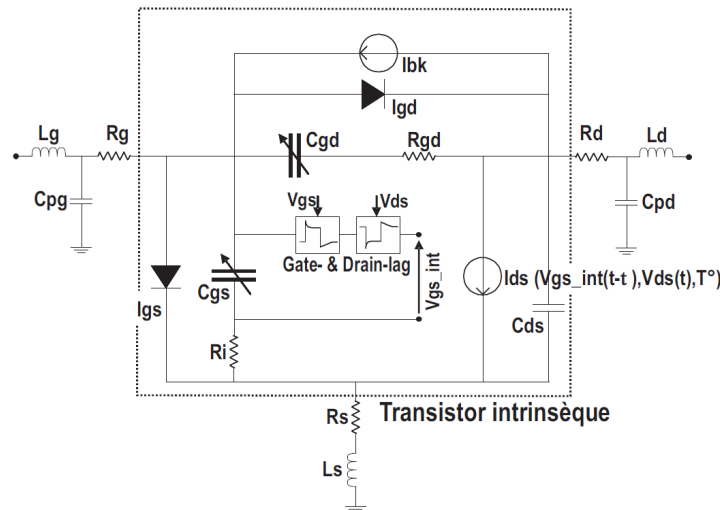


Figure 77 : Structure du modèle non linéaire présenté incluant les effets de pièges et les effets thermiques [34].

## V.1 Extraction des paramètres du modèle petit signal

Comme nous l'avons vu dans le Chapitre 1, l'extraction d'un modèle électrique consiste à déterminer les valeurs des éléments extrinsèques puis à en déduire les valeurs des éléments intrinsèques quel que soit le point de polarisation du transistor.

Nous utilisons ici une méthode par optimisation basée sur le fait qu'il n'existe qu'un seul jeu de paramètres extrinsèques ( $R_g$ ,  $L_g$ ,  $C_{pg}$ ,  $R_d$ ,  $L_d$ ,  $C_{pd}$ ,  $R_s$ ,  $L_s$ ) pour lequel les paramètres intrinsèques ( $G_m$ ,  $G_d$ ,  $C_{gs}$ ,  $C_{gd}$ ,  $C_{ds}$ ,  $R_i$ ,  $R_{gd}$ ,  $\tau$ ) sont indépendants de la fréquence [137]. L'algorithme d'optimisation utilise la méthode du recuit simulé afin de s'affranchir des minimums locaux [138]. Les éléments extrinsèques sont évalués à partir des mesures hyperfréquences. Cette méthode d'extraction est clairement détaillée dans les thèses de C. Charbonniaud [101] et O. Jardel [34].

Généralement, les paramètres du modèle sont extraits pour un point du réseau I/V proche du point de polarisation de l'application visée. Or, dans notre cas, lors de notre campagne de mesures, à cause d'un dysfonctionnement de l'analyseur de réseaux vectoriel en mode impulsionnel nous n'avons pu effectuer de mesures en paramètres [S] pulsés. Ainsi, nous

avons travaillé à partir de mesures en paramètres [S] continus (mode CW), en se polarisant au point de repos de référence  $V_{ds0} = 30$  V,  $I_{ds0} = 50$  mA. Un fichier de mesures est associé à ce point ; il contient les paramètres [S], de 0.5 à 40 GHz par pas de 0.5 GHz.

La méthode d'extraction est ainsi appliquée à ce fichier de paramètres [S], ce qui permet d'obtenir les éléments du schéma petit signal dont les valeurs sont indiquées dans le Tableau 10. Les paramètres extrinsèques étant indépendants de la polarisation, les valeurs trouvées à ce point de polarisation seront conservées dans le modèle non linéaire que nous réaliserons par la suite. Ce n'est pas le cas de tous les paramètres intrinsèques.

<b><i>Paramètres extrinsèques</i></b>							
<b><math>R_g</math> (<math>\Omega</math>)</b>	<b><math>R_d</math> (<math>\Omega</math>)</b>	<b><math>R_s</math> (<math>\Omega</math>)</b>	<b><math>L_g</math> (pH)</b>	<b><math>L_d</math> (pH)</b>	<b><math>L_s</math> (pH)</b>	<b><math>C_{pg}</math> (fF)</b>	<b><math>C_{pd}</math> (fF)</b>
1.53	2.61	0.85	45.19	42.37	12.75	45.03	20.08
<b><i>Paramètres intrinsèques au point de polarisation</i></b>							
<b><math>C_{gs}</math> (pF)</b>	<b><math>C_{gd}</math> (fF)</b>	<b><math>R_i</math></b>	<b><math>R_{gd}</math></b>	<b><math>C_{ds}</math> (pF)</b>	<b><math>\tau</math> (ps)</b>	<b><math>G_m</math> (mS)</b>	<b><math>G_d</math> (mS)</b>
1.02	39.6	0.044	64.31	0.16	2.63	181.77	3.17

Tableau 10 : Valeurs des paramètres extrinsèques et intrinsèques ramenées dans les plans du transistor et extraites au point de polarisation  $V_{ds0} = 30$  V ;  $I_{ds0} = 50$  mA du transistor 8x75  $\mu$ m AlGaN/GaN.

La Figure 78 montre la bonne corrélation entre les paramètres [S] mesurés à ce point (30 V ; 50 mA) et les paramètres [S] issus du modèle petit signal.

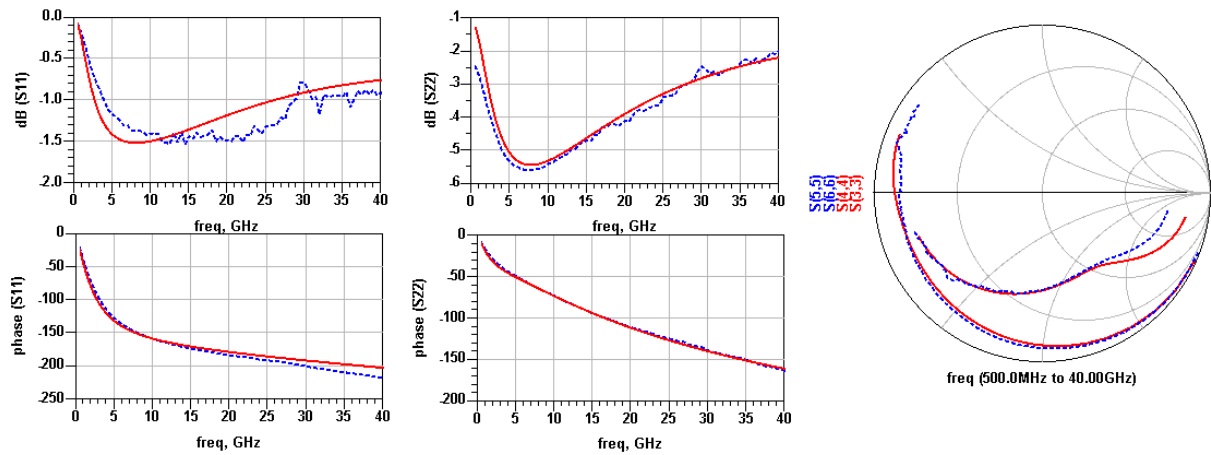


Figure 78 : Comparaison mesures/modèle petit signal du transistor HEMT 8x75  $\mu\text{m}$  AlGaIn/GaN au point de polarisation  $V_{ds0} = 30 \text{ V}$  ;  $I_{ds0} = 50 \text{ mA}$  (points : mesures, lignes continues : modèle petit signal).

## V.2 Extraction des paramètres associés aux sources de courant

Ici, la modélisation des sources de courant est toujours la même que celle utilisée pour un modèle stationnaire, cependant la méthode d'extraction des paramètres associés est quelque peu différente.

A la différence d'un modèle non linéaire stationnaire où l'extraction des paramètres est faite à partir d'un réseau I/V polarisé au point de fonctionnement de l'application visée (réseau « chaud »), l'extraction des paramètres pour un modèle électrothermique non linéaire incluant les effets de pièges sera faite à partir d'un réseau I/V polarisé à  $V_{gs0} = 0 \text{ V}$ , et  $V_{ds0} = 0 \text{ V}$  (réseau « froid »). En effet, comme nous l'avons vu, le réseau à polarisation de repos  $V_{gs0} = 0 \text{ V}$ , et  $V_{ds0} = 0 \text{ V}$  est celui où les effets de pièges influencent le moins les caractéristiques de sortie. C'est donc ce réseau qui est modélisé car les pièges seront pris en compte dans des sous-circuits spécifiques de pièges. Il en sera de même pour les effets thermiques.

Le Tableau 11 récapitule les valeurs des paramètres obtenues pour la source de courant principale, et le Tableau 12, les valeurs des paramètres des diodes idéales.

<b>Source de courant</b>						
$I_{dss}$	$P$	$V_{p0}$	$V_{dsp}$	$V_{\phi}$	$A$	$B$
0.677	0.008	1.87	0.006	0.09	0.0001	0
$M$	$W$	$\beta_{gm}$	$\alpha_{gm}$	$V_{gm}$	$V_{dm}$	
14.773	1	0.015	0.16	11.24	311	

Tableau 11 : Valeurs des paramètres de la source de courant du transistor 8x75  $\mu\text{m}$  AlGaIn/GaN HEMT, en utilisant le modèle de Tajima modifié.

<b>Diode Grille-Source</b>		<b>Diode Grille-Drain</b>	
$I_{sgs}$	$N_{gs}$	$I_{sgd}$	$N_{gd}$
$1.6 \times 10^{-16}$	3.248	$1.6 \times 10^{-15}$	2.764

Tableau 12 : Valeurs des paramètres des diodes idéales du transistor 8x75  $\mu\text{m}$  AlGaIn/GaN HEMT.

La Figure 79 montre une comparaison entre les mesures en impulsion et les caractéristiques obtenues grâce au modèle de Tajima modifié. La corrélation est bonne entre les mesures et le modèle.

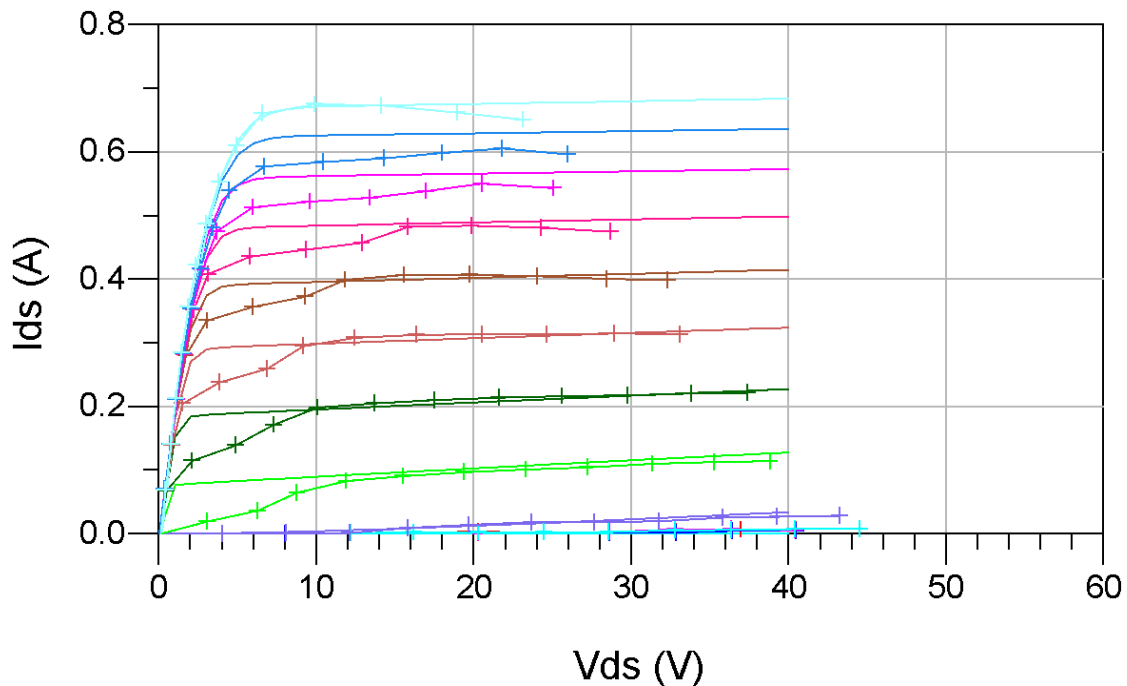


Figure 79 : Comparaison mesures/modèle des réseaux I/V en impulsions ( $V_{gs0} = 0\text{V}$  ;  $V_{ds0} = 0\text{V}$ ), en utilisant le modèle de Tajima modifié.

### V.3 Modélisation des capacités non-linéaires $C_{gs}$ et $C_{gd}$

Comme nous l'avons vu lors de la présentation du modèle stationnaire, la droite de charge utilisée pour extraire les capacités non-linéaires  $C_{gs}$  et  $C_{gd}$  est habituellement tracée sur le réseau I/V impulsionnel mesuré avec la même polarisation de repos que celle de l'application visée. Or, dans notre cas, du fait de la non disponibilité de l'analyseur de réseau vectoriel en mode impulsionnel au moment de ces travaux, nous avons mesuré manuellement, point par point et en mode continu, une quinzaine de points afin de décrire le plus correctement possible une droite de charge idéale.

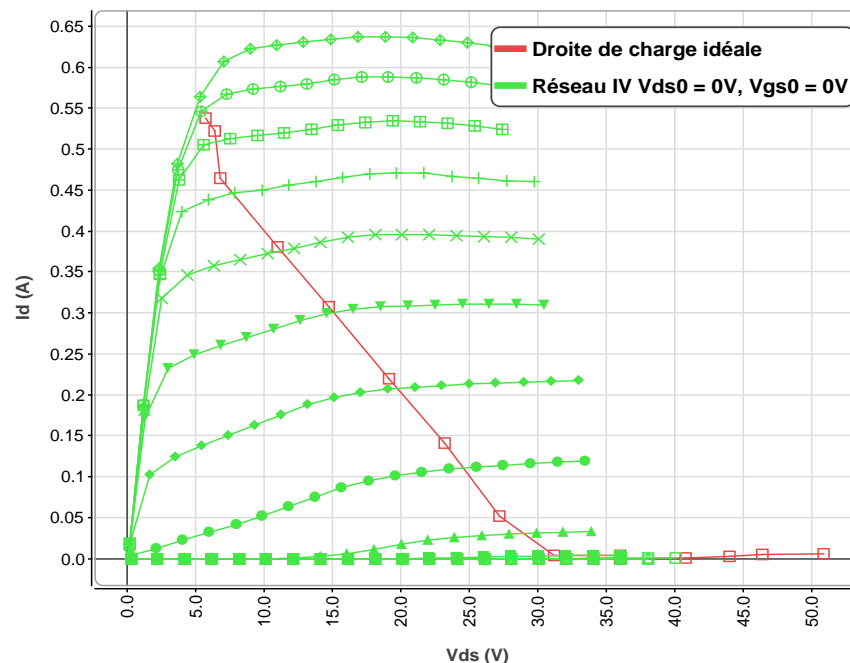


Figure 80 : Cycle de charge choisi dans le réseau IV (tracé de  $V_{gs}$  -5V à +2V par pas de 0.5V) pour représenter un fonctionnement en puissance. L'extraction des capacités non-linéaires  $C_{gs}$  et  $C_{gd}$  est faite le long du cycle de charge représenté.

Les valeurs de ces capacités  $C_{gs}$  et  $C_{gd}$  en fonction des tensions à leurs bornes (respectivement  $V_{gs}$  et  $V_{gd}$ ) peuvent être représentées par une forme utilisant des tangentes hyperboliques :

$$C_{gx} = C_0 + \frac{C_1 - C_0}{2} \left[ 1 + \tanh(a(V_{gx} + V_m)) \right] - \frac{C_2}{2} \left[ 1 + \tanh(b(V_{gx} + V_p)) \right]$$

Où  $C_0$ ,  $C_1$ ,  $C_2$ ,  $a$ ,  $b$ ,  $V_p$ , et  $V_m$  représentent les différents paramètres associés à chaque capacité, et où  $C_{gx}$  et  $V_{gx}$  valent respectivement  $C_{gs}$  et  $V_{gs}$  ou  $C_{gd}$  et  $V_{gd}$ .

Les valeurs des capacités non linéaires  $C_{gs}$  et  $C_{gd}$  extraites le long de la droite de charge estimée sont montrées à la Figure 81. Les valeurs des paramètres des équations sont données au Tableau 13.

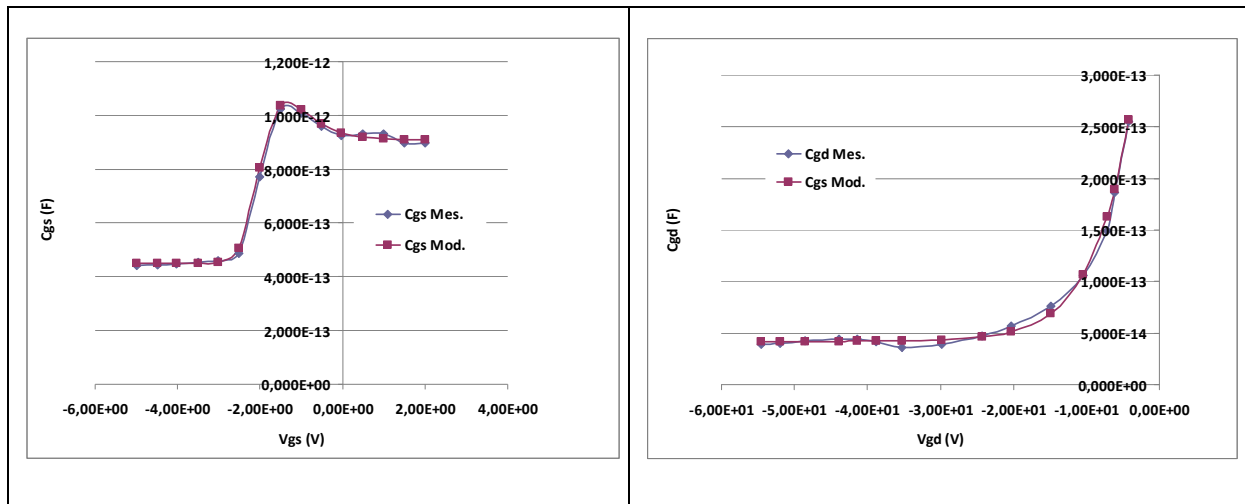


Figure 81 : Comparaison extraction/modèle des capacités  $C_{gs}$  et  $C_{gd}$  en fonction de  $V_{gs}$  et  $V_{gd}$  extraites le long du cycle de charge du 8x75  $\mu\text{m}$  AlGaIn/GaN HEMT.

$C_{gs}$		$C_{gd}$	
$C0$ (fF)	$4.50^E-13$	$C0'$ (fF)	$-2.41^E-12$
$C1$ (fF)	$1.14^E-12$	$C1'$ (fF)	$5.37^E-12$
$C2$ (fF)	$2.30^E-13$	$C2'$ (fF)	$-2.45^E-12$
$a$	2.4	$a'$	0.098
$b$	1.1	$b'$	-21.57
$Vm$	2.05	$Vm'$	-14
$Vp$	1	$Vp'$	-852.7

Tableau 13 : Valeurs des paramètres des capacités du transistor 8x75  $\mu\text{m}$  AlGaIn/GaN HEMT.



Les valeurs des capacités du modèle représentées à la Figure 81 ne sont pas les valeurs finales du modèle. En effet lors de la finalisation du modèle sur les mesures load-pull nous avons réajusté très légèrement ces paramètres afin de donner plus de précision en régime non-linéaire au modèle.

## **V.4 Extraction des paramètres thermiques**

En début de chapitre, nous avons vu l'influence de l'échauffement sur les caractéristiques électriques du composant  $8 \times 75 \mu\text{m}$  AlGaIn/GaN HEMT. Ce phénomène n'est pas négligeable et doit être modélisé. Ainsi nous devons décrire l'élévation de la température en fonction de la puissance dissipée et du temps. Nous devons aussi connaître l'évolution des paramètres du modèle en fonction de la température. Ces deux étapes distinctes dans la modélisation nous permettront de connaître l'évolution des caractéristiques du transistor en fonction du temps.

### **V.4.1 Modèle thermique multi-cellules**

La mesure de la résistance thermique est obtenue pour le régime établi, mais en aucun cas cette résistance thermique ne rend compte de l'évolution de la température au cours du temps. Nous allons donc maintenant étudier deux méthodes afin de déterminer ces constantes de temps thermiques, à partir de simulations 3D (logiciel ANSYS) et à partir de mesures électriques.

#### **V.4.1.1 Méthode à partir du logiciel ANSYS**

Le circuit thermique est obtenu en modélisant l'évolution de la température du point chaud du canal par des simulations à éléments finis 3D. Les simulations ont été effectuées par R. Sommet au laboratoire Xlim. La résistance thermique est définie pour le point chaud, elle ne tient donc pas compte de la distribution de température dans le volume du composant.

La température évolue de façon exponentielle en fonction du temps pour une puissance dissipée donnée. Une représentation électrique convenable consiste à mettre en parallèle des

cellules R-C qui donneront chacune une constante de temps ( $\tau = RC$ ). Un tel circuit, contenant 5 cellules R-C est montré à la Figure 82.

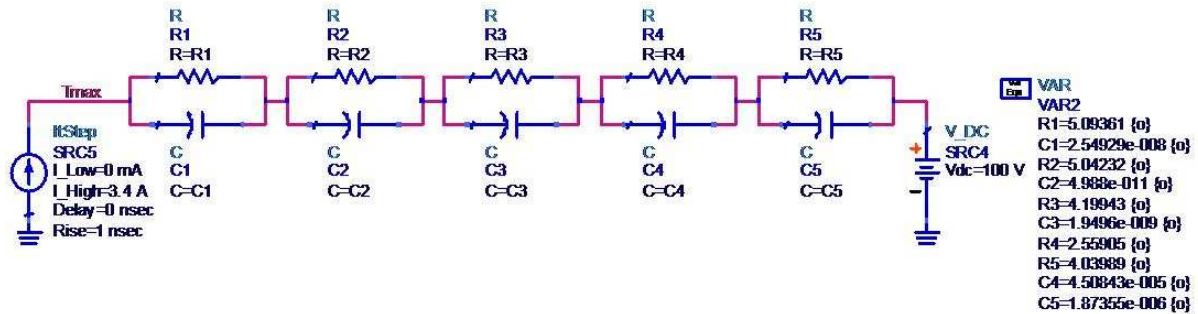


Figure 82 : Circuits RC modélisant la température du composant extrait à partir des simulations 3D (Figure 83).

La Figure 83 montre l'évolution de l'auto échauffement simulé d'un transistor  $8 \times 75 \mu\text{m}$  pour une puissance dissipée de 3.4 W et pour une température de socle de  $100 \text{ }^\circ\text{C}$ .

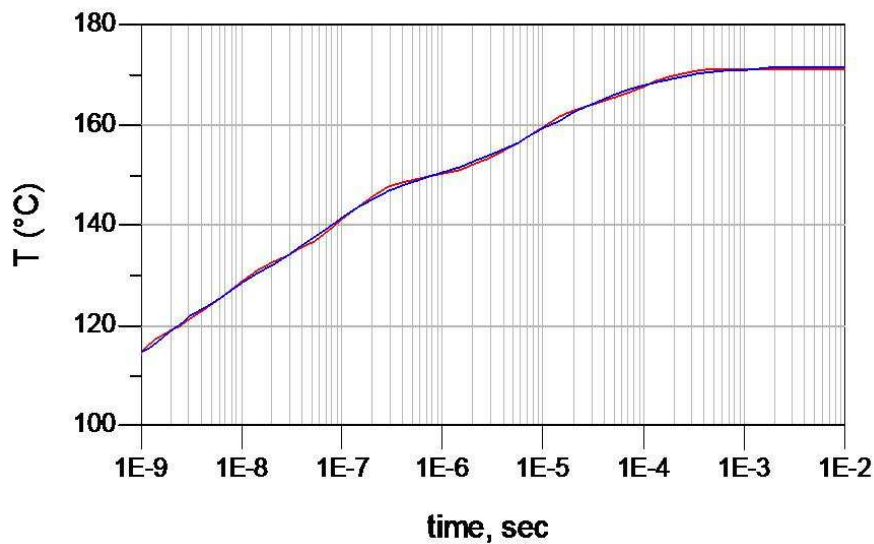


Figure 83 : Evolutions simulées du modèle à éléments finis du transistor  $8 \times 75 \mu\text{m}$  HEMT AlGaIn/GaN (rouge) et modèle RC équivalent (bleu) de la température du composant pour une puissance dissipée de 3.4 W en fonction du temps.

#### V.4.1.2 Méthode à partir de mesures électriques

Le principe utilisé ici pour mesurer les constantes de temps thermiques est basé sur la décroissance du courant de sortie du transistor lorsque celui-ci est polarisé avec des impulsions suffisamment longues. Nous cherchons justement ici à quantifier l'auto-échauffement du transistor en fonction du temps.

Si nous choisissons des impulsions suffisamment longues, la puissance dissipée dans l'impulsion devient importante, la température dans cette impulsion augmente, la mobilité des porteurs diminue, et donc le courant de drain décroît puis se stabilise (régime thermique établi). C'est le phénomène que nous allons exploiter.

La température de socle est fixée à 22 °C, et le transistor est polarisé de la façon suivante :

- $V_{gs0} = V_{gsi} = 0 \text{ V}$ ,
- $V_{ds0} = 0 \text{ V}$ ,  $V_{dsi} = 9 \text{ V}$ .

Nous pouvons aussi noter qu'afin d'éliminer toute variation de la tension de drain dans le pulse, nous transformons notre générateur d'impulsions en quasi alimentation de tension pulsée en « court-circuitant » l'entrée du générateur avec une résistance de 5  $\Omega$ . Cette manipulation limite l'excursion de la tension à environ 10 V mais rend celle-ci quasi constante dans le pulse. Par conséquent, seul le courant décroît dans le pulse, et représente ainsi pleinement l'évolution de la température.

Afin de garder une bonne dynamique de mesure dans l'impulsion, nous avons décomposé la mesure en 3 pulses ayant toujours le même rapport cyclique, le temps de repos étant suffisamment long pour que le transistor revienne à son état thermique initial :

- Pulse n°1 : largeur 10  $\mu\text{s}$  ; période 1 ms.
- Pulse n°2 : largeur 1 ms ; période 100 ms.
- Pulse n°3 : largeur 10 ms ; période 1s.

Ainsi, en traçant la décroissance du courant dans l'impulsion en échelle logarithmique (Figure 84), nous observons plusieurs constantes de temps. Une manière de représenter

l'allure du courant de sortie dans l'impulsion est une fonction à exponentielle négative de la forme :

$$I(t) = I_0 - \sum_{i=1}^n I_i \left( 1 - \exp\left(\frac{-t}{\tau_i}\right) \right), \text{ où } i \text{ correspond au nombre de constantes de temps}$$

nécessaires à la modélisation de  $I(t)$ ,  $I_0$  correspond à la valeur du courant au début du pulse, et  $I_i$  correspond à la valeur de la décroissance du courant pendant le temps  $t_i$ .

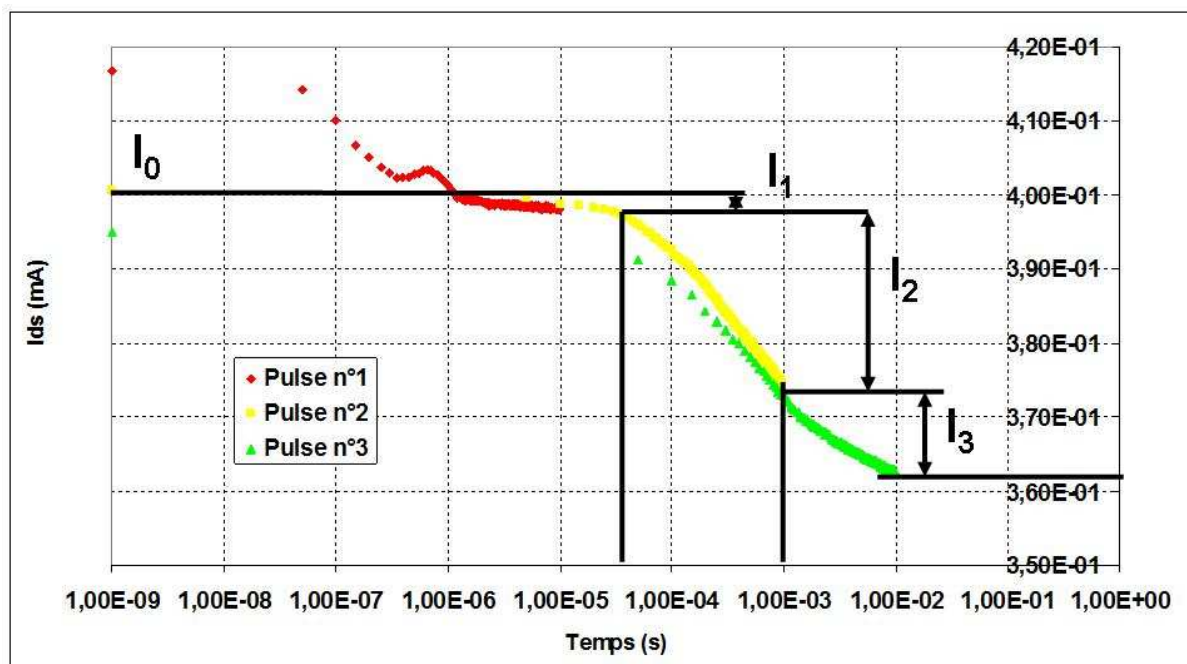


Figure 84 : Mesure de l'évolution du courant de drain dans une impulsion totale de 10 ms.

Cette étude à partir de la mesure du courant de drain, nous a permis de souligner un problème majeur. En effet, notre modèle a été créé à partir de mesures pulsées de 600 ns pour un réseau mesuré au point de repos  $V_{gs0} = 0 \text{ V}$ ,  $V_{ds0} = 0 \text{ V}$ . En ne considérant ni la thermique, ni les pièges lors de la modélisation de la source de Tajima à partir de ce réseau, nous considérons donc l'hypothèse qu'aucun échauffement ne se manifeste dans les impulsions de 600 ns du réseau. Ainsi, notre instant  $t_0$  modélisé ne correspond pas à l'instant  $t_0$  mesuré mais à l'instant  $t_{600ns}$  mesuré réellement. Nous noterons, afin d'être le plus clair possible, que l'instant  $t_{600ns}$  n'est pas exactement le temps où est prise la mesure puisque nos impulsions font 600 ns de durée, en réalité la mesure est faite dans une fenêtre comprise dans la fin du

pulse, là où les valeurs en courant et tensions sont stabilisées. Cependant nous garderons cette notation  $t_{600ns}$  pour la suite.

Ce problème est apparu à partir des simulations ANSYS et de l'extraction du réseau RC. Lors de l'installation du réseau thermique dans le modèle, nous nous sommes aperçu que nous « chauffions » beaucoup trop vite dans l'impulsion. En effet, à partir de la Figure 85 nous constatons une augmentation violente de la température du canal à partir du réseau RC extrait des simulations ANSYS. A  $t_{600ns}$ , nous constatons que la température du canal a atteint 75% de sa valeur finale.

Afin de pallier ce problème, nous avons décidé de créer un modèle phénoménologique, qui décrira au mieux les résultats finaux observés en mesures. Ainsi, comme nous pouvons l'observer sur la Figure 84, nous avons décomposé l'évolution du courant de drain mesuré en trois parties distinctes. Le point de départ étant  $I_0$ , niveau auquel se trouve le courant à un instant  $t$  proche de 600 ns. Nous considérons ainsi que nous n'avons pratiquement pas d'élévation de température après un temps  $t = 600ns$ . Nous observons bien sur la Figure 85, qu'en considérant ces trois cellules (Tableau 14), nous n'avons quasiment aucun échauffement à  $t = 600$  ns.

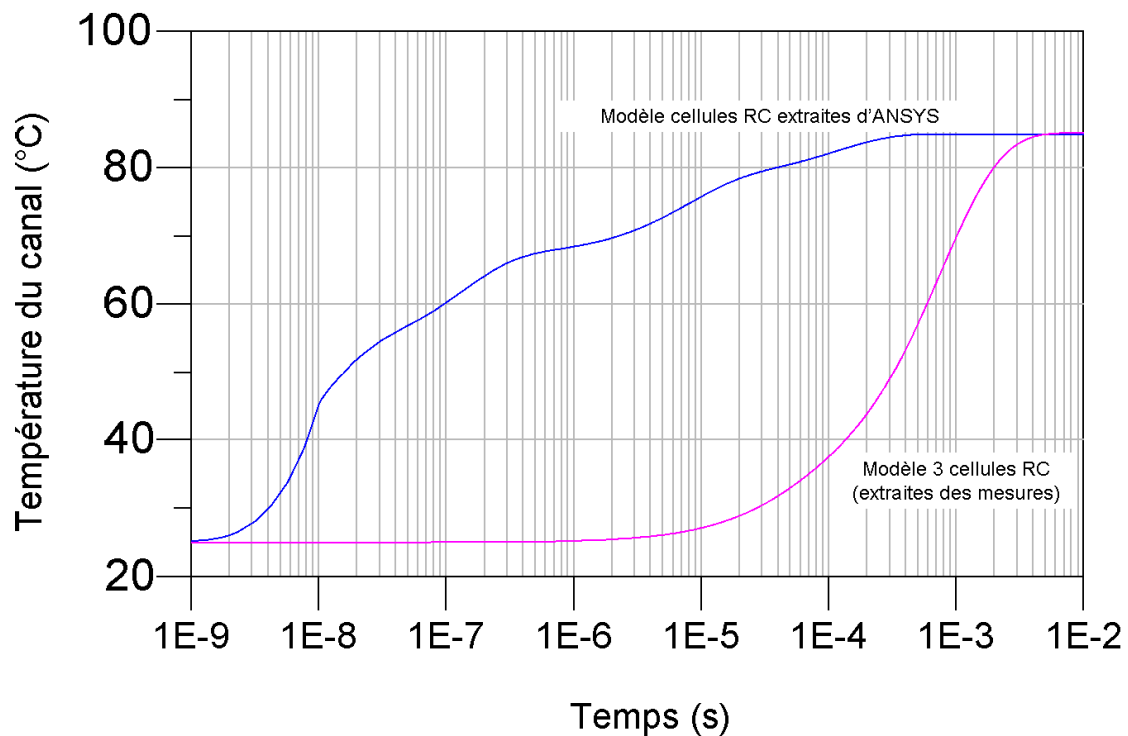


Figure 85 : Modélisation de l'évolution de la température du canal pour un pulse  $V_{gs0}=V_{gsi}=0V$  ;  $V_{ds0}=0V$ ,  $V_{dsi}=9V$  à partir de 2 réseaux RC différents.

La différence notable entre les deux réseaux RC vient d'une approximation faite lors de la modélisation de la source de Tajima. Pour éviter cette approximation, il nous faudrait modéliser des réseaux I/V avec des temps de mesures de pulses inférieurs à 100 ns, afin d'éliminer au maximum les effets thermiques.

Néanmoins, l'élévation de température très importante vue lors de l'extraction des réseaux par le logiciel ANSYS peut s'expliquer par le fait que la température est celle du point le plus chaud, situé au milieu d'un canal central, alors que le modèle thermoélectrique représenté serait plutôt commandé par une température moyenne de la zone active.

	<b><i>Rth1</i></b>	<b><i>Rth2</i></b>	<b><i>Rth3</i></b>
<b>Unité : °C/W</b>	2.049	14.34	4.61
	<b><i>Cth1</i></b>	<b><i>Cth2</i></b>	<b><i>Cth3</i></b>
<b>Unité : s.W/°C</b>	19.522 $\mu$ F	69.735 $\mu$ F	100.692 $\mu$ F

Tableau 14 : Valeurs des résistances et capacités thermiques du modèle.

Enfin pour conclure cette partie, nous pourrions ajouter que cette dernière méthode n'est précise que si les effets de pièges sont faibles et le processus de capture suffisamment rapide devant les constantes de temps caractéristiques de l'échauffement. Or, nous avons vu lors de la mesure de la résistance thermique que les effets de pièges étaient visibles à partir d'une tension seuil  $V_{ds}$  de 10 V. Dans notre cas, nous nous sommes placés à une tension dans le pulse de 9 V. Nous pouvons donc maintenant penser que ce choix n'était pas très judicieux, car les pièges sont peut être venus perturber nos mesures. Il aurait probablement fallu choisir une impulsion en  $V_{ds}$  plus faible, par exemple de l'ordre de 5 ou 6 V. Cette méthode n'est donc pas très « claire » en ce qui concerne la détermination des constantes de temps thermique, et nous verrons dans la prochaine partie (paragraphe VI) que l'utilisation de mesures en impulsions peut visiblement mettre en évidence les phénomènes de pièges. Et ainsi, nous montrerons brièvement les prémisses d'une solution : les mesures paramètres [S] BF.

### V.4.2 Dépendance thermique des paramètres du modèle

La dépendance thermique des paramètres de la source de courant est obtenue en modélisant les réseaux I/V impulsionnels mesurés à différentes températures ambiantes choisies. De ce fait, nous réalisons pour le même point de polarisation de repos ( $V_{gs0} = 0$  V,  $V_{ds0} = 0$  V) plusieurs mesures de réseaux I/V à différentes températures de socle (0 °C, 25 °C, 50 °C, 75 °C, 100 °C, 125 °C, 150 °C).

Après avoir optimisé le modèle pour une température choisie, le passage entre deux réseaux de courbes à deux températures différentes s'effectue par la modification d'un minimum de paramètres. On constate alors que seuls les paramètres  $I_{dss}$ ,  $M$ ,  $V_{dsp}$  et  $V_{p0}$  du modèle de Tajima varient avec la température. On obtient ainsi les équations suivantes :

$$I_{dss} = I_{dss0} \cdot (1 + \alpha_{I_{dss}} \cdot T)$$

$$M = M_0 \cdot e^{-\alpha_M \cdot T}$$

$$V_{dsp} = V_{dsp0} (1 + \alpha_{V_{dsp}} \cdot T)$$

$$V_{p0} = V_{p00} (1 + \alpha_{V_{p0}} \cdot T)$$

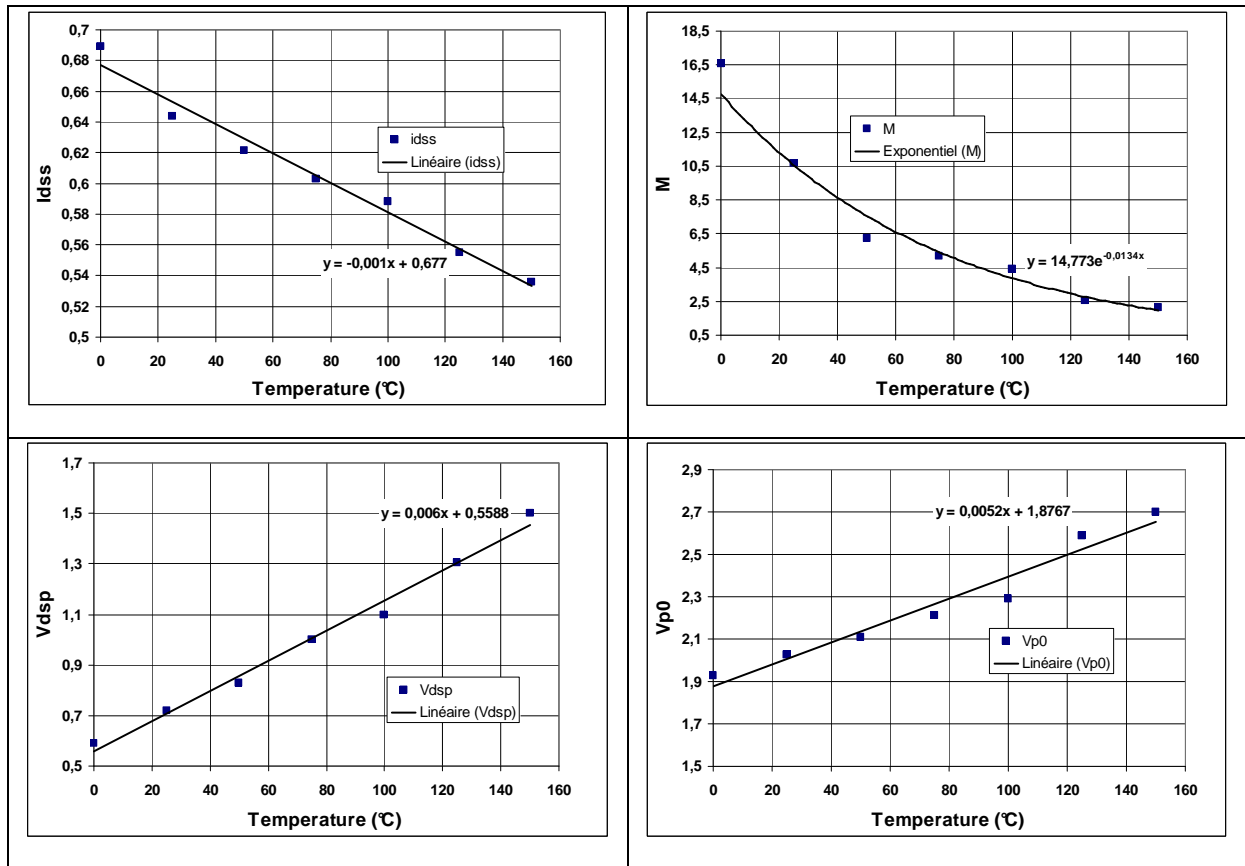


Figure 86 : Evolution des paramètres des sources de courants en fonction de la température ambiante du 8x75 µm HEMT AlGaN/GaN.

## V.5 Modélisation des effets de pièges

Les pièges sont modélisés en ajoutant une contribution à la tension  $V_{gs}$  qui module le courant. Le modèle de pièges utilisé est celui décrit en [97, 34]. Les sous-circuits de pièges sont intercalés dans le circuit électrique entre le port de grille et la source de courant. Ils permettent de modifier la tension  $V_{gs}$  en y ajoutant les transitoires dus aux phénomènes de « gate-lag » et de « drain-lag ». Les deux circuits fonctionnent comme des détecteurs d'enveloppe.



### V.5.1 Validation du modèle de « drain-lag »

Afin de valider les modèles de pièges, un banc I/V virtuel en impulsions a été modélisé dans le logiciel ADS, utilisant des simulations transitoires. Les simulations sont effectuées dans les mêmes conditions que les mesures, sur un transistor 8x75  $\mu\text{m}$  AlGaIn/GaN HEMT. Les mesures et les simulations sont effectuées avec des longueurs de pulses de 600 ns et un temps de repos entre les pulses de 10  $\mu\text{s}$ . Ci-dessous nous pouvons observer la comparaison mesures/modèle mettant en évidence les phénomènes de « drain-lag ».

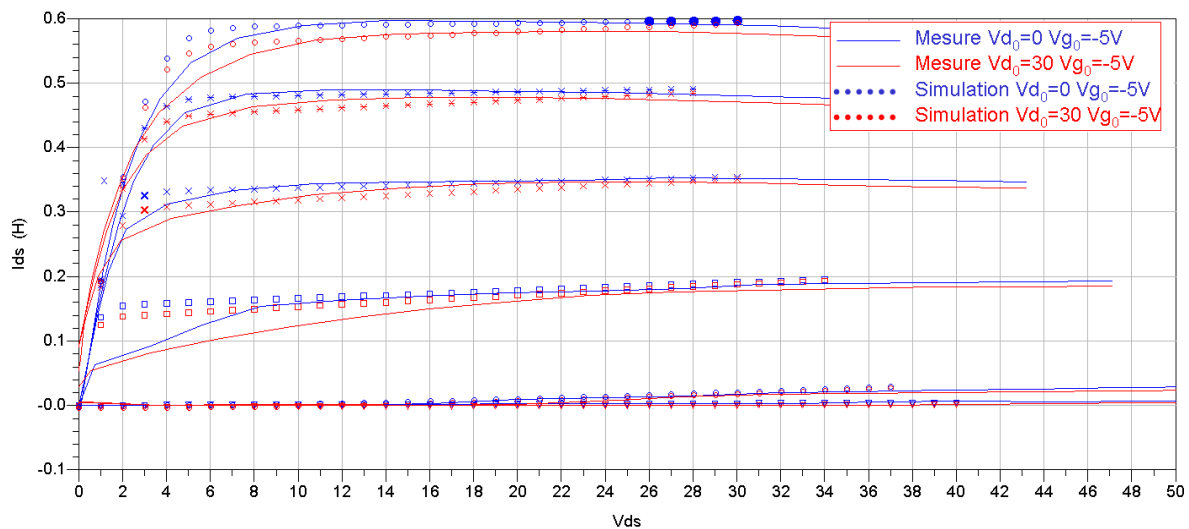


Figure 87 : Comparaison mesures/modèle des réseaux I/V afin de mettre en évidence la modélisation des phénomènes de « drain-lag ».

### V.5.2 Validation du modèle de « gate-lag »

De même, le même principe de validation est appliqué pour les pièges de « gate-lag ».

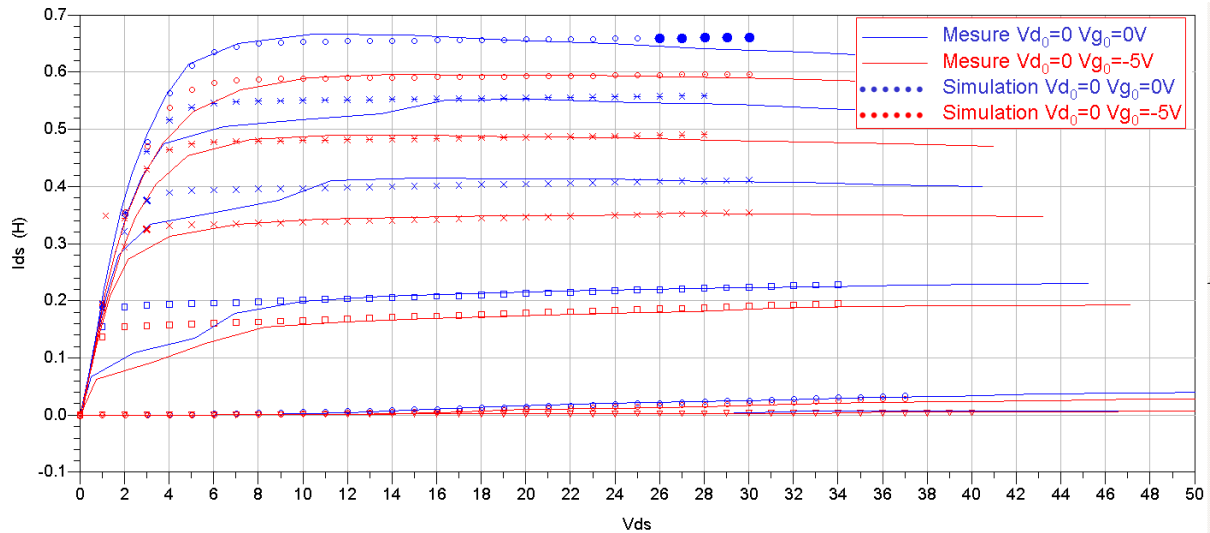


Figure 88 : Comparaison mesures/modèle des réseaux I/V afin de mettre en évidence la modélisation des phénomènes de « gate-lag ».

Comme nous l'avons vu lors de l'étude de ces pièges, dans ces configurations de polarisations de repos, on observe bien que les pièges associés au « gate-lag » comme au « drain-lag » capturent des charges. On notera ainsi la très bonne aptitude du modèle à reproduire les phénomènes de pièges grâce à ces sous circuits implémentés sur la commande  $V_{gs}$ .

### V.6 Validation load-pull sur un transistor

Un transistor  $8 \times 75 \mu\text{m}$  AlGaIn/GaN HEMT a été mesuré à 10.24 GHz en grand signal monoporteuse au point de repos  $I_{ds0} = 50 \text{ mA}$  ;  $V_{ds0} = 30 \text{ V}$  par le laboratoire Xlim de Limoges.

En prenant soin de simuler dans les mêmes conditions dans lesquelles se sont déroulées les mesures, nous avons pu effectuer la vérification du modèle.

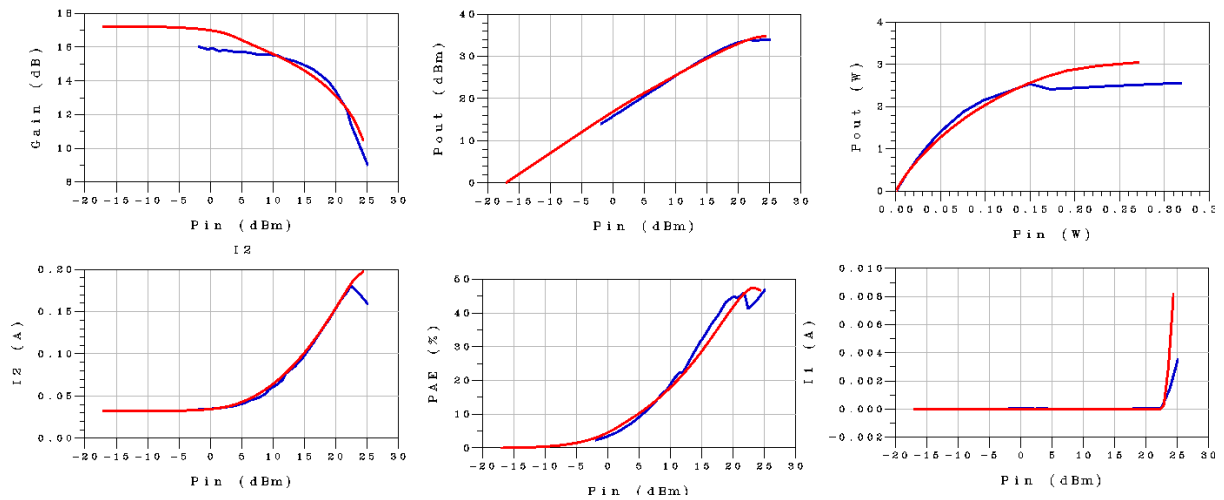


Figure 89 : Comparaison mesures (bleu), modèle (rouge) des critères de performance en puissance sur l'optimum en puissance ( $Z_{charge}=25.5+j*29.6$ ).

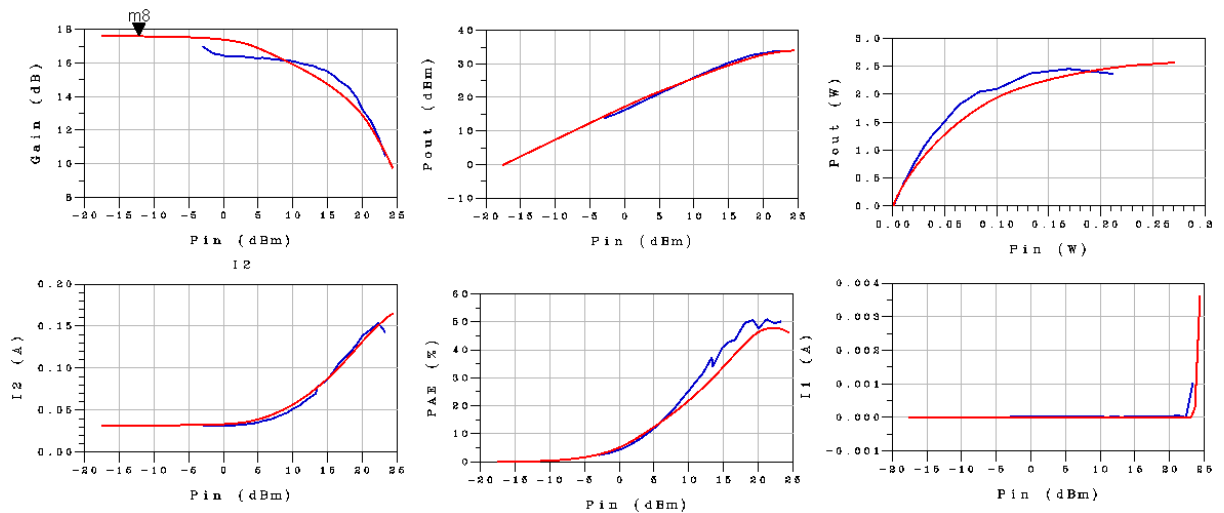


Figure 90 : Comparaison mesures (bleu), modèle (rouge) des critères de performance en puissance sur l'optimum en PAE ( $Z_{charge}=18.7+j*47.9$ ).

## VI. Mise en évidence d'effets parasites dans les HEMTS AlGaIn/GaN par des mesures innovantes

Nous allons voir dans cette partie qu'il est essentiel d'évaluer le comportement dynamique des transistors AlGaIn/GaN alimentés par des signaux modulés de puissance. Contrairement

aux conditions en mode continu, où les effets de pièges et la thermique sont fixés, les applications en mode impulsionnel peuvent créer des effets parasites notables qui ne peuvent plus être ignorés.

Comme nous l'avons vu auparavant les effets de pièges sont des processus très non linéaires, ce caractère étant dû à de grandes dissymétries dans les constantes de temps de capture et d'émission des pièges. En effet, nous pouvons rappeler que pour des pièges de niveaux profonds, les constantes de temps de capture oscillent aux alentours de la nanoseconde, voire de la microseconde alors que les constantes de temps d'émission oscillent généralement autour de la microseconde, voire de la milliseconde.

Afin d'obtenir un aperçu de l'impact de ces effets sur les caractéristiques grands signaux, un ensemble de mesures novatrices ont été faites. Les résultats les plus probants sur la présence de phénomènes de piégeage sont ceux effectués en classe AB avec des charges présentées au transistor proches des charges optimales.

## **VI.1 Mesures load-pull impulsionnelles temporelles**

### **VI.1.1 Description du banc de mesure LPT**

L'acronyme LPT (Load Pull Temporel) désigne le banc de mesure de type load-pull permettant de mesurer les formes d'ondes temporelles aux accès des transistors, en introduisant dans l'architecture des bancs load-pull classique, un instrument récepteur RF appelé LSNA. La structure de ce banc a été élaborée au sein du laboratoire Xlim [139].

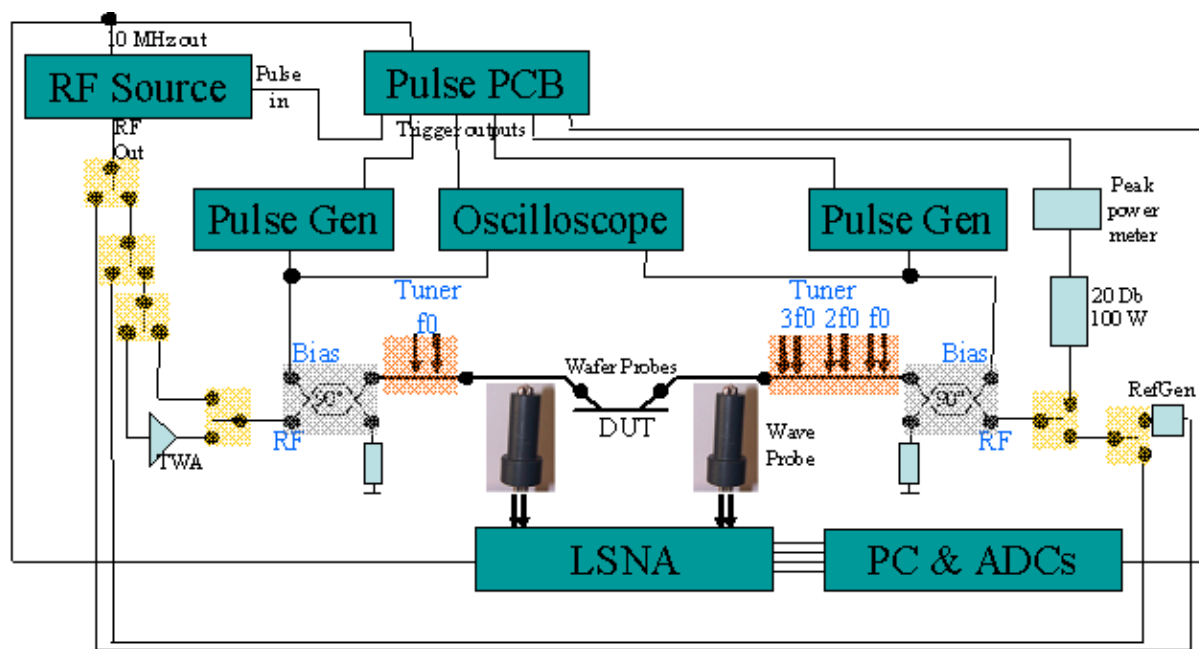


Figure 91 : Schématisation du banc load-pull temporel organisé autour de l'instrument LSNA (Large Signal Network Analyser).

Les mesures dans le domaine temporel ont donc été faites à l'aide de ce banc de mesure qui permet d'effectuer diverses mesures en mode impulsionnel [140, 141].

### VI.1.2 Interprétation des résultats de mesure

Les mesures sont faites sur un transistor  $8 \times 75 \mu\text{m}$  AlGaIn/GaN HEMT à la fréquence de 6 GHz et dans différentes conditions (variations de la largeur de pulse, de la période...). Une polarisation continue est appliquée au transistor tout au long des mesures. La forme du courant moyen est montrée Figure 93 pour une impédance de sortie :  $Z_{\text{charge}} = 0.467 * e^{j34.47^\circ}$ ,  $Z_{\text{charge}}(2f_0) = 50 \text{ Ohms}$ . La décroissance du courant est due à la capture des électrons par les pièges qui augmente au fur et à mesure que l'excursion des tensions de grille et de drain augmente avec  $P_{\text{in}}$  [97].

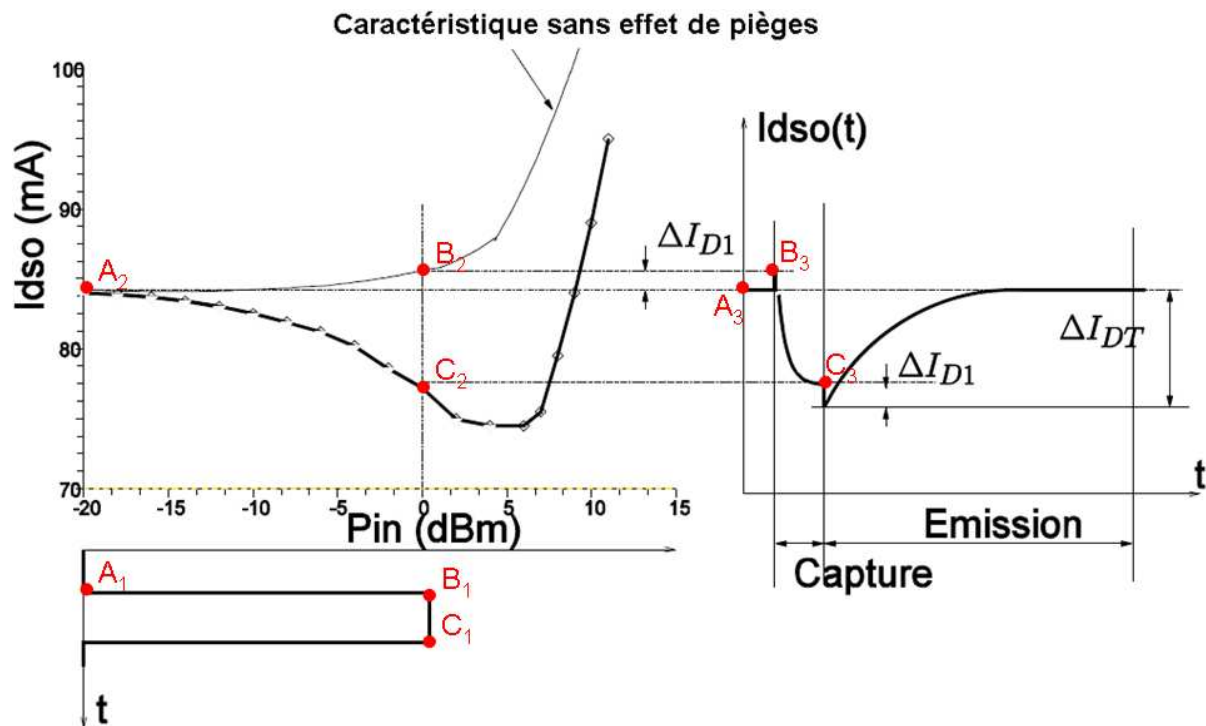


Figure 92 : Schéma explicatif sur la forme du courant de drain moyen obtenu après un pulse RF. A gauche, caractéristique  $I_{dso}$ (mA) en fonction de  $P_{in}$ (dBm) et à droite, réponse du courant  $I_{dso}$ (mA) à une impulsion RF en fonction du temps  $t$ (s).

Lors de notre expérience, la puissance RF est pulsée et nous constatons sur le courant moyen de drain des formes transitoires dans l'impulsion et hors de l'impulsion correspondant à la capture et l'émission d'électrons par les pièges. Par exemple si la puissance d'entrée est pulsée à 0 dBm, le courant diminue brutalement ( $\Delta I_{DT}$ ) dans l'impulsion, caractérisant typiquement la capture d'électrons par les pièges. A la fin de l'impulsion, lorsque la puissance d'entrée est remise à zéro, nous observons une discontinuité sur le courant moyen de drain ( $\Delta I_{D1}$ ), discontinuité identique à celle que l'on retrouve en tout début de l'impulsion. Cette discontinuité est donc due à la puissance RF injectée lors des passages ON/OFF et OFF/ON. Le niveau de la discontinuité est égal au niveau du courant moyen pour un système sans effet de pièges (Figure 92).

Par la suite, lors du temps de repos (temps compris entre deux impulsions), nous observons une longue discontinuité caractérisant la ré-émission des électrons par les pièges. Nous pouvons clairement voir à partir de la Figure 93 que la constante d'émission est ici de l'ordre de la milliseconde alors que la capture est bien inférieure à 10  $\mu$ s. A partir de cette même

figure, nous pouvons aussi constater que le courant peut augmenter ou diminuer selon la puissance injectée dans le dispositif. Cependant, nous pouvons aisément faire le constat que plus la puissance d'entrée est élevée et plus les discontinuités dues aux pièges sont accentuées. Par conséquent, plus on augmente la puissance d'entrée, plus les pièges sont activés.

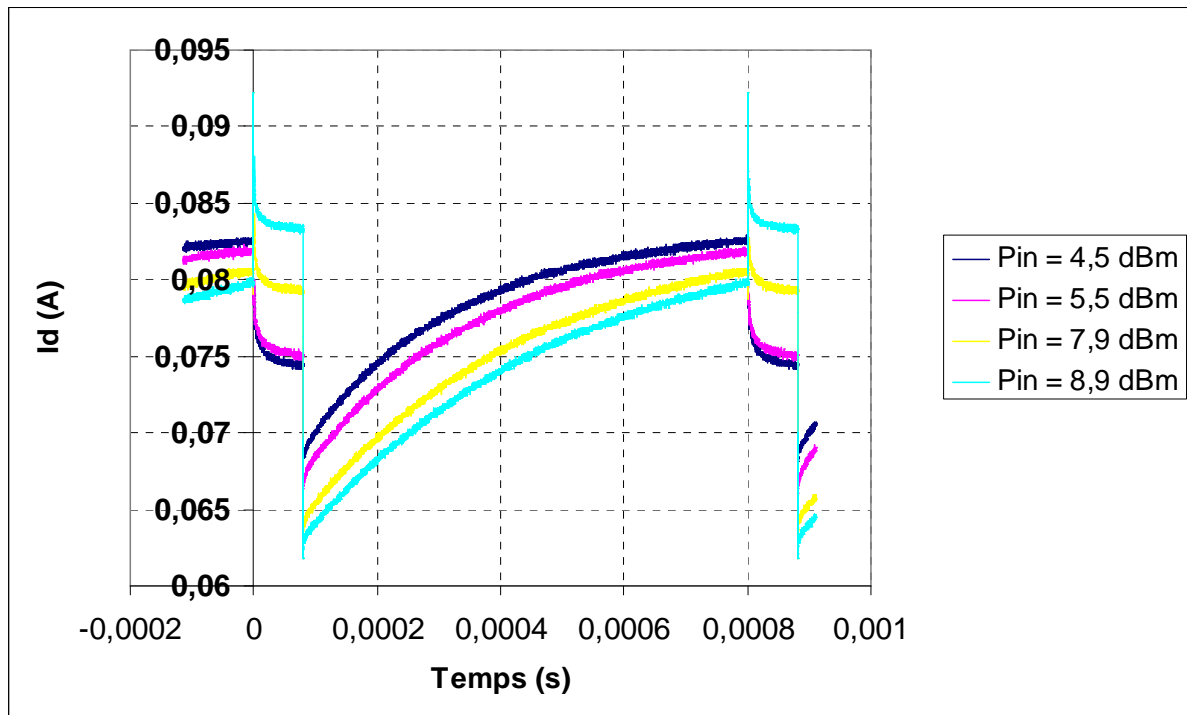


Figure 93 : Mesures du courant moyen de drain à différents niveaux de puissance d'entrée pour un transistor  $8 \times 75 \mu\text{m}$  AlGaIn/GaN HEMT polarisé en continu  $V_{ds0}=30\text{V}$ ,  $I_{ds0}=84\text{mA}$ . (Pulse  $80\mu\text{s}$ , période  $800 \mu\text{s}$ ).

La deuxième expérience que nous avons effectuée consiste à fixer la puissance d'entrée injectée dans le transistor ( $P_{in} = 10.9 \text{ dBm}$ ), la période du signal ( $P = 800 \mu\text{s}$ ) tout en faisant varier la largeur des impulsions ( $5 \mu\text{s}$ ,  $10\mu\text{s}$ ,  $90 \mu\text{s}$  et  $100 \mu\text{s}$ ). Les résultats obtenus sont présentés Figure 94, nous constatons alors que l'influence de la largeur de l'impulsion n'a aucune conséquence sur la variation en courant provoquée par les pièges ( $\Delta I_{DT}$ ), ainsi nous en déduisons que pour une impulsion de  $5 \mu\text{s}$  les pièges remplis sont aussi nombreux que pour une impulsion de  $150 \mu\text{s}$ . Ainsi, ceci confirme le fait que les constantes de temps de capture dans les HEMTs AlGaIn/GaN sont inférieures à  $5 \mu\text{s}$ .

Ensuite, en gardant la même période mais en faisant varier la largeur de l'impulsion, nous jouons sur la variation du temps de repos entre deux impulsions. Pour les impulsions à 5  $\mu\text{s}$ , le temps de repos est de 795  $\mu\text{s}$  ( $= 800 \mu\text{s} - 5 \mu\text{s}$ ) et pour les impulsions de 150  $\mu\text{s}$ , le temps de repos est de 650  $\mu\text{s}$  ( $= 800 \mu\text{s} - 150 \mu\text{s}$ ). Ainsi, nous observons à partir des graphiques ci-dessous qu'après un temps de repos de 650  $\mu\text{s}$  (courbe *pulse=150  $\mu\text{s}$* ) le courant moyen de drain n'est pas revenu à au niveau du courant moyen obtenu au-delà d'un temps de repos de 795  $\mu\text{s}$  (courbe *pulse=5  $\mu\text{s}$* ). Ceci confirme bien le fait qu'il y a des constantes de temps d'émission de l'ordre de la milliseconde dans les HEMTs AlGaIn/GaN.

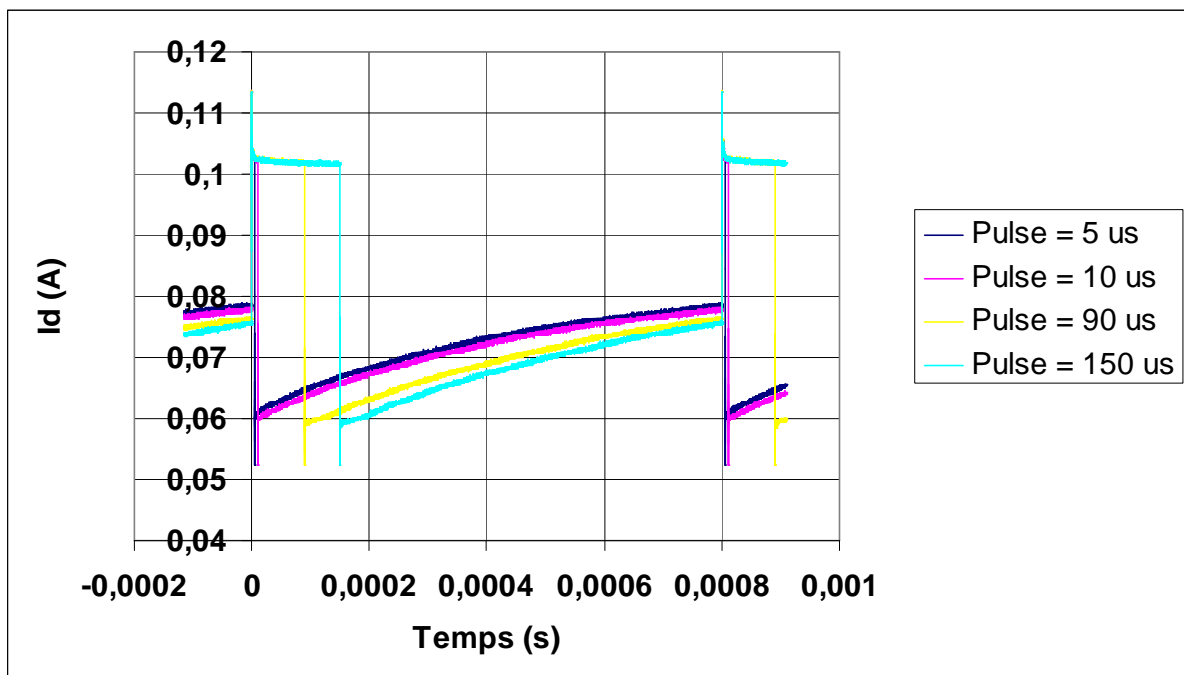


Figure 94 : Mesures du courant moyen de drain à différentes largeurs d'impulsions pour un niveau de puissance d'entrée identique ( $P_{in} = 10.9 \text{ dBm}$ ) pour un transistor  $8 \times 75 \mu\text{m}$  AlGaIn/GaN HEMT polarisé en continu  $V_{ds0} = 30\text{V}$ ,  $I_{ds0} = 78\text{mA}$ . (Période 800  $\mu\text{s}$ ).

Ces nouvelles expérimentations mettent en lumière les effets des pièges sur les applications RF pulsées. Nous pensons véritablement que nous pouvons éliminer les effets thermiques sur les résultats obtenus car comme nous montre la Figure 94, nous n'avons pas de différence sur l'amplitude des niveaux de courant moyen par rapport aux largeurs d'impulsions émises. Ainsi, nous en avons déduit que les effets thermiques ne jouent aucun rôle dans les résultats



obtenus, car plus on augmente la largeur des pulses et plus nous devrions augmenter la température dans le composant, or nous n'observons sensiblement aucune influence sur le niveau du courant.

Cette analyse est confirmée par le modèle électrothermique que nous avons conçu sous ADS.

### VI.1.3 Comparaison Mesures/Modèle et interprétation

Afin de comparer les résultats de mesure aux résultats de simulation, dans les mêmes conditions, nous avons effectué une simulation « enveloppe » sous ADS. La superposition des résultats est visible sur la Figure 95 ci-dessous.

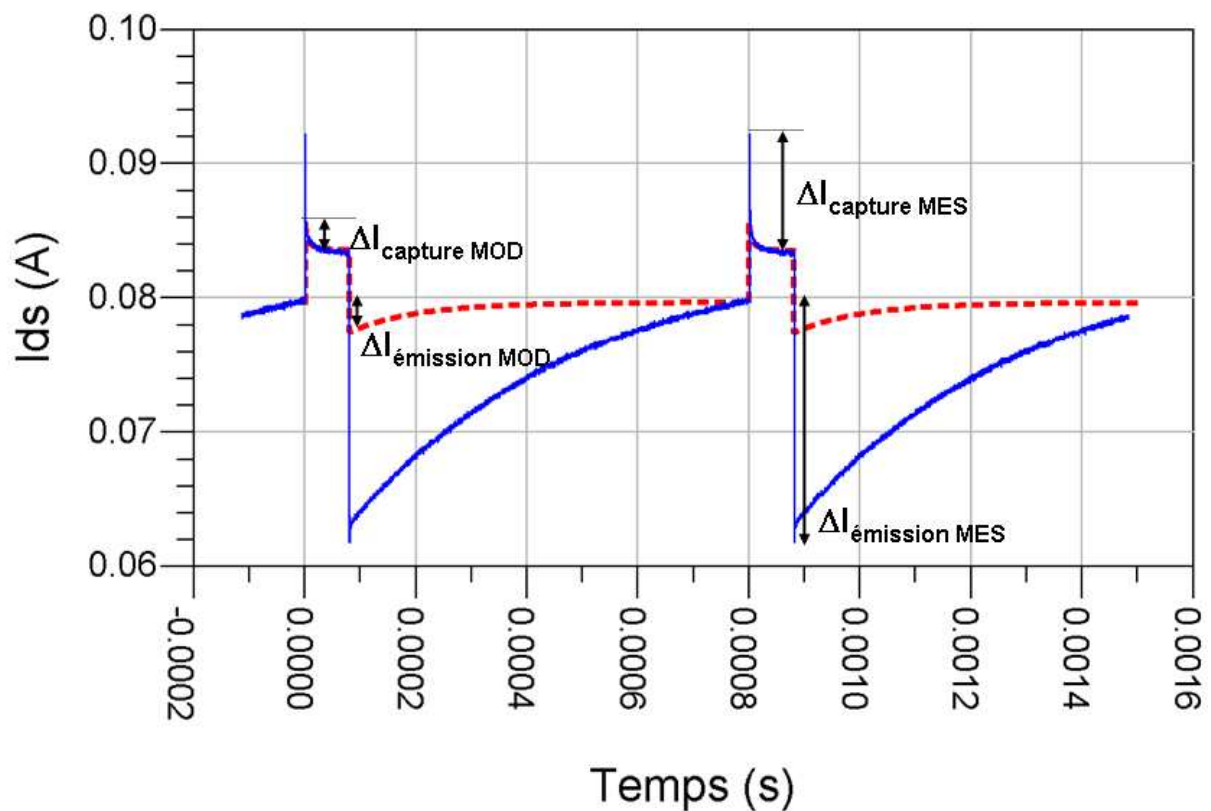


Figure 95 : Mesure (trait continu bleu)/Simulation (trait pointillé rouge) du courant moyen de drain à  $P_{in}=8.9$  dBm pour un transistor  $8 \times 75 \mu\text{m}$  AlGaIn/GaN HEMT polarisé en continu  $V_{ds0}=30\text{V}$ ,  $I_{ds0}=80\text{mA}$ . (Impulsion  $80\mu\text{s}$ , période  $800 \mu\text{s}$ ).

Tout d'abord, un premier constat s'impose. La dynamique en courant est moins importante en simulation. On constate aisément que la quantité de piège modélisée est très inférieure à la quantité de pièges mesurée. Ceci peut se corrèler avec les effets observés lors de la modélisation de la thermique à partir de réseaux mesurés à l'aide d'impulsions de 600 ns (paragraphe V.4.1.2.). On se rend compte qu'un travail d'investigations reste à effectuer dans ce domaine car le problème persiste. Malgré cela, à la vue de ces caractéristiques, nous observons un comportement identique du modèle par rapport aux mesures. Une base de travail est donc posée avec une période de capture dans l'impulsion et une période d'émission hors impulsion bien retranscrites par le modèle.

Deuxièmement, nous observons en simulation que la chute du courant dans l'impulsion ( $\Delta I_{capture\ MOD}$ ) est égale à la remonté du courant hors impulsion ( $\Delta I_{émission\ MOD}$ ). La chute du courant dans l'impulsion est égale au nombre d'électrons piégés et la remontée du courant hors impulsion est égale au nombre d'électrons ré-émis. Le nombre d'électrons piégés étant égal au nombre d'électrons libérés, les deux quantités doivent être identiques. Or, si l'on se focalise sur les données obtenues en mesure, nous constatons que la chute du courant dans l'impulsion ( $\Delta I_{capture\ MES}$ ) est inférieure à la remonté du courant hors impulsion ( $\Delta I_{émission\ MES}$ ). En analysant la situation, nous en déduisons que la quantité ré-émise manquante lors de la capture ne peut que se trouver en tout début d'impulsion, au niveau du pic mesuré. Nous supposons donc qu'une partie de la capture a eu lieu avec des constantes de temps très courtes, inférieures à la nanoseconde, ce qui rend difficile la retranscription des données par l'appareil de mesure. Cette hypothèse est illustrée sur la Figure 96, l'impulsion étudiée ici est tracée en logarithmique afin de clarifier au maximum les choses du fait de la grande rapidité des temps de capture.

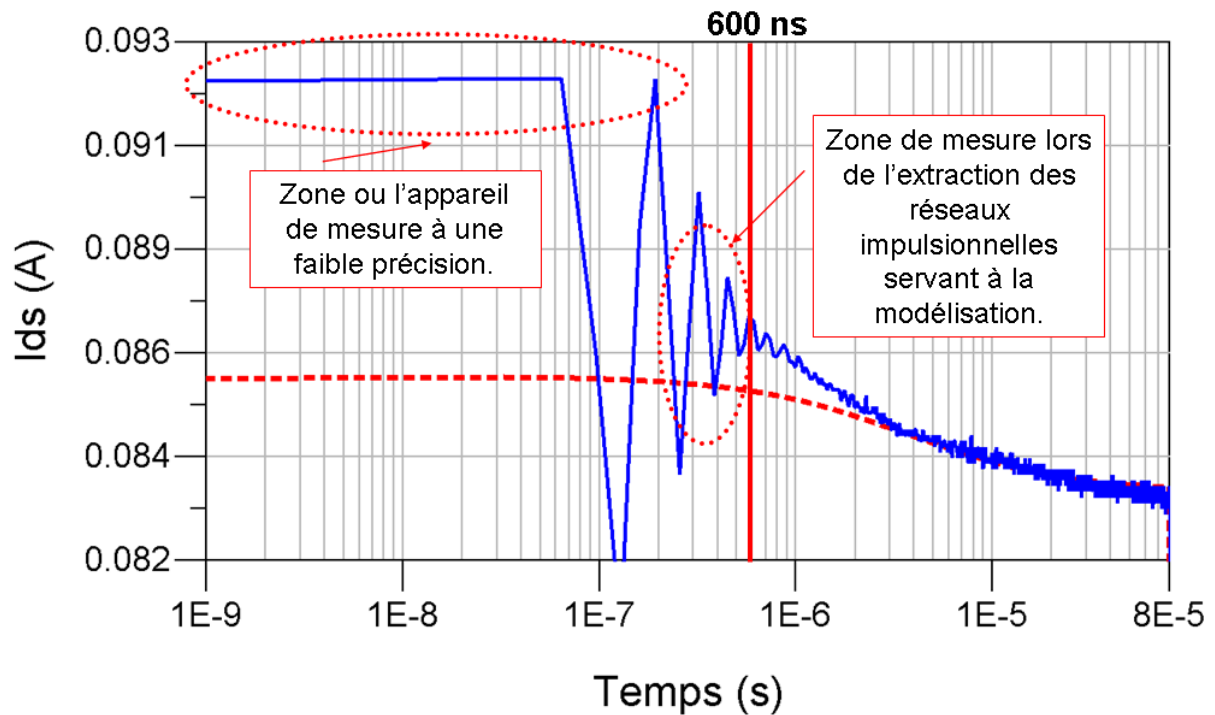


Figure 96 : Visualisation logarithmique de l'impulsion présentée Figure 95. Mesure (trait continu bleu)/Simulation (trait pointillé rouge).

Nous constatons, avec un pas de mesure de 32 ns et la difficulté d'établir la mesure en début d'impulsion, qu'il est difficile de mesurer correctement le courant dans cette partie. D'où la grande complexité de retranscrire la réalité.

Enfin, comme nous le mentionnions au début de cette analyse, nous apportons une confirmation au fait que nous produisons une erreur lors de la modélisation de notre transistor. En effet, en utilisant lors de la modélisation des impulsions de 600 ns avec des fenêtres de mesures dans l'impulsion comprises dans la partie finale (entre 400 et 550 ns environs), nous nous plaçons dans des conditions où la capture des pièges a déjà commencée comme nous pouvons le constater. A titre d'exemple, si l'on considère que  $\Delta I_{\text{émission MES}}$  doit être égale à  $\Delta I_{\text{capture MES}}$ , alors le pic de l'impulsion mesuré devrait être de l'ordre de 99.8 mA, soit la valeur sans aucun piège d'activité. Enfin, lorsque l'on compare les amplitudes  $\Delta I_{\text{émission MOD}}$  et  $\Delta I_{\text{émission MES}}$  nous observons que nous modélisons seulement 15% de l'amplitude des pièges.

## VI.2 Mesures d'un amplificateur GaN en biporteuse

Le même genre d'expérience a été réalisé sur un transistor Cree (CGH40010F-TB) au laboratoire Xlim de Limoges par M. Saad El Dine sur un banc de mesure conçu pour analyser le comportement d'amplificateurs soumis à des signaux modulés [142].

Afin de mettre en évidence l'impact des pièges, le signal injecté dans l'amplificateur est un signal à enveloppe variable. La fréquence porteuse est fixée à 3.6 GHz et la fréquence de modulation de l'enveloppe a été balayée de 10 Hz à 100 kHz.

Des sondes de courants et de tensions sont connectées à l'amplificateur afin de recueillir les valeurs du point de polarisation. Les résultats mesurés sont exposés en Figure 97. Le courant de polarisation est proche de 180 mA. En l'absence de pièges, le courant moyen mesuré devrait rester le même quelque soit la fréquence de modulation utilisée. Alors que l'on se rend compte à la vue de la Figure 97a que ceci est vrai pour des fréquences d'enveloppe faibles, lorsque cette même fréquence augmente, nous constatons une chute du courant de polarisation pour arriver à une valeur proche de zéro. Dans ce dernier cas, la capture des électrons par les pièges apparaît. La constante de temps de ré-émission de ces électrons est importante par rapport à celle de leur capture, c'est pourquoi la libération des électrons ne peut être faite durant la décroissance de l'enveloppe du signal.

On notera également qu'à la vue de la Figure 97b, la chute du courant moyen de drain dans l'amplificateur de puissance est plus prononcée lorsque la puissance du signal d'entrée injecté augmente.

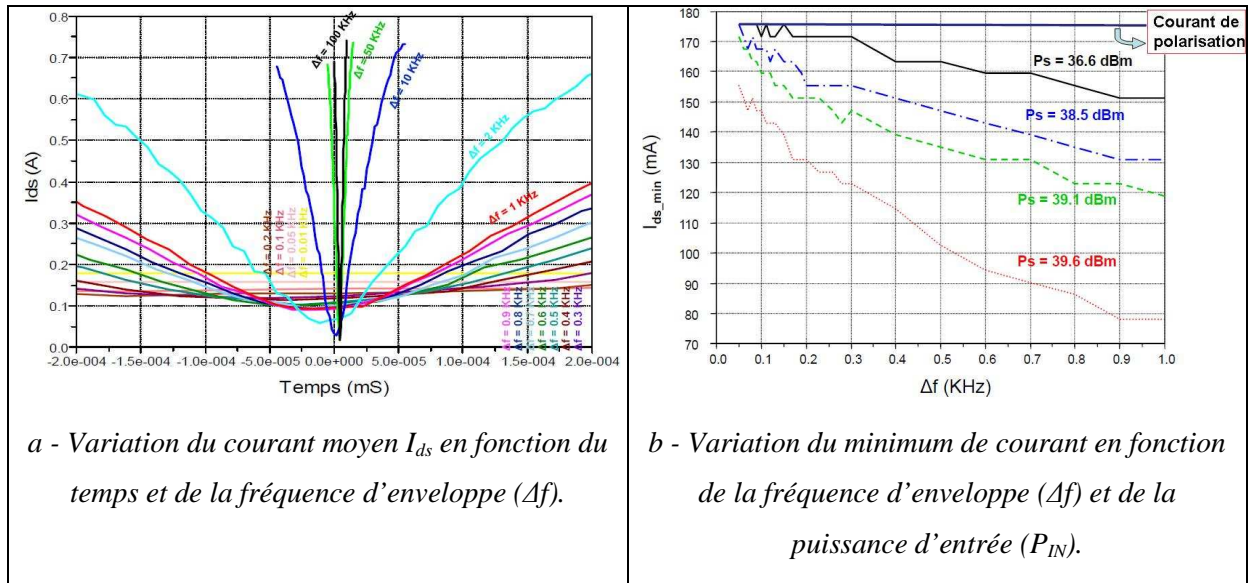


Figure 97 : Variation temporelle du courant moyen d'un amplificateur de puissance excité par un signal en biporteuse.

Nous avons apporté dans cette cinquième partie une série d'expérimentations prouvant la présence d'effets de pièges dans les transistors de puissance alimentés par des signaux modulés (en impulsion ou en fréquence). Il a été démontré que les pièges ont un effet significatif sur le courant moyen. Cependant des recherches plus approfondies seront nécessaires dans le futur afin de corrélérer ces comportements avec les modèles extraits de mesures RF et pulsées.

Ces travaux regroupant les mesures load-pull impulsionnelles temporelles et les mesures d'un amplificateur GaN en biporteuse ont donné lieu à une publication lors d'un Workshop ESA/MOD en 2010 [143].

## VII. Mesures paramètres [S] basses frequences

Au cours de ces travaux de thèse, nous avons effectué avec l'aide d'A. El-Rafei de toutes premières expériences sur un transistor HEMT AlGaIn/GaN à partir du banc de mesure de paramètres [S] basses fréquences. En effet, le laboratoire XLIM de Brive la Gaillarde a mis en place un banc de mesures couvrant la bande de fréquence [10 Hz- 500 MHz] dans le but

d'étudier le comportement des transistors et en particulier, les effets dispersifs lents comme la thermique et les pièges. La réponse des composants RF aux basses fréquences apporte une information directe sur les effets mémoires BF existants dans ces composants. Ce banc utilise un analyseur de réseaux vectoriel développé par Agilent (HP 4195A) et des tés de polarisation fabriqués au sein du département C<sup>2</sup>S<sup>2</sup>, qui permettent de couvrir ce domaine de fréquences basses (Figure 98).

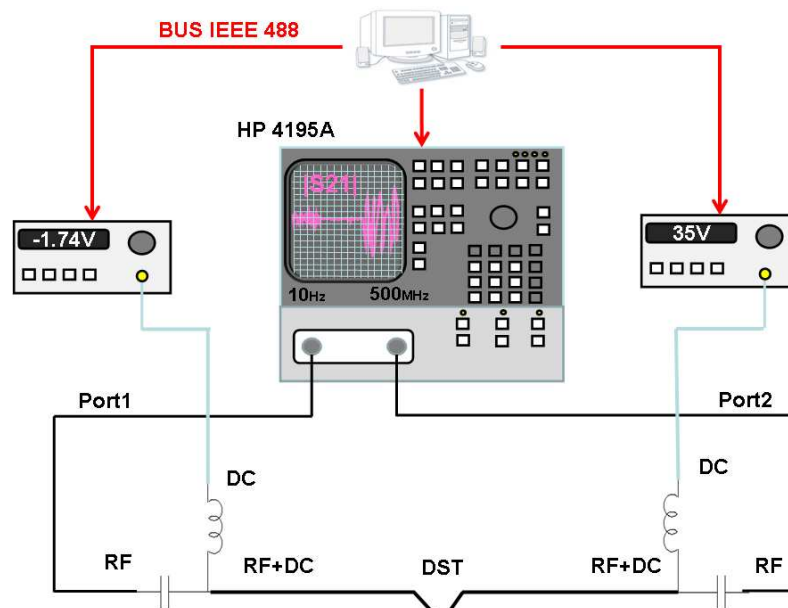


Figure 98 : Banc BF pour l'extraction de paramètres [H] et [Y].

Ce banc permet de mesurer les paramètres [S] BF à partir desquels on peut extraire les paramètres [H], [Y] et [Z]. L'illustration en est faite sur la figure ci-dessous, avec un transistor  $8 \times 75 \mu\text{m}$  AlGaIn/GaN HEMT polarisé en continu à  $V_{ds0} = 35 \text{ V}$ ,  $I_{ds0} = 48 \text{ mA}$ .

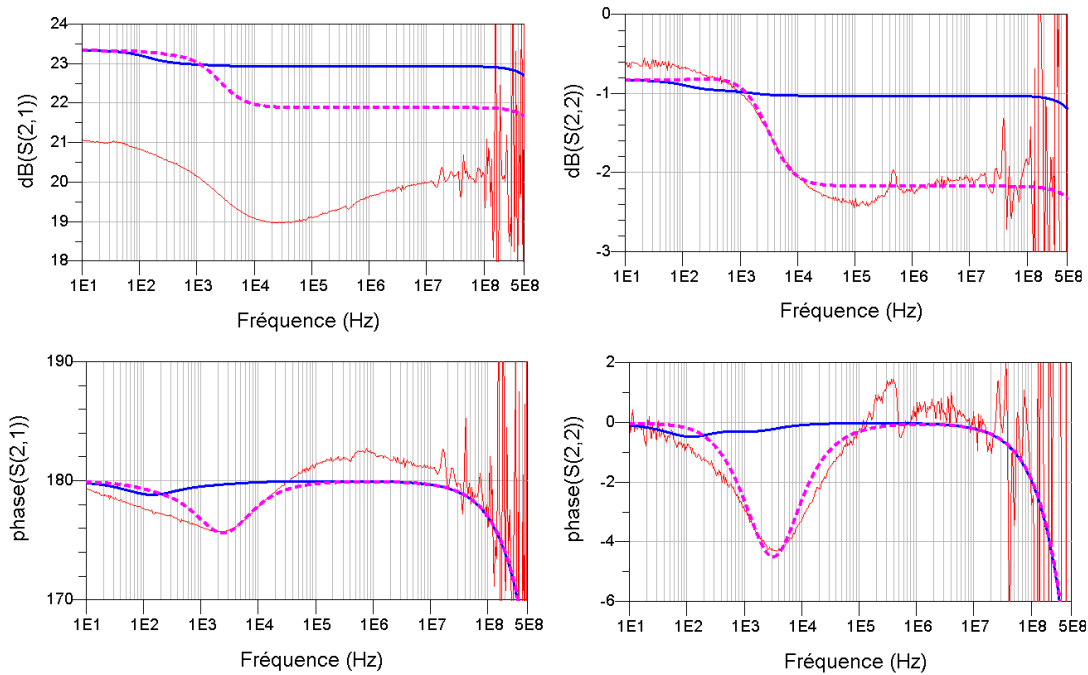


Figure 99 : Mesure (trait continu rouge)/simulations (trait continu bleu : modèle initial; trait pointillé violet : modèle ajusté aux mesures) des paramètres  $S_{21}$  et  $S_{22}$ , en module et phase, dans la bande 10 Hz à 500 MHz pour un transistor  $8 \times 75 \mu\text{m}$  AlGaIn/GaN HEMT polarisé en continu  $V_{ds0}=35\text{V}$ ,  $I_{ds0}=48\text{mA}$ .

La Figure 99 présente les résultats obtenus en mesure et en simulation sur un transistor  $8 \times 75 \mu\text{m}$  AlGaIn/GaN HEMT polarisé en continu dans la bande 10 Hz – 500 MHz. Deux résultats de simulation sont visibles. Le premier résultat est obtenu en trait bleu continu sur les graphiques et correspond à la rétro-simulation du transistor sans réajustement. Le transistor correspond donc à celui que nous avons extrait précédemment lors de notre étude. Ainsi, en comparant ces résultats de simulation aux résultats de mesures, nous observons un certain manque de dynamique en ce qui concerne la simulation, les amplitudes simulées sont négligeables en comparaison aux résultats de mesures. Néanmoins, malgré la différence d'amplitude, nous constatons une allure identique des courbes mesurées et simulées en fonction de la fréquence, avec un léger décalage sur la fréquence de résonance observée.

A la vue de ces résultats, mais aussi à la vue des résultats observés dans le paragraphe VI.1 où nous avons constaté que notre modèle ne prenait pas assez en compte la quantité de pièges mesurés, nous avons donc effectué un ajustement des paramètres des modèles de « gate-lag » et « drain-lag ». Les résultats sont visibles à la Figure 99, en traits pointillés violets. Au cours de ce réglage, nous nous sommes aperçus que les paramètres du modèle de « gate-lag »

influaient sur les résultats du  $S_{21}$  et les paramètres du modèle de « drain-lag » sur les résultats du  $S_{22}$ . De cette façon, nous avons pu aisément obtenir des résultats de simulations plus proches des mesures, ceci en augmentant l'amplitude des pièges simulés et en ajustant la résistance permettant d'ajuster la constante de temps d'émission des pièges simulés.

Cette deuxième comparaison mesures/simulations nous permet de confirmer notre hypothèse. Notre modèle ne simule pas assez les effets des pièges, la quantité de pièges pris en compte est beaucoup trop négligeable par rapport à ce que nous observons en mesure. Nous pourrions noter que lorsque nous utilisons ce nouveau modèle optimisé à partir des mesures paramètres [S] basses fréquences pour l'expérience présentée Figure 95, nous retrouvons une amplitude  $\Delta I_{\text{émission MOD}}$  quasi égale à l'amplitude  $\Delta I_{\text{émission MES}}$ . Néanmoins, si nous arrivons à corrélérer les amplitudes de pièges mesurés, nous ne sommes plus du tout en accord avec les résultats obtenus dans l'impulsion. En effet, en augmentant la quantité de pièges, nous diminuons fortement le courant, d'où un éloignement de la quantité de courant simulée par rapport à la quantité de courant mesurée dans l'impulsion.

Pour conclure, après avoir analysé tous ces résultats, nous en déduisons que pour modéliser un transistor utilisable dans une bande de fréquence et avec une précision importante sur les amplitudes des pièges il serait nécessaire d'ajuster la source de Tajima avec des mesures de réseaux I/V effectuées à partir d'impulsions inférieures à la nanoseconde. Ces conditions de mesure sont impossibles à réaliser à ce jour. En effet, aujourd'hui, nous modélisons notre source de courant Tajima à partir d'un réseau polarisé à  $V_{gs0} = 0$  V et  $V_{ds0} = 0$  V constitué d'impulsions de quelques centaines de nanosecondes (600 ns dans notre cas). Ce n'est que par la suite dans les différentes étapes de la modélisation que nous ajouterons les paramètres nécessaires aux phénomènes de pièges. C'est donc dans ces conditions réalisables par les appareils de mesure que nous faisons une erreur d'interprétation ; en effet nous considérons l'hypothèse que ni la thermique ni les pièges n'influencent les performances dans notre réseau mesuré en impulsions. Cependant, comme nous avons pu le constater, la capture des pièges a déjà eu lieu avec des impulsions de quelques centaines de nanoseconde (Figure 96). Notre état initial du modèle, état sans pièges est donc partiellement faux. Les méthodes de mesure présentées dans cette thèse en parties VI.1 et VII mettent en lumière ce problème.

Un travail important sur la modélisation de ces phénomènes parasites reste donc à effectuer. Néanmoins, avec l'apparition de nouvelles méthodes de caractérisations comme la méthode des paramètres [S] basses fréquences, il est certain que ce problème sera corrigé dans un futur proche.



## VIII. Conclusion

Tout au long de ce chapitre nous avons pu étudier un certain nombre d'effets parasites qui peuvent venir perturber les performances en puissance dans les transistors à effet de champ microondes. L'ensemble de cette étude est basée sur la caractérisation d'un transistor  $8 \times 75 \mu\text{m}$  AlGaIn/GaN HEMT de la filière GH25 d'UMS à l'aide de bancs de mesures en régime impulsionnel (mesures IV) ou continu (mesures paramètres [S]).

Une étude thermique a été réalisée mettant en avant l'effet de la température sur les comportements statique et dynamique du transistor. Une expérimentation originale a été élaborée portant sur la validation d'une nouvelle méthode de détermination de la résistance thermique. Celle-ci a permis de démontrer la facilité d'utilisation de la méthode mais aussi de mettre en garde l'utilisateur sur les effets de pièges pouvant venir fausser les résultats.

L'étude des effets de pièges a montré clairement leur implication dans la réduction de l'excursion du cycle de charge, et donc dans la diminution de la puissance de sortie. Leur dépendance en fonction de la température a permis de faire le lien avec certains phénomènes observés lors de l'étude thermique. Aussi, une étude de l'effet kink mettant en jeu des niveaux de pièges profonds, un champ électrique critique ainsi qu'une dépendance en température a été présentée.

Le quasi-ensemble de ces phénomènes limitatifs (excepté l'effet kink) a ensuite été modélisé. La réalisation d'un modèle électrothermique a révélé un léger dysfonctionnement sur la méthode employée lors de la modélisation du transistor, c'est pourquoi un modèle phénoménologique à trois cellules RC a été réalisé.

Enfin, une investigation a été faite à partir de mesures originales, démontrant la présence d'effets de pièges dans les transistors utilisés en régime transitoire. Celles-ci ont permis de souligner sans aucun doute possible l'effet des pièges sur le comportement dynamique des transistors AlGaIn/GaN alimentés par des signaux modulés de puissance. Les mesures effectuées sur le banc de mesures paramètres [S] basses fréquences ont permis de mettre en lumière les effets des pièges et aussi de corrélérer à l'aide du modèle établi les résultats observés lors des mesures load-pull impulsives temporelles.



## **CONCLUSION GENERALE**



Dans ce rapport, une étude basée sur une technologie à matériau grand gap particulièrement bien adapté pour l'amplification de puissance a été présentée : le transistor HEMT AlGaIn/GaN. En effet, grâce à la largeur de sa bande interdite, le GaN permet d'obtenir des composants avec des densités de courant élevées et des tensions de claquage importantes. Ces matériaux semblent apporter une solution viable aux demandes croissantes en puissance haute fréquence concernant les amplificateurs utilisés dans les télécommunications. Ces travaux de thèse, s'inscrivant dans le cadre d'un contrat CIFRE avec la société UMS sont centrés sur l'étude d'une nouvelle filière de composants HEMTs nitride de gallium et l'évaluation des potentialités de ces composants en termes de puissance large bande.

La technologie HEMT GaN montre aujourd'hui des potentialités bien supérieures aux technologies à base d'AsGa en termes de performances en puissance, ces transistors ont donc fait leur apparition sur le marché pour répondre aux besoins croissants des industries militaires et civiles. Néanmoins, ils souffrent encore de problèmes de pièges important, qui constituent un axe de recherche privilégié dans de nombreux laboratoires.

Dans cette optique de développement de la technologie HEMT AlGaIn/GaN au sein de la société UMS, et afin de quantifier le niveau de performances pouvant être atteint par des amplificateurs basés sur la technologie GH25 d'UMS, nous avons travaillé sur la conception d'un circuit large bande de puissance 6-18 GHz. Nous avons tout d'abord présenté le principe de fonctionnement ainsi que la méthode de conception de l'amplificateur arborescent. Puis nous avons détaillé les étapes de conception à partir de transistors HEMTs GaN de développement  $8 \times 75 \mu\text{m}$ . Les résultats de mesures présentés dans la bande 6-18 GHz sont très encourageants, la puissance de sortie est supérieure à 6.3 W en moyenne, le gain à la compression est de 15.5 dB et le rendement en puissance ajoutée est de 13% dans les cas les plus défavorables.

Par la suite, la technologie évoluant, deux autres circuits d'architecture identique au premier ont été conçus à partir de transistors de développement légèrement supérieur :  $8 \times 100 \mu\text{m}$  et  $8 \times 125 \mu\text{m}$ . A la vue des résultats de simulation, ces circuits présentent de meilleures performances, la puissance de sortie est supérieure à 8 W pour la version avec des transistors  $8 \times 100 \mu\text{m}$ , et supérieure à 10 W pour la version avec des transistors  $8 \times 125 \mu\text{m}$ . Le gain linéaire est proche de 25 dB et le rendement en puissance ajoutée égale à 15 % au minimum. Ces circuits sont en cours de réalisation et les premiers résultats de mesure sont espérés dans quelques mois.

Durant ces travaux de conceptions, nous avons pu nous confronter à deux facteurs critiques plus ou moins visibles. Tout d'abord, les performances thermiques atteintes dans les

amplificateurs ont révélé les limitations du système. Les effets thermiques sont importants et nous avons pu observer qu'ils peuvent limiter la puissance de sortie des amplificateurs. D'autre part, dans une application large bande, les transistors subissent de très fortes désadaptations d'impédances, ce qui implique une zone de fonctionnement pour les transistors plus ou moins « saine ». Ces zones peuvent mener à l'apparition de phénomènes parasites : les effets de pièges.

A partir de ces constatations, le dernier chapitre de ce manuscrit se concentre sur la caractérisation et la modélisation de ces phénomènes parasites dans les transistors HEMTs AlGaIn/GaN. Une analyse détaillée des effets de la température sur le fonctionnement de ces transistors a été effectuée. L'extraction de la résistance thermique a partir d'une nouvelle méthode simple et originale a été démontrée. Nous avons montré que l'élévation de température due à l'auto-échauffement dans des conditions normales de fonctionnement avait des répercussions sur le courant de sortie (donc sur la puissance de sortie), mais aussi sur les performances en fréquence. Afin de prendre en compte l'effet de la température dans un modèle CAO de transistor, un modèle électrothermique a été réalisé. Néanmoins, nous avons mis en doute la méthode de mesure employée pour l'extraction des cellules RC, méthode pouvant être faussée par les effets de pièges.

La présence d'effets de piégeage dans les transistors HEMTs AlGaIn/GaN est une autre limitation. L'étude des effets des pièges en fonction des tensions de polarisation a montré que la puissance de sortie était considérablement affectée si des pièges étaient présents dans le semi-conducteur. De plus, une étude de ces effets en fonction de la température a permis de confirmer la dépendance des constantes de temps d'émission des pièges en fonction de la température. Nous avons réalisé une étude de l'effet kink dans ces mêmes transistors, elle révèle que son effet n'est pas néfaste aux performances en puissance et qu'il n'y a donc pas un intérêt majeur à l'éliminer définitivement. Une étude en température de ce phénomène a permis de mettre en évidence la dépendance des constantes de temps d'émission des pièges avec la température et le champ électrique appliqué.

Les effets de pièges ont été ajoutés au modèle électrothermique proposé précédemment et sa précision a été discutée après la présentation de nouvelles mesures originales caractérisant les pièges. Nous avons ainsi pu constater que la quantité de piège modélisé ne correspondait pas à la quantité de piège mesuré. Ces mesures load-pull temporelle et paramètres [S] basses fréquences ont mis en évidence les limitations du modèle de pièges et son processus d'élaboration.

L'évolution du développement de la technologie au cours du temps ne nous a pas permis de modéliser les effets thermiques et les effets de pièges d'un transistor utilisé lors d'une conception d'amplificateur large bande présentée dans ce manuscrit. La comparaison entre un modèle stationnaire et un modèle électrothermique incluant les effets de pièges à partir d'une simulation d'amplificateur n'a donc pu être effectuée. Néanmoins, à la vue des très bons résultats du modèle non-linéaire stationnaire, observés lors des rétro-simulations des mesures du premier amplificateur de puissance large bande, l'utilisation d'un modèle non-linéaire électrothermique incluant les effets de pièges n'est pas nécessairement indispensable lors d'une conception. Nous pouvons alors penser que :

- Le modèle stationnaire est développé à partir de mesures au point de polarisation de l'application visé, il prend donc déjà en compte les effets de pièges.

- Le modèle électrothermique lui, ne modélise visiblement qu'une petite partie des pièges présents dans les transistors. Cette limitation serait due à la largeur des impulsions utilisées lors de la conception du modèle.

### **Perspectives :**

Nous avons proposé un modèle non linéaire électrothermique incluant les effets de pièges de transistors GaN adapté à la CAO des circuits. Comme nous l'avons vu, celui-ci présente quelques limitations quant à la modélisation des phénomènes de pièges. Le travail consiste donc désormais à analyser la cause du problème et de le régler. Le banc de mesure de paramètres [S] à basses fréquences peut être une solution et permettre de régler les amplitudes de pièges dans un modèle. Les mesures effectuées sur celui-ci s'annoncent très prometteuses.

D'autre part, il serait intéressant, dans un futur plus ou moins proche, d'effectuer une nouvelle comparaison de modèles de transistors, incluant ou non les effets de pièges, avec une application d'amplificateur en mode impulsionnel.





## **BIBLIOGRAPHIE**



- [1] - **C. Kittel**, *Introduction to Solid State Physics*, 2nd ed. Wiley, 1957.
- [2] - **I. P. Smorchkova, C. R. Elsass, J. P. Ibbetson, R. Vetury, B. Heying, P. Fini, E. Hauss, S. P. Denbaars, J. S. Speck, and U. K. Mishra**, “Polarization-induced charge and electron mobility in AlGaIn/GaN heterostructures grown by plasma-assisted molecular beam epitaxy,” *J. Applied Phys.*, vol. 86, no. 8, pp. 4520-4526, Oct. 1999.
- [3] - **S.C. Binari, W. Kruppa, H.B. Dietrich, G. Kelner, A.E. Wickenden, and J.A. Freitas**, “Fabrication and Characterization of GaN FETs,” *Solid-State Electronics*, vol. 41, no. 10, p. 1549, 1997.
- [4] - **S.M. Sze**, *Physics of Semiconductors* (Wiley, New York, 1981).
- [5] - **O. Mitrofanov and M. Manfra**, “Poole-Frenkel electron emission from the traps in AlGaIn/GaN transistors”, *J. Applied Phys.*, vol. 95, no. 11, pp. 6414-6419, June 2004.
- [6] - **O. Mitrofanov and M. Manfra**, “Mechanisms of gate lag in GaN/AlGaIn/GaN high electron mobility transistors”, *Superlattices Microstruct.* 34, pp. 33-53, Dec. 2003.
- [7] - **O. Mitrofanov and M. Manfra**, “Dynamics of trapped charge in GaN/AlGaIn/GaN high electron mobility transistors grown by plasma-assisted molecular beam epitaxy”, *J. Applied Phys.*, vol. 84, no. 3, pp. 422-424, Janu. 2004.
- [8] - **W. Mickanin, P. Canfield, E. Finchem, and B. Odekirk**, “Frequency-dependent transients in GaAs MESFETs: Process, geometry, and material effects,” in *GaAs IC Symp. Dig.*, 1989, pp. 211–214.
- [9] - **R. Yeats, D. C. D’Avanzo, K. Chan, N. Fernandez, T. W. Taylor, C. Vogel**, “Gate slow transients in GaAs MESFETs-causes, cures, and impact on circuits,” in *IEDM Tech. Dig.*, 1988, pp. 842–845.
- [10] - **J. C. Huang, G. S. Jackson, S. Shanfield, A. Saledas, C. Weichert**, “An AlGaAs/InGaAs pseudomorphic high electron mobility transistor with improved breakdown voltage for X and Ku-band power applications,” *IEEE Trans. Microwave Theory Techniques*, vol. 41, pp. 752–759, 1993.
- [11] - **P.B. Klein, J.A. Freitas, S.C. Binari, and A.E. Wickenden**, “Observation of Deep Traps Responsible for Current Collapse in GaN Metal-Semiconductor Field-Effect Transistors,” *Applied Physics Letters*, vol. 75, no. 25, p. 4016, 1999.
- [12] - **P.B. Klein, S.C. Binari, J.A. Freitas, and A.E. Wickenden**, “Photoionization Spectroscopy of Traps in GaN Metal-Semiconductor Field-Effect Transistors,” *Journal of Applied Physics*, vol. 88, no. 5, p. 2843, 2000.
- [13] - **G. Meneghesso, A. Chini, E. Zanoni, M. Manfredi, M. Pavesi, B. Boudart, and C. Gaquiere**, “Diagnosis of Trapping Phenomena in GaN MESFETs,” *International Electron Devices Meeting*, p. 389, 2000.

- [14] - **P.B. Klein, S.C. Binari, K. Ikossi, A.E. Wickenden, D.D. Koleske, and R.L. Henry**, “Investigation of Traps Producing Current Collapse in AlGa<sub>N</sub>/Ga<sub>N</sub> High Electron Mobility Transistors,” *Electronics Letters*, vol. 37, no. 10, p. 661, 2001.
- [15] - **S.C. Binari, K. Ikossi, J.A. Roussos, W. Kruppa, D. Park, H.B. Dietrich, D.D. Koleske, A.E. Wickenden, and R.L. Henry**, “Trapping Effects and Microwave Power Performance in AlGa<sub>N</sub>/Ga<sub>N</sub> HEMTs,” *IEEE Transactions on Electron Devices*, vol. 48, no. 3, p. 465, 2001.
- [16] - **P.B. Klein, S.C. Binari, K. Ikossi, A.E. Wickenden, D.D. Koleske, and R.L. Henry**, “Current Collapse and the Role of Carbon in AlGa<sub>N</sub>/Ga<sub>N</sub> High Electron Mobility Transistors Grown by Metalorganic Vapor-Phase Epitaxy,” *Applied Physics Letters*, vol. 79, no. 21, p. 3527, 2001.
- [17] - **J. Neugebauer and C.G. Van de Walle**, “Defects and Doping in Ga<sub>N</sub>,” *International Conference on the Physics of Semiconductors*, vol. 3, p. 2327, 1995.
- [18] - **Y. Hori, M. Kuzuhara, N. Samoto, and T. Itoh**, “Bias Dependent Collapse and Its Recovery Phenomenon in AlGaAs/GaAs 2DEG FETs at Low Temperatures,” *IEEE Transactions on Electron Devices*, vol. 39, no. 12, p. 2720, 1992.
- [19] - **M.D. McCluskey, N.M. Johnson, C.G. Van de Walle, D.P. Bour, and M. Kneissl**, “Metastability of Oxygen Donors in AlGa<sub>N</sub>,” *Physics Review Letters*, vol. 80, no. 18, p. 4008, 1998.
- [20] - **S.C. Binari, K. Ikossi-Anastasiou, W. Kruppa, H.B. Dietrich, G. Kelner, R.L. Henry, D.D. Koleske, and A.E. Wickenden**, “Correlation of Drain Current Pulsed Response with Microwave Power Output in AlGa<sub>N</sub>/Ga<sub>N</sub> HEMTs,” *Wide Bandgap Semiconductors for High Power, High Frequency and High Temperature Applications Symposium*, vol. 572, p. 541, 1999.
- [21] - **R. Dietrich, A. Vescan, A. Wieszt, H. Leier, K.S. Boutros, J.M. Redwing, K. Kornitzer, R. Freitag, T. Ebner, and K. Thonke**, “Effect of Illumination on the Electrical Characteristics of AlGa<sub>N</sub>/Ga<sub>N</sub> FETs,” *Physica Status Solidi A*, vol. 176, no. 1, p. 209, 1999.
- [22] - **B.M. Green, K.K. Chu, M. Chumbes, J.A. Smart, J.R. Shealy, and L.F. Eastman**, “The Effect of Surface Passivation on the Microwave Characteristics of Undoped AlGa<sub>N</sub>/Ga<sub>N</sub> HEMTs,” *IEEE Electron Device Letters*, vol. 21, no. 6, p. 268, 2000.
- [23] - **J.S. Lee, A. Vescan, A. Wieszt, R. Dietrich, H. Leier, and Y.S. Kwon**, “Small Signal and Power Measurements of AlGa<sub>N</sub>/Ga<sub>N</sub> HEMT with Si<sub>N</sub> Passivation,” *Electronics Letters*, vol. 37, no. 2, p. 130, 2001.
- [24] - **W. Lu, V. Kumar, R. Schwindt, E. Piner, and I. Adesida**, “A Comparative Study of Surface Passivation on AlGa<sub>N</sub>/Ga<sub>N</sub> HEMTs,” *Solid-State Electronics*, vol. 46, no. 9, p. 1441, 2002.
- [25] - **R. Vetury, N.Q. Zhang, S. Keller, and U.K. Mishra**, “The Impact of Surface States on the DC and RF Characteristics of AlGa<sub>N</sub>/Ga<sub>N</sub> HFETs,” *IEEE Transactions on Electron Devices*, vol. 48, no. 3, p. 560, 2001.

- [26] - **D. V. Lang**, “Deep-level transient spectroscopy a new method to characterize traps in semiconductors”, *J. Appl. Phys.* 45 (1974) 3023-3032.
- [27] - **A.V. Vertiatchikh, L.F. Eastman, W.J. Schaff, and T. Prunty**, “Effect of Surface Passivation of AlGaIn/GaN Heterostructure Field-Effect Transistor,” *Electronics Letters*, vol. 38, no. 8, p. 388, 2002.
- [28] - **P. Audren, J. M. Dumas, M. P. Favennec, and S. Mottet**, “Etude des Pièges dans les Transistors à Haute Mobilité Electronique sur GaAs à l’aide de la Méthode dite de Relaxation Isotherme Corrélation avec les Anomalies de Fonctionnement,” *Journal Phys. III France*, vol. 3, pp. 185–206, 1993.
- [29] - **B. Luo, J.W. Johnson, B.P. Gila, A.H. Onstine, C.R. Abernathy, F. Ren, S.J. Pearson, A.G. Baca, A.M. Dabiran, A.M. Wowchack, and P.P. Chow**, “Surface Passivation of AlGaIn/GaN HEMTs using MBE-grown MgO or Sc<sub>2</sub>O<sub>3</sub>,” *Solid-State Electronics*, vol. 46, no. 4, p. 467, 2002.
- [30] - **M. Faqir**, “Analysis of the physical mechanisms limiting performance and reliability of GaN based HEMTs”, PhD in electronics engineering from the University of “Modena and Reggio Emilia”, Italy and from the University of “Bordeaux 1”, France, February 2009.
- [31] - **C. Chang**, “Amélioration de modèles électrothermiques de composants de puissance de type TBH ou pHEMT et application à la conception optimale de modules actifs pour les radars,” Ph.D. dissertation, Université de Limoges, France, 2004.
- [32] - **R. Aubry**, “Etude des Aspects Electrothermiques de la Filière HEMT AlGaIn/GaN pour les Applications de Puissance Hyperfréquence,” Ph.D. dissertation, Université de Lille, France, 2001.
- [33] - **M. S. Shur**, “GaN and Related Materials for High Power Applications,” in *Symposium Proceedings of Material Research Society, Symposium E, Fall 1997*.
- [34] - **O. Jardel**, “Contribution à la Modélisation des Transistors pour l’Amplification de Puissance aux Fréquences Microondes. Développement d’un nouveau Modèle Electrothermique de HEMT AlGaIn/GaN incluant les Effets de Pièges”, Ph. D. dissertation, Université de Limoges, France, 2008.
- [35] - **A. Mkhitarian, V. Ngo, F. Baltac, X. Huoping**, “200W discrete GaN HEMT power device in a 7x7mm CMC package”, *Microwave Integrated Circuits Conference, 2009. EuMIC 2009*, pp. 97-100.
- [36] - **F. Medjdoub, D. Marcon, J. Das, J. Derluyn, K. Cheng, S. Degroote, M. Germain, S. Decoutere**, “Preliminary reliability at 50V of state-of-the-art RF power GaN-on-Si HEMTs”, *Device Research Conference (DRC), 2010*, pp. 195-196.
- [37] - **R. Chu, Z. Chen, Y. Pei, S. Newman, S. P. DenBaars, U. K. Mishra**, “MOCVD-Grown AlGaIn Buffer GaN HEMTs With V-Gates for Microwave Power Applications”, *IEEE Electron Device Letters*, Vol. 30, No. 9, Sep. 2009.
- [38] - **Y.F. Wu, M. Moore, A. Saxler, T. Wisleder, P. Parikh**, “40W/mm Double Field plated GaN HEMTs”, *Device Research Conference 64th*, pp. 151-152, June 2006.

- [39] - Y.F. Wu, A. Saxler, M. Moore, P. Smith, S. Sheppard, P.M. Chavarkar, T. Wisleder, U.K. Mishra, P. Parikh, "30W/mm GaN HEMTs by field plate optimization", *IEEE Electron Device Lett*, vol. 25, pp. 117-119, Mars 2004.
- [40] - ShiChang Zhong, Tangsheng Chen, Chunjiang Ren, Gang Jiao, Chen Chen, Kai Shao, Naibin Yang, "AlGaIn/GaN HEMT with over 110W Output Power for X-band", *Microwave Integrated Circuit Conference, 2008. EuMIC 2008*, pp. 91-94.
- [41] - K.D. Chabak, J.K. Gillespie, V. Miller, A. Crespo, J. Roussos, M. Trejo, and all, "Full-Wafer Characterization of AlGaIn/GaN HEMTs on Free-Standing CVD Diamond Substrates", *IEEE Electron Device Letters*, Vol.31, No.2, Feb. 2010.
- [42] - J.G. Felbinger, M.V.S. Chandra, S. Yunju, L.F. Eastman, J. Wasserbauer, and all, "Comparison of GaN HEMTs on Diamond and SiC Substrates", *IEEE Electron Device Letters*, Vol.28, No.11, Nov. 2007.
- [43] - J.C. Gerbedoen, A. Soltani, S. Joblot, J.C. De Jaeger, C. Gaquière, Y. Cordier, F. Semond, "AlGaIn/GaN HEMTs on (001) Silicon Substrate With Power Density Performance of 2.9 W/mm at 10 GHz", *IEEE Transactions on Electron Devices*, Vol. 57, No. 7, July 2010.
- [44] - R. Thompson, T. Prunty, V. Kaper, J.R. Shealy, "Performance of the AlGaIn HEMT structure with a gate extension", *IEEE Transactions on Electron Devices*, Vol. 51, No. 2, Feb. 2004.
- [45] - E. Harvard, R. Brown, and J. R. Shealy, "Performance of AlGaIn/GaN High-Electron Mobility Transistors With AlSiN Passivation", *IEEE Electron Device Letters*, vol. 57, no. 11, Oct. 2010.
- [46] - Z. Chen, Y. Pei, S. Newman, R. Chu, D. Brown, R. Chung, S. Keller, S.P. Denbaars, S. Nakamura, U.K. Mishra, "Growth of AlGaIn/GaN heterojunction field effect transistors on semi-insulating GaN using an AlGaIn interlayer", *Applied Physics Letters*, 2009, pp. 112108-112108-3.
- [47] - M.Y. Kao, C. Lee, R. Hajji, P. Saunier, H.Q. Tserng, "AlGaIn/GaN HEMTs with PAE of 53% at 35 GHz for HPA and multi-function MMIC applications", *Microwave Symposium Digest, IEEE MTTs International*, pp. 627-629, 3-8 June 2007.
- [48] - D. Ducattau, A. Minko, V. Hoël, E. Morvan, E. Delbos, B. Grimbert, and all., "Output power density of 5.1W/mm at 18 GHz with an AlGaIn/GaN HEMT on Si substrate", *IEEE Electron Device Letters*, vol. 27, no. &, Jan. 2006.
- [49] - J.S. Moon, D. Wong, M. Hu, P. Hashimoto, M. Antcliffe, C. McGuire, M. Micovic, and P. Willadson, "55% PAE and High Power Ka-Band GaN HEMTs With Linearized Transconductance via n+ GaN Source Contact Ledge", *IEEE Electron Device Lett*, vol. 29, No. 8, Aug. 2008.
- [50] - B. Heying, W.-B. Luo, I. Smorchkova, S. Din, and M. Wojtowicz, "Reliable GaN HEMTs for High Frequency Applications", *Microwave Symposium Digest (MTT), 2010 IEEE MTT-S International*, pp. 1218-1221.

- [51] - **T. Palacios, A. Chakraborty, S. Rajan, C. Poblenz, S. Keller, S.P. Denbaars, J.S. Speck, U.K. Mishra**, “High-power AlGa<sub>N</sub>/Ga<sub>N</sub> HEMTs for Ka-band applications”, *IEEE Electron Device Letters*, vol. 26, no. 11, Nov. 2005.
- [52] - **G. Dambrine, A. Cappy, F. Heliodore, E. Playez**, “A new method for determining the FET small-signal equivalent circuit”, *Microwave Theory and Techniques, IEEE Transactions on Volume 36, Issue 7, Date: Jul. 1988, Pages 1151-1159*.
- [53] - **C. Teyssandier**, “Contribution à la modélisation non-linéaire de transistors de puissance HEMT Pseudomorphiques sur substrat AsGa : Analyse des effets parasites”, *Ph. D. dissertation, Université de Limoges, France, 2008*.
- [54] - **Y. Tajima, P.D. Miller**, “Design of Broad Band Power GaAs FET Amplifiers,” *IEEE Trans. On MTT*, vol 32, n°3, 1984.
- [55] - **J. P. Teyssier, J. P. Viaud, and R. Quéré**, “A new Nonlinear I(V) model for FET devices including Breakdown Effects,” *IEEE Microwave and Guided Wave Letters*, vol. 4, no. 4, pp. 104-106, Apr. 1994.
- [56] - **S. Forestier, T. Gasseling, P. Bouysse, R. Quéré, and J. M. Nebus**, “A New Nonlinear Capacitance Model of Millimeter Wave Power PHEMT for Accurate AM/AM-AM/PM Simulations,” *IEEE Microwave and Wireless Components Letters*, vol. 14, no. 1, Jan. 2004.
- [57] - **S. Masuda, A. Akasegawa, T. Ohki, K. Makiyama, N. Okamoto, K. Imanishi, T. Kikkawa, and H. Shigematsu**, “Over 10W C-Ku Band GaN MMIC Non-uniform Distruted Power Amplifier with Broadband Couplers,” *Microwave Symposium Digest (MTT), 2010 IEEE MTT-S International*, pp.1388-1391.
- [58] - **C. Campbell, C. Lee, V. Williams, M. Kao, H. Tserng and P. Saunier**, “A Wideband Power Amplifier MMIC Utilizing GaN on SiC HEMT Technology,” *Compound Semiconductor Integrated Circuits Symposium, 2008. CSICS '08. IEEE*, pp. 1-4.
- [59] - **J. Gassmann, P. Watson, L. Kehias and G. Henry**, “Wideband, High-Efficiency GaN Power Amplifiers Utilizing a Non-Uniform Distributed Topology,” *Microwave Symposium, 2007. IEEE/MTT-S International*, pp. 615-618.
- [60] - **D. E. Meharry, R. J. Lender, Jr., K. Chu, Liberty L. Gunter, and K. E. Beech**, “Multi-Watt Wideband MMICs in GaN and GaAs,” *Microwave Symposium IEEE/MTT-S International*, pp. 631-634, June 2007.
- [61] - **TGA9092-SCC Product Data Sheet**, *Triquint Semiconductor, Texas, January 10, 2005*.
- [62] - **K. W. Kobayashi, Y. Chen, I. Smorchkova, Roger Tsai, M. Wojtowicz and A. Oki**, “1-Watt Conventional and Cascoded GaN-SiC Darlington MMIC Amplifiers to 18 GHz,” *Radio Frequency Integreted Circuits (RFIC) Symposium, 2007 IEEE*, pp. 585-588.
- [63] - **Site Internet [www.ums-gaas.com](http://www.ums-gaas.com)** *Catalogue des produits*.

- [64] - **S. De Meyer, A. Philippon, M. Campovecchio, C. Charbonniaud, S. Piotrowicz, D. Floriot, R. Quéré**, “Modelling of a 4-18GHz 6W Flip-Chip Integrated Power Amplifier based on GaN HEMTs Technology,” *Gallium Arsenide and Other Semiconductor Application Symposium, 2005. EGAAS 2005 European*.
- [65] - **J. Komiak, W. Kong, K. Nichols**, “High Efficiency Wideband 6 to 18 GHz PHEMT Power Amplifier MMIC,” *Microwave Symposium Digest, 2002 IEEE MTT-S International, vol. 2, pp. 905-907*.
- [66] - **R. Santhakumar, Y. Pei, U. K. Mishra and R. A. York**, “Monolithic Millimeter-wave Distributed Amplifiers using AlGaIn/GaN HEMTs,” *Microwave Symposium Digest, 2008 IEEE MTT-S International, pp. 1063-1066*.
- [67] - **TGA2509 Product Data Sheet**, *Triquint Semiconductor, Texas, March 3, 2009*.
- [68] - **C. Meliani, R. Behtash, J. Würfl, W. Heinrich and G. Tränkle**, “A Broadband GaN-MMIC Power Amplifier for L to X Bands,” *Microwave integrated circuit conference, 2007. eumic 2007. European, pp. 147-150*.
- [69] - **B. Geller, A. Hanson, A. Chaudhari, A. Edwards and I.C. Kizilyalli**, “A Broadband Low Cost GaN-on-Silicon MMIC Amplifier,” *Radio Frequency Integrated Circuits Symposium, 2008. RFIC 2008. IEEE, pp. 527-530*.
- [70] - **B. M. Green, V. Tilak, S. Lee, H. Kim, J. A. Smart, K. J. Webb, J. R. Shealy and L. F. Eastman**, “High-Power Broadband AlGaIn/GaN HEMT MMIC’s on SiC Substrates,” *Microwave Symposium Digest, 2001 IEEE MTT-S International, vol.2, pp. 1059-1062*.
- [71] - **K. Krishnamurthy, R. Vetury, S. Keller, U. Mishra, M. J. W. Rodwell and Stephan I. Long**, “Broadband GaAs MESFET and GaN HEMT Resistive Feedback Power Amplifiers,” *Solid-State Circuits, IEEE Journal of, Vol. 35, Issue: 9, pp. 1285-1292, sep. 2000*.
- [72] - **J. J. Xu , S. Keller , G. Parish , S. Heikman , U. K. Mishra and R. A. York**, “A 3-10-GHz GaN-based flip-chip integrated broad-band power amplifier,” *Microwave Theory and Techniques, 2000 IEEE Transactions on, Vol. 48, Issue: 12, pp. 2573-2578*.
- [73] - **M. Campovecchio, B. Le Bras, M. Lajugie, and J. Obregon**, “Optimum design of distributed power-FET amplifiers. Application to a 2-18 GHz MMIC module exhibiting improved power performances,” *IEEE MTT-S Digest, pp. 125-128, San Diego, 1994*.
- [74] - **M. Campovecchio, B. Le Bras, R. Hilal, M. Lajugie, and J. Obregon**, “Large signal design criteria of distributed power amplifiers applied to a 2-18 GHz GaAs chip yielding high power density performances,” *International Journal of Microwave and Millimeter-Wave Computer-Aided Engineering, vol. 6 n°4, pp. 259-269, 1996*.



- [75] - **M. Campovecchio**, "Méthodes de conception d'amplificateurs de puissance microondes large bande à transistors à effet de champ. Application aux amplificateurs distribués en technologie M.M.I.C." Thèse de doctorat soutenue le 29 Janvier 1993, Université de Limoges.
- [76] - **E.L. Ginzton, W.R. Hewlett, J.H. Jasberg, J.D. Noe**, "Distributed amplification," *Proceedings of the I.R.E.*, Vol. 36, pp 956-969, 1948.
- [77] - **K.B. Niclas, W.T. Wilser, T.R. Kritzer, R.R. Pereira**, "On theory and performance of solid-state microwave distributed amplifiers," *IEEE Trans. On MTT*, Vol. 31, pp 447-456, 1983.
- [78] - **C. Duperrier, M. Campovecchio, L. Roussel, M. Lajugie, R. Quéré**, "New Design Method of Non-Uniform Distributed Power Amplifiers. Application to a single stage 1W PHEMT MMIC," *Microwave Symposium Digest, 2001 IEEE MTT-S International*, vol. 2, pp. 1063-1066.
- [79] - **J. Griffault**, "Amplificateurs microondes à transistors à effet de champ à très large bande et à gain commandable," Thèse de doctorat de l'Université de Limoges, n° d'ordre 16-85, Mai 1985.
- [80] - **M. Lajugie**, "Analyse et modélisation non-linéaire du MESTEC. Application à la conception d'amplificateurs microondes de puissance large-bande," Thèse de doctorat de l'Université de Limoges, n° d'ordre 1-88, janvier 1988
- [81] - **R. W. Jackson**, "Rollett proviso in the stability of linear microwave circuits-a tutorial," *Microwave Theory and Techniques, IEEE Transactions on*, vol. 54 no. 3, pp. 993-1000, March, 2006.
- [82] - **S. J. Mason**, "Power Gain in Feedback Amplifiers," *Res. Lab. Of Electronics, Mass. Inst. Tech., Cambridge, Tech. Rept. 257*, August 25, 1953; *IRE Trans. On Circuit Theory*, vol. CT-1, no. 2, pp. 20-25, June, 1954.
- [83] - **S. J. Mason**, "Some properties of three-terminal devices," *IRE Trans. On Circuit Theory*, vol. CT-4, pp. 330-332; December, 1957.
- [84] - **J. M. Rollett**, "Stability and Power-Gain Invariants of Linear Twoports," *IRE Trans. On Circuit Theory*, vol. 9, pp. 29-32; Mars, 1962.
- [85] - **A. Platzker, W. Struble and K. T. Hetzler**, "Instabilities diagnosis and the role of K in microwave circuits," in *1993 IEEE MTT-S Int. Symp. Dig.*, pp. 1185-1188.
- [86] - **H. W. Bode**, "Network Analysis and Feedback Amplifier Design", Van Nostrand, 1945.
- [87] - **R. F. Hoskins**, "Definition of Loop Gain and Return Difference in Transistor Feedback Amplifiers", *Proc. Of the IEE*, vol. 112, pp. 1995-2001, Nov. 1965.
- [88] - **M. L. Edwards and J. H. Sinsky**, "A single stability parameter for linear 2-port networks in terms of S-parameters," *IEEE Trans. Circuits Syst.*, vol. CAS-23, no. 2, pp. 73-81, Feb. 1976.
- [89] - **M. L. Edwards and J. H. Sinsky**, "A new criterion for linear 2-port stability using a single geometrically derived parameter," *IEEE Trans. Microwave Theory Tech.*, vol. 40, no. 12, pp.2303-2311, Dec. 1992.

- [90] - **M. Ohtomo**, "Proviso on the Unconditional Stability Criteria for Linear Twoport," *IEEE Trans. Microwave Theory Tech.*, vol. 43, no. 5, pp. 1197-1200, May 1995.
- [91] - **A. Anakabe, J.M. Collantes, J. Portilla, S. Mons, A. Mallet**, "Detecting and Avoiding Odd-Mode Parametric Oscillations in Microwave Power Amplifiers," *RF and Microwave Computer-Aided Engineering (Wiley)*, September 2005, Vol 15, No 5 pp. 469-478.
- [92] - **A. Anakabe, J.M. Collantes, J. Portilla, J. Jugo, A. Mallet, L. Lapierre, J. P. Fraysse**, "Analysis and Elimination of Parametric Oscillations in Monolithic Power Amplifiers," *IEEE International Microwave Theory and Techniques Symposium*, June 2002, Vol 1-3 pp 2181-2184.
- [93] - **G. Mouginot, Z. Ouarch, B. Lefebvre, S. Heckmann, J. Lhortolary, D. Baglieri, D. Floriot, M. Camiade, H. Blanck, M. Le Pipec, D. Mesnager, P. Le Helleys**, "Three stage 6-18 GHz high gain and high power amplifier based on GaN technology," *Microwave Symposium Digest (MTT), 2010 IEEE MTT-S International*, pp. 1392, July 2010.
- [94] - **J. P. Teyssier, M. Campovecchio, C. Sommet, J. Portilla, and R. Quéré**, "A pulsed S-parameters measurement setup for the non-linear characterization of FETs and bipolar power transistors," in *Proc. 23rd European Microwave Conf*, 1993, pp. 489-493.
- [95] - **J. Joh, J. A. del Alamo, U. Chowdhury, T.-M. Chou, H.-Q. Tserng, and J. L. Jimenez**, "Measurement of Channel Temperature in GaN High- Electron Mobility Transistors", *IEEE Transactions On Electron Devices*, vol. 56, no. 12, Dec. 2009.
- [96] - **J. Joh and J. A. del Alamo**, "Mechanisms for electrical degradation of GaN high-electron mobility transistors," in *IEDM Tech. Dig.*, 2006, pp. 415-418.
- [97] - **O. Jardel, F. De Groote, T. Reveyrand, J. C. Jacquet, C. Charbonniaud, J. P. Teyssier, D. Floriot, and R. Quere**, "An electrothermal model for AlGaIn/GaN power HEMTs including trapping effects to improve large-signal simulation results on high VSWR," *IEEE Transactions on Microwave Theory and Techniques*, vol. 55, pp. 2660-2669, Décembre 2007.
- [98] - <http://www.ioffe.rssi.ru/SVA/NSM/Semicond/>
- [99] - **A. Sarua, Ji Hangfeng, K.P.Hilton, D.J. Wallis, M.J. Uren, T. Martin, M. Kuball**, "Thermal Boundary Resistance Between GaN and Substrate in AlGaIn/GaN Electronic Devices", *Electron Devices, IEEE Transactions on* Volume 54, Issue 12, Date: Dec. 2007, pp 3152 - 3158.
- [100] - **G. Lecoustre**, "Contribution au développement d'une filière de transistor de forte puissance à base de technologie HEMT GaN pour application télécoms et radar ", *Ph. D. dissertation, Université de Lille, France*, 2009.
- [101] - **C. Charbonniaud**, "Caractérisation et Modélisation Electrothermique non-linéaire de Transistors à Effet de Champ GaN pour l'Amplification de Puissance Microonde," *Ph.D. dissertation, Université de Limoges, France*, 2005.

- [102] - **Z. Ouarch**, “*Caractérisation et modélisation des effets de pièges et thermiques des transistors a effet de champ sur AsGa : Application à la simulation de la dynamique lente des circuits nonlinéaires micro-ondes*”, Thèse de doctorat, Université de Limoges, Janvier 1999.
- [103] - **D. G. Cahill, K. Goodson, A. Majumdar**, “*Thermometry and Thermal Transport in Micro/Nanoscale Solid-State Devices and Structures*”, in *Journal of Heat Transfer*, vol.124, pp. 223-241, ASME, April 2002.
- [104] - **D. Fournier, G. Tessier, J. P. Roger**, “*Mesures thermiques submicroniques, Microscopie à Thermorélectance*”.
- [105] – **G. Mougnot, R. Sommet, R. Quéré, Z. Ouarch, S. Heckmann, M. Camiade**, “*Thermal and trapping phenomena assessment on AlGaIn/GaN microwave power transistor*”, *Microwave Intefrated Circuits Conference (EuMIC), 2010 European*, pp. 110, sept 2010.
- [106] –**R. Sommet, G. Mougnot, R. Quéré, Z. Ouarch, S. Heckmann, M. Camiade**, “*Thermal modeling and measurements of AlGaIn/GaN HEMTs including Thermal Boundary Resistance*”, *Thermal Investigations and Systems (THERMINIC), 2010 16<sup>th</sup> International Workshop on*, Nov. 2010.
- [107] - **J. C. Zolper**, “*Progress toward ultra-wideband AlGaIn/GaN MMICs*”, *Solid-State Electron.*, vol.43, pp. 1479-1482, 1999.
- [108] - **A. Tarakji, G. Simin, N. Ilinskaya, X. Hu, A. Kumar, A. Koudymov, J. Zhang, M. A. Khan, M. S. Shur and R. Gaska**, “*Mechanism of radiofrequency current collapse in GaN-AlGaIn field-effect transistors*,” *Appl. Phys. Lett.*, vol. 78, pp. 2169-2171, 2001.
- [109] - **G. Simin, A. Koudymov, A. Tarakji, X. Hu, J. Yang, M. A. Khan, M. S. Shur and R. Gaska**, “*Induced strain mechanism of current collapse in AlGaIn/GaN heterostructure field-effect transistors*,” *Appl. Phys. Lett.*, vol. 79, pp. 2651-2653, 2001.
- [110] - **C. Nguyen, N. X. Nguyen and D. E. Grider**, “*Drain current compression in GaN MODFETs under large-signal modulation at microwave frequencies*,” *Electron Lett.*, vol. 35, pp. 1380-1382, 1999.
- [111] - **I. Daumiller, D. Theron, C. Gaquiere, A. Vescan, R. Dietrich, A. Wieszt, H. Leier, R. Vetury, U. K. Mishra, I. P. Smorchkova, N. X. Nguyen, and E. Kohn**, “*Current instabilities in GaN-based devices*,” *IEEE Electron Device Lett.*, vol. 22, pp. 62–64, Feb. 2001.
- [112] - **Ramakrishna Vetury**, “*Polarization Induced 2DEG in AlGaIn/GaN HEMTs : On the origin, DC and transient characterization*”, dissertation of PhD in Electrical and Computer Engineering, UNIVERSITY OF CALIFORNIA, Santa Barbara, December 2000.
- [113] - **S. C. Binari, K. Ikossi, J. A. Roussos, W. Kruppa, D. Park, H. B. Dietrich, D. D. Koleske, A. E. Wickenden, and R. L. Henry**, “*Trapping effects and microwave power performance in AlGaIn/GaN HEMTs*,” *IEEE Trans. Electron Devices*, vol. 48, pp. 465–471, Mar. 2001.

- [114] - **X. Dang, P. M. Asbeck, E. T. Yu, K. S. Boutros, and J. M. Redwing**, “Long time-constant trap effects in nitride heterostructure field-effect transistors,” in *Proc. Mater. Res. Soc. Symp.*, vol. 622, 2000, pp. T6.28.1–T6.28.6.
- [115] - **E. M. Chumbes, J. A. Smart, T. Prunty, and J. R. Shealy**, “Microwave performance of AlGa<sub>N</sub>/Ga<sub>N</sub> metal insulator semiconductor field effect transistors,” in *Proc. Int. Electron Device Meeting*, 2000, pp. 385–388.
- [116] - **W. S. Tan, P. A. Houston, P.J. Parbrook, G. Hill, and R. J. Airey**, “Comparison of Different Surface Passivation Dielectrics in AlGa<sub>N</sub>/Ga<sub>N</sub> HFETs,” *IEEE Trans. On Electron Devices*, vol. 48, pp. 560-566, 2001.
- [117] - **G. Koley, V. Tilak, L.F. Eastman**, “Slow transients observed in AlGa<sub>N</sub>/Ga<sub>N</sub> HFETs: effects of Si<sub>N</sub>x passivation and UV illumination,” *IEEE Trans. Electron Dev.* 50 (2003) 886.
- [118] - **L. Zhang, L. F. Lester, A. G. Baca, R. J. Shul, P. C. Chang, C. G. Willison, U. K. Mishra, S. P. Denbaars, and J. C. Zolper**, “Epitaxially-grown Ga<sub>N</sub> junction field effect transistors”, *IEEE Trans. Electron Devices*, vol. 47, pp. 507–511, Mar. 2000.
- [119] - **K. Horio, Y. Fuseya**, “Two-dimensional simulations of drain-current transients in GaAs MESFET's with semi-insulating substrates compensated by deep levels”, *IEEE Transactions on Electron Devices*, vol.41, (no.8), Aug. 1994. p.1340-6.
- [120] - **H. R. Camenzind, B. Polata, and J. Kocsis**, “ICs Break through the Voltage Barrier,” in *Electronics*, no. 42, 1969, p. 90.
- [121] - **R. Thompson, T. Prunty, and J. R. Shealy**, “Performance of the AlGa<sub>N</sub> HEMT Structure with a Gate Extension,” in *IEEE Trans. On Electron Devices*, vol. 51, no. 2, Feb. 2004.
- [122] - **S. Karmalkar and U. K. Mishra**, “Very High Voltage AlGa<sub>N</sub>/Ga<sub>N</sub> High Electron Mobility Transistor using a Field-Plate deposited on a Stepped Insulator,” *Solid State Electron.*, vol. 45, pp. 1645–1652, 2001.
- [123] - **S. Karmalkar and U. K. Mishra**, “Enhancement of breakdown Voltage in AlGa<sub>N</sub>/Ga<sub>N</sub> High Electron Mobility Transistor using a Field Plate,” in *IEEE Trans. on Electron Devices*, vol. 45, Aug. 2001, pp. 1515–1521.
- [124] - **A. Koudymov, V. Adivarahan, J. Yang, G. Simin, M. A. Khan**, “Mechanism of current collapse removal in field-plated nitride HFETs”, *Electron Device Letters, IEEE*, Volume: 26 , Issue: 10, Publication Year: 2005 , Page(s): 704 – 706.
- [125] - **A. Nakajima, K. Itagaki, K. Horio**, “Physical mechanism of buffer-related lag and current collapse in Ga<sub>N</sub>-based FETs and their reduction by introducing a field plate,” *Reliability Physics Symposium, 2009 IEEE International*, Publication Year: 2009 , Page(s): 722 – 726.

- [126] - **P. B. Klein, S. C. Binari, K. Ikossi, A. E. Wickenden, D. D. Koleske, and R. L. Henry**, “Current collapse and the role of carbon in AlGa<sub>N</sub>/Ga<sub>N</sub> HEMTs grown by MOVPE,” *Appl. Phys. Lett.*, vol. 79, pp. 3527–3529, Nov. 2001.
- [127] - **W.D. Hu, X.S. Chen, W. Lu**, “Intrinsic Mechanism of Drain-Lag and Current Collapse in Ga<sub>N</sub>-Based HEMTs” *Microelectronics and Electron Devices, 2009. WMED 2009. IEEE Workshop on*, Publication Year: 2009, Page(s): 1 – 3.
- [128] - **W. Kruppa and J. B. Boos**, “Examination of the kink effect in In-AlAs/InGaAs/InP HEMTs using sinusoidal and transient excitation,” *IEEE Trans. Electron Devices*, vol. 42, no. 10, pp. 1717–1723, Oct. 1995.
- [129] - **A. N. Ernst, M. H. Somerville, and A. del Alamo**, “Dynamics of the kink effect in InAlAs/InGaAs HEMTs,” *IEEE Electron Device Lett.*, vol. 18, no. 12, pp. 613–615, Dec. 1997.
- [130] - **T. Akazaki, H. Takayanagi, and T. Enoki**, “Kink effect in an InAs-inserted-channel InAlAs/InGaAs inverted HEMT at low temperature,” *IEEE Electron Device Lett.*, vol. 17, no. 7, pp. 378–380, Jul. 1996.
- [131] - **R. T. Webster, S. Wu, and A. F. M. Anwar**, “Impact ionization in In-AlAs/InGaAs/InAlAs HEMTs,” *IEEE Electron Device Lett.*, vol. 21, no. 5, pp. 193–195, May 2000.
- [132] - **H. Somerville, A. del Alamo, and W. Hoke**, “Direct correlation between impact ionization and the kink effect in InAlAs/InGaAs HEMTs,” *IEEE Electron Device Lett.*, vol. 17, no. 10, pp. 473–475, Oct. 1996.
- [133] - **B. Brar, K. Boutros, R. E. DeWames, V. Tilak, R. Shealy, and L. Eastman**, “Impact ionization in high performance AlGa<sub>N</sub>/Ga<sub>N</sub> HEMTs,” in *Proc. IEEE Lester Eastman Conf.*, Aug. 2002, pp. 487–491.
- [134] - **N. Dyakonova, A. Dickens, M. S. Shur, R. Gaska, and J. W. Yang**, “Temperature dependence of impact ionization in AlGa<sub>N</sub>/Ga<sub>N</sub> heterostructure field effect transistors,” *Appl. Phys. Lett.*, vol. 72, no. 20, pp. 2562–2564, May 1998.
- [135] - **G. Meneghesso, F. Zanon, M. J. Uren and E. Zanoni**, “Anomalous Kink Effect in Ga<sub>N</sub> High Electron Mobility Transistors”, *IEEE Electron Device Lett.*, vol. 30, no. 2, pp. 100–102, Feb. 2009.
- [136] - **R. Cuervo, Y. Pei, Z. Chen, S. Keller, S. P. DenBaars, F. Calle and U. K. Mishra**, “The Kink Effect at Cryogenic Temperatures in Deep Submicron AlGa<sub>N</sub>/Ga<sub>N</sub> HEMTs”, *IEEE Electron Device Lett.*, vol. 30, no. 3, pp. 209–212, Mar. 2009.
- [137] - **J. Portilla, M. Campovecchio, R. Quere, J. Obregon**, “A new coherent extraction method of FETs and Hemts models for MMIC applications”, *GaAs Symposium, Torino, Avril 1994*.
- [138] - **J.J. Raoux**, “Modélisation non-linéaire des composants électronique : du modèle analytique au modèle tabulaire paramétré”, *Thèse de doctorat, Université de Limoges, Mars 1995*.

- [139] – **F. Degroote**, “*Mesures de formes temporelles en impulsions: application à la caractérisation de transistors micro-ondes de forte puissance*,” *Thèse de doctorat, Université de Limoges, Octobre 2007*.
- [140] - **F. De Groote, J. P. Teyssier, O. Jardel, T. Gasseling, and J. Verspecht**, “*Introduction to measurements for power transistor characterization*”, *Microwave Magazine, IEEE, vol. 9, pp. 70-85, 2008*.
- [141] - **J. Faraj, G. Callet, F. De Groote, J. Verspecht, R. Quere, and J. P. Teyssier**, “*Bursts of Pulses for time domain large signal measurements*”, in *Microwave Measurement Conference, 2009 73rd ARFTG, 2009, pp. 1-4*.
- [142] - **M. Saad El Dine, T. Reveyrand, G. Neveux, P. Bouysse, D. Barataud, J. M. Nebus, and W. Rebernack**, “*A Measurement Set-up and Methodology Combining Dynamic Biasing and Baseband Predistorsion for High Efficiency and Linear Amplifier Design*”, in *IEEE International Microwave Symposium, Anaheim, California, USA, 2010, pp. 1070-1073*.
- [143] – **R. Quéré, G. Mouginot, M. Saad El Dine, J. Faraj, Ph. Bouysse, Z. Ouarch, J. M. Nébus**, “*Impact of trapping effects on large modulated signals characteristics of AlGaIn/GaN HEMTs*”, 5<sup>th</sup> Space Agency – MOD Round Table Workshop on GaN Component Technologies, September 2010.

## Publications et communications relatives à ce travail

- [1] - G. Mouginot, Z. Ouarch, B. Lefebvre, S. Heckmann, J. Lhortolary, D. Baglieri, D. Floriot, M. Camiade, H. Blanck, M. Le Pipec, D. Mesnager, P. Le Helleys, “Three stage 6-18 GHz high gain and high power amplifier based on GaN technology,” *Microwave Symposium Digest (MTT), 2010 IEEE MTT-S International*, pp. 1392, July 2010.
- [2] – G. Mouginot, R. Sommet, R. Quéré, Z. Ouarch, S. Heckmann, M. Camiade, “Thermal and trapping phenomena assessment on AlGaIn/GaN microwave power transistor”, *Microwave Intefrated Circuits Conference (EuMIC), 2010 European*, pp. 110, sept 2010.
- [3] –R. Sommet, G. Mouginot, R. Quéré, Z. Ouarch, S. Heckmann, M. Camiade, “Thermal modeling and measurements of AlGaIn/GaN HEMTs including Thermal Boundary Resistance”, *Thermal Investigations and Systems (THERMINIC), 2010 16<sup>th</sup> International Workshop on*, Nov. 2010.
- [4] – R. Quéré, G. Mouginot, M. Saad El Dine, J. Faraj, Ph. Bouysse, Z. Ouarch, J. M. Nébus, “Impact of trapping effects on large modulated signals characteristics of AlGaIn/GaN HEMTs”, *5<sup>th</sup> Space Agency – MOD Round Table Workshop on GaN Component Technologies*, September 2010.







# Potentialités des transistors HEMTs AlGaN-GaN pour l'amplification large bande de fréquence ; effets limitatifs et modélisation

---

## Résumé

Aujourd'hui, la conception de circuits intégrés de puissance hautes fréquences large bande est devenue un enjeu majeur pour les systèmes modernes de défense. Nous proposons dans ce manuscrit une étude du transistor HEMT GaN afin de mettre en évidence son intérêt pour ces applications. Une conception d'amplificateur de puissance large bande 6-18 GHz sur substrat SiC est présentée, démontrant les potentialités de la filière GH25 d'UMS. Malheureusement, pour ces applications hautes fréquences, une étude démontre que le transistor HEMT AlGaN/GaN est limité par deux phénomènes : les effets thermiques et les effets de pièges. Ainsi, un modèle non-linéaire électrothermique incluant les effets de pièges d'un transistor HEMT 8x75  $\mu\text{m}$  est présenté. Les caractérisations effectuées mettent en lumière les limitations des techniques actuelles de modélisation des pièges et nous permettront d'ouvrir de nouvelles perspectives dans ce domaine.

**Mots clés :** MMIC, amplificateur de puissance, large bande, HEMTs GaN, résistance thermique, gate-lag, drain-lag, effet kink, modèle non-linéaire électrothermique.

**Wide band amplifier based on AlGaN-GaN HEMTs ; analysis and modelling of thermal and parasitic effects**

---

## Abstract

Nowadays, the design of high-frequency broadband power integrated circuits is an important research axis in modern defense systems. This manuscript proposes a study about GaN HEMT in order to highlight its interest for these applications. The first part consists in design and measurement data of a broadband 6-18 GHz power amplifier. The obtained results demonstrate the performance of UMS GH25 technology based on SiC substrate. Unfortunately, for high frequency applications, AlGaN/GaN HEMT is limited by two phenomena that are thermal and trapping effects. Thus, a non-linear electrothermal model including these effects for a HEMT 8x75  $\mu\text{m}$  is proposed. Some specific characterizations have shown limitations of current techniques for trap modeling and their analyses should open new perspectives in this field.

**Keywords :** MMIC, power amplifier, broadband, GaN HEMTs, thermal resistance, gate-lag, drain-lag, kink effect, non-linear electrothermal model.