

**UNIVERSITE DE LIMOGES**  
**ECOLE DOCTORALE Science et Ingénierie pour l'information**  
**FACULTE DES SCIENCES ET TECHNIQUES**

Année : 2011

Thèse N°[90-2011]

# THESE

Pour obtenir le grade de

**DOCTEUR DE L'UNIVERSITE DE LIMOGES**

**Discipline : "Electronique des Hautes Fréquences, Photonique et Systèmes"**

Présentée et soutenue par

**Michel AL KHOURY**

Le 19 Décembre 2011

**Intégration de filtres Radio Fréquences  
en technologie intégrée Silicium**

Thèse dirigée par **Bernard JARRY, Bruno BARELAUD, Julien LINTIGNAT**

**JURY :**

<b>Serge VERDEYME</b>	Professeur à l'Université de Limoges-XLIM	Président
<b>Philippe FERRARI</b>	Professeur à l'Université de Grenoble - IMEP LAHC	Rapporteur
<b>Gérard TANNE</b>	Professeur à l'Université de Brest- Lab STICC	Rapporteur
<b>Corinne BERLAND</b>	Professeur HDR à ESIEE et LAMIPS- Caen	Examineur
<b>Patrice GAMAND</b>	Directeur du Centre d'Innovations RF NXP Semiconductors, Caen	Examineur
<b>Ali LOUZIR</b>	Ingénieur à Technicolor R&D, Cesson sévigné	Examineur
<b>Bernard JARRY</b>	Professeur à l'Université de Limoges-XLIM	Examineur
<b>Bruno BARELAUD</b>	Professeur à l'Université de Limoges-XLIM	Examineur
<b>Julien LINTIGNAT</b>	Maître de conférence à l'Université de Limoges-XLIM	Invité



## Remerciements

Mes premiers remerciements iront à mes directeurs de thèse, Bernard JARRY, Bruno BARELAUD et Julien LINTIGNAT qui ont accepté d'encadrer cette thèse et qui m'ont témoigné leur soutien et confiance.

J'exprime ma sincère reconnaissance au Professeur Serge VERDEYME d'avoir accepté de présider ce jury de thèse.

Je remercie Monsieur le Professeur Philippe FERRARI du laboratoire IMEP LAHC de l'université de Grenoble, et Monsieur le Professeur Gérard TANNE du laboratoire Lab STICC de l'université de Brest pour avoir accepté de juger ce travail.

J'exprime ma gratitude à Monsieur Patrice GAMANT directeur du Centre d'Innovations RF, NXP Semiconducteur CAEN, Madame le professeur HDR Corinne BERLAND du laboratoire ESIEE et LAMIPS et à Monsieur Ali LOUZIR, Ingénieur hyperfréquence à Technicolor, d'avoir acceptés d'examiner ce travail.

Je tiens à remercier tous les collègues de l'XLIM qui savent bien rendre agréable le cadre de travail. Je pense plus particulièrement à mes collègues de bureau : Cédric, Raafat et Ragheb ainsi qu'à mes voisins : François et Ludovic.

J'adresse un merci spécial et particulier à mon cousin Georges ZAKKA EL NASHEF pour son infini soutien pendant la période de la rédaction et tout au long de cette thèse. Encore merci à Georges, Elie et Nour pour les soirées inoubliables, les moments agréables.

Une sincère gratitude à mes parents et à toute ma famille qui m'ont toujours encouragé et soutenu.



*A mes parents,*

*A mes amis*

---

# SOMMAIRE

<b>Introduction générale.....</b>	<b>5</b>
<b>Chapitre I : Etat de l'art sur le filtrage actif en technologie silicium ....</b>	<b>9</b>
I. Introduction .....	11
II. Rôle des filtres RF dans les chaînes de télécommunication .....	11
III. Etat de l'art des filtres actifs .....	13
III.1. Introduction.....	13
III.2. Classification des filtres actifs .....	13
III.2.1. Les filtres actifs analogiques continus (Gm-C) .....	13
III.2.2. Les filtres actifs récurrents et transversaux.....	15
III.2.3. Les filtres actifs à inductance active .....	17
III.2.3.1. Exemples de circuits d'inductance active .....	18
III.2.4. Les filtres actifs LC à facteur de qualité compensé (Q-enhanced LC)...	22
III.2.4.1. Architectures de résistances négatives.....	24
III.2.4.2. Filtres actifs à résistance négative .....	28
IV. Conclusion .....	36
V. Références Bibliographiques .....	37
<b>Chapitre II : Inductance compensée à trois inductances couplées et modélisation du transformateur en technologies CMOS 65 nm et BiCMOS 0,25 <math>\mu\text{m}</math> .....</b>	<b>45</b>
I. Introduction .....	47
II. Conception de l'inductance compensée .....	48
II.1. Principe de fonctionnement.....	48
II.1.1. Introduction .....	48
II.1.2. Concept du couplage entre deux inductances .....	48
II.1.3. Inductance compensée à trois inductances couplées.....	50
II.1.3.1. Inductance compensée utilisant un transistor NMOS .....	51
II.1.3.2. Inductance compensée avec un transistor bipolaire .....	54

II.1.3.3. Calcul des paramètres $\alpha$ et $\beta$ .....	55
II.2. Layout du transformateur .....	57
II.2.1. Paramètres géométriques .....	57
II.2.2. Sens des enroulements et dessin du transformateur .....	59
II.2.3. Présentation des deux technologies utilisées dans cette thèse et layout des transformateurs .....	62
II.2.3.1. La technologie CMOS 65 nm .....	62
II.2.3.2. La technologie BiCMOS 0,25 $\mu\text{m}$ .....	62
II.2.3.3. Exemple de layout du transformateur en technologie CMOS 65nm	63
II.2.3.4. Exemple de layout du transformateur en technologie BiCMOS 0,25 $\mu\text{m}$ .....	64
III. Modélisation du transformateur.....	65
III.1. Problématique .....	65
III.2. Méthodologie de modélisation.....	65
III.2.1. Modèle électrique du transformateur en technologies CMOS 65 nm et BiCMOS 0,25 $\mu\text{m}$ .....	71
IV. Inductance compensée .....	75
IV.1. Inductance compensée à 2 GHz en technologie CMOS 65 nm.....	75
IV.1.1. Validation du modèle électrique du transformateur .....	79
IV.2. Inductance compensée à 1GHz en technologie BiCMOS 0,25 $\mu\text{m}$ .....	80
IV.2.1. Validation du modèle électrique du transformateur .....	82
IV.3. Effets des paramètres géométriques du transistor de compensation sur l'inductance compensée .....	83
IV.3.1. Cas du transistor NMOS.....	83
IV.3.2. Cas du transistor bipolaire .....	85
V. Différentes topologies de résonateurs utilisant l'inductance compensée : Analyse spécifique liée à la nature simple accès de l'inductance. ....	87
VI. Conclusion .....	92
VII. Références bibliographiques .....	93

---

<b>Chapitre III : Conception d'un LNA filtrant pour une chaîne de réception intégrée à 942,5 MHz .....</b>	<b>97</b>
I. Introduction .....	99
II. Filtres à résonateurs LC .....	99
II.1. Quelques définitions.....	99
II.2. Analyse détaillée de la topologie optimale de filtrage définie dans le chapitre II .....	102
II.2.1. Principe de transformation d'impédance et filtre à un pôle .....	102
II.2.2. Filtre à 2 pôles .....	104
III. Conception du circuit LNA-Filtrant .....	105
III.1. Conception du filtre .....	107
III.1.1. Conception de l'inductance compensée.....	107
III.1.1.1. Optimisation du transformateur .....	107
III.1.1.2. Choix du transistor et optimisation en bruit.....	108
III.1.1.3. Accordabilité de la fréquence centrale.....	110
III.1.2. Layout du filtre .....	111
III.1.2.1. Résultats de simulation .....	113
III.1.3. Report du circuit filtre.....	117
III.1.3.1. Origine de l'instabilité basses fréquences.....	118
III.1.3.2. Caractéristiques du substrat du circuit support .....	120
III.1.3.3. Analyse du circuit de report.....	120
III.1.3.4. Résultats de simulation .....	121
III.2. Amplificateur faible bruit .....	123
III.2.1. Rôle et topologies du LNA .....	123
III.2.2. Conception du LNA.....	124
III.2.2.1. Résultats de simulation .....	127
III.3. LNA filtrant .....	130
III.3.1. Conception du circuit LNA Filtrant.....	130
III.3.1.1. Résultats de simulation .....	131

IV. Conclusion .....	139
V. Références Bibliographiques .....	140
<b>Conclusion générale et perspectives .....</b>	<b>143</b>
<b>Annexe A : Critères de stabilité d'un étage amplificateur .....</b>	<b>149</b>
<b>Annexe B : Facteur de qualité en charge d'un résonateur .....</b>	<b>155</b>
<b>Annexe C : Techniques de connexions entre la puce et le circuit de report .....</b>	<b>161</b>



**INTRODUCTION GENERALE**



Les systèmes de télécommunications sans fil ont évolué de façon rapide depuis une vingtaine d'année. La conception de ces systèmes est soumise à de nombreux challenges :

- le coût de production,
- les techniques d'intégration des composants,
- l'encombrement etc.

La technologie monolithique et plus précisément les procédés de fabrication de circuits silicium (CMOS et BiCMOS) offrent depuis plusieurs années une possibilité de pallier à ce type de difficultés. Ils permettent aujourd'hui l'intégration de plusieurs fonctions RF et mixte sur une seule puce.

Malheureusement, la conception de certaines fonctions RF pose encore problème. C'est le cas des filtres radiofréquences qui constituent les éléments essentiels du système de télécommunication GSM. Les exigences demandées par ces filtres conduisent à étudier des solutions de filtres actifs, car les structures passives (à cavité ou diélectrique ou à ondes acoustiques de surface) ne permettent pas d'avoir de meilleures performances en pertes d'insertion, en sélectivité, en encombrement et en accordabilité fréquentielle.

Dans cette thèse préparée avec le soutien contractuel de l'ANR (projet SRAMM (Systèmes de Réception Adaptatifs Multimodes Multistandards)), nous nous sommes intéressés à l'étude d'une nouvelle topologie de filtrage actif LC basée sur l'utilisation d'une inductance compensée à trois inductances couplées. Notre travail consiste également à définir une méthodologie de modélisation des trois inductances couplées et à utiliser cette dernière pour la réalisation d'un circuit LNA filtrant utilisable en bande GSM.

Ce rapport est organisé en trois chapitres. La Figure 1 présente le synoptique de la démarche suivie dans cette thèse.

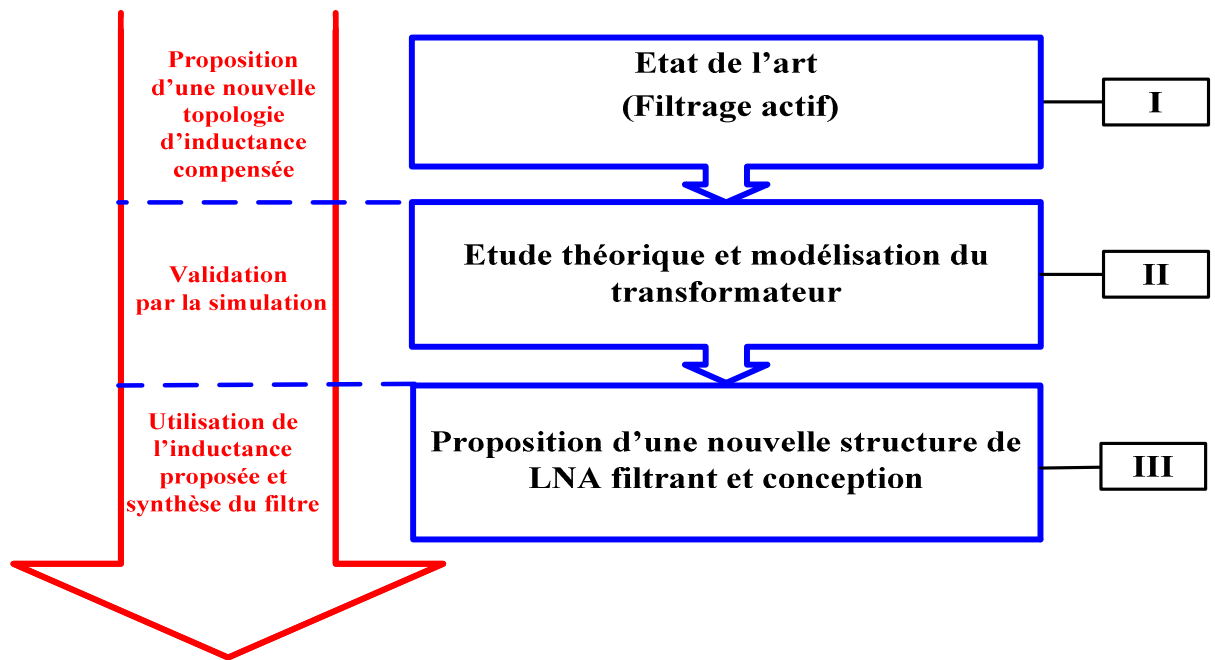


Figure 1: Synoptique de la thèse

Le premier chapitre est dédié à l'étude bibliographique des filtres actifs en technologie silicium. Ce chapitre a pour objectif de présenter un aperçu des architectures publiées dans la littérature. Des filtres actifs analogiques continus (Gm-C), filtres actifs récurrents et transversaux, filtres à inductance active et filtres actifs LC (Q-enhanced LC) sont présentés en évoquant leurs avantages et leurs limitations.

Le deuxième chapitre détaille une étude théorique de l'inductance compensée proposée, ainsi que les différentes étapes de modélisation du transformateur en technologies CMOS 65 nm et BiCMOS 0,25  $\mu\text{m}$ . La validation de cette étude est réalisée à travers la conception de deux inductances compensées pour une application dans la bande de réception du standard GSM et UMTS.

Le troisième chapitre analyse une topologie de filtrage passe bande utilisant l'inductance compensée présentée dans le deuxième chapitre. Cette topologie se base sur le principe de transformation d'impédance entre l'inductance compensée et les impédances de source et de charge. La conception intégrée de cette architecture de LNA filtrant constitué de quatre blocs (LNA1-Filtre1- LNA2-Filtre2) est décrite en détail. Cette partie inclut l'étude du report sur substrat d'alumine des fonctions élémentaires (LNA, filtre) et de l'ensemble LNA1-filtre1-LNA2-filtre2 pour effectuer les mesures.

Enfin, nous concluons ce manuscrit et présentons quelques perspectives à ces travaux.

**Chapitre I :Etat de l'art sur le filtrage actif en  
technologie silicium**



## **I. Introduction**

Le développement des systèmes de communication modernes conduit aujourd'hui à une évolution importante dans les domaines de l'électronique RF et microonde. Cette évolution est liée à plusieurs exigences telles que l'intégration, le coût et la fiabilité des circuits.

La fonction de filtrage est une des principales fonctions analogiques utilisées dans l'architecture des systèmes modernes dont l'optimisation et l'intégration posent de nombreux problèmes.

L'amélioration de cette fonction implique la recherche d'architectures spécifiques, la mise en œuvre de nouvelles méthodes d'analyse, de conception et des choix de technologies optimisés.

Dans ce cadre, nous introduisons ci-après le rôle et la nécessité des filtres RF dans les systèmes de télécommunications et l'intérêt de proposer des solutions alternatives avec des filtres entièrement intégrables.

Nous effectuons ensuite un état de l'art de différents types de filtres actifs radiofréquences et microondes intégrés en technologie silicium.

## **II. Rôle des filtres RF dans les chaînes de télécommunication**

Une chaîne d'émission-réception de type superhétérodyne peut être représentée d'une manière générale par le synoptique de la Figure I-1. L'antenne permet la réception des signaux, le commutateur permet de commuter entre le canal émission et réception. Dans le canal de réception le filtre RX-RF permet la sélection de la bande de réception, l'amplificateur faible bruit « LNA » amplifie le signal utile et préserve le système du bruit. Le filtre RX-IF placé derrière le mélangeur effectue un filtrage à la fréquence intermédiaire avant la conversion en bande de base. Dans l'émission, ces filtres sont essentiellement responsables de la mise en forme du signal fourni à l'amplificateur de puissance.

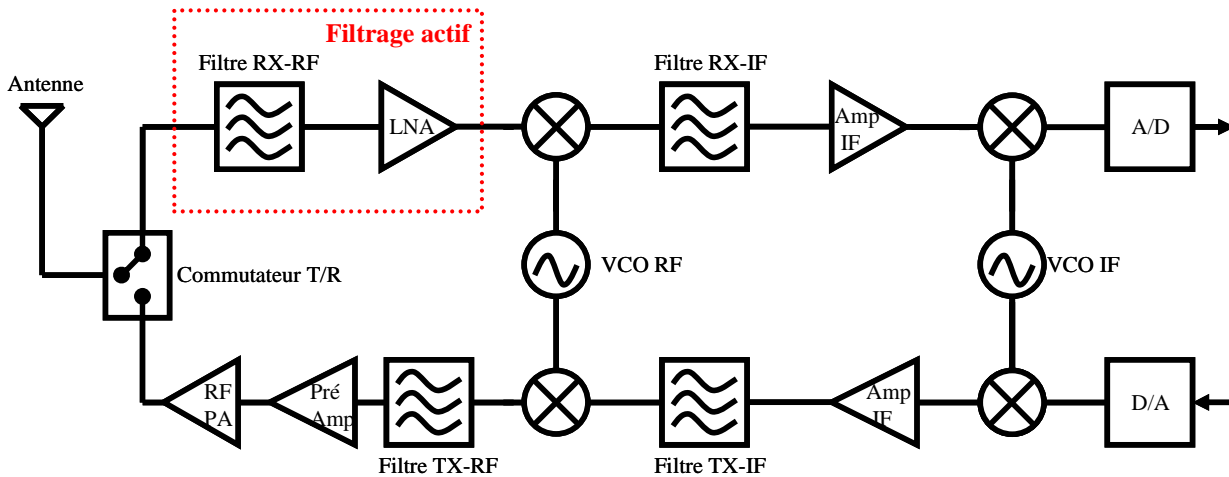


Figure I-1 : Architecture superhétérodyne d'une chaîne d'émission-réception

Dans le contexte des applications de télécommunications sans fil multi standards, les filtres RF exigent des performances en termes de sélectivité, de linéarité et de consommation très élevées. L'intégration de ces filtres RF à hautes performances est un enjeu industriel important.

Actuellement, les filtres passifs non intégrables tels que les filtres à cavités [1], à guides d'ondes [2], céramiques [3] et les filtres SAW (Surface Acoustic Wave) [4] sont très largement utilisés. Ces filtres offrent de très bonnes performances, mais leurs dimensions encombrantes et leurs pertes d'insertion représentent un inconvénient majeur. De plus, ils sont difficilement accordables en fréquence.

Dans ces conditions, les filtres actifs représentent une alternative intéressante vu leur facilité d'intégration et la possibilité d'être accordables en fréquence. Malheureusement, l'utilisation de ces filtres imposent la prise en compte des nouveaux paramètres tels que :

- la stabilité,
- les performances en bruit,
- la linéarité,
- la consommation,

Afin d'établir l'état de l'art des précédents travaux, nous réalisons une étude bibliographique des principaux types de filtres actifs, en analysant leurs utilisations et leurs performances.



### **III. Etat de l'art des filtres actifs**

#### **III.1. Introduction**

Plusieurs travaux de recherche ont traité du développement des filtres actifs intégrés. Dans la littérature, différentes architectures ont été proposées et étudiées. Les paragraphes qui suivent décrivent les principales catégories des filtres actifs en relevant leurs limitations et leurs avantages.

#### **III.2. Classification des filtres actifs [5] [6] [7]**

En fonction de l'analyse bibliographique effectuée, les filtres actifs peuvent être regroupés en quatre catégories principales :

- ◇ Les filtres actifs analogiques continus (Gm-C),
- ◇ Les filtres actifs récurrents et transversaux,
- ◇ Les filtres à inductance active,
- ◇ Les filtres actifs LC (Q-enhanced LC),

Les travaux développés dans ce manuscrit concernent la quatrième catégorie, c'est-à-dire, les filtres actifs LC (Q-enhanced LC).

##### **III.2.1. Les filtres actifs analogiques continus (Gm-C)**

Les filtres Gm-C (Transconductance-Capacitor) sont bien adaptés pour les applications à hautes fréquences telles que la vidéo numérique et le filtrage IF [8] [9] et sont principalement destinés à la réalisation des filtres d'ordre élevé ( $\geq 5$ ). Ces filtres sont constitués d'une transconductance  $G_m$  associée à une capacité  $C$  comme le montre la Figure I-2. La fonction de transfert dépend du rapport  $G_m/C$  qui détermine les caractéristiques en fréquence de ces filtres.

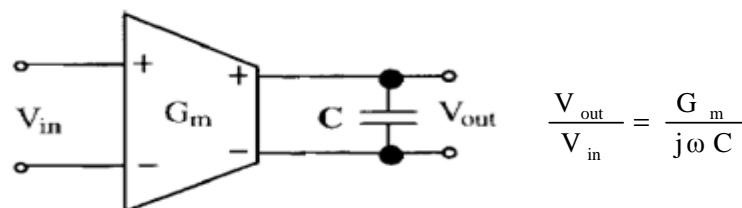


Figure I-2 : Principe des filtres actifs Gm-C

Un exemple de réalisation de filtre Gm-C d'ordre quatorze étudié par Zhong Yuan Chang [10] est présenté sur la Figure I-3. L'avantage principal de ces filtres réside dans la possibilité de pouvoir régler la valeur de la transconductance  $G_m$  pour compenser les pertes dues aux procédés de fabrication. Cependant, la limitation principale de ce genre de filtres est qu'ils ne peuvent pas être utilisés à très hautes fréquences (100 KHz à quelques centaines de MHz).

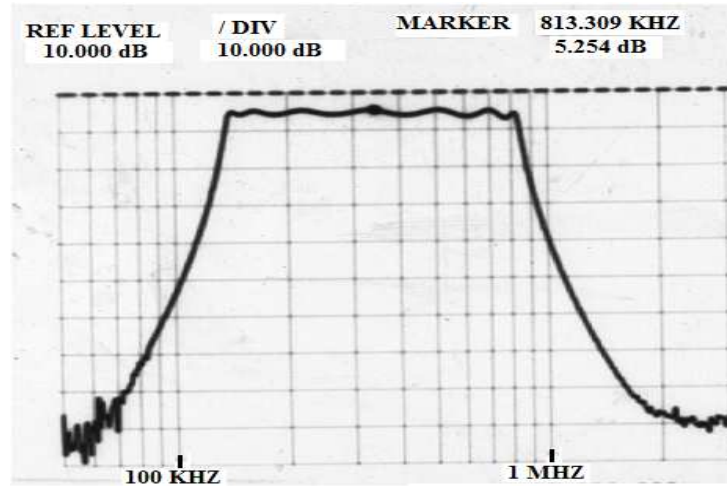


Figure I-3 : Réponse en transmission (S21)

Le tableau I-1 représente une liste des publications correspondant à cette catégorie de filtres.

	[11] 2003	[12] 2006	[13] 2007	[14] 2007	[15] 2011	[16] 2011
Fréquence centrale (MHz)	1,5~12	800~1400	0,00025-1	80	10-42	2
Facteur de qualité	-	-	-	16~44	-	-
Ordre de filtre	6	6	5	5	5	5
Consommation (mW)	15 Pour 1,8V	24,2 Pour 1,8V	0,8 Pour 1,8V	66 Pour 3,3V	21,6 Pour 1,8V	8,82 Pour 1,8V
Technologie ( $\mu\text{m}$ )	0,18 CMOS	TSMC 0,18 CMOS	TSMC 0,18 CMOS	0,25 BiCMOS	0,065 CMOS	0,18 CMOS
Réalisation ( $\text{mm}^2$ )	0,83	Simulation	0,3	0,36	Simulation	1,36

Tableau I-1 : Performances de quelques filtres Gm-C

### III.2.2. Les filtres actifs récurrents et transversaux

Les applications de cette catégorie de filtres sont initialement celles du traitement numériques du signal. Les filtres récurrents et transversaux sont régis par l'équation temporelle (I-1) dans laquelle  $x(t)$  et  $y(t)$  représentent respectivement les signaux d'entrée et de sortie du filtre.

$$y(t) = \sum_{k=0}^N a_k \cdot x(t - k\tau) - \sum_{p=1}^P b_p \cdot y(t - p\tau) \quad (\text{I-1})$$

Le premier terme de l'équation (I-1) caractérise la partie transversale du dispositif, tandis que le second terme représente la partie récurrente.

Pour représenter graphiquement ce type de filtre on utilise généralement un graphe de fluence tel que celui présenté sur la Figure I-4.

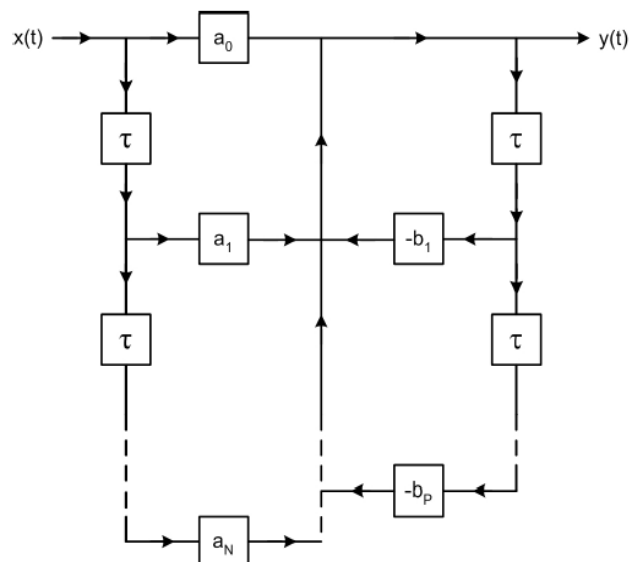


Figure I-4 : Graphe de fluence d'un filtre de type récursif et transversale

La réponse du filtre est obtenue par combinaison de signaux élémentaires retardés, pondérés par les coefficients  $\{a_k\}$  et  $\{b_k\}$ .

Plusieurs filtres basés sur ce principe ont été réalisés à XLIM. Dans la référence [17], l'auteur présente un circuit récursif d'ordre 1, à fréquence centrale fixe, réalisé autour d'une structure différentielle remplissant les fonctions d'amplification et de sommation (Figure I-5).

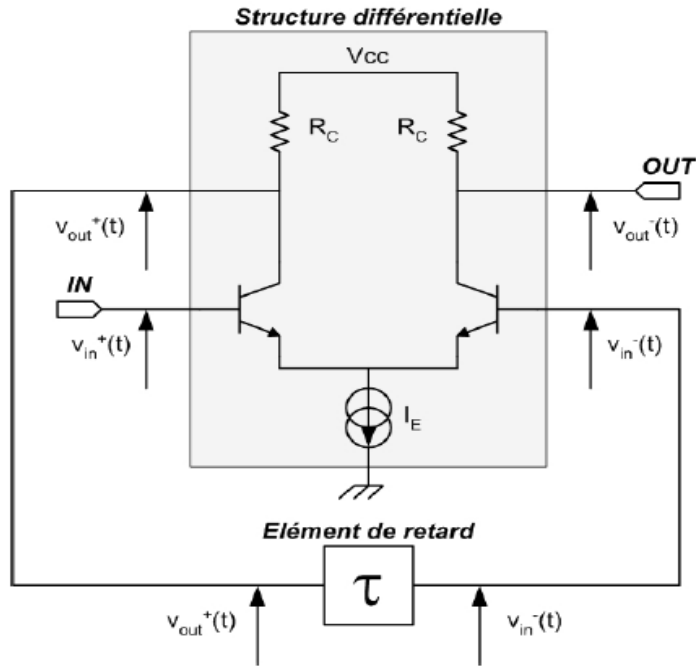


Figure I-5 : Principe du circuit de filtre récurrent d'ordre 1

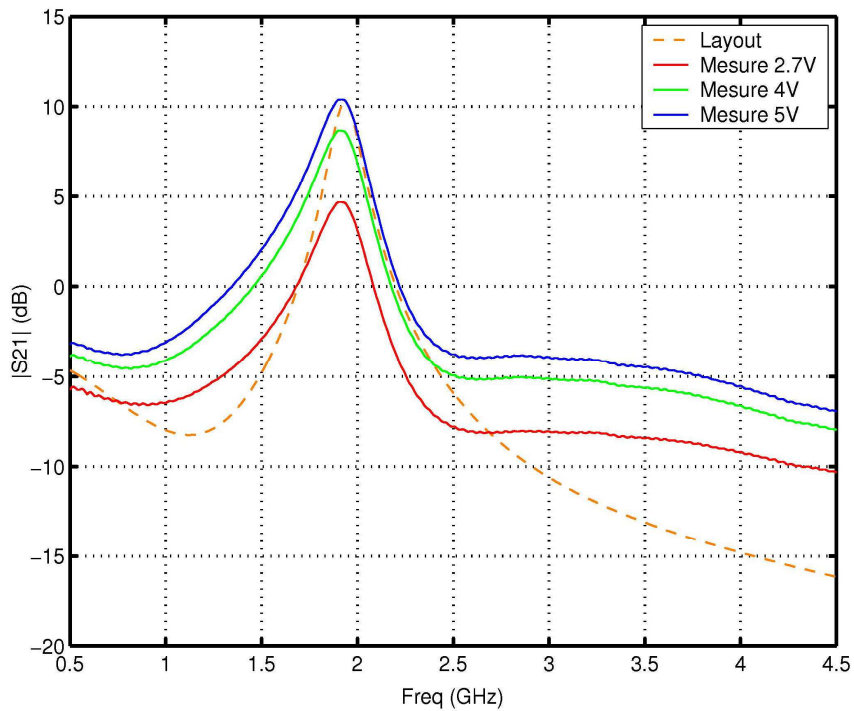


Figure I-6 : Réponse S21 du filtre

Les résultats de mesures (cf. Figure I-6) montrent que la bande passante de ce filtre est 260 MHz. La fréquence centrale est 1,95 GHz et le gain varie entre 5 et 10 dB selon la polarisation des transistors. Le facteur de bruit est 4,6 dB et la consommation est de 12 mA.

### III.2.3. Les filtres actifs à inductance active

L'inductance " passive " intégrée est un composant qui possède un facteur de qualité relativement faible. Cette caractéristique compromet totalement la réalisation de filtres actifs intégrés RF très sélectifs.

Une des méthodes de conception des filtres actifs intégrés consiste à remplacer l'inductance "passive" par un circuit qui génère un effet inductif. Ces circuits sont souvent appelés inductances actives. La majorité des circuits réalisés à partir d'une inductance active utilisent le principe d'un gyrateur présenté sur la Figure I-7 [18]. Son rôle est de présenter à son entrée, une impédance proportionnelle à l'inverse de son impédance de charge.

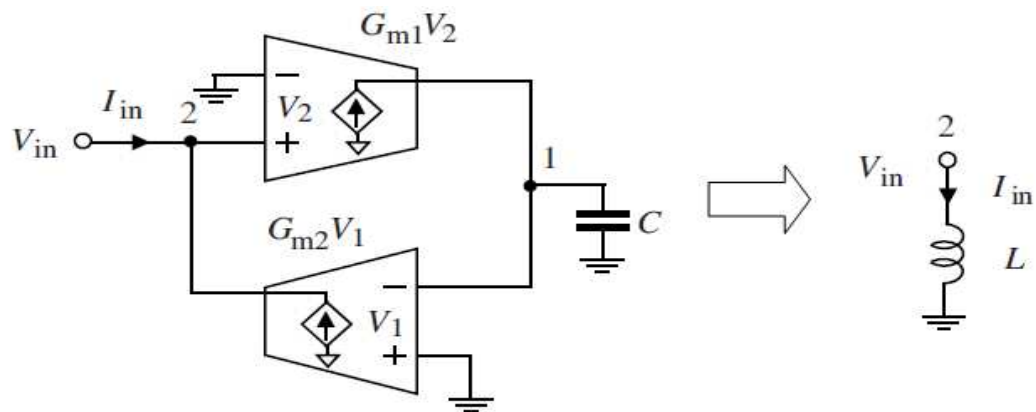


Figure I-7 : Inductance active basée sur le principe d'un gyrateur

L'admittance d'entrée d'un gyrateur est :

$$Y_{in} = \frac{I_{in}}{V_2} = \frac{1}{j\omega\left(\frac{C}{G_{m1}G_{m2}}\right)} \quad (\text{I-2})$$

L'équation (I-2) montre que le port 2 de la Figure I-7 représente une inductance reliée à la masse de valeur :

$$L = \frac{C}{G_{m1}G_{m2}} \quad (\text{I-3})$$

A partir du réglage du  $G_{m1}$  et  $G_{m2}$ , la valeur de l'inductance active ( $L$ ) peut être modifiée. Ainsi, un résonateur LC peut être réalisé en associant le gyrateur à une capacité  $C1$  (cf. Figure I-8).

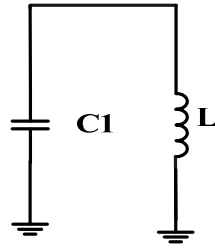


Figure I-8 : Résonateur LC

La fréquence de résonance du résonateur est donnée par l'expression suivante :

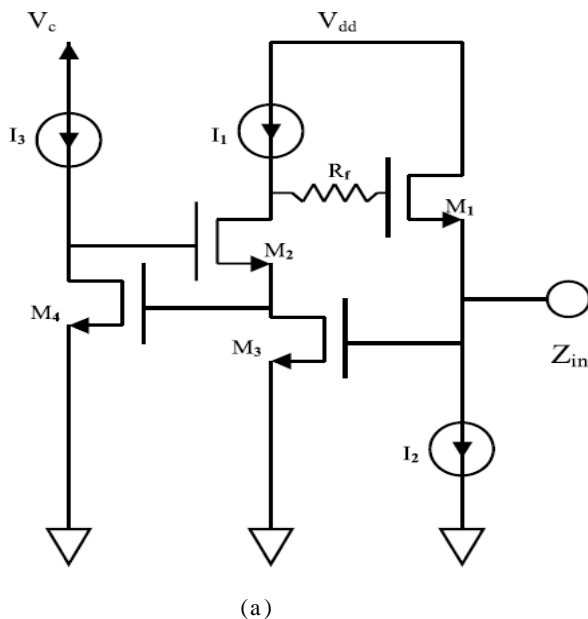
$$f_0 = \frac{1}{2\pi \sqrt{\frac{C}{G_{m1}G_{m2}} - C1}} \quad (\text{I-4})$$

Néanmoins, les principaux défauts de ce type de circuit restent toujours le bruit important et la non linéarité. De plus, le nombre relativement élevé de transistors nécessaires pour la réalisation de ces montages entraîne une consommation importante.

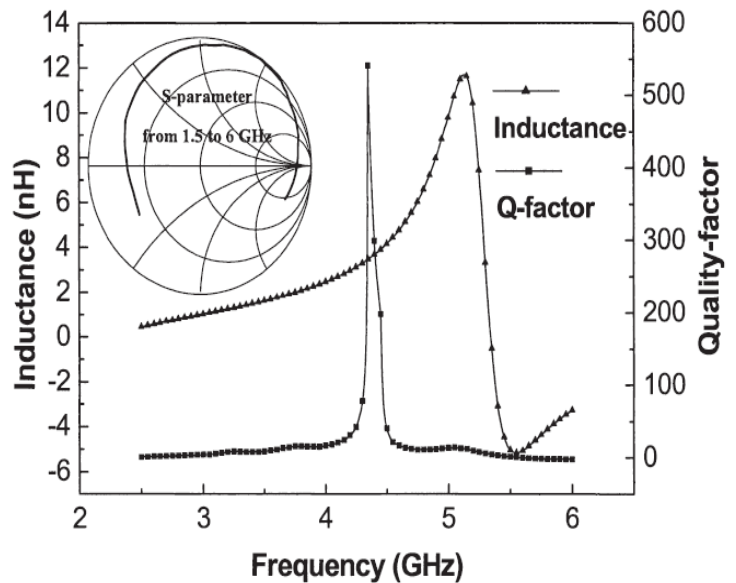
### III.2.3.1. Exemples de circuits d'inductance active

Dans ce paragraphe, nous présentons trois exemples de circuits d'inductance active.

La Figure I-9 présente la réalisation d'une inductance active en technologie 0,18µm CMOS [19]. L'inductance active est constituée d'un gyrateur associé à une rétroaction résistive  $R_f$  et à un transistor NMOS.



(a)



(b)

Figure I-9 : Exemple d'un circuit d'inductance active. (a) Schéma de l'inductance active. (b) Facteur de qualité et valeur de l'inductance.

Les résultats de mesure montrent que la valeur de l'inductance est 3,2 nH et le facteur de qualité est égal à 540 à 4,3 GHz. La fréquence de résonance de l'inductance active est 5,4 GHz.

Un deuxième exemple d'inductance active utilisant le principe d'un gyrateur est présenté dans la Figure I-10 [20]. Cette inductance est conçue en technologie 0,13  $\mu\text{m}$  CMOS. Les résultats de simulation montrent que cette topologie peut être utilisée entre 900MHz et 6 GHz. La valeur de l'inductance varie entre 38nH et 144 nH. Le facteur de qualité à 5,75 GHz est égal à 3900.

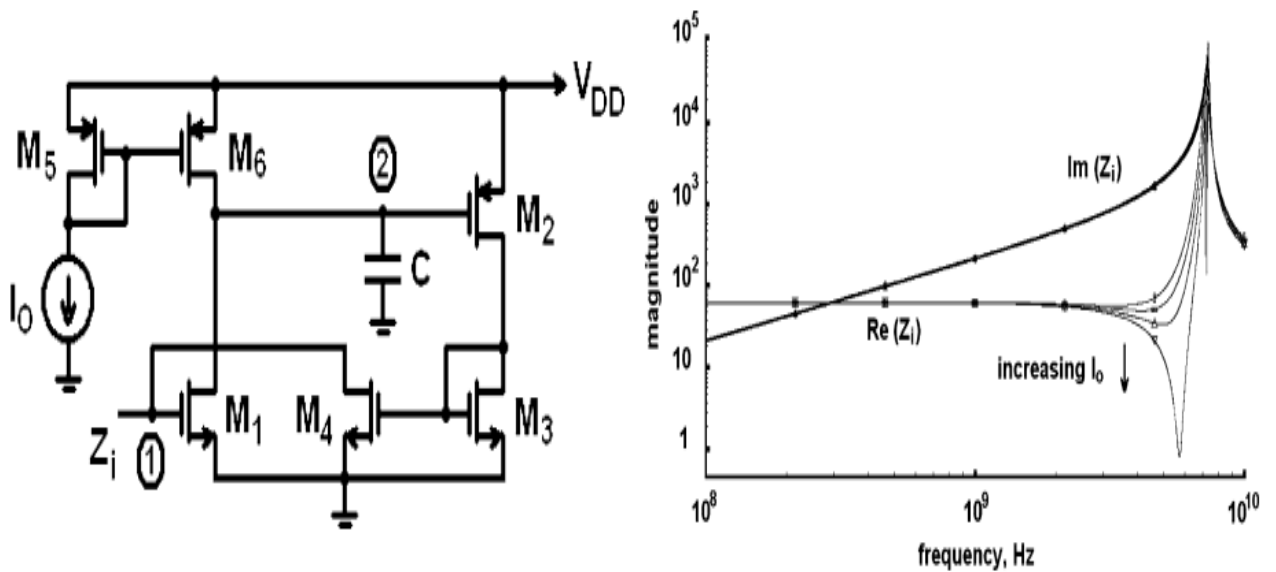


Figure I-10 : Inductance active

Le troisième exemple d'inductance active est présenté dans la Figure I-11 [6]. Cette topologie utilise le principe de transformation d'impédance en utilisant les transconductances des transistors MOS et leurs capacités parasites  $C_{gs}$ .

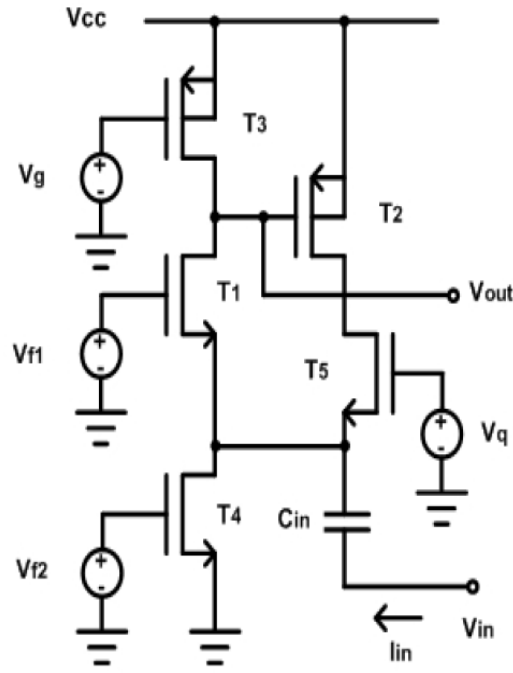
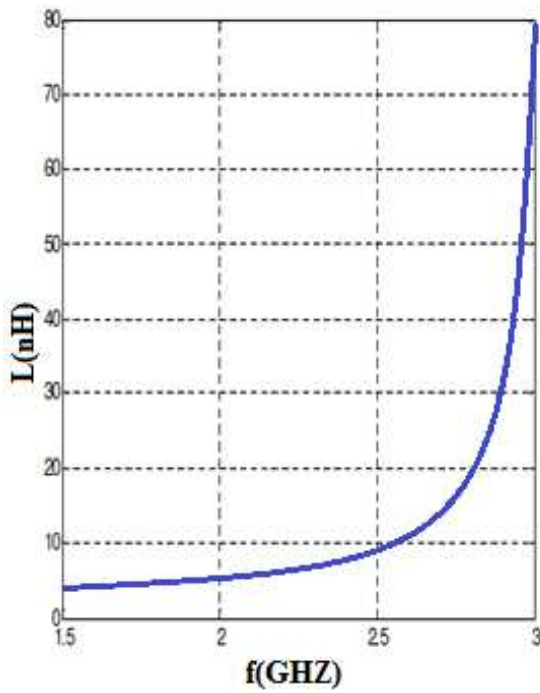
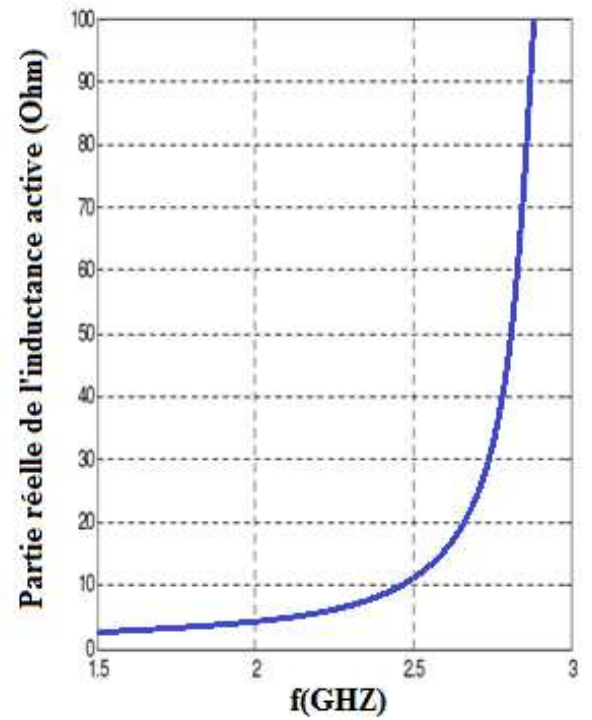


Figure I-11 : Filtre passe-bande à inductance active



(a)



(b)

Figure I-12 : (a) valeur de l'inductance. (b) valeur de sa résistance de perte



Les caractéristiques de l'inductance active sans l'ajout de la capacité en l'entrée  $C_{in}$  sont représentées sur la Figure I-12. Cette inductance à une valeur de 5 nH et sa résistance de perte est  $4,1 \Omega$  à 2 GHz. Cela donne un facteur de qualité de 15,7. Sa fréquence de résonance est de 3,04 GHz.

Le problème de cette topologie est le faible facteur de qualité ( $Q=15,7$ ). Il est donc nécessaire d'ajouter un dispositif de compensation pour augmenter cette valeur. Ce dispositif est appelé « résistance négative » que nous allons étudier dans le paragraphe suivant.

Le tableau I-2 montre les performances de quelques circuits d'inductance active.

	[21] 2011	[22] 2011	[23] 2009	[24] 2005	[25] 2004	[26] 2000
Fréquence centrale (GHz)	0,35	2	2,3 ~2,4	2,05~2,45	5,7	1,68
Facteur de qualité	11400	10~148	>350	30~300	> 665	19-250
Bande passante(MHz)	-	100	-	8~80	-	-
Ordre de filtre	-	4	2	6	1	-
Consommation (mW)	1,8 Pour 0,8V	11,28 Pour 3,25V	5,1 Pour 2,3V	4,7 Pour 1,8V	4,4 Pour 1,8V	24,3
Technologie (CMOS)	0,18 $\mu\text{m}$	AMS 0,35 $\mu\text{m}$	AMS 0,35 $\mu\text{m}$	0,25 $\mu\text{m}$	TSMC 0,18 $\mu\text{m}$	0,5 $\mu\text{m}$
Résultat	Simulation	Simulation	Simulation	Simulation	Mesure 798 $\mu\text{m}^2$	Simulation

**Tableau I-2 : Inductance active [21] et filtres à inductance active [22] [23] [24] [25][26]**

### III.2.4. Les filtres actifs LC à facteur de qualité compensé (Q-enhanced LC)

Comme mentionné précédemment, la principale limitation des filtres RF actifs sélectifs est le faible facteur de qualité des inductances utilisées dans les résonateurs du filtre. Afin d'augmenter ce facteur de qualité, il faut minimiser la valeur de la résistance série des inductances passives. Plusieurs techniques ont été utilisées pour pallier ce problème à l'aide des méthodes passives telle que l'ajout d'un "écran électrostatique" au dessous de l'inductance spirale [27]. Malheureusement, ce facteur de qualité reste toujours limité à une valeur inférieure à 24 dans la technologie CMOS [28] [29].

Les filtres actifs LC à facteur de qualité compensé utilisent un dispositif actif qui permet de générer une résistance négative pour compenser les pertes dans les inductances lors de l'intégration des filtres passifs LC (Figure I-13). Toutefois, l'importante surface occupée par les inductances passives augmente le coût de production de ce type de filtre.

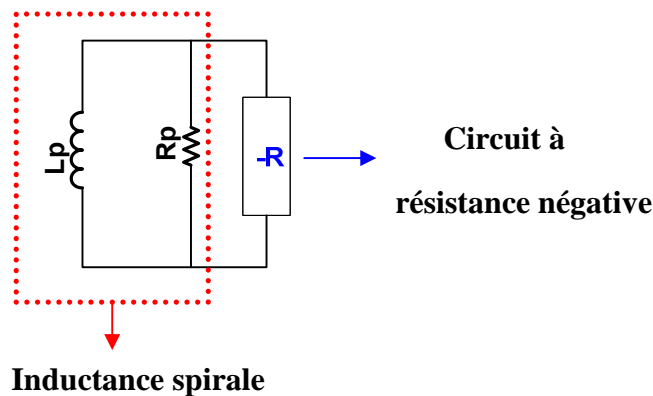


Figure I-13 : Principe de compensation du facteur de qualité

Etant donné que cette résistance négative est associée en parallèle avec l'inductance spirale formant le résonateur, le circuit équivalent série qui modélise l'inductance spirale est transformé en un circuit parallèle comme montre la Figure I-14.

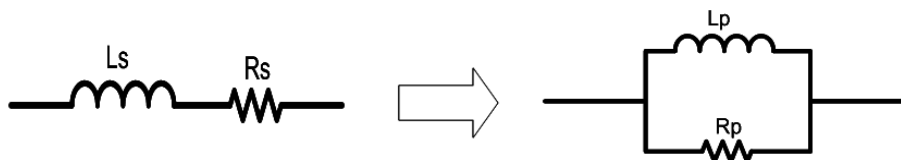


Figure I-14 : Transformation d'un circuit résonnant série vers un circuit résonnant parallèle

$$\text{Avec : } \left\{ \begin{array}{l} L_p = L_s \left( \frac{Q^2 + 1}{Q^2} \right) \\ R_p = R_s (Q^2 + 1) \\ Q = \frac{L_s \omega}{R_s} \end{array} \right. \quad (\text{I-5})$$

Le facteur de qualité de l'inductance spirale (Q) est très supérieur à 1 donc l'équation (I-5) devient :

$$L_p = L_s$$

$$R_p = R_s (Q^2) = \frac{\omega^2 L_s^2}{R_s}$$

Pour compenser les pertes de l'inductance spirale la valeur de la résistance négative pour une fréquence donnée s'exprime par :

$$R_{\text{neg}} = \frac{-\omega^2 L_s^2}{R_s}$$

En outre, le facteur de qualité à vide d'un résonateur RLC parallèle (Figure I-15) s'exprime par :

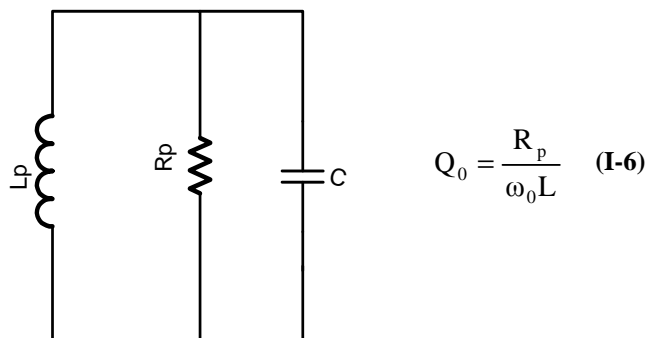


Figure I-15 : Résonateur RLC parallèle

En remplaçant  $R_p$  (équation (I-6)) par sa valeur trouvée dans l'équation (I-5) on obtient :

$$Q \approx Q_0$$

Cela montre que le facteur de qualité du résonateur est pratiquement égal au facteur de qualité de l'inductance seule. La relation entre le facteur de qualité du résonateur et la bande passante à -3dB est illustrée dans la Figure I-16. Cela montre aussi que logiquement la sélectivité du filtre dépend du facteur de qualité du résonateur.

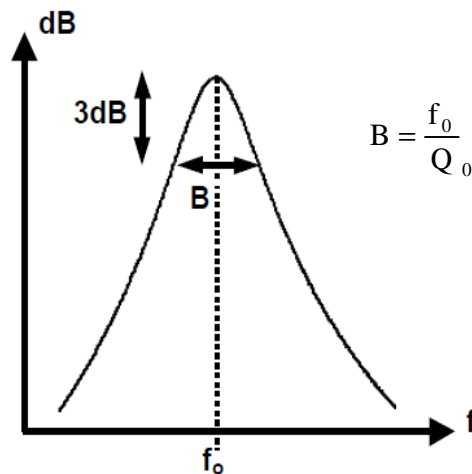
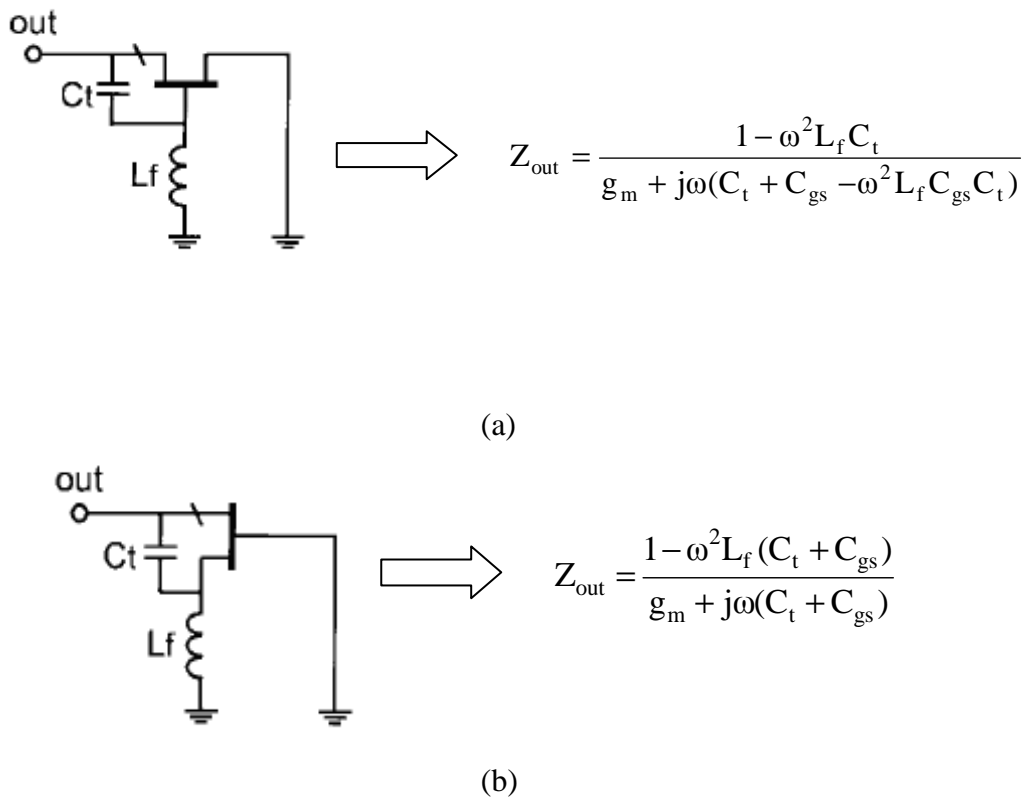


Figure I-16 : Relation entre facteur de qualité  $Q$  du résonateur et la bande passante à -3dB (B)

### III.2.4.1. Architectures de résistances négatives

Dans la littérature, nous trouvons que la résistance négative est réalisée à partir de quatre types d'architectures.

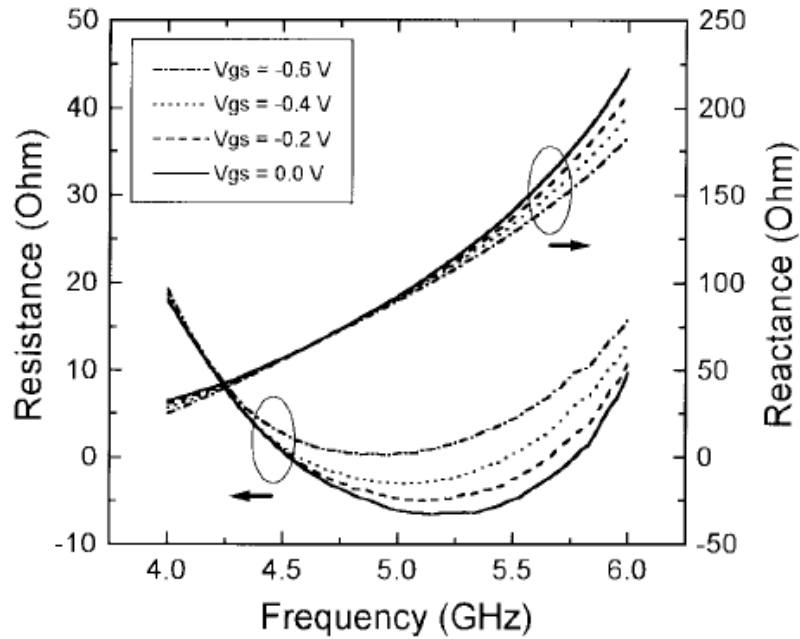
La première architecture (en supposant que l'on utilise un transistor à effet de champ) est de type grille commune avec rétroaction inductive série Figure I-17 (a) ou drain commun avec rétroaction inductive série Figure I-17 (b) [30]. Ce montage permet l'accord en fréquence de la résistance négative à travers la capacité  $C_t$ . Le fait d'utiliser un seul transistor dans cette architecture permet d'avoir une faible consommation du circuit.



**Figure I-17 : (a) Grille commune avec rétroaction inductive série. (b) Drain commun avec rétroaction inductive série**

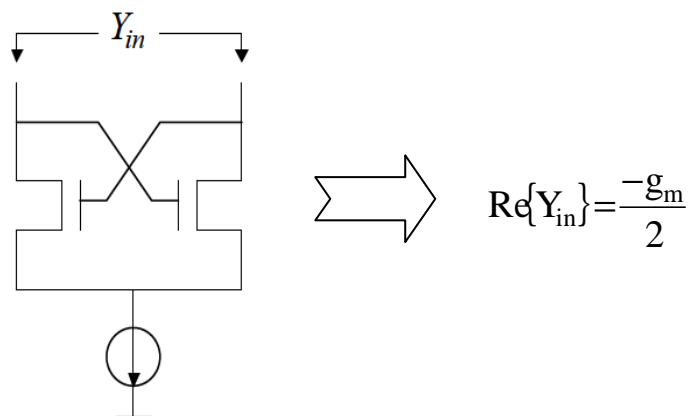
La partie réelle de l'impédance de sortie  $Z_{out}$  représente la valeur de la résistance négative, et à pour expression  $\frac{g_m (1 - \omega^2 L_f (C_t + C_{gs}))}{g_m^2 + \omega^2 (C_t + C_{gs})^2}$  (Figure I-17 (b)). La résistance négative est obtenue en choisissant correctement les valeurs de l'inductance  $L_f$  et des capacités  $C_t$  et  $C_{gs}$ .

La Figure I-18 présente les résultats de mesure de la partie réelle et imaginaire de l'impédance  $Z_{out}$  du montage drain commun avec rétroaction inductive série. Nous remarquons d'après la figure que la résistance négative est obtenue entre 4,6 à 5,5 GHz. Sa valeur maximale est -3,1 Ohm.



**Figure I-18 : Partie réelle et imaginaire de l'impédance de sortie du montage drain commun avec rétroaction inductive série**

La deuxième architecture est constituée d'une paire de transistors couplés (Figure I-19). Le réglage de la résistance négative est réalisé grâce à la source de courant connectée aux sources des 2 transistors. Plusieurs travaux et réalisations ont été présentés concernant cette architecture en technologie CMOS [31] [32] [33] et bipolaire-BiCMOS [34] [35].



**Figure I-19 : Paire des transistors couplés réalisant une résistance négative**

La troisième architecture est représentée sur la figure I-20 [36]. Elle est composée d'un transistor NMOS associé à une capacité  $C_s$  connectée à la source. Ce type de montage est utilisé dans les applications à bande étroite et simple accès.

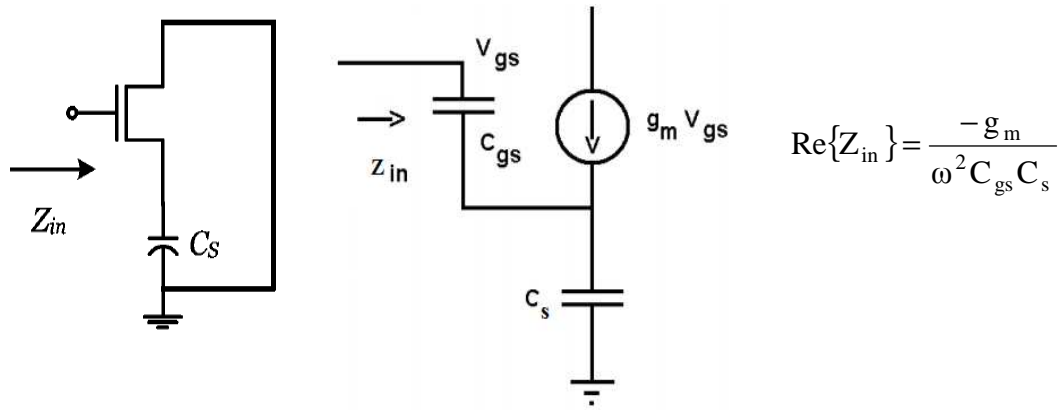


Figure I-20 : Résistance négative à un seul accès et schéma équivalente

La quatrième architecture présente une technique originale de compensation des pertes [37]. La mutuelle inductance  $M$  produite par le couplage magnétique entre deux inductances  $L_1$  et  $L_2$  forme une résistance négative. Cette résistance négative compense les pertes de l'inductance  $L_1$  (Figure I-21).

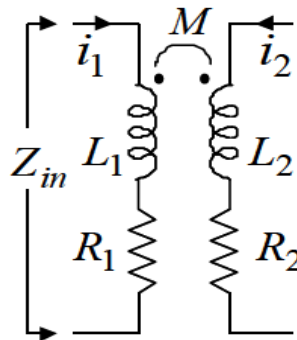


Figure I-21 : Couplage magnétique entre deux inductances  $L_1$  et  $L_2$

L'impédance d'entrée  $Z_{in}$  est donnée par la relation suivante :

$$Z_{in} = R_1 + j\omega L_1 + j\omega M \frac{i_2}{i_1} = R_{eff} + j\omega L_{eff}$$

Et :

$$\frac{i_2}{i_1} = A e^{j\theta} = A(\cos \theta + j \sin \theta)$$

L'expression de  $R_{eff}$  est alors :

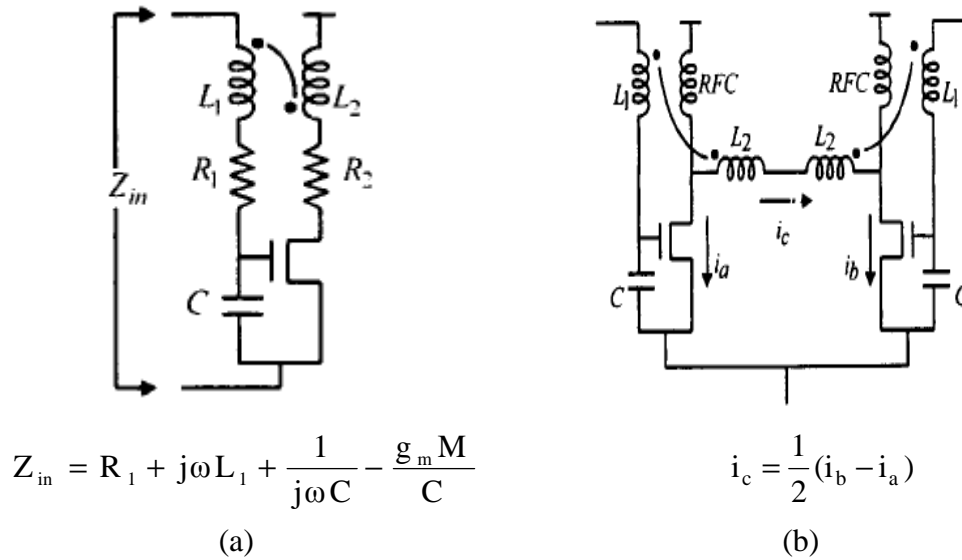
$$R_{eff} = R_1 - \omega M A \sin \theta$$

$M$  est la mutuelle entre les inductances.  $A$  et  $\theta$  représentent respectivement le module et la phase du rapport entre le courant  $i_2$  et le courant  $i_1$ . Ces deux grandeurs influent directement sur la valeur de la résistance  $R_{eff}$ . La valeur de la résistance négative est égale à :

$$R_{neg} = \omega M A \sin \theta$$

La résistance négative peut être obtenue lorsque la différence de phase entre le courant  $i_1$  et le courant  $i_2$  est  $90^\circ$  ou  $270^\circ$ .

L'avantage principal de cette technique est qu'elle peut être implantée dans un montage simple accès ou dans un montage différentiel (Figure I-22).



**Figure I-22 : Implémentation du circuit (a) simple accès (b) Différentiel**

Basés sur cette architecture, deux exemples de filtres actifs LC sont abordés dans la suite.

### III.2.4.2. Filtres actifs à résistance négative

Les Figures I-23 et I-24 présentent la réalisation d'un filtre actif intégré d'ordre 3 dont la fréquence centrale est de 2368 MHz avec compensation des pertes à travers le couplage entre deux inductances [38]. La réponse du filtre peut être reconfigurée grâce au contrôle de la valeur des inductances compensées. La bande passante de ce filtre est 60 MHz et il consomme 5,84 mA à 1,8V. Les niveaux d'adaptation d'entrée et de sortie sont respectivement de -11 dB et -15 dB. Ce filtre est conçu en technologie 0,18  $\mu\text{m}$  CMOS. Les dimensions du circuit sont de 1,5 mm par 1,5 mm.

L'avantage principal de ces filtres est la platitude du gain dans la bande passante avec une faible perte d'insertion (<1,8 dB). Cependant, la limitation principale est la sensibilité à la variation des tensions de polarisation des transistors.



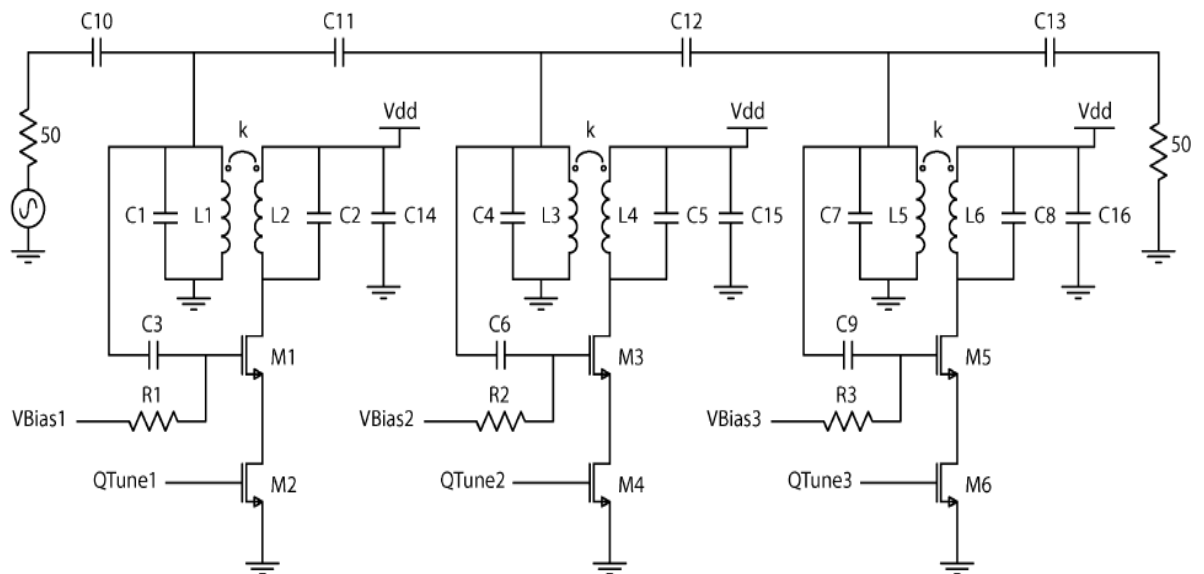
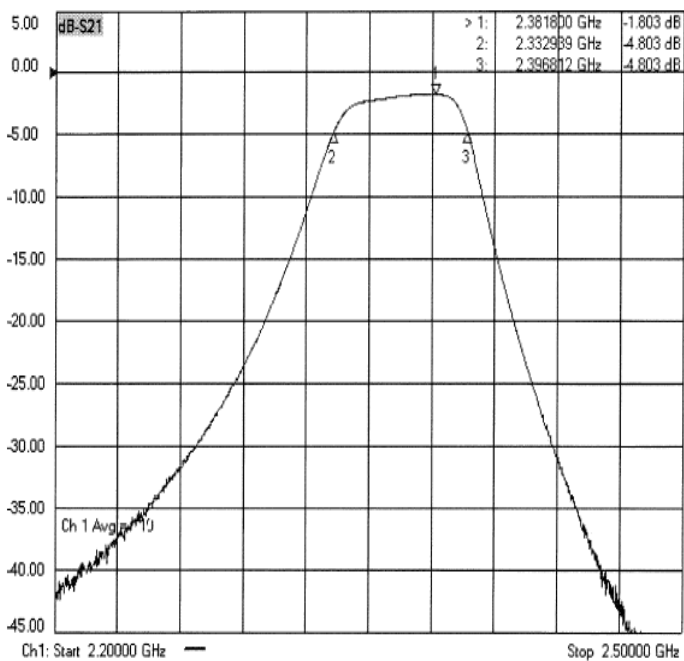
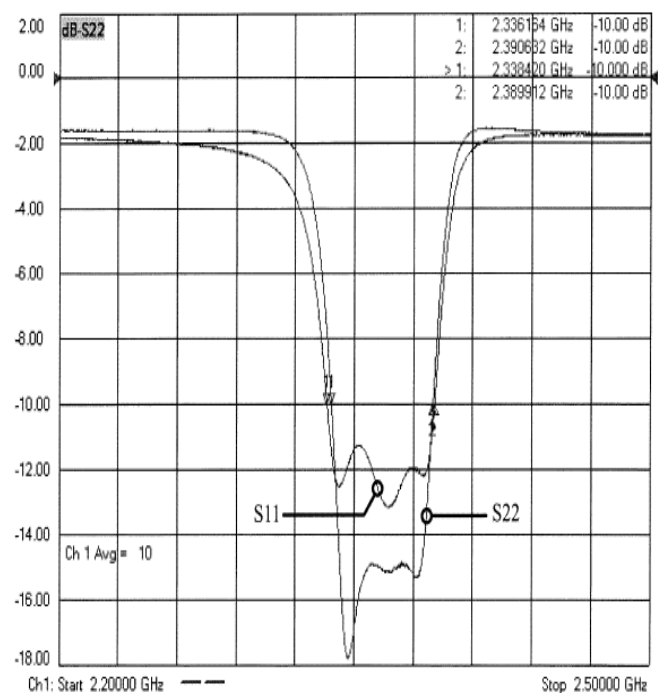


Figure I-23 : Schéma du filtre



(a)



(b)

Figure I-24 : Exemple de filtre actif à résistance négative.

(a) Réponse S21. (b) Réponse S11 et S22

Un autre exemple récent utilisant le même principe est présenté dans la Figure I-25 [39].

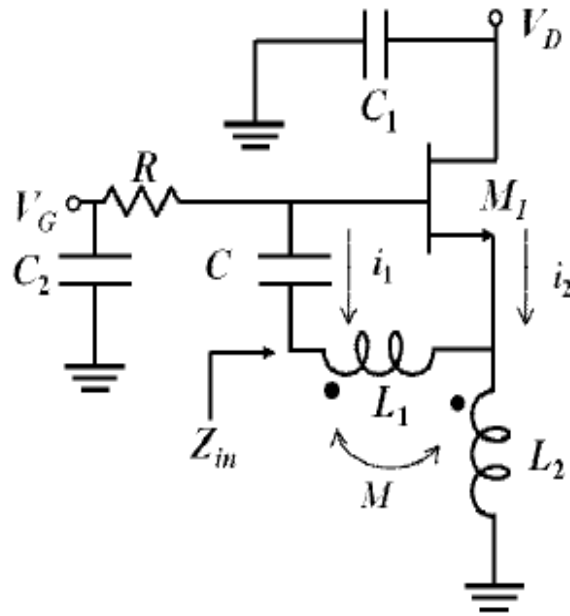


Figure I-25 : schématique du circuit simulant une résistance négative

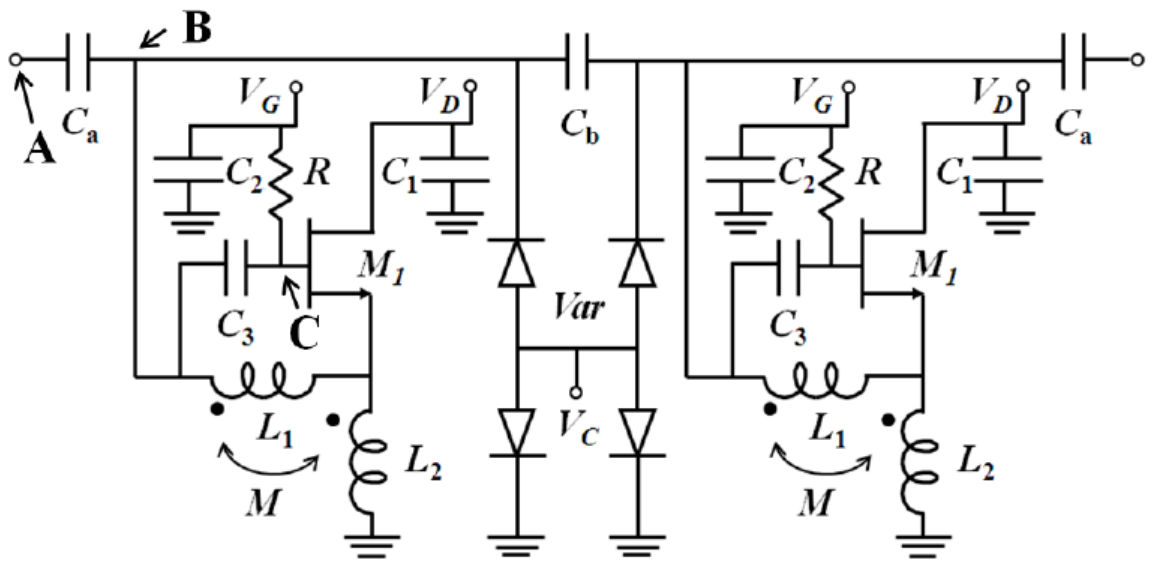
L'impédance d'entrée de ce circuit est donnée par l'expression suivante :

$$Z_{in} = (R_1 + R_2 - \frac{Mg_m}{C} - \frac{L_2g_m}{C}) + j\omega(L_1 + L_2 + 2M + \frac{g_mR_2}{\omega C})$$

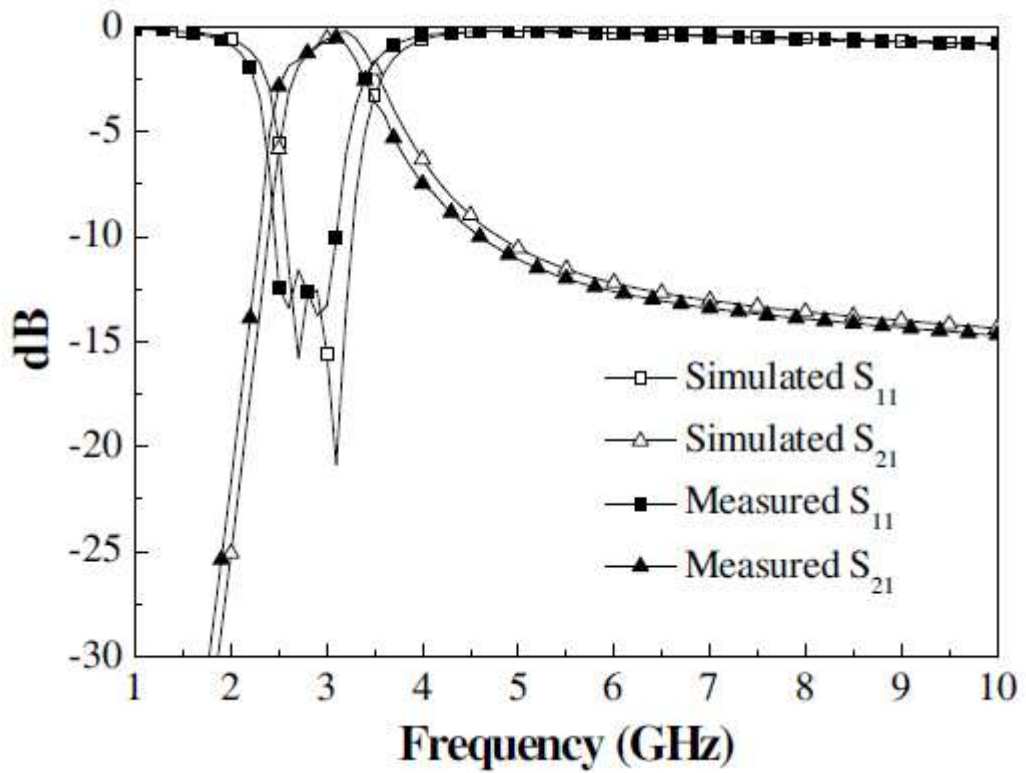
Avec  $R_1$  et  $R_2$  correspondant aux pertes résistives des inductances  $L_1$  et  $L_2$ .  $C_1$  et  $C_2$  représentent les capacités de découplage RF.

Les pertes résistives de cette topologie peuvent être compensées par un choix judicieux de la mutuelle  $M$  entre les deux inductances et de la valeur de l'inductance  $L_2$ .

La Figure I-26 présente le filtre d'ordre 2 utilisant le circuit montré ci-dessus. La fréquence centrale est de 2,65 GHz et la bande passante est 300 MHz. Les mesures de ce circuit montrent que ce filtre présente une consommation de 2,4 mW et 1 dB de perte d'insertion. Ce filtre est conçu en technologie 0,18  $\mu\text{m}$  CMOS. Les dimensions du circuit sont de 0,7 mm par 0,9 mm. Cette topologie permet d'obtenir l'accordabilité fréquentielle par l'intermédiaire des varactors. L'inconvénient principal de cette topologie est le faible niveau de réjection en hautes fréquences (Figure I-26 (b)).



(a)



(b)

Figure I-26 : Deuxième exemple de filtre actif à résistance négative.

(a) Schéma du circuit. (b) réponse S21 et S11

L'architecture de filtre utilisée dans ce travail de thèse est basée sur le principe de compensation des pertes à travers le couplage magnétique entre les inductances. Une étude bibliographique a permis de mettre à jour deux publications utilisant ce principe [40] [41]. Contrairement à la plupart des circuits présentés ci-dessus qui montrent des limitations lors de leur utilisation aux radiofréquences (consommation élevée, bruit important), la solution proposée dans ce manuscrit est basée sur le principe du couplage magnétique entre 3 inductances (Figure I-27). Ceci permet de réduire les pertes de l'inductance équivalente donc d'augmenter son facteur de qualité.

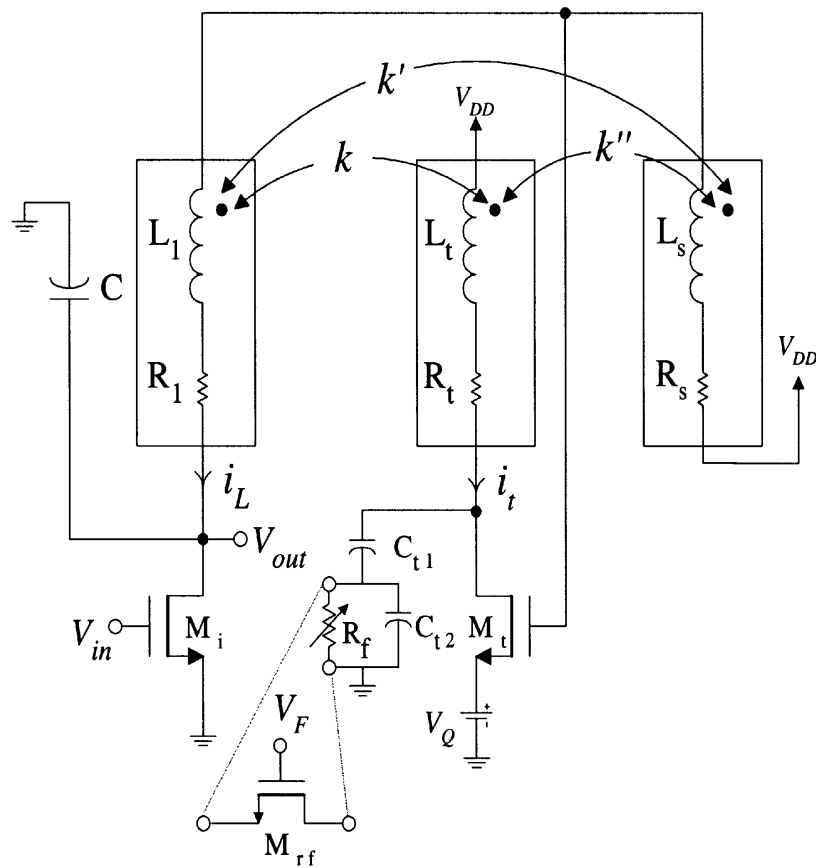


Figure I-27 : Filtre LC passe bande basé sur le principe du couplage entre trois inductance

L'auteur dans la référence [40] présente un filtre LC d'ordre 1 basé sur ce principe.

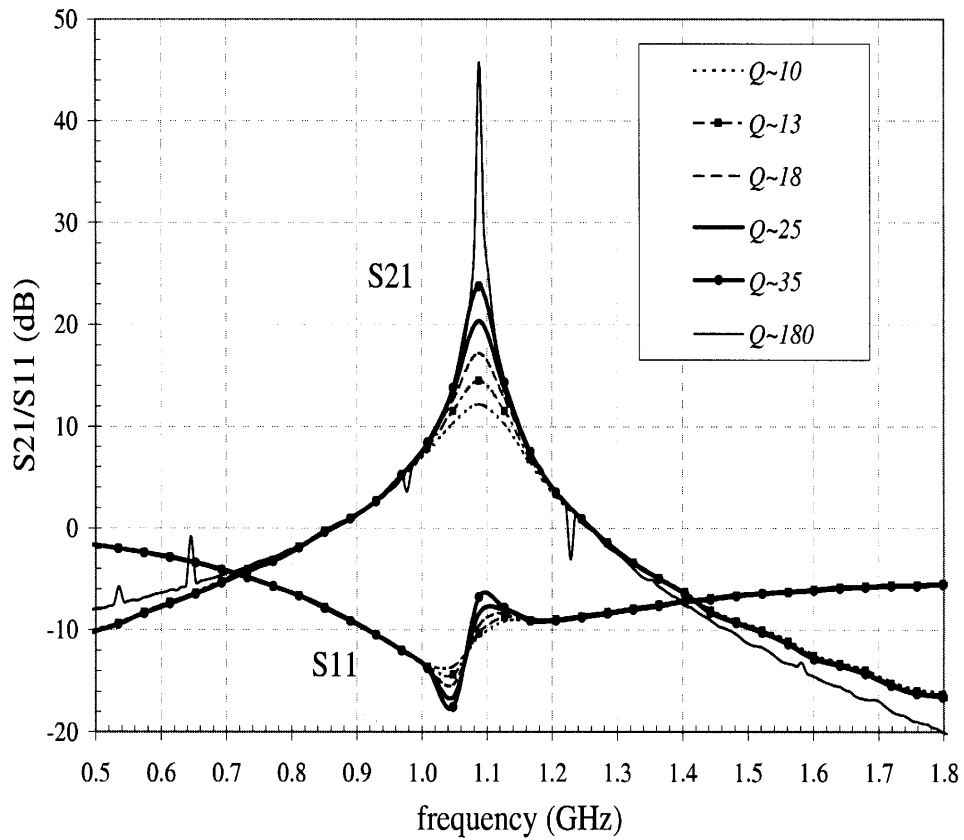


Figure I-28 : Réponse  $S_{21}$  et  $S_{11}$  du filtre

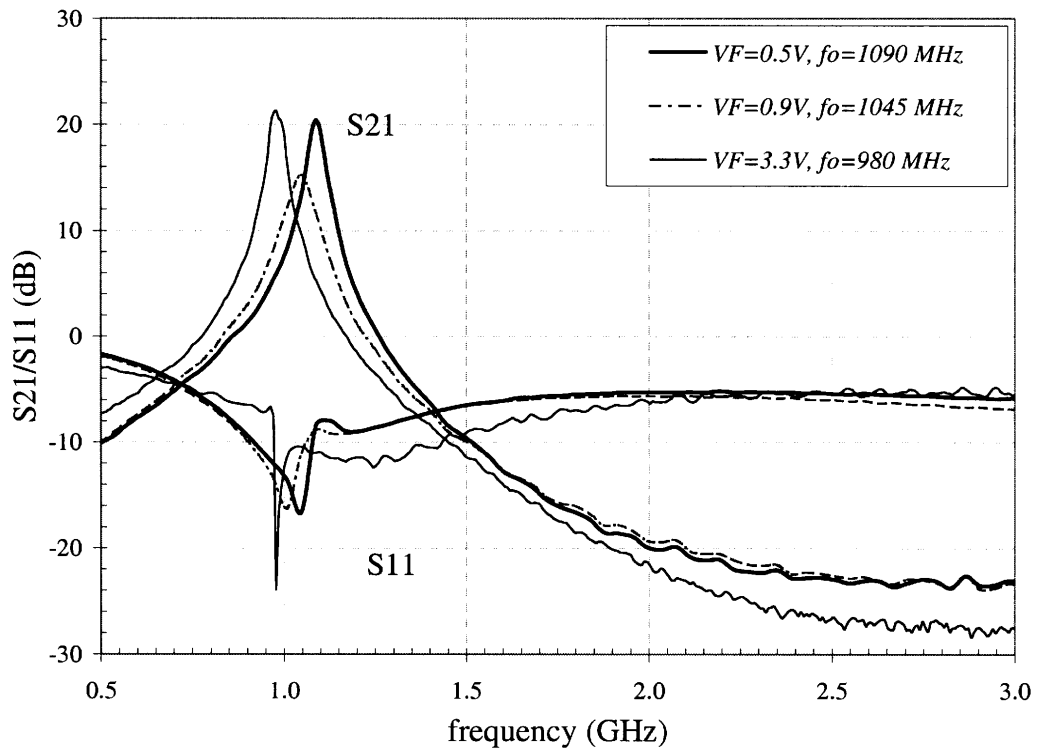


Figure I-29 : Réponse  $S_{21}$  et  $S_{11}$  avec balayage de la fréquence centrale

La Figure I-28 montre la fonction de filtrage ( $S_{21}$ ) et le facteur de qualité ( $Q$ ) qui varie de 10 à 180 lorsque le générateur de tension de polarisation placé sur la source de transistor  $V_Q$  varie entre 0,7 à 1,5 V. La figure I-29 représente aussi la fonction du filtrage faisant apparaître un balayage fréquentiel de la fréquence centrale. La fréquence centrale varie de 980 MHz à 1090 MHz. Dans cette bande de fréquence le gain est de 20 dB.

Ce balayage est commandé par le réseau ci-dessous :

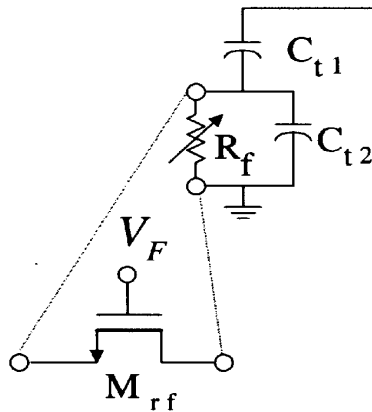
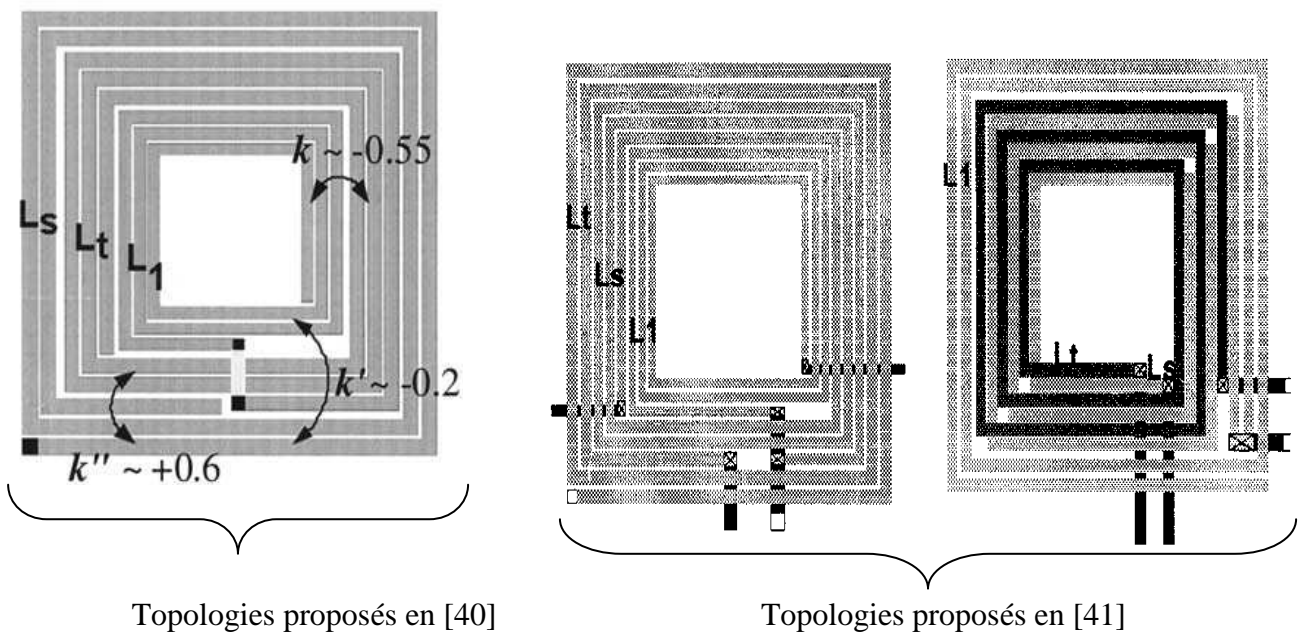


Figure I-30 : Réseau du balayage en fréquence

Ce réseau est formé de deux capacités  $C_{t1}$  et  $C_{t2}$  et d'une résistance  $R_f$  (cf. Figure I-30). La résistance  $R_f$  est réalisée avec un transistor MOS ( $M_{rf}$ ). La tension de polarisation  $V_F$  contrôle la valeur de  $R_f$ .

La Figure I-31 montre les possibilités d'implémentation du transformateur à trois inductances couplées proposées dans ces 2 articles.



Topologies proposés en [40]

Topologies proposés en [41]

Figure I-31 : Topologies proposées

La difficulté principale pour la conception de ces circuits consiste à optimiser le transformateur avec un logiciel d'analyse électromagnétique tel que Momentum. Les inductances doivent avoir des facteurs de qualité élevés et être fortement couplées.

L'étude théorique de ce type de filtre ainsi le choix de la topologie des trois inductances couplées et le choix du réseau de balayage en fréquence sont détaillés dans les chapitres qui suivent. Un filtre LC à facteur de qualité compensé va être développé dans le troisième chapitre de cette thèse en technologie BiCMOS 0,25 $\mu$ m de NXP pour une application GSM 3G.

Le tableau I-3 résume les performances de filtres actif LC à facteur de qualité compensé.

	[33] 2011	[42] 2007	[43] 2003	[44] 2002	[37] 2002	[34] 1996
Fréquence centrale (GHz)	0,94-1,77	3,67	2,44	1,882	2,14	1,8
Facteur de qualité	-	25-50	-	-	-	3-350
Bande passante (MHz)	-	35-90	100	150	60	-
Ordre de filtre	1	6	3	4	3	3
Consommation (mA)	22 Pour 2,5V	72 Pour 1,8V	3 Pour 1.8V	18 Pour 3V	7 Pour 2,5V	8,7 Pour 2,8V
Technologie ( $\mu$ m)	0,25 BiCMOS	0,18 CMOS	0,18 CMOS	0,25 BiCMOS	0,25 CMOS	0,8 Bipolaire
Réalisation et surface (mm <sup>2</sup> )	Simulation	Réalisation 0,81	Simulation	Réalisation 7,14	Réalisation 3,51	Réalisation 0.38

Tableau I-3 : Filtres actifs LC à facteur de qualité compensé

## **IV. Conclusion**

Dans ce chapitre nous avons présenté le rôle des filtres RF dans une chaîne d'émission-réception. Nous avons également présenté les avantages et les inconvénients de différentes topologies déjà développées dans le domaine du filtrage actif. Le choix parmi ces topologies dépend des contraintes de filtrage, du gabarit, de la fréquence de travail, du coût et de l'encombrement pour l'application visée. Toutefois, nous remarquons que la topologie LC à facteur de qualité compensé est particulièrement intéressante en raison des avantages suivants : large bande de fréquence de fonctionnement, faible encombrement et consommation réduite, possibilité de régler la fréquence centrale.



## **V. Références Bibliographiques**

---

[1] **B. Zheng, Z. Q. Zhao, and Y. X. Lv**

“Design of wideband substrate integrated circular cavity(SICC) filter using  $TM_{01}$  mode coupling”

Progress In Electromagnetics Research Letters, Vol. 16, 79-87, 2010

[2] **B. Lopez-Garcia, D.V.B. Murthy, A. Corona-Chavez**

“Half mode microwave filters based on  $\epsilon$ -silon near zero and  $\mu$  near zero concepts”

Progress In Electromagnetics Research, Vol. 113, 379-393, 2011

[3] **C.-F. Yang**

“Design and fabrication of a compact quad-band bandpass filter using two different parallel positioned resonator”

Progress In Electromagnetics Research, Vol. 115, 159-172, 2011

[4] **C.-M.Lin , T.-T.Wu ,Y.-Y. Chen**

“Improved frequency responses of Saw Filters with interdigitated interdigital transducers on Zno/Diamond/Si layered structure”

Journal of Mechanics, Vol. 23, No. 3, September 2007

[5] **W. B. Kuhn,D. Nobbe, D. Kelly,A. W. Orsborn**

“Dynamic range performance of On-Chip RF Bandpass Filters”

IEEE Transactions on circuits and systems-IL:Analog and digital signal processing,Vol. 50, No. 10, October 2003

[6] **Z. Sassi**

“Etude et Conception de Structures de Filtrage Actif Radiofréquence Intégrées en Technologie CMOS et BiCMOS pour Application à la Téléphonie Cellulaire ”

Thèse de Doctorat de l'Université de Limoges, Sept. 2006.

[7] **F. BERGERAS**

“Etude de nouvelles structures de filtres actifs intégrées en Hyperfréquences”

Thèse de Doctorat de l'Université de Limoges, Décembre 2010.

[8] **J. M. Khoury**

“Design of a 15-MHz CMOS Continuous-Time Filter with On-Chip Tuning”

IEEE journal of solid-state circuits, Vol. 26, No.12, December 1991

[9] **R. Alini, A. Baschiroto, R .Castello**

“Tunable BiCMOS Continuous-time Filter for High-Frequency Applications”

IEEE journal of solid-state circuits, Vol. 27, No. 12, December 1992

[10] **Z.-Yuan Chang, D. Haspeslagh, J. Verfaillie**

“A Highly Linear CMOS – Bandpass Filter with On-Chip Frequency Tuning”

IEEE journal of solid-state circuits, Vol. 32, No. 3, March 1997

[11] **H. Shinichi, M. Tadashi, Y. Hitoshi, M. Noriaki, N. Keiichi**

“A widely tunable CMOS Gm-C filter with a negative source degeneration resistor transconductors”

Proceedings of the 29th European Solid-State Circuits Conference, page(s) :449-452, sept 2003.

[12] **R. Thirugnanam, D. Sam Ha, B. Hyuk Park , Sang S. Choi**

“Design of a Tunable Fully Differential GHz Range Gm-C Lowpass Filter in 0.18  $\mu\text{m}$  CMOS for DS-CDMA UWB Transceivers”

IEEE International Symposium on, Circuits and systems, September 2006

[13] **T.-Yu Lo, C.-Chih Hung**

“A Wide Tuning Range Gm–C Continuous-Time Analog Filte”

IEEE Transactions on circuits and systems-I: regular papers, Vol. 54, No. 4, April 2007

[14] **A. Kumar, P.E. Allen**

“An 80MHz Noise Optimized ContinuousTime Bandpass Filter in 0.25 $\mu\text{m}$  BiCMOS”  
Custom Integrated Circuits Conference, 2007. CICC '07, .IEEE 16-19 Sept. 2007  
Page(s):679 - 682.

[15] **R. Gabriel Bozomitu, N. Cojan**

“A VLSI Implementation of a new low voltage 5th Order Differential Gm-C Low-Pass Filter with Auto-tunning loop in CMOS technology”

Advances in electrical and computer engineering volume11, Number 2011

[16] **Wan Chuanchuan,Li Zhiqun,Hou Ningbing**

“CMOS Gm–C complex filter with on-chip automatic tuning for wireless sensor network application”

Journal of semiconductors Vol. 32, No .5, May 2011

[17] **S. DARFEUILLE**

“Conception de Filtres Actifs Analogiques Radiofréquences Récurifs et Channélisés en Technologie Monolithique BiCMOS Silicium”

Thèse de Doctorat de l'Université de Limoges, Février 2006.

[18] **F.Yuan**

“CMOS Active Inductors and transformers Principle, Implementation, and Applications”

Springer Science + Business Media, 2008.

[19] **K. LIANG, C. HO, C. KUO, Y. CHAN**

“CMOS RF Band-pass Filter Design Using the High Quality Active Inductor”

IEICE Tran.electron, vol.E88-C, No.12, December 2005.

[20] **H. Ugur Uynaik. Nil Tarim**

“Compact low voltage high-Q CMOS active inductor suitable for RF applications”

Analog Integrated Circuits and Signal Processing, vol. 51, No. 3, pp. 191-194, Jun. 2007.

[21] **M. Ebrahimzadeh**

“A low voltage, High Quality Factor floating gate tunable active inductor with independent inductance and quality factor tuning”

International journal of computer and electrical engineering, Vol. 3, No. 2, April, 2011

[22] **W. EL Hamdani, F. Temcamani, B. Delacresonnière, M. Alami, M. El Bekkali**

“Nouvelle topologie d'un filtre passe-bande RF du 4ème ordre accordable à base d'inductances actives”

Mediterranean Telecommunication Journal vol. 1, n°1, 2011

[23] **D. Cordova, J. De la cruz, C. Silva**

“A 2.3-GHZ CMOS High-Q Bandpass Filter Design Using an Active Inductor”

XV Workshop Iberchip, Buenos Aires-Argentina , 25-27 de Marzo de 2009

[24] **G. Zhiqiang, Y. Mingyan, Y. Yizheng, M. Jianguo**

“A CMOS RF Bandpass Filter Based on The Active Inductor”

ASICON the 6th International Conference On ASIC, Vol. 2, 24-27, page(s) : 604-607

October 2005

[25] **X. Haiqiao, R. Schaumann, W.R Daaasch, P.K. Wong, B. Pejcinovic**

“A radio-frequency CMOS active inductor and its application in designing high-Q filters”

Proceedings of the International Symposium on Circuits and Systems,

Vol. 4, page(s) : IV - 197-200, mai 2004

[26] **Y. Chang, J. Choma, J. Wills**

“THE DESIGN AND ANALYSIS OF A RF CMOS BANDPASS FILTER”

IEEE International Symposium on circuits and systems, Geneva, Switzerland, May 2000

[27] **C. Patrick Yue, , S. Simon Wong**

“On-Chip Spiral Inductors with Patterned Ground Shields for Si-Based RF IC's”

IEEE journal of solid-state circuits, Vol. 33, No. 5, May 1998 74

[28] **Y. Cao, R. A. Groves, X. Huang, N. D. Zamdmer, J. Plouchart, R. A. Wachnik, T. King, C. Hu.**

“Frequency-Independent Equivalent-Circuit Model for On-Chip Spiral Inductors”

IEEE journal of solid-state circuits, Vol. 38, No. 3, March 2003

[29] **S. Pei, Z. Wanrong, H. Lu , J. Dongyue , X. Hongyun**

“Improving the quality factor of an RF spiral inductor with non-uniform metal width and non-uniform coil spacing”

Journal of Semiconductors, Vol. 32, No. 6, June 2011

[30] **Y.-HO Cho, S.-Cheol Hong, Y.-Se Kwon**

“A Low-Power Monolithic GaAs FET Bandpass Filter Based on Negative Resistance Technique”

IEEE microwave and guided wave letters , Vol. 8, No. 4, April 1998

[31] **W. B. Kuhn, N. K. Yanduru, A. S. Wyszynski**

“Q-Enhanced LC Bandpass Filters for Integrated Wireless Applications”

IEEE transactions on microwave theory and techniques, Vol. 46, No. 12, December 1998

[32] **J. Tangenberg, E.A.M Klumperink, J.W. Th Eikenbroek, B. Nauta**

“A CMOS Q-enhancement Bandpass-Filter for use in Paging Receivers”

In: Proceedings of the 9<sup>th</sup> IEEE/ProRISC Workshop on Circuits, Systems and signal Processing, 1998

[33] **L. Collot, J. Lintignat, B. Viala, D. Morche, J-P. Michel, B. Barelaud, B. Jarry**

“Reconfigurable Filtering Differential Low Noise Amplifier Using MEMS tunable Inductor”

Microwave Conference (EuMC), 2010 European

[34] **S. Pipilos, Y. P. Tsividis, J. Fenk, Y. Papananos**

“A Si 1.8 GHz RLC Filter with Tunable Center Frequency and Quality Factor”

IEEE journal of solid-state circuits, Vol. 31, No. 10, October 1996

[35] **R. A. Duncan, K. W. Martin, A. S. Sedra**

“A Q-Enhanced Active-RLC Bandpass Filter”

Department of Electrical and Computer Engineering University of Toronto Toronto  
Ontario CANADA M5S 1A4 1993 IEEE

[36] **D. Li, Y. Tsvividis**

“Active LC filters on silicon”

IEEE Proc-Circuits Devices Syst , Vol. 147, No. 1. February 2000

[37] **T. Soorapanth, S. Wong**

“A 0 dB IL 2140  $\pm$ 30MHz Bandpass Filter utilizing Q-enhanced spiral inductors in standard CMOS ”

IEEE J. Solid-State Circuits, vol. 37, No. 5, MAY 2002.

[38] **J. Kulyk, J. Haslett**

“A Monolithic CMOS 2368 $\pm$ 30 MHz Transformer Based Q-Enhanced Series-C Coupled Resonator Bandpass Filter”

IEEE journal of solid-state circuits, Vol. 41, No. 2, February 2006

[39] **S. Wang , R.X. Wang**

“A tunable bandpass filter using q-enhanced and semi-passive inductors at S-band in 0.18-um CMOS”

Progress In Electromagnetics Research B, Vol. 28, 55-73, 2011

[40] **S. Bantas, Y. Koutsoyannopoulos**

“CMOS Active-LC Bandpass Filters with Coupled-Inductor Q-Enhancement and Center Frequency tuning”

IEEE transactions on circuits and systems, vol.51, n° 2, February 2004.

[41] **S. Bantas, Y. Papananos, Y. Koutsoyannopoulos**

“CMOS tunable bandpass RF filters utilizing coupled on-chip inductors ”

In Proc. ISCAS'99, vol. 2, Orlando, FL, June 1999, pp. 581–584.

[42] **A. Dinh, J. Ge**

“A Q-Enhanced 3.6 GHz, Tunable, Sixth-Order Bandpass Filter Using 0.18  $\mu\text{m}$  CMOS”

Research Article ID 84650 Volume 2007

[43] **B. Georgescu, H. Pekau, J. Haslett and J. McRory**

“Tunable Coupled Inductor Q-Enhancement for Parallel Resonant LC Tanks”

IEEE Transactions on circuits and systems-II: analog and digital signal processing, Vol. 50, No. 10, October 2003

[44] **D. Li, Y. Tsvividis**

“Design Techniques for Automatically Tuned Integrated Gigahertz-Range Active LC Filters”

IEEE J. Solid-State Circuits, vol. 37, NO. 8, AUGUST 2002.



**Chapitre II : Inductance compensée à trois  
inductances couplées et modélisation du  
transformateur en technologies CMOS 65 nm et  
BiCMOS 0,25  $\mu\text{m}$**



## **I. Introduction**

L'utilisation, en technologie MMIC d'une inductance passive dans des structures performantes de filtrage radiofréquence et microonde rencontre plusieurs problèmes tels que :

- La difficulté de réaliser des inductances de fortes valeurs,
- L'impossibilité de faire varier "électriquement" la valeur de l'inductance,
- Sa dimension géométrique importante,
- L'impossibilité de réaliser des inductances sans pertes (faible facteur de qualité).

Ces dernières caractéristiques empêchent la réalisation de filtres passifs intégrés très sélectifs. Plusieurs techniques ont été utilisées pour résoudre ces problèmes présentant des topologies d'inductances actives (gyrateurs) ou bien des topologies d'inductances compensées (inductances passives compensées par une résistance négative). Malheureusement, ces solutions montrent toujours des limitations lors de leur utilisation aux radiofréquences comme une consommation en courant élevée et une dégradation en bruit et en linéarité. Ces travaux de thèse portent sur la conception d'une nouvelle méthode de compensation des pertes à travers le couplage magnétique entre trois inductances qui permet de réduire les pertes de l'inductance équivalente et donc d'augmenter son facteur de qualité. Cette technique utilise un seul transistor commandé en tension et permet de réduire la consommation du circuit global.

Dans la première partie de ce chapitre, nous présentons cette nouvelle topologie d'inductance compensée utilisant un transformateur à trois inductances couplées, ainsi que le dessin du transformateur.

Dans la deuxième partie, nous détaillons la méthodologie de modélisation électrique développée pour le transformateur réalisé en technologies CMOS 65 nm et BiCMOS 0,25  $\mu\text{m}$  de NXP.

Enfin, la troisième partie est consacrée à la recherche des architectures de types passe bande utilisant l'inductance compensée.

## II. Conception de l'inductance compensée

### II.1. Principe de fonctionnement

#### II.1.1. Introduction

La conception de l'inductance compensée s'inspire des références [1], [2] et [3]. Cette nouvelle architecture consiste à mettre en œuvre un transformateur à trois inductances couplées associé à un transistor de compensation.

Pour comprendre le principe de fonctionnement de ce circuit, nous commençons par étudier le concept du couplage entre deux inductances, puis nous analysons l'association transformateur-transistor de compensation afin de trouver la condition permettant d'améliorer le facteur de qualité de l'inductance compensée.

#### II.1.2. Concept du couplage entre deux inductances

Les deux grandeurs caractéristiques qui quantifient le couplage entre deux inductances couplées sont le facteur de couplage  $k$  et la mutuelle inductance  $M$ . Pour deux inductances couplées de valeurs  $L_1$  et  $L_2$ ,  $k$  et  $M$  sont reliés par la relation suivante :

$$k = \frac{M}{\sqrt{L_1 L_2}}$$

Afin de simplifier le calcul, nous supposons que les deux inductances sont identiques de valeur  $L$  et de résistances de pertes  $R$  (cf. Figure II-1).

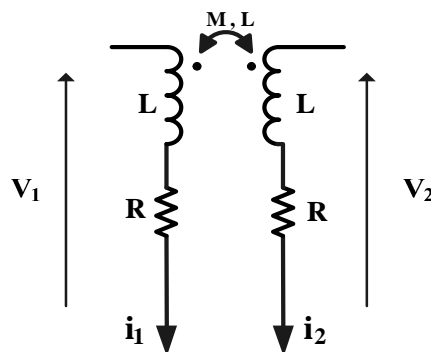


Figure II-1 : Deux inductances couplées

Les relations entre les courants et les tensions dans les deux branches sont définies:

$$V_1 = (R + jL\omega)i_1 + jM\omega i_2 \quad (\text{II-1})$$

$$V_2 = (R + jL\omega)i_2 + jM\omega i_1$$

L'expression de l'impédance d'entrée est alors :

$$Z_{in} = \frac{V_1}{i_1} = jL\omega + R + jM\omega \frac{i_2}{i_1} \quad (\text{II-2})$$

On pose :

$$\alpha + j\beta = \frac{i_2}{i_1} \quad \text{et} \quad M = kL \quad (\text{II-3})$$

En remplaçant (II-3) dans (II-2), l'expression de  $Z_{in}$  peut être exprimée comme suit :

$$Z_{in} = R - \beta kL\omega + j\omega L(1 + \alpha k) \quad (\text{II-4})$$

A partir de (II-4), nous trouvons les expressions de l'inductance effective  $L_{eff}$  et la résistance effective  $R_{eff}$  :

$$L_{eff} = L(1 + \alpha k) \quad (\text{II-5})$$

$$R_{eff} = R - \beta kL\omega \quad (\text{II-6})$$

Le facteur de qualité à vide  $Q_0$  de chaque inductance est égal à :

$$Q_0 = \frac{L\omega}{R} \Rightarrow L\omega = RQ_0 \quad (\text{II-7})$$

L'expression de la résistance effective (II-6) est alors :

$$R_{eff} = R(1 - \beta kQ_0) \quad (\text{II-8})$$

Le facteur de qualité effective est donné par la relation :

$$Q_{eff} = \frac{L_{eff}\omega}{R_{eff}} = \frac{\omega L(1 + \alpha k)}{R(1 - \beta kQ_0)} \quad (\text{II-9})$$

A partir de l'expression (II-9), on retrouve les deux conditions pour lesquelles le facteur de qualité  $Q_{eff}$  est maximum :

Conditions	$\alpha$	k	$\beta$	$R_{eff}$ et $L_{eff}$	$Q_{eff}$
1	$\alpha > 0$	$k > 0$	$0 < \beta < (kQ_0)^{-1}$	$R_{eff} \downarrow$ et $L_{eff} \uparrow$	$Q_{eff} \uparrow$
2	$\alpha < 0$	$k < 0$	$(kQ_0)^{-1} < \beta < 0$	$R_{eff} \downarrow$ et $L_{eff} \uparrow$	$Q_{eff} \uparrow$

**Tableau II-1 : Valeurs de  $\alpha$ , k et  $\beta$  pour que  $Q_{eff}$  soit maximum**

### II.1.3. Inductance compensée à trois inductances couplées

Le schéma de l'inductance compensée est représenté sur la Figure II-2. Elle est composée de deux parties. La première partie est la partie passive constituée d'un transformateur à 3 inductances couplées  $L1, L_t$  et  $L_s$ . Pour ce transformateur,  $k$  représente le coefficient de couplage entre  $L1$  et  $L_t$ ,  $k'$  celui entre  $L1$  et  $L_s$  et  $k''$  entre  $L_t$  and  $L_s$ . La deuxième partie est constituée d'un transistor NMOS dans le cas de la technologie CMOS 65nm ou bipolaire dans le cas de la technologie BiCMOS QuBIC4X. Ce transistor joue le rôle d'une source de courant commandée par les tensions  $V_{dc1}$  et  $V_{dc2}$ . De plus, les capacités « $C_{dec}$ » sont ajoutées pour découpler le courant continu.

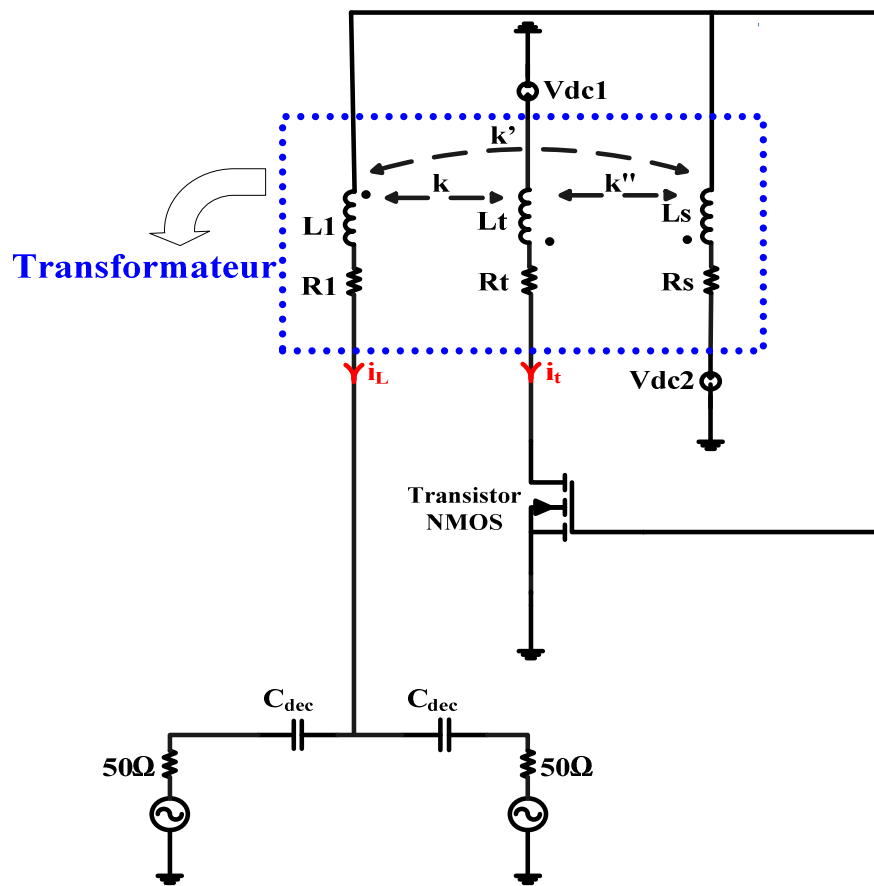


Figure II-2 : Schéma de l'inductance compensée

**II.1.3.1. Inductance compensée utilisant un transistor NMOS**

A l'aide du modèle petit signal du transistor à effet de champ NMOS illustré dans la Figure II-3, nous pouvons analyser le comportement petit signal de l'inductance compensée comme montré sur la Figure II-4.

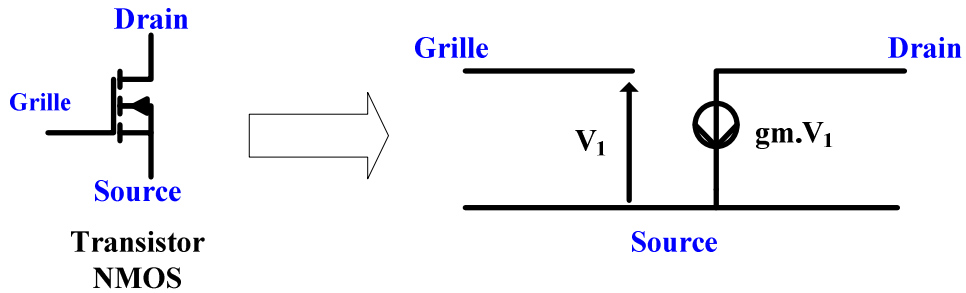


Figure II-3 : Schéma petit signal du transistor NMOS

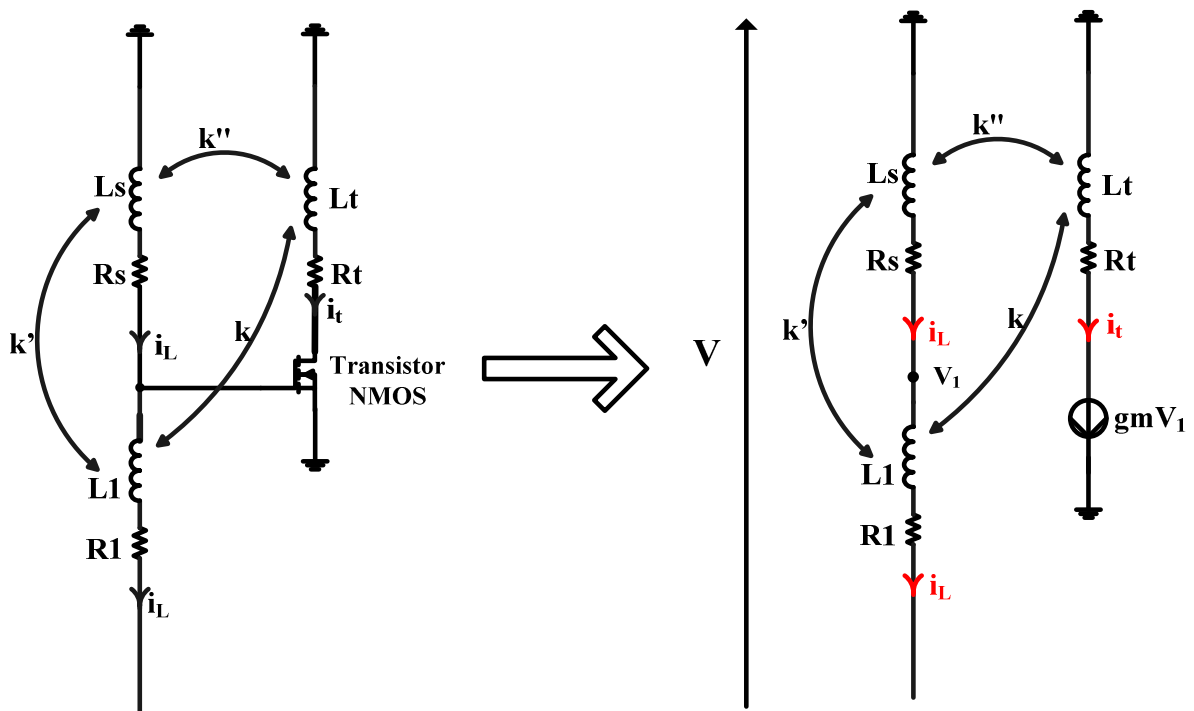


Figure II-4 : Circuit petit signal de l'inductance compensée

En analysant le circuit de la Figure II-4, nous pouvons considérer le circuit comme une structure composée de deux branches (similaire au cas de la Figure II-1). Une branche est constituée de l'inductance principale formée par  $L1$  et  $Ls$  et l'autre est constituée de l'inductance de compensation  $Lt$ .

Pour déterminer la partie réelle ( $R_{eff}$ ), la partie imaginaire ( $L_{eff}$ ) ainsi que le facteur de qualité ( $Q_{eff}$ ) de l'inductance compensée, nous supposons que les trois inductances possèdent une valeur identique  $L$  ( $Ll=Lt=Ls=L$ ), et une résistance de perte identique  $R$  ( $Rl=Rt=R_s=R$ ). De plus, on suppose négligeable le courant de grille du transistor NMOS.

La tension en entrée  $V$  de la Figure II-4 est donnée par la relation :

$$V = (2j\omega L + 2R + 2j\omega M')i_L + jM''\omega i_t + jM\omega i_t \quad (\text{II-10})$$

En divisant l'expression (II-10) par le courant  $i_L$  et en posant  $\alpha + j\beta = \frac{i_t}{i_L}$ , nous retrouvons

l'expression de l'impédance d'entrée de l'inductance compensée comme suit :

$$\frac{V}{i_L} = 2R - M''\omega\beta - M\omega\beta + j\omega(2L + 2M' + M''\alpha + M\alpha) \quad (\text{II-11})$$

On a :  $M = kL$  et  $Q_0 = \frac{L\omega}{R}$  (II-12)

En remplaçant (II-12) dans (II-11), on retrouve l'expression finale de l'impédance effective :

$$Z_{eff} = R(2 - k''Q_0\beta - kQ_0\beta) + j\omega L(2 + 2k' + \alpha k'' + \alpha k) \quad (\text{II-13})$$

Le circuit est donc équivalent à une inductance simple accès reliée à la masse. Elle est composée d'une inductance idéale de valeur  $L_{eff}$  en série avec une résistance de valeur  $R_{eff}$ .

Les expressions de  $L_{eff}$ ,  $R_{eff}$  et  $Q_{eff}$  sont les suivantes :

$$\begin{aligned} L_{eff} &= L(2 + 2k' + \alpha k'' + \alpha k) \\ R_{eff} &= R(2 - k''Q_0\beta - kQ_0\beta) \\ Q_{eff} &= \frac{L_{eff}\omega}{R_{eff}} = \frac{L\omega(2 + 2k' + \alpha k'' + \alpha k)}{R(2 - k''Q_0\beta - kQ_0\beta)} \end{aligned} \quad (\text{II-14})$$

A partir de l'expression (II-14), on retrouve la condition pour laquelle le facteur de qualité  $Q_{eff}$  est maximum :

	$\alpha$ et $\beta$	Coef. de couplages	$R_{eff}$ et $L_{eff}$	$Q_{eff}$
Condition	$\alpha < 0, \beta < 0$	$k < 0, k'' < 0$ et $k' > 0$	$R_{eff} \downarrow$ et $L_{eff} \uparrow$	$Q_{eff} \uparrow$

Tableau II-2 : Condition pour que  $Q_{eff}$  soit maximum



Pour assurer la stabilité du circuit, il faut que le dénominateur de l'expression (II-14) soit toujours positif. Ceci implique que le circuit est stable si  $\beta$  respecte la condition suivante :

$$k''Q_0\beta + kQ_0\beta < 2$$

$$\Rightarrow |\beta| < \frac{2}{Q_0(k''+k)} \quad (\text{II-15})$$

Les parties réelle ( $R_{\text{eff}}$ ) et imaginaire ( $L_{\text{eff}}$ ) de l'inductance compensée sont déduites de l'analyse du montage de la Figure II-5 :

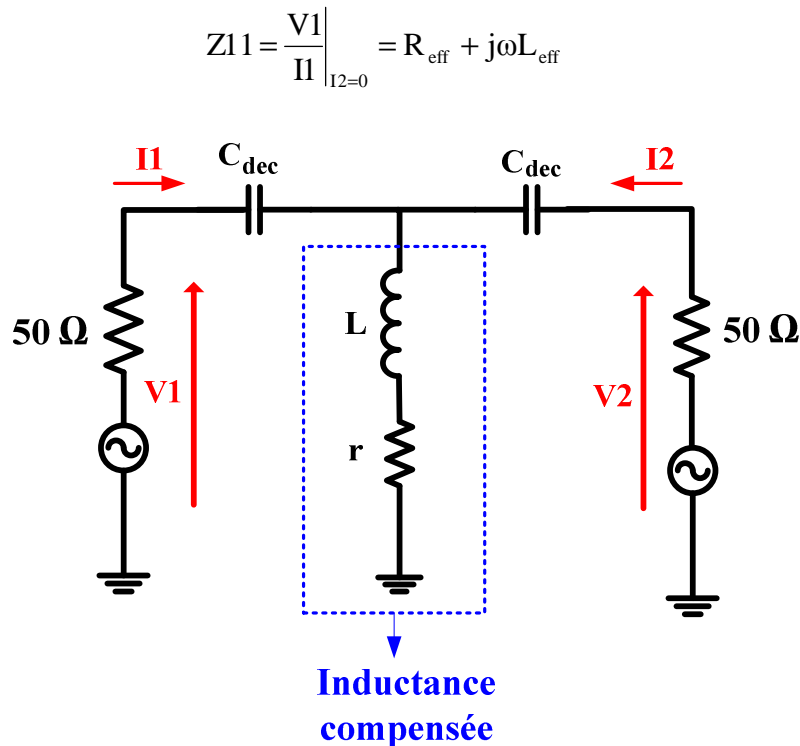


Figure II-5 : Inductance compensée à deux ports

Afin de concevoir un résonateur LC, cette inductance compensée peut être associée à une capacité C. La fréquence de résonance  $f_0$  du résonateur est donnée par l'expression suivante :

$$f_0 = \frac{1}{2\pi\sqrt{L_{\text{eff}}C}} = \frac{1}{2\pi\sqrt{LC(2 + 2k' + \alpha k'' + \alpha k)}} \quad (\text{II-16})$$

On remarque d'après la relation (II-16) que  $f_0$  est fonction du facteur  $\alpha$  et ne dépend pas de  $\beta$ . De plus, la résistance effective  $R_{\text{eff}}$  (équation II-14) ne dépend que de  $\beta$ . Donc la compensation des pertes est assurée en faisant varier  $\beta$ .

**II.1.3.2. Inductance compensée avec un transistor bipolaire**

Dans le cas de l'inductance compensée utilisant un transistor bipolaire de compensation le calcul est similaire. Le schéma équivalent petit signal du transistor est présenté sur la Figure II-6 et le circuit équivalent petit signal de l'inductance compensée est montré dans la Figure II-7.

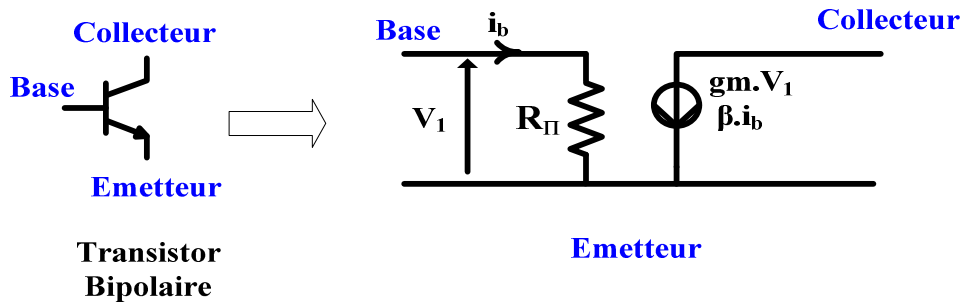


Figure II-6 : Schéma petit signal du transistor

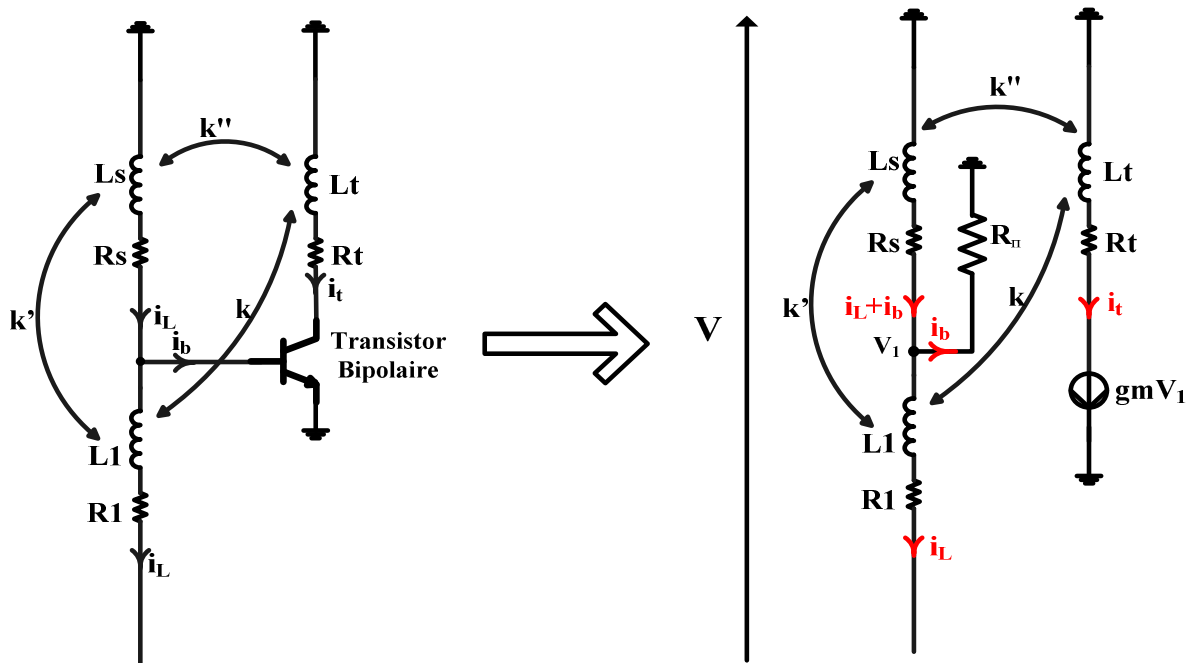


Figure II-7 : Schéma petit signal de l'inductance compensée

Le courant  $i_L$  est très supérieur à  $i_b$  (donc  $i_L+i_b \approx i_L$ ) et la résistance  $R_{\pi}$  est de forte valeur, on obtient donc les mêmes équations que celles trouvées précédemment pour l'inductance  $L_{eff}$  et la résistance  $R_{eff}$  ainsi que la condition conduisant à obtenir  $Q_{eff}$  maximum:

$$L_{eff} = L(2 + 2k' + ak'' + ak)$$

$$R_{eff} = R(2 - k''Q_0\beta - kQ_0\beta)$$

$$Q_{\text{eff}} = \frac{L_{\text{eff}} \omega}{R_{\text{eff}}} = \frac{L\omega(2 + 2k' + \alpha k'' + \alpha k)}{R(2 - k'' Q_0 \beta - k Q_0 \beta)}$$

	$\alpha$ et $\beta$	Coef.de couplages	$R_{\text{eff}}$ et $L_{\text{eff}}$	$Q_{\text{eff}}$
Condition	$\alpha < 0, \beta < 0$	$k < 0, k'' < 0$ et $k' > 0$	$R_{\text{eff}} \downarrow$ et $L_{\text{eff}} \uparrow$	$Q_{\text{eff}} \uparrow$

### II.1.3.3. Calcul des paramètres $\alpha$ et $\beta$

Pour calculer les valeurs des facteurs  $\alpha$  et  $\beta$  qui représentent la partie réelle et imaginaire du rapport des courants  $i_t$  et  $i_L$  dans les deux branches ( $\alpha + j\beta = i_t/i_L$ ) nous analysons le circuit de la Figure II-8.

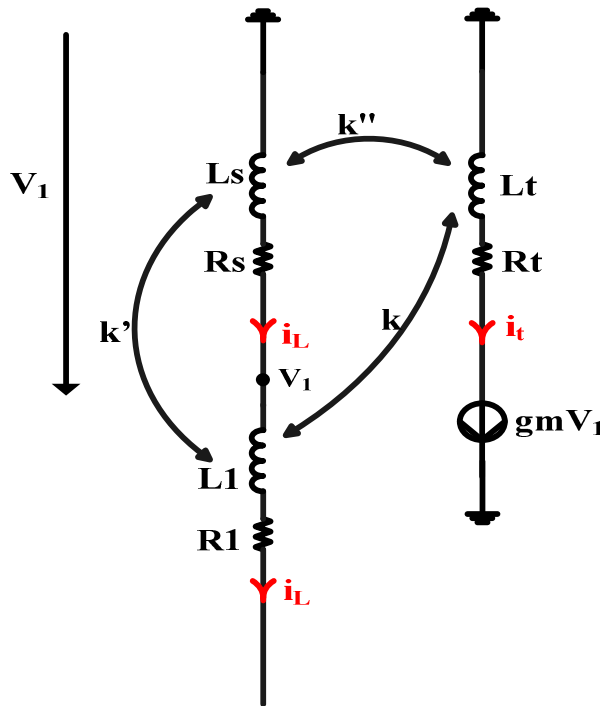


Figure II-8 : Schéma équivalent petit signal de l'inductance compensée

L'analyse du circuit donne :

$$V_1 = -(jL\omega + R)i_L + jM'\omega i_L + jM''\omega i_t \quad (\text{II-17})$$

En divisant l'expression (II-17) par  $i_t$ , on obtient l'expression suivante :

$$\frac{V_1}{i_t} = \frac{i_L}{i_t} (-jL\omega - R + jM'\omega) + jM''\omega \quad (\text{II-18})$$

Et :

$$i_t = g_m V_1 \Rightarrow \frac{V_1}{i_t} = \frac{1}{g_m} \quad (\text{II-19})$$

$$M = kL , M' = k'L \text{ et } M'' = k''L \quad (\text{II-20})$$

En utilisant les expressions (II-18), (II-19) et (II-20), on retrouve l'expression finale du rapport entre les deux courants  $i_t$  et  $i_L$  :

$$\frac{i_t}{i_L} = \frac{L^2 k'' \omega^2 g_m^2 - g_m R - g_m^2 k' k'' L^2 \omega^2 + j(-L \omega g_m - R k'' L \omega g_m^2 + k' L \omega g_m)}{1 + g_m^2 \omega^2 k''^2 L^2} \quad (\text{II-21})$$

$$\text{On a : } \frac{i_t}{i_L} = \alpha + j\beta$$

Alors :

$$\alpha = \frac{-g_m R + L^2 \omega^2 k'' g_m^2 (1 - k')}{1 + g_m^2 \omega^2 k''^2 L^2} \quad (\text{II-22})$$

Et

$$\beta = \frac{-L \omega g_m (1 - k') - R k'' L \omega g_m^2}{1 + g_m^2 \omega^2 k''^2 L^2} \quad (\text{II-23})$$

Si on considère que  $g_m \ll 1 \text{ A/V}$  :

L'équation (II-23) devient alors :

$$|\beta| = L \omega g_m (1 - k') \quad (\text{II-24})$$

La nouvelle condition de stabilité (II-15) est alors exprimée comme suit (II-25) :

$$L \omega g_m (1 - k') < \frac{2}{Q_0 (k'' + k)}$$

$$\Rightarrow g_m < \frac{2}{\omega L Q_0 (1 - k') (k'' + k)} \quad (\text{II-25})$$

Cette expression montre que la transconductance  $g_m$  du transistor est inversement proportionnelle au facteur de qualité de chaque inductance ( $Q_0$ ) et aux coefficients de couplages entre les trois inductances, c'est-à-dire au facteur  $Q_0 (1 + |k'|)(|k''| + |k|)$ . Ceci nous permet de mettre en évidence une méthodologie pour minimiser la consommation de l'inductance compensée :

- Concevoir les inductances ( $L_l, L_t, L_s$ ) pour avoir un fort facteur de qualité  $Q_0$ ,
- Maximiser le couplage entre les inductances.

## II.2. Layout du transformateur

### II.2.1. Paramètres géométriques

La difficulté principale dans la conception de l'inductance compensée consiste à optimiser le transformateur avec un logiciel d'analyse électromagnétique tel que Momentum de ADS [1] [3].

Il existe de multiples possibilités pour réaliser un transformateur. Le choix de la géométrie dépend des paramètres suivants : le facteur de qualité des inductances, le coefficient de couplage entre les inductances, la valeur des inductances, la surface occupée et enfin la fréquence de résonance des inductances.

La Figure II-9 présente les trois possibilités d'implémentation des transformateurs les plus couramment utilisées dans la littérature [9].

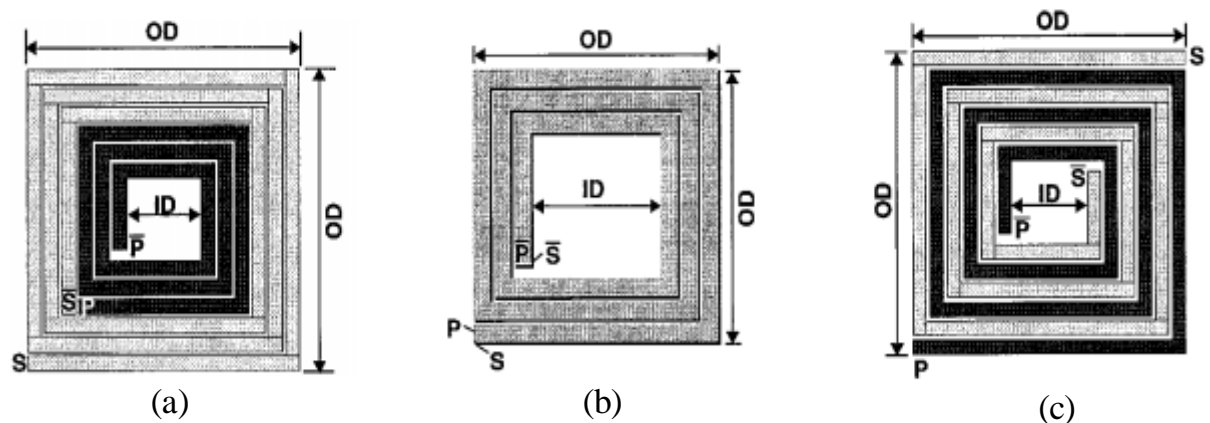


Figure II-9 : Géométries des transformateurs

Nous résumons dans le tableau II-3 les caractéristiques de ces trois géométries.

	Surface	Coefficient de couplage k	Valeur de l'inductance	Fréquence de résonance
(a)	élevée	Faible	moyenne	élevée
(b)	faible	élevé	élevée	faible
(c)	élevée	moyen	faible	élevée

Tableau II-3 : Caractéristiques des trois topologies

D'après ce tableau nous remarquons qu'il n'existe pas de solution idéale et l'optimisation du transformateur se fera suivant le type d'application et la fréquence de travail souhaitée. Dans notre conception, nous avons choisi la première topologie (topologie (a)) parce qu'elle présente trois avantages : les inductances peuvent être réalisées avec le niveau de métallisation le plus éloigné du substrat afin de minimiser les pertes, la possibilité de réaliser de fortes valeurs d'inductances et finalement une fréquence de résonance pour chaque inductance élevée.

Dans le chapitre I nous avons démontré l'importance du facteur de qualité de l'inductance pour concevoir un filtre LC. L'objectif de ce paragraphe est de trouver la meilleure géométrie du transformateur à trois inductances couplées afin d'obtenir un facteur de qualité élevé de l'inductance compensée. Certaines lignes directrices pour le dessin des inductances sont utilisées [4] [5] [13] et sont les suivantes :

- **Séparation entre les lignes :** A basse fréquence (à 2 GHz ou moins), l'espacement entre les lignes doit être fixé à une valeur minimale (la mutuelle inductance diminue lorsque l'espacement entre les lignes augmente). A des fréquences plus élevées (>2GHz) et en raison du couplage entre les tours de l'inductance, un espacement plus grand est souhaitable.
- **Niveaux de métallisations :** Il est préférable d'utiliser le niveau de métallisation le plus éloigné du substrat. La raison est double : il est plus épais donc moins résistif et son éloignement du substrat minimise les effets capacitifs.
- **Géométrie de l'inductance :** La géométrie circulaire présente le facteur de qualité le plus élevé. Cependant, le dessin de ces inductances prend du temps et est difficile à modifier. Ceci nous conduit à utiliser des inductances de forme octogonale.
- **Largeur des lignes :** Plus une ligne est large, plus sa résistivité est faible. Il est donc nécessaire d'utiliser des lignes de largeur importante.
- **Surface :** Une grande surface contribue à augmenter l'effet des éléments parasites et à générer des pertes de substrat hautes fréquences plus importantes. Une inductance occupant une grande surface simule une inductance de forte valeur mais les effets capacitifs accentués vont diminuer la fréquence de résonance de l'inductance.
- **Nombre de tours :** Il est généralement préférable de choisir un nombre minimum de tours à condition que la valeur de l'inductance ne soit pas trop importante. Les tours

internes (au centre de l'inductance) contribuent moins à la valeur de l'inductance il est donc préférable de laisser le centre de l'inductance "vide".

- **Plan de masse :** Afin d'éviter les pertes dues au substrat silicium, nous utilisons un écran électrostatique ou « Shield » en anglais. Cet écran est utilisé sous l'inductance et il est composé de plusieurs barreaux conducteurs parallèles. Ces barreaux sont reliés à la masse et ils sont placés perpendiculairement aux lignes métalliques des trois inductances afin d'éliminer le courant qui se déplace dans le substrat, et donc de minimiser la résistance qui modélise le substrat dans les modèles en Pi.

### II.2.2. Sens des enroulements et dessin du transformateur

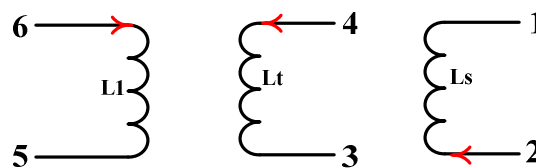
Le coefficient d'inductance mutuelle peut être négatif ou positif compte tenu des deux facteurs suivants :

- Le sens positif des courants dans les inductances (choisi arbitrairement)
- Le sens du bobinage des enroulements.

La démarche de conception des trois inductances couplées comporte les étapes suivantes :

**Etape1 :** Choix du sens des courants dans les inductances.

On suppose que le courant circule dans les inductances, comme illustré dans la Figure II-10.



**Figure II-10 :** Choix du sens des courants

**Etape 2 :** Choix du sens du bobinage.

Pour ce choix il faut qu'on respecte la condition trouvée dans le tableau II-2:

$$k < 0 \quad , \quad k'' < 0 \quad \text{et} \quad k' > 0$$

Pour cela on représente sur la Figure II-11 le signe de  $M$  :

- Quand  $M$  est positif ( $k > 0$ ), les flèches indiquant les sens positifs de circulation des courants sont placées de la même façon par rapport aux deux points indiquant les sens des enroulements (dans le sens ou dans le sens inverse des aiguilles d'une montre).

- Quand  $M$  est négatif ( $k < 0$ ), les flèches indiquant les sens positifs de circulation des courants sont placées de façon différente par rapport aux points indiquant les sens des enroulements.

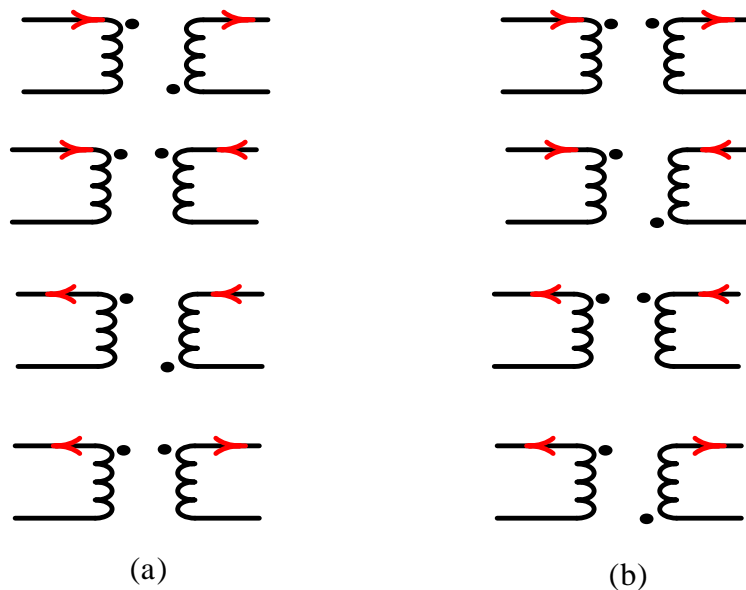


Figure II-11 : Représentation du signe de la mutuelle inductance  $M$ . (a)  $M > 0$  : Les 2 courants entrent (sortent) du côté des points. (b)  $M < 0$  : Un courant entre, l'autre sort du côté des points.

La configuration choisie est représentée sur la figure II-12.

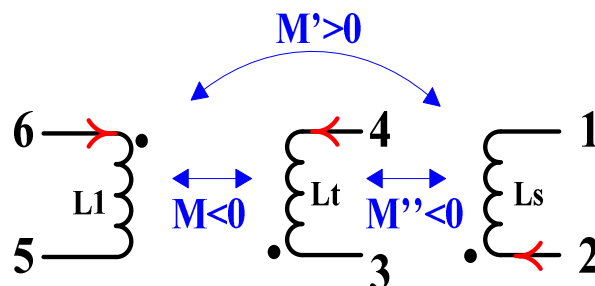


Figure II-12 : Configuration des mutuelles

**Etape 3 :** Dessin du transformateur

A partir de la Figure II-12 nous commençons le dessin du transformateur. La Figure II-13 représente le principe du couplage entre l'inductance  $L_s$  et l'inductance  $L_t$ . Le flux dans l'inductance  $L_t$  est de sens contraire à celui créé dans l'inductance  $L_s$  ; les deux flux se



retranchent et la mutuelle inductance entre les deux inductances est alors négative. Les deux points en noir indiquent le sens des enroulements. Ils sont placés à côté du port où le courant entre dans l'inductance dans le cas où le bobinage est dans le sens des aiguilles d'une montre. Dans le cas où le bobinage est dans le sens inverse des aiguilles d'une montre le point est à côté du port où le courant sort de l'inductance. Cela est montré sur la Figure II-13.

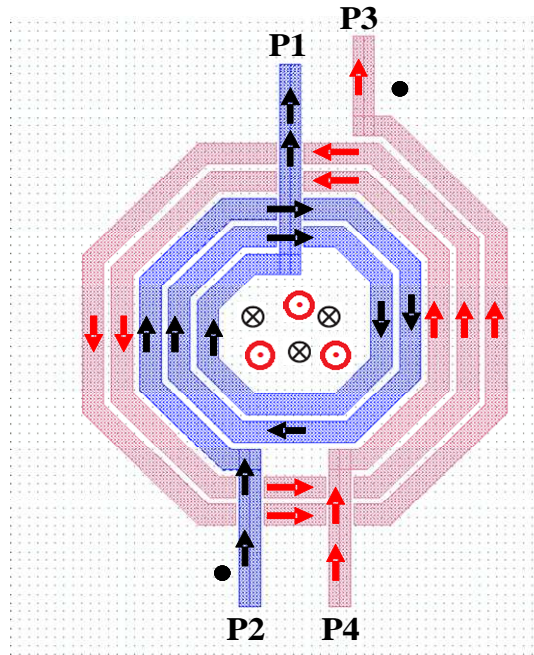


Figure II-13 : Principe du couplage entre l'inductance  $L_t$  et  $L_s$

Le cas est similaire pour l'inductance  $L_l$  et  $L_t$  (Figure II-14 (a)). Donc  $M$  est négatif.

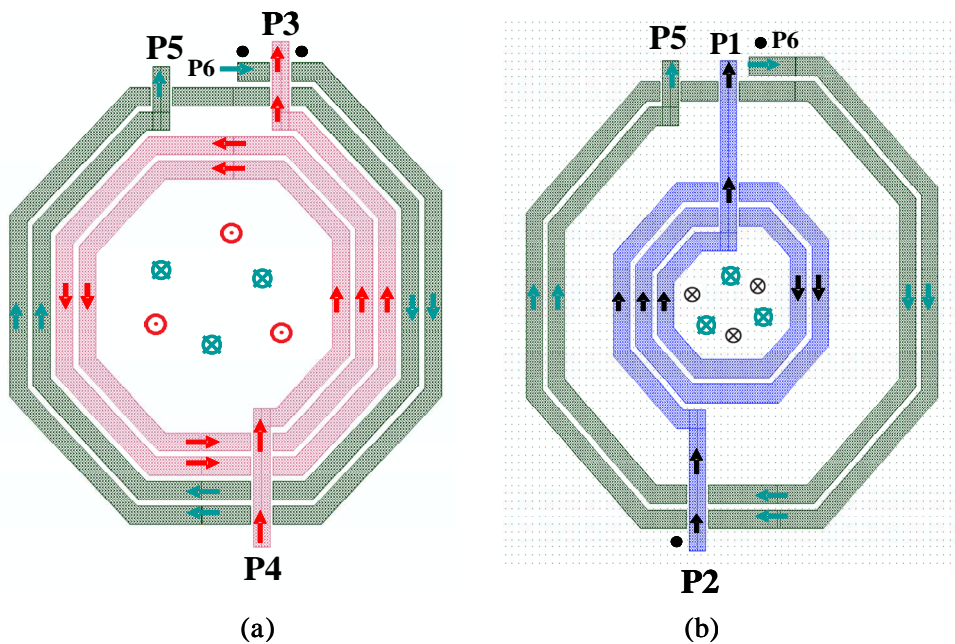


Figure II-14 : Principe du couplage (a) entre  $L_l$  et  $L_t$  (b) entre  $L_l$  et  $L_s$

Dans le cas de la Figure II-14 (b) le flux dans l'inductance  $LI$  a le même sens que le flux crée par l'inductance  $Ls$  ; les deux flux s'ajoutent donc  $M$  est positif.

### **II.2.3. Présentation des deux technologies utilisées dans cette thèse et layout des transformateurs**

Dans cette thèse et dans le cadre du programme SRAMM deux processus technologiques de NXP sont utilisés. Les technologies CMOS 65nm et BiCMOS 0,25  $\mu\text{m}$ . Par souci de simplicité il a été successivement décidé de développer une application en CMOS à 2 GHz (UMTS) puis une application à 1GHz (GSM) en BiCMOS SiGe. Nous présentons ici les inductances compensées conçues dans ce cadre.

#### **II.2.3.1. La technologie CMOS 65 nm**

La technologie CMOS 65 nm comprend cinq procédés de fabrication permettant d'optimiser la conception selon l'application visée. Les cinq procédés sont les suivants : CLN65G, CLN65GP, CLN65LP, CLN65LPG, CLN65ULP. Le procédé qui nous intéresse est le CLN65LP. Ce procédé est dédié aux applications de type basse consommation (procédé Low-Power) : tension d'alimentation  $V_{DD} = 1,2$  V, épaisseur de l'oxyde de grille  $T_{ox} = 1,8$  nm, longueur de grille  $L_g = 65$ nm. Cette technologie offre sept niveaux de métallisation parmi lesquels deux sont épais (M6-M7). Concernant les inductances, plusieurs géométries sont disponibles (carrée, octogonale symétrique).

#### **II.2.3.2. La technologie BiCMOS 0,25 $\mu\text{m}$**

La technologie BiCMOS QUBIC4X comporte des transistors PMOS et NMOS de longueur de grille 0,25 $\mu\text{m}$  et des transistors bipolaires avec une fréquence de transition de 140 GHz. Cette technologie de type SiGe:C offre cinq niveaux de métallisation, des capacités MIM, des capacités variables (Varicap) et plusieurs types de résistances. Ce procédé permet de supporter des tensions d'alimentations comprises entre 1V et 2,5V.

### II.2.3.3. Exemple de layout du transformateur en technologie CMOS 65nm

La Figure II-15 montre le dessin du transformateur à trois inductances en technologie CMOS 65nm. Les inductances  $L_1$ ,  $L_t$  et  $L_s$  sont placées respectivement entre les accès 5-6, 3-4 et 1-2. Les inductances  $L_1$ ,  $L_t$  et  $L_s$  sont réalisées à l'aide de deux enroulements pour les deux premières et trois pour la dernière. Ces trois inductances utilisent deux niveaux de métallisation (M6 et M7) et le tout est de forme symétrique. Les accès 7 et 8 correspondent aux accès de l'écran électrostatique et sont reliés à la masse.

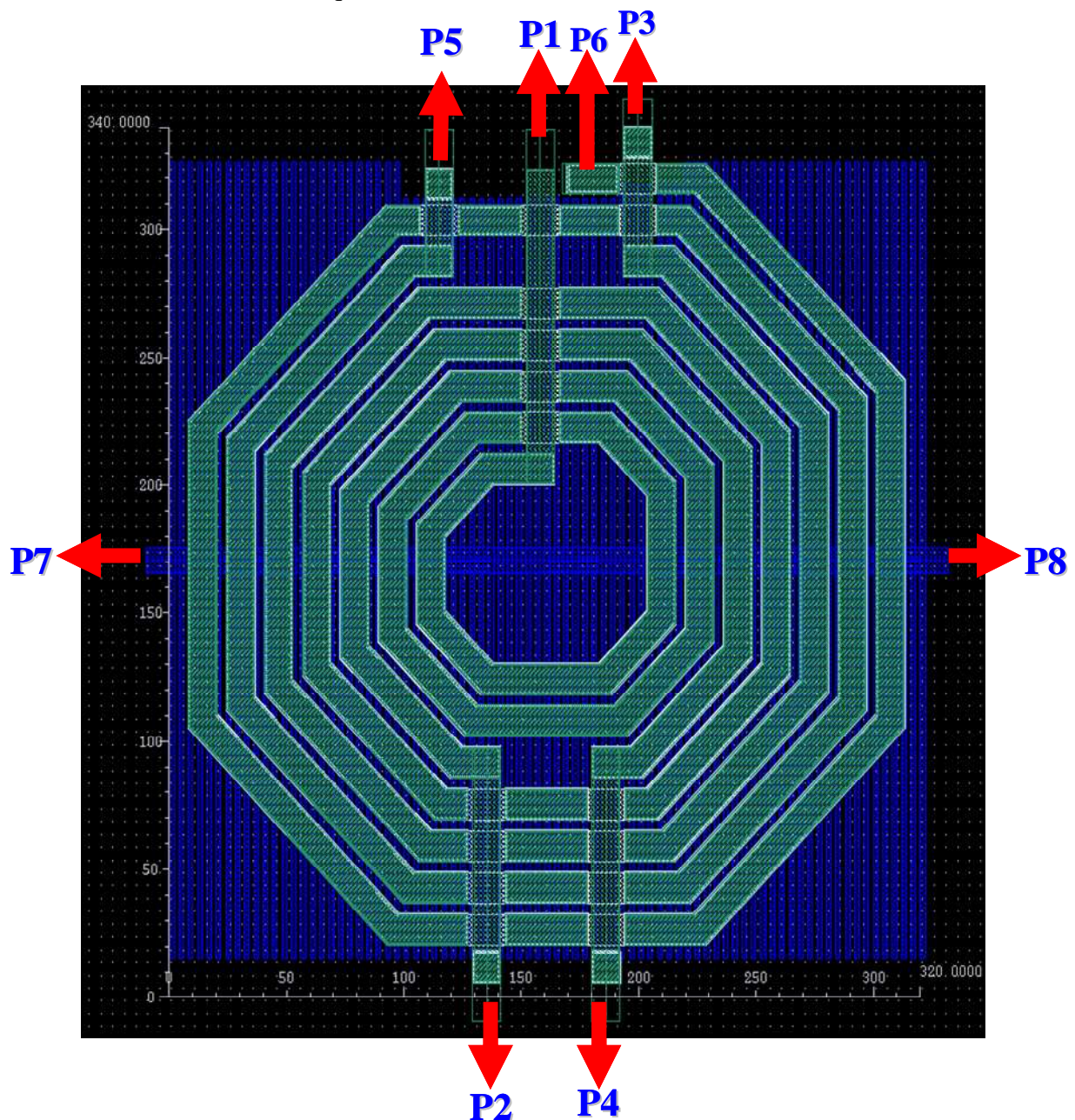


Figure II-15 : Dessin du transformateur en technologie CMOS 65 nm (unité d'échelle en  $\mu\text{m}$ )

**II.2.3.4. Exemple de layout du transformateur en technologie BiCMOS 0,25  $\mu\text{m}$**

La Figure II-16 montre le dessin du transformateur à trois inductances couplées en technologie QuBic4x. Les inductances  $L_1$ ,  $L_t$  et  $L_s$  sont placées respectivement entre les accès 5-6, 3-4 et 1-2. La première inductance  $L_1$  est formée par deux enroulements, la deuxième  $L_t$  est formée par deux tours et demi et enfin la troisième  $L_s$  est formée par trois tours et demi. Les trois inductances utilisent un seul niveau de métallisation (M6). La couche rouge (cf. Figure II-16) représente le « shield », c'est une couche de polysilicium placée comme précédemment entre les lignes des trois inductances et le substrat.

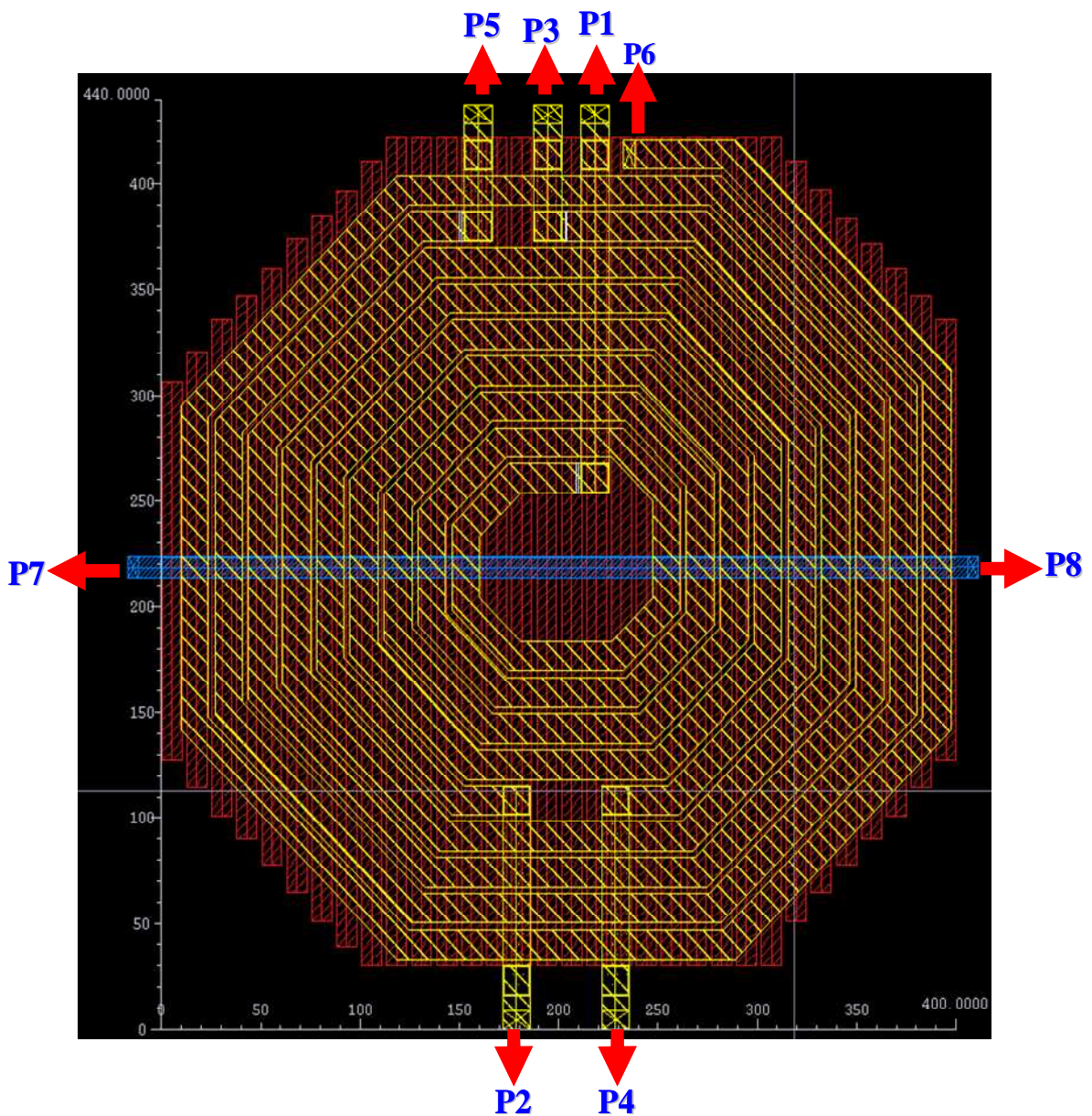


Figure II-16 : Dessin du transformateur en technologie BiCMOS 0,25  $\mu\text{m}$  (unité d'échelle en  $\mu\text{m}$ )

### **III. Modélisation du transformateur**

#### **III.1. Problématique**

La simulation électromagnétique (Momentum) du transformateur permet d'obtenir les paramètres  $S$  de la structure à 3 inductances couplées. Le reste de la conception de l'inductance compensée est réalisée avec l'outil Cadence (*Cadence Design System*). Cependant dans l'environnement de Cadence, l'utilisation d'un fichier de paramètres  $S$  allonge de façon importante les temps de simulation et peut poser un problème dans certaines simulations notamment avec l'analyse PSS (*Periodic Steady State*) qui permet d'évaluer la linéarité de la structure. La solution est alors d'utiliser un modèle électrique équivalent aux trois inductances couplées. Ce modèle doit être simple pour faciliter le transfert de paramètres  $S$  depuis le logiciel Momentum vers le logiciel Cadence. Les publications [6], [7], [8], [9] et [10] proposent des nombreux modèles. Malheureusement ces modèles sont généralement très complexes et permettent rarement de réaliser une approximation simple de leurs différents éléments.

#### **III.2. Méthodologie de modélisation**

Plusieurs travaux évaluent les différents dessins des transformateurs [11] [12] [13] mais ils ne présentent pas une méthode de modélisation simple et efficace. L'objectif de ce paragraphe est de définir une méthodologie de modélisation simple pour reproduire le comportement électromagnétique réel du transformateur à trois inductances couplées et de faciliter le transfert des simulations Momentum vers l'outil cadence.

La méthodologie de modélisation utilisée comporte les étapes suivantes :

- La première étape correspond à l'extraction du modèle en  $Pi$  pour chaque inductance simulée indépendamment.

Pour cette extraction nous utilisons le modèle en  $Pi$  représenté sur la Figure II-17. Ce modèle est le plus couramment rencontré dans la littérature et on le désigne sous le terme de modèle simple  $pi$  à 6 éléments. Les deux avantages principaux de ce modèle sont : le faible nombre de composants et la possibilité de calculer les valeurs de ces composants à partir des résultats de simulation électromagnétique sans passer par une étape d'optimisation. L'inconvénient de ce modèle est la faible bande de fréquence de son domaine de validité.

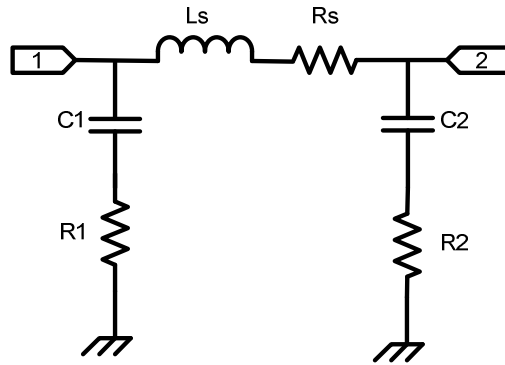


Figure II-17 : Modèle Pi à 2 ports d'une inductance

Pour ce modèle, l'inductance  $L_s$  et la résistance série  $R_s$  représentent respectivement l'inductance et la résistance de la spirale.  $R_1$  et  $R_2$  modélisent le substrat silicium. La couche d'oxyde entre l'enroulement et le substrat est modélisée grâce à  $C_1$  et  $C_2$ .

La Figure II-18 représente le modèle en Pi avec des éléments de type admittance.

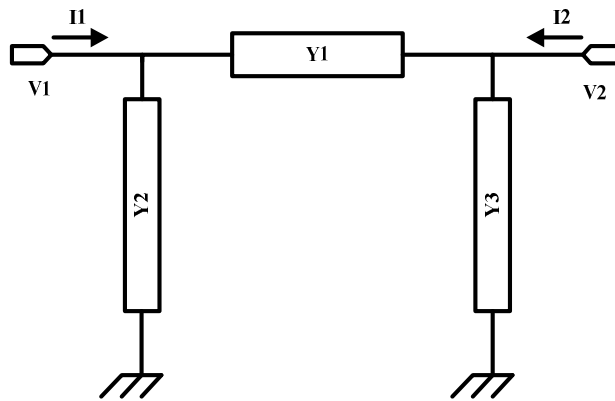


Figure II-18 : Modèle en Pi avec éléments de type admittance

La matrice admittance permet alors d'écrire :

$$\begin{cases} I_1 = Y_{11}V_1 + Y_{12}V_2 \\ I_2 = Y_{21}V_1 + Y_{22}V_2 \end{cases}$$

Pour calculer  $Y_{11}$  :

$$\text{On a } Y_{11} = \left. \frac{I_1}{V_1} \right|_{V_2=0}$$

Donc le schéma de la Figure II-18 peut être modifié de la façon suivante (Figure II-19) :

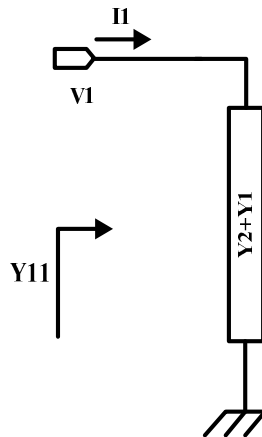


Figure II-19 : Schéma de calcul du paramètre Y11

On peut alors écrire l'expression de Y11 de la façon suivante :

$$Y_{11} = Y_1 + Y_2$$

Le calcul est similaire pour Y22 :

Or  $Y_{22} = \frac{I_2}{V_2} \Big|_{V_1=0}$  alors  $Y_{22} = Y_1 + Y_3$

Pour calculer Y21 :

On a  $Y_{21} = \frac{I_2}{V_1} \Big|_{V_2=0}$ , le schéma de la Figure II-18 sera :

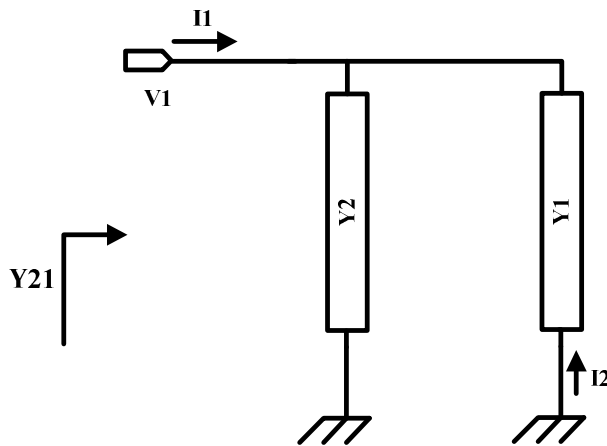


Figure II-20 : Schéma de calcul du paramètre Y21

Donc  $Y_1 = -\frac{I_2}{V_1} = -Y_{21}$

Le calcul est similaire pour Y12 :  $Y_{11} = -Y_{12} = -Y_{21}$

Pour résumer :

$$\begin{cases} Y1 = -Y21 = -Y12 \\ Y11 = Y1 + Y2 \\ Y22 = Y1 + Y3 \end{cases} \Rightarrow \begin{cases} Y2 = Y11 + Y21 \\ Y3 = Y22 + Y12 \end{cases}$$

Donc le schéma de la Figure II-18 peut être transformé comme suit (cf. Figure II-21):

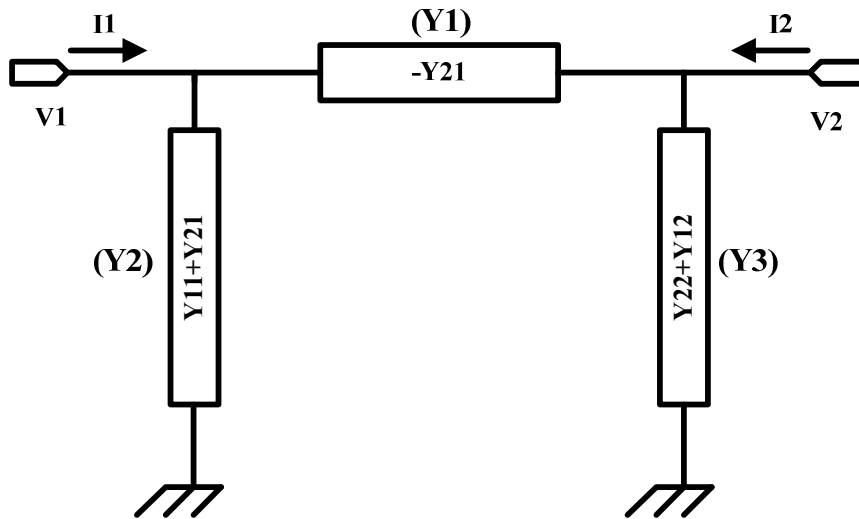


Figure II-21 : Modèle en Pi équivalent en paramètres Y

Les paramètres Y1, Y2 et Y3 s'expriment par :

$$Y1 = \frac{1}{R_s + j\omega L_s} \Rightarrow R_s + j\omega L_s = \frac{1}{Y1} \Rightarrow \begin{cases} R_s = \text{Réal}\left[\frac{1}{Y1}\right] \\ L_s = \frac{\text{imag}\left(\frac{1}{Y1}\right)}{\omega} \end{cases}$$

$$Y2 = \frac{1}{R1 + \frac{1}{j\omega C1}} \Rightarrow R1 + \frac{1}{j\omega C1} = \frac{1}{Y2} \Rightarrow \begin{cases} R1 = \text{Réal}\left[\frac{1}{Y2}\right] \\ C1 = \frac{-1}{\text{imag}\left(\frac{1}{Y2}\right)\omega} \end{cases}$$

$$Y3 = \frac{1}{R2 + \frac{1}{j\omega C2}} \Rightarrow R2 + \frac{1}{j\omega C2} = \frac{1}{Y3} \Rightarrow \begin{cases} R2 = \text{Réal}\left[\frac{1}{Y3}\right] \\ C2 = \frac{-1}{\text{imag}\left(\frac{1}{Y3}\right)\omega} \end{cases}$$



A partir de ces équations et en remplaçant  $Y_1$ ,  $Y_2$  et  $Y_3$  par ces valeurs nous retrouvons les six variables qui composent le modèle en pi ( $L_s$ ,  $R_s$ ,  $R_1$ ,  $R_2$ ,  $C_1$ ,  $C_2$ ) de la Figure II-17.

$$\begin{cases} R_s = \text{Réal}\left(\frac{1}{-Y_{21}}\right) \\ L_s = \frac{\text{imag}\left(-\frac{1}{Y_{21}}\right)}{\omega} \end{cases} \quad \begin{cases} R_1 = \text{Réal}\left(\frac{1}{Y_{11} + Y_{21}}\right) \\ C_1 = \frac{-1}{\text{imag}\left(\frac{1}{Y_{11} + Y_{21}}\right)\omega} \end{cases} \quad \begin{cases} R_2 = \text{Réal}\left(\frac{1}{Y_{22} + Y_{12}}\right) \\ C_2 = \frac{-1}{\text{imag}\left(\frac{1}{Y_{22} + Y_{12}}\right)\omega} \end{cases}$$

- La deuxième étape consiste à calculer les mutuelles inductances entre les 3 inductances couplées de la structure globale.

La Figure II-22 montre le modèle de couplage entre les deux inductances  $L_1$  et  $L_s$

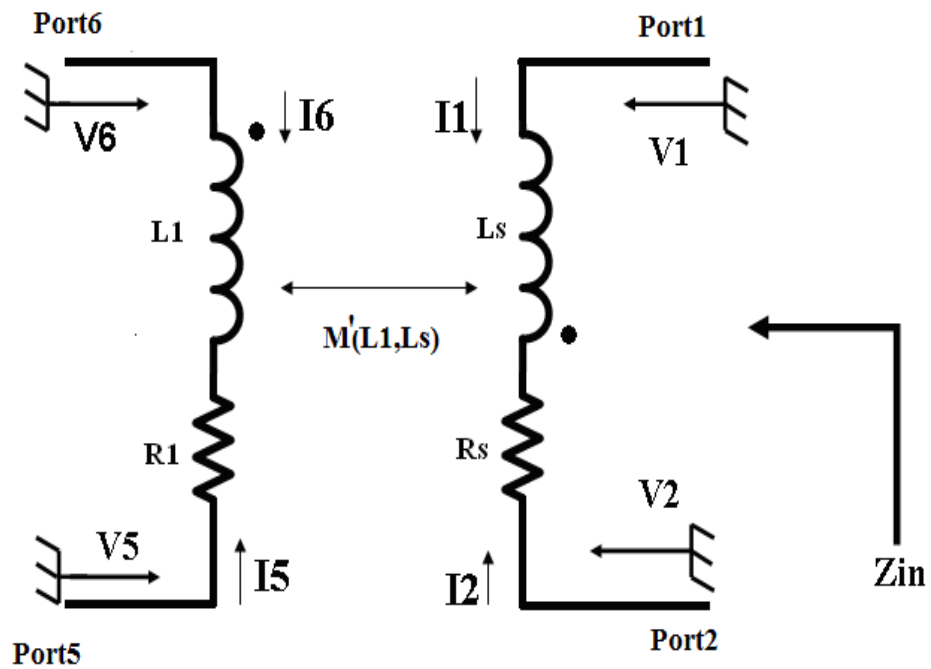


Figure II-22 : Principe du couplage entre l'inductance  $L_1$  et  $L_s$

En utilisant la matrice impédance  $[Z]$  du quadripôle avec les accès numérotés 1, 2, 5 et 6 nous pouvons écrire :

$$V_1 = Z_{11}.I_1 + Z_{12}.I_2 + Z_{15}.I_5 + Z_{16}.I_6$$

$$V_2 = Z_{21}.I_1 + Z_{22}.I_2 + Z_{25}.I_5 + Z_{26}.I_6$$

Et : 
$$V_2 - V_1 = (R_s + j\omega L_s)I_2 + j\omega M'.I_6$$

L'impédance d'entrée  $Z_{in}$  des 2 inductances couplées  $L1, Ls$  est alors:

$$Z_{in} = \frac{V2 - V1}{I2} = R_s + j\omega L_s + j\omega M' \frac{I6}{I2}$$

D'où :

$$V2 - V1 = (Z21 - Z11)I1 + (Z22 - Z12)I2 + (Z25 - Z15)I5 + (Z26 - Z16)I6$$

$$\text{Et on a : } \begin{cases} I1 = -I2 \\ I5 = -I6 \end{cases}$$

$$\text{Donc : } V2 - V1 = (Z22 + Z11 - Z12 - Z21)I2 + (Z26 + Z15 - Z16 - Z25)I6$$

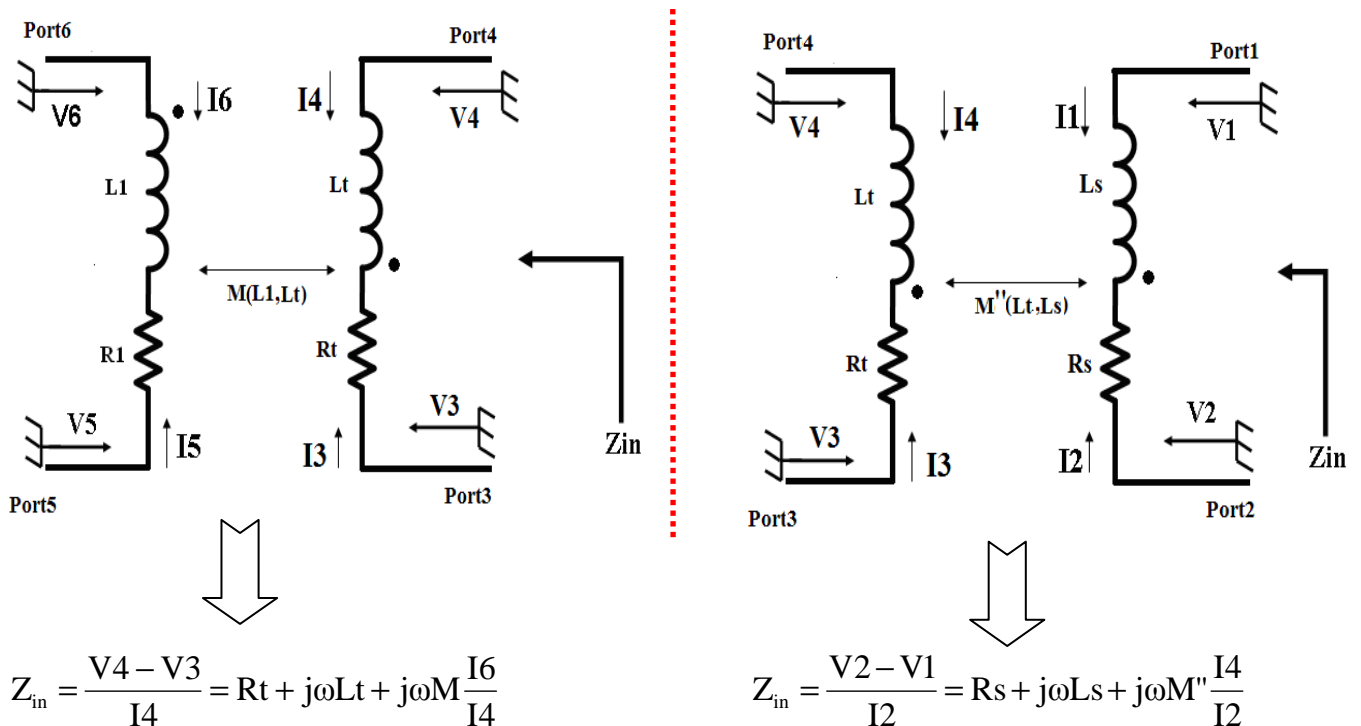
L'expression finale de  $Z_{in}$  est alors :

$$Z_{in} = \frac{(Z22 + Z11 - Z12 - Z21)I2 + (Z26 + Z15 - Z16 - Z25)I6}{I2} = R_s + j\omega L_s + j\omega M' \frac{I6}{I2} \quad (\text{II-26})$$

A partir de (II-26), on trouve l'expression de la mutuelle entre l'inductance  $Ls$  et  $L1$ :

$$(Z26 + Z15 - Z16 - Z25) = j\omega M' \Rightarrow M'(L1, Lt) = \frac{\text{imag}(Z26 + Z15 - Z16 - Z25)}{\omega}$$

Pour le couplage entre les inductances  $(L1, Lt)$ ,  $(Lt, Ls)$ , le calcul est similaire :



$$\text{Alors : } M(L1, Lt) = \frac{\text{imag}(Z46 + Z35 - Z36 - Z45)}{\omega}$$

$$M''(Lt, Ls) = \frac{\text{imag}(Z24 + Z13 - Z14 - Z23)}{\omega}$$

- Finalement, la troisième étape consiste à faire une comparaison entre le fichier des paramètres S à 6 accès simulés avec Momentum et le fichier correspondant au modèle électrique.

Pour cela, on définit en fonction de la fréquence les fonctions d'erreur normalisées  $\epsilon_M$  et  $\epsilon_P$  pour le module et la phase des paramètres S du fichier et du modèle :

$$\epsilon_M = \frac{\text{abs}(|S_{ij}(\text{Momentum})| - |S_{ij}(\text{Modèle})|)}{|S_{ij}(\text{Momentum})|}$$

$$\epsilon_P = \frac{\text{abs}(\text{phase}(S_{ij}(\text{Momentum})) - \text{phase}(S_{ij}(\text{Modèle})))}{|\text{phase}(S_{ij}(\text{Momentum}))|}$$

La fonction d'erreur totale pour le module et la phase est égale à :

$$\text{Fonction d'erreur totale} = \left( \sum_{i=1}^N \epsilon \right) / N$$

Avec N nombre de paramètres S utilisés pour le calcul.

### **III.2.1. Modèle électrique du transformateur en technologies CMOS 65 nm et BiCMOS 0,25 $\mu\text{m}$**

La Figure II-23 représente le modèle électrique proposé du transformateur à trois inductances couplées. Dans ce modèle en Pi, on représente le couplage magnétique par les facteurs ( $k$ ,  $k'$  et  $k''$ ) et le couplage électrique par les capacités ( $CC_{64}$ ,  $CC_{41}$ ,  $CC_{53}$ ,  $CC_{32}$ ,  $CC_{52}$ ). La couche d'oxyde entre l'enroulement et le substrat est représentée par les capacités  $C_{Oxi}$ . Enfin, le substrat de silicium est modélisé grâce aux résistances  $R_{subj}$ . Avec  $i, j \in \{11, t1, s1, 12, t2, s2\}$ .

Il existe physiquement encore une capacité  $c_{61}$  entre le port 6 et le port 1, cependant cette capacité est sans influence car elle est en parallèle avec un court circuit (le port 6 est relié au port1) dans le schéma de l'inductance compensée. Elle est donc supprimée.

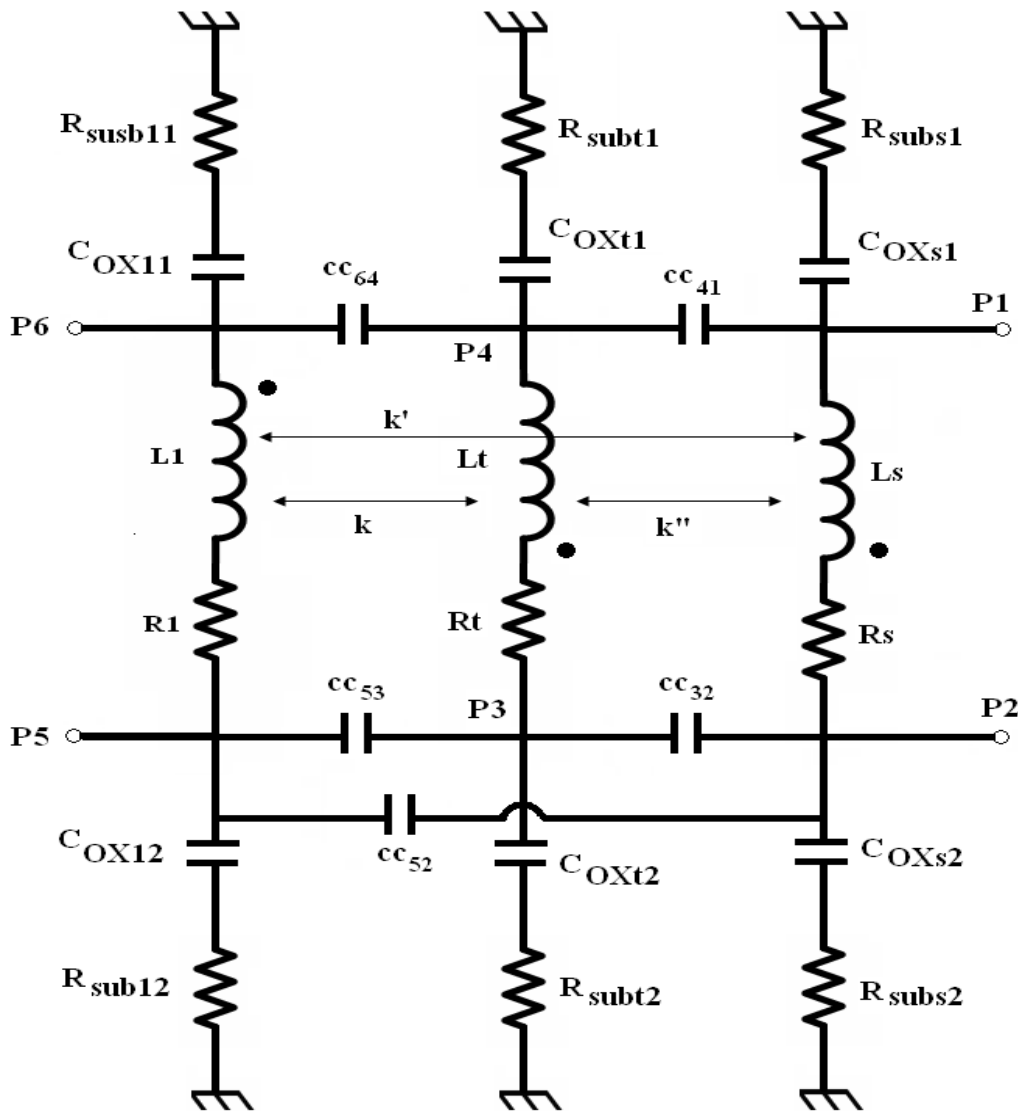


Figure II-23 : Modèle électrique du transformateur dans les deux technologies

Les capacités ( $CC_{64}$ ,  $CC_{41}$ ,  $CC_{53}$ ,  $CC_{32}$ ,  $CC_{52}$ ) représentent le couplage capacitif entre les enroulements des trois inductances et sont calculées théoriquement d'après la relation :

$$C = \frac{\epsilon_0 \epsilon_r \cdot t \cdot l}{d}$$

Avec :  $d$  = distance entre deux lignes métalliques adjacents

$t$  = épaisseur du métal

$l$  = longueur du métal

$\epsilon_0$  = permittivité du vide =  $8,85 \times 10^{-12}$  F/m

$\epsilon_r$  = permittivité de l'oxyde entre les deux métaux.

Dans notre conception, et du fait de la topologie empilée du transformateur et du couplage avec le substrat, les capacités entre les lignes métalliques des inductances présentent une valeur complexe difficile à calculer. Pour une modélisation fiable du transformateur, nous avons choisi de fixer les valeurs de ces capacités de façon à réduire la fonction d'erreur pour que les résultats obtenus par simulation électromagnétique soient les plus proches de ceux obtenus par modélisation électrique.

Le Tableau II-4 présente les valeurs des éléments du transformateur et la fonction d'erreur à 2 GHz en technologie CMOS 65 nm présenté dans la Figure II-15.

Inductance $L_s$	$L_s$	$R_s$	$R_{\text{subs1}}$	$C_{\text{oxs1}}$	$R_{\text{subs2}}$	$C_{\text{oxs2}}$
Valeurs	1,116 nH	2,149 $\Omega$	71 $\Omega$	114,4 fF	60,525 $\Omega$	117,4 fF
Inductance $L_t$	$L_t$	$R_t$	$R_{\text{subt1}}$	$C_{\text{oxt1}}$	$R_{\text{subt2}}$	$C_{\text{oxt2}}$
Valeurs	2,048 nH	3,291 $\Omega$	140,35 $\Omega$	169 fF	88,462 $\Omega$	176 fF
Inductance $L_l$	$L_l$	$R_l$	$R_{\text{subl1}}$	$C_{\text{oxl1}}$	$R_{\text{subl2}}$	$C_{\text{oxl2}}$
Valeurs	2,057 nH	3,714 $\Omega$	104,75 $\Omega$	180 fF	117,9 $\Omega$	179,8 fF
Couplage électrique $cc_{ij}$		$cc_{41}$	$cc_{32}$	$cc_{64}$	$cc_{53}$	$cc_{52}$
Valeurs		40 fF	40 fF	40 fF	40 fF	13,5 fF
Couplage magnétique		$k$	$k'$	$k''$		
Valeurs		-0,456	0,165	-0,33		
Fonction d'erreur		Pour le module		Pour la phase		
Fonction d'erreur totale= $\left( \sum_{i=1}^N \varepsilon \right) / N$		8,4%		8,2%		

Tableau II-4 : Valeurs des éléments du modèle du transformateur en technologie CMOS 65 nm de la Figure II-15.

Le Tableau II-5 présente les valeurs des éléments du transformateur et la fonction d'erreur à 1GHz en technologie BiCMOS 0,25 µm présenté dans la Figure II-16.

Inductance $L_s$	$L_s$	$R_s$	$R_{subs1}$	$C_{oxs1}$	$R_{subs2}$	$C_{oxs2}$
Valeurs	3,626 nH	2,529 Ω	96,85 Ω	97 fF	118,64 Ω	94 fF
Inductance $L_t$	$L_t$	$R_t$	$R_{subt1}$	$C_{oxt1}$	$R_{subt2}$	$C_{oxt2}$
Valeurs	3,267 nH	2,1 Ω	149,377 Ω	92 fF	147,477 Ω	92 fF
Inductance $L_l$	$L_l$	$R_l$	$R_{subl1}$	$C_{oxl1}$	$R_{subl2}$	$C_{oxl2}$
Valeurs	2,859 nH	1,938 Ω	148,7 Ω	135 fF	161,45 Ω	128 fF
Couplage électrique $cc_{ij}$		$cc_{41}$	$cc_{32}$	$cc_{64}$	$cc_{53}$	$cc_{52}$
Valeurs		20 fF	20 fF	15 fF	15 fF	10 fF
Couplage magnétique		$k$	$k'$	$k''$		
Valeurs		-0,558	0,228	-0,328		
Fonction d'erreur		Pour le module		Pour la phase		
Fonction d'erreur totale= $\left( \sum_{i=1}^N \varepsilon \right) / N$		6,4%		2,1%		

Tableau II-5 : Valeurs des éléments du modèle du transformateur en technologie BiCMOS 0,25 µm de la Figure II-16.

## IV. Inductance compensée

### IV.1. Inductance compensée à 2 GHz en technologie CMOS 65 nm

Comme mentionné précédemment, la bande de fréquence de notre étude correspond à des applications sans fil et plus précisément au standard GSM et UMTS. Dans ce but et afin de valider notre conception et notre méthodologie de modélisation nous faisons la conception d'une inductance compensée à 2 GHz en technologie CMOS 65 nm. Le schéma de l'inductance compensée est représenté sur les Figures II-24,25. Nous avons ajouté deux capacités ( $C_{11}$  et  $C_{12}$ ) de fortes valeurs entre la masse et les inductances  $L_s$  et  $L_t$ , une inductance  $L_{\text{choke}}$  et une résistance  $R_{\text{choke}}$  en série avec l'alimentation afin de découpler le signal RF. Notons que le fichier .s8p (cf. Figure II-24) correspond aux paramètres S de la simulation électromagnétique (Momentum) du transformateur. Les accès 7 et 8 correspondent aux accès de l'écran électrostatique et sont reliés à la masse.

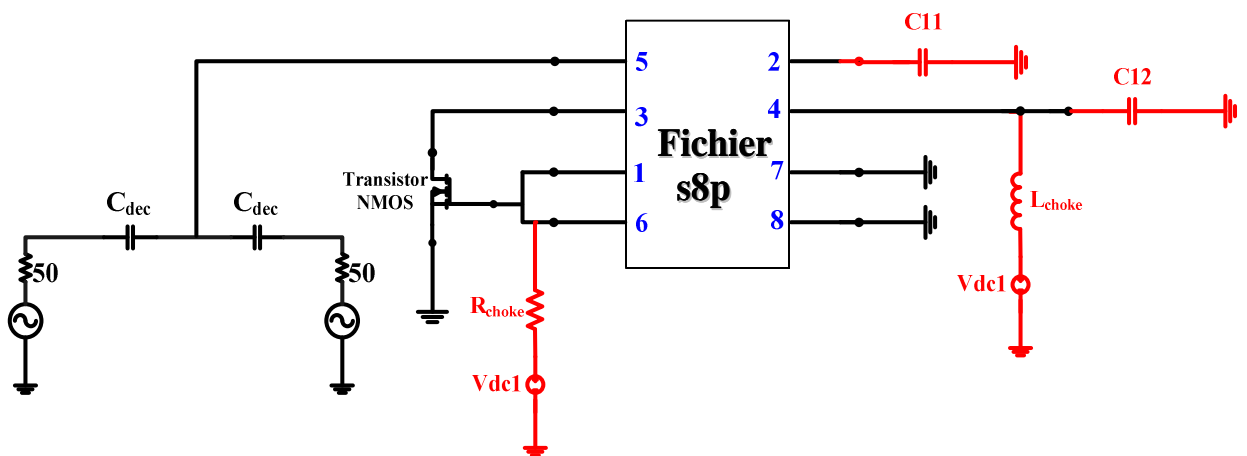


Figure II-24 : Schéma de l'inductance compensée avec fichier .s8p

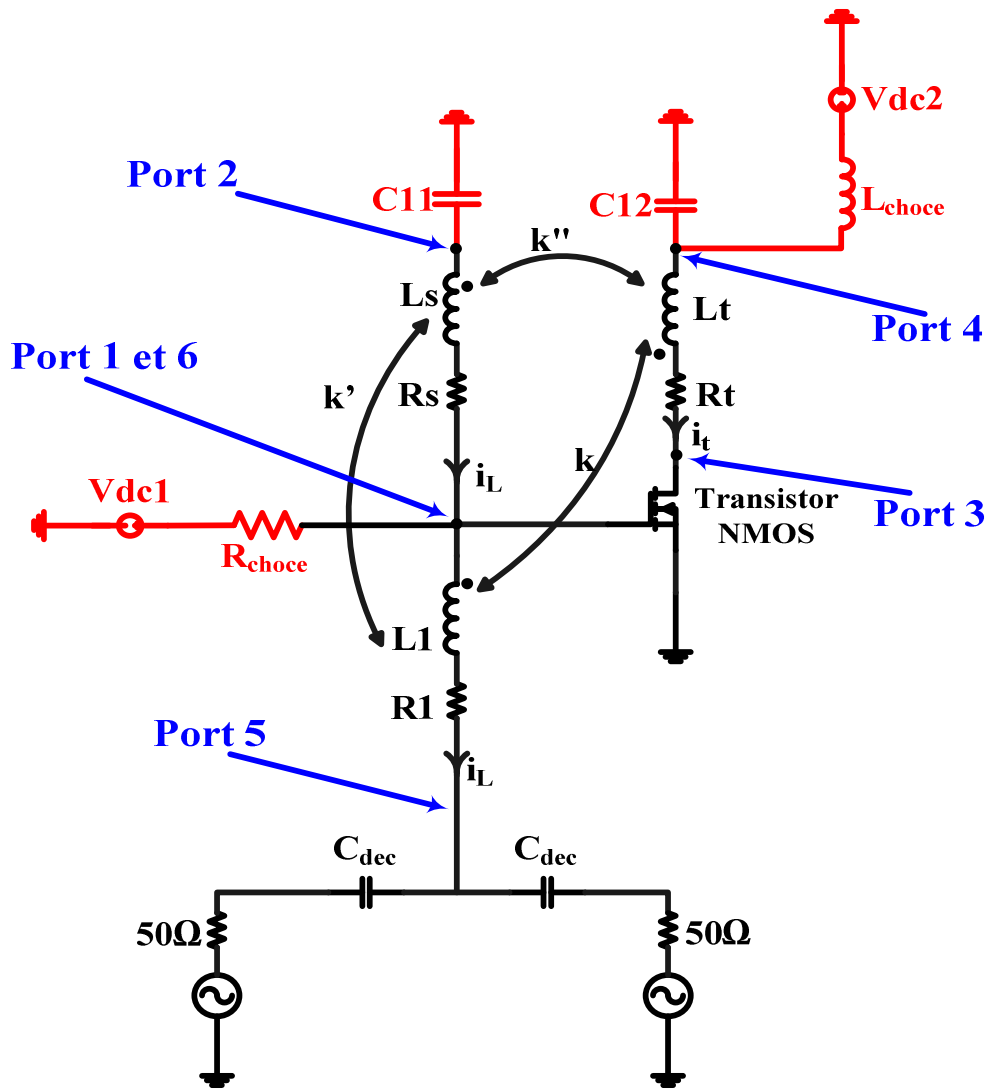


Figure II-25 : schéma électrique de l'inductance compensée

Les Figures II-26,27 montrent respectivement la partie réelle et imaginaire de l'inductance compensée entre 0,1 et 3GHz. Les Figures II-28,30 montrent respectivement la partie réelle et imaginaire de l'inductance compensée entre 1,7GHz et 2,2GHz (Autour de la fréquence centre 2GHz). Nous voyons d'après ces courbes que l'inductance compensée à une valeur de 7,42 nH à 2 GHz et une fréquence de résonance 2,573 GHz. Sa résistance série à une de valeur de 0,04 Ω, soit un facteur de qualité de 2331.



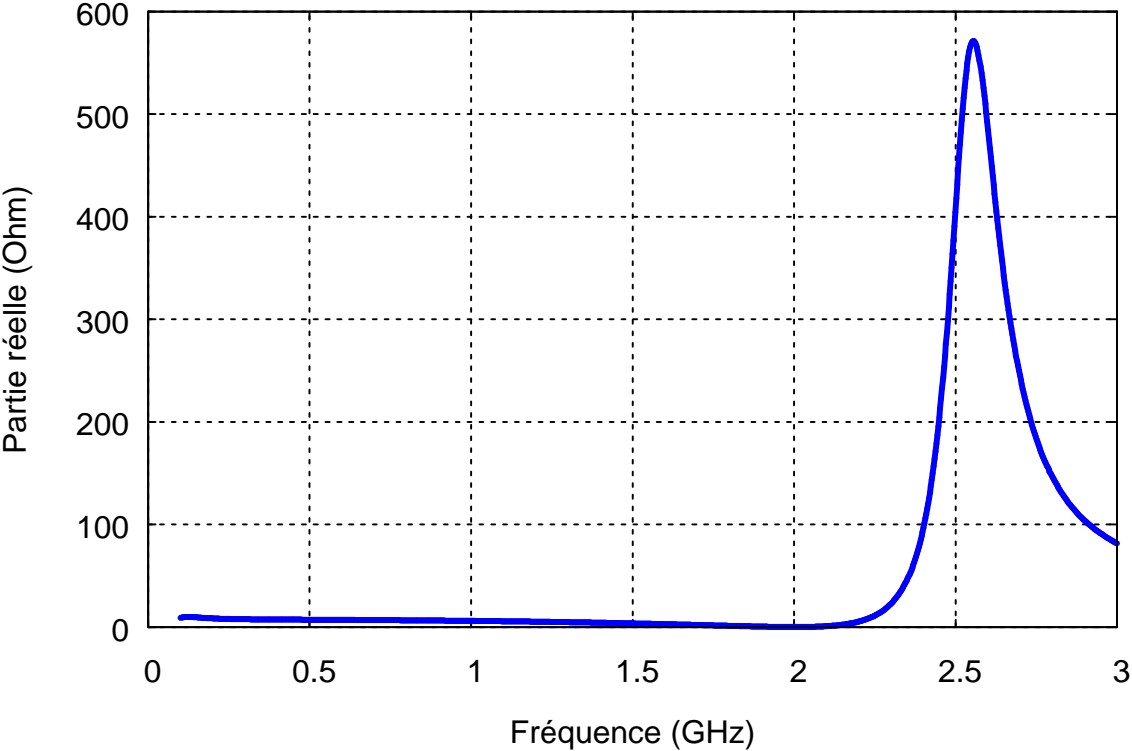


Figure II-26 : Partie réelle de l'inductance compensée

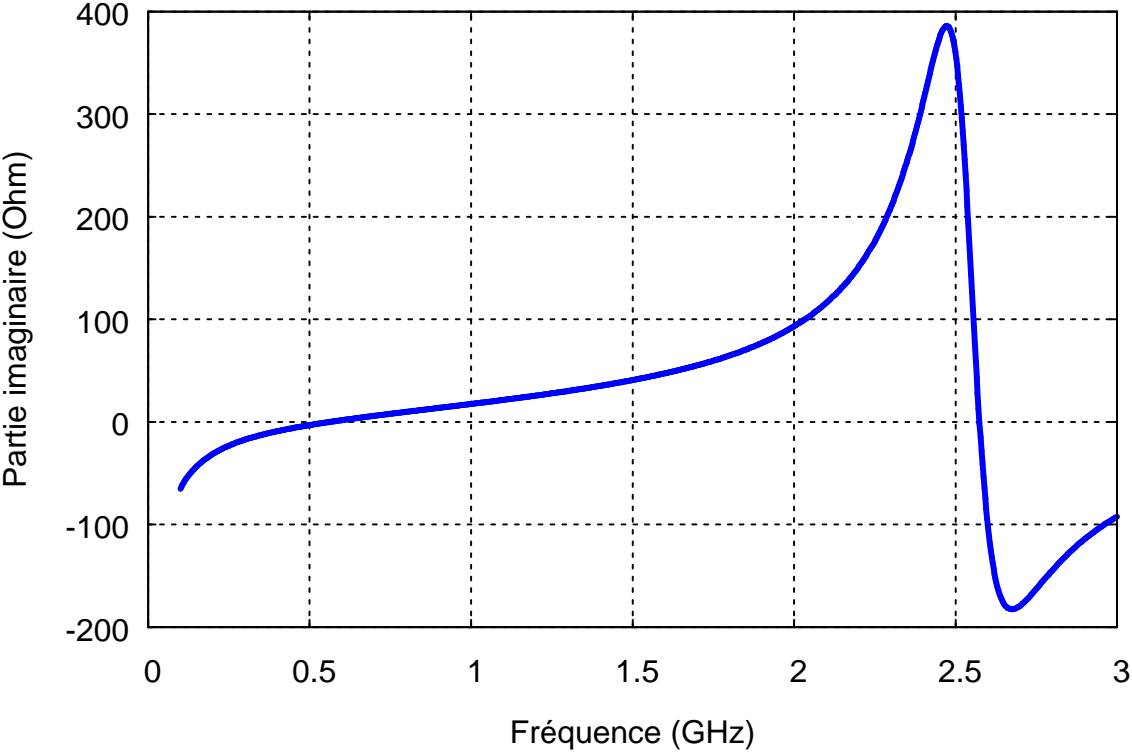


Figure II-27 : Partie imaginaire de l'inductance compensée

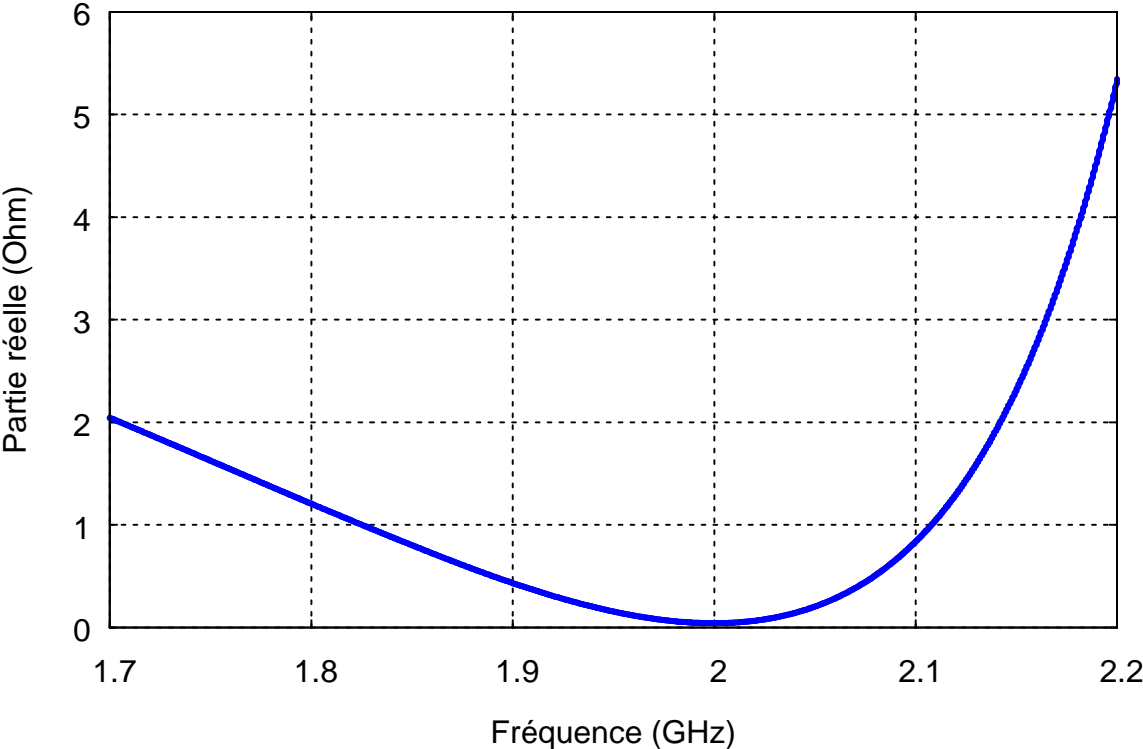


Figure II-28 : Partie réelle de l'inductance compensée (entre 1,7GHz-2,2GHz)

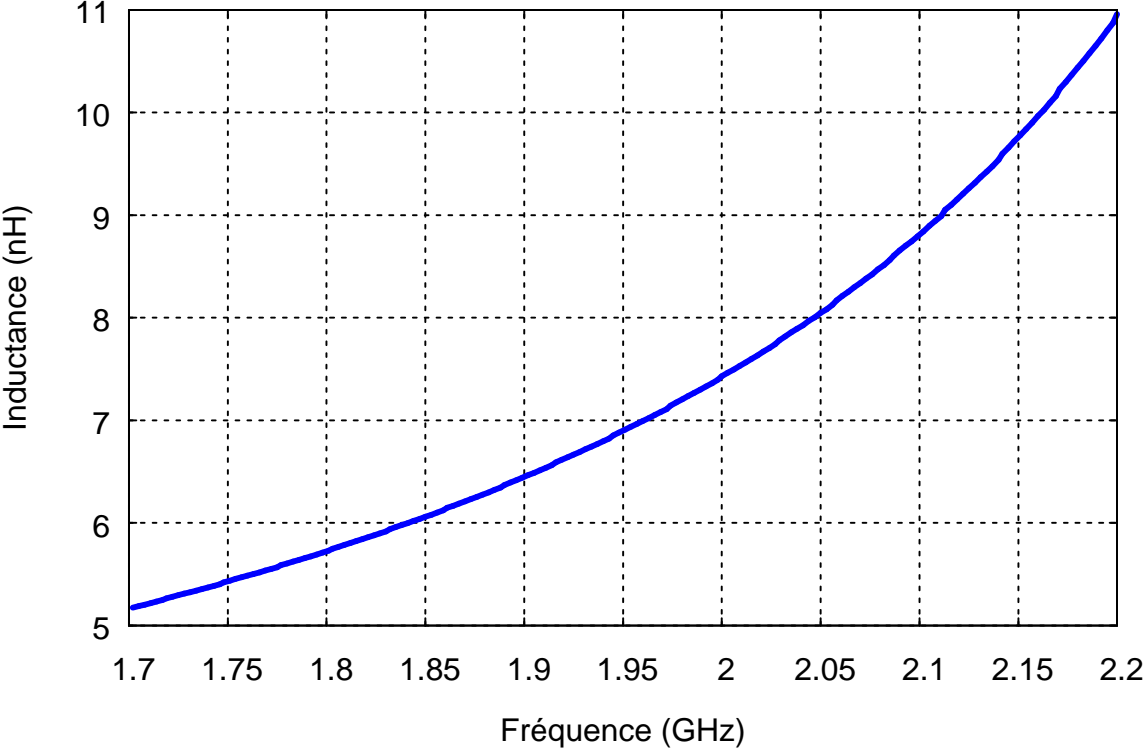


Figure II-29 : Inductance compensée (entre 1,7GHz-2,2GHz)

#### IV.1.1. Validation du modèle électrique du transformateur

Pour valider le modèle électrique, nous comparons les résultats obtenus par simulation électromagnétique à ceux obtenus par modélisation électrique. Les courbes données sur les Figures II-30 et II-31 représentant respectivement la partie réelle ( $R_{eff}$ ) et imaginaire ( $L_{eff}$ ) de l'inductance compensée montrent un bon accord.

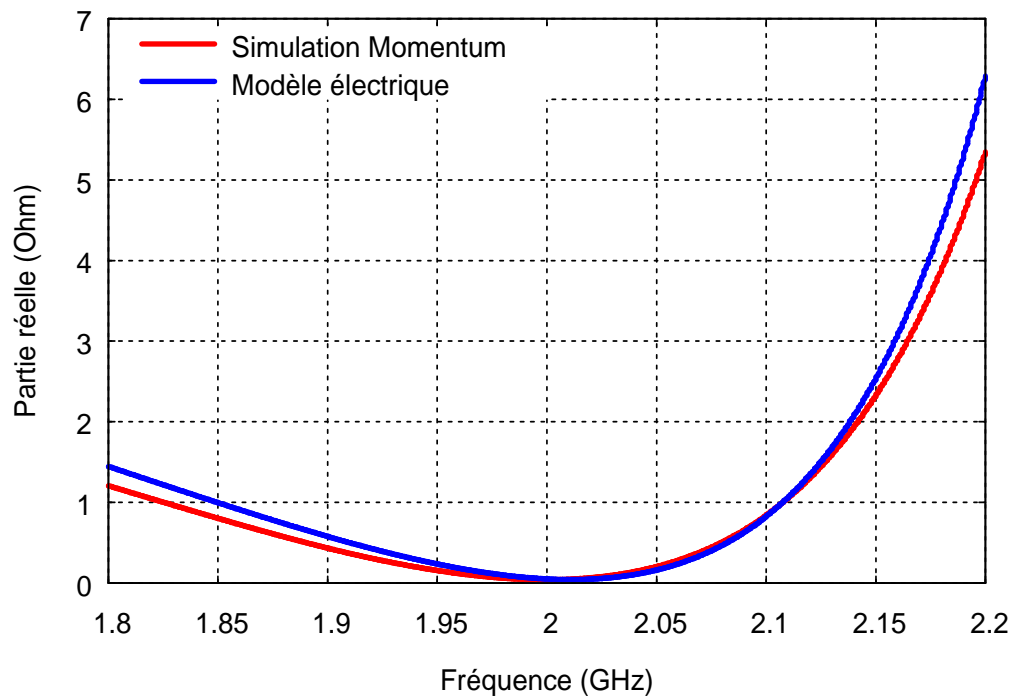


Figure II-30 : Comparaison entre le modèle électrique et la simulation Momentum

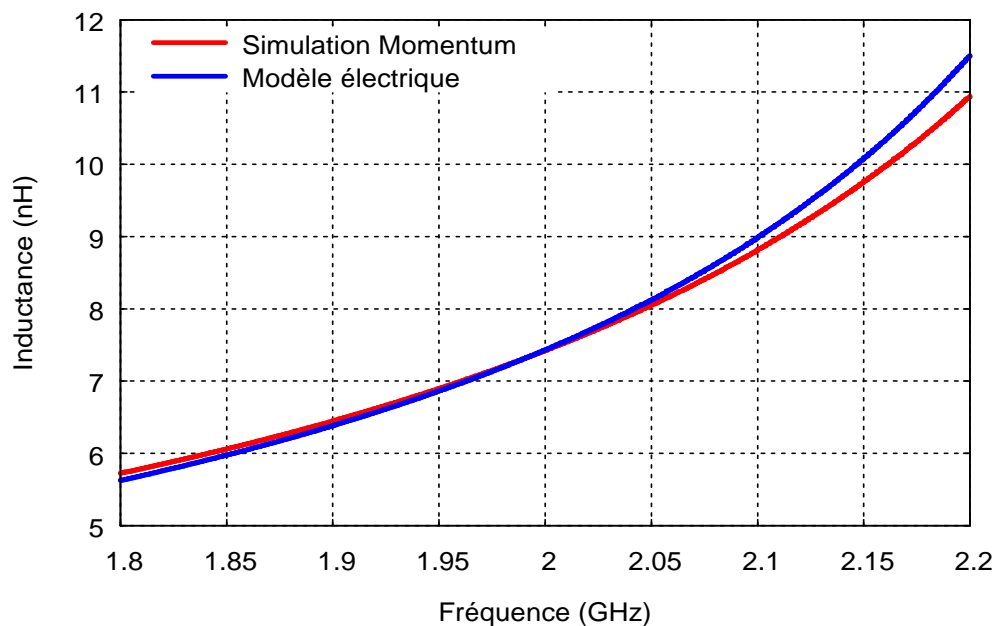


Figure II-31 : Comparaison entre le modèle électrique et la simulation Momentum

## IV.2. Inductance compensée à 1GHz en technologie BiCMOS 0,25 $\mu\text{m}$

La Figure II-32 représente le schéma de l'inductance compensée en technologie BiCMOS QuBIC4X. Elle est composée du Fichier s8p (paramètres S de la simulation électromagnétique du transformateur en technologie Qubic4x) associé à un transistor bipolaire.

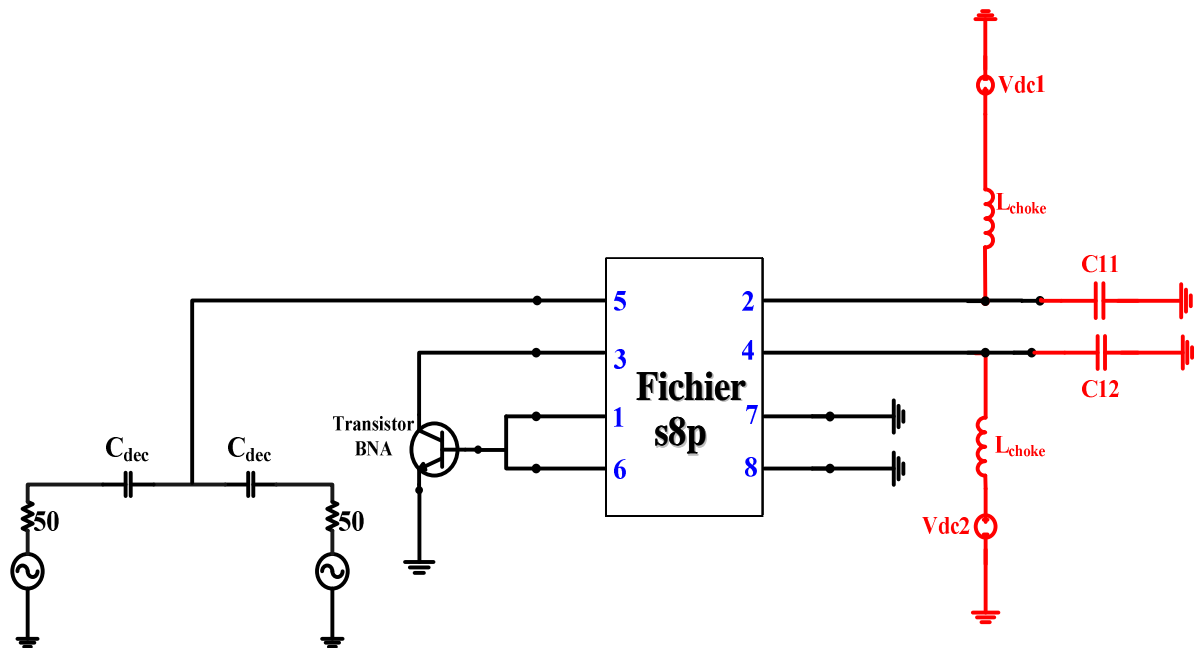


Figure II-32 : Schéma de l'inductance compensée

Les Figures (II-33,34) montrent respectivement les parties réelle et imaginaire de l'inductance compensée. Cette inductance a une valeur de 9,39 nH à 1GHz (cf .Figure II-36) et a une résistance de perte de 0,01  $\Omega$  (cf Figure II-35) ce qui donne un facteur de qualité de 5900. La fréquence de résonance de cette inductance est 2,6 GHz (cf. Figure II-34).

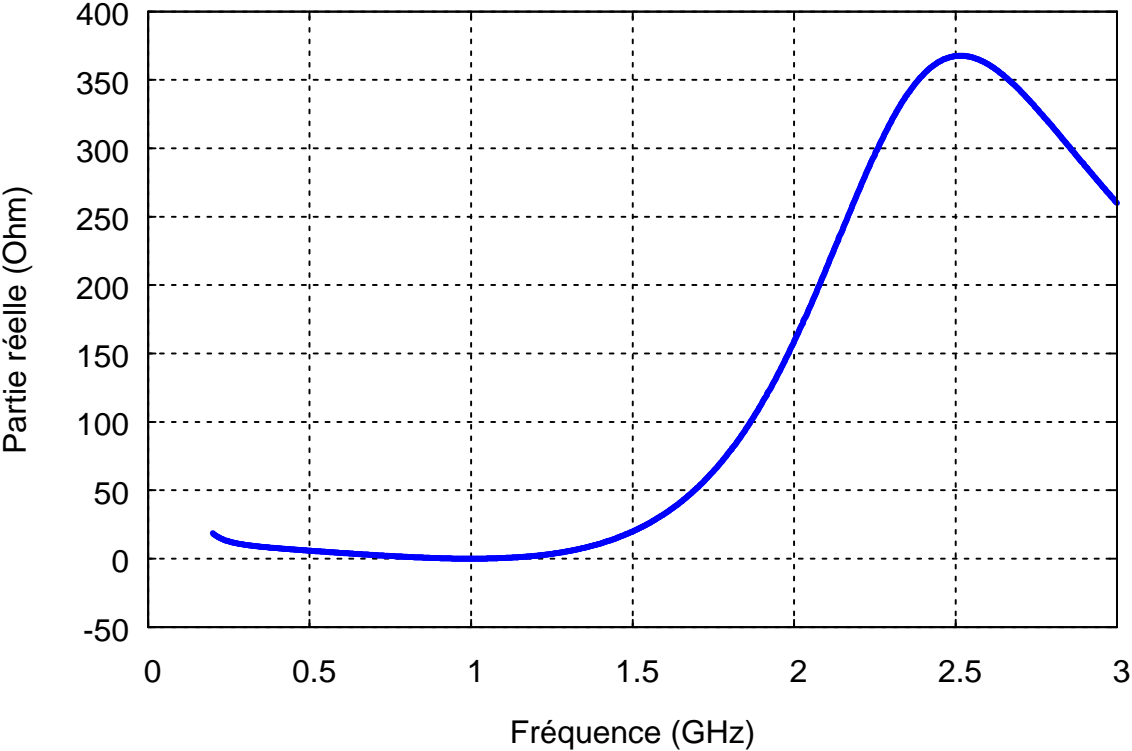


Figure II-33 : Partie réelle de l'inductance compensée

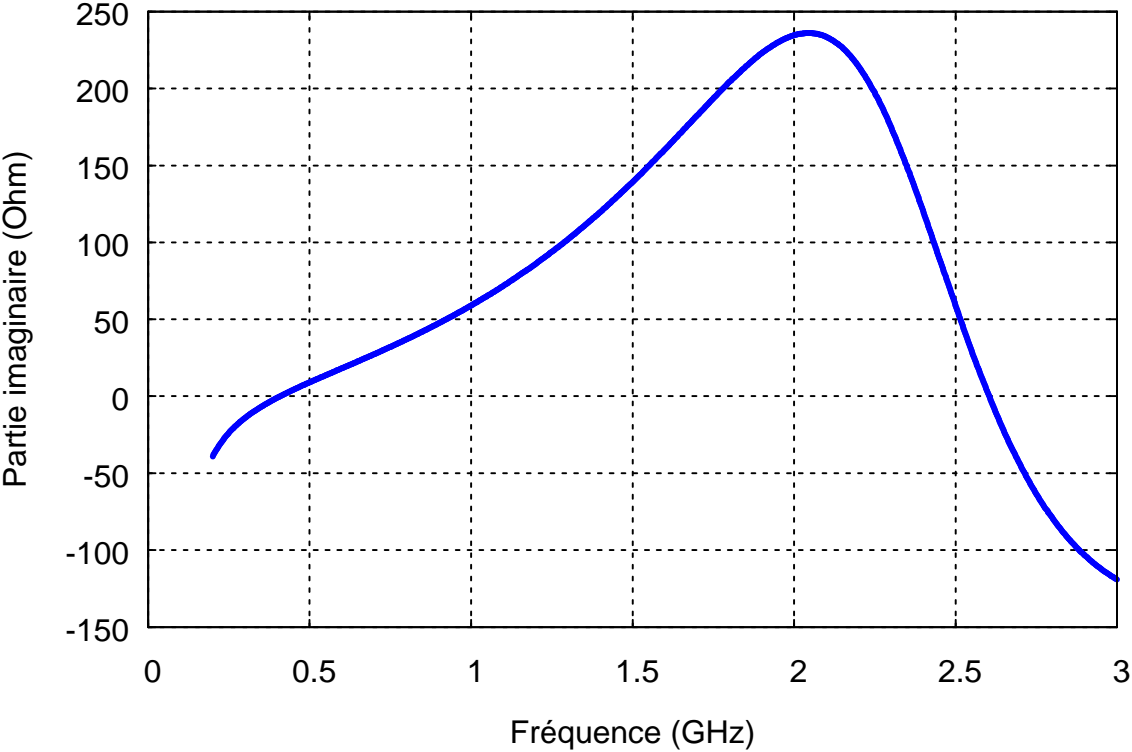


Figure II-34 : Partie imaginaire de l'inductance compensée

#### IV.2.1. Validation du modèle électrique du transformateur

Les courbes données sur les Figures (II-35,36) représentant respectivement la partie réelle ( $R_{eff}$ ) et imaginaire ( $L_{eff}$ ) de l'inductance compensée montrent un bon accord entre les simulations issues de l'analyse Momentum et de l'analyse électrique du modèle.

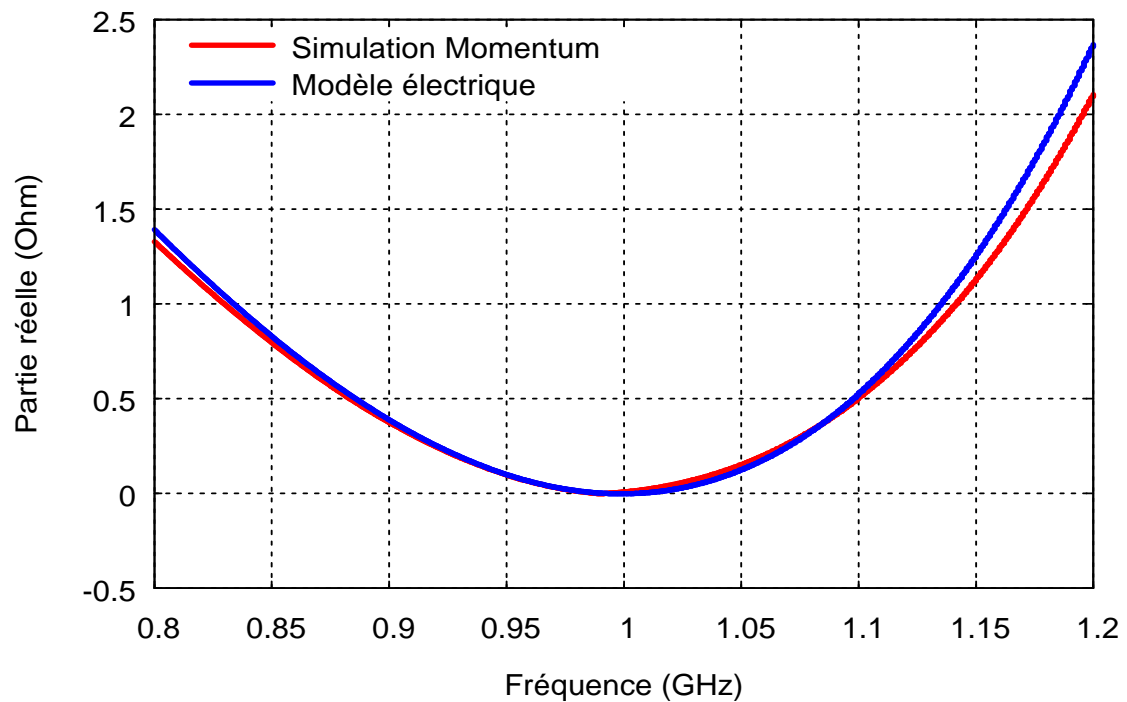


Figure II-35 : Comparaison entre le modèle électrique et la simulation Momentum

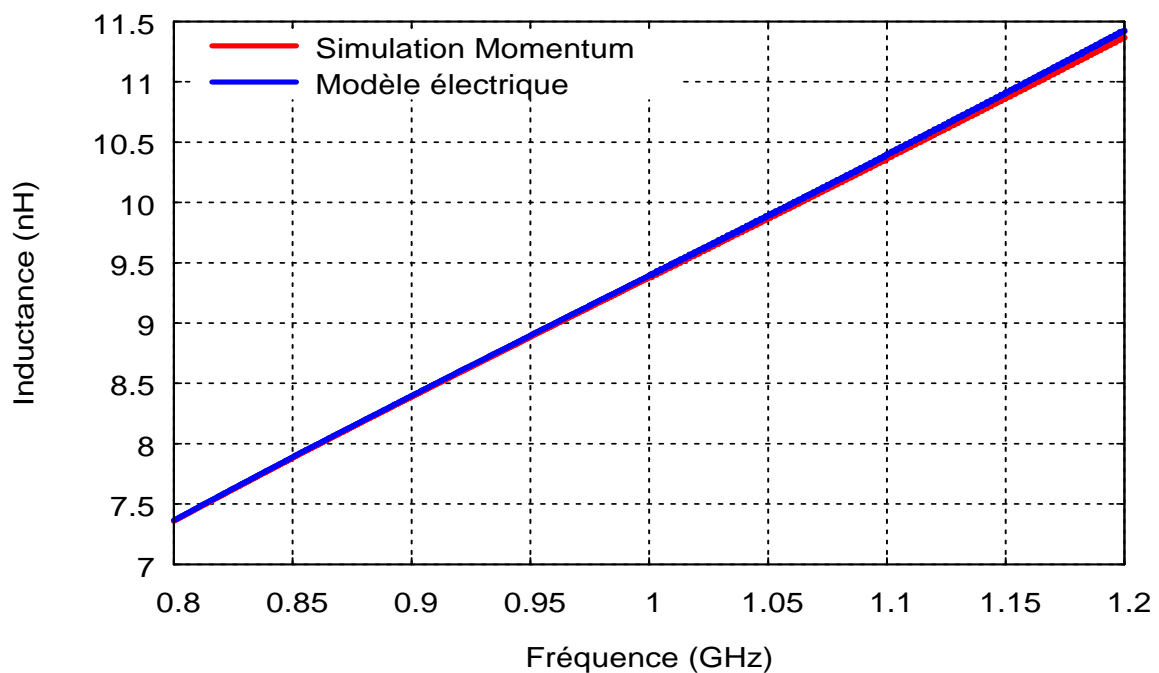


Figure II-36 : Comparaison entre le modèle électrique et la simulation Momentum

### **IV.3. Effets des paramètres géométriques du transistor de compensation sur l'inductance compensée**

Pour étudier l'influence des paramètres du transistor NMOS ( $w$ =largeur de la grille ;  $l_g$ =longueur de la grille ;  $V_{gs}$ = tension de polarisation de la grille) dans le cas de la technologie CMOS 65nm et du transistor bipolaire ( $w_e$ =largeur de l'émetteur ;  $l_e$ =longueur de l'émetteur ;  $V_{be}$ = tension de polarisation de la base) dans le cas de technologie BiCMOS QuBiC 4x sur l'inductance compensée, nous traçons ci-après les courbes de la partie réelle de l'inductance compensée en faisant varier individuellement ces paramètres.

#### **IV.3.1. Cas du transistor NMOS**

a) Effet de la variation de la largeur de grille  $w$

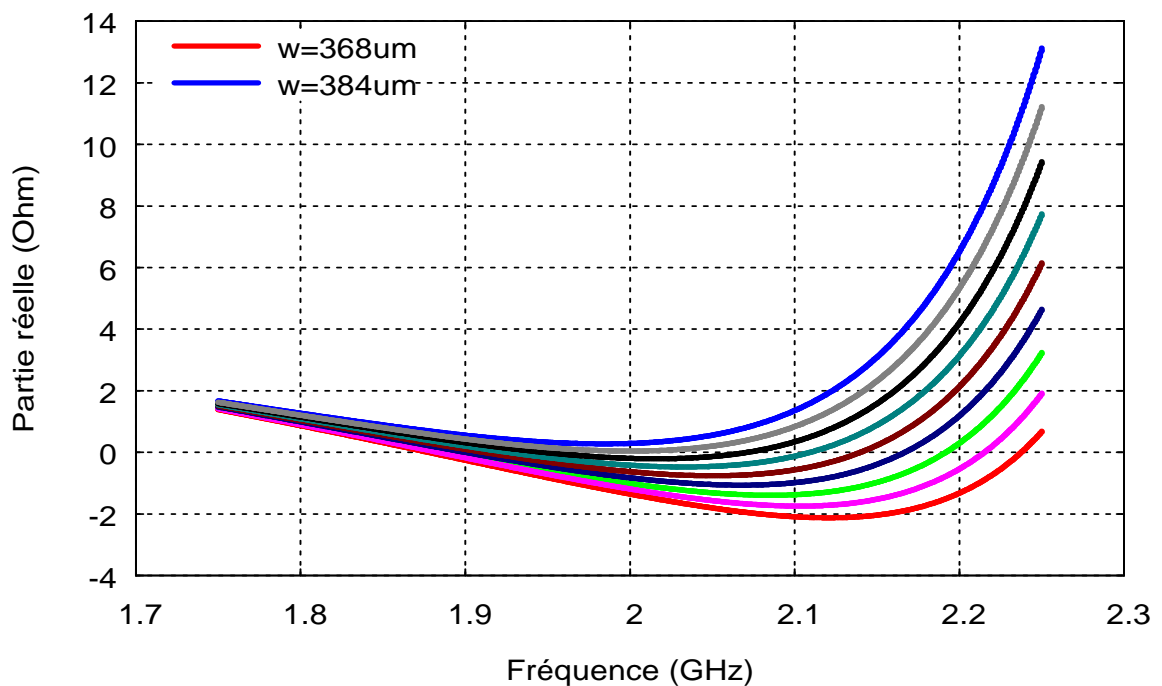


Figure II-37 : Effet de la variation de la largeur de grille  $w$  du transistor NMOS sur la partie réelle de l'inductance compensée.

b) Effet de la variation de la tension de polarisation  $V_{gs}$

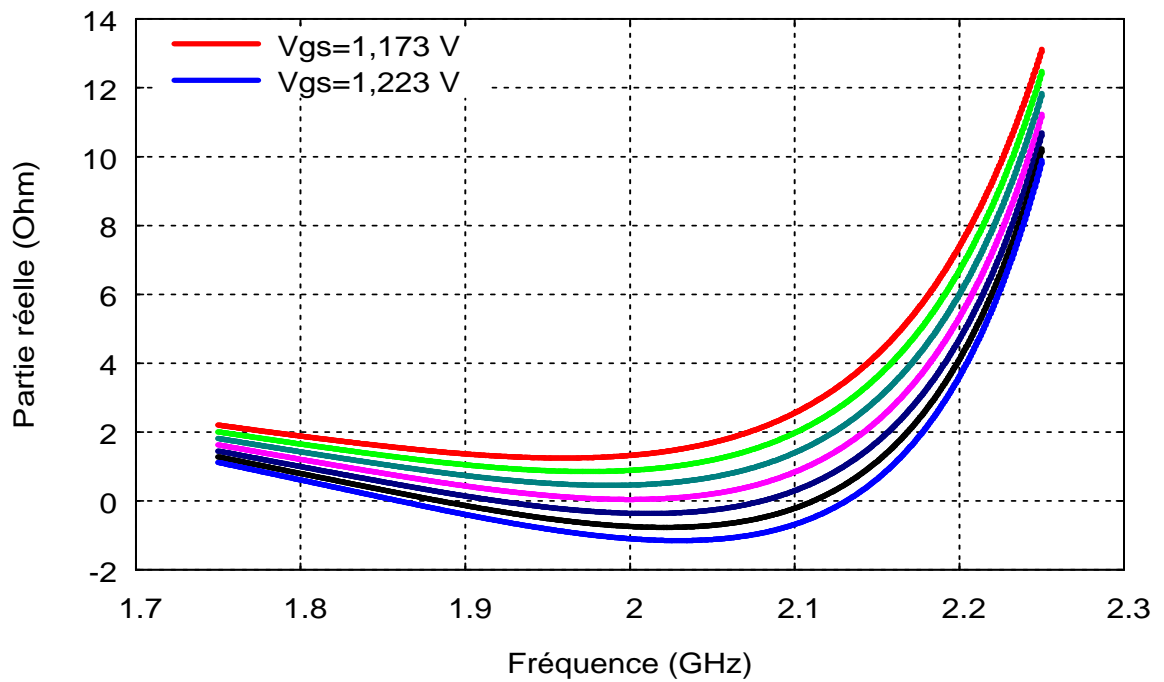


Figure II-38 : Effet de la variation de la tension de polarisation  $V_{gs}$  du transistor NMOS sur la partie réelle de l'inductance compensée.

b) Effet de la Variation de la longueur de grille  $l_g$

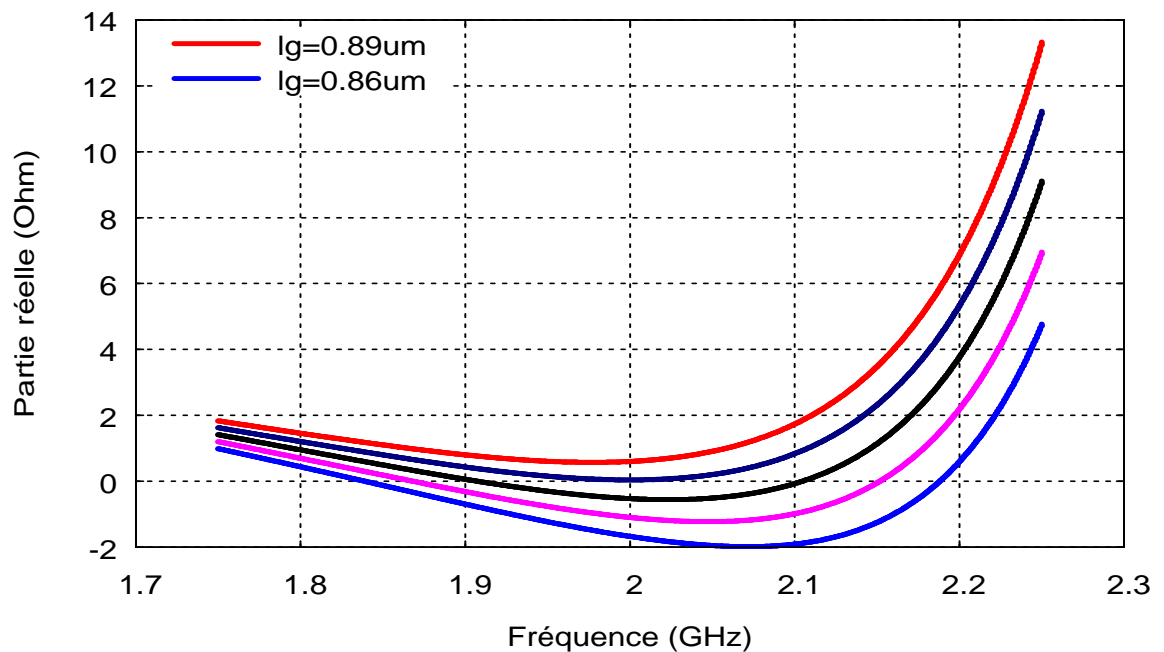


Figure II-39 : Effet de la variation de la longueur de grille  $l_g$  du transistor NMOS sur la partie réelle de l'inductance compensée.



Les Figures II-37, 38, 39 montrent que nous pouvons agir aussi bien sur la longueur et la largeur du canal du transistor NMOS, que sur la tension de polarisation  $V_{gs}$ .

De plus, à partir des deux expressions II-14 et II-24 trouvées dans le deuxième paragraphe de ce chapitre :

$$|\beta| = L\omega g_m (1 - k')$$

$$R_{\text{eff}} = R(2 - k''Q_0\beta - kQ_0\beta)$$

On remarque qu'une augmentation de  $V_{gs}$  (augmentation de  $g_m$  du transistor NMOS) entraîne une augmentation de  $|\beta|$  donc la résistance  $R_{\text{eff}}$  de l'inductance compensée diminue. Cela est montré sur la Figure II-38.

#### IV.3.2. Cas du transistor bipolaire

a) Effet de la variation de la tension de polarisation  $V_{be}$

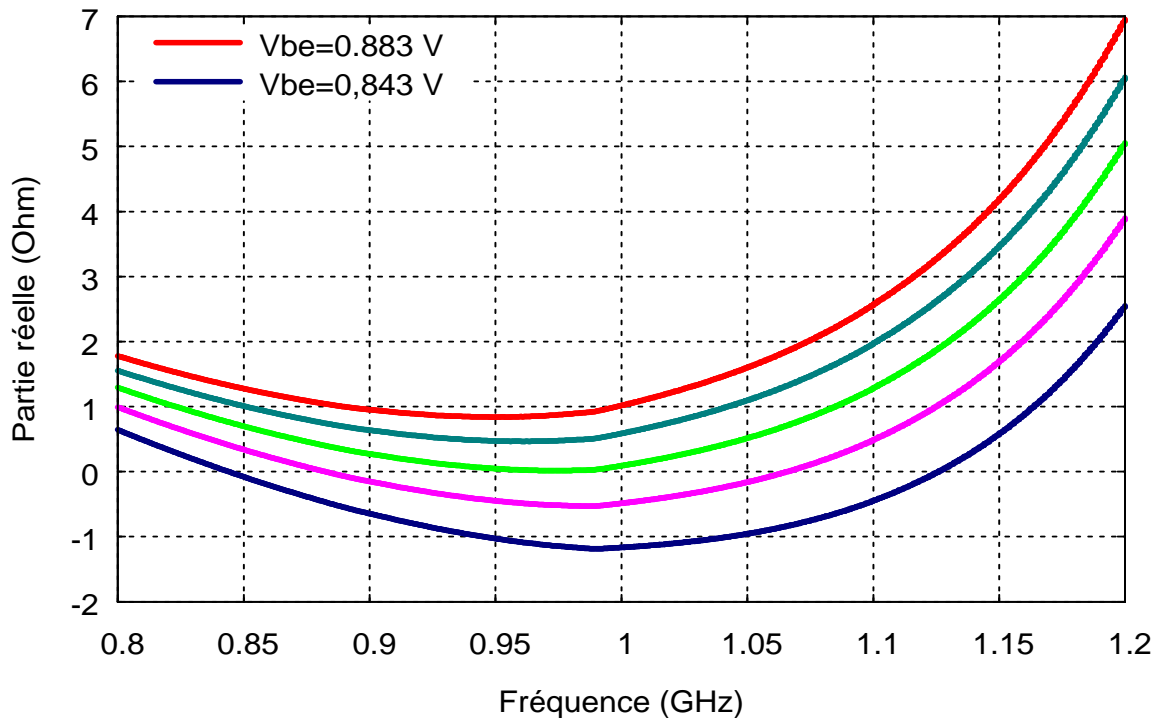


Figure II-40 : Effet de la variation de la tension  $V_{be}$  du transistor bipolaire sur la partie réelle de l'inductance compensée.

b) Effet de la variation de la longueur d'émetteur 'le'

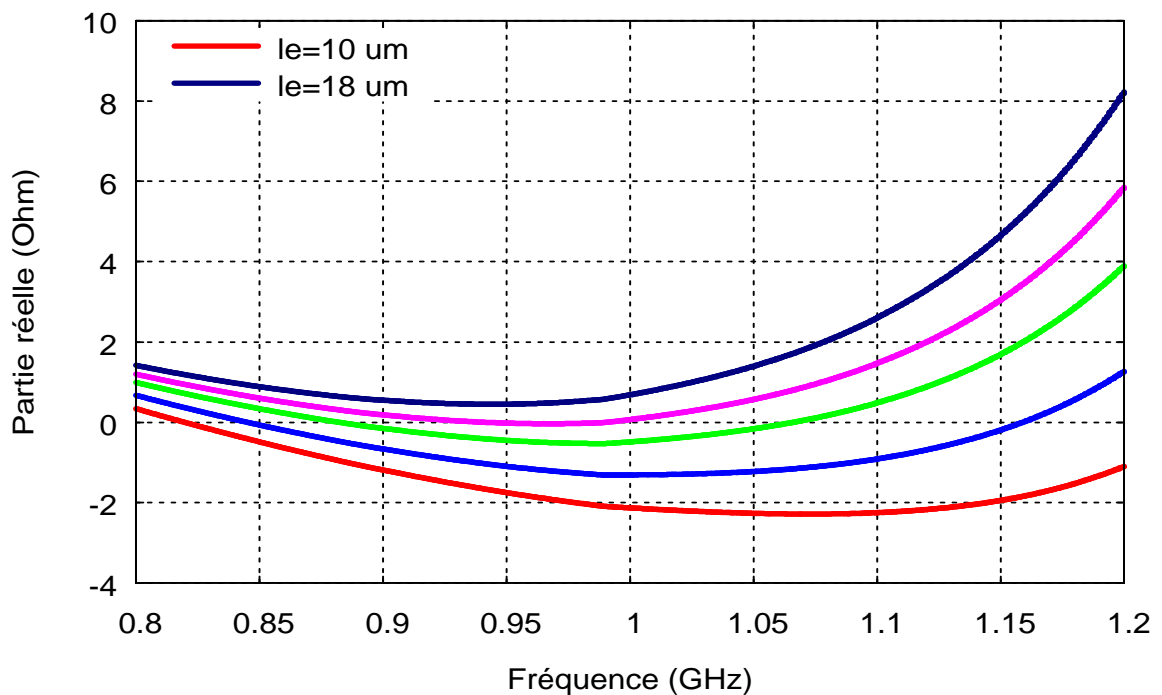


Figure II-41 : Effet de la variation de la longueur d'émetteur 'le' du transistor bipolaire sur la partie réelle de l'inductance compensée.

c) Effet de la Variation de la largeur d'émetteur 'we'

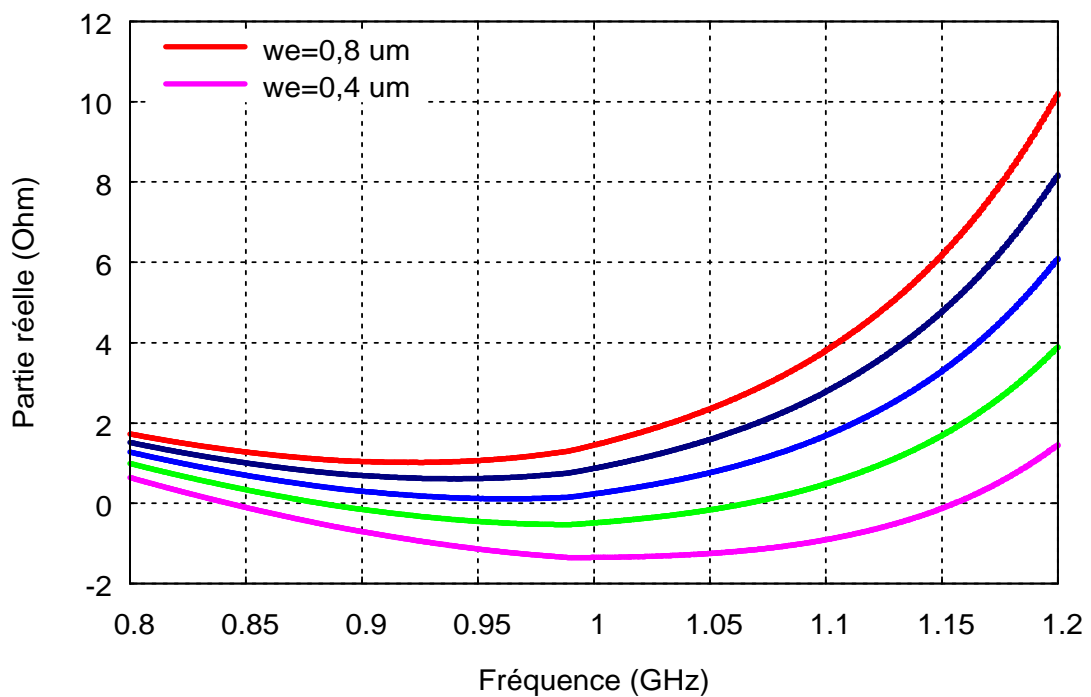


Figure II-42 : Effet de la variation de la largeur d'émetteur 'we' du transistor bipolaire sur la partie réelle de l'inductance compensée.

Les différentes simulations montrent que si la tension  $V_{be}$  augmente, le gain en courant  $\beta$  du transistor bipolaire diminue donc la résistance  $R_{eff}$  de l'inductance compensée augmente. Cela est montré sur la Figure II-40.

## **V. Différentes topologies de résonateurs utilisant l'inductance compensée : Analyse spécifique liée à la nature simple accès de l'inductance.**

Il existe dans la littérature de nombreuses topologies de filtres passe bande [14] [15] [16]. Comme il a été montré dans le chapitre I, les filtres placés en entrée de la chaîne de réception sans fil sont soumis à plusieurs contraintes : Ils doivent être assez sélectifs pour rejeter les fréquences adjacentes et avoir de faibles pertes d'insertion pour améliorer les performances en bruit et en gain de la chaîne de réception.

Dans notre cas, l'inductance compensée est de type simple accès, le deuxième accès étant relié à la masse. Ceci nous empêche d'utiliser les méthodes de synthèse classique consistant à calculer un filtre prototype passe bas puis, par changement de variable fréquentielle à déterminer un filtre passe bande comportant des résonateurs série à self inductance deux accès. L'objectif de cette partie est de chercher des topologies utilisant des inductances simple accès et de les comparer afin de déterminer la topologie optimale.

Dans ce cadre, trois topologies de filtrage passe bande sont simulées afin d'évaluer leurs performances. Les résultats de simulations permettent d'établir un comparatif entre les topologies en termes de fonction de filtrages et de pertes d'insertion.

La première topologie [14] est présentée sur la Figure II-43. Cette topologie utilise deux zéros de transmissions à 731 MHz et deux pôles de transmission autour de 942,5 MHz.

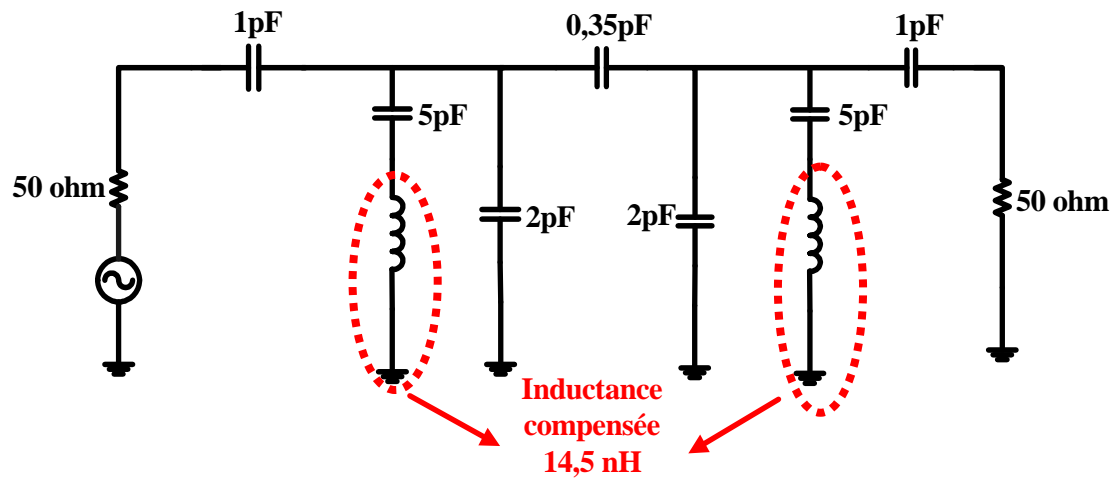


Figure II-43 : Première topologie

La Figure II-44 montre les résultats de simulations de cette topologie.

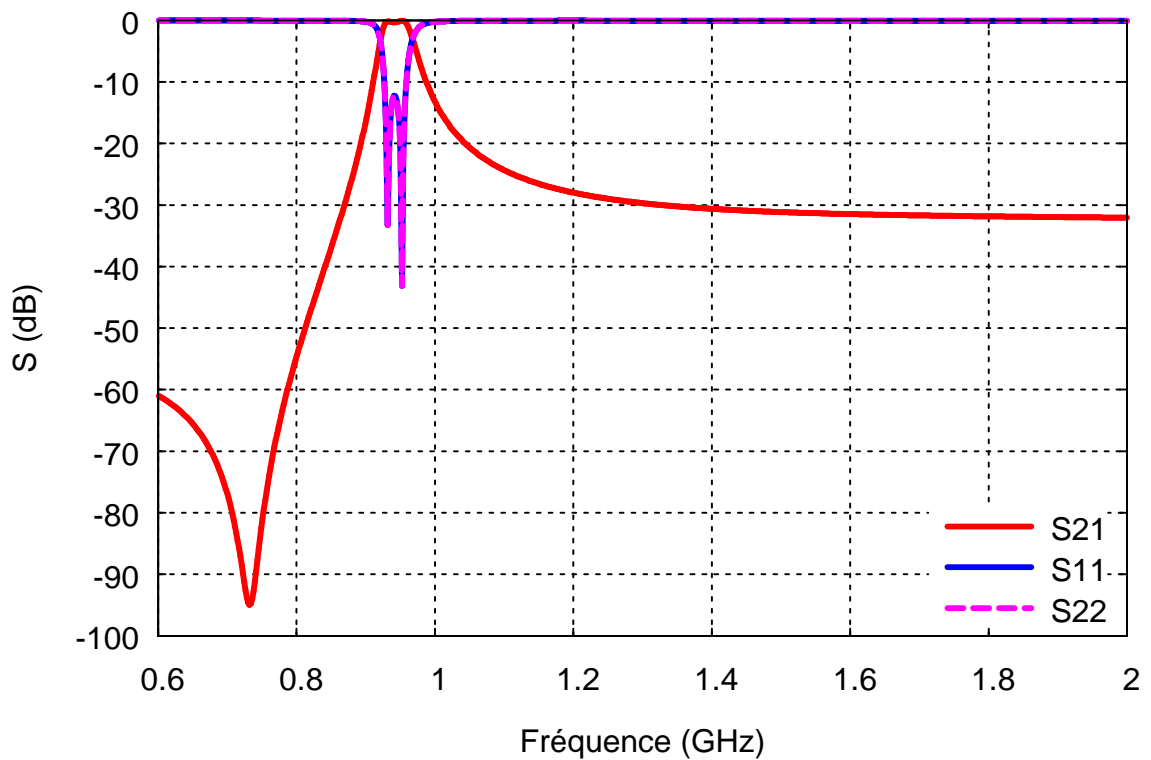


Figure II-44 : Paramètres S du filtre deux pôles

La Figure II-45 montre la deuxième topologie [14]. Cette topologie présente deux zéros de transmissions à gauche (811 MHz) et à droite (1,01 GHz) de la bande passante et deux pôles autour de 942,5 MHz.

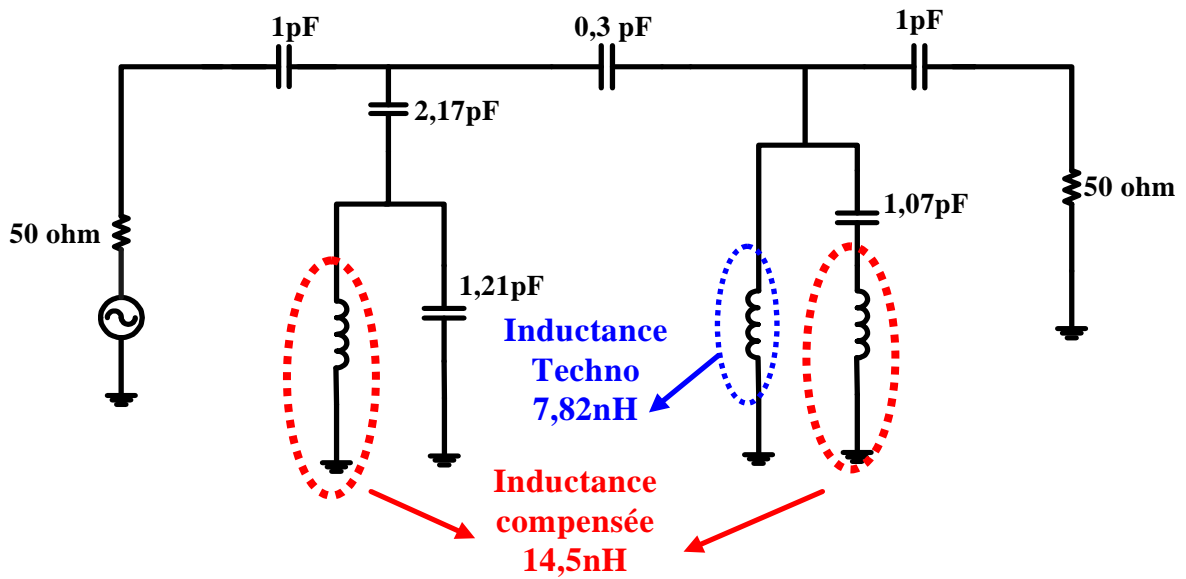


Figure II-45 : Deuxième topologie

La Figure II-46 montre les résultats de simulations de la deuxième topologie.

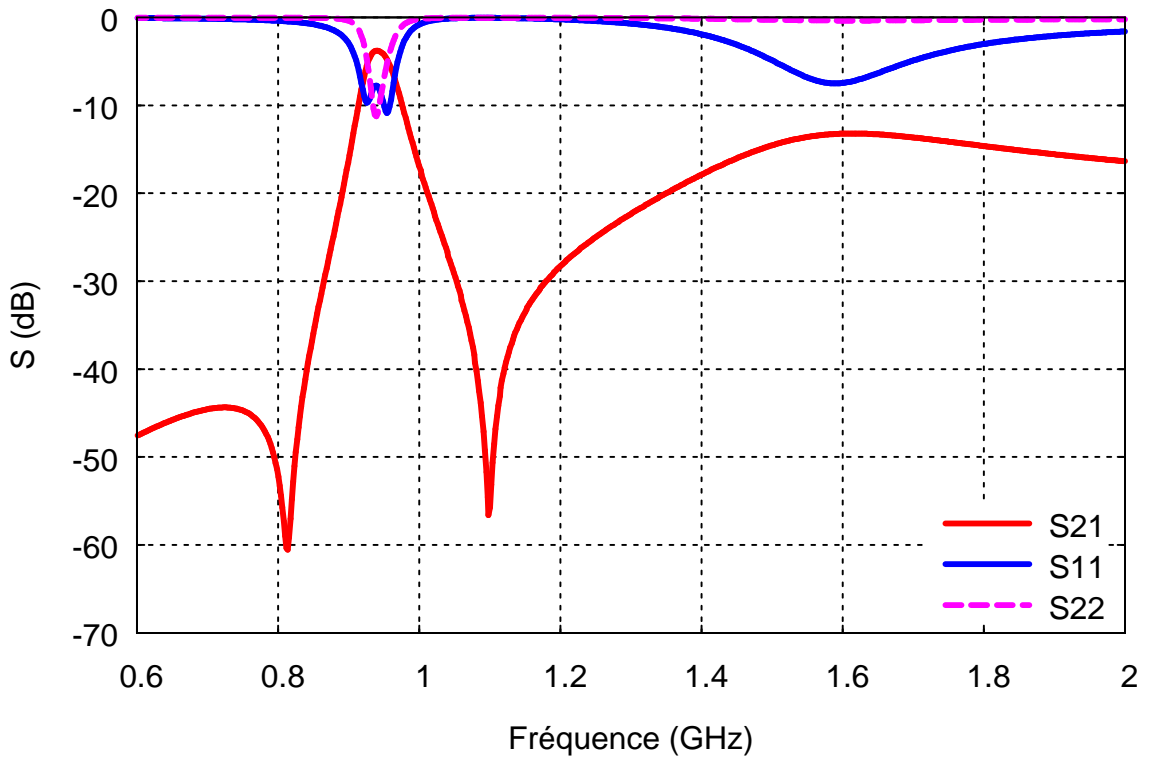


Figure II-46 : Paramètres S du filtre deux pôles

La Figure II-47 présente la troisième topologie [15] [16].

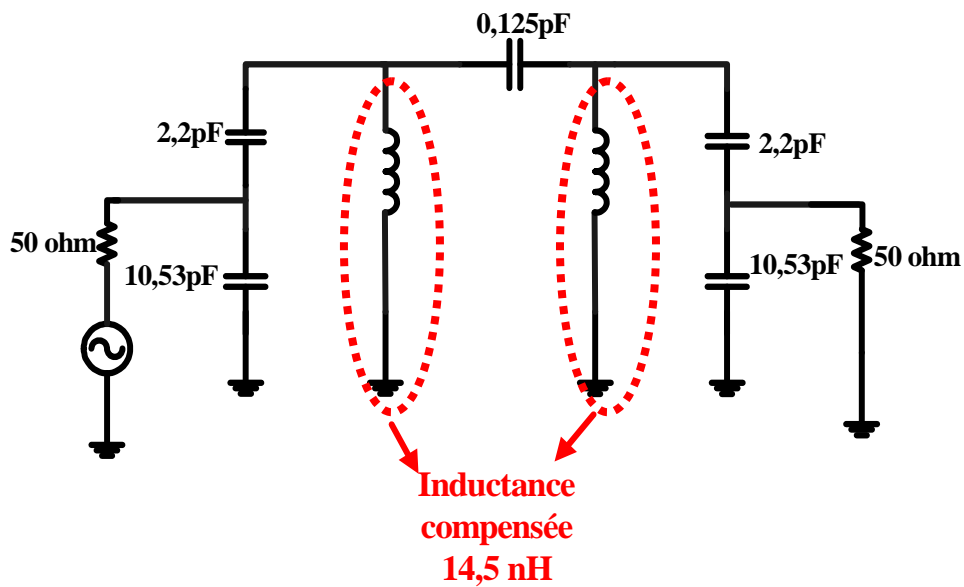


Figure II-47 : troisième topologie

La Figure II-48 montre les résultats de simulations de la troisième topologie.

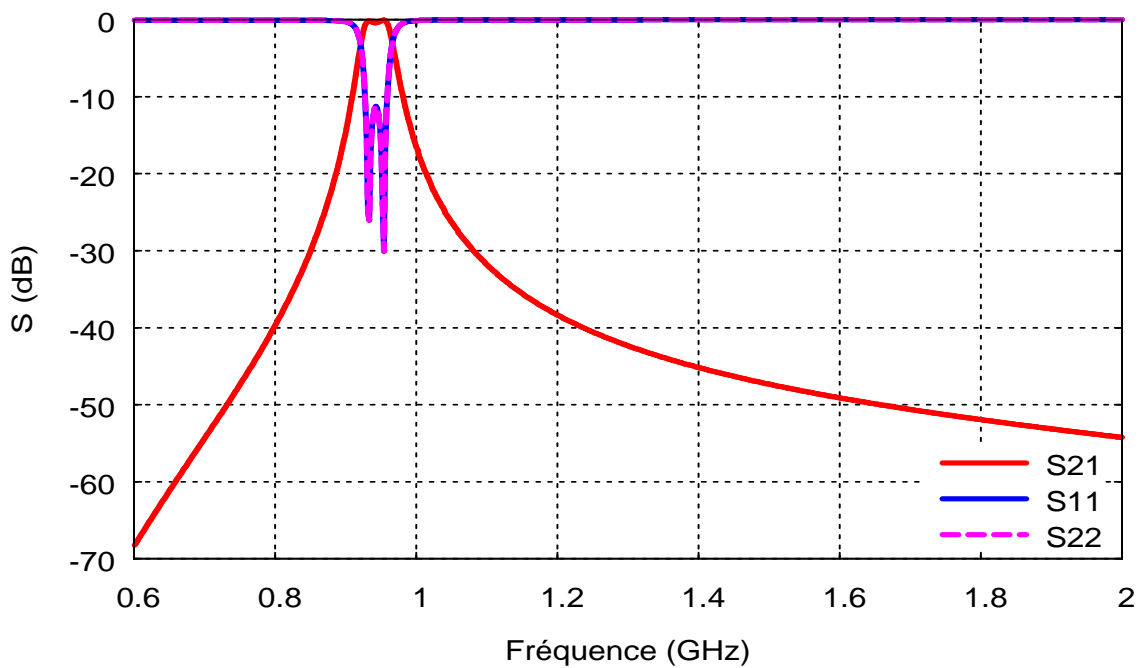
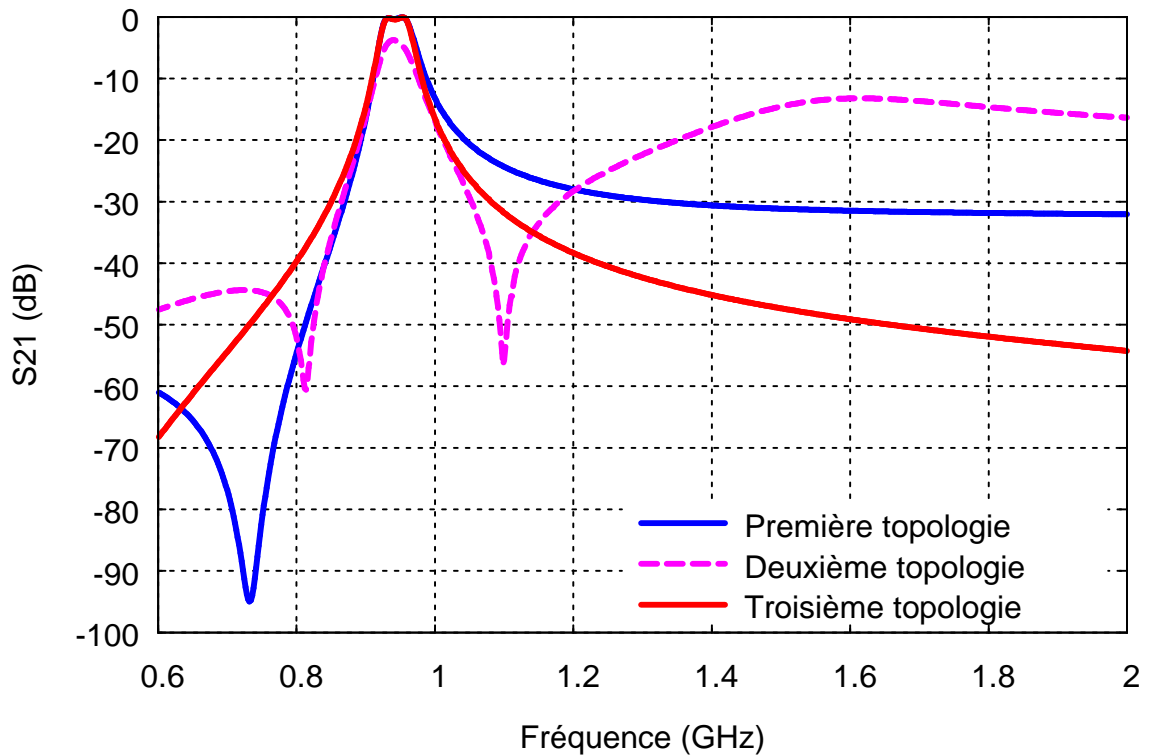


Figure II-48 : Paramètres S du filtre deux pôles

La comparaison entre la fonction de filtrage  $S_{21}$  de ces trois topologies est donnée sur la Figure II-49.



**Figure II-49 : Fonction de filtrage des trois topologies**

Nous remarquons que la troisième topologie est la plus adaptée pour le filtrage sélectif en raison de sa symétrie de part et d'autre de la fréquence de résonance, de son importante réjection hors-bande et de ses faibles pertes d'insertion. De plus cette topologie permet de contrôler le rapport de transformation d'impédance et l'adaptation du filtre. L'analyse théorique détaillée de cette topologie est présentée en début du chapitre III.

## **VI. Conclusion**

Dans ce chapitre, nous étudions une nouvelle topologie d'inductance compensée en technologies CMOS 65 nm et BiCMOS 0,25  $\mu\text{m}$ . Cette topologie consiste à compenser les pertes à travers le principe du couplage magnétique entre trois inductances.

Tous d'abord nous avons effectué l'étude théorique détaillée de ce composant, ceci nous a permis de trouver la condition pour maximiser le facteur de qualité de l'inductance compensée. Ainsi avec cette étude, nous avons réussi à concevoir deux inductances compensées à 2 GHz en technologie CMOS 65 nm et à 1 GHz en technologie BiCMOS 0,25  $\mu\text{m}$  pour une application GSM et UMTS.

Ensuite nous avons présenté la méthodologie de modélisation de transformateur utilisée dans les deux technologies. Cette partie nous a permis de souligner l'importance de la simulation électromagnétique pour construire un modèle électrique précis. Le modèle électrique du transformateur a été utilisé dans la topologie d'inductance compensée et a démontré un bon accord dans la bande de fréquence souhaitée avec les réponses utilisant les simulations électromagnétiques.

Enfin une étude comparative a été réalisée pour différentes topologies de filtrage passe bande utilisant l'inductance compensée. Grâce à cette étude nous avons pu choisir la topologie de filtrage optimale en termes de réjection hors-bande, de perte d'insertion et de contrôle du rapport de transformation d'impédance.



## **VII. Références bibliographiques**

---

[1] **S. Bantas, Y. Koutsoyannopoulos**

“CMOS Active-LC Bandpass Filters with Coupled-Inductor Q-Enhancement and Center Frequency tuning”

IEEE transactions on circuits and systems, vol.51, n° 2, February 2004.

[2] **S. Bantas, Y. Papananos ,Y. Koutsoyannopoulos**

“CMOS tunable bandpass RF filters utilizing coupled on-chip inductors ”

In Proc. ISCAS'99, vol. 2, Orlando, FL, June 1999, pp. 581–584.

[3] **Z. Sassi**

“Etude et Conception de Structures de Filtrage Actif Radiofréquence Intégrées en Technologie CMOS et BiCMOS pour Application à la Téléphonie Cellulaire ”

Thèse de Doctorat de l'Université de Limoges, Sept. 2006.

[4] **John Rogers , Calvin Plett**

“Radio Frequency Integrated Circuit Design”

Artech House Boston London 2003

Page 76-78.ISBN 1-58053-502-x

[5] **J. Gautier**

“Modèles électriques pour la conception des circuits intégrés silicium”

Pages 205-258.EGEM Lavoisier ISBN 2-7462-0954-3

[6] **S. S. Mohan, C. Patrick Yue, M. Hershenson, S. S. Wong, T. H. Lee**

“Modeling and Characterization of On-Chip Transformers”

IEEE International Electron Devices Meeting, pp. 531–534, 1998.

[7] **A. M. NIKNEJAD, R. G. MEYER**

“Analysis, design, and optimization of spiral inductors and transformers for Si RF ICs”

IEEE Journal of Solid-State Circuits, Vol. 33, Oct. 1998, page(s) : 1470–1481

[8] **J. R. Long**

“Monolithic Transformers For Silicon RF IC Design”

IEEE Journal of solid-state circuits, vol.35, n°9, September 2000

[9] **J. J. Zhou, D. J. Allstot**

“Monolithic Transformers and Their Application in a Differential CMOS RF Low-Noise Amplifier”

IEEE Journal of solid-state circuits, vol.33, n°12, december 1998

[10] **J. Shi, W. Y. Yin, K. Kang, L. W. Li,**

“Frequency-thermal characterization of on-chip transformers with patterned ground shields”

IEEE Trans. Microwave Theory and Techniques, vol. 55, no. 1, pp. 1-12, Jan. 2007.

[11] **A. Zolfaghari, A. Chan, B. Razavi**

“Stacked Inductors and Transformers in CMOS Technology”

IEEE Journal of solid-state circuits, vol.36, n°4, April 2001

[12] **Y. Koutsoyannopoulos, Y. Papananos,**

“Systematic analysis and modeling of integrated inductors and transformers in RF IC design,”

IEEE Trans. Circuits Syst. II, pp. 699–713, Aug. 2000.

[13] **J. R. Long, M. A. Copeland**

“The Modeling, Characterization, and Design of Monolithic Inductors for silicon RF IC’s”

IEEE Journal of solid-state circuits, vol. 32, no. 3, March 1997

[14] **W. Leung, K. W. Cheng, K. Wu**

“Multilayer LTCC Bandpass Filter Design With Enhanced Stopband Characteristics”

IEEE Microwave and wireless components letters, vol. 12, No. 7, July 2002

[15] **L. Devlin**

“RF Filter Design Using Coupled Co-axial Resonators”

Plextek Ltd, London Road, Great Chesterford, Essex, CB10 1NY

[16] **Chris Bowick**

“RF Circuit Design” 1982

Page 37-40. ISBN 0-7506-9946-9



**Chapitre III : Conception d'un LNA filtrant  
pour une chaîne de réception intégrée à  
942,5 MHz**



## I. Introduction

Afin de proposer une topologie de filtrage passe bande adaptée au filtrage sélectif, un important travail a été effectué afin de pouvoir évaluer les spécificités des topologies étudiées précédemment. Parallèlement, ce travail nous a permis de choisir une des trois solutions de filtrage sélectif. Le contrôle du rapport de transformation d'impédance est une nécessité afin de pouvoir assurer simultanément une excellente réjection hors bande et un minimum de perte d'insertion.

Pour mieux comprendre le principe de fonctionnement de la topologie choisie, nous commençons par rappeler quelques définitions sur le circuit résonnant LC en examinant le facteur de qualité en charge et sa dépendance à l'impédance de source et charge. Enfin, nous présentons la conception du circuit LNA Filtrant (LNA : Low Noise Amplifier) ainsi que les résultats de simulation obtenus.

## II. Filtres à résonateurs LC

### II.1. Quelques définitions

La Figure III-1 (a) présente la fonction de filtrage idéale d'un circuit résonnant passe bande. Elle montre une forme rectangulaire parfaite avec une atténuation infinie de part et d'autre de la bande passante.

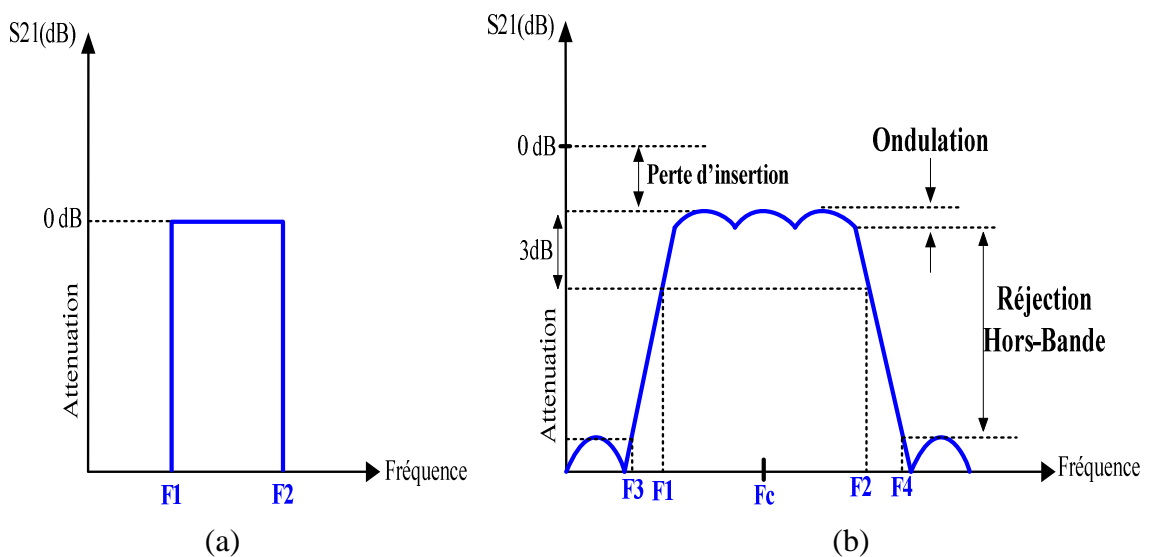


Figure III-1 : Fonction de filtrage d'un filtre passe bande (a) idéale (b) réelle.

La réalisation de ce filtre est bien sur impossible à cause des caractéristiques physiques des composants électriques qui le constituent. La Figure III-1 (b) présente la fonction de filtrage réelle d'un filtre passe bande.

De manière générale, pour pouvoir comparer les filtres passe bande, il est nécessaire de définir un certain nombre de paramètres qui déterminent le comportement fréquentiel de ces derniers. Ces paramètres permettent de définir le cahier des charges. La Figure III-1 (b) présente ces différents paramètres :

- **Bande passante :** La bande passante à -3dB est définie comme étant la différence entre la fréquence supérieure et la fréquence inférieure ( $F_2-F_1$ ) où l'amplitude du signal diminue de 3dB par rapport à l'amplitude maximale transmise dans la bande passante. (Les points à -3dB sont appelés points à mi-puissance).
- **Réjection :** La réjection est l'atténuation minimale que le circuit résonnant présente à l'extérieur de la bande passante.
- **Perte d'insertion :** Lorsqu'un composant ou un ensemble de composants est inséré entre un générateur et sa charge, une partie du signal transmis par le générateur est absorbée par ces composants en raison de leurs propres pertes résistives. Cette atténuation est appelée « perte d'insertion » et elle est souvent exprimées en dB.
- **Ondulation dans la bande passante :** L'ondulation dans la bande passante est un moyen de mesure de la platitude du gain dans la bande passante d'un circuit résonnant. Physiquement, c'est la différence entre l'atténuation maximale et l'atténuation minimale dans la bande passante.
- **Facteur de qualité  $Q_0$  à vide :** Le facteur de qualité d'un résonateur R L C série ou parallèle a respectivement pour équation :

$$Q_0 = \frac{L\omega_0}{R} \quad \text{ou} \quad Q_0 = RC\omega_0 \quad \text{avec} \quad \omega_0 = \frac{1}{\sqrt{LC}} \quad \text{(III-1)}$$



- Facteur de qualité en charge  $Q_L$  (Loaded Q) :** Le facteur de qualité en charge représente le facteur de qualité d'un circuit résonnant chargé en entrée par la résistance interne de source  $R_S$  et en sortie par la charge  $R_L$ . Si on considère la topologie de résonateur inspirée de la self inductance compensée étudiée dans cette thèse (cf. Figure III-2) on montre (annexe B) dans le cas où  $R_S=R_L=R_0$ , qu'une augmentation de la résistance  $R_0$  améliore le facteur de qualité en charge  $Q_L$ . Cet effet est illustré dans la Figure III-3.

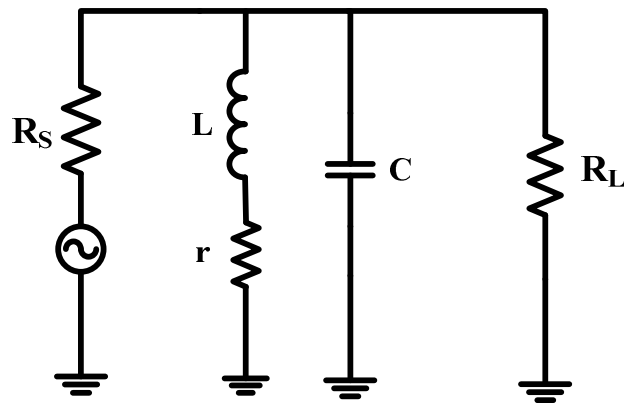


Figure III-2 : Résonateur LC chargé par les impédances  $R_S$  and  $R_L$ .

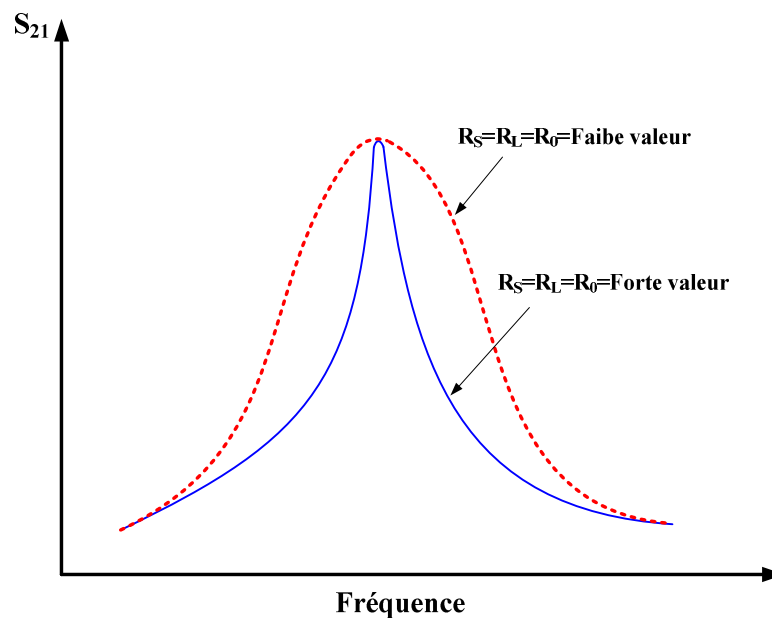


Figure III-3 : Effet de  $R_S$  et  $R_L$  sur la fonction de filtrage  $S_{21}$  et le coefficient de qualité en charge

## II.2. Analyse détaillée de la topologie optimale de filtrage définie dans le chapitre II [1] [2]

### II.2.1. Principe de transformation d'impédance et filtre à un pôle

Nous avons vu dans le paragraphe précédent qu'une faible valeur de l'impédance de source et de charge entraîne une diminution du facteur de qualité du circuit résonnant LC et donc élargie la bande passante. Il est alors très difficile de concevoir un circuit résonnant LC à fort facteur de qualité pour une utilisation entre deux valeurs des résistances de source et de charge faibles. Une méthode pour pallier ce problème consiste à utiliser un transformateur d'impédance côté source et charge. Le rôle principal de ce circuit est de présenter au résonateur LC une impédance élevée.

La Figure III-4 représente la structure de base de filtre à un pôle utilisant le principe mentionné ci-dessus.

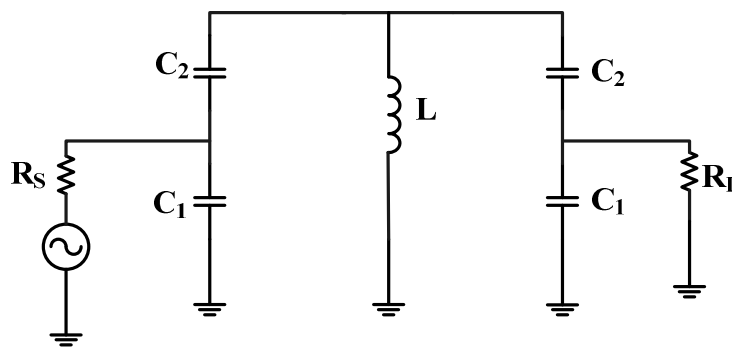


Figure III-4 : Filtre à un pôle

Pour comprendre le principe de fonctionnement de cette structure, nous commençons par calculer l'impédance d'entrée du circuit représenté sur la Figure III-5:

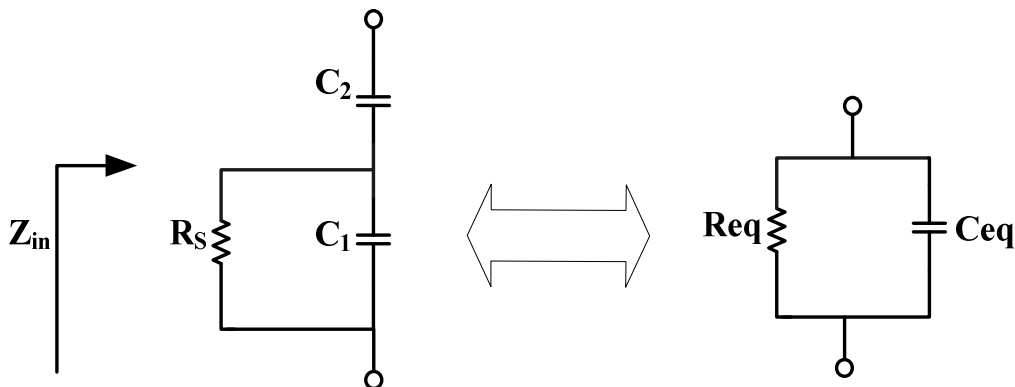


Figure III-5 : Etude du circuit en entrée du filtre à un pôle

L'expression de l'impédance d'entrée est :

$$Z_{in} = \frac{1}{j\omega C_2} + \frac{R_s \cdot \frac{1}{j\omega C_1}}{R_s + \frac{1}{j\omega C_1}} = \frac{1}{j\omega C_2} + \frac{R_s}{1 + j\omega R_s C_1}$$

$$\Rightarrow Z_{in} = \frac{1 + j\omega R_s C_1 + j\omega R_s C_2}{(j\omega C_2)(1 + j\omega R_s C_1)} = \frac{1 + j\omega R_s (C_1 + C_2)}{-R_s \omega^2 C_1 C_2 + j\omega C_2}$$

L'admittance  $Y_{in}$  de la Figure III-5 est égale à :

$$Y_{in} = \frac{1}{Z_{in}} = \frac{-R_s \omega^2 C_1 C_2 + j\omega C_2}{1 + j\omega R_s (C_1 + C_2)}$$

$$= \frac{(-R_s \omega^2 C_1 C_2 + j\omega C_2)(1 - j\omega R_s (C_1 + C_2))}{(1 + j\omega R_s (C_1 + C_2))(1 - j\omega R_s (C_1 + C_2))}$$

$$\Rightarrow Y_{in} = \frac{-R_s \omega^2 C_1 C_2 + R_s \omega^2 C_2 (C_1 + C_2) + j\omega C_2 (1 + R_s^2 C_1 \omega^2 (C_1 + C_2))}{1 + R_s^2 \omega^2 (C_1 + C_2)^2} \quad \text{(III-2)}$$

On a donc :

$$Y_{in} = G_{eq} + j\omega C_{eq} \quad \text{(III-3)}$$

En comparant (III-2) et (III-3), on retrouve les expressions de  $G_{eq}$  et  $C_{eq}$  :

$$G_{eq} = \frac{-R_s \omega^2 C_1 C_2 + R_s \omega^2 C_2 (C_1 + C_2)}{1 + R_s^2 \omega^2 (C_1 + C_2)^2}$$

$$C_{eq} = \frac{C_2 (1 + R_s^2 C_1 \omega^2 (C_1 + C_2))}{1 + R_s^2 \omega^2 (C_1 + C_2)^2}$$

Les expressions  $R_s^2 \omega^2 (C_1 + C_2)^2$  et  $R_s^2 C_1 \omega^2 (C_1 + C_2)$  sont très grandes devant 1 donc :

$$G_{eq} = \frac{1}{R_s} \left( \frac{C_2}{C_1 + C_2} \right)^2 \quad \text{(III-4)}$$

$$C_{eq} = \frac{C_1 C_2}{C_1 + C_2} \quad \text{(III-5)}$$

L'expression (III-5) montre que la capacité équivalente ( $C_{eq}$ ) qui résonne avec l'inductance L du filtre à un pôle représenté sur la Figure III-4 est équivalente à une capacité

$C_1$  en série avec  $C_2$ . A partir de (III-4), on retrouve l'expression de la résistance équivalente  $R_{eq}$  :

$$R_{eq} = \frac{1}{G_{eq}} = R_s \left( \frac{C_1 + C_2}{C_2} \right)^2$$

Si on pose  $n = \frac{C_1 + C_2}{C_2}$  alors  $R_{eq} = R_s n^2$  et  $C_{eq} = \frac{C_1}{n}$  (III-6)

Cette relation (III-6) permet de déterminer le rapport de transformation d'impédance ( $n$ ) entre la résistance du générateur ( $R_s$ ) et la résistance optimale pour satisfaire aux exigences du cahier des charges ( $R_{eq}$ ).

Finalement, le schéma équivalent du filtre à un pôle de la Figure III-4 est illustré comme suit (Figure III-6) :

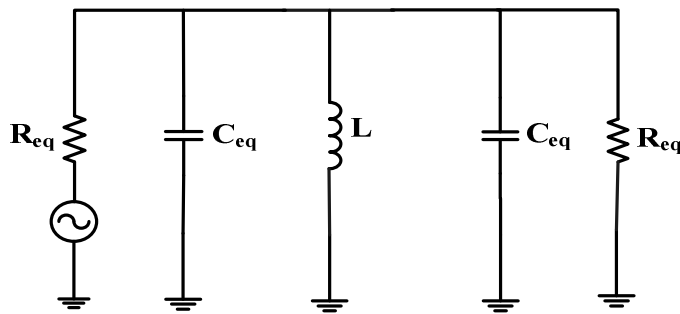


Figure III-6 : Schéma équivalent du résonateur à un pôle

### II.2.2. Filtre à 2 pôles

Pour obtenir une meilleure réjection hors bande, deux résonateurs peuvent être couplés. La Figure III-7 présente le schéma électrique du filtre à 2 résonateurs.

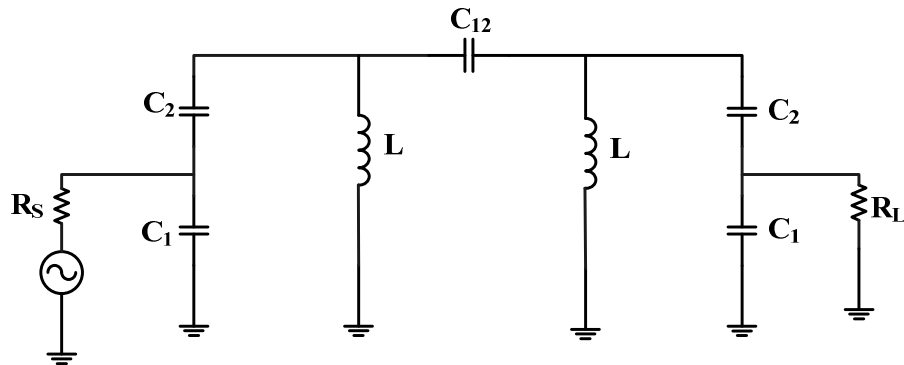


Figure III-7 : Filtre à deux résonateurs

La Figure III-8 représente le schéma équivalent du filtre correspondant.

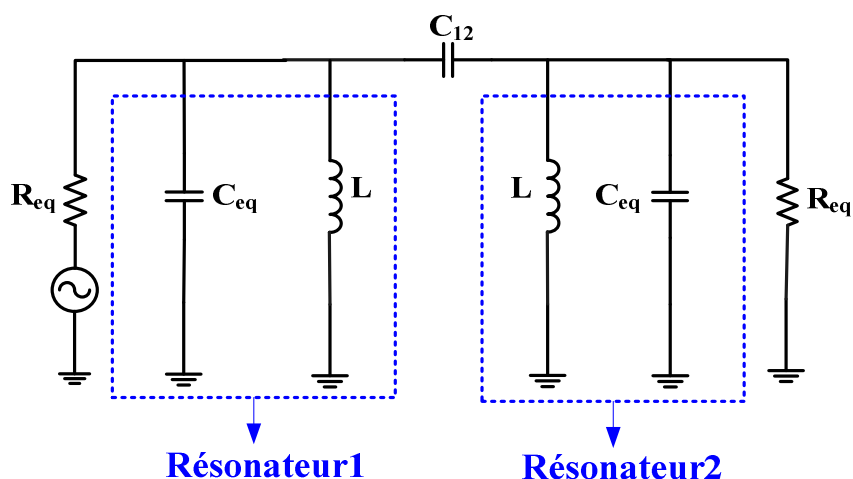


Figure III-8 : Schéma équivalent du filtre à deux résonateurs

Analyse de l'effet de la capacité de couplage  $C_{12}$  :

- Si la valeur de cette capacité est très grande, un couplage fort existe entre les deux résonateurs donc les deux fréquences de résonance des deux résonateurs s'éloignent et l'ondulation dans la bande passante augmente.
- Si la valeur de cette capacité est très faible le filtre devient plus sélectif mais les pertes d'insertions augmentent.
- Il est donc nécessaire de choisir une valeur optimale de  $C_{12}$  pour obtenir une réponse  $S_{21}$  sans ondulation dans la bande passante avec un minimum de pertes d'insertion.

### III. Conception du circuit LNA-Filtrant

De façon complémentaire et préparatoire à nos travaux, plusieurs études « système » sont faites afin de respecter le cahier des charges. Ces études sont réalisées en collaboration, par la société NXP de CAEN, le laboratoire CRISMAT-LaMIPS, et le laboratoire XLIM dans le cadre du projet ANR « SRAMM » (Systèmes de Réception Adaptatifs Multimodes Multistandards) pour réaliser un LNA filtrant satisfaisant à la norme GSM/3G (cf. Figure III-9). L'architecture proposée est représentée sur la Figure III-10. Elle est composée de deux LNA et deux filtres à inductance compensée (LNA1-Filtre1-LNA2-Filtre2) afin de répartir les contraintes sur l'ensemble de ces fonctions.

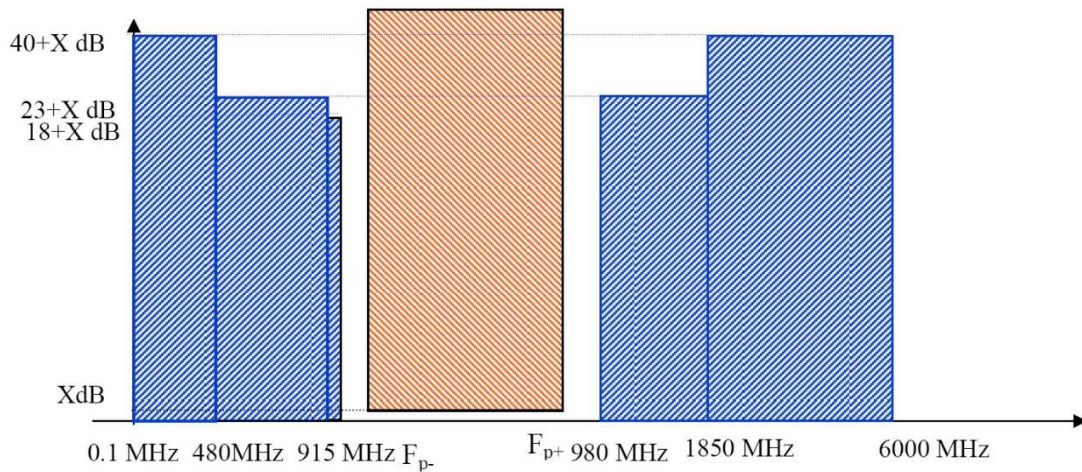


Figure III-9 : Gabarit de filtrage de la norme GSM900

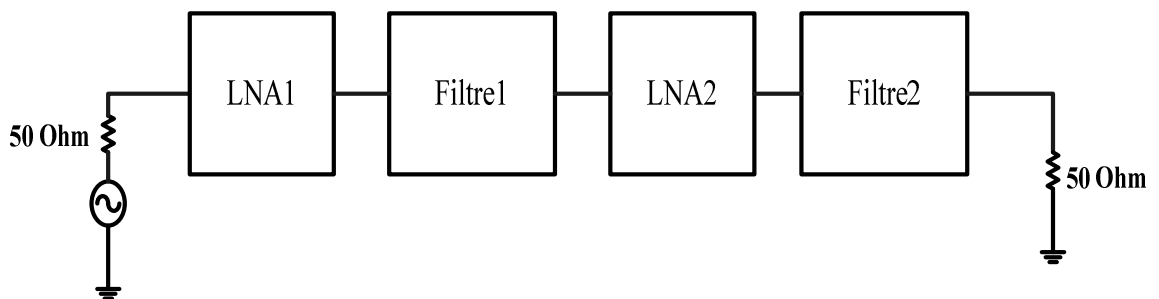


Figure III-10 : Schéma du LNA Filtrant

Les spécifications du cahier des charges du LNA Filtrant sont les suivantes :

Spécifications	Valeurs
Fréquence centrale $f_c$	942,5 MHz
Ordre du filtre	4ième
Bande à -3dB (925 MHz - 960 MHz)	35 MHz
Ondulation dans la bande passante	< 0,5 dB
Niveau de réjection hors bande	à 905 MHz et 980 MHz $\leq 0$ dB
Gain	18 dB
Facteur de bruit dans la bande passante	< 7 dB
Point de compression à 942,5 MHz	0 dBm

Tableau III-1 : Spécifications du cahier des charges du LNA Filtrant

Dans les paragraphes suivants, nous abordons les différentes étapes de conception du LNA filtrant en technologie BiCMOS 0,25  $\mu\text{m}$  de NXP. Nous présentons ensuite les résultats obtenus lors des simulations.

### **III.1. Conception du filtre**

Dans un premier temps, nous allons décrire la fonction de transfert du filtre passe bande à deux pôles. Les spécifications du cahier des charges du filtre sont les suivantes :

Spécifications	Valeurs
Fréquence centrale $f_c$	942,5 MHz
Ordre	2ième
Bande à -3dB (925 MHz - 960 MHz)	35 MHz
Ondulation dans la bande passante	< 0,5 dB
Niveau de réjection hors bande	à 905 MHz et 980 MHz $\geq 10$ dB
Perte d'insertion	< 0,5 dB
Facteur de bruit dans la bande passante	14 dB
Point de compression à 905 MHz	6 dBm

Tableau III-2 : Cahier des charges du filtre à deux pôles.

#### **III.1.1. Conception de l'inductance compensée**

##### **III.1.1.1. Optimisation du transformateur**

La conception de l'inductance compensée dépend fortement du bon choix de la géométrie des trois inductances couplées. Pour arriver à une géométrie adaptée, il est important d'utiliser une modélisation électrique précise des trois inductances en prenant en compte les phénomènes du couplage, notamment les mutuelles inductances.

Pour avoir une inductance compensée à 942,5 MHz de valeurs 14,5 nH (cf. Figure III-11,12), les valeurs calculées des inductances  $Ll$ ,  $Lt$  et  $Ls$  sont respectivement de 2,8 nH ; 3,2 nH et 3,6 nH.

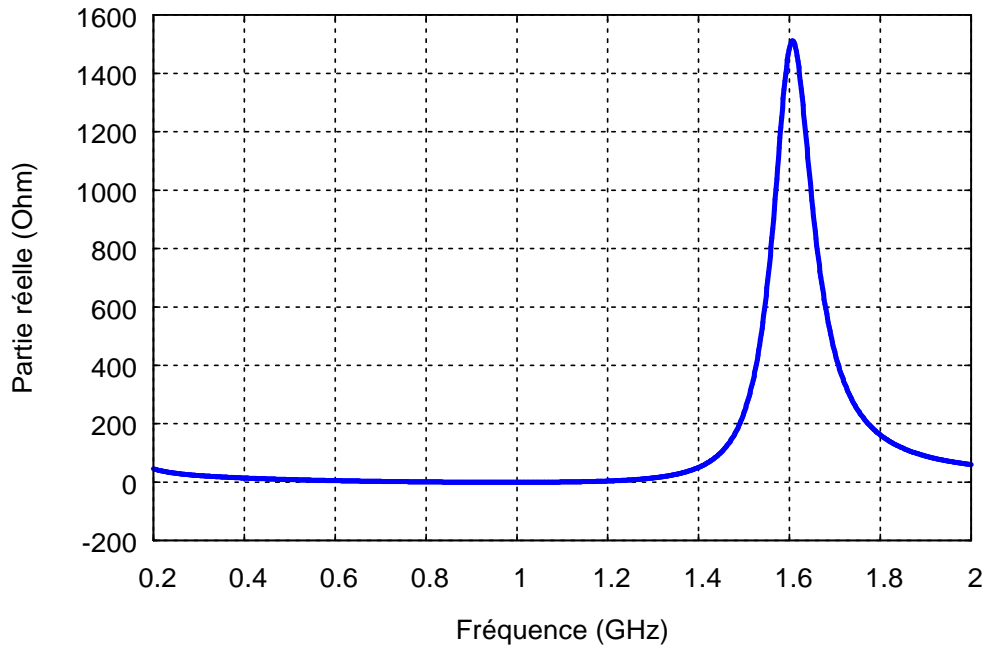


Figure III-11 : Partie réelle de l'inductance compensée

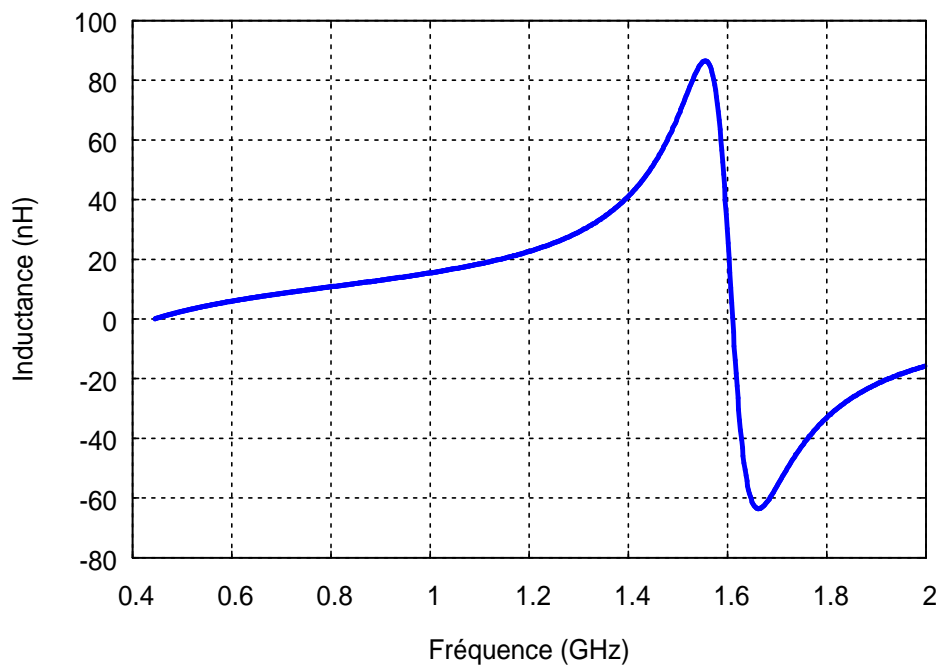


Figure III-12 : Valeurs de l'inductance compensée

### III.1.1.2. Choix du transistor et optimisation en bruit

La technologie BiCMOS 0,25  $\mu\text{m}$  comporte plusieurs types de transistors bipolaires : BNC, BNA, BND, BNX et PA. Ces transistors sont paramétrés en nombre de doigt d'émetteur, longueur et largeur totale du doigt d'émetteur. Dans ce paragraphe, nous



présentons les choix que nous avons fait en ce qui concerne le transistor et l'ajout d'une inductance de dégénérescence pour minimiser le bruit et améliorer la linéarité.

Théoriquement, un transistor de faible résistance de base possède de bonnes performances en terme de facteur de bruit [3]. Dans notre conception et après simulations, nous avons choisi le transistor BNA pour ses performances en bruit et en linéarité par rapport aux autres transistors de cette technologie. En effet, l'analyse "Pnoise" du simulateur spectre de Cadence permet d'évaluer l'effet de toutes les sources de bruit du circuit étudié. Nous remarquons ainsi que le bruit du filtre dépend principalement des résistances de perte des inductances  $L_s$  et  $L_I$  et des sources de bruit du transistor bipolaire BNA (bruit dû à la propagation du courant de base  $I_b$  dans le canal et la résistance entre la base et le collecteur  $R_{bc}$ ).

Afin d'améliorer la linéarité et le facteur de bruit, nous ajoutons une inductance de dégénérescence sur l'accès d'émetteur du transistor BNA. Les différentes simulations effectuées au cours de la conception montrent que pour réduire le facteur de bruit du filtre, il faut augmenter la valeur de l'inductance de dégénérescence. Ceci est montré sur la Figure III-13 où le facteur de bruit est amélioré de 1 dB à 942,5 MHz. Pour respecter les spécifications de cahiers des charges en bruit (15 dB à 925 MHz et 960 MHz, 14 dB à 942,5 MHz) il faut que la résistance de l'inductance de dégénérescence soit de l'ordre de 4,1  $\Omega$ . Pour cette valeur, la linéarité du filtre est dégradée à 905 MHz (point de compression à -1dB est -12 dBm).

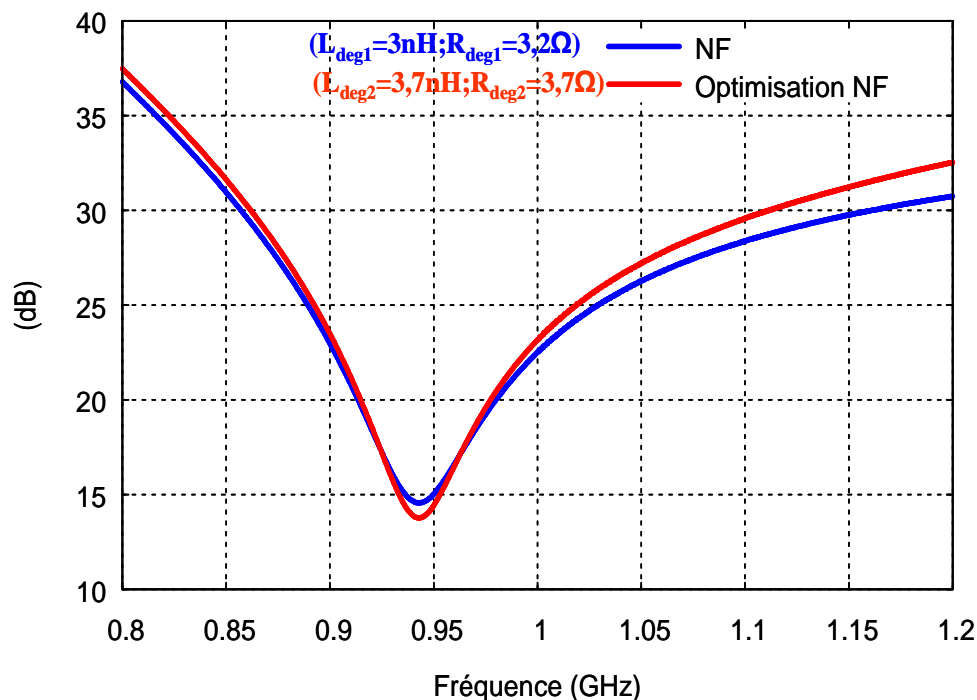


Figure III-13 : Optimisation NF du filtre

### III.1.1.3. Accordabilité de la fréquence centrale [4] [5]

Afin de compenser les variations de la fréquence centrale dues aux procédés de fabrication, il est nécessaire de rendre la fréquence centrale du filtre accordable. Pour cela, une solution consiste à associer à l'inductance compensée un élément de type varicap ou varactor, sous la forme d'une diode polarisée en inverse dont capacité est accordable en fonction de la tension appliquée à ses bornes (cf. Figure III-14).

Lorsqu'on modifie la tension de contrôle  $V_{cap}$  (cf. Figure III-16), le coefficient  $\alpha$  qui représente la partie réelle du rapport des deux courants dans les deux branches de l'inductance compensée varie donc la fréquence centrale varie. De plus, l'ajout de cette varicap sur le collecteur du transistor BNA améliore la linéarité du filtre [6].

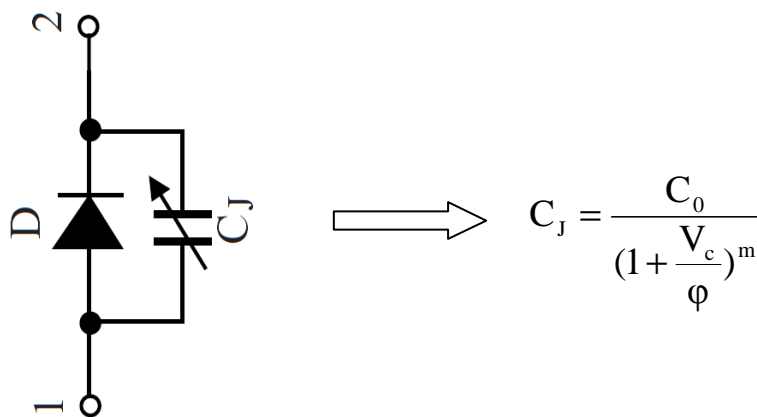


Figure III-14 : varicapB de QuBIC 4X

Avec  $\phi$  : constante dépendant de la technologie

$m$  : constante dépendant du profil de dopage

$V_c$  : tension continu appliqué aux bornes de la diode

Nous remarquons d'après la Figure III-15 que la capacité équivalente du Varicap varie de 1,1 pF à 1,34 pF, ce qui correspond à un rapport ( $C_{max}/C_{min}$ ) de 1,218.

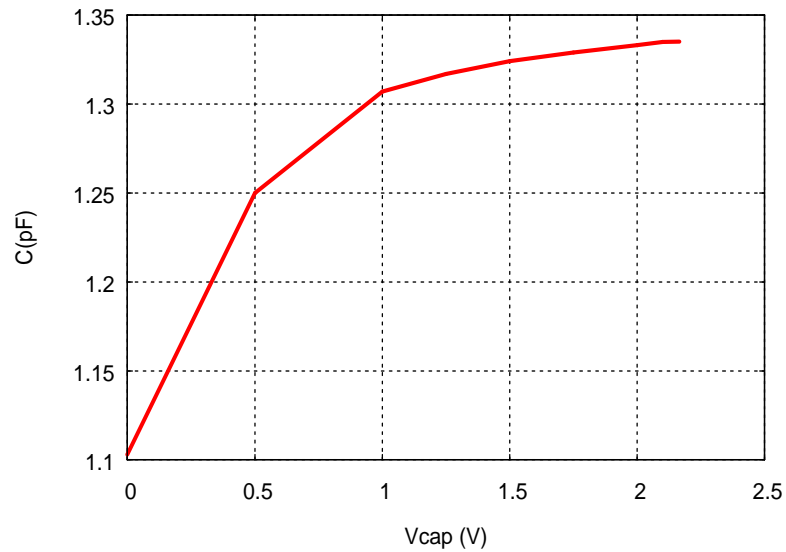


Figure III-15 : Variation de la capacité équivalente de la varicapB (largeur=31,4 $\mu$ m et longueur=4 $\mu$ m) en fonction de la tension de polarisation.

### III.1.2. Layout du filtre

Après avoir conçu l'inductance compensée, nous implémentons la version finale du filtre à deux pôles comme illustré sur la Figure III-16.

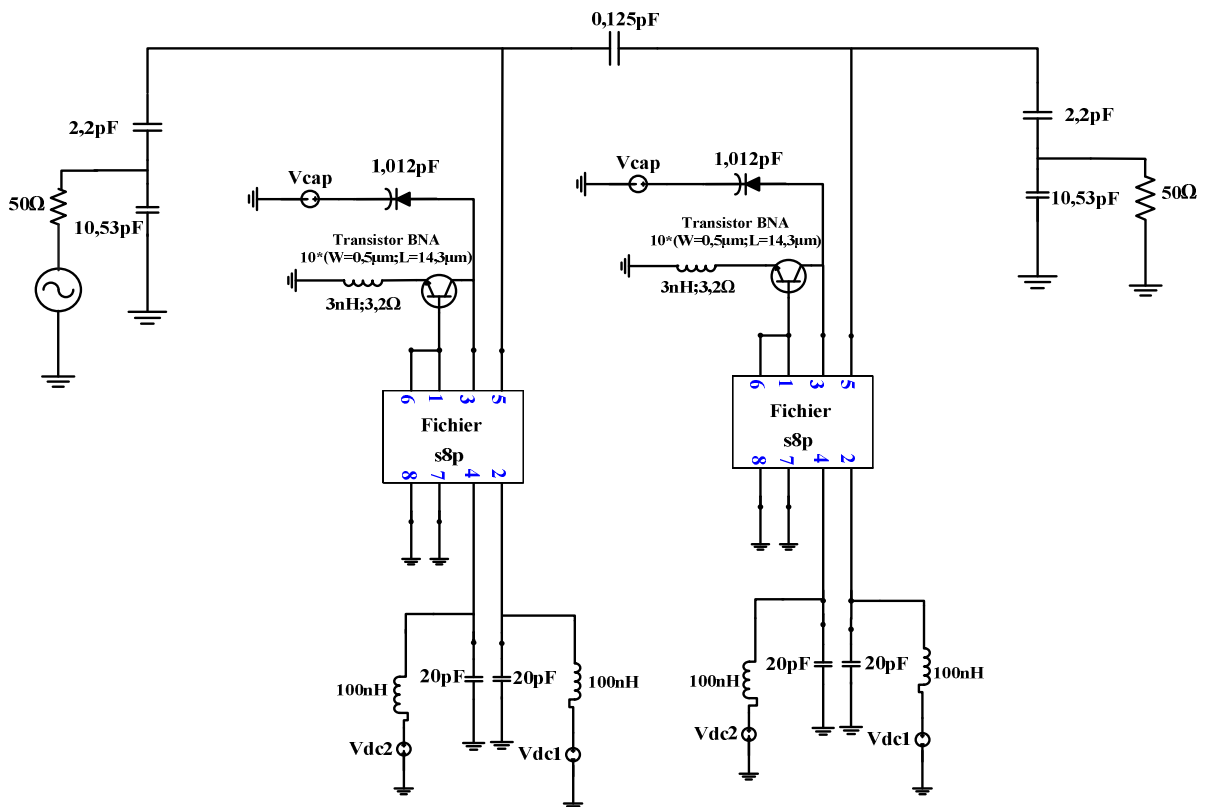


Figure III-16 : Filtre deux pôles utilisant deux inductances compensées

Le layout du circuit final est représenté sur la Figure III-17. Ce circuit est réalisé avec la technologie QuBIC4X BiCMOS 0,25  $\mu\text{m}$  de NXP et à pour dimensions 2,087mm x 1,5mm.

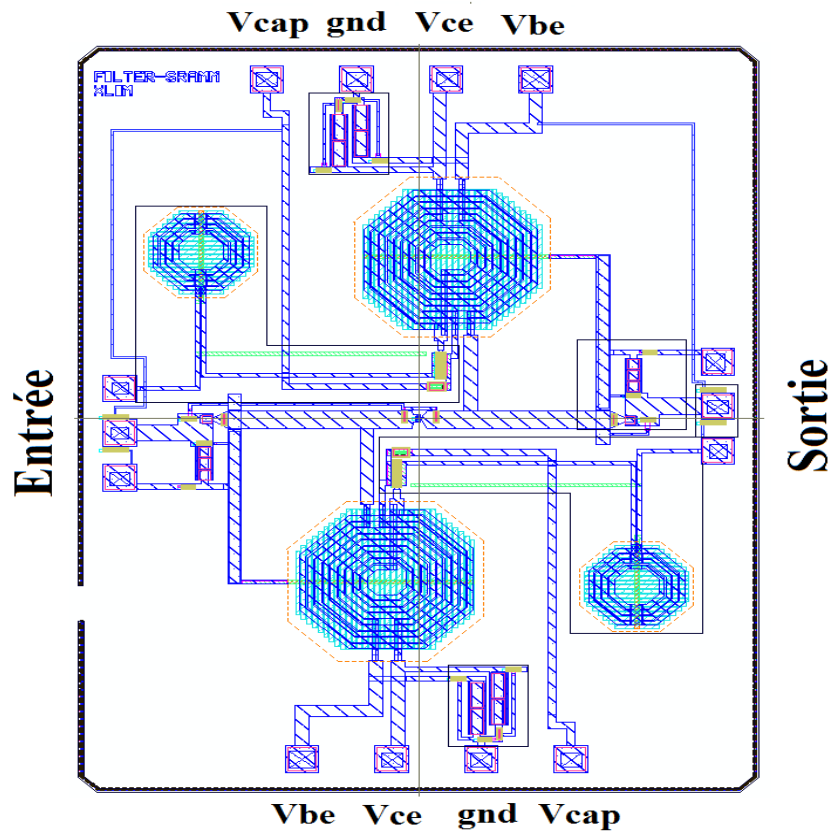


Figure III-17 : Layout du filtre

La Figure III-18 présente la photographie de la puce Filtre.

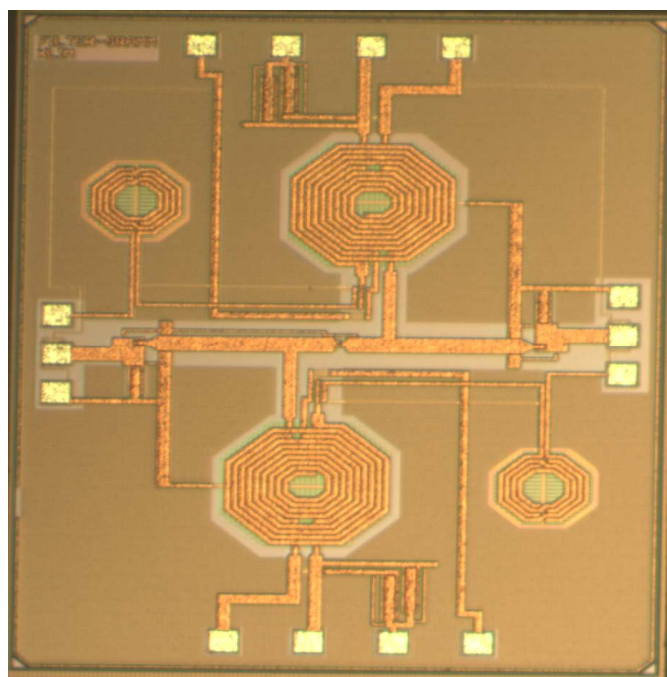


Figure III-18 : Photographie de la puce Filtre

Chaque inductance compensée est alimentée par trois tensions et est reliée à la masse par un plot. Le filtre présente huit plots de polarisation (deux plots Vbe, deux plots Vce, deux plots Vcap et deux plots de masse) en plus des plots d'accès RF. L'espacement des plots de centre à centre est de 125  $\mu\text{m}$ .

### III.1.2.1. Résultats de simulation

Les paramètres S (simulation du schéma électrique) du filtre deux pôles sont tracés Figure III-19. Le filtre présente des pertes d'insertion de 0,53 dB à 955 MHz, avec une bande passante à -3 dB de 46 MHz. L'adaptation en entrée et en sortie est supérieure à 11 dB sur toute la bande. La consommation du circuit est de l'ordre de 25,5 mW sous 1,7 V.

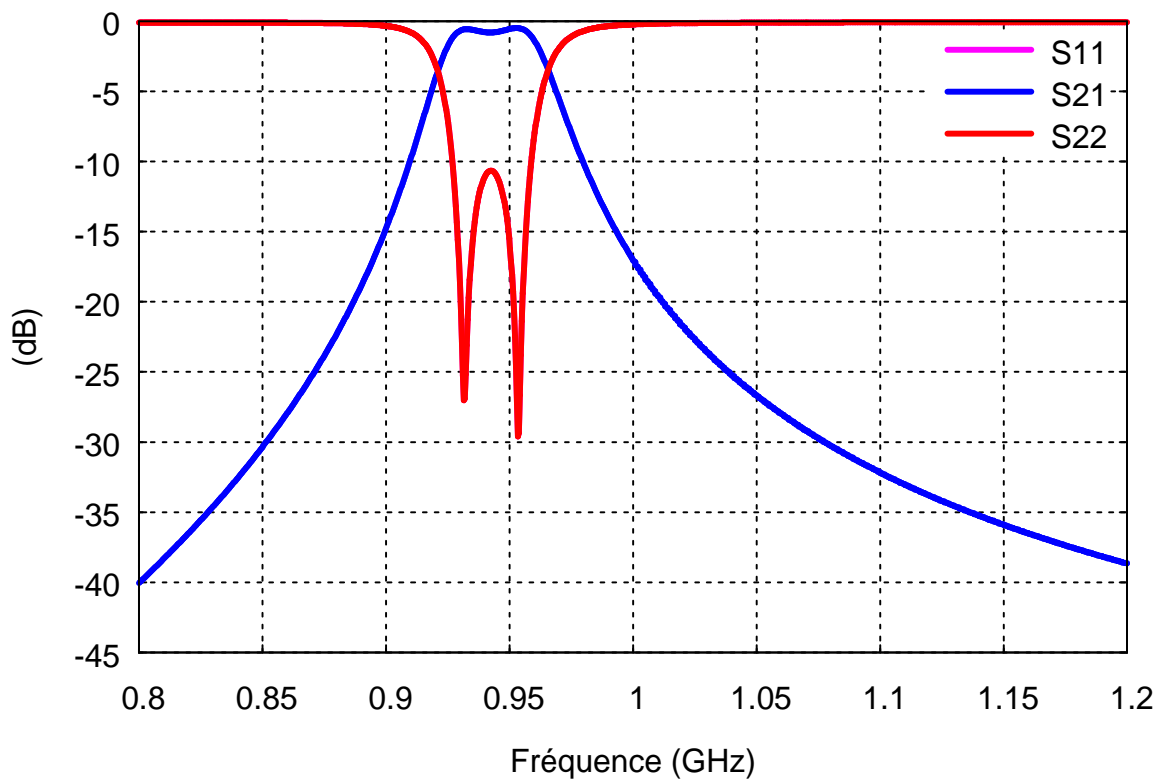


Figure III-19 : Paramètres S du filtre deux pôles (Simulation du schéma électrique)

La Figure III-20 représente la fonction du filtrage du filtre deux pôles avec un balayage de la fréquence centrale de 908 MHz à 960 MHz (simulation du schéma électrique). Cet accord en fréquence est commandé par la tension de contrôle Vcap.

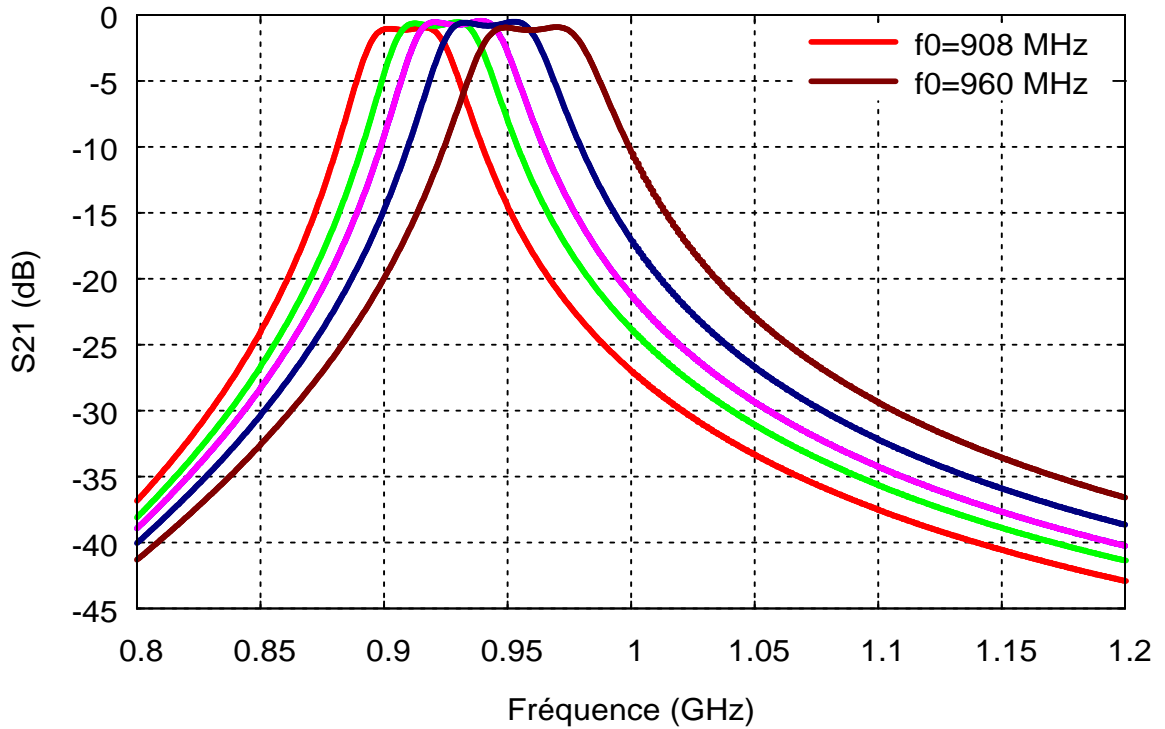


Figure III-20: S21 avec balayage de la fréquence centrale (Simulation du schéma électrique)

La Figure III-21 montre une comparaison entre les résultats de simulation du schéma électrique et les résultats de simulation faites avec le modèle électrique complet de type « extracted » prenant en compte la totalité des parasites du dessin du masque. Nous remarquons qu'il y a un décalage en fréquence de 22 MHz entre les deux courbes et une diminution de 1 dB pour les pertes d'insertion.

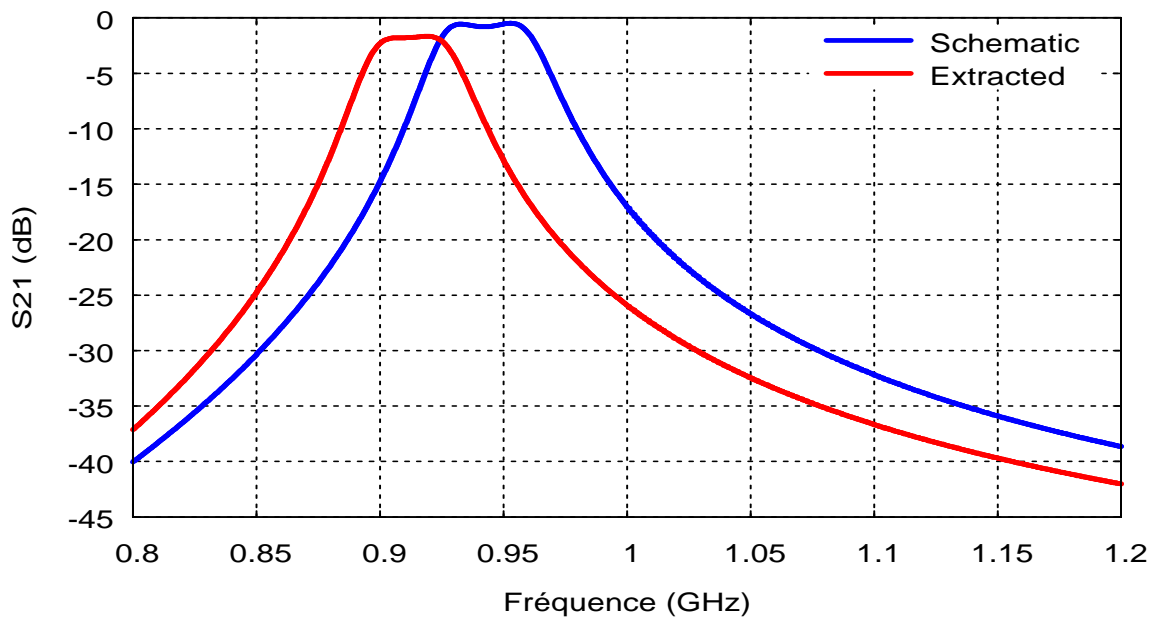


Figure III-21 : Comparaison entre les résultats du schéma et le dessin des masques

Le décalage des pertes d'insertion est dû principalement aux résistances des lignes métalliques dans le dessin des masques et aux couplages capacitifs entre ces lignes et le substrat ce qui modifie la transconductance du transistor et donc influe directement sur la compensation des pertes. Le décalage de la fréquence centrale est dû aux inductances des lignes métalliques qui se trouvent entre les capacités qui composent le filtre et la capacité du couplage des deux résonateurs.

La Figure III-22 présente le facteur de bruit et le facteur de bruit minimum du filtre. Nous constatons que le facteur de bruit est égal à 15,1 dB et le facteur de bruit minimum est 14,9 dB à 915 MHz. L'adaptation en bruit est donc optimale.

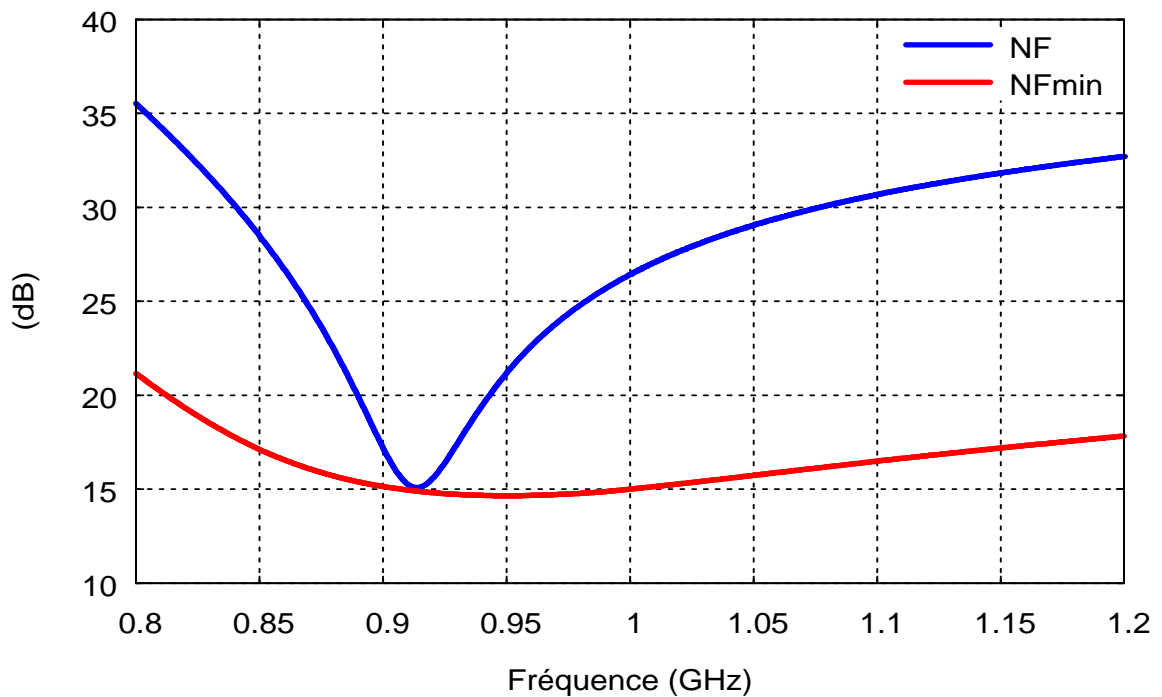


Figure III-22 : Facteur de bruit et facteur de bruit minimal du filtre

La Figure III-23 représente la fonction du filtrage du dessin des masques du filtre deux pôles avec un balayage de la fréquence centrale de 884 MHz à 928 MHz.

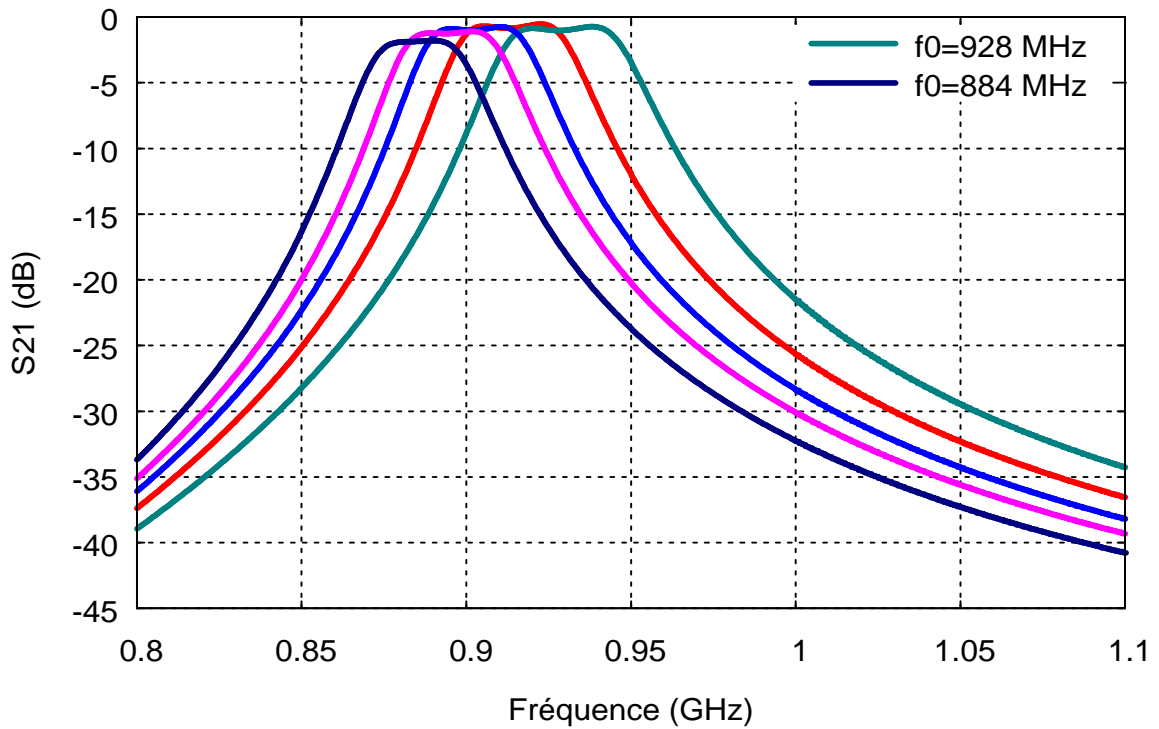


Figure III-23 : S21 avec balayage de la fréquence centrale (Simulation du layout)

La Figure III-24 présente les paramètres S du filtre deux pôles. Le filtre présente une perte d'insertion de 0,53 dB à 922 MHz, avec une bande passante à -3dB de 40 MHz. L'adaptation en entrée et en sortie est supérieure à 11 dB sur toute la bande.

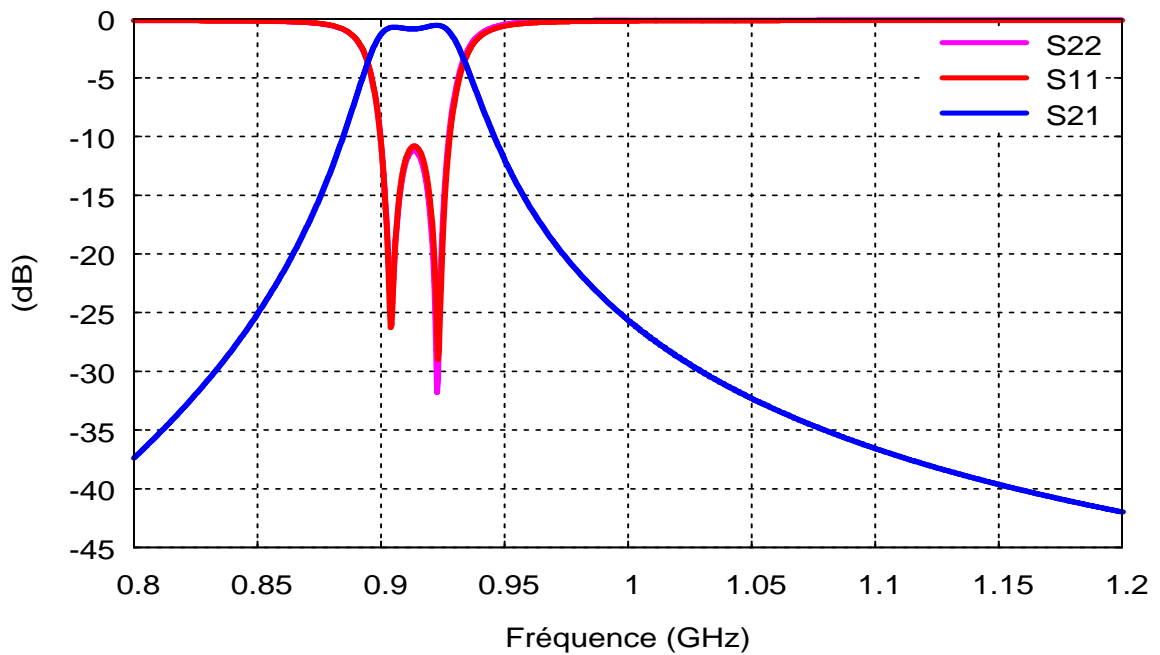


Figure III-24 : Paramètres S du filtre deux poles (Simulation du layout)



Le point de compression à -1 dB en entrée du filtre (cf. Figure III-25) est égal à -1,85 dBm pour une puissance en sortie de -15 dBm à 905 MHz.

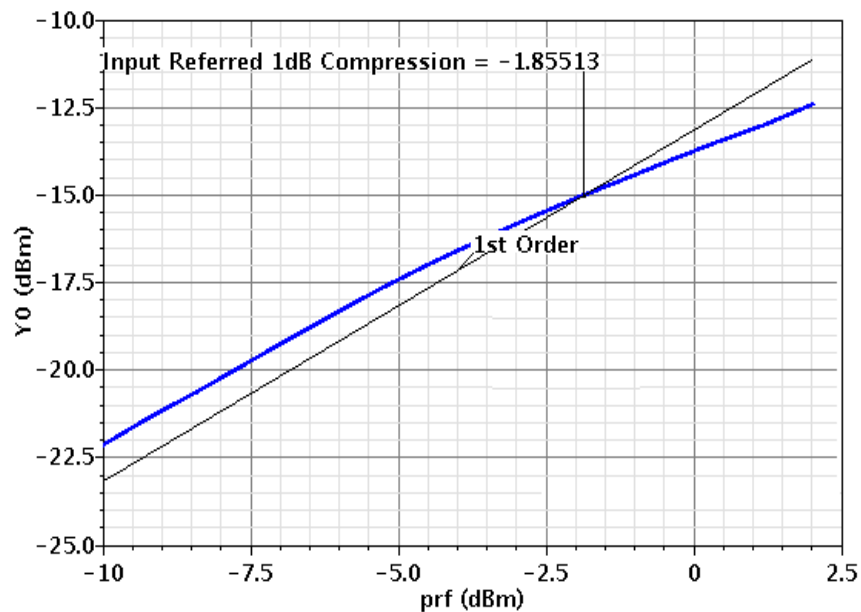


Figure III-25 : Point de compression du filtre

### III.1.3. Report du circuit filtre

Comme nous avons vu précédemment, l'inductance compensée est basée sur l'utilisation d'une technique alternative de polarisation. Deux inductances et deux capacités de découplages de fortes valeurs sont ajoutées ( $L_{\text{choke}}=100$  nH ;  $C_{\text{dec}} = 20$  pF) afin de découpler le signal RF. Les inductances sont directement soudées sur le circuit support en alumine et les capacités  $C_{\text{dec}}$  (de type MIM (Metal-Isolator-Metal)) sont intégrées dans le dessin du masque de ce circuit.

Cependant, les simulations réalisées sur l'inductance compensée montrent que celle dernière est affectée par un problème d'instabilité à basses fréquences (autour de 100 MHz). Afin de résoudre ce problème nous choisissons d'optimiser les valeurs des composants insérés sur le circuit de report du circuit intégré.

### III.1.3.1. Origine de l'instabilité basses fréquences

Cette instabilité est illustrée par le tracé de la partie réelle de l'inductance compensée (Figure III-26).

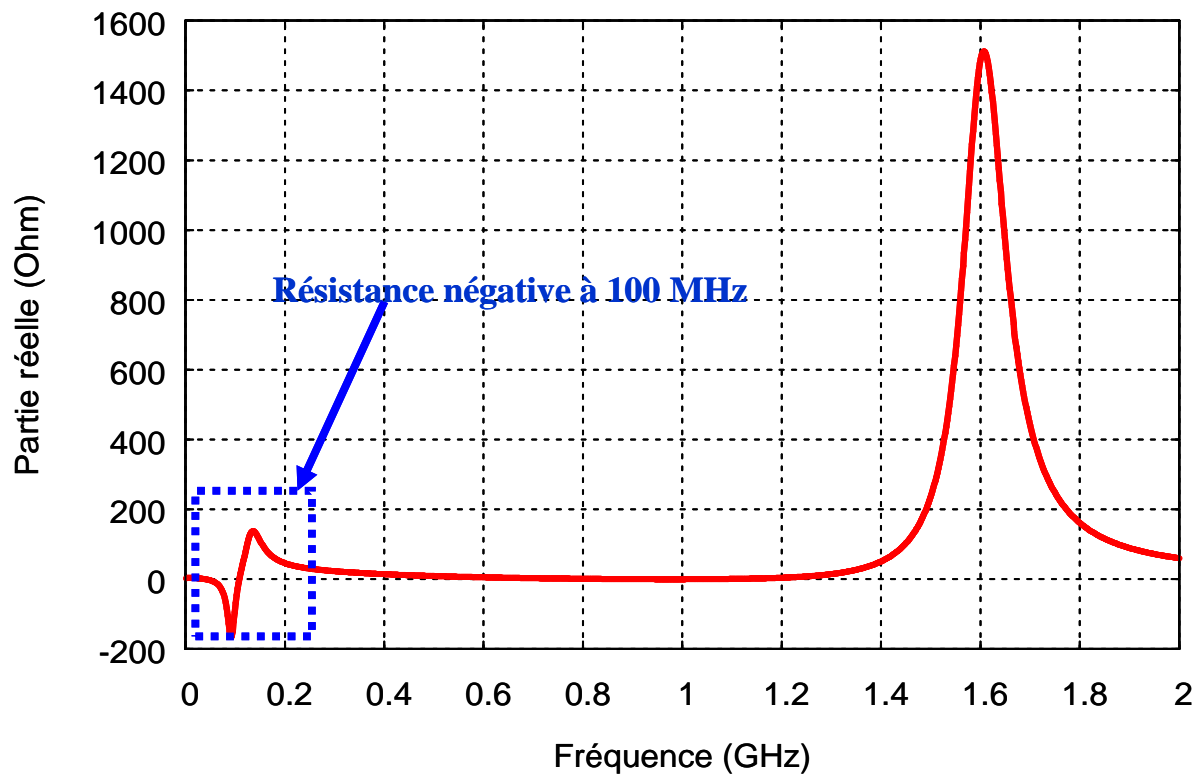


Figure III-26 : Partie réelle de l'inductance compensée

Nous remarquons d'après cette figure une résistance négative autour de 100 MHz. Ceci s'explique par le fait qu'à 100 MHz l'impédance de l'inductance de découplage (100 nH) est égale à  $62,8 \Omega$  qui correspondent à une faible valeur pour découpler le signal RF. La solution proposée est d'ajouter deux résistances en série avec les inductances de découplage (cf. Figure III-27) afin d'augmenter l'impédance présentée en basses fréquences et de découpler le signal RF. Ces résistances ne doivent pas être de grandes valeurs, notamment celle placée sur le collecteur du transistor BNA (Résistance R2) pour ne pas modifier le courant  $i_t$  et dégrader la linéarité du circuit.

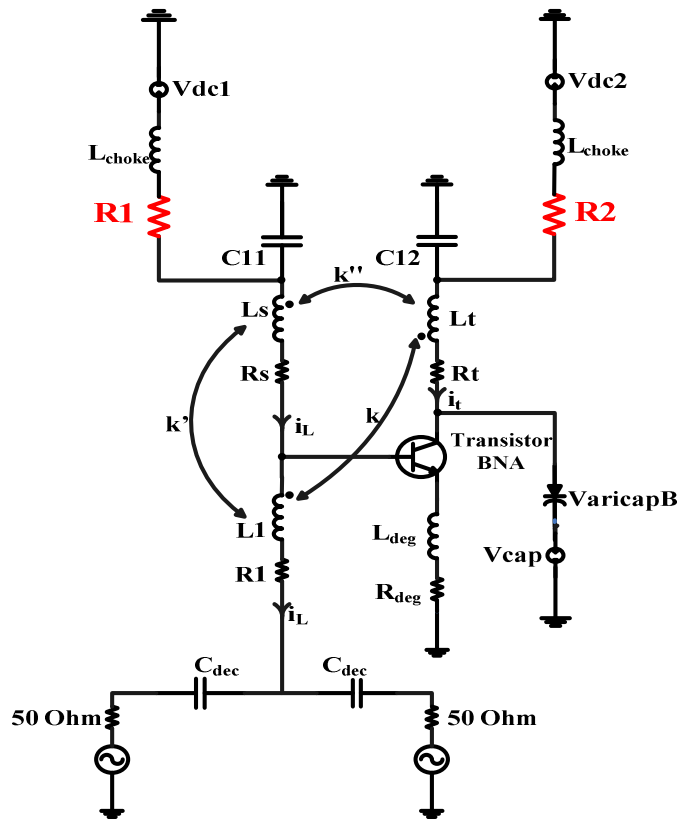


Figure III-27 : Inductance compensée comprenant les deux résistances R1 et R2 qui améliorent la stabilité en basses fréquences.

La Figure III-28 présente une comparaison de la partie réelle de l'inductance compensée sans et avec résistance R1 et R2. Une différence importante est constatée autour de 100 MHz sans modification de la réponse à la fréquence qui nous intéresse (1GHz).

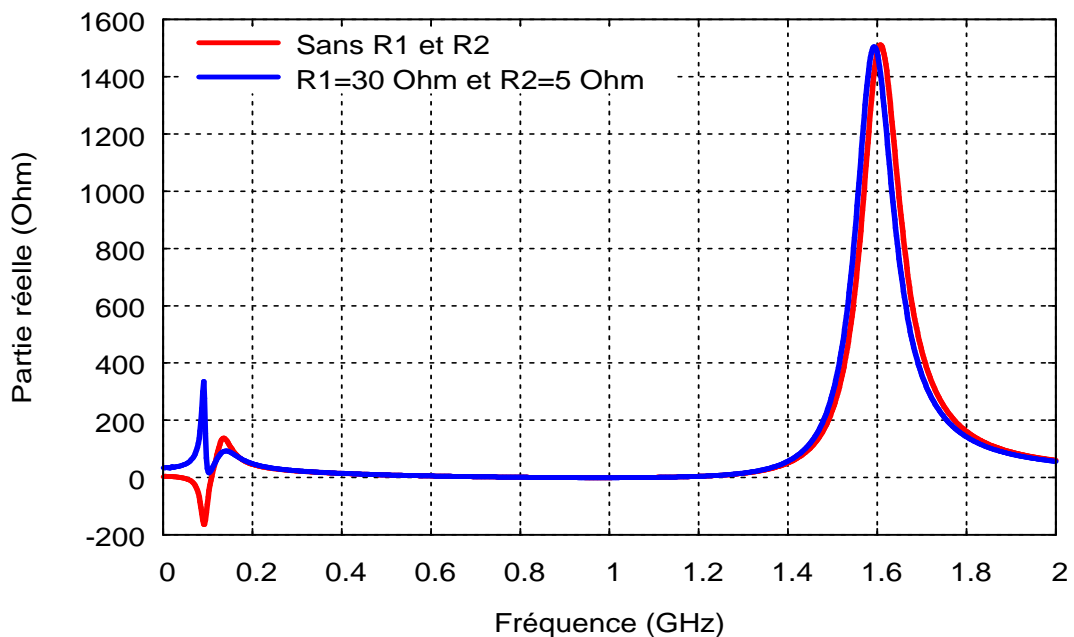


Figure III-28 : Partie réelle de l'inductance compensée

Le circuit support comporte donc les composants suivants :

- résistances R1 et R2 pour améliorer la stabilité en basses fréquences,
- inductances  $L_{\text{choke}}$  de valeurs 100 nH pour découpler le signal RF et préserver le transformateur des effets des fils de connexion (Bonding),
- les circuits intégrés réalisés,
- des capacités de découplage RF de valeurs de 1 $\mu$ F pour éviter les remontées du signal RF vers les alimentations.

### **III.1.3.2. Caractéristiques du substrat du circuit support**

Le substrat utilisé et sur lequel les circuits LNA, Filtre, LNA Filtrant sont collés est l'alumine dont les caractéristiques sont les suivantes :

- Alumine 96 %
- Permittivité diélectrique relative= 9,8
- Tangente de perte  $\delta = 0,0002$
- Hauteur du substrat = 127  $\mu$ m
- Epaisseur du métal d'Or = 3  $\mu$ m
- Conductivité du métal d'Or = 4,1 e7 S/m

### **III.1.3.3. Analyse du circuit de report**

Dans notre cas, l'utilisation du circuit support présente certains problèmes qui sont exposés ci-après : le fil de connexion entre la puce intégrée et le support conduit à rajouter des pertes ce qui influe directement sur les caractéristiques des circuits réalisés (Filtre, LNA Filtrant). Par ailleurs pour un fil de connexion de rayon  $r$  placé à une distance  $h$  par rapport au plan de masse, une estimation de l'inductance du fil de connexion est donnée par la relation :

$$L \approx 0,2 \ln \frac{2h}{r} \quad \text{Avec } L \text{ est exprimée en nH par millimètre.}$$

Pour deux fils de connexion séparés d'une distance  $d$  et placés à une distance  $h$  par rapport au plan de masse, la mutuelle inductance  $M$  entre eux est donnée par la relation :

$$M \approx 0,1 \ln \left[ 1 + \left( \frac{2h}{d} \right)^2 \right] \quad \text{Avec } M \text{ est exprimée en nH par millimètre.}$$

Afin de compenser ces défauts nous choisissons d'utiliser un double fil d'or ("Double bonding") pour diminuer le plus possible la résistance et l'inductance du fil d'or.

### III.1.3.4. Résultats de simulation

Comme dit précédemment, les circuits intégrés (LNA, Filtre, LNA Filtrant) sont collées sur le support puis reliés aux plots de polarisation et aux accès RF par des fils d'or. De plus, les composants ajoutés (inductances, résistances, capacités) sont reliés entre eux par des fils d'or. La Figure III-29 présente le dessin du circuit support réalisé pour le Filtre pour lequel quatre inductances de valeurs 100 nH, quatre résistances (deux de valeur 30 Ω et deux de valeur 5 Ω) et six capacités de valeur 1 μF sont collées sur ce dernier.

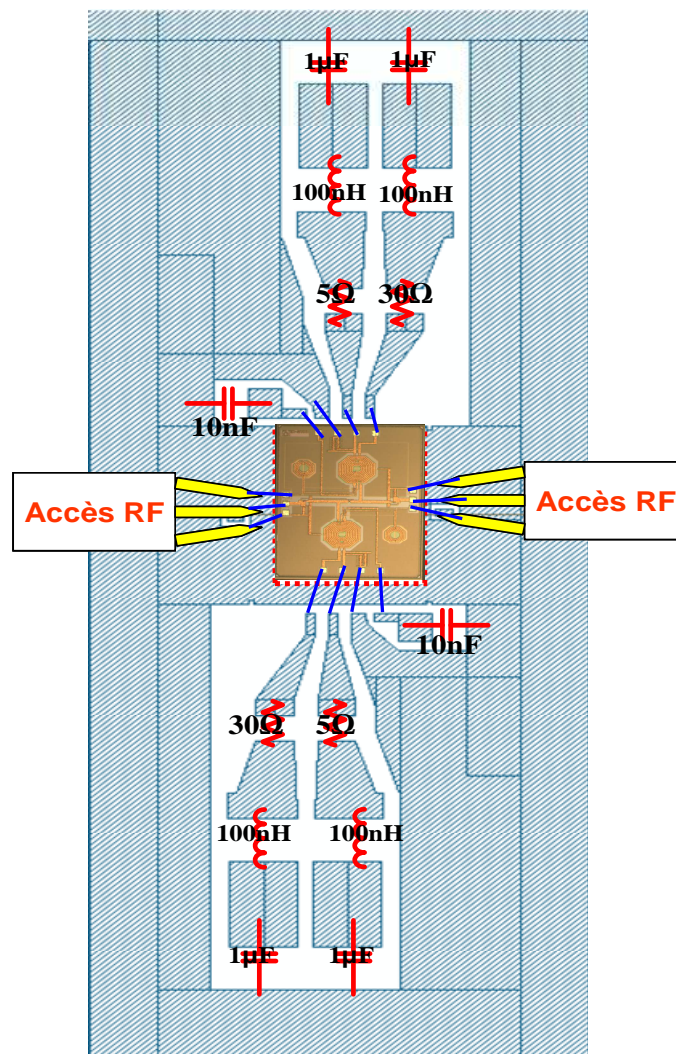


Figure III-29 : Circuit Filtre

Nous présentons sur la Figure III-30 les résultats de simulation des paramètres S correspondant au dessin des masques du circuit Filtre avec le circuit support. Le filtre présente une perte d'insertion de 0,8 dB à 913 MHz, une adaptation en entrée et en sortie respectivement de -6,4 dB et -7 dB sur toute la bande.

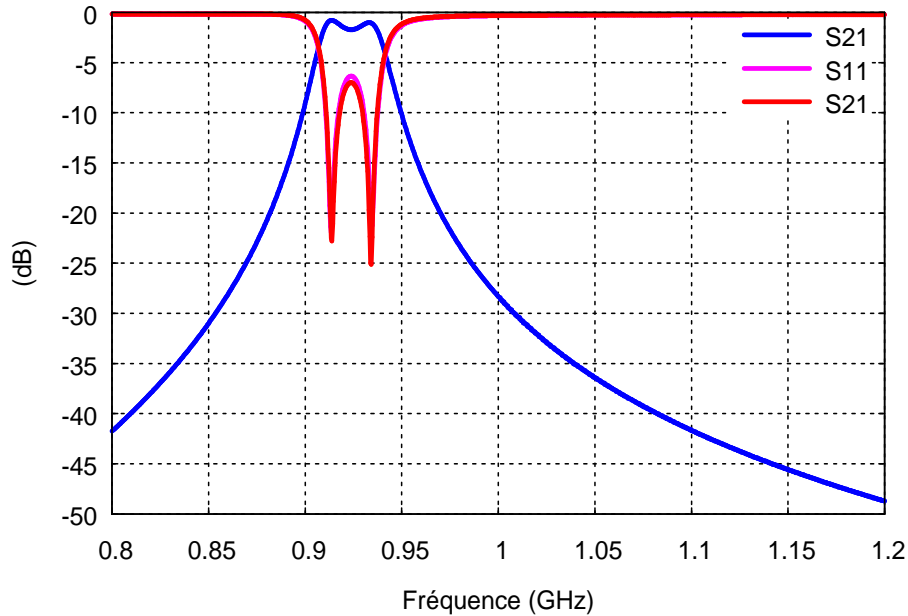


Figure III-30 : Paramètres S du circuit Filtre

Les résultats de simulation du filtre nous permettent de constater une augmentation de l'ondulation du filtre de 0,5 dB ce qui entraîne une dégradation d'adaptation en entrée et en sortie de 2 dB. La Figure III-31 présente l'allure du facteur de bruit NF du Filtre. Ce facteur est de l'ordre de 14,2 dB à 923 MHz.

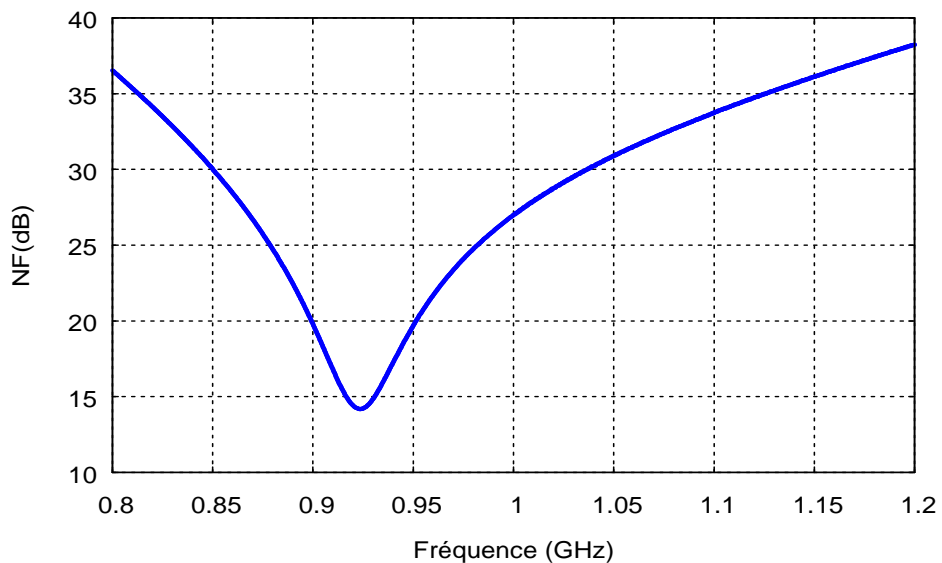


Figure III-31 : Facteur de bruit du circuit filtre avec circuit support

## III.2. Amplificateur faible bruit

### III.2.1. Rôle et topologies du LNA

Les amplificateurs faible bruit sont essentiels dans les chaînes de télécommunications sans fils [7] [8] [9]. Ils ont pour fonction d'amplifier le signal utile et de préserver le système du bruit et de l'effet des non linéarités du récepteur.

Il existe plusieurs topologies pour réaliser un amplificateur faible bruit : Emetteur commun, collecteur commun et montage cascode (cf. Figure III-32). Le choix de ces topologies dépend des paramètres suivants :

- Fréquence centrale,
- facteur de bruit,
- gain,
- et linéarité.

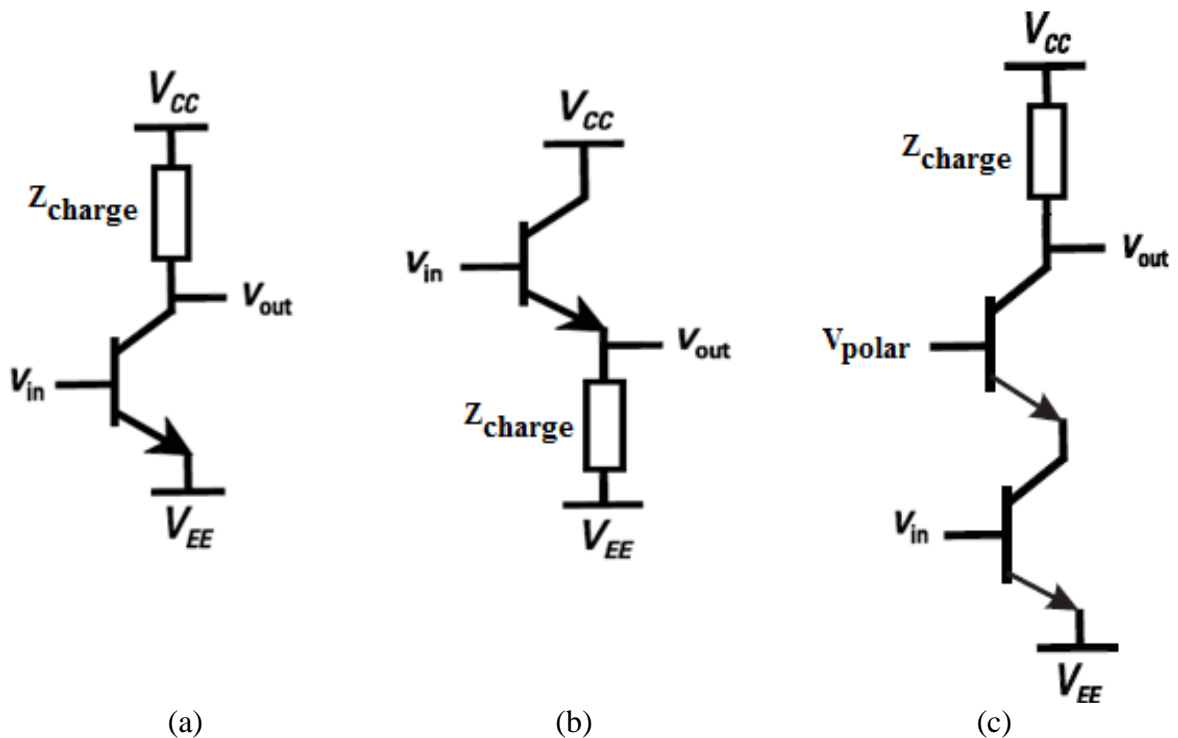


Figure III-32 : Topologies du LNA : (a) Emetteur commun (b) Collecteur commun (c) Montage cascode

Comme le premier étage de notre circuit est l'amplificateur faible bruit, la formule de Friis [10] montre que le facteur de bruit final de plusieurs étages associés en cascade dépend fortement du premier étage. Ceci montre tout l'intérêt de l'optimisation d'amplificateur faible bruit du point de vue bruit et gain.

Dans la littérature, on trouve de nombreux articles montrant les performances des amplificateurs faible bruit. Nous présentons dans le tableau III-3 une liste de publications des amplificateurs faible bruit en technologie BiCMOS.

	[11] 2010	[12] 2009	[13] 2004	[14] 2003
Fréquence (GHz)	2,1-6	8-18	0,1-23	1,575
Facteur de bruit (dB)	2,3-3,8	5-6	5	2,7
Gain (dB)	12	16	14,5	25,8
Consommation	8 mW	38 mW	54 mW	9 mA
Technologie	0,18 $\mu\text{m}$ SiGe BiCMOS	0,13 $\mu\text{m}$ SiGe BiCMOS	SiGe BiCMOS	0,35 $\mu\text{m}$ SiGe BiCMOS
Réalisation ( $\text{mm}^2$ )	0,46	mesure	1,47	mesure

Tableau III-3 : Liste d'articles concernant les amplificateurs faible bruit

### III.2.2. Conception du LNA

Les spécifications du cahier des charges du LNA sont les suivantes :

Spécifications	Valeurs
Fréquence centre $f_c$	942,5 MHz
Gain	8,9 dB
Bande	[905 - 980 MHz]
Facteur de bruit dans la bande passante	< 1,4 dB
Point de compression à 942,5MHz	0 dBm

Tableau III-4 : Cahier des charges du LNA



En tenant compte des spécifications du cahier des charges et des caractéristiques du transistor PA, nous avons choisi la topologie émetteur-commun (cf. Figure III-33) constituée :

- d'un transistor PA de la technologie BiCMOS 0,25  $\mu\text{m}$  ,
- une rétroaction série composée de l'inductance de dégénérescence «  $L_{\text{deg}}$  » qui permet d'améliorer la stabilité inconditionnelle ( $K > 1$  et  $B > 0$ ) du transistor en l'adaptant simultanément en puissance et en bruit.
- une rétroaction parallèle formée par  $C3$  et  $R3$  qui permet d'améliorer la linéarité du LNA.
- deux capacités de découplages  $C1$  et  $C2$  et une self ( $L_{\text{choke}}$ ) pour réaliser la fonction de découplage des signaux RF et DC.
- deux résistances  $R1$  et  $R2$  permettant d'améliorer la stabilité en basse fréquence.

La Figure III-33 représente le schéma électrique de l'amplificateur faible bruit.

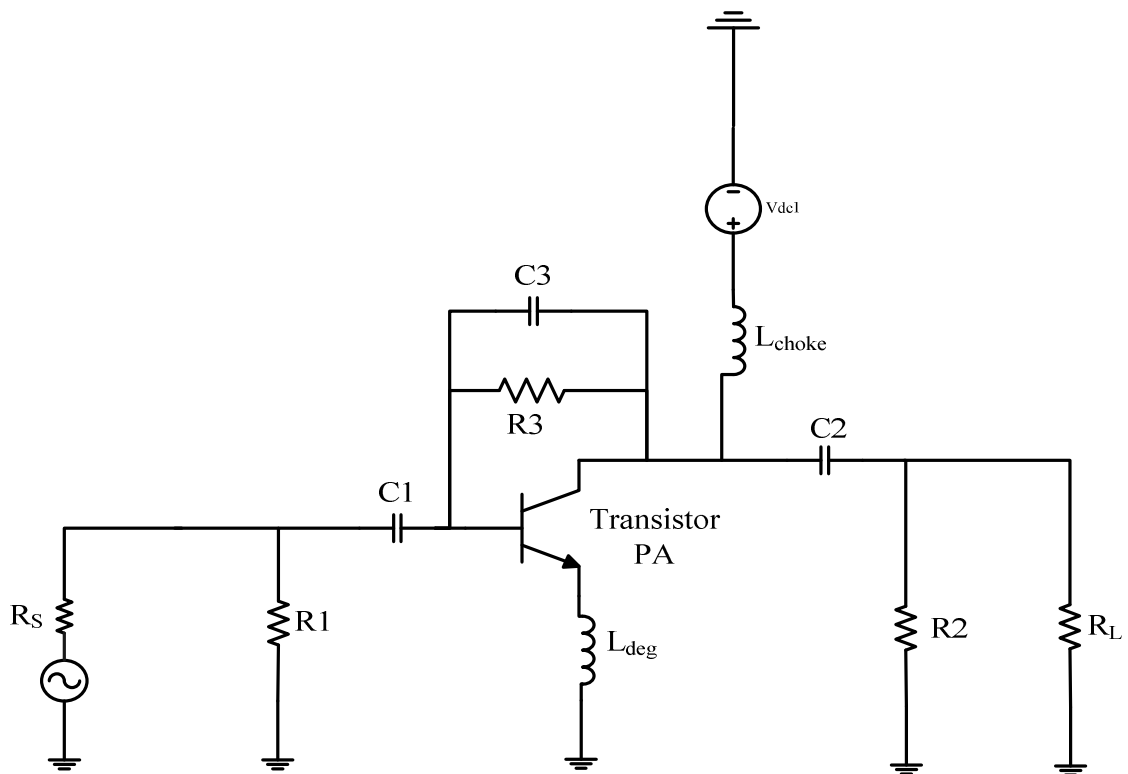


Figure III-33 : Schéma électrique du LNA

Le dessin du masque du circuit LNA est représenté sur la Figure III-34. Le layout occupe une surface de  $900\ \mu\text{m} \times 800\ \mu\text{m}$ .

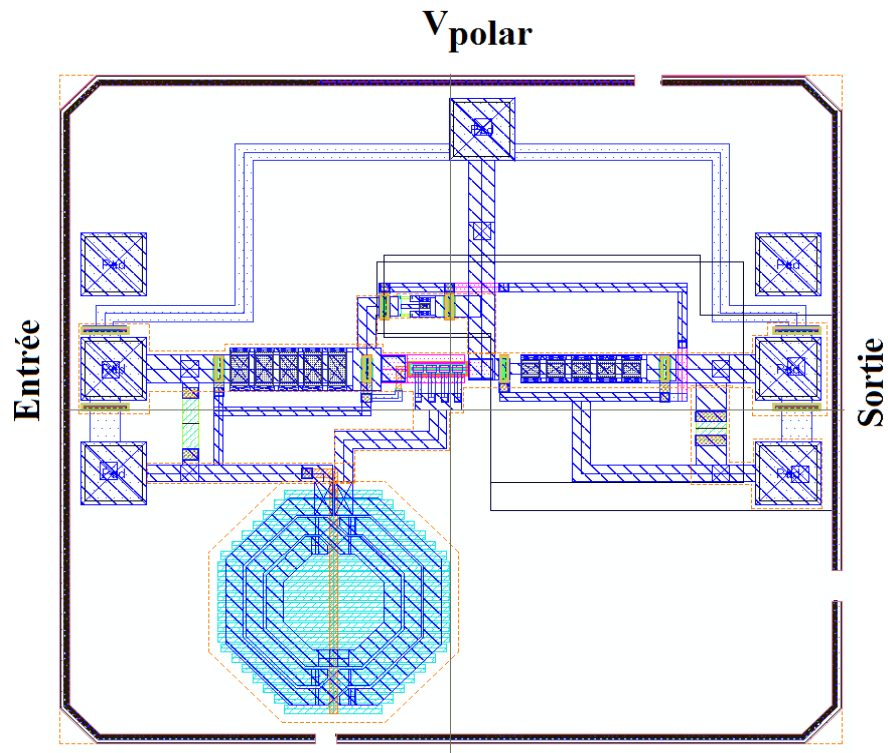


Figure III-34 : Layout du LNA

La Figure III-35 présente une photographie de la puce LNA réalisée.

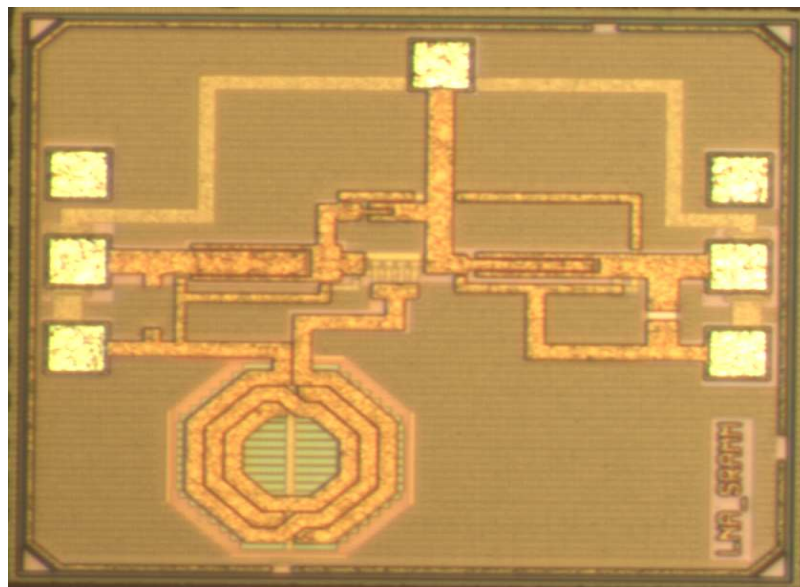


Figure III-35 : Photographie de la puce LNA

### III.2.2.1. Résultats de simulation

La Figure III-36 présente les coefficients de réflexions et le gain du LNA :

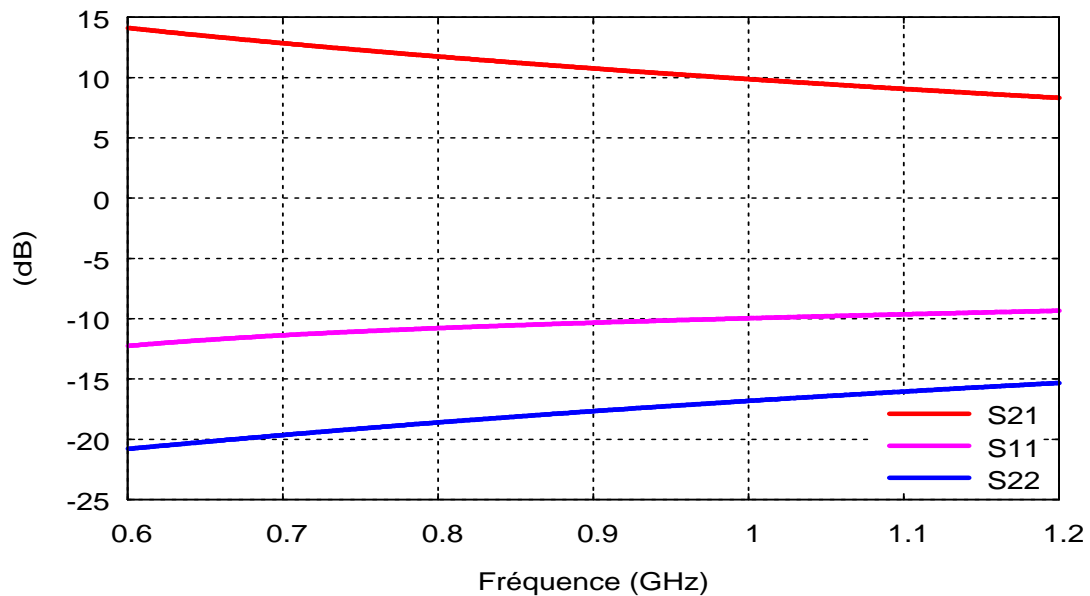


Figure III-36 : Paramètres S du LNA

L'adaptation en entrée est inférieure à -10 dB sur toute la bande. L'adaptation de sortie est inférieure à -16 dB sur toute la bande. Le gain est égal à 10,3 dB à la fréquence centrale 942,5 MHz. Le circuit est polarisé à 1,6 V et consomme 50,6 mW.

La Figure III-37 présente le facteur de bruit NF. Il est égal à 1,5 dB à 942,5 MHz

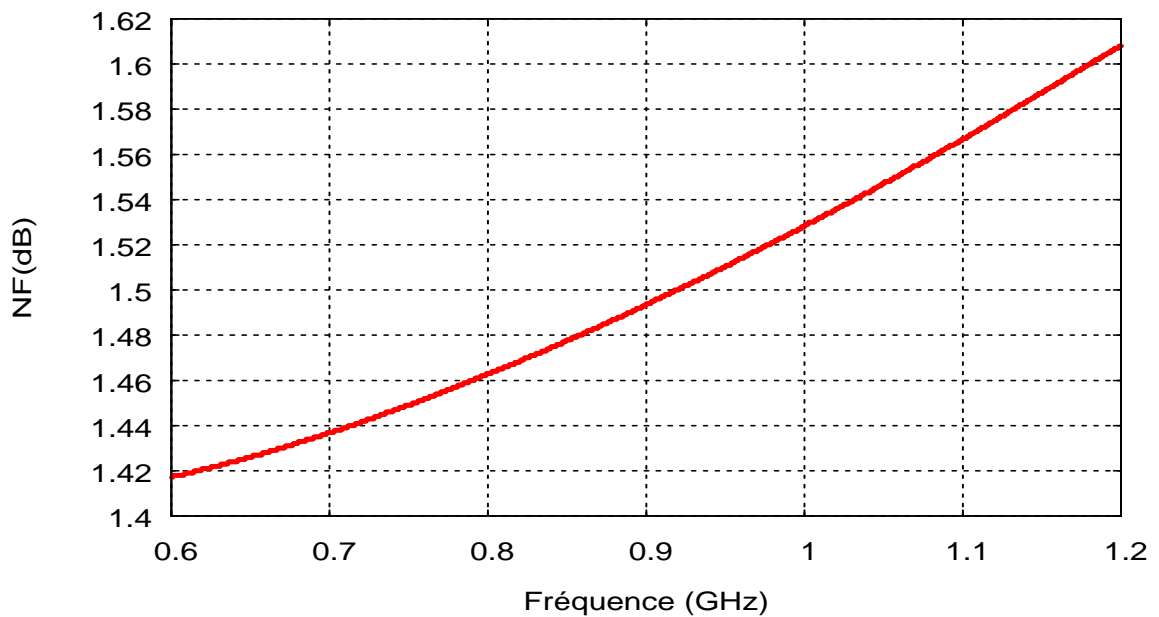


Figure III-37 : Facteur de bruit du LNA

Les Figures III-38 et III-39 représentent respectivement les parties imaginaire et réelle de l'impédance d'entrée et de sortie du LNA. Sur ces graphes, l'impédance en entrée du LNA est égale à  $Z_{in} = 92,2\Omega - 7\Omega * j$ . L'impédance en sortie vaut :  $Z_{out} = 47,7\Omega - 11,5\Omega * j$

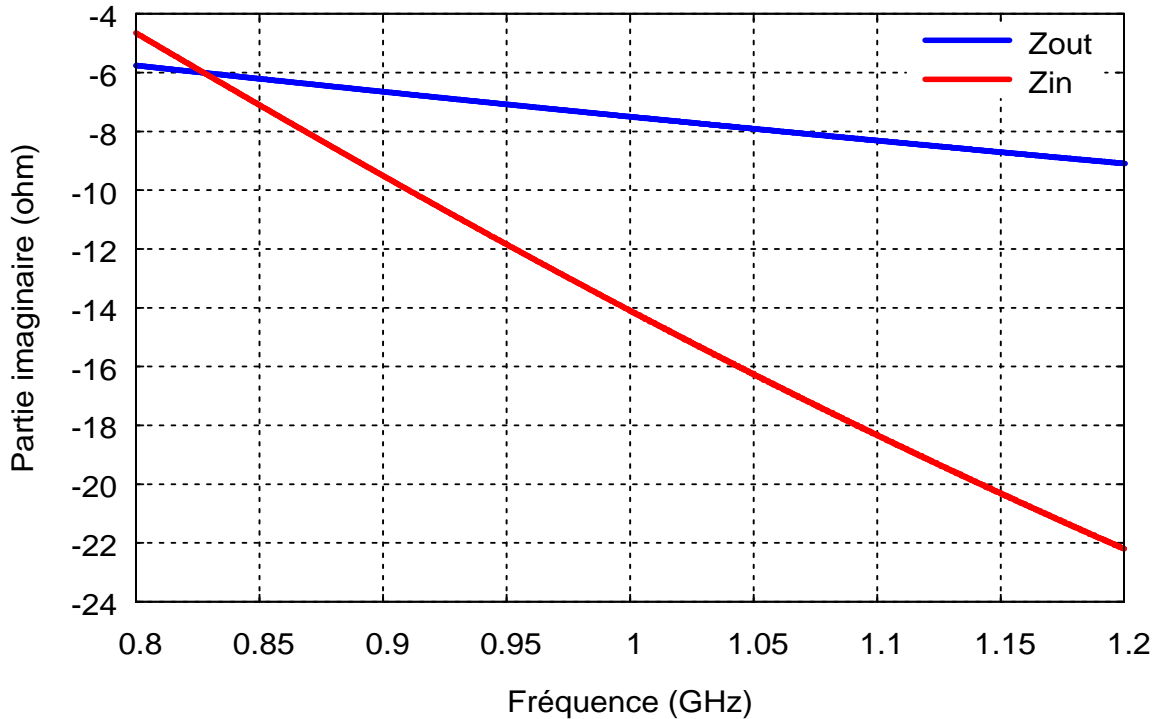


Figure III-38 : Partie imaginaire de l'impédance d'entrée et de sortie du LNA

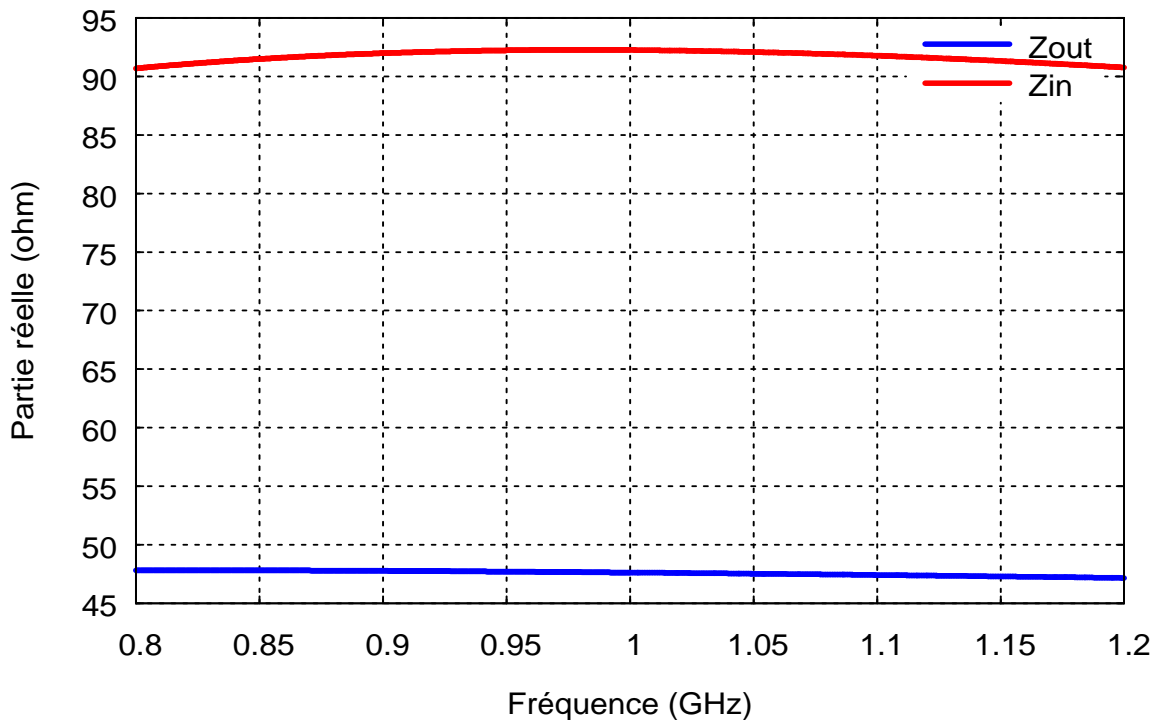


Figure III-39 : Partie réelle de l'impédance d'entrée et de sortie du LNA

Le point de compression à -1 dB en entrée du LNA (cf. Figure III-40) est égal à 0 dBm pour une puissance en sortie de 10 dBm à 942 MHz.

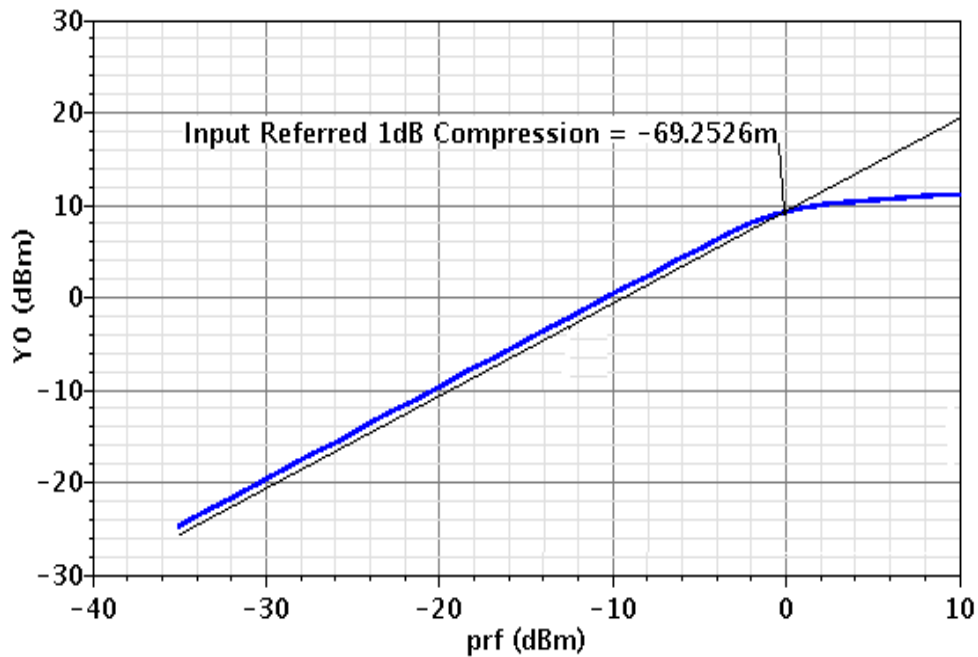


Figure III-40 : Point de compression du LNA

Le dessin du circuit support réalisé pour le circuit LNA est présenté sur la Figure III-41. L'opération de report du circuit LNA n'entraîne pas une modification des résultats de simulation.

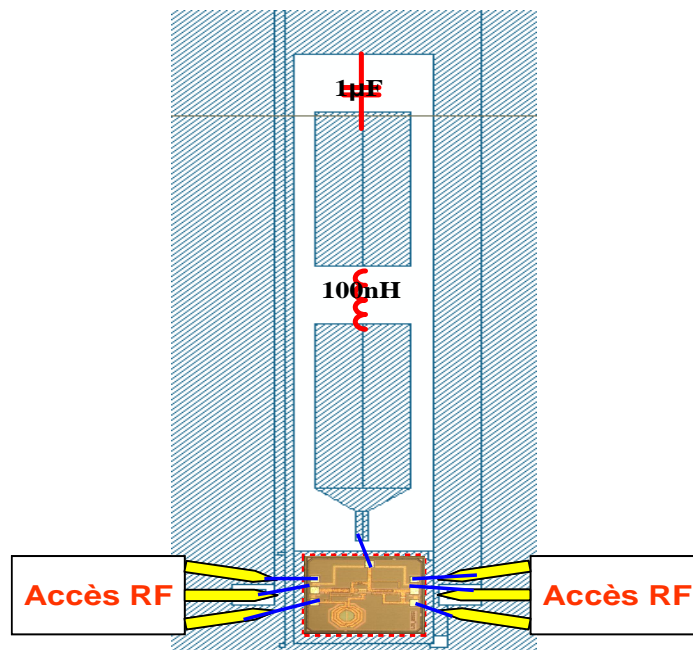


Figure III-41 : Circuit LNA

### III.3. LNA filtrant

#### III.3.1. Conception du circuit LNA Filtrant

La Figure III-42 représente le circuit du LNA filtrant avec les impédances de charges de chaque élément.

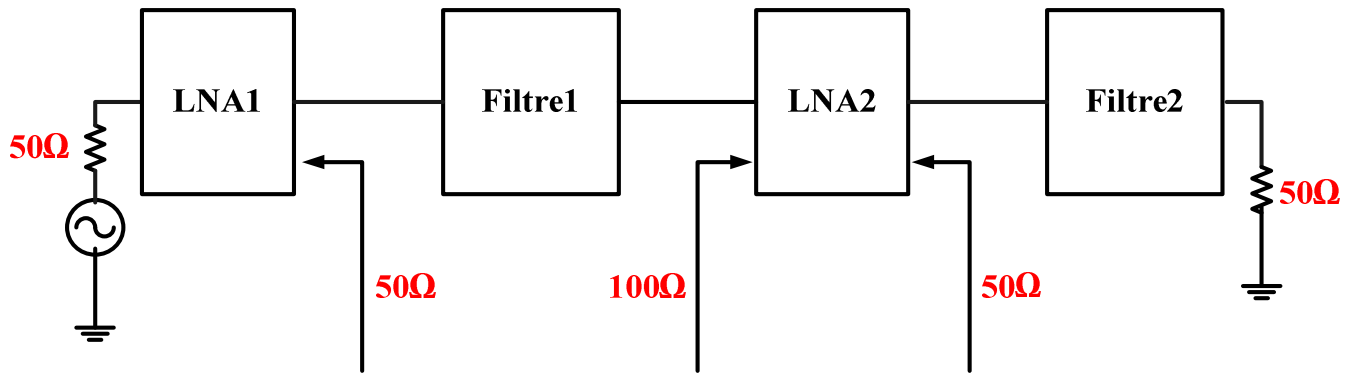


Figure III-42 : Circuit LNA filtrant avec les impédances de charges

- Le Filtre 1 est chargé d'un côté par l'impédance de sortie du LNA1 ( $Z_{out\_LNA1} = 50 \Omega$ ), de l'autre il est chargé par l'impédance qui doit être vue par l'entrée du LNA2 ( $Z_{in\_LNA2} = 100 \Omega$ ).
- Le Filtre 2 est chargé d'un côté par  $Z_{in\_LNA2}$  ( $Z_{out\_LNA2} = 50 \Omega$ ) et de l'autre par l'impédance de charge  $50 \Omega$ .

En utilisant la théorie présentée dans ce chapitre paragraphe II-2, nous pouvons calculer les valeurs des capacités entrée-sortie du Filtre 1 et Filtre 2 qui permettent de respecter les spécifications du cahier des charges. Les Figure III-43 et III-44 montrent les valeurs de ces capacités.

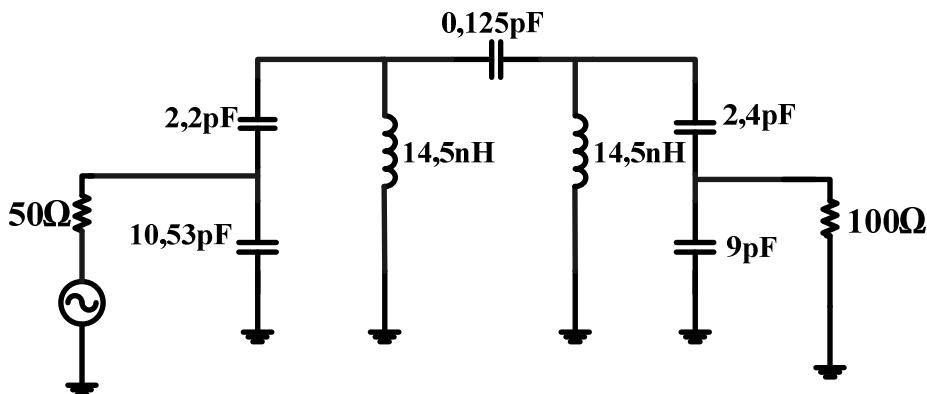


Figure III-43 : Valeurs des capacités du Filtre1

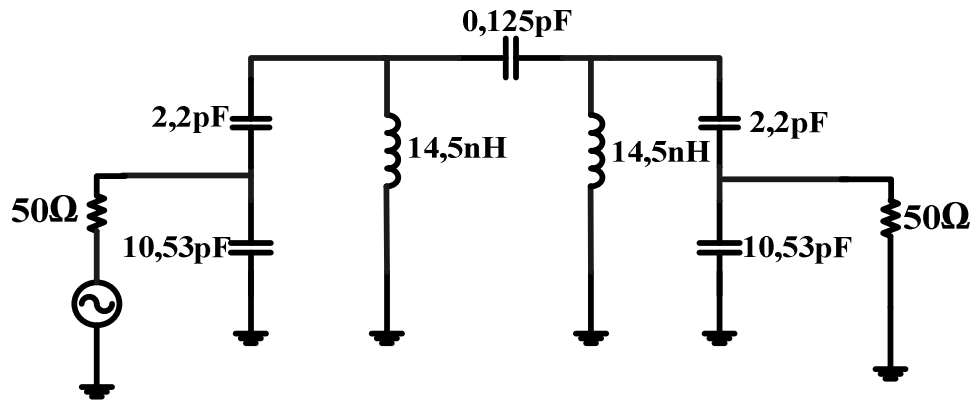


Figure III-44 : Valeurs des capacités du Filtre 2

### III.3.1.1. Résultats de simulation

Nous présentons sur la Figure III-45 la comparaison entre les résultats de simulations du schéma électrique initial et celle de type « extracted ». Nous remarquons d'après les graphes qu'il y a un décalage de la fréquence centrale de 27 MHz entre les résultats du schéma électrique et le dessin des masques. Comme mentionné précédemment, ce décalage est dû aux inductances des lignes métalliques qui se trouvent entre les capacités qui composent le filtre et la capacité du couplage des deux résonateurs.

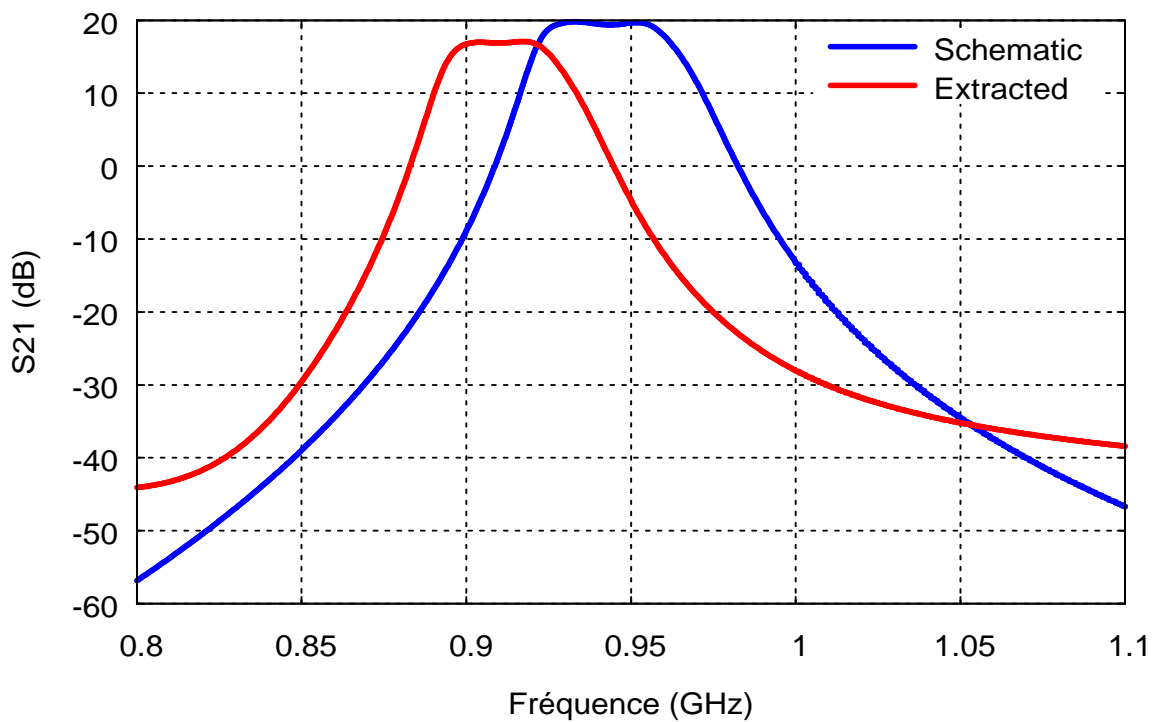


Figure III-45 : Comparaison entre les résultats du schéma électrique et le dessin des masques

La Figure III-46 montre la capacité d'accord en fréquence du LNA filtrant (Simulation du schéma électrique). La fréquence centrale peut varier de 895 MHz à 955 MHz.

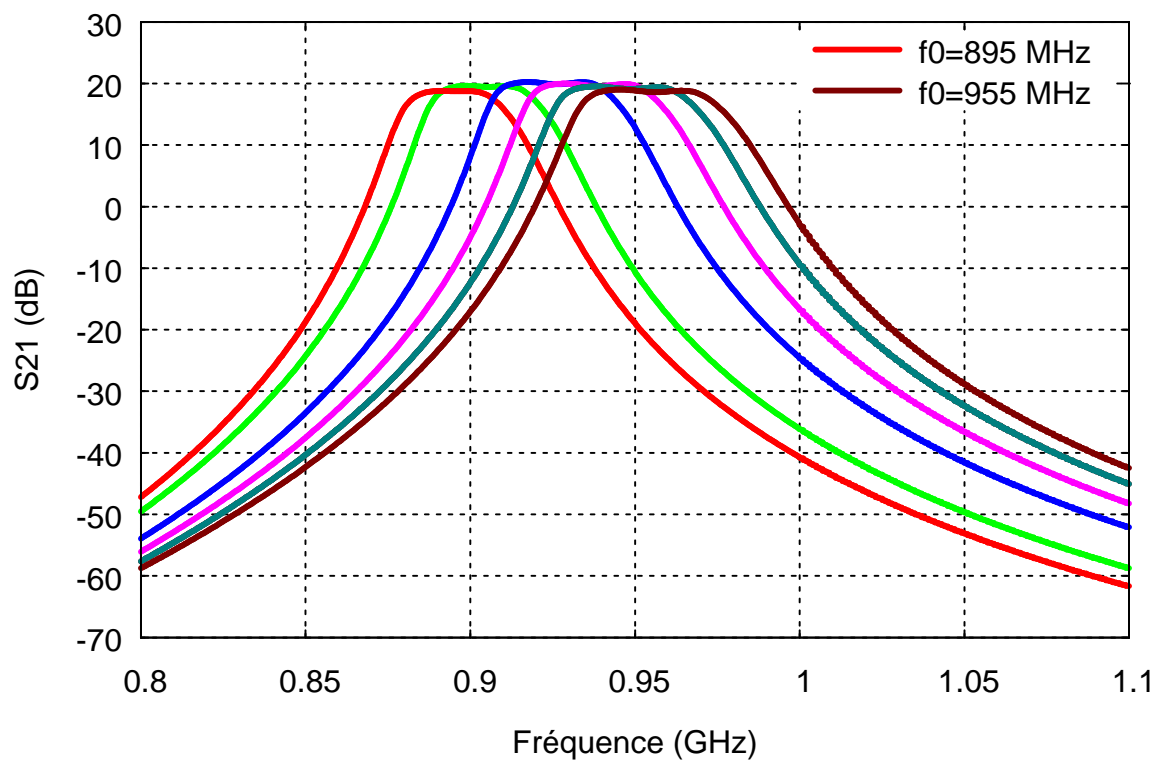


Figure III-46 :  $S_{21}$  avec balayage de la fréquence centrale

En variant la tension de polarisation de la base du transistor BNA de 0,85 V à 1,1 V, le facteur de qualité de l'inductance compensée peut être contrôlé (cf. Figure III-47).

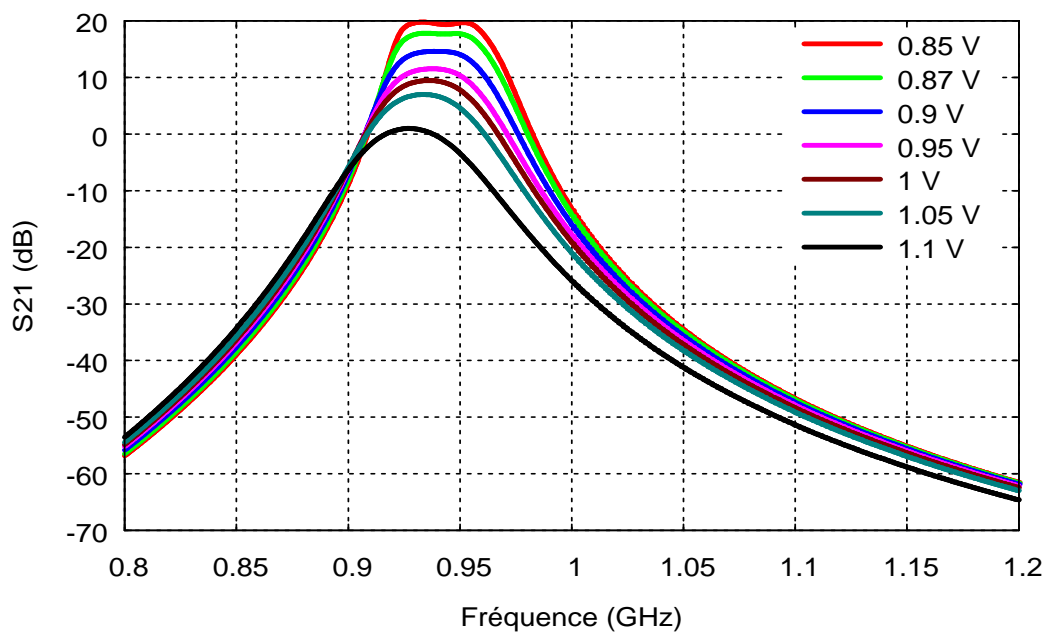


Figure III-47 :  $S_{21}$  avec balayage du facteur de qualité



La Figure III-48 montre les résultats simulés à partir du dessin des masques. Le LNA Filtrant à un gain  $S_{21}$  de 18,8 dB à 923 MHz, une adaptation en entrée et en sortie de -6 dB et -10 dB respectivement. Le facteur de bruit est égal à 6,7 dB.

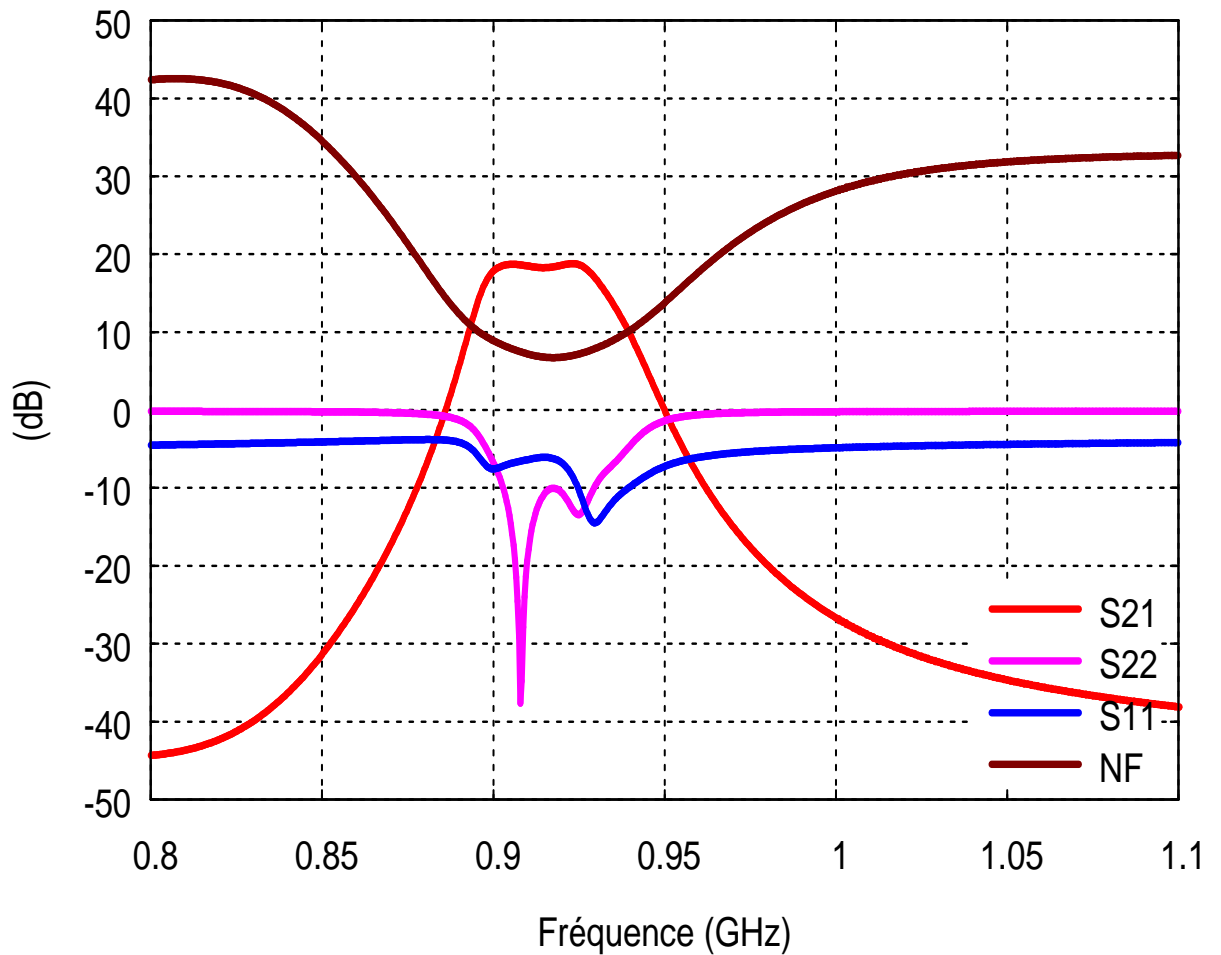


Figure III-48 : Paramètres S et facteur de bruit du LNA-Filtrant

La Figure III-49 représente la fonction du filtrage  $S_{21}$  du dessin des masques du filtre deux pôles avec un balayage de la fréquence centrale de 889 MHz à 922 MHz.

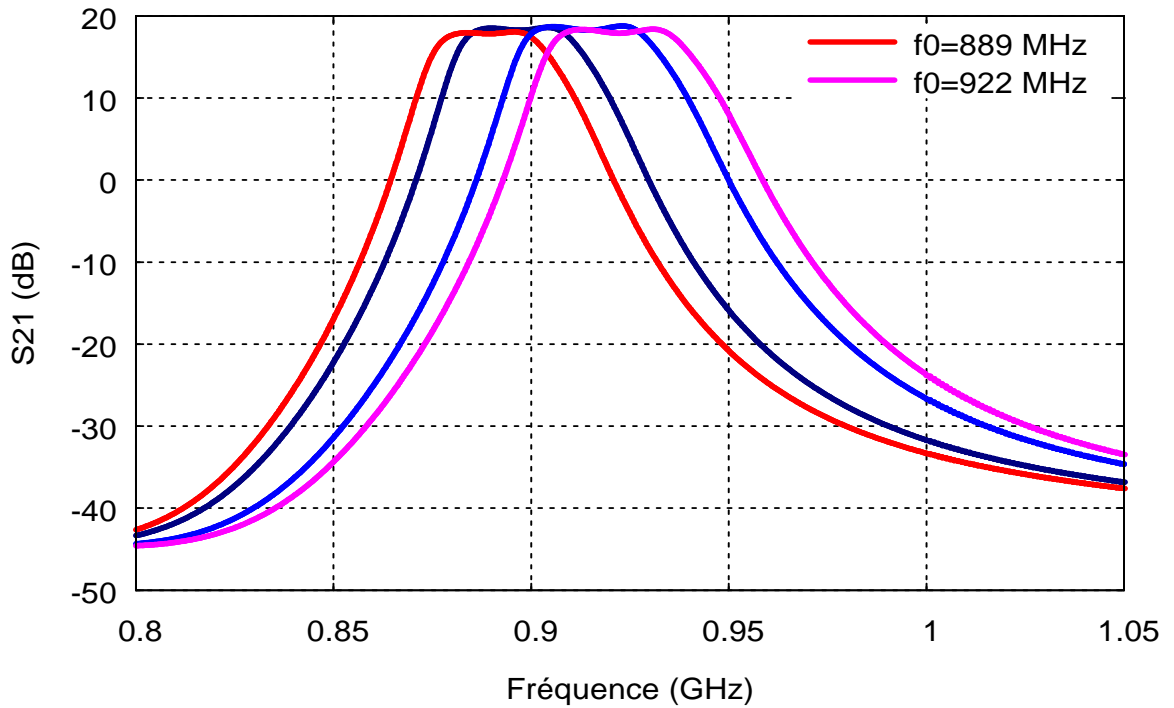


Figure III-49 : S<sub>21</sub> avec balayage de la fréquence centrale

La Figure III-50 présente une comparaison entre les résultats obtenus par simulation électromagnétique et les résultats obtenus par modélisation électrique du transformateur. La courbe donnée sur cette figure représente la fonction du filtrage S<sub>21</sub> du dessin des masques du LNA Filtrant. Les résultats montrent un bon accord entre les deux courbes.

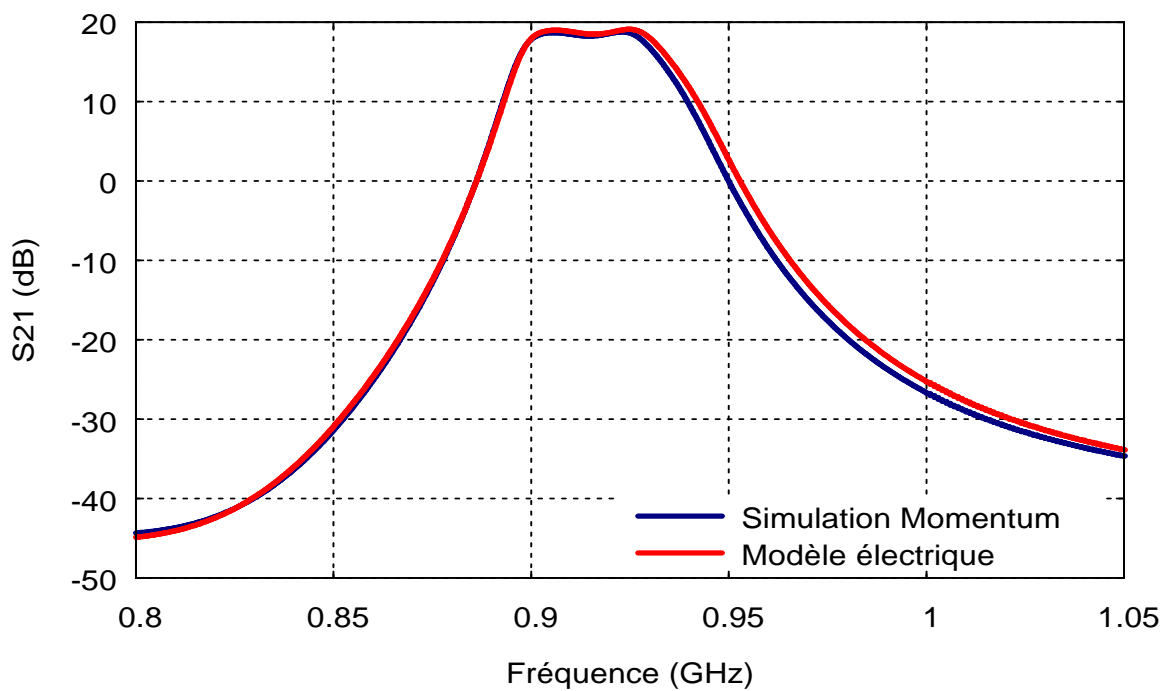


Figure III-50 : Comparaison entre le modèle électrique et la simulation Momentum

Le layout final du circuit LNA Filtrant est représenté sur la Figure III-51. Il occupe une surface de  $3900 \mu\text{m} \times 2100 \mu\text{m}$ . Sur la puce, on peut identifier les 4 étages LNA1-Filtre1-LNA2-Filtre2. Les accès RF du circuit sont réalisés à l'aide de deux points RF « Masse-Signal-Masse » de  $125 \mu\text{m}$  d'espacement entre les doigts. Chaque inductance compensée nécessite deux tensions d'alimentation " $V_{be}$ " et " $V_{ce}$ " et une tension " $V_{cap}$ " et deux plots de masses. Pour le LNA, nous avons besoin d'une tension d'alimentation. On a donc au total vingt deux plots.

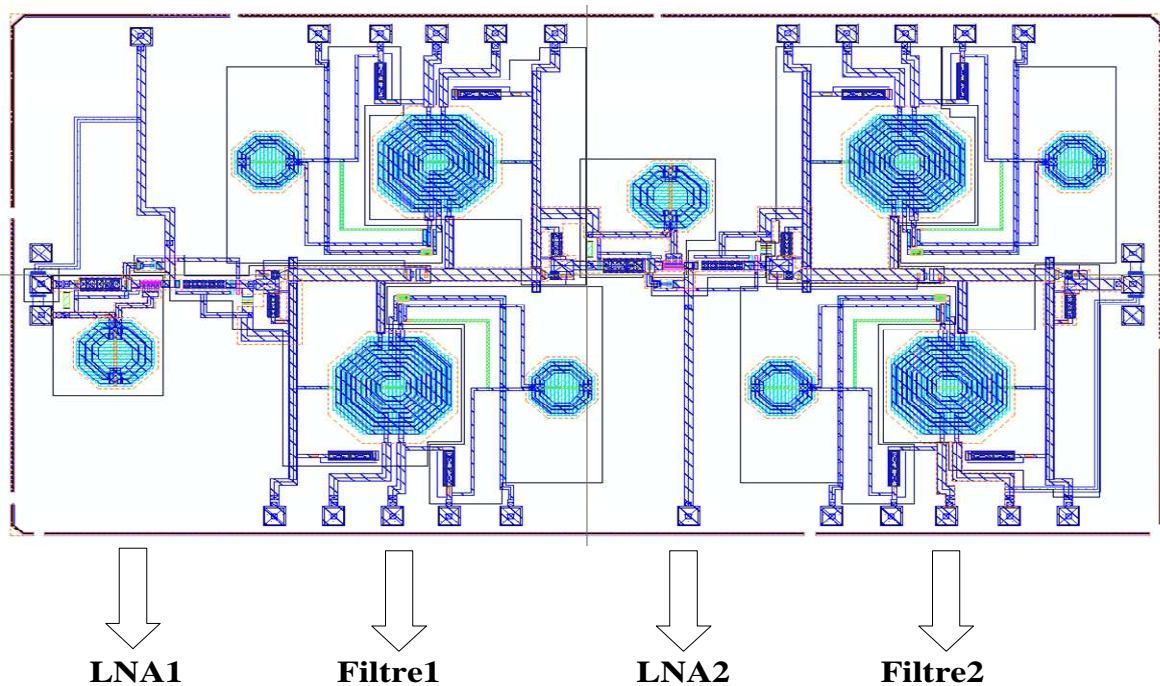


Figure III-51 : Layout du circuit final

La Figure III-52 présente la photographie de la puce LNA Filtrant.

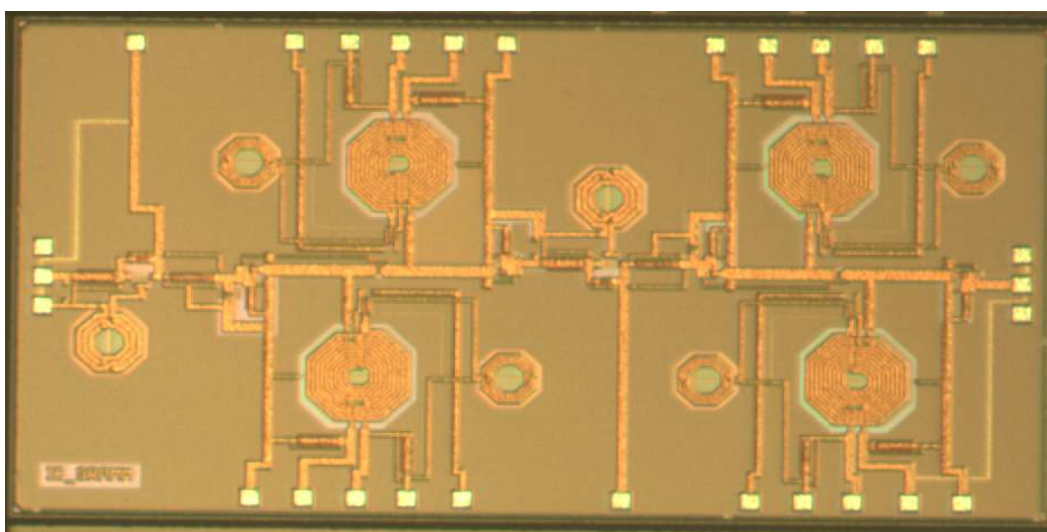


Figure III-52 : Photographie de la puce LNA Filtrant

La Figure III-53 présente le dessin du circuit support réalisé pour le LNA filtrant pour lequel dix inductances de valeurs 100 nH, huit résistances (quatre de valeur 30  $\Omega$  et quatre de valeur 5  $\Omega$ ) et quatorze capacités de valeur 1  $\mu\text{F}$  sont collées sur le circuit support.

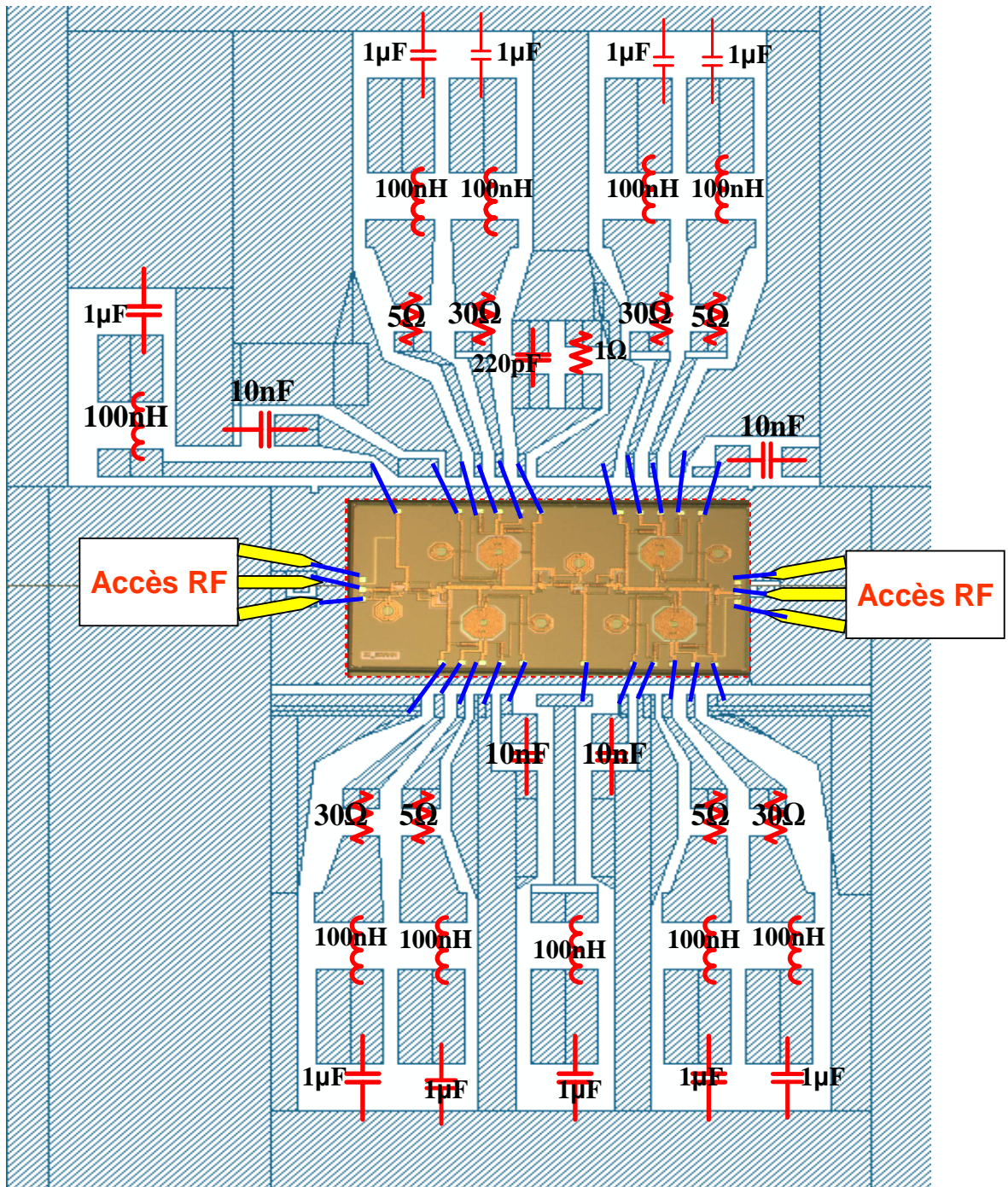


Figure III-53 : Circuit LNA Filtrant

La Figure III-54 présente les résultats de simulation des paramètres S correspondants au dessin des masques du circuit LNA Filtrant avec le circuit support. Le LNA Filtrant à un gain S21 de 21 dB à 895 MHz, une adaptation en entrée et en sortie respectivement de -5,5 dB et -8 dB sur toute la bande. Le facteur de bruit est égal à 6,3 dB.

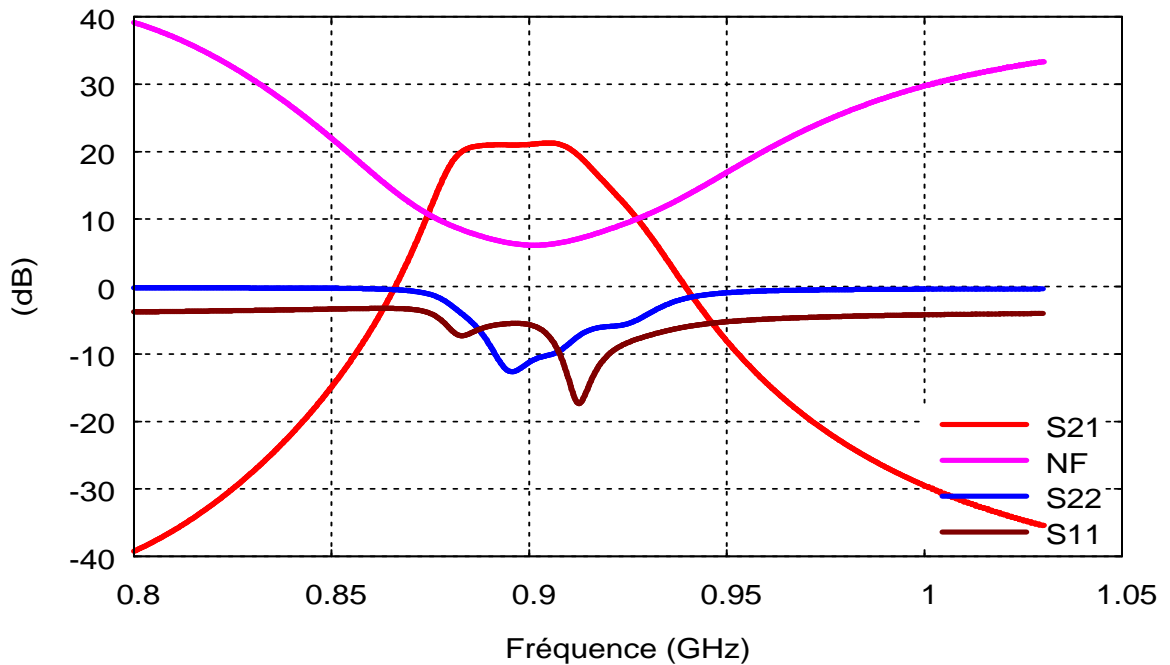


Figure III-54 : Paramètres S et Facteur de bruit du LNA Filtrant

D'après les Figure III-55,56 nous remarquons la disparition des raies d'oscillation autour de la fréquence 100 MHz. Le circuit est donc inconditionnellement stable ( $B > 0$ ,  $K > 1$ ).

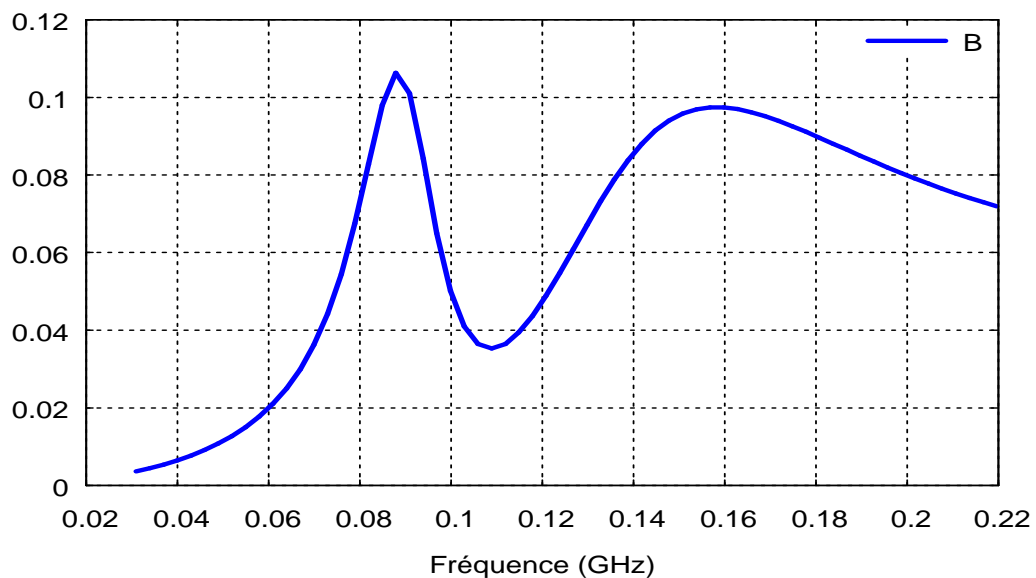


Figure III-55 : Coefficient de stabilité B simulée autour de 100 MHz

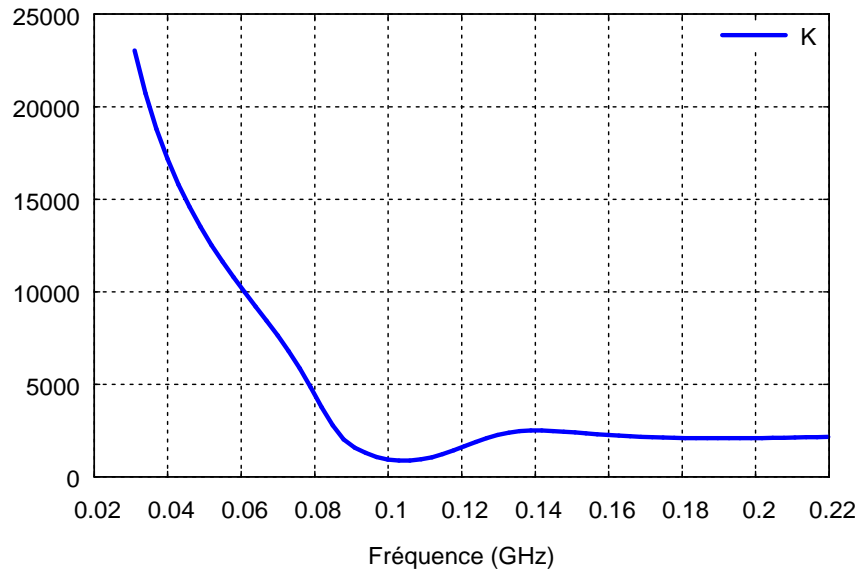


Figure III-56 : Coefficient de stabilité K simulée autour de 100 MHz

La Figure III-57 représente la fonction de filtrage du circuit LNA filtrant avec un balayage de la fréquence centrale de 866 MHz à 900 MHz pour une tension de contrôle qui varie entre -0,5 V et 2,1 V.

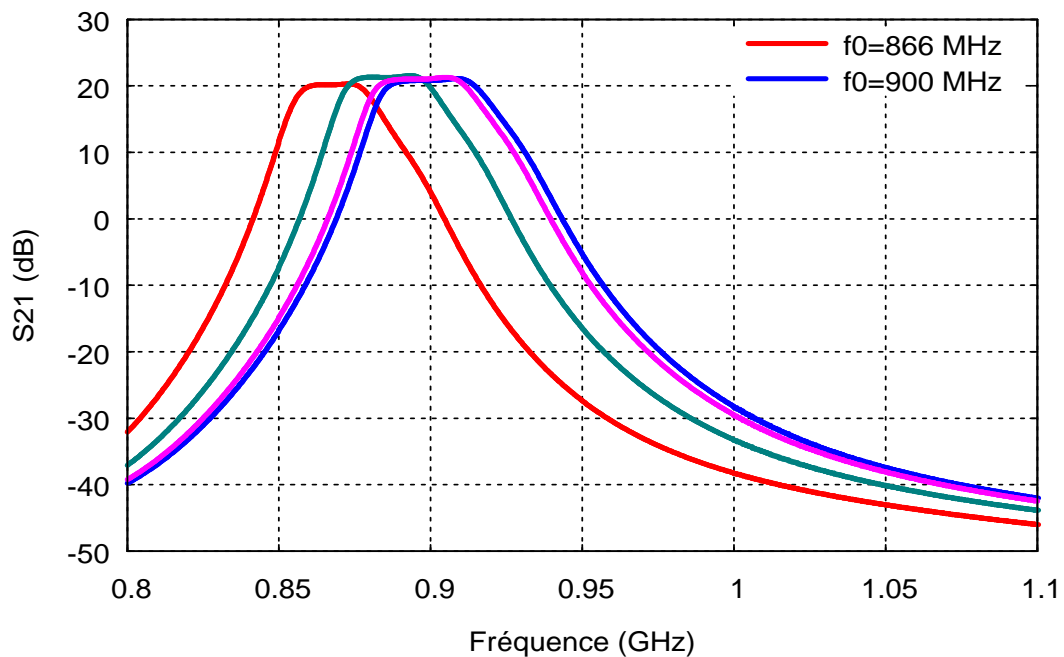


Figure III-57 : Accordabilité de la fréquence centrale du LNA filtrant

## **IV. Conclusion**

Dans ce chapitre, nous avons décrit la théorie d'un circuit résonnant LC sur laquelle nos conceptions sont basées. Cette étude nous a permis d'introduire une technique de transformation d'impédance permettant d'assurer simultanément une excellente réjection hors bande et un minimum de pertes d'insertion

Nous avons ainsi conçu un circuit LNA filtrant basé sur la structure LC à inductance compensée, composé de deux LNA et de deux filtres (LNA1-Filtre1-LNA2-Filtre2). Nous avons ensuite présenté les différentes étapes de la conception : du circuit LNA, filtre et LNA filtrant. A 915 MHz, le LNA filtrant présente un gain de 18,3 dB avec une bande passante de 36 MHz. Il a un facteur de bruit NF de 6,7 dB et une adaptation en entrée et en sortie de -6 dB et -10 dB respectivement. Le point de compression à -1 dB en entrée du LNA filtrant est égal à -34 dBm pour une puissance en sortie de -15 dBm à 915 MHz. Le circuit occupe une surface de  $3900 \mu\text{m} * 2100 \mu\text{m}$ .

Dans le même chapitre, nous avons décrit le dessin du circuit support pour les trois circuits LNA, Filtre et LNA Filtrant ainsi les résultats de simulation. Du fait que le Filtre et le LNA filtrant sont très sensibles aux pertes des fils de connexion, nous concevons les lignes dans le circuit support et surtout les lignes de masse de façon à réduire le plus possible les inductances et les résistances de perte qui peuvent dégrader les pertes d'insertion des circuits.

## **V. Références Bibliographiques**

---

[1] **John Rogers , Calvin Plett**

Radio Frequency Integrated Circuit Design

Artech House Boston London 2003

Page 76-78.ISBN 1-58053-502-x

[2] **Chris Bowick**

RF Circuit Design 1982

Page 34-41.ISBN 0-7506-9946-9

[3] **Theo G. M. Kleinpenning**

“Low-Frequency Noise in Modern Bipolar Transistors: Impact of Intrinsic Transistor and Parasitic Series Resistances”

IEEE Transactions on Electron devices, Vol. 41,No. 11,November 1994

[4] **F.Yuan**

“CMOS Active Inductors and transformers Principle, Implementation, and Applications”

Springer Science + Business Media, 2008.

Page 30-34. ISBN 978-0-387-76477

[5] **Sébastien QUINTANEL**

“Contribution à la modélisation en bruit du transistor HEMT aux températures cryogéniques – Analyse du contrôle automatique des filtres actifs microondes

Thèse de Doctorat de l'Université de Limoges, November 2002”



[6] **S. Bantas, Y. Koutsoyannopoulos**

“CMOS Active-LC Bandpass Filters with Coupled-Inductor Q-Enhancement and Center Frequency tuning”

IEEE transactions on circuits and systems, vol.51, n° 2, February 2004.

[7] **Liang-Hung Lu, Hsieh-Hung Hsieh, and Yu-Shun Wang**

“A Compact 2.4/5.2-GHz CMOS Dual-Band Low-Noise Amplifier”

IEEE Microwave and wireless components letters, Vol. 15, No. 10, October 2005

[8] **M. Shouxian, M. Jianguo, Yeo Kiat Seng, Do Manh Anh**

“An Integrated SiGe Dual-band Low Noise Amplifier for Bluetooth, HiperLAN and Wireless LAN Applications”

11th GAAS Symposium - Munich 2003

[9] **T. Maeda, Noriaki Matsuno, S. hinichi Hori, T. Yamase**

“A Low-power dual-band triple-Mode WLAN CMOS Transceiver”

IEEE Journal of solid-state circuits, Vol. 41, No. 11, November 2006

[10] **H.T. Friis**

“Noise figures of radio receivers”

Proc. IRE, vol. 36, p. 1205, 1946

[11] **Chen Lei, Ruan Ying, Ma Heliang, Lai Zongsheng**

“A 2.1–6 GHz SiGe BiCMOS low-noise amplifier design for a multi-mode”

Journal of semiconductors Vol. 31, No. 5, May 2010

[12] **Desheng Ma, Fa Foster Dai, Richard C. Jaeger, J. David Irwin**

“An 8 – 18 GHz Wideband SiGe BiCMOS Low Noise Amplifier”

IEEE MTT-S International, June 2009

[13] **Qiurong Heand, Milton Feng**

“Low-Power, High-Gain, and High-Linearity SiGe BiCMOS Wide-Band Low-Noise Amplifier”

IEEE Journal of solid-state circuits, Vol. 39, No. 6, June 2004

[14] **Pete Sivonen, Seppo Kangasmaa, Aarno Pärssinen**

“Analysis of Packaging effects and optimization in inductively degenerated common-emitter low noise amplifier”

IEEE transactions on microwave theory and techniques, Vol. 51, No. 4, April 2003

**CONCLUSION GENERALE ET PERSPECTIVES**



L'objectif de mon travail de thèse a été de montrer la faisabilité d'un circuit LNA filtrant constitué de quatre fonctions élémentaires cascadées (LNA1-Filtre1-LNA2-Filtre2) et pour lesquelles les résonateurs des filtres sont composés d'inductances compensées.

L'originalité de l'inductance compensée résulte des points suivants :

- Ce circuit est de nature inductive, accordable et aux pertes compensées.
- Le réglage de la valeur de l'inductance compensée est quasi-indépendant de celui qui permet de compenser les pertes.
- La structure du circuit n'utilise pas de résistance négative classique de compensation qui dégrade généralement la linéarité totale du circuit. De plus, avec un seul transistor commandé en tension cette topologie permet d'avoir une faible consommation.

L'étude qui a été présentée dans ce manuscrit est articulée autour de trois axes principaux :

- Etude théorique de l'inductance compensée à trois inductances couplées,
- Développement d'une méthodologie de modélisation des trois inductances couplées,
- Recherche des nouvelles architectures de filtrage type passe bande répondant aux spécifications de cahier des charges du standard GSM 3G.

Dans le premier chapitre, nous avons dressé un état de l'art de différentes topologies de filtrage actif. Nous avons également présenté leurs avantages et leurs inconvénients. Cette étude nous a permis de mettre en évidence les avantages d'une topologie LC à facteur de qualité compensée (importante gamme de fréquences de fonctionnement, faible encombrement et consommation).

Dans le deuxième chapitre, nous avons abordé l'étude théorique de l'inductance compensée ; ceci nous a permis de trouver la condition pour maximiser le facteur de qualité de l'inductance compensée. Avec cette étude nous avons réussi à concevoir deux inductances compensées. Une dont la fréquence centrale est de 2 GHz en technologie CMOS 65 nm et l'autre dont la fréquence centrale est de 1 GHz en technologie BiCMOS 0,25  $\mu\text{m}$ . Ensuite, nous avons présenté la méthodologie de modélisation du transformateur utilisée avec les deux technologies.

L'intérêt de cette dernière réside dans les différents points suivants :

- sa simplicité,
- son nombre réduit d'éléments,
- bon accord avec les simulations électromagnétiques.

Enfin une étude comparative a été réalisée pour différentes topologies de filtrage passe bande utilisant l'inductance compensée. Grâce à cette étude, nous avons pu choisir la topologie de filtrage optimale en termes de réjection hors-bande et perte d'insertion.

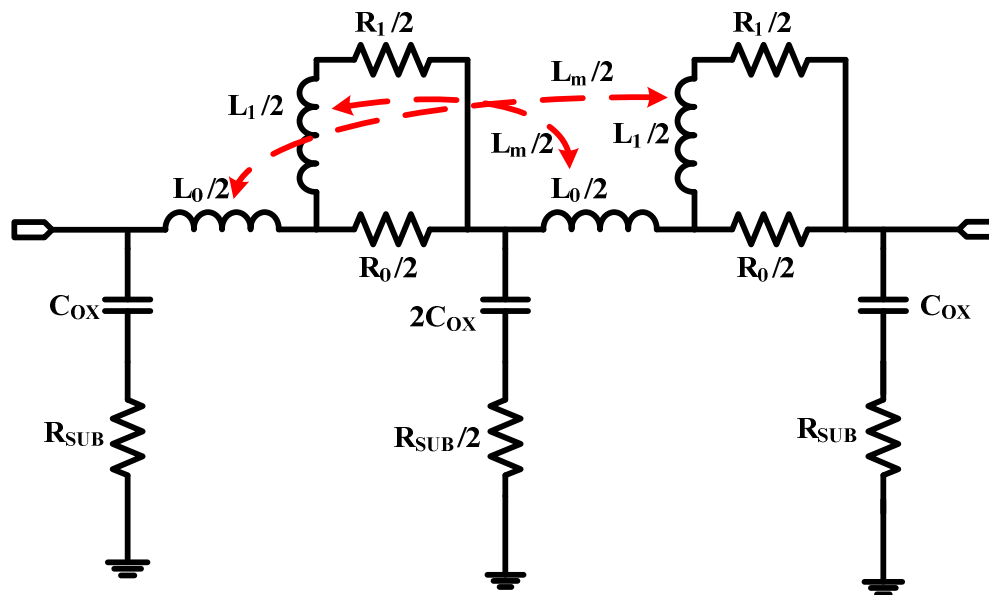
Dans le troisième chapitre nous avons décrit la théorie de base d'un circuit résonnant LC sur laquelle nos conceptions sont basées. Cette étude nous a permis d'introduire une nouvelle topologie de filtrage passe bande. Cette architecture est adaptée pour le filtrage sélectif et permet le contrôle du rapport de transformation d'impédance entre l'inductance compensée et les impédances de source et de charge. Nous avons ainsi conçu un circuit LNA filtrant basé sur la structure LC à inductances compensées. Les performances obtenues pour ce circuit sont résumées dans le tableau ci-dessous :

Caractéristiques	Performances @ 915 MHz
Gain	18,3 dB
Ondulation	<0,52 dB
Bande passante	36 MHz
Facteur de bruit	6,7 dB
S11 et S22	-6 dB et -12 dB
IP1	-34 dBm
Surface	3,9 mm * 2,1 mm
Alimentation	1,7 V
Consommation	90 mA

Dans le même chapitre nous avons présenté le dessin du circuit de report. Le rôle principal de ce circuit est la caractérisation sous pointe du LNA filtrant tout en améliorant la stabilité en basse fréquence (autour de 100 MHz).

En ce qui concerne les perspectives associées à ce travail, plusieurs axes se dégagent.

Tout d'abord, un travail important reste à faire au niveau de la modélisation du transformateur pour une utilisation large bande en utilisant le modèle d'inductance double pi. Cette modélisation devra prendre en compte deux modèles simple pi mis en cascade, complété par deux inductances  $Ll$ , deux résistances  $Rl$  et deux inductances mutuelles  $Lm$  qui permettent de prendre en considération l'effet de peau et de proximité (cf. Figure ci-dessous).



Modèle large bande d'une inductance

Un autre point à développer concerne la structure de l'inductance compensée. Nous pouvons dans un premier temps imaginer réduire le nombre d'inductances dans le transformateur, c'est-à-dire utiliser deux inductances au lieu de trois. Cela peut permettre un gain de place, une simplicité de la modélisation du transformateur, avec des caractéristiques du LNA filtrant équivalents.

Enfin, nous pouvons également penser à améliorer le principe d'accordabilité de la fréquence centrale, ceci en utilisant des capacités variables (varicap) dans les résonateurs. Le but étant l'obtention d'une plage de variation en fréquence plus importante.





**ANNEXE A : CRITERES DE STABILITE D'UN ETAGE  
AMPLIFICATEUR**



L'étude de stabilité est basée sur une théorie utilisant les paramètres S. La Figure A-1 montre l'élément actif qui est représenté par un quadripôle linéaire inséré entre un générateur d'impédance interne  $Z_G$  et une charge  $Z_L$ .

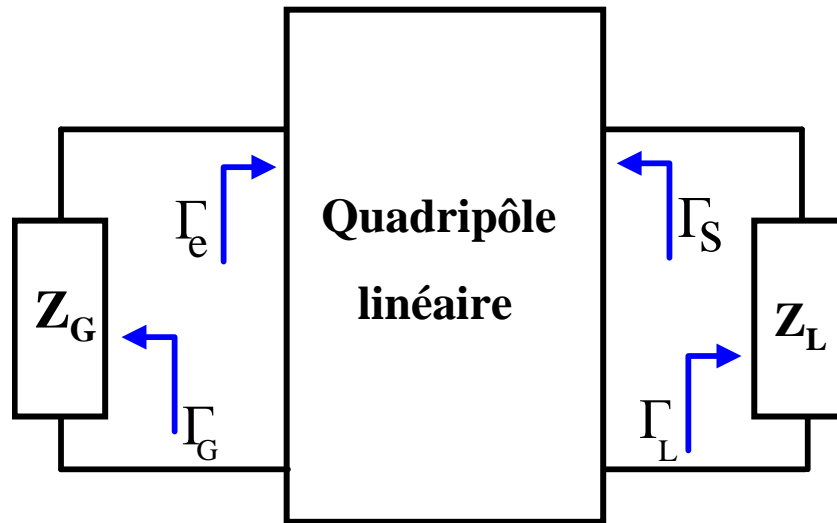


Figure A-1 : Quadripôle chargé par ces impédances de charge  $Z_G$  et  $Z_L$

Les relations des coefficients de réflexion présentés en entrée et en sortie du quadripôle sont données par les relations :

$$\Gamma_e = S_{11} + \frac{S_{12} \cdot S_{21} \cdot \Gamma_L}{1 - S_{22} \cdot \Gamma_L}$$

$$\Gamma_s = S_{22} + \frac{S_{12} \cdot S_{21} \cdot \Gamma_G}{1 - S_{11} \cdot \Gamma_G}$$

Le quadripôle est dit inconditionnellement stable si pour toutes les fréquences  $\omega$  :

$$K = \frac{1 + |\Delta|^2 - |S_{11}|^2 - |S_{22}|^2}{2|S_{12}| |S_{21}|} > 1$$

et 
$$B = 1 + |S_{11}|^2 - |S_{22}|^2 - |\Delta|^2 > 0$$

Avec  $\Delta = S_{11}S_{22} - S_{12}S_{21}$  est le déterminant de la matrice S du quadripôle.

K est le coefficient de stabilité ou coefficient de Rollet.

Si  $0 < K < 1$ , le quadripôle est dit conditionnellement stable. Afin de déterminer les zones stables de l'abaque de Smith, il faut tracer les cercles de stabilité en entrée et sortie du quadripôle. Ces cercles correspondent respectivement aux lieux de l'abaque de Smith définis par les conditions de limite de stabilité :  $|\Gamma_e| = 1$  et  $|\Gamma_s| = 1$ .

Deux cas sont alors possibles pour déterminer les régions qui correspondent à des impédances stables et des impédances instables:

- Si  $|S_{11}| < 1$  et  $|S_{22}| < 1$  : le centre de l'abaque de Smith (cercle de rayon unité) est considéré comme un point stable. Dans ce cas, si le cercle de stabilité n'entoure pas le centre de l'abaque de Smith, toute la zone en dehors de ce cercle représente une région stable. Si le cercle de stabilité entoure le centre de l'abaque de Smith, toute la zone à l'intérieure de ce cercle représente une région stable (cf. Figure A-2)

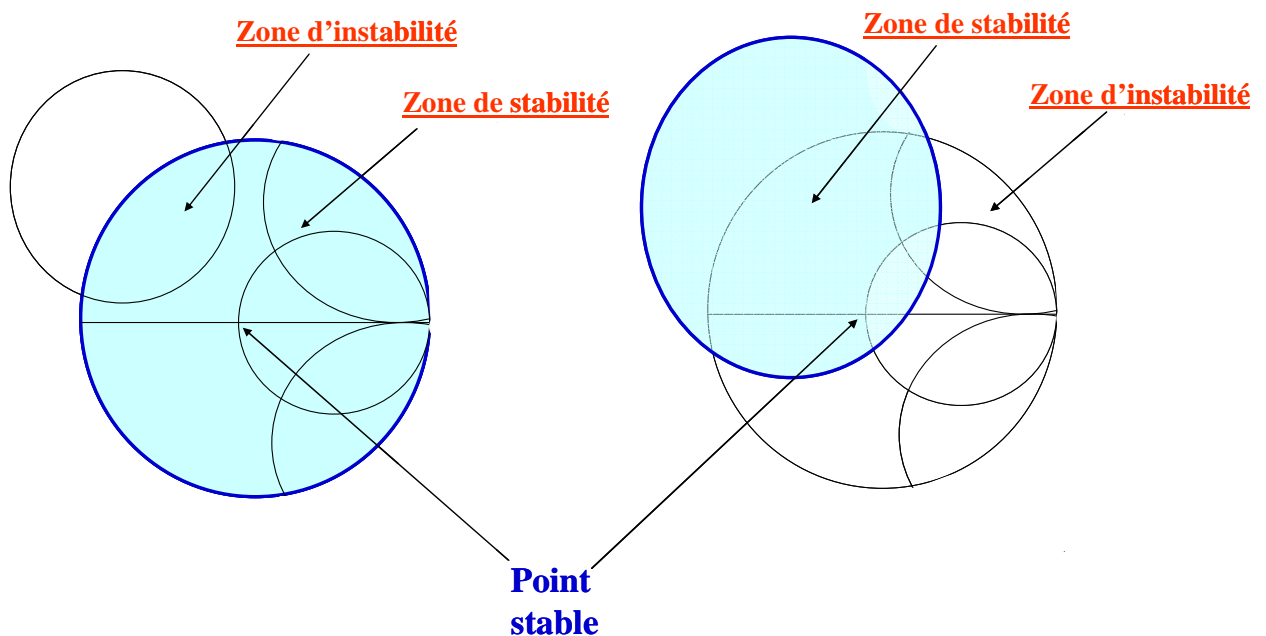


Figure A-2 : Zone de stabilité et d'instabilité dans le plan  $\Gamma_L$  ou  $\Gamma_G$  lorsque  $|S_{11}| < 1$

- Si  $|S_{11}| > 1$  et  $|S_{22}| > 1$  : Le centre de l'abaque de Smith est considéré comme un point instable. Dans ce cas, si le cercle de stabilité n'entoure pas le centre de l'abaque de Smith, toute la zone à l'intérieure de ce cercle représente une région stable. Si le cercle de stabilité entoure le centre de l'abaque de Smith, toute la zone en dehors de ce cercle représente la zone des impédances stables (cf. Figure A-3)

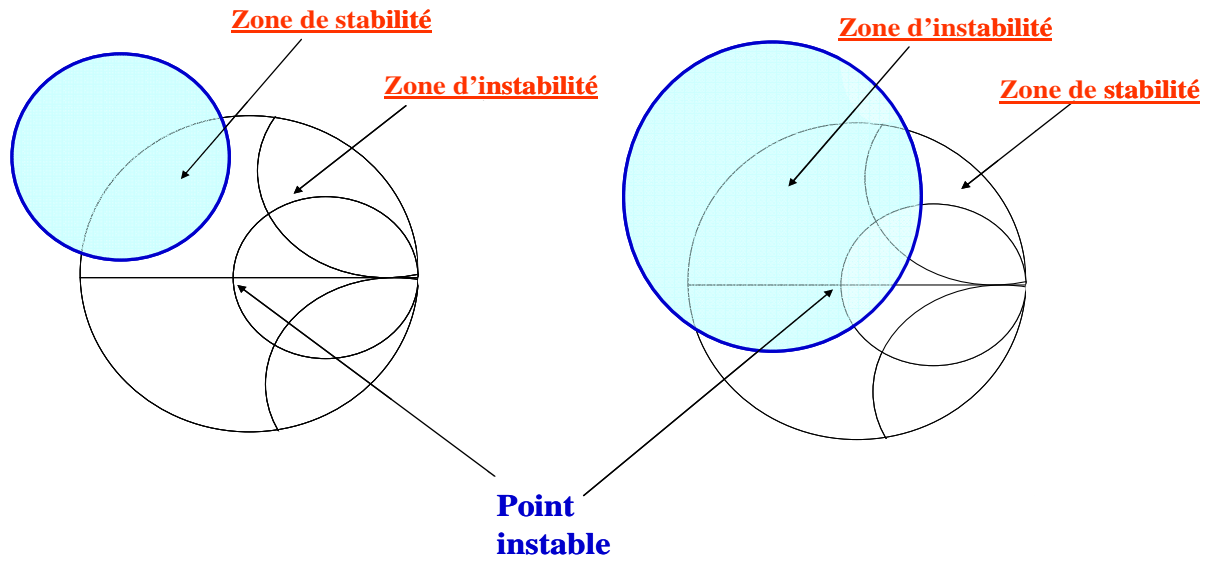


Figure A-3 : Zone de stabilité et d'instabilité  $\Gamma_L$  ou  $\Gamma_G$  lorsque  $|S_{11}| > 1$

Notons que si le quadripôle est inconditionnellement stable, les cercles de stabilité en entrée et en sortie sont à l'extérieur de l'abaque de Smith. Dans ce cas, toute la surface de l'abaque de Smith représente une région stable (cf. Figure A-4)

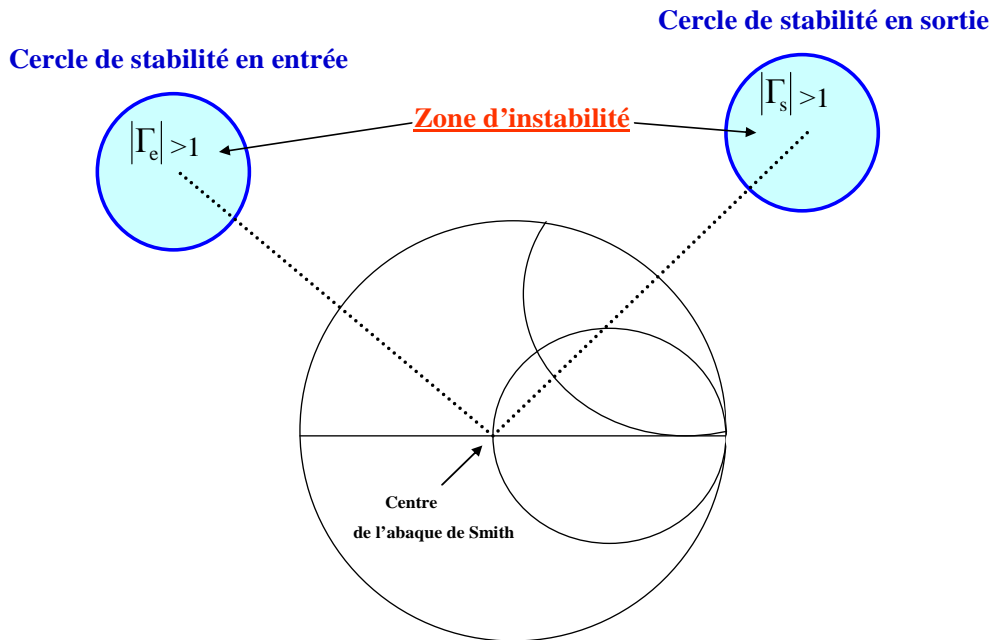


Figure A-4 : Circuit inconditionnellement stable



**ANNEXE B : FACTEUR DE QUALITE EN CHARGE D'UN  
RESONATEUR**





Pour calculer le facteur de qualité en charge d'un résonateur LC, nous supposons que l'inductance est sans pertes et que les résistances de source  $R_s$  et de charge  $R_L$  sont identiques de valeur  $R_0$  (cf. Figure B-1).

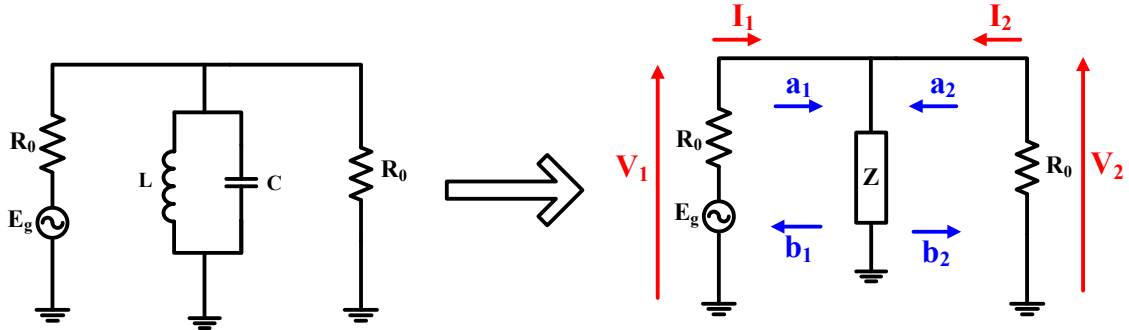


Figure B-1 : Calcul de facteur de qualité en charge

Les relations entre les ondes de puissance et les paramètres S de la Figure B-1 sont définies par :

$$b_1 = S_{11} \cdot a_1 + S_{12} \cdot a_2$$

$$b_2 = S_{21} \cdot a_1 + S_{22} \cdot a_2$$

Les expressions des ondes de puissance en fonction des courants et des tensions sont définies par:

$$a_1 = \frac{V_1 + R_0 I_1}{2\sqrt{R_0}} \quad a_2 = \frac{V_2 + R_0 I_2}{2\sqrt{R_0}}$$

$$b_1 = \frac{V_1 - R_0 I_1}{2\sqrt{R_0}} \quad b_2 = \frac{V_2 - R_0 I_2}{2\sqrt{R_0}}$$

Le coefficient de transmission  $S_{21}$  est donc :

$$S_{21} = \left. \frac{b_2}{a_1} \right|_{a_2=0} = \frac{V_2 - R_0 I_2}{V_1 + R_0 I_1} = \frac{2V_2}{E_g}$$

Avec:  $V_1 = E_g - R_0 I_1 \Rightarrow E_g = V_1 + R_0 I_1$

et  $V_2 = -R_0 I_2$

On peut donc exprimer  $S_{21}$  en fonction de l'impédance  $Z$  et  $R_0$  :

$$V_2 = \frac{R_0 // Z}{R_0 // Z + R_0} E_g = \frac{\frac{R_0 \cdot Z}{R_0 + Z}}{\frac{R_0 \cdot Z}{R_0 + Z} + R_0} E_g = \frac{R_0 \cdot Z}{R_0 \cdot Z + R_0 \cdot Z + R_0^2} E_g$$

$$\Rightarrow \frac{V_2}{E_g} = \frac{Z}{2Z + R_0} \Rightarrow S_{21} = \frac{2Z}{2Z + R_0}$$

L'impédance  $Z$  s'écrit :  $Z = L // C = \frac{jL\omega \cdot \frac{1}{jC\omega}}{jL\omega + \frac{1}{jC\omega}} = \frac{jL\omega}{1 - LC\omega^2} \Rightarrow Z = \frac{jL\omega}{1 - LC\omega^2}$

Donc  $S_{21} = \frac{2Z}{2Z + R_0} = \frac{\frac{2jL\omega}{1 - LC\omega^2}}{\frac{2jL\omega}{1 - LC\omega^2} + R_0} = \frac{2jL\omega}{1 - LC\omega^2} \times \frac{1 - LC\omega^2}{2jL\omega + R_0(1 - LC\omega^2)}$

$$\Rightarrow S_{21} = \frac{2jL\omega}{2jL\omega + R_0(1 - LC\omega^2)}$$

Le facteur de qualité du résonateur LC est défini comme le rapport entre la fréquence centrale et la bande passante à 3dB.

$$Q = \frac{F_0}{F_2 - F_1}$$

Avec  $F_2$  et  $F_1$  représentent les points de  $S_{21}$  à -3dB ou à  $\frac{1}{\sqrt{2}}$  de sa valeur à la résonance.

Le module de  $S_{21}$  est égale à :

$$|S_{21}| = \frac{2L\omega}{\sqrt{4L^2\omega^2 + R_0^2(1 - LC\omega^2)^2}}$$

Calculons l'expression de  $S_{21}$  à la fréquence  $F_2$  ou  $F_1$  :

$$|S_{21}|_{(F_1, F_2)} = \frac{|S_{21}|_{\max}}{\sqrt{2}} = \frac{1}{\sqrt{2}}$$

$$\frac{2L\omega}{\sqrt{4L^2\omega^2 + R_0^2(1 - LC\omega^2)^2}} = \frac{1}{\sqrt{2}} \Rightarrow 4L^2\omega^2 + R_0^2(1 - LC\omega^2)^2 = 8L^2\omega^2$$

$$\Rightarrow R_0^2(1 - LC\omega^2)^2 - 4L^2\omega^2 = 0$$

$$\Rightarrow R_0^2(1 + L^2C^2\omega^4 - 2LC\omega^2) - 4L^2\omega^2 = 0$$

$$\Rightarrow R_0^2L^2C^2\omega^4 - 2R_0^2LC\omega^2 - 4L^2\omega^2 + R_0^2 = 0$$

$$\Rightarrow R_0^2L^2C^2\omega^4 - (2R_0^2LC + 4L^2)\omega^2 + R_0^2 = 0$$

La résolution de cette solution donne quatre solutions :

$$\omega_1 = -\frac{L - \sqrt{L^2 + LCR_0^2}}{R_0LC} > 0$$

$$\omega_2 = -\frac{L + \sqrt{L^2 + LCR_0^2}}{R_0LC} < 0$$

$$\omega_3 = \frac{L + \sqrt{L^2 + LCR_0^2}}{R_0LC} > 0$$

$$\omega_4 = \frac{L - \sqrt{L^2 + LCR_0^2}}{R_0LC} < 0$$

Donc : 
$$F_2 - F_1 = \frac{1}{2\pi} \left( \frac{L + \sqrt{L^2 + LCR_0^2}}{RLC} + \frac{L - \sqrt{L^2 + LCR_0^2}}{RLC} \right)$$

$$F_2 - F_1 = \frac{2L}{2\pi R_0LC} \Rightarrow F_2 - F_1 = \frac{1}{\pi R_0C}$$

Calcul de Q :

$$Q = \frac{F_0}{F_2 - F_1} = \frac{F_0}{\frac{1}{\pi R_0C}} = F_0 \pi R_0C = \frac{R_0}{2} C \omega_0$$

$$\Rightarrow Q = \frac{R_0}{2} C \omega_0$$



**ANNEXE C : TECHNIQUES DE CONNEXIONS ENTRE  
LA PUCE ET LE CIRCUIT DE REPORT**



L'évolution des systèmes de mise en boîtier permet aujourd'hui la réalisation de circuits électroniques intégrés satisfaisant à de multiples avantages : réduction des coûts de production, diminution de la taille globale du circuit et augmentation du nombre de connexions entre la puce et le boîtier.

Dans la littérature on trouve trois techniques de connexion entre la puce et le support (ou le terme connu en anglais PCB (*Printed Circuit Board*)). Dans ces techniques la puce intégrée est collée sur le circuit support avec la face dirigée vers le haut ou la face dirigée vers le bas. Les trois techniques sont les suivantes :

### a) Microcâblage :

Cette technique est la plus ancienne et la plus utilisée dans l'industrie de la micro-électronique. Elle est connue aussi sous le nom de « Wire Bonding ». Avec cette méthode, le circuit intégré est collée avec sa face arrière sur le support (cf. Figure C-1). La connexion par microcâblage se fait généralement par des fils en or, en aluminium et en cuivre.

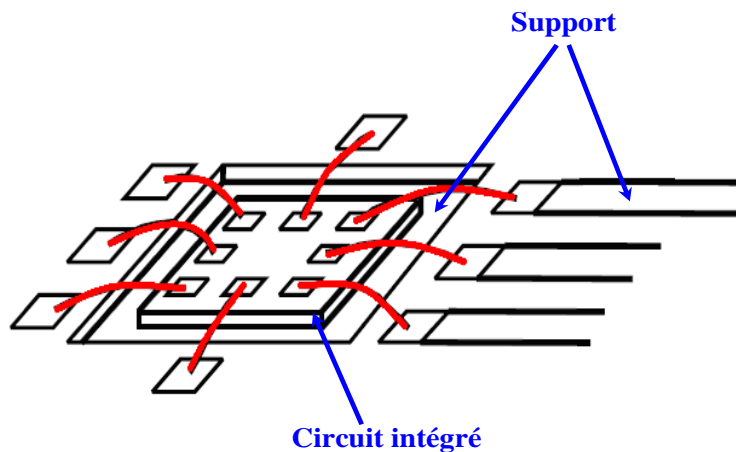


Figure C-1: Câblage d'un circuit intégré sur un support.

## b) Connexion par microbille ("Flip-chip")

Cette technique permet de souder tous les plots de sortie de la puce de manière simultanée après mise en place de billes. Avec cette méthode la face avant du circuit intégré est dirigée vers le bas d'où l'appellation de "Flip-chip" (cf. Figure C-2). Ces microbilles permettent d'augmenter le nombre d'entrées et de sorties des composants par rapport au microcâblage et de diminuer l'inductance et la résistance de fil de connexion.

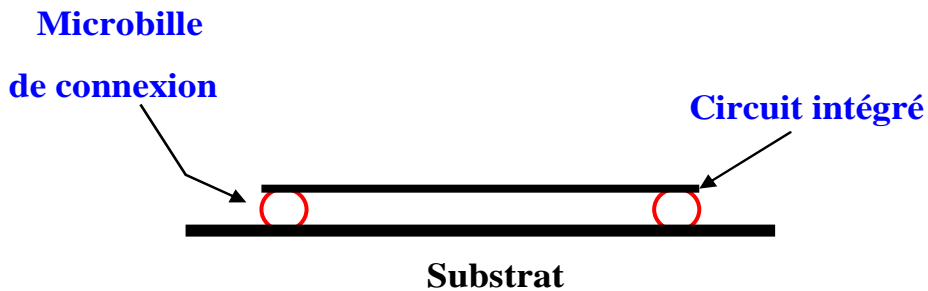


Figure C-2 : Exemple de connexion « Flip-chip » utilisant des microbilles

## c) TAB ("Tape Automated Bonding")

Cette technique consiste à reporter la puce sur un film flexible généralement en polyimide. Avec cette méthode les fils de connexion sont remplacés par des "araignées" métalliques comportant les points de connexion vers la puce et vers le support. Il existe donc deux opérations de connexion : une interne appelée ILB ("Inner Lead Bonding") entre le film et la puce intégrée et l'autre externe appelée OLB ("Outer lead bond") entre le film et le boîtier ou le support (cf. La Figure C-3).

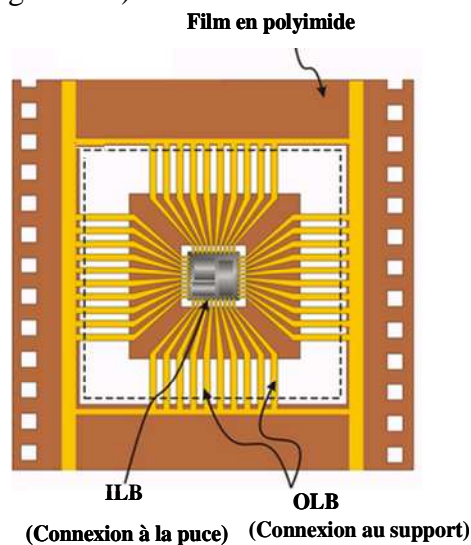


Figure C-3 : Exemple de connexion par la méthode TAB





# Intégration de filtres Radio Fréquences en technologie intégrée Silicium

---

**Résumé :** Les systèmes de télécommunications sans fil ont évolué de façon rapide depuis une vingtaine d'année. La conception de ces systèmes est soumise à de nombreuses contraintes : le coût de production, les techniques d'intégration des composants, l'encombrement, etc. La technologie monolithique et plus précisément les procédés de fabrication de circuits silicium (CMOS et BiCMOS) offrent depuis plusieurs années une possibilité de pallier à ce type de difficultés. Ils permettent aujourd'hui l'intégration de plusieurs fonctions RF et mixte sur une seule puce. Malheureusement, la conception de certaines fonctions RF pose encore problème. C'est le cas des filtres radiofréquences qui constituent les éléments essentiels du système de télécommunication. Les exigences demandées pour ces filtres conduisent à étudier des solutions de filtres actifs ; en effet les structures passives (à cavités ou à résonateurs diélectriques ou à ondes acoustiques de surface) ne permettent pas d'avoir de meilleures performances en termes de pertes d'insertion, sélectivité, encombrement et accordabilité fréquentielle. Dans cette thèse préparée avec le soutien contractuel de l'ANR (projet SRAMM - Systèmes de Réception Adaptatifs Multimodes Multistandards), nous nous sommes intéressés à l'étude d'une nouvelle topologie de filtrage actif LC basée sur l'utilisation d'une inductance compensée à trois inductances couplées. Notre travail consiste également à définir une méthodologie de modélisation des trois inductances couplées et à utiliser cette dernière pour la réalisation d'un circuit LNA filtrant accordable utilisable en bande GSM3G.

**Mots clés:** Filtrage actifs – Inductance compensée – LNA filtrant accordable – CMOS et BiCMOS – Inductances couplées – GSM.

## Integration of Radio Frequency filters in integrated silicon technology

---

**Summary:** Wireless communications have evolved rapidly over the past twenty years. The design of these systems face some challenges: production cost, components integration techniques, size reduction, etc. Since many years, monolithic technology and specifically the manufacturing processes of silicon circuits (CMOS and BiCMOS) offer an opportunity to overcome such difficulties. Nowadays, they allow the integration of several RF and mixed functions on a single chip. However, the design of some RF functions is still a problem. This is the case of RF filters which constitute the essential elements of GSM telecommunications system. The demanded requirements by these filters lead to study solutions of active filters because passive structures (cavity, dielectric or SAW - Surface Acoustic Wave) do not allow better performance in term of insertion losses, selectivity, size reduction and frequency tuning. In this thesis, supported by an ANR contract (SRAMM project - Systèmes de Réception Adaptatifs Multimodes Multistandards), we were interested in the study of a new topology for active LC filter using Q-enhanced inductors. Our research analysis also consisted in defining a methodology for modeling three coupled inductors and using it to implement tunable LNA filter circuit useable in GSM3G system.

**Keywords:** Active filters – Q-enhanced inductors – Tunable LNA filter – CMOS and BiCMOS – Coupled inductors – GSM.