

# UNIVERSITE DE LIMOGES

ECOLE DOCTORALE SCIENCES ET INGÉNIERIE POUR L'INFORMATION

FACULTE DES SCIENCES ET TECHNIQUES

Laboratoire : XLIM

Département : C<sub>2</sub>S<sub>2</sub>

Année : 2011

Thèse N°54-2011

## Thèse

pour obtenir le grade de

DOCTEUR DE L'UNIVERSITÉ DE LIMOGES

Spécialité : Électronique des Hautes Fréquences, Photonique et Systèmes

Présentée et soutenue par

*Jérôme CHÉRON*

Le 18 novembre 2011

***METHODE D'ENCAPSULATION OPTIMALE D'UNE TECHNOLOGIE HEMT GAN POUR LA  
CONCEPTION D'AMPLIFICATEURS LARGE BANDE A FORTE PUISSANCE ET HAUT RENDEMENT  
DESTINES AUX APPLICATIONS RADARS EN BANDE S***

Thèse dirigée par Michel CAMPOVECCHIO et Denis BARATAUD

### JURY :

<b>Raymond QUÉRÉ</b>	Professeur, Université de Limoges	Président
<b>Eric BERGEAULT</b>	Professeur, Télécom Paris Tech	Rapporteur
<b>Christophe GAQUIÈRE</b>	Professeur, Université de Lille 1	Rapporteur
<b>Denis BARATAUD</b>	Maître de conférences HDR, Université de Limoges	Examineur
<b>Michel CAMPOVECCHIO</b>	Professeur, Université de Limoges	Examineur
<b>Mathieu LE PIPEC</b>	Ingénieur, DGA Maîtrise de l'information, Rennes	Examineur
<b>Michel STANISLAWIAK</b>	Ingénieur, Thalès Air Systems, Ymare	Examineur
<b>Farid TEMCAMANI</b>	Professeur, ENSEA, Cergy	Examineur
<b>Jean Louis CAZAUX</b>	Ingénieur HDR, Thalès Alenia Space, Toulouse	Invité
<b>Philippe EUDELIN</b>	Directeur technique, Thalès Air Systems, Ymare	Invité
<b>Didier FLORIOT</b>	Ingénieur, UMS, Orsay	Invité
<b>Rüdiger QUAY</b>	Dr Tech, Fraunhofer IAF, Freiburg, Allemagne	Invité



# UNIVERSITE DE LIMOGES

ECOLE DOCTORALE SCIENCES ET INGÉNIERIE POUR L'INFORMATION

FACULTE DES SCIENCES ET TECHNIQUES

Laboratoire : XLIM

Département : C<sub>2</sub>S<sub>2</sub>

Année : 2011

Thèse N°54-2011

## Thèse

pour obtenir le grade de

DOCTEUR DE L'UNIVERSITÉ DE LIMOGES

Spécialité : Électronique des Hautes Fréquences, Photonique et Systèmes

Présentée et soutenue par

*Jérôme CHÉRON*

Le 18 novembre 2011

***METHODE D'ENCAPSULATION OPTIMALE D'UNE TECHNOLOGIE HEMT GAN POUR LA  
CONCEPTION D'AMPLIFICATEURS LARGE BANDE A FORTE PUISSANCE ET HAUT RENDEMENT  
DESTINES AUX APPLICATIONS RADARS EN BANDE S***

Thèse dirigée par Michel CAMPOVECCHIO et Denis BARATAUD

### JURY :

<b>Raymond QUÉRÉ</b>	Professeur, Université de Limoges	Président
<b>Eric BERGEAULT</b>	Professeur, Télécom Paris Tech	Rapporteur
<b>Christophe GAQUIÈRE</b>	Professeur, Université de Lille 1	Rapporteur
<b>Denis BARATAUD</b>	Maître de conférences HDR, Université de Limoges	Examineur
<b>Michel CAMPOVECCHIO</b>	Professeur, Université de Limoges	Examineur
<b>Mathieu LE PIPEC</b>	Ingénieur, DGA Maîtrise de l'information, Rennes	Examineur
<b>Michel STANISLAWIAK</b>	Ingénieur, Thalès Air Systems, Ymare	Examineur
<b>Farid TEMCAMANI</b>	Professeur, ENSEA, Cergy	Examineur
<b>Jean Louis CAZAUX</b>	Ingénieur HDR, Thalès Alenia Space, Toulouse	Invité
<b>Philippe EUDELIN</b>	Directeur technique, Thalès Air Systems, Ymare	Invité
<b>Didier FLORIOT</b>	Ingénieur, UMS, Orsay	Invité
<b>Rüdiger QUAY</b>	Dr Tech, Fraunhofer IAF, Freiburg, Allemagne	Invité



## Remerciements

Ces travaux de thèse ont été effectués au sein de l'Institut de Recherche XLIM de l'Université de Limoges, U.M.R. C.N.R.S. n°6172. Je remercie Monsieur **Dominique CROS**, Professeur à l'Université de Limoges et Directeur du laboratoire XLIM, de m'avoir accueilli dans ce laboratoire. J'adresse ma sincère reconnaissance à Monsieur **Raymond QUÉRÉ**, Professeur à l'Université de Limoges et Directeur du département C<sub>2</sub>S<sub>2</sub> « Composants Circuits Signaux et Systèmes Hautes-Fréquences », pour m'avoir accueilli au sein de l'équipe. Ces travaux de thèse ayant été menés en étroite collaboration avec Thales Air Systems (TR6), je tiens à adresser mes remerciements à Monsieur **Philippe EUDELIN**, Directeur technique à TR6, pour m'avoir accueilli à de nombreuses reprises au sein de son département. Je remercie également la DGA pour leur soutien financier durant ces trois années de thèse.

Mes sincères reconnaissances se dirigent naturellement vers Monsieur **Michel CAMPOVECCHIO**, Professeur à l'Université de Limoges, pour m'avoir fait découvrir ses domaines d'étude lors de ses enseignements et de m'avoir donné l'envie de poursuivre en thèse. Je lui adresse également mes remerciements pour avoir suivi mes travaux de thèse et pour sa disponibilité. J'adresse toute ma gratitude à Monsieur **Denis BARATAUD**, Maître de Conférences à l'Université de Limoges, pour avoir également suivi mes travaux de thèse et pour avoir toujours répondu à mes sollicitations. Enfin, je tiens à exprimer ma sincère reconnaissance à Monsieur **Michel STANISLAWIAK**, ingénieur à TR6, pour sa disponibilité et pour m'avoir donné les moyens nécessaires afin de réaliser mes travaux dans les meilleures conditions.

J'exprime mes remerciements aux ingénieurs d'UMS, Monsieur **Didier FLORIOT** et Monsieur **Laurent FAVÈDE**, pour leur disponibilité et l'aide qu'ils m'ont apporté au cours de ces travaux. Nos pensées se dirigent également vers **Sylvain HECKMANN**.

J'adresse toute ma gratitude à Monsieur **Christophe GAQUIÈRE**, Professeur à l'Université de Lille 1, et à Monsieur **Eric BERGEAULT**, Professeur à Télécom Paris Tech, pour l'intérêt qu'ils ont porté à ces travaux en acceptant d'en être les rapporteurs.

J'exprime mes sincères remerciements à Monsieur **Farid TEMCAMANI**, Professeur à l'ENSEA et Monsieur **Mathieu LE PIPEC**, ingénieur à la DGA section maîtrise de l'information, pour prendre part au jury en qualité d'examineur. J'adresse également toute ma gratitude à Monsieur **Jean-Louis CAZAUX**, ingénieur HDR à Thales Alenia Space, et Monsieur **Rüdiger QUAY**, chercheur au laboratoire Fraunhofer Institute de Freiburg, pour avoir accepté de participer à ce jury de thèse.

Je tiens à remercier toute l'équipe C<sub>2</sub>S<sub>2</sub> (**Audrey MARTIN, Jean-Michel NEBUS, Seb MONS...**) pour leur gentillesse et leur disponibilité. Il est toujours plus agréable de travailler dans de bonnes conditions et dans la bonne humeur. Je remercie également **Tibault REVEYRAND** pour m'avoir apporté son aide à plusieurs reprises. Je n'oublie pas Madame **Marie-Claude LEROUGE**, secrétaire du département, et je lui adresse mes remerciements pour sa disponibilité et son efficacité, et pour faire preuve de bonne humeur, malgré le fait que je l'embêtais assez souvent avec mes déplacements de dernière minute. Je remercie également l'équipe de la société AMCAD engineering pour leurs services rendus et **Sébastien ROUGIER**, membre de PLATINOM, pour nous avoir dépannés rapidement lors de certaines phases de conception.

Afin de n'oublier personne, je salue mes amis thésards qui vont soutenir dans les mêmes temps (Wilfried, Romain, Lise, Philippe...) et ceux qui soutiendront l'année suivante (MAZ, John, Ludo, Adeline...) ainsi que Marmotte, qui à déjà soutenu, et mes anciens collègues de bureau (Christophe, Alaaeddine et David). Enfin, je souhaite bon courage aux thésards de C<sub>2</sub>S<sub>2</sub> (Abdallah, Sajjad, Turkan, Patrick, Pierre....) sans oublier les Brivistes. Désolé pour ceux que j'oublie.

# **TABLE DES MATIERES**

<b>INTRODUCTION GENERALE :</b> .....	<b>19</b>
--------------------------------------	-----------

<b>CHAPITRE I : CONTEXTE ET INCONVENIENTS LIES A L'IMPLEMENTATION DE TECHNOLOGIE GAN DE PUISSANCE POUR LES APPLICATIONS RADARS EN BANDE S</b> .....	<b>25</b>
---	-----------

<b>Introduction</b> .....	<b>27</b>
---------------------------	-----------

<b>I. L'amplification de puissance dans le système radar</b> .....	<b>28</b>
--	-----------

I.1. Principe du fonctionnement d'un système radar.....	28
---	----

I.1.1. Historique [1]. .....	28
------------------------------	----

I.1.2. Principe de fonctionnement [2] [3]. .....	28
--	----

I.1.3. Constitution d'un radar.....	30
-------------------------------------	----

I.2. Enjeu de l'amplificateur de puissance dans le système radar : contexte de l'étude. ....	31
--	----

<b>II. Apport du HEMT GaN pour les applications radar en bande S</b> .....	<b>34</b>
--	-----------

II.1. Propriétés et avantages du semi-conducteur GaN.....	34
---	----

II.2. Avantages des HEMT GaN pour l'amplification forte puissance en bande S.....	37
---	----

II.2.1. Les différentes technologies pour l'amplification de puissance en bande S.....	37
--	----

II.2.2. Comparaison qualitative du HEMT GaN avec les autres technologies. ....	43
--	----

II.2.3. Comparaison des composants commercialisés destinés aux applications radars en bande S..	45
---	----

<b>III. Application des classes de fonctionnement haut rendement aux HEMTs GaN</b> .....	<b>46</b>
--	-----------

III.1. Bilan de puissance et équations.....	46
---	----

III.2. Classes de fonctionnement sinusoïdales. ....	47
---	----

III.3. Classes de fonctionnement haut rendement.....	49
--	----

III.3.1. Les classes F et F inverse.....	52
--	----

III.3.2. La classe E.....	52
---------------------------	----

III.3.3. La classe J.....	53
---------------------------	----

III.4. Avantages du HEMT GaN pour le fonctionnement haut rendement. ....	55
--	----

<b>IV. Contexte et incovénients de l'amplification haut rendement et large bande en bande S</b> .....	<b>57</b>
---	-----------

IV.1. Incovénients liés aux barrettes de puissance. ....	57
--	----

IV.2. Incovénients liés à l'encapsulation.....	58
--	----

IV.3. Incovénients liés à l'adaptation haut rendement et large bande. ....	60
--	----

<b>Conclusion</b> .....	<b>63</b>
-------------------------	-----------

<b>CHAPITRE II : METHODOLOGIE D'ADAPTATION DES IMPEDANCES HARMONIQUES INTERNE AU BOITIER. APPLICATION SUR UN TRANSISTOR ELEMENTAIRE GAN 15 W</b> .....	<b>65</b>
--	-----------

<b>Introduction</b> .....	<b>67</b>
---------------------------	-----------

<b>I. Modélisation du transistor GaN encapsulé</b> .....	<b>68</b>
--	-----------

I.1. Modélisation du transistor HEMT GaN de 2.4 mm de développement. ....	68
---	----

I.1.1. Mesures du transistor.....	68
-----------------------------------	----

I.1.2. Modélisation et validation. ....	69
---	----

I.2. Extraction du modèle de transistor encapsulé.....	72
--	----

I.2.1. Choix de la topologie de modèle du boîtier. ....	73
---	----

I.2.2. Méthodologie d'extraction des éléments du boîtier.....	76
I.2.3. Validation du modèle de transistor encapsulé.....	82
I.3. Résumé.....	85
<b>II. Principe d'adaptation des impédances de charge harmoniques interne au boîtier.....</b>	<b>87</b>
II.1. Principe d'optimisation des éléments du boîtier en sortie.....	87
II.1.1. Principe général de confinement des zones de fonctionnement.....	87
II.1.2. Application au transistor HEMT GaN de 2.4 mm de développement.....	91
II.2. Mesures et simulations load-pull multi harmoniques de transistor en boîtier optimisé en sortie....	97
II.3. Mise en évidence de performances haut rendement et large bande du transistor en boîtier optimisé en sortie.....	101
II.4. Comparaison avec une solution d'adaptation harmonique externe au boîtier.....	105
II.5. Résumé.....	107
<b>III. Principe d'adaptation des impédances harmoniques de source interne au boîtier.....</b>	<b>109</b>
III.1. Principe d'optimisation des éléments du boîtier en entrée.....	110
III.1.1. Principe général.....	110
III.1.2. Application au transistor HEMT GaN de 2.4 mm de développement.....	112
III.2. Mise en évidence de performances haut rendement et large bande du transistor en boîtier optimisé en entrée et en sortie.....	114
III.3. Résumé.....	116
<b>Conclusion.....</b>	<b>118</b>
<b>CHAPITRE III : METHODE D'ENCAPSULATION OPTIMALE DES BARRETTES DE PUISSANCE GAN 50 W POUR UN FONCTIONNEMENT HAUT RENDEMENT ET LARGE BANDE.....</b>	<b>121</b>
<b>Introduction.....</b>	<b>123</b>
<b>I. Détermination des zones haut rendement d'une barrette de puissance HEMT GaN 6x2.4 mm. 124</b>	
I.1. Mesures d'un transistor à cellule unitaire de 2.4 mm de développement.....	124
I.2. Détermination des zones de PAE de 6 transistors mis en parallèle.....	126
<b>II. Détermination des câblages d'entrée et de sortie du boîtier optimisés haut rendement et large bande.....</b>	<b>128</b>
II.1. Modélisation des accès du boîtier.....	129
II.2. Simulation du câblage de sortie du boîtier n°1.....	132
II.2.1. Méthodologie d'adaptation du câblage de sortie du boîtier n°1.....	133
II.2.2. Etude des déséquilibres d'impédance générés par le câblage de sortie du boîtier n°1.....	136
II.3. Correction des déséquilibres d'impédance : Simulation du câblage de sortie du boîtier n°2.....	139
II.3.1. Méthodologie d'adaptation du câblage de sortie du boîtier n°2.....	140
II.3.2. Etude des déséquilibres d'impédance générés par le câblage de sortie du boîtier n°2.....	143
II.4. Simulation du câblage d'entrée.....	145
II.5. Résumé.....	149
<b>III. Mesures de barrettes de puissance HEMT GaN encapsulées optimisées haut rendement et large bande.....</b>	<b>151</b>
III.1. Introduction.....	151
III.2. Mesures du démonstrateur n°1.....	153
III.2.1. Mesures en fonctionnement amplificateur : 50 $\Omega$ en entrée et en sortie.....	153
III.2.2. Mesures des performances optimales : source-pull et load-pull à $f_0$ .....	154
III.2.3. Résumé des performances mesurées.....	159
III.3. Mesures du démonstrateur n°2.....	161
III.3.1. Mesures en fonctionnement amplificateur : 50 $\Omega$ en entrée et en sortie.....	161
III.3.2. Mesures des performances optimales : source-pull et load-pull à $f_0$ .....	162
III.3.3. Résumé des performances mesurées.....	167

III.4. Résumé : Comparaison des performances entre les démonstrateurs n°1 et n°2. ....	168
<b>IV. Performances et enjeux des barrettes de puissance HEMT GaN encapsulées optimisées.....</b>	<b>172</b>
IV.1. Etat de l'art .....	172
IV.2. Solutions commercialisées de barrettes de puissance GaN.....	174
IV.3. Avantages de l'encapsulation optimale des barrettes de puissance.....	174
IV.4. Vers l'intégration d'éléments MMIC.....	176
<b>Conclusion .....</b>	<b>177</b>
<b>CONCLUSION GENERALE : .....</b>	<b>179</b>
<b>BIBLIOGRAPHIE : .....</b>	<b>183</b>
<b>PUBLICATIONS RELATIVES A CE TRAVAIL.....</b>	<b>191</b>



# **Table Des Figures**

## *Chapitre I*

Figure I.1 : Principe de mesure de la vitesse d'une cible. ....	29
Figure I.2 : Synoptique de fonctionnement d'un radar.....	30
Figure I.3 : Evaluation des semi-conducteurs en fonction de leurs applications.....	36
Figure I.4 : coupe d'un transistor HBT. ....	37
Figure I.5 : coupe d'un transistor LDMOS. ....	40
Figure I.6 : coupe d'un transistor HEMT GaN.....	41
Figure I.7 : Evaluations des différentes technologies pour les applications radars en bande S. ....	44
Figure I.8 : Equations générales des bilans de puissance.....	46
Figure I.9 : Equations générales des bilans de puissance.....	47
Figure I.10 : Evolution de la puissance dissipée et du rendement en fonction de la classe de fonctionnement appliquée.....	48
Figure I.11 : Impact des suppressions des composantes harmoniques sur les ondes tension courant. ....	50
Figure I.12 : formes d'ondes de tension et de courant associées aux classes haut rendement considérant les trois premiers harmoniques.....	51
Figure I.13 : Schéma de principe de la classe J.....	53
Figure I.14 : Exemple d'une recombinaison de l'onde de tension pour une classe J.....	54
Figure I.15 : Impact de la résistance $R_{on}$ sur les ondes de tension et de courant. ....	55
Figure I.16 : Inconvénient lié à la recombinaison des ondes en sortie de boîtier.....	59
Figure I.17 : Comparaison des potentialités d'adaptation d'un circuit ouvert à la fréquence double (entre 5GHz et 7 GHz) pour une architecture type classe $F^{-1}$ et classe J. ....	61
Figure I.18 : Inconvénient lié à l'adaptation d'impédances large bande. ....	62

## *Chapitre II*

Figure II.1 : Performances optimales en PAE du transistor de 2.4 mm de développement à $V_{ds0}=50V$ et $I_{ds0}=2mA$ . Optimisation à $f_0$ ; $Z_{2f_0}= 50 \Omega$ .....	69
Figure II.2 : Comparaison du réseau I-V et des paramètres S ( $V_{ds0}=50V$ et $I_{ds0}=70mA$ ) entre le modèle et les mesures.....	70
Figure II.3 : Comparaison des mesures et simulations load-pull à $f_0$ du transistor de 2.4 mm de développement.....	71
Figure II.4 : Comparaison des mesures et simulations load-pull à $2f_0$ du transistor de 2.4 mm de développement.....	72
Figure II.5 : Caractéristiques du boîtier céramique utilisé.....	74
Figure II.6 : Réalisation de deux différentes encapsulations de transistors.....	75
Figure II.7 : Extraction du modèle linéaire équivalent.....	76
Figure II.8 : Pied de test $50 \Omega$ et kit d'étalonnage TRL.....	77
Figure II.9 : Architectures des modèles pour le boîtier 1 (II.9.a) et le boîtier 2 (II.9.b)....	78
Figure II.10 : Etapes d'extraction des éléments du modèle de boîtier.....	81
Figure II.11 : Comparaison des paramètres S mesurés et simulés pour les deux configurations de transistor encapsulé, à $V_{ds0}=50V$ et $I_{ds0}=40mA$ . ....	83
Figure II.12 : Comparaison des mesures et simulations fort signal pour les deux configurations de transistor encapsulé, à 3.2 GHz et pour $V_{ds0}=50V$ et $I_{ds0}=2mA$ . ....	84

Figure II.13 : Mesures et simulations des formes d'ondes temporelles de drain extrinsèques pour la configuration de boîtier n°1 à 3.2GHz sur l'optimum de rendement. ....	86
Figure II.14 : Architecture du modèle de boîtier. Mise en évidence du filtre passe bas de sortie.....	87
Figure II.15 : Plan de transformation des impédances de la sortie du boîtier vers le plan du drain du transistor.....	89
Figure II.16 : Principe d'optimisation du filtre LC .....	90
Figure II.17 : Architecture équivalente de modèle de boîtier du boîtier n°1. ....	91
Figure II.18 : Principe de simulation load pull de la puce dans des configurations d'encapsulation. ....	92
Figure II.19 : Caractéristiques des boîtiers 1.A et 1.B. ....	93
Figure II.20 : Contours de PAE dans le plan du transistor dans des conditions d'encapsulation pour le boîtier 1.A et 1.B à 3.2 GHz.....	94
Figure II.21 : Caractéristiques du Boîtier 1.C.....	95
Figure II.22 : Contours de PAE dans le plan du transistor dans des conditions d'encapsulation pour le boîtier 1.C à 2.9 GHz et 3.5 GHz.....	96
Figure II.23 : Contours de PAE mesurés et simulés à $f_0$ dans le plan du boîtier pour le boîtier 1.A et 1.B à 3.2 GHz. ....	97
Figure II.24 : Contours de PAE mesurés et simulés à $2f_0$ dans le plan du boîtier pour le boîtier 1.A et 1.B à 3.2 GHz. ....	98
Figure II.25 : Contours de PAE mesurés et simulés à $f_0$ dans le plan du boîtier pour le boîtier 1.C à 2.9 et 3.5 GHz.....	99
Figure II.26 : Contours de PAE mesurés et simulés à $2f_0$ dans le plan du boîtier pour le boîtier 1.C à 2.9 et 3.5 GHz.....	100
Figure II.27 : PAE maximale pour une adaptation à $f_0$ en bande S pour 3 configurations de boîtier. Comparaison avec le transistor.....	103
Figure II.28 : PAE pour une variation des impédances de charge à $2f_0$ en bande S pour 3 configurations de boîtier. Comparaison avec le transistor. ....	104
Figure II.29 : Impédances optimales de PAE simulées aux fréquences fondamentales en bande S pour les trois configurations de boîtier. ....	105
Figure II.30 : Comparaison des impédances synthétisées à la fréquence double dans le plan du drain par un boîtier optimisé et par un stub radial sur circuit hybride. ....	106
Figure II.31 : Résumé des trois premiers boîtiers réalisés.....	108
Figure II.32 : Modèle équivalent du transistor encapsulé avec (boîtier 3) et sans (boîtier 2) le filtre harmonique d'entrée. ....	110
Figure II.33 : Impact du filtre LfCf, câblé en entrée du transistor, sur les impédances de source synthétisées dans le plan de la grille.....	111
Figure II.34 : Photographie des boîtiers 2 et 3.....	112
Figure II.35 : Simulation des contours de PAE à $2f_0$ sur la bande [2.9-3.7] GHz et comparaison des impédances transformées par le câblage d'entrée avec et sans le filtre LfCf. ....	113
Figure II.36 : Impact du contrôle des impédances de source à l'harmonique 2 sur la PAE. Comparaison avec un boîtier non optimisé en entrée et un transistor sous pointes. ....	115
Figure II.37 : Mise en évidence de l'adaptation d'entrée du Boîtier 3 optimisé en entrée sur la bande [2.6-3.4] GHz.....	116

### Chapitre III

Figure III.1 : Mesures load-pull sur puce du transistor de 2.4 mm de développement à 2.9 GHz et 3.5 GHz. Détermination des zones optimales de PAE.....	125
Figure III.2 : Détermination des zones optimales de PAE de 6 transistors en parallèles à partir des mesures d'un transistor.....	126
Figure III.3 : Dimension du boîtier accueillant les barrettes de puissance.....	129
Figure III.4 : Segmentation transversale de la ligne métallisée en fonction du nombre de connexions pour la modélisation des accès du boîtier sous ADS. ....	130
Figure III.5 : Etude de la recombinaison des tensions en sortie de la ligne d'accès du boîtier pour une connexion d'entrée de 6 fils de câblage.....	131
Figure III.6 : Représentation du câblage de sortie du boîtier n°1.....	133
Figure III.7 : Méthodologie d'adaptation du câblage de sortie du boîtier n°1. ....	134
Figure III.8 : Impédances transformées dans les plans de la barrette par le câblage de sortie du boîtier n°1. ....	135
Figure III.9 : Etude des dispersions d'impédances vues par chaque accès de drain de la barrette pour le câblage de sortie du boîtier n°1.....	137
Figure III.10 : Etude des dispersions d'impédances vues par chaque accès de drain de la barrette pour le câblage de sortie n°1 lorsque les mutuelles inductances sont désactivées.....	138
Figure III.11 : Représentation du câblage de sortie du boîtier n°2.....	139
Figure III.12 : Méthodologie d'adaptation du câblage de sortie du boîtier n°2.....	141
Figure III.13 : Impédances transformées dans les plans de la barrette par le câblage de sortie n°2. ....	142
Figure III.14 : Etude des dispersions d'impédances vues par chaque accès de drain de la barrette pour le câblage de sortie du boîtier n°2.....	144
Figure III.15 : Représentation du câblage d'entrée.....	145
Figure III.16 : Méthodologie d'adaptation du câblage d'entrée.....	147
Figure III.17 : Impédances transformées dans les plans de la barrette par le câblage d'entrée.....	148
Figure III.18 : Résumé des impédances synthétisées par les différents câblages. ....	149
Figure III.19 : Photographie des démonstrateurs n°1 et n°2. ....	151
Figure III.20 : Photographie du pied de test accueillant les démonstrateurs.....	152
Figure III.21 : Comparaisons des performances du démonstrateur n°1 pour $V_{ds0}=50V$ et $V_{ds0}=40V$ . Mesures sur $50 \Omega$ .....	154
Figure III.22 : Mesures des performances optimales du démonstrateur n°1. SP et LP à $f_0$ ( $Z_{h2}=50\Omega$ ).....	155
Figure III.23 : Mesures load-pull à $f_0$ et $2f_0$ du démonstrateur n°1. $V_{ds}=50V$ .....	156
Figure III.24 : Mesures load-pull à $f_0$ et $2f_0$ du démonstrateur n°1. $V_{ds}=40V$ .....	157
Figure III.25 : Impédances optimales de source et de charge du démonstrateur n°1.....	158
Figure III.26 : Résumé des performances du démonstrateur n°1. ....	160
Figure III.27 : Mesures du démonstrateur n°2 sur $50 \Omega$ . ....	161
Figure III.28 : Mesures des performances optimales du démonstrateur n°2. SP et LP à $f_0$ ( $Z_{h2}=50\Omega$ ).....	163
Figure III.29 : Mesures load-pull à $f_0$ et $2f_0$ du démonstrateur n°2. $V_{ds}=50V$ .....	164
Figure III.30 : Mesures load-pull à $f_0$ et $2f_0$ du démonstrateur n°2. $V_{ds}=40V$ .....	165
Figure III.31 : Impédances optimales de source et de charge du démonstrateur n°2.....	166
Figure III.32 : Résumé des performances du démonstrateur n°2. ....	167
Figure III.33 : Comparaison des performances mesurées sur $50 \Omega$ entre les démonstrateurs n°1 et n°2. ....	168

Figure III.34 : Comparaison des performances optimales mesurées entre les démonstrateurs n°1 et °2. ....	169
Figure III.35 : Etat de l'art des amplificateurs de puissance large bande et haut rendement en bande S. ....	173
Figure III.36 : Illustration de la miniaturisation des démonstrateurs réalisés. ....	175

## **Liste des tableaux**

### *Chapitre I*

Tableau I.1 : Propriétés intrinsèques des semi-conducteurs.....	34
Tableau I.2 : Comparaison des technologies de transistors en boîtier commercialisés...	45

### *Chapitre II*

Tableau II.1 : Performances optimales en PAE du transistor de 2.4 mm de développement à $V_{ds0}=50V$ et $I_{ds0}=2mA$ . Optimisation à $f_0$ ; $Z_{L2f0}= 50 \Omega$ .....	68
Tableau II.2 : Initialisations des valeurs des éléments du modèle pour les deux configurations de boîtier. ....	80
Tableau II.3 : Extraction des valeurs des éléments du modèle pour les deux configurations de boîtier. ....	81
Tableau II.4 : Performances du boîtier 1.A en bande S.....	101
Tableau II.5 : Performances du boîtier 1.B en bande S.....	102
Tableau II.6 : Performances du boîtier 1.C en bande S.....	102
Tableau II.7 : Comparaison des performances entre la solution d'optimisation des boîtiers et la solution d'adaptation par stub radial sur circuit hybride.....	107
Tableau II.8 : Comparaison des performances entre un boîtier avec et sans filtre d'harmonique 2 de source. ....	114

### *Chapitre III*

Tableau III.1 : Détermination idéale des performances maximales de 6 transistors en parallèles sur la bande [2.9-3.5] GHz déduites des performances mesurées d'un transistor.....	127
Tableau III.2 : Evaluation de la longueur des fils de câblage à réaliser en fonction des inductances équivalentes simulées pour le câblage de sortie du boîtier n°1. ....	136
Tableau III.3 : Evaluation de la longueur des fils de câblage à réaliser en fonction des inductances équivalentes simulées pour le câblage de sortie du boîtier n°2. ....	142
Tableau III.4 : Mutuelles inductances prises en compte dans les câblages n°1 et 2.....	143
Tableau III.5 : Evaluation de la longueur des fils de câblage à réaliser en fonction des inductances équivalentes simulées pour le câblage d'entrée. ....	148
Tableau III.6 : Mesures du démonstrateur n°1 sur $50 \Omega$ .....	153
Tableau III.7 : Mesures des performances optimales du démonstrateur n°1. SP et LP à $f_0$ ( $Z_{h2}=50\Omega$ ).....	155
Tableau III.8 : Mesures du démonstrateur n°2 sur $50 \Omega$ .....	161
Tableau III.9 : Mesures des performances optimales du démonstrateur n°2. SP et LP à $f_0$ ( $Z_{h2}=50\Omega$ ).....	162
Tableau III.10 : Mesures optimisées du démonstrateur n°2. Mesures source-pull et load-pull à $f_0$ .....	170
Tableau III.11 : Etat de l'art des amplificateurs de puissance large bande et haut rendement en bande S.....	172
Tableau III.12 : Comparaisons des démonstrateurs n°1 et n°2 avec des solutions commercialisées. ....	174



## **Glossaire**

**RADAR** : ***RA**dio **D**etection **A**nd **R**anging.*

**SSPA** : ***S**olid **S**tate **P**ower **A**mplifier.*

**BJT** : ***B**ipolar **J**unction **T**ransistor.*

**HBT** : ***H**eterojunction **B**ipolar **T**ransistor.*

**HEMT** : ***H**igh **E**lectron **M**obility **T**ransistor.*

**FET** : ***F**ield-**E**ffect **T**ransistor.*

**MESFET** : ***M**etal-**S**emiconductor **F**ield-**E**ffect **T**ransistor.*

**MOSFET** : ***M**etal-**O**xide-**S**emiconductor **F**ield-**E**ffect **T**ransistor.*

**LDMOS** : ***L**aterally **D**iffused **M**etal **O**xide **S**emiconductor.*

**CMOS** : ***C**omplementary **M**etal **O**xide **S**emiconductor.*

**GaN** : ***G**allium **N**itride.*

**AlGaN** : ***A**luminium **G**allium **N**itride.*

**GaAs** : ***G**allium **A**rsenide.*

**Si** : ***S**ilicon.*

**SiC** : ***S**ilicon **C**arbide.*

**InP** : ***I**ndium **P**hosphide.*

**SiGe** : ***S**ilicon-**G**ermanium.*

**MMIC** : ***M**onolithic **M**icrowave **I**ntegrated **C**ircuit.*

**PAE** : ***P**ower **A**dded **E**fficiency.*

**TRL** : ***T**hru **R**eflect **L**ine.*

**TOS** : ***T**aux d'**O**ndes **S**tationnaires.*



## **INTRODUCTION GENERALE :**

---



Les amplificateurs de puissance constituent un élément primordial de la chaîne d'émission du système des radars sol. En effet, les performances du système (telles que la portée, la consommation, la fiabilité et la gestion thermique) et son dimensionnement (encombrement et masse) sont étroitement liées aux performances électriques de l'amplificateur de puissance. Ainsi, toute amélioration des performances des amplificateurs, telle que leur puissance disponible, leur rendement, leur gain ainsi que leur bande passante, constitue un bénéfice considérable sur les performances du système radar en émission.

Les applications radars en bande S requièrent aujourd'hui des plus-values très importantes sur les performances des amplificateurs de puissance, afin de diversifier leurs applications et de présager une diminution de l'encombrement et des coûts de fonctionnement du système radar. Le rendement en puissance ajouté (PAE) des amplificateurs de puissance est un des critères primordiaux. Son amélioration permettra en premier lieu de diminuer la consommation électrique de l'amplificateur et par conséquent, d'abaisser la consommation globale du système radar. Ce critère de consommation est aujourd'hui une préoccupation fondamentale au niveau mondial, où chaque système électrique doit présenter les plus faibles niveaux d'émission de CO<sub>2</sub> afin de préserver un équilibre écologique. L'augmentation de la PAE contribuera à diminuer la chaleur dissipée dans l'amplificateur de puissance. Les systèmes de refroidissement seront alors moins mis à contribution. Leur consommation électrique et leur encombrement en seront ainsi diminués. Un élargissement des bandes passantes des amplificateurs de puissance est également recherché aujourd'hui afin de diversifier les applications radars en bande S. Les critères de puissance de sortie et de gain en puissance sont également très importants.

Depuis une vingtaine d'années, la technologie HEMT GaN a fait l'objet de nombreuses recherches. Son implémentation dans les systèmes radars permettra d'améliorer les performances des amplificateurs de puissance car cette nouvelle technologie présente des propriétés intrinsèques surpassant toutes les technologies concurrentes en bande S.

Un amplificateur de puissance est composé classiquement d'une technologie active dont le fonctionnement est optimisé par des réseaux d'adaptation passifs. Ces travaux de thèse ont consisté à chercher de nouvelles méthodologies d'optimisation des réseaux d'adaptation passifs afin de prédisposer la technologie HEMT GaN à un fonctionnement optimal. Pour des raisons de conception et d'implémentation dans les systèmes, les technologies actives de forte puissance sont généralement mises en boîtier. Cependant, cette encapsulation tend à limiter les possibilités d'adaptation et à restreindre les capacités à obtenir les performances optimales

des technologies actives. Il sera alors étudié au cours de cette thèse une méthodologie d'encapsulation des HEMTs GaN permettant de ne pas limiter l'obtention de bonnes performances, mais au contraire, d'assurer un fonctionnement optimal de la technologie HEMT GaN. Pour cela, une méthodologie d'adaptation spécifique interne au boîtier, au plus près de l'élément actif, sera mise en œuvre afin d'assurer un fonctionnement haut rendement et large bande du HEMT GaN en sortie du boîtier.

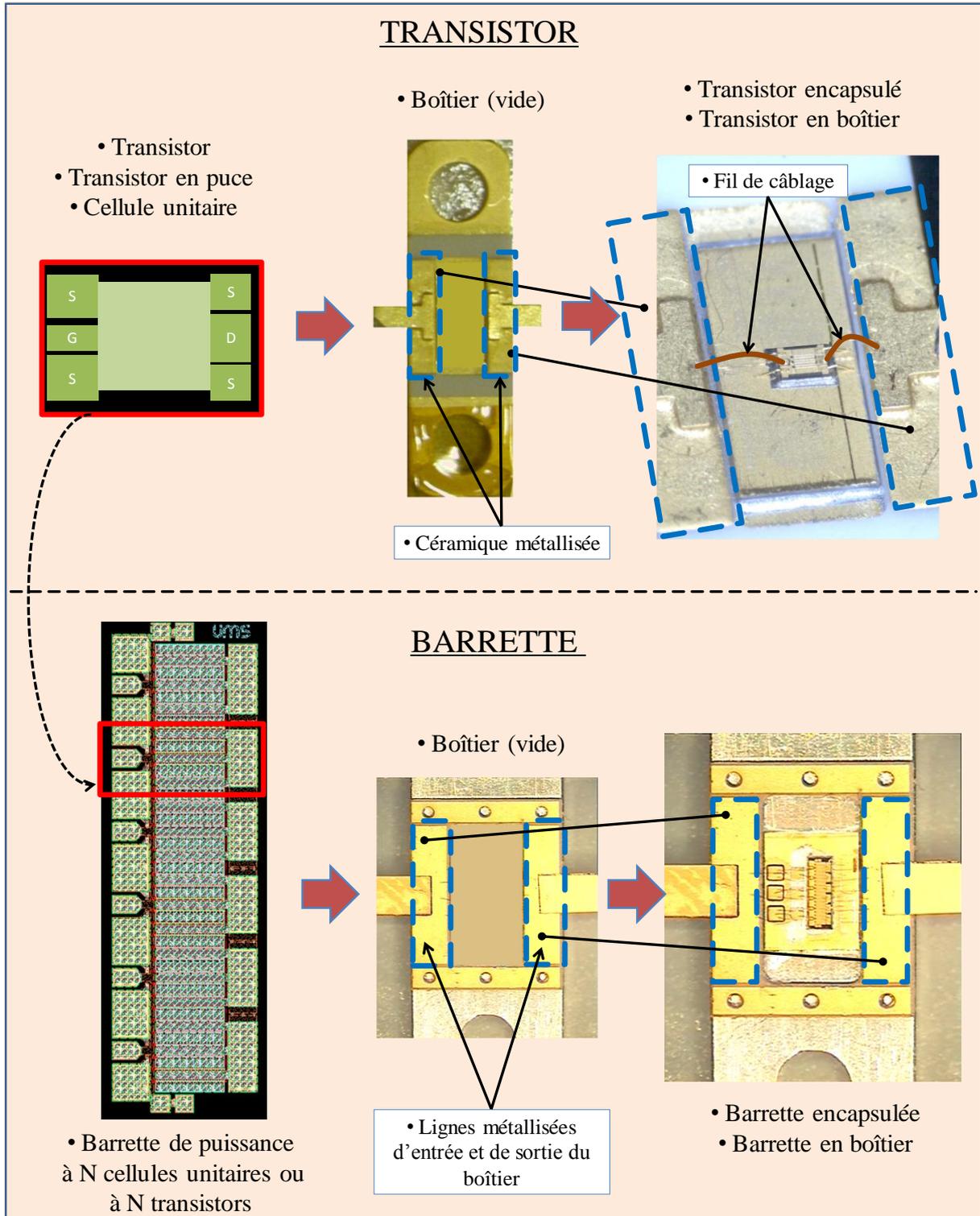
Le chapitre I présentera les avantages et potentialités de la technologie HEMT GaN en les situant par rapport aux technologies concurrentes destinées aux applications radars en bande S. Les différentes techniques permettant d'obtenir un fonctionnement haut rendement des technologies actives seront exposées tout en mettant l'accent sur les inconvénients que celles-ci engendrent dans l'optique d'assurer dans le même temps un fonctionnement large bande. Les inconvénients concernant l'encapsulation seront également abordées, particulièrement lorsqu'il s'agit de HEMTs GaN à fort développement.

Le chapitre II exposera la méthodologie spécifique d'adaptation haut rendement et large bande interne au boîtier développée au cours de cette thèse. Elle sera alors mise en œuvre dans un premier temps lors d'une encapsulation d'un transistor HEMT GaN de 2.4 mm de développement (15 W).

Afin de répondre aux exigences de fortes puissances des applications radars en bande S, cette méthodologie d'adaptation haut rendement et large bande sera mise en œuvre et adaptée à des barrettes de puissance HEMT GaN de 14.4 mm de développement. Le chapitre III exposera ainsi cette méthodologie qui est plus difficile à appliquer sur des barrettes à fort développement. Il sera alors démontré que des performances en PAE de 60% sur de très larges bandes passantes (25%), associées à des puissances de sortie de 50 W ont pu être atteintes. Deux démonstrateurs réalisés au cours de cette thèse affichent des performances de cet ordre et valident la méthodologie appliquée.

Enfin, la conclusion générale présentera un bilan de ces travaux, ainsi que les perspectives ouvertes par ce travail.

Quelques définitions en image des termes employés dans le manuscrit :





## CHAPITRE I :

---

Contexte et inconvénients liés à l'implémentation de la technologie GaN de puissance pour les applications Radars en bande S

---



## **Introduction**

L'amplificateur de puissance est une pièce maîtresse du système radar. Ses performances vont conditionner très fortement les performances finales du radar. Ainsi, l'apport et l'essai de nouvelles technologies de transistors de puissance se sont succédés ces cinquante dernières années pour tenter d'améliorer les performances des systèmes. Les années 1990 ont ainsi vu apparaître une technologie de transistor HEMT à grand gap à base de nitrure de galium (GaN), offrant des potentialités en puissance surpassant toutes les technologies existantes.

Le premier chapitre décrit donc les avantages de la technologie GaN, afin de la situer par rapport aux technologies concurrentes répondant aux besoins des applications radars en bande S. Les exigences croissantes en termes de rendement et de bande passante des amplificateurs de puissance sont à l'origine de nombreuses études et recherches visant à améliorer ces critères de performance. Les principales techniques pour obtenir un fonctionnement à haut rendement des amplificateurs de puissance seront ainsi décrites. Ce chapitre permettra d'exploiter clairement les inconvénients résultant de l'objectif conjoint d'obtenir de hauts rendements sur de larges bandes passantes. Une analyse de tous les inconvénients consécutifs à l'implémentation des barrettes de puissance GaN européen et de leur encapsulation sera également menée. C'est dans ce contexte que ces travaux de thèse ont débuté avec l'objectif de repousser les limites fixées par les technologies et techniques actuelles et ainsi d'améliorer les compromis de rendement, de puissance et de bande passante en bande S.

## **I. L'amplification de puissance dans le système radar.**

### **I.1. Principe du fonctionnement d'un système radar.**

#### **I.1.1. Historique [1].**

Une succession d'expérimentations et d'innovations s'appuyant sur les équations des ondes électromagnétiques énoncées par Maxwell ont permis d'aboutir à l'invention du radar (Radio Detection And Ranging).

Au début du XX<sup>ème</sup> siècle, la multiplication des découvertes et inventions dans les différents pays du monde occidental ont rendu impossible l'attribution de l'invention du radar à une seule personne. L'invention de C. Hülsmeier en 1904, nommée le «Telemobiloskop», est tout de même considérée comme l'ancêtre du radar. S'appuyant sur les travaux de H.R.Hertz qui démontra en 1888 qu'une onde électromagnétique se réfléchit sur une paroi métallique, C. Hülsmeier conçut un système d'émission d'onde radio dont la partie réfléchie par une surface métallique était réceptionnée par deux antennes dipolaires. Les années 1920 et 1930 aboutissent à l'élaboration de systèmes de télédétection qui prennent pour la première fois toute leur importance lors de la seconde guerre mondiale.

Lors de la seconde partie du XX<sup>ème</sup> siècle, le système radar va connaître un véritable essor. Bien que le système radar ait toujours pris une place primordiale parmi les applications militaires, il est aujourd'hui présent dans de nombreuses activités civiles telles que l'aéronautique et la météorologie. Il est même devenu un système d'usage quotidien pour le grand public depuis son implémentation dans le secteur automobile.

#### **I.1.2. Principe de fonctionnement [2] [3].**

Les principales fonctions des radars sont la détection d'un objet, sa localisation et la détermination de sa vitesse. Un émetteur envoie un signal modulé en fréquence qui, une fois réfléchi par la cible et reçu par le récepteur, permet le calcul de la distance séparant la cible du radar. Le signal CW doit être pulsé pour permettre une mesure du retard ( $\Delta t$ ) entre l'impulsion émise et celle reçue. La distance (D) radar/cible est alors calculée par la simple relation  $D=c*\Delta T/2$ .

Les propriétés de l'antenne permettent de localiser la cible. En effet, si la cible se situe dans le lobe principal du rayonnement de l'antenne, c'est à dire dans le cône de l'espace où la plus grande partie de l'énergie de l'antenne est rayonnée, il est alors possible de déterminer la position de la cible en plus de sa distance. Si l'objet est en mouvement, il est également possible de déterminer sa direction. En effet, la puissance du signal reçu est directement liée à la directivité de l'antenne et par conséquent à la position de la cible dans le cône de rayonnement de l'antenne.

La vitesse de la cible est déterminée grâce à l'effet Doppler [4]. Si la cible est fixe, l'écho sera toujours perçu avec le même temps de retard  $\Delta t_1$ . En revanche, si la cible se rapproche du radar, le temps de retard va diminuer ( $\Delta t_2$ ) et c'est ce déphasage relatif (ou détermination de la fréquence Doppler selon l'équation  $F_d = 2 * V_r / \lambda$ ) qui va permettre de calculer la vitesse de la cible  $V_r$ . La figure I.1 illustre le principe de mesure de la vitesse d'une cible.

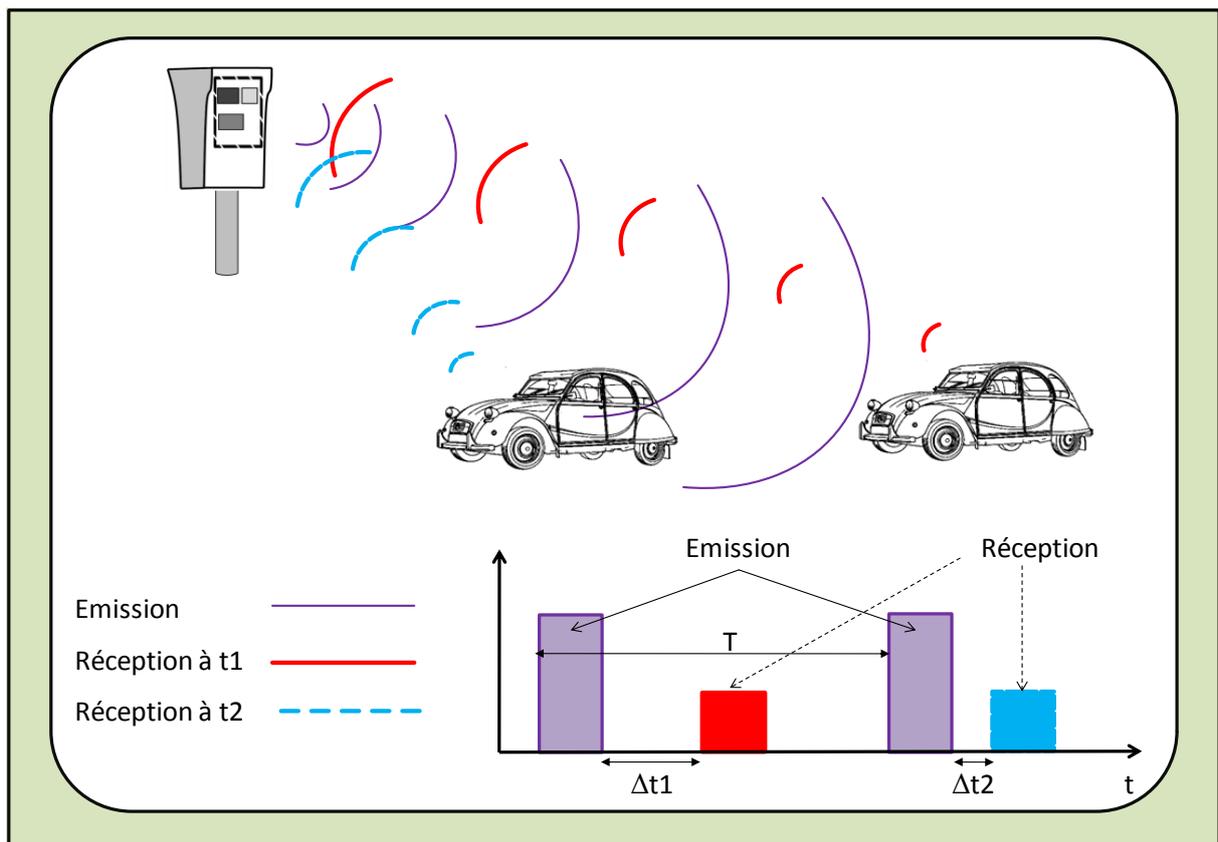


Figure I.1 : Principe de mesure de la vitesse d'une cible.

Il s'agit là des principales fonctions de base du système radar. Les innombrables applications existantes sont soumises à des limitations dépendant du dimensionnement du système radar. Ces limitations sont quantifiées par le pouvoir discriminatoire en distance et en

angle. Le pouvoir discriminateur en distance permet de définir la distance minimale entre deux cibles pour qu'elles soient localisées distinctement l'une de l'autre. Si les cibles sont trop proches, leurs ondes réfléchies se chevauchent lors de la réception, ce qui rend la discrimination de la cible impossible. Une réduction de la largeur du pulse et une augmentation de la puissance crête permettront alors d'augmenter ce pouvoir de détection. Le pouvoir discriminateur angulaire dépend plus particulièrement de la directivité de l'antenne. Si deux cibles se trouvent dans le même cône de rayonnement de l'antenne, il sera alors impossible d'obtenir une détection distincte. La vitesse de rotation de l'antenne associée à une meilleure directivité permet alors d'améliorer le pouvoir discriminateur angulaire du radar.

Les applications radars étant variées, la fréquence, la largeur d'impulsion et le rapport cyclique doivent être convenablement choisis pour répondre à une seule d'entre elles. A titre d'exemple, les applications radars en bande S couvrent le trafic aérien local, les radars navals et météorologiques, ainsi que de nombreuses applications militaires.

### I.1.3. Constitution d'un radar.

Le synoptique du système radar classique peut être schématisé en trois blocs distincts comme l'illustre la figure I.2.

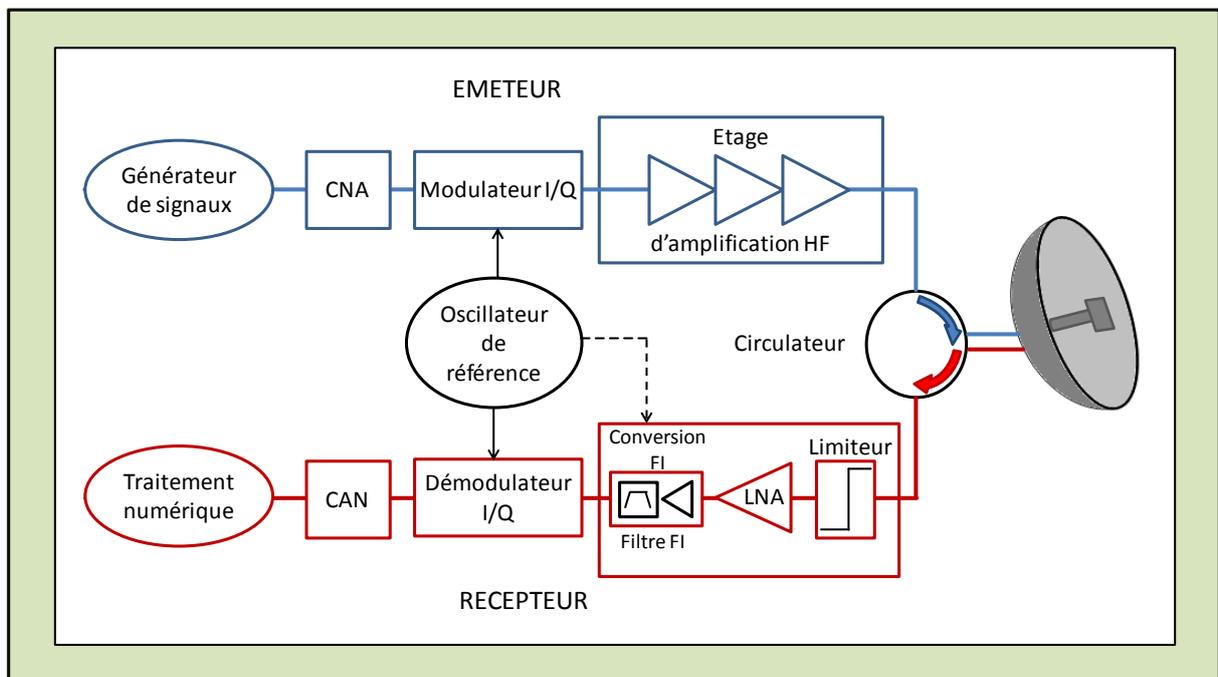


Figure I.2 : Synoptique de fonctionnement d'un radar.

La partie émission a pour objectif d'amplifier les signaux RF modulés. La porteuse est tout d'abord modulée en amplitude et en phase avant d'être amplifiée. Le bloc d'amplification HF comprend des drivers et plusieurs étages d'amplificateurs HF dont le nombre est directement lié à la puissance d'émission souhaitée.

Le deuxième bloc d'un système radar comporte le circulateur et l'antenne. Ces deux éléments ont la particularité de gérer à la fois les signaux émis et reçus. Le point clé de ce bloc est le circulateur qui doit présenter des propriétés d'isolation très importantes. En effet, les puissances utiles émises sont de l'ordre du Kilowatt alors que les puissances utiles reçues peuvent être de l'ordre du picowatt. Dans ces cas de figure extrêmes, les impulsions seront émises de façon à ce que le signal soit reçu lorsque l'antenne n'émet pas. Un autre élément est également commun aux signaux utiles émis et reçu ; il s'agit de l'oscillateur de référence qui permet la synchronisation entre les signaux émis et les signaux reçus.

Le troisième bloc du système radar est relatif à la partie réception. Le signal reçu est dirigé par le circulateur vers un limiteur dont le but est de protéger la chaîne de réception de signaux parasites trop puissants. Le signal utile reçu est ensuite amplifié en adoptant des propriétés de rapport S/N importantes. Le signal est ensuite transposé vers une plus basse fréquence (fréquence intermédiaire FI) avant d'être à nouveau filtré dans le but d'obtenir une réponse temporelle moins parasitée. Enfin, le signal est démodulé puis converti numériquement. Un traitement de signal adéquat permet alors de calculer les informations recherchées par le système radar.

## **I.2. Enjeu de l'amplificateur de puissance dans le système radar : contexte de l'étude.**

La partie amplification de puissance HF de la chaîne d'émission du système radar est constituée de plusieurs étages. Pour atteindre les puissances d'émission souhaitées, plusieurs amplificateurs de puissance sont placés en parallèle. Historiquement, l'amplification de puissance était assurée par des amplificateurs à tube qui peuvent générer des puissances de l'ordre du mégawatt en mode impulsif. Désormais, l'amplification de puissance est assurée par des amplificateurs à l'état solide SSPA (Solid State Power Amplifier), qui présentent de nets avantages en termes de fréquence de transition et d'encombrement. Ils offrent également la possibilité de travailler avec des largeurs d'impulsion plus longues tout

en conservant les niveaux de puissance souhaités. De plus, les amplificateurs SSPA assurent toujours un fonctionnement du système radars en cas de panne de l'un d'entre eux, alors que les amplificateurs à tube engendraient une panne générale.

L'amplificateur de puissance est l'élément clé de la chaîne d'émission. Les performances du système radar sont directement liées aux performances de l'amplificateur de puissance qui sont elles-mêmes déterminées par ses caractéristiques technologiques, par le mode de fonctionnement qui lui est appliqué ou encore par les perturbations qu'il subit de la part de son environnement.

Le premier critère fondamental de l'amplificateur est la puissance qu'il est capable de délivrer. Cette puissance détermine le nombre d'étages d'amplification. Au cours des dernières décennies, des recherches ont conduit à l'obtention de transistors à l'état solide [5] fournissant des densités de puissances et des gains en puissance très élevées, notamment pour les semi-conducteurs du groupe III-V. Ces nouveaux matériaux ont favorisé ainsi la miniaturisation de l'étage amplificateur et par conséquent la réduction de son encombrement.

Un autre critère de performance de l'amplification de puissance est la bande passante dans laquelle l'amplificateur est capable de travailler. Cette bande passante est le plus souvent limitée par le système d'adaptation passif de l'amplificateur plutôt que par la technologie active utilisée. La modernisation des systèmes radars a engendré des applications nécessitant un balayage fréquentiel sur de plus larges bandes passantes [6] [7]. En bande S, les bandes passantes visées sont aujourd'hui de 20% et tendent encore à augmenter en raison des potentialités des applications futures qu'un élargissement de bande passante permettrait d'obtenir.

Depuis une vingtaine d'années, un autre critère est devenu fondamental et fait l'objet de plusieurs travaux. Il s'agit du rendement en puissance ajoutée (PAE : Power Added Efficiency) de l'amplificateur de puissance. L'amélioration de la PAE offre des avantages considérables, que ce soit au niveau du coût, de la consommation DC ou encore de la gestion thermique et donc de la fiabilité. A titre d'exemple, un amplificateur de puissance délivrant 50 W pour une PAE de 40% consomme 119 W au DC (pour un gain en puissance de 13dB). Si la PAE augmente de 15 points, c'est-à-dire à 55%, et que la puissance délivrée est identique, alors la consommation DC n'est plus que de 86 W, soit une économie d'énergie de 28%. De plus, la conséquence directe d'une augmentation de la PAE est la diminution de la puissance dissipée. La gestion thermique devient alors plus aisée et engendre des diminutions du coût et

de l'encombrement des systèmes de refroidissement. De plus, un état thermique intrinsèque au transistor plus faible [8] permet d'améliorer la fiabilité et les performances de l'amplificateur de puissance.

De nombreux autres critères importants concernant l'amplificateur de puissance sont à prendre en compte, notamment la stabilité inter pulse [9] et la stabilité pulse à pulse [10].

Les travaux réalisés dans cette thèse se sont focalisés plus particulièrement sur l'obtention en technologie GaN de la meilleure PAE sur la bande passante la plus large possible sans occulter les critères de puissance de sortie et de gain en puissance. La partie 4 de ce chapitre soulignera les enjeux et les inconvénients de ces deux objectifs.

## II. Apport du HEMT GaN pour les applications radar en bande S.

### II.1. Propriétés et avantages du semi-conducteur GaN.

Les recherches et avancées effectuées à partir des années 1970 sur les semi-conducteurs du groupe III-V [11] ouvrent aujourd'hui de nombreuses potentialités dans le domaine des applications RF. Depuis le début des années 1990, le GaN a fait l'objet de nombreuses avancées pour apparaître comme semi-conducteur dans les transistors à effet de champ. Aujourd'hui, il remplace le GaAs pour les applications d'amplification de puissance (bande S à X) et fait l'objet de nombreuses avancées pour les applications aux fréquences millimétriques. Les performances exceptionnelles au niveau de l'état de l'art sont obtenues en grande partie grâce aux propriétés intrinsèques que présente le GaN. Le tableau I.1 compare les propriétés des différents semi-conducteurs [12] [13] [14] [15] [16] couramment utilisés dans les technologies de transistors destinés à l'amplification de puissance.

	Si	GaAs	InP	4H-SiC	GaN	Diamant
Bandgap (eV) @300K	1,12	1,43	1,35	3,25	3,4	5,5
Mobilité des électrons (cm <sup>2</sup> /V.s)	1450	8500	5400	900	2000	4500
Mobilité des trous (cm <sup>2</sup> /V.s)	480	400	200	120	200	3800
Vitesse de saturations des électrons (10 <sup>7</sup> cm/s)	1	1,2	1,4	2	1,5	2
Champ de claquage (10 <sup>6</sup> V/cm)	0,3	0,4	0,5	3	5	20
Conductivité thermique (W/cm.K) @300K	1,5	0,55	0,68	4,9	1,3	24

Tableau I.1 : Propriétés intrinsèques des semi-conducteurs

La largeur de la bande interdite est la caractéristique la plus importante pour définir le semi-conducteur le plus approprié aux applications de puissance. Elle se définit par l'énergie nécessaire à un électron, lorsque celui-ci est excité, pour passer de la bande de valence à la bande de conduction. Cette caractéristique permet alors de travailler avec des courants plus

élevés dans le matériau et donc d'obtenir une capacité à supporter des puissances plus élevées. Le Carbure de Silicium, le GaN et le Diamant présentent les meilleures caractéristiques.

L'autre caractéristique directement liée à la largeur de la bande interdite, et donc également propice aux applications de puissance, est le champ de claquage. En effet, un fort champ de claquage permet de supporter de fortes polarisations et donc de fortes puissances. Les semi-conducteurs qui en ressortent sont les mêmes que précédemment.

La mobilité des porteurs permet de déterminer les matériaux capables de fonctionner à de très hautes fréquences. Le GaAs et l'InP présentent les meilleures caractéristiques pour les applications à très hautes fréquences, de telle sorte que ces matériaux sont très utilisés aux fréquences millimétriques en technologie HEMT et HBT.

La vitesse de saturation des électrons est définie en fonction du champ électrique qui est appliqué au semi-conducteur. Cette caractéristique quantifie à la fois la capacité d'un semi-conducteur à travailler à de hautes fréquences tout en supportant de fortes puissances.

Enfin, la conductivité thermique est un facteur essentiel puisqu'elle favorise la dissipation de la chaleur dans le semi-conducteur. La robustesse de la technologie utilisée en est alors améliorée.

Pour mieux définir qualitativement les semi-conducteurs les mieux adaptés aux applications recherchées, la figure I.3 a été réalisée. Elle lie les caractéristiques de largeur de bande interdite, de mobilité des électrons et de conductivité thermique qui permettent de juger si le semi-conducteur est plus prédestiné aux applications de puissance, de fonctionnement aux très hautes fréquences et de tenue en puissance.

Il s'avère que le matériau qui présente de loin les meilleures potentialités en termes de puissance, de fréquence et de gestion thermique est le diamant. Il n'est pas utilisé dans les technologies RF du fait de son fort coût même si quelques travaux ont été réalisés en l'utilisant comme substrat sur des HEMT GaN [17]. Des travaux de recherche sont en cours pour la fabrication de diamant synthétique de grande qualité cristalline appliqués aux transistors à effet de champs HF. Le GaAs et l'InP présentent des potentialités très équivalentes et sont plutôt destinés aux applications très hautes fréquences. Le silicium est le semi-conducteur qui présente généralement les moins bonnes propriétés pour la génération de puissance haute fréquence, mais son faible coût et la maîtrise de sa fabrication lors de la réalisation de composants RF en font toujours un très bon candidat pour les applications de

puissance à basse fréquence. Notons que 98% des technologies à base de semi-conducteurs sont en silicium.

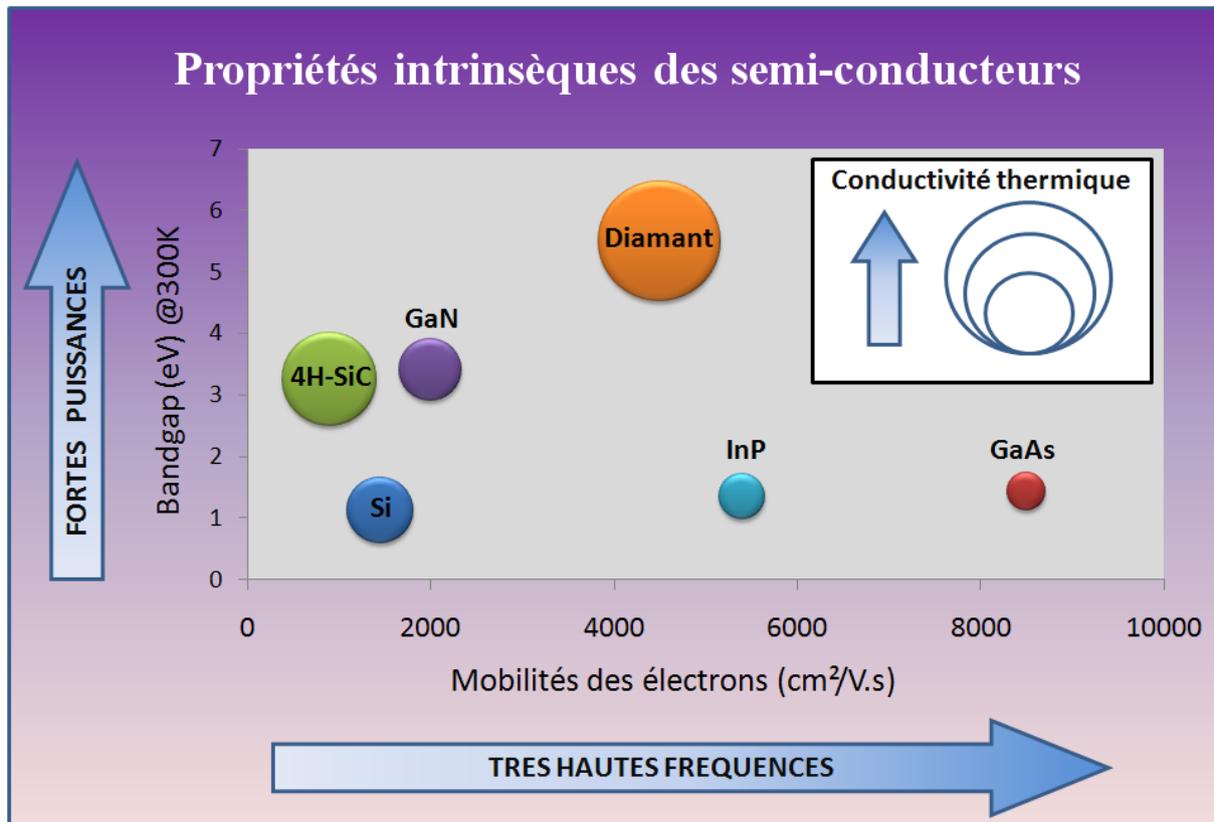


Figure I.3 : Evaluation des semi-conducteurs en fonction de leurs applications.

Comparé au silicium et à le GaAs, le GaN possède des qualités très supérieures en termes de densité de puissance. Le carbure de silicium présente des caractéristiques équivalentes au GaN avec cependant une meilleure gestion thermique. Mais les importants problèmes de pièges des transistors HEMT SiC ont conduit à son abandon. Néanmoins, en raison de son excellente conductivité thermique et de la difficulté à réaliser un substrat GaN massif, le SiC est utilisé comme substrat dans les transistors HEMT à couche active GaN. L'implémentation du GaN dans les transistors assure ainsi un saut technologique où des objectifs de miniaturisation, de très fortes densités puissances et de robustesse deviennent réalisables. En revanche, comme le GaN présente de fortes densités de puissance et une résistance thermique moyenne, l'application de fonctionnement haut rendement s'avèrera plus judicieux.

## II.2. Avantages des HEMT GaN pour l'amplification forte puissance en bande S.

### II.2.1. Les différentes technologies pour l'amplification de puissance en bande S.

#### II.2.1.1. *Les transistors bipolaires et HBT.*

##### II.2.1.1.1. Principe de fonctionnement [18].

Le transistor bipolaire (NPN) est composé de deux jonctions PN de structures verticales constituant ainsi un composant à trois électrodes que sont l'émetteur, la base et le collecteur. En mode d'amplification de puissance, les transistors HBT sont montés en émetteur commun tandis que les transistors bipolaires BJT sont montés en base commune en bande S au détriment du gain en puissance. L'idée du transistor bipolaire est d'injecter massivement des porteurs minoritaires dans la base via la jonction base/émetteur polarisée en direct ( $V_{be} > 0$ ). Les électrons arrivant dans la base, où les trous sont majoritaires, génèrent un courant de base très faible. Il est nécessaire que la largeur de la base soit la plus faible possible pour que les électrons arrivent le plus vite au niveau de la jonction base/collecteur, évitant ainsi un passage des trous de la base vers l'émetteur. Enfin, le niveau du champ électrique imposé sur la jonction base/collecteur ( $V_{bc} < 0$ ) va permettre aux électrons de franchir cette barrière et générer un fort courant de collecteur  $I_c$ . En résumé, un contrôle de tension  $V_{be}$  permet de contrôler un fort courant au niveau du collecteur. Une coupe d'un transistor HBT est présentée sur la figure I.4.

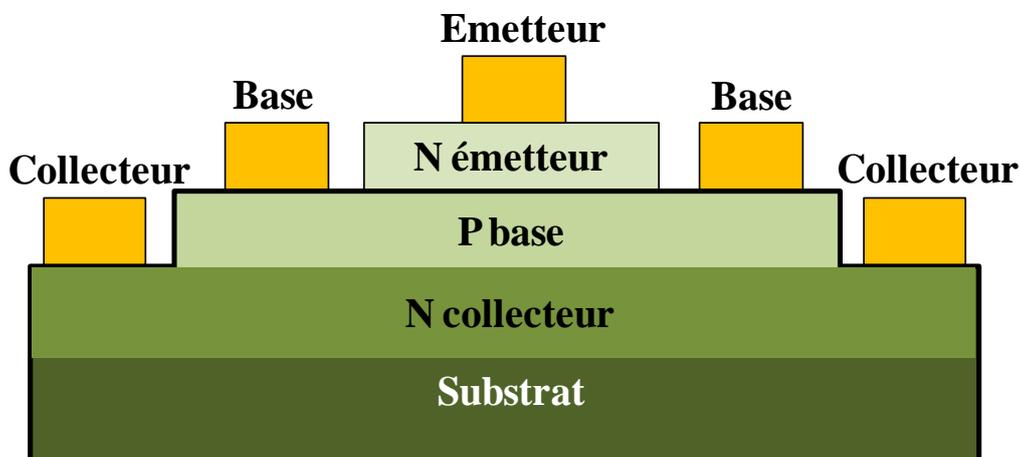


Figure I.4 : coupe d'un transistor HBT.

La principale caractéristique des performances d'un transistor bipolaire est le gain en courant  $\beta$ . Pour améliorer ce gain, l'utilisation d'un deuxième semi-conducteur au niveau de l'émetteur permet de créer une hétérojonction donnant naissance au HBT (transistor bipolaire à hétérojonction). En élevant le niveau de la bande de valence, le passage des trous de la base vers l'émetteur est amorti, ce qui permet d'obtenir un courant de base plus faible, donc un meilleur gain. Il est alors possible de doper plus fortement la base et de diminuer sa largeur tout en gardant un contrôle de courant convenable.

#### II.2.1.1.2. Leurs performances.

Le transistor bipolaire sur silicium est couramment utilisé pour l'amplification de puissance en bande S. Ses principaux avantages sont sa fiabilité, sa maîtrise de fabrication et son faible coût. Il est cependant limité en gain et fréquence mais fournit tout de même de bonnes performances en bande S. Des solutions commercialisées [19] proposent des transistors bipolaires Si en boîtier destinés aux applications radar, fournissant 100 W et 8 dB de gain en puissance.

Des HBT SiGe/Si ont été étudiés pour répondre au besoin de l'amplification de puissance en bande S. En 1996, Potyraj [20] démontra que de meilleures performances peuvent être obtenues en termes de puissance et de rendement par rapport au transistor bipolaire Si. Ce HBT SiGe présente ainsi 230 W à 2.8 GHz associé à un rendement de collecteur de 45% (environ 30 à 35% de PAE) mais pour un gain en puissance de seulement 6.6 dB. Cette technologie ne connut pas d'essor pour les applications radar bande S. Elle fut plutôt destinée aux applications de téléphonie mobile où de très bons rendements peuvent être obtenus pour des puissances de sortie de quelques watts.

Les HBT GaAs ont également été introduits pour répondre aux besoins d'amplification de puissance en bande S. La filière HB20S développée par UMS a conduit à la réalisation d'un amplificateur [21] fournissant 30 W, 50% de PAE et 10 dB de gain en puissance disponible à 2.9 GHz. En dehors des travaux publiés, cette technologie a démontré 55% de PAE en bande S. Bien que cette technologie présente de meilleures potentialités que le BJT Si, ses inconvénients liés aux instabilités et aux très faibles impédances d'entrée ne lui ont pas permis de remplacer le BJT Si dans le commerce. De plus, le contrôle et la régulation de la tension base-émetteur reste un sujet très délicat dans un contexte d'application

industriel. Le HBT GaAs forte tension est en revanche bien plus utilisé dans la téléphonie mobile.

Enfin, des HBT à base de carbure de silicium ont été étudiés sans toutefois répondre favorablement aux besoins des applications radar [22]. Leur faible fréquence de transition les destine à des applications inférieures à la bande S. Des transistors HBT GaN offrant de bonnes potentialités sont également étudiés depuis quelques années [23] mais ne sont pas mis en avant du fait de la forte concurrence qu'imposent le LDMOS et le HEMT GaN.

### *II.2.1.2. Le transistor LDMOS Si.*

#### II.2.1.2.1. Principe de fonctionnement.

Le fonctionnement du LDMOS (Laterally diffused Metal Oxide Semiconductor) repose sur le principe de fonctionnement des transistors FET [24]. Contrairement au transistor bipolaire, leurs structures sont horizontales et ne possèdent qu'un type de porteur. Une tension appliquée sur la grille permet de générer un flux de courant dans le canal.

Le fonctionnement du LDMOS est semblable à celui du MOSFET. Une capacité CMOS est créée entre la grille et le substrat. Lorsqu'on lui applique une tension positive, les électrons du substrat sont attirés en surface pour former le canal. Lorsque la tension  $V_{ds}$  est ensuite appliquée, un flux d'électrons est généré donnant naissance au courant  $I_{ds}$ .

Le LDMOS est un MOSFET amélioré puisqu'il comporte un accès source/masse réalisé par un puits dopé P permettant de réduire les effets inductifs ou capacitifs réalisés par une jonction externe. De plus, une zone dopée P est également ajoutée au dessus du substrat pour générer le principe de double diffusion. Enfin, la grille est décalée de façon à allonger la distance drain grille dans le but de polariser le transistor à de plus fortes tensions. L'inconvénient est que cet allongement tend à réduire la possibilité de fonctionner à de très haute fréquence. Son utilisation se limite à des applications inférieures à la bande C. Une coupe du transistor LDMOS est présentée figure I.5.

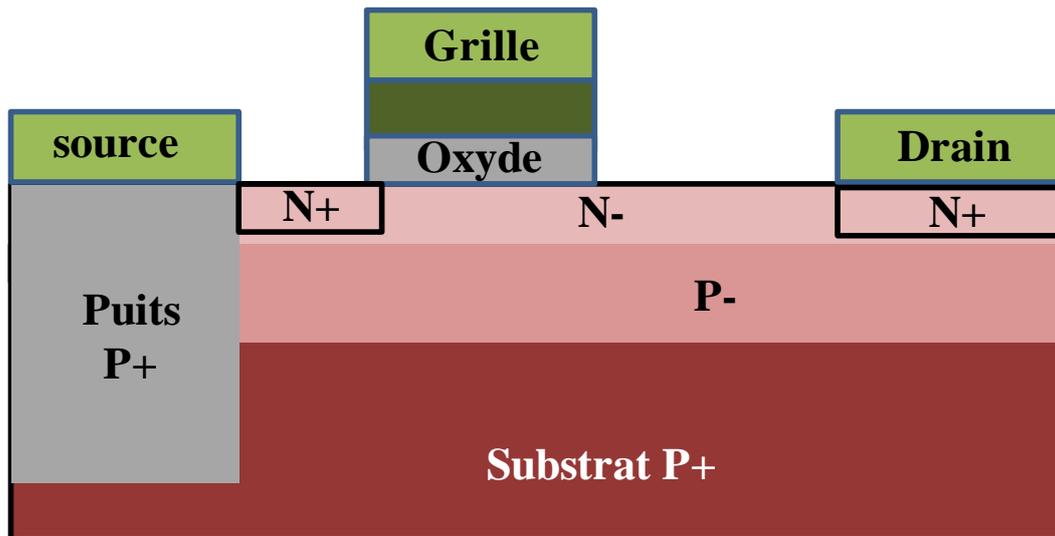


Figure I.5 : coupe d'un transistor LDMOS.

#### II.2.1.2.2. Ses performances.

Le LDMOS est le composant le plus implanté en bande S. Sa fiabilité de processus de fabrication et son faible coût en font un candidat très attractif en bande S pour les applications radar. De plus, ses performances sont nettement supérieures aux transistors bipolaires à base de silicium comme le démontre NXP en comparant leurs propres filières [25]. Sur la bande [2.7-3.1] GHz, leur 6<sup>ème</sup> génération de LDMOS fournit en moyenne 10 points de PAE et 5 dB de gain en puissance de plus que le BJT Si pour des puissances de 100 W. En effet, le transistor LDMOS est capable de présenter un rendement de drain compris entre 45% et 55% associé à un gain en puissance supérieur à 13.5 dB sur 400MHz de bande passante.

En résumé, le transistor LDMOS fournit de très fortes puissances et de très bons gains en bande S. Les transistors LDMOS peuvent dépasser aujourd'hui 200 W crête de puissance de sortie. Leurs rendements sont meilleurs que ceux des BJT Si mais ils restent du même ordre de grandeur que ceux des HBT. Le principal inconvénient des LDMOS est sa limitation en fréquence bien que Freescale propose aujourd'hui des composants [26] jusqu'à 3.8GHz.

#### *II.2.1.3. Le transistor HEMT GaN.*

##### II.2.1.3.1. Principe de l'hétérojonction.

La différence entre un transistor à effet de champ classique et le HEMT réside dans le principe même du contrôle du courant dans le canal [27]. En effet, pour des FET classiques, la

polarisation  $V_{gs}$  permet le contrôle de la section de canal disponible pour la conduction, alors que dans le cas de transistors FET à hétérojonction, le champ  $V_{gs}$  permet le contrôle d'un gaz d'électrons situé dans une zone non dopée créée par cette hétérojonction.

Lorsque deux matériaux de bande interdite différente sont joints, leurs niveaux de Fermi s'alignent, ce qui génère une discontinuité au niveau de leur bande de conduction. Des électrons se retrouvent alors piégés à la frontière entre les deux matériaux, du côté du matériau à bande interdite plus faible. La bande de conduction plus élevée de l'autre matériau empêche le passage des électrons. Cette zone de confinement forme alors le canal non dopé et donc à forte mobilité. Une tension appliquée à la grille permet alors de moduler le gaz d'électrons et donc de contrôler le courant circulant entre le drain et la source. Le fait de contrôler un gaz d'électrons permet également d'accélérer son flux et par conséquent de travailler à des fréquences plus hautes par rapport à un FET classique. Une coupe d'un transistor HEMT GaN est présentée figure I.6.

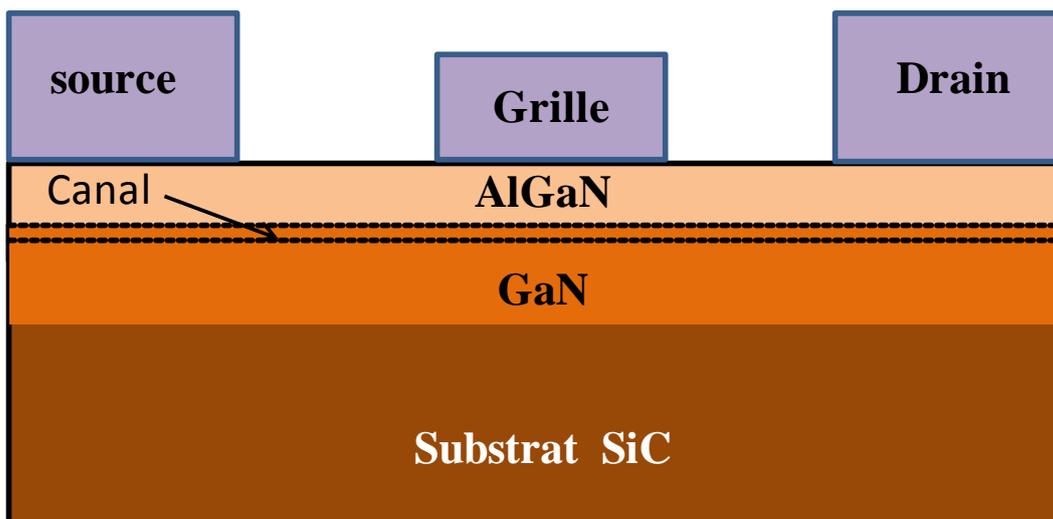


Figure I.6 : coupe d'un transistor HEMT GaN.

#### II.2.1.3.2. Leurs performances.

Les années 2000 ont vu se succéder un nombre très important de publications en technologie HEMT GaN. La recherche permanente de l'état de l'art a conduit à une concurrence très importante entre les différents laboratoires et fonderies à travers le monde. L'état de l'art en densité de puissance réalisée sur une puce date de 2004. Wu [28] a démontré qu'une seule puce GaN pouvait supporter 32W/mm (8 W de puissance de sortie)

avec une polarisation de drain de 120 V à 4 GHz. Le gain en puissance associé est de 14 dB et la PAE est de 54%. C'est l'une des publications GaN les plus citées aujourd'hui avec 555 citations (25/07/2011).

En 2007, pour une polarisation de drain de 40 V et un fonctionnement classe F, Schmelzer [29] dépassa 80% de PAE à 2 GHz, associés à une puissance de sortie de 16 W et un gain en puissance de 13.5 dB. Les montées en puissance se succédèrent également pour atteindre un maximum de 1 kW crête [30] en 2007 en utilisant 4 transistors Eudyna de 36 mm de développement polarisés sous 80 V. Le rendement de drain associé est de 50% et le gain en puissance est de 10 dB. De nombreux démonstrateurs ont été réalisés en bande S pour les applications radars où des compromis bande passante, rendement et puissance de sortie sont recherchés.

Le transistor HEMT GaN présente de très bonnes potentialités pour répondre aux applications radars. Cette technologie est capable de fournir les plus fortes densités de puissance, de très bons rendements et gains en puissance, ainsi que des impédances d'entrée et de sortie plus élevées que les autres technologies. La gestion en thermique est favorisée par l'utilisation du carbure de silicium comme substrat. Les principales inconvénients de cette nouvelle technologie se situent au niveau de la fiabilité des composants [31] et des pièges [32] même si les études menées aujourd'hui laissent entrevoir un bon avenir concernant la fiabilité des dispositifs et la suppression des pièges. Enfin, la technologie GaN offre une très bonne robustesse vis-à-vis des variations de très forts TOS que peuvent générer les antennes actives.

#### *II.2.1.4. Les autres technologies.*

Des démonstrateurs utilisant d'autres technologies ont également été réalisés en bande S. Un SiC MESFET [33] a fourni 80 W CW à 3.1 GHz associés à une PAE de 38% et un gain en puissance de 7.6 dB pour une polarisation de drain de 58 V. Des travaux sont toujours réalisés aujourd'hui sur les SiC MESFET notamment dans le but de travailler à de plus hautes fréquences [34], supérieures à la bande S.

Le MESFET GaAs est une autre technologie offrant de bonnes potentialités pour l'amplification de puissance en bande S. Les publications sont cependant rares pour des applications radars. En revanche, cette technologie est très utilisée dans les stations de base à

2.1GHz. Ainsi un montage push-pull utilisant deux HFET GaAs fournit 320 W, 10 dB de gain en puissance et un rendement de drain de 50% pour une polarisation de drain de 28 V [35].

### II.2.2. Comparaison qualitative du HEMT GaN avec les autres technologies.

Il est très difficile de comparer les performances de différentes technologies entre elles. En effet, en fonction de l'application et des critères de performances recherchés, une technologie peut être tout à fait adaptée dans un cas et être inadaptée dans d'autres circonstances. De nombreuses comparaisons ont déjà été menées en bande S, mais elles concernent plus particulièrement les applications de téléphonie mobile et de stations de base.

Des comparaisons entre le HEMT GaN et le LDMOS [36] [37] ont été réalisées pour les applications de station de base. Il s'avère que le HEMT GaN présente de meilleures performances en termes de rendement et de puissance de sortie. En revanche, le LDMOS s'avère moins onéreux. A 2 GHz, le FET GaAs présente de meilleures puissances de sortie que le LDMOS pour des rendements en puissance ajoutée équivalents [38]. Enfin, une des rares comparaisons réalisées pour les applications radars a été menée par NXP sur leurs propres filières [25]. Il s'avère que le LDMOS présente de meilleurs gains en puissance, rendements et puissances de sortie que le transistor bipolaire sur silicium Si BJT.

La figure I.7 présente une évaluation des potentialités des différentes technologies pour les applications radars en bande S. Les informations ont été recueillies chez les principaux fabricants [39] [40] [41] [42] [43] [44] [45]. Le Si BJT, Si LDMOS, HEMT GaN et les technologies à base de GaAs (FET et HBT ont des performances équivalentes) sont ainsi qualitativement comparés. La comparaison est effectuée pour des technologies fonctionnant autour de 3 GHz, capables de fournir des puissances crêtes de sortie supérieures à 100 W. Les performances associées sont recueillies et la comparaison est effectuée en normalisant les résultats par rapport à la meilleure performance.

Le HEMT GaN présente les meilleures performances sur cinq critères présentant un très fort intérêt pour les applications radar en bande S. Cette technologie fournit à la fois de très fortes puissances (et densités de puissance), de très forts gains et rendements tout en étant capable de supporter de hautes températures. Les impédances présentées par le HEMT GaN sont nettement supérieures aux autres technologies, ce qui est un avantage considérable lors

de la conception des amplificateurs de puissance. Son principal désavantage est son coût qui est pour le moment supérieur à celui des autres technologies du fait des forts coûts de réalisation de la couche active GaN.

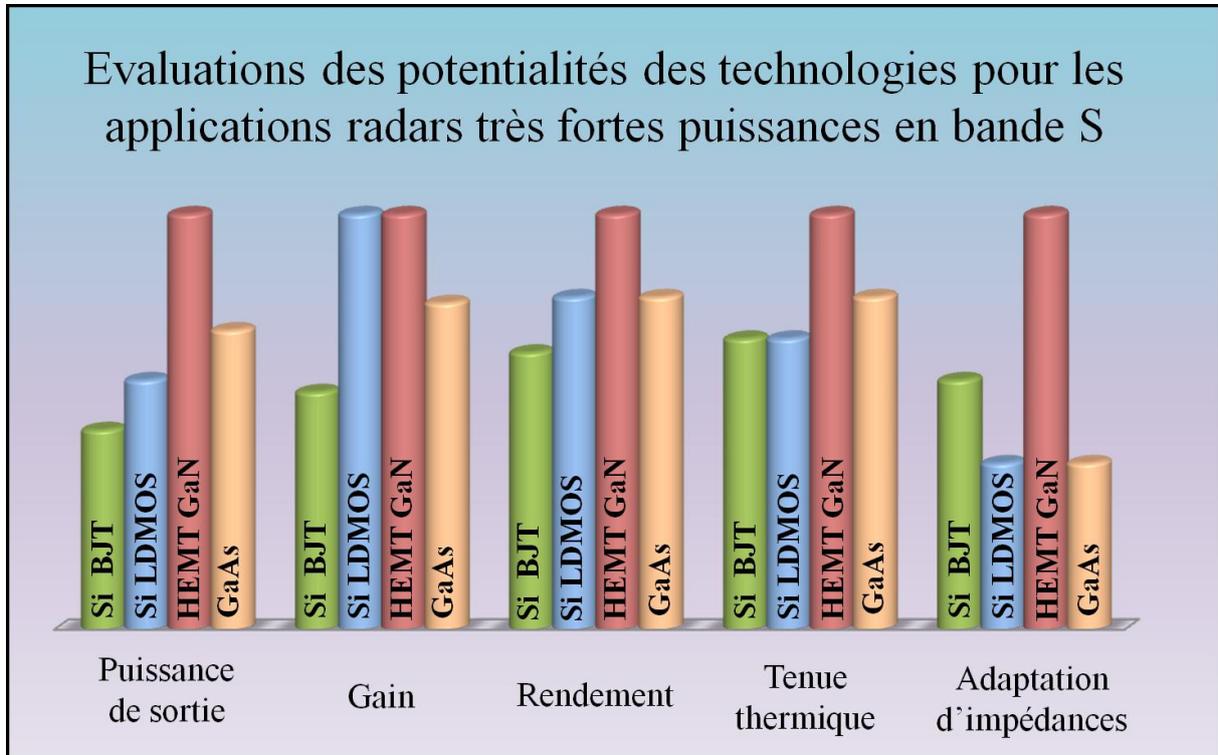


Figure I.7 : Evaluations des différentes technologies pour les applications radars en bande S.

Le LDMOS Si est le principal concurrent du GaN. Même si ses potentialités en termes de densité de puissance sont plus faibles, son gain en puissance et son rendement sont semblables à ceux du HEMT GaN. Ses principaux avantages sont son faible coût de réalisation, sa maturité et sa fiabilité. Son inconvénient réside dans le fait qu'il soit difficile à adapter de par les très faibles impédances qu'il présente. Il est alors moins propice à l'adaptation large bande. Son utilisation est limitée en fréquence à la bande S.

Le BJT Si présente les moins bonnes performances mais il est tout de même capable de fournir des puissances de l'ordre de 100 W. Comme pour le LDMOS, son faible coût et sa fiabilité font qu'il est toujours très implanté dans le commerce.

Enfin, les technologies à base de GaAs (FET ou HBT) présentent de très bonnes potentialités pour les applications radars mais la forte concurrence établie par les trois autres technologies les ont destinées aux applications de téléphonie et de stations de base.

### II.2.3. Comparaison des composants commercialisés destinés aux applications radars en bande S.

Le tableau suivant établit une comparaison entre les solutions de transistors en boîtier commercialisés, fournissant des puissances de sortie crêtes supérieures à 100 W. Ces données sont issues des spécifications des constructeurs.

Les principaux acteurs du LDMOS sont NXP et Freescale. Le marché des HEMT GaN est essentiellement dominé par CREE aux Etats-Unis et plus récemment par RFMD et Triquint. Les acteurs du GaN asiatique sont Eudyna (Sumitomo) et Mitsubishi. En Europe, UMS s'apprête à commercialiser des composants GaN.

Fabricants Références	Bande de fréquence [GHz]	Pout [W]	Gain [dB]	$\eta$ [%] drain / collecteur	Vds / Vcc [V]	Impulsion
<b>Transistor HEMT GaN</b>						
CREE [39] CGH35240F	3.1 - 3.3	240	11.6	57	28	300 $\mu$ s / 20%
Eudyna [40] EGN35A180IV	3.4 - 3.6	180	12	50	50	-
Integra [41] IGN2735M250	2.7 - 3.5	250	10	55	32	300 $\mu$ s / 10%
RFMD [42] RF3928	2.8 - 3.4	280	12	52	50	100 $\mu$ s / 10%
<b>Transistor LDMOS Si</b>						
Freescale [43] MRF7S35120HS	3.1 - 3.3	120	12	40	32	100 $\mu$ s / 20%
Integra [41] ILD3135M120	3.1 - 3.5	160	10.5	41	32	300 $\mu$ s / 10%
NXP [44] BLS7G2933S-150	2.9 - 3.3	150	13.5	47	32	300 $\mu$ s / 10%
<b>Transistor Bipolaire Si</b>						
Integra [41] IB2934M100	2.9 - 3.4	100	9 - 10	50	36	100 $\mu$ s / 10%
Microsemi [45] 3134-180P	3.1 - 3.4	180	8.6	45	36	100 $\mu$ s / 10%
NXP [44] BLS2731-110	2.7 - 3.1	110	7 - 8	35 - 42	40	100 $\mu$ s / 10%

Tableau I.2 : Comparaison des technologies de transistors en boîtier commercialisés.

En ce qui concerne les performances, les LDMOS Si et les HEMT GaN sont assez équivalents même si de meilleurs rendements en ouissance sont obtenus pour les HEMT GaN.

### III. Application des classes de fonctionnement haut rendement aux HEMTs GaN.

#### III.1. Bilan de puissance et équations.

Les performances haut rendement d'un transistor s'obtiennent en s'efforçant de minimiser sa puissance dissipée. Pour y parvenir, trois critères doivent être pris en compte. Le premier consiste à placer le transistor dans des conditions optimales de polarisation DC. Le deuxième critère est la gestion des signaux aux fréquences harmoniques qui permet de diminuer le temps de coexistence entre le courant et la tension RF. Ces deux premiers points se réfèrent aux classes de fonctionnement sinusoïdales et haut rendement [46]. Le troisième critère est évidemment la technologie utilisée. Elle doit présenter certaines caractéristiques électriques nécessaires pour obtenir un fonctionnement haut rendement.

La figure I.8 illustre les équations générales des bilans de puissance.

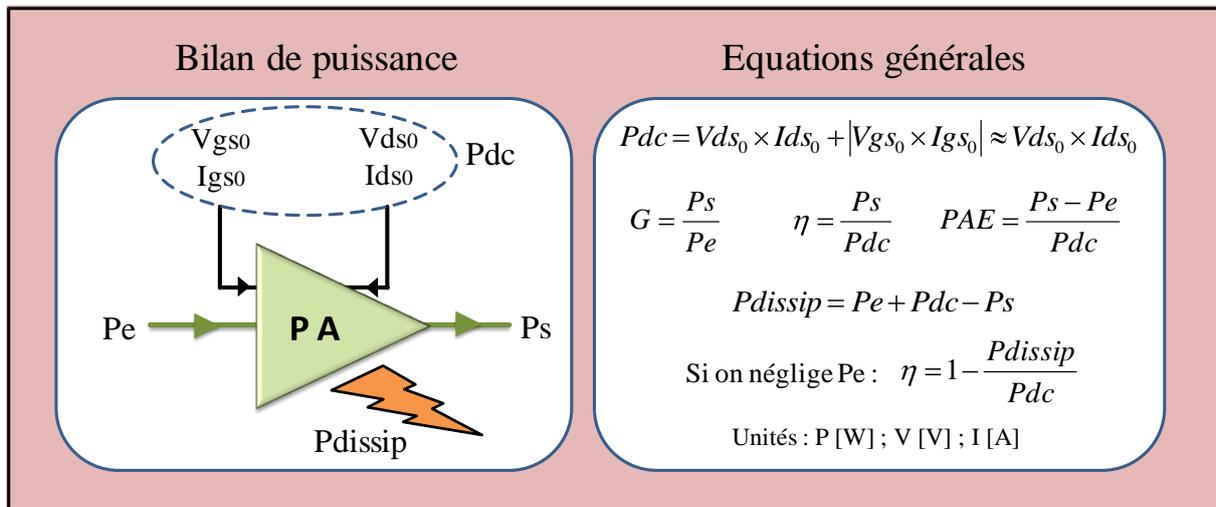


Figure I.8 : Equations générales des bilans de puissance.

En tenant compte des trois premières fréquences harmoniques, l'équation de la puissance dissipée s'écrit de la manière suivante :

$$Pdissip = Pe + Pdc + \frac{1}{T} \int_0^T \sum_{n=1}^3 (Vds_n(n\omega t + \varphi_n) \times Ids_n \cos(n\omega t + \psi_n)) dt \quad (I.1)$$

### III.2. Classes de fonctionnement sinusoïdales.

Pour les classes de fonctionnement classiques, dites sinusoïdales, une première étude de tendance peut être réalisée en ne considérant que la fréquence fondamentale. Dans ce cadre de cette hypothèse et avec une adaptation de charge idéale qui ramène un déphasage de  $180^\circ$  entre la tension et le courant comme l'illustre la figure I.9, l'équation de la puissance dissipée (I.1) peut être simplifiée sous la forme suivante :

$$P_{dissip} = P_e + (V_{ds_0} \times I_{ds_0}) - \left( \frac{V_{ds_1} \times I_{ds_1}}{2} \right) \quad (I.2)$$

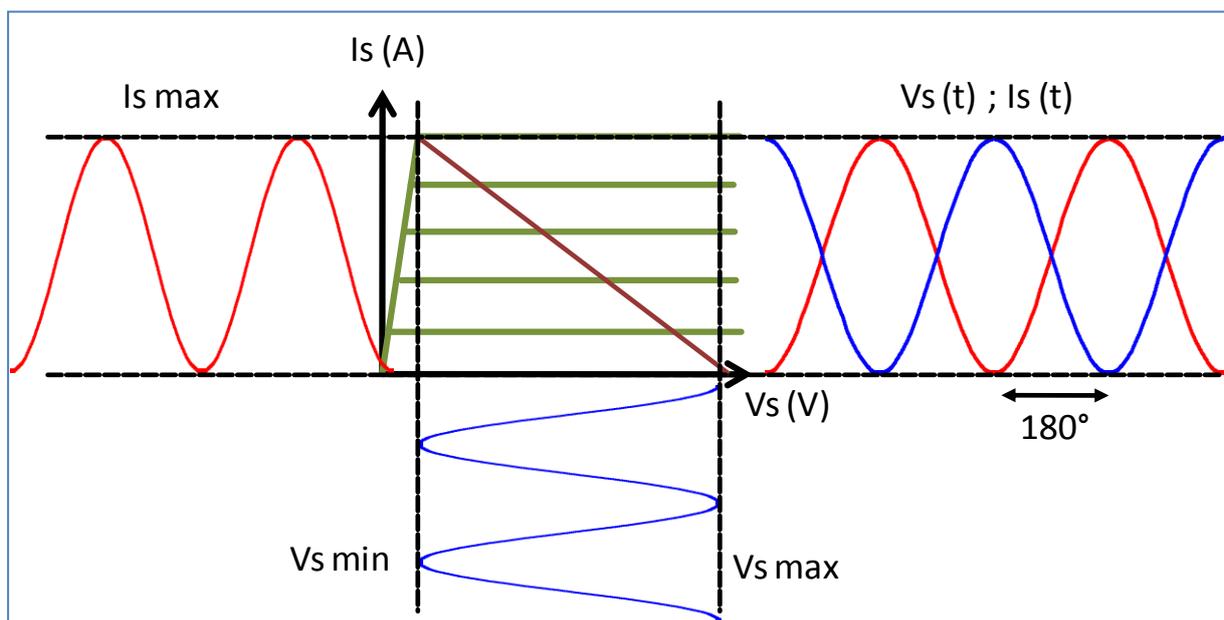


Figure I.9 : Equations générales des bilans de puissance.

En fonction du courant de repos qui est appliqué au transistor, le temps de coexistence  $t$  entre la tension et le courant de drain intrinsèque évolue. Ce temps de coexistence  $t$  est relatif à un angle d'ouverture  $\theta$ , défini par  $\theta = (t \times T) \times 360$  où  $T$  est la période. Ainsi, les classes de fonctionnement sinusoïdales sont définies en fonction de cet angle d'ouverture  $\theta$ . Pour la classe A, l'angle d'ouverture est de  $360^\circ$ , soit une période complète, ce qui génère un rendement maximum de 50%. En appliquant un courant de repos nul, l'angle d'ouverture n'est plus que de  $180^\circ$  (une demi-période) et le rendement atteint alors 78.5%. Il s'agit dans ce cas de la classe B. La classe AB est intermédiaire à la classe A et B. Son angle d'ouverture est alors compris entre  $360^\circ$  et  $180^\circ$ , ce qui génèrera des rendements maximums compris entre 50% et 78.5%. La classe C consiste à polariser le transistor de manière à ce que l'angle

d'ouverture soit inférieur à  $180^\circ$ . Des rendements supérieurs à 78.5% sont envisageables mais au détriment de la puissance de sortie. La figure I.10 illustre l'évolution de la puissance dissipée en fonction du courant moyen continu  $I_{ds0}$ .

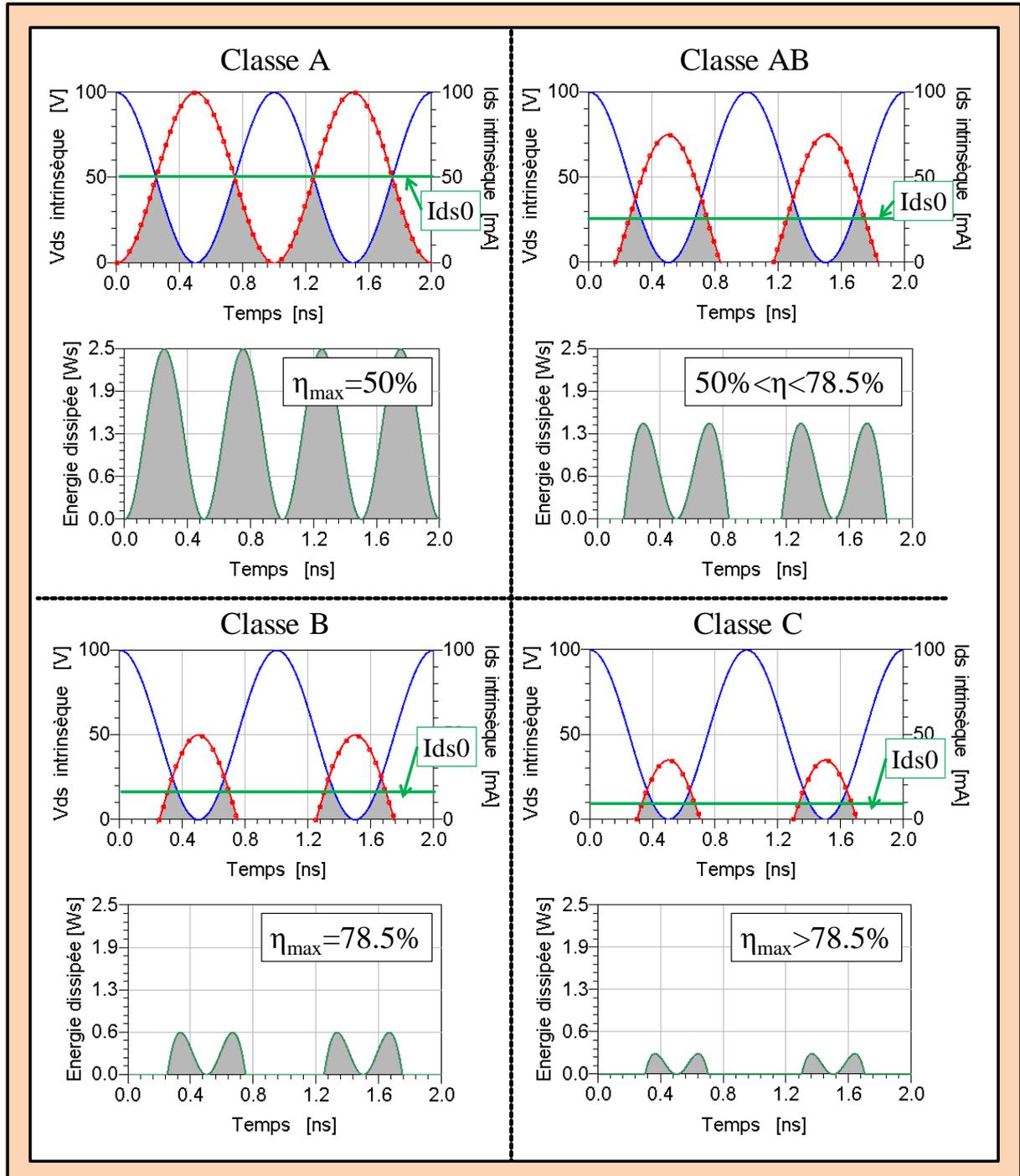


Figure I.10 : Evolution de la puissance dissipée et du rendement en fonction de la classe de fonctionnement appliquée.

La puissance dissipée est directement liée au produit ( $V_{ds}(t) \cdot I_{ds}(t)$ ) donc à l'angle d'ouverture  $\theta$ . En diminuant le courant continu moyen, donc le courant de repos,  $I_{ds0}$  diminue de façon plus significative qu' $I_{ds1}$ . Il en résulte une réduction de la puissance dissipée et donc une augmentation du rendement. En revanche, les puissances de sortie fournies à la charge seront plus faibles que pour un fonctionnement classe A.

### **III.3. Classes de fonctionnement haut rendement.**

Le principe des classes de fonctionnement haut rendement est, comme pour les classes sinusoïdales (A, AB, B et C) de diminuer la période de coexistence entre la tension et le courant de drain. La différence avec les autres classes de fonctionnement réside dans la méthodologie appliquée pour y parvenir et dans le fait que les fréquences harmoniques sont prises en compte.

La contribution des composantes harmoniques modifie les formes d'ondes temporelles ainsi que leur dérivée. Ainsi, l'optimisation de ces formes d'onde temporelle conduira à réduire l'angle d'ouverture et par conséquent à augmenter le rendement. En effet, la suppression des composantes harmoniques de tension et courants permet d'obtenir des formes d'onde temporelles propices à une réduction de l'angle d'ouverture. Selon la décomposition d'un signal en série de Fourier, une suppression des composantes paires d'un signal génère une forme d'onde quasi-carrée. Si les composantes impaires d'un signal sont supprimées, il en résulte une forme d'onde en calotte sinusoïdale. La suppression de ces composantes harmoniques s'effectue en présentant un court circuit ou un circuit ouvert aux bornes de la source de courant aux fréquences harmoniques souhaitées. Ainsi les composantes harmoniques en tension (CC) et en courant (CO) sont annulées.

La figure I.11 illustre les différentes possibilités de préformation des ondes de tension et de courant pour des configurations aux trois premiers harmoniques. Une prise en compte d'un nombre supérieur de composantes harmoniques ne générerait pas d'augmentation significative de rendement.

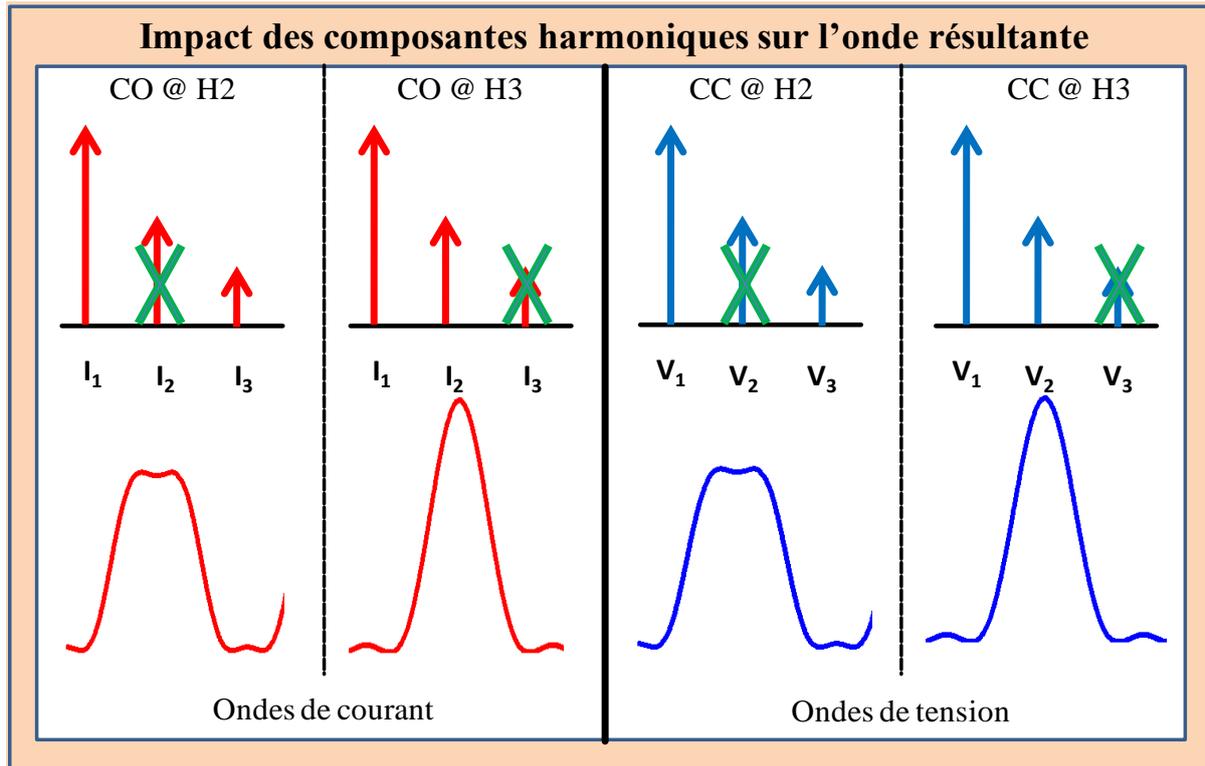


Figure I.11 : Impact des suppressions des composantes harmoniques sur les ondes tension courant.

Les classes de fonctionnement à haut rendement sont ainsi obtenues par optimisation des conditions de fermeture aux fréquences harmoniques hormis, la classe E qui propose une réduction du temps de coexistence de la tension et du courant en générant un réseau de sortie propice à un fonctionnement en commutation du transistor.

La figure I.12 illustre les formes d'ondes de tensions et de courants et l'évolution de leur puissance dissipée pour les classes (F,  $F^{-1}$ , E et J). Ces quatre classes sont décrites dans la section suivante. Les classes de fonctionnement haut rendement sont généralement obtenues en polarisant le transistor en classe AB profonde ou en classe B. Les illustrations de cette figure sont présentées lorsque le transistor est pincé (polarisation en classe B).

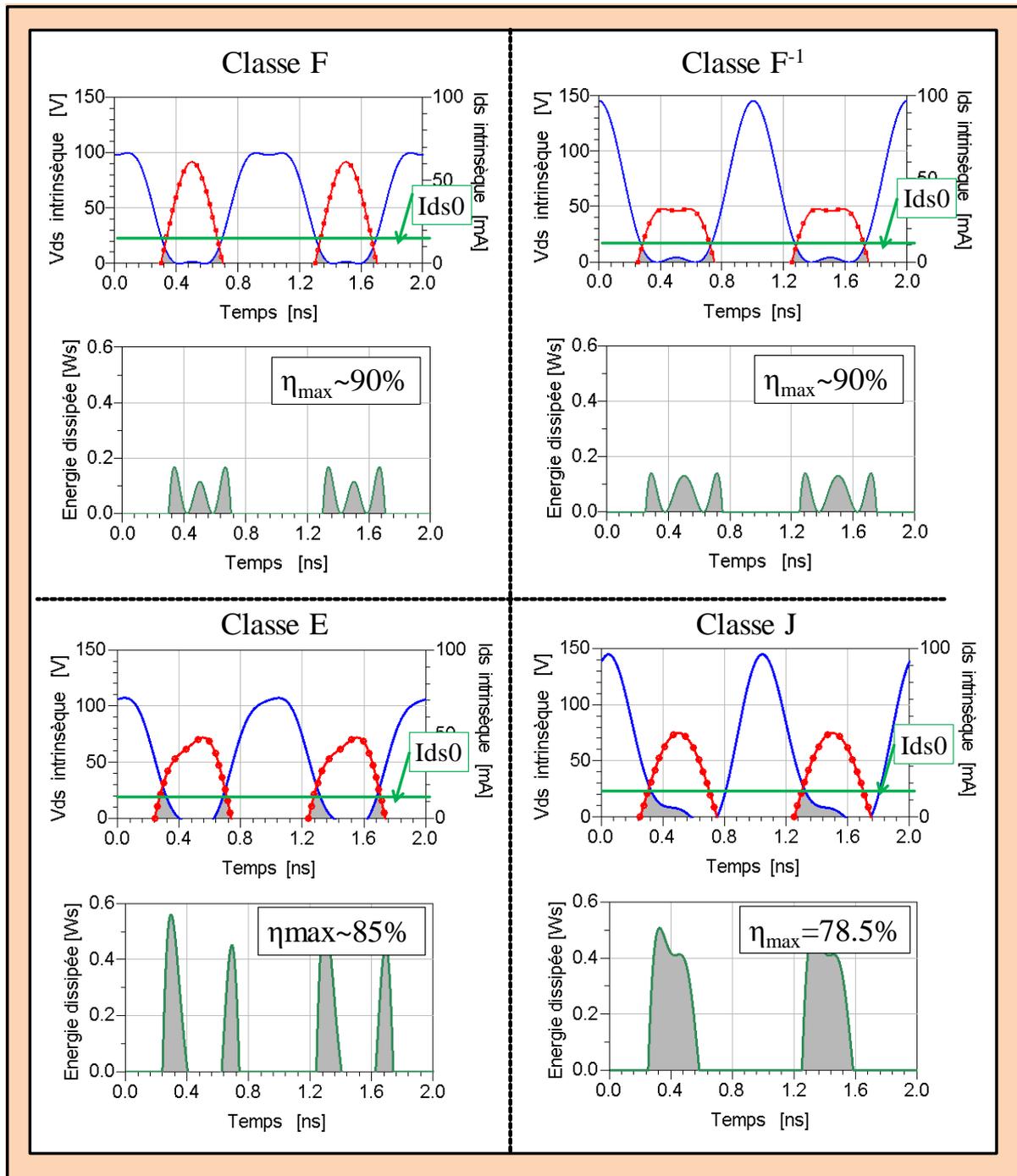


Figure I.12 : formes d'ondes de tension et de courant associées aux classes haut rendement considérant les trois premiers harmoniques.

### III.3.1. Les classes F et F inverse.

La classe F [46] [47] s'obtient en présentant un court circuit à l'harmonique 2 en sortie pour préformer l'onde de tension de manière quasi-carrée. Un courant de forme quasi demi-sinusoïdale est généré en présentant un circuit ouvert à l'harmonique 3.

La classe F inverse [46] [47] est la classe duale de la classe F. Le circuit ouvert est présenté à l'harmonique 2 et le court circuit à l'harmonique 3. Les formes d'ondes qui en résultent sont un courant quasi-carré et une tension demi-sinusoïdale.

De très bonnes performances ont été obtenues lors de la réalisation d'amplificateurs en bande S en technologie HEMT GaN. A titre d'exemple, Schmelzer [29] a présenté 85% de PAE à 2 GHz en fonctionnement classe F et Saad [48] a obtenu 78% de PAE à 3.5 GHz en classe F inverse.

Les architectures utilisées pour réaliser de telles adaptations sont des circuits résonants et des stubs ( $\lambda/4$ ) qui limitent fortement la bande passante. Ces classes de fonctionnement s'obtiennent également en ayant une connaissance parfaite des caractéristiques extrinsèques de la puce. Ils doivent être pris en compte lors de la réalisation du design de sortie car le court circuit et le circuit ouvert doivent être présentés dans les plans de la source de courant.

### III.3.2. La classe E.

L'obtention d'une classe E ne réside pas dans le contrôle de ces impédances aux fréquences harmoniques. Cette classe de fonctionnement a été introduite en 1975 [49]. Le transistor est utilisé comme un interrupteur. Pendant que le transistor conduit, la tension  $V_{ds}(t)$  est nulle et le courant  $I_{ds}(t)$  circule dans le transistor. Lorsque le transistor est bloqué, le courant  $I_{ds}(t)$  devient nul et la tension  $V_{ds}(t)$  apparaît. Un réseau de charge RLC série est alors calculé de manière à obtenir la meilleure commutation entre le courant et la tension ainsi qu'une bonne adaptation à la fréquence fondamentale. Ce réseau présentant de très fortes impédances aux fréquences harmoniques, la forme du courant reste quasi sinusoïdale. La forme de la tension est directement liée à la valeur de la capacité parasite  $C_{ds}$ .

En 2006, Sheppard [50] a réalisé un amplificateur présentant 85% de PAE à 2 GHz. Cette classe est cependant limitée aux applications jusqu'à la bande C. Le temps de

commutation du transistor est fortement liée et la valeur de la capacité  $C_{gs}$ . La montée en fréquence est elle limitée par la valeur de la capacité  $C_{ds}$  qui doit être la plus faible possible.

### III.3.3. La classe J.

La classe J a été énoncée pour la première fois par Cripps en 2006 [46]. Elle propose d'atteindre les mêmes rendements que la classe B même si des études complémentaires ont proposé des rendements supérieurs à 80% [51].

Le principal avantage de cette classe de fonctionnement est qu'elle affiche de très bonnes potentialités d'adaptation sur de larges bandes passantes. Contrairement aux classes E, F et F inverse qui utilisent des circuits d'adaptation résonants, donc très sélectifs, le contrôle des impédances aux fréquences harmoniques est obtenu en utilisant une charge capacitive précédée d'une ligne de transmission. Cet étage présente alors une fonction de filtre passe bas dont le rôle est d'atténuer les composantes harmoniques sans pour autant spécifier leur terminaison. Le filtrage doit également prendre en compte la capacité  $C_{ds}$  pour parvenir à réaliser la meilleure combinaison d'ondes de tension et de courant dans les plans de la source de courant. Enfin, le circuit est fermé par une charge complexe. La figure I.13 illustre le schéma de principe.

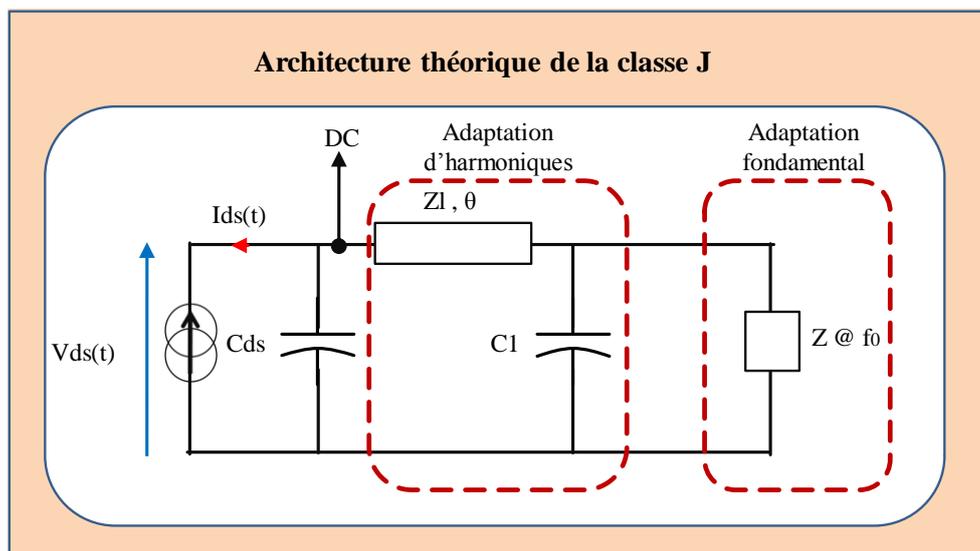


Figure I.13 : Schéma de principe de la classe J.

La valeur de la capacité  $C1$  permet de régler le niveau de filtrage. Ce filtre harmonique doit être passant à la fréquence fondamentale et partiellement filtrant à l'harmonique 2.

N'étant pas contrôlée idéalement comme c'est le cas pour les classes E, F ou F inverse, la tension va subir un décalage temporel qui va augmenter le temps de conduction. Ceci explique pourquoi le rendement théorique énoncé ne dépasse pas les 78.5% même si les ondes de tension et de courant sont partiellement préformées de manière à réduire leur temps de coexistence.

Par exemple, pour obtenir une forme de tension demi-sinusoïdale, les composantes fondamentale (H1) et double (H2) doivent être en phase. Si la phase de l'une de leur composante est différente, la forme d'onde temporelle résultant de ces deux composantes se décale. La figure I.14 illustre ce phénomène et présente une comparaison entre la tension résultant d'une classe F inverse et d'une classe J (dans un cas précis).

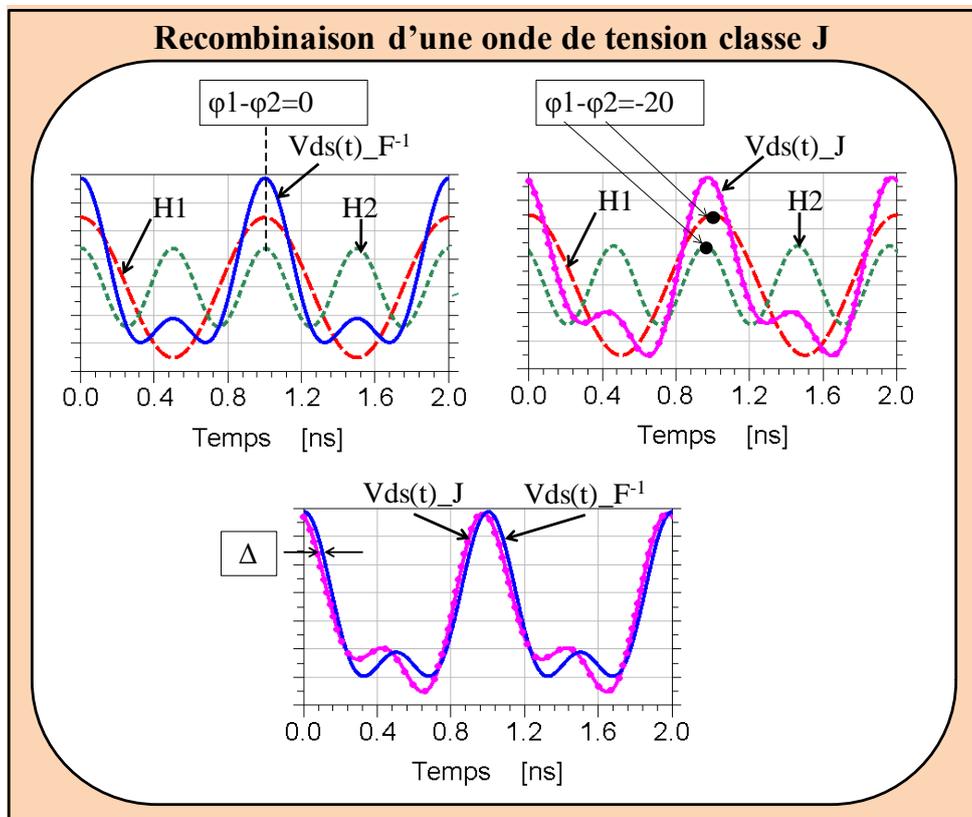


Figure I.14 : Exemple d'une recombinaison de l'onde de tension pour une classe J.

Le principe de cette classe de fonctionnement est apparu très récemment et a même évolué depuis, surtout au niveau de la prise en compte des non linéarités que la capacité de sortie peut amener [52].

En 2009, Wright [53] a réalisé un amplificateur de puissance présentant un rendement de drain de 60% sur la bande [1.4-2.6] GHz. Récemment, Tuffy [54] a obtenu une PAE

supérieure à 58% associée à une puissance de sortie de 10 watts sur la bande [2.3-2.7] GHz. A ce jour et à notre connaissance, aucun amplificateur de puissance appliquant cette méthodologie n'a été réalisée pour des composants à plus forts développements.

### III.4. Avantages du HEMT GaN pour le fonctionnement haut rendement.

Le principal avantage de la technologie HEMT GaN permettant d'obtenir de hauts rendements réside dans la valeur de sa résistance  $R_{on}$ . A l'état ON, le transistor présente une résistance parasite qui est fonction de  $V_{ds}$  et  $I_{ds}$ , appelée également zone ohmique. A fort signal, cette zone empêche l'excursion maximale de la tension  $V_{ds}$  qui prend alors la tension  $V_k$  (tension de coude) comme valeur minimale. L'angle d'ouverture entre la tension et le courant est toujours le même mais l'énergie consommée est plus importante. La figure I.15 illustre ce phénomène.

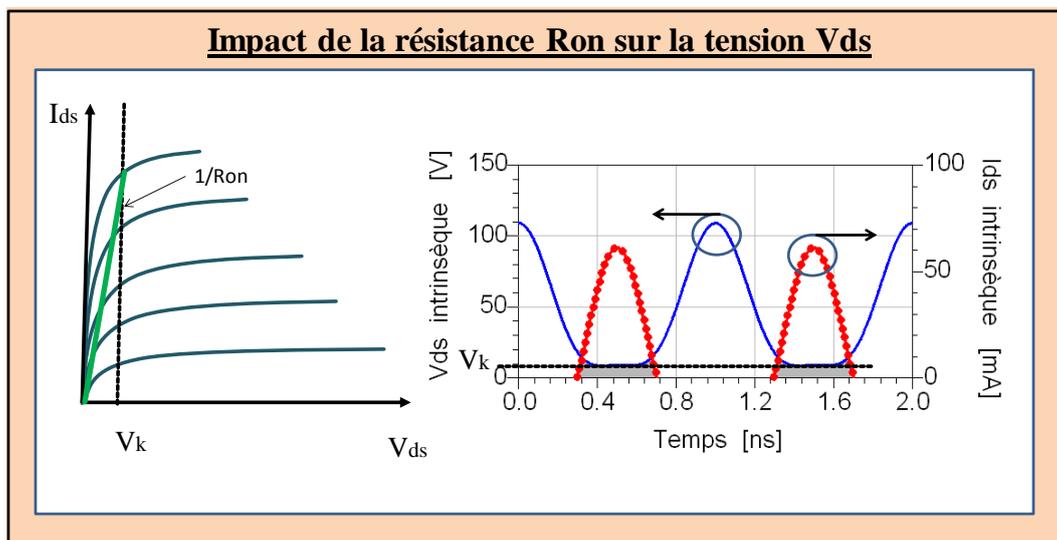


Figure I.15 : Impact de la résistance  $R_{on}$  sur les ondes de tension et de courant.

Les HEMTs GaN présentent des résistances  $R_{on}$  très faibles par rapport aux autres technologies. Sur les plus petits développements, les  $R_{on}$  sont aujourd'hui inférieurs à 1  $\Omega$ .mm. L'excursion de la tension étant quasi maximale, les rendements ne sont alors presque plus limités.

Le HEMT GaN sur substrat SiC possède des caractéristiques de gestion thermique intéressantes. L'évacuation des calories dans le substrat permet d'éviter le phénomène d'auto-

échauffement. Même si le GaN est capable de supporter de très fortes températures, l'augmentation de la température fait diminuer la vitesse de saturation des électrons. Cependant, la très bonne conductivité thermique des HEMTs GaN sur SiC assure alors un état stable, évitant toute surconsommation ou diminution des puissances RF délivrées, et n'affectant en rien les performances de rendement.

Une autre caractéristique importante du transistor HEMT GaN est sa capacité Cds. Elle ne permet pas d'augmenter le rendement mais il est plus facile de compenser ses effets contrairement aux autres technologies FET. En d'autres termes, la capacité Cds des HEMTs GaN est moins pénalisante dans les conceptions hauts rendements. Ses valeurs peuvent être inférieures à 0.2pF/mm.

En résumé, le HEMT GaN est la technologie la plus adaptée pour réaliser des architectures à haut rendement et à fortes puissances de part sa faible résistance Ron, son fort champ de claquage, sa faible capacité Cds et sa bonne gestion thermique. Il présente également une très bonne robustesse. De plus, les impédances optimales qu'il présente sont les plus élevées comparées aux autres technologies. La réalisation de circuit est moins limitée, ce qui permet d'envisager des conceptions offrant des solutions plus performantes. D'un point de vue technologique, il est désormais possible de concevoir des puces GaN MMIC, permettant ainsi des préadaptations au plus près des transistors.

## **IV. Contexte et inconvénients de l'amplification haut rendement et large bande en bande S.**

Les deux précédentes parties de ce chapitre ont démontré que la technologie HEMT GaN répondait très favorablement aux besoins des applications radar en bande S. Elle propose de très fortes densités de puissance, ce qui permet d'envisager la miniaturisation des étages amplificateurs dans les systèmes radars. Cette technologie est également propice à l'obtention de très hauts rendements.

Cependant, des inconvénients et des verrous demeurent et de nombreux travaux sont encore nécessaires pour répondre aux points suivants :

- Comment résoudre les inconvénients liés aux barrettes de puissance ?
- Comment s'affranchir des effets indésirables liés à l'encapsulation des barrettes de puissance ?
- Est-il possible de configurer un amplificateur répondant à la fois à des critères de forte puissance, de haut rendement et de large bande passante ?

### **IV.1. Inconvénients liés aux barrettes de puissance.**

Les classes de fonctionnement haut rendement présentées dans la partie précédente sont exposées pour un transistor à une cellule unitaire. Les transistors HEMT GaN à cellule unitaire (une source de courant) sont capables de fournir des puissances de sortie maximales de l'ordre de 30 W pour les plus forts développements (3.2 mm). Les applications radars requièrent de plus fortes puissances de sortie si bien que l'utilisation de barrettes de puissance de N cellules unitaires en parallèles devient alors nécessaire.

Le premier inconvénient concerne les faibles impédances que génère la mise en parallèle de plusieurs transistors. L'adaptation de la barrette devient alors plus difficile, surtout en entrée où l'impédance optimale passe en dessous d'1  $\Omega$  pour les plus forts développements. La synthétisation de ces faibles impédances tend à limiter la capacité d'adaptation en termes de largeur de bande.

L'autre inconvénient concerne les dissymétries éventuelles qui sont générées lors de la conception de la barrette de puissance. Si les N cellules unitaires ne fonctionnent pas de façons identiques, les potentialités de la barrette en sont alors amoindries. De telles dissymétries peuvent être générées par les niveaux thermiques qui ne sont pas homogènes. Ainsi, les conditions de fonctionnement de chaque cellule unitaire ne sont plus les mêmes.

Enfin, les résolutions des problèmes d'instabilités internes aux barrettes de puissance GaN sont encore d'actualité même si l'utilisation de technique appropriées de stabilisation et les méthodes d'analyse de stabilité permettent d'obtenir des barrettes GaN stables.

## **IV.2. Inconvénients liés à l'encapsulation.**

La réalisation hybride d'amplificateurs de puissance nécessite une encapsulation de la barrette. Cette mise en boîtier permet, pour certains types de boîtier avec capot, une protection mécanique du composant (et du câblage associé) mais également une protection contre les agressions extérieures telles que le brouillard salin, l'humidité et les produits chimiques utilisés lors du nettoyage des cartes. De plus, Il est important de souligner que cette encapsulation nécessite de respecter des règles de processus de câblage microélectronique permettant de garantir un bon niveau de qualité (bonne résistance aux tests d'arrachements des fils ou de vibration) afin de garantir un produit industriel. Parmi ces règles de processus de câblage microélectroniques, on peut citer la nécessité d'utiliser des fils de diamètre standard (17  $\mu\text{m}$ , 25  $\mu\text{m}$ , 38  $\mu\text{m}$ ) et l'impossibilité de réaliser des fils de longueurs trop importantes. Les diamètres les plus souvent utilisés sont de 25  $\mu\text{m}$  et 38  $\mu\text{m}$  afin d'assurer une tenue en puissance du fil de câblage. Suivant les types de machines utilisées, on peut également noter des difficultés de maîtrise des formes et de longueurs des fils. Ces différents points auront un impact sur le « comportement » hyperfréquence du composant mis en boîtier. De plus, la modélisation de ces fils est toujours très compliquée et font l'objet de recherches permanentes. Enfin, pour la réalisation de l'encapsulation, il est important de bien définir et choisir les différents éléments (tab, type et épaisseur de brasure) constituant le boîtier. Ces derniers ont un impact sur le comportement thermique du composant encapsulé (facilité à évacuer les calories) et sur sa capacité à accepter les déformations thermomécaniques.

Le premier inconvénient lié à l'encapsulation de la barrette de puissance est la recombinaison des ondes de tension et de courant à la sortie du boîtier. Plus le nombre de transistors est important et plus le trajet des ondes des cellules placées aux extrémités de la barrette est important. Il en résulte un déphasage des ondes en sortie du boîtier et par conséquent une dégradation des performances.

En considérant que chaque transistor de la barrette est identique, les impédances ramenées par les éléments du boîtier dans les plans de chaque cellule doivent être identiques pour assurer à chaque cellule unitaire des conditions de fonctionnement optimales et identiques. Or, il existe toujours une désadaptation d'impédance engendrant une dissymétrie entre les cellules unitaires de la barrette de puissance. En fonction de l'amplitude de cette désadaptation et des caractéristiques de fonctionnement appliquées à la barrette, les conséquences sur les performances sont variables. La figure I.16 illustre ces deux précédents phénomènes.

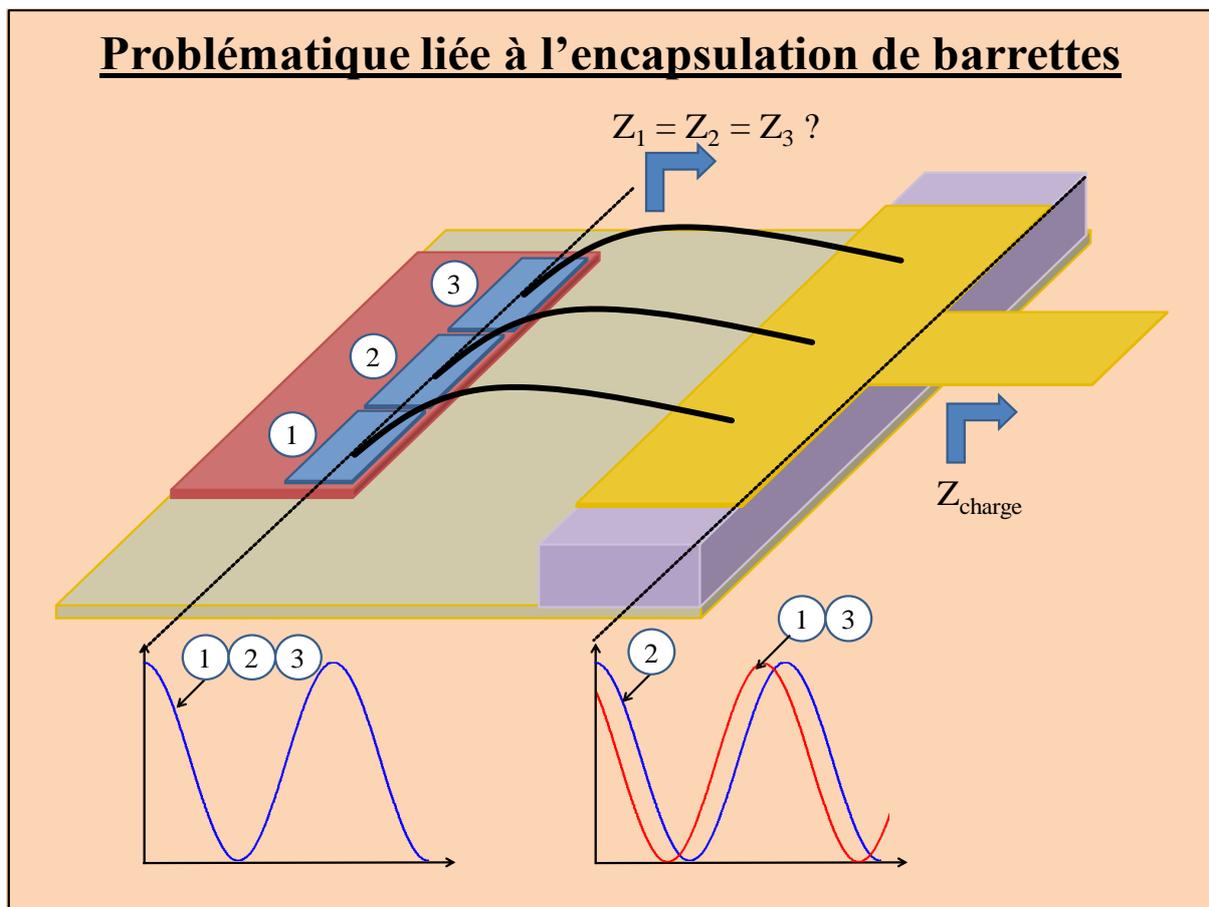


Figure I.16 : Inconvénient lié à la recombinaison des ondes en sortie de boîtier.

Le troisième inconvénient réside dans la fonction de filtrage que produit ce type de boîtier. Les céramiques utilisées dans ces boîtiers sont équivalentes à des lignes d'impédances caractéristiques faibles. Il en résulte des fréquences de coupure qui dépendent de cette impédance caractéristique. Plus l'impédance caractéristique de la céramique métallisée du boîtier sera faible et plus la possibilité d'adaptation d'impédances harmoniques en sortie du boîtier sera réduite. Cela sera mis en évidence dans les chapitres suivants. Le contrôle idéal des impédances aux fréquences harmoniques (type F et  $F^{-1}$ ) devient alors impossible dans certains cas. D'autres éléments liés à l'encapsulation amplifient ce phénomène de limitation d'adaptation d'impédances harmoniques. En effet, les préadaptations réalisées aux fréquences fondamentales ou encore les filtrages BF tendent également à limiter voire supprimer les possibilités d'adaptation en sortie du boîtier.

Il existe également plusieurs effets dits parasites qui se créent à l'intérieur du boîtier. Des mutuelles inductances et des couplages parasites s'induisent entre les différents éléments du boîtier et peuvent engendrer une dégradation des performances s'ils ne sont pas pris en compte.

En résumé, l'encapsulation de la barrette peut comporter de nombreux inconvénients qui peuvent être préjudiciables dans l'optique d'obtenir un fonctionnement haut rendement. Ces Inconvénients seront soulevés et des solutions seront proposées dans les chapitres suivants.

### **IV.3. Inconvénients liés à l'adaptation haut rendement et large bande.**

A première vue, l'idée d'obtenir des performances haut rendement sur de larges bandes passantes peut sembler totalement contradictoire. En effet, les classes à haut rendement E, F et F inverse proposent des circuits d'adaptation résonants et des stubs pour contrôler les impédances aux fréquences harmoniques. La contradiction apparaît dans l'énoncé théorique de ces classes. Ces types d'architectures à très fort coefficient de surtension sont très sélectifs et ne permettent pas de maintenir les adaptations recherchées sur de larges bandes passantes. Des quasi-contrôles d'impédances aux fréquences harmoniques sont alors envisageables pour obtenir de plus larges bandes passantes. La classe J est née de cette idée. La figure I.17 illustre le circuit ouvert réalisé à l'harmonique 2 par une architecture

type classe F inverse et par un filtre LC type classe J pour une bande passante de [2.5-3.5] GHz.

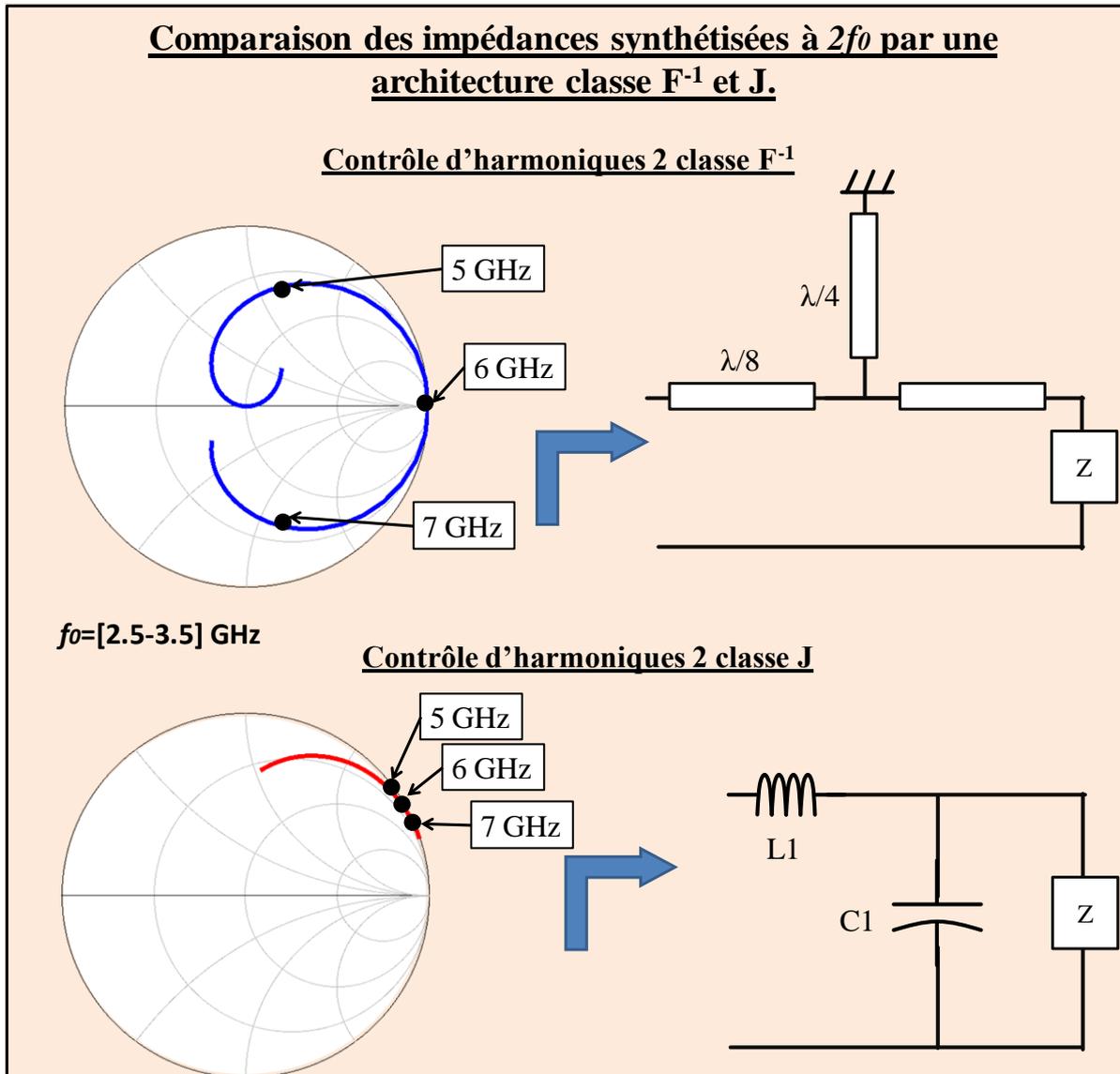


Figure I.17 : Comparaison des potentialités d'adaptation d'un circuit ouvert à la fréquence double (entre 5GHz et 7 GHz) pour une architecture type classe  $F^{-1}$  et classe J.

L'architecture de la classe J ne permet pas d'atteindre convenablement le circuit ouvert, mais elle présente de très fortes impédances sur de larges bandes passantes. L'architecture de la classe F inverse est très résonnante, ce qui produit une fuite très rapide des impédances en bord de bande vers le centre de l'abaque de Smith.

Un autre effet limitatif, et non des moindres, réside dans le fait que la plupart des puces commercialisées sont déjà encapsulés. A moins de connaître parfaitement tous les éléments du boîtier ainsi que les extrinsèques de la puce, il est difficile de concevoir un

amplificateur à haut rendement au niveau de la source de courant. Cet inconvénient est d'autant plus vrai avec l'utilisation des barrettes de puissance. De plus, comme il l'a été énoncé dans la partie précédente, certaines configurations de boîtier limitent la potentialité d'adaptation des impédances harmoniques.

Il est en revanche plus aisé d'envisager des réseaux d'adaptation haut rendement à partir de caractérisations multi-harmoniques d'une puce nue. Des mesures load-pull permettent de déterminer les zones d'impédances optimales en rendement. C'est alors qu'apparaît un inconvénient bien connu des concepteurs. En fonction de l'augmentation de la fréquence, les impédances optimales de la puce tournent dans le sens anti horaire contrairement aux réseaux d'adaptations passifs qui tournent dans le sens horaire. Ce phénomène est encore plus préjudiciable lorsqu'il s'agit d'adapter la fréquence harmonique double et triple. L'idée d'implémenter la théorie des classes à haut rendement devient alors extrêmement compliquée, voire impossible. La figure I.18 illustre cet inconvénient.

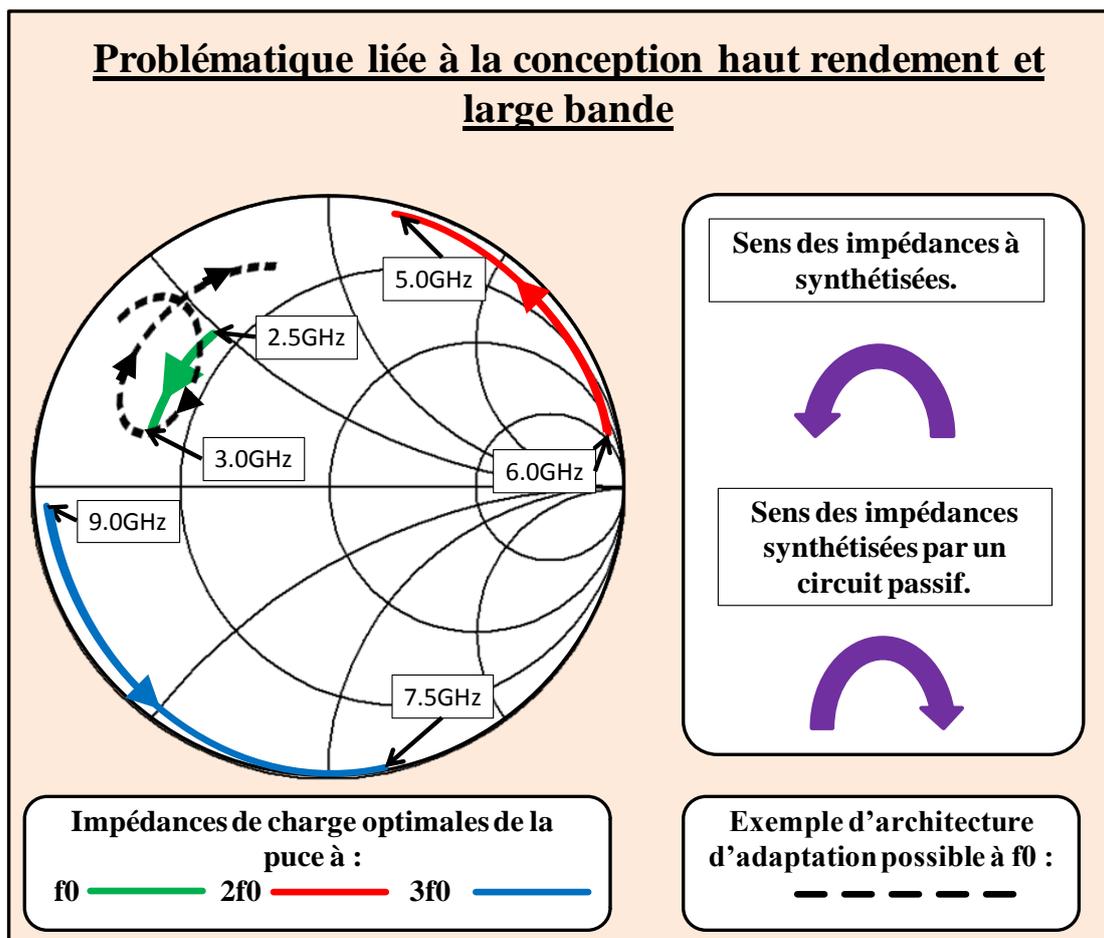


Figure I.18 : Inconvénient lié à l'adaptation d'impédances large bande.

Il existe tout de même des solutions pour obtenir de bonnes adaptations aux fréquences fondamentales. L'idée est de créer une boucle de résonance non loin des lieux d'impédances optimales. Les impédances ramenées par ce circuit prennent alors la même direction en début de boucle ce qui permet de réaliser une bonne adaptation. Les impédances repartent ensuite dans le sens horaire à la sortie de la boucle. Il est malheureusement très difficile d'appliquer cette méthode aux fréquences harmoniques. D'une part, la bande passante devient de plus en plus large à mesure que la fréquence harmonique augmente ; d'autre part, il est très difficile de créer des résonances sur d'aussi larges bandes passantes et pour des modules aussi élevés. Une solution alternative sera présentée dans la suite du manuscrit.

## **Conclusion**

D'un point de vue système, le HEMT GaN est très attractif du fait de la très forte puissance qu'il est capable de fournir, de sa bonne fiabilité et robustesse, ainsi que de sa possibilité à être intégré en MMIC. Il a également été souligné dans ce chapitre que la technologie HEMT GaN, de part les propriétés intéressantes de son matériau, répondait le plus favorablement aux besoins de puissance, de rendement et de bande passante que requièrent les applications radars en bande S.

En revanche, les techniques actuelles de fonctionnement haut rendement sont difficilement compatibles, voire souvent contradictoires avec l'objectif d'élargir les bandes passantes. Des compromis et de nouvelles techniques de conception doivent être alors recherchés pour résoudre ce problème et, par la même occasion, pour corriger les inconvénients et perturbations qui sont liés à l'encapsulation des barrettes de puissance.



## CHAPITRE II :

---

Méthodologie d'adaptation des impédances harmoniques interne au boîtier. Application sur un transistor élémentaire GaN 15 W.

---



## **Introduction**

Ce chapitre propose des solutions possibles aux problèmes de fréquence de coupure des boîtiers et aux problèmes d'adaptation à haut rendement et large bande évoquées au chapitre I. Une solution d'optimisation des éléments du boîtier sera alors étudiée dans le but d'assurer un fonctionnement haut rendement du transistor encapsulé sur de larges bandes passantes. Les solutions techniques proposées nécessitent de disposer d'une topologie de modèle de boîtier aisément reconfigurable. Ainsi, une méthode de modélisation des transistors encapsulés dans des boîtiers céramique est préalablement présentée.

L'originalité de ce travail réside dans la méthodologie de conception des boîtiers. En effet, les impédances harmoniques de charge et de source à  $2f_0$  sont adaptées en premier lieu à l'intérieur du boîtier, au plus près du transistor en puce. Ces filtres harmoniques, qui seront définies par des topologies différentes en entrée et en sortie du boîtier, permettront ainsi une adaptation des impédances à l'harmonique 2 sur de très larges bandes passantes. Pour différentes synthèses de boîtiers réalisés, les potentialités de bande et de rendement seront évaluées, puis confirmées (ou infirmées) par des simulations et des mesures load-pull multi harmoniques.

Le transistor HEMT GaN utilisé au cours de ces études présente un développement de 2.4 mm et est issu de la fonderie d'UMS.

## I. Modélisation du transistor GaN encapsulé.

La modélisation du transistor à cellule unitaire (de 2.4 mm de développement) encapsulé s'est déroulée en deux étapes distinctes. La première étape était dédiée à la modélisation de la puce active du transistor (on-wafer), puis dans un second temps, les éléments du boîtier ont été extraits et modélisés. Le modèle de transistor en puce et le modèle de boîtier sont ensuite assemblés pour donner naissance au modèle de transistor encapsulé qui sera validé par des mesures forts niveaux.

Le transistor en puce utilisé pour ce travail provient de la filière HEMT GaN développée par UMS. Son développement est 2.4 mm. Ce transistor ne présente pas de via reliant la source et la masse.

### I.1. Modélisation du transistor HEMT GaN de 2.4 mm de développement.

#### I.1.1. Mesures du transistor.

La première étape a consisté à caractériser le transistor en puce en bande S. Un cycle de caractérisation IV et de paramètres [S] impulsionnel ainsi que des mesures de puissance ont été réalisées sur le transistor en puce.

Le tableau II.1 et la figure II.1 présentent les résultats des mesures fort-niveau pulsée à 2.9 GHz et 3.5 GHz pour une polarisation de drain de 50 V associée à un courant de repos de 2 mA. Seul le signal d'entrée est pulsé. La largeur du pulse est de 10  $\mu$ s et le rapport cyclique est de 10%. Les impédances optimales ont été recherchées à la fréquence fondamentale. Les impédances à l'harmonique 2 et 3 sont fixées sur 50  $\Omega$ . Les mesures ont été réalisées par la société AMCAD Engineering.

Fréquence [GHz]	Pin [dBm]	Pout [dBm]	Pout [W]	Gain_p [dB]	Compression de gain [dB]	PAE [%]	Zopt_PAE [ $\Omega$ ]
2.9	26.3	42.9	19	16.6	2.2	65	30+j37
3.5	26.8	42.4	17	15.6	1.9	63	20+j35

Tableau II.1 : Performances optimales en PAE du transistor de 2.4 mm de développement à  $V_{ds0}=50V$  et  $I_{ds0}=2mA$ . Optimisation à  $f_0$  ;  $Z_{2f0}=50 \Omega$ .

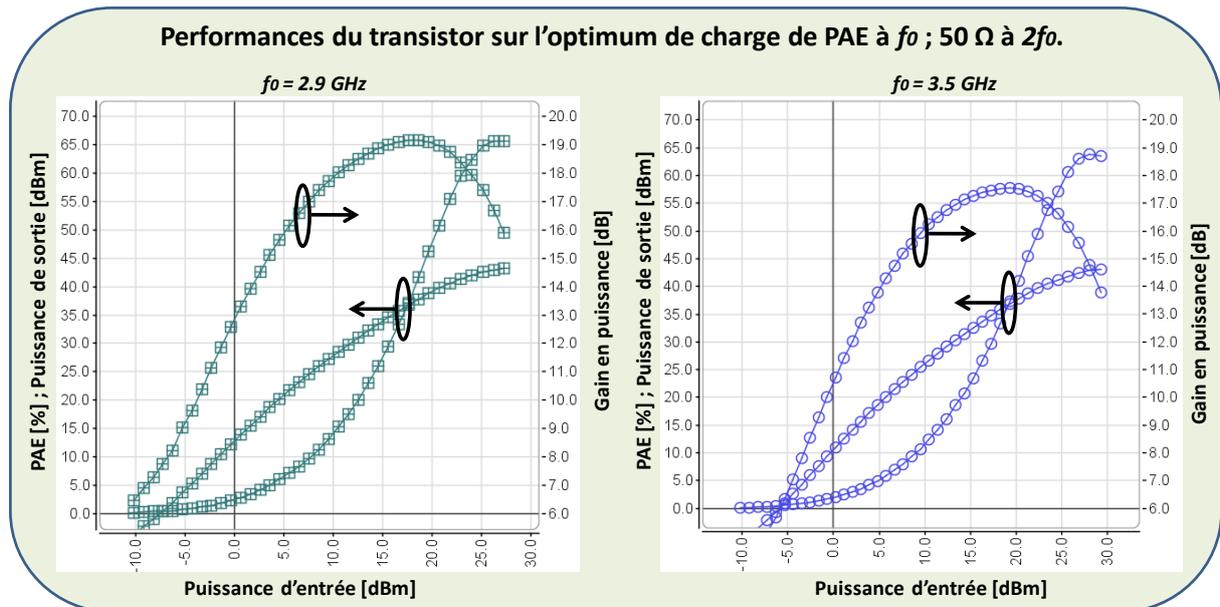


Figure II.1 : Performances optimales en PAE du transistor de 2.4 mm de développement à  $V_{ds0}=50V$  et  $I_{ds0}=2mA$ . Optimisation à  $f_0$  ;  $Z_{2f_0}= 50 \Omega$ .

Les performances à 2.9 GHz et 3.5 GHz sont semblables. Lorsque les impédances optimales en rendement sont atteintes au fondamental, le transistor en puce fournit des puissances de sortie d'environ 18 W, associées à des gains en puissance de 16 dB et des PAE d'environ 64%.

Lors de l'optimisation de l'impédance à l'harmonique 2, l'augmentation de PAE est de l'ordre de 4 points par rapport à une mesure où l'impédance de charge à l'harmonique 2 est sur  $50 \Omega$ . Cette augmentation est limitée par la capacité du tuner de charge qui ne permet pas d'atteindre des TOS supérieurs à un module de 0.8 à l'harmonique 2 alors que les impédances optimales à l'harmonique 2 se situent généralement en bord d'abaque de Smith.

### I.1.2. Modélisation et validation.

Un premier modèle électrothermique non linéaire sans modèle de piège correspondant à une filière semblable au transistor utilisé dans cette étude a été fourni par UMS. Ce modèle a été en grande partie réactualisé au vu des résultats précédents de caractérisation pulsée. Pour ce faire, les paramètres extrinsèques et intrinsèques ont été extraits à partir des mesures de paramètres S pulsés [55] ce qui a permis de définir de nouveaux modèles linéaires grâce aux outils de modélisation disponibles à XLIM [56]. Le modèle non linéaire a été extrait en redéfinissant les capacités non linéaires à l'aide du programme easy\_capa [57] et en

redéfinissant les paramètres de la source de courant Tajima. Le modèle thermique et les modèles des diodes sont inchangés par rapport au modèle initialement fournis par UMS.

Le modèle non linéaire ainsi obtenu a été validé en comparaison des mesures pulsées I-V et paramètres [S] paramètres S pulsées. La figure II.2 illustre une comparaison du réseau I-V entre la mesure et la simulation ainsi qu'une comparaison de paramètres S au point de polarisation  $V_{ds0}=50V$  et  $I_{ds0}=70mA$  dans la bande [2-10] GHz.

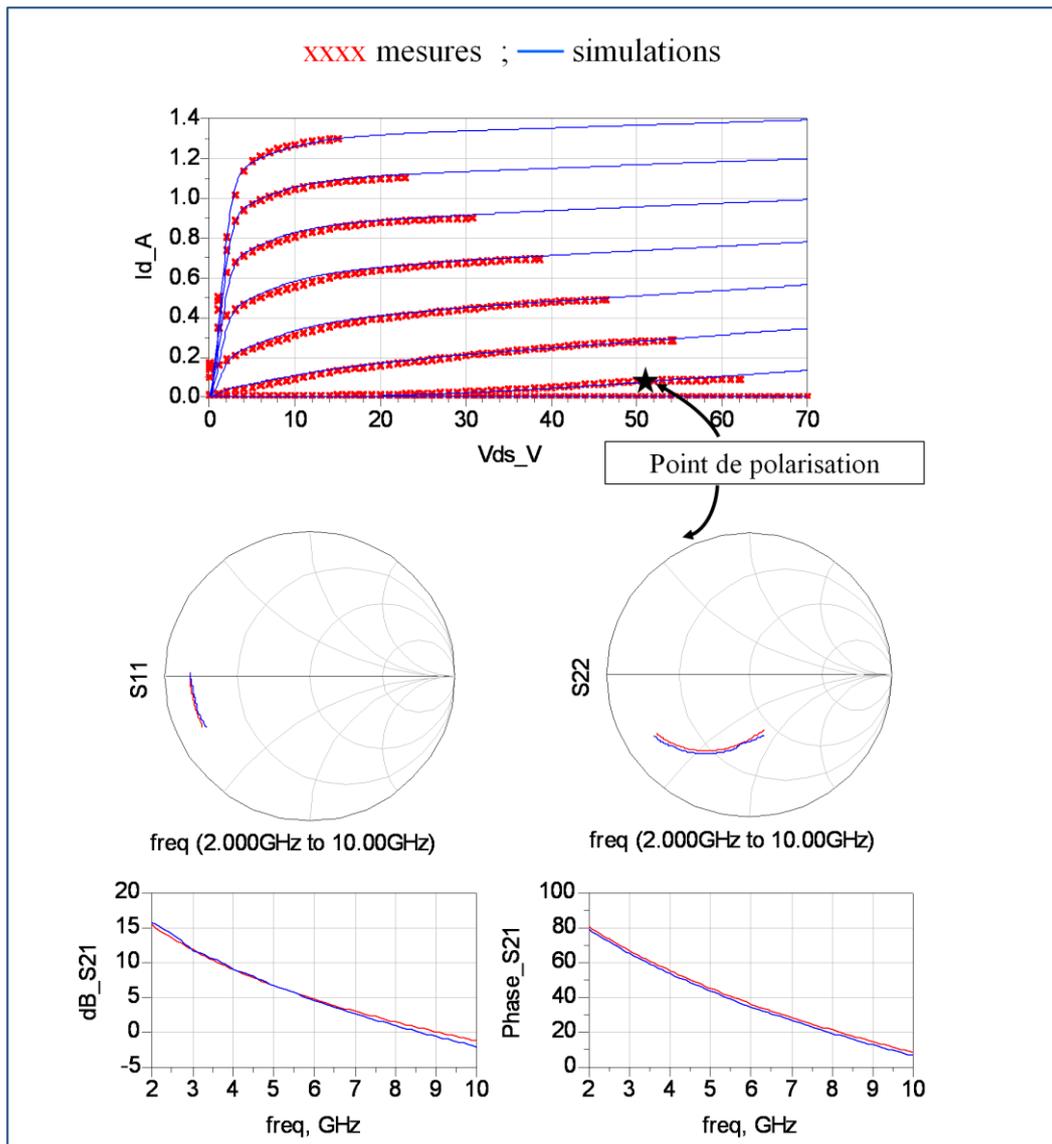


Figure II.2 : Comparaison du réseau I-V et des paramètres S ( $V_{ds0}=50V$  et  $I_{ds0}=70mA$ ) entre le modèle et les mesures.

Les mesures load-pull ont permis de valider le modèle en régime fort signal aux fréquences de 2.9 GHz et 3.5 GHz. Des cercles constants de PAE et de puissance de sortie respectivement égaux à 60% et à 43 dBm ont été choisis comme points de comparaison. Le

transistor est polarisé à  $V_{ds}=50V$  et  $I_{ds0}=2mA$ . Le signal RF est toujours pulsé ( $10\mu s/10\%$ ) en entrée et les impédances aux harmoniques 2 et 3 sont fixées sur  $50\ \Omega$ . La figure II.3 illustre ces différentes comparaisons.

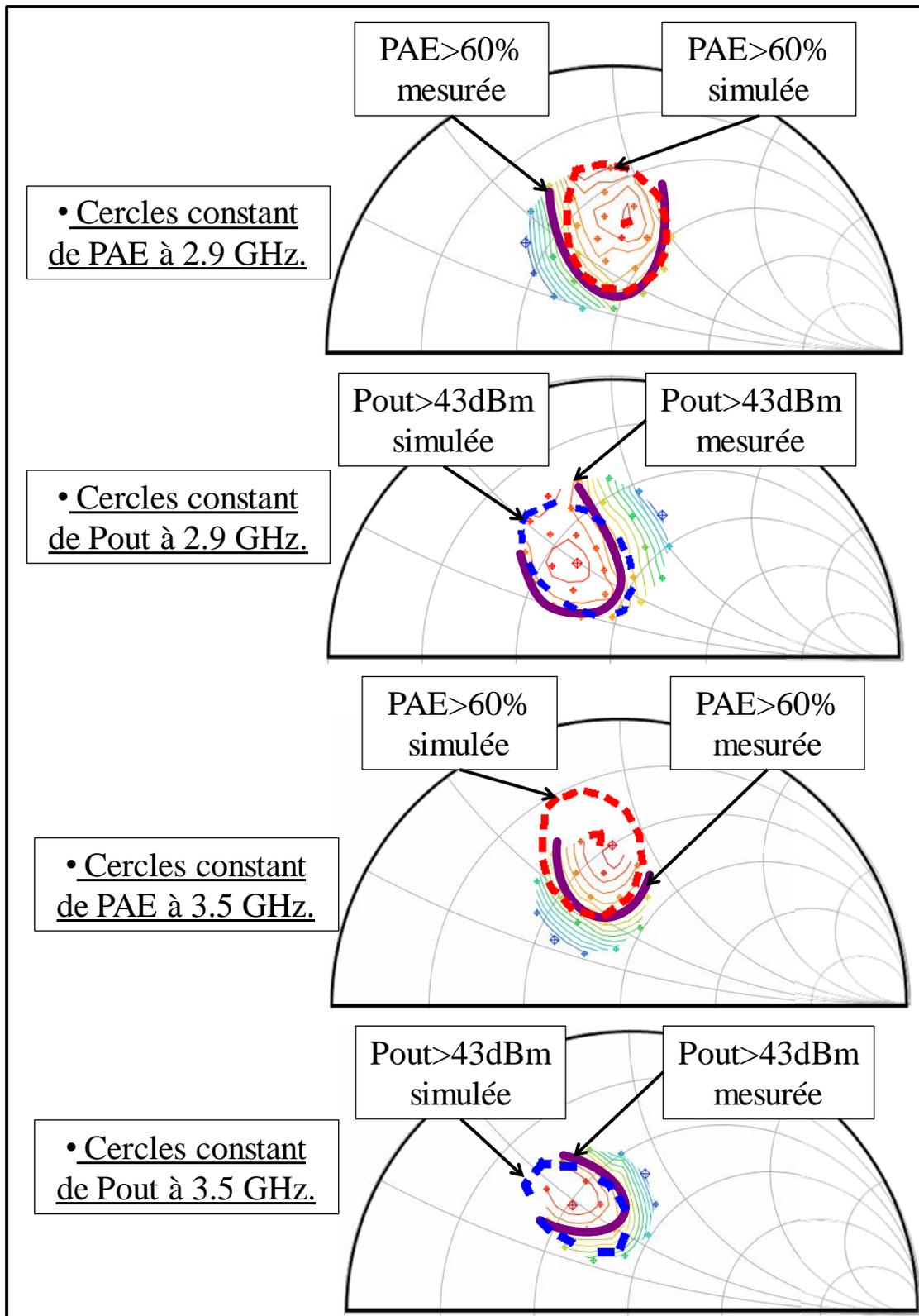


Figure II.3 : Comparaison des mesures et simulations load-pull à  $f_0$  du transistor de 2.4 mm de développement.

Les cercles constants de PAE et de puissance de sortie sont très semblables en mesure et en simulation à 2.9 GHz. A 3.5 GHz, il existe un léger décalage en phase entre les cercles simulés et mesurés. Le cercle de PAE mesuré à 3.5 GHz est tronqué du fait de la trop faible quantité d'impédances mesurées.

Une recherche d'impédances optimales à l'harmonique 2 a également été effectuée. Bien que ces impédances soient limitées par le tuner, elles tendent à aller dans la même direction que les zones d'impédances optimales simulées à l'harmonique 2. La figure II.4 illustre cette comparaison à 2.9 GHz et 3.5 GHz.

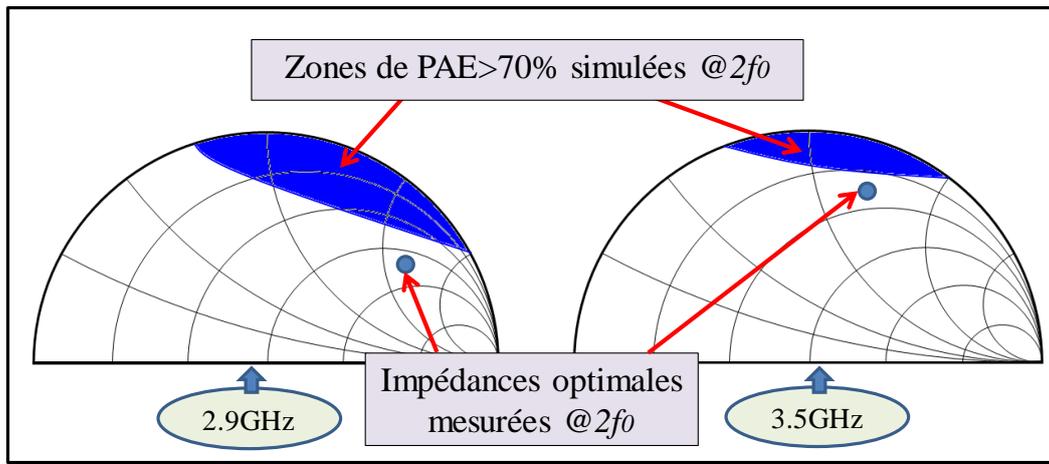


Figure II.4 : Comparaison des mesures et simulations load-pull à  $2f_0$  du transistor de 2.4 mm de développement.

En résumé, les différentes comparaisons load-pull effectuées au fondamental et à l'harmonique 2 permettent de valider le modèle fourni par UMS puis modifié. Pour la suite des travaux, il est très important de disposer d'un modèle non linéaire dont les zones de PAE et de puissances simulées sont les plus proches des mesures.

## I.2. Extraction du modèle de transistor encapsulé.

La modélisation des boîtiers est une étape primordiale lors de l'encapsulation des transistors. Afin de synthétiser des boîtiers optimisés aux fréquences fondamentales et surtout aux fréquences harmoniques doubles, il est nécessaire d'adopter une architecture de modèle favorisant le plus simplement possible la conversion d'un élément physique du boîtier en une valeur électrique. Ensuite, une méthodologie de modélisation des boîtiers sera alors mise en

place afin de justifier ce choix. Une synthèse de boîtier sera alors possible pour des fréquences allant jusqu'à l'harmonique double.

### I.2.1. Choix de la topologie de modèle du boîtier.

#### *I.2.1.1. Présentation des différentes topologies de modèles de transistors encapsulés.*

Il existe plusieurs manières de modéliser le boîtier et ses éléments, comportant toutes des avantages et des inconvénients.

Une des méthodes de modélisation la plus répandue est la simulation électromagnétique 3D. Aujourd'hui, les moteurs de simulation EM sont très puissants et garantissent des résultats assez fiables. Le principal inconvénient est la nécessité de connaître parfaitement les caractéristiques physiques des éléments du boîtier telles que les fils de câblage et les capacités MOS. De très bons résultats sont désormais obtenus et des circuits en éléments localisés sont extraits de ces simulations 3D dans le but de mieux visualiser les éléments inductifs et capacitifs [58].

Une autre méthode consiste à placer des standards à l'intérieur du boîtier [59] pour parvenir à extraire un modèle des différents éléments. Cette méthode fournit de très bons résultats mais elle est très dépendante de la qualité des standards placés dans le boîtier ainsi que de la qualité du de-embedding réalisé.

Des boîtiers complexes, renfermant plusieurs étages de capacités MOS et de fils de câblages, ont été extraits par segmentation des différents éléments [60]. Les différents étages de fils de câblage et de capacités ont été mesurés et simulés séparément pour être ensuite assemblés dans le modèle final.

Des modèles de transistors encapsulés sont également extraits à partir de modélisations comportementales, combinant les équations de Volterra dynamiques et les X-parameters [61].

La topologie choisie pour cette étude est la modélisation du boîtier par éléments localisés [62]. Cette méthode présente l'avantage de permettre aisément l'ajustement des paramètres du boîtier. Il sera démontré par la suite qu'une simple mesure de paramètre [S] du transistor encapsulé permettra d'ajuster convenablement le modèle. Un second avantage réside dans le fait que ce modèle est facilement paramétrable dès lors que le modèle localisé

est associé directement à un élément topologique physique du boîtier, c'est-à-dire qu'il est très aisé de modifier les éléments du boîtier, d'en ajouter ou d'en supprimer, tout en conservant une bonne qualité de modélisation.

### I.2.1.2. Modèle de boîtier par éléments localisés.

Le principe d'un modèle de boîtier par éléments localisés est le suivant : chaque élément ou paramètre du boîtier est modélisé par un élément électrique équivalent. Ainsi, une ligne d'impédance caractéristique suffisamment faible sera modélisée par une capacité, un fil de câblage sera modélisé par une inductance tandis que les couplages capacitifs ou inductifs seront modélisés respectivement par une capacité série ou par une inductance mutuelle. Des résistances seront incluses pour modéliser les pertes. Le boîtier choisi pour cette étude (fabricant Zentrix) est composé d'une céramique d'alumine métallisée à chaque accès du boîtier comme l'illustre la figure II.5. La partie de la céramique métallisée correspond alors à une ligne de 1.52 mm de long, 6.6 mm de large et de 0.51 mm d'épaisseur dont il sera alors facile de déterminer l'impédance caractéristique et par la même occasion, la capacité équivalente.

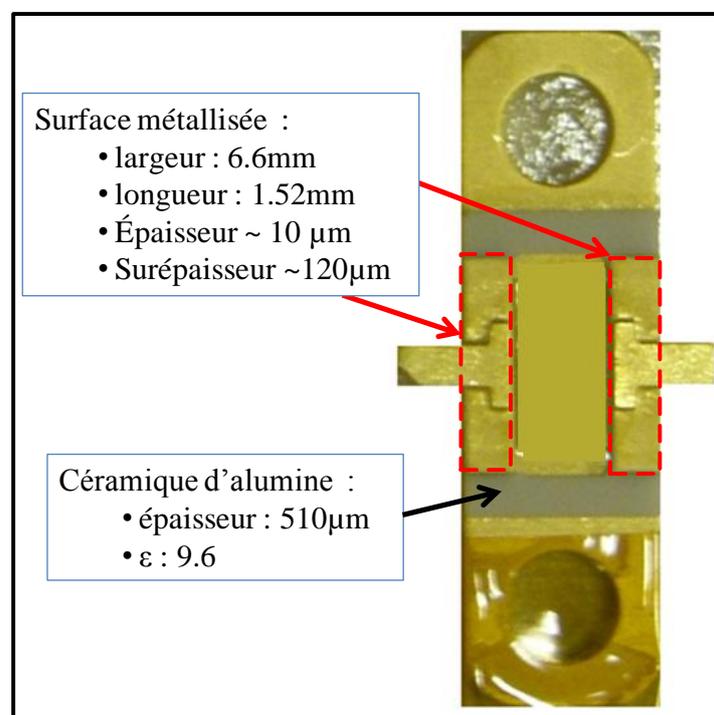


Figure II.5 : Caractéristiques du boîtier céramique utilisé.

Pour démontrer la faisabilité de cette modélisation et son paramétrage, deux transistors identiques ont été encapsulés différemment, comme l'illustre la figure II.6, pour des céramiques d'entrée et de sortie identiques.

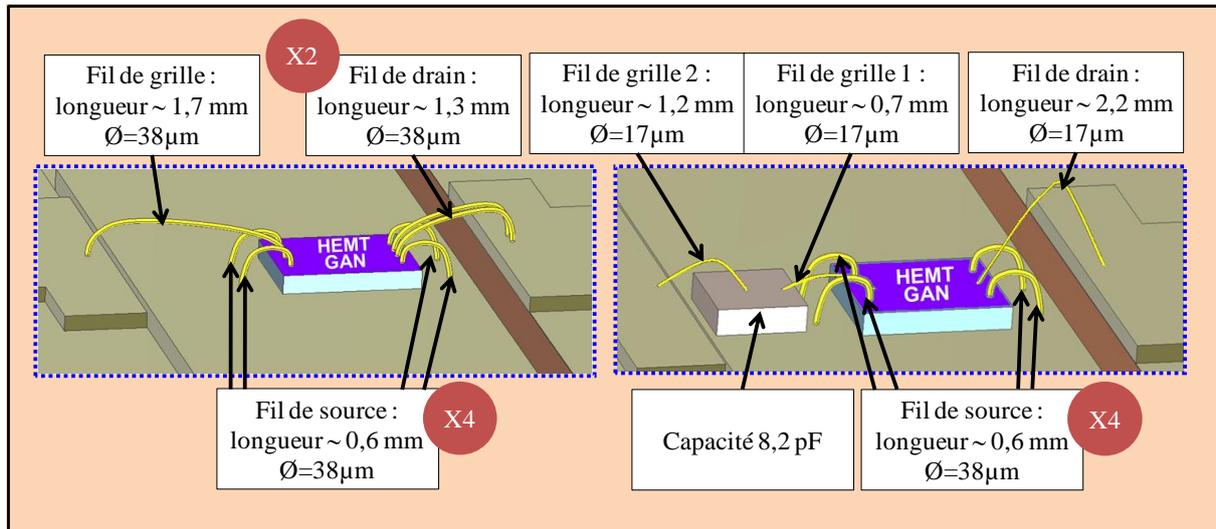


Figure II.6 : Réalisation de deux différentes encapsulations de transistors.

La première configuration de boîtier (à gauche) comporte uniquement des fils de 38 µm de diamètre. La grille est reliée directement au boîtier en utilisant un fil d'environ 1.7 mm de long. Le drain est connecté à la sortie en plaçant deux fils parallèles de 1.3 mm de long. Chaque fil de source mesure approximativement 0.6 mm (cette filière HEMT GaN ne comportait pas alors de vias de source).

La deuxième configuration de boîtier (à droite sur la figure II.6) utilise des fils de 17 µm de diamètre pour le drain et la grille. Les fils de source restent inchangés. Il n'y a plus qu'un seul fil de drain mesurant désormais 2.2 mm de long. Côté grille, une capacité de préadaptation de 8.2 pF a été ajoutée. Elle est reliée à la grille par un fil de 0.7 mm et au boîtier par un fil d'environ 1.2 mm de long.

Les éléments de ces deux configurations de boîtier vont désormais être extraits pour être ajoutés au modèle non linéaire de la puce et constituer ainsi les modèles de transistor encapsulés.

### I.2.2. Méthodologie d'extraction des éléments du boîtier.

La méthodologie mise en œuvre pour effectuer l'extraction du modèle se décompose en cinq étapes distinctes. Une première et deuxième étapes consistent à mesurer les paramètres [S] respectifs du transistor en puce et du transistor encapsulé. La troisième étape consiste à définir l'architecture du modèle qui reflète l'architecture physique du boîtier. Les éléments de ce modèle sont ensuite initialisés dans une quatrième étape avant d'être optimisés dans la cinquième étape.

#### I.2.2.1. Mesures des paramètres $S$ de la cellule unitaire.

La première étape consiste à mesurer les paramètres [S] du transistor en puce pour plusieurs points de polarisation. Ces mesures seront considérées comme références ou standards. En effet, le transistor seul est considéré comme un élément connu. Les mesures ont ainsi été réalisées à froid et à  $V_{ds0}=50V$  pour des courants de repos de 2 mA, 40 mA et 70 mA.

Ces mesures de paramètres  $S$  étant disponibles en fichier S2P, avec un accès grille et un accès drain, il est nécessaire d'extraire un modèle linéaire pour chaque mesure sous pointes dans le but de disposer de trois accès et de pouvoir ainsi prendre en compte les fils de source.

La figure II.7 schématise cette première étape.

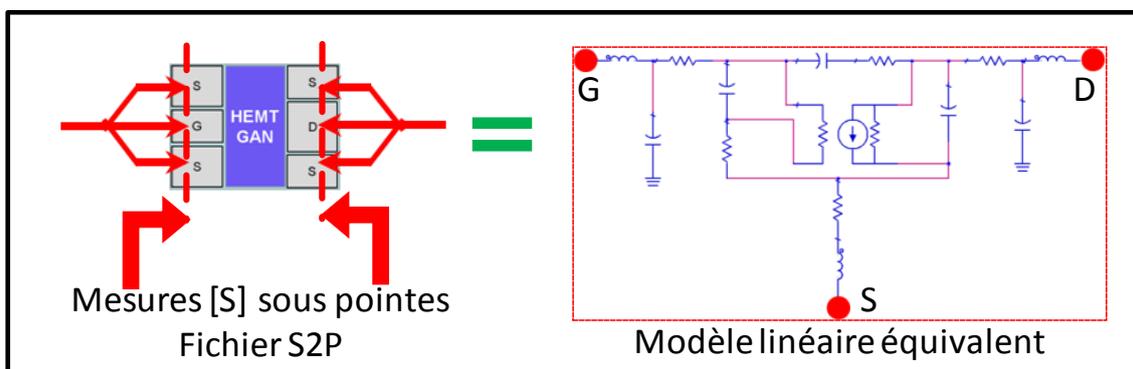


Figure II.7 : Extraction du modèle linéaire équivalent.

### I.2.2.2. Mesures des paramètres S du transistor encapsulé.

Les paramètres S du transistor encapsulé doivent désormais être mesurés. Pour obtenir ces mesures dans les plans d'accès du boîtier, le pied de test et sont kit d'étalonnage TRL associé ont été réalisés à XLIM. Ce pied de test, dont la photographie est présentée sur la figure II.8, est composé de deux lignes 50  $\Omega$ . En ce qui concerne le KIT d'étalonnage TRL, il est composé d'une ligne THRU qui ne comporte pas de retard et d'une « LINE » qui présente une longueur correspondant à un déphasage qui permet que le calcul de la TRL fournisse des résultats fiables jusqu'à 7 GHz. Le kit comprend aussi un circuit ouvert qui est choisi comme coefficient de réflexion.

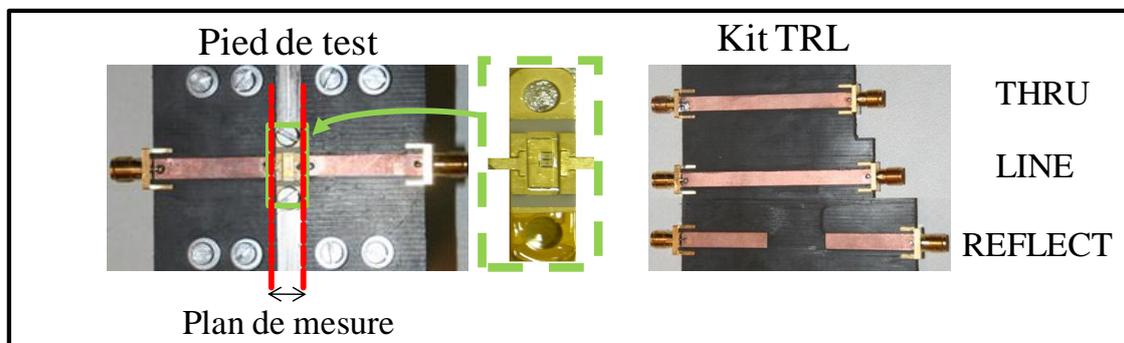


Figure II.8 : Pied de test 50  $\Omega$  et kit d'étalonnage TRL.

Des mesures de paramètres S sont réalisées dans les plans des connecteurs pour les mêmes points de polarisation que ceux effectués sur la puce nue. Ces mesures sont ensuite de-embeddées dans les plans du boîtier grâce à la mesure des paramètres [S] du kit d'étalonnage et à la procédure de traitement des données fournie par le calibrage TRL.

### I.2.2.3. Définition de l'architecture du modèle.

On associe une configuration spécifique de modèle électrique pour chaque configuration de boîtier. La figure II.10 illustre les deux configurations de modèles utilisées pour les deux encapsulations réalisées. Ces modèles sont issus d'une description phénoménologique des architectures des boîtiers.

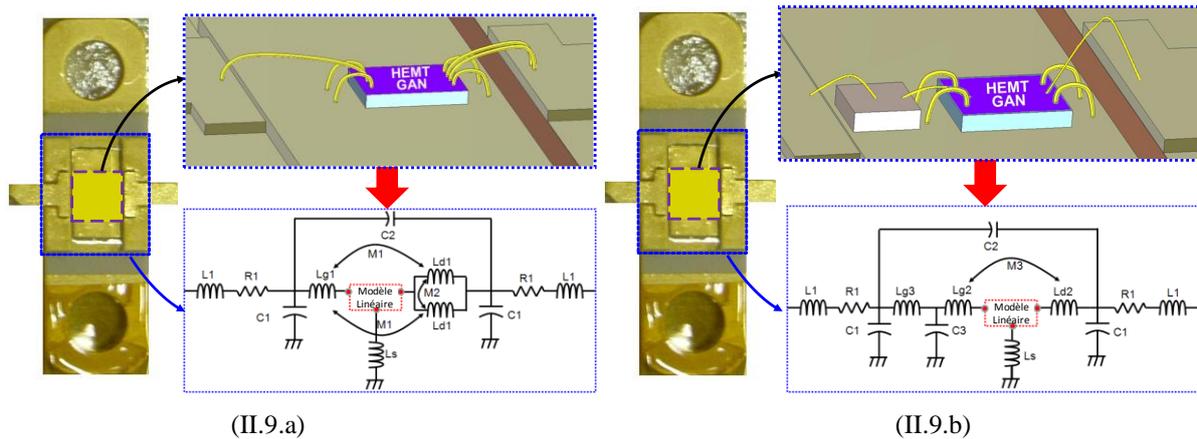


Figure II.9 : Architectures des modèles pour le boîtier 1 (II.9.a) et le boîtier 2 (II.9.b).

Pour le boîtier n°1, chaque fil est modélisé par une inductance équivalente. Une inductance mutuelle  $M2$  est prise en compte entre les deux fils de drain  $Ld1$  qui sont très proches, tandis qu'une inductance mutuelle  $M1$  modélise le couplage entrée-sortie entre les fils de grille  $Lg1$  et les deux fils de drain  $Ld1$ . Les quatre fils de source sont suffisamment éloignés et courts pour qu'aucune inductance mutuelle ne soit prise en compte. Ainsi, ils sont modélisés par une seule inductance équivalente  $Ls$  correspondant à quatre inductances en parallèle.

Les capacités  $C1$  modélisent les céramiques métallisées de l'entrée et de la sortie du boîtier, tandis qu'une capacité  $C2$  modélise le couplage capacitif entrée-sortie entre les deux céramiques.  $R1$  représente les pertes de la céramique et  $L1$  modélise une inductance parasite liée en partie à la discontinuité qui existe entre la largeur de la patte du boîtier et la ligne  $50 \Omega$  du pied de test.

Le modèle du boîtier n°2 suit le même principe de modélisation à la différence qu'une capacité  $C3$  a été ajoutée dans le but de modéliser la capacité MOS de préadaptation. Les modélisations des céramiques entrée-sortie ( $R1$ ,  $L1$ ,  $C1$ ), des fils de source ( $Ls$ ) et du couplage ( $C2$ ) sont inchangées entre les deux boîtiers. Comme il n'y a plus qu'un seul fil de drain, la mutuelle  $M2$  n'existe plus. Le choix d'un tel fil sera expliqué dans le chapitre suivant.

#### 1.2.2.4. Calculs des conditions initiales des éléments du modèle.

Avant d'extraire les différentes valeurs des éléments, il est nécessaire d'imposer des conditions initiales au modèle afin de s'assurer que les résultats obtenus lors de la prochaine étape soient physiquement possibles. Ainsi, en connaissant les dimensions (même approximatives) des fils de câblage et de la céramique métallisée, il est alors possible de définir des valeurs initiales des éléments du modèle qui seront très proches de la réalité et dont les variations seront restreintes lors de l'optimisation afin que le modèle électrique reste représentatif et paramétrable pour leur synthèse optimale ultérieure.

L'extraction la plus difficile se situe sûrement au niveau de la modélisation des fils de câblage. Une bonne approche consiste à calculer les inductances et mutuelles équivalentes grâce aux formules historiques énoncées en 1949 [63]. Ainsi, en fonction de la longueur  $l$  (m), du rayon  $r$  (m) des fils et de leur espacement  $d$  (m), il est possible d'obtenir une inductance et une mutuelle équivalente.

$$L[nH] = 0.0002 \times l \times \left[ \ln\left(\frac{2 \times l}{r}\right) - 0.75 \right] \quad (\text{II-1})$$

$$M[nH] = 0.0002 \times l \times \left[ \ln\left(\frac{l}{d} + \sqrt{1 + \frac{l^2}{d^2}}\right) - \sqrt{1 + \frac{d^2}{l^2}} + \frac{d}{l} \right] \quad (\text{II-2})$$

Le principal inconvénient de ces formules est qu'elles ne prennent en compte ni la forme du fil ni la hauteur par rapport au plan de masse. Pourtant, l'impact de ses paramètres sur l'inductance équivalente est souvent non négligeable.

L'outil de modélisation Phillips disponibles sous ADS [64] a donc été utilisé pour obtenir une première valeur d'inductance et de mutuelle équivalentes car il permet de définir une forme approximative ainsi que la distance à laquelle se situe le plan de masse.

Pour la modélisation des céramiques métallisée, une première valeur de capacité  $C1$  est définie par l'équation suivante avec  $lc$  (m) la longueur de la ligne,  $Zc$  ( $\Omega$ ) son impédance caractéristique et  $\epsilon_{eff}$  la constante électrique effective.

$$C1[F] = \frac{1}{Zc} \times \frac{lc}{\frac{c}{\sqrt{\epsilon_{eff}}}} \quad (\text{II-3})$$

En utilisant le modèle Phillips d'ADS ainsi que l'équation (II-3), les valeurs du modèle ont été initialisées pour les deux configurations de boîtier. Les résultats sont présentés dans le tableau II.2.

Résultats d'initialisations des éléments pour le boîtier n 1									
Lg1 [nH]	Ld1 [nH]	Ls [nH]	M1 [nH]	M2 [nH]	C1 [pF]	C2 [pF]	R1 [Ω]	L1 [nH]	
1.32	0.93	0.11	-	0.4	1.95	-	-	-	

Résultats d'initialisations des éléments pour le boîtier n 2									
Lg2 [nH]	Lg3 [nH]	Ld2 [nH]	Ls [nH]	M3 [nH]	C1 [pF]	C2 [pF]	C3 [pF]	R1 [Ω]	L1 [nH]
0.59	1.07	1.75	0.11	-	1.95	-	8.2	-	-

Tableau II.2 : Initialisations des valeurs des éléments du modèle pour les deux configurations de boîtier.

Ces valeurs sont incluses dans le modèle du transistor encapsulé et servent de point de départ à l'optimisation finale qui va permettre d'extraire tous les éléments du modèle.

#### 1.2.2.5. Extraction des éléments du modèle du boîtier.

L'étape finale consiste à ajuster le modèle du transistor encapsulé aux mesures de paramètres S réalisées. Pour ce faire, le modèle linéaire du transistor en puce extrait dans l'étape 1 est incorporé à l'intérieur du modèle de boîtier défini dans l'étape 3 avec les valeurs initiales déterminées à l'étape 4. Il en résulte un modèle linéaire de transistor encapsulé défini pour un point de polarisation. Les éléments de ce modèle sont optimisés pour que les simulations du modèle global s'ajustent le plus possible aux mesures de paramètres S du transistor encapsulé réalisées dans l'étape 2. L'opération d'optimisation est effectuée pour plusieurs points de polarisation intégrant donc différents modèle de transistor en puce. Les valeurs du modèle de boîtier restent indépendantes de la polarisation. La figure II.10 résume les différentes étapes de l'extraction du modèle de boîtier.

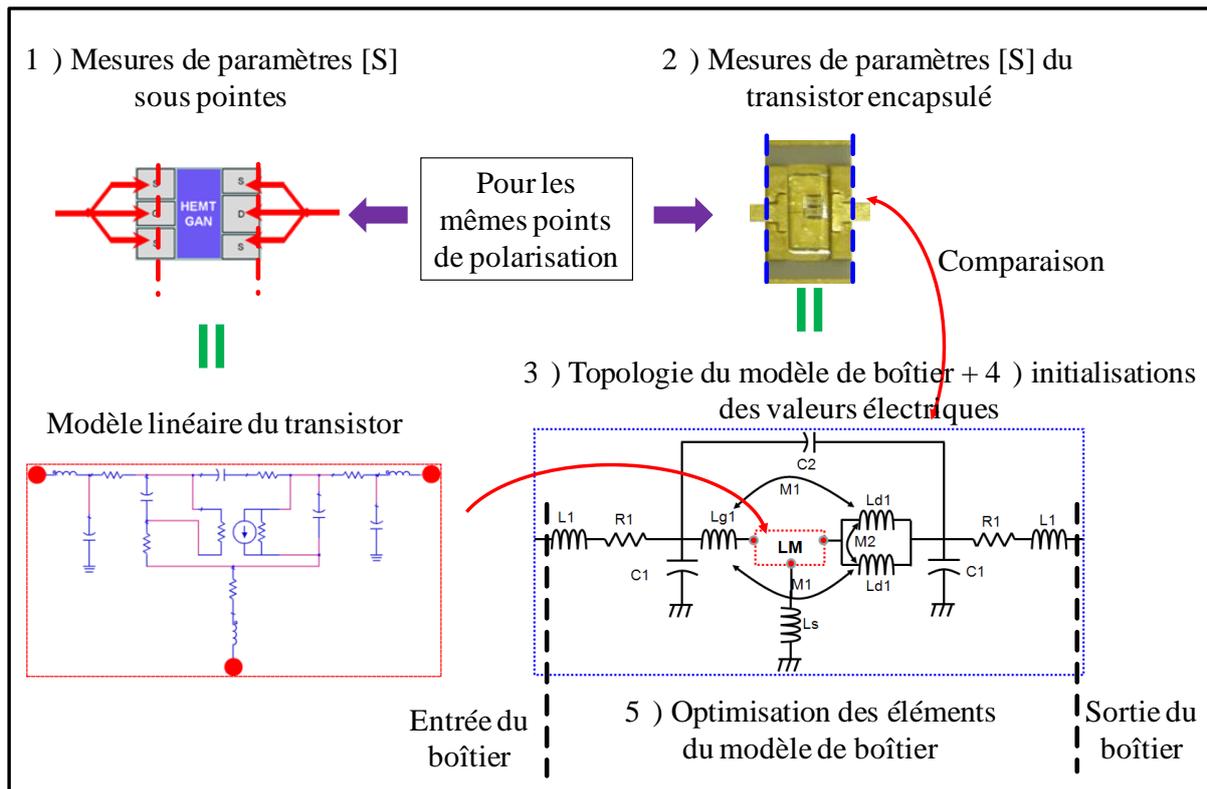


Figure II.10 : Etapes d'extraction des éléments du modèle de boîtier

Ce principe d'extraction a été appliqué pour les deux configurations de boîtier. Les résultats finaux des valeurs des modèles de boîtier sont présentés dans le tableau II.3.

Résultats d'optimisations des éléments du modèle pour le boîtier n 1

Lg1 [nH]	Ld1 [nH]	Ls [nH]	M1 [nH]	M2 [nH]	C1 [pF]	C2 [pF]	R1 [Ω]	L1 [nH]
1.20	0.90	0.09	0.02	0.35	2.0	0.001	0.2	0.30

Résultats d'optimisations des éléments du modèle pour le boîtier n 2

Lg2 [nH]	Lg3 [nH]	Ld2 [nH]	Ls [nH]	M3 [nH]	C1 [pF]	C2 [pF]	C3 [pF]	R1 [Ω]	L1 [nH]
0.50	0.90	1.50	0.09	0.025	2.0	0.001	8.3	0.2	0.30

Tableau II.3 : Extraction des valeurs des éléments du modèle pour les deux configurations de boîtier.

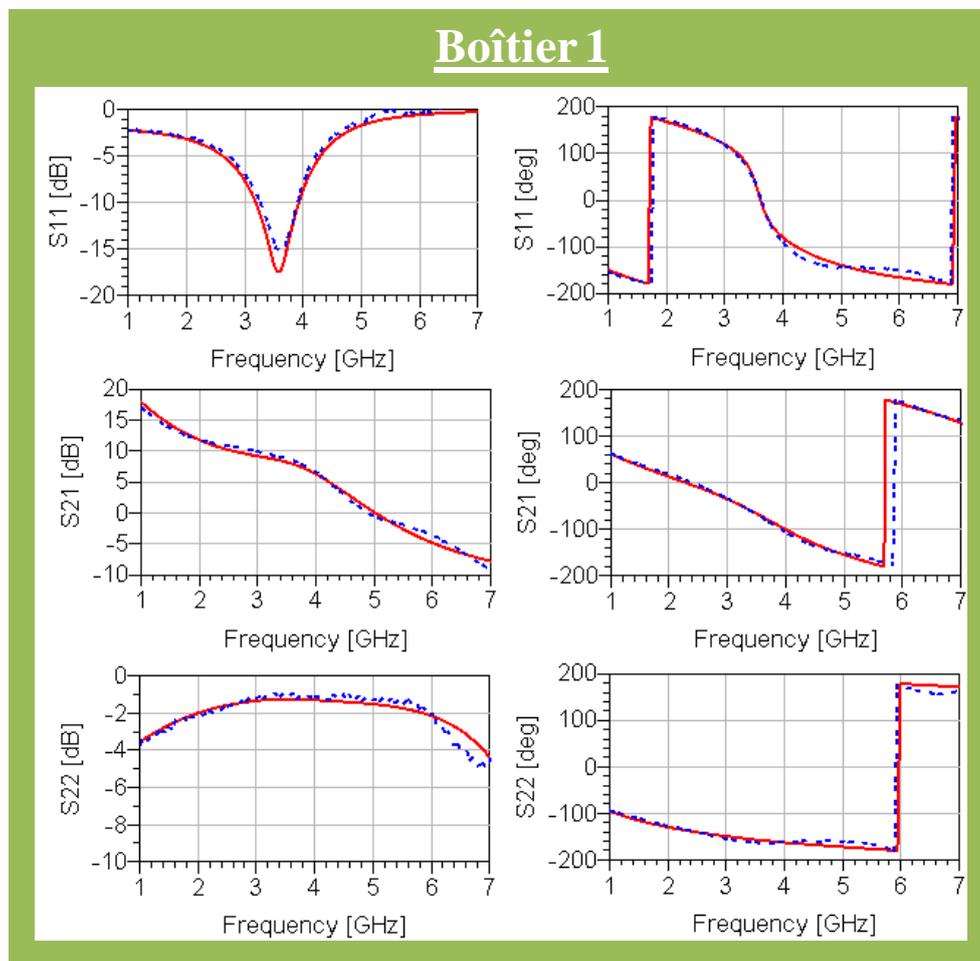
Le premier constat est que les valeurs initialement calculées dans le tableau II.2 sont très proches des résultats obtenus après optimisation. Ce résultat est primordial. Toute synthèse ultérieure de boîtier allant des éléments électriques optima vers leur implémentation physique dans le boîtier sera fiable. Pour les inductances et les mutuelles, les valeurs fournies par le modèle Phillips sont légèrement supérieures aux valeurs extraites. La capacité C1 calculée ainsi que la capacité de préadaptation C3 sont quasiment identiques aux valeurs

extraites. Les autres éléments ont été optimisés dans le but d'affiner la comparaison des résultats entre les mesures et le modèle. Il est possible de constater que la capacité de couplage C2 et que les pertes R1 sont très faibles, voire négligeables. En revanche, les mutuelles M1, M2 et M3 ainsi que l'inductance parasite L1 ont un impact significatif sur les résultats et ne peuvent donc pas être négligés.

### I.2.3. Validation du modèle de transistor encapsulé.

#### I.2.3.1. Validation du modèle linéaire de transistor encapsulé en paramètres S.

Un modèle de transistor encapsulé a ainsi été extrait pour chacune des deux différentes configurations de boîtier. La figure II.11 présente une comparaison des paramètres S mesurés et simulés pour les deux configurations de boîtier réalisés. Le point de polarisation est  $V_{ds0}=50V$  et le courant de repos est de 40mA.



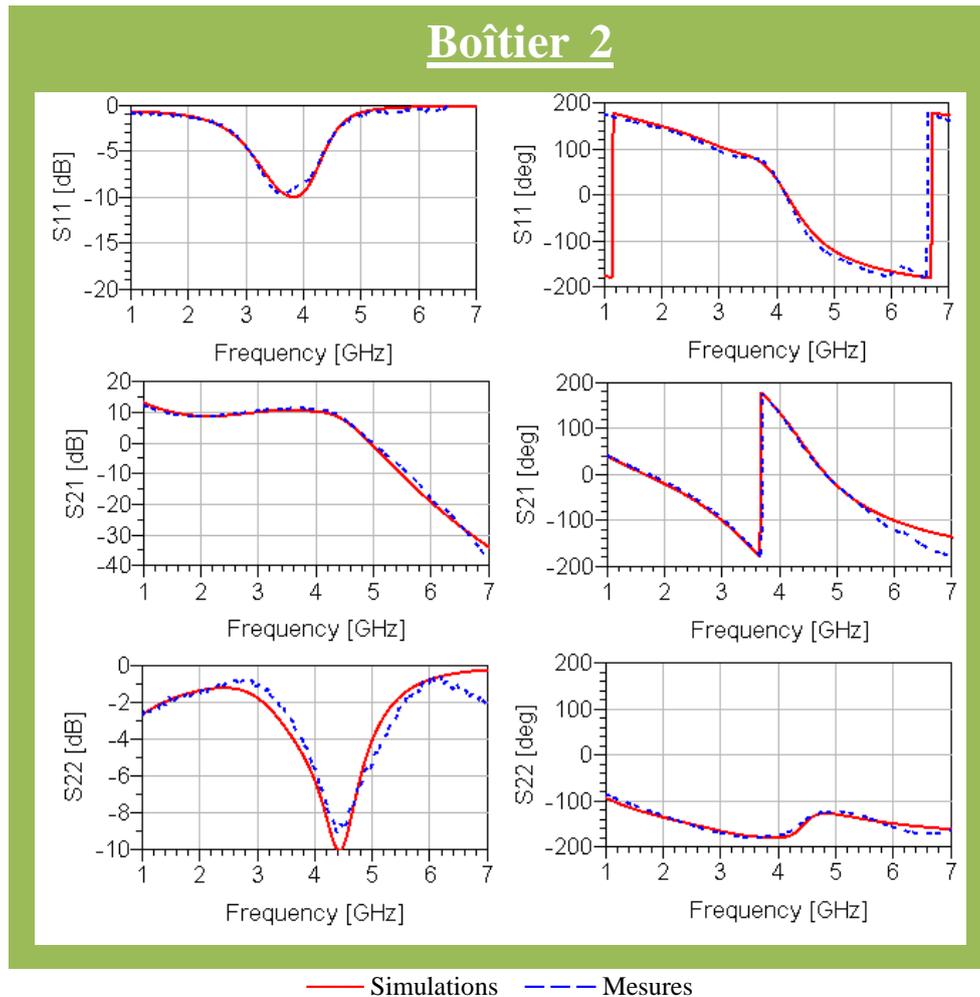


Figure II.11 : Comparaison des paramètres S mesurés et simulés pour les deux configurations de transistor encapsulé, à  $V_{ds0}=50V$  et  $I_{ds0}=40mA$ .

Il s'avère que pour les deux configurations de boîtier, la comparaison des résultats de mesures et de simulation du transistor encapsulé présente de très bons résultats sur la bande de fréquence [1-7] GHz. Cette comparaison a également été effectuée pour deux autres points de polarisation, donnant des résultats similaires en termes d'accord entre les mesures et les simulations. Notons que la fréquence maximale de 7 GHz est imposée par la validité du KIT TRL utilisé pour le de-embedding des mesures

#### 1.2.3.2. Validation du modèle de transistor encapsulé en fort signal.

Désormais, le modèle électrothermique non linéaire, extrait dans la partie I.1 de ce chapitre, est utilisé en lieu et place du modèle linéaire précédent. Des mesures fort signal sont réalisées à 3.2 GHz pour ces deux configurations de boîtier et comparées aux simulations. Le

signal RF est encore pulsé (10 $\mu$ s/10%) et le transistor est polarisé à une tension de drain  $V_{ds0}=50V$  pour un courant de repos de 2 mA. Pour les deux configurations, l'optimum de PAE a été recherché au fondamental en load-pull, l'impédance à l'harmonique 2 étant fixée à 50  $\Omega$ . La figure II.12 présente une comparaison des performances électriques mesurées et simulées.

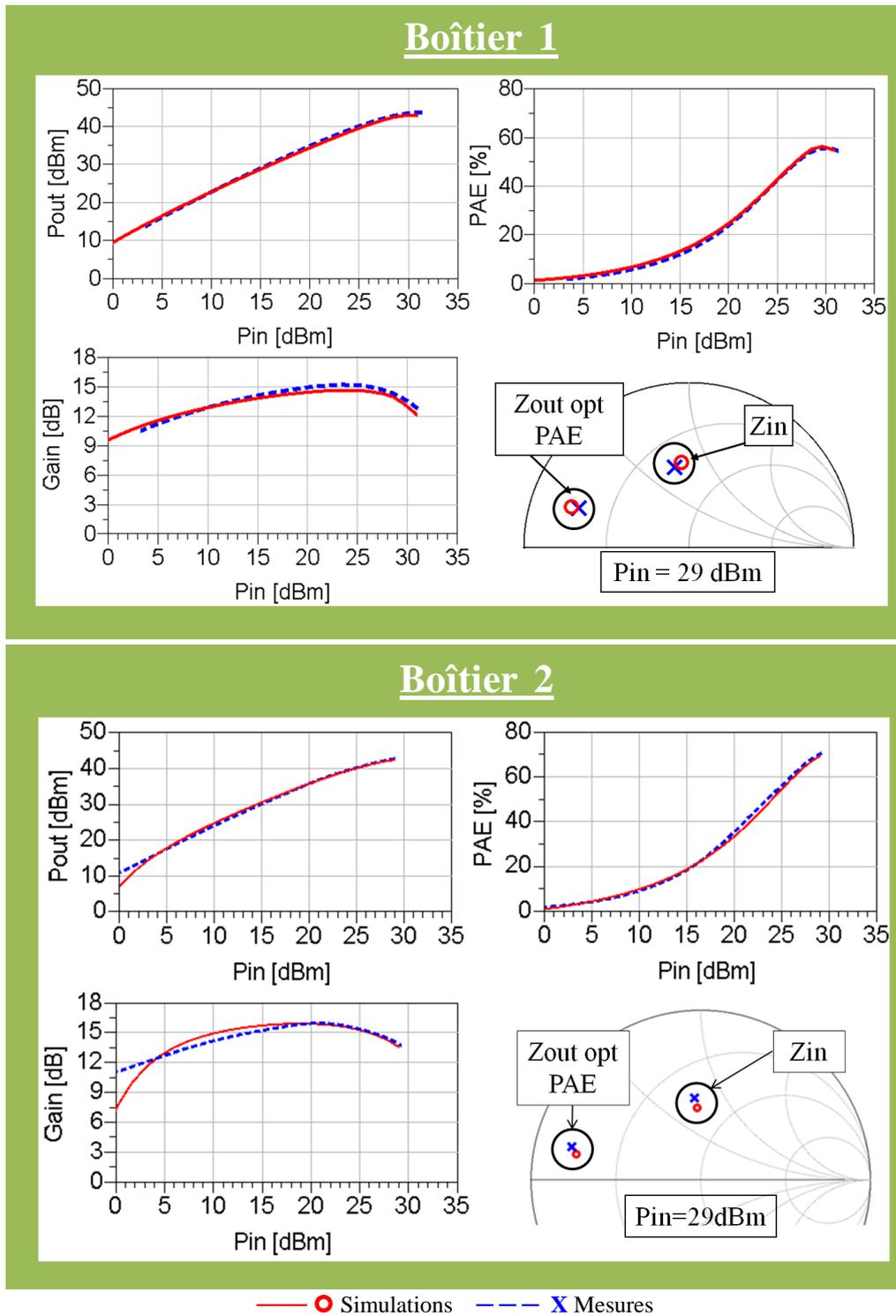


Figure II.12 : Comparaison des mesures et simulations fort signal pour les deux configurations de transistor encapsulé, à 3.2 GHz et pour  $V_{ds0}=50V$  et  $I_{ds0}=2mA$ .

Le premier constat est que les impédances conduisant à l'optimum de PAE simulées à une puissance d'entrée de 29 dBm, ainsi que les impédances d'entrée du transistor encapsulé, sont très proches des impédances mesurées. Force est aussi de constater la très bonne concordance des performances électriques entre les mesures et les simulations sur toutes la plage de variation de puissance d'entrée. Il est également intéressant de constater que ces deux différents boîtiers donnent des lieux d'impédances de charge et de source très proches. Ce phénomène est dû à une résonance créée par le boîtier de sortie qui limite ainsi la variation d'impédance en sortie.

En revanche, les performances des deux transistors encapsulés sont sensiblement différentes, surtout au niveau de la PAE. En effet, le boîtier n°1 présente un maximum de 55% de PAE tandis que le boîtier n°2 présente une PAE de 70%, et cela dans les mêmes conditions de mesures. L'explication d'un tel écart de performance sera présentée dans la partie II de ce chapitre au travers de la synthèse optimale de boîtier permettant d'assurer performances en PAE.

### **I.3. Résumé.**

Notre choix de modélisation du transistor de puissance encapsulé repose sur une topologie d'éléments localisés pour le boîtier et l'extraction préalable d'un modèle de transistor électro thermique non linéaire très fiable. La méthodologie appliquée pour extraire les éléments du boîtier est issue d'une description phénoménologique des phénomènes physiques associés aux câblages des boîtiers. Ainsi, l'association de ces deux modèles a donné naissance à un modèle de transistor encapsulé fiable, validé en fort et faible niveau.

Dans ce second chapitre, des comparaisons entre des mesures et des simulations fort niveaux harmoniques ont été menées et conduisent à l'obtention d'une très bonne concordance pour chaque configuration de boîtier réalisé. Ainsi, la synthèse électrique d'un boîtier optimal pour l'adaptation en PAE du transistor permettra de synthétiser physiquement et de manière optimale des fils de câblage, des capacités MOS et/ou des céramiques métallisées.

Une très bonne connaissance des éléments du boîtier permet également de calculer par de-embedding les formes d'ondes temporelles dans les plans extrinsèques du transistor. La figure II.13 illustre les formes de courant et de tension de drain mesurées et simulées à 3.2

GHz sur l'impédance optimale de rendement au fondamental à 2.5 dB de compression de gain pour le boîtier n°1. On peut observer la très bonne correspondance obtenue sur ces formes d'onde temporelles qui constituent une donnée très significative dans le cas d'une optimisation en PAE et/ou d'une étude sur les zones d'excursion et de fiabilité.

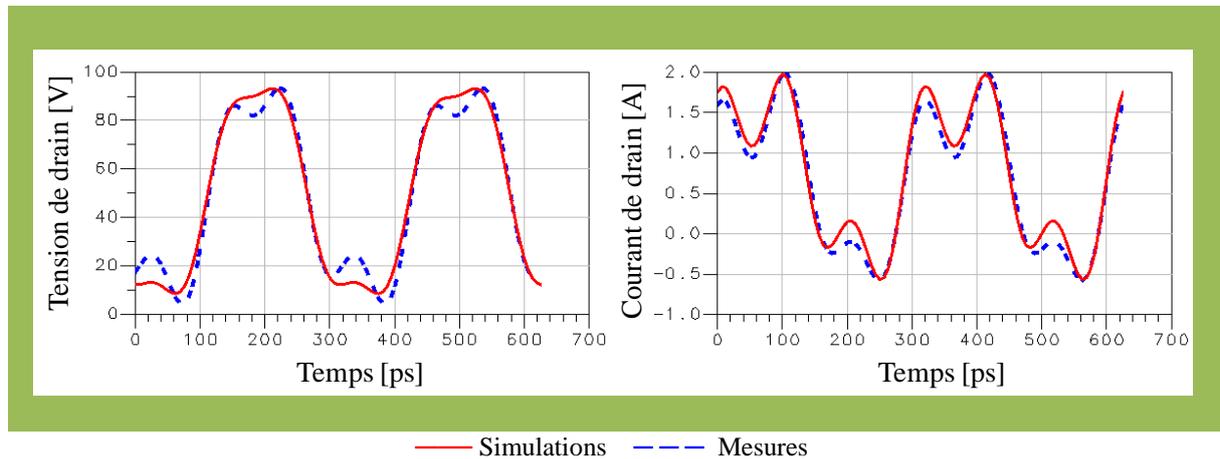


Figure II.13 : Mesures et simulations des formes d'ondes temporelles de drain extrinsèques pour la configuration de boîtier n°1 à 3.2GHz sur l'optimum de rendement.

## II. Principe d'adaptation des impédances de charge harmoniques interne au boîtier.

### II.1. Principe d'optimisation des éléments du boîtier en sortie.

#### II.1.1. Principe général de confinement des zones de fonctionnement.

L'extraction du modèle de boîtier précédemment établi a fait apparaître un filtre passe-bas LC en sortie du boîtier (et en entrée) comme l'illustre la figure II.14. La capacité  $C1$  est directement liée à l'impédance caractéristique de la céramique métallisée du boîtier et donc à ses dimensions tandis que  $Ld$  est l'inductance équivalente du fil de câblage du drain.

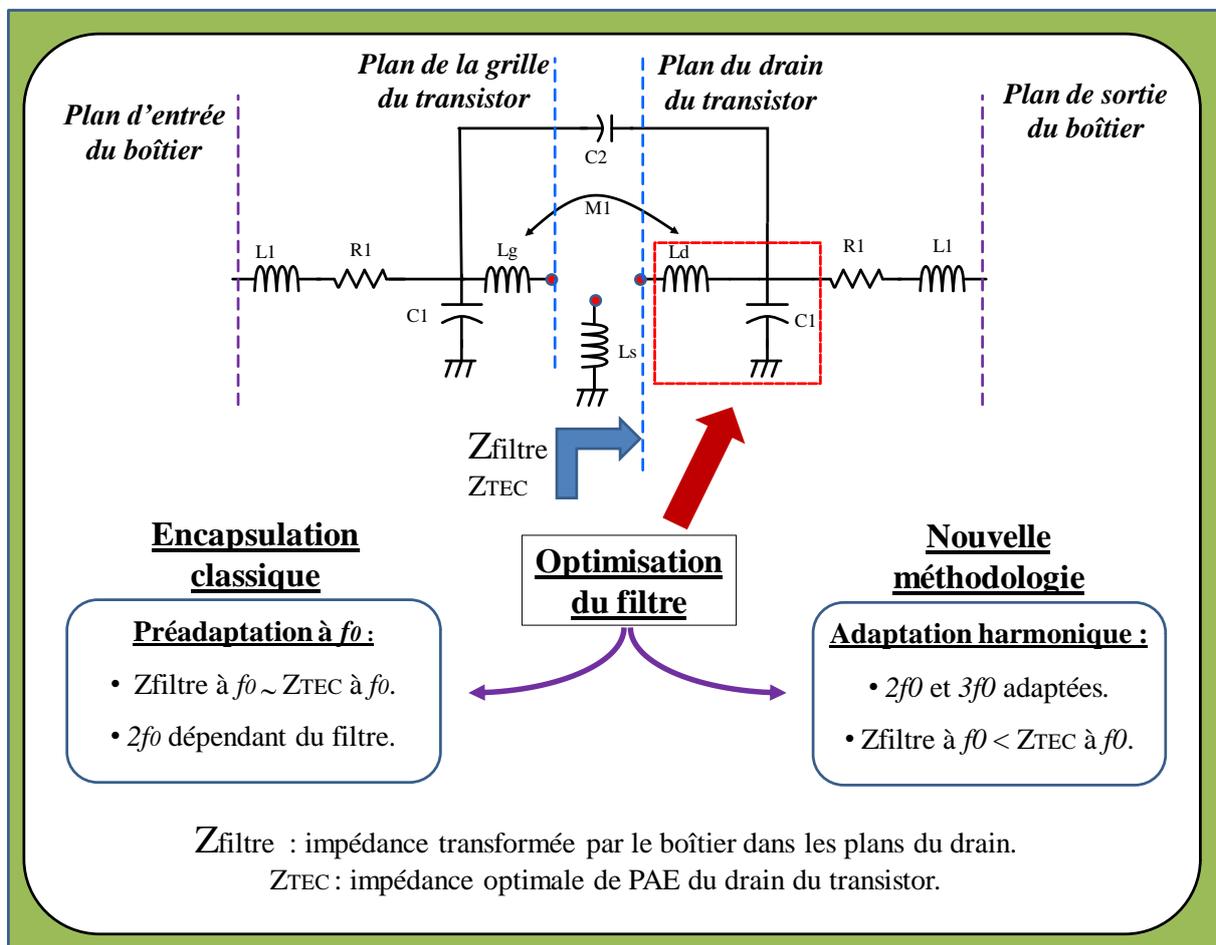


Figure II.14 : Architecture du modèle de boîtier. Mise en évidence du filtre passe bas de sortie.

Classiquement, le filtre LC est optimisé pour que l'impédance présentée à la fréquence fondamentale permette un fonctionnement optimal du transistor à cette fréquence. Une

première méthode d'optimisation consiste donc à calculer la valeur de l'impédance caractéristique de la céramique métallisée équivalente à l'impédance de charge au fondamental du transistor. Le but est alors d'effectuer la meilleure préadaptation en sortie du transistor au fondamental. La seconde alternative consiste à présenter une capacité C1 la plus faible possible pour obtenir un rapport de transformation le plus faible possible permettant ainsi de ne pas contraindre l'adaptation en sortie du boîtier. Quelle que soit la méthode utilisée, les impédances harmoniques de source présentées au transistor sont dépendantes du filtre LC et ne sont pas contrôlées. Dans certains cas, ces impédances harmoniques ne peuvent même plus être contrôlées à la sortie du boîtier.

L'originalité de la méthodologie proposée lors de ces travaux de thèse consiste en premier lieu à adapter les impédances harmoniques à l'aide du filtre LC, sans contraindre l'adaptation d'impédance aux fréquences fondamentales à la sortie du boîtier. Cette méthode s'appuie en partie sur la théorie de la classe J énoncée par Cripps [46]. La principale innovation se situe au niveau de l'application de cette théorie. L'adaptation des impédances harmoniques est réalisée à l'intérieur du boîtier sur une très large bande passante. L'adaptation au fondamental sera externe au boîtier mais localisée dans des zones de synthèse d'impédance favorable à une large bande passante. Des améliorations sont également apportées au niveau l'adaptation entre les impédances fondamentales et harmoniques. En effet, l'optimisation du filtre propose une quasi-dissociation entre les différentes adaptations d'impédances, c'est-à-dire que l'adaptation de l'impédance fondamentale externe au boîtier n'affectera en rien les adaptations réalisées aux harmoniques à l'intérieur du boîtier. En d'autres termes, le filtre LC sera optimisé pour rendre le boîtier insensible aux variations d'impédances harmoniques externes au boîtier de telle sorte que le concepteur n'ait plus à se préoccuper que de l'adaptation au fondamental.

Avant d'expliquer le principe de l'optimisation des éléments des boîtiers, la figure II.15 est réalisée dans le but d'illustrer les différents plans de transformation d'impédance du boîtier étudié par la suite. Des plans intermédiaires entre la sortie du boîtier ( $\Gamma_{Bc}$ ) et le plan de drain du transistor ( $\Gamma_d$ ) sont définis dans le but d'étudier l'impact du fil de câblage (modélisé par  $L_d$ ) et de la céramique métallisée du boîtier (modélisé par C1). Ainsi, les impédances transformées par la céramique métallisée (C1) seront étudiées dans le plan nommée  $\Gamma_{cc}$ . Un plan de sortie du boîtier bis ( $\Gamma'_{cc}$ ) est défini afin de ne prendre en compte que le filtre LC lors de l'étude suivante.

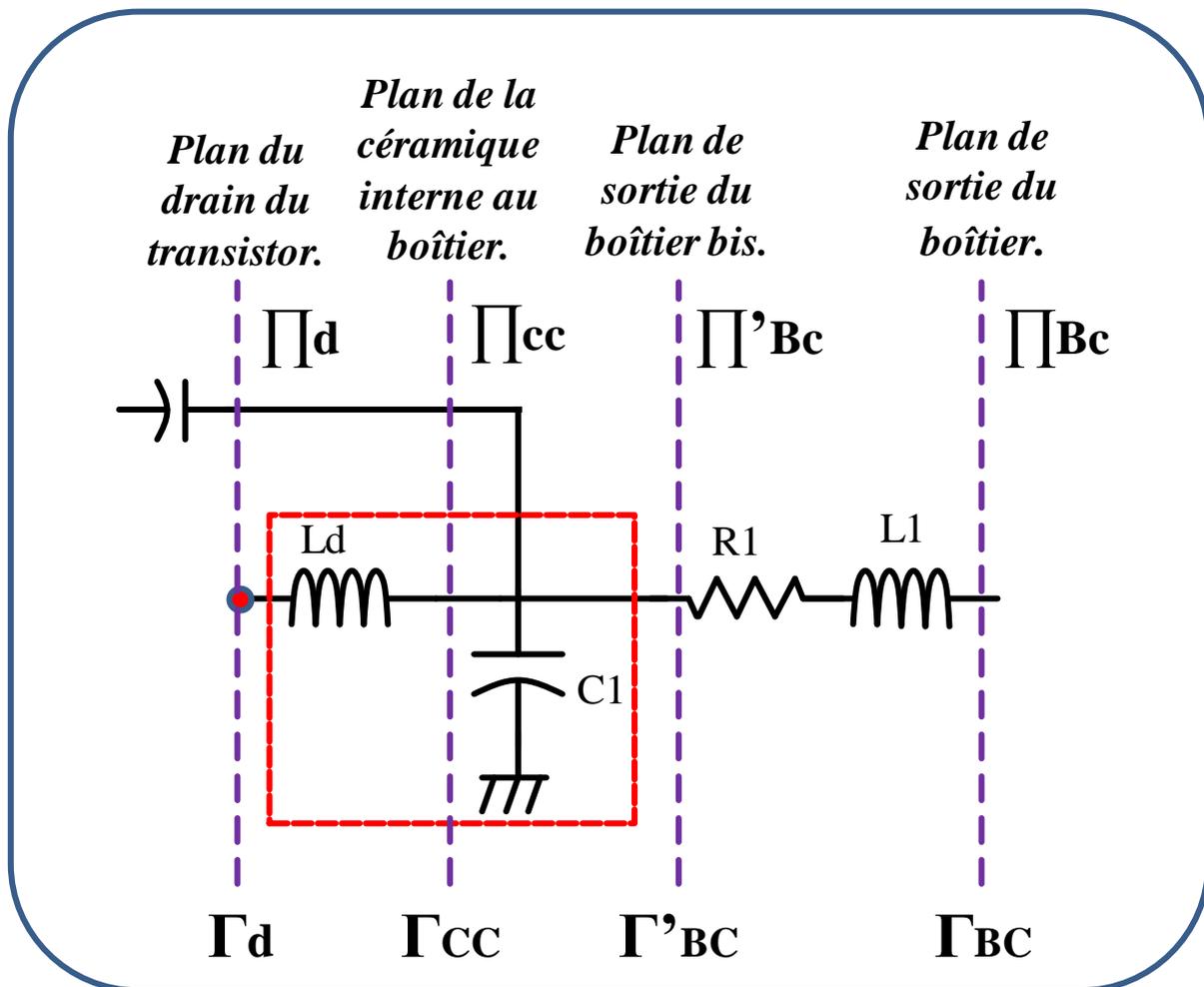


Figure II.15 : Plan de transformation des impédances de la sortie du boîtier vers le plan du drain du transistor.

Avant d'optimiser les éléments du filtre, il est nécessaire de connaître les zones d'impédances optimales aux fréquences fondamentales et harmoniques. Connaissant ces zones, le filtre LC est alors optimisé pour confiner les impédances transformées au fondamental comme aux harmoniques par le filtre dans les zones optimales. La figure II.16 illustre les transformations d'impédances réalisées à 3 GHz, 6 GHz et 9 GHz, lorsqu'un load-pull est effectué en sortie du filtre (plan de sortie du boîtier bis  $\Pi'_{BC}$ ). Une variation des éléments L (0.7 nH et 1.5 nH) et C (0.7 pF à 2.0 pF) est également appliquée, afin d'illustrer graphiquement l'impact de leurs valeurs sur les transformations d'impédances réalisées.

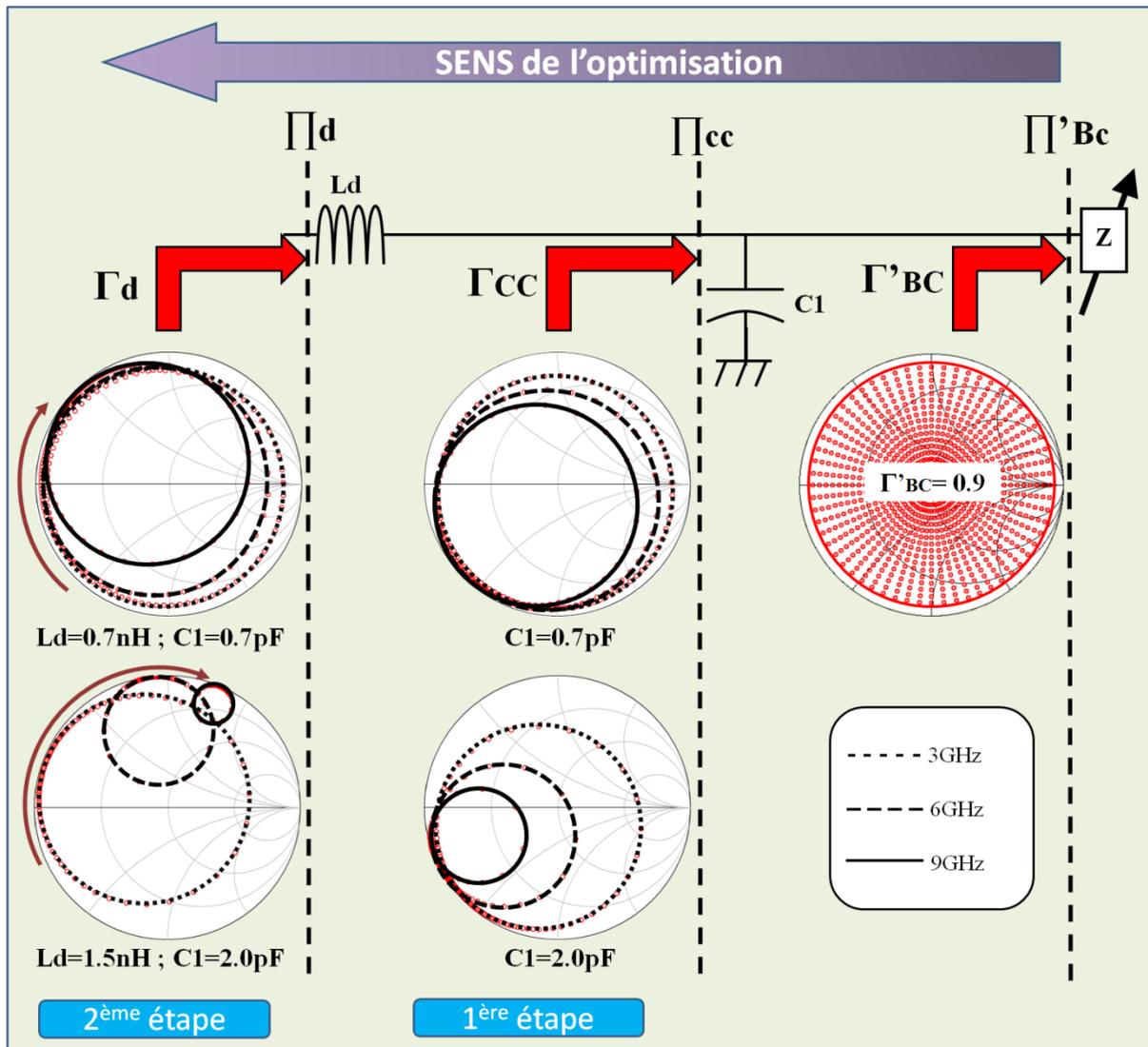


Figure II.16 : Principe d'optimisation du filtre LC

La première étape de synthèse consiste à optimiser d'abord la capacité équivalente  $C1$  du filtre, ce qui revient à dimensionner la céramique métallisée du boîtier. Cette capacité  $C1$  est optimisée pour que les impédances ( $\Gamma'_{BC}$ ) présentées en sortie du boîtier bis ( $\Pi'_{BC}$ ) soit transformée dans des zones réduites du plan de la céramique interne au boîtier ( $\Pi_{CC}$ ) quelle que soit la fréquence considérée. Plus  $C1$  est élevée et plus la zone des impédances transformées ( $\Gamma_{CC}$ ) est réduite. Ce phénomène homothétique augmente avec la fréquence. Dans le but de confiner ces impédances transformées dans les zones optimales du transistor, il faut donc choisir une valeur de capacité  $C1$  suffisamment élevée offrant un compromis permettant de réduire le plus possible les impédances transformées à  $2f_0$  et  $3f_0$  sans contraindre l'adaptation à  $f_0$ .

La deuxième étape est alors plus simple. L'inductance  $L_d$  est optimisée pour mieux confiner les impédances transformées par  $C1$  ( $\Gamma_{cc}$ ) dans les zones recherchées du plan du drain du transistor ( $\Gamma_d$ ). Lorsque  $L_d$  augmente, les impédances transformées ( $\Gamma_d$ ) se déplacent dans le sens horaire pour atteindre au maximum un circuit ouvert. Cet effet accru lorsque la fréquence augmente. Cette optimisation de  $L_d$  sera recherchée pour confiner les impédances transformées à  $2f_0$  dans les zones optimales. En effet, les HEMT GaN offrent en général jusqu'à 10 points de rendement en plus lorsque l'harmonique double est contrôlée. Le contrôle de l'harmonique triple sera alors dépendant de l'optimisation du filtre réalisée à  $2f_0$ . Les impédances au fondamental seront adaptées à l'extérieur du boîtier, sans venir compromettre l'adaptation aux fréquences harmoniques réalisée à l'intérieur du boîtier.

Le filtre LC est l'élément primordial lors de l'optimisation des éléments du boîtier. L'impact des autres éléments du boîtier est moindre mais ils seront tout de même pris en compte lors des prochaines simulations.

### II.1.2. Application au transistor HEMT GaN de 2.4 mm de développement.

Pour cette étude concernant l'optimisation des impédances de charge aux fréquences harmoniques interne au boîtier, le boîtier n°1 réalisé dans la partie I.2 de ce chapitre est utilisé. Pour simplifier la présentation de cette étude, les deux inductances de drain de 0.9 nH seront représentées par une seule inductance  $L_d$  de 0.7 nH. L'inductance n'est pas divisée en deux du fait de la forte mutuelle qui existe entre les deux fils de drain. Le schéma équivalent comporte désormais une seule inductance de drain comme l'illustre la figure II.17 afin de simplifier la présentation du principe d'adaptation.

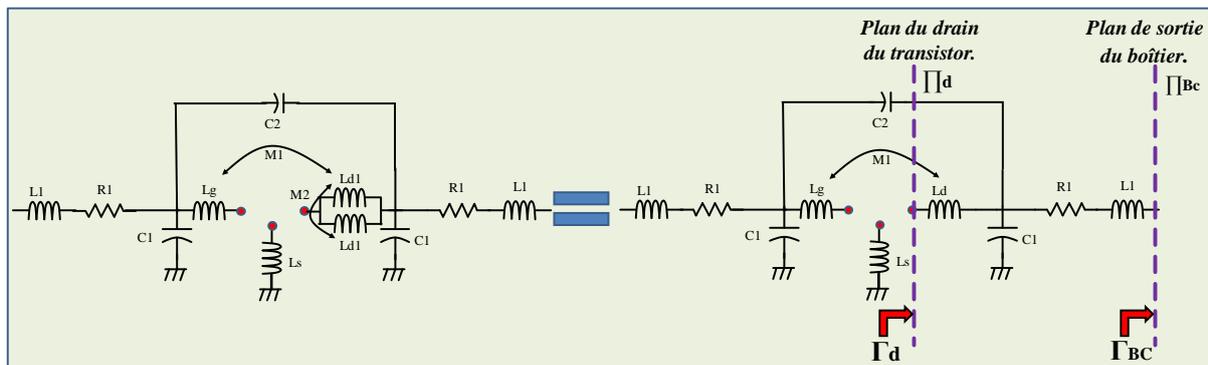


Figure II.17 : Architecture équivalente de modèle de boîtier du boîtier n°1.

Le boîtier choisi pour cette étude est le même que celui modélisé dans la partie I.2 de ce chapitre. Il présente une céramique métallisée de  $8.3 \Omega$  d'impédance caractéristique correspondant à une capacité équivalente de 2 pF. Cette capacité C1 permettra ainsi le bon confinement des impédances transformées aux fréquences harmoniques tout en laissant un champ d'adaptation assez large à la fréquence fondamentale.

Afin d'optimiser le filtre LC, il est nécessaire de connaître les zones d'impédances conduisant au rendement optimal dans le plan extrinsèque du drain du transistor ( $\Gamma_d$ ). Le principal inconvénient de la méthodologie proposée réside dans le fait que ces zones optimales doivent être définies lorsque le transistor est encapsulé. Les fils de source, les impédances ramenées aux fréquences harmoniques, les mutuelles et le câblage d'entrée ont un impact considérable sur les zones de rendement optimal. Ainsi, le transistor est simulé en étant câblé côté grille et côté source. Côté drain, la simulation est plus complexe. En tenant compte des trois premiers harmoniques, la simulation load-pull est effectuée dans le plan du drain de la puce ( $\Gamma_d$ ) à l'une des trois fréquences harmoniques, pendant que les deux autres sont configurées dans des conditions d'encapsulation. Cette étape est très importante car c'est l'unique façon de déterminer les zones optimales dans le plan du transistor lorsque celui-ci est encapsulé. Des contours de performance sur une puce nue, hors de son environnement, ne seraient d'aucune utilité car les fils de source et les transformations d'impédances engendrées par le boîtier ont des impacts considérables sur la localisation des zones optimales du transistor ( $\Gamma_d$ ). La figure II.18 expose les conditions de simulation load-pull réalisées.

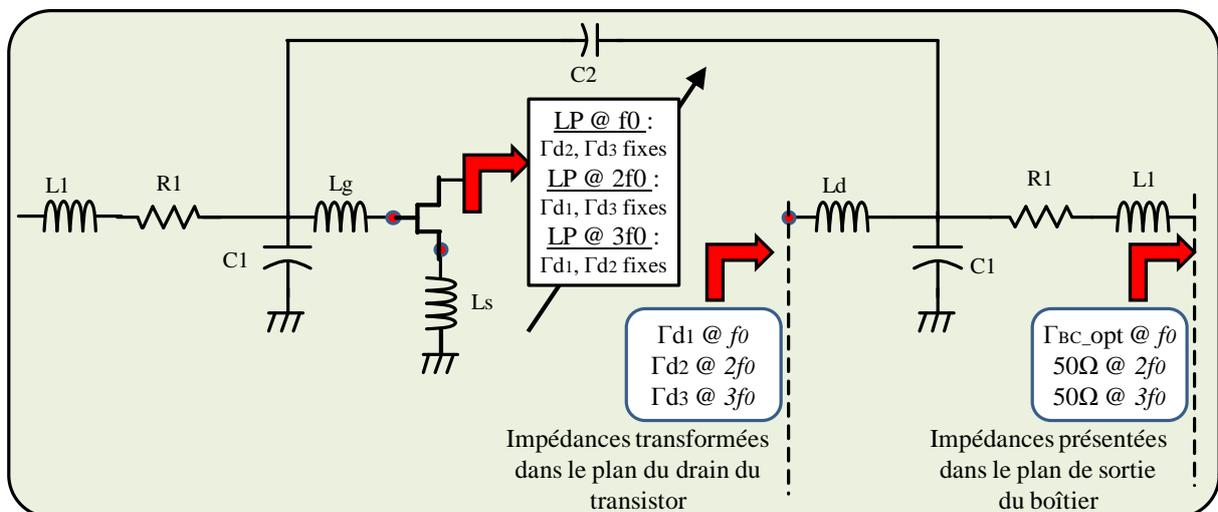


Figure II.18 : Principe de simulation load pull de la puce dans des configurations d'encapsulation.

Cette simulation a tout d'abord été effectuée pour le boîtier 1, désormais nommé 1.A, qui a déjà été mesuré dans la partie I.2 de ce chapitre. Une deuxième simulation load-pull a conduit à la synthèse d'une valeur d'inductance  $L_d$  offrant un confinement optimal des impédances harmoniques (Boîtier 1.B). La figure II.19 illustre les deux configurations de boîtier simulées.

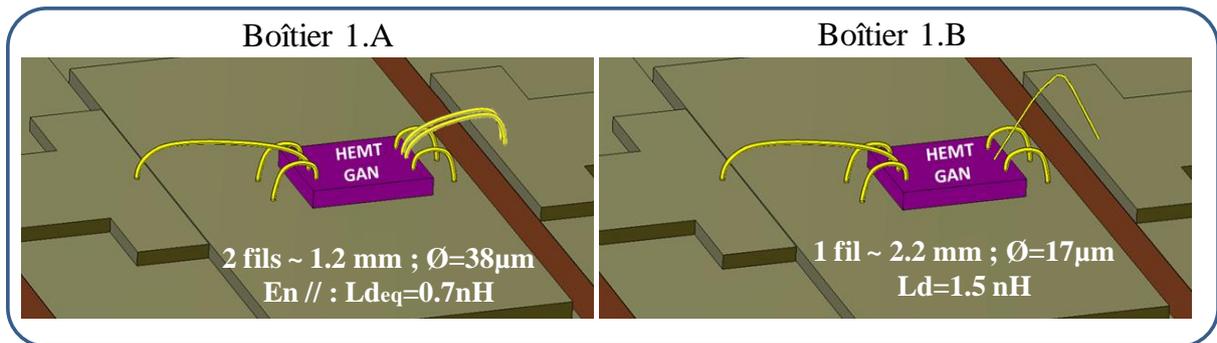


Figure II.19 : Caractéristiques des boîtiers 1.A et 1.B.

La figure II.20 illustre les contours de rendement dans le plan de la puce aux trois premières fréquences harmoniques des boîtiers 1.A et 1.B. Cette figure présente également les impédances transformées par le boîtier dans le plan du drain lorsqu'un load-pull est effectué sur la quasi-totalité de l'abaque de Smith en sortie du boîtier. L'exemple est illustré à 3.2 GHz pour les configurations de boîtier I.A et I.B, pour une polarisation  $V_{ds0}=50\text{V}$  et  $I_{ds0}=2\text{mA}$ . Le signal RF est toujours pulsée ( $10\mu\text{s}/10\%$ ).

L'analyse de ces deux simulations conduit à deux configurations de performances totalement opposées. Cette différence résulte de la transformation d'impédance réalisée par le filtre LC à l'harmonique 2.

Pour le boîtier 1.A initial, c'est-à-dire pour une inductance  $L_d$  de 0.7 nH, la majorité des impédances transformées par le boîtier à l'harmonique 2 est confinée dans des zones de rendement très défavorables. C'est la raison pour laquelle les contours de PAE simulés à la fréquence fondamentale restent inférieurs à 60% de PAE. Il est intéressant de constater qu'il faudra présenter un coefficient de réflexion supérieur à 0.8 au fondamental à la sortie du boîtier pour atteindre l'optimum de PAE qui est de 55%. A l'harmonique 3, les variations de PAE sont quasi-nulles.

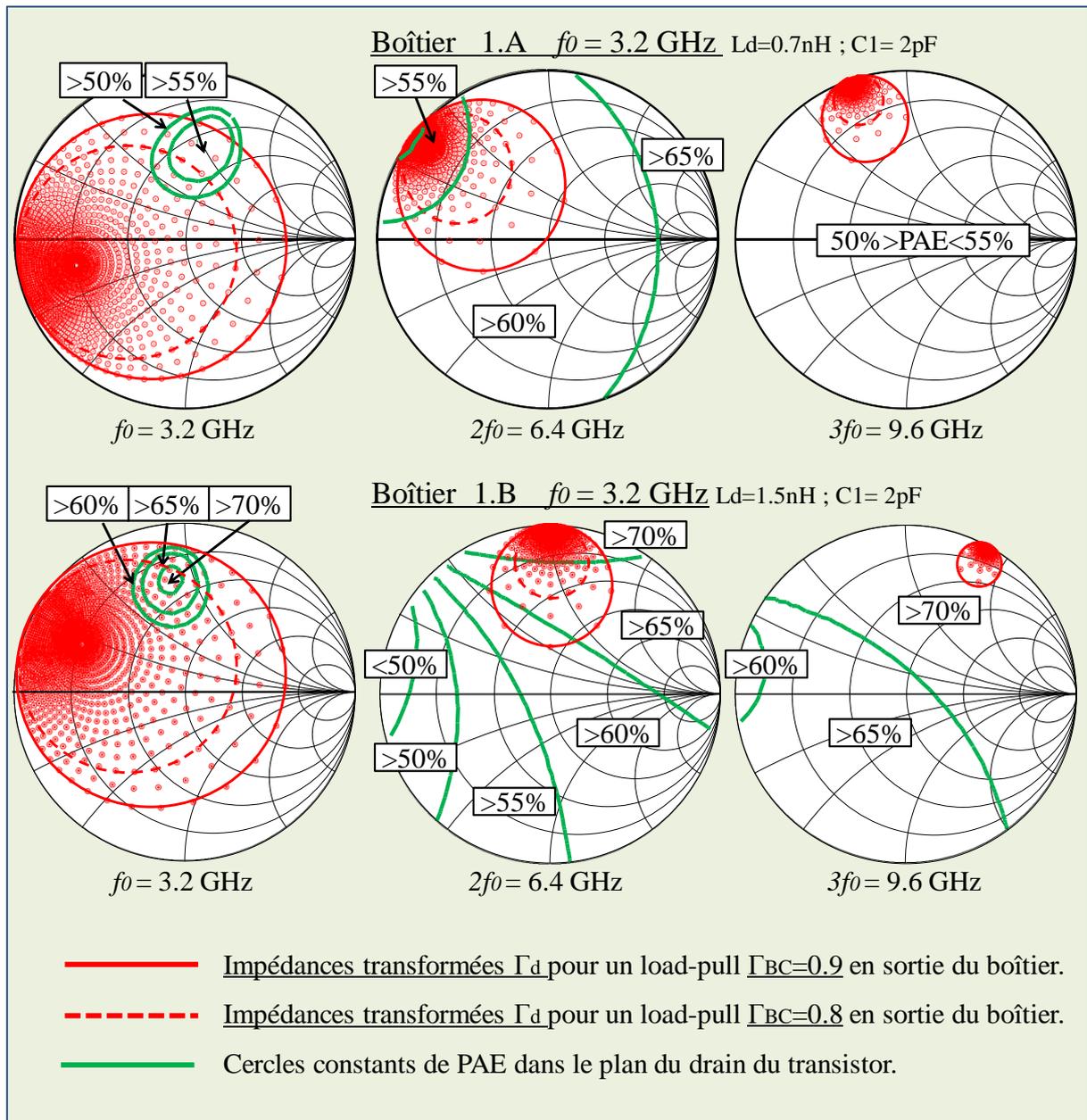


Figure II.20 : Contours de PAE dans le plan du transistor dans des conditions d'encapsulation pour le boîtier 1.A et 1.B à 3.2 GHz.

Pour le boîtier 1.B, c'est-à-dire pour une inductance  $L_d$  de 1.5 nH, la majorité des impédances transformées par le boîtier à l'harmonique 2 est confinée dans des zones de rendement optimal. Quelles que soient les impédances présentées à la sortie du boîtier à la fréquence double, le boîtier transforme la quasi totalité des impédances dans la zone de rendement supérieure à 70%. Cela explique le fait qu'un contour de 70% de PAE est disponible dans le plan du drain à la fréquence fondamentale. Il faudra tout de même présenter un coefficient de réflexion de 0.8 en sortie du boîtier pour dépasser les 70% de PAE.

A l'harmonique 3, les impédances transformées par le boîtier sont elles aussi dans des zones optimales de rendement, évitant ainsi le creux de PAE de 60% au niveau du court circuit.

Pour faciliter l'adaptation de l'impédance optimale qui devra être présentée en sortie du boîtier à la fréquence fondamentale, un troisième boîtier 1.C a été simulé. Son fil de drain a été considérablement allongé dans le but d'obtenir une inductance équivalente de 2.5 nH. La figure II.21 illustre le boîtier 1.C simulé.

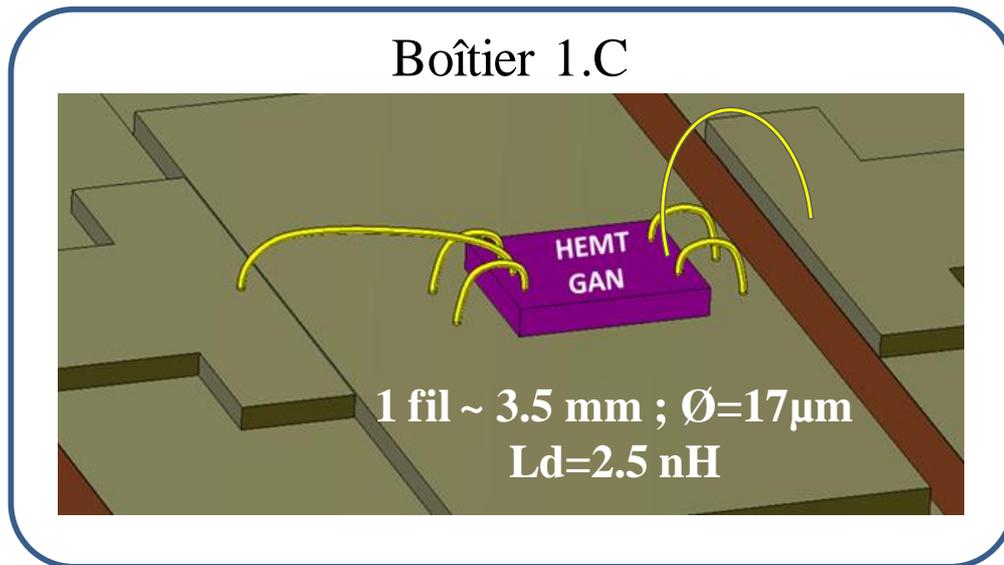


Figure II.21 : Caractéristiques du Boîtier 1.C.

Dans le cas du boîtier 1.C synthétisé pour améliorer le compromis entre la préadaptation au fondamental et le confinement à l'harmonique 2, les contours de PAE et les impédances transformées par ce boîtier ont été simulés dans le plan de la puce à 2.9 GHz et 3.5 GHz. Les résultats de simulation sont présentés sur la figure II.22.

L'augmentation de l'inductance équivalente a eu un impact considérable sur les impédances transformées à la fréquence fondamentale. Que ce soit à 2.9 GHz ou à 3.5 GHz, de faibles coefficients de réflexion à la fréquence fondamentale seront nécessaires en sortie du boîtier 1.C pour réaliser l'adaptation. Aux fréquences harmoniques doubles, les impédances transformées dans le plan de la puce sont considérablement réduites. A 2.9 GHz, ces impédances sont confinées dans la zone optimale de PAE alors qu'à 3.5 GHz, les impédances transformées sont sorties de cette zone optimale. Il en est de même à la fréquence harmonique 3.

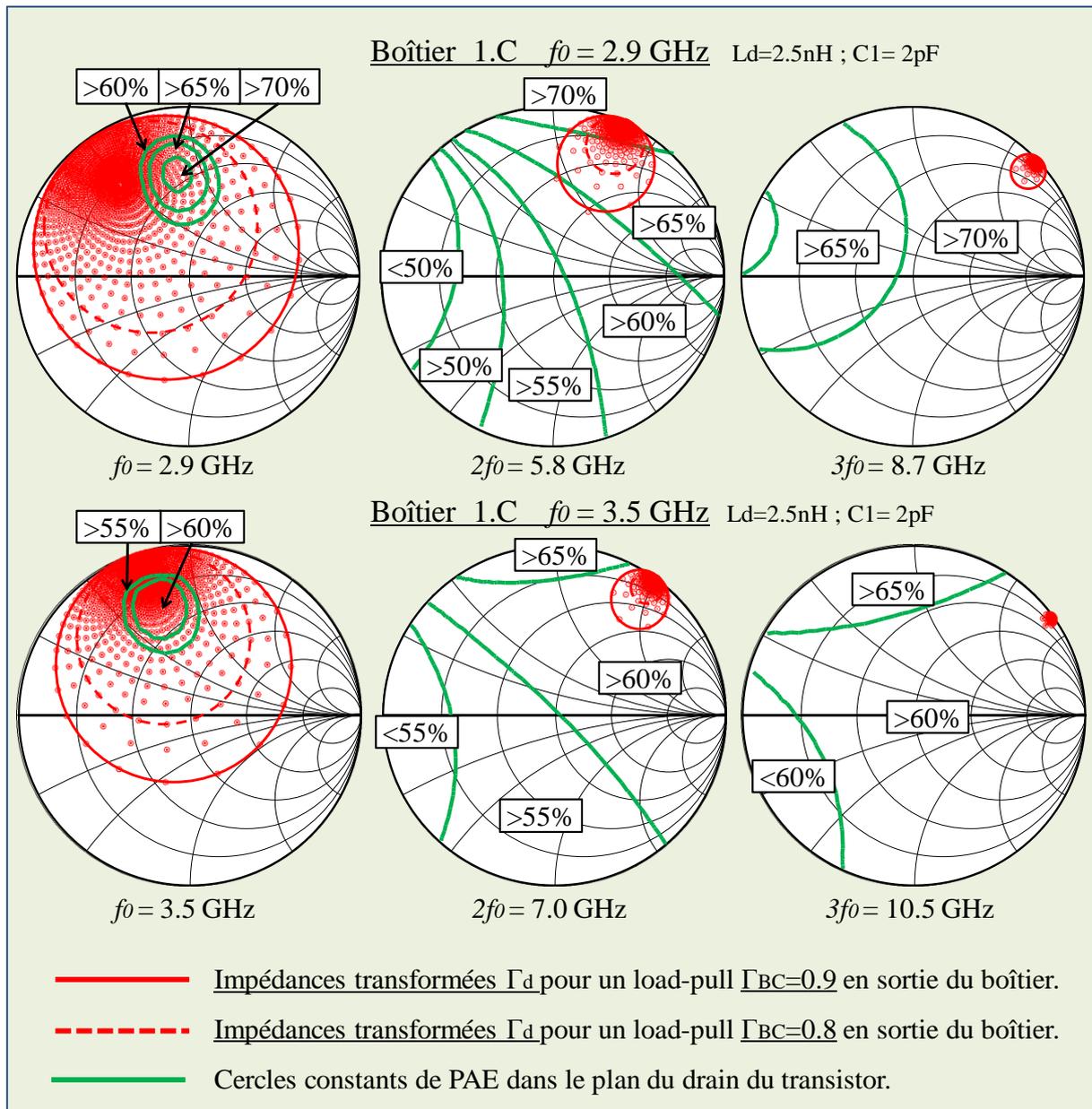


Figure II.22 : Contours de PAE dans le plan du transistor dans des conditions d'encapsulation pour le boîtier 1.C à 2.9 GHz et 3.5 GHz.

Ces trois boîtier simulés ont été réalisés et mesurés. En réalité, le boîtier 1.A a été mesuré avant d'être « dé-câblé » puis successivement « re-câblé » en configuration 1.B puis 1.C. Ainsi, c'est la même puce active GaN qui a été utilisée pour les mesures suivantes, permettant ainsi de s'affranchir des incertitudes de dispersions éventuelles au niveau technologique du composant.

En résumé, le premier boîtier 1.A est non optimisé, le deuxième boîtier 1.B et le troisième boîtier 1.C sont optimisés en rendement avec une meilleure préadaptation au fondamental pour le dernier.

## II.2. Mesures et simulations load-pull multi harmoniques de transistor en boîtier optimisé en sortie.

Des mesures load-pull ont ainsi été réalisées dans les plans du boîtier ( $\Gamma_{BC}$ ) pour ces trois configurations de boîtiers par la société AMCAD Engineering. Tout d'abord, les impédances conduisant à l'optimum de PAE ont été recherchés à la fréquence fondamentale avec les harmoniques 2 et 3 fixés sur  $50 \Omega$ . Ensuite, des mesures load-pull ont été réalisées à l'harmonique 2 lorsque l'impédance au fondamental était fixée sur l'impédance optimale de rendement.

Les figures II.23 et II.24 présentent une comparaison entre les simulations et les mesures load-pull pour les boîtiers 1.A et 1.B.

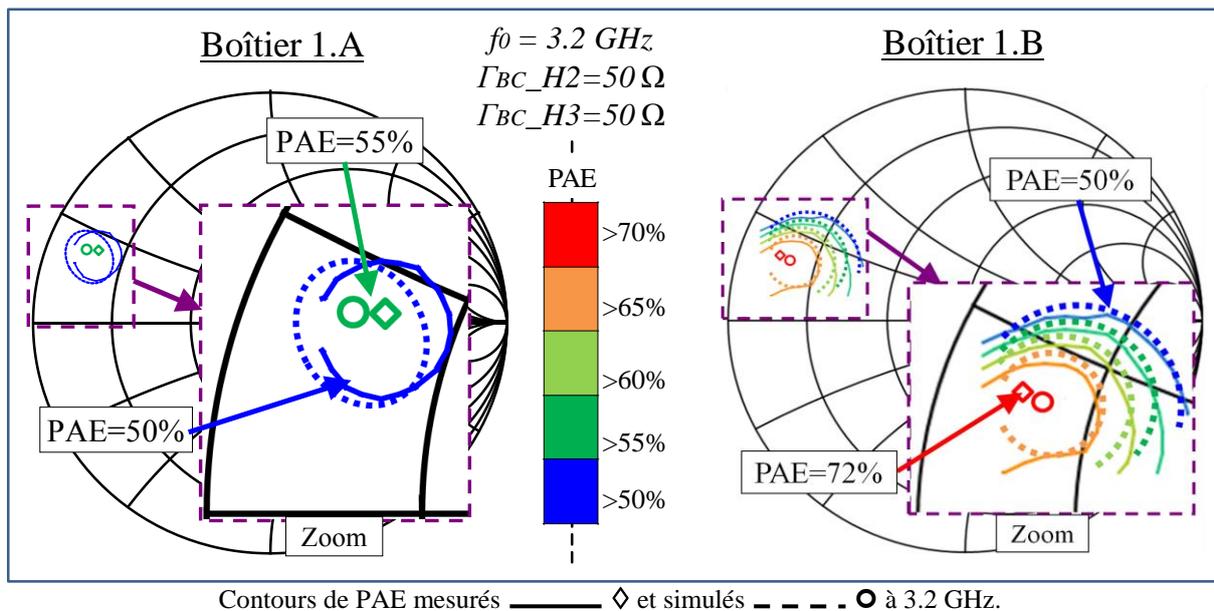


Figure II.23 : Contours de PAE mesurés et simulés à  $f_0$  dans le plan du boîtier pour le boîtier 1.A et 1.B à 3.2 GHz.

Le boîtier 1.A ne peut fournir une PAE maximale que de 55% alors que le boîtier 1.B présente une PAE de 72% soit une amélioration de 17 points de rendement. Ces performances sont obtenues pour des impédances de charge harmoniques ( $\Gamma_{BC\_H2}$   $\Gamma_{BC\_H3}$ ) fixées sur  $50 \Omega$ . Ces mesures permettent de valider la théorie énoncée. L'architecture optimisée du boîtier 1.B permet le contrôle des impédances aux fréquences harmoniques dans le plan de la puce dans des zones favorables.

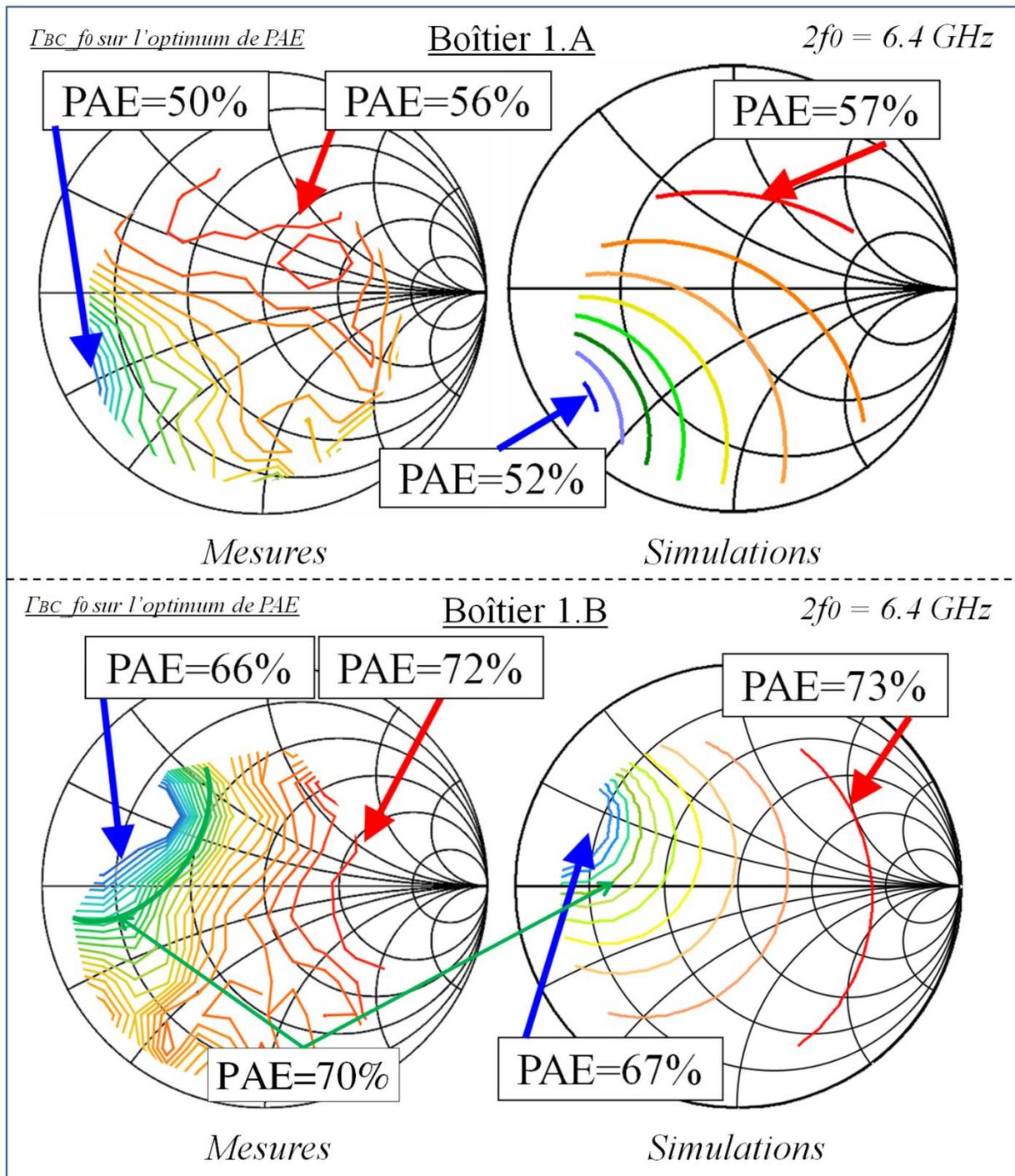


Figure II.24 : Contours de PAE mesurés et simulés à  $2f_0$  dans le plan du boîtier pour le boîtier 1.A et 1.B à 3.2 GHz.

Les mesures load-pull à l'harmonique 2 laissent apparaître des variations de PAE de seulement 6 points en sortie du boîtier. Le creux de PAE mesuré à 66% pour le boîtier 1.B se situe dans une zone très réduite de l'abaque de Smith. La majorité des impédances à

l'harmonique 2 présente une PAE comprise entre 70% et 72% qui illustre donc l'insensibilisation du transistor encapsulé 1.B aux variations de charge externes à l'harmonique 2.

Les mêmes mesures et simulations ont également été effectuées sur le boîtier 1.C pré-adapté en entrée à 2.9 GHz et 3.5 GHz. La figure II.25 et II.26 exposent les différents résultats.

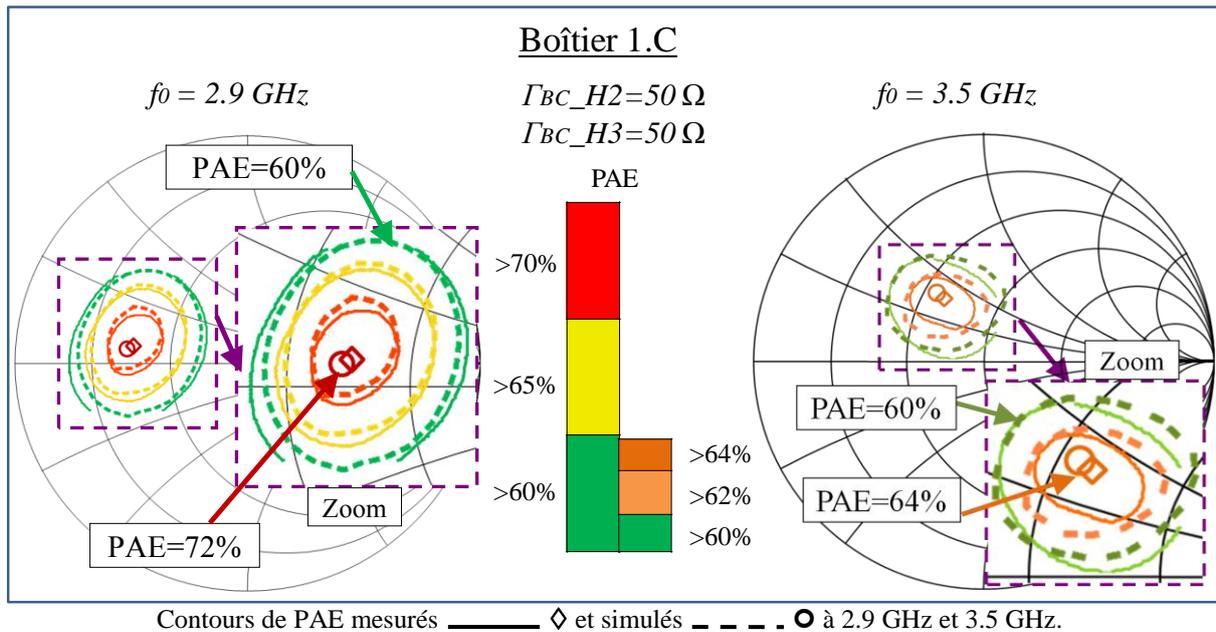


Figure II.25 : Contours de PAE mesurés et simulés à  $f_0$  dans le plan du boîtier pour le boîtier 1.C à 2.9 et 3.5 GHz.

Ainsi que nous l'avons exposé précédemment, l'allongement du fil de drain du boîtier 1.C a permis d'obtenir une meilleure préadaptation en sortie à la fréquence fondamentale. En effet, les impédances de PAE optimale présentent des coefficients de réflexion de 0.44 à 2.9 GHz et 0.33 à 3.5 GHz pour le boîtier 1.C contre un coefficient de réflexion de 0.78 pour le boîtier 1.B à 3.2 GHz. Cette amélioration engendre également un élargissement considérable des cercles constants de PAE. L'autre avantage généré par cet allongement est la variation de PAE qui devient de plus en plus faible pour n'atteindre que 1 point à 3.5 GHz. La mauvaise qualité de la ligne du pied de test à 7 GHz n'a permis de réaliser des contours que sur un demi-abaque de Smith dans le plan du boîtier. En revanche, la simulation réalisée sur tout l'abaque de Smith donne le même résultat.

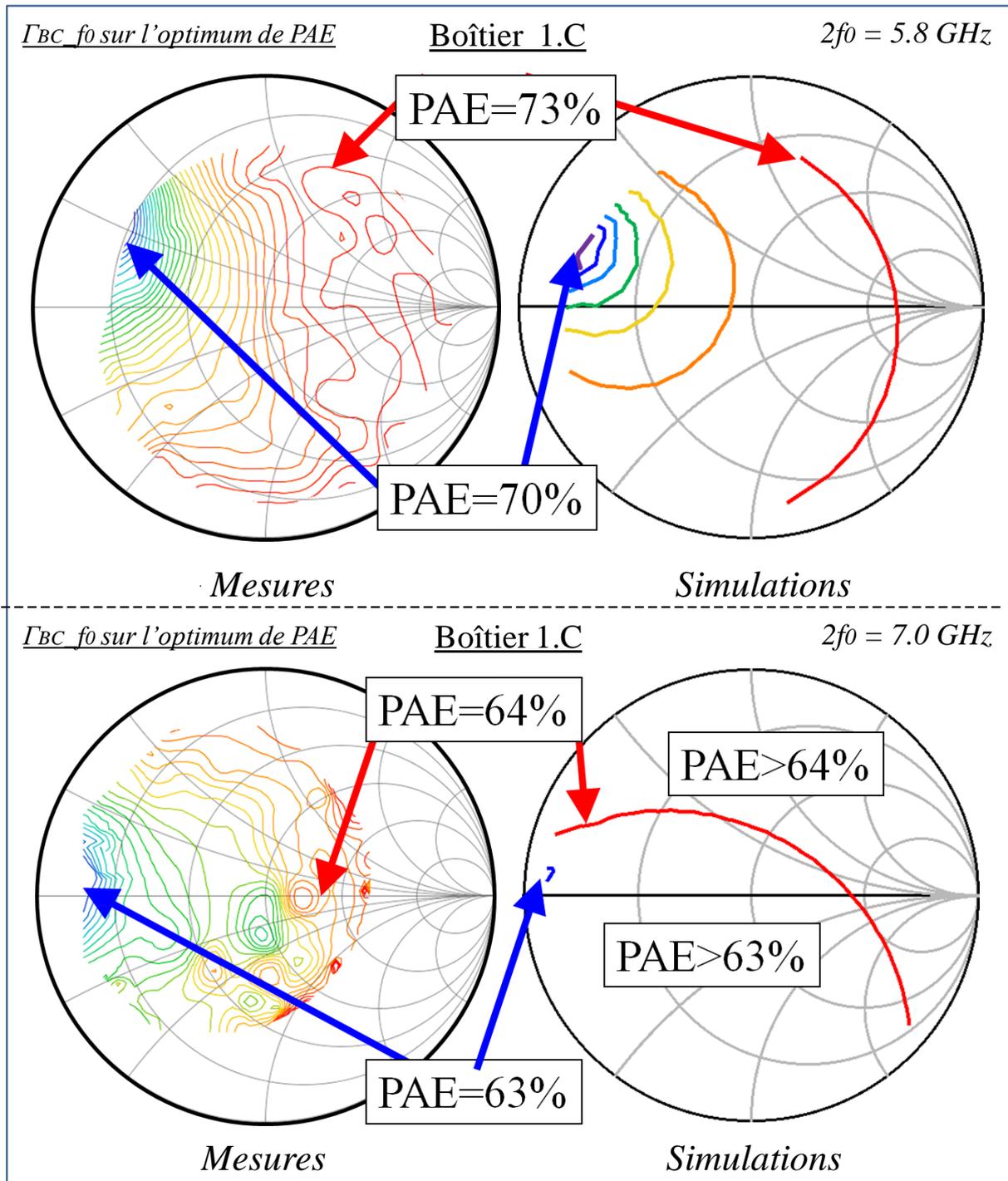


Figure II.26 : Contours de PAE mesurés et simulés à  $2f_0$  dans le plan du boîtier pour le boîtier 1.C à 2.9 et 3.5 GHz.

Ces précédentes figures mettent en évidence la fiabilité de la méthode de modélisation des transistors encapsulés. Quelles que soient les configurations de boîtier réalisées, les simulations sont toujours très proches des mesures. Ainsi, compte tenue des très bonnes similitudes entre le modèle et la mesure, des simulations ont alors été réalisées sur de très larges bandes pour ces trois précédents boîtiers dans le but d'évaluer leurs potentialités.

### II.3. Mise en évidence de performances haut rendement et large bande du transistor en boîtier optimisé en sortie.

Les conditions de simulations sont les mêmes que précédemment. Le signal RF d'entrée est toujours pulsé (10 $\mu$ s/10%) et le courant de repos est de 2 mA. La tension de drain appliquée est de 50 V. Les optima de rendement sont obtenus pour des compressions de gain comprises entre 1.5 dB et 2.5 dB, quelle que soit la configuration de boîtier réalisé. L'impédance optimale au fondamental est d'abord recherchée lorsque les impédances harmoniques sont fixées sur 50  $\Omega$ . Des simulations load-pull avec optimisation de l'harmonique 2 sont ensuite effectuées sur l'impédance optimale de rendement au fondamental.

Le transistor encapsulé non optimisé (le boîtier 1.A) est simulé dans ces conditions sur la bande [2.5-4.0] GHz. Les résultats sont présentés dans le tableau II.4.

Boîtier 1.A							
Mesures : M / Simulation : S	S	S	S	M	S	S	S
Fréquences [GHz]	2.5	2.7	2.9	3.2	3.5	3.8	4
PAE[%] ( $Z_{h2}=50\Omega$ )	59	60	57	55	53	59	60
Augmentation PAE par rapport au transistor ( $Z_{h2}=50\Omega$ ) [pts]	- 8	- 7	- 8	- 9	- 10	- 3	0
Variation de la PAE @2f0 ( $\Gamma=0.8$ )	55-61	57-62	53-58	50-55	51-57	56-61	56-61
Puissance de sortie [W]	20	19	19	18	16	13	14
Gain en puissance [dB]	14.1	14.2	14.1	14.0	13.4	12.9	12.5

Tableau II.4 : Performances du boîtier 1.A en bande S.

Sur la bande [2.5-4.0] GHz, la PAE ne dépasse pas les 60%. La PAE minimale est de 53% à 3.5 GHz. Comparée aux potentialités d'un transistor en puce mesuré sous pointes, la PAE est inférieure de 7 à 10 points sur la bande [2.5-3.5] GHz. Cela est dû au câblage du boîtier 1.A qui confine les impédances à l'harmonique 2 dans des zones de rendement défavorables. Ces impédances tendent à sortir des zones défavorables en fin de bande S. A 4 GHz, la PAE atteint 60%, comme pour le transistor sous pointes. La puissance de sortie et le gain en puissance évoluent respectivement de 13 W à 20 W et de 12.5 dB à 14 dB.

Le tableau II.5 présente les performances simulées en bande S du boîtier 1.B optimisé en rendement.

Boîtier 1.B							
Mesures : M / Simulation : S	S	S	S	M	S	S	S
Fréquences [GHz]	2.5	2.7	2.9	3.2	3.5	3.8	4
PAE[%] ( $Z_{h2}=50\Omega$ )	70	72	71	72	71	68	65
Augmentation PAE par rapport au transistor ( $Z_{h2}=50\Omega$ ) [pts]	+3	+5	+6	+8	+8	+6	+5
Variation de la PAE @2f0 ( $\Gamma=0.8$ )	57-74	62-74	64-73	66-72	68-72	66-69	64-66
Puissance de sortie [W]	18	18	17	18	15	13	14
Gain en puissance [dB]	13.2	13.2	13.0	13.3	12.4	11.5	11.3

Tableau II.5 : Performances du boîtier 1.B en bande S.

Le transistor en boîtier 1.B optimisé en rendement présente une PAE supérieure à 70% sur la bande [2.5-3.5] GHz. Comparée à celle d'un transistor en puce mesuré sous pointes dont l'impédance à l'harmonique 2 est sur 50  $\Omega$ , la PAE est toujours supérieure. Elle augmente de 5 points sur la bande [2.7-4.0] GHz pour atteindre un écart maximum de 8 points à 3.2 GHz et 3.5 GHz. Le boîtier réalise ainsi un confinement des impédances à l'harmonique 2 dans des zones favorables sur environ 1.5 GHz de bande passante. La puissance de sortie et le gain en puissance évoluent respectivement de 13 W à 18 W et de 11.3 dB à 13 dB.

Boîtier 1.C							
Mesures : M / Simulation : S	S	S	M	S	M	S	S
Fréquences [GHz]	2.5	2.7	2.9	3.2	3.5	3.8	4
PAE[%] ( $Z_{h2}=50\Omega$ )	72	72	72	70	64	62	61
Augmentation PAE par rapport au transistor ( $Z_{h2}=50\Omega$ ) [pts]	+5	+5	+7	+6	+1	+0	+1
Variation de la PAE @2f0 ( $\Gamma=0.8$ )	67-73	68-72	70-73	68-70	63-64	62	61
Puissance de sortie [W]	19	19	18	18	17	16	16
Gain en puissance [dB]	15	14.8	14.5	13.8	12.5	12	11.8

Tableau II.6 : Performances du boîtier 1.C en bande S.

De même, le tableau II.6 présente les performances simulées en bande S du boîtier 1.C, également optimisé en rendement et avec une préadaptation supplémentaire en entrée à  $f_0$ .

Ce dernier boîtier 1.C fournit une PAE supérieure à 70% sur la bande [2.5-3.2] GHz. Comparée à celle d'un transistor en puce mesuré sous pointes, la PAE augmente de 5 points sur la cette même bande passante. Après 3.2 GHz, les impédances confinées à l'harmonique 2 sortent des zones optimales de rendement. En revanche, par rapport au boîtier 1.B, les puissances de sortie et les gains en puissance sont supérieurs. Ils évoluent respectivement entre 16 W et 19 W et entre 12 dB et 15 dB.

La figure II.27 illustre une comparaison des PAE entre les différents boîtiers réalisés et le transistor caractérisé sous pointes en bande S lorsque l'impédance de charge à l'harmonique 2 est fixée sur  $50 \Omega$ . Elle permet de constater que le boîtier 1.B fournit les meilleurs rendements sur la bande [2.5-4.0] GHz. Le boîtier 1.C est optimisé en début de bande. Cette figure met ainsi l'accent sur l'importance de l'architecture du boîtier à réaliser. Une architecture classique, sans prise en compte des impédances harmoniques peut engendrer une dégradation importante des performances. A contrario, en optimisant le boîtier, il est alors possible d'obtenir des performances très intéressantes. De plus, les performances sont insensibles aux variations de charge présentées en sortie du boîtier à l'harmonique 2, ce qui n'est pas le cas du transistor sous pointes.

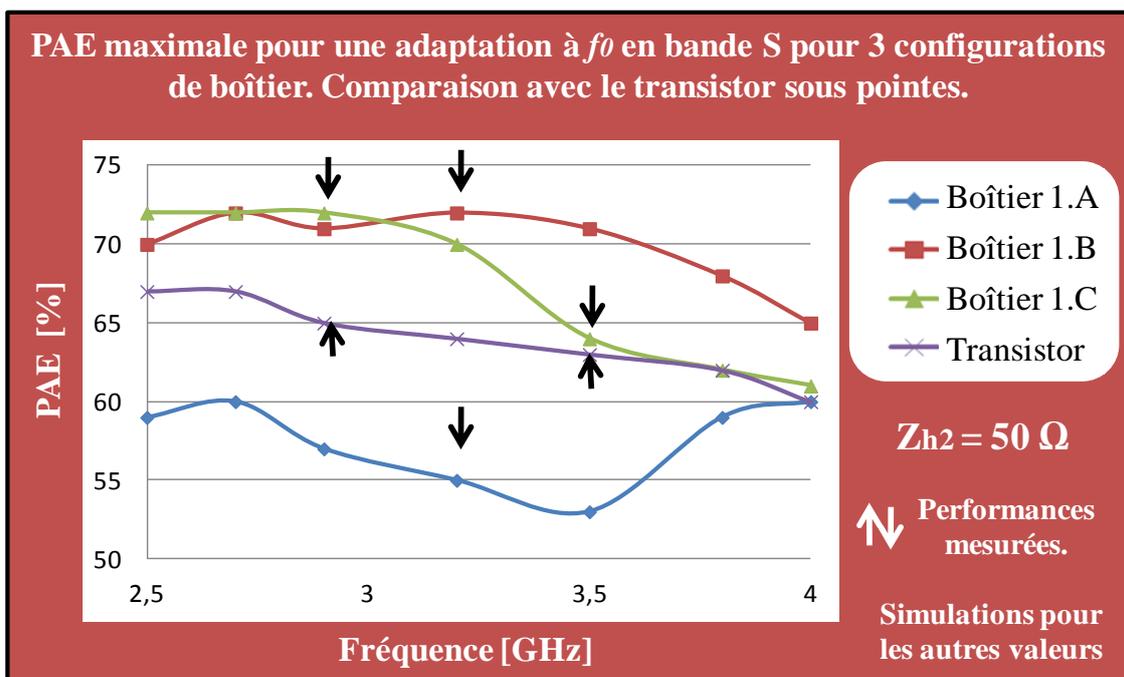


Figure II.27 : PAE maximale pour une adaptation à  $f_0$  en bande S pour 3 configurations de boîtier. Comparaison avec le transistor.

L'optimisation de l'architecture du boîtier permet alors de confiner les impédances transformées dans le plan de la puce. La conséquence directe est alors une augmentation du rendement. L'autre conséquence due au confinement de ces impédances est la faible variation de la PAE que présente le transistor encapsulé lorsqu'un load-pull est réalisé aux fréquences harmoniques doubles pour une variation du coefficient de réflexion maximale de 0.8. En plus d'être contrôlé dans des zones optimales, le transistor est désensibilisé aux variations d'impédances. La figure II.28 présente les variations de PAE sur la bande de fréquence [2.5-4.0] GHz pour les trois configurations de boîtier et le transistor mesuré sous pointes.

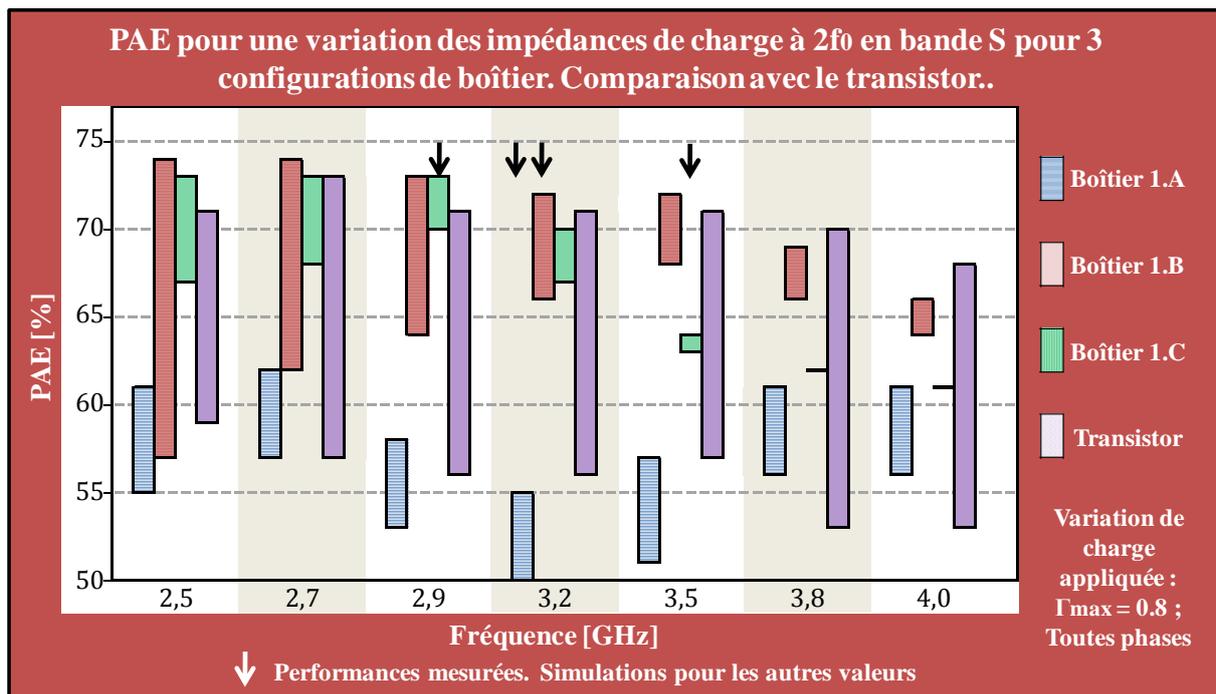


Figure II.28 : PAE pour une variation des impédances de charge à  $2f_0$  en bande S pour 3 configurations de boîtier. Comparaison avec le transistor.

Le boîtier 1.C (fil de drain de 2.5 nH) présente les plus faibles variations vis-à-vis des variations de charge à l'harmonique 2. Elles deviennent même nulles à partir de 3.5 GHz. Dans les mêmes conditions de mesures, un transistor sous pointes présente environ 15 points de variations de PAE sur la toute la bande. Pour le boîtier 1.B, les variations sont inférieures à 9 points de PAE à partir de 2.9 GHz et inférieures à 6 points à partir de 3.2 GHz. Jusqu'à 4 GHz, la PAE minimale est de 64%. Ces minima se situent seulement sur de petites régions de l'abaque de Smith.

Les impédances optimales de rendement au fondamental sont un critère primordial pour les concepteurs. La figure II.29 illustre les impédances optimales de PAE en bande S pour les trois configurations de boîtier.

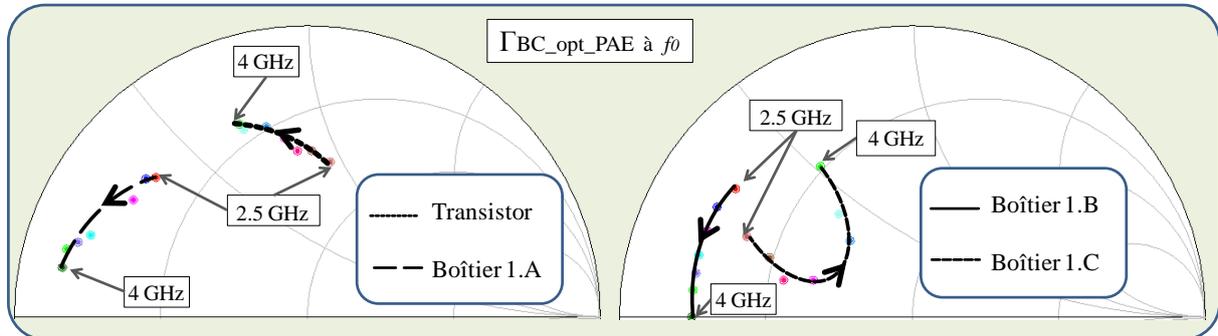


Figure II.29 : Impédances optimales de PAE simulées aux fréquences fondamentales en bande S pour les trois configurations de boîtier.

La meilleure préadaptation de sortie au fondamental sur une large bande passante est réalisée comme prévu pour le boîtier 1.C. Une résonance a été créée lors de la synthèse du boîtier 1.C afin de générer une boucle rentrant vers le centre de l'abaque de Smith. Elle permet ainsi d'obtenir une impédance fondamentale optimale au fondamental présentant un coefficient de réflexion de 0.33 à 3.5 GHz. Avec un filtre un pôle, il serait possible de préadapter d'avantage l'impédance à la fréquence fondamentale, mais ce serait au détriment du contrôle des impédances harmoniques. Pour garder des performances de rendement et améliorer la préadaptation de sortie au fondamental, il serait nécessaire de mettre en place des filtres N pôles à l'intérieur du boîtier. En comparaison, les impédances optimales du boîtier 1.B présentent un coefficient de réflexion compris entre 0.75 et 0.80 au fondamental.

#### II.4. Comparaison avec une solution d'adaptation harmonique externe au boîtier.

Une étude a été menée en parallèle pour évaluer les potentialités large bande avec un système d'adaptation externe au boîtier. Ainsi, un transistor a été encapsulé de manière classique, laissant la possibilité d'adapter les impédances à l'harmonique double. Un stub radial a alors été placé au plus près du boîtier pour adapter les impédances aux fréquences harmoniques doubles sur la bande [5.8-6.4]. Ces travaux ont fait l'objet d'une publication

[65]. La figure II.30 illustre une comparaison des impédances synthétisées à la fréquence double dans le plan du drain par un boîtier optimisé et par un stub radial sur circuit hybride.

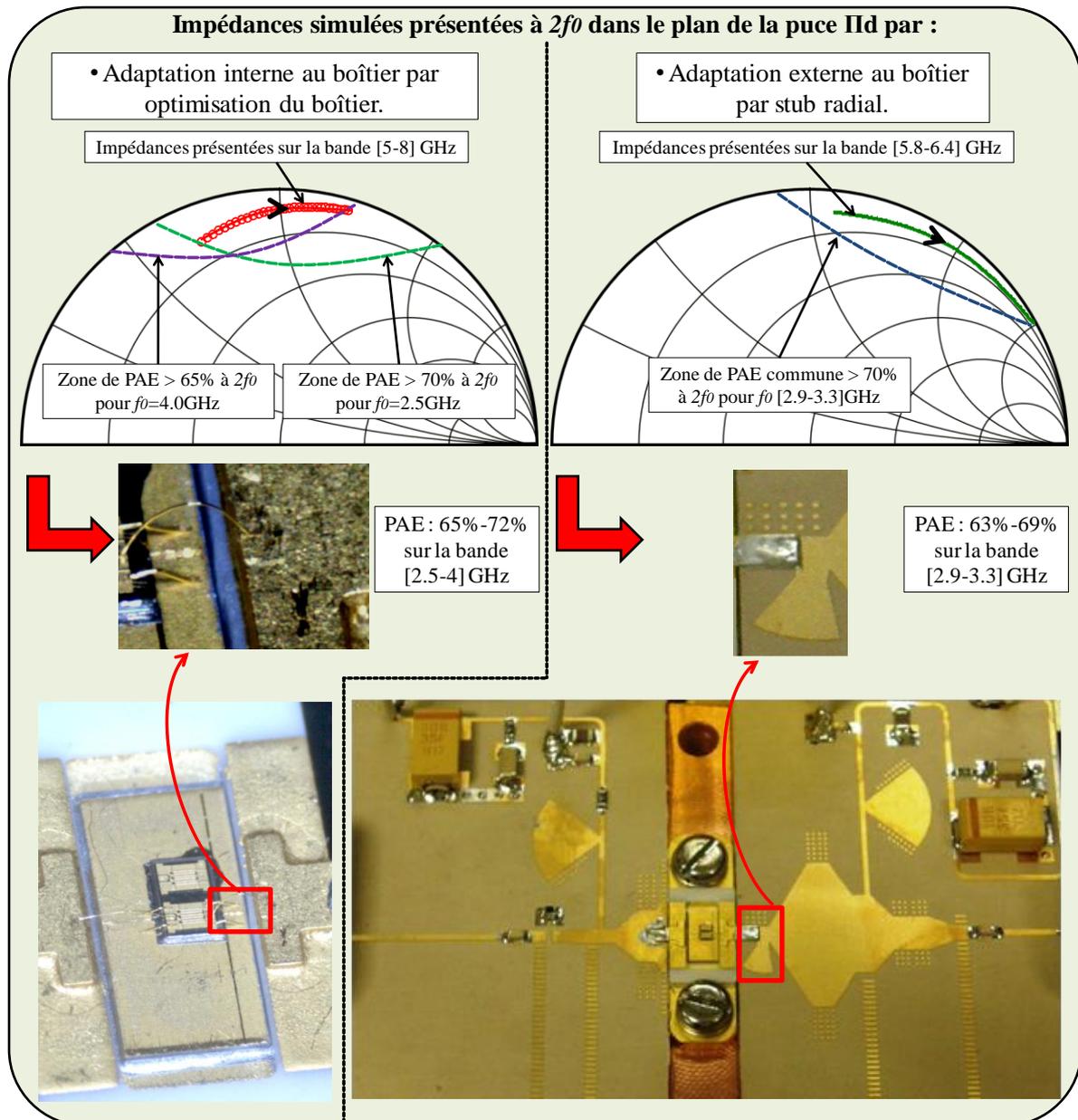


Figure II.30 : Comparaison des impédances synthétisées à la fréquence double dans le plan du drain par un boîtier optimisé et par un stub radial sur circuit hybride.

Le boîtier 1.B a été utilisé pour réaliser cette comparaison. La solution externe au boîtier permet de maintenir un fonctionnement haut rendement sur la bande [2.9-3.3] GHz soit 13% de bande passante, alors que l'optimisation de l'architecture du boîtier permet d'élargir la bande sur [2.5-4.0] GHz, soit 46% de bande passante. Les zones de haut rendement sont définies pour une PAE supérieure à 70% jusqu'à 3.5 GHz et 65% pour les fréquences supérieures à 3.5 GHz.

Cette solution externe a tout de même fourni de bons résultats expérimentaux. Sur la bande [2.9-3.3] GHz, la PAE évolue de 63% à 69% associée à un gain en puissance de 15 dB et une puissance de sortie supérieure à 20 W. Le tableau II.7 illustre une comparaison des performances mesurées entre la solution d'optimisation des boîtiers et la solution d'adaptation par stub radial sur circuit hybride.

	<i>Simulations / mesures</i>	Bande [GHz]	PAE à $f_0$	Variation de PAE à $2f_0$	Puissance de sortie	Gain en puissance
Boîtier 1.A	Simulations et mesures	[2.5-4.0]	< 60%	<5 pts	15 - 20 W	13-14 dB
Boîtier 1.B	Simulations et mesures	[2.5-3.5]	>70%	< 6 pts sur [3.2-4] GHz	15 - 18 W	12-13 dB
Boîtier 1.C	Simulations et mesures	[2.5-3.2]	>70%	< 3pts sur [2.9-4] GHz	19 W	14-15 dB
Stub externe	Mesures	[2.9-3.3]	63-69%	-	20 - 22 W	14-15 dB
Puce	Simulations et mesures	[2.5-4]	60-67%	15 pts	15 - 20 W	14-16 dB

Tableau II.7 : Comparaison des performances entre la solution d'optimisation des boîtiers et la solution d'adaptation par stub radial sur circuit hybride.

La solution la plus performante en PAE et en largeur de bande passante est proposée par le boîtier 1.B. En revanche le boîtier 1.C et la solution par stub radial externe au boîtier présentent 2 dB de gain en puissance en plus ( $G_p=15\text{dB}$  contre 13dB pour le boîtier 1.B) et des puissances de sortie supérieures de 4 W environ. Une solution intermédiaire entre le boîtier 1.B et 1.C, c'est-à-dire avec un fil de câblage d'inductance équivalente comprise entre 1.5 nH et 2.5 nH, offrirait sûrement le meilleur compromis entre bande passante, rendement et désensibilisation à l'harmonique 2.

## II.5. Résumé

Il a été démontré dans le paragraphe précédent que les effets indésirables de l'encapsulation associés par exemple aux fréquences de coupure peuvent être compensés par des boîtiers bien spécifiques convenablement choisis. Plutôt que de subir l'adaptation à  $2f_0$  dû

à un câblage classique, une méthode de synthèse optimale des éléments du boîtier permet non seulement de s'affranchir de nombreux effets indésirables, mais également de contrôler les impédances optimales de rendement sur de très larges bandes passantes. Ainsi deux boîtiers haut rendement ont été simulés et réalisés. Ils présentent de fortes inductances équivalentes et une impédance caractéristique de céramique métallisée suffisamment faible pour confiner les impédances aux fréquences doubles dans le plan du drain du transistor dans des zones optimales de rendement. Les principaux avantages de cette synthèse de boîtier sont les suivants :

- Le transistor encapsulé fournit des rendements supérieurs à 70% de PAE en optimisant uniquement la fréquence fondamentale. Le concepteur n'a donc plus qu'à modéliser un circuit à  $f_0$  pour concevoir l'amplificateur.
- Les impédances à  $2f_0$  sont confinées dans les zones de haut rendement sur la bande [2.5-4] GHz soit un contrôle sur 46% de bande passante. A notre connaissance, il n'existe pas de publications démontrant de plus large contrôle d'impédance harmonique à  $2f_0$  en bande S.
- Le transistor encapsulé est quasiment insensible aux variations d'impédances harmoniques. Cette caractéristique permet de s'affranchir des inconvénients de TOS ramenés par les antennes actives aux fréquences harmoniques.

La figure II.31 illustre les trois boîtiers précédemment réalisés et leur PAE maximum mesurée.

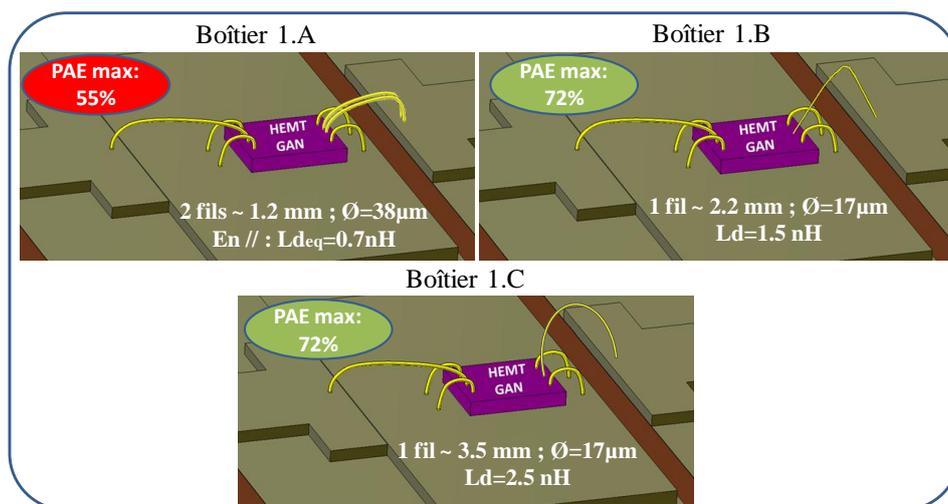


Figure II.31 : Résumé des trois premiers boîtiers réalisés.

### **III. Principe d'adaptation des impédances harmoniques de source interne au boîtier.**

La préformation temporelle des ondes de tension et de courant d'entrée permet, comme en sortie, d'améliorer le rendement des transistors. Il existe principalement deux solutions pour préformer le signal d'entrée. Une solution active et une solution passive.

La première solution active consiste à injecter un signal à l'harmonique 2 en phase avec le fondamental pour créer une excursion de l'onde résultante en forme demi sinusoïdale [66] [67]. La seconde solution passive consiste à concevoir des réseaux d'adaptations passifs présentant des impédances optimales en entrée aux fréquences harmoniques. De nombreuses études menées ont proposé différentes solutions d'adaptation d'entrée aux harmoniques. Des architectures à base de stub sur circuit hybride [68] ou au plus près de la puce [69] ont montré de très bons résultats. Mais ces systèmes sont très sensibles et leurs bandes passantes sont d'autant plus limitées lorsque l'adaptation s'éloigne de la puce. Récemment, une architecture composée d'un filtre LC avec une inductance L à la masse [70] a été placée au plus près de la puce pour contrôler les impédances à l'harmonique 2 sur 500 MHz de bande passante en bande S.

Les travaux réalisés au cours de cette thèse sont semblables sur le principe, à la différence qu'un filtre LC série avec C à la masse est utilisé pour contrôler les impédances harmoniques de source.

La figure II.32 illustre deux boîtiers de transistor réalisés avec et sans filtre harmonique d'entrée. Le modèle du boîtier 2 a été extrait de la partie I.2 de ce chapitre. Le boîtier 3 est le même que le 2 avec l'ajout du filtre LC. Pour ces deux configurations de boîtier, les impédances harmoniques de charge sont contrôlées de la même façon que dans la partie précédente. Le câblage de sortie reprend celui réalisé pour le boîtier 1.B.

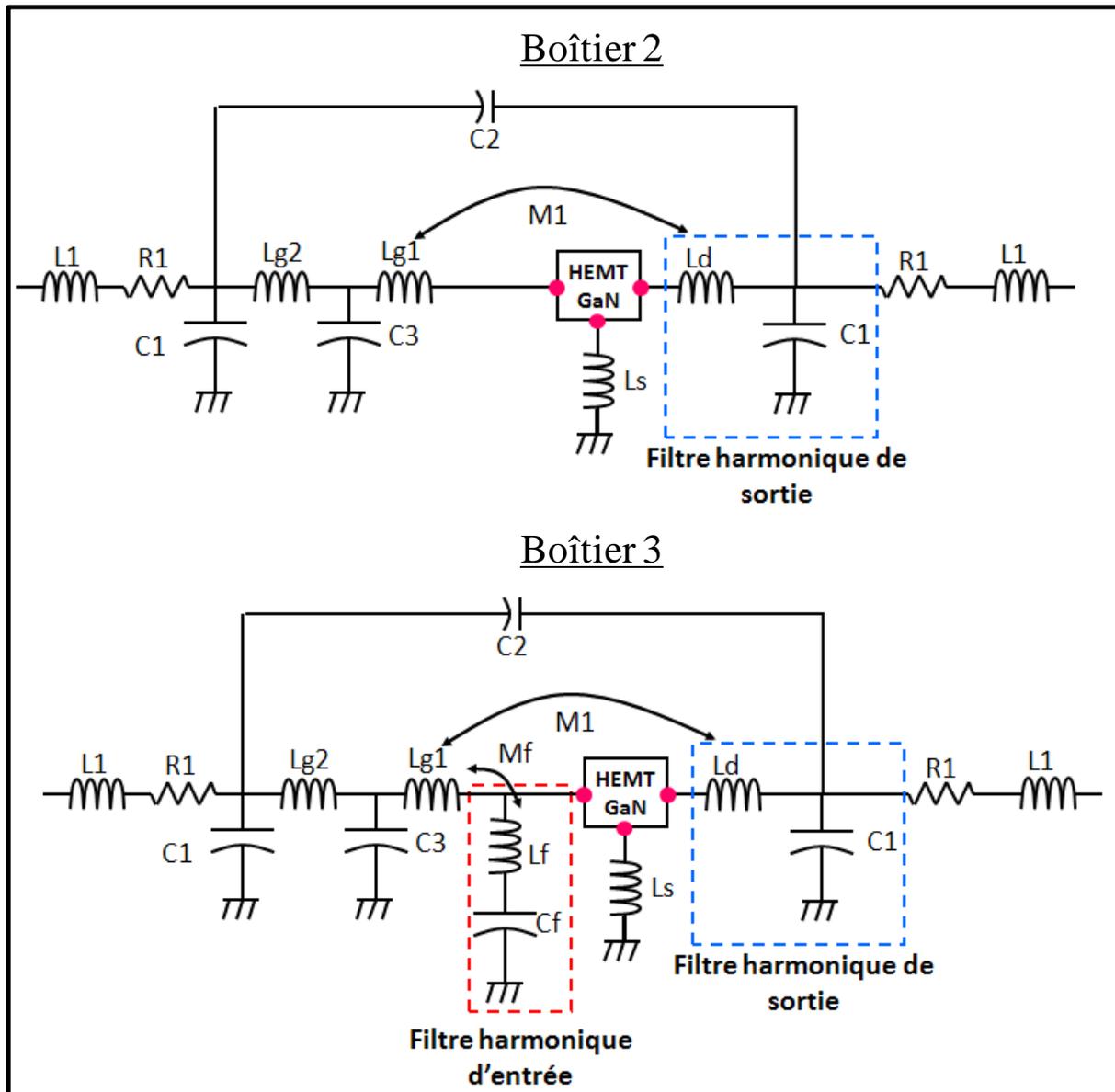


Figure II.32 : Modèle équivalent du transistor encapsulé avec (boîtier 3) et sans (boîtier 2) le filtre harmonique d'entrée.

### III.1. Principe d'optimisation des éléments du boîtier en entrée.

#### III.1.1. Principe général.

Le filtre LC de sortie étudié précédemment permet des adaptations uniquement dans la partie inductive de l'abaque de Smith. Pour adapter des impédances dans la partie inférieure de l'abaque de Smith, il est nécessaire d'adopter un autre type de filtrage. La meilleure solution étudiée consiste à placer un filtre LC série en parallèle sur la ligne RF. Le but est ainsi de présenter un court-circuit aux très hautes fréquences pour forcer les impédances à

devenir capacitives aux fréquences inférieures. La figure II.33 illustre l'impact de l'ajout du filtre LC sur les impédances synthétisées dans le plan de la grille du transistor ( $\Pi g$  ou  $\Pi g'$ ) par le câblage d'entrée.

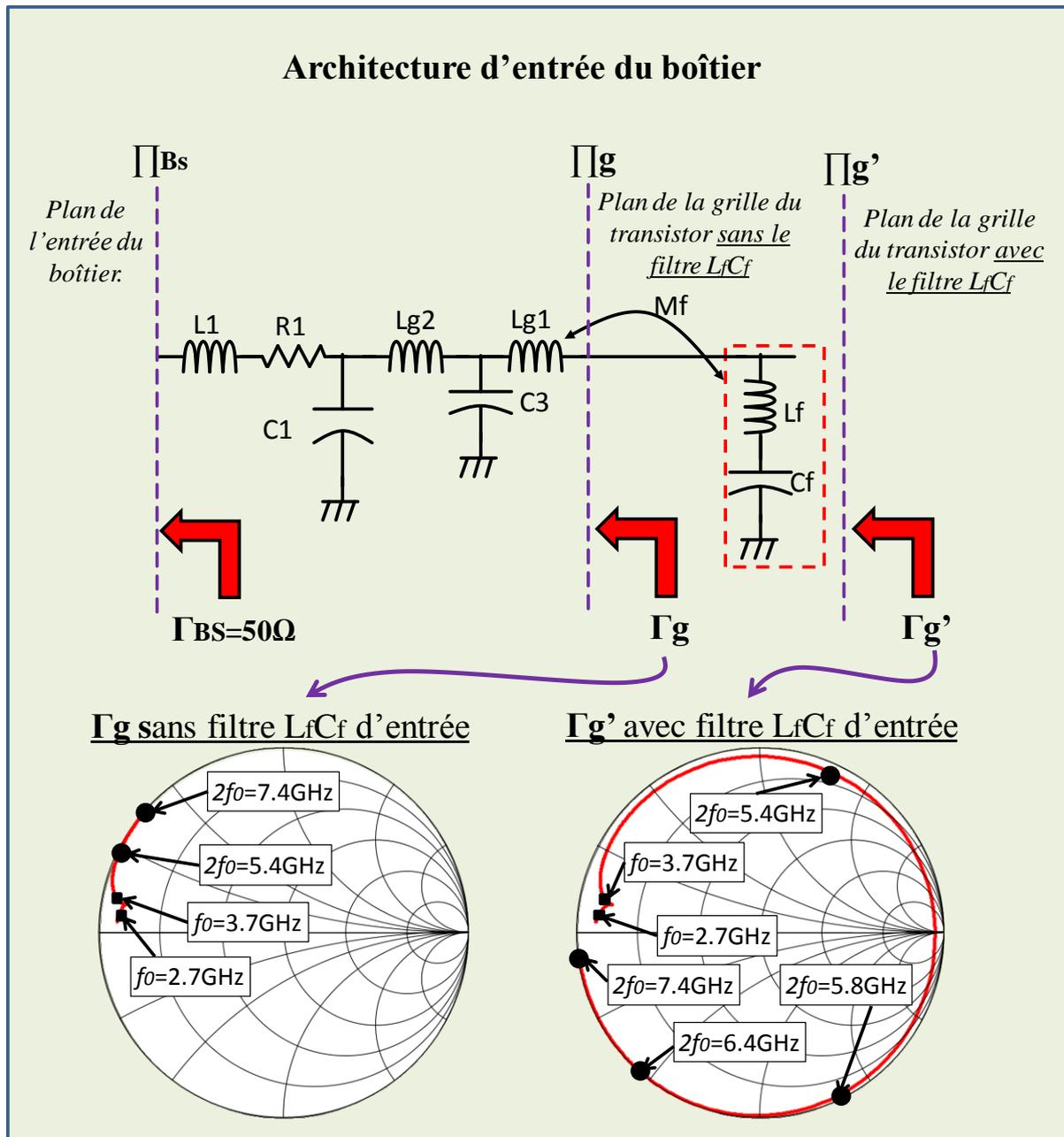


Figure II.33 : Impact du filtre  $L_f C_f$ , câblé en entrée du transistor, sur les impédances de source synthétisées dans le plan de la grille.

Pour cet exemple, le filtre  $L_f C_f$  est optimisé pour créer un court circuit à  $f_f = 8.0\text{GHz}$ . Il est intéressant de constater que l'impact de ce filtre est quasiment nul jusqu'à la fréquence  $f_f/2$ . En réalité, le module et la phase des impédances synthétisées aux fréquences inférieures à  $f_f/2$  varient légèrement de par l'implémentation du filtre  $L_f C_f$ .

### III.1.2. Application au transistor HEMT GaN de 2.4 mm de développement.

Afin d'optimiser le filtre  $L_f C_f$  d'entrée, il est nécessaire de déterminer les zones optimales de rendement dans le plan de la grille. Là encore, ces zones doivent être définies dans des conditions d'encapsulation. Le boîtier 2, précédemment modélisé dans la partie I.2 de ce chapitre, est utilisé pour cette étude. Le boîtier est le même que pour les configurations précédentes, la capacité  $C_1$  est toujours de 2 pF. Les valeurs de  $L_1$ ,  $R_1$  et  $C_2$  sont toujours identiques. Afin d'améliorer la préadaptation d'entrée à la fréquence fondamentale une capacité  $C_3$  de 8.2 pF est ajoutée.  $L_{g1}$  et  $L_{g2}$  sont respectivement égaux à 0.5 nH et 0.9 nH. Le câblage de sortie est le même que pour la configuration 1.B, à savoir un fil de drain d'inductance équivalente de 1.5 nH. La figure II.34 montre les photographies du boîtier 2 (sans filtre  $L_f C_f$ ) et du boîtier 3 (avec filtrage des impédances harmoniques de source à  $2f_0$ ).

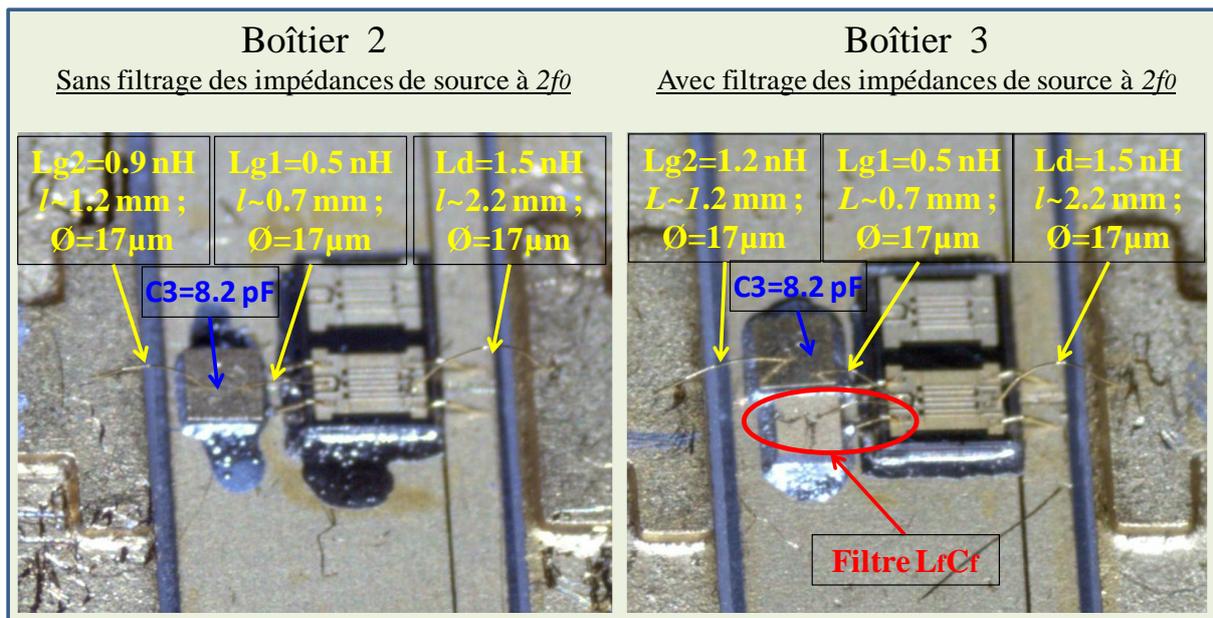


Figure II.34 : Photographie des boîtiers 2 et 3.

Les contours de PAE sont ainsi simulés en entrée à l'harmonique 2 sur la bande [2.9-3.7] GHz. Le filtre  $L_f C_f$  d'entrée est désormais optimisé pour transformer les impédances présentées en entrée du boîtier (plan  $\Gamma_{BS}$ ) vers les zones optimales aux harmoniques doubles dans le plan de la grille  $\Gamma_{g'}$ . La figure II.35 illustre les contours de PAE simulés à  $2f_0$  sur la bande [2.9-3.7] GHz ainsi que la transformation d'impédance réalisée par le câblage d'entrée.

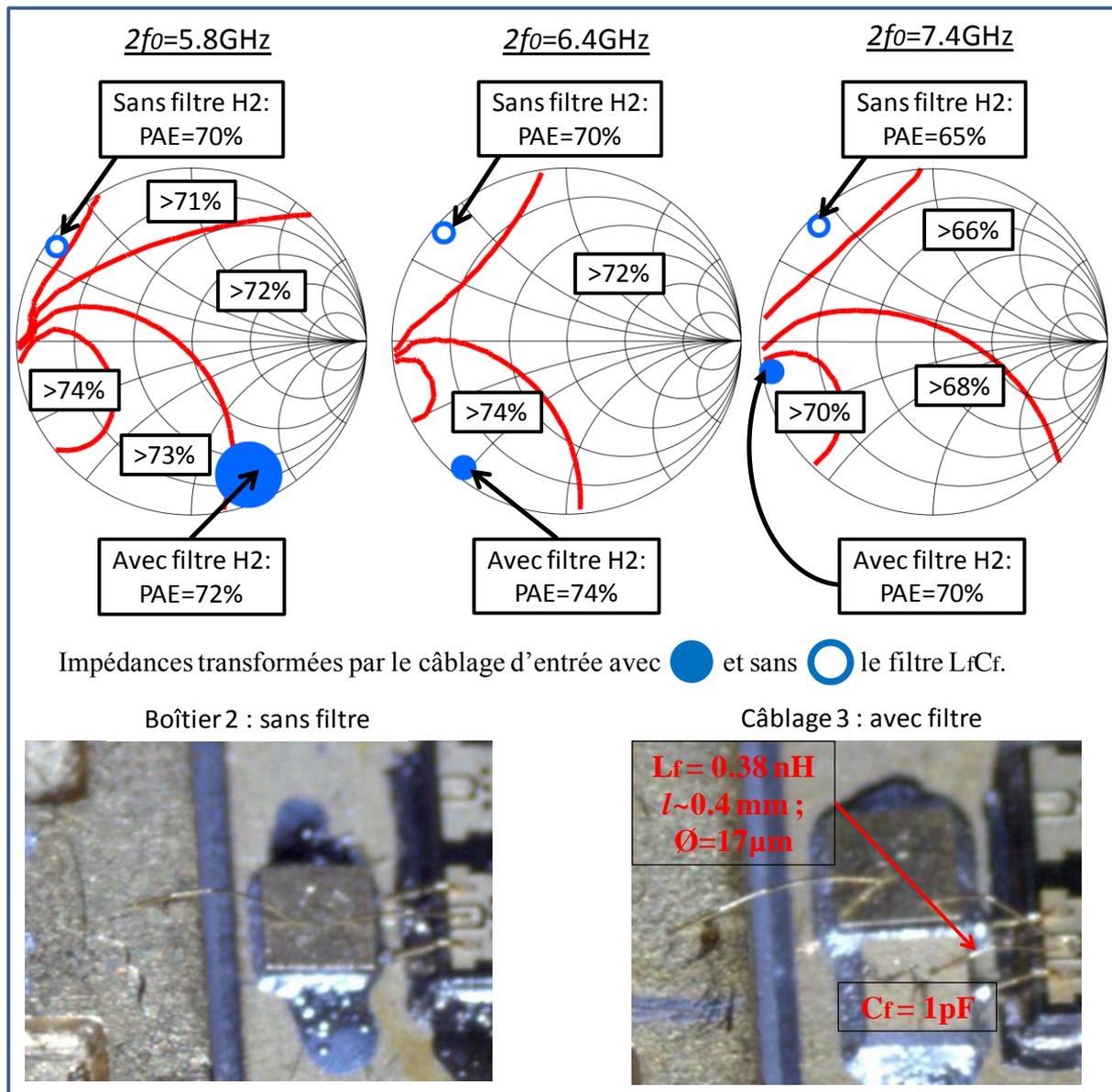


Figure II.35 : Simulation des contours de PAE à  $2f_0$  sur la bande [2.9-3.7] GHz et comparaison des impédances transformées par le câblage d'entrée avec et sans le filtre  $L_f C_f$ .

Le filtre  $L_f C_f$  est composé d'une capacité de 1 pF et d'un fil de câblage d'inductance équivalente de 0.38 nH. Cette inductance permet de confiner les impédances à l'harmonique 2 en entrée dans des zones optimales. Il est très important que cette inductance ne soit pas trop élevée afin d'éviter de confiner les impédances dans des creux de PAE qui sont situés au niveau du court-circuit. Notons que le boîtier 2 confine les impédances de source à l'harmonique 2 dans des zones non favorables. La différence entre la zone optimale et minimale n'est que de 5 à 6 points de PAE. Ce filtre présente l'avantage de pas modifier (ou très peu) les impédances optimales de charge pour ce transistor. Les impédances harmoniques de source n'étant pas contrôlées idéalement (CC ou CO dans le plan intrinsèque), le contrôle

est alors maintenu sur de plus larges bandes passantes. Le principe d'adaptation réalisé précédemment en sortie du boîtier est alors appliqué en entrée.

### III.2. Mise en évidence de performances haut rendement et large bande du transistor en boîtier optimisé en entrée et en sortie.

Les boîtiers 2 et 3 ont été simulés sur la bande [2.7-4.0] GHz et mesurés à 3.2 GHz dans le but de démontrer l'impact du contrôle de l'harmonique 2 en entrée du transistor. Leurs performances sont synthétisées dans le tableau II.8.

Boîtier 2 (sans filtrage harmonique de source)						
Simulation : S ; Mesure : M	S	S	M	S	S	S
Fréquences [GHz]	2.7	2.9	3.2	3.5	3.7	4
PAE[%] ( $Z_{h2}=50\Omega$ )	70	71	70	69	68	64
Différence de PAE par rapport au transistor ( $Z_{h2}=50\Omega$ ) [pts]	+3	+6	+6	+6	+6	+4
Puissance de sortie [W]	17	18	17	15	15	14
Gain en puissance [dB]	14.3	14.3	14.1	12.9	12.3	11.4
Boîtier 3 (avec filtrage harmonique de source)						
Simulation : S ; Mesure : M	S	S	M	S	S	S
Fréquences [GHz]	2.7	2.9	3.2	3.5	3.7	4
PAE[%] ( $Z_{h2}=50\Omega$ )	70	72	74	73	70	59
Différence de PAE par rapport au transistor ( $Z_{h2}=50\Omega$ ) [pts]	+3	+8	+10	+10	+8	-1
Puissance de sortie [W]	17	17	17	14	13	13
Gain en puissance [dB]	13.8	13.8	14.2	12.4	12.1	11.9
Différence de PAE entre le Boîtier 3 et 2						
Différence de PAE [pts]	0	+1	+4	+4	+2	-5

Tableau II.8 : Comparaison des performances entre un boîtier avec et sans filtre d'harmonique 2 de source.

Les performances de gain en puissance et de puissance de sortie sont quasi équivalentes pour les deux boîtiers. Lorsque le filtre  $L_f C_f$  est placé en entrée, la PAE augmente de 2 à 4 points sur la bande [2.9-3.7] GHz, pour atteindre un maximum de 74% de PAE à 3.2 GHz. A 2.7 GHz, l'impact du filtre harmonique double en entrée n'est pas significatif. A 4 GHz, les performances en PAE s'écroulent. En effet, ce filtre présente un court circuit à 8 GHz, ce qui provoque un contrôle des impédances de source à l'harmonique 2 dans des zones défavorables. La PAE simulée n'est plus que de 59%, soit 5 points de moins que pour le boîtier 2. Le contrôle de l'harmonique 2 de source par l'utilisation de ce filtre permet d'obtenir de meilleures performances sur la bande [2.9-3.7] GHz. La figure II.36 permet une meilleure illustration de l'impact du contrôle des impédances de source à l'harmonique 2 sur la PAE.

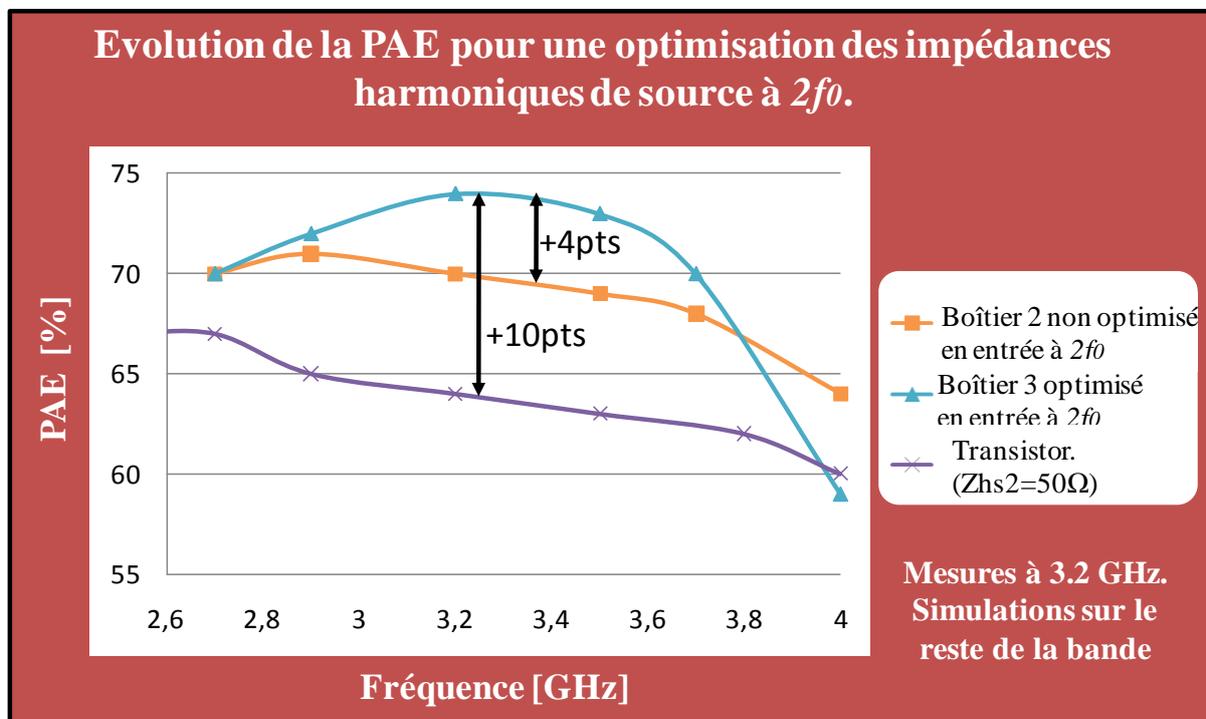


Figure II.36 : Impact du contrôle des impédances de source à l'harmonique 2 sur la PAE. Comparaison avec un boîtier non optimisé en entrée et un transistor sous pointes.

Le boîtier optimisé en entrée à l'harmonique 2 par le filtre  $L_f C_f$  présente une PAE supérieure à 70% sur la bande [2.7-3.7] GHz, avec un pic de PAE de 74% mesuré à 3.2 GHz, soit 10 points de plus qu'un transistor sous pointes et 4 points de plus qu'un transistor encapsulé non optimisé en entrée.

Il s'avère également que la préadaptation réalisée aux fréquences fondamentales par le filtre  $L_{g1}/C_3/L_{g2}$  associé au filtre harmonique d'entrée  $L_f C_f$  présente de très bonnes

performances. Ainsi, des cercles de pertes par réflexion inférieurs à 0.2 dB ont été mesurés et simulés. A partir de l'impédance d'entrée mesurée à 3.2 GHz, le contour a été calculé à partir du logiciel IVCAD [71]. Les autres contours ont été simulés sous ADS. La figure II.37 présente ces différents résultats.

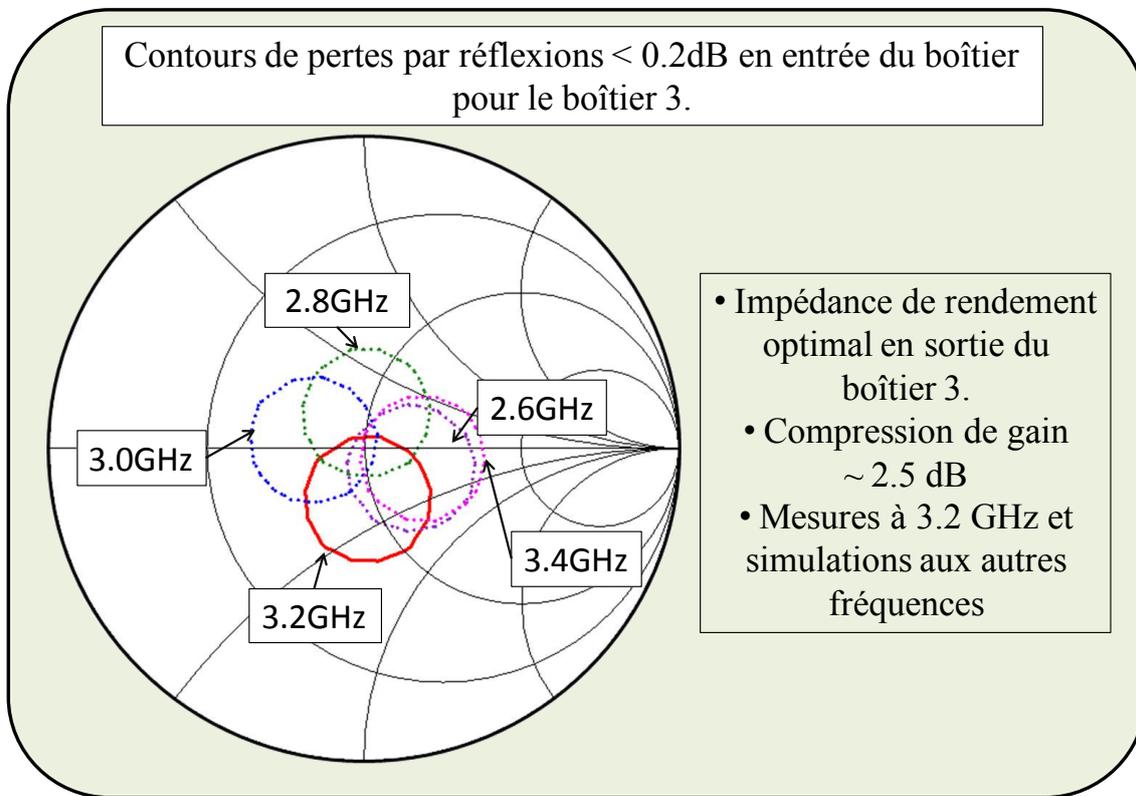


Figure II.37 : Mise en évidence de l'adaptation d'entrée du Boîtier 3 optimisé en entrée sur la bande [2.6-3.4] GHz.

L'adaptation d'entrée aux fréquences fondamentales n'est alors plus nécessaire à l'entrée du boîtier 3. En présentant 50  $\Omega$  à l'entrée de ce boîtier, les pertes par réflexion sont inférieures à 0.2 dB sur la bande [2.6-3.4] GHz ce qui correspond donc à un avantage considérable pour la conception d'un amplificateur de forte puissance optimisé en PAE sur une très large bande passante.

### III.3. Résumé.

En résumé, il a été démontré qu'un filtre LC série placé en parallèle de la ligne RF d'entrée à l'intérieur du boîtier permet de contrôler les impédances harmoniques de source sur

de larges bandes passantes. Les principaux avantages de cette méthode de synthèse du boîtier en entrée sont les suivants :

- Le filtre  $L_f C_f$  d'entrée permet d'augmenter la PAE de 2 à 4 points sur la bande [2.9-3.7] GHz soit 24% de bande passante en bande S.
- Comme pour l'optimisation du câblage de sortie, les impédances harmoniques de source sont alors insensibles aux variations d'impédances harmoniques en entrée du boîtier. Le filtre confine les impédances dans les zones optimales du plan grille, quelles que soient les impédances présentées en entrée du boîtier.
- Le filtre  $L_f C_f$  permet en entrée d'améliorer l'adaptation à  $f_0$ . Considérant des pertes par réflexion inférieures à 0.2 dB, le transistor encapsulé optimisé en entrée et en sortie présente une impédance d'entrée de 50  $\Omega$  sur 800 MHz de bande passante en bande S.

Le principal désavantage de cette méthodologie réside dans le fait que les performances chutent considérablement en fin de bande en raison de la coupure du filtre à l'harmonique 2. En début de bande, c'est-à-dire avant que le filtre  $L_f C_f$  joue son rôle, les performances sont équivalentes à un boîtier non optimisé en entrée. L'autre difficulté réside dans la réalisation du câblage d'entrée. En effet, contrairement à la sortie, le fil de câblage constituant le filtre  $L_f C_f$  doit être suffisamment court et correctement évalué afin de confiner les impédances de source à l'harmonique 2 dans les zones de rendement optimal du transistor. Un faible allongement non désiré du fil  $L_f$  confinerait les impédances harmoniques de source dans zones de rendement défavorable.

## Conclusion

Ce chapitre a tout d'abord permis de mettre en évidence une solution de modélisation de transistor encapsulé très fiable, sur de larges bandes passantes. De plus, la topologie de modèle de boîtier par éléments localisés a été développée et mise en œuvre pour permettre une synthèse optimale des boîtiers.

Des solutions ont été apportées pour pallier les problèmes d'adaptation haut rendement et large bande et aux inconvénients liés aux fréquences de coupure des boîtiers. Ces inconvénients, énoncés dans le chapitre I, ont été résolus par la mise en place d'une solution de synthèse harmonique interne au boîtier. Les impédances harmoniques, que ce soit en entrée ou en sortie, sont contrôlées à l'intérieur du boîtier, et rendent le transistor encapsulé insensible aux variations d'impédances harmoniques externe au boîtier. Les optimisations des architectures de boîtier permettent ainsi de s'affranchir des problèmes de coupures aux fréquences harmoniques engendrés par un câblage classique.

L'optimisation des éléments en sortie du boîtier permet d'adapter les impédances aux fréquences harmoniques doubles sur de très larges bandes passantes. La réalisation d'un démonstrateur utilisant un transistor en puce GaN de 2.4 mm développé par UMS a ainsi conduit à la conclusion qu'il était possible de maintenir les impédances à  $2f_0$  dans leurs zones optimales sur la bande [2.9-4] GHz, soit 32% de bande passante. Cette bande a même été élargie à [2.5-4] GHz, soit 46% de bande passante en présentant uniquement une impédance de 50  $\Omega$  à l'harmonique 2 en sortie du boîtier. A notre connaissance, il s'agit de la meilleure performance obtenue en terme de contrôle d'harmonique sur de larges bandes passantes.

Une solution équivalente a également été démontrée en entrée du boîtier. Un confinement des impédances harmoniques est assuré en plaçant un filtre LC série en parallèle de l'accès grille du transistor. Ce filtre permet alors d'augmenter le rendement de 2 à 4 points sur la bande [2.9-3.7] GHz. Il a également permis d'adapter le boîtier en entrée sur 50  $\Omega$  à la fréquence fondamentale sur 800 MHz de bande.

En résumé, un démonstrateur haut rendement et large bande a été réalisé en optimisant les éléments du boîtier. Il fournit 70% de PAE, avec un pic mesuré à 74% de PAE à 3.2 GHz, sur la bande [2.7-3.7] GHz en optimisant uniquement la fréquence fondamentale. En entrée, le démonstrateur est déjà adapté sur 50  $\Omega$ .

L'objectif est désormais d'appliquer ces méthodologies d'optimisation entrée-sortie des boîtiers sur des barrettes de puissance à N cellules unitaires, en prenant en compte les inconvénients liés aux dissymétries d'impédances et aux problèmes d'instabilité.



## CHAPITRE III :

---

Méthode d'encapsulation optimale des barrettes de puissance GaN 50 W pour un fonctionnement haut rendement et large bande.

---



## **Introduction**

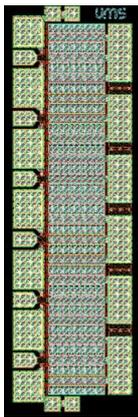
Bien que les antennes actives utilisent plusieurs systèmes d'émission permettant de réduire la puissance de chacun d'entre eux, les applications radars requièrent des amplificateurs unitaires de très fortes puissances de sortie supérieures à 30 W. Pour cela, l'utilisation de barrette de puissance de N transistors en parallèle s'avère nécessaire. Ainsi, la méthodologie de synthèse des boîtiers optimisés pour le haut rendement sur de large bande passante doit pouvoir désormais être appliquée aux barrettes de puissance avec tous les inconvénients et difficultés spécifiques à celles-ci. La mise en parallèle de N transistors conduit à réduire la valeur des impédances présentées par la barrette de puissance, rendant les adaptations plus difficiles. Cela se vérifiera notamment sur l'entrée de la barrette pour laquelle les impédances d'entrées des transistors sont initialement faibles. La stabilité des barrettes de puissance est très délicate et doit être généralement associée à la mise en œuvre de filtres basse fréquence. Ce filtrage BF sera alors pris en compte au plus près de la barrette de puissance, c'est-à-dire à l'intérieur du boîtier, ce qui affectera les impédances optimales HF. Il devra alors être pris en compte lors de l'optimisation des éléments du boîtier. De plus, les câblages de sortie peuvent provoquer un déséquilibre des impédances vues par chaque transistor composant la barrette de puissance. Ces déséquilibres peuvent conduire à des fonctionnements très différents de chacun des transistors, engendrant ainsi une dégradation des performances électriques de la barrette. Ce phénomène augmente avec le nombre de transistor unitaire composant la barrette. Des études seront alors menées dans ce chapitre afin de minimiser ce phénomène de dissymétrie d'impédances.

Afin de réaliser des câblages optimisés de barrettes de puissance, il est également nécessaire de connaître les zones optimales de rendement. En l'absence de modèle de barrette totalement fiable, de nombreuses hypothèses initiales de « scaling » à partir de mesures de cellules unitaires ont été nécessaires pour déterminer ces zones sans mesure préalable de barrettes de puissance. Les mesures de barrette de puissance non adaptées étant longues et délicates, les zones d'impédances de rendement optimal seront alors définies à partir d'extrapolation de mesures de cellules unitaires. Afin d'approfondir notre étude sur cette méthode de synthèse du boîtier optimal, deux démonstrateurs différents ont été réalisés.

Les méthodologies appliquées et décrites dans ce chapitre ont pour objectif de lever les verrous liés aux problèmes d'encapsulation et de conception large bande énoncés dans le

chapitre I, pour ainsi réaliser des amplificateurs de forte puissance à haut rendement et large bande, à base de barrette de puissance GaN en bande S.

## I. Détermination des zones haut rendement d'une barrette de puissance HEMT GaN 6x2.4 mm.



Dans cette phase d'étude sur l'encapsulation des barrettes de puissance, une nouvelle filière GaN d'UMS a été utilisée. Elle correspond à une évolution de la filière des cellules unitaires de 2.4 mm de développement précédemment étudiée dans le chapitre II. La filière utilisée dans cette étude sur les barrettes de puissance est la filière GH50\_10 développée par UMS. Par rapport à la filière utilisée dans le chapitre II pour les cellules unitaires, les transistors GH50\_10 possèdent des connexions source-masse réalisées par des via-holes. Cela permettra de s'affranchir des fils de câblage de source lors de l'encapsulation.

### I.1. Mesures d'un transistor à cellule unitaire de 2.4 mm de développement.

Afin de déterminer les zones optimales de rendement d'une barrette de puissance de 6 transistors, des mesures load-pull multi-harmoniques ont été réalisées sur des cellules unitaires de 2.4 mm de développement de cette nouvelle filière. Les conditions de mesures restent les mêmes que celles présentées dans le chapitre II. La polarisation de drain est de 50 V pour un courant de repos de 2 mA. Les alimentations sont continues et le signal RF est pulsé (10 $\mu$ s/10%).

Des contours de PAE ont tout d'abord été réalisés à la fréquence fondamentale avec les impédances aux fréquences harmoniques chargées sur 50  $\Omega$ . Ensuite, un balayage sur tout l'abaque de Smith est réalisé à la fréquence harmonique double lorsque la fréquence fondamentale est chargée par son impédance optimale en rendement. Cette étape de mesure permet alors de définir les zones de haut rendement à l'harmonique 2. Enfin, les contours à la fréquence fondamentale sont de nouveau recherchés lorsque l'harmonique 2 est chargé sur

son impédance optimale. C'est dans cette configuration que les futurs câblages de sortie seront réalisés.

Les mesures de la cellule unitaire de 2.4 mm de développement ont été réalisées à 2.9 GHz et 3.5 GHz. Les contours de PAE mesurés sur puce à la fréquence fondamentale et harmonique double sont représentés sur la figure III.1.

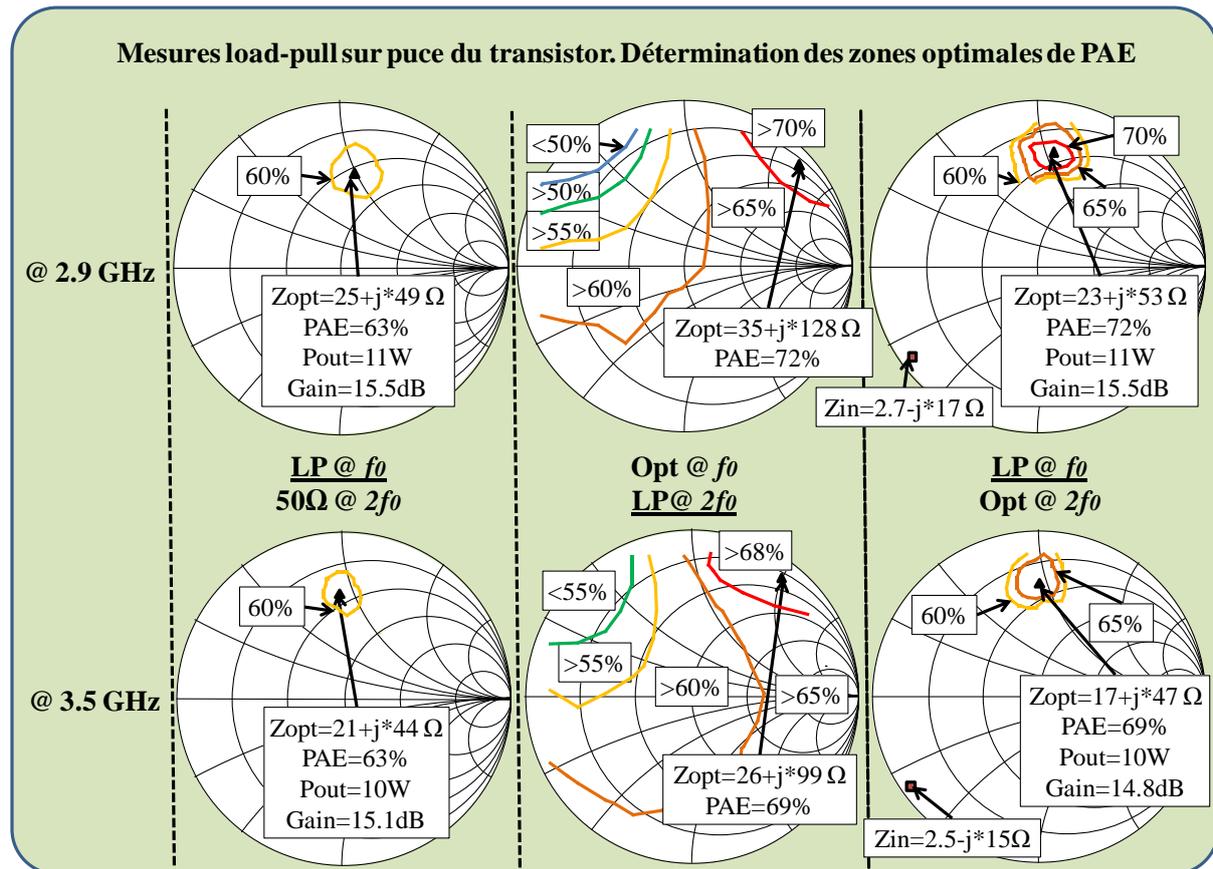


Figure III.1 : Mesures load-pull sur puce du transistor de 2.4 mm de développement à 2.9 GHz et 3.5 GHz. Détermination des zones optimales de PAE.

Lorsqu'il est optimisé à la fréquence fondamentale et à l'harmonique double, ce transistor délivre une puissance de sortie de 11 W, associée à une PAE de l'ordre de 70% et un gain en puissance autour de 15 dB sur la bande [2.9-3.5] GHz. Les impédances optimales à la fréquence fondamentale sont centrées autour de la valeur de  $(20 + j \cdot 50) \Omega$ .

## I.2. Détermination des zones de PAE de 6 transistors mis en parallèle.

Connaissant les zones optimales de rendement d'une cellule unitaire de 2.4 mm de développement, il est alors possible d'estimer les zones optimales de 6 cellules en parallèle. En se fondant sur les impédances présentées par le transistor à cellule unitaire pour un contour de PAE de 65%, les impédances de la barrette de puissance ont été calculées en divisant par 6 les impédances de la cellule unitaire. Le cercle idéal de PAE supérieur à 65% a ainsi été estimé pour une barrette de puissance de 6 cellules (14.4 mm). La zone de PAE supérieure à 68% à l'harmonique 2 a été déterminée de la même manière. Ces opérations ont été effectuées à 2.9 GHz et 3.5 GHz. La figure III.2 présente les lieux optima de PAE de six transistors en parallèle, ainsi que leur impédance d'entrée également obtenus par « scaling » des données d'une cellule unitaire.

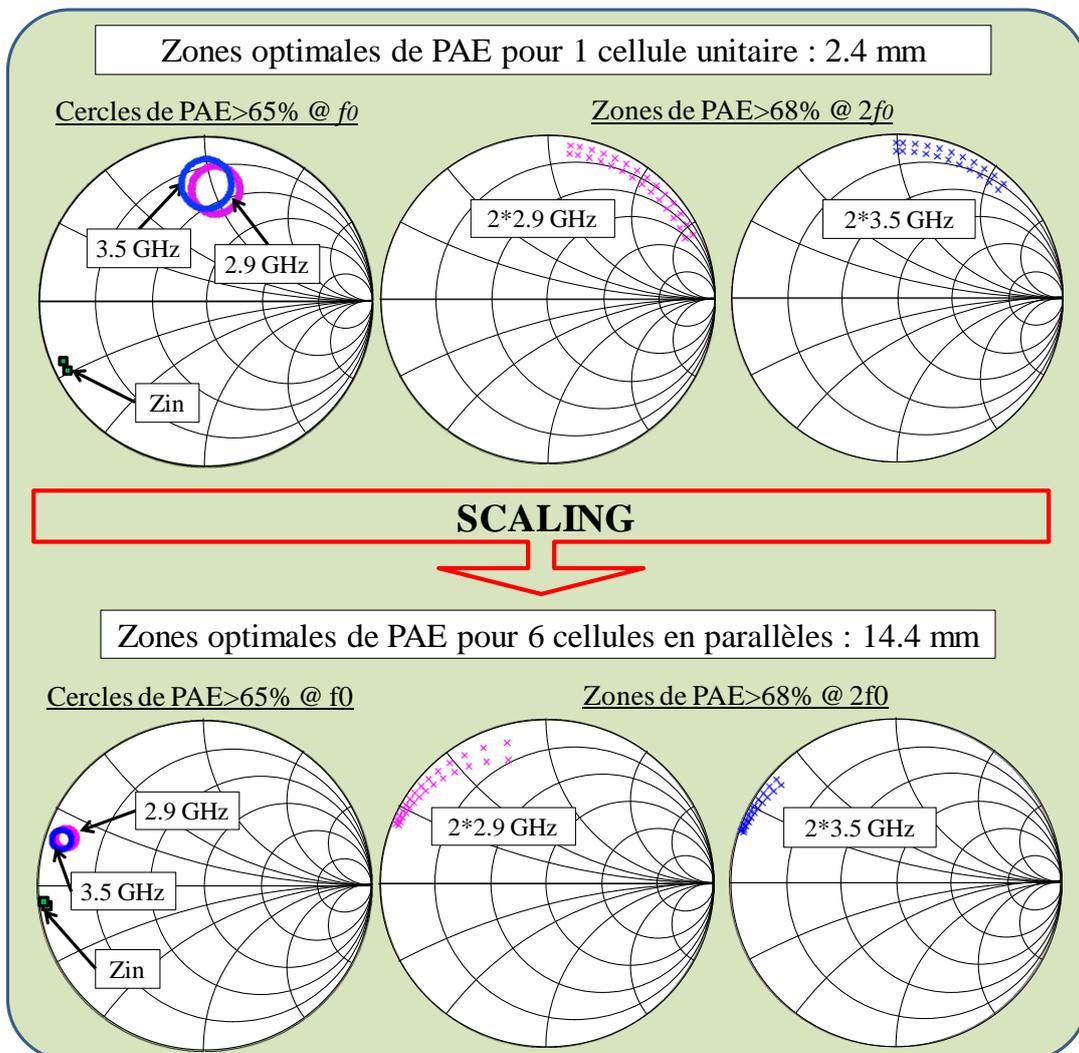


Figure III.2 : Détermination des zones optimales de PAE de 6 transistors en parallèles à partir des mesures d'un transistor.

Les impédances optimales de la barrette sont logiquement beaucoup plus faibles que celle de la cellule unitaire. A la fréquence fondamentale, les impédances optimales sont proches de  $(4+j*9) \Omega$ . Les zones de haut rendement sont également réduites pour la barrette du fait de la proximité du bord de l'abaque de Smith tandis que l'impédance d'entrée devient inférieure à  $1 \Omega$ .

Idéalement, il est aussi possible d'estimer les performances maximales d'une barrette de puissance composée de 6 transistors parfaitement équilibrés en s'affranchissant également des déséquilibres au niveau du comportement thermique. Le gain en puissance global et la PAE d'une barrette de puissance constituée de N cellules unitaires sont conservés. La puissance de sortie de la barrette est idéalement la somme des puissances de sortie d'une cellule unitaire. Le tableau III.1 présente les performances calculées d'une barrette de 14.4 mm de développement, à savoir une puissance de sortie supérieure à 60 W pour un gain en puissance de 15 dB et une PAE de 70% lorsque les impédances à l'harmonique 2 sont optimisées. Il est intéressant de constater qu'une optimisation uniquement à la fréquence fondamentale fournirait une PAE limitée à 63%. Cette valeur constitue un des repères permettant de justifier le contrôle effectif des impédances harmoniques lorsque la PAE obtenue sera supérieure à 63%. En revanche, un contrôle de l'impédance de charge à l'harmonique 2 dans des zones défavorables conduirait à des PAE maximales de l'ordre de 50%, contre 70% si les impédances de charge à l'harmonique 2 sont adaptées dans des zones favorables.

	1 transistor Mesures	6 transistors// Calculs par « scaling »
PAE [%] Optimisation @ $f_0$ , $Z_{h2}=50\Omega$	63	63
PAE [%] Optimisation @ $f_0+2f_0$	70 - 72	70 - 72
Pout [W]	11	66
Gain [dB]	15 - 15.5	15 - 15.5
$I_{ds0}$ [mA] max	500	3000
$Z_{opt}$ @ $f_0$	$\sim 22+j*50 \Omega$	$\sim 4+j*9 \Omega$

Tableau III.1 : Détermination idéale des performances maximales de 6 transistors en parallèles sur la bande [2.9-3.5] GHz déduites des performances mesurées d'un transistor.

Les zones de rendement étant définies à la fréquence fondamentale et à l'harmonique 2, des câblages spécifiques peuvent désormais être optimisés pour les barrettes de puissance selon une méthode spécifique.

## **II. Détermination des câblages d'entrée et de sortie du boîtier optimisés haut rendement et large bande.**

Le principe de synthèse optimale des câblages d'une barrette est le même que celui énoncé dans le chapitre II pour la cellule unitaire, mais sa mise en œuvre requiert des différences sensibles en raison de la plus forte sensibilité aux instabilités et aux déséquilibres d'impédances. Le principe de synthèse consistera à optimiser les réseaux de sortie et d'entrée afin de confiner en premier lieu les impédances à  $2f_0$  dans des zones de fonctionnement optimal en rendement sans imposer de trop fortes contraintes au fondamental. Le câblage de sortie du boîtier est également optimisé à la fréquence fondamentale pour que les impédances transformées soient préadaptées dans des zones optimales de PAE dans les plans de la barrette. Les différences se situent au niveau des moyens mis en œuvre pour y parvenir. Alors qu'un seul filtre LC est suffisant pour une cellule unitaire, l'optimisation des réseaux internes d'adaptation d'une barrette de puissance nécessite plusieurs filtres pour parvenir à des résultats équivalents. De ce fait, la modélisation de ces réseaux est beaucoup plus complexe.

Avant de simuler différents câblages, il est nécessaire de modéliser les accès du boîtier. Ces derniers sont modélisés différemment en fonction du nombre de fils de câblage connectés sur ces accès.

Des investigations ont également été menées sur les dissymétries éventuelles générées par les différents câblages. Ainsi, les critères de performances ont été définis et sont ensuite pris en compte lors de la simulation des câblages afin de tenter de réduire leurs effets indésirables.

Toutes les valeurs des mutuelles inductances utilisées lors de l'optimisation des câblages seront évaluées grâce à l'outil de modélisation des fils de câblage Philips disponible sous ADS. De ce fait, les inductances optimales synthétisées en simulation ne correspondront pas exactement aux inductances équivalentes qui seront réalisées. Les incertitudes de montage et la forme des fils peuvent engendrer des variations d'inductances entre la simulation et la réalisation. Il est donc très important d'avoir une connaissance préalable de l'architecture de câblage afin de la modéliser et d'évaluer le plus précisément possibles les inductances équivalentes et leurs mutuelles.

## II.1. Modélisation des accès du boîtier.

Un boîtier spécifique pour accueillir les barrettes de puissance a été réalisé à Thales Air Systems. Un substrat duroïd de 1.85 mm de long et de 8 mm de large est placé en entrée et en sortie du boîtier. Son épaisseur est de 635  $\mu\text{m}$  et sa constante diélectrique est de 10.2. Ce substrat métallisé peut être associé à un modèle capacitif dont la valeur serait équivalente à 2.3 pF. La connexion extérieure du boîtier sera effectuée par deux pattes métalliques de 4 mm de longueur par 2 mm de large. Un « tab » en molybdène est placé en fond de boîtier pour améliorer la dissipation thermique. Ses dimensions sont de 3.7 mm de long par 5.1 mm de large. La barrette et les éléments de câblage seront fixés sur le « tab ». La dimension totale de ce boîtier est de 8.2x24 mm<sup>2</sup> pour une hauteur (sans fils de câblage) de 2.7 mm. Son schéma est représenté sur la figure III.3.

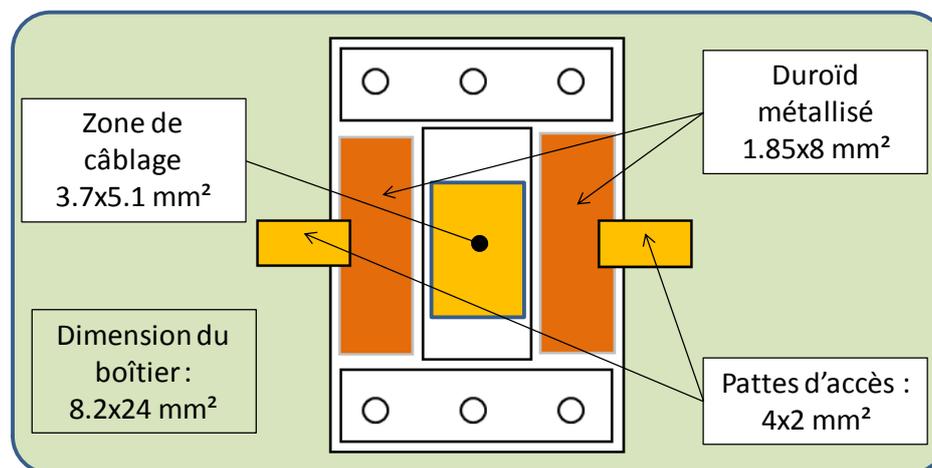


Figure III.3 : Dimension du boîtier accueillant les barrettes de puissance.

Dans la partie du précédent chapitre relatif à la modélisation des boîtiers accueillant des cellules unitaires, les céramiques métallisées étaient modélisées par une seule capacité équivalente. Il pourrait toujours en être de même pour cette configuration de boîtier destinée aux barrettes. Cependant, afin de savoir s'il existe des phénomènes parasites liés à l'utilisation de plusieurs connexions sur la ligne de duroïd métallisée, une étude a été menée en simulant sous ADS différentes configurations de connexion. Les configurations étudiées pour connecter les transistors de la barrette au duroïd sont aux nombres de 2, 3 ou 6. Ainsi, afin d'étudier les phénomènes de recombinaison des ondes qui sont très sensibles lors de l'utilisation des barrettes, un modèle de ligne (substrat duroïd), présenté sur la figure III.4, a été réalisé et utilisé pour chaque configuration de câblage, c'est-à-dire pour 2, 3 ou 6 connexions.

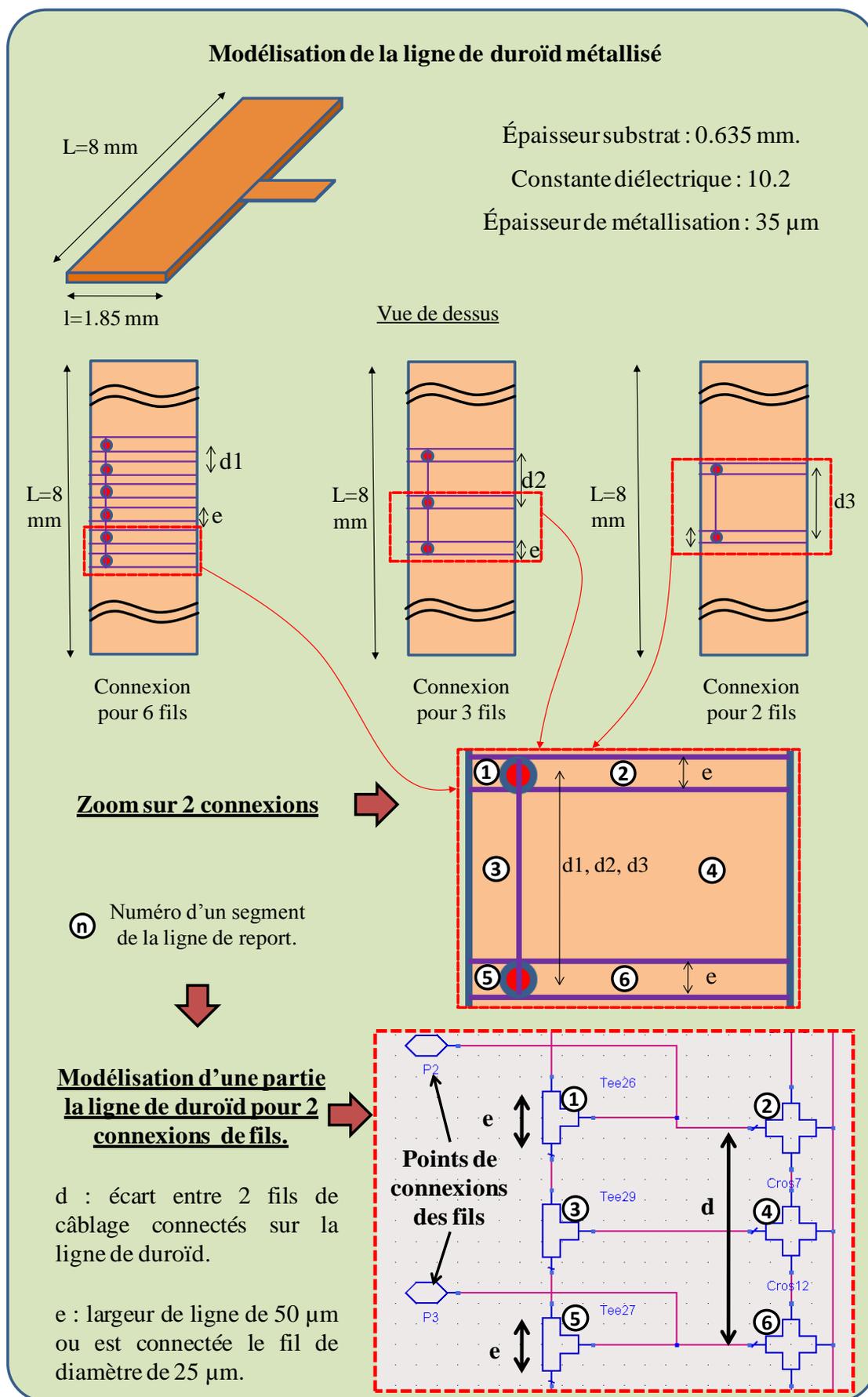


Figure III.4 : Segmentation transversale de la ligne métallisée en fonction du nombre de connexions pour la modélisation des accès du boîtier sous ADS.

Pour un câblage de la barrette réalisé par 6 fils, l'écart entre le premier et le dernier point de soudure sera alors supérieur à 2.5 mm (dimension approximative entre le premier et le dernier transistor de la barrette). Ainsi, nous avons segmenté le modèle de la ligne de report de manière à ce que chaque connexion de drain soit connectée sur un seul nœud. Ce principe a été mis en œuvre pour tous les éléments du boîtier par P.H. Aaen et al. [72]. Lors de nos travaux, seules les lignes de reports des fils du boîtier ont été modélisées de cette manière. Les capacités MOS ont été modélisées par une capacité équivalente. La figure III.4 illustre ainsi la segmentation réalisée en fonction du nombre de connexions. Un exemple de modèle réalisé sous ADS illustre l'architecture utilisée pour 2 connexions. Cette architecture est symétrique et répétable en fonction du nombre de connexions de drain établies sur la ligne de duroïd.

Le cas présentant le plus de risques pour la recombinaison des ondes est celui dont les connexions aux extrémités sont les plus espacées. Il s'agit bien sûr du cas à six connexions. Afin d'évaluer les déséquilibres engendrés par la ligne de sortie du boîtier à six connexions d'entrée, une source de puissance définie dans un premier temps sur  $50 \Omega$  a été placée à chaque accès de la ligne. Les tensions ( $V_n$ ), générées successivement à chaque accès d'entrée de la ligne, ont ainsi été transformées et visualisées en sortie de cette ligne ( $VT_n$ ). Lorsqu'un générateur est en fonctionnement, les cinq autres sont éteints et présentent ainsi  $50 \Omega$  à chaque accès d'entrée de la ligne. Les impédances  $Z_n$  calculées à chaque accès sont également étudiées lorsque la sortie de la ligne est chargée sur  $50 \Omega$ . Ces différents résultats sont présentés sur la figure III.5 à 2.9 GHz.

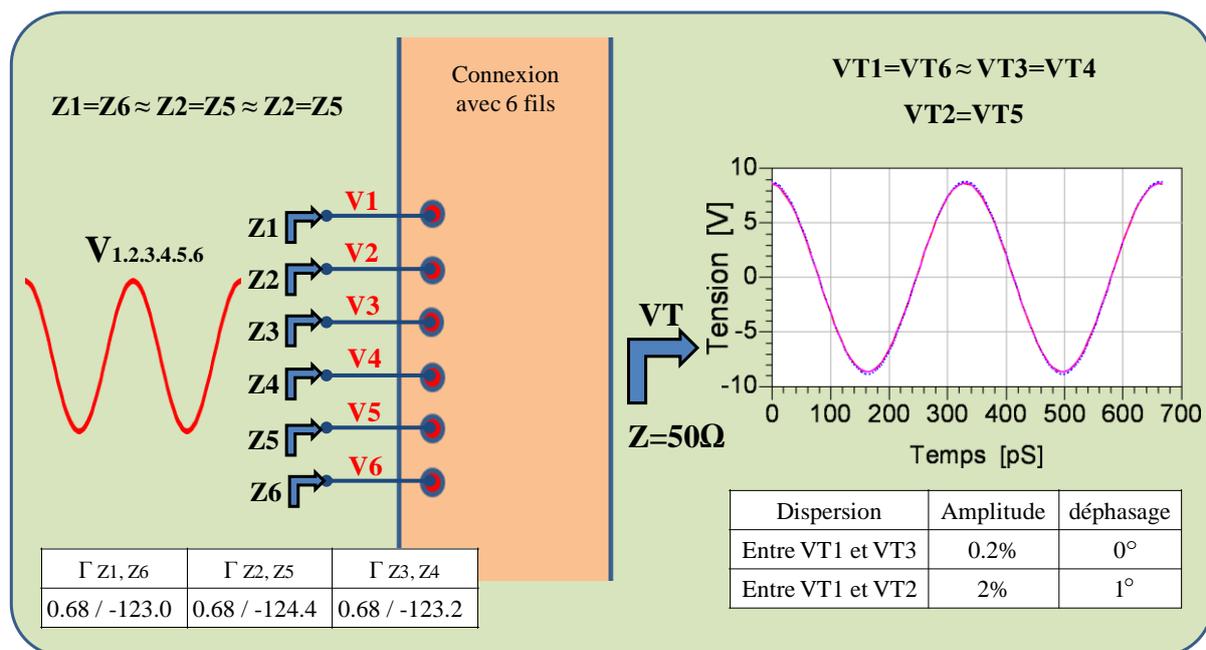


Figure III.5 : Etude de la recombinaison des tensions en sortie de la ligne d'accès du boîtier pour une connexion d'entrée de 6 fils de câblage.

A l'issue de ces simulations, il est possible de constater qu'il existe une symétrie parfaite entre 2 accès symétriques par rapport à l'axe médian de la barrette (1 et 6, 2 et 5 et 3 et 4). Il s'avère que les tensions transformées VT2 et VT5 subissent une légère variation d'amplitude (2%) par rapport aux autres accès. Les tensions VT1 et VT6 sont considérées comme égales aux tensions VT3 et VT4. Le déphasage entre les six tensions transformées est quasi nul. Les impédances vues par chaque accès lorsque la sortie de la ligne est chargée sur  $50 \Omega$  sont quasi identiques même s'il existe  $1^\circ$  de différence sur la phase du module de Z2 et Z3. Cette étude a également été réalisée lorsque le générateur de puissance est définie sur différentes impédances complexes. Les résultats en termes de dispersion et de déphasage sont également très faibles quelles que soient les impédances de source du générateur. On observe tout de même des déséquilibres lorsque les impédances de source des générateurs de puissance approchent le court circuit ( $1 \Omega$ ). De telles impédances ne seront jamais présentées à ces accès lors de la réalisation des câblages.

En résumé, les recombinaisons des tensions et des courants en sortie de la ligne et les impédances calculées à chaque accès sont considérées comme quasi identiques en bande S. Cette étude a également été réalisée pour une ligne à deux puis trois accès. Les variations constatées sont encore plus négligeables. Il sera alors admis par la suite que le boîtier ne génère aucun déséquilibre même si un câblage par six accès présentera une très légère dissymétrie. Cette conclusion est évidemment limitée à notre application en bande S tandis qu'une application en bande X nous aurait certainement contraint à compenser les déséquilibres par une modification des câblages et des chemins électriques de recombinaison.

## **II.2. Simulation du câblage de sortie du boîtier n°1.**

Un premier câblage de sortie a tout d'abord été synthétisé et simulé en utilisant une ligne d'accès à six connexions en sortie du boîtier pour connecter les six plots de drain de la barrette. Une représentation de l'architecture du câblage de sortie du boîtier qui sera simulé puis synthétisé est présentée sur la figure III.6.

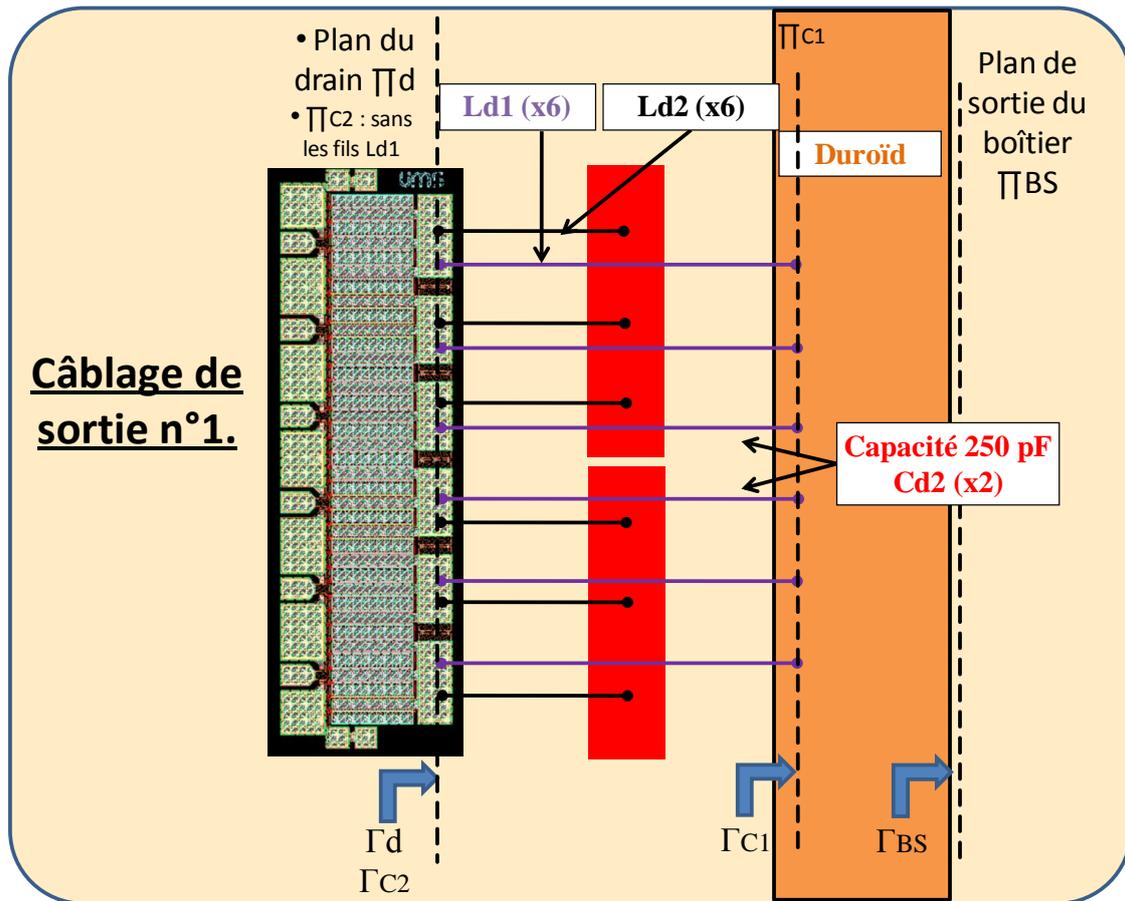


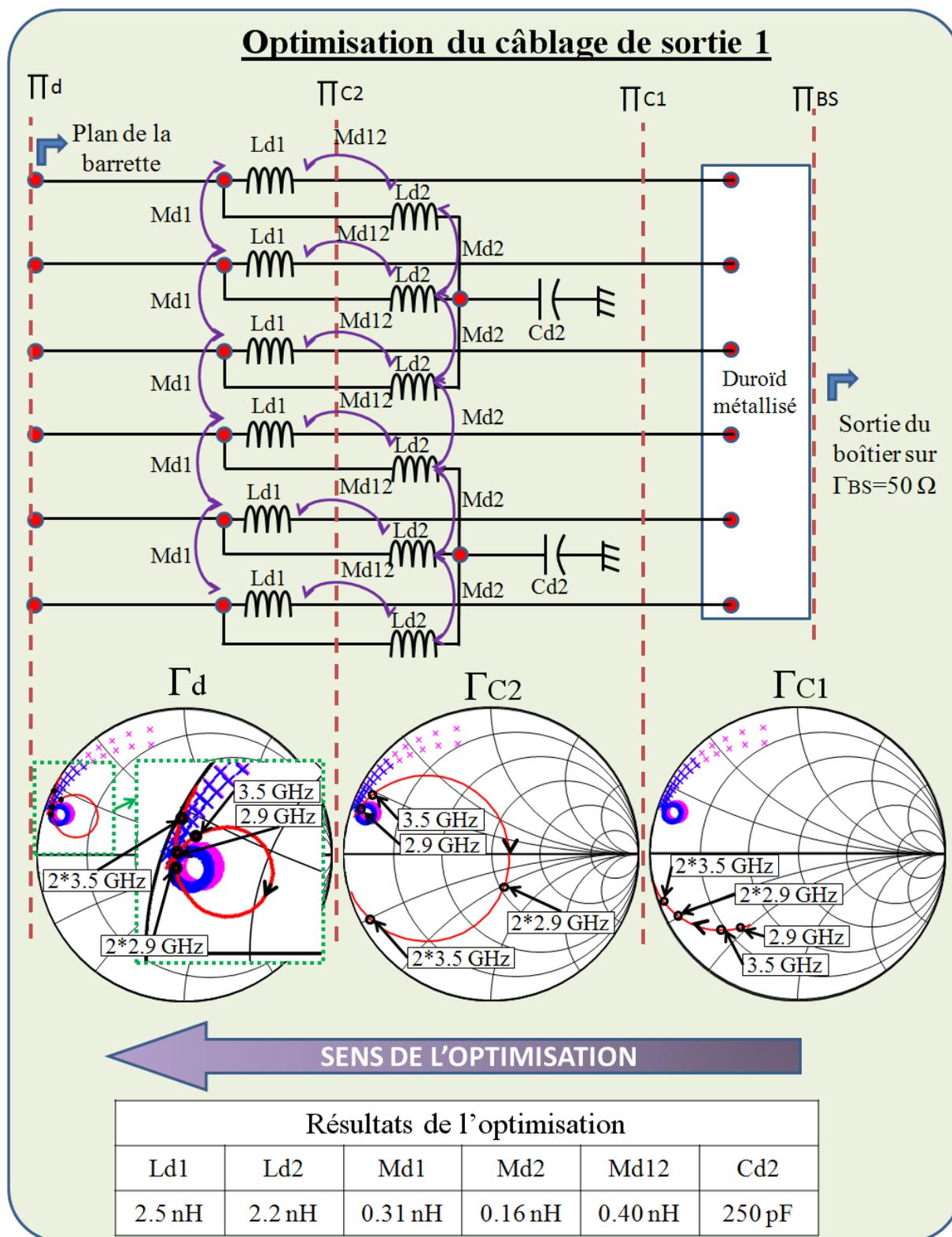
Figure III.6 : Représentation du câblage de sortie du boîtier n°1.

### II.2.1. Méthodologie d'adaptation du câblage de sortie du boîtier n°1.

Dans un premier temps, l'optimisation du câblage a été réalisée pour une sortie du boîtier chargée sur  $50 \Omega$ . Le câblage a été optimisé en synthétisant les impédances recherchées par une progression de la sortie du boîtier vers les plots de drain en 3 étapes successives :

- ❶ La ligne de duroïd métallisée.
- ❷ Les filtres de stabilité Ld2/Cd2 + la ligne de duroïd métallisée.
- ❸ Les fils de drain Ld1 + les filtres de stabilité Ld2/Cd2 + la ligne de duroïd métallisée (adaptation à  $2f_0$ ).

Les différentes étapes sont illustrées sur la figure III.7 ainsi que les valeurs électriques obtenues correspondant aux éléments du boîtier. Les impédances synthétisées à chaque étape sont affichées sur la bande de fréquence [2.9-3.5] GHz à  $f_0$  et [5.8-7.0] GHz à  $2f_0$ .



— Impédances synthétisées par le câblage. Zones recherchées à  $f_0$   $\circ$  et  $2f_0$   $\times$ .

Figure III.7 : Méthodologie d'adaptation du câblage de sortie du boîtier n°1.

Pour la synthèse d'impédance, la progression de l'optimisation s'effectue de la sortie du boîtier (plan  $\Pi_{BS}$ ) vers le drain de la barrette ( $\Pi_d$ ) en optimisant successivement les

différents éléments internes au boîtier. Pour la 1<sup>ère</sup> ligne de sortie du boîtier correspondant à une capacité équivalente de 2.3 pF, il est logique que les impédances synthétisées  $\Gamma_{C1}$  dans le plan d'entrée de la ligne de duroïd  $\Pi_{C1}$  soient dans la partie capacitive de l'abaque de Smith. Pour la 2<sup>ème</sup> étape, des filtres de stabilité (Ld2/Cd2) ont été ajoutés pour atténuer le gain des basses fréquences autour de 300 MHz. Ce filtre est ajouté par précaution car des instabilités linéaires avaient déjà été observées en mesure et en simulation sur les anciennes générations de barrette correspondant à ce développement. Plutôt que de subir cette étape de stabilité, le filtre a été synthétisé de telle sorte que les impédances synthétisées  $\Gamma_{C2}$  aux fréquences fondamentales dans le plan d'entrée du filtre  $\Pi_{C2}$  soient le plus près possible des lieux recherchés tout en conservant le filtrage BF. Pour la 3<sup>ème</sup> étape, les fils Ld1 sont ajoutés pour synthétiser les impédances  $\Gamma_d$  dans le plan de drain  $\Pi_d$  de la barrette aux fréquences harmoniques doubles dans les zones recherchées tout en faisant attention à ne pas dégrader les impédances aux fréquences fondamentales.

Ce câblage synthétise à la fois les impédances aux fréquences fondamentales et aux fréquences harmoniques 2 dans leurs zones optimales grâce à une résonance créée autour de  $f_0$ . Ceci permettra en théorie de concevoir un amplificateur de forte puissance sur une large bande passante.

Le confinement des impédances synthétisées dans le plan du drain ( $\Pi_d$ ) lorsqu'une caractérisation load-pull est effectuée en sortie du boîtier ( $\Pi_{BC}$ ) a également été étudié comme dans le chapitre II. Les résultats sont présentés sur la figure III.8.

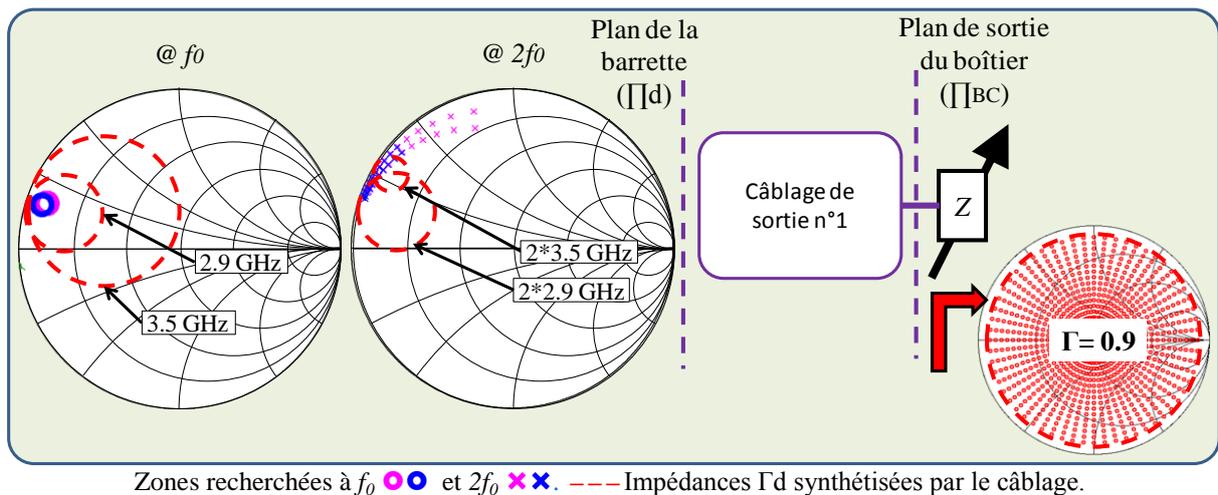


Figure III.8 : Impédances transformées dans les plans de la barrette par le câblage de sortie du boîtier n°1.

Les impédances transformées à la fréquence fondamentale englobent les zones optimales et laissent ainsi l'adaptation possible en sortie du boîtier. A la fréquence harmonique double, les impédances sont confinées dans la zone optimale à 3.5 GHz alors que les impédances transformées sont moins bien confinées à 2.9 GHz. Selon ces simulations, les impédances sont contrôlées à l'harmonique 2 à partir de 3 GHz.

A partir des valeurs des inductances et en envisageant la forme du fil de câblage qui sera réalisé, il est possible de déterminer une longueur pour chaque fil de câblage grâce à l'outil de modélisation Philips disponible sous ADS. Le tableau III.2 présente la conversion de l'inductance vers la longueur du fil qui sera réalisé.

Ld1 (x6)	Ld2 (x6)	Cd2 (x2)
2.5 nH	2.2 nH	250 pF
L = 3 mm ; $\varnothing$ = 25 $\mu$ m	L = 3 mm ; $\varnothing$ = 25 $\mu$ m	

Tableau III.2 : Evaluation de la longueur des fils de câblage à réaliser en fonction des inductances équivalentes simulées pour le câblage de sortie du boîtier n°1.

### II.2.2. Etude des déséquilibres d'impédance générés par le câblage de sortie du boîtier n°1.

Il a été démontré dans la partie II.1 de ce chapitre que les dissymétries engendrées en bande S par la ligne d'accès de sortie étaient négligeables. Les longueurs des fils de câblage Ld1 étant identiques pour les six accès de drain de la barrette de puissance, le chemin RF est quasiment identique pour les six transistors composant la barrette de puissance. Néanmoins, les impédances synthétisées par le câblage ont été étudiées au niveau de chaque transistor de la barrette de puissance. Pour cette étude, tous les transistors sont parfaitement identiques.

Cette étude a été réalisée en associant 6 modèles non-linéaires électrothermiques correspondant à une version très proche de la cellule unitaire formant la barrette de puissance utilisée. Une impédance optimale  $Z_{opt}$  est placée en sortie du câblage n°1 dans le plan  $\Gamma_{BS}$ . Le but de cette simulation est d'obtenir les meilleures performances et de faire fonctionner chaque transistor de manière optimale. Une fois cet objectif atteint, les impédances vues par chaque transistor de la barrette sont calculées et les tensions de drain à la fréquence fondamentale sont simulées. Les résultats sont présentés figure III.9.

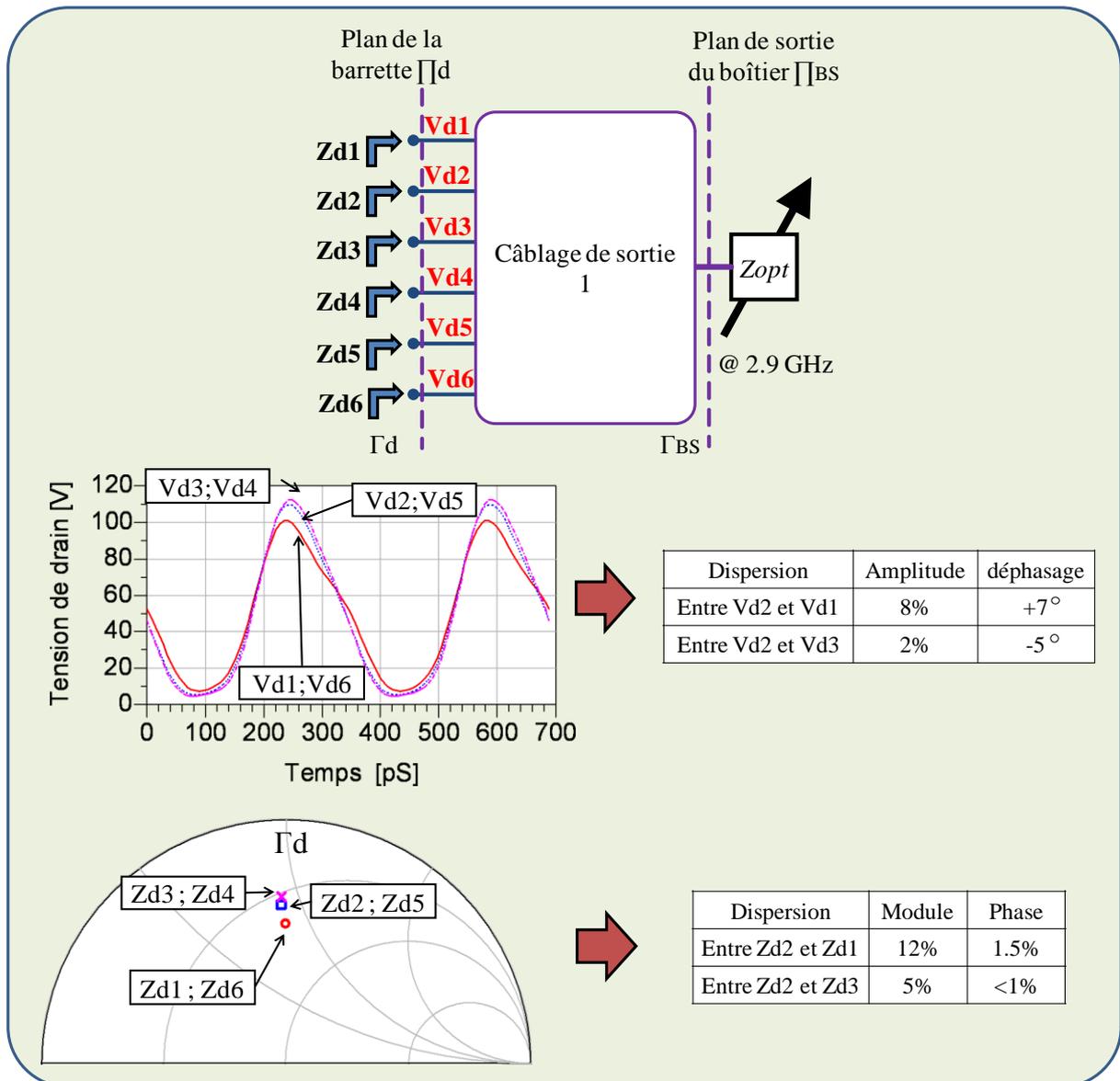


Figure III.9 : Etude des dispersions d'impédances vues par chaque accès de drain de la barrette pour le câblage de sortie du boîtier n°1.

Tout d'abord, il existe là encore une symétrie parfaite entre les transistors 1 et 6, 2 et 5 et 3 et 4. La comparaison entre les accès est effectuée avec les transistors 2 et 5 qui sont les deux transistors pour lesquels le câblage synthétise l'impédance optimale théorique d'une cellule unitaire ainsi que le montre la figure III.9. Les impédances  $Z_{d1}$  et  $Z_{d6}$  sont les plus éloignées des impédances optimales  $Z_{d2}$  et  $Z_{d5}$ . C'est sur le module que la variation est la plus importante (12%) tandis que la phase est quasiment identique. Cette dissymétrie vue par les transistors 1 et 6 engendre une variation d'amplitude de la tension de drain de 8% par rapport à la tension de drain  $V_{d2}$  et  $V_{d6}$ . Le déphasage engendré entre les ondes de tension de drain est de 7°.

Les impédances vues par les transistors 3 et 4 sont beaucoup plus proches de l'impédance théorique recherchée. La variation d'impédance en module est de 5% ce qui engendre une variation d'amplitude de la tension de drain  $V_{d3}$  et  $V_{d4}$  de seulement 2% et un déphasage de  $-5^\circ$  par rapport à la tension de drain  $V_{d2}$  et  $V_{d5}$ .

Ces dispersions d'impédance vues par chaque transistor proviennent des mutuelles inductances qui existent entre les fils de câblages et qui génèrent ces dissymétries. Les transistors 1 et 6 sont les plus excentrés sur la barrette de puissance. Leurs fils de câblage subissent alors moins de parasites inductifs par rapport aux fils centraux qui absorbent des mutuelles inductives de chaque côté. C'est la raison pour laquelle les transistors 1 et 6 subissent la plus forte dissymétrie physique.

Pour illustrer l'impact des mutuelles inductances entre les fils de câblage sur les impédances synthétisées à chaque accès, l'étude suivante a été menée. Toutes les mutuelles du câblage de sortie n°1 ont été désactivées et l'impédance de charge en sortie du boîtier a été de nouveau optimisée ( $Z_{opt2}$ ) afin d'obtenir l'impédance optimale recherchée dans le plan du drain du transistor. Les formes des tensions de drain de chaque transistor ainsi que leur impédance de charge sont illustrées sur la figure III.10.

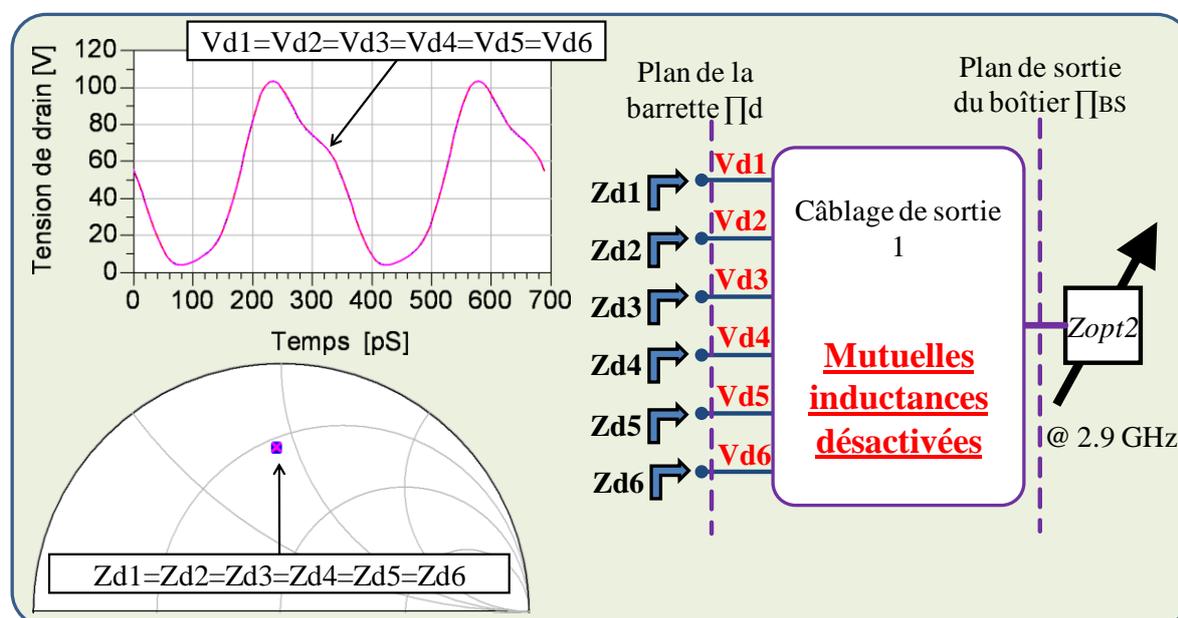


Figure III.10 : Etude des dispersions d'impédances vues par chaque accès de drain de la barrette pour le câblage de sortie n°1 lorsque les mutuelles inductances sont désactivées.

Les résultats sont conformes aux attentes. Si les mutuelles existant entre les fils sont supprimées lors de la simulation du câblage n°1, les transistors de la barrette de puissance seraient chargés par la même impédance optimale.

### II.3. Correction des déséquilibres d'impédance : Simulation du câblage de sortie du boîtier n°2.

Un deuxième câblage de sortie du boîtier a été synthétisé et présente deux différences majeures par rapport au câblage de sortie n°1.

Le câblage de sortie du boîtier n°2 synthétisera des impédances à l'harmonique 2 dans des zones légèrement plus éloignées des zones optimales que celles synthétisées par le câblage n°1. La raison est simple. Il s'agit de synthétiser des impédances plus élevées dans le cas où les zones optimales réelles de PAE à  $2f_0$  se seraient légèrement décalées par rapport à notre hypothèse initiale selon laquelle l'impédance optimale de la barrette est proche du sixième de l'impédance optimale de la cellule unitaire. Le câblage de sortie n°2 a également été synthétisé pour limiter la dissymétrie entre chaque transistor de la barrette de puissance. Il a été démontré précédemment que les mutuelles inductances étaient responsables d'un déséquilibre de fonctionnement. Afin de limiter ce déséquilibre, des câblages de fils en diagonal ont alors été adoptés pour ainsi diminuer ces mutuelles. Enfin ce nouveau câblage utilisera seulement deux fils de câblage soudés sur la ligne d'accès de sortie du boîtier. Une représentation de l'architecture du câblage de sortie du boîtier qui sera simulé puis synthétisé est présentée sur la figure III.11.

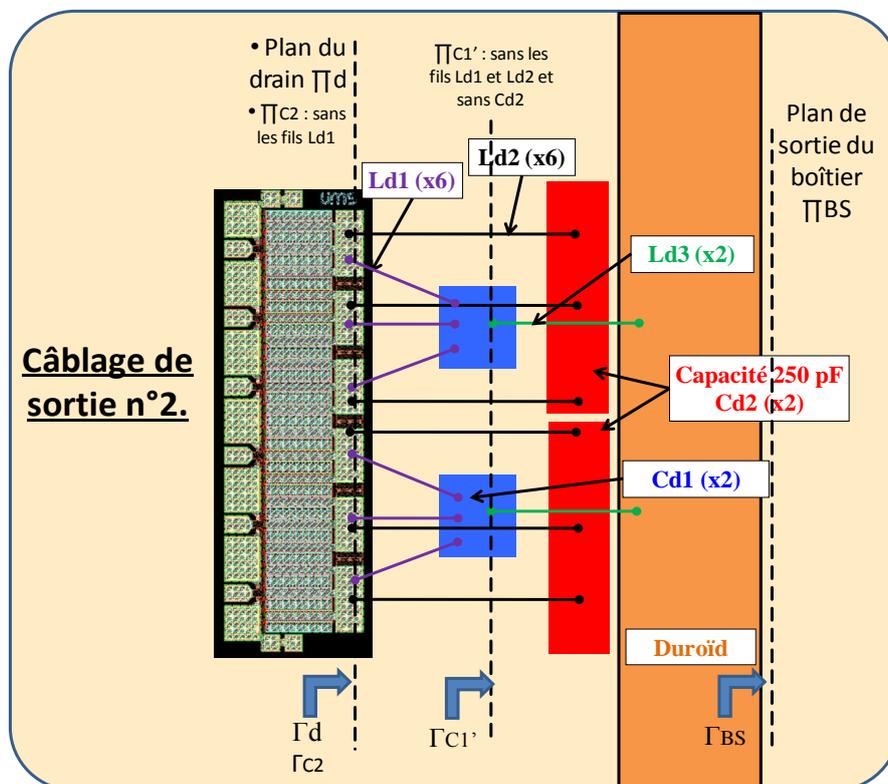


Figure III.11 : Représentation du câblage de sortie du boîtier n°2.

### II.3.1. Méthodologie d'adaptation du câblage de sortie du boîtier n°2.

Comme pour le câblage de sortie n°1 précédemment simulé, la méthode de synthèse se décompose en trois étapes distinctes. En revanche, le rôle de chaque filtre sera différent. Le câblage a donc été optimisé en observant les impédances successivement synthétisées par chacune des trois étapes suivantes en progressant de la sortie du boîtier ( $\Gamma_{BS}$ ) vers le plan du drain de la barrette de puissance ( $\Gamma_d$ ).

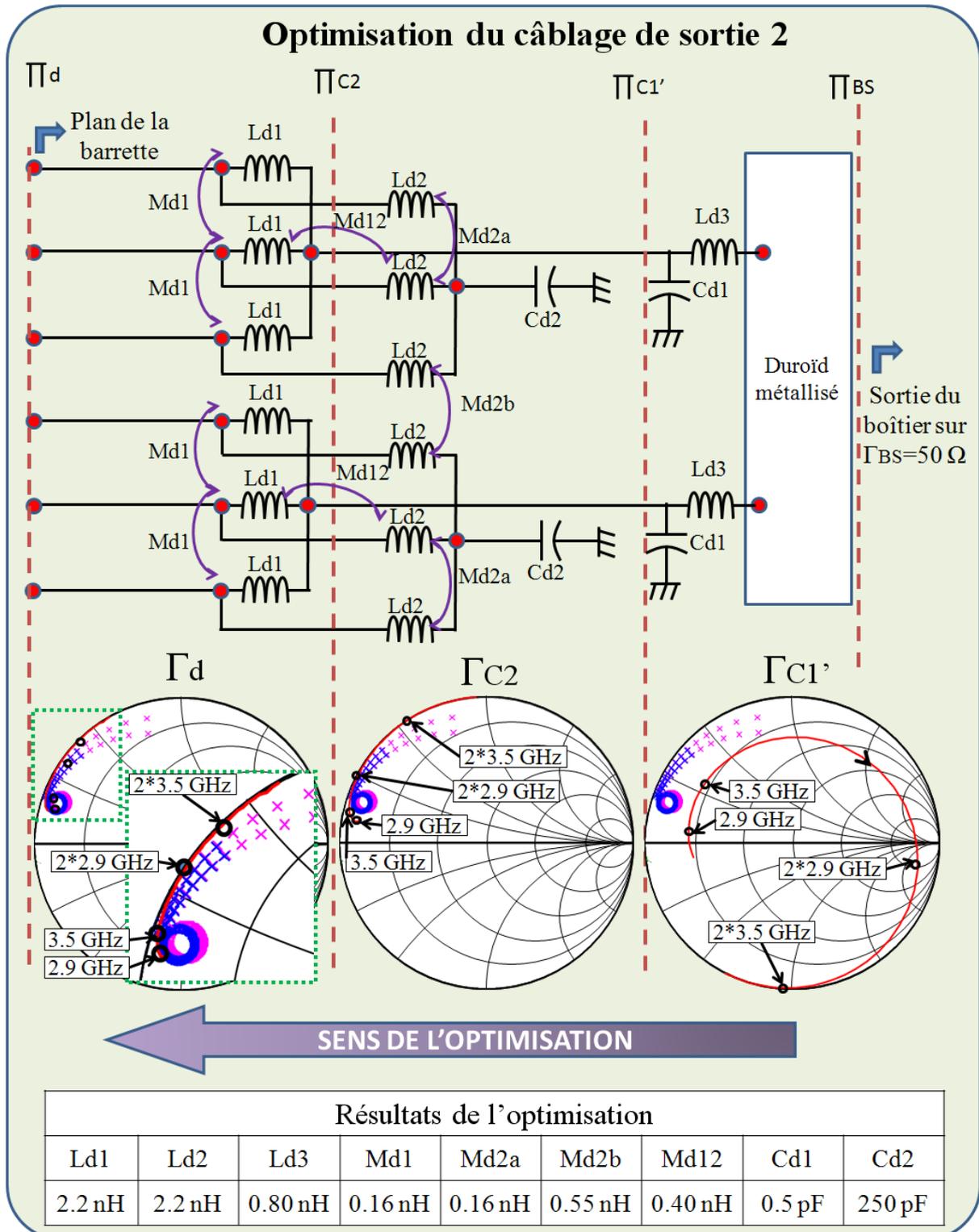
- ❶ La ligne de duroïd métallisée + préadaptation Ld3/Cd1 (préadaptation à  $f_0$ ).
- ❷ Les filtres de stabilité Ld2/Cd2 + la ligne de duroïd métallisée + préadaptation Ld3/Cd1.
- ❸ Les fils de drain Ld1 + les filtres de stabilité Ld2/Cd2 + la ligne de duroïd métallisée + préadaptation Ld3/Cd1 (adaptation à  $2f_0$ ).

A la différence du câblage n°1, deux capacités Cd1 et deux fils de câblage Ld3 ont été utilisés afin de préadapter les impédances fondamentales dans la partie inductive de l'abaque de Smith.

Dans une 1<sup>ère</sup> étape, la longueur du fil Ld3 et la valeur de la capacité Cd1 sont optimisées pour placer en bord d'abaque les impédances ( $\Gamma_{C1}$ ) aux fréquences harmoniques dans la plan  $\Gamma_{C1}$  pour qu'elles puissent être adaptées dans les zones recherchées par les deux transformations suivantes. Lors de la deuxième étape, les mêmes filtres de stabilité Ld2/Cd2 choisis pour le câblage n°1 ont été synthétisés dans ce nouveau câblage. Il en résulte des impédances transformées ( $\Gamma_{C2}$ ) très proches des zones recherchées aux fréquences fondamentales et harmoniques doubles. Lors de la troisième étape, les fils Ld1, regroupés par trois sur chaque capacité Cd1, ont été ajustés pour adapter les impédances harmoniques dans les zones voulues du plan du drain  $\Gamma_d$  de la barrette. Ces trois étapes sont successivement décrites sur la figure III.12 à la page suivante.

Afin de diminuer les mutuelles Md1 entre les fils de drain Ld1, le câblage des fils Ld1 a été réalisé en triangle. Leur parallélisme étant affecté, leur mutuelle en est ainsi diminuée. En simulation, la mutuelle inter-fils est même quasi-nulle entre les fils Ld1 pour les transistors 3 et 4. Des mutuelles Md2a, entre les fils Ld2 des filtres de stabilité des transistors 2 et 3 et 4 et 5, ont été supprimées par rapport au câblage n°1 du fait d'un plus grand éloignement de leurs fils. En revanche, une mutuelle Md2b plus importante existe entre les

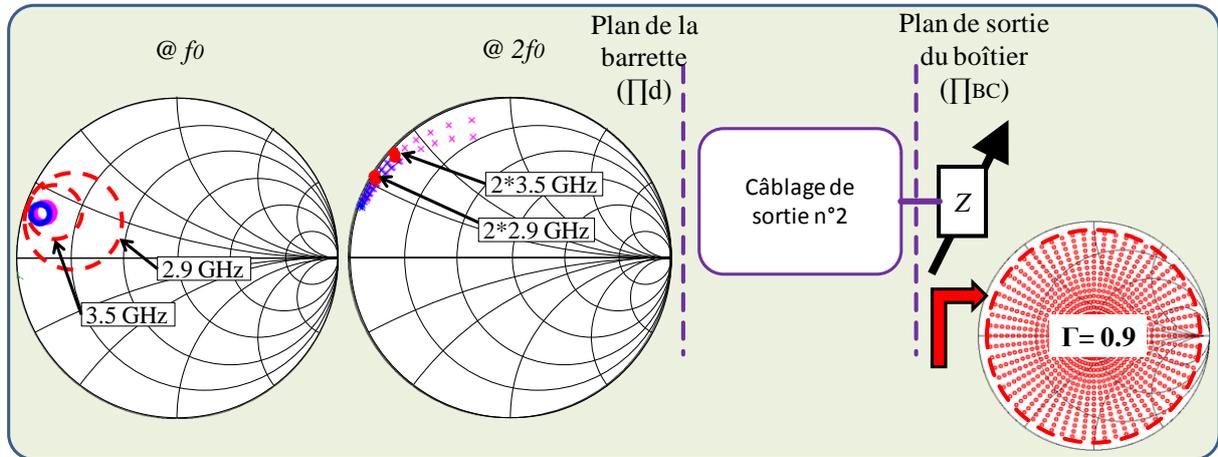
files Ld2 des filtres de stabilité des transistors 3 et 4. Enfin, les fils de câblage Ld3 de sortie sont suffisamment éloignés pour qu'aucune mutuelle significative ne soit prise en compte.



— Impédances synthétisées par le câblage. Zones recherchées à  $f_0$   $\circ$  et  $2f_0$   $\times$ .

Figure III.12 : Méthodologie d'adaptation du câblage de sortie du boîtier n°2.

Le confinement des impédances synthétisées lorsqu'un load-pull effectué en sortie du boîtier a également été étudié. Les résultats sont présentés sur la figure III.13.



Zones recherchées à  $f_0$   $\circ$   $\bullet$  et  $2f_0$   $\times$   $\times$ . --- Impédances synthétisées par le câblage.

Figure III.13 : Impédances transformées dans les plans de la barrette par le câblage de sortie n°2.

Les impédances transformées à la fréquence fondamentale englobent les zones optimales et laissent l'adaptation possible à  $f_0$  en sortie du boîtier. A la fréquence harmonique double, les impédances sont confinées dans la zone optimale à 2.9 GHz alors que les impédances transformées sont quasiment sorties de la zone optimale à 3.5 GHz. Dans tous les cas, les impédances sont confinées dans une zone très réduite dans le plan de la barrette, de telle sorte qu'elle soit insensible aux variations de charge à l'harmonique 2 en sortie du boîtier.

A partir des valeurs des inductances et en envisageant la forme du fil de câblage qui sera réalisé, il est possible de déterminer une longueur pour chaque fil de câblage grâce à l'outil de modélisation Philips disponible sous ADS. Le tableau III.3 présente la conversion de l'inductance vers la longueur du fil qui sera réalisé.

Ld1 (x6)	Ld2 (x6)	Ld3 (x2)	Cd1 (x2)	Cd2 (X2)
0.8 nH	2.2 nH	2.2 nH	0.5 pF	250 pF
L = 0.9 mm ; $\varnothing$ = 25 $\mu$ m	L = 3 mm ; $\varnothing$ = 25 $\mu$ m	L = 2.5 mm ; $\varnothing$ = 25 $\mu$ m		

Tableau III.3 : Evaluation de la longueur des fils de câblage à réaliser en fonction des inductances équivalentes simulées pour le câblage de sortie du boîtier n°2.

### II.3.2. Etude des déséquilibres d'impédance générés par le câblage de sortie du boîtier n°2.

Comme nous l'avons souligné dans la partie III.2.2 de ce chapitre, les mutuelles inductances entre les fils de câblage sont la principale cause des dissymétries engendrées par les câblages. Le câblage n°2 a été réalisé de manière à réduire les mutuelles entre les différents fils. Le tableau III.4 expose les différentes mutuelles induites par les câblages n°1 et 2. Rappelons qu'il s'agit d'estimations fondées sur les modèles Philips disponibles sous ADS et que ces valeurs de mutuelles sont susceptibles d'évoluer en fonction de la formes des fils réalisés et des incertitudes de réalisation liées à leurs longueurs.

	Câblage n°1		Câblage n°2
Md1	0.31 nH (x5)		0.16 nH (x4)
Md2	0.16 nH (x5)	(a)	0.16 nH (x2)
		(b)	0.55 nH (x1)
Md12	0.40 nH (x6)		0.40 nH (x2)

Tableau III.4 : Mutuelles inductances prises en compte dans les câblages n°1 et 2.

Ainsi que le montre le tableau III.4, le câblage n°2 permet ainsi de réduire considérablement le nombre de mutuelles ainsi que leur valeurs pour Md1 et Md2 (a), par rapport au câblage n°1.

Pour évaluer les dissymétries engendrées par le câblage n°2, l'étude réalisée sur le câblage n°1 a été appliquée à ce câblage. Six modèles de transistors constituent la barrette de puissance. Les impédances de drain vues par chaque transistor sont calculées lorsque la barrette est câblée et que l'impédance de charge en sortie du boîtier est optimisée. Les tensions de drain de chaque transistor sont également simulées à la fréquence fondamentale. La figure III.14 présente les résultats simulés à 2.9 GHz.

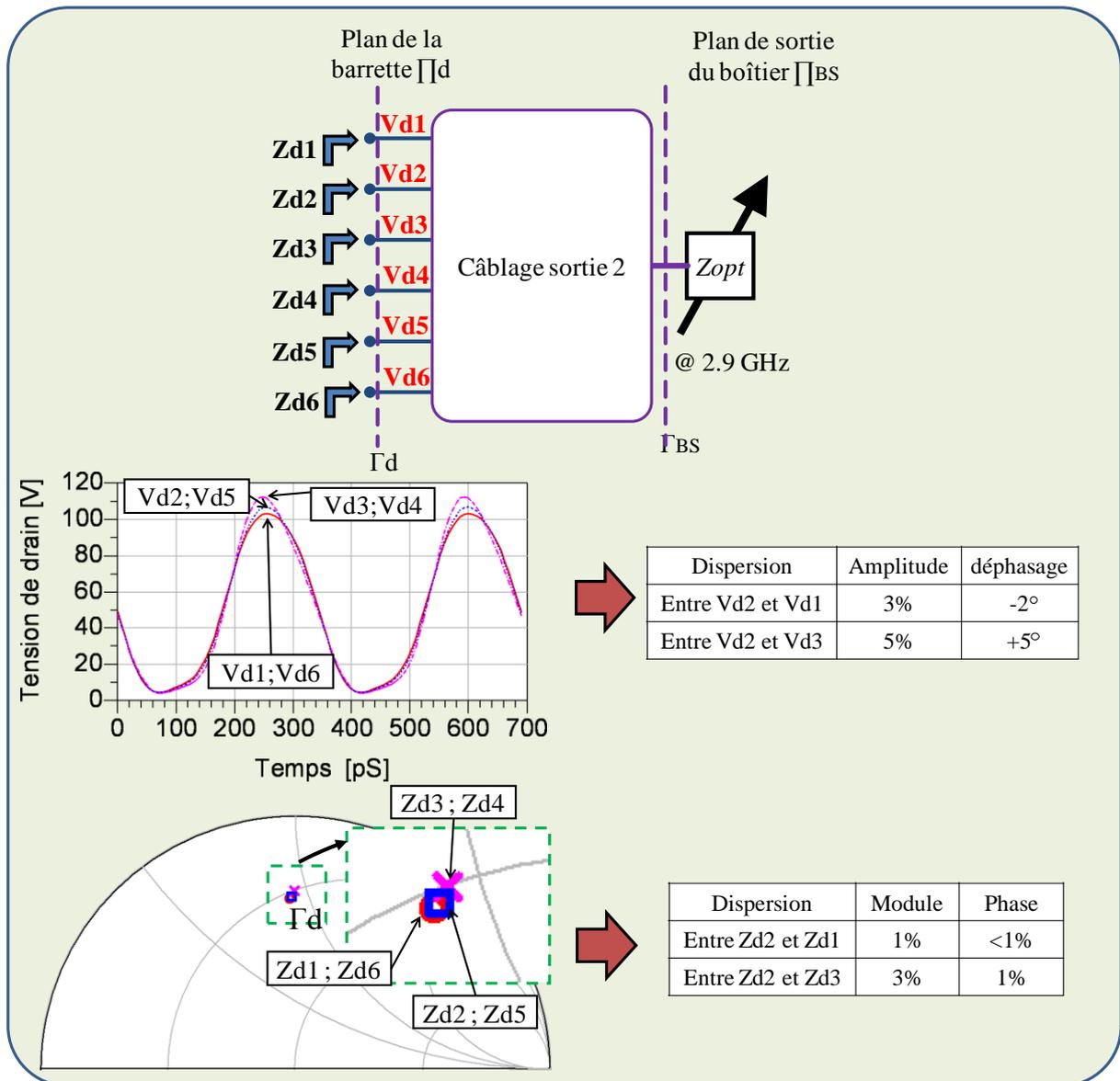


Figure III.14 : Etude des dispersions d'impédances vues par chaque accès de drain de la barrette pour le câblage de sortie du boîtier n°2.

Comme précédemment, il existe une parfaite symétrie entre les accès 1 et 6, 2 et 5, et 3 et 4. En revanche, la dissymétrie engendrée par le câblage n°2 est moins prononcée que pour le câblage n°1. La dispersion maximale sur le module de l'impédance est de 3% contre 12% pour le câblage n°1 (partie II.2.2). Les dispersions en phase sur les impédances sont quasi-nulles. Ces dissymétries engendrent une variation d'amplitude maximale de la tension de drain de 5% et un déphasage maximal de 5°. Par comparaison, le câblage n°1 engendre des dispersions d'amplitude de 8% et un déphasage de la tension fondamentale de 7° à 2.9 GHz.

En revanche, les plus fortes dissymétries liées au câblage de sortie sont générées sur les accès 3 et 4 de la barrette de puissance car ils subissent une inductance mutuelle  $M_{d2b}$

beaucoup plus forte. Cela explique pourquoi les accès 1 et 6 ne sont pas les plus dissymétriques comme c'est le cas pour le câblage n°1.

## II.4. Simulation du câblage d'entrée

Un câblage d'entrée a été synthétisé pour les deux câblages de sortie précédemment simulés. Pour des raisons d'encombrement des capacités de préadaptation et pour des raisons de dimensionnement des fils de câblage, une entrée à 3 connexions de fils Lg2 a été choisie comme l'illustre la figure III.15.

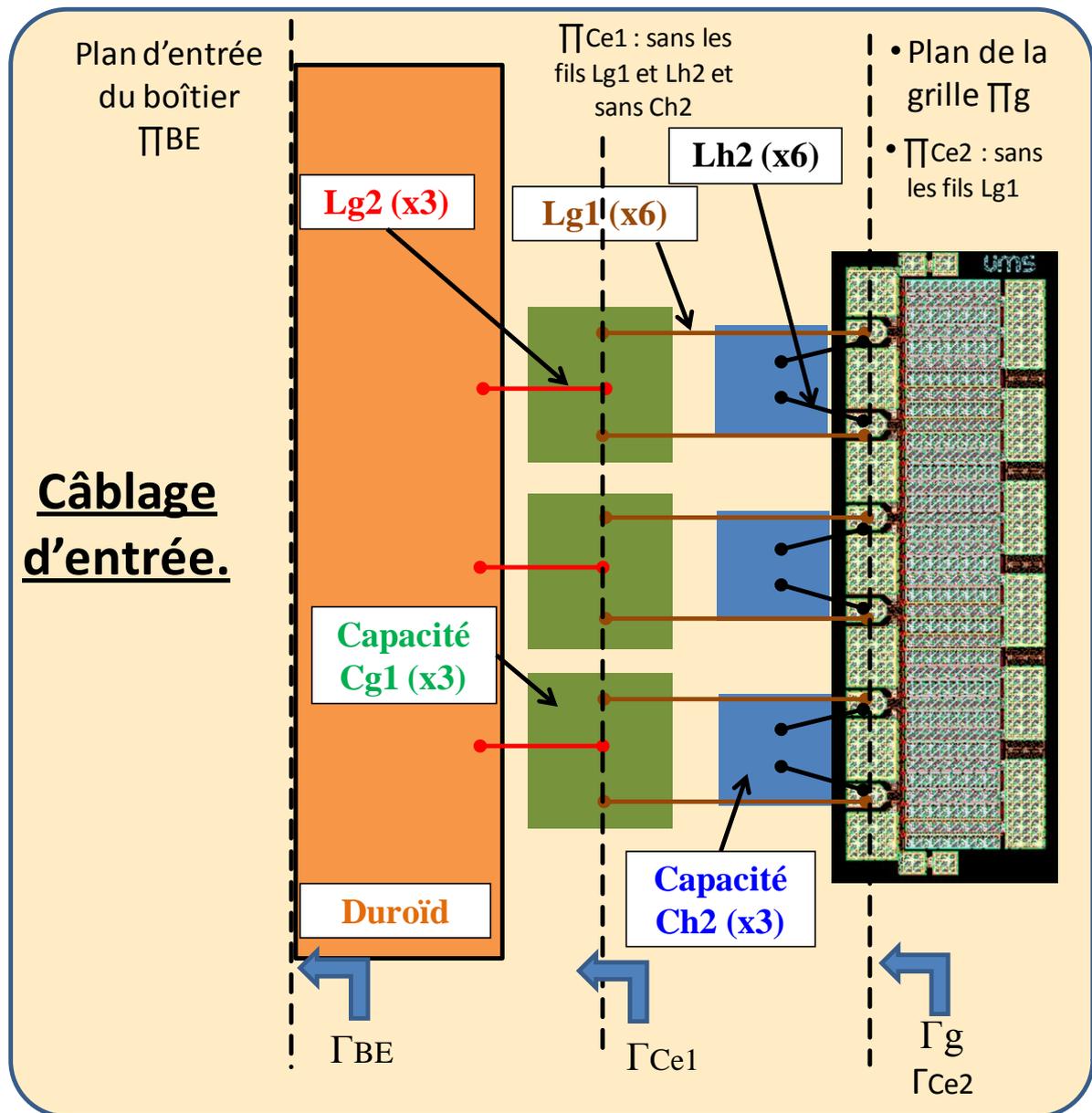


Figure III.15 : Représentation du câblage d'entrée.

Comme pour les câblages de sortie, la simulation des impédances synthétisées à chaque accès est effectuée en trois étapes en progressant de l'entrée du boîtier (plan  $\Pi_{BE}$ ) vers le plan de la grille de la barrette de puissance (plan  $\Pi_g$ ). L'entrée du boîtier est tout d'abord chargée sur  $50 \Omega$ .

Le câblage d'entrée est alors synthétisé en observant les impédances successives au cours des trois étapes suivantes :

- ❶ La ligne de duroïd métallisée + préadaptation Lg2/Cg1 (préadaptation à  $f_0$  en module).
- ❷ Les fils de grille Lg1 + la ligne de duroïd métallisée + préadaptation Lg2/Cg1 (préadaptation à  $f_0$  en phase).
- ❸ Les filtres Lh2/Ch2 + les fils de grille Lg1 + la ligne de duroïd métallisée + préadaptation Lg2/Cg1 (adaptation à  $2f_0$ ).

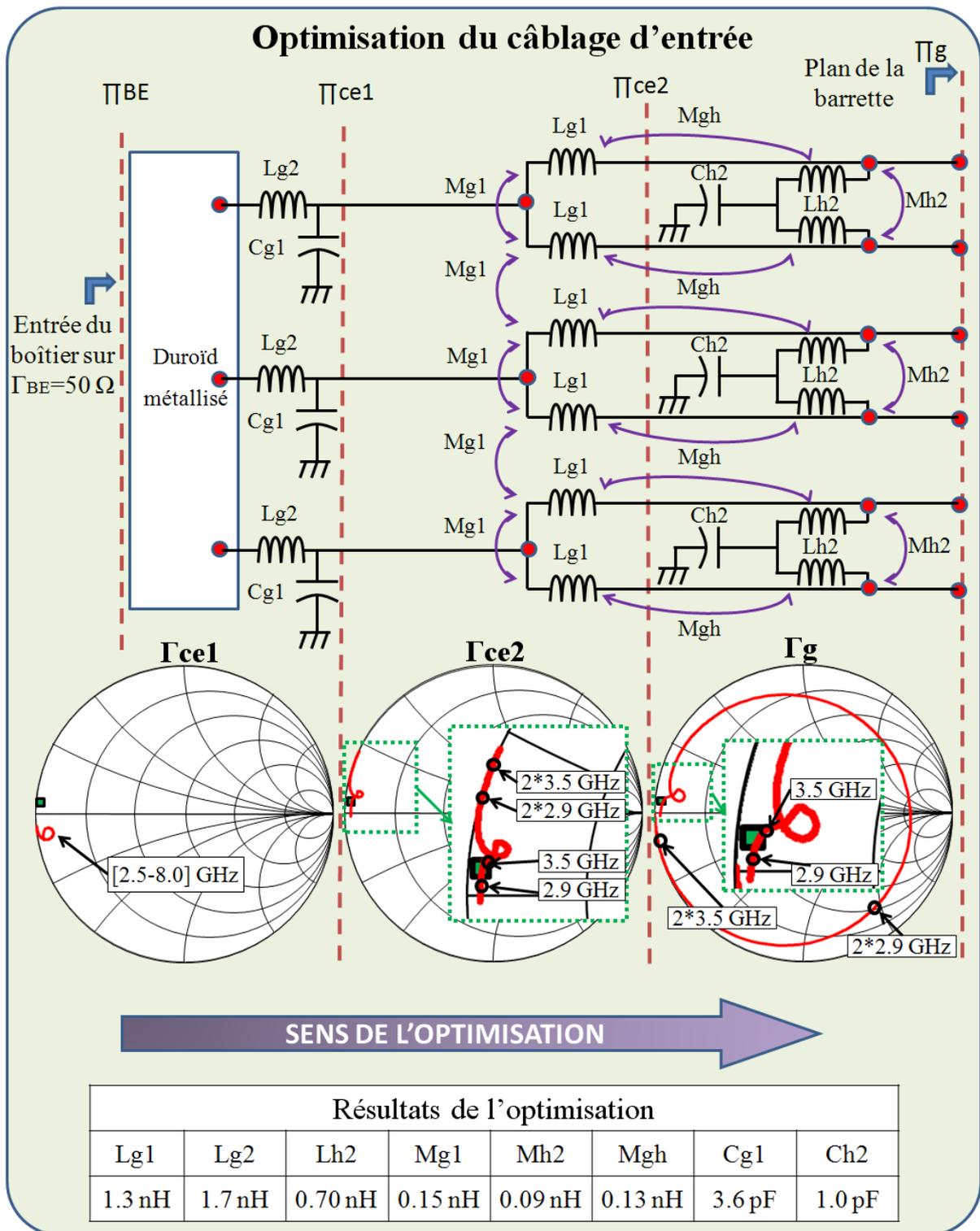
Les différentes étapes de simulation sont illustrées sur la figure III.16.

Lors de la 1<sup>ère</sup> étape de synthèse, les filtres Lg2/Cg1 sont optimisés pour réaliser une très forte préadaptation en module des impédances  $\Gamma_{ce1}$  au fondamental dans le plan  $\Pi_{ce1}$ .

Ainsi, lors de la 2<sup>ème</sup> étape de synthèse, les fils de câblage Lg1, regroupés par deux sur chacune des trois capacités Cg1, permettent de préadapter les impédances  $\Gamma_{ce2}$  aux fréquences fondamentales non loin de l'impédance de source nécessaire pour adapter la barrette de puissance.

Enfin, lors de la 3<sup>ème</sup> phase de synthèse, un filtre Lh2/Ch2 est optimisé pour adapter les impédances aux fréquences harmoniques doubles dans des zones optimales du plan de la grille de la barrette  $\Pi_g$ . Aucune mesure source-pull n'ayant été réalisée à  $2f_0$ , ces zones optimales ont été définies à l'aide du modèle de transistor à cellule unitaire semblable aux transistors constituant la barrette de puissance.

Ce principe de filtrage des impédances de source à l'harmonique 2 est exactement le même que celui mis en place pour les cellules unitaires lors de la partie III du chapitre II.



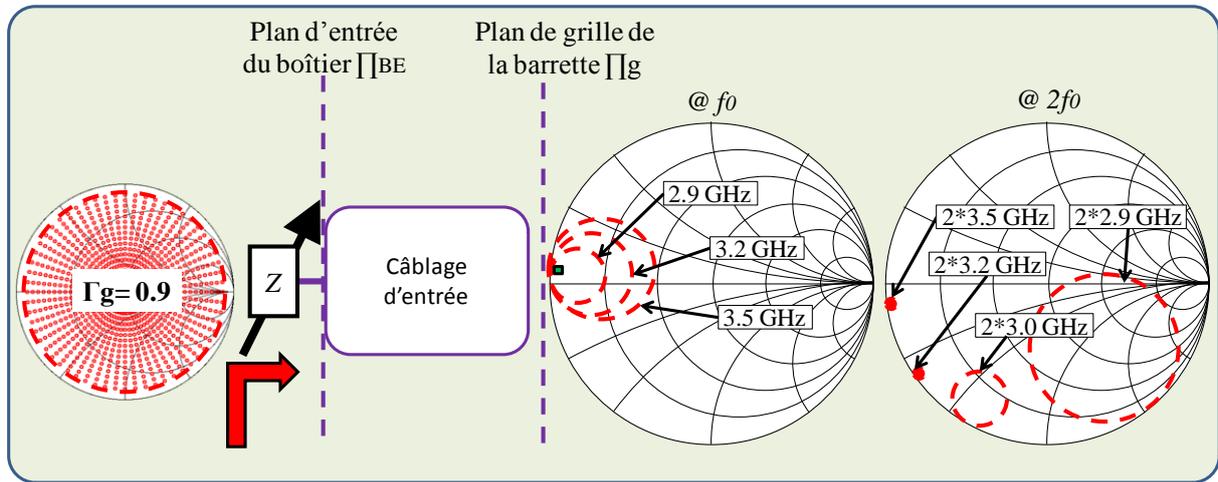
Impédances optimales à  $\square f_0$ . — Impédances synthétisées par le câblage.

Figure III.16 : Méthodologie d'adaptation du câblage d'entrée.

Aucune mutuelle n'est prise en compte entre les fils Lg2 du fait de leur éloignement. Les autres mutuelles engendrées par le câblage d'entrée sont relativement faibles, ce qui a

pour avantage de rendre quasi inexistantes les dissymétries à chaque accès de grille de la barrette de puissance.

Le confinement des impédances synthétisées dans le plan de la grille de la barrette lorsqu'un source-pull est effectué en entrée du boîtier a également été étudié. Les résultats sont présentés sur la figure III.17.



Impédances optimales à  $\Gamma_g = 0.9$ . --- Impédances synthétisées par le câblage.

Figure III.17 : Impédances transformées dans les plans de la barrette par le câblage d'entrée.

Les impédances transformées à la fréquence fondamentale dans le plan de la grille  $\Gamma_g$  englobent les zones optimales et laissent donc l'adaptation possible en entrée du boîtier. Aux fréquences harmoniques doubles, les impédances dans le plan de la grille  $\Gamma_g$  sont confinées à partir de 3 GHz de telle sorte que la barrette soit insensible en entrée aux variations des impédances de source à l'harmonique 2.

A partir des valeurs des inductances et en envisageant la forme du fil de câblage qui sera réalisé, il est possible de déterminer une longueur pour chaque fil de câblage grâce à l'outil de modélisation Philips disponible sous ADS. Le tableau III.5 présente la conversion de l'inductance vers la longueur du fil qui sera réalisé.

Lg1 (x6)	Lg2 (x3)	Lh2 (x6)	Cg1 (x3)	Ch2 (x3)
1.3 nH	1.7 nH	0.7 nH	3.6 pF	1.0 pF
L = 1.9 mm ; $\varnothing = 25 \mu\text{m}$	L = 2.5 mm ; $\varnothing = 25 \mu\text{m}$	L = 0.8 mm ; $\varnothing = 25 \mu\text{m}$		

Tableau III.5 : Evaluation de la longueur des fils de câblage à réaliser en fonction des inductances équivalentes simulées pour le câblage d'entrée.

## II.5. Résumé

Deux câblages de sortie différents ont été synthétisés et étudiés. Ils sont associés au même câblage d'entrée pour réaliser les deux démonstrateurs de puissance n°1 et 2 adaptés en fonctionnement haut rendement et large bande. La figure III.18 résume les principaux résultats obtenus sur les impédances de drain synthétisées par les deux câblages de sortie simulés..

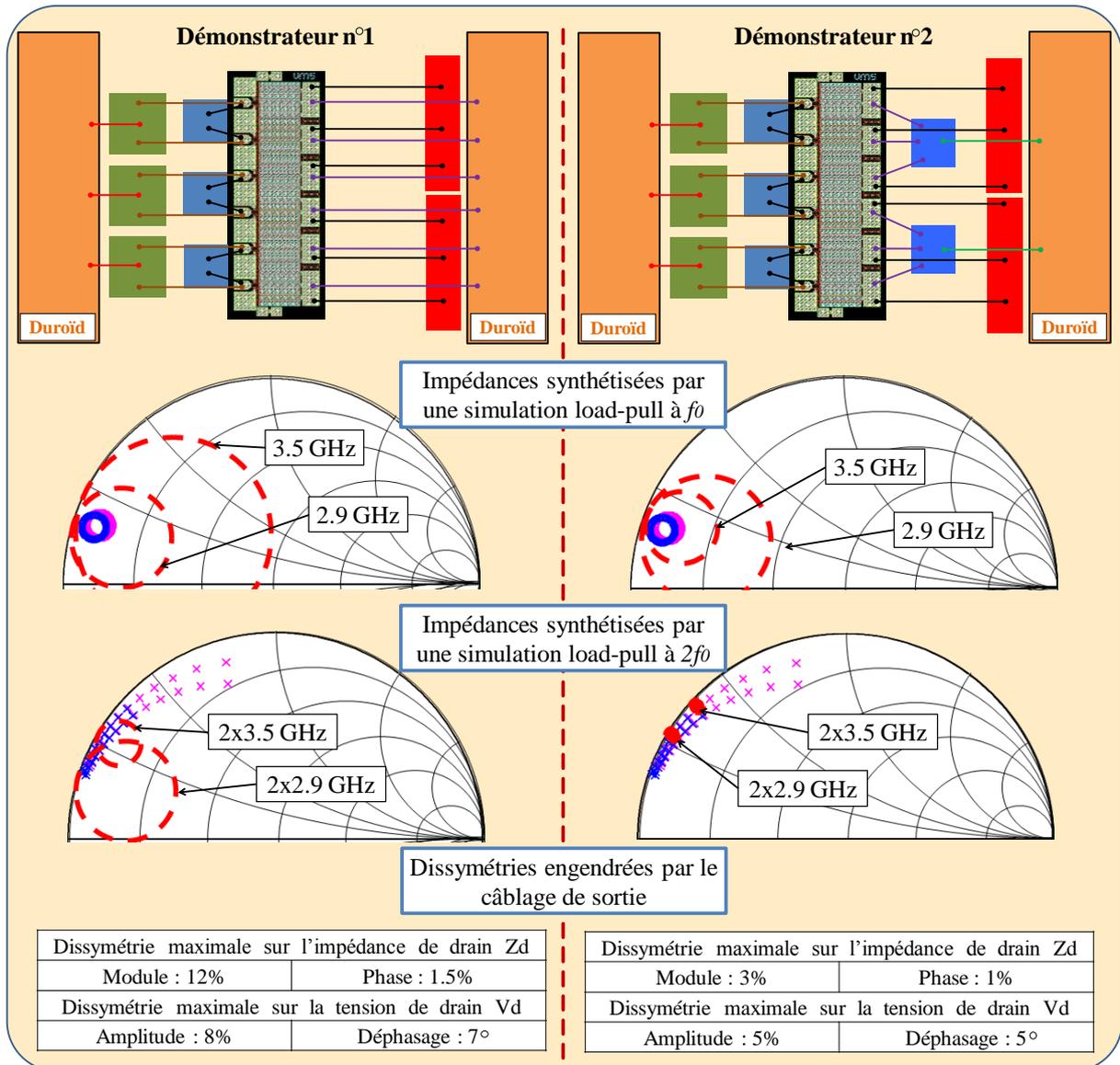


Figure III.18 : Résumé des impédances synthétisées par les différents câblages.

Le câblage de sortie n°1 est optimisé de manière à obtenir un fonctionnement haut rendement sur la bande [2.9-3.5] GHz (voire plus). Même si en début de bande (à 2.9 GHz)

les impédances de drain à l'harmonique 2 ne sont pas totalement contrôlées, les simulations démontrent un contrôle total à partir de 3 GHz (6 GHz à  $2f_0$ ).

Le câblage de sortie n°2 a été réalisé pour synthétiser les impédances à l'harmonique 2 dans des zones légèrement plus éloignées pour pallier à une sous-estimation du scaling idéal effectué pour la barrette de 6 cellules à partir du transistor unitaire. Notons que dans le cas où les zones optimales de rendement de la barrette et les simulations du câblage seraient proches du « scaling » idéal, le démonstrateur n°2 devrait alors fournir des performances haut rendement pour des fréquences plus basses. Ce câblage a également été déterminé pour limiter les dissymétries d'impédance vues par chaque transistor de la barrette de puissance.

Le câblage d'entrée a été synthétisé pour effectuer la meilleure préadaptation à  $f_0$  et pour adapter les impédances dans leurs zones optimales à  $2f_0$  quelles que soient les variations de charge en entrée du boîtier

A l'issus de cette phase de synthèse et de simulation, les démonstrateurs n°1 et n°2 ont ainsi été réalisés puis mesurés. Les résultats sont présentés dans la prochaine section de ce chapitre.

### III. Mesures de barrettes de puissance HEMT GaN encapsulées optimisées haut rendement et large bande.

#### III.1. Introduction.

Les deux démonstrateurs de puissance précédemment synthétisés ont été réalisés et seront nommés démonstrateurs n°1 et n°2 dans la suite du chapitre. Leurs photographies sont présentées figures III.19.

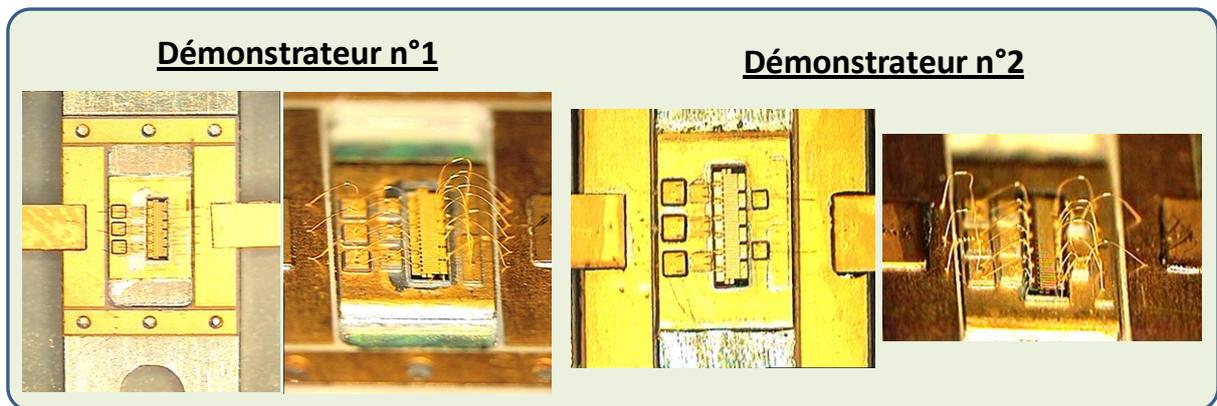


Figure III.19 : Photographie des démonstrateurs n°1 et n°2.

Afin de mesurer ces barrettes de puissances encapsulées, un pied de test comportant des lignes 50  $\Omega$  en entrée et en sortie, a également été réalisé. Des connectiques N femelles sont placées en entrée et en sortie et une transition N femelle-male est ajoutée en sortie pour venir connecter le tuner de charge. La photographie de ce pied de test est présentée sur la figure III.20. Des Tés de polarisation externes sont placés dans la chaîne du banc de mesure, avant le tuner de source et après le tuner de charge.

Le but de ces mesures est de démontrer les potentialités de ces barrettes de puissance encapsulées et optimisées. Ainsi, les mesures seront présentées dans les plans des boîtiers  $\Pi_{BE}$  et  $\Pi_{BS}$  des barrettes de puissance encapsulées. La prise en compte des paramètres [S] associés au pied de test d'entrée (CON\_A) et de sortie (CON\_B) a permis de réaliser le deembedding des mesures effectuées dans le plan du pied de test  $\Pi_E$  et  $\Pi_S$ . L'extraction des fichiers de [S] s'est faite grâce à la mesure du pied de test en connexions directes (sans le boîtier) et en utilisant la méthode d'étalonnage de type retrait d'adaptateur (Adaptateur Removal) [73] pour prendre en compte la transition N femelle-male en sortie du pied de test. Ainsi, les mesures seront présentées dans les plans des boîtiers des barrettes encapsulées.

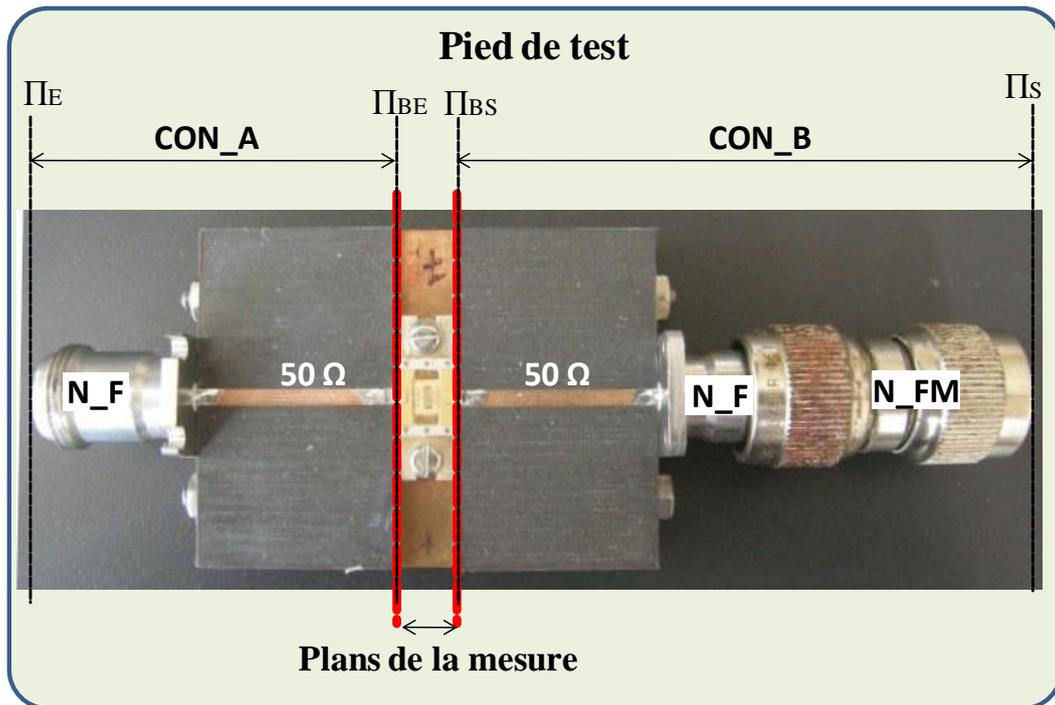


Figure III.20 : Photographie du pied de test accueillant les démonstrateurs.

Les conditions de mesure sont les suivantes :

- Le signal RF est pulsé (10 $\mu$ s/10%) ; alimentations continues  $V_{ds0}=50V$  et  $40V$ ,  $I_{ds0}=3mA$ .
- Mesures sur 50  $\Omega$ .
- Mesures source-pull puis load-pull à  $f_0$  ( $Z_{charge}$  à  $2f_0$  est sur 50  $\Omega$ ).
- Mesures load-pull à  $2f_0$  ( $Z_{charge}$  à  $f_0$  est sur l'impédance de PAE optimale).

Des mesures ont été réalisées pour une polarisation de drain 50 V mais aussi de 40 V, le but étant de recueillir des informations supplémentaires sur les potentialités de cette filière de barrettes HEMT GaN. Des mesures sur 50  $\Omega$  ont été réalisées dans un premier temps pour évaluer les performances de chaque démonstrateur, puis leurs potentialités ont été démontrées lors de mesures source-pull et load-pull au fondamental, lorsque l'harmonique 2 est fixée à 50  $\Omega$ . Enfin, des mesures load-pull à l'harmonique 2 ont été réalisées sur tout l'abaque de Smith afin de mettre en évidence l'insensibilité obtenue sur la PAE.

Toutes les mesures des démonstrateurs n°1 et n°2 ont été réalisées sur le banc multi-harmonique passif Focus de Thalès Air Systems. Ainsi, les gains en puissance présentés par la suite sont des gains en puissance définis sur une impédance de source et de charge définie.

### III.2. Mesures du démonstrateur n°1.

#### III.2.1. Mesures en fonctionnement amplificateur : 50 $\Omega$ en entrée et en sortie.

Malgré le fait que le démonstrateur n'est pas été optimisé pour fonctionner directement sous 50  $\Omega$  (la meilleure préadaptation à  $f_0$  était recherchée), le démonstrateur n°1 fournit de très bonnes performances sur 50  $\Omega$  en ce qui concerne des critères de bande passante et de PAE. Pour une polarisation de drain de 50 V, et sur la bande [2.9-3.7] GHz, ce démonstrateur présente une PAE minimale de 55%, associé à une puissance de sortie moyenne de 45 W et un gain en puissance moyen de 11dB. Un pic de PAE de 60% est obtenu à 3.1 GHz. Sous 40 V de polarisation de drain, des performances intéressantes sont obtenues sur la bande [2.7-3.1] GHz où la PAE est supérieure à 50%. En revanche, la puissance de sortie n'est plus que de 20 W et le gain en puissance est de 10 dB.

Les principales performances mesurées, pour des puissances d'entrée constantes, du démonstrateur n°1 sont présentées dans le tableau III.6 et sont illustrées sur la figure III.21.

Mesures du démonstrateur 1 sur 50 $\Omega$ .										
Polarisation	Vds0 = 50 V					Vds0 = 40 V				
Fréquence [GHz]	2.9	3.1	3.3	3.5	3.7	2.7	2.9	3.1	3.3	3.5
Pin_dispo [dBm]	35.3	35.2	35.7	35.6	35.7	33.8	33.8	33.7	33.7	32.5
Pout [dBm]	46.5	46.3	46.8	46.5	46.3	44.0	43.7	43.7	43.7	43.0
Pout [W]	45	43	48	45	43	25	23	23	23	20
Gain [dB]	11.2	11.1	11.2	10.9	10.6	10.2	9.9	10.0	10.0	10.5
PAE [%]	57	60	58	55	56	54	54	49	44	42
Gain_Comp [dB]	2.8	1.5	1.1	0.9	1.4	3.8	2.4	1.3	0.7	0.0

Tableau III.6 : Mesures du démonstrateur n°1 sur 50  $\Omega$ .

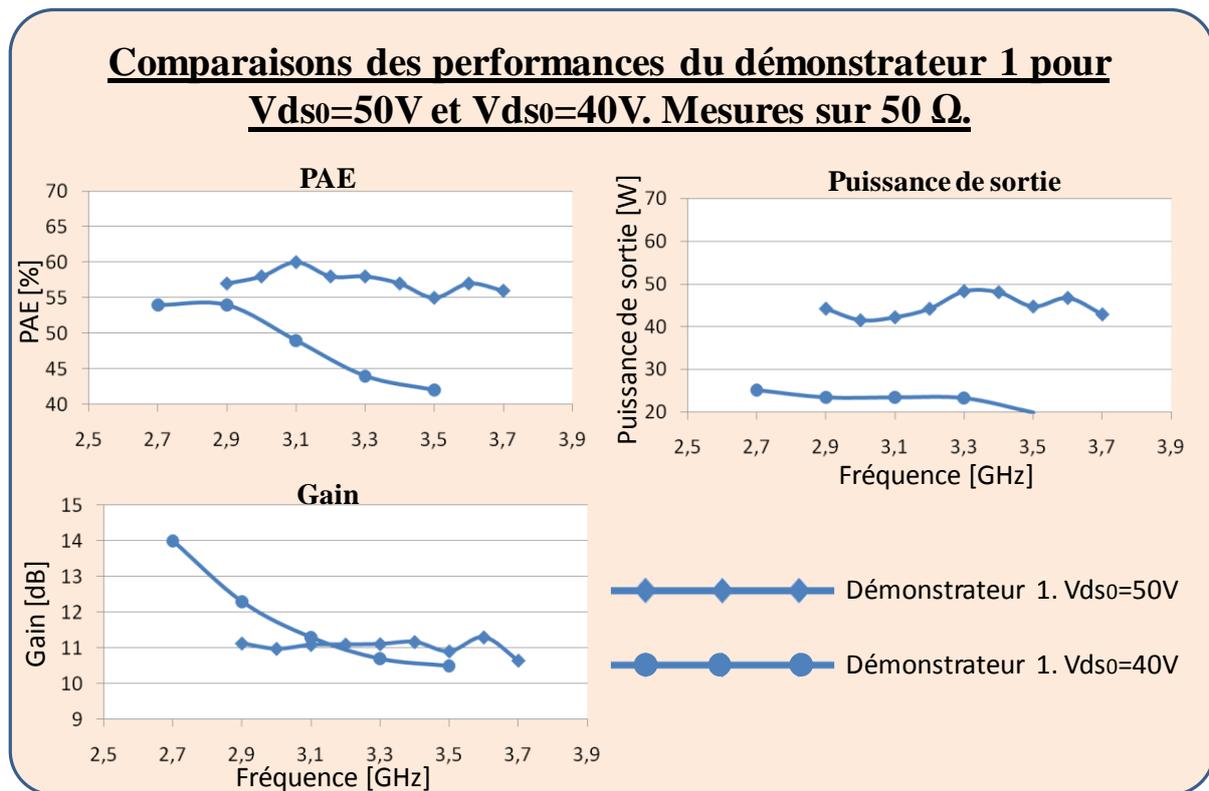


Figure III.21 : Comparaisons des performances du démonstrateur n°1 pour  $V_{ds0}=50V$  et  $V_{ds0}=40V$ . Mesures sur  $50 \Omega$ .

### III.2.2. Mesures des performances optimales : source-pull et load-pull à $f_0$ .

Les principaux résultats, réalisés pour des puissances d'entrée constantes, sont présentés dans le tableau III.7 et sont illustrés sur la figure III.22.

Après optimisation source-pull et load-pull aux fréquences fondamentales, un pic de PAE de 66% est observé à 3.3 GHz pour une polarisation de drain de 50 V. La PAE devient supérieure à 58% sur la bande [2.9-3.7] GHz et supérieure à 53% sur la bande [2.7-3.7] GHz. La puissance de sortie moyenne est de 50 W et le gain en puissance moyen est de 12.5 dB. Par rapport à des mesures sur  $50 \Omega$ , la PAE augmente de 2 à 7 points

Une PAE de 68% est obtenue pour une polarisation de drain de 40 V à 3.3 GHz. Sur la bande [2.7-3.5] GHz, la PAE minimale est de 60% associé à un gain en puissance de 12 dB et à une puissance de sortie de 40 W. Par rapport à des mesures sur  $50 \Omega$ , la PAE augmente de 7 à 20 points.

Mesures des performances optimales du démonstrateur 1. SP et LP à $f_0$ ( $Z_{h2}=50\Omega$ ).												
Polarisation	V <sub>ds0</sub> = 50 V						V <sub>ds0</sub> = 40 V					
Fréquence [GHz]	2.7	2.9	3.1	3.3	3.5	3.7	2.7	2.9	3.1	3.3	3.5	3.7
Pin [dBm]	34.3	34.3	34.2	34.4	34.7	34.5	33.4	33.6	33.3	33.2	34.2	33.7
Pout [dBm]	46.5	47.7	47.7	48.0	46.6	46.4	46.1	46.1	46.2	46.2	46.1	44.6
Pout [W]	45	58	58	63	46	44	41	41	42	42	41	29
Gain [dB]	12.2	13.4	13.5	13.6	11.9	11.9	12.7	12.5	12.9	13.0	11.9	10.9
PAE [%]	53	60	64	66	62	58	62	65	67	68	60	51
$\Delta$ PAE @ $2f_0$ [pts]	-	5	3	1	0	0	5	4	1	1	0	0
Gain <sub>Comp</sub> [dB]	2.8	1.9	1.7	1.7	3.0	1.1	1.5	1.8	1.4	1.4	1.9	0.8
$\Gamma$ source	0.25/-98	0.60/-178	0.63/160	0.69/138	0.73/90	0.18/34	0.27/-99	0.57/176	0.60/152	0.66/135	0.68/90	0.17/21
$\Gamma$ charge	0.55/-36	0.27/-60	0.25/-117	0.22/-109	0.29/-145	0.11/-24	0.32/-72	0.34/-100	0.37/-102	0.43/-98	0.29/-70	0.32/6

Tableau III.7 : Mesures des performances optimales du démonstrateur n°1. SP et LP à  $f_0$  ( $Z_{h2}=50\Omega$ ).

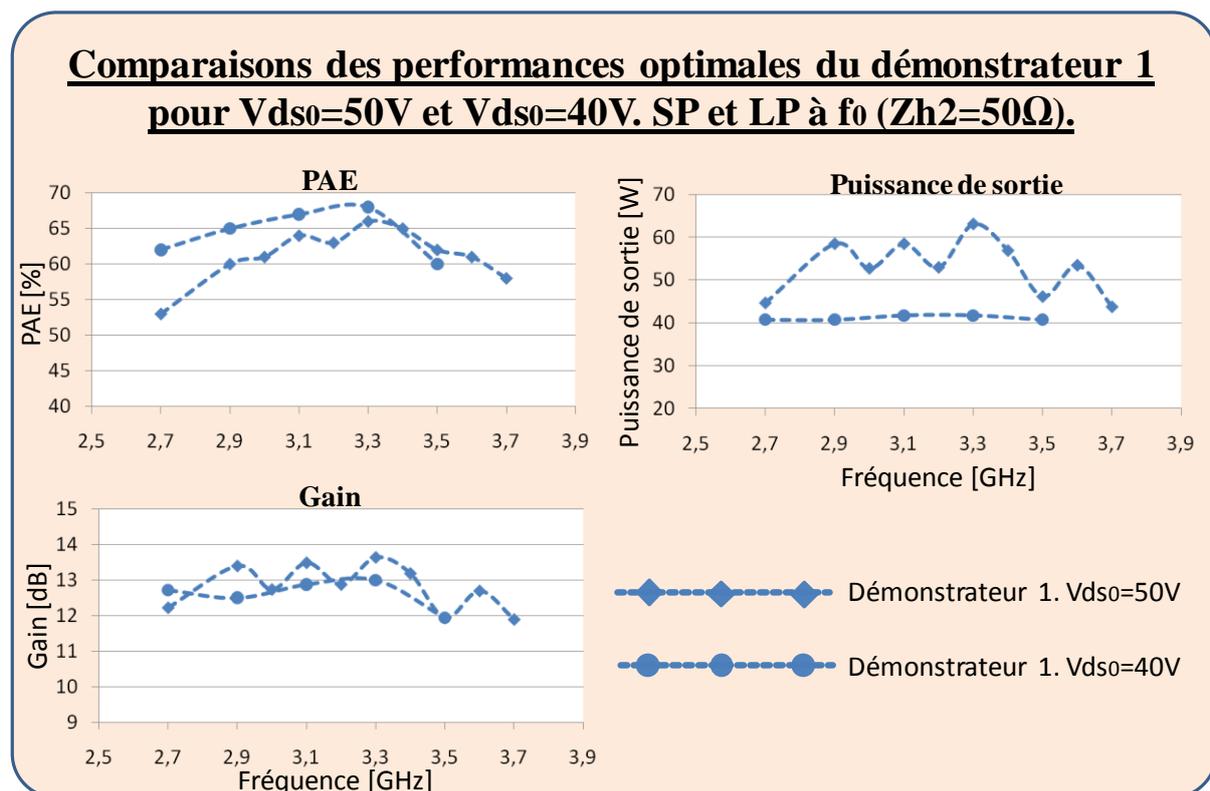


Figure III.22 : Mesures des performances optimales du démonstrateur n°1. SP et LP à  $f_0$  ( $Z_{h2}=50\Omega$ ).

Les figures III.23 et III.24 présentent les résultats des mesures load-pull à  $f_0$  et  $2f_0$  pour des polarisations de drain de 40 V et 50 V en début, milieu et fin de bande passante. Des mesures load-pull à  $2f_0$  ont également été réalisées afin d'évaluer la qualité du confinement

des impédances harmoniques doubles. Lorsque la fréquence fondamentale est chargée sur son impédance optimale en PAE, un load-pull sur presque tout l'abaque de Smith est réalisé à  $2f_0$ . En revanche, cette mesure est réalisée avant la compression optimale. Le but est ainsi de protéger la barrette en cas de variations trop fortes de la PAE, ce qui engendrerait des puissances dissipées très élevées et un risque de destruction de la barrette de puissance.

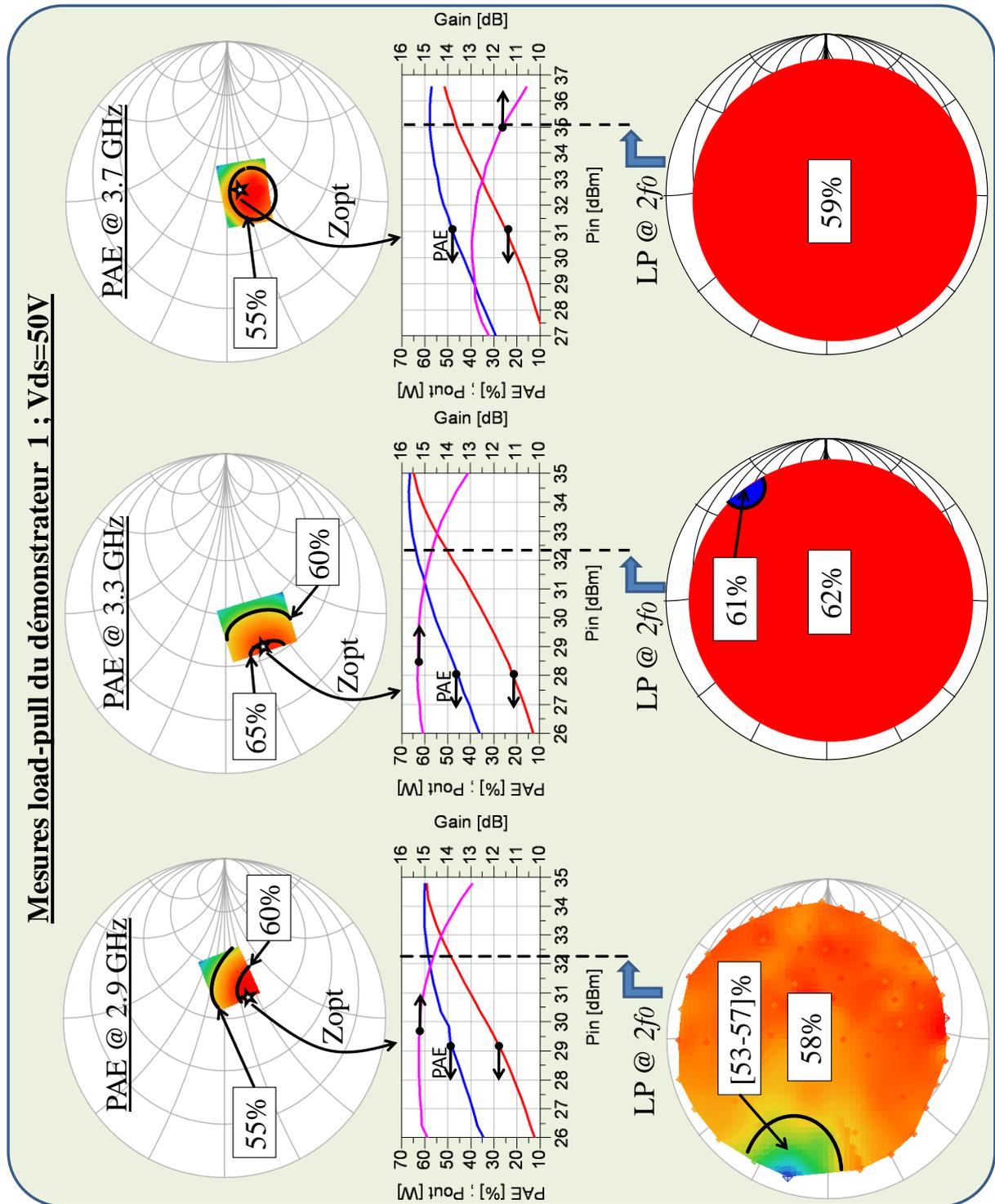


Figure III.23 : Mesures load-pull à  $f_0$  et  $2f_0$  du démonstrateur n°1.  $V_{ds}=50V$ .

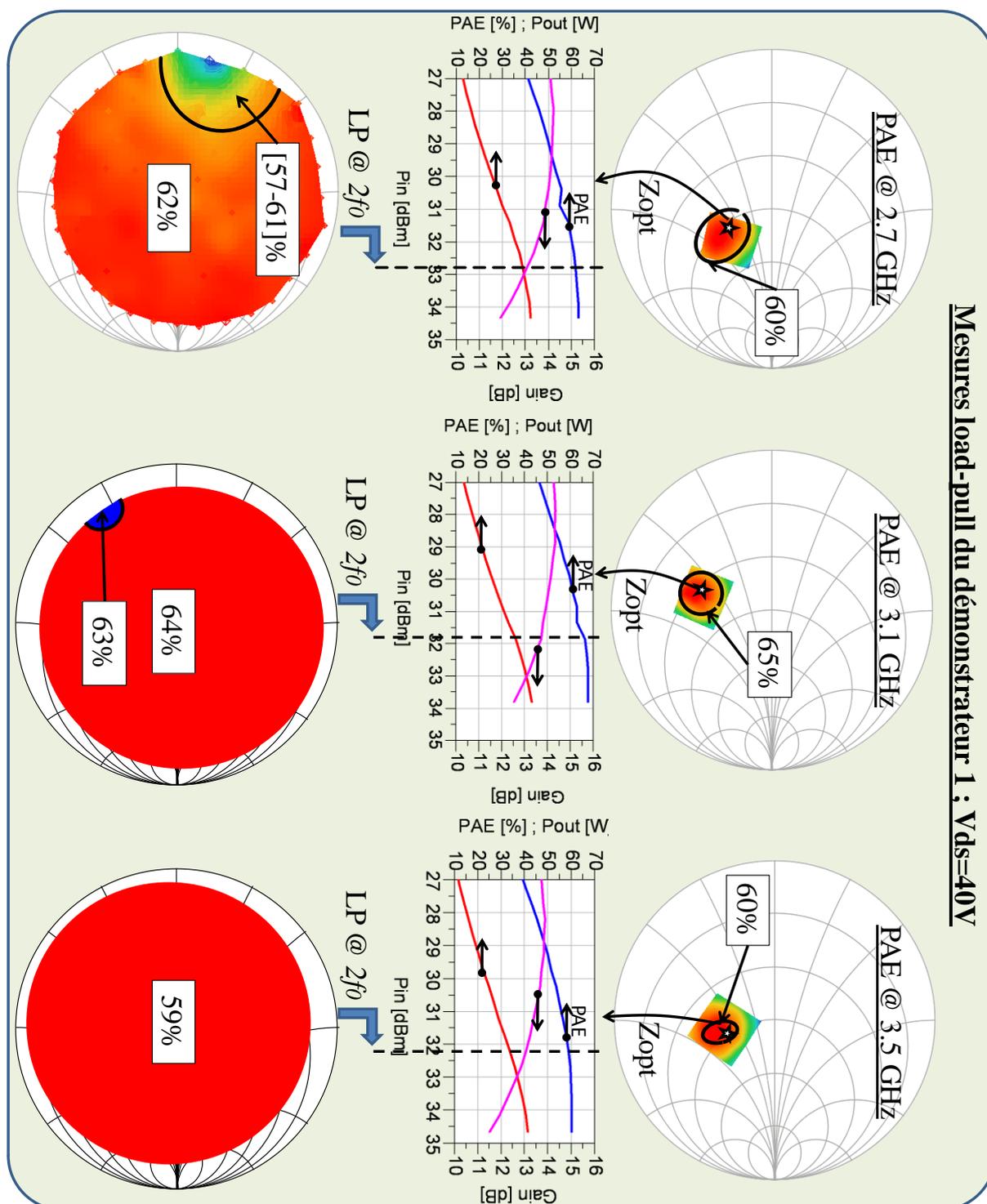


Figure III.24 : Mesures load-pull à  $f_0$  et  $2f_0$  du démonstrateur n°1.  $V_{ds}=40V$ .

Pour chaque polarisation, un creux de PAE dans une zone très réduite de l'abaque de Smith est alors observé en début de bande. Ce creux présente un déficit de PAE de seulement 5 points par rapport à une mesure où l'impédance à l'harmonique double est de  $50 \Omega$ . Ensuite,

cette variation de PAE diminue lorsque la fréquence augmente pour devenir nulle en fin de bande. Ces mesures démontrent ainsi que les impédances aux fréquences harmoniques sont confinées dans des zones très réduites à  $2f_0$  dans les plans de la barrette de puissance. Les performances en PAE de la barrette encapsulée ont donc effectivement été insensibilisées aux variations de charge à l'harmonique 2.

La figure III.25 illustre les impédances de source et de charge optimales mesurées aux fréquences fondamentales pour une polarisation de drain de 40 V et 50 V.

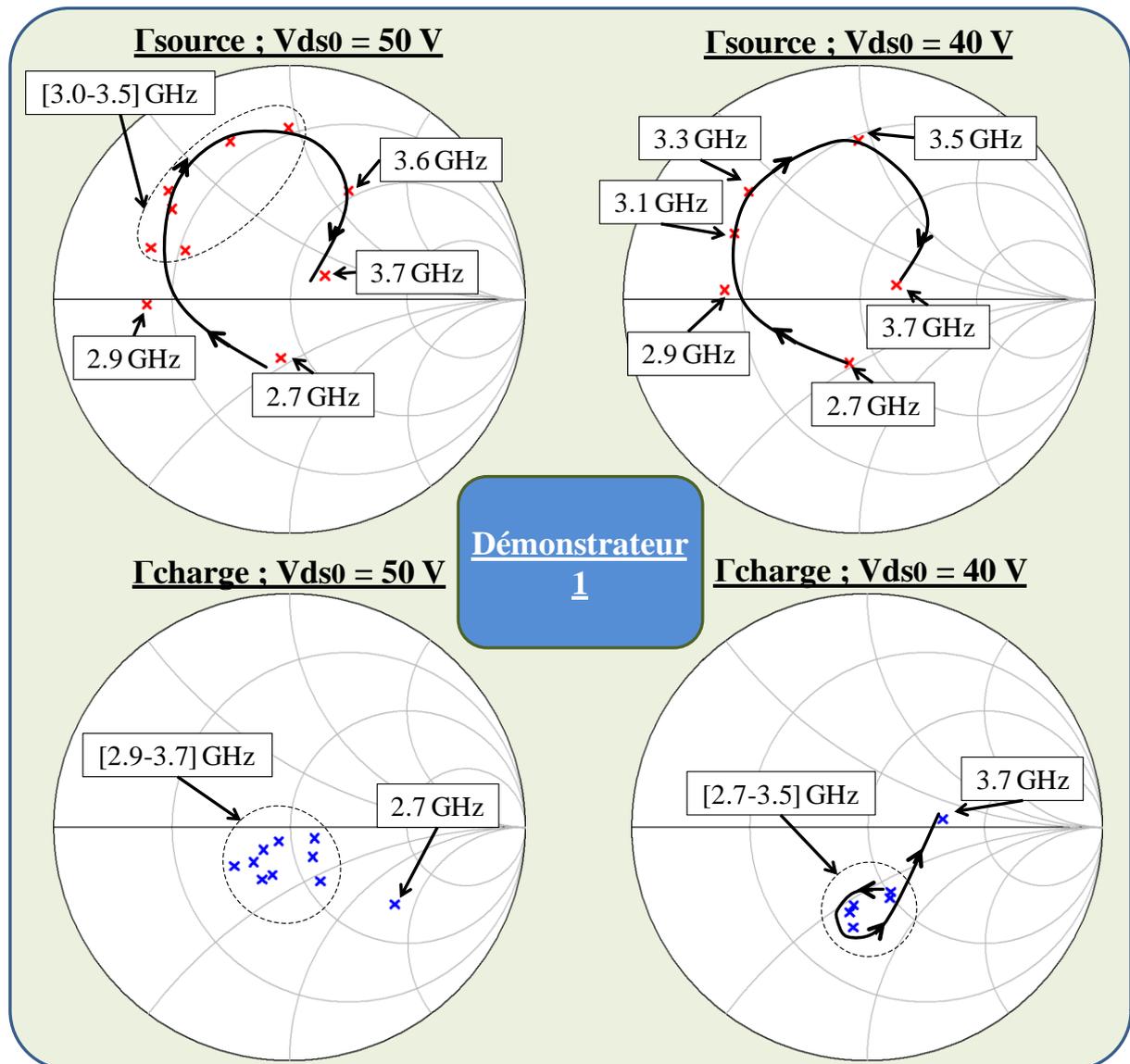


Figure III.25 : Impédances optimales de source et de charge du démonstrateur n°1.

L'adaptation d'entrée du démonstrateur n°1 est meilleure en début de bande (2.7 GHz) et en fin de bande (3.7 GHz). Les impédances de source évoluent de manière semblable en fonction de la polarisation de drain appliquée.

Les impédances optimales de charge en PAE sont beaucoup plus proches de  $50 \Omega$  pour une polarisation de drain de 50 V. Sur la bande [2.9-3.7] GHz, ces impédances se situent approximativement dans la même zone de l'abaque de Smith ( $0.25/-95^\circ$ ). A 40 V de polarisation de drain, les impédances optimales de charge en PAE sont un peu plus éloignées de  $50 \Omega$  et sont également regroupées dans une zone réduite de l'abaque sur la bande [2.7-3.5] GHz. Leurs coefficients de réflexion restent tout de même accessibles puisqu'ils sont compris entre 0.3 et 0.4. Ce regroupement des impédances est la conséquence de la résonance synthétisée avec le câblage de sortie n°1 ainsi que nous l'avons présentés dans la partie II.2.1 de ce chapitre.

### III.2.3. Résumé des performances mesurées.

La figure III.26, présentée sur la page suivante, illustre l'évolution des performances entre les mesures  $50 \Omega$  et les performances optimales obtenues en mesure load-pull à  $f_0$  pour le démonstrateur n°1.

Dans chaque cas, les mesures source-pull et load-pull à  $f_0$  permettent de franchir 60% de PAE et 12 dB de gain en puissance. Les performances obtenues peuvent être résumées de la manière suivante :

Pour  $V_{ds}=50V$  :

- PAE>60% : [2.9-3.6] GHz ;  $P_{out}=50 W$  ; Gain\_p=12 dB.
- PAE>55% : [2.9-3.7] GHz ;  $P_{out}=45 W$  ; Gain\_p=11 dB sur  $50 \Omega$ .

Pour  $V_{ds}=40V$  :

- PAE>60% : [2.7-3.5] GHz ;  $P_{out}=40 W$  ; Gain\_p=12 dB.
- PAE>65% : [2.9-3.3] GHz ;  $P_{out}=40 W$  ; Gain\_p=12.5 dB

Les PAE mesurées atteignent et dépassent régulièrement les 63%. C'est la preuve qu'un fonctionnement haut rendement et large bande a bien été synthétisée. En effet, il avait été démontré dans la partie I.1 de ce chapitre qu'une PAE de 63% ne pouvait être dépassée qu'en optimisant les impédances harmoniques dans un cas idéal (c'est-à-dire sans perte ni déséquilibre). Il peut alors être considéré qu'un fonctionnement haut rendement est généré

lorsque la PAE atteint et dépasse 60%. Rappelons que si les impédances de charge à l'harmonique 2 étaient contrôlées dans des zones défavorables, les PAE n'excéderaient pas les 50%.

De plus, un circuit d'adaptation sera nécessaire qu'aux fréquences fondamentales pour synthétiser les impédances optimales puisque la barrette encapsulée est insensible aux variations d'impédance à l'harmonique 2. Le circuit sera alors beaucoup plus simple à réaliser.

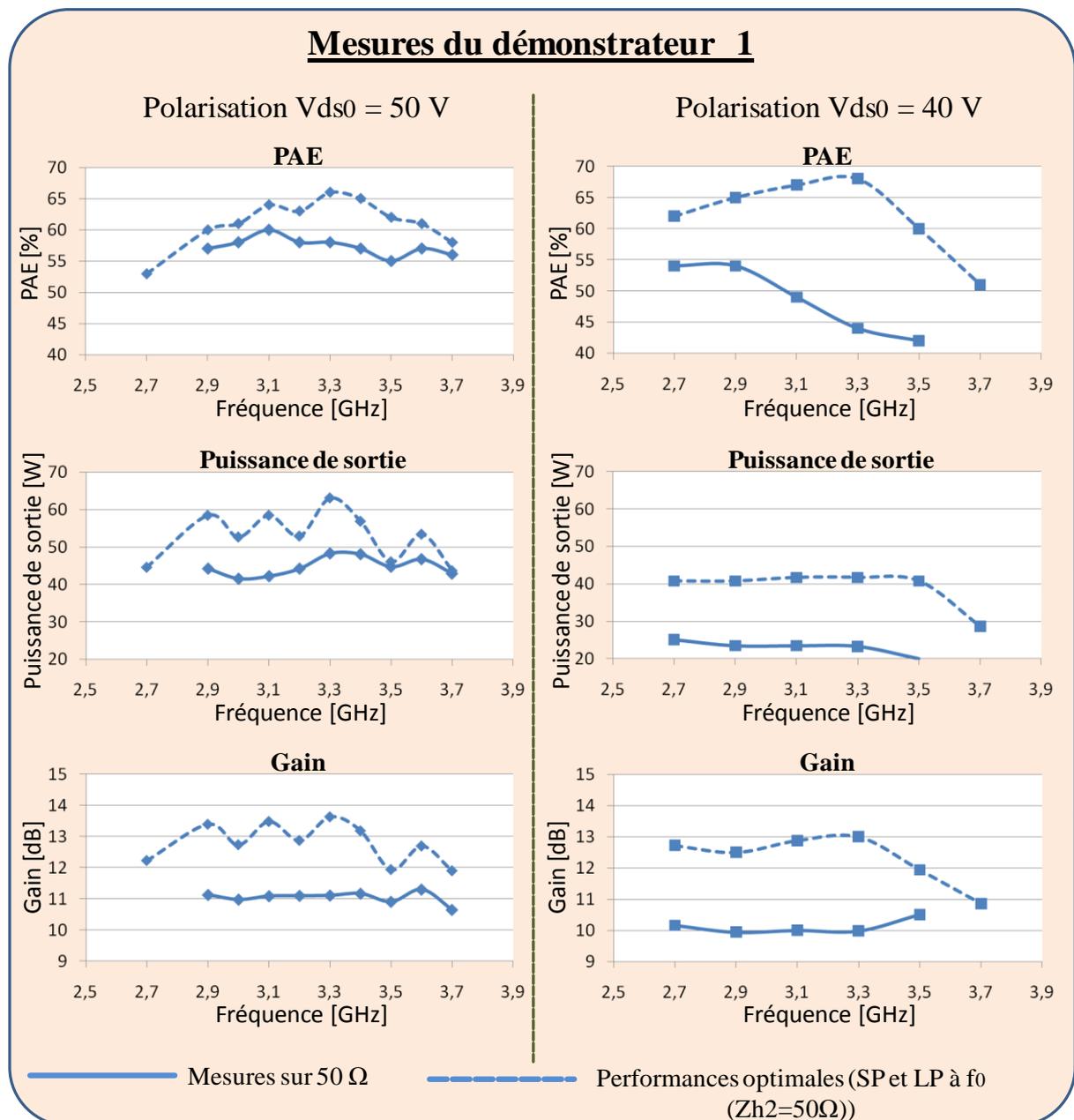


Figure III.26 : Résumé des performances du démonstrateur n°1.

### III.3. Mesures du démonstrateur n°2.

#### III.3.1. Mesures en fonctionnement amplificateur : 50 Ω en entrée et en sortie.

Le démonstrateur n°2 a été mesuré sur 50 Ω uniquement pour une polarisation de drain de 40 V. Pour une polarisation de 50 V, les puissances dissipées mises en jeu étaient trop importantes sur une impédance de charge de 50 Ω. Le tableau III.8 et la figure III.27 présente ainsi les résultats mesurés sur 50 Ω pour une polarisation de drain de 40 V.

Mesures du démonstrateur 2 sur 50 Ω.					
Polarisation	Vds0 = 40 V				
Fréquence [GHz]	2.5	2.7	2.9	3.1	3.3
Pin_dispo [dBm]	33.0	32.7	33.3	33.7	33.6
Pout [dBm]	47.1	47.0	46.5	45.1	43.1
Pout [W]	51	50	44	32	20
Gain [dB]	14.1	14.3	13.2	11.4	9.5
PAE [%]	58	57	57	56	45
Gain_Comp [dB]	1	1	1	1	1

Tableau III.8 : Mesures du démonstrateur n°2 sur 50 Ω.

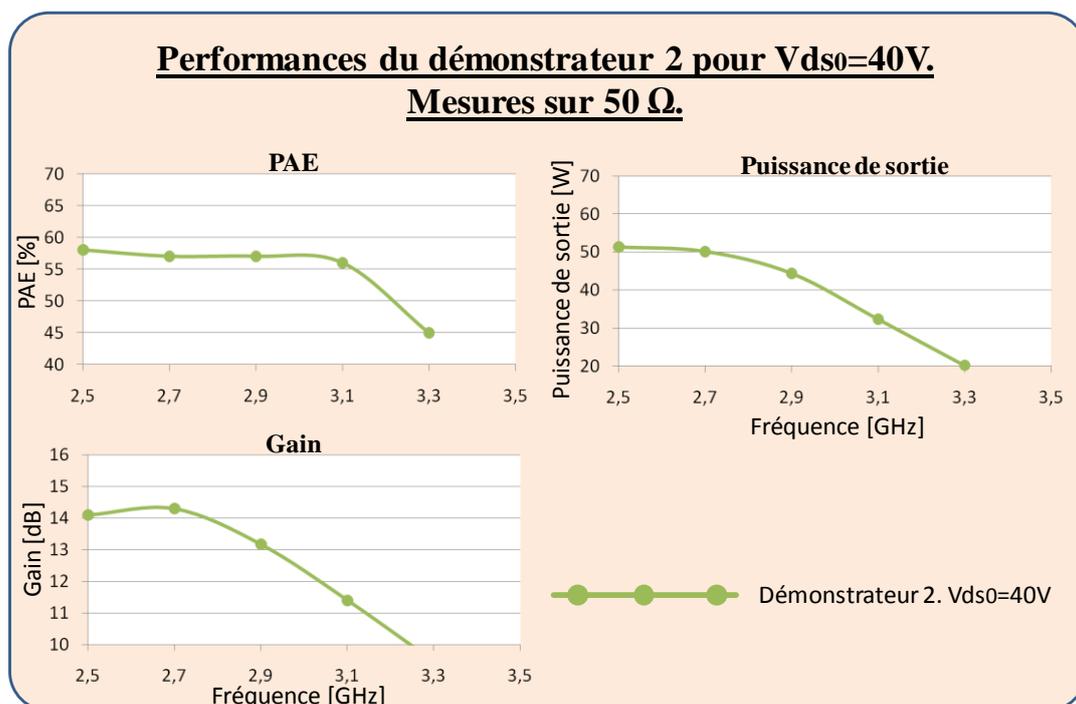


Figure III.27 : Mesures du démonstrateur n°2 sur 50 Ω.

De très bonnes performances sont obtenues sur la bande [2.5-3.1] GHz. La PAE est supérieure à 56%, associée à un gain en puissance minimal de 11.4 dB et une puissance de sortie de 32 W.

### III.3.2. Mesures des performances optimales : source-pull et load-pull à $f_0$ .

Les principaux résultats sont présentés dans le tableau III.9 et sont illustrés sur la figure III.28.

Après optimisation source-pull et load-pull aux fréquences fondamentales, un pic de PAE de 63% est observé à 2.5 GHz pour une polarisation de drain de 50 V. La PAE devient supérieure à 60% sur la bande [2.5-3.1] GHz et supérieure à 58% sur la bande [2.7-3.3] GHz. La puissance de sortie est de 50 W et le gain en puissance est de 14 dB.

Une PAE de 64% est obtenue pour une polarisation de drain de 40 V à 2.5 GHz. Sur la bande [2.5-3.1] GHz, la PAE minimale est de 58% associé à un gain en puissance de 13.4 dB et une puissance de sortie de 40 W.

Mesures des performances optimales du démonstrateurs 2. SP et LP à $f_0$ ( $Z_{h2}=50\Omega$ ).										
Polarisation	V <sub>dso</sub> = 50 V					V <sub>dso</sub> = 40 V				
Fréquence [GHz]	2.5	2.7	2.9	3.1	3.3	2.5	2.7	2.9	3.1	3.3
Pin [dBm]	32.5	32.5	31.7	32.6	32.7	32.4	32.4	32.4	32.7	32.6
Pout [dBm]	48.0	47.4	47.0	47.1	47.0	46.4	46.7	46.6	46.1	45.2
Pout [W]	62	55	50	51	50	44	47	46	40	33
Gain [dB]	15.5	14.9	15.4	14.5	14.3	14.0	14.3	14.2	13.4	12.6
PAE [%]	63	62	60	61	58	64	62	60	58	52
$\Delta$ PAE @2 $f_0$ [pts]	3	2	1	0	0	3	1	1	0	0
Gain_Comp [dB]	0.7	1.6	1.5	1.9	1.5	1.3	1.5	1.8	2.1	1.3
$\Gamma$ source	0.19/ 0	0.41/-123	0.64/-180	0.62/ 154	0.73/ 122	0.20/-25	0.38/-114	0.60/-118	0.63/ 151	0.63/ 124
$\Gamma$ charge	0.35/ 71	0.41/ 117	0.39/ 149	0.34/ 159	0.24/ 128	0.26/ 88	0.14/ 135	0.09/ 154	0.08/ 114	0.32/ 104

Tableau III.9 : Mesures des performances optimales du démonstrateur n°2. SP et LP à  $f_0$  ( $Z_{h2}=50\Omega$ ).

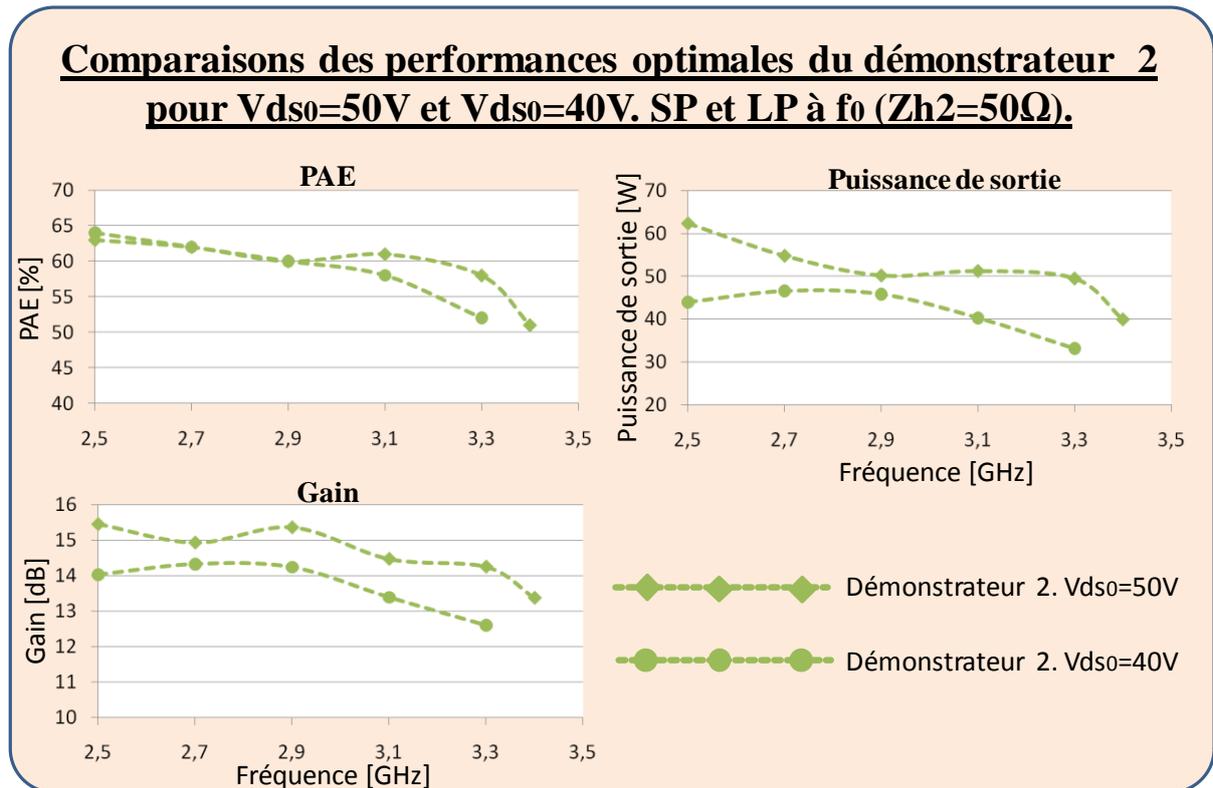


Figure III.28 : Mesures des performances optimales du démonstrateur n°2. SP et LP à  $f_0$  ( $Z_{h2}=50\Omega$ ).

Comme pour le démonstrateur n°1, des mesures load-pull ont été effectuées à  $2f_0$ .

Les figures III.29 et III.30 présentent les résultats des mesures load-pull à  $f_0$  et  $2f_0$  pour des polarisations de drain de 40 V et 50 V en début, milieu et fin de bande passante.

Comme pour le démonstrateur n°1, des creux de PAE dans une zone très réduite de l'abaque de Smith sont alors observés en début de bande. Ces creux présentent un déficit de PAE de seulement 3 points par rapport à une mesure où l'impédance présentée en sortie du boîtier à l'harmonique double est de  $50\Omega$ . Ensuite, cette variation de PAE diminue lorsque la fréquence augmente pour devenir nulle en fin de bande. Ces mesures démontrent ainsi que les impédances aux fréquences harmoniques sont confinées dans des zones très réduites à  $2f_0$  dans les plans de la barrette de puissance.

De plus ces variations sont plus faibles pour le démonstrateur n°2 car le câblage de sortie n°2 confinent les impédances à  $2f_0$  dans le plan du drain de la barrette dans des zones plus réduites de l'abaque de Smith. Une simulation avait mis en évidence ce phénomène recherché dans la partie II.5 de ce chapitre.

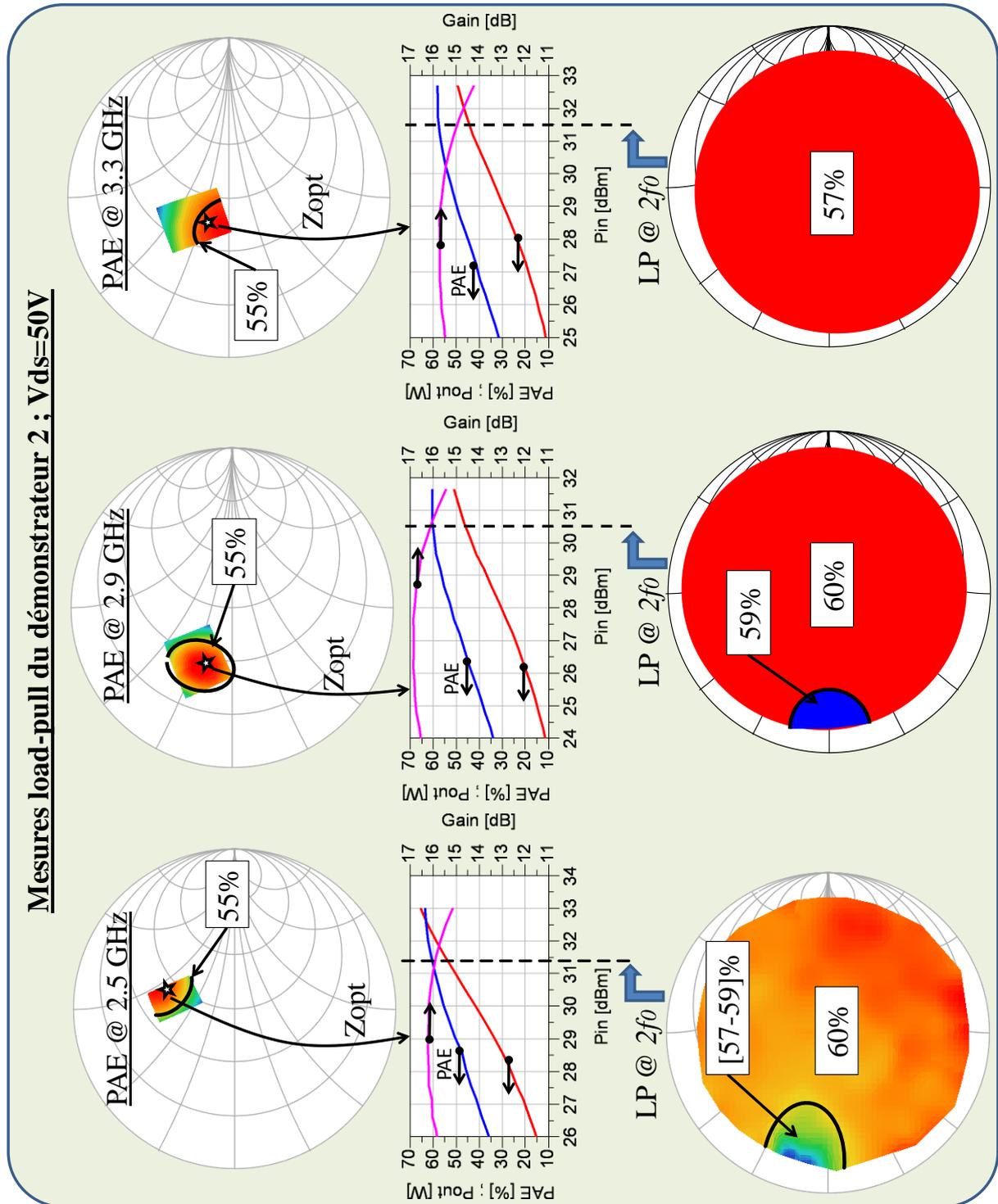


Figure III.29 : Mesures load-pull à  $f_0$  et  $2f_0$  du démonstrateur n°2. Vds=50V.

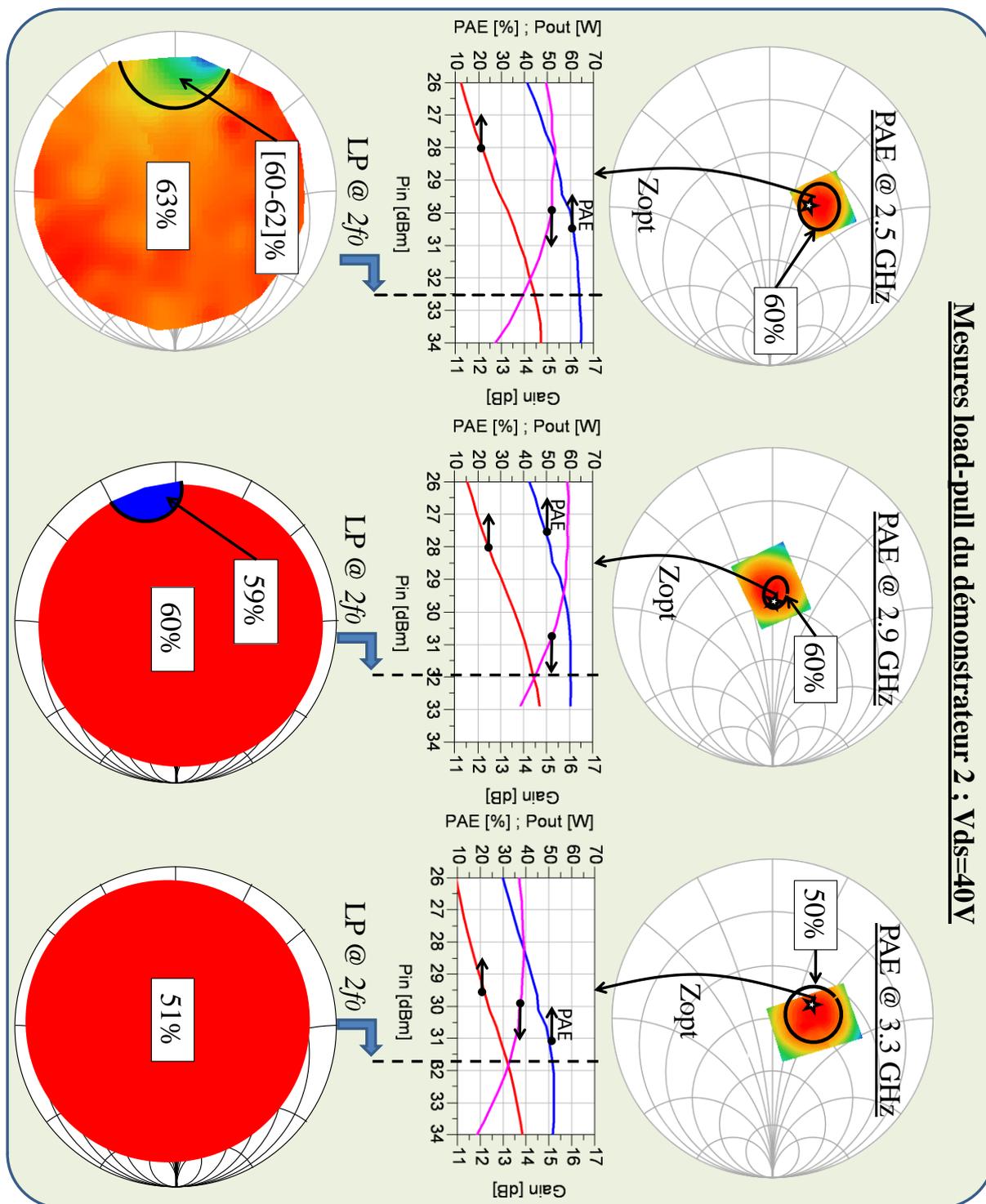


Figure III.30 : Mesures load-pull à  $f_0$  et  $2f_0$  du démonstrateur n°2.  $V_{ds}=40V$ .

La figure III.31 illustre les impédances de source et de charge optimales mesurées aux fréquences fondamentales pour une polarisation de drain de 40 V et 50 V.

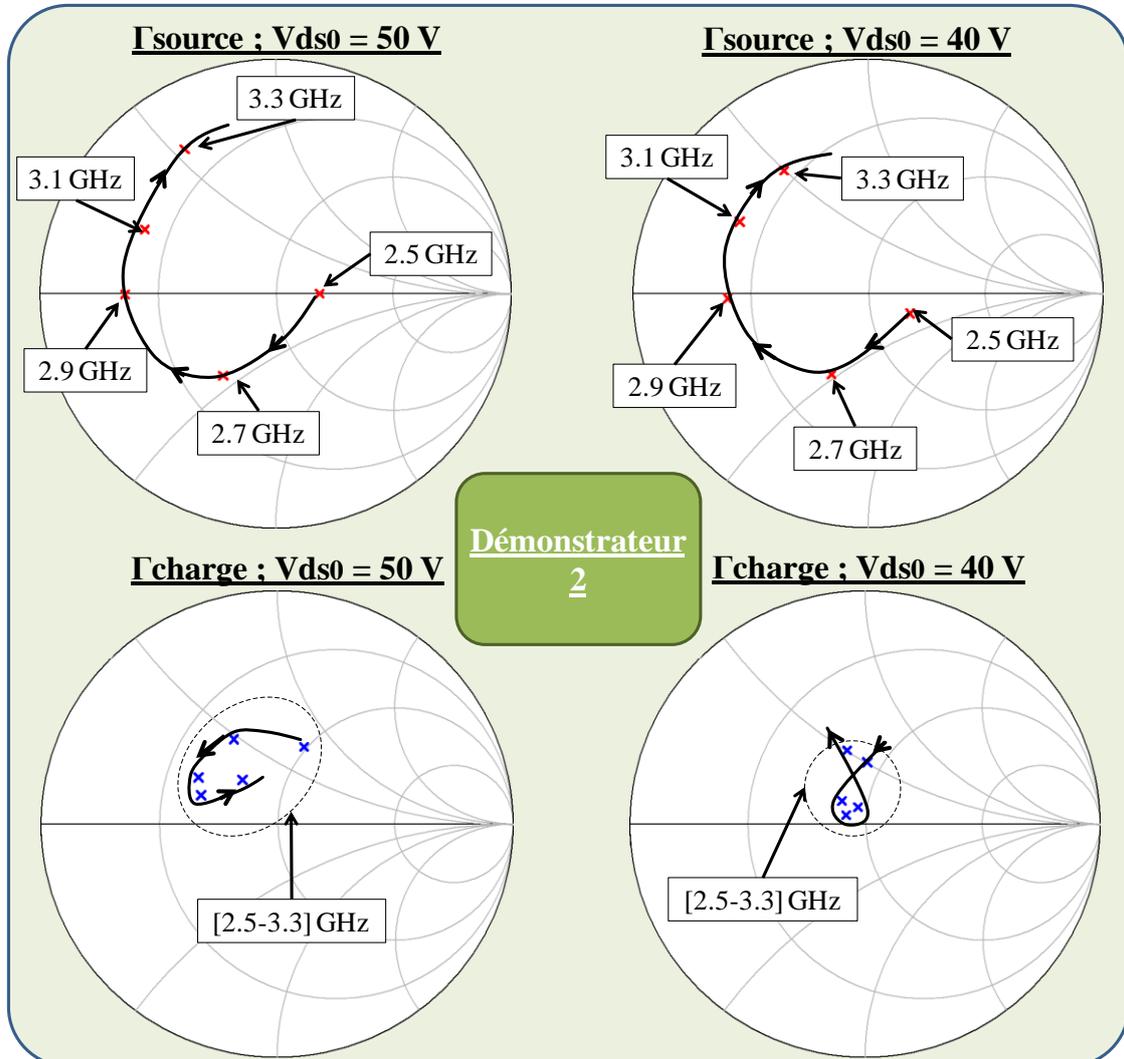


Figure III.31 : Impédances optimales de source et de charge du démonstrateur n°2.

L'adaptation d'entrée du démonstrateur n°2 est, comme pour le démonstrateur n°1, meilleure en début de bande (2.5-2.7 GHz). Les impédances de sources évoluent de manière semblable en fonction de la polarisation de drain appliquée.

Les impédances optimales de charge en PAE sont beaucoup plus proches de 50 Ω pour une polarisation de drain de 40 V. Sur la bande [2.7-3.1] GHz, elles sont quasiment sur 50 Ω. A 50 V de polarisation de drain, les impédances optimales de charge en PAE sont un peu plus éloignées mais restent tout à fait adaptables, leurs coefficients de réflexion étant compris entre 0.3 et 0.4 sur toute la bande.

### III.3.3. Résumé des performances mesurées.

La figure III.32 présente l'évolution des performances entre les mesures 50  $\Omega$  et les performances optimales obtenues en mesure load-pull à  $f_0$  pour le démonstrateur n°1.

Les impédances de charge optimales en PAE étant quasiment sur 50  $\Omega$  pour une polarisation de drain de 40V en début de bande, une amélioration significative des performances apparaissent ainsi qu'en fin de bande passante. Les gains en puissance étant très élevés, l'optimisation source-pull ne produit également pas d'amélioration significative sur les performances qui sont déjà très bonnes sur 50  $\Omega$ .

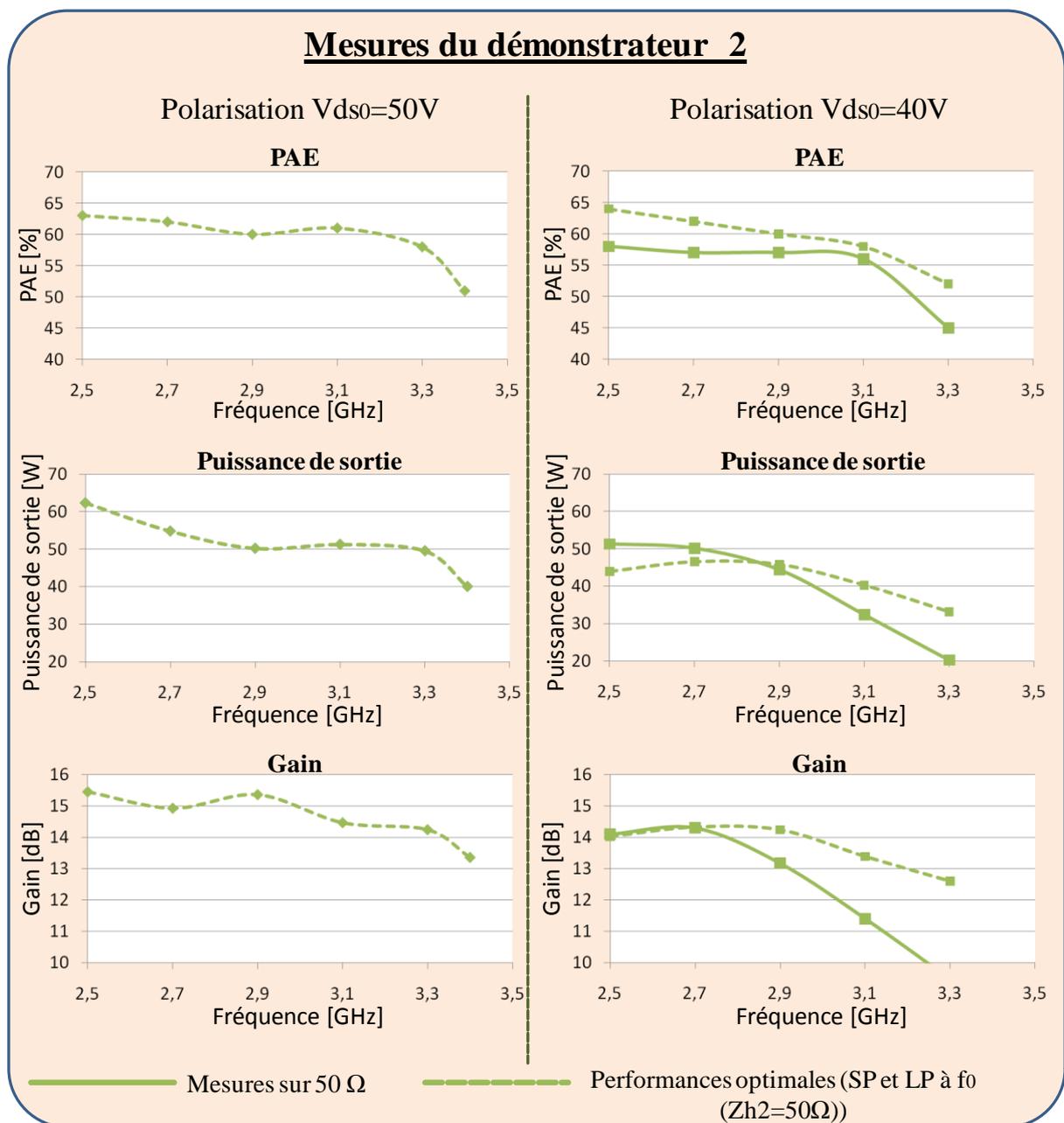


Figure III.32 : Résumé des performances du démonstrateur n°2.

Les performances peuvent être résumées de la manière suivante :

Pour  $V_{ds}=50V$  :

- PAE > 60% : [2.5-3.1] GHz ;  $P_{out}=50 W$  ; Gain\_p=14.5 dB.
- PAE > 58% : [2.5-3.3] GHz ;  $P_{out}=50 W$  ; Gain\_p=14 dB.

Pour  $V_{ds}=40V$  :

- PAE > 55% : [2.5-3.1] GHz ;  $P_{out}=30 W$  ; Gain\_p = 11.5 dB sur 50  $\Omega$ .
- PAE > 58% : [2.5-3.1] GHz ;  $P_{out}=40 W$  ; Gain\_p=13.3 dB

Les PAE mesurées atteignent difficilement les 60%. Les explications sur ces performances obtenues en début de bande sont détaillées dans le paragraphe suivant.

### III.4. Résumé : Comparaison des performances entre les démonstrateurs n°1 et n°2.

Une comparaison des performances entre les démonstrateurs n°1 et n°2 mesurés sur 50  $\Omega$  est présentée sur la figure III.33.

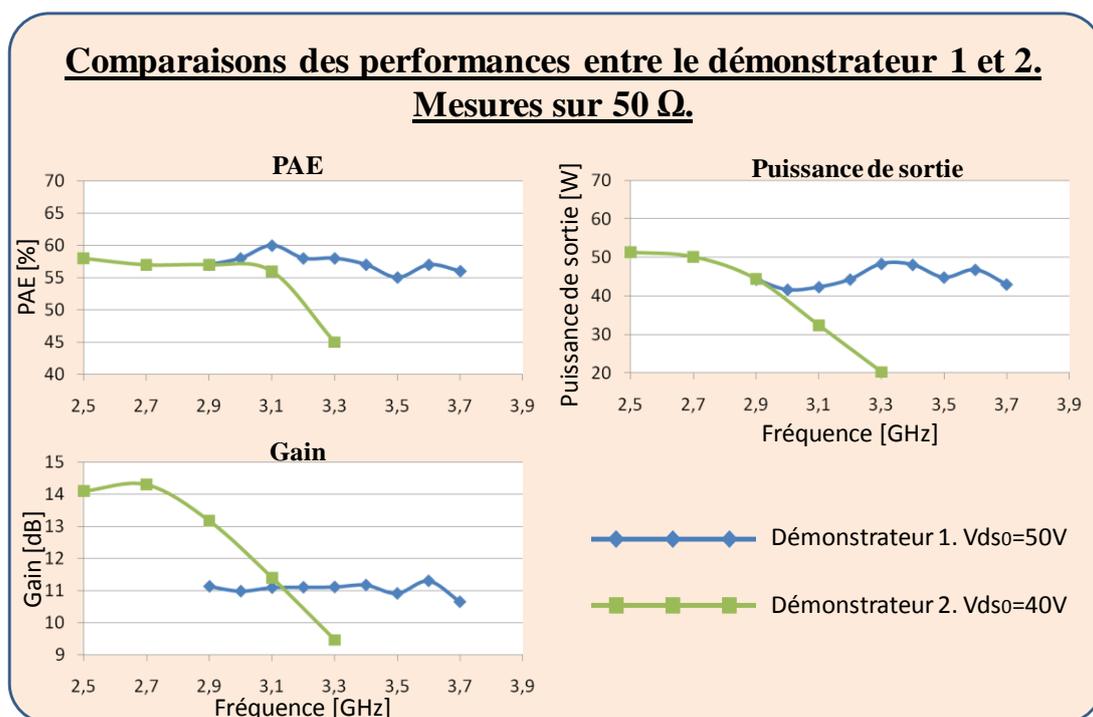


Figure III.33 : Comparaison des performances mesurées sur 50  $\Omega$  entre les démonstrateurs n°1 et n°2.

Le démonstrateur n°1 assure des performances haut rendement sur la bande [2.9-3.7] GHz alors que le démonstrateur n°2 fournit des performances en début de bande avant de chuter fortement à partir de 3.1 GHz. La différence entre les deux câblages de sortie explique ce décalage fréquentiel. Pour mieux juger ces différences, une visualisation des performances optimisées au fondamental est nécessaire, comme l'illustre la figure III.34.

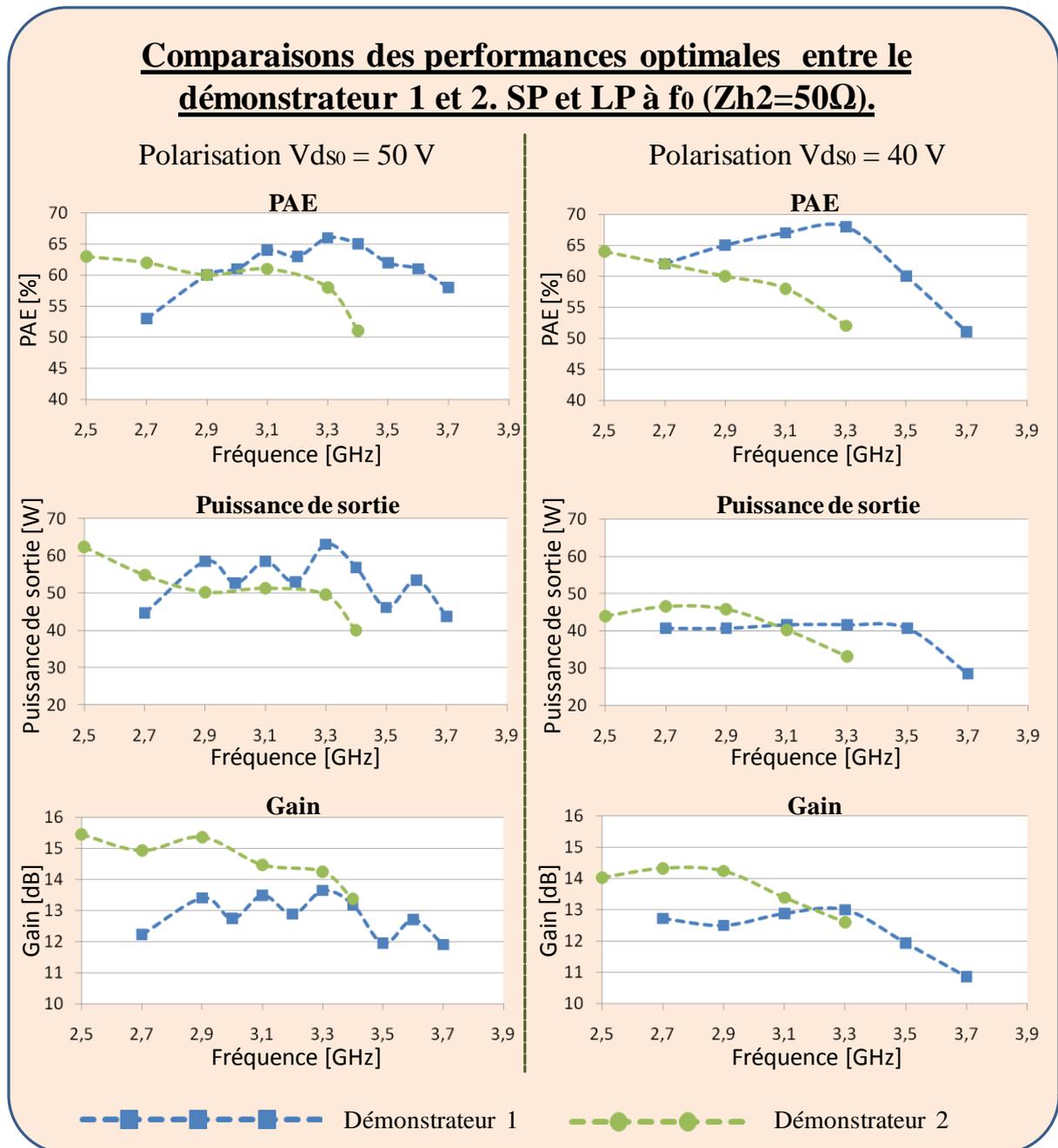


Figure III.34 : Comparaison des performances optimales mesurées entre les démonstrateurs n°1 et °2.

Comme pour les mesures 50  $\Omega$ , le démonstrateur n°2 ne présente plus de performances à partir de 3.4 GHz alors que le démonstrateur n°1 assure des performances sur la bande [2.7-

3.7] GHz. Ces deux démonstrateurs avaient pourtant été synthétisés pour fournir des performances au moins jusqu'à 3.5 GHz. Une explication possible concernant ce décalage provient du fait que l'estimation des fils de câblage a été surévaluée par rapport aux fils réalisés entraînant ainsi des inductances ou mutuelles équivalentes erronées lors des simulations du câblage n°2. Rappelons que les valeurs des inductances dépendent fortement de la longueur, mais aussi de la forme des fils de câblage réalisés.

De plus, le câblage n°2 avait été réalisé pour pallier à d'éventuels décalages fréquentiels des zones de PAE à  $2f_0$ . Or, il semble que ces décalages fréquentiels n'existent pas et que les hypothèses de « scaling » émises en début de chapitre soient suffisamment correctes puisque de très haut rendements (>65%) sont obtenus dans la bande souhaitée, c'est-à-dire entre 2.9 GHz et 3.5 GHz pour le démonstrateur n°1. Il est alors logique que de meilleures performances en termes de PAE soient obtenues pour le démonstrateur n°1 (68% à 3.3 GHz pour le démonstrateur n°1 contre 64% à 2.5 GHz pour le démonstrateur n°2).

Les performances obtenues pour le démonstrateur n°1 sont conformes à nos attentes. Cela permet alors de mettre en évidence la très bonne concordance entre les impédances synthétisées en simulation et les impédances synthétisées par le câblage n°1 réalisé.

Les performances globales de ces deux démonstrateurs sont synthétisées dans le tableau III.10. Elles sont triées en fonction du pourcentage de bande passante présentée.

Mesures	Fréquence [GHz]	% de bande	PAE max [%]	PAE min [%]	$\eta$ drain min [%]	Pout [W]	Gain [dB]	Vds [V]	
D_n°2	50 $\Omega$	[2.5-3.1]	21	58	56	60	35	11.5	40
D_n°1	50 $\Omega$	[2.9-3.7]	24	60	55	60	45	11	50
D_n°1	SP/LP	[2.9-3.6]	21	67	60	63	50	12.5	50
D_n°1	SP/LP	[2.7-3.5]	26	68	60	65	40	12	40
D_n°2	SP/LP	[2.5-3.3]	27	64	58	60	50	14	50
D_n°1	SP/LP	[2.7-3.7]	31	67	53	56	45	12.0	50

Tableau III.10 : Mesures optimisées du démonstrateur n°2. Mesures source-pull et load-pull à  $f_0$ .

Pour des mesures sur 50  $\Omega$ , les démonstrateurs n°1 et n°2 assurent une PAE supérieure à 55% ( $\eta_{\text{drain}} > 60\%$ ) pour des pourcentages de bande respectifs égaux à 24% et 21%.

Pour des mesures source-pull et load-pull à  $f_0$ , le démonstrateur n°1 assure une PAE supérieure à 60% sur 21% de bande passante pour  $V_{\text{ds}}=50\text{V}$  et 26% de bande passante pour

$V_{ds}=40V$  avec des pics de PAE respectifs de 67% et 68%. Sur une bande passante très large, [2.7-3.7] GHz, soit 31% de bande passante, la PAE minimale est de 53%. Le démonstrateur n°2 assure une PAE supérieure à 58% sur 27% de bande passante pour  $V_{ds0}=50V$ .

Les dissymétries engendrées par les câblages avaient également été étudiées en simulation dans la partie II de ce chapitre. Malheureusement, leur impact n'a pu être quantifié du fait du trop grand décalage fréquentiel qui existe entre les deux démonstrateurs. Cette étude reste donc une perspective à donner à ce travail.

Enfin, les démonstrateurs n°1 et n°2 avaient été réalisés en double. Des mesures de vérification ont démontré une bonne reproductibilité des performances et des lieux d'impédances.

## IV. Performances et enjeux des barrettes de puissance HEMT GaN encapsulées optimisées.

### IV.1. Etat de l'art

Afin d'évaluer les performances des démonstrateurs réalisés, un état de l'art a été réalisé en bande S, et plus particulièrement pour les fréquences supérieures à 2.5 GHz. Les amplificateurs de puissance choisis présentent une PAE supérieure à 45% sur une bande passante minimale de 10%, associés à une puissance de sortie minimale de 10 W. Les amplificateurs GaN présentant de telles performances sont assez rares en deuxième partie de bande S. Le tableau III.11 présente les différentes performances des amplificateurs recueillis à partir de travaux publiés. Les amplificateurs sont triés en fonction de leur fréquence centrale. Les démonstrateurs n°1 et n°2 mesurés sur 50  $\Omega$  ont été inclus (D\_n°1 et D\_n°2), ainsi que les performances optimales du démonstrateur n°1 (D\_n°1\_opt).

[Ref]	Fréquence centrale [GHz]	Bande [GHz]	% de bande	PAE max [%]	PAE min [%]	$\eta$ drain min [%]	Pout [W]	Gain [dB]	Vds [V]	RF	année
[74]	2.4	[1.9-2.9]	42	-	54*	60	40	10	28	CW	2010
[54]	2.5	[2.3-2.7]	16	65	57	60	12	14	40	CW	2011
<b>D_n°2</b>	<b>2.8</b>	<b>[2.5-3.1]</b>	<b>21</b>	<b>58</b>	<b>56</b>	<b>60</b>	<b>35</b>	<b>11.5</b>	<b>40</b>	<b>10<math>\mu</math>s/10%</b>	<b>2011</b>
[75]	2.95	[2.7-3.2]	17	70	51	-	80	-	25	200 $\mu$ s/20%	2009
[76]	3.0	[2.8-3.2]	13	51	42	-	83	19**	50	100 $\mu$ s/10%	2010
<b>D_n°1_opt</b>	<b>3.25</b>	<b>[2.9-3.6]</b>	<b>21</b>	<b>67</b>	<b>60</b>	<b>63</b>	<b>50</b>	<b>12.5</b>	<b>50</b>	<b>10<math>\mu</math>s/10%</b>	<b>2011</b>
<b>D_n°1</b>	<b>3.3</b>	<b>[2.9-3.7]</b>	<b>24</b>	<b>60</b>	<b>55</b>	<b>60</b>	<b>45</b>	<b>11</b>	<b>50</b>	<b>10<math>\mu</math>s/10%</b>	<b>2011</b>
[77]	3.35	[3.1-3.6]	15	64	50	-	20	12	30	CW	2009
[48]	3.525	[3.35-3.7]	10	78	55	60	10	12	28	CW	2009
[70]	3.8	[3.6-4.0]	10	67	61	68	100	9.5	40	CW	2011
[78]	3.95	[3.7-4.2]	12	63	60	66	90	11.5	40	CW	2010
[79]	>4	Cband	15	48	45	53	60	-	40	pulsée	2007
[80]	>4	Cband	15	52	46	57	90	-	50	pulsée	2008

\* PAE évaluée en fonction du gain et de la puissance de sortie. \*\* amplificateur à deux étages.

Tableau III.11 : Etat de l'art des amplificateurs de puissance large bande et haut rendement en bande S.

Afin de mieux visualiser les performances des deux démonstrateurs par rapport à l'état de l'art, la figure III.35 a été réalisée.



## IV.2. Solutions commercialisées de barrettes de puissance GaN.

Les performances optimales des démonstrateurs n°1 et n°2 sont désormais comparées à des solutions encapsulées commercialisées pour des puissances de sortie délivrées équivalentes. Le tableau III.12 recueille les différentes performances.

[Ref]	Bande [GHz]	% de bande	PAE max [%]	PAE min [%]	$\eta$ drain min [%]	Pout [W]	Gain [dB]	Vds [V]	RF	Dimensions [mm <sup>2</sup> ]
[41]	[2.7-3.5]	26	-	-	55	40	11	32	300 $\mu$ s/10%	-
[82]	[3.0-3.5]	15	52	48	51	55	12	28	100 $\mu$ s/20%	9.7x5.8
[39]	[2.8-4.0]	35	58	50	50	75	20**	28	300 $\mu$ s/20%	12.8x12.8
<b>D_n°2 opt</b>	<b>[2.5-3.3]</b>	<b>27</b>	<b>64</b>	<b>58</b>	<b>60</b>	<b>50</b>	<b>14.0</b>	<b>50</b>	<b>10<math>\mu</math>s/10%</b>	<b>8.2x24</b>
<b>D_n°1 opt</b>	<b>[2.7-3.7]</b>	<b>31</b>	<b>67</b>	<b>53</b>	<b>56</b>	<b>45</b>	<b>12.0</b>	<b>50</b>	<b>10<math>\mu</math>s/10%</b>	<b>8.2x24</b>
<b>D_n°1 opt</b>	<b>[2.7-3.5]</b>	<b>26</b>	<b>68</b>	<b>60</b>	<b>65</b>	<b>40</b>	<b>12.0</b>	<b>40</b>	<b>10<math>\mu</math>s/10%</b>	<b>8.2x24</b>

\*\* amplificateur à deux étages.

Tableau III.12 : Comparaisons des démonstrateurs n°1 et n°2 avec des solutions commercialisées.

Les démonstrateurs n°1 et n°2 présentent de meilleures performances en termes de PAE minimale (et maximale). Les PAE sont environ 10 points supérieures aux solutions commercialisées pour des puissances de sortie et des bandes passantes équivalentes.

## IV.3. Avantages de l'encapsulation optimale des barrettes de puissance.

La méthode de synthèse du boîtier de la barrette de puissance que nous avons développé présente de nombreux avantages.

- ❖ Performances haut rendement, large bande et forte puissance.

La technique d'optimisation des câblages, permettant d'adapter les impédances aux fréquences harmoniques à l'intérieur du boîtier, assure un fonctionnement haut rendement sur de très larges bandes passantes. En effet, les impédances harmoniques sont optimisées en premier lieu au plus près de la barrette de puissance, offrant ainsi des performances haut rendement (PAE>60%) sur 25 % de bande passante. Associées à des puissances de sortie de 50 W, ces solutions d'encapsulation présentent une réelle avancée pour les applications radars.

❖ Désensibilisation aux forts TOS aux fréquences harmoniques.

Le fait de contrôler les impédances aux fréquences harmoniques à l'intérieur du boîtier permet également de désensibiliser la barrette aux variations des impédances aux fréquences harmoniques externes au boîtier. En effet, les câblages réalisés assurent une transformation d'impédance dans les zones optimales de la barrette de puissance, quelles que soient les impédances harmoniques présentées à l'extérieur du boîtier. Ainsi, ce type de démonstrateur est capable de supporter de très forts TOS et de maintenir ses performances. Ceci présente un avantage considérable dans le domaine des applications radars à antennes actives.

❖ Miniaturisation des solutions d'adaptation 50  $\Omega$ .

Ces solutions d'encapsulation permettent de réduire considérablement la taille des amplificateurs réalisés et conduit quasiment à l'objectif idéal d'adaptation haut rendement et large bande sur 50  $\Omega$  en entrée et en sortie. Même si la taille totale de la barrette encapsulée est de 8.2x24 mm<sup>2</sup>, la zone utilisée pour effectuée l'adaptation n'est que de 8.2x8.0 mm<sup>2</sup> comme l'illustre la figure III.36. Ces dimensions sont du même ordre de grandeur que les solutions MMIC ou quasi-MMIC existantes. Il serait alors intéressant de concevoir des barrettes encapsulées adoptant la méthodologie d'optimisation développée au cours de cette thèse en adoptant des solutions quasi-MMIC.

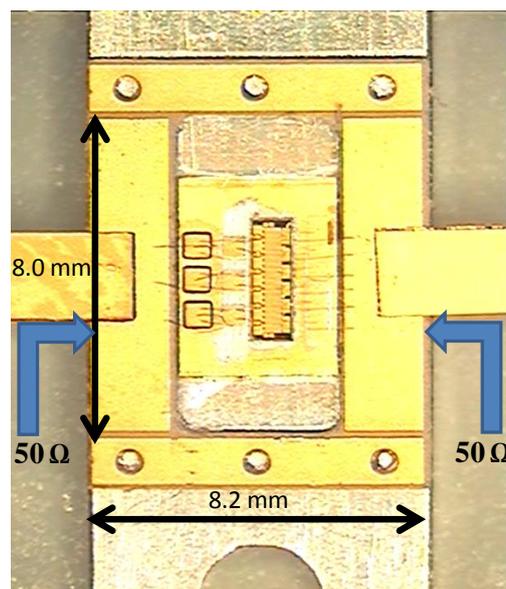


Figure III.36 : Illustration de la miniaturisation des démonstrateurs réalisés.

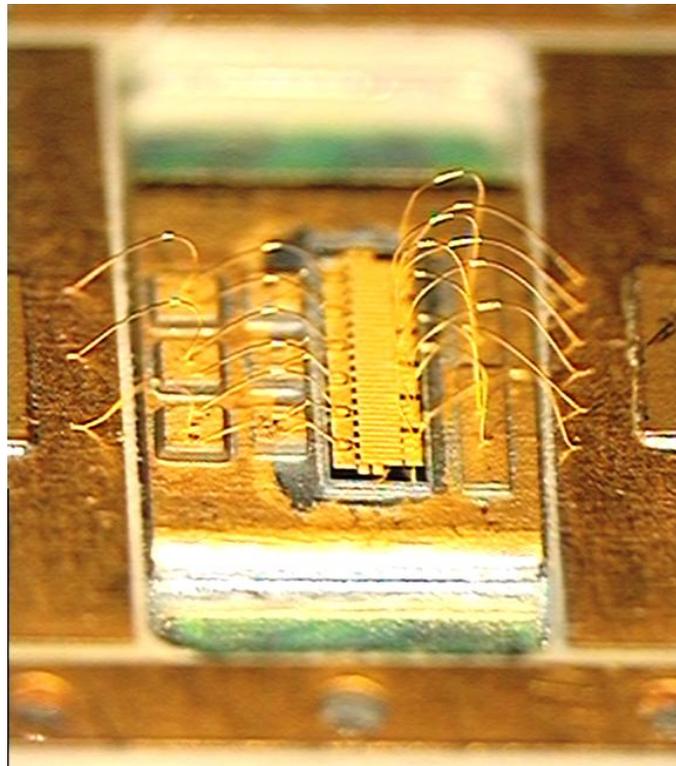
#### **IV.4. Vers l'intégration d'éléments MMIC.**

Le principal inconvénient du principe d'optimisation des éléments du boîtier développé au cours de cette thèse réside dans la simulation et la réalisation des fils de câblage et leur utilisation au niveau industriel. En effet, le besoin important d'inductances équivalentes nous a conduit à réaliser des fils de câblages très longs (jusqu'à 3 mm). A terme, d'autres solutions doivent être envisagées pour réaliser des éléments inductifs. La conception d'inductance MMIC utilisant des substrats à fortes constantes diélectriques apparaît alors comme une solution très intéressante. Cela permettra de réduire considérablement l'encombrement. En revanche, des précautions sont à prendre en ce qui concerne les densités de puissances maximales et les pertes (plus importantes en bande S) que génèrent ce type de solution.

L'intégration d'éléments inductifs MMIC permettrait ainsi de réduire l'encombrement, d'augmenter la robustesse de l'amplificateur et de considérablement réduire les mutuelles inductances générées par les fils de câblage. Cette intégration, associée à la méthodologie développée au cours de cette thèse, offrirait ainsi la possibilité de concevoir des amplificateurs en boîtier quasi-MMIC fournissant de très fortes puissance associées à de haut rendement sur de larges bandes passantes.

## **Conclusion**

Une méthodologie de synthèse de boîtier destinée à des barrettes de puissance HEMT GaN de 6 transistors a été démontrée. Des câblages d'adaptation d'entrée et de sortie ont ainsi été définis afin de réaliser une adaptation interne des impédances harmoniques sur de larges bandes passantes, tout en ayant pris soin que les impédances synthétisées ne subissent pas de dispersions trop importantes. Des amplificateurs de classe 50 W ont ainsi été réalisés. Les PAE maximales atteintes sont de 68%. Sur la bande passante [2.9-3.7] GHz, soit 24% de bande passante, la PAE minimale atteinte est de 55%, associée à 11 dB de gain en puissance et 45 W de puissance de sortie. Le confinement des impédances aux fréquences harmoniques réalisé a permis une insensibilisation quasi-totale de la PAE aux variations de charge aux fréquences harmoniques (seulement 5 points de variation pour des fréquences inférieures à 2.9 GHz et 1 points pour les fréquences supérieures). Ce type de démonstrateur présente un avantage considérable lors de leur intégration dans des systèmes radars à antennes actives du fait de la forte robustesse qu'il présente au fort TOS harmonique.





## **CONCLUSION GENERALE :**

---



Le HEMT GaN, de par ses propriétés intrinsèques très favorables à l'amplification, notamment en ce qui concerne ses fortes densités de puissance, est devenu le candidat incontournable pour les applications radars sol en bande S.

Il a été démontré dans ces travaux de thèse que les effets limitatifs liés à l'encapsulation des technologies de barrettes de puissance HEMT GaN pouvaient être corrigés. En effet, lors d'une encapsulation classique, l'adaptation des impédances harmoniques de source et de charge en entrée ou en sortie du boîtier est contrainte par les caractéristiques mêmes du boîtier utilisé. La méthodologie spécifique mise en place permet de s'affranchir de cet inconvénient puisque le contrôle des impédances harmoniques est effectif en premier lieu au plus près du HEMT GaN, c'est-à-dire à l'intérieur du boîtier. Ainsi, une synthèse de boîtier a été réalisée en fonction des impédances optimales recherchées. Cette synthèse de boîtier présente l'avantage d'assurer un contrôle des impédances harmoniques quelles que soient les impédances présentées en sortie du boîtier aux fréquences harmoniques. Cette désensibilisation présente un avantage considérable dans les systèmes radars à antennes actives puisque l'amplificateur HEMT GaN encapsulé peut supporter de forts TOS aux fréquences harmoniques sans toutefois altérer ses performances. D'autre part, une adaptation seulement à la fréquence fondamentale est nécessaire en sortie de boîtier pour réaliser l'amplificateur de puissance haut rendement. De même, la méthodologie de synthèse du boîtier optimisé permet de faciliter l'adaptation de sortie et d'entrée au fondamental ainsi que le prouvent les derniers démonstrateurs qui présentent des performances déjà très bonnes sur des fermetures entrée-sortie de 50  $\Omega$ .

La méthodologie mise en œuvre présente également des potentialités en termes de largeur de bande passante très supérieures à ce qui est réalisé actuellement. Cela s'explique par le fait que les impédances harmoniques sont contrôlées à l'intérieur du boîtier, au plus près du HEMT GaN. Il a été démontré en théorie que ce contrôle d'impédance harmonique de charge était réalisable sur 46% de bande passante pour une cellule unitaire de 2.4 mm de développement.

Le principe de synthèse de boîtier optimisé a tout d'abord été démontré sur un transistor HEMT GaN 15 W. Une amélioration de la PAE de 8 points a été obtenue en optimisant les impédances harmoniques de charge et une augmentation de 4 points a été constatée en optimisant les impédances harmoniques de source. Ces performances ont été mesurées à 3.2 GHz dans les plans du boîtier et comparées à des performances d'un transistor sur capot dont les impédances harmoniques sont sur 50  $\Omega$ . Ainsi, le transistor en boîtier

optimisé a présenté une PAE maximale de 74% contre seulement 55% pour un transistor en boîtier non optimisé, soit une différence de 19 points.

Afin de satisfaire aux besoins de fortes puissances que requièrent les applications radar, le principe de cette méthodologie a été appliqué sur des barrettes de puissance de 50 W. Les résultats ont été satisfaisants. Bien que cette méthode ait été réalisée en premier lieu pour adapter les impédances aux fréquences harmoniques sans adaptation spécifique au fondamental, le compromis imposé dans cette méthode afin de ne pas dégrader les possibilités d'adaptation externe au boîtier au fondamental ont permis d'obtenir déjà de très bonnes performances, même dans le cas de charges extérieures égales à 50  $\Omega$ . Ainsi, mesuré sur 50  $\Omega$  dans les plans du boîtier, un premier démonstrateur a fourni une PAE minimale de 55% ( $\eta_{\text{drain}} > 60\%$ ), associée à un gain en puissance de 11 dB et une puissance de sortie de 45 W sur la bande [2.9-3.7] GHz, soit 24% de bande passante. Les dimensions de cette barrette de puissance encapsulée ne sont que de 8x8.2 mm<sup>2</sup>. En mesures source-pull et load-pull aux fréquences fondamentales, ce démonstrateur présente une PAE minimale de 60% sur la bande [2.9-3.6] GHz, associée à un gain en puissance de 12.5 dB et une puissance de sortie de 50 W. Un pic de PAE de 67% a été observé à 3.3 GHz. Un deuxième démonstrateur a présenté des performances équivalentes à de plus basses fréquences, sur la bande [2.5-3.3] GHz. En résumé, des démonstrateurs présentant des performances de haut rendement, de très larges bandes passantes et de fortes puissance de sorties ont été réalisés en bande S.

Cette méthode spécifique de synthèse ouvre de nombreuses perspectives. Un des aspects les plus intéressants à étudier concerne la réalisation des éléments inductifs en MMIC afin de remplacer les fils de câblage souvent trop fragiles et difficiles à modéliser précisément. Des démonstrateurs forte puissance quasi-MMIC adoptant cette méthodologie pourraient ainsi être réalisés, afin d'être à terme industrialisés. Cette méthodologie doit être également étudiée sur d'autres bandes de fréquence où son application n'est pas forcément aussi propice qu'en bande S.

## **BIBLIOGRAPHIE :**

---



- [1] Y. Blanchard, « *Le radar, 1904-2004: histoire d'un siècle d'innovations techniques et opérationnelles* », Ellipses, 2004.
- [2] CARPENTIER, "Radar : Bases Modernes", Edition Masson, 8<sup>ième</sup> édition, 1993.
- [3] J. DARRICAU, "Physique et Théorie du RADAR", Troisième édition, 1993.
- [4] E. J. BARLOW, "Doppler Radar", I.R.E. Proceedings, April 1948, pp. 340-355.
- [5] Mishra, U.K. & Parikh, P., 2002. AlGaN/GaN HEMTs-an overview of device operation and applications. *Proceedings of the IEEE*, 90(6), p.1022-1031.
- [6] Fowler, C., Entzminger, J. & Corum, J., 1990. Assessment of ultra-wideband (UWB) technology. *Aerospace and Electronic Systems Magazine IEEE*, 5(11), p.45-49.
- [7] J.ISNARD. Conditions d'insertion des radars à large bande. *RTO Meeting proceedings Information systems technology (IST) symposium, Aalborg , DANEMARK 1998 , n° 13, pp. 16.1-16.7.*
- [8] Prejs, A. et al., 2009. Thermal Analysis and its application to High Power GaN HEMT Amplifiers. *IEEE MTT-S International Microwave Symposium IMS*, (June), p.917-920.
- [9] Cook, C., 1960. Pulse Compression-Key to More Efficient Radar Transmission. *Proceedings of the IRE*, 48(3), p.310-316.
- [10] Salmer, C. et al, 1998. Pulse to Pulse Stability of Solid State Transmitter Module for Radars Application. *28th European Microwave Conference*, pp. 79–84.
- [11] Ambacher, O., 1998. Growth and applications of Group III-nitrides. *Group*, 31(20), p.2653-2710.
- [12] Trew, R.J., 2000. Wide bandgap semiconductor transistors for microwave power amplifiers. *Microwave Magazine IEEE*.
- [13] Burk Jr., A.A., et a.l, 1999 "SiC and GaN wide bandgap semiconductor materials and devices", *Solid-State Electronics*, vol. 43, no. 8, pp. 1459-1464.
- [14] Lide, David R. (1998), *Handbook of Chemistry and Physics* (87 ed.), Boca Raton, FL: CRC Press, pp. 4–61.
- [15] Gabrysch, M. (2008) *Electronic Properties Diamond. Uppsala University, Uppsala, Sweden.*
- [16] Isberg, J. et al., 2002. High carrier mobility in single-crystal plasma-deposited diamond. *Science*, 297(5587), p.1670-1672
- [17] Felbinger, J.G. et al., 2007. Comparison of GaN HEMTs on Diamond and SiC Substrates. *IEEE Electron Device Lett*, 28(11), p.948-950.
- [18] Mathieu, H., 2001. *Physique des semiconducteurs et des composants électroniques*, Masson.

- [19] <http://www.microsemi.com/>
- [20] Potyraj, P.A., Petrosky, K.J., Hobart, K.D., Kub, F.J. & Thompson, P.E. 1996, "230 watt S-band SiGe HBT", *IEEE MTT-S International Microwave Symposium Digest*, pp. 673.
- [21] PIOTROWICZ, S., CHARTIER, E., JACQUET, J.C., FLORIOT, D., COUPAT, J.M., FRAMERY, C., EUDELIN, P. and AUXEMERY, P., 2004. High power and high efficiency 30 W compact S-band HBT power chips with gold or diamond heat spreaders, *IEEE MTT-S International Microwave Symposium Digest 2004*, pp. 1527-1530.
- [22] Zeghbroeck, B.V., 2005. First Demonstration of 4H-SiC RF Bipolar Junction Transistors on a Semi-insulating Substrate with  $f_T / f_{MAX}$  of 7 / 5 . 2 GHz. *Microsemi*, (c).
- [23] KEOGH, D.M., LI, J.C., CONWAY, A.M., QIAO, D., RAYCHAUDHURI, S., ASBECK, P.M., DUPUIS, R.D. and FENG, M., 2004. Analysis of GaN HBT structures for high power, high efficiency microwave amplifiers. *International Journal of High Speed Electronics and Systems*, 14(3), pp. 831-836.
- [24] Shockley, W., 1952. A Unipolar "Field-Effect" Transistor. *Proceedings of the IRE*, 40(11), p.1365-1376.
- [25] THEEUWEN, S.J.C.H. and MOLLEE, H., 2009. S-band radar LDMOS transistors, *4th European Microwave Integrated Circuits Conference, EuMIC 2009*, pp. 53-56.
- [26] HUMBERT, H., 2009. Le transistor Ldmos de puissance devient compatible avec l'émission GSM multiporteuse. *Électronique internationale*, 26 février 2009, pp. 31.
- [27] MIMURA, T., et al, 1980. A new field-effect transistor with selectively doped GaAs/n-AlxGa1-xAs heterojunctions, *Japanese Journal of Applied Physics*, Vol.19, No 5, May 1980, pp. L225 à L227.
- [28] Wu, Y.F. et al., 2004. 30-W/mm GaN HEMTs by Field Plate Optimization. *IEEE Electron Device Letters*, 25(3), p.117-119.
- [29] Schmelzer, D., & Long, S. I. (2007). A GaN HEMT Class F Amplifier at 2 GHz with > 80 % PAE. *IEEE Journal of Solid State Circuits*, 42(10), 525-2136.
- [30] Mitani, E., Aojima, M., & Sano, S. (2007). A kW-class AlGaIn/GaN HEMT Pallet Amplifier for S-band High Power Application. *Proc 2 nd European Microwave Integrated Circuits Conf*, 176-179.
- [31] Meneghesso, G. et al., 2008. Reliability of GaN High-Electron-Mobility Transistors: State of the Art and Perspectives. *IEEE Transactions on Device and Materials Reliability*, 8(2), p.332-343.

- [32] Jardel, O. et al., 2007. An Electrothermal Model for AlGaIn/GaN Power HEMTs Including Trapping Effects to Improve Large-Signal Simulation Results on High VSWR. *IEEE Transactions on Microwave Theory And Techniques*, 55(12), p.2660-2669.
- [33] Clarke, R.C. and Palmour J.W., 2002. SiC Microwave Power Technologies, *Proceedings of the IEEE* Vol 90, No 6 (2002): pp 987-992.
- [34] EJEBJÖRK, N. et al, 2011. Optimization of SiC MESFET for high power and high frequency applications, *Materials Science Forum Vol. 679 – 680* (2010) pp.629-632.
- [35] ISHIKURA, K. et al., 2007. High Power GaAs Heterojunction FET with Dual Field-Modulating-Plates for 28V Operated W-CDMA Base Station. *IEICE TRANS. ELECTRON.*, VOL.E90–C, NO.5 MAY 2007, pp. 923-928.
- [36] Vassilakis, B., Stornuolo, J. & Monroe, J., 2009. High Efficiency Base Station Amplifier Architectures Utilizing LDMOS and GaN High Power Transistors. *csmantechorg*, p.1-4.
- [37] Nuttinck, S., et al, 2002. Comparison between Si-LDMOS and GaN-Based Microwave Power Transistors, *Proceedings IEEE Lester Eastman Conference on High Performance Devices*, pp. 149.
- [38] Weitzel, C. E., 2002. RF power devices for wireless communications, *IEEE MTT-S Int. Microwave Symp. 2002*, pp. 285 - 288.
- [39] <http://www.cree.com/>.
- [40] <http://jp.fujitsu.com/group/labs/en/>.
- [41] <http://www.integratech.com/>.
- [42] <http://www.rfmd.com/>.
- [43] <http://www.freescale.com/>.
- [44] <http://www.nxp.com/>.
- [45] <http://www.microsemi.com/>.
- [46] Cripps, S.C., 2006. *RF Power Amplifiers for Wireless Communications*, Artech House, second edition.
- [47] Raab, F.H., 2001. Maximum efficiency and output of class-F power amplifiers. *IEEE Transactions on Microwave Theory And Techniques*, 49(6), p.1162-1166.
- [48] Saad, P. et al., 2009. An inverse class-F GaN HEMT power amplifier with 78% PAE at 3.5 GHz. In *Microwave Conference 2009 EuMC 2009 European*. pp. 496-499.
- [49] Sokal, N.O. & Sokal, A.D., 1975. Class E-A new class of high-efficiency tuned single-ended switching power amplifiers. *IEEE Journal of Solid State Circuits*, 10(3), p.168-176.
- [50] Sheppard, S. et al., 2006. High-Efficiency Amplifiers Using AlGaIn / GaN HEMTs on SiC. , (919), p.175-178.

- [51] Wright, P. et al., 2009. An efficient, linear, broadband class-J-mode PA realised using RF waveform engineering. In *Microwave Symposium Digest 2009 MTT09 IEEE MTTS International*. IEEE, pp. 653-656.
- [52] Moon, J., Kim, J. & Kim, B., 2010. Investigation of a Class-J Power Amplifier With a Nonlinear C out for Optimized Operation. *IEEE Transactions on Microwave Theory And Techniques*, 58(11), p.2800-2811.
- [53] Wright, P. et al., 2009. A Methodology for Realizing High Efficiency Class-J in a Linear and Broadband PA. *IEEE Transactions on Microwave Theory And Techniques*, 57(12), p.3196-3204.
- [54] Tuffy, N. et al., 2011. Class-J RF Power Amplifier with Wideband Harmonic Suppression, In *Microwave Symposium Digest 2011 MTT11 IEEE MTTS International*. IEEE.
- [55] Teyssier, J.P, 1994. Caractérisation en impulsion des transistors microondes : application à la modélisation non linéaire pour la CAO des circuits. Thèse à l'Université de Limoges, laboratoire XLIM UMR/CNRS n°7172.
- [56] Charbonniaud, C. 2003. Caractérisation et modélisation électrothermique non linéaire de transistors à effet de champ GaN pour l'amplification de puissance micro-onde, Thèse à l'Université de Limoges, laboratoire XLIM UMR/CNRS n°7172.
- [57] <http://www.microwave.fr/EASY.html>.
- [58] Flucke, J., et al, 2009. An accurate package model for 60W GaN power transistors, *European Microwave Week 2009, EuMW 2009: Science, Progress and Quality at Radiofrequencies, Conference Proceedings - 4th European Microwave Integrated Circuits Conference, EuMIC 2009*, pp. 152.
- [59] Chun, C., et al, 1997. Development of microwave package models utilizing on-wafer characterization techniques, *IEEE Transactions on Microwave Theory and Techniques*, vol. 45, no. 10 PART 2, pp. 1948-1954.
- [60] Aaen, P.H., Pla, J.A. & Balanis, C.A., 2006. Modeling techniques suitable for CAD-based design of internal matching networks of high-power RF/microwave transistors. *IEEE Transactions on Microwave Theory And Techniques*, 54(7), p.3052-3059.
- [61] Demenitroux, W., et al, 2011. A New Multi-Harmonic Volterra Model dedicated to GaN Packaged Transistor or SSPA for Pulse Application, In *Microwave Symposium Digest MTTS 2011*.
- [62] Pla, J.A., Aaen, P.H. & Mahalingam, M., 1999. Equivalent-circuit modeling and verification of metal-ceramic packages for RF and microwave power transistors. *IEEE Transactions on Microwave Theory And Techniques*, 47(6), p.709-714.

- [63] Grove, F. W., 1946. Inductance calculations working formulas and tables, *Dover Publication, Inc.*, New York, 1946.
- [64] Mouthaan, K., et al, 1997. Microwave modelling and measurement of the self- and mutual inductance of coupled bondwires, in *Proc. Bipolar/BiCMOS Circuits and Techn. Meeting*, Minneapolis, 1997, pp. 166-169.
- [65] Chéron, J., Campovecchio, M., Barataud, D., Stanislawiak, M., Tolant, C., Eudeline, P., Floriot, D., Heckmann, S., Favède, L., Temcamani, F. & Duperrier, C. 2010, "Design of HEMT GaN power amplifiers with wideband control of 2nd harmonic impedances in S-band", *European Microwave Week 2010: Connecting the World, EuMIC 2010 - Conference Proceedings*, pp. 1.
- [66] Ramadan, A. et al., 2010. Experimental study on effect of second-harmonic injection at input of classes F and F-1 GaN power amplifiers. *Electronics Letters*, 46(8), p.570-572.
- [67] AlMuhaisen, A. et al., 2010. Novel Wide Band High-Efficiency Active Harmonic Injection Power Amplifier Concept. *Design*, p.664-667.
- [68] P. Colantonio, F. Giannini, R. Giofre, E. Limit, A. Serino, M. Peroni, P. Romanini, C. Proietti, "A C-band high-efficiency second-harmonic-tuned hybrid power amplifier in GaN technology," 2005 IEEE Trans MTT-S Dig., pp.491-494, June 2005.
- [69] H. Otsuka, K. Yamanaka, H. Noto, S. Chaki, A. Inoue, and M. Miyazaki, "Over 57% Efficiency C-band GaN HEMT High Power Amplifier with Internal Harmonic Manipulation Circuits," 2008 IEEE MTT-S Int. Microwave Symp. Dig., WE1E-03, June 2008.
- [70] S. Miwa, M. Kohno, Y. Kittaka, T. Yamasaki, Y. Tsukahara, T. Tanii, M. Kamo, S. Goto, and A. Shima, " A 67% PAE, 100 W GaN power amplifier with on-chip harmonic tuning circuits for C-band space applications," 2011 IEEE MTT-S Int. Microwave Symp. Dig., June 2011.
- [71] S. Dudkiewicz, "Vector-receiver load lull measurements," *microwave journal*, volume 54, no. 2, Feb 2011, pp. 88-98.
- [72] Aaen, P.H., Plá, J.A. & Balanis, C.A. 2006, "Modeling techniques suitable for CAD-based design of internal matching networks of high-power RF/microwave transistors", *IEEE Transactions on Microwave Theory and Techniques*, vol. 54, no. 7, pp. 3052-3058.
- [73] <http://literature.agilent.com/litweb/pdf/5965-7709E.pdf>.
- [74] Wu, D.Y.-T., Mkaem, F. & Boumaiza, S., 2010. Design of a broadband and highly efficient 45W GaN power amplifier via simplified real frequency technique. In *2010 IEEE MTTs International Microwave Symposium*. IEEE, pp. 1090-1093.

- [75] Nilsson, J., Billström, N., Rorsman, N. & Romanini, P. 2009, "S-band discrete and MMIC GaN power amplifiers", *European Microwave Week 2009, EuMW 2009: Science, Progress and Quality at Radiofrequencies, Conference Proceedings - 4th European Microwave Integrated Circuits Conference, EuMIC 2009*, pp. 495.
- [76] Poulton, M., Martin, J., Martin, J. & Aichele, D. 2010, "A compact S band 100W integrated gallium nitride multistage power amplifier", *European Microwave Week 2010: Connecting the World, EuMIC 2010 - Conference Proceedings*, pp. 13.
- [77] Campbell, C. F. and Dumka, D. C., "S-Band High Efficiency Class-E Power Amplifier MMICs Manufactured with a Production Released GaN on SiC Process". 2009 GOMAC-Tech Digest, pp. 227-230.
- [78] Yamasaki, T., Kittaka, Y., Minamide, H., Yamauchi, K., Miwa, S., Goto, S., Nakayama, M., Kohno, M. & Yoshida, N. 2010, "A 68% efficiency, C-band 100W GaN power amplifier for space applications", *IEEE MTT-S International Microwave Symposium Digest*, pp. 1384.
- [79] Iyomasa, K. et al., 2007. GaN HEMT 60W Output Power Amplifier with Over 50% Efficiency at C-Band 15% Relative Bandwidth Using Combined Short and Open Circuited Stubs. In *2007 IEEE MTT-S International Microwave Symposium*. IEEE, pp. 1255-1258.
- [80] Otsuka, H. et al., 2008. Over 57% efficiency C-band GaN HEMT high power amplifier with internal harmonic manipulation circuits. *2008 IEEE MTT-S International Microwave Symposium Digest*, p.311-314.
- [81] Krishnamurthy, K. et al., 2008. Wideband 400 W pulsed power GaN HEMT amplifiers. In *2008 IEEE MTT-S International Microwave Symposium Digest*. Ieee, pp. 303-306.
- [82] <http://www.triquint.com/>.

## Publications relatives à ce travail

---

[P1] **A.Martin, J.Chéron, R.Quéré, M.Campovecchio, A.Xiong, O.Jardel, C.Tolant, P.Eudeline**, « *Analyse des performances potentielles de filières PHEMT GaN et HBT GaAs pour l'amplification de puissance à haut rendement en bande S* » JNM 2009, Grenoble.

[P2] **J.Chéron, M.Campovecchio, D.Barataud, T.Reveyrand, M.Stanislawiak, C.Tolant, P.Eudeline, D.Floriot, S.Heckmann, L.Favède**, « *Wideband harmonic control of high efficiency high power GaN amplifiers in S-Band and power packaging issues* » Workshop ESA/MoD 2010 Noordwijk.

[P3] **J.Chéron, M.Campovecchio, D.Barataud, M.Stanislawiak, C.Tolant, P.Eudeline, D.Floriot, S.Heckmann, L.Favède, F.Temcamani, C.Duperrier**, « *Design of HEMT GaN power amplifiers with wideband control of 2nd harmonic impedances in S-band* » EUMW 2010 Paris.

[P4] **J.Chéron, M.Campovecchio, D.Barataud, T.Reveyrand, W.Demenitroux, M.Stanislawiak, P.Eudeline, D.Floriot**, « *Mise en œuvre d'un boîtier d'un transistor GaN optimisé haut rendement(70% PAE) et large bande (1 GHz) en bande S* », JNM 2011, Brest.

[P5] **J.Chéron, M.Campovecchio, D.Barataud, T.Reveyrand, M.Stanislawiak, P.Eudeline, D.Floriot, W.Demenitroux**, « *Design and Modeling Method of Package for Power GaN HEMTs to Limit the Input Matching Sensitivity* », INMMIC 2011 Vienne.

[P6] **J.Chéron, M.Campovecchio, D.Barataud, T.Reveyrand, M.Stanislawiak, P.Eudeline, D.Floriot, W.Demenitroux**, « *Harmonic Control In Package of Power GaN Transistors for High Efficiency and Wideband Performances in S-Band* », EUMW 2011 Manchester.





## **METHODE D'ENCAPSULATION OPTIMALE D'UNE TECHNOLOGIE HEMT GAN POUR LA CONCEPTION D'AMPLIFICATEURS LARGE BANDE A FORTE PUISSANCE ET HAUT RENDEMENT DESTINES AUX APPLICATIONS RADARS EN BANDE S.**

---

### **Résumé :**

Les applications radars requièrent aujourd'hui des performances très importantes en termes de puissance émise, de rendement et de bande passante, afin de réduire les coûts et l'encombrement des systèmes radars. Le transistor HEMT GaN est la technologie de puissance qui répond le plus favorablement aux applications radars en bande S. Des amplificateurs de puissance peuvent être désormais réalisés en technologie HEMT GaN de forts développements. Au cours de ces travaux de thèse, une nouvelle méthodologie d'encapsulation des barrettes de puissance GaN a été mise en œuvre afin de passer outre les techniques de conception actuelles limitant l'obtention des performances haut rendement sur de larges bandes passantes. Ainsi, une technique de synthèse de boîtier a permis d'assurer un fonctionnement optimal en rendement de la barrette de puissance GaN sur une large bande passante. Des démonstrateurs ont été réalisés et ont démontré des PAE de l'ordre 60%, associées à des puissances de sortie de 50 W sur une bande passante de 25% (autour de 3.2 GHz) en bande S. Ces démonstrateurs proposent également une très bonne robustesse à de fortes variations de TOS aux fréquences harmoniques et présentent une surface d'adaptation sur  $50 \Omega$  inférieure à  $0.7 \text{ cm}^2$ .

**Mots clés :** Amplification de puissance, Haut rendement, Large bande, Nitrure de gallium, Boîtier, Applications radars, Bande S.

## **OPTIMAL PACKAGING METHODOLOGY OF HEMT GAN TECHNOLOGY TO DESIGN HIGH EFFICIENCY AND WIDEBAND HIGH POWER AMPLIFIER FOR RADAR APPLICATIONS IN S-BAND.**

---

### **Abstract:**

Radar applications require more performances in terms of high efficiency, wideband and output power in order to minimize power consumption, system size and cooling. Henceforth, HEMT GaN transistor is the most suitable technology for high power requirements of radar applications in S-Band.

The aim of this thesis is to propose a new methodology for power bar packaging in order to overcome usual design techniques that limit both efficiency and wideband performances. Thus, a package design was optimized to obtain an optimal behaviour of the HEMT GaN power bar and to ensure high efficiency on wide bandwidth. Optimized packaged power bars were realized demonstrating 60% PAE with 50 W output power on 25% bandwidth in S-band (around 3.2 GHz). The robustness of these amplifiers was highlighted. They can withstand very high SWR at the harmonic frequencies without any change in performance. Moreover, dimensions of these optimized packaged power bars are lower than  $0.7 \text{ cm}^2$ .

**Keyword:** Power amplifier, High efficiency, Wideband, GaN, Package, Radar applications, S-Band.

---