

UNIVERSITÉ DE LIMOGES

ÉCOLE DOCTORALE Sciences et Ingénierie pour l'Information

FACULTÉ DES SCIENCES ET TECHNIQUES

Année : 2010

Thèse N° 36-2010

Thèse

pour obtenir le grade de

DOCTEUR DE L'UNIVERSITÉ DE LIMOGES

Discipline : Électronique des Hautes Fréquences, Photonique et Systèmes

présentée et soutenue par

Bruno BEN M'HAMED

le 14 Octobre 2010

**Contribution à l'analyse de la susceptibilité des
composants électroniques à des perturbations
transitoires : Caractérisation et modélisation des
éléments de protection**

Thèse dirigée par Alain REINEIX et François TORRÈS

Jury de thèse :

Président :

Bruno BARELAUD Professeur, XLIM/CNRS, Université de Limoges

Rapporteurs :

Marise BAFLEUR Directeur de Recherche CNRS, LAAS, Université de Toulouse
Flavio CANAVERO Professeur, Politecnico di Torino, Italie

Examineurs :

Patrick HOFFMANN Ingénieur, CEA/CEG (Centre d'Étude de Gramat)
John SHEPHERD Chef de Projet CEM R&D, Freescale Semiconductor, Toulouse
Alain REINEIX Directeur de Recherche CNRS, XLIM, Université de Limoges
François TORRÈS Chargé de Recherche CNRS, XLIM, Université de Limoges

“L’imagination est plus importante que le savoir”

Albert Einstein

Remerciements

Ce travail de thèse a été réalisé au sein du département Ondes et Systèmes Associés (OSA) du laboratoire XLIM de la faculté des Sciences et Techniques de Limoges. Cette thèse n'aurait pas vu le jour sans la participation de nombreuses personnes qui méritent mes plus profonds remerciements. Je voudrais commencer par remercier les directeurs successifs du département OSA, M. Bernard Jecko et M. Thierry Monédière, pour m'avoir accueilli durant ces années de thèse.

J'exprime mes remerciements à M. Alain Reineix, Directeur de Recherche CNRS à XLIM et directeur de thèse, pour m'avoir accueilli dans son équipe. Je le remercie tout particulièrement pour m'avoir proposé de postuler à ce sujet de thèse et pour la confiance qu'il a accordée à mon travail.

J'adresse aussi mes remerciements aux "Vulcaimologues", et en particulier M. Patrick Hoffmann, M. Bernard Pecqueux et M. Jean Christophe Joly du Centre d'Étude de Gramat pour leur collaboration, leurs idées et leur soutien dans le cadre du projet VULCAIM.

J'adresse mes sincères remerciements à M. Bruno Barelaud, Professeur à l'Université de Limoges, qui me fait l'honneur de présider le jury, ainsi qu'à Mme Marise Bafleur, Directeur de Recherche au LAAS-CNRS de l'Université de Toulouse et M. Flavio Canavero, Professeur à l'Université de Turin pour avoir accepté la responsabilité de juger ce travail en qualité de rapporteurs. Enfin je voudrais remercier également M. John Sheperd, Chef de Projet CEM R&D chez Freescale Semiconductor, pour avoir accepté d'examiner ce travail et de participer à ce jury.

Je tiens à remercier particulièrement M. François Torrès, Chargé de Recherche CNRS à XLIM et co-encadrant de ma thèse, pour sa participation très active dans les travaux de recherche que nous avons menés conjointement, pour m'avoir fait partager sa richesse culturelle et sa rigueur scientifique, pour ses explications toujours pertinentes et constructives, pour avoir su m'écouter dans les périodes de doute, et enfin pour sa patience concernant les corrections qu'il a apportées à ce manuscrit.

Je remercie les permanents du projet CEM du département OSA c'est-à-dire M. Christophe Guiffaut, M. Guillaume Andrieu et M. Omar Daffif pour leur disponibilité, leur savoir et leur contribution à la réussite de ce travail de recherche.

Mes remerciements vont aussi à Mlle Nadine AYMARD, secrétaire du département OSA,

pour sa gentillesse, sa disponibilité et sa redoutable efficacité dans les tâches administratives.

Un grand merci à toute les personnes que j'ai pu rencontrer à XLIM durant ses trois année de thèse et je pense particulièrement à Crash (Vive les globules rouges et blancs!!!), Marco (23 représente!!!), Serge (Aux armes, aux armes, nous sommes les Marseillais!!!), Moustafa, Hicham, Rodrigo, Aurélie, Rémy, Marylène, Aziz, Alia, Fred, Karima, Momo, Georges, Sébastien... Je tiens tout de même à faire une spéciale dédicace à mon ami et collègue Berrichon Manu, que je remercie pour les nombreux moments de complicité que nous avons pu avoir et pour nos discussions scientifiques et footballistiques (un jour nous irons voir les Verts à Gaston Petit!!!).

Enfin je souhaite remercier tous mes amis "Saint-Valériens" et ma famille pour m'avoir supporté tout au long de ces années d'étude. Je terminerai en remerciant ma mère pour son soutien moral sans faille et, à sa manière, elle a grandement participé à la réussite de mon parcours d'étudiant.

A la mémoire de mon père,

Table des matières

Table des matières	1
Table des figures	7
Liste des tableaux	15
Introduction	18
Chapitre 1 : Présentation du contexte de l'étude	21
1.1 Introduction	22
1.2 Présentation du projet VULCAIM	23
1.2.1 Agressions électromagnétiques intentionnelles (AGREMIs)	23
1.2.2 Méthodologie d'analyse	24
1.2.3 Présentation des sous-parties du projet	25
1.2.3.1 Couplage onde/système	25
1.2.3.2 Couplage champ/carte	26
1.2.3.3 Représentation des composants d'extrémité	26
1.2.3.4 Interactions entre les sous-parties	27
1.3 Contexte de l'étude	27
1.3.1 Évolution des technologies intégrées	28
1.3.1.1 Dimensionnement et intégration des transistors	28
1.3.1.2 L'évolution des technologies en quelques chiffres	29
1.3.1.3 Les marges d'immunité au bruit et la sensibilité des circuits	30
1.3.2 Les agressions électromagnétiques intentionnelles	31
1.3.2.1 Les agressions à bande étroite	31
1.3.2.2 Les agressions à large bande	32
1.3.3 Synthèse	33
1.4 Analyse de la susceptibilité des composants électroniques	35
1.4.1 Quelques rappels élémentaires sur la compatibilité électromagnétique (CEM)	35
1.4.1.1 Qu'est ce que la CEM et pourquoi s'en préoccuper ?	35
1.4.1.2 Comment évoluent les contraintes de la CEM ?	36
1.4.1.3 Notion de vulnérabilité et de susceptibilité	37
1.4.2 Couplage de la perturbation	38
1.4.2.1 Perturbation externe	38
1.4.2.2 Perturbation d'origine interne (ou auto-perturbation)	40
1.4.2.3 Cadre de notre étude	41
1.4.3 Quels sont les effets des perturbations sur les circuits intégrés ?	41
1.4.3.1 Les erreurs statiques	43
1.4.3.2 Les erreurs dynamiques	44
1.4.3.3 Les effets liés au phénomène de redressement	44
1.5 Techniques de mesure de la susceptibilité des composants	46
1.5.1 Reproduction des agressions	46
1.5.2 Les bancs d'injection normalisés pour les perturbations harmoniques	46
1.5.2.1 Le banc d'injection directe de puissance (Direct Power Injection - DPI)	47
1.5.2.2 Le banc d'injection par boucle de courant (Bulk Current Injection - BCI)	47
1.5.2.3 Le banc d'injection par cage de Faraday (Work Bench Faraday Cage - WBFC)	48
1.5.2.4 Synthèse	49

1.5.2.5	Présentation d'un cas d'étude	49
1.5.3	Les bancs d'injection de perturbations transitoires	51
1.5.3.1	Introduction	51
1.5.3.2	Perturbations ESD	52
1.5.3.3	Banc d'injection ULB	57
1.6	Modélisation de la susceptibilité des composants	58
1.6.1	Introduction	58
1.6.2	Les modèles circuit	59
1.6.3	Les modèles comportementaux	60
1.6.4	Les macro-modèles	61
1.6.4.1	Le modèle LECCS	62
1.6.4.2	Le modèle ICEM	62
1.6.4.3	Le modèle ICIM	63
1.7	Conclusion	64

Chapitre 2 : Analyse des différentes solutions de protection des circuits électroniques 67

2.1	Introduction	68
2.2	Optimisation de l'immunité des cartes électroniques	68
2.2.1	Règles de conception des cartes comme outil de protection	68
2.2.2	Protection à base d'éléments passifs	70
2.2.3	Protection à base d'éléments actifs	72
2.3	Les éléments de protection discrets (protections "Off-Chip")	74
2.3.1	Introduction	74
2.3.2	Implantation et fonctionnement des protections discrètes	75
2.3.3	Les composants de protection	77
2.3.3.1	Les diodes PN	77
2.3.3.2	Les diodes Zener	78
2.3.3.3	Les diodes Schottky	78
2.3.3.4	Les diodes TVS	79
2.3.3.5	Les varistances	80
2.3.3.6	Les réseaux de protections	81
2.3.3.7	Synthèse	81
2.3.4	La modélisation des protections discrètes	82
2.4	La protection des circuits intégrés numériques (protections "On-Chip")	83
2.4.1	Architecture physique des circuits intégrés numériques	83
2.4.2	Intégration de protection ESD dans les puces des circuits intégrés numériques	84
2.4.3	Les différents composants de protection dans les circuits intégrés	85
2.4.3.1	Les résistances	86
2.4.3.2	Les diodes	87
2.4.3.3	Le transistor bipolaire	88
2.4.3.4	Le thick-MOS	88
2.4.3.5	Le grounded-gate MOS (ggMOS)	89
2.4.3.6	Le gate-coupled MOS (gcMOS)	90
2.4.3.7	Le thyristor	90
2.4.3.8	Synthèse	91
2.4.4	Les stratégies de protection dans les circuits intégrés	92
2.4.5	Le modèle IBIS	94
2.4.5.1	Présentation	94

2.4.5.2	Représentation IBIS du comportement statique des éléments de protection ESD	96
2.4.6	Extraction des caractéristiques intrinsèques des protections avec le modèle SPICE	97
2.4.6.1	Principe de modélisation	97
2.4.6.2	Application à des étages de protection ESD des circuits intégrés	99
2.5	Influence des protections ESD sur la susceptibilité des circuits intégrés numériques aux perturbations HF	104
2.5.1	La transparence des circuits de protection : un critère de plus en plus déterminant	104
2.5.2	Comment le modèle IBIS définit-il le comportement dynamique des étages d'entrée des circuits intégrés?	105
2.5.3	Mise en évidence du comportement non-linéaire des capacités parasites	106
2.6	Conclusion	109

Chapitre 3 : Modélisation expérimentale du comportement transitoire des éléments de protection 111

3.1	Introduction	112
3.2	Modélisation SPICE des diodes	112
3.2.1	Les différents modèles SPICE de diodes	113
3.2.2	Description du formalisme SPICE des diodes	114
3.2.2.1	Description de la constitution physique des diodes	114
3.2.2.2	Modélisation SPICE de la diode polarisée en direct	116
3.2.2.3	Modélisation SPICE de la diode polarisée en inverse	117
3.2.2.4	Influence de la température	119
3.2.2.5	Modélisation SPICE du comportement dynamique	120
3.3	Procédure expérimentale	121
3.3.1	Principe	122
3.3.2	Constitution du banc de mesure	123
3.3.2.1	Présentation	123
3.3.2.2	Description du circuit de mesure	123
3.3.2.3	Génération de l'impulsion électrique d'entrée	125
3.3.3	Acquisition et visualisation des signaux	126
3.3.4	Caractéristiques de l'oscilloscope et des sondes de prélèvement	126
3.3.5	Procédure d'étalonnage	128
3.3.5.1	Synchronisation des signaux	128
3.3.5.2	Prise en compte des délais entre sondes	129
3.3.5.3	Étalonnage des sondes de mesure	130
3.4	Présentation du programme d'extraction de paramètres	131
3.4.1	Définition du cœur analytique	131
3.4.1.1	Algorithme d'extraction des paramètres	132
3.4.1.2	Estimation des conditions initiales	134
3.5	Validation de la méthodologie	137
3.5.1	Premiers résultats	138
3.5.2	Mise en évidence des phénomènes de recouvrement	139
3.5.2.1	Phénomène de recouvrement inverse	139
3.5.2.2	Phénomène de recouvrement direct	141
3.5.3	Modèle de diode avec prise en compte des recouvrements	142
3.5.3.1	Le modèle de Lauritzen	142
3.5.3.2	Le modèle de Tseng	145

3.5.3.3	Synthèse sur la modélisation du recouvrement	148
3.5.4	Redéfinition de la capacité de jonction	148
3.5.5	Validation de la méthodologie	152
3.6	Conclusion	155
Chapitre 4	Validation de la méthodologie et étude du comportement des éléments de protection en présence de perturbations transitoires	157
4.1	Introduction	158
4.2	Validation de la méthodologie	158
4.2.1	Modélisation de protections discrètes	158
4.2.1.1	Diodes TVS	158
4.2.1.2	Diodes "Zener"	161
4.2.1.3	Diodes Schottky	164
4.2.1.4	Diode illustrant le phénomène de recouvrement direct	166
4.2.1.5	Diode TVS de dernière génération	170
4.2.1.6	Synthèse	171
4.2.2	Modélisation des étages de protection des circuits intégrés	172
4.2.2.1	Introduction	172
4.2.2.2	Circuit logique MM74HC04M	175
4.2.2.3	Circuit logique NC7S04M5X	182
4.2.2.4	Circuit programmable EPLD EPM7064AE	187
4.2.2.5	Synthèse	192
4.3	Étude du comportement dans le domaine temporel des éléments de protection en présence de perturbations	192
4.3.1	Écrêtage d'un signal sinusoïdal	192
4.3.1.1	Protection de type discret	192
4.3.1.2	Protections ESD intégrées	197
4.3.2	Écrêtage d'une perturbation transitoire par des protections intégrées	199
4.3.2.1	Protections intégrées du circuit logique MM74HC04	199
4.3.2.2	Protections intégrées du circuit logique NC7S04M5X	201
4.3.2.3	Protections intégrées du circuit programmable EPLD EPM7064AE203	201
4.4	Conclusion	205
Conclusion Générale		208
Bibliographie		222
Annexes		223
Glossaire		224
Publications et communications relatives à ce travail		226
Annexe 1 : Équations aux variables d'état : Cas de la diode		227
Annexe 2 : Équations aux variables d'état : Cas de la diode avec intégration des éléments parasites du boîtier		229
Annexe 3 : Équations aux variables d'état : Cas d'une protection Power Clamp d'un circuit intégré numérique		231
Annexe 4 : Équations aux variables d'état : Cas d'une protection Ground Clamp d'un circuit intégré numérique		233
Annexe 5 : Implantation du modèle de Lauritzen dans la définition SPICE d'une diode		235
Annexe 6 : Implantation du modèle de Tseng dans la définition SPICE d'une diode		239

Table des figures

1	Première loi de Moore [1]	18
1.1	Principe du couplage d'une perturbation sur un système	24
1.2	Cycle d'étude du projet VULCAIM [4]	25
1.3	(a) Coupe schématique d'un transistor NMOS; (b) Photographie d'une coupe d'un transistor MOS [10]	28
1.4	(a) Évolution des seuils de commutation dans la technologie CMOS; (b) Évolution des tendances à court terme [12]	30
1.5	Bande spectrale des différents types d'AGREMI [14]	31
1.6	Dispositif d'une source MFP	31
1.7	Puissance et énergie délivrées par les AGREMIs [19]	34
1.8	Estimation du champ électrique et de la puissance d'une onde MFP à une certaine distance [20]	34
1.9	La notion de compatibilité entre les systèmes [23]	36
1.10	Fossé de compatibilité [2]	37
1.11	Pénétration de l'agression et couplage sur la structure	38
1.12	(a) Auto-perturbation entre circuits en mode conduit; (b) Auto-perturbation entre circuits en mode rayonné	40
1.13	Exemple de bruit de commutation simultanée [26]	40
1.14	(a) Fusion d'un fil de connexion par une impulsion ESD [36]; (b) Exemple de détérioration d'une puce par une impulsion ULB [37]	42
1.15	(a) Génération d'erreurs statiques en présence d'une perturbation harmonique; (b) Génération d'erreurs statiques en présence d'une perturbation transitoire [31]	43
1.16	Mise en évidence des erreurs dynamiques	44
1.17	Illustration du phénomène de détection d'enveloppe [45]	45
1.18	Banc d'injection directe de puissance	47
1.19	Banc d'injection de courant	48
1.20	Banc d'injection par cage de Faraday	48
1.21	Courbe de susceptibilité de composants simples [45]	50
1.22	Évolution de l'immunité transitoire des générations d'ordinateur [58]	52
1.23	Circuit RLC équivalent et forme d'onde d'une décharge issue du modèle HBM [64]	54
1.24	Circuit RLC équivalent et forme d'onde d'une décharge issue du modèle MM [64]	54
1.25	Circuit RLC équivalent et forme d'onde d'une décharge issue du modèle CDM [64]	55
1.26	Banc d'injection impulsion transitoire	56
1.27	Banc de mesure transitoire [76]	57
1.28	Modèle d'Ebers-Moll grand signal d'un transistor bipolaire [77]	59
1.29	Principe de fonctionnement du réseau de neurones [56]	60
1.30	Structure d'un modèle LECCS complet [26]	62
1.31	Structure électrique du modèle ICEM [29]	63
1.32	Structure électrique du modèle ICIM [89]	64
2.1	Rapport (surface boîtier/surface puce) selon les boîtiers et les années [92]	69
2.2	(a) Exemple de ferrites disponibles sur le marché; (b) Filtre EMI en technologie CMS	70
2.3	Exemple d'implantation de filtres EMI dans un circuit intégré analogique	71
2.4	Dimensionnement des étages de protection pour satisfaire aux exigences ESD [95]	72
2.5	Miniaturisation des circuits actifs [99]	74
2.6	Principe de fonctionnement d'une protection	76
2.7	Caractéristique statique d'une diode à jonction PN	77
2.8	Caractéristique statique d'une diode Zener	78
2.9	Caractéristique statique d'une diode Schottky	79
2.10	(a) Symbole d'une protection TVS unidirectionnelle; (b) Symbole d'une protection TVS bidirectionnelle	80

2.11	Caractéristique statique d'une varistance	80
2.12	(a) Réseau de protection pour une interface LAN en boîtier SOT143 [106]; (b) Réseau de protection pour une interface LAN en boîtier TSSOP14 [106]	81
2.13	Schéma électrique équivalent du modèle SPICE des diodes [77]	82
2.14	Structure d'un circuit intégré numérique [108]	83
2.15	(a) Structure interne d'un circuit intégré; (b) Photographie d'une structure interne	84
2.16	Exemple d'intégration de diodes de protection ESD dans un layout d'un inverseur CMOS [42]	84
2.17	Mécanisme de conduction des éléments de protection ESD [112]	86
2.18	(a) Structure de protection ESD avec des diodes classiques [45]; (b) Structure de protection ESD associant différents types de diode [114]	87
2.19	Structure de protection ESD avec des transistors bipolaires [114]	88
2.20	Structure de protection ESD avec un transistor à oxyde épais [114]	89
2.21	Structure de protection ESD avec un transistor ggMOS [114]	89
2.22	Structure de protection ESD avec un transistor à gcMOS [114]	90
2.23	Structure physique et électrique d'un thyristor [117]	91
2.24	Caractéristiques statiques des différents composants de protection [34]	91
2.25	Schéma de principe pour la protection d'un circuit intégré CMOS [34]	92
2.26	Exemple de stratégie de protection d'une entrée d'un circuit intégré [114]	93
2.27	Schéma électrique équivalent d'une entrée selon le modèle IBIS [119]	95
2.28	Schéma électrique équivalent d'une sortie selon le modèle IBIS [119]	95
2.29	(a) Caractéristique statique de la protection PowerClamp (Référéncée à l'alimentation) - Motorola MC74LCX652; (b) Caractéristique statique de la protection GroundClamp - Motorola MC74LCX652	96
2.30	Schéma équivalent du comportement statique des diodes selon le modèle SPICE	98
2.31	(a) Table IBIS/Modèle SPICE pour la protection PowerClamp d'entrée du MC74AC00 de ON Semiconductor ($I_s=5.0685\text{pA}$ $N=1.6241$ $R_s=1.0916\Omega$); (b) Table IBIS/Modèle SPICE pour la protection GroundClamp d'entrée du MC74AC00 de ON Semiconductor ($I_s=0.4361\text{nA}$ $N=1.7328$ $R_s=1.7094\Omega$)	99
2.32	Effet des différents niveaux d'injection sur le courant direct de diode [77]	100
2.33	(a) Table IBIS/Modèle SPICE pour la protection PowerClamp d'entrée du MM74HCT32 de Fairchild ($I_s=13.6461\text{fA}$ $N=1.5964$ $R_s=25.6531\Omega$); (b) Table IBIS/Modèle SPICE pour la protection GroundClamp d'entrée du MM74HCT32 de Fairchild ($I_s=34.221\text{pA}$ $N=1.5492$ $R_s=5.0859\Omega$)	101
2.34	Circuit de protection de la famille AHC-AHCT du fabricant Texas Instruments [126]	101
2.35	(a) Caractéristique statique de la protection PowerClamp (Référéncée à l'alimentation) - Texas Instrument SN74AHC1G00; (b) Caractéristique statique de la protection GroundClamp (Référéncée à la masse) - Texas Instrument SN74AHC1G00	102
2.36	Table IBIS/Modèle SPICE pour la protection GroundClamp d'entrée du SN74AHC1G00 de Intel ($I_s=0.5667\text{nA}$ $N=1.6104$ $R_s=5.2945\Omega$)	103
2.37	Caractéristique I/V de la protection PowerClamp - Altera Excalibur	103
2.38	Redéfinition du schéma électrique des éléments de protection dans le modèle IBIS	106
2.39	Circuit simulé pour la mise en évidence des effets dynamiques [119]	107
2.40	(a) Schéma électrique du modèle statique; (b) Schéma électrique du modèle dynamique bas niveau	107
2.41	(a) Effet capacitif des diodes; (b) Effet capacitif des diodes - Zoom sur le front de montée de l'impulsion	108
3.1	Présentation de la méthodologie développée pour la caractérisation des éléments de protection	112
3.2	Schéma de principe et constitution d'une diode à jonction PN	114

3.3	Caractéristique I/V d'une diode à jonction PN	115
3.4	Schéma électrique équivalent du modèle SPICE des diodes [77]	116
3.5	Profil de concentrations des porteurs en polarisation directe [143]	116
3.6	Profil de concentrations des porteurs en polarisation inverse [143]	118
3.7	Effet de la température sur une caractéristique statique de diode en polarisation directe (a) et en polarisation inverse (b)	119
3.8	Schéma du circuit de mesure	122
3.9	Banc de mesure pour la caractérisation expérimentale du comportement transitoire des éléments de protection	123
3.10	Intégration du circuit de mesure	124
3.11	Schéma électrique équivalent du circuit de mesure	124
3.12	(a) Circuit de mesure; (b) Intégration des sondes de l'oscilloscope	127
3.13	Circuit de mesure (a) Vue de dessus; (b) Vue de côté	129
3.14	(a) Allure temporelle des signaux prélevés; (b) Évaluation du délai à mi-hauteur	129
3.15	Application d'un facteur de correction d'amplitude	130
3.16	(a) Circuit électrique équivalent du circuit de mesure; (b) Photographie d'un circuit de mesure	131
3.17	Algorithme d'extraction des paramètres	133
3.18	(a) Circuit équivalent de la diode à bas niveau; (b) Schéma électrique du circuit de mesure à bas niveau	134
3.19	(a) Allure temporelle des signaux $V_{in}(t)$ et $V_{out}(t)$; (b) Estimation de la capacité de jonction à bas niveau - NXP PESD12VS1UB	136
3.20	(a) Allure temporelle des signaux $V_{in}(t)$ et $V_{out}(t)$; (b) Estimation de la capacité de jonction à bas niveau - Semtech RCLAMP0502B	136
3.21	Simulation SPICE avec le modèle standard des diodes - PESD12VS1UB	138
3.22	(a) Illustration du phénomène de recouvrement inverse sur l'allure temporelle de la tension; (b) Zoom sur le comportement de la diode lors d'une commutation à l'ouverture	139
3.23	Illustration des différentes phases lors d'une commutation à la fermeture [155]	140
3.24	Illustration du phénomène de recouvrement direct	141
3.25	(a) Distribution des charges dans une jonction en polarisation directe à forte injection [161]; (b) Division de la jonction en plusieurs régions pour la modélisation en charges localisées [161]	142
3.26	Simulation SPICE avec le modèle de Lauritzen - PESD12VS1UB	144
3.27	Schéma électrique équivalent du modèle SPICE des diodes avec intégration du formalisme de recouvrement direct et inverse du modèle de Tseng	146
3.28	Simulation SPICE avec le modèle de Tseng - PESD12VS1UB	147
3.29	Comparatif des formalismes SPICE et Graaff/Klaassen de la capacité de jonction	149
3.30	Comparatif des formalismes SPICE et Graaff/Klaassen de la capacité de jonction	150
3.31	Simulation SPICE avec le modèle de Tseng/Graaff - PESD12VS1UB	151
3.32	Résultats de simulation et d'expérimentation avec une impulsion d'amplitude 3V et un temps de montée de 50ns - PESD12VS1UB - NXP	152
3.33	Résultats de simulation et d'expérimentation avec une impulsion très rapide - PESD12VS1UB	153
3.34	(a) Schéma électrique du circuit de mesure intégrant le différenciateur passif; (b) Circuit de mesure	154
3.35	Résultats de simulation et d'expérimentation avec une impulsion bipolaire - PESD12VS1UB	154
4.1	(a) Définition des paramètres; (b) Caractéristiques électriques de la diode TVS Semtech UCLAMP1201H	159
4.2	(a) Allure temporelle des signaux $V_{in}(t)$ et $V_{out}(t)$; (b) Estimation de la capacité de jonction à bas niveau - TVS Semtech UCLAMP1201H	159

4.3	Simulation SPICE avec le modèle de Tseng/Graaff - TVS Semtech UCLAMP1201H . . .	160
4.4	(a) Définition des paramètres; (b) Caractéristiques électriques de la diode Zener ON Semiconductor MMSZ4678T1G	161
4.5	(a) Allure temporelle des signaux $V_{in}(t)$ et $V_{out}(t)$; (b) Estimation de la capacité de jonction à bas niveau - Zener ON Semiconductor MMSZ4678LT1G	162
4.6	Résultats de simulation et d'expérimentation avec une impulsion bipolaire - Zener ON Semiconductor MMSZ4678LT1G	163
4.7	(a) Alternance positive; (b) Alternance négative - Zener ON Semiconductor MMSZ4678LT1G	163
4.8	(a) Définition des paramètres; (b) Caractéristiques électriques de la diode Schottky NXP 1PS76SB40	164
4.9	(a) Allure temporelle des signaux $V_{in}(t)$ et $V_{out}(t)$; (b) Estimation de la capacité de jonction à bas niveau - Schottky NXP 1PS76SB40	165
4.10	Simulation SPICE avec le modèle de Tseng/Graaff - Schottky NXP 1PS76SB40	165
4.11	(a) Définition des paramètres; (b) Caractéristiques électriques de la diode ON Semiconductor BAV99LT1G	166
4.12	Simulation SPICE avec le modèle de Tseng/Graaff - ON Semiconductor BAV99LT1G	167
4.13	(a) Modèle hyperfréquence d'une résistance [166]; (b) Comportement hyperfréquence d'une résistance [166]	168
4.14	(a) Circuit de mesure classique; (b) Circuit de mesure avec intégration des résistances HF	168
4.15	(a) Circuit de mesure classique; (b) Simulation SPICE avec le modèle de Tseng/Graaff et les résistances RF - ON Semiconductor BAV99LT1G	169
4.16	Schéma électrique de la diode avec ses éléments parasites	169
4.17	(a) Définition des paramètres; (b) Caractéristiques électriques de la diode TVS ON Semiconductor ESD9L5.0ST5G	170
4.18	Simulation SPICE avec le modèle de Tseng/Graaff - TVS ON Semiconductor ESD9L5.0ST5G	171
4.19	Schéma électrique équivalent d'une entrée selon le modèle IBIS [119]	172
4.20	Circuit électrique équivalent pour la modélisation de la protection GroundClamp	173
4.21	Circuit électrique équivalent pour la modélisation de la protection PowerClamp	174
4.22	(a) Caractéristique statique de la protection PowerClamp (Référéncée à l'alimentation); (b) Caractéristique statique de la protection GroundClamp - Fairchild MM74HC04M	175
4.23	(a) Caractéristique statique de la protection PowerClamp; (b) Caractéristique statique de la protection GroundClamp - Fairchild MM74HC04M	175
4.24	Caractérisation de l'élément de protection GroundClamp du circuit Fairchild MM74HC04M (a) Montage; (b) Circuit de mesure	176
4.25	Structure d'un transistor MOS	177
4.26	Mise en évidence des capacités parasites présentes à l'entrée d'un circuit intégré	177
4.27	Estimation de la capacité d'entrée en accédant directement à la protection GroundClamp - Fairchild MM74HC04M	178
4.28	(a) Résultats de mesure et de simulation pour l'élément GroundClamp; (b) Zoom sur le palier positif de l'impulsion - Fairchild MM74HC04M	180
4.29	Caractérisation de la protection PowerClamp du circuit Fairchild MM74HC04M (a) Montage; (b) Circuit de mesure	180
4.30	Estimation de la capacité d'entrée en accédant directement à la protection PowerClamp - Fairchild MM74HC04M	181
4.31	(a) Résultats de mesure et de simulation pour l'élément PowerClamp; (b) Zoom sur le palier positif de l'impulsion - Fairchild MM74HC04M	182
4.32	(a) Caractéristique statique de la protection PowerClamp; (b) Caractéristique statique de la protection GroundClamp - Fairchild NC7S04M5X	183

4.33	Caractérisation de la protection GroundClamp du circuit Fairchild NC7S04M5X (a) Montage; (b) Circuit de mesure	183
4.34	Estimation de la capacité d'entrée en accédant directement à la protection GroundClamp - Fairchild NC7S04M5X	184
4.35	(a) Résultats de mesure et de simulation pour l'élément GroundClamp; (b) Zoom sur le palier positif de l'impulsion - Fairchild NC7S04MX5	185
4.36	(a) Caractérisation de la protection PowerClamp du circuit Fairchild NC7S04M5X (a) Montage; (b) Circuit de mesure	185
4.37	Estimation de la capacité d'entrée en accédant directement à la protection PowerClamp - Fairchild NC7S04M5X	186
4.38	(a) Résultats de mesure et de simulation pour l'élément PowerClamp; (b) Zoom sur le palier positif de l'impulsion - Fairchild NC7S04M5X	187
4.39	(a) Caractéristique statique de la protection PowerClamp; (b) Caractéristique statique de la protection GroundClamp - Altera EPLD EPM7064AE	188
4.40	(a) Caractérisation de la protection GroundClamp du circuit Altera EPLD EPM7064AE (a) Montage; (b) Circuit de mesure	189
4.41	Estimation de la capacité d'entrée en accédant directement à la protection GroundClamp - Altera EPLD EPM7064AE	189
4.42	(a) Résultats de mesure et de simulation pour l'élément GroundClamp du circuit; (b) Zoom sur le palier positif de l'impulsion - Altera EPLD EPM7064AE	190
4.43	(a) Caractérisation de la protection PowerClamp du circuit Altera EPLD EPM7064AE (a) Montage; (b) Circuit de mesure	191
4.44	Réponse transitoire de l'élément PowerClamp de l'EPLD à une impulsion de 5V	191
4.45	(a) Schéma électrique du circuit de mesure en configuration d'écrêtage avec des protections discrètes; (b) Circuit de mesure - Diodes NXP PESD12VS1UB	193
4.46	(a) Schéma électrique du circuit de régulation en tension; (b) Circuit de mesure avec intégration du régulateur de tension et de la sonde de courant	193
4.47	Simulation SPICE de l'écrêtage du sinus avec les diodes NXP PESD12VS1UB	194
4.48	(a) Ecrêtage alternance positive de la sinusoïde; (b) Ecrêtage alternance négative de la sinusoïde - Diodes NXP PESD12VS1UB	195
4.49	Allure du courant dans la diode D2	195
4.50	Schéma électrique du montage pour l'analyse du comportement des diodes face un burst RF	196
4.51	Simulation SPICE de l'écrêtage d'un burst RF avec les diodes TVS ON Semiconductor ESD9L5.0ST5G	196
4.52	(a) Schéma électrique pour l'analyse des phases d'écrêtage du circuit MM74HC04M; (b) Circuit de mesure - Fairchild MM74HC04M	197
4.53	Simulation SPICE de l'écrêtage du sinus par l'étage de protection du circuit Fairchild MM74HC04M	198
4.54	(a) Ecrêtage alternance positive de la sinusoïde; (b) Ecrêtage alternance négative de la sinusoïde - Fairchild MM74HC04M	198
4.55	(a) Schéma électrique pour l'analyse des phases d'écrêtage du circuit MM74HC04M; (b) Circuit de mesure - Circuit Fairchild MM74HC04M	199
4.56	Analyse du comportement transitoire de l'étage de protection du circuit MM74HC04	200
4.57	(a) Ecrêtage de alternance positive du signal bipolaire; (b) Ecrêtage de l'alternance négative du signal bipolaire - Fairchild MM74HC04M	200
4.58	(a) Schéma électrique du circuit de mesure pour l'analyse en configuration de protection avec le circuit Fairchild NC7S04M5X; (b) Circuit de mesure	201
4.59	Analyse du comportement transitoire de l'étage de protection du circuit Fairchild NC7S04M5X	202

4.60	(a) Ecrêtage de l'alternance positive; (b) Ecrêtage de l'alternance négative - Fairchild NC7S04M5X	202
4.61	(a) Schéma électrique du circuit de mesure pour l'analyse en configuration de protection avec le circuit Altera EPLD EPM7064AE; (b) Circuit de mesure	203
4.62	Analyse du comportement transitoire de l'étage de protection du circuit Altera EPLD EPM7064AE	204
4.63	(a) Ecrêtage de l'alternance positive du signal bipolaire; (b) Ecrêtage de l'alternance négative du signal bipolaire - Altera EPLD EPM7064AE	204
5.64	Schéma électrique équivalent du circuit avec l'intégration du modèle SPICE de la diode .	227
5.65	Intégration des éléments parasites du boîtier dans le modèle de diode	229
5.66	Schéma électrique équivalent du circuit avec l'intégration du modèle SPICE de la diode et des éléments parasites du boîtier	229
5.67	Schéma électrique équivalent du circuit pour modéliser la protection Power Clamp d'un circuit intégré	231
5.68	Schéma électrique équivalent du circuit pour modéliser la protection Ground Clamp d'un circuit intégré	233
5.69	Schéma électrique équivalent du sous-circuit d'une diode avec le modèle de Lauritzen . .	236
5.70	Schéma électrique équivalent du sous-circuit d'une diode avec le modèle de Lauritzen/Graaff	238
5.71	Schéma électrique équivalent du sous-circuit d'une diode avec le modèle de Tseng	240
5.72	Schéma électrique équivalent du sous-circuit d'une diode avec le modèle de Tseng/Graaff	242

Liste des tableaux

1.1	Évolution des paramètres technologiques selon l'ITRS	29
1.2	Évolution des marges de bruit des technologies CMOS	30
1.3	Caractéristiques électriques des agressions de type MFP	32
1.4	Caractéristiques électriques des agressions de type ULB	33
1.5	Comparaison des effets associés aux diverses menaces transitoires [59]	52
3.1	Spécifications des générateurs du banc de mesure	125
3.2	Spécifications sur le temps de montée de l'oscilloscope Tektronix DPO7354	126
3.3	Caractéristiques électriques des sondes Tektronix TAP3500	127
3.4	Caractéristiques de la diode NXP PESD12VS1UB	135
3.5	Caractéristiques de la diode Semtech RCLAMP0502B	136
3.6	Comparaison des paramètres SPICE pour la diode NXP-PESD12VS1UB	138
3.7	Valeurs des paramètres du modèle de Lauritzen extraits pour la diode NXP-PESD12VS1UB	144
3.8	Valeurs des paramètres du modèle de Tseng extraits pour la diode NXP-PESD12VS1UB	147
3.9	Confrontation des valeurs des paramètres issus du modèle SPICE et du modèle de De Graaff et Klaassen pour un cas d'étude	149
3.10	Paramètres extraits avec le formalisme de Tseng/Graaff - NXP PESD12VS1UB	151
4.1	Paramètres extraits avec le formalisme de Tseng/Graaff - TVS Semtech UCLAMP1201H	160
4.2	Paramètres extraits avec le formalisme de Tseng/Graaff - Zener ON Semiconductor MMSZ4678T1G	162
4.3	Paramètres extraits avec le formalisme de Tseng/Graaff - Schottky NXP 1PS76SB40 . .	165
4.4	Paramètres extraits avec le formalisme de Tseng/Graaff - ON Semiconductor BAV99LT1G	166
4.5	Paramètres extraits avec le formalisme de Tseng/Graaff - TVS ON Semiconductor ESD9L5.0ST5G	170
4.6	Paramètres extraits avec le formalisme de Tseng/Graaff - Élément GroundClamp Fairchild MM74HC04M	179
4.7	Paramètres extraits avec le formalisme de Tseng/Graaff - Élément PowerClamp Fairchild MM74HC04M	182
4.8	Paramètres extraits avec le formalisme de Tseng/Graaff - Élément GroundClamp NC7S04M5X	184
4.9	Paramètres extraits avec le formalisme de Tseng/Graaff - Élément PowerClamp Fairchild NC7S04M5X	186
4.10	Paramètres extraits avec le formalisme de Tseng/Graaff - Élément GroundClamp Altera EPLD EPM7064AE	190

Introduction

L'industrie des semi-conducteurs est un secteur d'activité qui évolue constamment malgré les barrières technologiques rencontrées au cours de la dernière décennie. Cette croissance est assurée par la production régulière de nouvelles générations lithographiques permettant ainsi la réduction du volume physique des composants.

Les lois empiriques de G.E. Moore [1] ont contribué à la croissance des technologies et actuellement, elles servent encore de référence en dépit des difficultés technologiques qui sont apparues au fil du temps. Historiquement, G.E Moore a élaboré une loi en 1965 qui permettait de quantifier l'évolution technologique des composants. Au fil du temps les lois de Moore ont été réévaluées dans le but d'avoir une vision la plus déterministe possible sur la prédiction de la densité de transistors sur une puce de silicium. Les travaux de Moore se basent sur le raisonnement qui énonce que le nombre de transistors des microprocesseurs double tous les deux ans. Cette

loi s'est rapidement révélée exacte et Moore estime qu'elle se poursuivra jusqu'en 2017, date à laquelle elle devrait rencontrer les limites physiques des semi-conducteurs actuels. L'industrie du semi-conducteur a donc fourni des efforts notables pour poursuivre l'intégration accrue de composants sur une même puce.

Les évolutions des procédés de fabrication font qu'il est désormais possible d'assembler un grand nombre d'éléments sur une même puce, ce qui a permis d'accroître les fréquences de fonctionnement et de diminuer les tensions d'alimentation des circuits. En contrepartie, les composants sont de plus en plus sensibles aux éventuelles perturbations externes du fait de la diminution des marges d'immunité au bruit.

Compte tenu du fait que les systèmes électroniques jouent un rôle majeur dans les domaines civils et militaires, il est désormais inconcevable de ne pas se préoccuper des problèmes de compatibilité électromagnétique (CEM), et notamment de la cohabitation de ces systèmes dans un environnement électromagnétique qui est de plus en plus pollué par la prolifération des systèmes de communications radio fréquences (RF) représentant des perturbateurs potentiels.

Dans le domaine militaire, l'apparition d'armes électromagnétiques comme les micro-ondes de fortes puissances (MFP) a renforcé le besoin de qualifier les systèmes afin de déterminer le niveau maximum qu'ils peuvent supporter sans que leurs fonctions vitales soient altérées. Ce niveau prend la forme d'un observable qu'il est aussi nécessaire de déterminer judicieusement. D'autre part, il convient d'évaluer les conséquences du couplage d'un parasite électromagnétique sur le comportement global du système et ce en fonction du niveau de la perturbation. Le projet VULCAIM (VULnérabilité des CArtes de circuit IMprimée) a été élaboré pour répondre à ce besoin, et une méthodologie d'analyse globale a été mise en place. L'objectif principal de ce projet consiste à étudier la propagation des ondes AGREMIs (AGRESSIONS ElectroMagnetiques

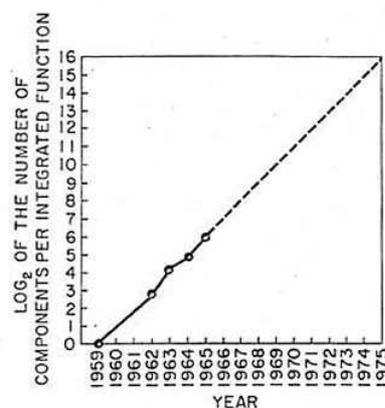


Fig. 2 Number of components per integrated function for minimum cost per component extrapolated vs time.

FIGURE 1 – Première loi de Moore [1]

Intentionnelles) sur des systèmes complexes et à en déduire les problèmes de vulnérabilité permettant de rendre compte des éventuels dysfonctionnements. Face à la complexité de l'étude dans son ensemble, la démarche du projet propose de mettre en œuvre des approches simplifiées pour réaliser les études aux différents niveaux de couplage. Dans le cadre des travaux de thèse présentés dans ce manuscrit, nous proposons de contribuer à la démarche du projet en analysant les effets du couplage d'une onde AGREMI sur les composants électroniques. Le composant joue un rôle des plus déterminant dans ce projet car il se situe en bas de la chaîne de couplage et il est le point de départ de la chaîne vulnérabilité.

Dans la phase de couplage de l'onde perturbatrice sur le système électronique, nous avons considéré que le parasite électromagnétique est en mesure de se coupler sur les pistes des circuits imprimés avec une certaine atténuation (due en partie à l'efficacité de blindage de la structure et à la propagation du signal) et que celui-ci peut atteindre les différents circuits intégrés qui composent la carte électronique. En d'autres termes nous considérons que la perturbation se propage par conduction vers les entrées/sorties des composants.

L'étude de la susceptibilité des composants est un domaine d'exploration assez vaste de la CEM et nous proposons donc dans le premier chapitre de ce manuscrit de présenter les différentes menaces et techniques de caractérisation d'un point de vue expérimental, que nous compléterons avec les différents travaux de modélisation. En fonction des exigences de notre étude, que nous aurons préalablement définies, nous verrons quels sont les apports de ces différentes techniques vis-à-vis de notre démarche.

L'étude de la vulnérabilité à l'échelle du composant électronique étant relativement complexe, nous avons émis certaines hypothèses quant au couplage de la perturbation sur les cartes électroniques. En effet nous considérons que les premiers éléments qui vont être vus par la perturbation sont les dispositifs de protection. Ainsi le second chapitre de ce manuscrit propose de présenter les différentes stratégies de protection dans les cartes électroniques.

Afin d'apprécier le comportement de ces protections en présence de perturbations transitoires, nous avons mis en place une méthodologie d'analyse qui sera exposée dans le troisième chapitre de ce manuscrit. Cette méthodologie propose de modéliser le comportement impulsionnel des éléments de protection à partir de résultats expérimentaux.

Enfin le quatrième et dernier chapitre de ce manuscrit sera consacré à la validation de notre méthodologie sur différents types de protection. Nous évaluerons également la fiabilité des modèles que nous avons générés dans le cas où les protections doivent écrêter des signaux transitoires qui auront des allures temporelles proches des perturbations que nous considérons dans le cadre l'étude proposée par le projet VULCAIM.

Chapitre 1 :

Présentation du contexte de l'étude

1.1 Introduction

Dans le domaine de l'électronique, les technologies n'ont cessé de progresser, et on assiste à une augmentation importante du nombre de systèmes embarqués faisant appel à l'électronique, que ce soit dans le domaine civil ou militaire. Ces systèmes doivent cohabiter et fonctionner dans un environnement électromagnétique de plus en plus hostile compte tenu de la diversité toujours plus grande des sources de perturbation. En conséquence, les exemples d'incompatibilité électromagnétique s'intensifient et à titre indicatif nous pouvons en citer quelques uns [2] :

- en Amérique, des commissariats de police se sont plaints de jeux électroniques à pièces qui parasitaient gravement leur système de communication sur autoroute ;
- des tiroirs-caisses électroniques utilisés sur des moquettes épaisses par des vendeurs habillés en synthétique étaient affectés par des blocages, des données fausses et des ouvertures intempestives. Cette exemple est un cas typique des effets d'une décharge électrostatique (DES pour l'acronyme français et ESD pour l'acronyme anglais signifiant ElectroStatic Discharge) ;

Cette liste d'exemples est non-exhaustive et il existe bien d'autres cas où les répercussions ont été bien plus conséquentes, notamment dans le domaine aéronautique et médical où des vies humaines sont en jeu. Ces exemples démontrent les risques pour un système électronique à fonctionner correctement dans un environnement électromagnétique peu propice. Dans ce contexte, il est donc nécessaire de qualifier la compatibilité électromagnétique (CEM) des systèmes et d'évaluer plus précisément leur sensibilité aux perturbations. Pour limiter les risques de dysfonctionnement, les concepteurs mettent en place des mesures générales de durcissement et de protection, parmi lesquelles le blindage est l'une des solutions les plus employées. Cette technique consiste à isoler le système électronique de l'environnement extérieur à l'aide d'une structure métallique qui fait office d'écran électromagnétique. Le développement de cette solution est doublement bénéfique car, mis à part le fait qu'elle constitue une enveloppe conductrice pour isoler électromagnétiquement le milieu blindé des agressions extérieures, elle permet également d'empêcher les rayonnements générés à l'intérieur du système blindé de se propager vers le milieu extérieur. Toutefois, dans certaines situations, le blindage peut s'avérer insuffisant ou impossible à mettre en œuvre ce qui limite son efficacité. De plus, la structure métallique contient en général des ouvertures qui constituent une porte d'entrée providentielle pour des perturbations hautes-fréquences (HF). Il est donc primordial de mettre en place d'autres solutions de protection au niveau des cartes électroniques et des composants.

Le projet de recherche VULCAIM (VULnérabilité des CARtes de circuit IMprimée) a été initié afin d'étudier les effets de perturbations HF sur des systèmes électroniques et d'analyser les différents niveaux de couplage qui existent au sein même du système. Les problèmes d'échelle nécessitent une décomposition topologique en sous-systèmes et une mise au point de techniques de couplage entre eux afin de pouvoir rendre compte de la vulnérabilité globale du système. L'idée est d'aller d'une vision macroscopique (niveau système) vers un aspect microscopique (composant) en passant par les différents niveaux de couplage intermédiaires.

Les deux premières parties de ce chapitre présenteront successivement la démarche du projet VULCAIM, en apportant une attention particulière à l'analyse de la vulnérabilité des

composants, et le contexte dans lequel nous allons mener nos investigations. Le problème de la représentation de ces composants est au centre de nos préoccupations car actuellement les cartes électroniques intègrent aussi bien des éléments simples (résistance, self, capacité) que des éléments complexes (microprocesseurs). Les pistes de réflexion sur le sujet sont assez diverses et par conséquent il est nécessaire d'adopter une démarche structurée et constructive. La troisième partie se proposera de décrire les différentes études de CEM à l'échelle du composant en apportant une attention particulière sur la caractérisation de la susceptibilité. De nombreuses études expérimentales ont été mises au point sur ce sujet et la cinquième partie de ce chapitre expose les différentes techniques normalisées. Enfin la sixième et dernière partie de ce chapitre présentera les différents travaux de modélisation de la susceptibilité, et nous verrons qu'il n'existe pas pour le moment de modèle générique : la prédiction de la susceptibilité d'un système est une tâche relativement complexe et la validité d'un modèle dépend principalement du type de perturbation considérée.

Chacune des différentes parties sera accompagnée d'une synthèse qui permettra de positionner notre démarche vis-à-vis des études présentées dans la littérature et de conclure sur les dispositions à prendre pour l'élaboration d'une méthode d'analyse prédictive des problèmes de vulnérabilité.

1.2 Présentation du projet VULCAIM

1.2.1 Agressions électromagnétiques intentionnelles (AGREMIs)

L'étude développée dans ce manuscrit est une partie intégrante du projet VULCAIM qui a été réalisé en étroite collaboration avec le Centre d'études de Gramat (CEG). Ce centre d'études met à profit les compétences et les connaissances acquises depuis de nombreuses années dans les phénomènes de couplage avec l'IEMN (agressions électromagnétiques d'origine nucléaire) pour évaluer l'impact des menaces futures que pourraient représenter les micro-ondes de forte puissance (MFP) et, dans un concept plus tendu, les IEMI (Intentional Electromagnetic Interference) ou AGREMIs (AGReSSIONs ÉlectroMagnétiques Intentionnelles). L'utilisation d'agressions électromagnétiques intentionnelles a pour but de rendre inopérant le système d'une cible en générant une perturbation irrécupérable de ses fonctions électroniques, voire en détruisant physiquement ses composants.

Bien que l'étude des menaces des fortes agressions électromagnétiques soit issue de problématiques militaires, l'évolution des technologies amène désormais les scientifiques à se poser la question de savoir si les armes MFP sont une menace pour la société civile [3]. Les installations informatiques, les appareils de radio-transmission, les véhicules sont particulièrement vulnérables à ce type de perturbation car ils ne disposent pas de dispositifs de protection adaptés.

L'analyse des effets des AGREMIs est extrêmement complexe et elle nécessite de conduire des études permettant, d'une part, d'analyser la vulnérabilité intrinsèque des systèmes électroniques et d'autre part, d'évaluer la faisabilité de dispositifs capables d'émettre des formes d'ondes aptes à provoquer ces vulnérabilités. Les objectifs du projet VULCAIM se concentrent sur les

problèmes de vulnérabilité. Pour cela il propose une analyse des couplages d'une onde parasite de type AGREMI sur un système complexe en vue de la détermination de son niveau de vulnérabilité et des dysfonctionnements des différentes fonctions du système [4]. La principale problématique est de savoir quelle est la répercussion de ce couplage sur le comportement global du système.

1.2.2 Méthodologie d'analyse

La méthodologie d'analyse est basée sur la décomposition d'un système complexe en une série de sous-systèmes imbriqués les uns dans les autres afin de simplifier l'approche. En effet lorsqu'un système est soumis une perturbation, les phénomènes de couplage se produisent à plusieurs échelles en fonction de la topologie du système. La perturbation pénètre dans le système via les différents orifices présents sur la structure du système et par les lignes extérieures puis vient se coupler sur les différentes cartes électroniques pour arriver finalement aux entrées/sorties des circuits intégrés (cf. figure 1.1).

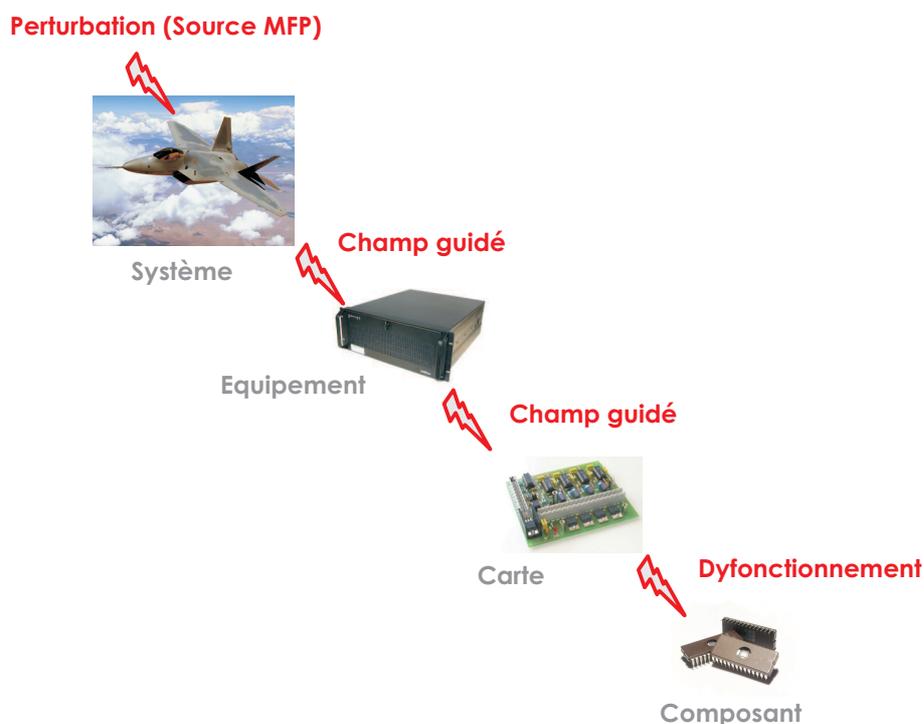


FIGURE 1.1 – Principe du couplage d'une perturbation sur un système

Cette vision assez généraliste de la propagation de la perturbation au sein du système démontre l'aspect fortement multi-échelle de ce type d'analyse. A partir de cette représentation, le projet VULCAIM comporte plusieurs volets d'étude dans lesquels des méthodes ont été développées pour la mise au point d'outils d'analyse prédictive des problèmes de vulnérabilité sur de grands systèmes contenant de l'électronique embarquée.

La démarche propose s'appuie sur l'aspect fortement multi-échelle du problème, et il a été mis au point une analyse basée sur le cycle d'étude illustré à la figure 1.2.

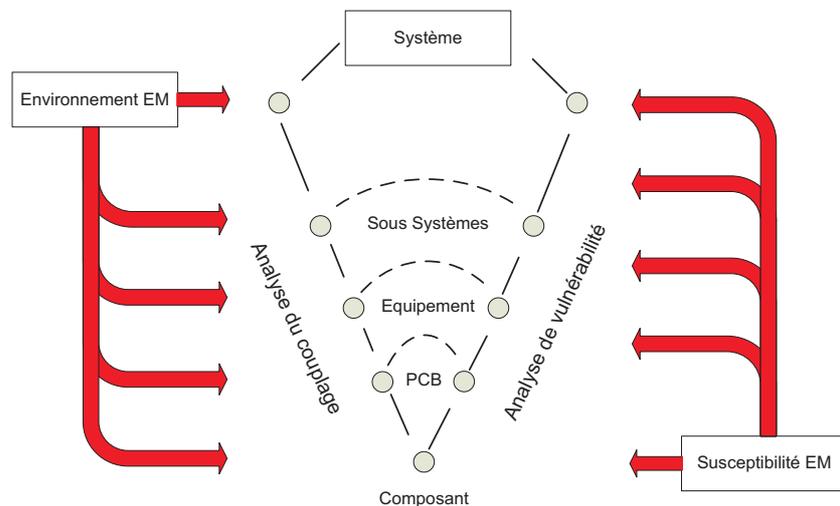


FIGURE 1.2 – Cycle d'étude du projet VULCAIM [4]

Le cycle d'étude en "V" présenté à la figure 1.2 est composé d'une analyse du couplage de la perturbation et d'une analyse de vulnérabilité qui correspondent respectivement à la branche descendante et montante de ce cycle. L'analyse du couplage se décline du système jusqu'au composant et au niveau de l'expertise système, la méthodologie doit permettre de restreindre l'analyse du couplage et de la susceptibilité à tous les niveaux. La partie que nous traitons dans ce manuscrit propose d'analyser les répercussions du couplage d'une onde perturbatrice sur les composants. Les autres parties de cette étude ont été réalisées par ailleurs dans le cadre de différentes thèses. L'étude de la susceptibilité des cartes électroniques face à des agressions électromagnétiques (EM) de fortes puissances a été explorée par Hicham Tarhini dans le cadre de sa thèse de doctorat [5]. L'étude du couplage onde/système a été la principale problématique des travaux réalisés par Karima El Fellous durant sa thèse [6]. La décomposition de l'étude en sous-domaines permet d'utiliser une technique adaptée à chacun d'entre eux.

1.2.3 Présentation des sous-parties du projet

Cette partie décrit brièvement les études menées dans chacune des sous-parties de ce projet afin de déterminer les dépendances qui existent entre elles. L'objectif final est d'obtenir un outil d'expertise fiable et le plus réaliste possible.

1.2.3.1 Couplage onde/système

Cette première sous-partie consiste à étudier la pénétration du champ dans un système qui est pour cette occasion assimilé à une cavité. Cette cavité n'est pas totalement fermée car il subsiste des ouvertures ou orifices nécessaires à l'interfaçage des éléments du système, à la ventilation et à l'alimentation des cartes électroniques [6]. La pénétration des ondes perturbatrices à l'intérieur de la cavité va principalement dépendre de la géométrie des ouvertures et de leur dimension [7]. L'évaluation des niveaux de champ couplés peut être déterminée au moyen d'une grandeur caractéristique qui est l'efficacité de blindage. D'un point de vue numérique, les travaux effectués

par K. El Fellous ont consisté à élaborer une approche simple reposant sur une étude topologique et permettant de rendre compte des phénomènes physiques inhérents au couplage d'une onde dans une cavité. Cette étude a nécessité la mise en œuvre d'une approche analytique conséquente. Le principe de base est de considérer que le champ couplé à l'intérieur de la cavité peut être représenté à l'aide d'un développement modal et que le transfert d'énergie des différents modes vers les sous-systèmes (cartes et composants) peut être décrit grâce à la méthode de Kron [8]. Cette méthode permet d'associer les études du couplage champ/carte et carte/composant avec le champ dans le boîtier.

1.2.3.2 Couplage champ/carte

L'approche présente dans les travaux de K. El Fellous a permis d'obtenir une représentation concrète de la distribution de champ autour d'une carte électronique. L'étape suivante consiste à s'intéresser au couplage d'un champ EM sur une carte électronique [5]. L'étude de la susceptibilité des cartes des circuits imprimés nécessite des moyens d'expertise numérique fiables et efficaces pour évaluer le couplage du champ avec les pistes des circuits imprimés. L'illumination est présente par un modèle d'onde plane et la détermination des niveaux de couplage sur les pistes des circuits imprimés a été évaluée à partir de la méthode MTL (théorie des lignes). La diversité des topologies des circuits imprimés suivant les années fait qu'il est difficile de caractériser cette partie. Cependant il est possible d'étudier des cas génériques afin de quantifier les tensions et les courants induits sur les pistes en réalisant une étude statistique des niveaux de perturbations suivant la variation des paramètres des pistes présentes sur les cartes. Une analyse de l'influence de divers paramètres physiques et géométriques de la carte a été accomplie au moyen des plans d'expérience. Cette étude permet de qualifier la sensibilité des observables (amplitude des courants et tensions) par rapport aux paramètres des pistes tels que ses dimensions (longueur, largeur) et ses propriétés électriques (permittivité). Suivant le degré de complexité des différents cas étudiés, il en ressort que la largeur de la piste conductrice, la hauteur du substrat et la charge des impédances d'extrémité, où l'observable est relevé, sont les paramètres les plus sensibles dans l'analyse du couplage d'une onde perturbatrice sur une carte électronique [5].

1.2.3.3 Représentation des composants d'extrémité

La modélisation du couplage d'un parasite électromagnétique sur une carte électronique ne peut être complète sans considérer les composants d'extrémité. En effet les conclusions énoncées dans la synthèse des travaux du couplage champ/carte ont notamment mis en évidence l'importance de la définition des charges qui sont connectées à l'extrémité des pistes des circuits imprimés. Il se pose alors le problème de la représentation des composants qui peuvent être aussi bien des circuits simples tels que des résistances, des selfs, des capacités que des éléments complexes comme les circuits logiques programmables (FPGA, EPLD, PLA) ou des microprocesseurs. Le composant est un élément déterminant dans le cycle d'étude présenté à la figure 1.2 car il représente à la fois le dernier maillon de la chaîne de couplage et le premier maillon de la chaîne de vulnérabilité.

Les travaux réalisés dans ce manuscrit proposent de traiter ce problème de représentation

en analysant les caractéristiques électriques intrinsèques de ces composants en vue d'évaluer leur comportement en présence de perturbations électromagnétiques (EM). Afin de qualifier le comportement des composants face à des agressions de type AGREMI, il est nécessaire de connaître la manière dont ces composants sont constitués. Et plus particulièrement dans le cas de composants numériques, il est important de savoir en quoi les perturbations vont influencer, via les circuits d'entrée des composants, sur le fonctionnement des circuits numériques au cœur du composant. En d'autres termes, il faut être en mesure de comprendre comment les perturbations sont traduites par les étages d'entrée des composants avant d'être prises en compte par les éléments numériques du composant.

1.2.3.4 Interactions entre les sous-parties

La description des différentes études menées dans le cadre du projet VULCAIM a permis de mettre en évidence le fait que les interactions entre les sous-parties sont très fortes, et la pertinence de la méthodologie du projet VULCAIM dépend de la bonne prise en compte de ces interactions. Les différentes modélisations développées au sein des sous-parties doivent pouvoir se coupler les unes aux autres. Les outils de modélisation sont différents et il est nécessaire de procéder à des hybridations des différents codes de calcul. En effet dans certaines situations, il est nécessaire de modéliser des structures composées de parties dites distribuées (dimensions de l'ordre de la longueur d'onde) et d'autres parties localisées (dimensions petites par rapport à la longueur d'onde). Dans l'étude du couplage champ/carte, il est important de remarquer que l'impédance ramenée par le composant à l'extrémité de la piste analysée modifie clairement le comportement de l'ensemble carte/composant. Par ailleurs les travaux réalisés par S. Bazzoli durant sa thèse de doctorat [9] ont permis de démontrer que la sensibilité du composant est fortement dépendante des impédances connectées aux diverses extrémités de la piste considérée. Le modèle de vulnérabilité doit donc prendre en compte à la fois l'aspect piste et l'aspect composant.

1.3 Contexte de l'étude

L'analyse des effets des perturbations sur des composants est une démarche qui requiert la caractérisation complète de l'environnement d'étude. Il apparaît donc primordial dans ce contexte d'évaluer tant les formes d'onde caractéristiques des différents signaux générés par des armes électromagnétiques de forte puissance que les cibles potentielles, c'est-à-dire les composants intégrés numériques. L'interaction de ces ondes MFP avec les systèmes électroniques et l'étude de la vulnérabilité des circuits sont devenues des thématiques de recherche très largement répandues dans le monde scientifique de la CEM, car les évolutions technologiques font que les circuits logiques travaillent désormais avec des tensions d'alimentation de plus en plus basses, ce qui accroît indéniablement leur sensibilité, et la menace potentielle des MFP sur les circuits électroniques est de ce fait très fortement renforcée. Deux parties distinctes présenteront ainsi successivement les évolutions des technologies MOS qui sont à la base des procédés de fabrication des circuits intégrés et les différentes sources MFP.

1.3.1 Évolution des technologies intégrées

L'analyse de la susceptibilité et de la vulnérabilité des circuits intégrés numériques est directement liée à l'évolution des technologies car les propriétés électriques et physiques des semi-conducteurs conditionnent le comportement du composant dans un environnement électromagnétique défavorable. Les architectures des circuits intégrés ont considérablement évolué avec l'introduction de nouveaux processus de fabrication et le principal objectif des concepteurs est d'intégrer un maximum de transistors sur une même puce afin d'augmenter les performances. En parallèle, les circuits consomment de moins en moins d'énergie et travaillent donc avec des tensions d'alimentation de plus en plus basses. Le revers de la médaille n'est pas des moindres, car les circuits sont en contrepartie de plus en plus sensibles, ce qui dégrade leur robustesse aux perturbations EM. Les circuits intégrés numériques sont pour la plupart conçus à partir de la technologie CMOS (Complementary Metal Oxide Semiconductor). En effet cette technologie est désormais mature, et plus de 70% de la production mondiale de circuits intégrés est basée sur cette technologie. Historiquement le transistor MOS à effet de champ a vu le jour dans les années 30 grâce aux travaux de Lilienfeld et Heil. Le premier circuit intégré CMOS a été conçu par Wanlass en 1962. Ce circuit assurait la fonction d'inverseur et il était composé de deux transistors N et P placés de manière symétrique. Depuis, la technologie CMOS n'a cessé de s'affirmer et d'accroître sa suprématie vis-à-vis des autres technologies (TTL, ECL), et les principaux efforts de ces dernières années ont consisté à intégrer un maximum de transistors sur une puce.

1.3.1.1 Dimensionnement et intégration des transistors

L'évolution des technologies CMOS peut être caractérisée par le dimensionnement physique des transistors MOS. L'objectif de cette évolution est de réduire la taille des cellules ce qui permet d'une part d'accroître la vitesse de fonctionnement et d'autre part de complexifier les fonctions en intégrant plus de transistors sur une même puce. Le paramètre technologique qui symbolise cette évolution est la longueur de grille (L_g) des transistors MOSFET (cf. figure 1.3(a)).

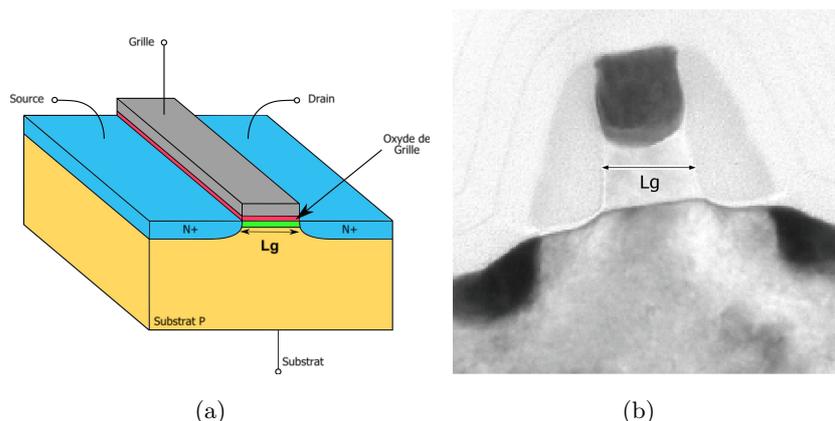


FIGURE 1.3 – (a) Coupe schématique d'un transistor NMOS; (b) Photographie d'une coupe d'un transistor MOS [10]

Le paramètre physique L_g traduit également la longueur du canal de conduction entre le drain et la source. C'est l'un des paramètres physiques essentiels dans la qualification d'une technologie car elle définit la finesse de gravure d'une technologie de semi-conducteurs. Grâce à de nombreux efforts de recherche et à l'intégration de nouveaux matériaux, les fondeurs sont désormais capables de réaliser des transistors ayant des longueurs de grille de l'ordre de 30nm. Il est possible d'obtenir de plus amples informations sur la croissance technologique des transistors via un document édité par un consortium de fabricants de semi-conducteurs, l'ITRS [11].

1.3.1.2 L'évolution des technologies en quelques chiffres

L'ITRS [11], acronyme signifiant International Technology Roadmap for Semiconductors, publie chaque année un rapport qui évalue les principaux besoins de l'industrie micro-électronique. Ce document a pour but de présenter un rapport sur les différentes perspectives technologiques pour l'intégration des composants MOS. En effet les informations disponibles permettent de cibler à court et long terme les exigences technologiques de l'évolution des circuits intégrés suivant la loi de Moore. L'intégration massive de composants nécessite constamment des innovations de la part des centres de recherche et développement afin de repousser les barrières technologiques. Dans ce contexte, le rapport de l'ITRS propose une synthèse sur les efforts à fournir par l'industrie pour poursuivre l'intégration des circuits intégrés. Le tableau 1.1 expose l'évolution des principaux paramètres technologiques.

Année de production	2007	2008	2009	2010	2011	2012	2013	2014	2015
DRAM 1/2 pitch (nm)	65	57	50	45	40	36	32	28	25
Longueur de grille (nm)	25	23	20	18	16	14	13	11	10
Densité d'intégration (Mtransistor/cm)	154	194	245	309	389	490	617	778	980
Fréquence de fonctionnement (GHz)	4,7	5,063	5,454	5,875	6,329	6,817	7,344	7,911	8,522
Tension d'alimentation (V)	1,1	1,0	1,0	1,0	0,95	0,90	0,90	0,90	0,80

TABLE 1.1 – Évolution des paramètres technologiques selon l'ITRS

Parmi les nombreux paramètres qui entrent en ligne de compte, la table 1.1 s'attarde principalement sur ceux qui sont liés au dimensionnement des puces, car leur définition conditionne l'évolution des autres paramètres. En effet la réduction des paramètres physiques des semi-conducteurs, et en particulier la diminution de la longueur du canal drain-grille permet d'accroître la densité de transistors sur une surface de silicium. Les chiffres dévoilés par l'ITRS sont assez explicites et démontrent simplement que le but de ces évolutions est d'accroître les performances des circuits tout en limitant la consommation d'énergie.

1.3.1.3 Les marges d'immunité au bruit et la sensibilité des circuits

La réduction des tensions d'alimentation dans les technologies MOS a un impact direct sur le fonctionnement interne des circuits intégrés (CI) numériques, et notamment en ce qui concerne les niveaux d'activation des portes logiques. Chaque technologie de circuits MOS fonctionne suivant une norme qui définit les niveaux de tension pour l'entrée et la sortie des opérateurs, et qui symbolisent les deux états logiques. Les niveaux de tension associés à chaque état acceptent une zone de tolérance qui est limitée par des tensions : V_{IH} et V_{OH} pour l'état logique haut et V_{IL} et V_{OL} pour l'état logique bas. Pour assurer le fonctionnement nominal du circuit, la définition des zones de commutation doit respecter des règles pour garantir une certaine immunité au bruit. Les marges d'immunité au bruit sont directement liées aux tensions d'alimentation des circuits ce qui signifie qu'elle sont dépendante de l'évolution des technologies MOS. Le terme bruit est relatif dans ce cas là à un signal parasite étranger au signal utile. La figure 1.4(a) compare les seuils de commutation de différentes technologies CMOS.

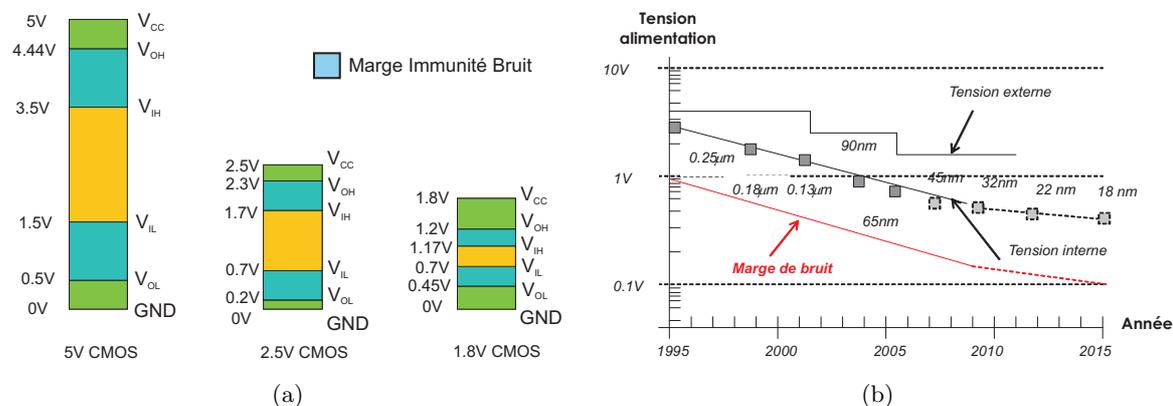


FIGURE 1.4 – (a) Évolution des seuils de commutation dans la technologie CMOS; (b) Évolution des tendances à court terme [12]

La baisse des tensions d'alimentation entraîne donc une diminution des seuils de commutation. La table 1.2 présente l'évolution des marges de bruit haute (NM_H) et la marge de bruit basse (NM_L) pour les technologies CMOS exposées à la figure 1.4(a).

Technologie	V_{OH}	V_{IH}	NM_H	V_{IL}	V_{OL}	NM_L
CMOS 5V	4,44V	3,5V	0,94V	1,5V	0,5V	1V
CMOS 2,5V	2,3V	1,7V	600mV	0,7V	0,2V	500mV
CMOS 1,8V	1,2V	1,17V	30mV	0,7V	0,45V	250mV

TABLE 1.2 – Évolution des marges de bruit des technologies CMOS

Il apparaît clairement que la constante diminution des marges d'immunité au bruit rend les circuits intégrés de plus en plus sensibles, ce qui a pour conséquence d'augmenter significativement la susceptibilité des composants électroniques, notamment face à la menace liée aux agressions électromagnétiques intentionnelles de type MFP.

1.3.2 Les agressions électromagnétiques intentionnelles

Cette partie propose de classifier les différentes menaces provenant des agressions électromagnétiques intentionnelles (AGREMI ou IEMI pour l'acronyme anglophone Intentional Electromagnetic Interference). Le spectre fréquentiel des AGREMI s'étend sur une très large gamme allant de la centaine de MHz à 20GHz et plus [13]. Le domaine spectral des différentes agressions est présenté sur la figure 1.5.

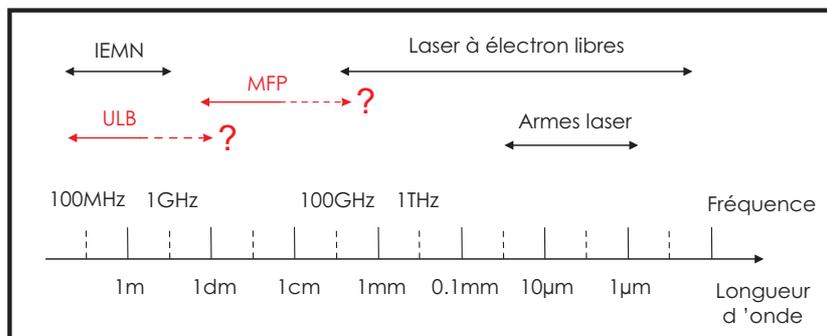


FIGURE 1.5 – Bande spectrale des différents types d'AGREMI [14]

Il existe principalement deux types d'agressions électromagnétiques : les agressions à bande étroite et les agressions large bande.

1.3.2.1 Les agressions à bande étroite

Ce type d'agression est plus connu sous le nom de micro-ondes de forte puissance (MFP). La mise en œuvre d'un dispositif permettant de produire ce type de signal nécessite une installation bien particulière et des moyens conséquents. En effet la génération d'une onde MFP est basée sur le principe suivant :

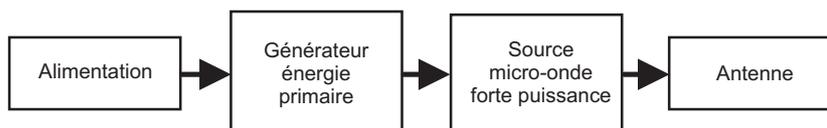


FIGURE 1.6 – Dispositif d'une source MFP

Le générateur d'énergie fonctionne suivant le principe du générateur de Marx (du nom de son inventeur Erwin Marx), qui consiste à charger un certain nombre de condensateurs haute-tension avec une tension continue. Par la suite les condensateurs sont déchargés vers une source micro-ondes de forte puissance. L'introduction de cette décharge dans des tubes à vide (Klystron, Magnétron, Cyclotron,...) modifie brutalement la vitesse des électrons du fait de l'interaction des électrons avec une onde hyperfréquence. Le faisceau cède son énergie à l'onde hyperfréquence qui est ainsi amplifiée. L'onde MFP générée est par la suite orientée vers une cible au moyen d'antennes adaptées à l'émission de forte puissance. Les antennes cornets pyramidales ou coniques sont particulièrement adaptées à ce type d'application [14]. Durant l'émission de

l'agression il est possible de modifier la fréquence de la porteuse afin d'enrichir le contenu spectral [15]. Les caractéristiques électriques des ondes MFP sont résumées dans la table suivante [16] :

Puissance crête au niveau de l'antenne	100MW - 20GW
Durée de l'impulsion (à mi-hauteur)	<10ns - 1µs
Temps de montée (10%-90%)	10ns - 20ns
Énergie par impulsion	100J - 20KJ
Bande de fréquence	500MHz - 100GHz
Densité d'énergie	
- 100m	1J/m ² - 200J/m ²
- 1km	10mJ/m ² - 2J/m ²
- 10km	0,1mJ/m ² - 0,2J/m ²
Densité de puissance	
- 100m	1W/m ² - 200MW/m ²
- 1km	10mW/m ² - 2MW/m ²
- 10km	0,1mW/m ² - 200kW/m ²
Champ électrique E	
- 100m	20kV/m - 300kV/m
- 1km	2kV/m - 30kV/m
- 10km	0,2kV/m ² - 3kV/m
Taux de répétition	Monocoup ou 10Hz - >250Hz
Surface illuminée	<1km ²

TABLE 1.3 – Caractéristiques électriques des agressions de type MFP

Le faible rendement de ces dispositifs (10% à 20%) nécessite des puissances d'alimentation très importantes pour fournir de fortes puissances crêtes en sortie [9]. En effet, la portée de ces ondes MFP est dépendante de la fréquence de l'onde hyperfréquence car plus la fréquence est élevée et plus les pertes sont importantes lors de la propagation de l'onde en espace libre. Les conditions d'illumination d'un système sont cependant dépendantes d'un certain nombre de paramètres, et notamment du gain de l'antenne et de la distance du système par rapport au dispositif.

1.3.2.2 Les agressions à large bande

L'autre catégorie de menace AGREMI concerne les agressions impulsionsnelles de type Ultra Large Bande (ULB) ou Ultra Wide Band (UWB) pour le terme anglophone. Ce type d'impulsion est très utilisé dans la détection RADAR, afin de déterminer la composition de certains sols par exemple. La génération d'une agression ULB reprend ce principe en utilisant une source permettant de délivrer des impulsions de forte amplitude. Dans ce cas de figure, le but n'est pas d'agresser la cible au moyen d'un signal fortement énergétique, comme pour les MFP, mais plutôt grâce à une excitation large bande. En effet la particularité de ces impulsions est qu'elles

ont des temps de transition très brefs ce qui permet d'agresser la cible avec un niveau de champ constant sur un large spectre fréquentiel. Les caractéristiques électriques des ondes ULB [16] sont résumées dans le tableau suivant :

Puissance crête au niveau de l'antenne	quelques GW - 20GW
Durée de l'impulsion (à mi-hauteur)	<10ns
Temps de montée (10%-90%)	<1ns
Énergie par impulsion	5 - 500J
Bande de fréquence	100MHz - 50GHz
Densité d'énergie - 100m	8nJ - 1µJ
Densité de puissance - 100m	2W - 100W
Champ électrique E - 100m	4kV/m - 20kV/m
Taux de répétition	Monocoup ou qqHz
Surface illuminée	<10km ²
Portée	<100m

TABLE 1.4 – Caractéristiques électriques des agressions de type ULB

Le rayonnement de ces agressions peut être obtenu au moyen d'antennes de type cornet (cornet ridgé). Des travaux dirigés par le professeur C. Baum [17] ont permis de mettre au point une antenne particulièrement performante pour le rayonnement d'impulsion. Cette antenne nommée IRA (Impulse Radiating Antenna) a été développée au sein du laboratoire Philips aux États-Unis et elle présente l'avantage de pouvoir émettre une impulsion ultra courte de forte puissance avec une portée de plusieurs centaines de mètres.

1.3.3 Synthèse

Les agressions de type de MFP et ULB sont des menaces qui sont de plus en plus préjudiciables pour les circuits électroniques compte tenu des différentes évolutions technologiques. En effet les caractéristiques électriques des AGREMIs évoluent très rapidement [18] ce qui accroît leur capacité d'interférer avec les systèmes et de les endommager jusqu'à les rendre inopérants. Les agressions de type MFP et ULB ont des caractéristiques électriques bien différentes et leur impact sur les systèmes électroniques diffère suivant les caractéristiques des armes employées. La figure 1.7 permet de comparer les caractéristiques électriques de ces différentes perturbations en présentant un ratio puissance/énergie générées. Les puissances crêtes délivrées par les agressions de type ULB sont comparables à celles des agressions à bande étroite. Cependant l'énergie délivrée par les dispositifs ULB est bien moindre que pour les dispositifs MFP par le simple fait que les impulsions ULB sont beaucoup plus brèves que les impulsions MFP.

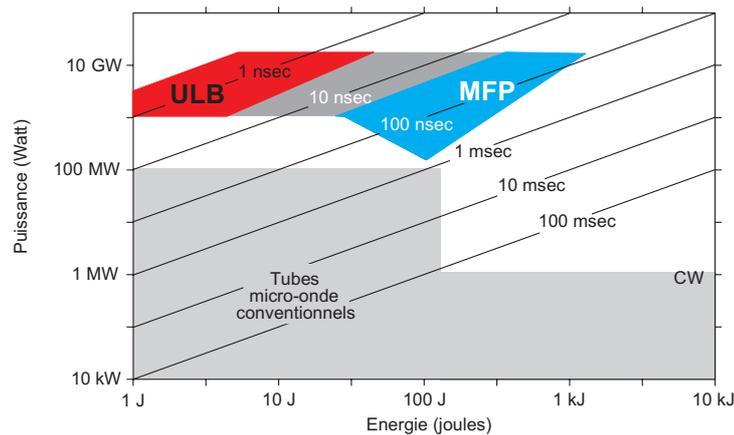


FIGURE 1.7 – Puissance et énergie délivrées par les AGREMI [19]

Quoi qu'il en soit, les performances de ces dispositifs évoluent et les niveaux de puissance délivrés ne cessent de croître, ce qui augmente le risque de couplage sur des systèmes électroniques. En parallèle les systèmes électroniques deviennent de plus en plus vulnérables à cause de la sensibilité toujours accrue des composants électroniques au fur et à mesure du développement technologique.

La principale difficulté dans ce type d'étude est donc de quantifier les niveaux de champ électrique qui vont se coupler sur les pistes des circuits imprimés, et les niveaux de perturbation pouvant finalement atteindre les étages d'entrée des circuits intégrés. Il y a de nombreux facteurs qui vont influencer la propagation de l'onde perturbatrice vers le cœur du système électronique, mais en fonction de la distance entre la source émettrice et le système électronique il est possible d'estimer le niveau de champ susceptible de se coupler sur la structure du système. Les graphiques de la figure 1.8 proposent d'évaluer les valeurs de champ électrique et de puissance crête pour une impulsion ULB d'énergie 1 J et de durée 1 ns (soit 1 GW de puissance crête) en fonction de la distance à laquelle la cible se situe [20].

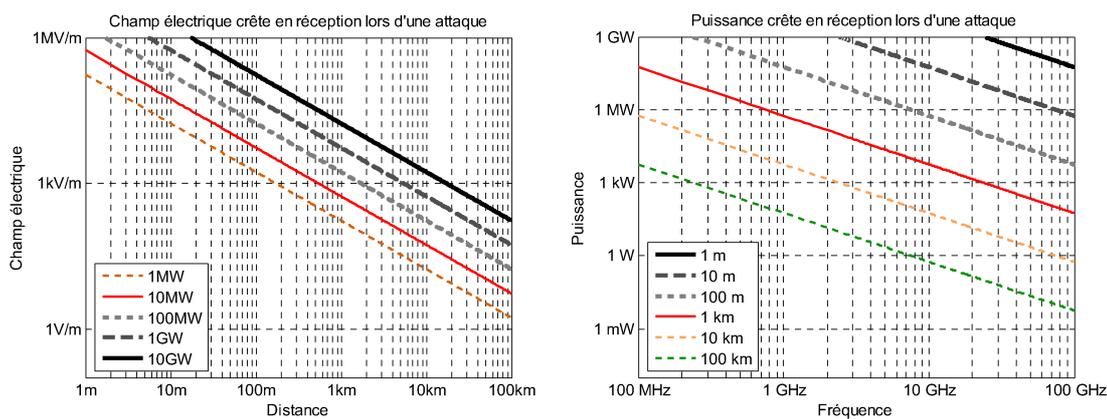


FIGURE 1.8 – Estimation du champ électrique et de la puissance d'une onde MFP à une certaine distance [20]

On remarque très clairement que des valeurs de champ très importantes peuvent être

obtenues à une certaine distance de l'émetteur. Cependant, ces graphiques ne sont pas totalement réalistes puisqu'ils ne tiennent pas compte des transformations que l'onde va subir durant sa propagation. L'onde va interagir avec les éléments qui constituent le milieu de propagation et cela va se traduire par une perte d'énergie. Dans le cas présenté, l'onde va subir des atténuations qui sont dues aux pertes atmosphériques, au relief et aux conditions climatiques [21]. Ces phénomènes vont contribuer à réduire l'efficacité des AGREMIs et ainsi limiter les interactions avec la cible (un système électronique). De plus, n'oublions pas que l'onde va par la suite se propager à l'intérieur du système via différents modes de couplage, ce qui induira également des atténuations supplémentaires. Au final, la caractérisation des niveaux de perturbation arrivant aux interfaces des circuits est une analyse relativement complexe qui dépend de nombreux facteurs. Dans le cadre de nos travaux, nous avons simplifié le problème en émettant l'hypothèse que les niveaux de perturbations qui vont se coupler sur les interfaces des circuits sont légèrement plus élevés que les tensions d'alimentation des circuits. Nous verrons par la suite en quoi cette hypothèse est justifiée pour la mise en évidence de certains phénomènes présents aux interfaces des circuits intégrés. Compte tenu des hypothèses émises sur les niveaux de perturbation, les effets des AGREMIs sur les circuits intégrés risquent donc d'engendrer des pertes de fonctionnalité temporaires ce qui signifie que les phénomènes de destruction ne seront pas envisagés dans le cadre de nos travaux. Il n'empêche, cependant, qu'ils peuvent se produire dans des situations similaires [22].

L'évaluation de la menace d'interférence électromagnétique nécessite de qualifier le comportement des systèmes électroniques dans un environnement électromagnétique déterminé. Cette problématique est une des principales préoccupations de la CEM.

1.4 Analyse de la susceptibilité des composants électroniques

1.4.1 Quelques rappels élémentaires sur la compatibilité électromagnétique (CEM)

1.4.1.1 Qu'est ce que la CEM et pourquoi s'en préoccuper ?

La CEM est définie comme étant l'aptitude d'un dispositif (circuit ou système) à fonctionner sans perturber électromagnétiquement le fonctionnement d'autres dispositifs et sans être lui-même perturbé par ces autres dispositifs. Cette définition est applicable à l'ensemble des parties constituant un système électronique. Les évolutions technologiques font qu'il est désormais inconcevable de ne pas aborder la CEM à l'échelle des composants. Si nous complétons cette définition relativement généraliste de la CEM, nous remarquons que les champs d'application sont multiples et l'on distingue deux thématiques :

- l'aptitude d'un système à fonctionner sans interférer : la qualification de cet aspect nécessite l'étude des émissions produites par les systèmes,
- l'aptitude d'un système à fonctionner dans un environnement électromagnétique donné : dans ce cas là, la CEM propose d'analyser la susceptibilité des systèmes.

Ainsi la CEM suppose que le système (ou le composant) fonctionnera dans un environnement électromagnétique inoffensif dans certaines limites, et que la proximité d'autres appareils sensibles sera tenue elle aussi dans certaines limites. Cette notion fondamentale peut être interprétée graphiquement au moyen de la figure 1.9.

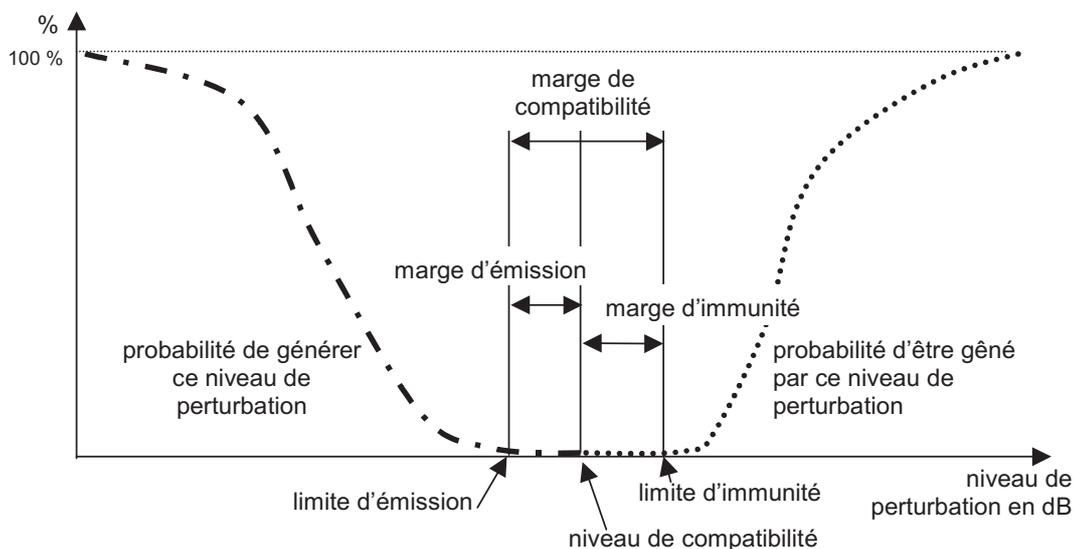


FIGURE 1.9 – La notion de compatibilité entre les systèmes [23]

Ces deux aspects de la CEM font qu'une étude complète d'un système passe par l'analyse d'une part de la génération de bruit parasite (émission conduite et rayonnée) produit par le système lui-même, et de son seuil d'immunité vis-à-vis des agressions internes ou externes en mode conduit et rayonné d'autre part. Les critères d'évaluation sont également des paramètres très importants car ils vont déterminer les limites, tant du niveau d'émission tolérable que du niveau de perturbation, de fonctionnement du système d'un point de vue CEM. C'est pour cette raison qu'il est nécessaire de respecter des marges de compatibilité définies à partir des marges d'émission et d'immunité. Désormais l'ensemble des équipements électroniques doit être qualifié d'un point de vue CEM afin d'obtenir la certification nécessaire pour la commercialisation du produit. L'objectif de cette certification est de vérifier que le produit respecte les normes en vigueur concernant les problèmes d'émission et de susceptibilité. Les systèmes sont donc dans l'obligation de répondre à un certains nombre de contraintes, et ce quelque soit le domaine d'application (médical, transport,...). Le champ d'application de la CEM n'est pas restrictif et sa définition s'applique à l'ensemble des fréquences et des modes de transmission, du courant continu aux micro-ondes en passant par la fréquence du secteur et les fréquences radio. Les contraintes CEM évoluent en fonction des avancées technologiques, et les efforts se concentrent désormais à l'échelle des cartes et des composants.

1.4.1.2 Comment évoluent les contraintes de la CEM ?

L'évolution technologique des circuits intégrés numériques associée à la multiplication croissante des sources d'émission peuvent être représentées graphiquement sous la forme d'un

fossé de compatibilité [2] qui se rétrécit au fur et à mesure que les technologies évoluent. Cette notion de fossé de compatibilité résume idéalement les nouvelles contraintes de la CEM et justifie par la même occasion le besoin de mettre en place des techniques de modélisation, de simulation et d'essai à l'échelle des cartes et des composants.

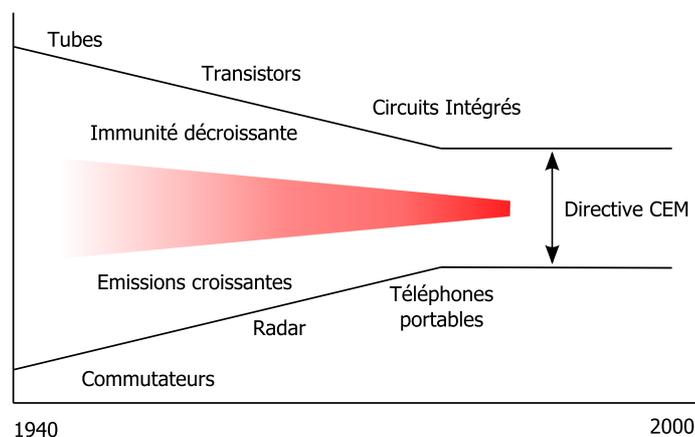


FIGURE 1.10 – Fossé de compatibilité [2]

La figure 1.10 est tout à fait représentative des problèmes auxquels est confrontée la CEM et le rétrécissement croissant de ce fossé démontre les nombreux efforts à développer pour suivre le rythme effréné imposé par les évolutions technologiques. Les efforts à fournir ont donc pour objectif de maintenir une certaine marge entre l'immunité et les émissions afin de garantir le fonctionnement des systèmes électroniques. Les investigations et les analyses menées en CEM évoluent au même rythme que les technologies et il est désormais inconcevable ne pas évaluer le niveau d'émission de parasites et d'estimer l'immunité aux agressions extérieures. Les motivations de ces études sont diverses et dépendent principalement du contexte étudié.

1.4.1.3 Notion de vulnérabilité et de susceptibilité

Comme nous avons pu le mentionner auparavant, la problématique principale du projet VULCAIM est d'étudier la vulnérabilité potentielle sur les équipements électroniques des systèmes embarqués. Dans ce contexte, la vulnérabilité électromagnétique d'un système à une menace donnée traduit son incapacité à réaliser une mission définie sous l'effet de cette menace. Dans le cycle d'étude présenté à la figure 1.2, le composant est au centre de cette chaîne de vulnérabilité et son comportement va fixer la sensibilité du système lorsque celui-ci est soumis à une agression extérieure. La qualification de cette vulnérabilité passe donc nécessairement par une phase d'évaluation de la susceptibilité des composants. Dans ce type d'étude, il est difficile d'avoir une vision déterministe car la susceptibilité des circuits dépend de nombreux paramètres qui sont propres à la définition de l'agression et aux caractéristiques fonctionnelles et technologiques des composants. Ce dernier constat est tout de même relatif à la définition de la susceptibilité que l'on considère. La susceptibilité désigne le comportement d'un élément, en réponse à une contrainte externe (perturbation électromagnétique), jugée incompatible avec

une utilisation normale. En d'autres termes cette contrainte engendre une modification du comportement nominal qui peut aller du dysfonctionnement jusqu'à la destruction. La plupart des études de susceptibilité de composants se réfère à des critères basés sur le comportement fonctionnel du circuit. Néanmoins dans un contexte militaire, la probabilité qu'une agression EM provoque la destruction d'une partie d'un circuit augmente au fur et à mesure que les moyens technologiques évoluent. L'analyse de la susceptibilité des composants est une thématique de recherche assez vaste [24] et il est impossible de présenter les différents cas d'étude de manière exhaustive. Cependant nous tâcherons de décrire les principales études qui sont réalisées sur le sujet, ce qui nous permettra d'introduire ainsi le contexte si particulier de nos travaux et de justifier la démarche que nous avons entreprise.

1.4.2 Couplage de la perturbation

L'étude de vulnérabilité des systèmes est toujours décomposée en deux étapes étroitement liées entre elles : une étude des différents modes de couplage de l'onde sur le système et une étude de susceptibilité des systèmes et des cartes électroniques. Si nous reprenons la définition générale de la CEM sur la qualification d'un système, les perturbations peuvent aussi bien provenir de l'environnement extérieur que d'un élément constituant l'environnement interne du système.

1.4.2.1 Perturbation externe

Pour analyser les différents modes de couplage d'une onde sur un système nous pouvons assimiler ce même système à une structure métallique dans laquelle sont présentes différentes interfaces nécessaires au fonctionnement interne des circuits électroniques (cf. figure 1.11). Ces interfaces permettent notamment au système d'être alimenté, de communiquer et d'être ventilé pour assurer une certaine stabilité thermique. Cependant ces différentes interfaces vers le monde extérieur sont une aubaine pour les perturbations car, grâce à ces chemins, elles vont pouvoir se propager à l'intérieur du système et ainsi interférer avec les circuits électroniques.

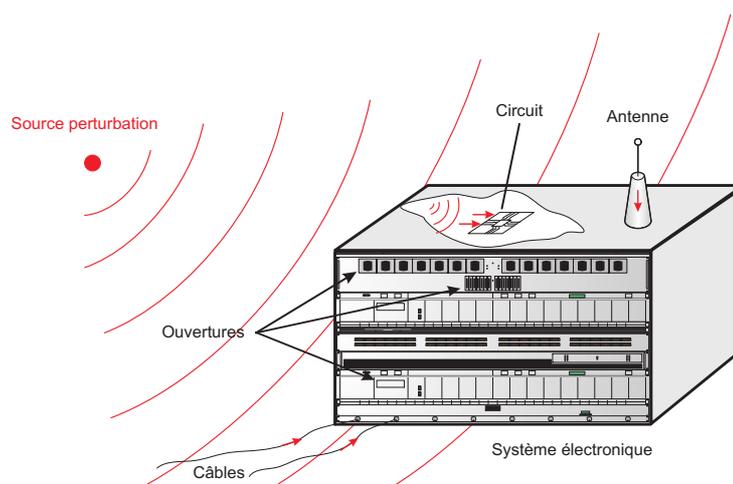


FIGURE 1.11 – Pénétration de l'agression et couplage sur la structure

Une perturbation illuminant un système électronique peut pénétrer à l'intérieur de ce système suivant deux façons bien distinctes :

- *le couplage direct (Front Door)* : l'onde perturbatrice pénètre directement dans le système via les dispositifs de communication tels que les antennes [25]. Ce type de couplage est notamment utilisé par les militaires dans les techniques de brouillage, et il est particulièrement performant car les niveaux induits sont en général conséquents et peuvent être acheminés par conduction directement vers les parties sensibles du système.
- *le couplage indirect (Back Door)* : L'onde perturbatrice pénètre dans le système par le biais des câbles et/ou à travers les différentes ouvertures. Le couplage de l'onde sur un câble va générer un courant induit qui sera conduit jusqu'à l'intérieur de l'enceinte et viendra interférer le fonctionnement des circuits électroniques. Les ouvertures jouent un rôle prépondérant dans la pénétration de l'onde car plus l'ouverture est grande et plus le couplage du champ électromagnétique dans le système est important [6]. Dans ce contexte, une partie de l'énergie de la perturbation peut se coupler sur les pistes des cartes et sur les broches des circuits intégrés par effet d'antenne et ainsi influencer le comportement des circuits [26]. En ce qui concerne les cartes, des modèles numériques de type FDTD (Finite-Difference Time-Domain) et MTL permettent notamment de traiter le couplage d'une onde sur les circuits imprimés [5].

L'impact des agressions EM va donc dépendre de la forme d'onde de cette agression. Au vu des différentes topologies de pistes et d'ouvertures, il est évident que la probabilité de couplage d'une onde sur une structure est élevée. L'efficacité du couplage d'une onde sur une carte électronique est d'autant plus significative lorsque la longueur d'onde du signal perturbateur est proche des dimensions des ouvertures de la structure et des pistes des circuits imprimés. La présence d'ouvertures favorise la pénétration des champs électromagnétiques et dégrade ainsi l'efficacité de blindage du système. L'une des solutions consisterait à limiter les dimensions des ouvertures de $\frac{\lambda}{20}$ à $\frac{\lambda}{50}$ [6] ce qui est inconcevable avec des perturbations de type MFP. A travers les différentes remarques que nous venons d'exposer, nous constatons que plus la longueur d'onde du signal perturbateur est faible et plus il a de chance de se coupler et ainsi d'influencer les circuits intégrés. De plus, le contenu spectral de la perturbation est également un paramètre qui entre en ligne de compte, car plus le contenu est riche et plus les risques de couplage sont élevés.

Dans le cadre de notre étude, nous considérons que l'onde électromagnétique a réussi à franchir la barrière constituée par la structure métallique du système pour se coupler aux cartes électroniques. N'oublions pas que le couplage de l'onde perturbatrice sur les câbles constitue également un moyen redoutable d'affecter le cœur du système. Si nous récapitulons, l'onde perturbatrice est en mesure de se coupler sur les circuits électroniques interne au système suivant différents modes :

- couplage en mode conduit (propagation par conduction)
- couplage en mode rayonné (propagation par rayonnement)

Au niveau des circuits intégrés, l'étude des perturbations électromagnétiques concerne essentiellement le couplage en mode conduit mais cependant le couplage en mode rayonné est

aussi un axe de recherche et de développement important. De plus, bien que notre thématique de recherche se concentre sur l'évaluation du comportement des composants en présence de perturbations extérieures au système, il ne faut pas omettre le cas où le système peut s'auto-perturber.

1.4.2.2 Perturbation d'origine interne (ou auto-perturbation)

Des risques de défaillance peuvent se produire dans le cas où un circuit trop bruyant est à proximité d'un circuit sensible. Ce couplage mutuel entre les circuits d'un même système se caractérise par différents mécanismes qui sont résumés dans la figure 1.12 :

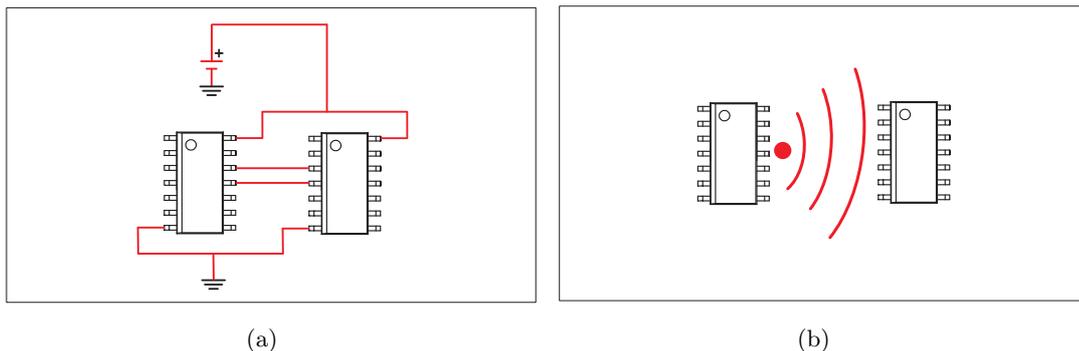


FIGURE 1.12 – (a) Auto-perturbation entre circuits en mode conduit; (b) Auto-perturbation entre circuits en mode rayonné

Dans la configuration illustrée à la figure 1.12, les perturbations générées par le circuit agresseur se propagent à travers les réseaux d'alimentation ou sur les pistes communes avec le circuit sensible pour les émissions conduites, et dans l'air pour les émissions rayonnées. Les émissions parasites générées par le circuit bruyant proviennent en très grande partie du bruit de commutation simultanée (Simultaneous Switching Noise - SSN) généré par les appels de courant lors des phases de commutation des portes logiques. Ces appels se traduisent par des pics de courant assez brefs, et leur amplitude va dépendre de la densité de transistors dans la puce numérique et de la rapidité à laquelle les transistors changent d'état.

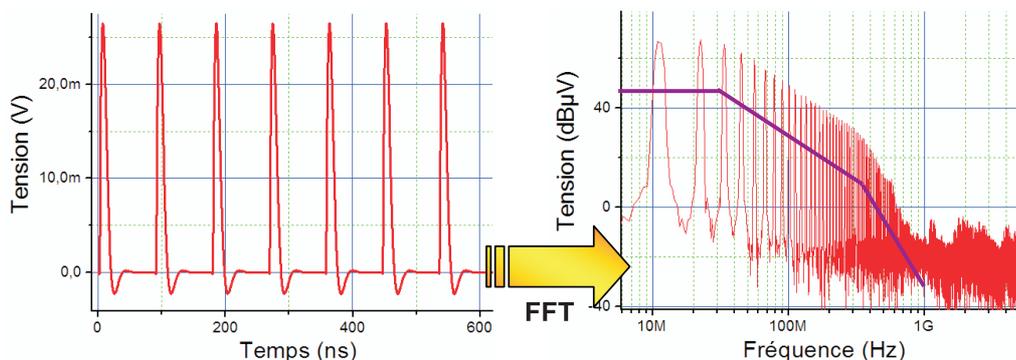


FIGURE 1.13 – Exemple de bruit de commutation simultanée [26]

L'intégration accrue de transistors sur les puces numériques et l'augmentation des fréquences

de fonctionnement des circuits intégrés sont donc les paramètres technologiques les plus influents dans la génération d'émissions parasites. Concrètement les variations temporelles de courant peuvent atteindre plusieurs ampères par nanosecondes sur les pistes d'alimentation [27]. Ces pics de courant transitoires vont exciter les éléments parasites des rails d'alimentation et vont induire des variations de potentiel non négligeables [28]. Le spectre émis (figure 1.13) par ces appels de courant est désormais susceptible de perturber certaines applications sensibles car les niveaux de bruit sont de plus en plus proches des seuils de commutation. Il est donc impératif de mettre en place des solutions à ce problème lors de la phase de conception du circuit à l'aide de modèles de type ICEM (Integrated Circuit Emission Model) [29], sur lequel nous reviendrons ultérieurement. Il existe différentes stratégies de réduction de SSN et l'une des plus populaires consiste à contrôler l'impédance des chemins d'alimentation. L'ajout de capacité de découplage [30] au plus près des sources d'émission permet d'atténuer le phénomène de SSN. Cette technique exige donc de redéfinir le réseau de distribution d'alimentation des circuits. Ce phénomène d'auto-perturbation se manifeste principalement pour des cartes électroniques composées de circuits intégrés à très haut niveau d'intégration (VLSI - Very Large Scale Integration).

1.4.2.3 Cadre de notre étude

Dans le cadre du projet VULCAIM, notre thématique de recherche se limite, pour le moment, à développer une méthodologie de prédiction du comportement des circuits en présence d'AGREMI ce qui signifie qu'il n'est pas prévu de traiter les effets d'auto-perturbations. Finalement nous pouvons conclure cette partie en précisant que nous considérons que la perturbation va se coupler jusqu'aux interfaces des circuits intégrés en mode conduit. En effet, nous considérons que l'onde perturbatrice se couple sur les pistes des circuits imprimés et que ce phénomène va induire des courants et des tensions parasites qui vont se propager jusqu'aux interfaces des composants. A titre indicatif, l'ensemble des pistes conductrices présentes sur les cartes électroniques peut jouer le rôle d'antenne ce qui signifie que les parasites électromagnétiques peuvent se superposer aux signaux numériques et aux signaux d'alimentation. De plus, le signal perturbateur peut également être acheminé vers les circuits intégrés via le couplage par conduction externe sur les câbles de données et d'alimentations. Les caractéristiques électriques des tensions et courants parasites qui vont affecter les interfaces des composants sont fonction de la polarisation, de l'amplitude, de l'incidence et de la longueur d'onde du champ incident, de la configuration dimensionnelle et électrique du circuit victime (pistes et charges). Pour rappel, cette étude a été traitée dans la phase d'étude concernant le couplage champ/carte [5] dans la seconde phase du projet VULCAIM.

1.4.3 Quels sont les effets des perturbations sur les circuits intégrés ?

Désormais les oxydes de grille des transistors MOS ont des épaisseurs de l'ordre du nanomètre ce qui limite la capacité parasite à quelques femtofarads mais augmente en contrepartie la sensibilité des circuits. En effet, l'interaction avec une charge de quelques femtocoulombs peut conduire à des répercussions irréversibles. Le couplage d'une perturbation sur un circuit peut

avoir des répercussions de nature diverse, et les effets engendrés peuvent être classés suivant les dommages électriques et physiques qu'ils occasionnent :

- *le dysfonctionnement ponctuel* : le signal perturbateur est interprété comme une commande logique valide et le circuit génère des sorties erronées ou dysfonctionne [31],
- *le dysfonctionnement répétitif* : le signal perturbateur est appliqué de manière continue sur un circuit et cela entraîne une dégradation croissante à long terme,
- *le dysfonctionnement irréversible* : le signal perturbateur plonge le circuit dans une phase d'instabilité et des phénomènes de chaos ont été observés [32],
- *la destruction physique* : les transitoires fortement énergétiques entraînent des dégâts physiques importants dans les circuits (fissures, composants fondus,...). Les décharges électrostatiques peuvent occasionner ce type de dégât en provoquant des échauffements localisés et ainsi la fonte de certaines parties du circuit [33][34]. Les systèmes touchés par des armes électromagnétiques générant des impulsions de type ULB sont également assujettis à ce type de dommage [35]. Cependant l'apparition et la localisation de ces dégâts dépendent des conditions d'illumination qui vont déterminer l'amplitude de la perturbation.

La figure 1.14 illustre des exemples de défauts engendrés par des décharges électrostatiques sur des étages d'entrée de composants.

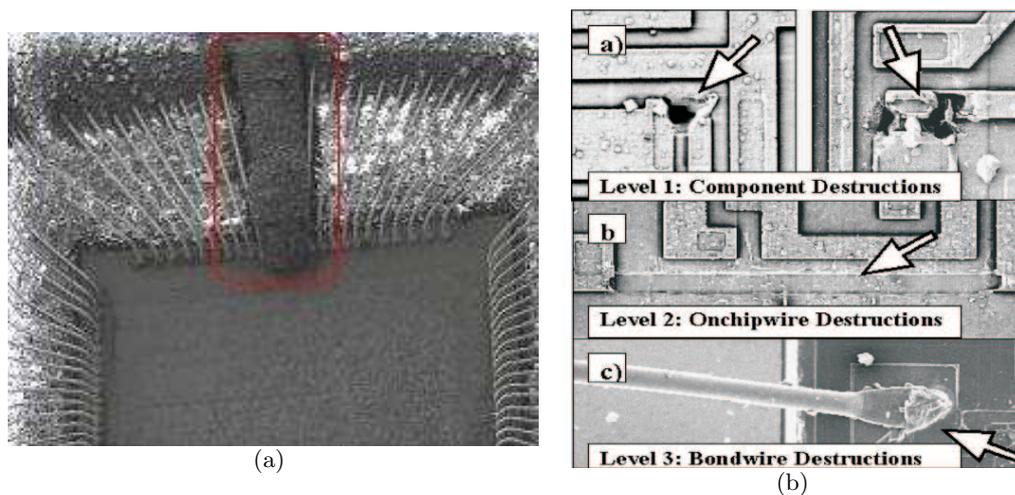


FIGURE 1.14 – (a) Fusion d'un fil de connexion par une impulsion ESD [36] ; (b) Exemple de détérioration d'une puce par une impulsion ULB [37]

Le cadre de l'étude mise en place dans cette thèse se concentre sur les conséquences des perturbations transitoires des AGREMI et nous considérons que les effets néfastes de ces perturbations se traduisent plus en termes de dysfonctionnement qu'en destruction. En effet, nous supposons que la perturbation qui arrive aux étages d'entrée des circuits intégrés a subi, au préalable, une atténuation suffisamment importante et que les niveaux d'amplitude appliqués sont en général suffisants pour engendrer d'éventuels dysfonctionnements.

De nombreuses études ont été consacrées à l'évaluation des effets des perturbations EM sur

les circuits intégrés, et l'on constate que ces études ont été réalisées aussi bien sur des circuits analogiques que sur des circuits numériques. Dans le cas des circuits analogiques, la plupart des investigations ont été menées sur des amplificateurs opérationnels [38]-[39] et des convertisseurs analogiques-numériques [40]. Ces circuits sont extrêmement sensibles et une perturbation de quelques mV peut suffire pour provoquer un dysfonctionnement [27]. Cependant une grande majorité des études sont menées sur des circuits intégrés numériques. De par la diminution de leur marge d'immunité au bruit, l'ensemble des circuits intégrés numériques actuels peut être concerné par ce type d'étude. Lorsque le spectre fréquentiel de la perturbation est contenu dans la bande de fonctionnement du circuit, la perturbation se couple aux signaux utiles. Dans le cas des circuits intégrés numériques, les perturbations interagissent directement avec le cœur numérique du circuit et l'une des méthodes les plus classiques pour caractériser leurs effets sur le comportement du circuit consiste à visualiser un signal de sortie avec et sans agressions. Les interactions de l'agression sur le comportement fonctionnel du circuit se traduisent par la génération d'erreurs qu'il est possible de classer en deux catégories : les erreurs dites statiques et les erreurs dynamiques.

1.4.3.1 Les erreurs statiques

Le signal perturbateur, superposé au signal utile, entraîne des changements anormaux de niveau logique sur le signal de sortie. On appelle ces basculements intempestifs de niveau logique des "glitches", et leur apparition est fortement dépendante de l'amplitude du signal perturbateur. En effet, d'un point de vue fonctionnel ces phénomènes se produisent lorsque le niveau de la perturbation est suffisamment élevé pour que la somme du signal logique et de la perturbation dépasse le seuil de commutation du circuit [26]. Ce phénomène est présenté à la figure 1.15 :

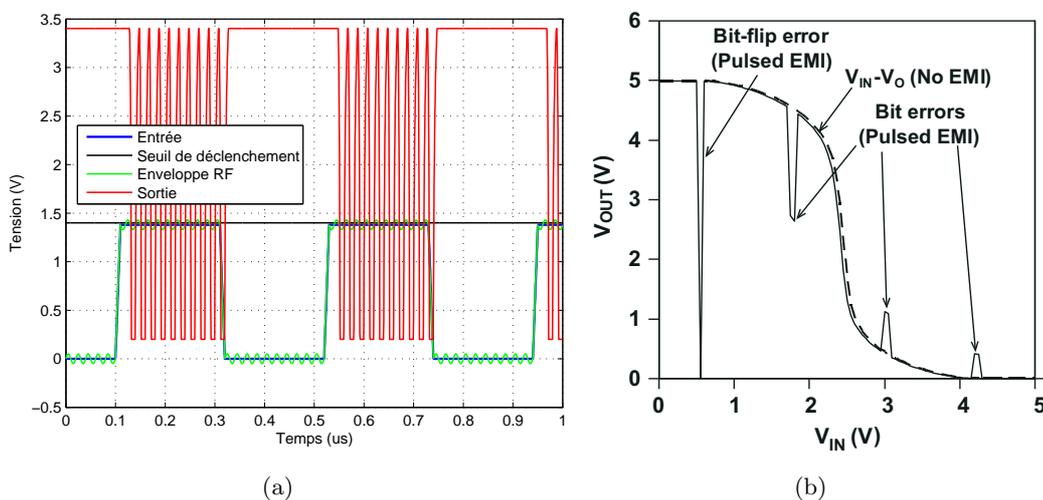


FIGURE 1.15 – (a) Génération d'erreurs statiques en présence d'une perturbation harmonique; (b) Génération d'erreurs statiques en présence d'une perturbation transitoire [31]

L'exemple présenté à la figure 1.15(a) correspond à la perturbation de l'entrée d'un inverseur logique par un signal harmonique. Le phénomène est également perceptible sur la fonction de transfert exposée à la figure 1.15(b) où dans ce cas-là l'entrée de l'inverseur est perturbée par

un signal transitoire. Ce phénomène peut également se retrouver lorsque la perturbation se couple sur l'alimentation du circuit ou sur le signal d'horloge [41] ce qui accroît les effets des perturbations sur le comportement global du circuit.

1.4.3.2 Les erreurs dynamiques

Ce type d'erreur intervient dans les phases de commutation des signaux logiques. L'influence d'une perturbation sur les phases de transition des niveaux logiques peut provoquer des pseudo-commutations au voisinage des seuils V_{IH} et V_{IL} , comme l'attestent les erreurs mises en évidence sur le graphique de la figure 1.16.

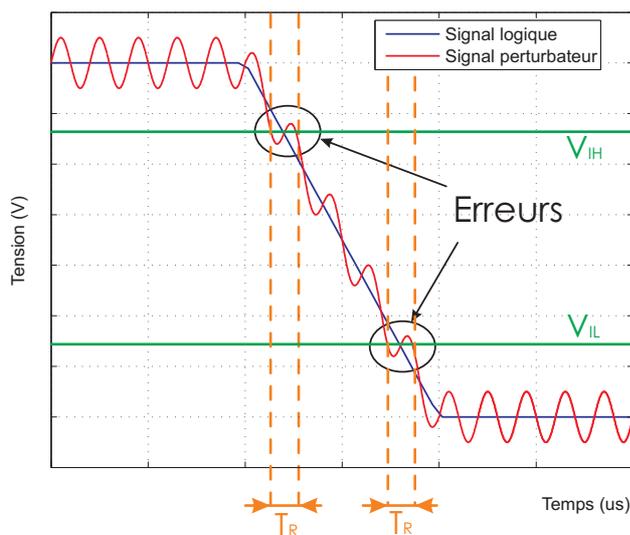


FIGURE 1.16 – Mise en évidence des erreurs dynamiques

L'apparition de ce type d'erreur est bien évidemment conditionnée par le niveau d'amplitude de la perturbation. Dans cette configuration, les perturbations peuvent également être à l'origine de la création de délais supplémentaires. Cette situation est mise en évidence par la présence du paramètre T_r sur le graphique de la figure 1.16. Ce paramètre correspond à la gigue temporelle, due à la superposition de la perturbation sur le signal logique, qui risque de modifier l'instant de la commutation et ainsi introduire un retard ou une avance dans l'apparition du front logique. Dans ce cadre, la caractérisation de la susceptibilité des composants est en général établie à partir des erreurs statiques et dynamiques. L'objectif revient à définir des critères de susceptibilité selon un gabarit temporel.

1.4.3.3 Les effets liés au phénomène de redressement

Les différentes études décrites dans la littérature différencient le cas où le spectre fréquentiel de la perturbation est compris dans la bande de fonctionnement du circuit (perturbations "In-Band") et le cas où la perturbation induit des signaux hors bande (perturbations "Out-Band") [42]. Cette distinction est nécessaire car l'origine des défaillances observées ne provient pas des mêmes phénomènes électriques. La frontière entre ces deux types de perturbation est déterminée

par la fréquence de fonctionnement maximale des circuits intégrés. En parallèle, nous pouvons resituer cette remarque dans le contexte technologique actuel, et il est évident que les interactions des perturbations HF avec les circuits vont s'intensifier à cause de l'accroissement continu des fréquences de fonctionnement. Le domaine d'exploration va donc s'étendre vers les hautes fréquences (supérieur à 1GHz) et certaines études ont déjà commencé à caractériser l'immunité de circuits logiques élémentaires jusqu'à 10GHz [43].

Bien qu'elles soient supérieures à la fréquence de fonctionnement du circuit, les perturbations de type "Out-Band" peuvent perturber le circuit grâce au phénomène de redressement. Ce phénomène a été mis en avant par les travaux de Larson [44], sur les transistors bipolaires, qui ont permis de démontrer que les signaux haute fréquence pouvaient être démodulés par des composants non-linéaires à cause du phénomène de détection d'enveloppe, présenté à la figure 1.17.

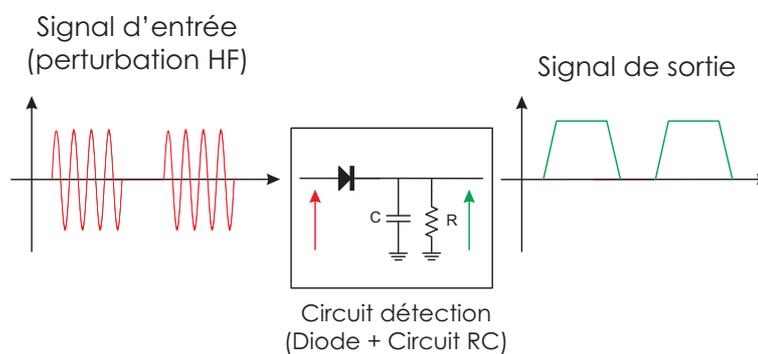


FIGURE 1.17 – Illustration du phénomène de détection d'enveloppe [45]

On remarque très clairement l'apparition de la réponse en peigne typique du phénomène de détection d'enveloppe. Le signal perturbateur est directement interprété par le composant qui va traiter cette enveloppe comme un signal utile.

Cette découverte s'est avérée capitale dans la compréhension des effets des perturbations de type "Out-Band" sur les circuits intégrés par la mise en évidence des effets des éléments non-linéaires qui, par détection d'enveloppe, permettent de convertir la perturbation HF en un signal compatible avec la bande de fonctionnement du circuit. De nombreuses études ont démontré que l'influence de perturbations HF modifiait les caractéristiques statiques des diodes et plus généralement des composants intégrant des jonctions PN dans leur architecture [46]-[9]-[47]. Les étages d'entrée/sortie des circuits sont composés d'éléments non-linéaires qui vont ainsi générer des effets non-désirables lorsque la perturbation excède les tensions d'alimentation, particulièrement à des fréquences au-delà des spécifications du fabricant. Un des exemples les plus concrets de la démodulation RF concerne les interférences des ondes GSM des téléphones portables sur les équipements électriques. Pour lutter contre cette démodulation et améliorer l'immunité des systèmes électriques, les fabricants de composants intègrent des filtres EMI (Electromagnetic interference) dans les étages d'entrées. Dans le cadre de nos travaux, il y a de forte chance que les phénomènes de rectification jouent un rôle prépondérant dans l'analyse de la susceptibilité des circuits intégrés. Il sera donc intéressant d'analyser le comportement des étages d'entrée de ces circuits et particulièrement d'évaluer les effets non-linéaires associés.

Ces erreurs ont été mises en évidence au moyen de techniques expérimentales dont nous allons présenter les principales dans la suite de ce manuscrit.

1.5 Techniques de mesure de la susceptibilité des composants

Cette partie se propose de présenter les différentes techniques expérimentales qui ont été mises au point pour qualifier l'impact des perturbations sur le comportement fonctionnel des circuits intégrés. L'objectif principal de ces mesures est de déterminer les fréquences et les niveaux de puissance auxquels le circuit sous test sera susceptible en fonction de critères établis à partir du gabarit défini sur un observable (tension de sortie en général) [48]. L'évaluation de la susceptibilité des composants aux perturbations HF a nécessité le développement et la standardisation de méthodes spécifiques regroupées sous la norme IEC-62132 [49]. Ces méthodes se distinguent en fonction de la technique employée pour injecter la perturbation à l'intérieur du circuit et du type de perturbation injectée. La forme d'onde de l'agression est déterminante car elle va en partie conditionner les mesures de susceptibilité des composants. La pertinence des résultats ne pourra être recevable qu'à condition que le signal injecté soit le plus fidèle possible au gabarit de l'agression considérée. Les origines des agressions sont relativement diverses et par conséquent les signaux perturbateurs présentent des formes temporelles très différentes.

1.5.1 Reproduction des agressions

Les formes d'onde des agressions EM peuvent être décomposées suivant deux profils : les agressions de type harmonique et les agressions de type transitoire. Dans le cas des agressions de type harmonique, le signal injecté peut avoir les formes d'onde suivante :

- *Signaux continus (CW)* : On injecte un signal sinusoïdal à puissance et fréquence fixe et l'objectif est de constater comment le circuit réagit à long terme.
- *Signaux modulés en amplitude (AM)* : La porteuse sinusoïdale représentant l'agression est modulée par une rampe de tension. Ce type de signal permet de faire varier progressivement l'amplitude de la perturbation afin de déterminer avec précision des niveaux de susceptibilité selon des critères établis par rapport au gabarit du signal de sortie du circuit.

Les agressions de type transitoire couvrent une gamme de perturbations assez large. Les effets de ce type de perturbation sur les circuits vont principalement dépendre de l'énergie contenue dans l'impulsion et des temps de transition. Le contenu spectral de ce type d'agression peut s'étendre vers des fréquences très élevées suivant la rapidité des temps de transition (temps de montée). L'évaluation de la susceptibilité des circuits nécessite donc l'utilisation de bancs de mesure adaptés pour chaque situation d'agression. Ainsi, nous avons choisi de présenter les différentes techniques de mesure normalisées disponibles en fonction de l'agression à reproduire.

1.5.2 Les bancs d'injection normalisés pour les perturbations harmoniques

Ces bancs de mesure permettent d'injecter un signal d'agression de type continu ou modulé en amplitude au moyen d'un générateur sinusoïdal amplifié en puissance. Il existe différentes

méthodes d'injection qui se distinguent suivant la configuration mise en place pour injecter le signal au circuit.

1.5.2.1 Le banc d'injection directe de puissance (Direct Power Injection - DPI)

Cette technique est référencée sous la norme IEC62132-4 [50] et elle permet de réaliser des tests de susceptibilité sur une gamme de fréquences allant de 150kHz à 1GHz. Le principe de cette méthode est illustré sur la figure 1.18.

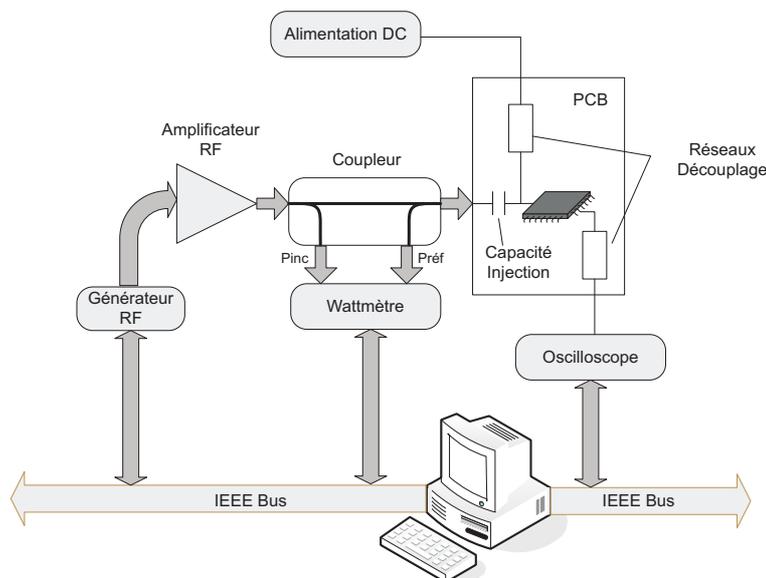


FIGURE 1.18 – Banc d'injection directe de puissance

Le signal RF est directement injecté sur une broche du composant à travers une capacité de faible valeur (1nF typique). La configuration de ce banc et du PCB permet d'avoir une certaine liberté sur le choix de la broche où le signal sera injecté. Cependant dans la majeure partie des cas, l'agression est injectée sur le réseau d'alimentation du circuit [48] ce qui justifie la présence de réseaux de découplage. La valeur de la capacité d'injection est déterminante car plus elle est importante et plus la fréquence de coupure associée est basse. L'analyse du comportement fonctionnel du circuit est effectuée en visualisant le signal de sortie au moyen d'un oscilloscope. L'utilisation d'un coupleur permet de contrôler les niveaux de puissance injectés.

1.5.2.2 Le banc d'injection par boucle de courant (Bulk Current Injection - BCI)

Cette méthode est utilisée pour injecter un courant perturbateur sur un composant ou un circuit. Cette technique est dérivée d'un standard dédié à la caractérisation d'équipements automobiles [51], et elle est actuellement normalisée pour une gamme de fréquences allant de 150kHz à 1GHz [52]-[53].

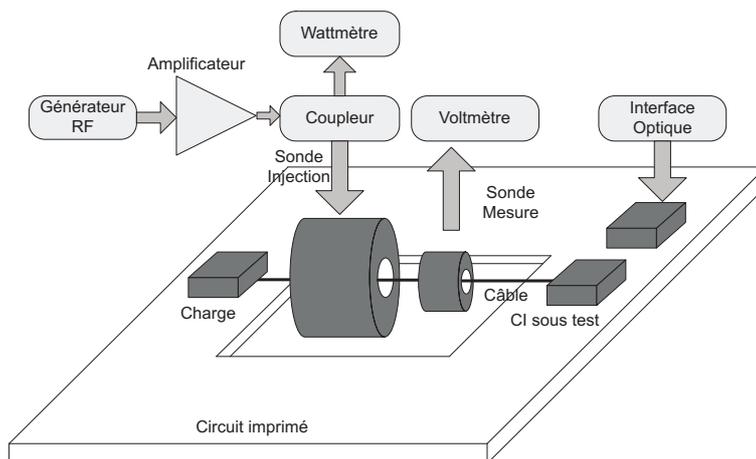


FIGURE 1.19 – Banc d'injection de courant

Le principe de cette technique repose sur le couplage inductif. En effet un courant est injecté sur un câble, directement relié au circuit sous test, via une pince d'injection (transformateur). Une seconde pince est positionnée au plus près du composant afin de mesurer le courant injecté. Cette configuration nécessite donc la mise en place d'une carte de test plutôt atypique permettant d'accueillir les pinces. L'une des limites à l'utilisation de ce banc de mesure provient du fait qu'il est difficile d'accéder à une broche en particulier.

1.5.2.3 Le banc d'injection par cage de Faraday (Work Bench Faraday Cage - WBFC)

Le principe de cette technique repose sur une méthode de mesure d'immunité des circuits intégrés aux agressions EM en mode commun et elle permet de réaliser des caractérisations de susceptibilité sur une gamme de fréquences allant de 150kHz à 1GHz [54].

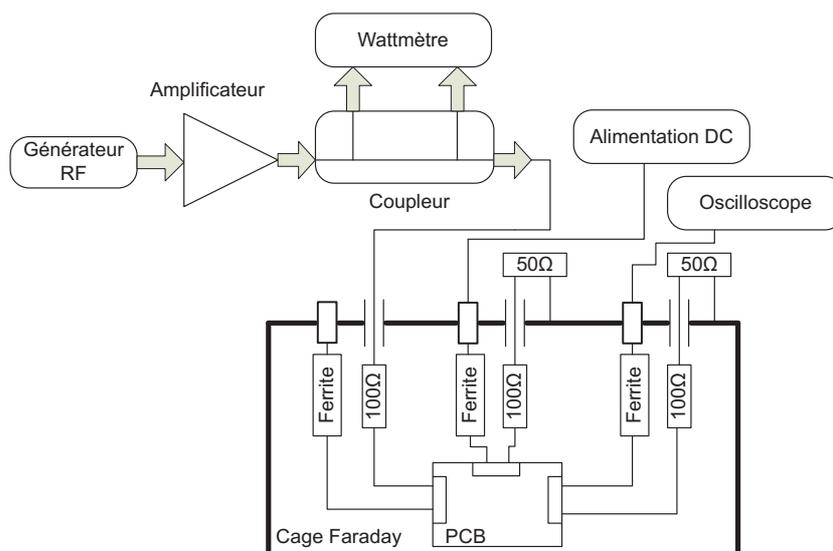


FIGURE 1.20 – Banc d'injection par cage de Faraday

Le circuit intégré est monté sur carte dont les dimensions ont été définies de manière à l'insérer dans une cage de Faraday. L'intérêt de cette cage est d'isoler le circuit de l'environnement électromagnétique extérieur. Le signal d'agression est injecté en mode conduit via une résistance sur le circuit. Des filtres sont insérés à chaque interface de la cage afin de limiter la propagation de parasites issue des appareils de mesure. Cependant, il ne faut pas oublier que cette cage peut être assimilée à une cavité résonnante dans le cas où les dimensions de la cage ou de la carte de test sont proches de la longueur d'onde de la perturbation [55].

1.5.2.4 Synthèse

Parmi ces différentes techniques d'injection en mode conduit, la méthode DPI connaît un franc succès car elle est l'une des plus performantes pour mesurer la susceptibilité des circuits intégrés. De plus, cette technique est la plus simple et la moins coûteuse à mettre en place. Le développement de bancs de mesure DPI s'est largement répandu et de nombreux cas d'études ont été réalisés sur différents types de circuits intégrés plus ou moins complexes. Généralement, une attention particulière est portée à la phase de conception du circuit imprimé qui va accueillir le circuit intégré à caractériser. Le dimensionnement et le routage des pistes doivent être optimisés de manière à limiter les problèmes de désadaptation d'impédance en HF. La présence d'une forte désadaptation aurait pour principal effet de limiter le niveau de puissance réellement injecté au circuit. Lors de la phase expérimentale, la puissance injectée au circuit est contrôlée grâce à l'insertion d'un coupleur qui permet de vérifier la puissance fournie par le générateur et la puissance réfléchi par le circuit au niveau de l'injection. A partir de ces grandeurs, il est possible d'en déduire le niveau de puissance reçu par le circuit. La présence d'une forte désadaptation imposera donc de fournir des puissances plus importantes afin d'engendrer un dysfonctionnement au circuit. Ce paragraphe n'a pas l'intention d'énumérer les différentes dispositions à respecter dans ce type d'analyse, mais les problèmes dus aux désadaptations d'impédance sont des phénomènes omniprésents et récurrents dans le domaine des hautes-fréquences, et il nous est apparu fondamental de le préciser afin de faire un lien direct avec le contenu fréquentiel des agressions traitées dans notre étude.

1.5.2.5 Présentation d'un cas d'étude

De nombreuses études ont été réalisées avec la technique DPI [53] - [48] - [45] - [56] et nous n'avons pas la prétention de présenter l'ensemble des résultats. Cependant, il nous est apparu judicieux d'examiner les différents types de circuits tests, et particulièrement les points d'injection de la perturbation. La méthode DPI permet d'agresser un circuit localement sur l'une des broches et l'on constate que de nombreuses études [48] - [45] ont fait le choix d'injecter l'agression sur les broches du réseau d'alimentation du circuit afin d'accroître la probabilité de le perturber. En effet, le réseau d'alimentation est un excellent support pour véhiculer la perturbation à travers le circuit. Cette stratégie d'agression peut également être complétée par la perturbation du signal d'horloge [41] qui est un moyen redoutable pour affecter la fonctionnalité globale du circuit. Cependant, ces choix ne sont pas exclusifs et d'autres études ont proposé d'agresser directement une broche d'entrée/sortie [26].

Avant de présenter des cas typiques de caractérisation de susceptibilité, il est utile de définir le principe d'une mesure de susceptibilité. L'objectif est de construire une courbe de susceptibilité en fonction de la fréquence du signal perturbateur. Cette caractérisation a nécessité la mise en place d'un protocole de mesure structuré en plusieurs étapes [48]. Ainsi pour chaque fréquence, un balayage en puissance est effectué afin de déterminer le niveau de puissance nécessaire pour que le circuit devienne susceptible à un critère donné. L'une des méthodes les plus réalistes pour évaluer le comportement interne du circuit consiste à contrôler l'allure temporelle du signal de sortie. Dès lors que le signal franchit les conditions limites de susceptibilité, le circuit est considéré comme défaillant. Ces limites sont fixées par un gabarit qui a été établi en fonction des erreurs les plus récurrentes :

- l'amplitude du signal ne doit pas dépasser le seuil de commutation de l'état logique sous peine d'engendrer une erreur d'état ;
- les effets de désynchronisation (gigue temporelle) ne doivent pas être trop importants car ils risquent de causer des risques de violations de temps d'établissement ou de maintien pour un autre circuit relié à ce composant [48].

Toutefois l'expérience démontre que les circuits sont plus sensibles aux giges temporelles qu'aux variations d'amplitude [24]. Les travaux réalisés par E. Lamoureux [45] ont permis de caractériser la susceptibilité de composants simples comme des inverseurs logiques. La figure 1.21 présente un cas typique d'une courbe de susceptibilité en fonction de diverses technologies :

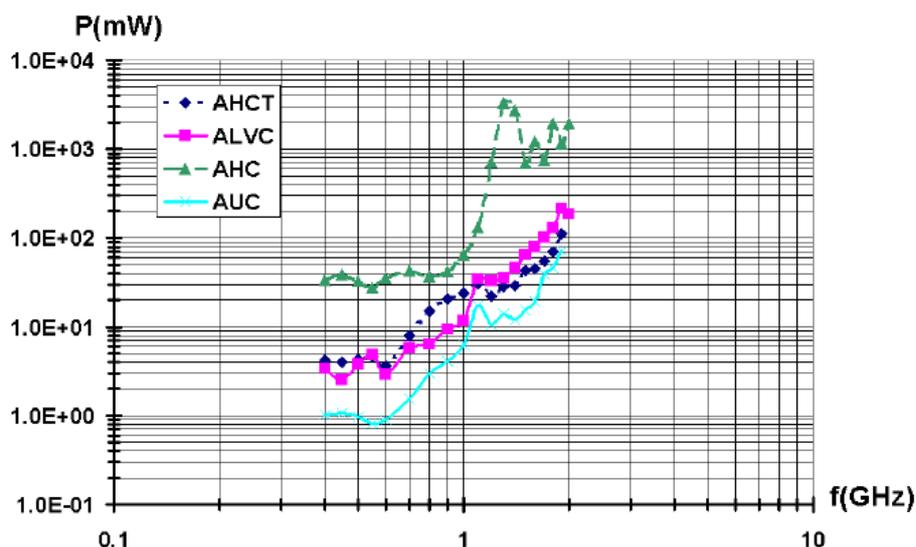


FIGURE 1.21 – Courbe de susceptibilité de composants simples [45]

Si nous comparons les différents résultats de cette étude, nous remarquons que la susceptibilité des circuits dépend de l'évolution des technologies, ce qui était prévisible compte tenu des conclusions que nous avons énoncées sur le fait que la diminution des tensions d'alimentation augmentait la sensibilité des circuits. Notons également que plus la fréquence de la perturbation augmente et plus le seuil d'immunité des circuits est élevé. Ce phénomène est étroitement lié au comportement capacitif des étages d'entrée des circuits intégrés [26] ce

qui signifie que l'impédance d'entrée du circuit joue donc un rôle prépondérant dans l'évaluation de la susceptibilité. Pour des basses fréquences, le circuit présente une impédance relativement élevée et l'injection d'une faible puissance génère une tension importante. En revanche, il est nécessaire de fournir une puissance plus conséquente en haute-fréquence pour engendrer un dysfonctionnement. Cette remarque est capitale et démontre la nécessité de caractériser les éléments parasites présents dans les étages d'entrée des circuits intégrés.

Ces techniques de caractérisation présentent cependant certaines limitations par rapport à l'analyse que nous désirons mener. En effet, notre étude doit répondre à des besoins militaires qui exigent de caractériser le comportement des circuits sur une bande fréquentielle beaucoup plus étendue. Les techniques de caractérisation présentées ci-dessus ont été déployées à l'origine pour répondre à des besoins industriels quant à l'interaction de perturbations non-intentionnelles. Actuellement, ces techniques sont normalisées jusqu'à 1GHz et il peut être envisagé d'étendre cette limite à 4GHz dans le cadre d'une injection avec la méthode DPI en utilisant des capacités de couplage HF de faible valeur [57]. Néanmoins, ce domaine d'exploration n'est pas suffisant pour considérer que ces techniques puissent être efficace en présence de perturbations de type AGREMI.

Pour le moment, nous ne proposons pas de détailler les différentes techniques de modélisation car nous avons dédié une partie à cet axe de recherche dans la suite de ce chapitre. Cependant, l'élaboration d'un modèle de susceptibilité est un exercice extrêmement complexe et la possibilité d'obtenir des informations sur l'architecture électrique et les caractéristiques technologiques des circuits s'avère déterminante pour accroître la fiabilité des prédictions. Pour cette raison, la plupart des cas d'étude traités avec le méthode DPI ont été réalisés sur des cartes spécialement conçues pour ce genre d'étude. Les cas d'étude menés par E.Lamoureux [45] et A. Alaeldine [48] proposent de caractériser la susceptibilité de circuits complexes en disposant de certaines informations sur la constitution interne des circuits. Ces caractérisations sont donc fortement liées à la configuration de la carte et à l'architecture du circuit. En d'autres termes, la susceptibilité des circuits est analysée dans ces conditions au cas par cas.

1.5.3 Les bancs d'injection de perturbations transitoires

1.5.3.1 Introduction

Le besoin de qualifier la susceptibilité des circuits ne se limite pas à étudier les effets des perturbations harmoniques. En effet, ces dernières années de nombreuses publications ont démontré que les circuits étaient de plus en plus sensibles aux perturbations transitoires. Les investigations entreprises par M. Camp et H. Garbe [58] en sont la parfaite illustration. Leurs travaux ont consisté à évaluer les effets de transitoires rapides (EMP et ULB) sur plusieurs architectures matérielles de PC, et il en ressort que la susceptibilité transitoire des circuits augmente avec l'arrivée de processeurs de nouvelles générations.

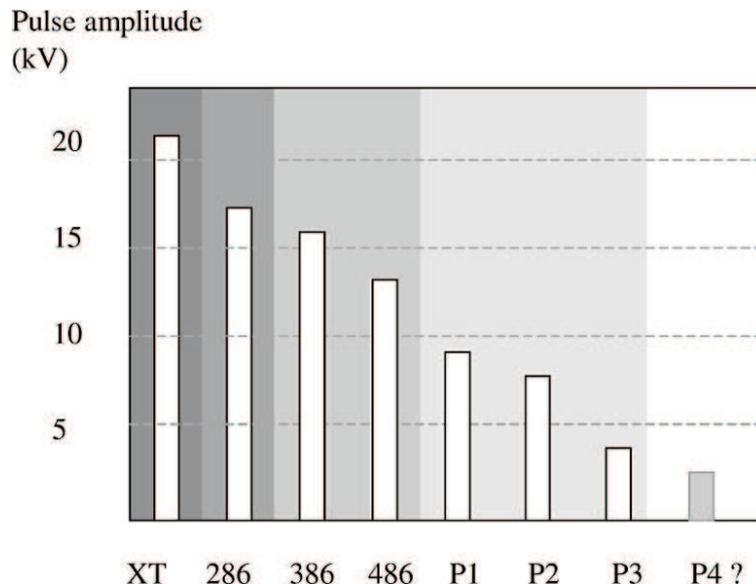


FIGURE 1.22 – Évolution de l'immunité transitoire des générations d'ordinateur [58]

La contribution conjointe de la diminution des tensions d'alimentation, de l'intégration accrue de transistors et de l'augmentation des fréquences de fonctionnement sont les principales raisons de cette décroissance de l'immunité des circuits intégrés. Désormais, il existe une vaste variété de perturbations transitoires dont les effets sur les circuits électroniques sont dépendants des caractéristiques électriques des impulsions (amplitude, temps de montée, durée, fréquence de répétition,...).

1.5.3.2 Perturbations ESD

Ces dernières années, la majorité des analyses et des études sur la caractérisation de l'immunité des circuits aux perturbations transitoires ont porté sur les effets des décharges électrostatiques (ESD). Cependant les perturbations transitoires ne se limitent pas qu'aux ESD puisqu'il existe toute une gamme de parasites transitoires engendrant des surtensions relativement rapides. L'effet perturbateur des différents types de transitoires dépend de l'énergie qu'ils transportent et par conséquent de leurs caractéristiques électriques telles que leur amplitude, leur temps de montée, leur durée, et leur taux de répétition. Le tableau 1.5 compare les effets directs associés à certaines menaces transitoires :

	Décharges électrostatiques	Impulsions électromagnétiques	Décharges inductives	Coups de foudre
Courant de surcharge	10A	négligeable	50A	10kA
Durée jusqu'à mi-valeur en retombée	50ns	20µs	100µs par impulsion
Énergie	5mJ	Énergie rayonnée 1 à 5 J/m ²	1J	1kJ

TABLE 1.5 – Comparaison des effets associés aux diverses menaces transitoires [59]

Les transitoires ESD sont certes les moins énergétiques, mais la probabilité qu'une perturbation de ce type affecte les circuits électroniques est relativement élevée. En effet, dans l'industrie du semi-conducteur, ces perturbations naturelles constituent l'une des causes essentielles de défaillance des composants. Pour information, une synthèse [33] a démontré que 10% des produits retournés par les clients présentaient des défaillances liées aux ESD. Cependant, ce pourcentage est en réalité plus élevé car les auteurs de cette synthèse signalent que certaines défaillances classifiées comme EOS (Electrical OverStress) pourraient être dues aux ESD. Cette remarque n'est pas anodine car les défaillances EOS représentent tout de même 50% des retours produit. Les perturbations EOS comprennent de nombreuses formes d'impulsions différentes et elles regroupent notamment des perturbations très énergétiques comme la foudre et les impulsions électromagnétiques. Les dégâts engendrés par ce type de perturbation sont généralement importants et peuvent provoquer des destructions au niveau du silicium et des interconnexions ainsi que des claquages d'oxydes.

L'apparition d'une décharge électrostatique résulte d'un transfert rapide et à forte intensité de charges entre deux corps assez proches l'un de l'autre et ayant des potentiels électrostatiques différents [60]. Il existe de nombreux mécanismes de génération d'ESD qui donnent naissance à des impulsions de courte durée ayant des tensions et des courants relativement importants. Les caractéristiques électriques de ces décharges dépendent de la source, des chemins et des conditions de propagation.

Les ESD sont une source de perturbation de plus en plus menaçante pour les systèmes électroniques, et plus particulièrement pour les circuits intégrés, compte tenu du fait que des études ont démontré que l'immunité des circuits en régime transitoire diminue avec l'évolution technologique [61]. Par conséquent, les fabricants doivent tenir compte de ces problèmes lors de la phase de qualification de leur produit et pour cela des méthodes de test ont été développées et normalisées afin d'étudier la robustesse des circuits [62].

Des modèles de décharges ESD ont été élaborés afin de reproduire le plus fidèlement possible les événements ESD que le produit risque de rencontrer tout au long des phases de conception et de production. Le principe d'une simulation ESD correspond à la décharge d'une capacité initialement chargée dans le circuit test. La décharge se produit à travers une résistance et une inductance dont les valeurs déterminent les caractéristiques temporelles du courant de la décharge. Les valeurs des différents éléments passifs du circuit de test ESD diffèrent selon le modèle de décharges et elles sont directement corrélées au contexte d'étude à reproduire. Actuellement il existe trois modèles qui se différencient par rapport à l'origine des phénomènes ESD :

- *Modèle du corps humain* - HBM (Human Body Model) [63] : Ce modèle fait office de précurseur dans les tests ESD puisqu'il a été introduit dans les années 1980. De nos jours, il est largement utilisé pour qualifier la robustesse des composants aux ESD. Fondamentalement, ce modèle permet de simuler la décharge d'une personne électriquement chargée sur un composant électronique.

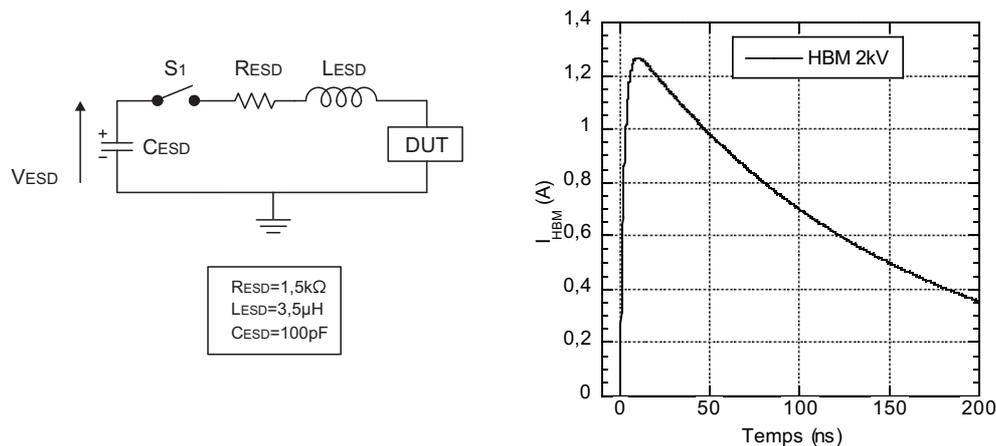


FIGURE 1.23 – Circuit RLC équivalent et forme d'onde d'une décharge issue du modèle HBM [64]

Dans le modèle électrique présenté à la figure 1.23, la capacité C_{ESD} représente la quantité de charge électrique stockée par le corps, L_{ESD} correspond à l'inductance du bras et de la main et R_{ESD} est assimilé à la résistance de la peau. La décharge HBM est obtenue en chargeant au préalable le condensateur C_{ESD} à la tension de test (de 250V à 16kV suivant les normes) puis en fermant l'interrupteur S1. Un exemple de forme d'onde du courant typique pour une tension de décharge de 2kV est illustré à la figure 1.23. On constate que le courant atteint très rapidement (10ns) sa valeur maximale puis décroît de façon exponentielle. Quantitativement, la durée d'une décharge HBM s'étend de 400 à 500ns et l'énergie produite est de quelques microjoules.

- *Modèle de l'équipement chargé - MM (Machine Model) [65]* : Historiquement ce modèle a été développé au Japon puis aux États-Unis pour qualifier les ESD naissant entre les appareils dans les lignes d'assemblage de fabrication en masse. Concrètement, il simule la décharge d'un appareil métallique sur un composant électronique relié à la masse.

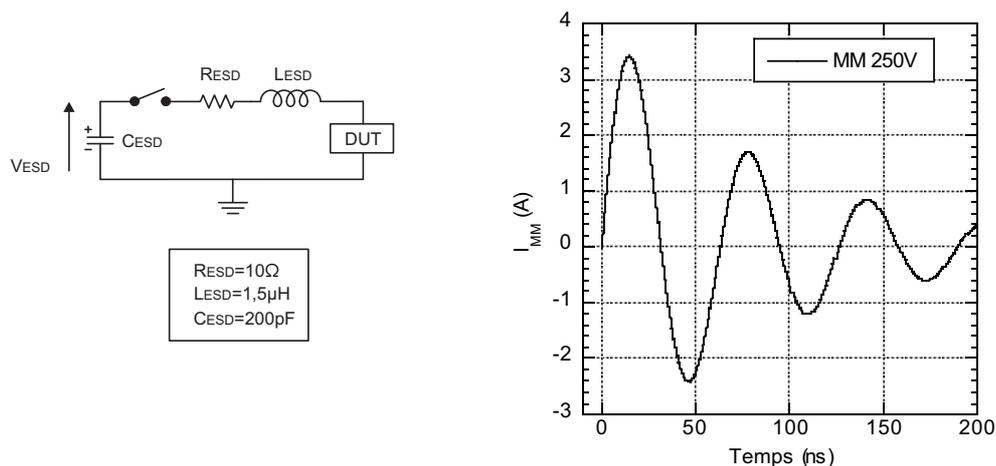


FIGURE 1.24 – Circuit RLC équivalent et forme d'onde d'une décharge issue du modèle MM [64]

Le circuit équivalent associé à ce modèle est très proche de celui du modèle HBM mais cependant les valeurs des éléments RLC sont différentes. Dans ce cas de figure, la résistance

R_{ESD} est plus faible car elle représente le contact entre un objet métallique et la puce. Les éléments L_{ESD} et C_{ESD} sont adaptés pour obtenir la forme d'onde correspondant aux normes. Si nous analysons la forme d'onde d'une décharge MM (figure 1.24), nous remarquons qu'elle se caractérise par des oscillations sinusoïdales qui s'amortissent au cours du temps. Malgré cela, les résultats des tests MM sont souvent comparables aux tests HBM car le temps de montée du courant à l'ouverture et l'énergie imposée sont très semblables.

- *Modèle du composant chargé* - CDM (Charged Device Model) [66] : Contrairement aux modèles HBM et CDM qui décrivent des décharges allant de l'appareil de test vers le circuit, le modèle CDM représente la décharge propre d'un circuit intégré assemblé dans son boîtier. En effet, il arrive dans certains cas que le composant se charge d'électricité statique (par triboélectricité) via son boîtier lors d'un glissement dans sa barrette de transport, par exemple [67]. Lorsqu'une des broches du boîtier entre en contact avec un plan métallique, le circuit se décharge par un courant de durée très courte et d'amplitude très élevée (figure 1.25).

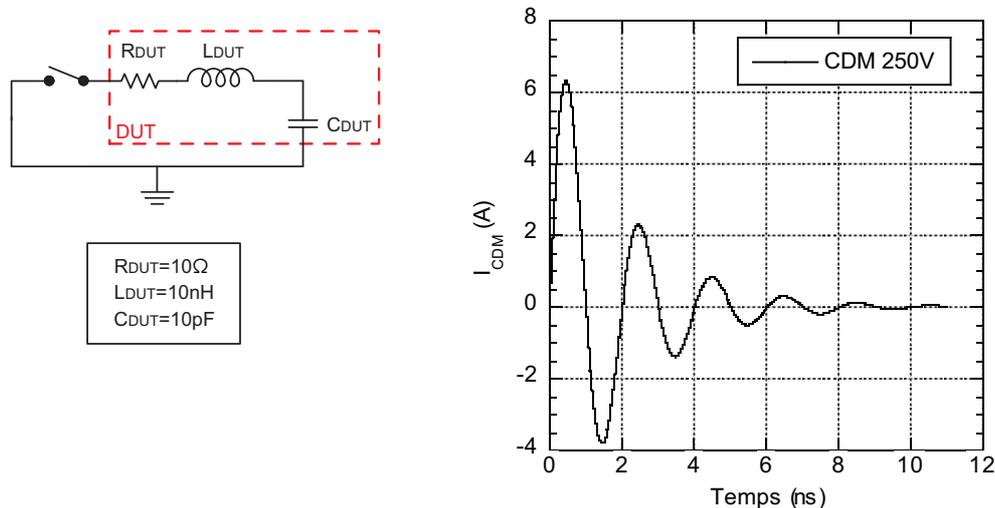


FIGURE 1.25 – Circuit RLC équivalent et forme d'onde d'une décharge issue du modèle CDM [64]

La rapidité de la décharge est principalement due aux faibles valeurs des éléments capacitifs et inductifs. En effet, par rapport au modèle HBM et MM, la capacité de charge est beaucoup plus faible car elle est intrinsèquement dépendante de la constitution des composants. La forme d'onde du courant associée à un test CDM se caractérise par signal oscillant fortement amorti avec un temps de montée inférieur à la nanoseconde. L'ensemble de ces caractéristiques fait que les stress de type CDM sont beaucoup moins énergétiques que les stress de type HBM et MM.

Ces différents procédés de décharge permettent de déterminer la sensibilité du composant en définissant les tensions de charge maximum qu'il peut emmagasiner sans induire de défaillances. Pour modéliser les surcharges électriques, l'IEC (International Electrotechnical Commission) a développé des méthodes de mesure. Parmi les différentes méthodes proposées par l'IEC, on

retrouve la norme IEC 61000-4-2 [62] qui permet de déterminer si les systèmes sont sensibles aux événements ESD de type HBM. Cette norme définit une méthodologie de test pour injecter un stress ESD ainsi que les courants et tensions caractérisant cet événement. L'injection du stress ESD est effectuée grâce à un pistolet, qui fait office de générateur ESD, à toutes les parties accessibles du système. Cependant, ce type de test n'est pas adapté pour qualifier la robustesse des circuits intégrés et il convient de signaler qu'il n'est réalisé que sur des systèmes non alimentés. De plus, cette procédure se limite à la simple vérification de la robustesse du circuit aux exigences des normes en appliquant des décharges d'amplitude croissante jusqu'à la destruction [68]. En conclusion, ces tests ne permettent pas d'analyser les mécanismes menant à la défaillance du circuit.

Cependant, la qualification des circuits a évolué au cours de ces dernières années et de nouveaux moyens de test ont vu le jour afin de caractériser le comportement électrique des circuits en régime de fort courant lors d'un stress ESD. Ainsi les bancs de mesure TLP (Transmission Line Pulsing) [69] et VF-TLP (Very Fast Transmission Line Pulsing) [70] ont été introduits pour qualifier respectivement la sensibilité des circuits à des stress ESD de type HBM et CDM. Ces techniques permettent notamment de tracer une caractéristique statique des structures de protection ESD afin d'en extraire les paramètres indispensables à son optimisation. Cependant, ces bancs de mesure ne se limitent pas qu'à ce type d'expérimentation puisqu'ils permettent d'aborder un nouveau champ d'investigation qui consiste à caractériser le niveau de susceptibilité des circuits intégrés aux ESD. En effet, les ESD sont désormais considérées comme des perturbations électromagnétiques pouvant engendrer des erreurs dans les circuits intégrés. Ce type d'étude consiste à déterminer des niveaux de perturbation ESD pour lesquels il apparaît un dysfonctionnement : c'est une caractérisation ESD au niveau fonctionnel [48]. Ce type d'étude démontre une nouvelle fois que le domaine de la CEM est un domaine pluridisciplinaire.

Des études basées sur le principe de mesure VF-TLP ont permis d'analyser les effets des perturbations ESD sur des circuits simples et complexes en condition de fonctionnement [68],[48]. Le principe de l'injection d'une perturbation transitoire à l'aide de la méthode VF-TLP est décrit ci-dessous :

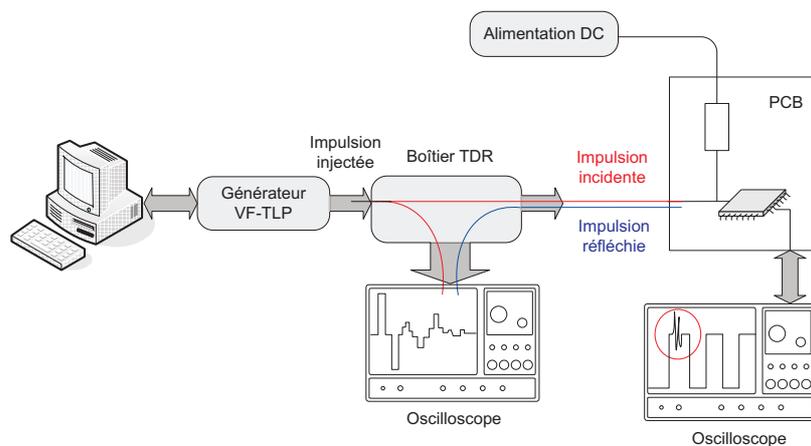


FIGURE 1.26 – Banc d'injection impulsion transitoire

Ce banc de mesure est composé d'un générateur d'impulsion commandé par un ordinateur afin de contrôler les paramètres électriques de l'impulsion (la largeur et l'amplitude). La présence d'un boîtier de réflectométrie temporelle (TRD) entre le circuit et le générateur a pour but de prélever les impulsions injectée et réfléchi. L'allure temporelle de ces impulsions est contrôlée à l'aide d'oscilloscopes. Cette méthode de mesure est analogue à la méthode DPI car les impulsions ESD sont directement injectées sur une ligne reliée soit à l'alimentation soit à la masse via une capacité qui a été choisie pour ne pas filtrer le signal perturbateur. Les différents résultats obtenus avec cette méthode confirment que le générateur d'impulsions VF-TLP se positionne comme une excellente solution pour évaluer la susceptibilité d'un circuit intégré en fonctionnement vis-à-vis des agressions transitoires.

Cette technique est particulièrement intéressante dans l'évaluation du comportement des circuits intégrés face à des transitoires rapides car elle permet d'avoir une grande liberté dans la configuration des impulsions d'entrée. Cependant, cette technique nécessite la mise en place d'un banc de mesure intégrant des équipements relativement onéreux, ce qui peut limiter son utilisation.

1.5.3.3 Banc d'injection ULB

Les différents bancs de mesure présentés dans cette partie permettent de caractériser avec précision les effets de perturbations harmoniques et transitoires pour des problématiques industrielles. Cependant, dans notre situation les attentes sont différentes car nous cherchons à caractériser la susceptibilité des circuits à des perturbations "non-usuelles" (ULB). Il existe différentes méthodes d'essais permettant de qualifier la susceptibilité des systèmes face à ce type de perturbation, et la plupart des études sur le sujet utilisent des moyens de test basés sur le principe de l'illumination [61]-[37]-[71]. Ces essais de susceptibilité rayonnée sont réalisés en plaçant l'élément dans des enceintes spécialement dédiées telles que des cellules TEM, des chambres anéchoïdes et des chambres réverbérantes. L'approche que nous souhaitons réaliser se distingue quelque peu de ce type d'étude car nous avons admis que la perturbation va se propager vers les circuits intégrés par conduction. Cette étude passe donc par la mise en place d'un banc de mesure injection directe où le signal perturbateur est délivré par un générateur d'impulsion. Cette configuration expérimentale a déjà fait l'objet de travaux de recherche, notamment pour déterminer les effets de certaines impulsions sur des micro-contrôleurs [72] et pour évaluer le comportement des protections ULB aux signaux MFP [73].

Pour le moment, il n'existe pas de moyens de test génériques normalisés, mais des travaux ont été réalisés afin de mettre en place des bancs de mesure basés sur la génération d'impulsions ultra-brèves [74]-[75]. La figure 1.27 présente le principe d'un banc de mesure en transitoire pour caractériser le comportement de composants en présence de perturbation de type ULB.



FIGURE 1.27 – Banc de mesure transitoire [76]

Notre problématique est très similaire de ces dernières études car nous souhaitons mettre en place une méthodologie qui nous permettra d'apprécier le comportement des étages d'entrée des circuits intégrés lorsqu'ils sont perturbés par des signaux transitoires rapides afin de déterminer leur influence dans la perspective d'étudier la susceptibilité des composants aux perturbations ULB.

Ces différentes caractérisations expérimentales sont généralement accompagnées d'une étape de modélisation afin de simuler le comportement des circuits et ainsi prédire la susceptibilité des composants.

1.6 Modélisation de la susceptibilité des composants

1.6.1 Introduction

Les méthodologies d'analyse de la susceptibilité ne se limitent pas à la caractérisation expérimentale puisqu'il y a un réel besoin de mettre en place des modèles permettant de prédire la susceptibilité des circuits intégrés. Ces besoins émergent d'horizons différents qui regroupent à la fois des problématiques industrielles et des problématiques militaires. Le contenu de cette partie a donc pour objectif de présenter les différents travaux de modélisation de la susceptibilité des composants tout en évaluant les apports de ces méthodologies au contexte de notre étude. Dans le cas d'une agression de type AGREMI pour laquelle les bandes de fréquences sont larges, il est impératif de pouvoir mettre en œuvre un modèle de susceptibilité permettant de rendre compte des effets néfastes de la perturbation tout en prenant en considération le caractère non-linéaire des circuits.

De plus, nous avons vu dans la partie décrivant les interactions entre les sous-parties du projet VULCAIM qu'il était primordial que le modèle de susceptibilité tienne compte à la fois du couplage champ/carte [5] et du comportement du composant. Il est donc capital de ne pas omettre que le modèle retenu pour la représentation des composants devra être intégré au solveur qui a été développé pour l'étude électromagnétique d'une carte de circuit imprimé.

Le modèle de susceptibilité doit être capable de prédire avec une grande précision le comportement des circuits suivant différentes configurations de signaux perturbateurs (harmoniques ou pulsés) avec des amplitudes plus ou moins élevées. Cependant il n'est pas certain que le domaine de validité d'un modèle soit adapté aux différents types d'agression : c'est l'une de principales difficultés dans l'élaboration d'un modèle.

La construction d'un modèle prédictif de la susceptibilité des composants est une activité de recherche extrêmement complexe et qui n'est pas encore mature contrairement à la modélisation des émissions parasites avec l'utilisation du standard ICEM (Integrated Circuit Emission Model). Cependant, de nombreux travaux ont été engagés sur ce sujet et nous proposons dans cette partie de décrire les principales stratégies de modélisation de la susceptibilité à différents niveaux d'abstraction.

1.6.2 Les modèles circuit

L'une des approches les plus fidèles et réalistes consiste à créer des modèles au niveau transistor. En effet, la finalité de ce type de modélisation est de simuler la susceptibilité des circuits à partir d'une description plus ou moins détaillée du circuit de test. Historiquement, ce type de modélisation a été initié par une étude réalisée par C.E Larson et J.M. Roe [44]. Cette étude propose de simuler les effets d'une perturbation HF sur des transistors bipolaires en utilisant le modèle d'Ebers-Moll :

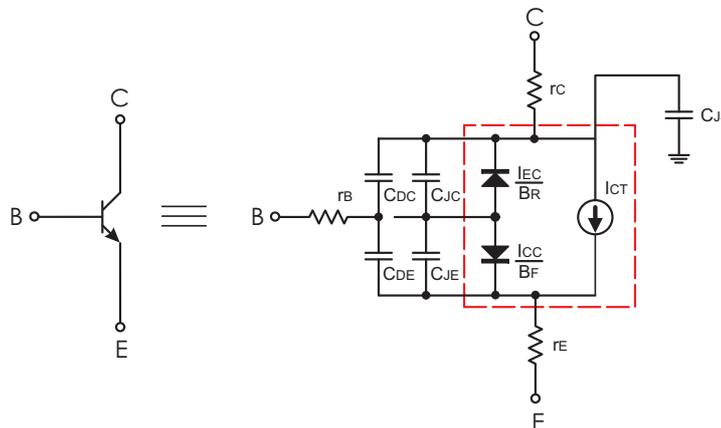


FIGURE 1.28 – Modèle d'Ebers-Moll grand signal d'un transistor bipolaire [77]

Sans entrer dans la définition de chaque paramètre, la structure électrique présentée dans le modèle d'Ebers-Moll (figure 1.28) constitue un excellent moyen pour modéliser les éléments parasites et les sources contrôles afin de mettre en évidence les phénomènes non-linéaires de détection d'enveloppe liés au redressement du signal par les jonctions PN. En technologie CMOS, il est également possible d'utiliser le modèle de transistor BSIM [78] qui est facilement exploitable dans des simulateurs de type SPICE. Ce modèle, qui à la base n'est pas prévu pour une étude d'immunité, est un modèle de troisième génération compact et largement utilisé actuellement en conception micro-électronique. De plus, il présente l'avantage de modéliser avec une grande précision les différentes zones de fonctionnement des transistors grâce à la présence de nombreux paramètres.

Ce genre d'approche a été appliqué avec succès pour des études sur des circuits simples tels que des amplificateurs opérationnels [79] et de simple portes logiques [80]. Plus récemment, la simulation de la susceptibilité de circuits complexes a été réalisée en utilisant le schéma complet du circuit au niveau transistor [48]-[45]. Ces études concernent des circuits spécialement dédiés à la caractérisation de la susceptibilité, ce qui signifie qu'il y a une collaboration directe avec le fabricant qui a conçu le circuit. Cependant, ce type de modélisation est très peu utilisé de nos jours car il n'est pas approprié dans le cas de gros circuits pour des raisons de complexité et de temps de simulation. En effet, plus le circuit est complexe et plus la durée d'une simulation complète des cœurs logiques nécessite un temps de calcul considérable. Il est donc nécessaire de mettre en place des modèles simplifiés pour réduire la durée des simulations. De plus, pour des circuits "industriels", ce type de modélisation exige d'avoir accès à de nombreuses informations

et les fabricants de circuits sont en règle générale assez réticents à fournir une netlist complète de leur circuit. Pour toutes ces raisons, de nouveaux modèles ont été développés au fur et à mesure des années et nous proposons dans la suite de cette partie de décrire les principales approches.

1.6.3 Les modèles comportementaux

Le principe d'une modélisation de type comportemental est de remplacer tout ou partie d'un composant par un modèle mathématique qui permet de tester le comportement en condition de perturbation. Ce modèle se distingue donc du précédent par le simple fait qu'il n'est pas nécessaire de connaître la constitution physique et technologique du circuit. Ce type de modélisation permet une description des blocs fonctionnels à la fois plus simple et à un niveau d'abstraction plus élevé qu'au niveau transistor. Ce type de modélisation propose donc de développer "une boîte noire" dans laquelle les grandeurs d'entrée et de sortie sont reliées par un ensemble simplifié d'équations différentielles, de fonction mathématiques non-linéaires ou linéaires par morceaux ou de tables de données. Le développement de modèles comportementaux est en pleine expansion avec l'utilisation massive des langages standards tels que le Verilog-A [81] et le VHDL-AMS (Very High Speed Integrated Circuits Hardware Description Language) [82] qui se positionnent comme un concurrent direct à la modélisation circuit de type SPICE [83]. Parmi les différentes études qui ont été réalisées avec ce type de modélisation, nous avons choisi d'introduire cette approche avec les travaux réalisés par I.S. Stievano et al.[84]. Ses travaux ont consisté à développer un modèle comportemental fiable et précis des portes d'entrée/sortie des circuits intégrés. Les modèles générés, extraits à l'aide de mesures dans le domaine temporel, à partir de cette approche sont basés sur une approximation mathématique permettant de traiter le comportement dynamique des éléments non-linéaires. Cette étude constitue une solution de modélisation très complémentaire pour traiter des problèmes de CEM et d'intégrité de signal et elle présente un intérêt particulier dans la prise en compte du comportement non-linéaire des étages d'E/S. Ce type de modélisation a également été appliqué avec succès dans les travaux d'I. Chahine [56] qui a proposé de construire un modèle comportemental basé sur un réseau de neurones. La procédure de modélisation a consisté à approximer par un modèle mathématique des résultats de la susceptibilité d'un inverseur initiée par la méthode DPI. En effet, le problème de susceptibilité conduite peut être réduit à une fonction mathématique non-linéaire qui relie une ou plusieurs sorties à une ou plusieurs entrées. La phase d'apprentissage du réseau de neurones est effectuée selon le principe exposé à la figure 1.29.

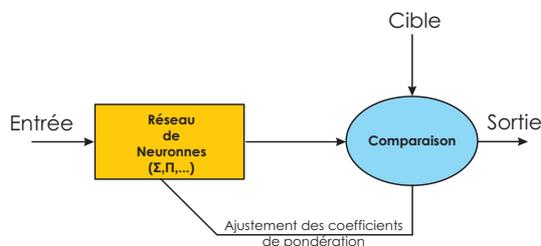


FIGURE 1.29 – Principe de fonctionnement du réseau de neurones [56]

En général, l'apprentissage des réseaux de neurones est réalisé de telle sorte que pour une entrée particulière présentée au réseau correspond une cible spécifique. L'ajustement des poids se fait par comparaison entre la réponse du réseau (ou sortie) et la cible, jusqu'à ce que la sortie corresponde au mieux à la cible. Une fois l'apprentissage du réseau réalisé, le réseau est prêt à calculer la fonction demandée. Selon la complexité de la fonction à approximer, l'apprentissage et la mise en place d'un réseau de neurones restent pour le moment un tâche fastidieuse et longue [85]. Cependant, les résultats obtenus sont réellement encourageants et demandent encore de nouvelles validations pour accroître la fiabilité de la méthodologie.

D'une manière générale, les modèles comportementaux ont un niveau d'abstraction très intéressant pour les industriels puisque cette méthodologie permet de conserver la confidentialité de la structure interne des circuits intégrés. Cependant, du point de vue du développement, ces modèles ne sont pas génériques et leur domaine de validité est limité à une configuration expérimentale et logicielle donnée, ce qui réduit leur efficacité. De plus, l'approche développée dans ces modèles n'est pas nécessairement physique.

1.6.4 Les macro-modèles

Le niveau d'abstraction des macro-modèles est encore plus élevé que celui des modèles comportementaux mais ce type de modélisation est généralement orienté système. Par définition, la macro-modélisation a pour objectif de remplacer un système électronique ou une partie de ce système par un modèle afin de réduire les temps de calcul lors de la simulation du système. La macro-modélisation consiste donc à construire un modèle électrique qui puisse être le plus simple possible et qui soit capable de reproduire avec précision le comportement du système. Un macro-modèle peut être constitué d'éléments idéaux linéaires (composants passifs et sources contrôlées) et de composants actifs non-linéaires (diodes, transistors).

Ce type de modélisation connaît un large succès dans la construction de modèles de susceptibilité des composants que ce soit dans le monde académique ou dans le monde industriel.

Dans un contexte industriel, la génération de modèles de susceptibilité doit répondre à des contraintes très fortes [86] :

- le modèle de susceptibilité doit permettre la simulation de la fonctionnalité du composant agressé, tout en garantissant une certaine confidentialité,
- le modèle doit être compatible avec les principaux simulateurs de circuits (SPICE, VHDL-AMS),
- le modèle doit être simplifié au maximum afin que la simulation du modèle soit rapide et qu'il n'y ait pas de problèmes de convergence.

Pour ces raisons, la génération de macro-modèles s'impose donc comme la solution de modélisation la plus appropriée, et nous verrons quelles sont les techniques de modélisation adoptées tout en sachant que pour le moment il n'existe pas de standard pour modéliser la susceptibilité des circuits. Cependant, au niveau académique, des travaux sont en cours afin d'élaborer un modèle générique d'immunité. Nous terminerons donc cette présentation en décrivant les premières pistes de réflexion quant à la standardisation future d'une structure de modélisation de l'immunité des circuits intégrés.

1.6.4.1 Le modèle LECCS

A l'origine le modèle LECCS (Linear Equivalent Circuit and Current Source) est un macro-modèle qui a été développé pour simuler l'émission conduite des composants dans le domaine fréquentiel. Ce modèle est constitué d'un circuit linéaire équivalent de type RLC et d'une source de courant représentant, respectivement, l'impédance et l'activité interne du circuit. Dans la littérature, nous retrouvons deux types de modèle LECCS : un modèle destiné à modéliser l'activité du cœur et un autre pour modéliser le bruit de commutation généré par les entrées-sorties. Généralement, le modèle LECCS complet d'un composant est illustré de la façon suivante :

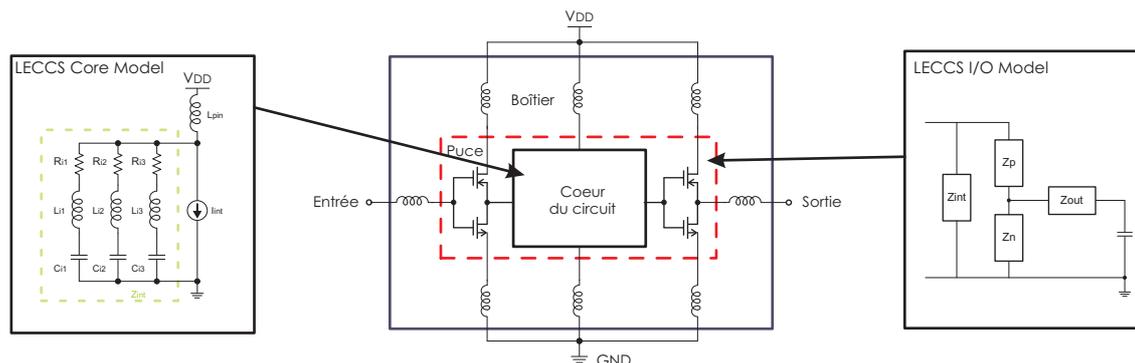


FIGURE 1.30 – Structure d'un modèle LECCS complet [26]

Ichikawa et al. [87] ont démontré que le modèle LECCS pouvait se positionner comme une solution de modélisation de la susceptibilité des composants. En effet, la caractérisation de l'impédance du chemin de couplage et du circuit est essentielle car elle permet d'apprécier la propagation de la perturbation à l'intérieur du circuit. Le profil de l'impédance interne du circuit en fonction de la fréquence est directement corrélé à sa susceptibilité car il conditionne les niveaux de puissance du signal perturbateur.

1.6.4.2 Le modèle ICEM

A l'image du modèle LECCS, le modèle ICEM (Integrated Circuit Emission Model) a été conçu pour simuler l'émission conduite et rayonnée due à l'activité interne des circuits et à la commutation des entrées/sorties ce qui signifie que ces modèles n'ont pas été développés, à la base, pour modéliser la susceptibilité des composants.

Le modèle ICEM est désormais mature puisque les nombreux travaux qui ont été effectués ont conduit à sa normalisation [29]. Sa structure est basée sur l'architecture interne d'un circuit intégré et il est composé d'éléments localisés simples. Une description du modèle est donnée à la figure 1.31.

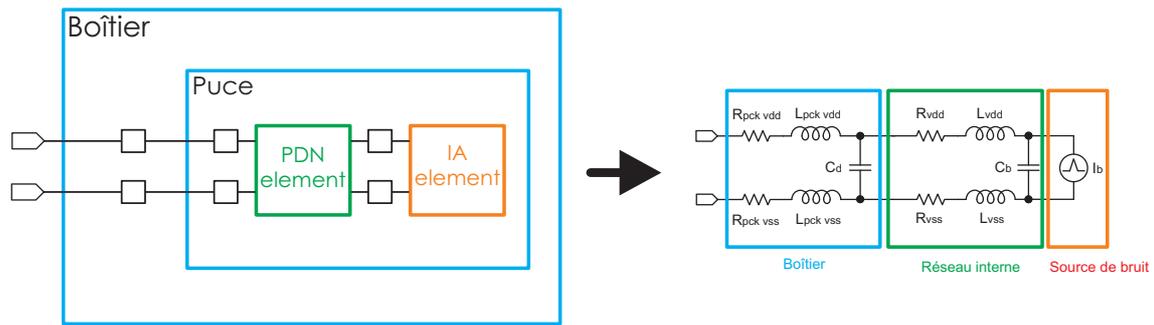


FIGURE 1.31 – Structure électrique du modèle ICEM [29]

Le modèle ICEM est constitué de deux parties bien distinctes dont il convient de rappeler la signification :

- la *partie activité interne (IA - Internal Activity)* : ce composant est décrit par une source de courant (I_B) qui modélise le bruit généré par les commutations numériques,
- la *partie réseau de distribution (PDN - Passive Distribution Network)* : ce composant représente le réseau des impédances présentées entre les différents accès du circuit et la source de courant. Dans le cas de la structure de la figure 1.31, ce réseau équivaut à l'impédance vue entre l'alimentation V_{dd} et la masse V_{ss} qui est composée respectivement des éléments $R_{V_{dd}}$, $L_{V_{dd}}$ et $R_{V_{ss}}$, $L_{V_{ss}}$. On note également la présence de la capacité C_b qui correspond à la capacité interne entre V_{dd} et V_{ss} sur le silicium.

Ce modèle prend également en compte l'influence du boîtier ($R_{pkgV_{dd}}$, $L_{pkgV_{dd}}$, $R_{pkgV_{ss}}$ et $L_{pkgV_{ss}}$) et de la capacité parasite C_d entre les broches V_{dd} et V_{ss} du boîtier. Selon la bande fréquentielle étudiée, il est possible d'enrichir le modèle avec d'autres éléments passifs pour prendre en compte l'influence de structures parasites complémentaires [26].

Ce modèle peut être ré-utilisé pour modéliser la susceptibilité des composants lorsque la perturbation est injectée sur les réseaux d'alimentation du circuit. Cette démarche a été initiée par les travaux de S. Baffreau [53] qui ont permis de prédire la susceptibilité d'un micro-contrôleur. L'idée de base est de remplacer la source de courant par une résistance de charge et de conserver la structure du réseau de distribution. Les résultats obtenus ont été encourageants ce qui permet d'en déduire que la modélisation du réseau d'alimentation est décisive dans cette configuration. Cependant, cette technique est beaucoup moins adaptée quand il s'agit de modéliser la susceptibilité d'un circuit lorsque la perturbation est injectée sur des broches d'entrée/sortie. En effet, ce modèle ne fait pas apparaître les éléments non-linéaires des étages de protection présents dans les entrées/sorties des circuits intégrés. Pour cela, des efforts ont été réalisés sur la modélisation de ces structures non-linéaires [26]-[88], ce qui a permis d'améliorer sensiblement les prédictions des modèles.

1.6.4.3 Le modèle ICIM

Le développement d'un modèle le plus prédictif possible est essentiel pour trouver des solutions afin d'améliorer la protection immunitaire des circuits intégrés, et dans le milieu industriel, il y a un réel besoin de créer un modèle générique d'immunité permettant de rendre

compte de la fonctionnalité des blocs afin d'avoir une approche la plus réaliste possible. Les différents travaux de modélisation de la susceptibilité réalisés à partir du modèle ICEM ont débouché sur la mise en place du modèle ICIM (Integrated Circuit Immunity Model). Le modèle ICIM se base sur le modèle ICEM en ajoutant un bloc relatif à la fonctionnalité du circuit. La structure interne de ce modèle est présente à la figure 1.32.

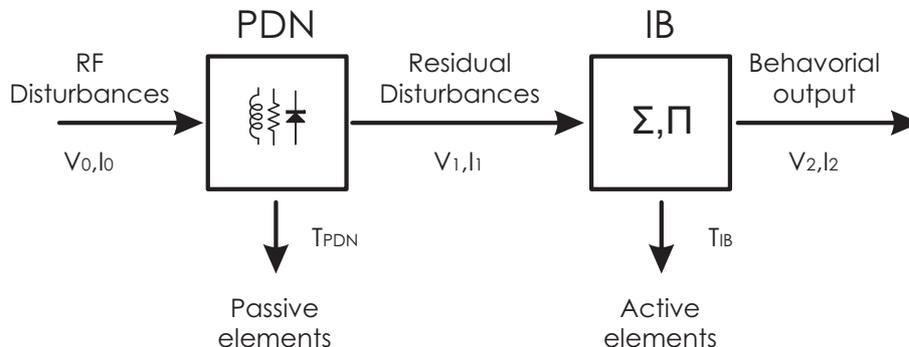


FIGURE 1.32 – Structure électrique du modèle ICIM [89]

Ce modèle est composé de deux blocs qui sont définis ainsi :

- *le bloc PDN (Passive Distribution Network)* : ce bloc permet de modéliser le chemin de couplage de la perturbation par des éléments passifs,
- *le bloc IB (Internal Behavior)* : ce bloc permet de reproduire un comportement fonctionnel et dans ce cas là, il est possible de le définir sous forme de boîte noire afin de garantir une certaine confidentialité. De plus, ce bloc doit aussi reproduire le comportement des éléments parasites du composant et plus particulièrement des effets non-linéaires des structures de protection.

Pour le moment, ce modèle est en cours de normalisation et les phases de validation montrent clairement qu'il est nécessaire de compléter ces travaux afin d'accroître la fiabilité du modèle [85].

1.7 Conclusion

Les marges d'immunité au bruit des composants actuels étant de plus en plus réduites à cause de l'évolution des technologies et de la diminution des tensions d'alimentation, il devient primordial de s'intéresser à la susceptibilité des circuits intégrés numériques face aux perturbations électromagnétiques. Ce premier chapitre a permis de présenter, de manière succincte, les différentes techniques expérimentales et les modèles développés pour évaluer et prédire cette susceptibilité.

La plupart des études de susceptibilité caractérise les effets des perturbations en analysant leur comportement fonctionnel. De plus, les perturbations que nous considérons dans cette étude (MFP/ULB) ne sont pas de celles qui sont couramment prises en compte par les industriels. L'approche fonctionnelle n'est donc pas suffisante dans notre situation car le spectre fréquentiel des perturbations nous amène à considérer et à comprendre les phénomènes physiques qui vont se produire afin de déterminer les origines des dysfonctionnements. Dans notre contexte, la

simulation de la susceptibilité des composants doit intégrer un modèle fiable et précis des étages de protection car les éléments qui les composent ont un comportement fortement non-linéaire qui risque de redresser les agressions et ainsi perturber le cœur numérique de la puce. De plus, ces protections présentent des capacités parasites pouvant modifier l'allure temporelle du signal entrant dans le cœur numérique du circuit intégré. Compte tenu du spectre fréquentiel des agressions étudiées, il est nécessaire de prendre en compte les effets non-linéaires des capacités parasites des étages de protection [90].

Le contexte particulier de cette étude nous amène à mettre en place une démarche spécifique afin d'évaluer le plus précisément possible les effets des agressions de type AGREMI en mode conduit (après couplage sur les équipements) et les mécanismes qui en découlent compte tenu des niveaux de perturbation que nous considérons. Cette appréciation passe par la connaissance du niveau "logique" à l'étage d'entrée numérique de la puce. Par conséquent, il est nécessaire d'étudier le couplage de ces perturbations sur les étages d'entrée des circuits, qui intègrent les circuits de protection contre les ESD. Notre objectif est donc de déterminer l'influence de ces étages de protection sur l'allure du signal arrivant sur l'inverseur d'entrée de la puce, puisque les agressions appliquées sont en général suffisantes pour amener ces protections à proximité de leur seuil de déclenchement.

Au final, notre étude se concentre sur la caractérisation et la modélisation des éléments de protection. Nous avons donc mis au point une méthodologie d'analyse dans laquelle nous proposons de modéliser expérimentalement le comportement transitoire des éléments de protection. La réponse transitoire des éléments est particulièrement adaptée pour évaluer l'ensemble des phénomènes non-linéaires qui surviennent à leur mise en conduction. Avant de décrire en détail le développement de cette méthodologie, nous proposons dans le second chapitre de ce manuscrit de présenter les différentes solutions de protection dans les circuits électroniques.

Chapitre 2 :

**Analyse des différentes solutions de
protection des circuits électroniques**

2.1 Introduction

Dans le chapitre précédent nous avons mis en évidence que l'une des principales difficultés dans l'analyse du couplage d'une agression AGREMI sur une structure électronique était de déterminer les chemins de couplage potentiels, le niveau d'amplitude et l'allure temporelle du signal qui arrive sur les interfaces des circuits électroniques. De plus, la diversité des composants, alliée à la complexité croissante des architectures, fait qu'il est impossible de mettre en œuvre une méthodologie d'analyse qui puisse être commune à un ensemble de cartes.

Dans le cas d'une étude de vulnérabilité à l'échelle du composant électronique, nous avons cherché à simplifier ces problématiques en admettant que lorsqu'une perturbation se couple sur une carte électronique les premiers éléments électriques qui vont interagir avec celle-ci sont les dispositifs de protection. L'évolution de la sensibilité des circuits intégrés et la multiplication des sources de perturbation ont nécessité la mise en place de stratégie de protection dans les circuits imprimés et dans les circuits intégrés. Désormais, il existe de nombreuses techniques pour accroître l'immunité des circuits intégrés aux perturbations externes et ainsi nous proposons dans ce chapitre d'effectuer un tour d'horizon assez généraliste des solutions mises en œuvre.

2.2 Optimisation de l'immunité des cartes électroniques

2.2.1 Règles de conception des cartes comme outil de protection

Depuis son invention en 1936 par Paul Eisler [91], la technique des circuits imprimés a suivi pas à pas l'évolution de la technologie des composants, ainsi que -dans une moindre mesure- celle des matériaux de support et des procédés de gravure. Au fur et à mesure que les technologies ont évolué, de nouvelles problématiques de CEM ont émergé et il est désormais inconcevable de ne pas respecter certaines règles lors de la conception des circuits imprimés afin de limiter les risques de couplage d'une interférence électromagnétique. En effet, les problématiques de la CEM sont de plus en plus complexes car les topologies des circuits imprimés sont de plus en plus évoluées en raison de l'intégration accrue des composants et des évolutions concernant l'interfaçage des circuits imprimés (connectique). A titre d'exemple, la popularité croissante des réseaux informatiques et l'augmentation du débit des bus de communication dans les équipements électroniques ont profondément amplifié les conséquences des perturbations transitoires, et la protection de ces équipements fait désormais partie des multiples préoccupations des concepteurs de circuits électroniques. Cependant, les fabricants de circuits disposent désormais de règles et des principes de conception afin d'améliorer la CEM du circuit. L'objectif est d'agencer et de dimensionner correctement les différents éléments électriques des circuits imprimés afin de limiter au maximum les mécanismes de couplage des perturbations (couplage par conduction et par rayonnement). Ces exigences ont également été définies pour satisfaire les problèmes d'émission qui peuvent se subdiviser entre les émissions rayonnées par le circuit et également les émissions conduites par les interfaces et l'alimentation [2]. Ces règles de conception évoluent en fonction des avancées de la micro-électronique et les exigences diffèrent selon la topologie des circuits imprimés. Dans l'ensemble, il est extrêmement difficile de dégager une ligne générale quant à

la topologie et l'agencement des pistes sur les cartes car il existe un nombre extrêmement élevé de facteurs pouvant influencer la conception d'une carte. Cependant, il est possible d'en citer quelques uns :

- la fonction réalisée par la carte peut conditionner le choix de la topologie des PCBs : puissance, RF, calculateurs complexes, traitement analogique faible bruit, etc. Les caractéristiques électriques du substrat ne seront pas les mêmes,
- la technologie utilisée pour la fabrication de la carte (époque de la réalisation du circuit),
- les conditions d'utilisation du produit et son environnement influencent le choix des matériaux,
- le choix des composants et de leur packaging conditionne la densité de pistes

Les évolutions technologiques permettent d'accroître sans cesse l'intégration de composants sur une même carte, ce qui a un impact direct sur les performances des circuits et plus particulièrement sur l'intégrité de signal (problème de diaphonie et de désadaptation d'impédances, par exemple). Il existe bien évidemment des relations entre les techniques d'encapsulation des puces et celles de fabrication des circuits imprimés. La figure 2.1 présente une relation chronologique du rapport entre la taille du boîtier et la taille de la puce contenue dans ce boîtier (package area/die area). Les nombres mentionnés sur le graphique représentent la distance typique (en pouces) entre les broches d'un boîtier donné. Il apparaît donc très clairement que l'encapsulation des puces a gagné en efficacité puisque que la surface de boîtier est devenue proche de celle de la puce au cours des années.

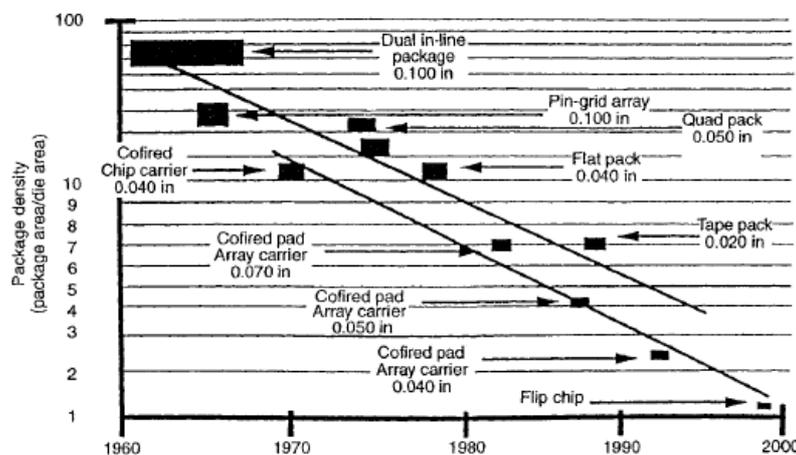


FIGURE 2.1 – Rapport (surface boîtier/surface puce) selon les boîtiers et les années [92]

Tout ceci impacte les méthodes de fabrication des circuits imprimés, car il est nécessaire de minimiser les largeurs de piste et leur espacement afin de pouvoir arriver jusqu'aux broches de connexion de ces boîtiers. Cet exemple permet d'illustrer les tendances technologiques et ainsi de démontrer que l'intégration accrue de composants sur un circuit s'accompagne d'une augmentation significative des densités d'interconnexion. En conséquence, les contraintes électriques (capacité en courant, par exemple) et électromagnétiques (diaphonie, contrôle d'impédance) se retrouvent renforcées et il est donc impératif de se soucier des problèmes de

CEM à cette échelle.

La CEM des circuits imprimés propose globalement de traiter les phénomènes suivants :

- la génération d'émissions parasites en mode conduit ou rayonné ;
- la susceptibilité en présence de parasites électromagnétiques ;
- la qualification de l'intégrité de signal

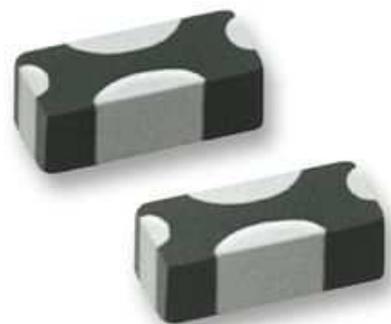
Dans ce contexte, et par rapport à la problématique de notre étude, l'une des solutions permettant de minimiser les interactions des perturbations électromagnétiques sur les circuits imprimés consiste à correctement agencer les différents modules et à optimiser le routage des pistes. Il existe de nombreuses règles de routage des circuits imprimés pour augmenter l'immunité des circuits intégrés [2]. Ces règles sont organisées hiérarchiquement et le principal objectif est de garder les chemins des perturbations à l'écart des circuits logiques critiques. Dans bien des cas, ces dispositions ne suffisent pas et il est préférable d'implanter des protections contre les fréquences radio et contre les perturbations transitoires. Cette protection est assurée par des composants électroniques passifs et actifs qui empêchent la circulation des perturbations en les absorbant ou en les dérivant directement vers la masse.

2.2.2 Protection à base d'éléments passifs

Les protections passives sont des filtres qui ont pour but d'éliminer les phénomènes liés à la détection des signaux à fréquence radio par les circuits basse fréquence (cf. partie 1.4.3.3 du chapitre 1). Pour cette raison, la majorité des filtres utilisés dans le domaine de la CEM sont des filtres passe-bas. Il existe une large variété de solutions de filtrage à base d'éléments passifs et la plus simple et économique consiste à utiliser des ferrites. L'une des propriétés électriques pour laquelle les ferrites sont appréciées pour limiter les perturbations HF provient du fait qu'elles présentent d'importantes pertes en hautes fréquences. L'énergie de la perturbation a donc tendance à être absorbée plutôt que réfléchiée. Les ferrites peuvent être assimilées à des inductances à fortes pertes. A la base, cette solution de protection permet de réduire le couplage de perturbations sur des câbles non blindés comme les cordons secteur et les nappes de fils. Plusieurs fabricants proposent différents modèles (cf. figure 2.2(a)) de ferrites sous diverses formes (des tores, des coques à monter sur les câbles, des lamelles, etc...).



(a)



(b)

FIGURE 2.2 – (a) Exemple de ferrites disponibles sur le marché ; (b) Filtre EMI en technologie CMS

Parmi les autres solutions de protection, on retrouve un grand nombre de filtres parmi lesquels les filtres RFI (Radio Frequency Interference) ou filtre EMI (ElectroMagnetic Interference) qui sont couramment employés dans les circuits imprimés (cf. figure 2.2(b)). Ils ont la particularité d'atténuer significativement le niveau du signal perturbateur afin qu'il ne soit plus démodulé par les étages non-linéaires du circuit en limitant la bande passante du circuit au minimum acceptable. Ces filtres sont en général insérés au plus près des interfaces de communication des cartes électroniques et ils peuvent même être intégrés directement dans des circuits intégrés. Cette technique est utilisée pour les circuits analogiques qui sont particulièrement sensibles à ce type de perturbation. L'insertion de filtres EMI dans le design des circuits intégrés est illustré à la figure 2.3.

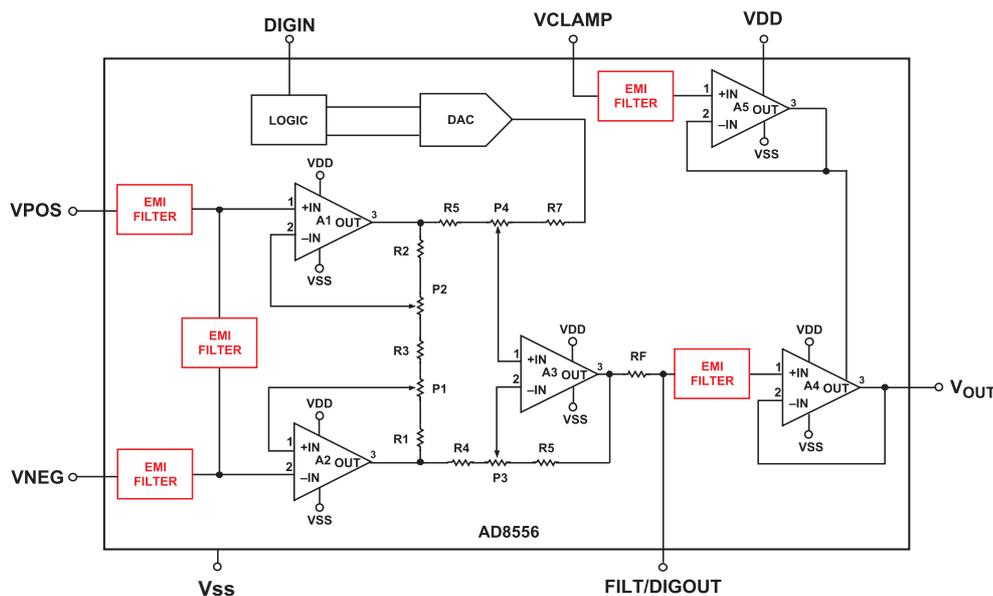


FIGURE 2.3 – Exemple d'implantation de filtres EMI dans un circuit intégré analogique

Les filtres EMI présents dans le schéma fonctionnel d'un circuit présenté à la figure 2.3 sont en général composés par des circuits RC ou LC. Une autre solution consiste à implanter des capacités de faible valeur directement sur les bornes d'entrée. Les solutions de filtrage "On-Chip" se démocratisent de plus en plus car il y a un réel besoin de minimiser l'influence des perturbations HF, générées par l'environnement électromagnétique toujours plus dense, sur les circuits intégrés. A ce sujet là, une étude [93] a d'ailleurs démontré que l'intégration de filtres EMI dans les étages d'entrée des circuits intégrés logiques offrait de bien meilleures performances en terme de réjection de signal HF que l'implantation de filtres EMI discrets. Malgré tout, les solutions de protection discrètes ont toujours autant de succès auprès des concepteurs car les fabricants de protections développent désormais des nouveaux filtres combinant protection ESD et filtrage EMI [94]. Les exigences en terme de protection sont de plus en plus drastiques et il est actuellement inimaginable de ne pas renforcer la robustesse des circuits en insérant des protections contre les ESD et les transitoires rapides.

2.2.3 Protection à base d'éléments actifs

L'impact des perturbations transitoires sur les circuits intégrés a clairement démontré que la partie fonctionnelle des circuits n'est pas conçue pour supporter des champs électriques trop élevés ni des courants trop forts. Pour cette raison, les concepteurs de circuits intégrés implantent des étages de protections, composés d'éléments actifs, dans le design de leur puce numérique. Les protections actives sont des composants qui ont été spécialement mis au point pour limiter l'influence des perturbations transitoires. En général, ces protections sont conçues pour supporter des perturbations de types ESD. L'énergie des surcharges électrostatiques étant relativement faible, le volume des composants de protection peut être limité, ce qui rend possible leur intégration directe. Cependant, les tendances technologiques sont de miniaturiser intensivement les puces des circuits numériques, ce qui réduit considérablement la robustesse des circuits intégrés aux perturbations transitoires. Le graphique proposé à la figure 2.4 résume idéalement ce contexte.

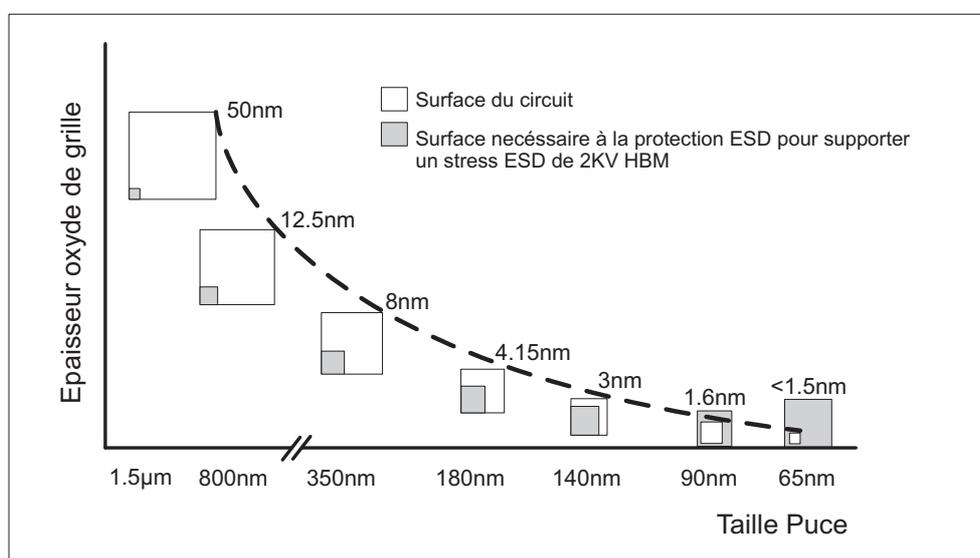


FIGURE 2.4 – Dimensionnement des étages de protection pour satisfaire aux exigences ESD [95]

Dans l'exemple illustré ci-dessus, on remarque que les exigences en termes de protection ESD sont de plus en plus sévères. En fait le dimensionnement des protections ESD intégrées au circuit, protections "On-Chip", est inversement proportionnel au dimensionnement des puces numériques. Il en résulte que l'encombrement des protections ESD idéalement nécessaires est inadapté par rapport au cahier des charges initial. Il y a donc un compromis à réaliser entre le niveau d'intégration de la puce numérique et l'efficacité de la protection contre les décharges électrostatiques. Néanmoins, dans la course effrénée vers la production de nouvelles technologies, la robustesse des circuits est bien souvent sacrifiée au profit des performances de la puce [96]. Malgré cela, la recherche et le développement de solutions de protections robustes et performantes sont extrêmement actifs au sein de la communauté scientifique et industrielle afin de repousser les limites sur le compromis exposé auparavant.

Désormais, les oxydes de grille des transistors, composant la partie fonctionnelle des circuits,

ont des épaisseurs de l'ordre du nanomètre ce qui fait qu'ils sont de plus en plus sensibles aux perturbations. En effet, l'interaction avec une charge de quelques femtocoulombs peut conduire à des répercussions irréversibles. Selon l'ESD Association [97], les protections internes des circuits intégrés des générations futures ne pourront supporter des décharges électrostatiques correspondant aux normes actuelles (2KV HBM) [96]. Dans ce contexte, les concepteurs doivent donc développer et concevoir des solutions de protection toujours plus robustes. Néanmoins, il ne faut pas oublier que les principaux efforts à fournir dans l'intégration de protections dans les circuits actuels concernent le dimensionnement des protections et leur transparence.

De nouvelles solutions ont été mises en place, et les tendances actuelles sont de diversifier la protection des circuits en développant des nouvelles architectures de protection "On-Chip" et en ajoutant des protections discrètes ("Off-Chip") sur les axes de communication entre les circuits. En effet, l'évolution des technologies a vu émerger de nouvelles stratégies de protection, et dans cette optique les protections discrètes sont considérées comme des protections primaires tandis que les étages de protection des circuits intégrés font office de protections secondaires [96]. Les protections discrètes sont totalement complémentaires des étages de protection des circuits intégrés et elles permettent d'anticiper les besoins en protection des circuits intégrés.

Nos recherches se sont orientées sur l'étude du comportement de ces protections en présence de perturbations que nous qualifierons de "bas-niveau" par rapport au contexte des ESD. Notre objectif n'est pas d'évaluer la robustesse des circuits aux décharges ESD mais plutôt de comprendre et d'analyser le comportement des protections lorsqu'elles sont soumises à des perturbations de type AGREMI. Pour cela, nous considérons que la perturbation est en mesure de se coupler sur les pistes des circuits imprimés avec une certaine atténuation, due en partie à l'efficacité de blindage de la structure et à la propagation du signal. Malgré le fait que la perturbation ait connu certaines modifications électriques, les niveaux d'amplitude appliqués sont en général suffisants pour amener les éléments de protection à proximité de leur seuil de déclenchement. Par ailleurs, il convient de signaler que les éléments de protection n'ont pas besoin de se déclencher à l'arrivée d'une perturbation pour avoir une influence sur le signal qui sera transmis à la logique interne. En effet, le simple effet des capacités parasites des protections ESD, ou une fréquence de perturbation au delà des spécifications de fonctionnement de la logique, un niveau de perturbation voisin des niveaux logiques, etc... peuvent suffire à provoquer des dysfonctionnements.

Ce chapitre propose de faire un état de l'art sur les différents composants de protection actifs et sur les stratégies de protection associées. Nous distinguerons tout de même les protections discrètes ("Off-chip") des étages de protections de circuits intégrés ("On-chip"). Concernant ces dernières, il n'est pas aisé de trouver des informations concernant le design et la topologie des circuits. En effet, les fondeurs et les concepteurs de circuits intégrés ne divulguent pas d'informations à propos du design ou des paramètres de la technologie utilisée à cause de la concurrence qui existe dans le domaine de la micro-électronique. Malgré cela il est tout de même possible d'obtenir des informations, certes incomplètes, à partir des modèles mis à disposition par les fabricants. Nous tâcherons donc, au fur et à mesure que nous décrivons les éléments de protection, d'évaluer la fiabilité de ces modèles par rapport au contexte de notre étude.

2.3 Les éléments de protection discrets (protections “Off-Chip”)

2.3.1 Introduction

Le rôle de ces protections est de dissiper l'énergie transportée par les perturbations transitoires tout en limitant l'effet des surtensions sur les entrées des circuits intégrés. Ces dispositifs de protection connaissent un franc succès car ils représentent une solution de protection bas coût et permettent d'accroître la robustesse des circuits les plus sensibles. Il existe une multitude de solutions de protection sur le marché et chaque fabricant a sa propre stratégie en fonction de l'application électronique dans laquelle la protection doit être insérée [98]. Ces protections se présentent sous la forme de composants discrets dont les dimensions sont adaptées aux applications qui exigent une forte densité de composants. Ainsi, leur dimensionnement est réduit au maximum dans le but de minimiser leur encombrement sur les circuits imprimés auxquels ils vont être intégrés. Cependant la miniaturisation des composants de protections est limitée puisque les caractéristiques essentielles des protections, à savoir l'efficacité et la robustesse, sont liées à leur dimensionnement. Il est tout de même possible de suivre cette miniaturisation en appréciant le dimensionnement des boîtiers des composants présenté à la figure 2.5.

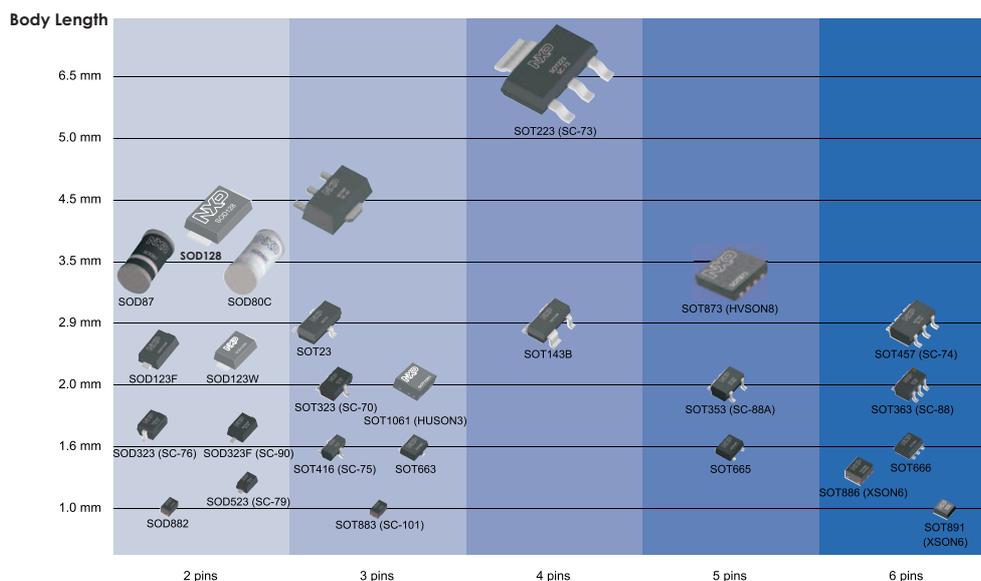


FIGURE 2.5 – Miniaturisation des circuits actifs [99]

D'un point de vue technologique, les fabricants optimisent les caractéristiques physiques des protections discrètes en essayant de réaliser le meilleur compromis possible entre les exigences en termes d'absorption d'énergie et le dimensionnement. En effet, le dimensionnement d'une protection conditionne directement son aptitude à supporter sans dommage de fortes densités de courant. C'est la raison pour laquelle les fabricants de protections discrètes cherchent à développer des architectures toujours plus efficaces en essayant de réduire au maximum le

dimensionnement du packaging. Le terme packaging est une notion qui englobe à la fois le boîtier du composant et ses broches, mais également la façon dont il est raccordé au circuit imprimé. Les fabricants de circuits ont réussi à réduire considérablement les dimensions des boîtiers avec l'arrivée de composants CMS. Les nouveaux procédés de fabrication ont révolutionné le développement des protections discrètes car les nouveaux boîtiers permettent désormais d'avoir plus de latitude dans le placement de solutions de protection (filtrage et suppression de transitoires).

2.3.2 Implantation et fonctionnement des protections discrètes

La phase d'intégration de protections discrètes dans les circuits imprimés ne s'effectue pas au hasard et nécessite de respecter certaines règles afin de ne pas altérer les performances du circuit à protéger et de profiter au maximum de l'efficacité de la protection [96]. Les principales clés de cette stratégie d'intégration sont les suivantes :

- Les supresseurs de transitoire doivent être placés au plus près des interfaces à protéger afin de limiter les effets secondaires liés à la propagation de la perturbation,
- La distance entre les protections et les éléments à protéger ne doit pas être trop conséquente afin de ne pas ajouter d'effets parasites supplémentaires qui risqueraient de dégrader les performances du circuit et en particulier l'intégrité de signal des axes de communication à haut-débit,
- Il convient d'éviter tout couplage par impédance commune en réalisant des connexions directes vers la masse et en minimisant la liaison entre la sortie de la protection et la masse du circuit.

En fonction de la topologie des circuits et des différentes exigences, il est parfois nécessaire de mettre en parallèle différents types de supresseurs. En effet, lors de la phase de conception, le cahier des charges peut exiger que le circuit soit protégé contre différents types de perturbations (transitoires directs, foudre, les courts-circuits entre ligne,...) [100], et dans ce cas là, il est nécessaire de combiner plusieurs étages de protection, mais dans le cadre de nos travaux nous limiterons l'investigation aux protections dédiées à la suppression des ESD et des transitoires rapides.

Le positionnement de la protection par rapport au circuit sensible est décisif car plus la protection est proche du point d'entrée de la perturbation, plus elle est efficace. Pour cette raison, les protections sont généralement introduites près des interfaces d'entrée/sortie. La figure 2.6 illustre un exemple d'utilisation où le composant de protection est monté en parallèle avec la ligne à protéger.

Le rôle de la protection est d'écrêter les surtensions du signal perturbateur, en limitant l'amplitude de ce signal au seuil de déclenchement de la protection. Ces protections sont en général dimensionnées pour absorber l'énergie du transitoire, et leur seuil de déclenchement est adapté aux tensions d'alimentation du circuit à protéger. Le comportement de ces protections est totalement dépendant des caractéristiques électriques des signaux qui transitent sur les axes à protéger :

- lorsque les signaux sont normaux, la protection n'est pas active et elle est assimilable à un

élément haute impédance,

- lorsqu'une surtension dont l'amplitude est supérieure au seuil de déclenchement de la protection apparaît, alors la protection s'active et son impédance devient faible afin de détourner le courant transitoire vers la masse et ainsi limiter l'effet de la surtension transitoire sur la partie sensible du circuit.

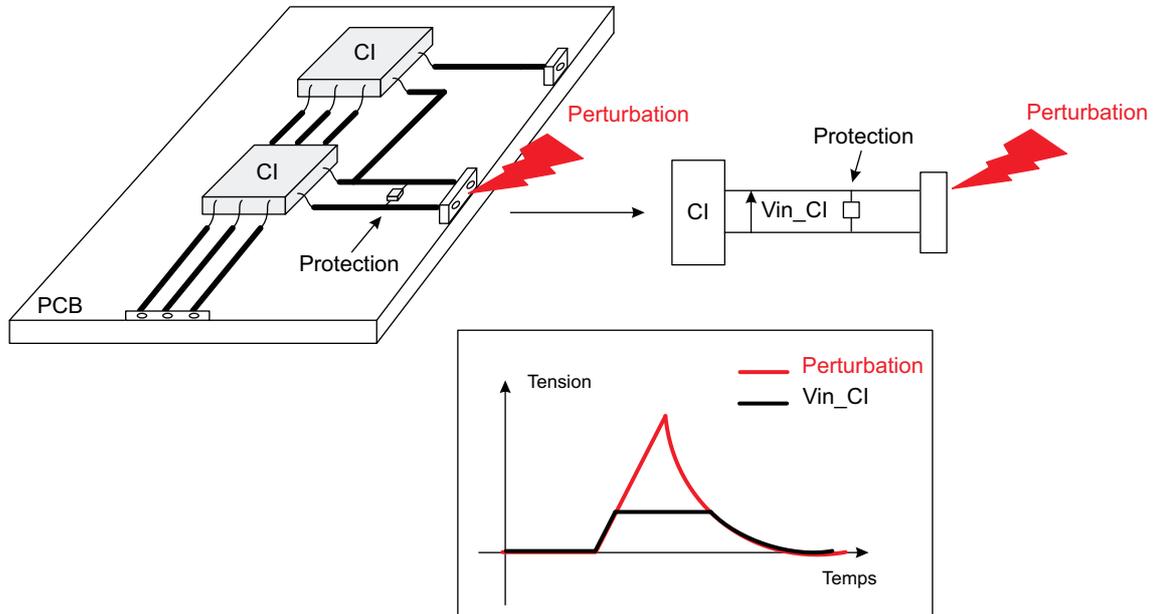


FIGURE 2.6 – Principe de fonctionnement d'une protection

De plus, lorsqu'une protection est implantée dans un circuit, elle se doit de ne pas dégrader la fiabilité et la performance du circuit à protéger. La qualification d'une protection peut être effectuée en analysant les valeurs de certaines de ses caractéristiques électriques que nous détaillons ci-dessous :

- *le courant de fuite* : Cette caractéristique représente la quantité de courant que l'élément de protection consomme lorsqu'il ne conduit pas. En d'autres termes, ces éléments de protection doivent consommer un minimum de courant en l'absence de perturbations,
- *la tension de déclenchement* : A partir de ce seuil, la protection devient active et elle permet d'évacuer les forts courants générés par les perturbations transitoires,
- *la capacité parasite* : En l'absence de perturbations, l'élément ne conduit pas et se comporte comme une capacité. Cette capacité risque d'engendrer des effets néfastes sur les signaux à vitesse de propagation élevée,
- *l'inductance parasite* : Cette caractéristique électrique est principalement liée au boîtier de la protection. En effet, cette inductance ne doit pas être trop importante car, dans le cas défavorable, elle peut engendrer une surtension relativement importante [101]. En fait plus les variations transitoires ($\frac{di}{dt}$) de la perturbation sont rapides et plus le phénomène est significatif,
- *la quantité d'énergie absorbée* : La protection doit être dimensionnée pour pouvoir absorber suffisamment d'énergie. Dans le cas contraire, la perturbation risque de détruire la

protection et d'affecter les circuits en aval.

Les perturbations transitoires entrant sur les lignes d'alimentation et sur les lignes de signal sont écrêtées par des composants non-linéaires qui sont majoritairement composés de diodes. En effet, ce type de composant est très populaire dans la conception de protections discrètes car il existe une large variété de diodes dont les caractéristiques électriques font qu'elles présentent d'excellentes propriétés pour redresser et écrêter les signaux.

2.3.3 Les composants de protection

Parmi les différentes solutions de protections discrètes, nous retrouvons des varistances, des diodes PN, des diodes Zener, des diodes Schottky et les diodes de suppression de transitoires (TVS - Transient Voltage Suppression (TVS)). Dans le cas des lignes de transmission à haute fréquence, les éléments de protections les plus répandus sont les diodes Zener et les diodes de suppression [102]. Nous allons examiner le principe de fonctionnement de chaque élément afin de mieux comprendre comment ils protègent les circuits.

2.3.3.1 Les diodes PN

Les diodes à jonction PN ont de nombreuses applications dans les circuits électroniques et on les retrouve principalement dans des montages redresseurs et écrêteurs. Les diodes de redressement permettent de transformer le courant alternatif en courant continu. Si l'on observe la caractéristique statique d'une diode à jonction PN (cf. figure 2.7), on remarque deux zones de fonctionnement bien distinctes : fonctionnement en direct et le fonctionnement en inverse.

En configuration de protection, il est possible d'exploiter ces deux zones de fonctionnement afin d'obtenir un niveau de protection adapté au circuit à protéger. Tant que la tension d'entrée reste inférieure aux seuils de déclenchement (en polarisation directe et inverse), la diode présente une impédance quasi-infinie. Par contre si cette tension d'entrée dépasse la tension de seuil en polarisation directe ou la tension d'avalanche en polarisation inverse, la diode entre en conduction et protège ainsi les circuits sensibles des surcharges. Nous reviendrons plus en détail sur les zones de fonctionnement de la diode dans le troisième chapitre du manuscrit.

Les caractéristiques statiques des diodes PN diffèrent selon la technologie employée, mais elles restent globalement une bonne solution de protection. Le seuil de déclenchement en polarisation directe peut être ajusté en combinant plusieurs diodes [103]-[104]. En polarisation inverse, ce type de diode présente également d'excellentes performances mais le petit bémol provient du seuil de déclenchement inverse qui est relativement élevé et qui n'est pas forcément adapté pour protéger les circuits intégrés de dernière génération.

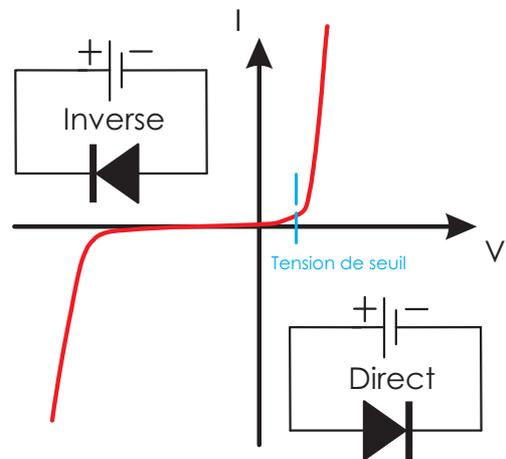


FIGURE 2.7 – Caractéristique statique d'une diode à jonction PN

Quand elle est utilisée comme élément de protection, et quelque soit sa polarisation, une diode est d'autant plus performante lorsque :

- son seuil de déclenchement est adapté aux conditions électriques du circuit à protéger,
- sa capacité parasite n'affecte pas le comportement nominal du circuit à protéger.

Ces conditions ne peuvent être remplies conjointement car en général plus le seuil de déclenchement est bas et plus la capacité parasite est élevée, et il est donc nécessaire de choisir un type de diode en fonction de l'application à laquelle elle va être destinée. Ainsi nous allons présenter les différents types de diodes qui existent pour protéger les circuits, et dans certains cas nous comparerons leurs caractéristiques statiques avec celles des diodes à jonction PN que nous avons choisies comme référence.

2.3.3.2 Les diodes Zener

A la base, les diodes Zener sont utilisées comme régulateur de tension dans les circuits électroniques. Cependant, les mécanismes de fonctionnement en inverse de cette diode sont particulièrement appréciés pour protéger les circuits contre les surtensions.

La caractéristique statique d'une diode Zener ainsi que son symbole sont représentés à la figure 2.8. Contrairement aux diodes PN, ce type de diode a été conçu pour conduire en polarisation inverse dès que la valeur de la tension inverse dépasse un certain seuil, appelé tension de Zener. Suivant les caractéristiques électriques et physiques de la diode, le seuil de déclenchement en polarisation inverse peut varier d'à peu près 1V à plusieurs centaines de volts. En configuration de protection, cette caractéristique est fondamentale et le concepteur dispose d'une large variété de diodes ce qui lui offre une certaine liberté dans le choix des niveaux de protection. Cependant, ces composants ont tout de même des limites qui font qu'ils ne peuvent s'insérer dans n'importe quel type d'application. En effet, la capacité parasite associée à ce type de diode est souvent élevée (30pF au minimum) et il n'est donc pas envisageable d'introduire des diodes Zener pour protéger les interfaces d'entrée/sortie à haut-débit car le risque de distorsion du signal est réellement élevé. Intrinsèquement, il est possible de modifier la constitution et le dimensionnement des diodes afin de diminuer la capacité parasite mais cela a pour principal effet de diminuer leur tenue aux ESD.

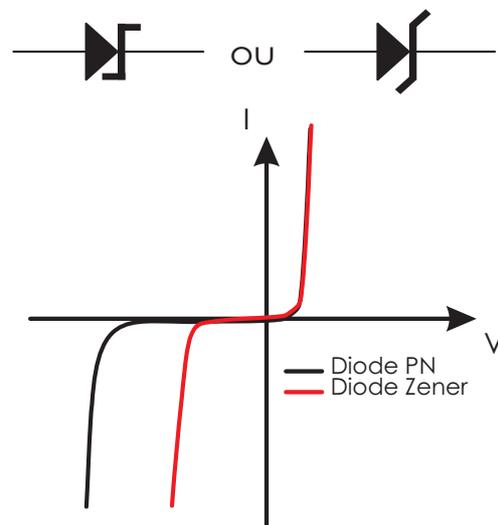


FIGURE 2.8 – Caractéristique statique d'une diode Zener

2.3.3.3 Les diodes Schottky

Les diodes Schottky font partie des solutions de protections contre les perturbations transitoires de type ESD. Ces diodes sont principalement utilisées en polarisation directe car

elles ont une tension de seuil dans la gamme de 0,15V à 0,45V (contre $\approx 0,6V$ pour les diodes PN) ce qui permet d'obtenir une limitation en tension très basse.

Cette caractéristique fait que ce type de diode est une excellente alternative aux diodes PN qui ont un seuil de déclenchement plus élevé comme l'illustre la figure 2.9. Ces diodes ont la particularité d'être des diodes rapides, c'est-à-dire qu'elles possèdent un temps de commutation très court. Ainsi, cette diode est naturellement employée pour protéger les circuits contre les transitoires rapides compte tenu de son excellente réactivité. En comparaison avec les diodes PN, les diodes Schottky sont beaucoup plus fragiles en fonctionnement inverse car elles ont une tension de claquage plus faible. De plus, le courant de fuite associé à ce régime de fonctionnement est plus important que dans une diode PN ce qui limite son utilisation dans certaines applications.

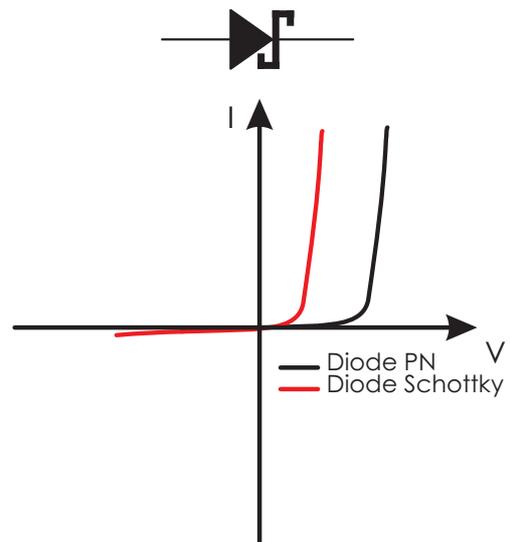


FIGURE 2.9 – Caractéristique statique d'une diode Schottky

2.3.3.4 Les diodes TVS

Ce type de protection connaît un large succès dans la commercialisation des solutions de protection. Les fabricants de ce type de protection utilisent des dénominations commerciales différentes pour qualifier ce type de produit. La plus populaire reste la dénomination TVS (Transient Voltage Suppressor) qui a été initiée par les firmes Fairchild et NXP. Cependant, certains fabricants utilisent d'autres dénominations comme la marque Transil chez le fabricant STmicroelectronics et la marque TranZorb pour la société Vishay. Malgré ces différentes dénominations, la fonction principale reste la même et le but est de protéger les circuits intégrés contre différents types de perturbations transitoires en les écrétant afin de maintenir une certaine tension de protection pendant la durée de la perturbation. Les diodes TVS ont été spécialement conçues pour supporter de brèves surintensités et leur fonctionnement est analogue à celui d'une diode Zener. De plus, ces diodes ont une excellente réactivité car leur temps de réponse est particulièrement faible (quelques centaines de picosecondes). Cette propriété n'est pas négligeable lorsque l'on sait que la plupart des perturbations transitoires ont des temps de montée ultra brefs. Selon la taille de la puce, ces protections sont capables de laisser passer des courants pouvant aller jusqu'à quelques centaines d'ampères crête et elles peuvent supporter des énergies de l'ordre de l'ordre de 0,5 à 7 joules pendant 1ms [105].

L'une des originalités de cette solution de protection est qu'il existe sur le marché différents modèles unidirectionnels et bidirectionnels :

- protection unidirectionnelle : la protection est utilisée comme une diode Zener, elle écrête seulement en inverse. Cette protection est parfaitement adaptée pour des signaux

unipolaires.

- protection bidirectionnelle : la protection écrête dans les deux sens. Ce type de protection est équivalent à deux diodes Zener en opposition montées en série. Au niveau applicatif, ces éléments sont plutôt adaptés à la protection des signaux alternatifs.

Les symboles électriques associés à ces modèles sont exposés à la figure 2.10.

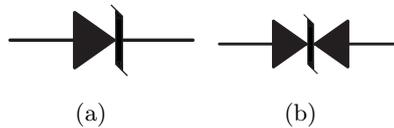


FIGURE 2.10 – (a) Symbole d'une protection TVS unidirectionnelle; (b) Symbole d'une protection TVS bidirectionnelle

Le choix d'une protection TVS s'effectue selon plusieurs critères comme la tension d'utilisation souhaitée (5 à 200 V), le type de boîtier et la puissance crête supportée (400 à 1 500 W pour une surcharge de durée 1 ms).

2.3.3.5 Les varistances

Les varistances sont des résistances électriques très fortement non-linéaires. Leur caractéristique statique est très similaire à celui d'une diode même si ce composant n'est pas un semi-conducteur à proprement parler.

Bien que la caractéristique statique d'une varistance s'apparente à celle d'une diode PN, elle se distingue cependant par la symétrie qui existe entre les zones de fonctionnement directe et inverse. Au-delà d'une certaine tension, l'impédance de la varistance chute pour permettre l'évacuation du courant. Lorsque la tension à ses bornes revient à son niveau normal l'impédance de la varistance reprend sa valeur à l'état de veille. Ces composants sont particulièrement adaptés à la protection des circuits contre les surtensions. A partir d'un certain seuil de tension, l'impédance de la varistance chute très fortement pour permettre l'évacuation du courant créant la surtension.

On retrouve des varistances de toutes tailles car à la base, elles sont conçues pour absorber

beaucoup d'énergie, et récemment une nouvelle gamme a vu le jour : ce sont les varistances multi-couches (Multi Layer Varistors-MLV). Cette nouvelle technologie permet d'encapsuler des varistances dans des boîtiers CMS ce qui limite les contraintes liées à l'encombrement. Ce type de protection est généralement utilisé sur les lignes d'alimentation car leur capacité parasite, assez élevée, limite leur implantation sur les lignes de données à haut débit.

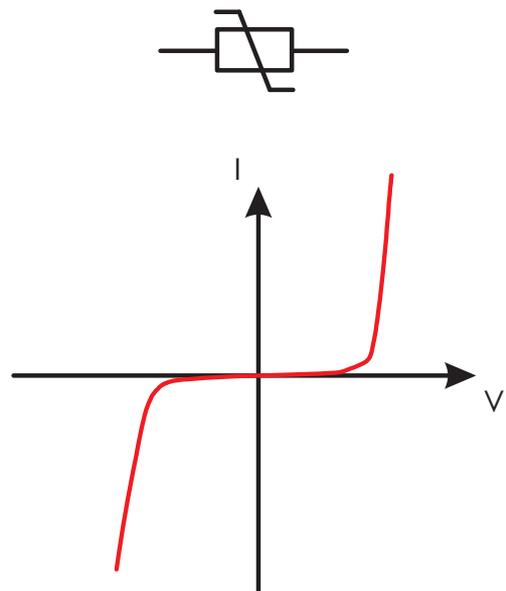


FIGURE 2.11 – Caractéristique statique d'une varistance

2.3.3.6 Les réseaux de protections

Pour accroître l'efficacité des protections et limiter au maximum l'interaction des protections sur le comportement des circuits, les fabricants ont mis en place des réseaux de protections destinés à être intégrés aux interfaces des circuits électroniques. Ces protections sont en général implantées aux plus près des interfaces, c'est-à-dire à l'extrémité des lignes de transmission et à proximité des connecteurs. Cette considération est réellement importante car le fait d'insérer des protections sur les circuits imprimés de cette façon permet de limiter l'interaction de la perturbation avec le reste du circuit en la supprimant en entrée pour éviter la propagation de la perturbation sur la carte et préserver l'intégrité de signal en ne favorisant pas les interactions néfastes qui pourraient se produire entre la protection et le circuit à protéger.

L'utilisation de ce type de protection s'est largement démocratisée ces dernières années, et parmi les différents types existants, nous avons choisi de présenter des exemples de réseaux de protection pour une interface réseau :

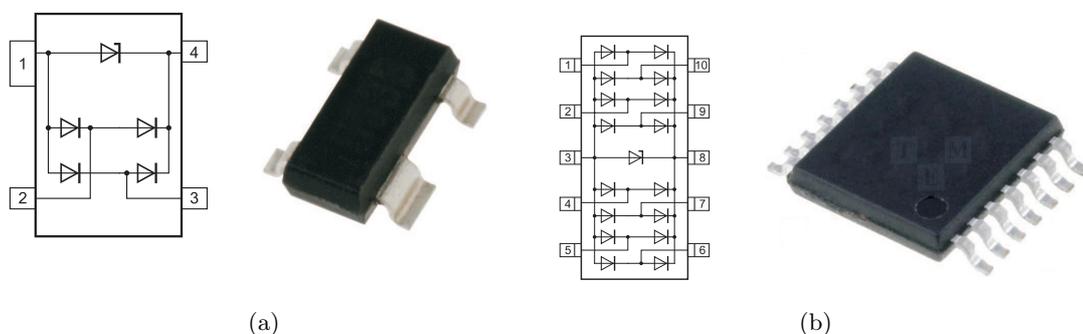


FIGURE 2.12 – (a) Réseau de protection pour une interface LAN en boîtier SOT143 [106]; (b) Réseau de protection pour une interface LAN en boîtier TSSOP14 [106]

On remarque, très explicitement, que les deux types de réseau de protections présentés à la figure 2.12 sont composés de diodes PN et de diodes TVS. A titre indicatif, ces réseaux de protections ont été conçus de manière à respecter les exigences en terme de protection ESD selon la norme IEC 61000-4-2, level 4 ($\pm 8\text{kV}$ contact, 15kV air discharge).

2.3.3.7 Synthèse

La diode est un élément électrique idéalement adaptée à la protection des circuits électroniques car ses caractéristiques électriques sont quasi-parfaites et la mise en place de solutions de protection à base de diodes est simple, rapide et peu onéreuse. De façon générale, la diode reste pour le moment l'un des composants les plus utilisés dans la protection des circuits électroniques [107]. Cette remarque est d'autant plus significative qu'il existe une large gamme de diodes avec des caractéristiques électriques différentes. Chaque type de protection possède ses propres avantages et inconvénients, et il n'existe pas de composant universel qui serait apte à assurer efficacement tous les cas de protection. Le développement de réseaux de protection est un palliatif à ce problème car ils permettent d'obtenir une meilleure efficacité de protection en

associant plusieurs types de protection de façon à profiter des avantages de chaque type.

Les critères d'évaluation des protections discrètes contre les surtensions transitoires sont de plus en plus sévères car la protection des circuits de dernière génération nécessite de mettre en place des solutions de protection toujours plus efficaces et toujours plus transparentes vis-à-vis de l'élément à protéger. En effet, de nombreuses dispositions doivent être prises lors de la conception des protections afin de limiter au maximum la présence d'éléments parasites de type capacitif. En aucun cas la protection ne doit engendrer des conséquences néfastes sur l'intégrité et la fiabilité de l'élément à protéger. Ce défi est particulièrement complexe car il est contraint par certaines limites sur l'encombrement des protections dans les circuits imprimés.

Il est bien évidemment impossible de présenter, dans ce mémoire, l'ensemble des protections conçu par les fabricants, mais les architectures présentées dans cette partie ont permis de mettre en évidence les principales solutions de protection discrètes. Au final, nous retenons que la diode est l'élément de base dans la conception de protections discrètes et cette remarque constitue l'une des clés pour nos futurs travaux.

2.3.4 La modélisation des protections discrètes

Le contexte de notre étude fait que les éléments de protection doivent être modélisés de manière rigoureuse afin d'en déduire une analyse la plus pertinente possible. En général, les fabricants de protections discrètes mettent à disposition des modèles de type SPICE. Les protections discrètes étant majoritairement composées de diodes, nous retrouvons donc fort logiquement un support de modélisation basé sur le modèle SPICE des diodes. Il s'agit d'un modèle universel et relativement complet car il permet d'analyser le comportement statique et dynamique, et cela quelques soient les sources d'excitation et d'alimentation. Le modèle SPICE de la diode repose sur le schéma équivalent proposé à la figure 2.13.

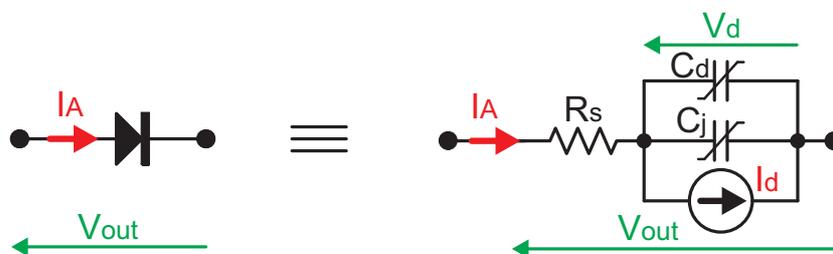


FIGURE 2.13 – Schéma électrique équivalent du modèle SPICE des diodes [77]

Nous ne proposons pas pour le moment de détailler la signification de chaque élément électrique de ce modèle ni de spécifier leur description analytique. La description des différents éléments constituant ce modèle sera introduite au fur et à mesure que nous progresserons dans la présentation de nos travaux. L'illustration du modèle équivalent à ce stade du manuscrit est néanmoins révélatrice car elle permet de constater qu'il est possible de modéliser le comportement capacitif de cet élément. Cette remarque est d'une extrême importance car l'une des principales problématiques de notre sujet est de qualifier le critère de transparence des protections lorsqu'elles sont perturbées par des signaux transitoires rapides. Ce critère

est largement dépendant des capacités parasites des protections. En conclusion, cette brève introduction au modèle SPICE des diodes a démontré que ce modèle pouvait être efficace pour évaluer le comportement global des diodes.

Comme nous avons pu le remarquer dans l'introduction des protections actives, les solutions de protection "Off-Chip" constituent une solution de protection totalement complémentaire des protections "On-Chip". Ainsi, dans la suite de ce chapitre, nous allons présenter les différents composants de protection qui sont introduits dans les étages d'entrée/sortie des circuits intégrés.

2.4 La protection des circuits intégrés numériques (protections "On-Chip")

2.4.1 Architecture physique des circuits intégrés numériques

En guise d'introduction à cette partie, nous proposons de faire un bref rappel sur la constitution physique d'un circuit intégré. Les circuits intégrés se présentent généralement sous la forme de boîtiers rectangulaires équipés de broches permettant d'interfacer la puce numérique avec un circuit imprimé. La figure 2.14 illustre la structure interne d'un circuit intégré :

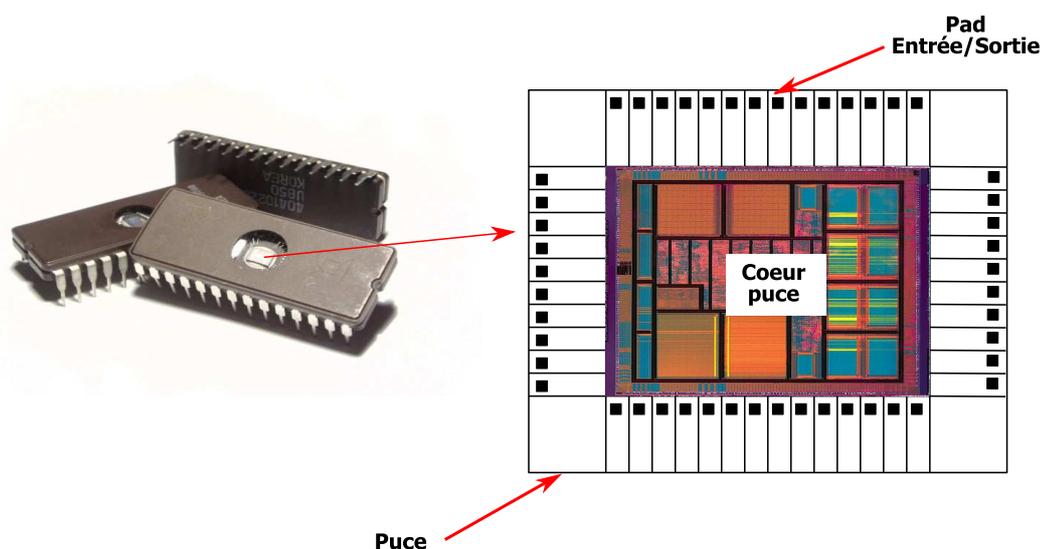


FIGURE 2.14 – Structure d'un circuit intégré numérique [108]

A l'intérieur du boîtier, on retrouve la puce numérique du circuit qui intègre un certain nombre de composants tels que transistors, résistances, diodes, etc... La puce numérique contient des plots de connexion (pad d'entrée/sortie et alimentation) qui sont directement reliés au boîtier au moyen d'un câblage par fil (wire bonding pour le terme anglophone). Le câblage est simplement réalisé grâce à un fil (ou pont) soudé entre les plots de connexion et les broches du boîtier. Le matériau utilisé pour cette connexion est généralement l'or et le diamètre du fil est de l'ordre de 20 μ m.

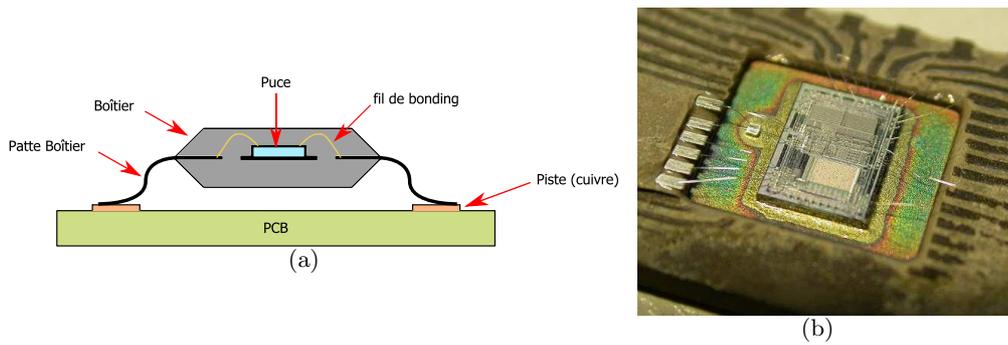


FIGURE 2.15 – (a) Structure interne d’un circuit intégré ; (b) Photographie d’une structure interne

La puce du circuit intégré est composée de diverses parties et elle intègre notamment les étages de protection, éléments qui sont au centre de notre étude. Les puces des circuits intégrés sont équipées de protections ESD qui sont présentes à chaque plot d’entrée/sortie.

2.4.2 Intégration de protection ESD dans les puces des circuits intégrés numériques

Les concepteurs de circuits intégrés insèrent des étages de protection entre les plots de connexion de la puce et la partie fonctionnelle de la puce. Ces structures de protection sont placées aux endroits sensibles de la puce, et particulièrement au voisinage des entrées/sorties et des rails d’alimentation. Ces protections sont conçues selon des critères bien spécifiques dans le but de supporter des perturbations de type ESD. La figure 2.16 présente un exemple d’intégration de protection ESD dans le layout d’une puce.

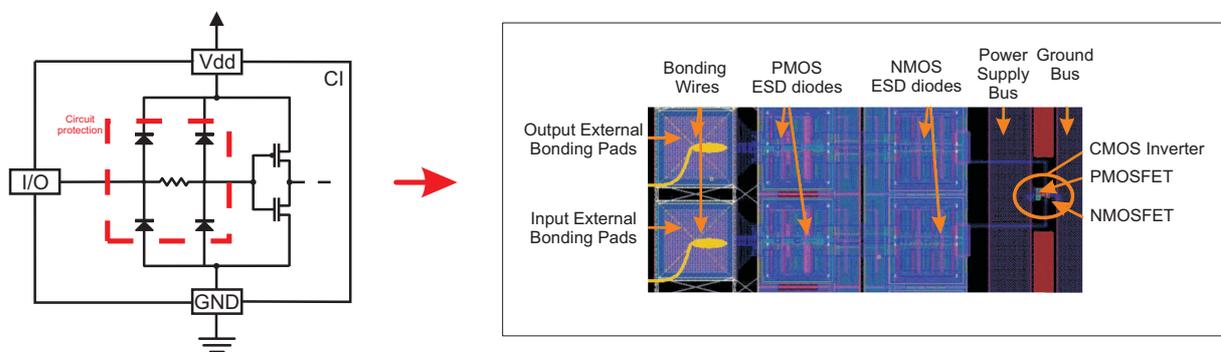


FIGURE 2.16 – Exemple d’intégration de diodes de protection ESD dans un layout d’un inverseur CMOS [42]

L’exemple de la figure 2.16 permet de constater que les diodes de protection ESD occupent une place conséquente dans les puces des circuits numériques car elles doivent être capable de supporter des densités de courant élevées. Une protection “On-Chip” est évaluée selon quatre grands critères : sa robustesse, son efficacité, sa réactivité et sa transparence vis-a-vis du circuit à protéger [33]. Ces critères sont des points essentiels lors de l’intégration de protection dans un circuit et il convient de les définir plus spécifiquement :

- Le terme de robustesse traduit la capacité de la protection à supporter des tensions et des

courants assez élevés. A travers ce critère, il est également possible de faire un parallèle avec le dimensionnement des protections,

- L'efficacité décrit l'aptitude du circuit de protection à limiter les tensions à un niveau acceptable pour ne pas engendrer de conséquences physiques au circuit à protéger. La tension de déclenchement des éléments doit être adaptée en fonction des caractéristiques électriques du circuit à protéger. Une description statique (courbes I/V) des protections permet d'obtenir des informations quant à ce critère. Nous reviendrons sur cet aspect dans la suite du document, et plus particulièrement lors de la description des composants caractéristiques des circuits de protection,
- La réactivité d'une protection est essentielle dans la protection des circuits électroniques puisqu'elle définit la rapidité à laquelle la protection se déclenche lors de la présence d'une perturbation,
- La transparence représente le critère le plus important dans le type d'étude que nous avons entrepris. En effet, le circuit de protection ne doit pas interférer avec le fonctionnement nominal des entrées/sorties de la puce à protéger. L'importance de ce critère est désormais renforcée par le fait que les circuits intégrés sont de plus en plus rapides et de plus en plus sensibles.

L'évolution constante des technologies et le développement massif de circuits à forte intégration (VLSI) obligent les concepteurs à mettre au point des solutions de protections de plus en plus efficaces. Désormais, les exigences sont extrêmement draconiennes et les solutions de protection doivent satisfaire un certain nombre de critères afin de ne pas altérer le fonctionnement global du circuit. En d'autres termes, cela signifie que la solution de protection doit occuper un minimum de place dans le layout du circuit tout en garantissant un niveau de protection toujours plus élevé [109]. Pour cela, il est donc essentiel de développer régulièrement de nouvelles structures et de nouvelles stratégies de protection afin d'étoffer la gamme des solutions de protections. Ces structures de protections devront être capables de se déclencher plus ou moins rapidement, de limiter les surtensions et d'emmagasiner des niveaux de courants importants tout en respectant les spécifications électriques initiales du composant qu'elles protègent [34].

2.4.3 Les différents composants de protection dans les circuits intégrés

Dans la littérature, on retrouve de nombreux articles concernant la recherche de nouveaux circuits de protection [110]. Les éléments de protection contre les ESD sont des dispositifs issus de composants classiques de la microélectronique qui vont être soumis à des stress ESD induisant de forts courants et de fortes tensions [111]. Ces circuits de protections sont élaborés à partir des normes en vigueur concernant la protection des circuits face aux décharges électrostatiques et en fonction des spécifications électriques du circuit à protéger. Ainsi, la caractéristique statique de la protection doit être contenue dans un gabarit qui fixe les limites que le composant ne doit pas dépasser. L'illustration de ce concept est présenté à la figure 2.17. Nous avons également choisi d'intégrer à cette figure les caractéristiques statiques des deux types de protections que l'on retrouve actuellement.

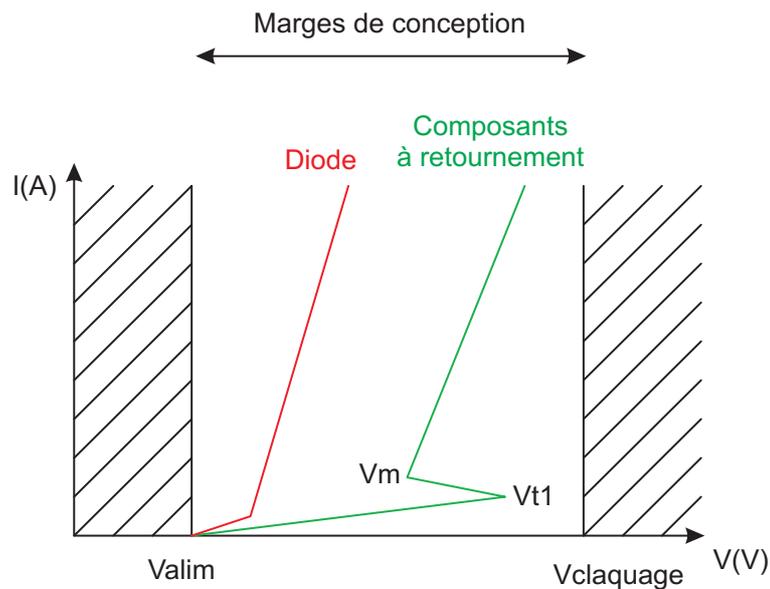


FIGURE 2.17 – Mécanisme de conduction des éléments de protection ESD [112]

Il existe donc deux mécanismes de conduction pour acheminer les perturbations en dehors de la partie fonctionnelle du circuit à protéger : un premier mécanisme basé sur les caractéristiques statiques des diodes (de type “Turn-on”) et un second mécanisme basé sur les caractéristiques statiques des composants à retournement (de type “Snap-back”). Ces protections sont placées en parallèle des éléments à protéger, et lorsqu’une perturbation se présente aux abords du circuit elles doivent se comporter comme un interrupteur fermé dont la faible impédance permet de dériver un maximum de courant [111]. Ces protections sont conçues en fonction des caractéristiques électriques du circuit à protéger et leur développement doit respecter des conditions fixées par les marges de fonctionnement :

- le seuil de déclenchement de ces protections doit être supérieur à la tension d’alimentation de la puce afin que celles-ci ne s’activent pas en fonctionnement normal,
- en phase de conduction la tension aux bornes de la protection ne doit pas dépasser la tension de claquage de l’oxyde de grille de l’inverseur d’entrée [112].

Le développement de composants à retournement a permis de compléter les solutions de protection qui se sont longtemps limitées à l’utilisation de diodes. Actuellement les stratégies de protection des circuits intégrés font conjointement intervenir les deux mécanismes. Nous reviendrons sur cet aspect après avoir présenté les composants de protection.

2.4.3.1 Les résistances

Les résistances sont des éléments qui sont couramment insérés dans les structures de protection et elles sont associées le plus souvent à d’autres éléments. Ces résistances, réalisées soit par diffusion dans le silicium soit en polysilicium isolé du substrat par l’oxyde [111], sont insérées entre le plot d’interconnexion et la protection. Le rôle de la résistance est de limiter le courant perturbateur dans le circuit à protéger.

2.4.3.2 Les diodes

Les diodes sont des composants de protection ESD historiques car elles ont démontré à de nombreuses reprises que leur simplicité et leur efficacité étaient des atouts majeurs. Actuellement, ces composants ne sont pas obsolètes et ils sont encore largement utilisés dans les circuits intégrés. Bien évidemment, la conception des diodes de protection a évolué et de nombreux efforts ont été réalisés pour diminuer la capacité parasite afin de pouvoir les intégrer dans des circuits destinés à des applications RF et haut-débit [113].

Selon les caractéristiques électriques du circuit, il est possible d'utiliser différents types de diodes afin d'obtenir les meilleures conditions de protection possible. Ainsi, il est possible d'associer des diodes classiques (utilisées en polarisation directe) avec des diodes Zener (utilisées en polarisation inverse) par exemple. La figure 2.18 propose de découvrir des structures de protection à base de diodes.

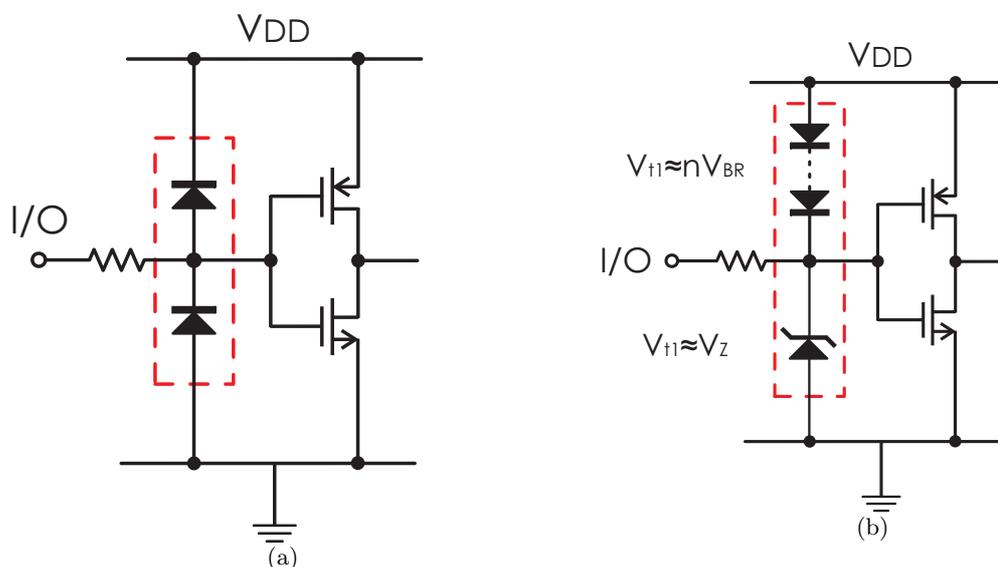


FIGURE 2.18 – (a) Structure de protection ESD avec des diodes classiques [45]; (b) Structure de protection ESD associant différents types de diode [114]

Dans le cas de la structure de protection présentée à la figure 2.18(a), les protections deviennent actives dans les cas suivant :

- lorsque la tension d'entrée devient supérieure à $V_{DD} + V_D$. V_D est la tension de seuil de la diode et V_{DD} représente la référence de potentiel positif de la diode. Dans ce cas là, la diode supérieure conduit.
- lorsque la tension d'entrée devient inférieure à $V_{SS} - V_D$. V_D est la tension de seuil de la diode et V_{SS} représente la référence de potentiel négatif de la diode. Ici c'est la diode inférieure qui évacue le courant.

La seconde structure exposée à la figure 2.18(b) est un peu plus évoluée. Cet exemple a été introduit afin de démontrer qu'il est possible d'utiliser les deux zones de fonctionnement des diodes pour protéger les circuits. L'utilisation d'une diode en polarisation directe entre le plot d'entrée et le bus V_{DD} du circuit peut s'avérer inadaptée dans certains cas car la faible

tension de déclenchement peut conduire à de probables déclenchements intempestifs lorsque le circuit est en fonctionnement normal. L'une des solutions à ce problème consiste à utiliser la tension avalanche (V_{BR}) des diodes lorsqu'elles sont utilisées en polarisation inverse. Le seuil de déclenchement peut être ajusté en empilant plusieurs diodes ($V_t = nV_{BR}$). Les surtensions négatives peuvent quant à elles être limitées par une diode Zener placée entre le plot à protéger et le bus V_{SS} . Cette diode fonctionne en polarisation inverse et son seuil de déclenchement est déterminé par sa tension Zener.

2.4.3.3 Le transistor bipolaire

Lorsque le transistor bipolaire NPN est utilisé en configuration de protection, la base du transistor est reliée à l'émetteur soit en direct ou soit à travers une résistance externe R . L'émetteur est en général référencé au potentiel du bus d'alimentation (V_{DD} ou V_{SS}). La figure 2.19 illustre l'exemple d'une structure de protection à base de transistors bipolaires.

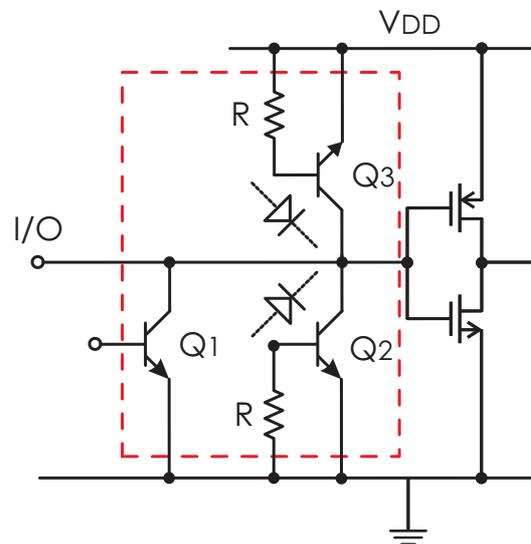


FIGURE 2.19 – Structure de protection ESD avec des transistors bipolaires [114]

Cette topologie n'est pas unique mais elle permet d'illustrer l'intégration de transistors bipolaires dans l'étage d'entrée d'un circuit intégré. Quelle que soit la configuration de la décharge et son point d'entrée, ces éléments permettent de dériver le courant de la perturbation vers l'alimentation du circuit. Le transistor peut être utilisé dans une configuration où il fonctionne en auto-polarisation, et il est également possible d'ajuster son seuil de déclenchement en polarisant le transistor via une source de courant externe connectée entre la base et le collecteur [111].

2.4.3.4 Le thick-MOS

Ce type de composant est un transistor MOS à oxyde épais dont la grille est directement reliée au drain. Ce composant est une protection de type "snap-back" capable de dissiper des courants importants, ce qui en fait une protection particulièrement robuste aux décharges ESD.

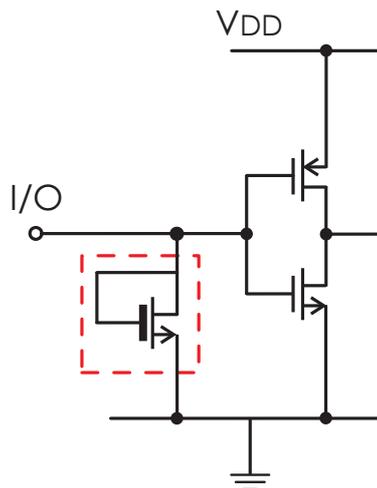


FIGURE 2.20 – Structure de protection ESD avec un transistor à oxyde épais [114]

L'oxyde d'isolation de grille est dans ce cas un oxyde de champ, c'est-à-dire un oxyde épais. Ainsi la tension de seuil d'un tel transistor est donc assez élevée ($>20V$). Les excellentes propriétés électriques et physiques de cette protection ne doivent pas faire oublier que l'implantation d'une telle structure est limitée dans certains cas. En effet, son dimensionnement et ses effets capacitifs constituent un obstacle de taille.

2.4.3.5 Le grounded-gate MOS (ggMOS)

Le ggMOS est l'une des structures de protection MOS à oxyde mince la plus simple. Ce composant est une protection de type "snap-back" dont la grille et la source sont court-circuitées à la masse. Cette particularité permet de limiter le courant de fuite lorsque la protection est inactive [114]. La figure 2.21 expose une structure de protection composée de ggMOS.

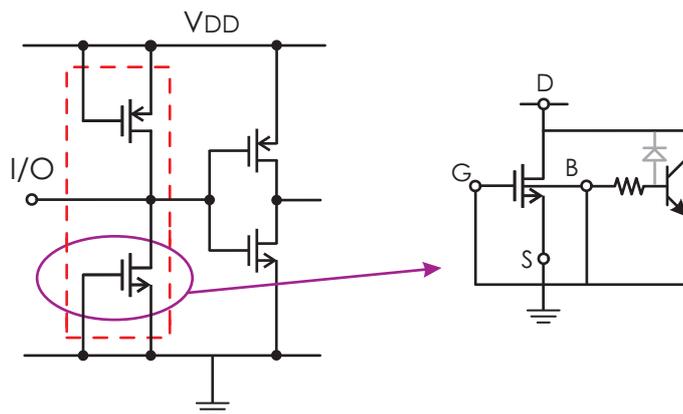


FIGURE 2.21 – Structure de protection ESD avec un transistor ggMOS [114]

Cette structure comprend un transistor ggPMOS, qui est connecté entre le plot d'entrée et le bus d'alimentation V_{DD} et un transistor ggNMOS entre ce même plot d'entrée et la masse du circuit. Intrinsèquement ces transistors possèdent un transistor bipolaire parasite NPN pour le ggNMOS et deux transistors bipolaires PNP pour le ggPMOS, et l'action de ces transistors

parasites permet d'évacuer les charges électrostatiques lorsqu'une décharge apparaît entre le plot d'entrée et la masse ou entre l'alimentation et le plot d'entrée [115].

2.4.3.6 Le gate-coupled MOS (gcMOS)

Le gate-coupled MOS est un autre genre de structure de protection qui utilise le mécanisme de déclenchement du transistor bipolaire parasite d'un transistor MOS comme le ggMOS. Le couplage de la grille a pour principal intérêt de diminuer la tension de déclenchement tout en augmentant la tension de grille durant un stress ESD [116]. L'autre particularité de ce composant est qu'il intègre une cellule RC. Cette cellule est un circuit de détection permettant de contrôler la grille du gcMOS et ainsi d'accroître la réactivité de la protection. Les composants de la cellule sont choisis de manière à ce que la constante de temps soit supérieure à la durée d'une décharge ESD afin que la protection soit active tout au long du processus. Un exemple d'intégration d'une telle structure sur le plot d'entrée d'un circuit est donné à la figure 2.22.

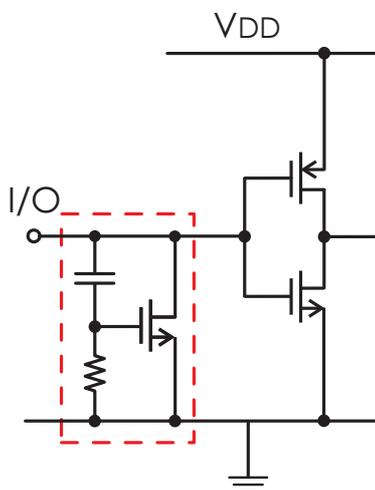


FIGURE 2.22 – Structure de protection ESD avec un transistor à gcMOS [114]

Lorsque la tension aux bornes de la résistance est suffisante, le transistor se déclenche et il permet de court-circuiter la perturbation présente sur le plot d'entrée vers la masse. Malgré l'efficacité de cette structure, son développement est limité dans certaines technologies avancées car la cellule de détection risque de dégrader les performances du circuit à protéger [116].

2.4.3.7 Le thyristor

Dans la littérature, ce circuit de protection est souvent référencé sous le terme SCR (Silicon Control Rectifier). Cette structure est composée de deux transistors bipolaires, ce qui revient à avoir une structure à quatre couches (NPNP). Cette structure est particulièrement appréciée en régime de commutation de puissance car elle présente une faible impédance lorsqu'elle est active. De plus, ses caractéristiques physiques et électriques font que cette protection est d'une extrême robustesse aux ESD car elle présente une excellente efficacité à fort courant.

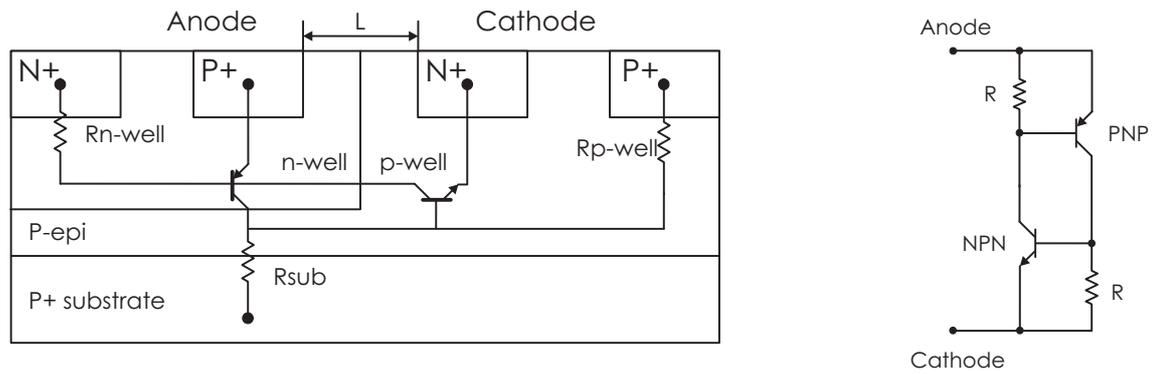


FIGURE 2.23 – Structure physique et électrique d'un thyristor [117]

L'un des points faibles des thyristors concerne leur déclenchement intempestif (ou "Latch-up") alors que le circuit à protéger est en régime de fonctionnement normal. Cependant, des solutions ont été apportées afin garantir la tension de maintien du thyristor au-delà de la tension maximale d'alimentation du circuit [116]. A l'origine les seuils de déclenchement des thyristors sont relativement élevé (30-60V) mais des évolutions récentes comme le LVSCR (Low Voltage Silicon Control Rectifier) ont permis de réduire la tension de déclenchement de ces composants. Cela offre de nouvelles perspectives dans l'introduction de ces structures dans des technologies avancées.

2.4.3.8 Synthèse

Actuellement, les principales optimisations lors de la phase de conception reposent sur la maîtrise de la tension de déclenchement. Cependant, ce paramètre est difficile à contrôler car le phénomène de retournement est très dépendant du procédé de fabrication [116]. L'une des principales difficultés est d'adapter les structures de protections ESD aux évolutions rapides des technologies. Il est possible de confronter les caractéristiques des différentes protections exposées auparavant en comparant leurs caractéristiques statiques (figure 2.24).

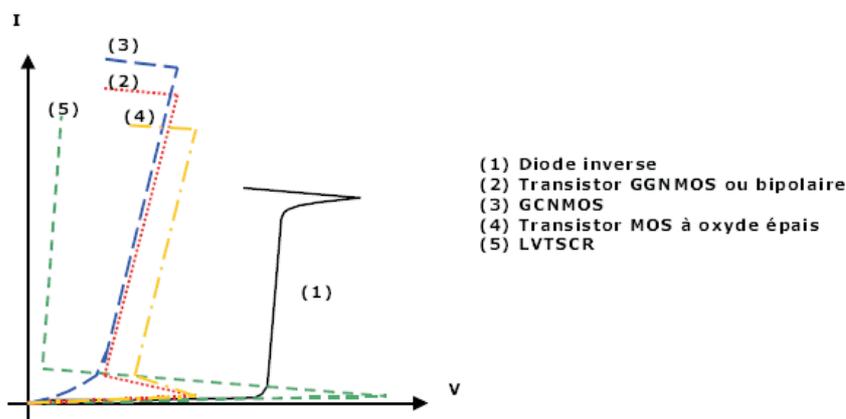


FIGURE 2.24 – Caractéristiques statiques des différents composants de protection [34]

Les composants de protection ont des spécifications bien différentes et leur implantation

dans un circuit dépend bien évidemment de la stratégie de protection et des caractéristiques électriques du circuit à protéger. Avant de choisir le type de protection à introduire, le concepteur établit une fenêtre de conception ESD dans laquelle il spécifie les caractéristiques statiques que la protection doit respecter, et qui sont en général les suivantes [34] :

- le seuil de déclenchement et la tension de maintien des composants de protection sont supérieurs ou égaux à la tension d'alimentation du circuit plus une tolérance de 10%,
- la tension maximum aux bornes de la protection doit être inférieure à la tension de claquage de l'oxyde en transitoire moins une marge de 10% afin d'assurer la protection des grilles des inverseurs d'entrée.

Afin de tirer parti des différents avantages de chaque protection dans le but d'accroître l'efficacité, la robustesse et la transparence, il est souvent nécessaire d'associer les protections. Ainsi dans la partie suivante nous proposons de présenter de façon générique une stratégie de protection globale.

2.4.4 Les stratégies de protection dans les circuits intégrés

La stratégie de protection consiste à choisir et à disposer convenablement des structures de protection sur le circuit afin d'obtenir une protection globale efficace et robuste. L'objectif est de mettre en place des chemins de décharge permettant d'évacuer les perturbations. Ces chemins doivent avoir une impédance la plus faible possible afin de limiter les tensions aux bornes des protections et ainsi protéger la partie fonctionnelle du circuit intégré. La figure 2.25 représente de façon schématique un réseau de protection complet pour un circuit CMOS.

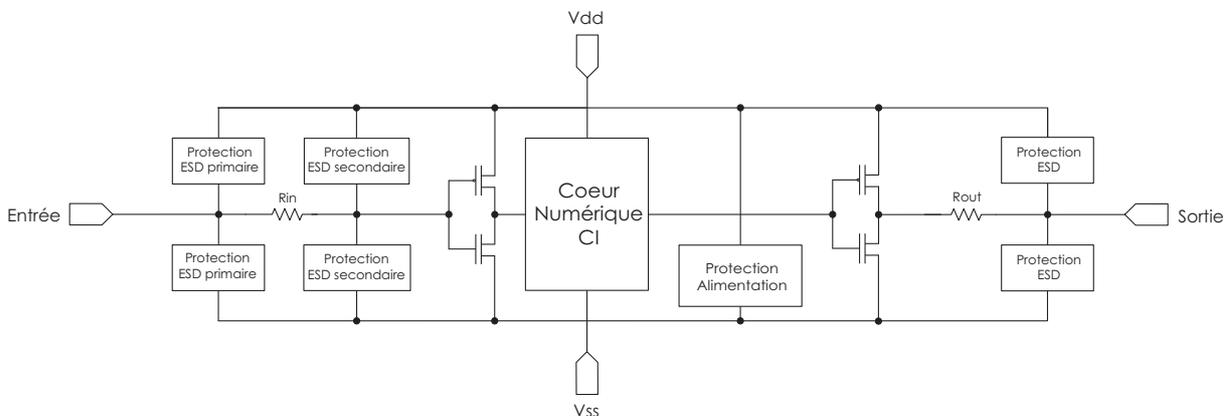


FIGURE 2.25 – Schéma de principe pour la protection d'un circuit intégré CMOS [34]

Suivant le type de broche à protéger, les exigences sont différentes et il est bien souvent nécessaire de personnaliser la solution de protection en fonction des caractéristiques électriques des structures de protection. Le schéma électrique de la figure 2.25 fait apparaître très clairement les trois régions qu'il convient de protéger :

- *les entrées* : la protection des plots d'entrée est cruciale car les oxydes de grille des transistors sont particulièrement sensibles aux perturbations transitoires. Ainsi la stratégie de protection de base consiste à implanter un réseau de protection à deux étages. Le

premier étage nommé protection primaire est en général dimensionné pour évacuer la majeure partie du courant de décharges. Le deuxième étage, représenté par une protection secondaire, est associé à une résistance R qui permet de réduire la tension induite au second étage du plot d'entrée. Pour chacune des protections, le courant de décharge est évacué vers les rails d'alimentation. Selon les contraintes et les spécifications du circuit à protéger, la protection des entrées peut être limitée à un seul élément de protection.

- *les sorties* : l'étage de protection des plots de sortie est similaire à celui des entrées. Cependant la constitution de cet étage se limite à un élément de protection car les jonctions drain-substrat des transistors de sortie sont moins sensibles aux décharges ESD que les oxydes de grille des transistors d'entrée [118]. Cette protection est complétée par une résistance qui a pour rôle de limiter le courant et de forcer les structures de protection à se déclencher avant les transistors de sortie du circuit [34].
- *le réseau d'alimentation* : La protection des alimentations est primordiale compte tenu des différents chemins que peuvent parcourir les perturbations transitoires. Cette protection est une protection centrale qui permet de conduire les courants de décharges entre les rails d'alimentation et contribue ainsi à dévier le courant perturbateur de la partie fonctionnelle du circuit. La phase de conception de ces structures est moins complexe que celle des protections d'entrée/sortie car les contraintes de transparence (capacité parasite et courant de fuite notamment) sont moins capitales.

Cette présentation ne peut être complète sans exposer un exemple de protection. Pour cela nous avons choisi d'illustrer un cas typique de protection à deux étages d'une entrée d'un circuit intégré.

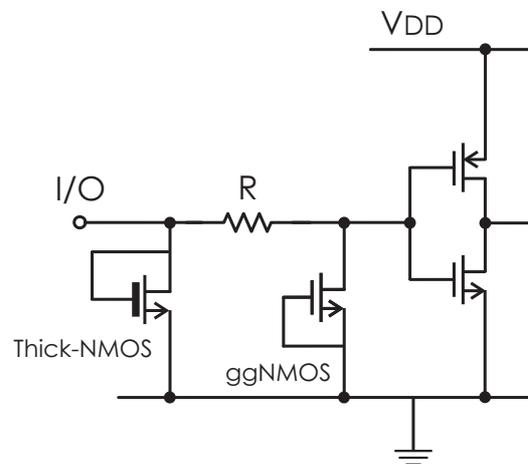


FIGURE 2.26 – Exemple de stratégie de protection d'une entrée d'un circuit intégré [114]

L'étage de protection illustré à la figure 2.26 est constitué d'un Thick-NMOS comme protection primaire et d'un ggNMOS comme protection secondaire. L'utilisation d'un Thick-MOS en protection primaire est appropriée car son dimensionnement et ses caractéristiques électriques sont adaptés pour supporter de fort courant transitoire. Cependant, ce choix n'est pas exclusif puisque des thyristors ou des diodes empilées peuvent satisfaire à cette configuration. Le ggNMOS est quant à lui un excellent candidat pour la protection secondaire, car sa tension de

déclenchement est peu élevée et sa tension de maintien permet d'assurer une marge de sécurité suffisante vis-à-vis des risques liés à la rupture des oxydes de grille des transistors d'entrée.

Dans le cadre de notre étude, l'idéal serait de connaître avec le maximum de précision l'architecture interne et si possible le schéma des circuits d'entrée et de sortie des composants numériques. Nous nous heurtons là à un manque patent d'information, les fabricants de composants étant assez réticents -souvent à juste titre- à dévoiler précisément l'architecture interne de leurs produits. De plus, si nous nous concentrons sur les étages d'entrée des circuits, les solutions retenues par les fabricants pour les dispositifs de protection sont intimement liés à la technologie employée, et le fait de donner des informations trop précises dévoilerait des secrets de fabrication jalousement gardés par les fondeurs de semi-conducteurs. Néanmoins, des informations, certes incomplètes, sont disponibles, et en particulier nous allons être amenés à travailler avec un standard assez répandu dans le monde industriel et qui se nomme le modèle IBIS (Input/Output Buffer Information Specification).

2.4.5 Le modèle IBIS

2.4.5.1 Présentation

Le modèle IBIS [119] a été initié par Intel au début des années 90, et la première version de ce standard (1.0) a vu le jour en Juin 1993. Le but de ce modèle est de pouvoir analyser le comportement des circuits en fonction des différentes conditions électriques présentes sur les lignes, comme par exemple les surtensions, les sauts d'impédances et autres...[120]. Ce standard permet théoriquement de reproduire, en utilisant un simulateur de circuit, le comportement électronique des entrées/sorties des composants sans pour autant dévoiler leur structure interne. Pour des raisons de confidentialité, les fondeurs diffusent rarement un modèle rigoureux, mais plus souvent une représentation simplifiée des composants numériques en intégrant les caractéristiques I/V du buffer de sortie et des éléments de protection ESD, les effets passifs de type RLC du boîtier ainsi que de l'effet capacitif au niveau de la puce microélectronique. A partir de ce modèle, le concepteur peut réaliser une large série de simulations qui vont lui permettre de déterminer différents problèmes de conception et notamment d'intégrité de signal (désadaptation d'impédance, diaphonie, perturbation lié à l'alimentation,...). Le modèle IBIS possède par conséquent certains avantages qui sont reconnus par les fabricants de circuits électroniques :

- protections des informations confidentielles (design, process,...).
- modèle tenant compte des non-linéarités des entrées/sorties et des éléments parasites dus au boîtier.
- portabilité sur une large gamme de simulateurs de circuits.

Les fichiers IBIS sont présentés sous forme d'un fichier ASCII. Il est à noter qu'il ne s'agit pas d'un modèle directement simulable, mais d'un formatage particulier des données, destiné à être interprété par un outil de simulation. Les schémas des figures 4.19 et 2.28 représentent respectivement les circuits équivalents d'une entrée et d'une sortie d'un composant selon le modèle IBIS :

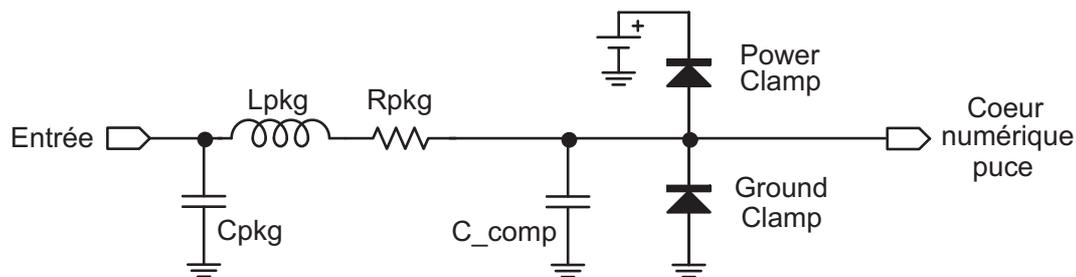


FIGURE 2.27 – Schéma électrique équivalent d'une entrée selon le modèle IBIS [119]

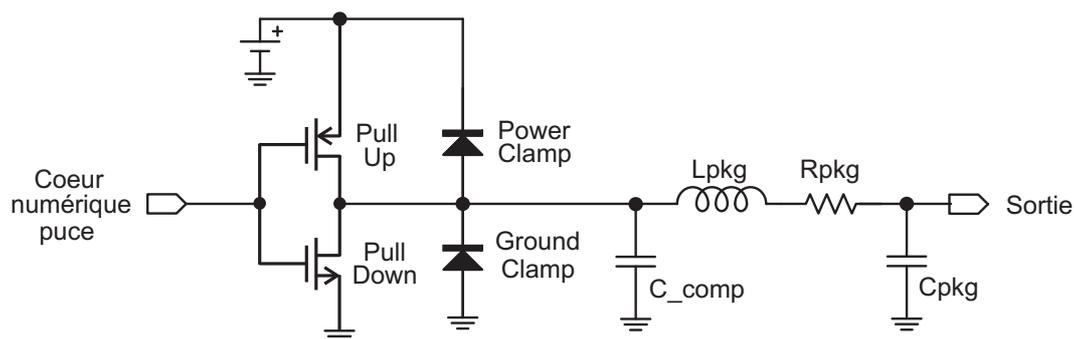


FIGURE 2.28 – Schéma électrique équivalent d'une sortie selon le modèle IBIS [119]

Ces circuits électriques équivalents de la figure 4.19 et 2.28 sont composés de différents éléments dont les caractéristiques sont énoncées ci-dessous :

- les éléments passifs R_{pkg} , L_{pkg} , C_{pkg} représentent les éléments parasites relatifs au boîtier et à son interconnexion avec la puce numérique,
- le circuit équivalent d'une entrée comprend la capacité d'entrée du composant C_{comp} et les caractéristiques statiques (table I/V) des éléments de protection PowerClamp (VCC clamp) et GroundClamp,
- le circuit équivalent des sorties comporte la capacité de sortie du composant C_{comp} , les tables I/V pour chacun des éléments de protection PowerClamp et GroundClamp, les tables I/V pour chacun des transistors de sortie $PullUp$ et $PullDown$ et les tables $V(t)$ de sortie; lorsque ces dernières caractéristiques sont linéaires, elles peuvent être remplacées par les valeurs des rampes $\frac{dV}{dt}$. Les données liées à l'élément $PullUp$ décrivent le comportement I/V quand la sortie est dans un état logique haut (transistor PMOS actif) tandis que les données $PullDown$ montrent les caractéristiques électriques I/V lorsque la sortie est dans un état logique bas (transistor NMOS actif).

Les différentes valeurs des éléments qui composent le modèle IBIS sont obtenues par la simulation ou grâce à des processus expérimentaux [121]. Les logiciels de simulation de circuit de type SPICE peuvent être utilisés pour simuler les modèles IBIS des composants. Un modèle IBIS peut être utilisé pour représenter plusieurs entrées ou sorties et il est particulièrement recommandé de travailler avec des modèles qui sont spécifiques à chaque entrée ou sortie. En effet, dans la majorité des cas, les valeurs électriques liées aux paramètres du boîtier et à la

capacité C_{comp} différent selon l'entrée ou la sortie simulée. Dans notre situation, ce modèle est un support d'une grande importance car il nous révèle des informations très précieuses sur les caractéristiques statiques des éléments de protection ESD des composants.

2.4.5.2 Représentation IBIS du comportement statique des éléments de protection ESD

Comme nous l'avons précisé auparavant, le modèle IBIS permet d'avoir accès aux caractéristiques statiques des éléments de protection PowerClamp et GroundClamp. La figure 2.29 propose, à travers un exemple, de présenter l'allure de ses caractéristiques. A titre indicatif, les différentes données exploitées dans la description des éléments de protection ESD proviennent du modèle IBIS du composant MC74LCX652 de Motorola.

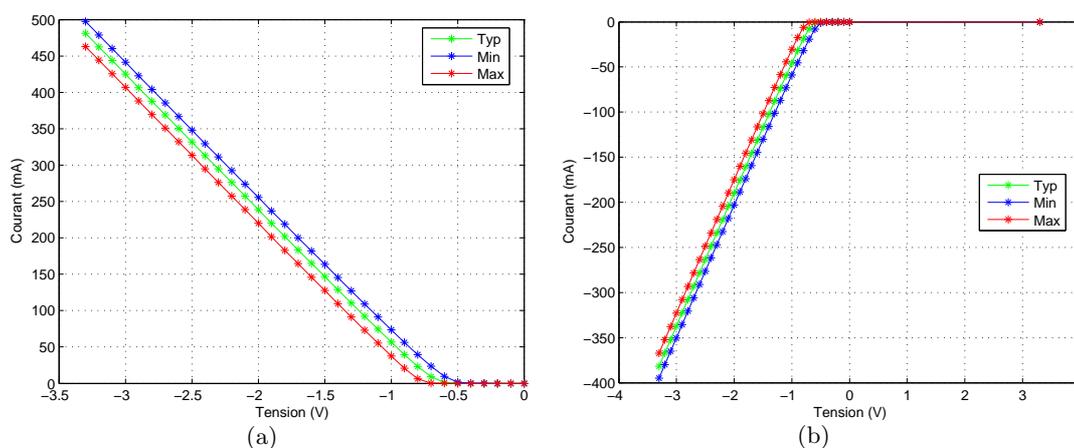


FIGURE 2.29 – (a) Caractéristique statique de la protection PowerClamp (Référéncée à l'alimentation) - Motorola MC74LCX652; (b) Caractéristique statique de la protection GroundClamp - Motorola MC74LCX652

On remarque que chacune des caractéristiques statiques contient trois courbes qui sont relatives à la configuration électrique du circuit lors de la génération du modèle. Les caractéristiques de ces différentes conditions sont résumées ci-dessous :

- *typique* : les données sont obtenues avec la tension d'alimentation nominale du circuit et des conditions thermiques nominales,
- *minimum* : les données sont obtenues avec la tension d'alimentation minimale du circuit et des conditions thermiques maximales,
- *maximum* : les données sont obtenues avec la tension d'alimentation maximale du circuit et des conditions thermiques minimales.

Ces différents critères sont d'un intérêt majeur car ils permettent d'avoir une certaine dynamique quant aux conditions limites de fonctionnement du composant. Si nous analysons ces caractéristiques de plus près, on peut très simplement en déduire que l'élément PowerClamp devient actif lorsqu'un signal a une amplitude supérieure à $V_{cc} + V_c$ où V_{cc} est la référence à l'alimentation et V_c le seuil de déclenchement de la protection. Dans le cas de l'élément GroundClamp, celui-ci se déclenche pour des signaux ayant une amplitude inférieure à V_{ss} -

V_c où V_{ss} représente la référence à la masse et V_c le seuil de déclenchement de la protection. Ces informations sont capitales dans la démarche que nous avons entreprise mais il n'est malheureusement pas possible d'avoir de plus amples informations, notamment au niveau de l'architecture électrique. Cependant, nous pouvons déduire de ces courbes certaines hypothèses quant au comportement de ces protections. En effet, d'après les données que nous avons pu relever, la majorité des courbes courant/tension des protections ESD dans les modèles IBIS présentent une grande similitude avec des caractéristiques statiques de diodes. Cette remarque est d'autant plus significative que cet élément est à la base des éléments de protection et qu'elle reste largement utilisée [107]. Néanmoins, les architectures électriques des étages de protection sont de plus en plus complexes (cf. partie 2.4.3) et l'on retrouve généralement plusieurs éléments de protection. Nous aurions pu analyser des structures de protection spécifiques comme certaines études déjà menées [122] - [123], mais nous avons fait le choix d'assimiler le comportement des protections à celui d'une diode afin d'avoir une approche la plus générique possible. Il nous est apparu naturel d'essayer de remonter aux caractéristiques intrinsèques des étages de protection à partir des données électriques du modèle IBIS afin d'obtenir un modèle SPICE de diode qui soit directement exploitable par les logiciels de simulation analogique. Par ailleurs, les données "constructeur" se cantonnent aux limites inhérentes au standard IBIS, à savoir une excursion en tension limitée par la tension d'alimentation du circuit. Or, il peut être intéressant de savoir ce qui se passe quand les perturbations dépassent ces limites, et un modèle SPICE présente l'avantage de permettre ce type d'extrapolation.

2.4.6 Extraction des caractéristiques intrinsèques des protections avec le modèle SPICE

2.4.6.1 Principe de modélisation

Cette étape a nécessité le développement d'un petit outil informatique permettant, à partir de la description statique des tables tension/courant données dans les modèles IBIS pour les éléments de protection PowerClamp et GroundClamp, de remonter à un modèle de diode au format SPICE. Le formalisme SPICE des diodes est particulièrement performant et efficace pour représenter le comportement électrique des diodes. Ce modèle possède de nombreux paramètres, dont beaucoup sont optionnels et sont souvent assez peu renseignés, même dans des modèles donnés par les fabricants. Cependant, comme les données du modèle IBIS sont relatives aux paramètres statiques des circuits, la majorité des paramètres SPICE peuvent être omis sans compromettre l'analyse statique. Pour de plus amples informations sur l'intégralité des paramètres SPICE du modèle de la diode et de la description de son comportement analytique, il est possible de se référer au livre de Guiseppa Massobrio et Paolo Antognetti [77]. Le schéma équivalent du comportement statique des diodes peut être établi en simplifiant le schéma électrique complet présenté à la figure 2.13. Ainsi le schéma électrique retenu est exposé à la figure 2.30.

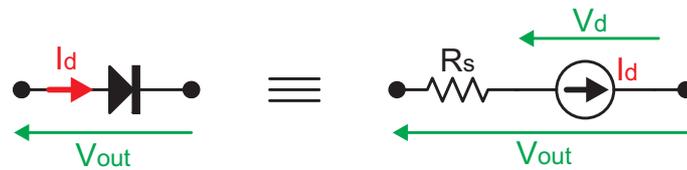


FIGURE 2.30 – Schéma équivalent du comportement statique des diodes selon le modèle SPICE

R_s est une résistance série et I_d un générateur de courant représentant la caractéristique non-linéaire de la diode. Comme les excursions de tension dans les modèles IBIS ne permettent que très rarement d'observer des phénomènes de conduction inverse dans les éléments de protection, nous focaliserons notre étude sur les caractéristiques directes des diodes. Le modèle SPICE de la diode est basé sur le modèle de diode idéale de Shockley [124] et, sous sa forme la plus simple, le courant direct dans la diode est donné par :

$$I_d = I_s \left(e^{\frac{V_d}{N \cdot V_t}} - 1 \right) \quad (2.1)$$

La définition des différents termes de l'équation 2.1 est donnée ci-après :

- I_s : courant de saturation (Ampères),
- N : coefficient d'émission,
- V_t : la tension thermique (=25.86mV pour T=27°C) (Volts).

De plus, la tension V_{out} aux bornes de la diode peut être écrite en fonction du courant grâce à l'équation 2.2 :

$$V_{out} = V_d + R_s I_d \quad (2.2)$$

Au final, nous cherchons à déterminer trois paramètres : I_s , N et R_s . En toute rigueur, pour déterminer les valeurs de ces paramètres statiques, un minimum de trois couples de valeurs tension/courant est nécessaire. Cependant, dans la pratique, si les tables des fichiers IBIS donnent majoritairement ces trois couples, il apparaît qu'un nombre plus important de valeurs est nécessaire.

La tension V_{out} , incluant l'effet de la résistance série R_s de la diode, est la tension indiquée dans les fichiers IBIS, et le courant I_d est le courant qui traverse la diode, lui aussi donné dans les fichiers IBIS. A partir des équations 2.1 et 2.2, nous pouvons en déduire l'expression de la tension V_d :

$$\frac{I_d + I_s}{I_s} = e^{\frac{V_d}{N \cdot V_t}} \quad (2.3)$$

soit

$$V_d = N \cdot V_t \ln \left(\frac{I_d + I_s}{I_s} \right) \quad (2.4)$$

et ainsi l'équation 2.2 peut finalement s'écrire sous la forme :

$$V_{out} = N \cdot V_t \ln \left(\frac{I_d + I_s}{I_s} \right) + R_s I_d \quad (2.5)$$

Nous avons donc élaboré un outil logiciel, basé sur le développement analytique présenté ci-dessus, qui permet d'évaluer les trois paramètres SPICE à partir des tables I/V données dans les fichiers IBIS. L'algorithme de ce programme est relativement simple puisqu'il consiste à minimiser une fonction de trois variables. Cette fonction est simplement l'erreur de tension entre la valeur calculée par le logiciel et la valeur de tension donnée par les tables IBIS. Cet outil a été validé sur différents modèles IBIS de circuits intégrés dont les caractéristiques sont assez diverses.

2.4.6.2 Application à des étages de protection ESD des circuits intégrés

La première phase de validation a été effectuée sur le circuit intégré numérique MC74AC00 du fabricant ON Semiconductor, qui est composé de quatre portes NAND. Nous avons au préalable vérifié que les caractéristiques statiques des protections ESD de chaque entrée étaient similaires ce qui permet d'en déduire que toutes les entrées sont protégées de la même manière. Ainsi à partir des caractéristiques statiques des éléments de protection PowerClamp et GroundClamp de l'une des entrées du circuit, nous avons extrait les trois paramètres SPICE permettant de modéliser le comportement statique de ces protections. Le modèle extrait est directement comparé avec les tables I/V des protections données dans le modèle IBIS du composant via une simulation SPICE.

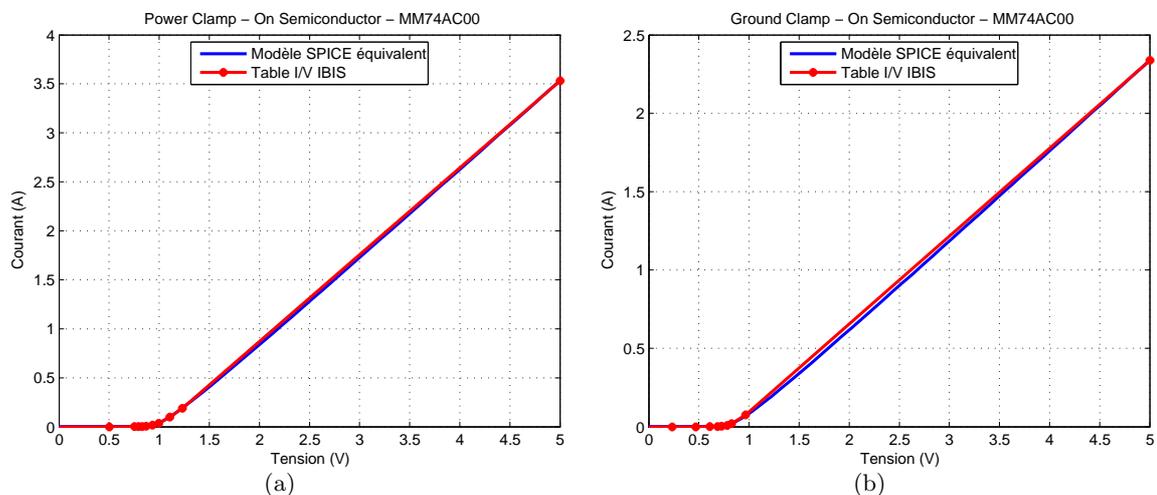


FIGURE 2.31 – (a) Table IBIS/Modèle SPICE pour la protection PowerClamp d'entrée du MC74AC00 de ON Semiconductor ($I_s=5.0685\text{pA}$ $N=1.6241$ $R_s=1.0916\Omega$); (b) Table IBIS/Modèle SPICE pour la protection GroundClamp d'entrée du MC74AC00 de ON Semiconductor ($I_s=0.4361\text{nA}$ $N=1.7328$ $R_s=1.7094\Omega$)

Les résultats obtenus sont relativement satisfaisants compte tenu du fait que nous avons pris en compte une version simplifiée du formalisme SPICE. En effet, les légères divergences observées sur les graphiques de la figure 2.31 montrent que le formalisme utilisé dans notre algorithme

admet certaines limites, comme l'absence de prise en compte du phénomène de recombinaison et de génération de porteurs.

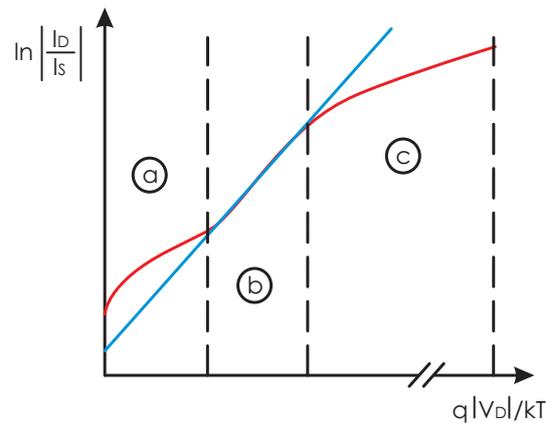


FIGURE 2.32 – Effet des différents niveaux d'injection sur le courant direct de diode [77]

Comme l'illustre la figure 2.32, ce phénomène est surtout prédominant dans la zone de très faible injection (a), avant le coude de conduction qui amorce la région du courant de diffusion (b) (correctement modélisé par l'équation 2.1). Dans cette zone, on remarque que les prédictions du formalisme de la diode idéale (courbe bleue) ne reproduisent pas fidèlement le comportement réel (courbe rouge). Ce problème peut être résolu en adoptant un formalisme plus complet [125] qui intègre les phénomènes de recombinaison et de génération. Si nous intégrons ce formalisme dans notre outil logiciel, le nombre de paramètres à extraire passera de trois à sept. En toute rigueur, pour déterminer les valeurs de ces paramètres statiques, y compris la résistance série de la diode, un minimum de huit couples de valeurs tension/courant est nécessaire. Cependant, dans la pratique, si les tables des fichiers IBIS donnent majoritairement ces huit couples, il apparaît qu'un nombre plus important de valeurs est nécessaire. En effet, la sensibilité de la courbe I/V à ces paramètres SPICE est extrêmement grande, en particulier au niveau du coude de conduction de la diode. Malheureusement, la majorité des fichiers IBIS sont assez vagues et ne donnent que peu de valeurs à cet endroit stratégique. Pour cette raison, nous avons conservé le formalisme du modèle idéal de Shockley. Cependant, même avec ce modèle simple de diode, il apparaît que les résultats sont suffisants pour décrire le comportement des étages de protection ESD. Il est vrai qu'il convient de modérer cette modélisation, car en effet l'assimilation implicite des éléments de protection à des diodes peut être vue comme une simplification abusive. En effet, au vu des différentes courbes données par les fichiers IBIS, même si le cas "idéal" de diode est assez souvent représenté, certaines des courbes présentent des caractéristiques plus torturées, laissant augurer de dispositifs de protection plus complexes que de simples diodes. Néanmoins, nous avons réalisé une seconde application à cette analyse. Le circuit de test est un circuit appartenant à la même famille technologique (CMOS 5V) que le précédent mais provenant d'un autre fabricant. Cette variante peut être justifiée par le fait que les fabricants développent des solutions de protection différentes et que cette étude permet de confirmer la portabilité de notre analyse. Le circuit considéré dans cet exemple est le circuit numérique MM74HCT32 du fabricant Fairchild. Ce circuit est un simple circuit logique composé de quatre portes OR.

Nous avons donc extrait les paramètres SPICE des protections ESD à l'entrée du circuit, et les graphiques 2.33(a) et 2.33(b) de la figure 2.33 illustrent la bonne concordance de nos résultats avec les caractéristiques statiques du modèle IBIS.

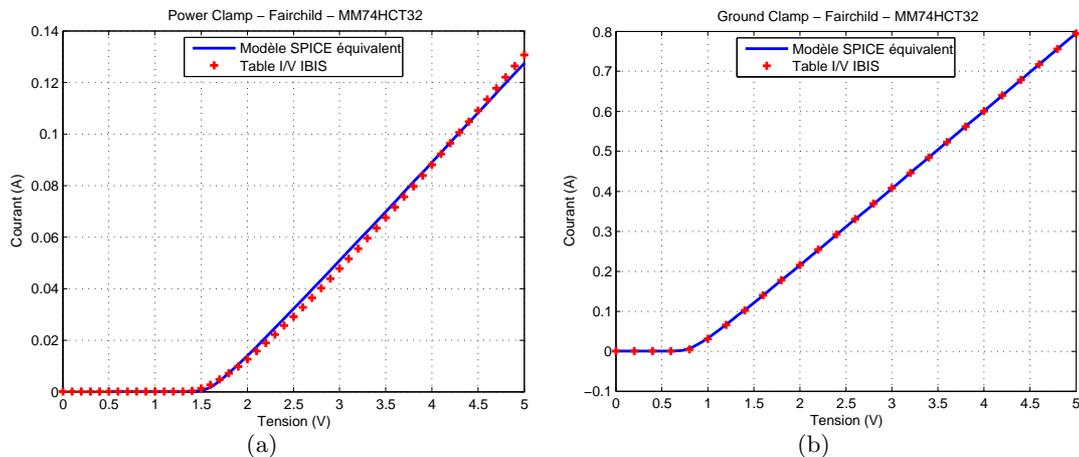


FIGURE 2.33 – (a) Table IBIS/Modèle SPICE pour la protection PowerClamp d'entrée du MM74HCT32 de Fairchild ($I_s=13.6461\text{fA}$ $N=1.5964$ $R_s=25.6531\Omega$); (b) Table IBIS/Modèle SPICE pour la protection GroundClamp d'entrée du MM74HCT32 de Fairchild ($I_s=34.221\text{pA}$ $N=1.5492$ $R_s=5.0859\Omega$)

Dans le but de confirmer l'ensemble des résultats obtenus, nous avons expérimenté cette analyse sur un circuit intégré pour lequel nous disposons d'informations concernant l'architecture électrique de ses éléments de protection. En effet, le fabricant de circuit Texas Instruments met à disposition de ses utilisateurs des documents techniques dans lesquels il détaille les caractéristiques électriques de chaque famille technologique [126]. De plus, il existe dans ce document une section qui divulgue des informations sur la stratégie de protection employée ce qui permet, dans notre situation, d'avoir accès à l'architecture électrique mise en œuvre et d'en comprendre le principe de fonctionnement. La figure 2.34 présente le circuit de protection d'entrée de la famille technologique AHC-AHCT des circuits intégrés fabriqué par Texas Instruments.

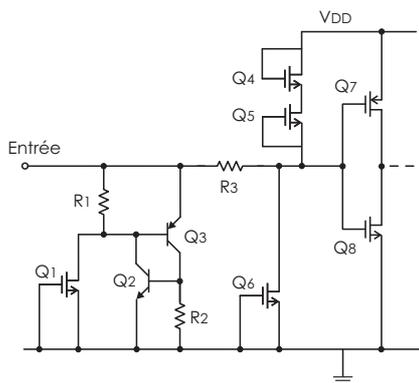


FIGURE 2.34 – Circuit de protection de la famille AHC-AHCT du fabricant Texas Instruments [126]

L'architecture développée dans cette technologie confirme que les fabricants adoptent désormais des solutions de protection beaucoup plus complexes que les solutions conventionnelles

typiquement basées sur des diodes. Le circuit de protection présentée à la figure 2.34 est composé de deux étages. L'entrée du circuit est dans un premier temps protégé par un élément capable d'évacuer de fortes énergies (thyristor composé des transistors Q2 et Q3). Cette protection est complétée par d'autres éléments composés de transistors Q1, Q4, Q5 et Q6 afin d'éliminer totalement les résidus énergétiques des perturbations, et ainsi d'accroître la protection des entrées contre les surtensions.

La dernière validation consiste donc à évaluer le comportement statique des étages de protection d'un circuit intégré conçu à partir de cette famille technologique. Le circuit retenu dans cette expertise est le circuit numérique SN74AHC1G00 constitué d'une porte logique NAND. Les caractéristiques statiques de l'élément de protection PowerClamp issu du modèle IBIS de ce composant sont exposées sur les graphiques de la figure 2.35.

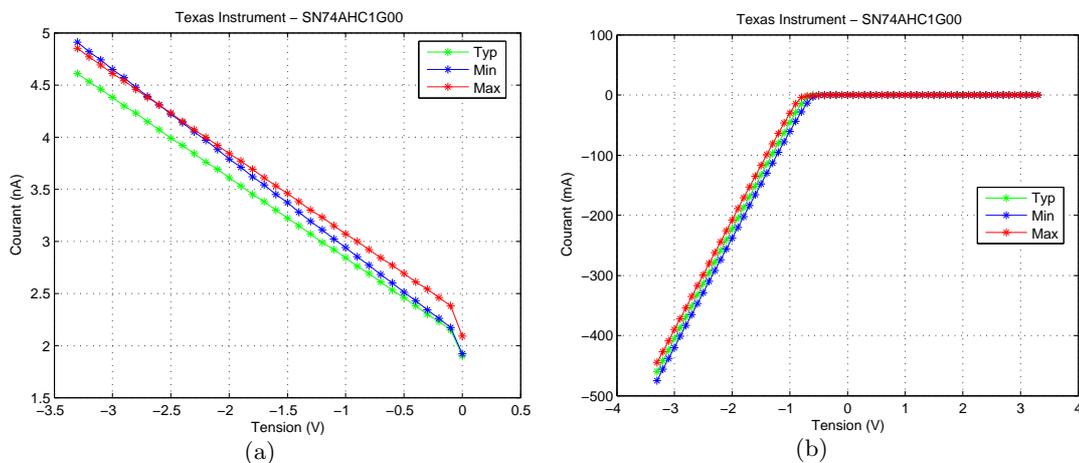


FIGURE 2.35 – (a) Caractéristique statique de la protection PowerClamp (Référéncée à l'alimentation) - Texas Instrument SN74AHC1G00; (b) Caractéristique statique de la protection GroundClamp (Référéncée à la masse) - Texas Instrument SN74AHC1G00

Il apparaît difficile d'extraire une quelconque information sur le comportement statique de la protection PowerClamp de ce circuit. Si nous observons plus précisément la caractéristique statique de la protection PowerClamp du SN74AHC1G00, on remarque que les éléments de protection conduisent des intensités très faibles (nA), ce qui peut s'apparenter à un courant de fuite. Ce phénomène n'est pas isolé, et après avoir étudié différents modèles IBIS de composants de différents constructeurs, il est apparu que certains modèles ne possèdent pas de caractéristique concernant la protection PowerClamp. Nous pouvons donc émettre l'hypothèse que le composant de protection est plus complexe qu'une diode car il n'a pas d'influence aux niveaux de tensions explorés par le modèle IBIS. En effet, ce modèle décrit le comportement des composants sur une gamme de tensions allant de $-V_{CC}$ à $+2V_{CC}$ et certaines protections ont des seuils de déclenchement plus élevés que $+2V_{CC}$. En conclusion, nous ne pouvons exploiter les données concernant cet élément et par conséquent, nous ne sommes pas en mesure d'extraire un modèle SPICE. Par contre, le modèle IBIS de ce circuit s'est montré plus généreux sur la description de l'élément GroundClamp car la plage de tension explorée par le modèle IBIS est suffisante pour décrire le comportement statique. Cet élément se déclenche pour des niveaux beaucoup

moins élevés que dans le cas de la protection PowerClamp. Ainsi, nous avons pu appliquer notre analyse à cet élément afin d'en extraire un modèle SPICE.

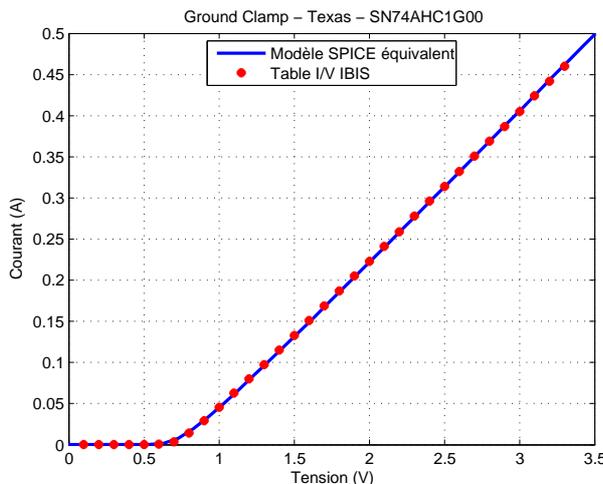


FIGURE 2.36 – Table IBIS/Modèle SPICE pour la protection GroundClamp d’entrée du SN74AHC1G00 de Intel ($I_s=0.5667\text{nA}$ $N=1.6104$ $R_s=5.2945\Omega$)

Les résultats, présentés à la figure 2.36 sont réellement concluants car si nous observons l’architecture électrique analogue à la protection GroundClamp sur le schéma de la figure 2.34 nous remarquons clairement que cette protection est composée de plusieurs éléments aux caractéristiques différentes. Cependant, dans cette situation la diode peut être considérée comme un circuit équivalent à cette structure. Cette remarque est d’une extrême importance car elle représente un argument supplémentaire dans la justification d’assimiler le comportement des éléments de protection à des diodes.

Malheureusement, nous ne pouvons pas systématiquement assimiler le comportement statique des protections ESD à des diodes comme le montre l’exemple présenté à la figure 2.37.

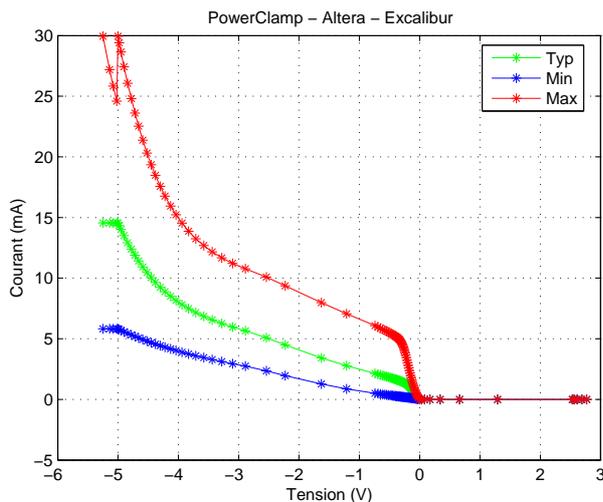


FIGURE 2.37 – Caractéristique I/V de la protection PowerClamp - Altera Excalibur

Le graphique 2.37 représente la caractéristique statique de l'élément PowerClamp du circuit Excabur du fabricant Altera. Ce cas d'étude démontre expressément que cette protection n'est pas une diode mais nous avons tout de même tenté d'en extraire un modèle de diode. Malgré cela, il s'est avéré qu'il était impossible de fitter cette courbe par une caractéristique I/V de diode, même en utilisant des valeurs de paramètres extrêmes.

Néanmoins dans le cas où la description IBIS des éléments de protection a une bonne ressemblance avec des caractéristiques de diode, nous admettons qu'il est possible d'assimiler le comportement de ces éléments à des diodes.

2.5 Influence des protections ESD sur la susceptibilité des circuits intégrés numériques aux perturbations HF

Cette partie propose de recentrer les travaux par rapport au contexte de notre étude. L'analyse de la susceptibilité des composants que nous souhaitons mettre en place consiste à évaluer le comportement des éléments de protection ESD face à des perturbations transitoires "bas niveau", et plus précisément à prédire l'influence des effets parasites de ces protections sur les signaux numériques. L'objectif final de notre analyse est de mettre en place un outil de modélisation des étages d'entrée des circuits intégrés afin de déterminer le niveau de perturbation pouvant atteindre leur cœur numérique. Cependant, il convient dans un premier temps d'examiner les modèles fournis par les fabricants afin de déterminer s'ils sont adaptés à ce type d'étude. Avant tout chose, il est nécessaire de faire un bref rappel sur l'évolution du critère de transparence des éléments de protection ESD avec les avancées technologiques.

2.5.1 La transparence des circuits de protection : un critère de plus en plus déterminant

Les composants de protection ESD sont des éléments non-linéaires qui présentent à l'état inactif des capacités parasites pouvant altérer la forme temporelle du signal numérique traité par la partie fonctionnelle du circuit. Par ailleurs, lorsque la perturbation excède les tensions d'alimentation, particulièrement à des fréquences au-delà des spécifications fabricant, les protections contre les ESD deviennent actives et des phénomènes non-linéaires peuvent apparaître. Différentes études ont montré que l'influence des protections ESD sur l'intégrité de signal était inévitable et substantielle [122]. En effet, une protection ESD n'est pas parfaite et elle induit toujours des effets parasites qui sont liés au courant de fuite et aux capacités. Suivant le contexte dans lequel les protections sont insérées, les concepteurs cherchent à minimiser ces effets mais cela remet en cause la robustesse et l'efficacité des protections. Il est donc nécessaire de réaliser un compromis en fonction des exigences à respecter.

Parmi les différents effets parasites qu'il est possible de rencontrer, le comportement électrique de certaines protections peut engendrer des interférences sur le circuit à protéger, comme une augmentation du facteur de bruit sur des circuits RF [127], des distorsions du signal utile. Ces effets parasites sont principalement causés par le comportement non-linéaire des capacités intrinsèques aux éléments de protection ESD, qui peut avoir une grande influence dans les circuits

RF et les circuits de communication où les échanges de données sont cadencés à des débits très élevés. C'est ainsi que de nombreux efforts sont réalisés pour réduire les effets parasites liés au comportement capacitif des protections ESD [33], [128], [129], [130].

Malgré cela, il est tout de même capital de se préoccuper des effets néfastes des protections dans le cas où le circuit est perturbé par un signal large bande dont les caractéristiques sont similaires aux agressions AGREMI. Les informations contenues dans le modèle IBIS risque d'être insuffisantes pour cette étude car nous ne disposons là que des caractéristiques statiques des éléments de protection. En d'autres termes, cela signifie que nous ne traitons pas les phénomènes relatifs aux caractéristiques dynamiques (capacités).

2.5.2 Comment le modèle IBIS définit-il le comportement dynamique des étages d'entrée des circuits intégrés ?

Le modèle IBIS donne des informations pertinentes sur le comportement statique des protections, mais il est beaucoup plus vague quant à la définition de leur comportement dynamique. En effet, le modèle IBIS ne propose pas de modéliser le comportement non-linéaire des capacités parasites, ce qui est un inconvénient majeur pour le type d'étude que nous effectuons. Le modèle IBIS nous renseigne cependant sur la valeur de la capacité d'entrée équivalente à chaque plot de connexions (C_{comp}). Cette définition englobe ainsi l'effet capacitif des éléments de protection et de la puce numérique. Cependant, le modèle IBIS évolue régulièrement et de nouvelles perspectives sont proposées. Des études complémentaires ont été réalisées sur la modélisation comportementale des étages d'entrée/sortie des circuits intégrés, mais les problématiques exposées sont principalement orientées sur la définition des transistors des inverseurs d'entrée/sortie, et ne concernent pas directement les étages de protection ESD [131]-[132]. Néanmoins, la dernière version du modèle IBIS (version 5.0) intègre une redéfinition au niveau de la description du comportement capacitif des entrées/sorties car il est désormais possible de définir la capacité parasite relative à chaque élément de protection grâce à des paramètres additionnels : $C_{compPullup}$, $C_{compPulldown}$, $C_{compPowerClamp}$, et $C_{compGndClamp}$. Cette évolution est particulièrement déterminante dans le cadre des investigations que nous menons, mais cette redéfinition n'est pas obligatoire dans la description du modèle IBIS et par conséquent, c'est au bon vouloir du fabricant de donner ces informations. De plus, il existe actuellement très peu de modèles ayant été élaborés à partir de cette version du modèle IBIS, et donc les chances d'obtenir ce type d'informations sont minces.

La définition du comportement non-linéaire des éléments de protection a fait l'objet de nombreuses discussions au sein du comité scientifique qui élabore les spécifications du modèle. Les perspectives d'évolution concernant la définition électrique des étages d'entrée/sortie composant le modèle sont soumises à ce comité qui statue par la suite sur leur validité. Lucas Giacotto et Arpad Muranyi ont proposé une étude qui permet d'améliorer la représentation de l'impédance d'entrée/sortie des circuits ([133] et [134]). Le but de cette étude est de prendre en considération les effets non-linéaires des capacités. Cette évolution est considérée comme une extension à la définition de la capacité C_{comp} et malheureusement cette proposition n'a pas été retenue par le comité scientifique du standard IBIS [135], et actuellement le seul et unique paramètre

dynamique qui est disponible dans la dernière version du modèle est le paramètre lié au temps de transit T_t qui a été introduit grâce à une réflexion menée par Bob Ross [136]. Ce paramètre permet de modéliser le comportement non-linéaire de la capacité de diffusion des éléments de protection (PowerClamp et GroundClamp), et est directement lié aux charges stockées. Sa définition est basée sur le formalisme SPICE de la capacité de diffusion des diodes :

$$C_t = T_t \cdot \frac{\partial I_d}{\partial V_d} \quad (2.6)$$

La conductance $\frac{\partial I_d}{\partial V_d}$ est directement déduite des caractéristiques statiques délivrées dans le modèle IBIS. La modélisation de la capacité de diffusion initiée par Bob Ross n'est pas totalement fidèle au modèle SPICE des diodes puisque la résistance série R_s a été négligée. Quoiqu'il en soit, cette approche est cependant décisive dans la prise en compte du comportement non-linéaire des protections, et elle permet de redéfinir la représentation électrique des modèles d'entrée/sortie comme l'illustre le schéma de la figure 2.38.

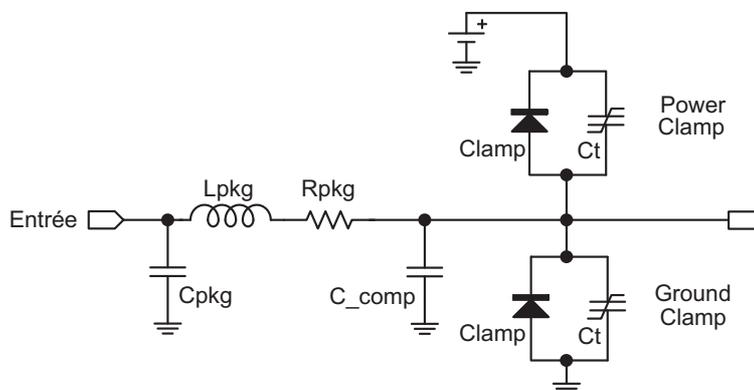


FIGURE 2.38 – Redéfinition du schéma électrique des éléments de protection dans le modèle IBIS

Cette redéfinition a simplement consisté à introduire la capacité de diffusion C_t (cf. eq. 2.6) en parallèle des éléments de protection. Malheureusement, d'après les spécifications du modèle IBIS, le renseignement du paramètre T_t est facultatif, et bien souvent les fabricants de circuit ne renseignent pas ce paramètre lors de la génération d'un modèle IBIS. Il est cependant regrettable que ce paramètre ne soit pas plus populaire auprès des fabricants car il permettrait entre autres de tenir compte des phénomènes non-linéaires survenant comme la création d'une pseudo composante continue par redressement [107], etc...

Ainsi, le seul et unique paramètre communément accessible qui nous renseigne sur le comportement capacitif des protections ESD est le paramètre C_{comp} . La définition de ce paramètre est totalement inadaptée dans notre contexte car les capacités parasites des éléments de protection à base de semi-conducteurs ont un comportement fortement non-linéaire.

2.5.3 Mise en évidence du comportement non-linéaire des capacités parasites

Le modèle IBIS ne fournit donc qu'une modélisation statique des éléments de protection et cela constitue une limitation majeure dans l'évaluation de la vulnérabilité des composants

dans notre contexte. Face à la pauvreté des modèles fournis par les fabricants, il donc n'est pas envisageable de mener une étude réaliste sur les effets parasites des éléments de protections ESD [137] à partir d'un seul modèle IBIS. Ainsi, nous sommes dans l'obligation d'utiliser un modèle alternatif, et il se trouve que le modèle SPICE des diodes utilisé pour décrire le comportement statique des protections intègre une représentation assez précise des éléments capacitifs [77] qui se décomposent entre la capacité de jonction et la capacité de diffusion, et le formalisme associé à ce modèle présente l'avantage de tenir compte du comportement non-linéaire. De plus, dans le cas où la diode est inactive, c'est-à-dire qu'elle ne conduit pas, il subsiste néanmoins un comportement capacitif qui est principalement dû à la capacité de jonction et qui risque d'être préjudiciable à l'intégrité du signal numérique. Un exemple de l'importance de ces paramètres dynamiques est donné ci-après : un circuit de protection de base type IBIS (cf. figure 2.39), composé de deux diodes de clamping, est attaqué par un signal transitoire bipolaire rapide de faible amplitude afin d'isoler uniquement le comportement de la capacité de jonction des diodes.

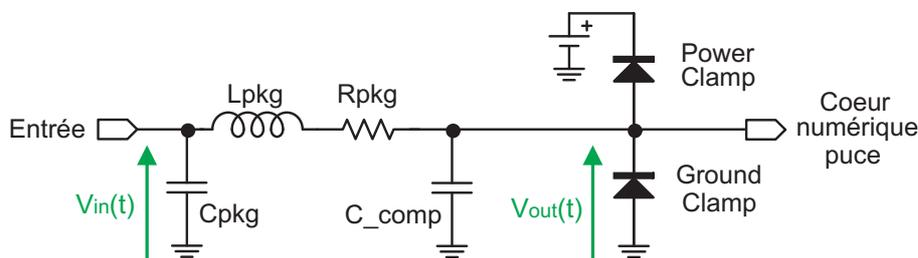


FIGURE 2.39 – Circuit simulé pour la mise en évidence des effets dynamiques [119]

Afin de mettre en évidence les carences du modèle IBIS, nous avons réalisé une simulation SPICE du circuit présenté 2.39 dans laquelle nous avons défini deux types de modélisation SPICE de diode pour les éléments de protection ESD. Ces deux types de modélisation ont comme point commun d'avoir la même définition statique, dont les paramètres ont été extraits à partir d'un modèle IBIS de circuit intégré. Néanmoins, pour les besoins de cette partie, nous avons paramétré les variables relatives à la description de la capacité de jonction dans l'une des modélisations afin de percevoir l'influence de ses effets non-linéaires. Les schémas électriques de la figure 2.40 résument les différentes situations analysées.

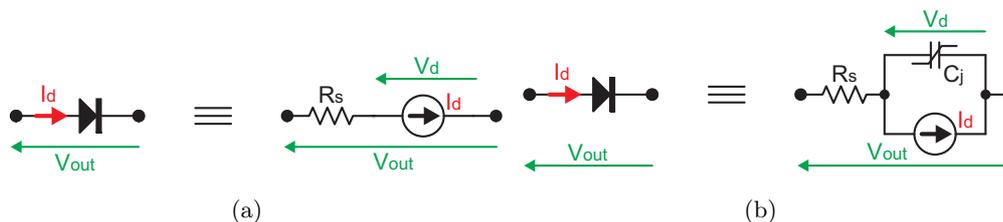


FIGURE 2.40 – (a) Schéma électrique du modèle statique ; (b) Schéma électrique du modèle dynamique bas niveau

A bas niveau, le modèle SPICE définit la capacité de jonction au moyen du formalisme suivant :

$$C_j = \frac{\partial Q_j}{\partial V_d} = C_{j0} \cdot \left(1 - \frac{V_d}{V_j}\right)^{-M} \quad (2.7)$$

Cette formulation fait désormais intervenir trois nouveaux paramètres : C_{j0} , M et V_j . Pour le moment, il n'est pas nécessaire de décrire l'ensemble de ces paramètres puisque l'intérêt de cette analyse est de simplement constater l'effet parasite des capacités intrinsèques à la protection sur les caractéristiques électriques du signal arrivant sur le cœur numérique du circuit. Cependant, nous insisterons plus en détails sur la description de cette capacité dans le troisième chapitre. La nécessité de prendre en compte le comportement dynamique des protections dans la phase de modélisation est clairement visible sur les résultats de simulation exposés à la figure 2.41. Dans cet exemple, le paramètre C_{j0} , qui représente la capacité lorsque la tension appliquée est nulle, a été fixé à 10pF tandis que les autres paramètres liés à la définition de la capacité de jonction ont été laissés à leur valeur par défaut.

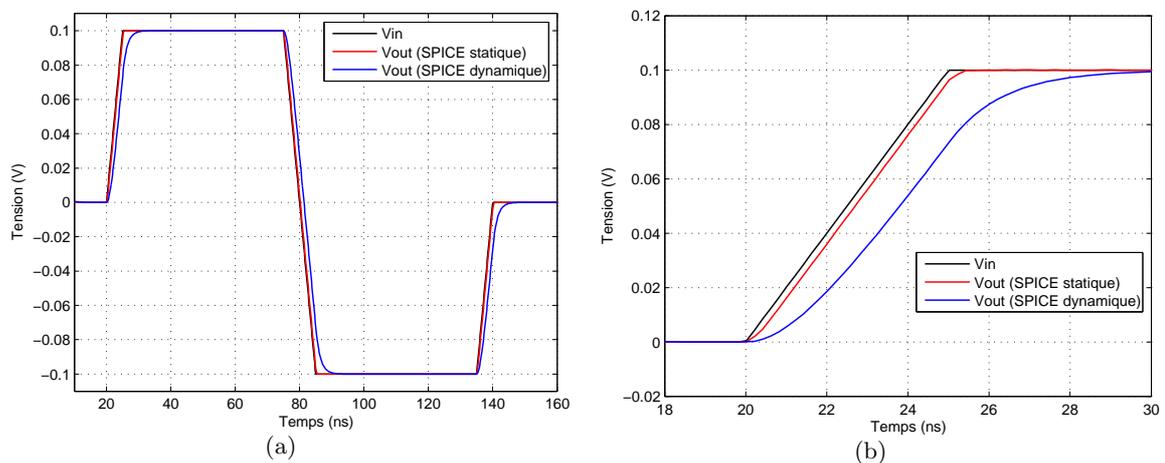


FIGURE 2.41 – (a) Effet capacitif des diodes ; (b) Effet capacitif des diodes - Zoom sur le front de montée de l'impulsion

Dans cette configuration, la variation de C_j avec la tension entre -100mV et +100mV est de 0,1pF. Le signal d'entrée, utilisé dans cette simulation, est un signal impulsionnel dont les phases de transition sont assez brèves afin d'exacerber les effets parasites liés à la capacité de jonction. L'amplitude du signal n'excède pas les tensions d'alimentation du circuit, ce qui signifie que les protections ne sont pas actives. Les allures temporelles des tensions que nous visualisons sur la figure 2.41 ont été prélevées aux bornes de la capacité C_{comp} du schéma électrique 2.39 de la figure 2.41. Le simple ajout de la capacité de jonction non-linéaire induit un tout autre comportement. Les effets non-linéaires engendrés par cette capacité ont une incidence directe sur l'allure du signal de sortie V_{out} . Dans cette démonstration, nous avons limité l'interaction des effets capacitifs de la diode à la représentation de la capacité de jonction mais il ne faut pas omettre la contribution de la capacité de diffusion dans le cas où la diode entre dans sa zone de conduction. Il est donc nécessaire de prendre en compte cette capacité dès lors que l'on

s'intéresse à des signaux transitoires assez rapides. Le modèle SPICE se positionne comme une excellente alternative à la modélisation IBIS pour l'évaluation du comportement dynamique de protection.

2.6 Conclusion

L'étude de la susceptibilité des circuits électroniques est un axe de recherche étendu et il est primordial d'adopter dès le départ une démarche d'étude bien déterminée. Dans notre situation, nous avons fait le choix de caractériser l'influence des éléments de protection lorsque le circuit est soumis à des perturbations. Cette étude nécessite donc dans un premier temps de faire le point sur les différents composants de protection et sur les différentes stratégies de protection. Ainsi, ce second chapitre a présenté, de façon générale, les tendances actuelles en termes de protection contre les perturbations transitoires. La complémentarité des protections "Off-Chip" avec les protections "On-Chip" est une excellente solution pour satisfaire aux exigences de protection. Les protections de type "Off-Chip" sont principalement composées de diodes et cette information constitue le premier fondement de notre étude.

Dans le cas des protections "On-Chip", les exigences de protection se sont renforcées avec les évolutions technologiques et les architectures électriques associées à ce type de protection sont de plus en plus complexes. Il n'est malheureusement pas facile de trouver des informations concernant le design et la topologie de ces architectures, car les fondeurs et les concepteurs de circuits intégrés ne divulguent pas d'informations à propos du design ou des paramètres de la technologie utilisée. Malgré cela, le modèle IBIS, bien qu'il soit limité dans notre situation, nous permet d'obtenir des indices sur la stratégie de protection adoptée. Cependant, il existe de plus en plus de circuits de protection, et il est de moins en moins évident d'identifier et de comprendre le principe de ces protections. Cela est d'autant plus vrai que les caractéristiques statiques des circuits de protection données dans les fichiers IBIS ne permettent pas d'avoir une idée a priori du type de protection utilisé. En effet, les excursions de tension des tables font que souvent ces dispositifs de protection commencent juste à entrer en conduction, et que par conséquent, il est impossible d'extrapoler leur comportement sous fort courant, et ainsi de savoir s'il s'agit de composants de type "snap-back" ou non, par exemple. Cependant, nous avons remarqué que dans beaucoup de cas, il était possible d'assimiler le comportement statique des étages de protection à celui des diodes à partir d'une étude basée sur le modèle SPICE des diodes. Cette remarque n'est pas anodine car elle représente le second fondement de nos travaux.

Par ailleurs, dans le cas d'agressions haute fréquence comme les MFP, la connaissance des paramètres dynamiques des circuits est primordiale. Et c'est sur ce point que le bât blesse vis-à-vis des modèles IBIS, qui ne donnent que peu d'informations sur les capacités parasites des éléments de protection, ou sur les temps de transit. Ceci est d'autant plus frustrant que les dernières versions de la norme IBIS prévoient l'intégration optionnelle de ces renseignements qui nous seraient d'un grand secours. Pour contourner cette difficulté et aborder le problème sous un autre angle, nous avons montré que le modèle SPICE de diode peut être une excellente alternative car il intègre des formalismes permettant de modéliser le comportement non-linéaire

des éléments capacitifs parasites : c'est le troisième fondement de notre analyse.

Ainsi, à partir de ces trois piliers, nous avons choisi de mettre en place une méthode de modélisation, basée sur une étude expérimentale et sur le modèle SPICE des diodes, permettant de remédier aux carences du modèle IBIS et d'évaluer le comportement des éléments face à des perturbations de type transitoire. Cette méthodologie est complètement détaillée dans le troisième chapitre de ce manuscrit.

Chapitre 3 :

**Modélisation expérimentale du
comportement transitoire des
éléments de protection**

3.1 Introduction

Les conclusions des précédents chapitres ont clairement démontré qu'il était primordial d'évaluer les effets parasites liés aux différentes protections lorsque le circuit est perturbé par une agression large bande. Nous avons donc mis au point une méthode transitoire pour caractériser ces protections non linéaires. En association avec un modèle basé sur le modèle SPICE des diodes, spécialement développé pour cette étude, cette technique permet d'extraire tous les paramètres du modèle non linéaire à partir d'une seule mesure temporelle. La figure 3.1 présente le principe général de cette méthodologie.

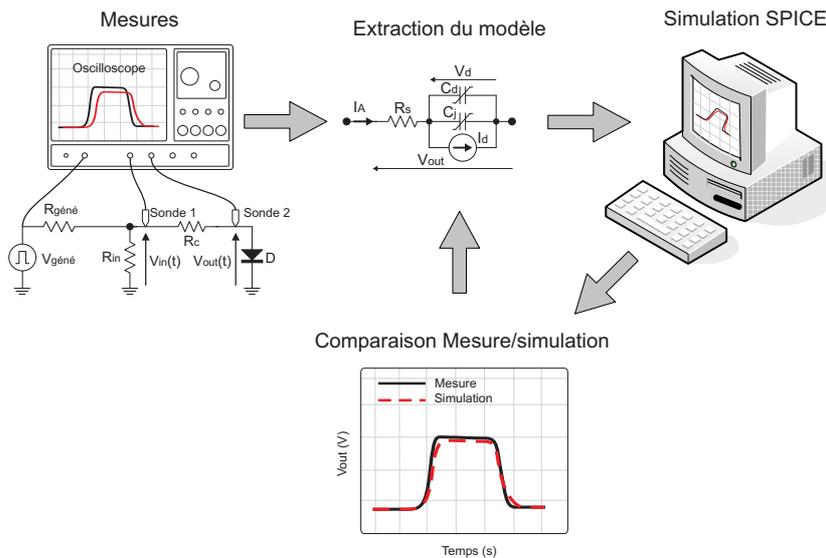


FIGURE 3.1 – Présentation de la méthodologie développée pour la caractérisation des éléments de protection

Une fois généré, le modèle extrait est par la suite intégré dans une simulation SPICE afin de vérifier sa fiabilité vis-à-vis des résultats expérimentaux. Les prédictions de ce modèle sont également confrontées aux prédictions du modèle fourni par le fabricant. Cette méthode présente l'avantage d'éviter une série de mesures complexes, avec l'utilisation d'analyseurs de semi-conducteurs (I/V et C/V meters) qui restent des outils performants mais complexes et onéreux [138], et surtout de permettre la mise en évidence des phénomènes de stockage de charges électriques et de temps de diffusion de ces charges, qui sont à l'origine des problèmes rencontrés en régime transitoire. Ces derniers phénomènes ne sont en effet pas pris en compte dans les modèles fournis par le constructeur, alors qu'ils sont cruciaux en termes de vulnérabilité. Les différentes parties de ce chapitre vont détailler les différentes dispositions qui ont été prises dans la phase expérimentale et lors de la modélisation des protections.

3.2 Modélisation SPICE des diodes

Les conclusions énoncées dans le second chapitre de ce manuscrit ont permis de constater que le comportement électrique des protections, qu'elles soient de type discret ou directement implantées dans les circuits intégrés, peut être dans la majorité des cas assimilé au comportement

électrique des diodes dans la zone où les niveaux d'injection sont relativement peu élevés. Ainsi, le modèle que nous nous proposons d'extraire à partir de nos résultats expérimentaux est basé sur le formalisme SPICE des diodes.

Les raisons pour lesquelles nous avons choisi de travailler avec une modélisation de type SPICE sont assez diverses mais se justifient aisément vis-à-vis de la démarche que nous avons entreprise. La liste suivante expose les principaux avantages du modèle SPICE :

- *son universalité* : le modèle SPICE est devenu au fil des années le standard de référence dans la simulation analogique des circuits électroniques. En effet, ce standard est désormais largement répandu dans le secteur industriel, et en règle générale les fabricants de semi-conducteurs mettent des modèles SPICE à disposition des utilisateurs. Cependant, les tendances évoluent et la concurrence se diversifie avec le développement de langages de description matérielle tels que le Verilog-A et le VHDL-AMS [139] qui ont déjà trouvé des applications dans le monde de la CEM des composants [140].
- *son efficacité* : les modèles SPICE ont démontré leur efficacité, bien que limitée dans certains cas, pour la modélisation des effets non-linéaires des composants à base de semi-conducteurs tels que les diodes, les transistors bipolaires et les transistors à effet de champs.
- *sa flexibilité* : les simulateurs SPICE autorisent la redéfinition partielle ou totale des éléments électriques. Il est possible de définir des éléments électriques sous la forme de sous-circuits ce qui permet à l'utilisateur d'avoir une grande souplesse et une grande liberté dans la configuration des modèles utilisés.

L'efficacité et la flexibilité des simulations SPICE proviennent de la fiabilité des différents modèles des composants élémentaires.

3.2.1 Les différents modèles SPICE de diodes

Les modèles utilisés dans les simulations de circuits évoluent au même rythme que les progrès technologiques car de nouveaux composants apparaissent et il est donc primordial de compléter les formalismes des modèles de base. A chaque génération de modèle, des efforts ont notamment été effectués pour optimiser les temps de simulation et accroître leur robustesse vis-à-vis des problèmes de convergence. Actuellement, il existe différents types de modèles SPICE de diode que nous proposons d'énumérer :

- *le modèle SPICE* [77] : Le modèle SPICE est basé sur les lois de la physique des semi-conducteurs, et l'on dénombre trois générations de modèles. La dernière génération du modèle SPICE est le modèle SPICE3. Ce modèle permet de simuler le comportement statique et dynamique des diodes tout en intégrant les effets thermiques. Ce modèle prend également en considération le bruit thermique généré par le comportement résistif de la diode en condition de forte injection.
- *le modèle HSPICE* [141] : Il est composé du modèle SPICE de diode et du modèle de Fowler-Nordheim qui permet de définir le passage du courant par effet tunnel à travers une barrière isolante (diode à effet tunnel). Le modèle de diode introduit deux variantes : un modèle non-géométrique, utilisé pour modéliser des diodes "standard", et un modèle géométrique, pour modéliser notamment des diodes Schottky et des diodes

Zener. L'utilisation de ce modèle permet de disposer d'une certaine liberté quant au choix du type de modélisation. Par rapport au modèle SPICE3, ce modèle permet de définir plus finement le coude de conduction (en direct et en inverse) en introduisant de nouveaux paramètres. En régime dynamique, il se distingue également en introduisant les capacités parasites de métallisation.

- *le modèle PSPICE* [125] : Dans le second chapitre de ce manuscrit, nous avons commencé par introduire ce modèle en remarquant qu'il se positionnait comme une excellente alternative au modèle SPICE3 pour modéliser les phénomènes de recombinaison et de génération des porteurs. De plus, il introduit de nouveaux formalismes pour prendre en compte la dépendance de certains paramètres vis-à-vis de la température.

Cette liste est non-exhaustive car d'autres fabricants de semi-conducteur ont développé des modèles de diode, comme Philips avec le modèle JUNCAP. Bien que le modèle SPICE3 néglige un certain nombre de paramètres, nous avons choisi de développer notre méthodologie à l'aide de ce modèle car il reste extrêmement populaire auprès des fabricants et des utilisateurs.

3.2.2 Description du formalisme SPICE des diodes

3.2.2.1 Description de la constitution physique des diodes

Avant de décrire les différentes équations du circuit de mesure sur un cas d'étude, il est nécessaire de rappeler le formalisme du modèle SPICE des diodes. Chaque équation de ce formalisme sera introduite par une description physique relative au comportement intrinsèque de la jonction PN [142]. Le but de cette description n'est pas de traiter de la physique des semi-conducteurs, mais nous verrons par la suite que le fait d'adopter un raisonnement basé sur l'analyse du comportement des charges sera bénéfique pour interpréter et comprendre le fonctionnement des diodes en régime de commutation.

En guise d'introduction, nous proposons de présenter la constitution des jonctions PN afin de comprendre le comportement physique. Une jonction PN est créée par la mise en contact d'un semi-conducteur de type P et d'un semi-conducteur de type N, et cette association est à la base de la plupart des applications des semi-conducteurs. La diode à jonction PN est un composant formé par la succession suivante de matériaux : métal, matériau intrinsèque de type P, jonction métallurgique, matériau intrinsèque de type N, métal.

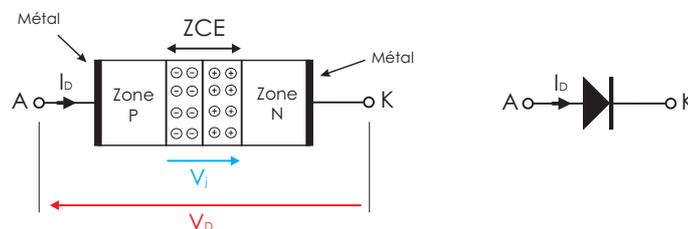


FIGURE 3.2 – Schéma de principe et constitution d'une diode à jonction PN

Le bloc de silicium constituant la jonction PN est dopé sur une moitié avec des atomes trivalents (accepteurs) et sur l'autre moitié avec des atomes pentavalents (donneurs). Ainsi

les porteurs majoritaires du côté P sont les trous et les porteurs majoritaires du côté N sont les électrons. L'électrode métallique en contact avec le semi-conducteur de type P s'appelle l'anode (A) tandis que celle au contact du semi-conducteur de type N se nomme la cathode (K). La constitution physique de la diode fait qu'il existe un déséquilibre entre les porteurs N (les électrons) et P (les trous) de chaque côté de la jonction. Sous l'effet d'un potentiel, les trous ont tendance à diffuser de la zone P vers la zone N, les électrons de la zone N vers la zone P. Cette migration donne naissance à un courant de diffusion dû aux porteurs majoritaires. Les porteurs se recombinent avec les impuretés du substrat opposé et les ionisent à proximité immédiate de la jonction. La différence de charges ainsi créée de part et d'autre de la jonction fait disparaître localement la neutralité électrique. Le volume dans lequel les impuretés ont été ionisées se nomme la zone de déplétion ou la zone de charge d'espace (ZCE). Le champ électrique apparaissant dans cette zone crée un courant de conduction dû aux porteurs minoritaires.

A l'équilibre thermodynamique, le courant de conduction compense le courant de diffusion dirigé en inverse, ce qui signifie que leur somme est nulle. A cause de la différence de potentiel interne V_j (appelée barrière de potentiel), les électrons qui tentent de diffuser de la zone N vers la zone P se voient repoussés vers la zone N. Le phénomène est complètement réversible et il en va de même pour les trous qui tentent de diffuser vers la zone N. Par analogie, la constitution d'une diode peut être assimilée à celle d'une capacité dans laquelle les armatures conductrices sont associées à zone N et P et le diélectrique à la zone ZCE [9].

La diode est un composant électrique qui possède deux électrodes et il est donc possible de lui imposer une différence de potentiel entre les zones N et P : électriquement parlant, cela revient à polariser la diode. La caractéristique statique présentée à la figure 3.3 permet de comprendre le fonctionnement de la diode en fonction de la tension de polarisation appliquée à ses bornes.

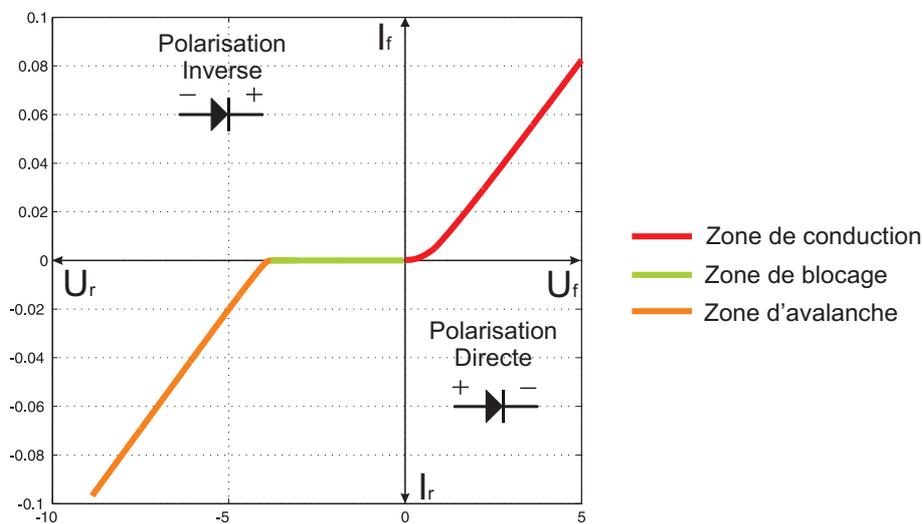


FIGURE 3.3 – Caractéristique I/V d'une diode à jonction PN

Cette caractéristique I/V démontre que le comportement de la diode est fortement non-linéaire et permet également de constater qu'il est possible de distinguer très clairement deux zones : une zone où la diode est polarisée en direct et une autre où elle est polarisée en inverse. Les

phénomènes physiques relatifs à ces deux zones vont être présentés dans la suite de cette partie et nous introduirons les formalismes SPICE associés. D'ailleurs, à ce sujet là, nous pouvons dès à présent exposer le schéma équivalent utilisé par le modèle SPICE qui sert de support à la définition du formalisme des diodes :

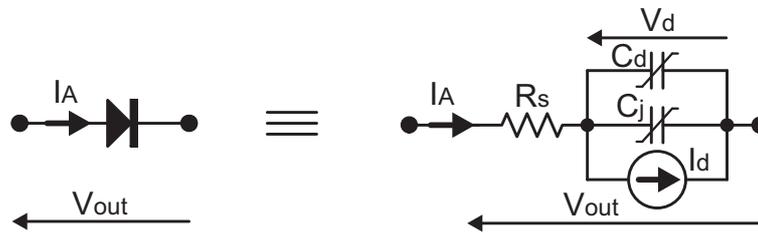


FIGURE 3.4 – Schéma électrique équivalent du modèle SPICE des diodes [77]

Ce schéma équivalent fort signal est composé de différents éléments électriques :

- R_s , une résistance série
- I_d , un générateur de courant non-linéaire
- C_j , une capacité de jonction non-linéaire
- C_d , une capacité de diffusion non-linéaire

La description du formalisme SPICE des diodes [77] est effectuée en distinguant le comportement statique et dynamique.

3.2.2.2 Modélisation SPICE de la diode polarisée en direct

La diode est polarisée en direct lorsque la tension V_D appliquée entre l'anode et la cathode de la diode est positive. En d'autres termes, cela signifie que le potentiel du côté P est supérieur au potentiel du côté N. D'un point de vue physique, cette polarisation permet d'injecter des trous du côté P et des électrons du côté N ce qui a pour effet de diminuer le courant de conduction et d'augmenter le courant de diffusion.

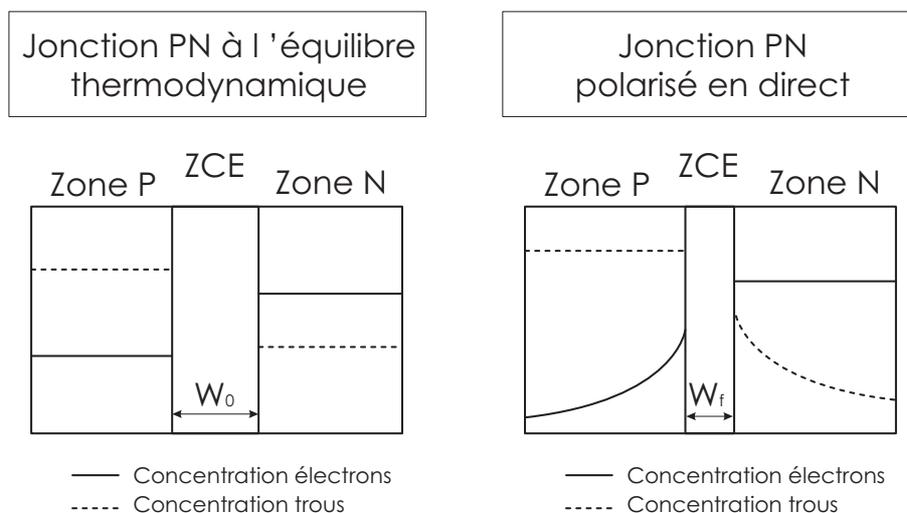


FIGURE 3.5 – Profil de concentrations des porteurs en polarisation directe [143]

Dans cette configuration, les porteurs majoritaires se lient avec les atomes ionisés et cela a pour conséquence de diminuer la largeur de la ZCE. En observant la figure 3.5, on remarque que la largeur de la ZCE en polarisation directe (W_f) est plus étroite que la largeur de la ZCE à l'équilibre thermodynamique (W_0). Cette largeur de la ZCE est directement proportionnelle à la tension appliquée : plus la différence de potentiel est élevée et plus la largeur de la zone de déplétion se réduit. Lorsque la tension appliquée aux bornes de la diode avoisine la différence de potentiel interne V_j , les porteurs sont en mesure de traverser la ZCE et la jonction devient alors passante. Dans le cas des diodes à jonction PN à silicium, la propagation des porteurs au sein de la ZCE n'est effective que lorsque la tension de polarisation est supérieure à une tension de seuil se situant autour des 0,6V.

Le formalisme SPICE utilise l'équation 3.1 pour définir le courant de conduction en polarisation directe.

$$I_d = I_s \left(e^{\frac{V_d}{NVT}} - 1 \right) \quad (3.1)$$

Cette équation a été initialement présentée dans le second chapitre et nous avons vu qu'elle correspondait au modèle de diode idéale de Shockley. La tension V_d représente la tension qui est appliquée au bornes de la jonction. Rappelons tout de même que la tension aux bornes de la diode fait intervenir la différence de potentiel due à la présence de la résistance R_s comme l'atteste le schéma électrique présenté à la figure 3.4. Ainsi, la tension aux bornes de la diode est définie par l'équation 3.2.

$$V_{out} = R_s I_d + V_d \quad (3.2)$$

La modélisation du comportement statique de la diode en polarisation directe revient donc à déterminer les paramètres suivants : I_s , N , R_s .

3.2.2.3 Modélisation SPICE de la diode polarisée en inverse

La diode est polarisée en inverse lorsque la tension V_D appliquée entre l'anode et la cathode de la diode est négative. Physiquement, cela revient à injecter des porteurs minoritaires de chaque côté de la jonction : injection de trous côté N et d'électrons côté P. En arrivant aux abords de la ZCE, ces porteurs minoritaires ionisent les impuretés et cela se traduit par un élargissement de la barrière de potentiel comme le montre le schéma de la figure 3.6. Cette propriété est particulièrement appréciée pour moduler le comportement capacitif de la jonction. Cela est mis à profit dans les varicaps, qui sont des diodes dont la capacité varie en fonction de la tension inverse qu'on leur applique. Les oscillateurs commandés en tension (OCT) utilisent également ce type de diodes.

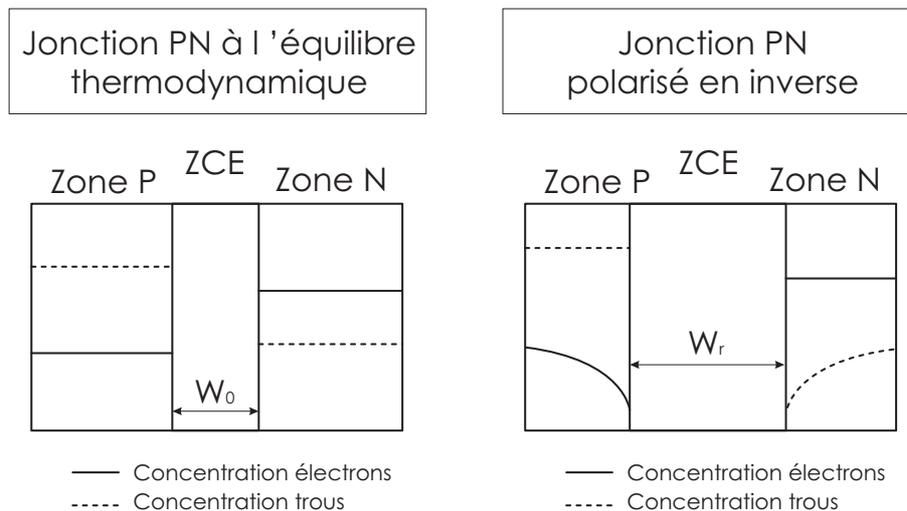


FIGURE 3.6 – Profil de concentrations des porteurs en polarisation inverse [143]

La diode est traversée par un faible courant, appelé courant de fuite, allant de la zone N à la zone P. La diffusion des porteurs majoritaires à travers la jonction diminue très significativement et le courant de fuite correspond à l'augmentation du courant de conduction dû à l'action du champ électrique sur les porteurs minoritaires. Le courant circulant est relativement faible (car les concentrations sont peu élevées) et il est quasiment indépendant de la tension appliquée V_D : on dit que la diode est bloquée. Toutefois, lorsque la tension inverse devient trop importante des phénomènes de conduction apparaissent suivant deux effets bien distincts :

- *l'effet Zener* : le champ électrique de la ZCE est suffisamment intense pour arracher un électron appartenant au dopage P et le transformer en électron de conduction. L'électron a emmagasiné suffisamment d'énergie pour traverser la ZCE par effet tunnel et son passage du dopage P vers N génère un courant inverse. Il est important de préciser que cet effet ne se produit que sur de forts dopages. Cet effet a été exploité avantageusement dans les diodes Zener dont la caractéristique essentielle est de stabiliser la tension en fonctionnement inverse.
- *l'effet d'avalanche* : le champ appliqué aux bornes de la jonction est suffisamment élevé pour accélérer significativement les électrons qui en entrant en collision avec des atomes vont libérer d'autres électrons qui à leur tour vont transmettre leur énergie à d'autres et ainsi de suite. Ainsi le nombre d'électrons libres augmentent très rapidement et cet effet multiplicateur participe à la création d'un courant électrique.

Ces phénomènes donnent lieu à l'apparition d'un courant inverse important et non limité. Dans certains cas, le phénomène d'avalanche peut aboutir à la destruction de la jonction par effet Joule. Dans le cas des diodes Zener, l'effet de conduction inverse est contrôlé et l'effet Zener n'est pas destructif. Le formalisme SPICE utilise l'équation 3.1 pour définir le courant de conduction en polarisation inverse.

$$I_d = -I_{BV} \left(e^{\frac{V_d + BV}{NV_T}} - 1 \right) \quad (3.3)$$

La paramètre BV représente la tension d'avalanche (en Volts) et I_{BV} correspond à la valeur

du courant à ce point de fonctionnement. Dans le cas des diodes Zener, ce formalisme n'est pas suffisant pour correctement modéliser le phénomène d'avalanche en polarisation inverse [144]. Ce problème provient, en partie, de la définition de la résistance série qui est commune aux deux zones de conduction. Les résistances associées à chaque zone ne sont pas identiques ce qui signifie que le modèle SPICE de base n'est pas en mesure d'évaluer avec précision la pente I/V dans la zone de conduction en inverse. Cette carence peut être contournée par le développement d'un macro-modèle directement intégrable dans un simulateur sous la forme d'un sous-circuit. Un exemple de sous-circuit est présenté dans ce document [145].

3.2.2.4 Influence de la température

Le formalisme SPICE utilisé pour le calcul du courant en direct (équation 3.1) et en inverse (équation 3.3) fait apparaître une dépendance vis-à-vis de la température qui est liée par la présence du paramètre V_t . Ce paramètre représente la tension thermique et il est défini au moyen de l'équation suivante :

$$V_t = \frac{kT}{q} = 25.86mV \quad (\text{pour } T=27^\circ\text{C}) \quad (3.4)$$

avec

- k : constante de Boltzmann ($1.38\text{E-}23 \text{ J}\cdot\text{K}^{-1}$),
- T : température ($^\circ\text{K}$),
- q : charge de l'électron ($1.6\text{E-}19 \text{ C}$).

La température modifie très clairement les caractéristiques de la jonction. Ce phénomène est principalement dû à l'agitation thermique dans les jonctions PN. Une élévation de la température engendre ainsi une augmentation de la concentration des porteurs et une diminution de la résistance.

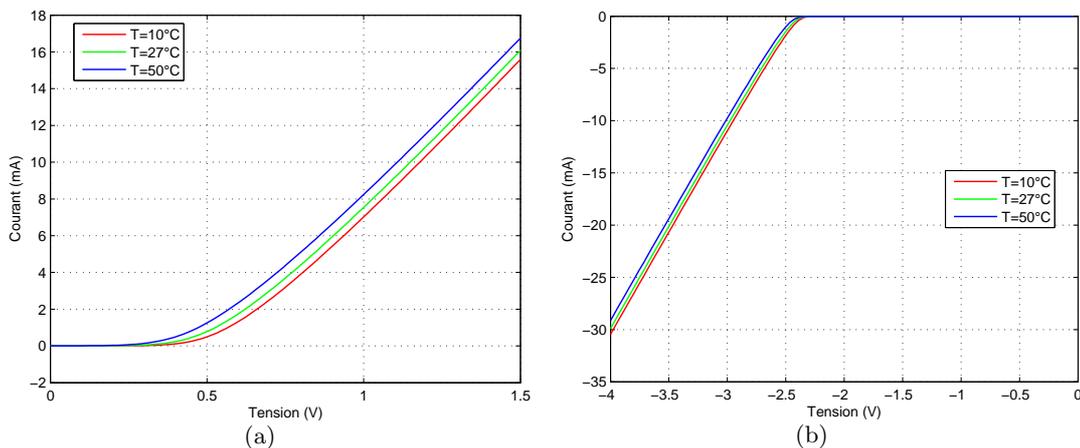


FIGURE 3.7 – Effet de la température sur une caractéristique statique de diode en polarisation directe (a) et en polarisation inverse (b)

Concrètement, le courant de saturation I_s double tous les 7°C pour le silicium, ce qui provoque une diminution de la tension V_D aux bornes de la diode pour un courant I_D donné. Dans notre cas, nous avons fait le choix de ne pas intégrer les effets thermiques et donc V_t est

considéré comme un constante. Ce choix est principalement dicté par le fait que la durée effective des signaux que nous considérons n'est pas assez significative pour engendrer une élévation conséquente de la température au sein de la jonction.

3.2.2.5 Modélisation SPICE du comportement dynamique

Le comportement dynamique de la diode traduit le comportement des porteurs au sein de la jonction lorsque la tension appliquée varie rapidement. Selon le formalisme SPICE, le comportement dynamique des diodes est associé aux phénomènes de stockage de charges et il est déterminé par la contribution des charges stockées dans la zone de déplétion Q_j dues à la concentration des porteurs majoritaires et les charges stockées Q_d dues à l'injection des porteurs minoritaires. La charge totale Q_D au sein de la jonction peut ainsi être définie sous la forme suivante :

$$Q_D = Q_j + Q_d \quad (3.5)$$

L'équation 3.5 peut être développée en introduisant le formalisme SPICE des charges stockées Q_d et Q_j [77].

$$Q_D = \begin{cases} \underbrace{T_t \cdot I_d}_{Q_d} + \underbrace{C_{j0} \int_0^{V_d} \left(1 - \frac{V}{V_j}\right)^{-M} dV}_{Q_j} & \text{si } V_d \leq FC V_j \\ \underbrace{T_t \cdot I_d}_{Q_d} + \underbrace{C_{j0} F1 + \frac{C_{j0}}{F2} \int_{FC \times V_j}^{V_d} \left(F3 + \frac{M \cdot V}{V_j}\right) dV}_{Q_j} & \text{si } V_d > FC V_j \end{cases} \quad (3.6)$$

A partir de l'équation 3.6, nous pouvons spécifier le comportement capacitif associé au stockage des charges.

$$C_D = \frac{\partial Q_D}{\partial V_d} = \begin{cases} \underbrace{T_t \cdot \frac{\partial I_d}{\partial V_d}}_{C_d} + \underbrace{C_{j0} \left(1 - \frac{V_d}{V_j}\right)^{-M}}_{C_j} & \text{si } V_d \leq FC V_j \\ \underbrace{T_t \cdot \frac{\partial I_d}{\partial V_d}}_{C_d} + \underbrace{\frac{C_{j0}}{F2} \left(F3 + \frac{M \cdot V_d}{V_j}\right)}_{C_j} & \text{si } V_d > FC V_j \end{cases} \quad (3.7)$$

avec

$$F1 = \frac{V_j}{1-M} \left(1 - (1-FC)^{1-M}\right) \quad (3.8)$$

$$F2 = (1-FC)^{1+M} \quad (3.9)$$

$$F3 = 1 - FC(1+M) \quad (3.10)$$

Concernant la définition de la capacité C_j (ou de la charge Q_j), nous remarquons qu'elle présente

une singularité dans le cas où $V_d=V_j$. Pour contourner ce problème, le modèle SPICE a introduit un paramètre supplémentaire, FC (généralement égal à 0,5). Lorsque $V_d > V_j$, le formalisme SPICE réalise une approximation du comportement de la capacité de jonction en effectuant une extrapolation linéaire. La description analytique de la capacité de jonction fait intervenir de nouveaux paramètres SPICE qu'il convient de définir :

- C_{j0} : Ce terme représente la capacité de jonction à polarisation nulle. En corrélation avec la description physique exposée précédemment, le comportement capacitif de la jonction à l'équilibre thermodynamique est caractérisé par ce paramètre. L'ordre de grandeur de cette capacité varie suivant la constitution physique de la diode : de quelques pF pour des diodes de signal classique et de quelques fF pour des diodes destinées à être utilisées dans des applications hautes fréquences,
- V_j : Cette tension caractérise le potentiel de jonction,
- M : Ce terme traduit le coefficient de variation de jonction.

Le comportement capacitif des diodes est également dépendant du comportement des charges liées à l'injection de porteurs minoritaires dans la zone de charge d'espace.

$$C_d = \frac{\partial Q_d}{\partial V_d} = T_t \frac{\partial I_d}{\partial V_d} = T_t \frac{I_s}{N \cdot V_t} e^{\frac{V_d}{N \cdot V_t}} \quad (3.11)$$

Le paramètre T_t est appelé le temps de transit, qui correspond à la durée de vie des porteurs. Il peut aller de la nanoseconde à la microseconde selon la géométrie de la diode et l'intensité du champ électrique. Bien évidemment, les effets capacitifs liés à la diffusion ne sont significatifs qu'à partir du moment où la diode commence à conduire, du fait que cette capacité est directement proportionnelle à la conductance $\frac{\partial I_d}{\partial V_d}$, et peut atteindre des valeurs beaucoup plus importantes que la capacité de jonction. Pour des diodes que l'on qualifiera de diodes peu réactives, l'ordre de grandeur de la capacité de diffusion est voisin de la centaine de nF. Cet effet limite le fonctionnement de la diode en régime dynamique dans les hautes fréquences.

Les différentes équations du formalisme SPICE décrivant le comportement dynamique démontrent que les conditions de polarisation sont déterminantes pour qualifier le comportement capacitif, et il est possible de synthétiser les choses de la manière suivante :

- lorsque la diode est polarisée en inverse ou faiblement en direct alors la charge Q_j prédomine.
- lorsque la diode est polarisée en direct, c'est la charge de diffusion Q_d qui cette fois-ci impose le comportement capacitif de la diode.

3.3 Procédure expérimentale

La méthodologie de modélisation présentée dans ce chapitre est basée sur une caractérisation expérimentale des éléments de protection en régime transitoire. Le domaine temporel est largement utilisé pour caractériser le comportement des circuits électroniques et il est notamment adapté pour évaluer l'ensemble des phénomènes non-linéaires des composants, et en particulier ceux des éléments de protection. Il existe différentes techniques parmi lesquelles nous retrouvons les méthodes TLP et VF-TLP, introduites dans le premier chapitre, qui sont devenues au fil

du temps des techniques très fiables pour évaluer et qualifier le comportement des circuits en présence de perturbations transitoires en fort courant de type ESD. La réflectométrie temporelle (TDR - Time Domain Reflectometry) constitue également une technique expérimentale très prisée pour la caractérisation des lignes de transmission, des pistes de circuit imprimé, et des composants passifs [146]. Un cas d'étude a également démontré que cette technique peut être appliquée à des diodes micro-ondes pour en modéliser le comportement global bas niveau [147]. Ces méthodes ne sont pas exclusives et il existe bien d'autres cas d'études qui prouvent que la caractérisation des dispositifs électroniques dans le domaine temporel est un excellent support pour mettre en place des méthodologies de modélisation comportementale [84] sur des circuits intégrés simples et complexes.

Les signaux électriques utilisés pour caractériser le comportement sont des signaux impulsionnels. L'évaluation du comportement des diodes en présence de ce type de signal présente l'intérêt de se rapprocher des conditions liées au couplage des agressions ULB sur les circuits électroniques. Nous porterons une attention particulière au comportement des charges au sein de la jonction durant les phases de transition. En effet, notre approche se focalise sur la compréhension des phénomènes physiques lors de variations abruptes de polarisation.

3.3.1 Principe

Le principe expérimental est basé sur un concept relativement simple qui est illustré sur le schéma de la figure 3.8. Une impulsion est injectée à l'entrée du circuit de mesure, et l'objectif est d'analyser la réponse temporelle de la diode.

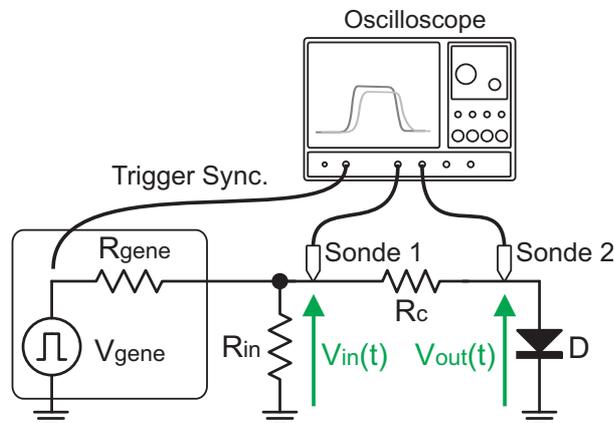


FIGURE 3.8 – Schéma du circuit de mesure

La résistance R_{in} a été introduite afin d'adapter le circuit de mesure à l'impédance de sortie du générateur. Après avoir traversé la résistance R_c , l'impulsion électrique arrive aux bornes de la diode. La tension $V_{in}(t)$ est recueillie grâce à la sonde active 1 de l'oscilloscope et la tension $V_{out}(t)$ à l'aide de la sonde active 2. L'allure temporelle de la tension $V_{out}(t)$ va nous permettre d'évaluer les phénomènes de conduction et de diffusion de la diode. De plus, nous mettrons en évidence l'influence des effets capacitifs parasites. Dans le schéma de la figure 3.8, la diode a été positionnée de manière à ce que l'impulsion électrique la polarise en direct, mais

cette configuration n'est pas restrictive puisque nous verrons dans la suite du document qu'il est possible de caractériser le comportement de la diode en polarisation inverse en modifiant la configuration du circuit afin d'obtenir une impulsion électrique bipolaire.

Les signaux $V_{in}(t)$ et $V_{out}(t)$ sont par la suite utilisés dans un programme d'extraction de paramètres afin d'obtenir un modèle qui devra être en mesure de reproduire le comportement observé lors de la phase expérimentale. Nous reviendrons plus en détails sur le développement de ce programme d'extraction dans l'une des sections de ce chapitre.

3.3.2 Constitution du banc de mesure

3.3.2.1 Présentation

Le banc de mesure, qui nous a servi pour la caractérisation transitoire bas-niveau des éléments de protection, est présentée à la figure 3.9.

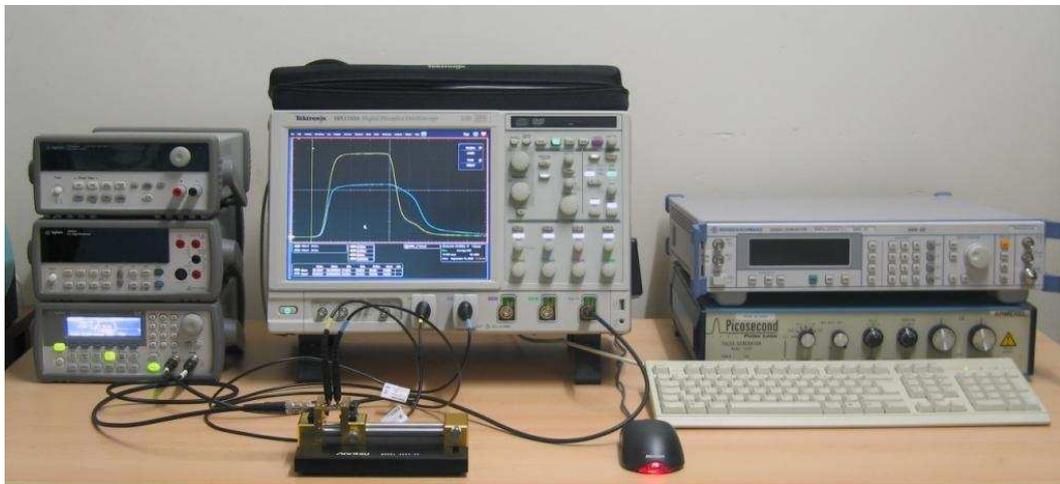


FIGURE 3.9 – Banc de mesure pour la caractérisation expérimentale du comportement transitoire des éléments de protection

Ce banc de mesure se compose d'un oscilloscope numérique équipé de sondes actives pour le prélèvement des signaux et de deux générateurs de signaux. Nous allons décrire dans les parties suivantes les différentes spécifications des appareils de ce banc, et nous introduirons les conditions de mesure que nous avons retenues pour caractériser le comportement des éléments de protection en transitoire. Auparavant il importe de présenter le circuit de mesure dans lequel sera placé l'élément à caractériser.

3.3.2.2 Description du circuit de mesure

Le circuit de mesure, exposé à la figure 3.10, a été réalisé sur une infime portion d'un circuit imprimé de type FR4 et les différents composants qui ont été intégrés sur ce circuit sont des composants montés en surface (CMS). Toutes les dispositions pour minimiser les dimensions du circuit ont été prises afin de limiter au maximum les influences des éléments parasites et les effets de propagation. Le circuit de mesure peut être relié au dispositif de mesure selon deux

configurations : soit il est inséré dans un support de test, soit il est directement relié à un connecteur SMA. Chacune de ces possibilités est illustrée dans la figure 3.10.

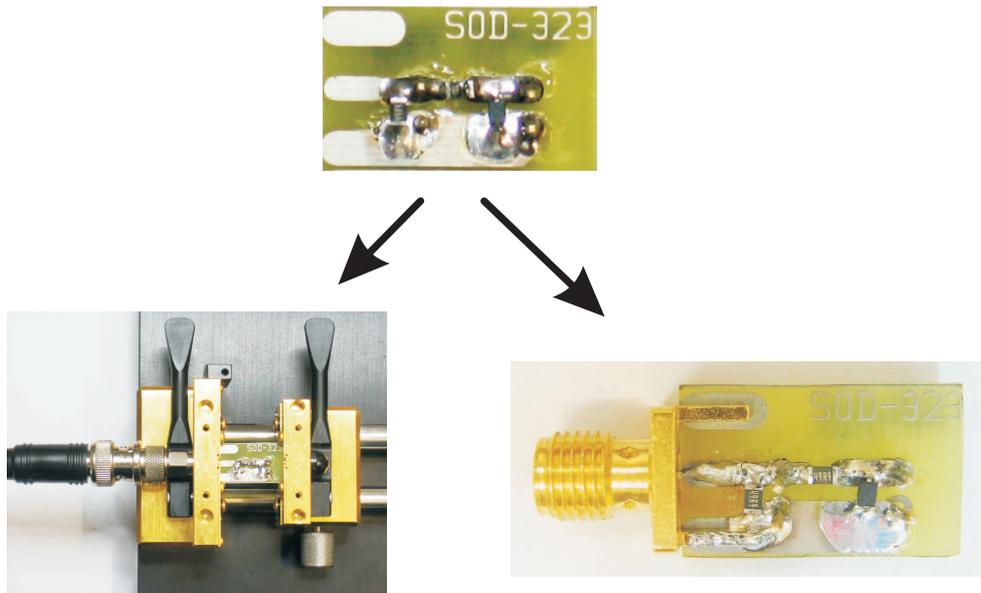


FIGURE 3.10 – Intégration du circuit de mesure

Le support de test utilisé est un Anritsu 3980-20 UTF [148]. Ce type de matériel est couramment utilisé dans la caractérisation de circuits micro-strips ou coplanaires sur une large bande fréquentielle (DC à 20GHz). Le circuit est maintenu par des mâchoires qui sont elles-mêmes solidaires du support. L'utilisation de ce type de support permet de caractériser un circuit avec une grande précision et une grande répétabilité au niveau des mesures, ce qui est particulièrement décisif pour des caractérisations en haute-fréquence. Pour des soucis de commodité et de praticité, la phase de caractérisation temporelle des diodes a été réalisée la majeure partie du temps à l'aide du circuit intégrant le connecteur SMA. Ce connecteur est directement soudé sur le circuit de mesure (3.10). Il convient tout de même de préciser que les résultats obtenus sont indépendants de la configuration de mesure retenue.

Le schéma électrique équivalent du circuit de mesure est illustré à la figure 3.11.

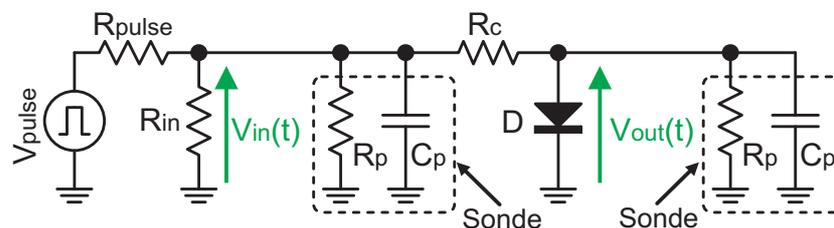


FIGURE 3.11 – Schéma électrique équivalent du circuit de mesure

Ce schéma électrique équivalent a été établi en ajoutant les éléments R_p et C_p (circuit électrique exposé à la figure 3.8), qui symbolisent respectivement la résistance et la capacité d'entrée des sondes de mesures de l'oscilloscope. Les valeurs de ces éléments seront définies dans une partie dédiée aux conditions d'acquisition. V_{gene} représente l'impulsion délivrée par le générateur (avec

un résistance interne R_{gene} de valeur 50Ω). Les résistances R_{in} et R_c sont des résistances CMS en boîtier 0805, de valeur $49,9 \Omega$ et de tolérance 0.1%.

3.3.2.3 Génération de l'impulsion électrique d'entrée

Notre banc de mesure dispose de deux générateurs qui permettent de délivrer des impulsions. Il est possible de configurer les caractéristiques électriques afin d'obtenir une certaine latitude quant aux signaux que nous injectons au circuit de mesure. Les spécifications de ces générateurs sont détaillées dans le tableau 3.1.

Générateur d'impulsion		Générateur de fonction	
Marque	Picosecond Pulse Lab	Marque	Agilent
Modèle	2600C	Modèle	33220A
Temps de montée (T_m)	250ps (fixe)	Temps de montée (T_m)	5ns-100ns
Largeur impulsion	1-100ns	Largeur impulsion	20ns min
Amplitude Max.	50V	Amplitude Max.	10V crête à crête

TABLE 3.1 – Spécifications des générateurs du banc de mesure

En général, une impulsion se caractérise par ses temps de transition, sa largeur, sa fréquence de répétition et son amplitude. Le générateur Agilent permet de faire varier ces caractéristiques selon les limites exposées dans le tableau 3.1. Le générateur Picosecond Pulse Lab permet de délivrer des impulsions de plus forte amplitude et avec des temps de transition plus rapides mais en contrepartie, il est impossible de paramétrer cette dernière caractéristique.

Les temps de transition des impulsions représentent un paramètre très influent dans l'évaluation du comportement dynamique des diodes car le courant qui va s'établir dans le circuit va dépendre des variations de la tension. Dans notre contexte, les éléments de protection que nous devons caractériser ont été conçus pour interférer le moins possible avec le reste du circuit, et par conséquent, les effets parasites liés aux capacités ont été limités au maximum (l'ordre de grandeur de ces capacités parasites se situe dans la gamme des picofarads). Afin d'avoir une dynamique conséquente pour apprécier le comportement non-linéaire de ces capacités parasites, les fronts transitoires des impulsions doivent être les plus raides possibles. Cependant, le signal ne doit pas être trop rapide afin de ne pas exciter les effets parasites liés au comportement selfique des interconnexions. Il y a donc un compromis à réaliser sur la configuration des impulsions. En utilisant le générateur Agilent 33220A, nous avons réalisé plusieurs expérimentations et nous en avons conclu qu'une impulsion ayant des temps de transition de 10ns était suffisamment rapide pour observer les phénomènes qui nous intéressaient.

L'amplitude de l'impulsion est également un paramètre déterminant car il va conditionner l'état électrique de la diode. Pour cela, nous injectons un signal d'amplitude assez élevé, en général 1V, de manière à polariser la diode en direct au delà de son seuil de conduction.

3.3.3 Acquisition et visualisation des signaux

Le but de cette partie est de décrire les conditions de prélèvement de nos signaux, car lors de mesures temporelles, il est essentiel d'adopter une démarche rigoureuse car les problèmes de synchronisation et de propagation sont des facteurs très influents. Le prélèvement du signal est également un élément capital et la précision des mesures est fortement dépendante des caractéristiques de l'oscilloscope et de ses sondes de mesure. Ces sondes doivent être les plus transparentes possibles au niveau électrique afin de conserver au maximum l'intégrité de signal. Nous reviendrons plus en détails sur les caractéristiques des sondes dans la présentation des premiers résultats de mesure.

3.3.4 Caractéristiques de l'oscilloscope et des sondes de prélèvement

Le temps de montée de l'oscilloscope doit être adapté à notre type d'étude et suffisamment bref pour acquérir avec précision les informations électriques contenues dans les fronts transitoires. Généralement, le temps de montée d'un oscilloscope est relié à sa bande passante via l'équation suivante [149] :

$$\text{Bande passante} = \frac{K}{\text{Temps de montée}} \quad (3.12)$$

Le paramètre K est une constante qui est définie selon la réponse en fréquence de l'oscilloscope et qui est généralement comprise entre 0,35 et 0,45. Les spécifications électriques de l'oscilloscope [150] qui a été inséré dans notre banc de mesure sont résumées dans le tableau 3.2.

Modèle	Tektronix DPO7354
Bande passante (DSP Bandwidth Enhance)	3,5GHz
Temps de montée (DSP Bandwidth Enhance)	115ps
Temps de montée 10%-90%	145ps
Temps de montée 20%-80%	95ps
Impédance d'entrée	1M Ω ($\pm 1\%$ avec 13pF ± 2 pF) ou 50 Ω

TABLE 3.2 – Spécifications sur le temps de montée de l'oscilloscope Tektronix DPO7354

Les caractéristiques d'acquisition de l'oscilloscope ne sont pas les seuls éléments à prendre en compte. En effet, les sondes doivent fonctionner conjointement avec l'oscilloscope afin de garantir la précision et l'intégrité des signaux prélevés. Concrètement, les sondes sont assimilées à un circuit électrique composé de charge résistive, capacitive et selfique et ces éléments peuvent altérer la mesure, et dans le but de profiter au maximum des performances de l'oscilloscope, les éléments parasites des sondes de mesure doivent être minimisés [151]. Nous avons choisi de travailler avec des sondes actives car elles permettent d'acquérir des signaux rapides avec une plus grande précision que les sondes passives. Les caractéristiques électriques des sondes utilisées sont résumées dans la table 3.3.

Modèle	TAP3500
Bande passante	$\geq 3,5\text{GHz}$
Temps de montée	$< 130\text{ps}$
Capacité d'entrée	$\leq 0,8\text{pF}$
Résistance d'entrée	$40\text{k}\Omega$
Dynamique d'entrée	-4V à 4V

TABLE 3.3 – Caractéristiques électriques des sondes Tektronix TAP3500

Ces sondes doivent pouvoir s'insérer facilement dans les circuits de mesure et pour cela, de nombreux efforts sont réalisés pour réduire au minimum leur encombrement. Les sondes TAP3500 sont livrées avec différentes connectiques adaptées pour favoriser leur mise en contact avec des circuits peu accessibles.

Les éléments parasites des sondes ne doivent pas interagir avec le signal prélevé, et si l'on examine les valeurs de la résistance et de la capacité d'entrée, on remarque que leur influence est peu significative sur l'intégrité des signaux que nous mesurons. Néanmoins, nous avons tout de même choisi d'intégrer ces éléments dans l'analyse du comportement des diodes de protection. La prise en compte de ces éléments permet à notre analyse d'être adaptée à d'autres perspectives d'études, et en particulier avec des signaux plus rapides.

La dynamique en tension de ces sondes (8V crête à crête) est une contrainte supplémentaire qui impose de limiter l'amplitude des impulsions que nous injectons au circuit de mesure. Dans notre situation, il n'est pas nécessaire de travailler avec des impulsions de forte amplitude puisque des impulsions d'amplitude de 1 à 2V sont suffisantes pour polariser l'ensemble des éléments que nous souhaitons caractériser. Cependant, dans certains cas, nous avons été contraints d'augmenter l'amplitude de ces impulsions (3 à 4V) afin de pouvoir déclencher les éléments de protection. La dynamique des sondes fait que nous sommes limités en excursion de tension, ce qui signifie que pour le moment notre banc de mesure n'est pas adapté pour mener des investigations sur le comportement de certains dispositifs de protection ayant des seuils de déclenchement élevés. Comme le montre la figure 3.13, les sondes de prélèvement sont connectées directement sur le circuit de mesure de la figure 3.10 au moyen d'embases verticales.



FIGURE 3.12 – (a) Circuit de mesure ; (b) Intégration des sondes de l'oscilloscope

Lors de la conception des circuits de mesure, ces embases ont été placées aux bornes de la résistance R_{in} pour le prélèvement de la tension d'entrée V_{in} et aux bornes de la diode pour le prélèvement de la tension de sortie V_{out} .

3.3.5 Procédure d'étalonnage

L'oscilloscope et ses sondes de mesures doivent être étalonnés avant de procéder à une mesure. Cette étape doit être réalisée à chaque mise sous tension de l'oscilloscope et elle ne peut être effective sans omettre de respecter la phase de "warm-up", délai d'attente pour atteindre une certaine stabilité thermique.

Nous avons mis en place une étape préliminaire permettant de réaliser une procédure d'étalonnage de l'oscilloscope et de ses sondes, et nous avons également cherché à minimiser les problèmes de synchronisation et de propagation qui sont omniprésents dans le prélèvement de signaux temporels.

A chaque mise sous tension de l'appareil et après avoir respecté le délai du "warm-up", nous effectuons une compensation du chemin du signal (SPC - Signal Path Compensation) grâce à un utilitaire directement intégré dans l'interface logicielle de l'appareil. Cette procédure permet de compenser automatiquement les différences de trajet interne qui risquerait d'affecter les performances de l'instrument.

Pour optimiser la précision de nos mesures, nous réalisons un étalonnage des sondes actives après chaque compensation du chemin du signal.

3.3.5.1 Synchronisation des signaux

Les premiers réglages au niveau de l'oscilloscope ont consisté à configurer correctement les conditions de synchronisation des signaux prélevés. Il est impératif de paramétrer les conditions de déclenchement de l'oscilloscope (fonction trigger) afin d'obtenir la stabilisation des signaux observés. Dans notre situation, nous avons choisi d'utiliser une synchronisation externe en utilisant le signal auxiliaire délivré par le générateur. Nous aurions très bien pu nous synchroniser directement sur les signaux que nous acquérons, mais ces signaux sont bruités et cela peut être préjudiciable pour obtenir une certaine stabilité dans l'acquisition des signaux. Les problèmes de synchronisation se traduisent par l'apparition d'une gigue temporelle, et suivant la synchronisation et l'acquisition mises en œuvre, cette instabilité peut avoir une influence plus ou moins néfaste sur les mesures obtenues. La gigue correspond à un temps de latence entre l'apparition des données et le déclenchement du trigger. Plus il y a de bruit sur les signaux servant de référence pour la synchronisation et plus la gigue temporelle va varier, ce qui accentuera l'instabilité de nos conditions d'acquisition.

Ces problèmes de synchronisation peuvent également être minimisés en effectuant un moyennage assez conséquent des signaux de mesure. Cette technique présente surtout l'avantage d'atténuer de manière notable les effets du bruit car le niveau relatif de bruit de l'oscilloscope peut être assez élevé et risque de dégrader la précision des mesures [152].

3.3.5.2 Prise en compte des délais entre sondes

Les sondes sont connectées au circuit de mesure au moyen d'embases deux voies directement soudées sur le circuit. Le circuit de mesure a été conçu dans l'objectif de minimiser les effets parasites liés aux dimensions du circuit, mais il existe cependant une certaine distance entre les deux points de mesure. Cette distance correspond à la distance minimale fixée par l'encombrement des sondes (cf. figure 3.12(b)), et peut être préjudiciable du fait qu'elle risque d'ajouter un délai entre les deux canaux. Cet aspect peut être pris en compte dans l'étalonnage de l'appareil au moyen de la fonction "Deskew" qui permet de compenser les délais entre des canaux de l'oscilloscope.

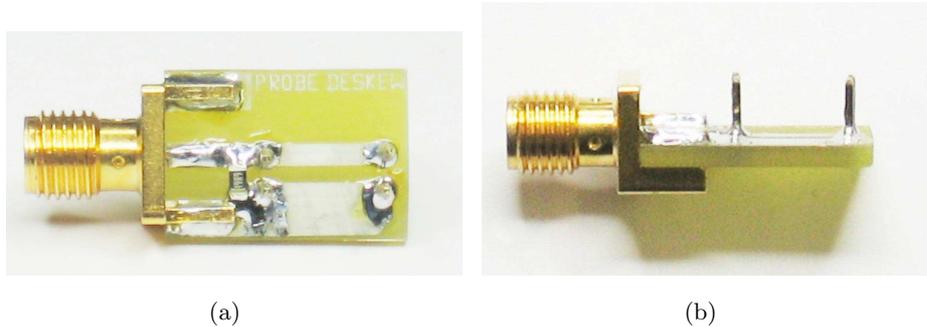


FIGURE 3.13 – Circuit de mesure (a) Vue de dessus; (b) Vue de côté

La vue de profil du circuit annexe montre l'emplacement des embases, nécessaire pour le prélèvement des signaux. Ce circuit annexe possède exactement les mêmes caractéristiques que les circuits de test (largeur piste, distances entre sondes, etc...).

Nous avons injecté un signal impulsionnel à l'entrée de ce circuit et nous avons observé l'allure temporelle des signaux prélevés aux emplacements des embases. Pour évaluer le délai entre le signal de sortie et le signal d'entrée, nous avons mis en place un petit logiciel permettant, à partir des signaux prélevés, de déterminer l'instant correspondant au niveau d'amplitude à mi-hauteur sur le front de montée pour chacun des signaux.

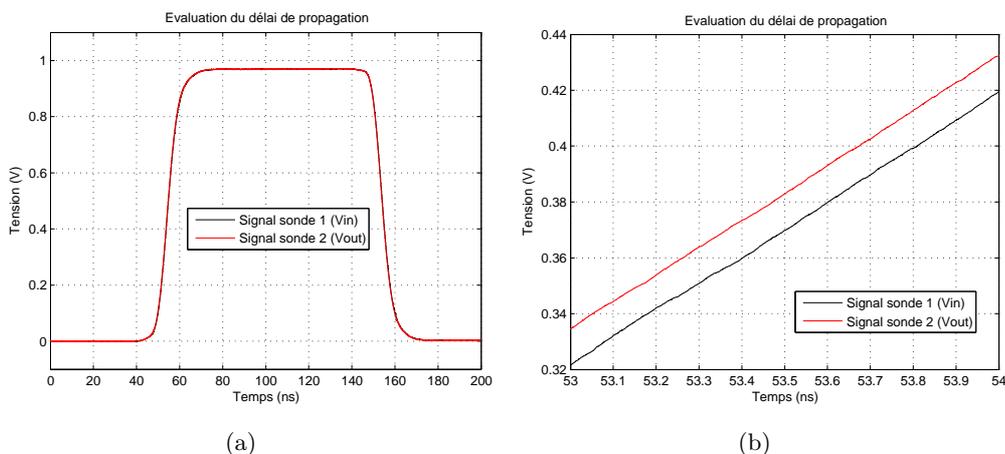


FIGURE 3.14 – (a) Allure temporelle des signaux prélevés; (b) Évaluation du délai à mi-hauteur

Le délai est ensuite calculé en effectuant une simple différence des coordonnées temporelles relatives à chaque signal. La figure 3.14 expose les résultats de cette mesure pour une impulsion d'amplitude 1V. Cela nous a amené à introduire une compensation (Deskew) de 144ps sur le canal de la sonde 2 de l'oscilloscope. Cette valeur peut paraître dérisoire mais il est nécessaire de la prendre en compte afin de dissocier les phénomènes liés au circuit et à l'élément sous test. Il est tout de même utile de préciser que le délai que nous avons calculé n'est pas seulement dû à la configuration du circuit, mais pour une certaine part aux sondes de prélèvement elles-mêmes.

3.3.5.3 Étalonnage des sondes de mesure

La phase suivante consiste à vérifier que les deux sondes sont correctement étalonnées. Pour cela nous avons positionné les deux sondes de mesure au même emplacement afin de prélever la tension V_{in} aux bornes de la résistance R_{in} . Puis nous avons comparé l'allure temporelle des prélèvements afin d'observer les potentielles dissemblances. Un aperçu de cette expérimentation est donné sur la figure 3.15.

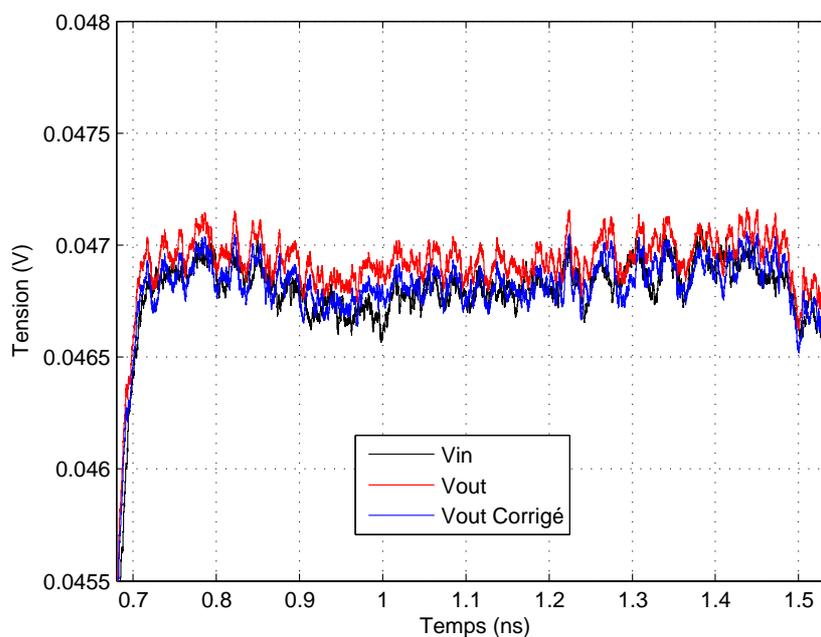


FIGURE 3.15 – Application d'un facteur de correction d'amplitude

Les résultats obtenus sur la figure 3.15 laissent apparaître une certaine différence entre les deux prélèvements au niveau de l'amplitude du palier positif de l'impulsion. Si nous relativisons, cette différence est mineure mais il convient cependant d'en tenir compte dans nos mesures afin d'être le plus réaliste possible. Concrètement, l'écart d'amplitude observé entre les deux prélèvements peut s'expliquer par le fait que les caractéristiques des sondes sont légèrement différentes. En effet, ces sondes actives comportent des étages d'amplification et la réponse en tension de ces éléments ne peut être rigoureusement identique. Cependant, cet écart peut être compensé en intégrant un facteur de correction d'amplitude sur l'une des sondes de mesure. Cette démarche a été appliquée à l'impulsion de faible amplitude présentée à la figure 3.15. Ce facteur a été

estimé à différents points de mesure du palier positif de l'impulsion et nous avons moyenné ces valeurs pour obtenir le facteur de correction. A titre indicatif, le facteur de correction que nous avons appliqué sur le signal V_{out} est de 0,99775.

3.4 Présentation du programme d'extraction de paramètres

Le contexte de notre étude fait que les éléments de protection doivent être modélisés de manière rigoureuse afin d'en déduire une analyse la plus pertinente possible. Pour cela, nous avons développé une phase de modélisation dans laquelle nous proposons d'extraire un modèle SPICE des éléments de protection à partir des résultats expérimentaux ($V_{in}(t)$ et $V_{out}(t)$) prélevés durant la procédure de mesure présentée auparavant. A l'image de l'outil informatique présenté dans le second chapitre sur la modélisation SPICE des éléments de protection ESD du modèle IBIS, le programme d'extraction de paramètres élaboré dans cette partie fonctionne de la même manière tout en proposant une évolution significative sur la prise en considération des phénomènes liés au comportement dynamique. Tout au long de la construction et de l'évolution de cette phase de modélisation, nous avons constamment cherché à adopter une démarche d'analyse basée sur un raisonnement physique. Cette approche est capitale dans la compréhension et l'interprétation des phénomènes transitoires liés au comportement des charges et des effets capacitifs associés.

D'un point de vue de fonctionnel, le programme d'extraction de paramètres est intégralement autonome et ne nécessite pas l'installation d'applications additionnelles. Nous reviendrons en détail dans la suite de cette partie sur les méthodes de résolution et d'optimisation qui ont été intégrées dans le cœur de ce programme. Enfin, nous pouvons également préciser dès à présent que le modèle extrait est nativement compatible avec SPICE et qu'il est possible de l'utiliser avec d'autres outils comme le VHDL-AMS.

3.4.1 Définition du cœur analytique

A partir de la définition des différents éléments du modèle SPICE des diodes, nous allons désormais nous intéresser aux équations du circuit de la figure 3.16(a) afin de comprendre le principe de fonctionnement du programme d'extraction de paramètres.

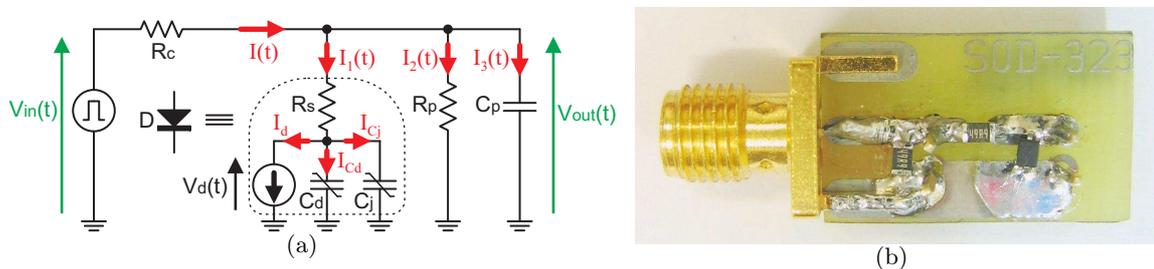


FIGURE 3.16 – (a) Circuit électrique équivalent du circuit de mesure ; (b) Photographie d'un circuit de mesure

Le schéma électrique proposé à la figure 3.16(a) a été obtenu en remplaçant la diode du schéma

du circuit de mesure (cf. figure 3.11) par son schéma équivalent (cf. figure 3.4). Les capacités C_j et C_d , ainsi que le générateur de courant I_d sont les seuls éléments à être dépendants de la tension appliquée au circuit. A partir de ce circuit, nous allons écrire les différentes lois qui s'y établissent. Le point de départ de notre analyse est basé sur la définition du courant $I(t)$ qui parcourt la résistance R_c :

$$I(t) = \frac{V_{in}(t) - V_{out}(t)}{R_c} = I_1(t) + I_2(t) + I_3(t). \quad (3.13)$$

Cette simple loi des nœuds peut être réécrite en définissant les expressions des courants dans les différentes branches :

$$I(t) = \frac{V_{in}(t) - V_{out}(t)}{R_c} = \frac{V_{out}(t) - V_d(t)}{R_s} + \frac{V_{out}(t)}{R_p} + C_p \frac{\partial V_{out}(t)}{\partial t}. \quad (3.14)$$

Le courant $I_1(t)$ est exprimé à partir de la contribution des différents éléments électriques qui constituent le modèle SPICE des diodes :

$$I_1(t) = \frac{V_{out}(t) - V_d(t)}{R_s} = I_d(t) + I_{C_j}(t) + I_{C_d}(t). \quad (3.15)$$

ou

$$\frac{V_{out}(t) - V_d(t)}{R_s} = I_d(t) + C_j \frac{\partial V_d(t)}{\partial t} + C_d \frac{\partial V_d(t)}{\partial t}. \quad (3.16)$$

Ainsi, en réorganisant les équations 3.14 et 3.16, nous obtenons le système d'équations différentielles suivant :

$$\begin{cases} \frac{\partial V_{out}(t)}{\partial t} = \frac{1}{C_p} \left(\frac{V_{in}(t)}{R_c} - \left(\frac{1}{R_c} + \frac{1}{R_s} + \frac{1}{R_p} \right) V_{out}(t) + \frac{V_d(t)}{R_s} \right), \\ \frac{\partial V_d(t)}{\partial t} = \frac{1}{C_d + C_j} \left(\frac{V_{out}(t) - V_d(t)}{R_s} - I_d(t) \right). \end{cases} \quad (3.17)$$

Les termes $I_d(t)$, C_j et C_d sont directement issus du formalisme SPICE des diodes que nous avons décrit dans la partie 3.3, et dépendent directement de la tension V_d . Ce système d'équations différentielles représente le cœur du programme d'extraction.

3.4.1.1 Algorithme d'extraction des paramètres

Le programme d'extraction de paramètres permet de générer un modèle SPICE de diode qui sera composé de huit paramètres : R_s , I_s , N , C_{j0} , V_j , M , FC , et T_t . Le fonctionnement de ce programme est basé sur l'algorithme présenté à la figure 3.17.

Avant de spécifier la méthode d'optimisation, nous allons détailler les différentes étapes de

cet algorithme. Pour un jeu de paramètres donné, une boucle itérative calcule pour chaque échantillon temporel la valeur de la tension $V_{out}(t)$ et de la tension $V_d(t)$ en utilisant la tension $V_{in}(t)$ comme générateur. Ces tensions sont calculées à partir du système d'équations différentielles (cf. eq. 3.17) et la méthode de résolution utilisée est la méthode de Runge-Kutta d'ordre 5 avec l'utilisation d'un pas adaptatif.

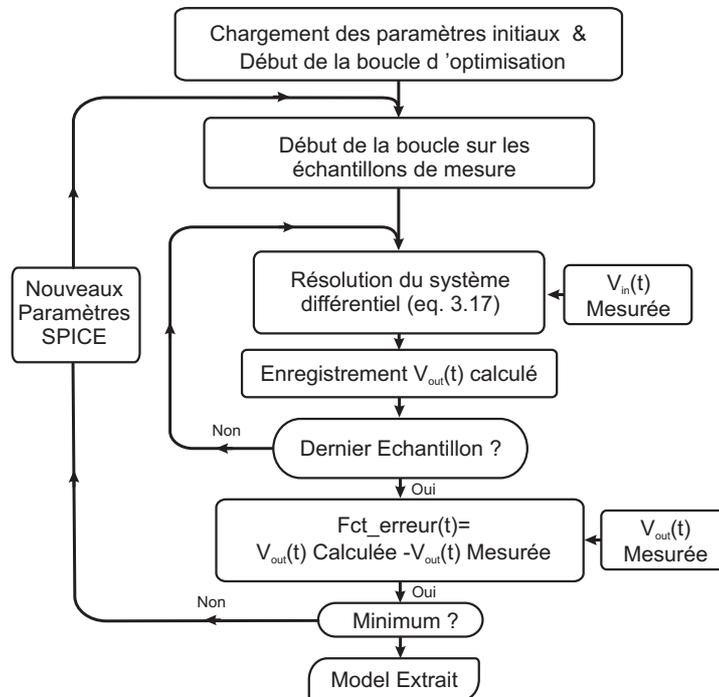


FIGURE 3.17 – Algorithme d'extraction des paramètres

Cette méthode a été privilégiée vis-à-vis d'un solveur de type SPICE par le simple fait qu'elle présente l'avantage d'être légère, portable et surtout parce qu'elle offre la possibilité d'avoir un meilleur contrôle sur la précision des résultats. De plus, nous avons imposé des contraintes sur les paramètres que nous cherchons à déterminer. En effet, les valeurs de ces paramètres doivent d'une part, être positives et d'autre part, il n'est pas envisageable qu'elles soient irréalistes. En effet, les paramètres à extraire doivent avoir une signification physique, et dans cette optique nous avons cherché, pour chaque cas d'étude, à correctement borner les ordres de grandeur des paramètres.

Concernant la boucle d'optimisation, la procédure consiste à minimiser une fonction coût pour chaque point temporel. Cette fonction est simplement obtenue en effectuant la différence entre les tensions $V_{out}(t)$ calculée et mesurée :

$$FonctionCoût(t) = V_{out}^{Calcul}(t) - V_{out}^{Mesure}(t) \quad (3.18)$$

La minimisation de cette fonction est effectuée grâce à une optimisation non-linéaire par la méthode des moindres carrés avec contraintes. Nous avons testé différentes méthodes d'optimisation non-linéaire dans notre programme d'extraction et parmi celles disponibles, nous avons choisi de travailler avec la librairie PORT (ATT Bell Labs) [153]. Cette librairie utilise des

algorithmes qui s'appuient sur les méthodes de Newton et Quasi-Newton avec des passages en Gauss-Newton et Levenberg-Marquardt si besoin. Le principal atout de cette librairie est d'être particulièrement bien adaptée au contexte de notre étude car la boucle d'optimisation converge assez rapidement.

La vitesse de convergence et l'efficacité de notre boucle d'optimisation/minimisation dépendent des conditions initiales plus ou moins proches de la "vraie" solution.

3.4.1.2 Estimation des conditions initiales

Dans le cas des protections discrètes, le fabricant met à disposition un modèle SPICE dont les paramètres associés à ce modèle sont utilisés pour fixer les conditions initiales. Néanmoins, il existe des cas d'études dans lesquels nous disposons de très peu d'informations et il est donc nécessaire de mettre en place une procédure permettant d'estimer les différents paramètres du modèle. Dans notre situation, cette évaluation est extrêmement difficile, voire impossible, car les équations présentées auparavant démontrent que les différents paramètres SPICE à extraire sont fortement liés les uns aux autres. L'estimation des valeurs initiales pour chaque paramètre n'est donc pas triviale, hormis pour le paramètre C_{j0} . En effet, à bas niveau, c'est-à-dire lorsque la diode est inactive, son comportement peut être assimilé à celui d'une capacité qui est conditionnée par la capacité de jonction. A bas niveau, lorsque $V_d < FC \cdot V_j$, la capacité de jonction est exprimée grâce à l'équation suivante :

$$C_j = C_{j0} \left(1 - \frac{V_d}{V_j}\right)^{-M} \quad (3.19)$$

Pour des valeurs de $V_d \ll V_j$, nous pouvons considérer de plus que les non-linéarités de la diode ne sont pas excitées et qu'il est possible d'assimiler la capacité de jonction à sa valeur constante C_{j0} . Nous avons donc développé une méthodologie permettant d'estimer ce paramètre en évaluant la réponse de la diode à une impulsion de faible amplitude.

Dans ce contexte, le schéma électrique équivalent de la diode se simplifie comme l'atteste le circuit équivalent présenté à la figure 3.18(a). Ce schéma électrique est par la suite inséré dans le schéma équivalent du circuit de mesure illustré à la figure 3.18(b).

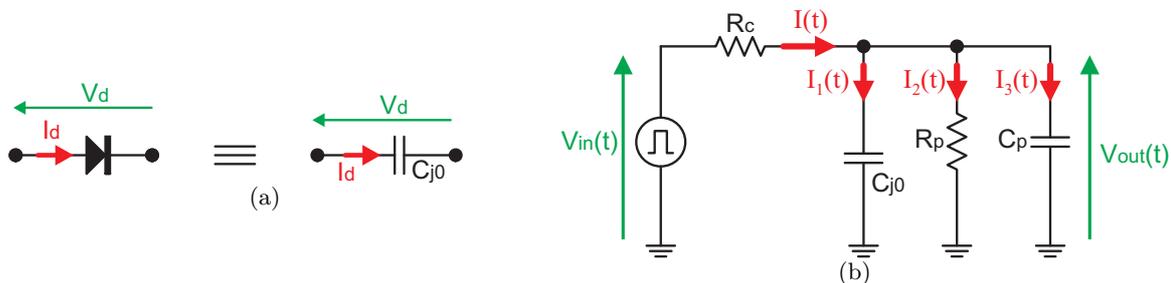


FIGURE 3.18 – (a) Circuit équivalent de la diode à bas niveau; (b) Schéma électrique du circuit de mesure à bas niveau

Nous avons choisi de négliger la résistance R_s dans le schéma électrique équivalent de la diode présenté à la figure 3.18(a) car la différence de potentiel due à cette résistance est réellement

peu significative dans le cas d'une polarisation de faible amplitude. De la même manière, nous n'avons pas tenu compte du courant circulant dans la résistance R_p correspondant à l'effet résistif de la sonde de mesure. A partir des équations du circuit de la figure 3.18(b), nous pouvons en déduire que le paramètre C_{j0} peut être estimé à l'aide de l'équation suivante :

$$I(t) = \frac{V_{in}(t) - V_{out}(t)}{R_c} = (C_{j0} + C_p) \frac{\partial V_{out}(t)}{\partial t} \quad (3.20)$$

Ce qui donne

$$C_{j0} \approx \left(\frac{V_{in} - V_{out}}{R_c \frac{\partial V_{out}(t)}{\partial t}} \right) - C_p \quad (3.21)$$

L'équation 3.21 contient une dérivée temporelle sur le signal de sortie au dénominateur. Cette opération est particulièrement sensible aux moindres variations du signal engendrées par le bruit de mesure et cela entraîne des artefacts assez importants sur le calcul de la capacité équivalente. Pour cette raison, nous avons privilégié le calcul avec le formalisme 3.22.

$$C_{j0} \approx \left(\frac{1}{V_{out}(t)} \int_0^t \frac{V_{in}(u) - V_{out}(u)}{R_c} du \right) - C_p \quad (3.22)$$

Cette démonstration n'est valable que dans le cas où la capacité de jonction est considérée comme indépendante de la tension aux bornes de la diode.

Les conditions expérimentales sont similaires au contexte exposé au début de ce chapitre. Nous injectons une impulsion de faible amplitude (40mV) à l'entrée du circuit de mesure (cf. figure 3.11). Cette impulsion présente également la particularité d'avoir des phases de transition assez rapides afin de faciliter la mise en évidence des effets capacitifs ($T_m = T_d = 10ns$). A partir des mesures de V_{in} et V_{out} , nous avons mis en place un programme informatique afin de déterminer la capacité de jonction bas niveau. Le calcul de C_{j0} (cf. eq. 3.22) est réalisé sur différents points du front de montée des impulsions prélevées (entre 10% et 90% de l'amplitude maximale). La validation a été réalisée en mesurant des diodes discrètes qui ont été spécialement conçues pour protéger les circuits électroniques contre les décharges électrostatiques. Nous disposons d'un modèle SPICE de ces diodes ce qui nous permet de confronter directement les résultats obtenus avec la valeur du paramètre C_{J0} du modèle SPICE.

La première validation a été effectuée sur la diode PESD12VS1UB du fabricant NXP dont les principales caractéristiques fournies par le fabricant sont les suivantes :

Type de protection	Protection ESD unidirectionnelle
Boîtier	SOD523
C_{j0} Modèle SPICE fabricant	40,23pF

TABLE 3.4 – Caractéristiques de la diode NXP PESD12VS1UB

Les résultats de cette expérience sont présentés sur le figure 3.19, où nous avons également représenté l'allure temporelle des signaux V_{in} et V_{out} qui servent de base au calcul de la capacité

de jonction à bas niveau. Afin de vérifier la pertinence de nos résultats, l'évaluation de la capacité de jonction à bas niveau est directement comparée avec le paramètre C_{j0} du modèle SPICE.

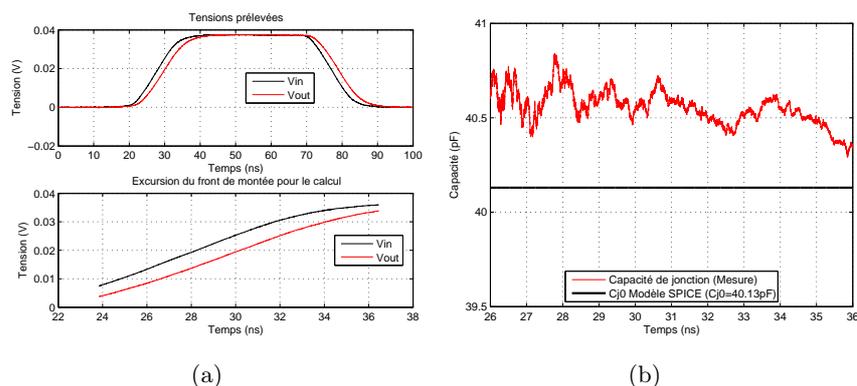


FIGURE 3.19 – (a) Allure temporelle des signaux $V_{in}(t)$ et $V_{out}(t)$; (b) Estimation de la capacité de jonction à bas niveau - NXP PESD12VS1UB

Le calcul de la capacité de jonction bas niveau donne des résultats très satisfaisants puisque la valeur trouvée, $\approx 40,5\text{pF}$, est très proche de la valeur du paramètre C_{j0} du modèle SPICE ($40,23\text{pF}$). Ce premier résultat démontre que la méthodologie mise en place fournit une approximation réaliste de cette capacité. Cependant nous avons voulu tester la validité de cette méthodologie sur des diodes présentant une faible capacité de jonction, comme la diode RCLAMP0502B du fabricant Semtech. Les caractéristiques de cette diode sont exposées dans le tableau 3.5.

Type de protection	Diode TVS pour protection ESD
Boîtier	SOD523
C_{j0} Modèle SPICE Fabricant	1,18pF

TABLE 3.5 – Caractéristiques de la diode Semtech RCLAMP0502B

Nous avons entrepris la même démarche que pour la diode précédente et nous avons obtenu les résultats présentés sur la figure 3.20.

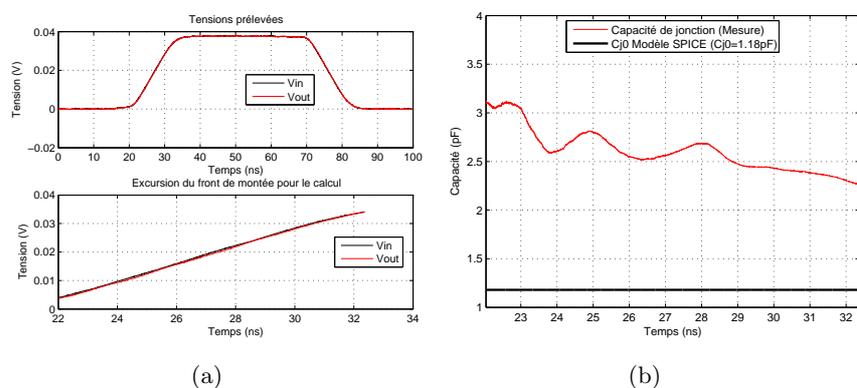


FIGURE 3.20 – (a) Allure temporelle des signaux $V_{in}(t)$ et $V_{out}(t)$; (b) Estimation de la capacité de jonction à bas niveau - Semtech RCLAMP0502B

Les résultats de nos calculs varient entre 2,25pF et 3pF, ce qui est légèrement supérieur à la valeur du paramètre C_{j0} dans le modèle SPICE du fabricant (1,18pF). Bien que notre calcul surestime quelque peu la valeur de cette capacité, les résultats que nous obtenons restent tout de même convenables.

Dans les deux cas d'études présentés, l'estimation du paramètre C_{j0} est très satisfaisante compte tenu du fait que le but était d'obtenir une approximation de ce paramètre. Dans le cas de la diode RCLAMP0502B, nous remarquons que nous atteignons les limites de validité de notre configuration expérimentale puisque nous surévaluons la capacité. Malgré cela, les valeurs calculées restent tout à fait dans l'ordre de grandeur de la valeur du paramètre C_{j0} . Ces bons résultats démontrent par la même occasion que les efforts que nous avons réalisés lors de l'étalonnage de l'oscilloscope et lors de la conception des circuits se sont révélés particulièrement utiles dans ce type d'étude.

La méthodologie que nous venons de présenter nous permet d'estimer le paramètre C_{j0} dans le but d'évaluer les conditions initiales de programme d'extraction de paramètres. La détermination des valeurs initiales des autres paramètres SPICE n'étant pas concevable pour les raisons énoncées précédemment, nous avons choisi de fixer les paramètres inconnus (dans le cas où nous ne disposons pas du modèle SPICE) aux valeurs par défaut utilisées dans les simulateurs SPICE [125] : $R_s=0,5\Omega$, $I_s=1\text{pA}$, $V_j=0,7\text{V}$, $N=1$, $M=0,5$ et $T_t=10\text{ns}$.

3.5 Validation de la méthodologie

La méthodologie d'extraction de paramètres doit être validée sur un cas concret avant de l'appliquer à différents types de protections. Cette étape est d'autant plus importante qu'elle nous permet d'apprécier ainsi la pertinence du modèle SPICE, la fiabilité de la méthode expérimentale et de l'algorithme associé à notre méthodologie.

La phase de validation est effectuée en réalisant une simulation SPICE du circuit de mesure présenté à la figure 3.11. A titre indicatif, le simulateur SPICE retenu pour cette étape est le simulateur Microcap V9 développé par Spectrum Software [154]. Afin d'être le plus fidèle possible aux conditions expérimentales, la tension $V_{in}(t)$ prélevée (impulsion délivrée par le générateur Agilent 33220A) est utilisé dans le simulateur en tant que source d'excitation.

Les premières validations de l'extraction ont été réalisées en effectuant des simulations SPICE avec des paramètres connus et arbitraires d'un modèle SPICE de diode standard dont nous avons essayé de retrouver ces valeurs de paramètres avec le programme d'extraction. Les résultats de ces simulations ($V_{in}(t)$ et $V_{out}(t)$) ont été injectés dans le programme d'extraction de paramètres. Les valeurs des paramètres extraits ont été ensuite comparées avec les valeurs des paramètres du modèle SPICE de la diode testée. Pour chaque cas d'étude, les valeurs obtenues lors de l'extraction de paramètres sont très proches des valeurs initiales (avec une tolérance de 0,1%). De plus nous en avons également profité pour tester différentes méthodes d'optimisation sur ces cas-là, comme des algorithmes génétiques et des méthodes d'optimisation par essais particuliers (Particule Swarm). Nous avons obtenu des résultats très similaires à partir de ces différentes méthodes d'optimisation, ce qui prouve de plus que notre algorithme d'extraction permet de

converger vers un minimum global de la fonction coût. Ces validations nous ont permis d'évaluer la fiabilité et la précision de notre programme d'extraction. Parmi les différents algorithmes d'optimisation testés, nous avons constaté que la méthode de Newton était la plus rapide.

3.5.1 Premiers résultats

Une fois la méthode validée, les premiers tests ont été effectués avec la diode PESD12VS1UB décrite dans la paragraphe précédent. La méthode d'extraction de paramètres a donc été appliquée à des résultats de mesure obtenus avec cette diode. Lors de la phase expérimentale la diode a été soumise à une impulsion d'amplitude 1V, ce qui est suffisant pour mettre en conduction et pour observer les phénomènes liés au régime de commutation. Le tableau suivant compare les valeurs des paramètres extraits avec les valeurs des paramètres du modèle SPICE du fabricant.

	I_s (A)	N	C_{j0} (pF)	V_j (V)	M	T_t (ns)	R_s (Ω)
Modèle SPICE fabricant	11,3E-15	1,103	40,23	0,6144	0,3297	-NA-	0,4798
Modèle SPICE extrait	10,81E-12	1,3257	41,85	0,4972	0,3506	13,82	0,293

TABLE 3.6 – Comparaison des paramètres SPICE pour la diode NXP-PESD12VS1UB

Si nous comparons ces valeurs, on remarque dans un premier temps que certains paramètres présentent des valeurs similaires notamment au niveau des paramètres C_{j0} , M et N . Cependant, nous observons de grandes divergences concernant le courant de saturation I_s et le temps de transit T_t . Le cas du paramètre T_t est particulier puisque le fabricant ne fournit pas de valeur dans son modèle.

Afin de valider notre modélisation, ces deux modèles ont été intégrés dans une simulation SPICE du circuit et les résultats sont illustrés à la figure 3.21.

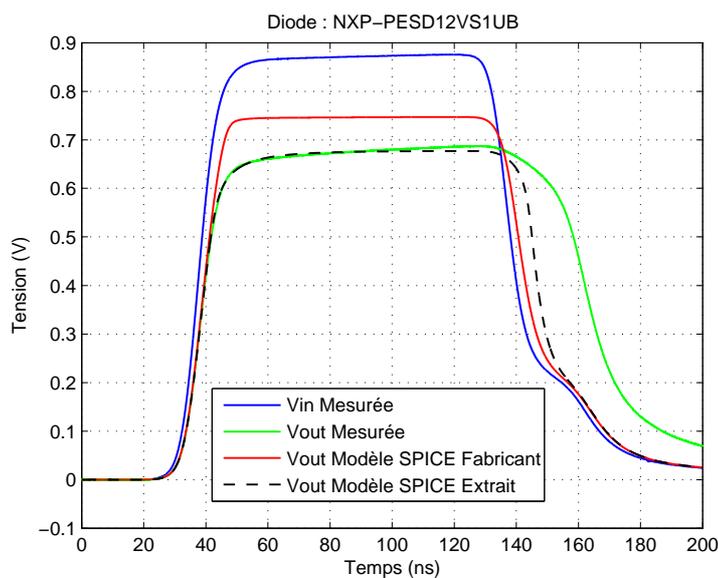


FIGURE 3.21 – Simulation SPICE avec le modèle standard des diodes - PESD12VS1UB

Ces premiers résultats permettent de constater que le modèle issu du fabricant est peu performant dans ce type d'analyse. En revanche, le modèle extrait semble donner des résultats plutôt corrects sur le front de montée ainsi que sur le palier positif de l'impulsion. Cependant, il subsiste des divergences notables sur la modélisation du comportement de la diode au niveau du front descendant de l'impulsion. On remarque très clairement que le modèle extrait ne donne pas de meilleurs résultats que le modèle issu du fabricant. Le phénomène que nous venons de mettre en évidence est lié à un effet de stockage de charges qu'il est impossible de modéliser avec le formalisme du modèle SPICE de base. Nous sommes donc contraints de reconsidérer le formalisme des diodes afin d'appréhender ce phénomène, notamment en prenant en compte les phénomènes de recouvrement.

3.5.2 Mise en évidence des phénomènes de recouvrement

Le modèle SPICE des diodes ne permet pas de reproduire avec exactitude les phénomènes de recouvrement qui surviennent lorsque la diode bascule rapidement d'un état passant à un état bloqué et vice versa. Nous allons analyser le comportement de la diode en régime de commutation et nous verrons comment il est possible d'améliorer le formalisme pour prendre en compte ces phénomènes.

3.5.2.1 Phénomène de recouvrement inverse

Dans la littérature, le phénomène mis en évidence dans les résultats exposés à la figure 3.21 est connu sous le terme de phénomène de recouvrement inverse (passage d'une polarisation directe à une polarisation inverse). Le terme de recouvrement inverse n'est pas à proprement parler adapté à notre situation puisque nous ne polarisons pas la diode en inverse, mais les mécanismes restent les mêmes. Le phénomène de recouvrement inverse est provoqué par le basculement rapide d'une polarisation directe à une polarisation nulle (passage d'un état passant à un état bloqué).

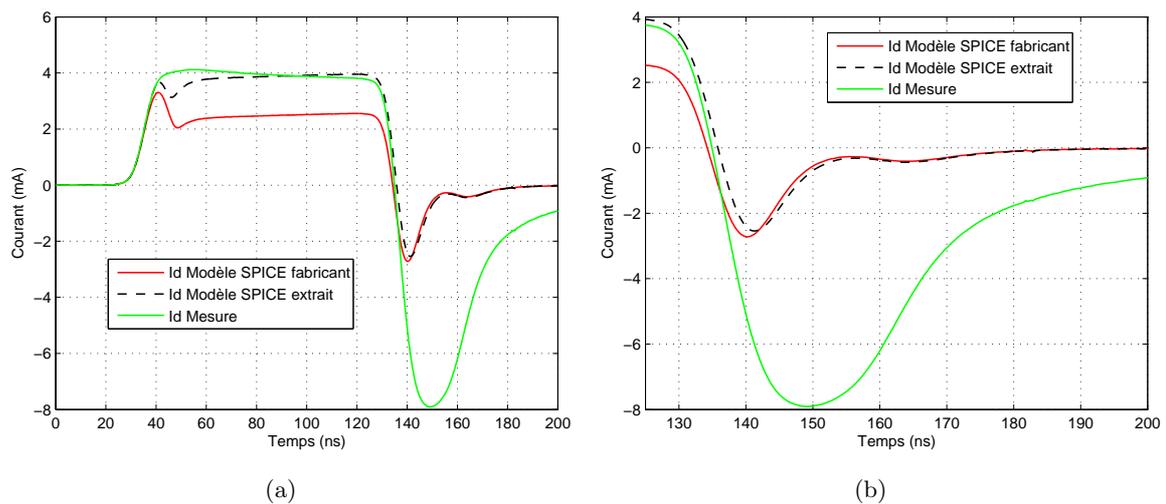


FIGURE 3.22 – (a) Illustration du phénomène de recouvrement inverse sur l'allure temporelle de la tension ; (b) Zoom sur le comportement de la diode lors d'une commutation à l'ouverture

En réalité, la transition passante-bloquée n'est pas immédiate car les porteurs accumulés lors de la phase de conduction doivent se recombinaer et la barrière de potentiel se reconstituer. Cette étape permet d'évacuer les charges libres emmagasinées par la capacité de diffusion et les charges stockées par la capacité de jonction. Le temps de recouvrement inverse dépend de la charge stockée dans la jonction et de la durée de vie des porteurs, ce qui correspond directement au dimensionnement de la jonction et au dopage des semi-conducteurs N et P. Le modèle SPICE des diodes est limité dans la prédiction de ce phénomène car le formalisme de contrôle des charges est une approximation quasi-statique de l'effet du stockage des charges. Pour mieux se rendre compte de cette carence, nous pouvons nous référer à la figure 3.22 illustrant l'allure du courant dans la diode. On remarque qu'il s'écoule un certain temps avant que la diode retrouve son état bloqué et que les charges en excès soient totalement évacuées. Selon la formulation du modèle SPICE, le phénomène de stockage de charges lié à la diffusion des porteurs minoritaires est caractérisé par l'équation suivante :

$$Q_d(t) = T_t I_d(t) \quad (3.23)$$

L'équation 3.23 laisse transparaître que les charges stockées dépendent uniquement de la valeur instantanée du courant, ce qui signifie qu'il n'y a aucune prise en compte des effets liés à la conservation des charges. Cette carence peut être interprétée en analysant le comportement réel des diodes dans la phase de commutation à l'ouverture à l'aide de la figure 3.23.

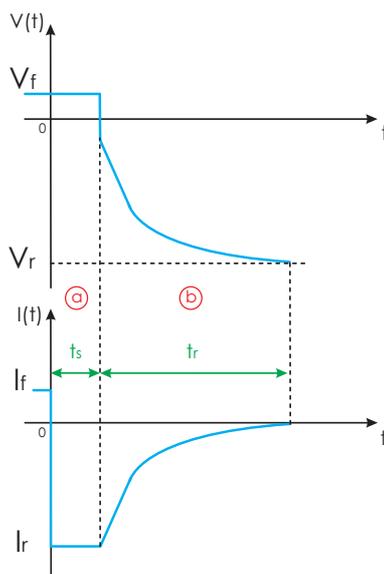


FIGURE 3.23 – Illustration des différentes phases lors d'une commutation à la fermeture [155]

Le processus de commutation de la diode peut être divisé en deux phases bien distinctes. La première phase (Ⓐ) correspond à la phase de stockage durant laquelle la tension aux bornes de la diode ne varie pas : la diode se comporte comme un court-circuit. La durée de cette phase est caractérisée par le temps de stockage t_s qui est le temps nécessaire pour que les porteurs en excès soient extraits de la jonction. La seconde phase (Ⓑ) est nommée la phase de recouvrement inverse ($t > t_s$). Il s'écoule alors un certain temps (t_r) avant que la diode retrouve son état bloquant et

que les charges en excès soient évacuées. Le modèle SPICE tient compte des effets de stockage à travers le paramètre T_t , et le temps de stockage est correctement appréhendé. Cependant, lorsque les porteurs commencent à être extraits de la zone de déplétion, le modèle SPICE considère que l'intégralité des porteurs est extraite. Cela explique les raisons pour lesquelles le modèle SPICE ne reproduit pas le phénomène de recouvrement inverse.

3.5.2.2 Phénomène de recouvrement direct

En régime de commutation, il existe un autre phénomène de recouvrement qui n'est pas appréhendé par le modèle SPICE : il s'agit du recouvrement direct [156]. Certaines diodes manifestent un comportement assez atypique lorsqu'elles sont soumises à une transition rapide d'une polarisation nulle (ou inverse) à une polarisation directe. Au niveau électrique, cela se traduit par l'apparition d'une surtension aux bornes de la diode durant cette phase, comme en témoigne la figure 3.24.

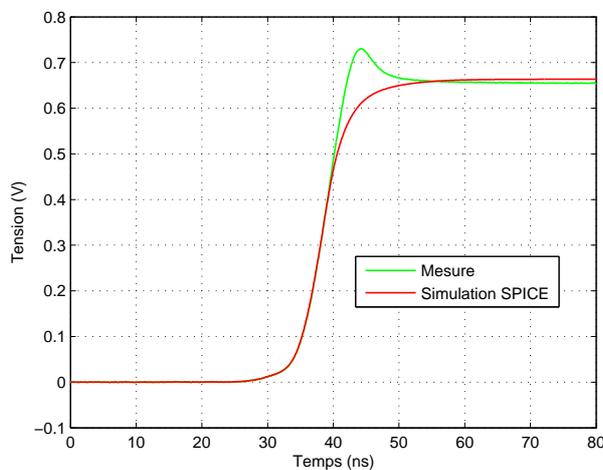


FIGURE 3.24 – Illustration du phénomène de recouvrement direct

Initialement, et jusqu'à ce que l'amplitude de l'impulsion atteigne son seuil de conduction, la diode présente une résistivité relativement importante, ce qui engendre une différence de potentiel conséquente à ses bornes, et ce même pour un courant faible. En effet, un faible courant de conduction associé à une forte résistance engendre une forte tension. La surtension n'apparaît, quant à elle, qu'une fois que la résistance dynamique commence à décroître. Au fur et à mesure que le courant augmente, cette résistance diminue et la tension à ses bornes va ainsi s'atténuer pour rapidement se stabiliser à proximité du seuil normal de conduction. En résumé, cet effet est principalement lié à la modulation de la résistivité de la diode [157] par le signal impulsionnel. L'amplitude et l'allure de la surtension sont directement dépendantes des caractéristiques électriques de l'impulsion, et notamment de la vitesse à laquelle le courant s'établit dans la diode. Le formalisme SPICE des diodes n'est pas en mesure de reproduire le phénomène de recouvrement direct comme l'atteste le cas d'étude présenté à la figure 3.24. Dans le modèle standard de diode, une résistance série nommée R_s est insérée entre l'anode et le reste du modèle décrivant le comportement de la jonction PN. Cette résistance est définie sous la

forme d'une constante ce qui signifie qu'elle n'est pas adaptée pour reproduire le phénomène de recouvrement direct puisqu'elle est indépendante de la quantité de charge injectée à la jonction. L'analyse du comportement des diodes en régime transitoire nécessite donc de redéfinir en grande partie le modèle SPICE de base. Dans ce contexte, l'intégration des phénomènes de recouvrement est une condition sine qua non pour l'obtention d'un modèle prédictif satisfaisant. Généralement, les phénomènes de recouvrement direct et inverse sont associés à l'électronique de puissance (forts tensions et courants), mais nous verrons qu'il s'avère quand même préférable d'en tenir compte à bas niveau dans notre modélisation.

3.5.3 Modèle de diode avec prise en compte des recouvrements

L'inaptitude du modèle SPICE de base à reproduire les phénomènes de recouvrement peut être contournée en adoptant de nouveaux formalismes et de nouveaux concepts. Ces dernières années, la communauté scientifique a publié de nombreux travaux de modélisation dans la littérature, et l'article [156] énumère les différents modèles qui ont été développés en fonction des concepts et des techniques de modélisation utilisés. Ces modèles proposent d'améliorer les modèles existants en implantant des équations supplémentaires.

Dans notre contexte, nous avons fait le choix de travailler avec les modèles issus des travaux de Tseng [158] et de Lauritzen [159]. Le cœur de leurs travaux a consisté à mettre en place une modélisation dynamique du contrôle des charges afin de prendre en considération les problèmes définis auparavant. Ces modèles présentent l'avantage d'être facilement implantables dans des simulateurs de type SPICE au moyen de sous-circuits à l'aide de sources contrôlées entre autres.

3.5.3.1 Le modèle de Lauritzen

Le modèle présenté dans les travaux de P.O. Lauritzen [159] est un modèle physique simplifié appliqué à l'étude des diodes PIN. Ce modèle propose d'affiner le formalisme du contrôle des charges de base en utilisant le concept des charges localisées introduit par J.G. Linvill [160]. Cette méthode consiste à diviser les différentes zones faiblement dopées en plusieurs régions, comme le montre la figure 3.25, en y associant une expression analytique afin de prendre en compte la variation dynamique des charges. Des relations de continuité sont introduites pour gérer l'interconnexion des différentes zones.

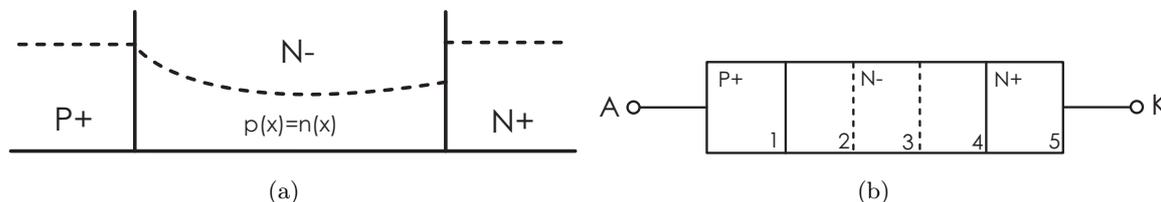


FIGURE 3.25 – (a) Distribution des charges dans une jonction en polarisation directe à forte injection [161]; (b) Division de la jonction en plusieurs régions pour la modélisation en charges localisées [161]

La résolution de ce modèle est effectuée en appliquant un formalisme simplifié des équations de la physique du semi-conducteur à chaque région de la diode qui a été ainsi discrétisée (cf.

figure 3.25(b)). Les équations relatives aux phénomènes de recouvrement inverse et direct sont directement dérivées des équations simplifiées du transport des charges. L'équation du contrôle des charges constitue le cœur de ce modèle :

$$\frac{\partial q_M}{\partial t} + \frac{q_M}{\tau} - \frac{q_E - q_M}{T_t} = 0 \quad (3.24)$$

Dans l'expression présentée ci-dessus, q_E représente la quantité de charges injectée à la jonction et la grandeur q_M symbolise la quantité de charge stockée dans la jonction. Le premier terme de l'équation 3.24 représente les variations temporelles des charges injectées. Le second terme caractérise le phénomène de recombinaison des porteurs qui est dépendant de leur durée de vie τ . Le troisième et dernier terme de cette équation détermine la diffusion des charges dans la zone faiblement dopée. Le modèle de Lauritzen est complété par d'autres équations qui sont énumérées ci-dessous :

$$I(t) = \frac{q_E - q_M}{T_t} \quad (3.25)$$

$$q_E = I_s \tau \left(e^{\frac{V_d}{N V_t}} - 1 \right) \quad (3.26)$$

avec les grandeurs suivantes :

- $I(t)$ le courant instantané circulant dans la diode
- T_t le temps de transit
- τ la durée de vie des porteurs
- I_s le courant de saturation

En complément de cette description, le modèle de Lauritzen prévoit également de modéliser le phénomène de recouvrement direct. La résistance R_s du modèle SPICE de base a été revisitée par l'équation suivante :

$$R_s = \frac{V_t \cdot T_t \cdot R_{M0}}{V_t \cdot T_t + q_M \cdot R_{M0}} \quad (3.27)$$

Le terme R_{M0} représente la résistivité de la diode dans la phase initiale de sa mise en conduction. Si on ne tient pas compte de la charge q_M ($q_M=0$), on retrouve alors le formalisme du modèle SPICE standard.

Après avoir brièvement décrit le concept du modèle de Lauritzen, l'objectif consiste désormais à implanter le formalisme des équations précédentes dans notre programme d'extraction de paramètres. Le programme extrait un modèle qui est basé sur les paramètres suivant : I_s , N , C_{j0} , V_j , M , T_t , τ , R_s et R_{M0} . Le formalisme du modèle SPICE de base sert toujours de support pour la définition de la capacité de jonction et du générateur de courant, ce qui signifie que nous avons ajouté trois nouveaux paramètres : R_{M0} , T_t et τ . La validation du modèle extrait est effectuée en réalisant une simulation SPICE du circuit de mesure dans laquelle nous avons intégré le modèle de Lauritzen. Ce modèle est défini sous la forme d'un sous-circuit dans lequel les différentes équations du formalisme de Lauritzen ont été traduites au moyen de sources contrôlées en tension (de type E) dans la netlist SPICE du circuit. Un exemple de cette définition

est présenté dans l'annexe 5.

Ce concept a été appliqué à la modélisation de la diode PESD12VS1UB. La configuration expérimentale n'a pas été modifiée, et les résultats de cette extraction sont présentés dans le tableau 3.7 :

Paramètres	Modèle Fabricant	Modèle Lauritzen	Unité
I_s	11,3E-15	445,1E-15	A
N	1,103	1,1878	-
C_{j0}	40,23	41,31	pF
V_j	0,6144	0,6493	V
M	0,3297	0,5888	-
τ	-NA-	129,45	ns
T_t	-NA-	24,32	ns
R_s	0,4798	1,28	Ω
R_{M0}	-NA-	1	Ω

TABLE 3.7 – Valeurs des paramètres du modèle de Lauritzen extraits pour la diode NXP-PESD12VS1UB

Les conclusions énoncées lors de la comparaison des valeurs des paramètres avec le modèle SPICE de base sont assez similaires à celles qui découlent des résultats présentés dans le tableau ci-dessus (notamment pour les paramètres I_s , N , C_{j0} , V_j , M). L'introduction de nouvelles équations (et de nouveaux paramètres) ne nous permet pas de confronter directement les valeurs des paramètres T_t et R_s . Les résultats de la simulation SPICE du circuit de mesure avec les différents modèles sont dévoilés à la figure 3.26.

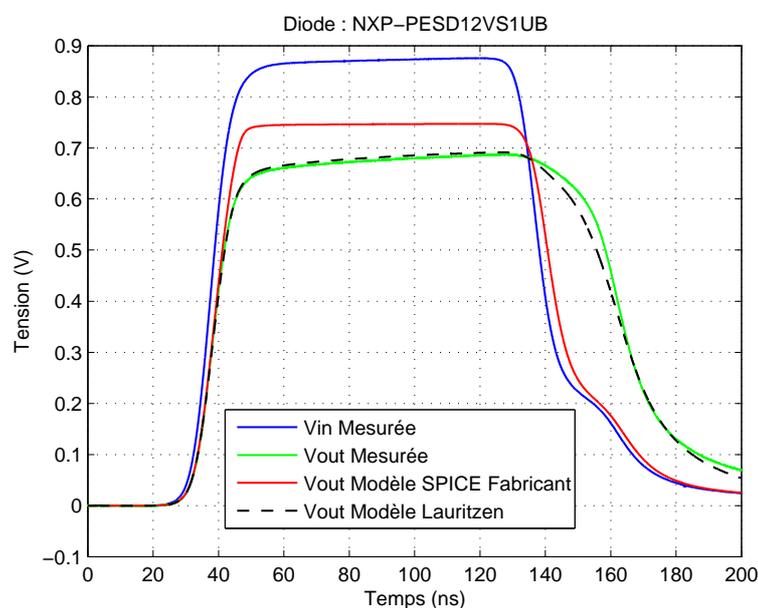


FIGURE 3.26 – Simulation SPICE avec le modèle de Lauritzen - PESD12VS1UB

Les prédictions du modèle extrait à partir du formalisme de Lauritzen sont beaucoup plus fidèles aux résultats expérimentaux que le modèle SPICE de base. En effet, l'intégration d'un

modèle prenant en considération le phénomène de recouvrement inverse a permis de corriger les carences du modèle SPICE. Cependant, nous n'avons pas limité nos investigations à ce modèle puisque nous avons également implanté le modèle de Tseng dans notre programme d'extraction de paramètres afin de confirmer ces tendances.

3.5.3.2 Le modèle de Tseng

K.J. Tseng a démontré dans l'une de ses publications [162] que lorsque la diode commutait d'une polarisation directe à une polarisation inverse, le profil de concentration des porteurs en excès aux abords de la jonction PN était dépendant de la variation temporelle des charges stockées.

Afin de présenter le concept développé par K.J. Tseng, revenons dans un premier temps sur la définition de l'équation permettant de contrôler les charges dans une jonction. L'équation de base donnée par la physique du semi-conducteur est la suivante :

$$Q_d(t) = T_t \left(I_d(t) - \frac{\partial Q_d(t)}{\partial t} \right) \quad (3.28)$$

Le modèle SPICE utilise une version simplifiée de cette équation comme le montre la définition de la charge Q_d :

$$Q_d(t) = T_t I_d(t) \quad (3.29)$$

L'approche quasi-statique du modèle SPICE des diodes n'est pas suffisante dans notre contexte pour modéliser les phénomènes de recouvrement inverse. Ainsi K.J. Tseng a donc eu l'ingénieuse idée de modifier le formalisme de base en ajoutant un terme permettant de contrôler les variations de charges au sein de la jonction. Pour cela, le courant dans la diode a été redéfini de la façon suivante :

$$Q_d(t) = T_t \left[I_d(t) - \nu_d \frac{\partial Q_d(t)}{\partial t} \right] \quad (3.30)$$

L'ajout du paramètre ν_d permet d'obtenir une approche dynamique qui est beaucoup plus réaliste pour modéliser les phénomènes de recouvrement inverse. Ce paramètre permet de contrôler la vitesse de l'écoulement des charges au sein de la jonction. Afin de mieux se représenter les choses, ce facteur est analogue au facteur d'amortissement dans les systèmes mécaniques. Le paramètre T_t est toujours homogène au temps de transit à l'image de sa définition dans le formalisme du stockage de charges lié à la diffusion dans le modèle SPICE de base (cf. équation 3.29). Le formalisme de K.J. Tseng peut s'appliquer à la modélisation de n'importe quel type de diode, de la jonction PN à la diode PIN.

A l'image du modèle de Lauritzen, Tseng a également prévu de modéliser les effets liés au phénomène de recouvrement direct. Pour cela, le paramètre R_s du modèle SPICE de base a été reformulé de la manière suivante :

$$R_s = \frac{1}{Y_0 + \alpha Q_d} \quad (3.31)$$

On remarque que la valeur de la résistance est directement modulée par la diffusion des charges au sein de la jonction. Le paramètre Y_0 symbolise la conductance (Siemens) de la diode à l'état bloqué (à l'état initial et avant la mise en conduction), et le terme α est un paramètre (Siemens/Coulomb) qui dépend de la géométrie et du processus de fabrication de la diode. Le paramètre Y_0 conditionne le pic de la surtension, tandis que le paramètre α agit sur la vitesse après le pic de surtension. Avant la mise en conduction de la diode, la charge Q_d est négligeable et la résistance dynamique de Tseng est équivalente à la résistance R_s du modèle SPICE de la diode ($R_s=1/Y_0$).

Durant la phase de conduction $\alpha.Q_d > Y_0$, ce qui signifie que l'influence de la résistance R_s diminue ($R_s \approx 1/\alpha Q_d$) et donc la tension se stabilise autour du seuil de conduction. Le schéma équivalent résultant du formalisme de Tseng est présenté à la figure suivante :

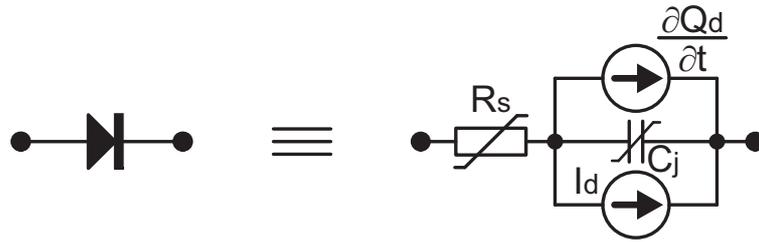


FIGURE 3.27 – Schéma électrique équivalent du modèle SPICE des diodes avec intégration du formalisme de recouvrement direct et inverse du modèle de Tseng

Si nous comparons ce schéma équivalent avec celui du modèle SPICE de base (cf. figure 3.4), la capacité de diffusion C_d a été remplacée par un générateur de courant qui est la dérivée temporelle de la charge Q_d , et la résistance série R_s est variable comme l'atteste l'équation 3.31. Les autres éléments restent inchangés.

De la même manière que le modèle de Lauritzen, le modèle de Tseng peut être défini dans une simulation SPICE à l'aide d'un sous-circuit dans lequel les différentes équations de son formalisme ont été traduites au moyen de sources contrôlées en tension (de type E). Un exemple de cette définition est présenté dans l'annexe 6.

Ce formalisme a été introduit dans le programme d'extraction afin de confronter ce modèle à notre cas d'étude. Le système différentiel utilisé pour résoudre les équations du circuit de mesure a évolué et tient compte du formalisme complet de Tseng (cf. Annexe 1) :

$$\left\{ \begin{array}{l} \frac{\partial V_{out}(t)}{\partial t} = \frac{1}{C_p} \left(\frac{V_{in}(t)}{R_c} - \left(\frac{1}{R_c} + \frac{1}{R_s} + \frac{1}{R_p} \right) V_{out}(t) + \frac{V_d(t)}{R_s} \right), \\ \frac{\partial V_d(t)}{\partial t} = \frac{1}{C_j} \left(\frac{V_{out}(t) - V_d(t)}{R_s} - \frac{1 + \nu_d}{\nu_d} I_d(t) + \frac{Q_d(t)}{T_t \nu_d} \right), \\ \frac{\partial Q_d(t)}{\partial t} = \frac{1}{\nu_d} I_d(t) - \frac{Q_d(t)}{T_t \nu_d}. \end{array} \right. \quad (3.32)$$

A partir de cela nous avons réalisé une nouvelle extraction de paramètres sur la diode

PESD12VS1UB, et nous avons obtenu les résultats suivants :

Paramètres	Modèle Fabricant	Modèle Tseng	Unité
I_s	11,3E-15	3,747E-13	A
N	1,103	1,1878	-
C_{j0}	40,23	41,31	pF
V_j	0,6144	0,6493	V
M	0,3297	0,5888	-
T_t	-NA-	108,97	ns
ν_a	-NA-	0,1879	-
Y_0	2,084 ($1/R_s$)	0,7812	S
α	-NA-	43,57	S/C

TABLE 3.8 – Valeurs des paramètres du modèle de Tseng extraits pour la diode NXP-PESD12VS1UB

Certains paramètres (C_{j0} , V_j et N) présentent un bon accord entre les deux modèles. La faible valeur du paramètre α devant la charge Q_d (une centaine de pC au maximum) nous amène à considérer que la résistance R_s se comporte à peu près comme une constante, ce qui confirme l'absence du phénomène de recouvrement direct. Une simulation SPICE de ce modèle extrait à partir du formalisme de Tseng a été effectuée et les résultats sont présentés à la figure 3.28.

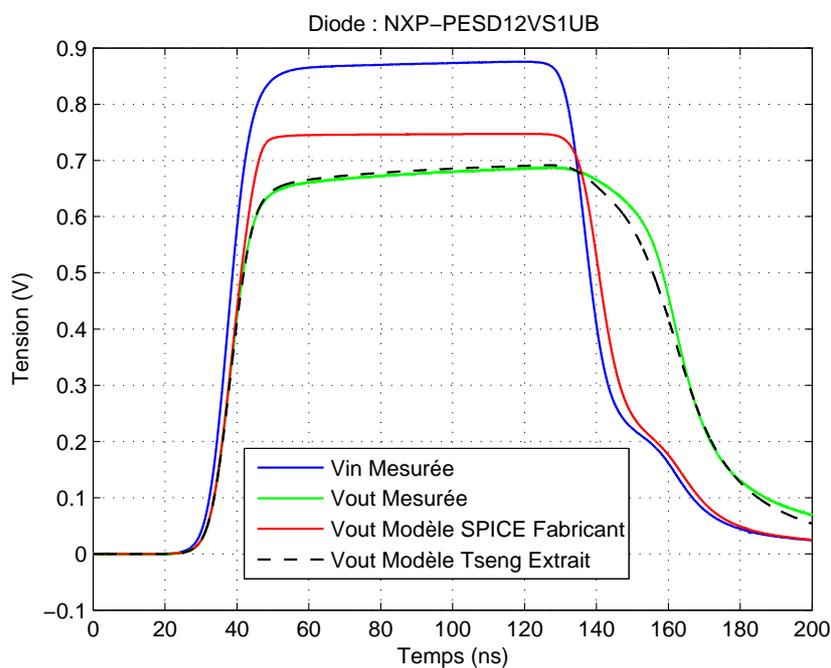


FIGURE 3.28 – Simulation SPICE avec le modèle de Tseng - PESD12VS1UB

Comme dans le cas du modèle de Lauritzen, ces résultats permettent de conclure sur le fait que le modèle de Tseng est beaucoup plus performant que le modèle SPICE de base dans le

modélisation du phénomène de recouvrement inverse. La redéfinition de l'équation du contrôle des charges a été particulièrement bénéfique.

3.5.3.3 Synthèse sur la modélisation du recouvrement

Les résultats de simulation présentés sur les figures 3.26 et 3.28 confirment que l'intégration du phénomène de recouvrement inverse dans notre modélisation a permis d'optimiser la modélisation du comportement des diodes en régime transitoire. En effet, les résultats sont beaucoup plus cohérents et réalistes que ceux obtenus avec le modèle SPICE de base (cf. figure 3.21).

Bien qu'ils soient différents dans leur approche, les formalismes de Tseng et de Lauritzen délivrent des résultats extrêmement similaires, pour ne pas dire identiques. Par conséquent il n'est pas utile de travailler simultanément avec ces deux modèles et nous avons fait le choix de travailler avec le modèle de Tseng dans la suite de notre étude. Ce choix peut se justifier par le fait que le formalisme de Tseng est assez simple à mettre en œuvre de par sa proximité avec le modèle SPICE de base et qu'il présente de bonnes performances lors d'une simulation SPICE du circuit de mesure. De plus, à partir du modèle de Tseng, il est possible de revenir au modèle SPICE de base en fixant les paramètres α et ν à zéro.

Cependant, notre modélisation est encore perfectible puisque la commutation de la diode à l'ouverture n'est pas totalement déterminée par le modèle de Tseng et de Lauritzen. Après plusieurs recherches, nous avons conclu que ces légères divergences pouvaient être occultés en redéfinissant le formalisme de la capacité de jonction.

3.5.4 Redéfinition de la capacité de jonction

Lors de la définition du comportement dynamique de la diode (cf. eq. 3.7), nous avons remarqué que le formalisme SPICE de la capacité de jonction admettait une singularité lorsque $V_d=V_j$, et que l'introduction du paramètre FC permettait de contourner ce problème. Cependant, lorsque $V_d \geq V_j$, le modèle SPICE utilise une approximation linéaire de la capacité de jonction [77]. En conséquence, la capacité de jonction croît indéfiniment avec la tension, ce qui n'est pas physiquement correct. En réalité, cette capacité augmente avec la tension aux bornes de la diode jusqu'à atteindre un maximum lorsque $V_d=V_j$, puis elle décroît de manière significative par la suite. De nombreux modèles ont été élaborés pour pallier les déficiences du modèle SPICE [163]-[164]-[165]. Parmi ces formalismes, nous avons fait le choix d'implanter le modèle proposé par De Graaff et Klassen [165] dans notre programme d'extraction de paramètres car son approche est simple et générale. De plus, ce modèle nous évite de procéder à des ajustements sur les équations et les paramètres relatifs aux profils physiques de la jonction [163],[164]. Ainsi, selon le formalisme de De Graaff et Klassen, le comportement de la capacité de jonction peut être évalué grâce aux équations suivantes :

$$Q_j = \frac{C_{j0}}{1-M} \left(1 - \left(\frac{V_j - V_d}{2V_j} + \frac{1}{2} \sqrt{\left(\frac{V_j - V_d}{V_j} \right)^2 + K} \right)^{1-M} \right) \quad (3.33)$$

$$C_j = \frac{\partial Q_j}{\partial V_d} = C_{j0} \frac{\left(V_j - V_d + \sqrt{V_j^2 - 2V_j V_d + V_d^2 + K V_j^2} \right)^{1-M}}{2^{1-M} V_j^{-M} \sqrt{V_j^2 - 2V_j V_d + V_d^2 + K V_j^2}}, \quad (3.34)$$

Les paramètres C_{j0} , M et V_j sont les mêmes que ceux définis lors de la description du modèle SPICE standard. Le terme K est un paramètre supplémentaire qui, lorsqu'il est nul, permet de retrouver le formalisme SPICE de base (cf. équation 3.7). La figure 3.30 compare le comportement du formalisme de De Graaff et Klaassen avec celui du modèle SPICE de base pour un ensemble de paramètres donnés.

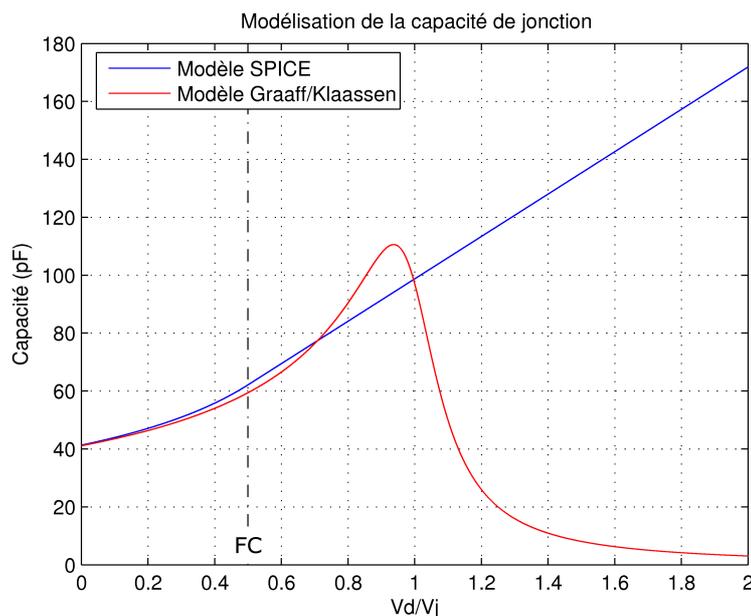


FIGURE 3.29 – Comparatif des formalismes SPICE et Graaff/Klaassen de la capacité de jonction

À titre indicatif, les valeurs des paramètres associés aux formalismes sont précisés dans le tableau suivant :

Paramètres	Modèle SPICE	Modèle de Graaff et Klaassen	Unité
C_{j0}	41,3	26,5	pF
V_j	0,6453	0,6417	V
M	0,5888	0,5489	-
FC	0,5	-NA-	-
K	-NA-	0,013	-

TABLE 3.9 – Confrontation des valeurs des paramètres issus du modèle SPICE et du modèle de De Graaff et Klaassen pour un cas d'étude

Les résultats présentés à la figure 3.30 confirment que lorsque $V_d > FCV_j$, la capacité de jonction définie dans le modèle SPICE croît linéairement avec la tension V_d . L'approche du formalisme de De Graaff et Klaassen est différent puisque la capacité tend vers un maximum qui

se situe autour de V_j puis diminue progressivement par la suite. Si nous examinons les valeurs des différents paramètres proposés dans le tableau 3.9, nous constatons que les valeurs de C_{j0} n'ont pas le même ordre de grandeur. Cela s'explique par le fait que dans le formalisme de De Graaff et Klaassen, la valeur de la capacité de jonction à polarisation nulle ($V_d=0V$) est désormais dépendante des paramètres C_{j0} , K et M comme le montre l'équation 3.35.

$$C_j = C_{j0} \frac{\left(V_j + \sqrt{V_j^2 + KV_j^2}\right)^{1-M}}{2^{1-M} V_j^{-M} \sqrt{V_j^2 + KV_j^2}} \quad (3.35)$$

Ainsi, la valeur de C_j pour $V_d=0V$ dans le formalisme de De Graaff et Klassen a été ajustée de manière à obtenir une valeur en cohérence avec le modèle SPICE de base, afin que la comparaison des résultats soit la plus pertinente possible.

Nous pouvons compléter la description du modèle de De Graaff et Klaassen en illustrant l'influence du paramètre K sur le comportement de la capacité de jonction.

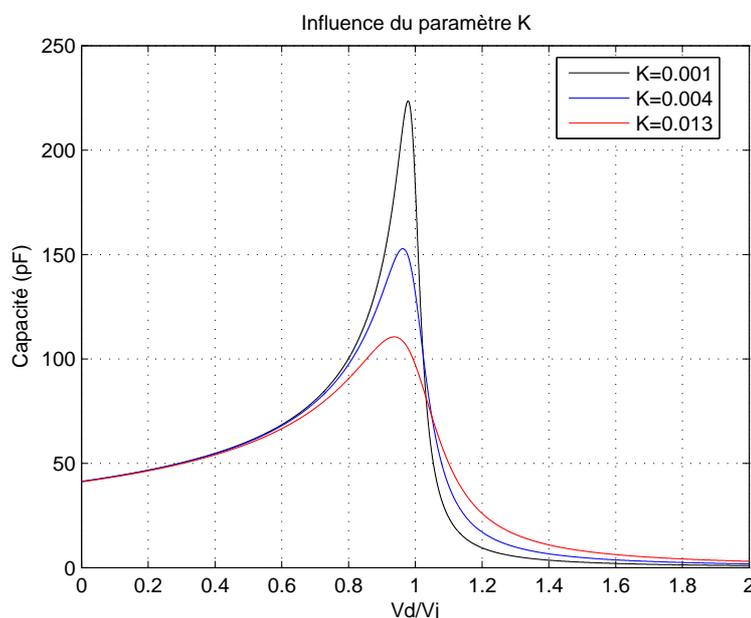


FIGURE 3.30 – Comparatif des formalismes SPICE et Graaff/Klaassen de la capacité de jonction

Concrètement, ce paramètre contrôle la forme et la valeur maximale de la capacité de jonction : plus K est faible et plus le pic est accentué.

Le programme d'extraction de paramètres a donc été mis à jour en fonction des remarques et des formalismes que nous venons d'exposer. Désormais, notre méthode d'extraction intègre les formalismes de De Graaff et Klaassen et de Tseng, et nous allons vérifier que ces deux concepts sont adaptés à notre étude. Pour cela, nous avons réalisé une nouvelle extraction de paramètres sur les résultats expérimentaux obtenus à partir de la diode PESD12VS1UB. Les valeurs des paramètres du modèle extrait sont présentées dans le tableau ci-dessous :

I_s (A)	N	C_{j0} (pF)	V_j (V)	M	K	T_t (ns)	ν_d	Y_o (S)	α (S/C)
3,571E-14	1,079	32,1	0,661	0,844	1,91E-4	122,73	0,171	9,131	4,95

TABLE 3.10 – Paramètres extraits avec le formalisme de Tseng/Graaff - NXP PESD12VS1UB

En utilisant les valeurs de ces différents paramètres dans une simulation SPICE du circuit de mesure, nous avons finalement analysé les prédictions du modèle de De Graaff/Klaassen dans les mêmes conditions que précédemment :

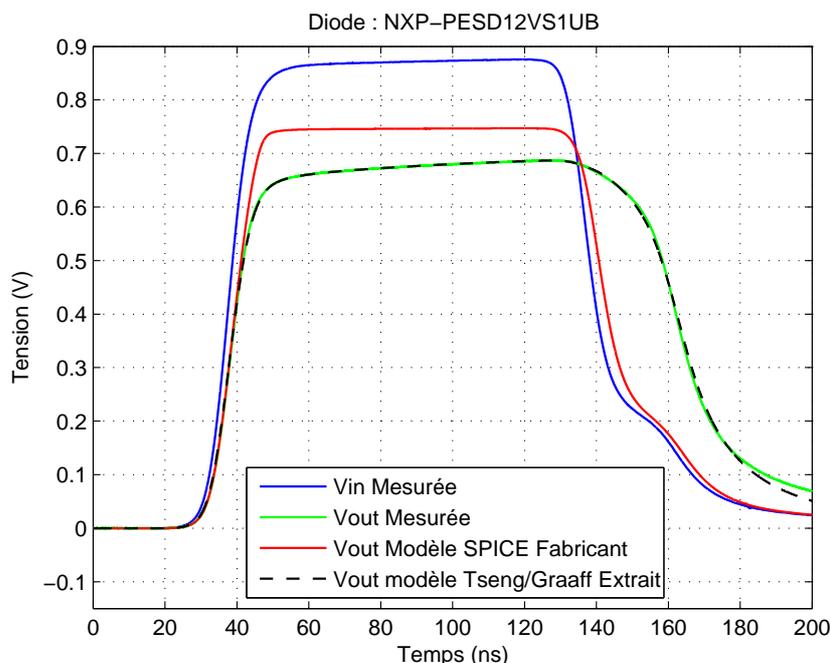


FIGURE 3.31 – Simulation SPICE avec le modèle de Tseng/Graaff - PESD12VS1UB

Les résultats de la simulation SPICE à partir des modèles de Tseng et de De Graaff et Klaassen donnent d'excellents résultats comme l'atteste la figure 3.31. La redéfinition de la capacité de jonction a été décisive car elle a permis de corriger les légères divergences constatées à la figure 3.28.

La redéfinition du formalisme de contrôle de charges et de la capacité de jonction ont permis d'améliorer significativement les prédictions du modèle SPICE de diode en régime transitoire. L'approche de ces nouveaux formalismes est extrêmement intéressante car elle est beaucoup plus proche du comportement physique de la diode. En effet, nous avons mis en évidence qu'il convient de ne pas négliger les phénomènes de recouvrement inverse et direct dans le cadre de notre étude, tout comme il est important d'adopter une description réaliste de la capacité de jonction.

Malgré les excellents résultats présentés à la figure 3.31, il est capital de vérifier que le modèle extrait est en mesure de reproduire des résultats expérimentaux dans le cas où la diode est excitée par des impulsions de différentes natures.

3.5.5 Validation de la méthodologie

Cette phase de validation a été menée sur le cas d'étude qui nous a servi pour construire le formalisme de notre modèle, à savoir la diode PESD12VS1UB du fabricant NXP. Pour chaque validation, les valeurs des paramètres du modèle de la diode sont celles déterminées précédemment (cf table 3.10). Sur le plan pratique, les impulsions que nous avons appliquées au circuit de mesure ont des temps de transition et des amplitudes différents de ceux utilisés pour la phase de modélisation. Le premier cas de validation a été réalisé en observant la réponse de la diode à une impulsion plus lente que la précédente. Ainsi la largeur de cette impulsion a été fixée à 300ns et les temps de transition à 50ns. De plus, nous avons augmenté l'amplitude de l'impulsion à 3V afin de se placer dans des conditions de fort courant direct. Les résultats de la simulation de cette configuration expérimentale sont exposés sur la figure 3.32.

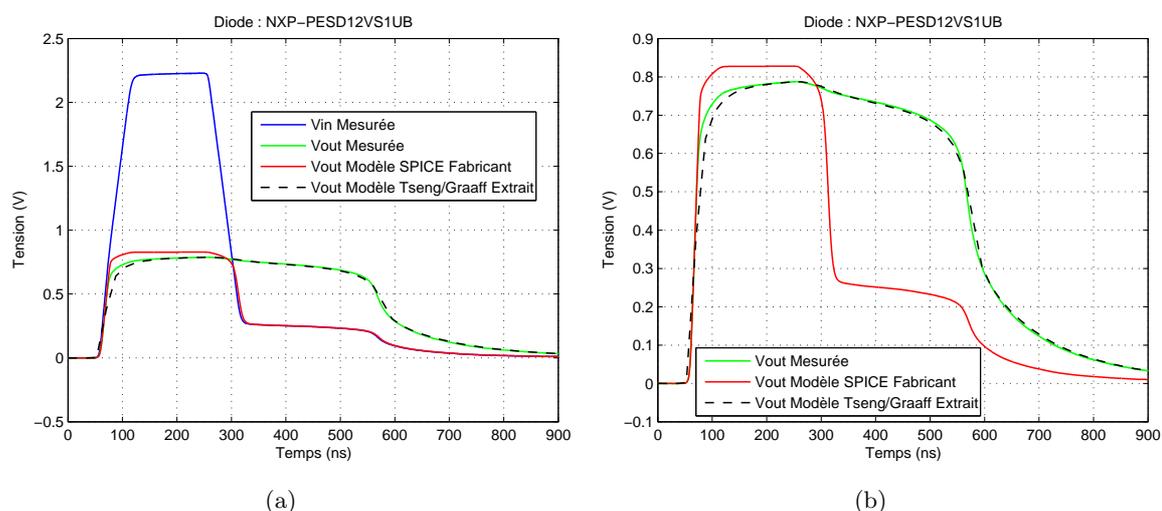


FIGURE 3.32 – Résultats de simulation et d'expérimentation avec une impulsion d'amplitude 3V et un temps de montée de 50ns - PESD12VS1UB - NXP

Les résultats obtenus avec le modèle de Tseng/Graaff prédisent avec une grande précision le comportement de la diode dans cette configuration expérimentale. Ce résultat confirme la robustesse de notre modélisation et démontre que les valeurs extraites avec une impulsion d'amplitude 1V peuvent s'appliquer à des cas où l'amplitude est plus élevée.

L'autre cas de validation s'est attaché à analyser le comportement de la diode lorsqu'elle est excitée par une impulsion très courte et très rapide. Lors de la phase expérimentale, le générateur Picosecond Pulse Labs a remplacé le générateur Agilent 33220A. L'intérêt d'utiliser ce générateur réside dans le fait qu'il est capable de produire des impulsions ayant des temps de transition beaucoup plus rapides que celles du générateur utilisé dans les études précédentes, typiquement 250ps. Ainsi, cette nouvelle mesure va de nouveau permettre de mettre à l'épreuve le modèle extrait auparavant. L'amplitude de l'impulsion a été paramétrée à 1V et sa largeur à 12ns. La figure 3.33 présente les résultats de la simulation SPICE du modèle qui a été extrait dans cette configuration de mesure.

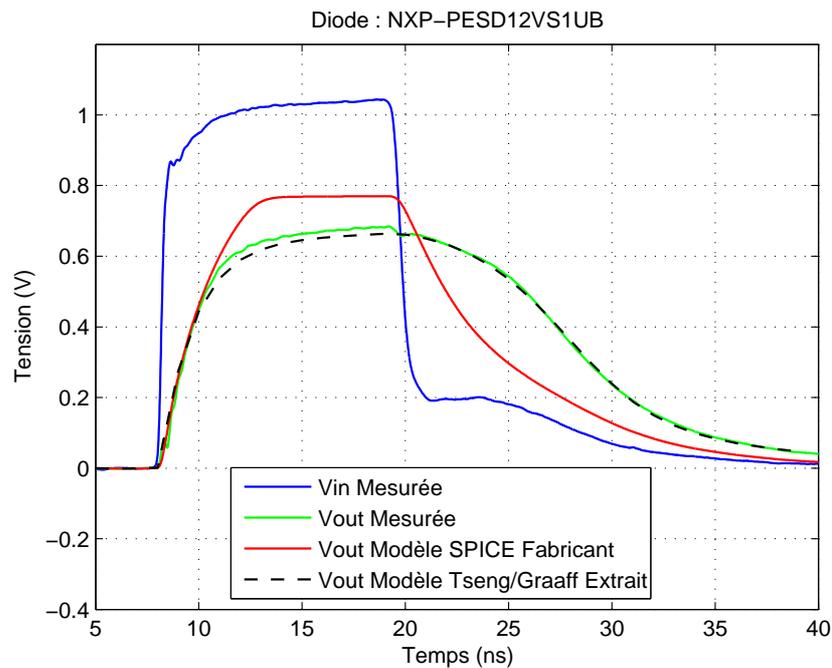


FIGURE 3.33 – Résultats de simulation et d'expérimentation avec une impulsion très rapide - PESD12VS1UB

Malgré les légères différences apparaissant sur le front ascendant et sur le palier de l'impulsion, le modèle de Tseng/Graaff donne, encore une fois, une très bonne reproduction du comportement physique de la diode, particulièrement dans la phase de commutation à l'ouverture. Globalement, on remarque que les prédictions du modèle de Tseng/Graaff sont bien meilleures que celles du modèle SPICE du fabricant. Cela démontre également que le domaine de validité du modèle extrait est assez large et que nous pouvons donc envisager l'étude de certaines protections dans le cas où elles doivent interagir avec des perturbations transitoires rapides dont les caractéristiques électriques se rapprochent des impulsions de type ULB.

La dernière validation a consisté à évaluer la pertinence de notre modèle dans le cas où la diode est excitée par un signal bipolaire. Cette configuration a pour intérêt d'évaluer le comportement de la diode en polarisation inverse. Cependant, les spécifications électriques des générateurs et des sondes de prélèvement ne permettent pas d'analyser le comportement des diodes dans leur région d'avalanche, ce qui limite la zone d'exploration en polarisation inverse. Dans ces conditions, la diode est dans un état bloqué, ce qui signifie qu'en l'absence de phénomène de conduction et de diffusion, son comportement peut être assimilé à une capacité qui est déterminée par la capacité de jonction. Ainsi, les investigations que nous allons mener sont tout de même constructives car elles vont nous permettre d'apprécier la pertinence du formalisme de la capacité de jonction en polarisation inverse.

Le circuit de mesure présenté à la figure 3.11 a été modifié et nous avons ajouté un différenciateur passif composé d'une résistance et d'une capacité afin de créer un signal bipolaire. Cet étage a donc été intégré dans notre circuit de mesure comme l'illustrent les figures 3.34(a) et 3.34(b) :

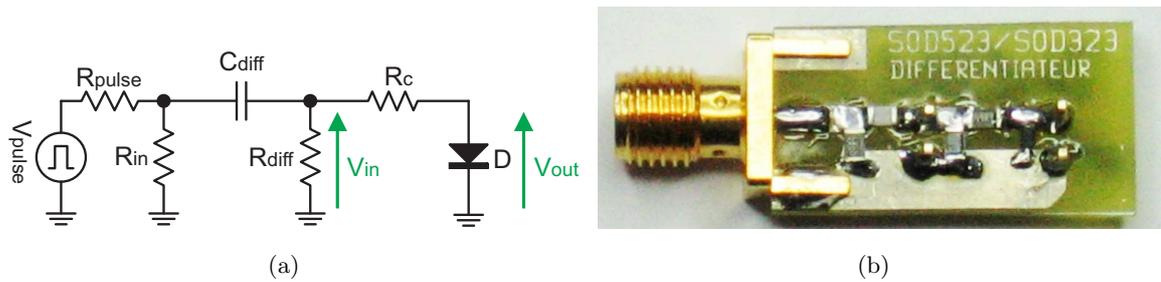


FIGURE 3.34 – (a) Schéma électrique du circuit de mesure intégrant le différenciateur passif ; (b) Circuit de mesure

Cette étage différenciateur est en réalité un filtre passe-haut dont les valeurs des éléments électriques R_{diff} et C_{diff} sont optimisées en fonction des caractéristiques électriques (amplitude et temps de transition) du signal bipolaire que nous souhaitons obtenir.

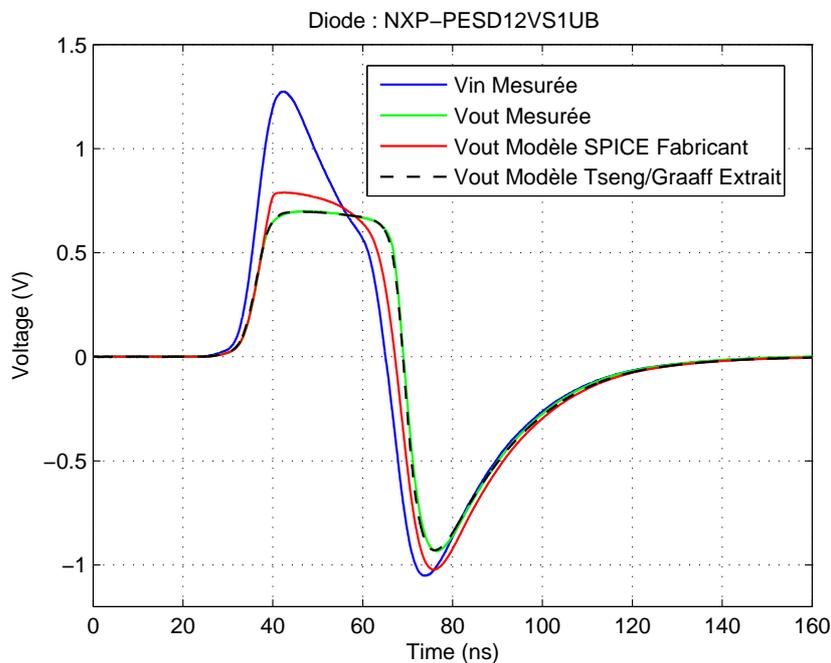


FIGURE 3.35 – Résultats de simulation et d'expérimentation avec une impulsion bipolaire - PESD12VS1UB

Les résultats présentés à la figure 3.35 démontrent une nouvelle fois que les prédictions du modèle extrait sont fiables. Bien qu'il n'y ait pas d'effet d'écrtage sur l'alternance négative de l'impulsion, ce cas d'étude reste cependant très intéressant car il permet de démontrer que le formalisme de De Graaff et Klaasen est adapté pour reproduire le comportement de la capacité de jonction en polarisation inverse (pour des tensions modérées).

3.6 Conclusion

L'analyse du comportement des diodes en régime transitoire nécessite de redéfinir en grande partie le modèle SPICE de base, et de mettre en place une méthodologie d'analyse basée sur des résultats expérimentaux. L'analyse transitoire du comportement dynamique des éléments de protection peut être réalisée à partir d'un seul et unique relevé de tensions. Cette méthode présente l'avantage d'éviter une série de mesures complexes (caractéristiques I/V et C/V), et surtout de permettre la mise en évidence des phénomènes de stockage de charges électriques et de temps de diffusion de ces charges, qui sont à l'origine des problèmes rencontrés. De plus, cette caractérisation ne nécessite pas de mesures transitoires additionnelles pour déterminer les caractéristiques de recouvrement.

Ces derniers phénomènes ne sont pas pris en compte dans les modèles fournis par le constructeur, mais il est impératif de prendre en considération ces phénomènes de recouvrement afin d'obtenir un modèle prédictif. Pour cela, le modèle de Tseng permet de considérer un formalisme de capacité de diffusion réaliste et physique. De plus, nous avons pu remarquer qu'une redéfinition du formalisme de la capacité de jonction était essentielle pour accroître la précision de nos résultats. Les modèles de Tseng et de De Graaff et Klaassen ont permis d'obtenir des résultats très encourageants sur le cas d'étude présenté. Il importe donc de réaliser d'autres expérimentations et pour cela nous proposons dans le dernier chapitre de ce manuscrit d'exporter notre méthodologie à l'analyse transitoire d'autres éléments de protection discrets. Nous compléterons également ces investigations en évaluant le comportement transitoire de certains étages de protection des circuits intégrés.

Chapitre 4 :

**Validation de la méthodologie et
étude du comportement des
éléments de protection en présence
de perturbations transitoires**

4.1 Introduction

Le but de ce chapitre est de démontrer que la procédure de modélisation décrite dans le troisième chapitre est adaptée à l'analyse du comportement des structures de protection lorsqu'elles sont soumises à des perturbations transitoires. Dans ce cas-là, ces protections sont actives et leur rôle est d'écrêter les tensions perturbatrices à un certain seuil pour ne pas affecter l'étage fonctionnel des circuits numériques. Indépendamment du type de protection à étudier, la première partie du travail consiste à extraire un modèle à partir de la réponse de la protection à un signal impulsionnel. La fiabilité du modèle extrait est par la suite évaluée en analysant le comportement de ces protections en présence de perturbations transitoires, le but étant avant tout d'évaluer le comportement dynamique de ces éléments en configuration de protection. Les caractéristiques des perturbations sont définies suivant les objectifs de cette étude, et par conséquent, nous avons cherché à générer des perturbations ayant une allure temporelle assez proche d'une perturbation de type ULB. Concernant les différents types de protection explorés, nous avons choisi d'appliquer cette étude aux éléments qui ont été décrits dans le second chapitre de ce manuscrit. Les premiers travaux ont consisté à étudier le cas de protections discrètes (de type "Off-Chip") qui sont généralement placées directement sur les circuits imprimés en amont ou en aval des circuits intégrés numériques. Puis nous avons orienté nos recherches sur l'étude de protection de type "On-Chip". Quel que soit le type de protection étudié, une confrontation directe des résultats de simulation avec ceux issus de la phase expérimentale sera présentée. Ce chapitre est composé de deux parties bien distinctes : une première partie sur la validation de notre méthodologie de modélisation à différents types de protection et une seconde sur l'analyse du comportement des protections face à des perturbations transitoires.

4.2 Validation de la méthodologie

4.2.1 Modélisation de protections discrètes

La gamme des protections discrètes étant très large, nous avons limité nos investigations à des protections discrètes qui ont été spécialement conçues pour assurer un certain niveau de protection contre les décharges électrostatiques et les transitoires rapides. La méthodologie de modélisation, basée sur le formalisme de Tseng/Graaff, a été appliquée à différents types de diodes, comme des diodes Zener, des diodes Schottky et des supresseurs de transitoires (TVS).

4.2.1.1 Diodes TVS

La diode qui a servi de support pour présenter notre méthodologie dans le troisième chapitre de ce manuscrit était une diode de protection contre les surtensions transitoires (PESD12VS1UB de NXP). Cependant, nous avons voulu compléter notre analyse sur ce type de protection en modélisant le comportement transitoire de la diode UCLAMP1201H du fabricant Semtech. Cette diode est une protection unidirectionnelle qui a été spécialement conçue pour protéger les circuits sensibles des perturbations ESD. Les caractéristiques électriques de cette diode sont résumées ci-dessous :

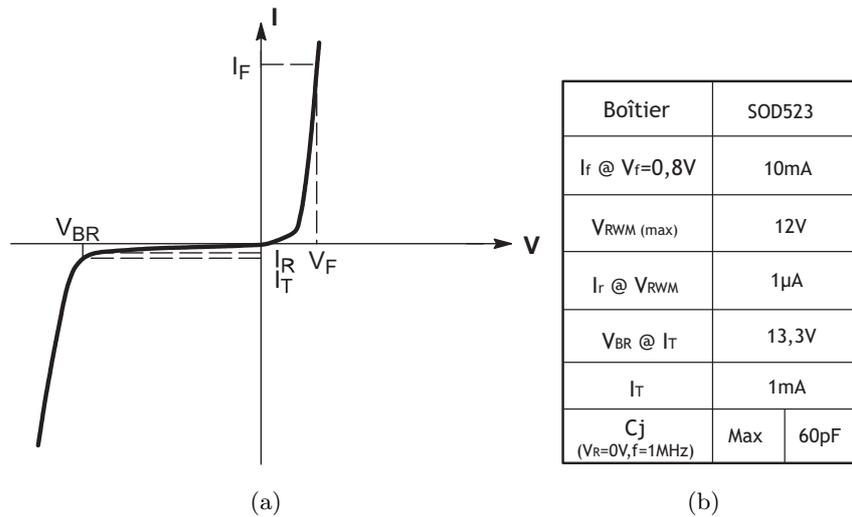


FIGURE 4.1 – (a) Définition des paramètres; (b) Caractéristiques électriques de la diode TVS Semtech UCLAMP1201H

L'une des raisons pour laquelle nous avons choisi de travailler avec cette diode provient du fait que le fabricant met à disposition un modèle SPICE relativement complet ce qui permet d'avoir une première estimation des différentes valeurs des paramètres à extraire ($I_s=1,48E-14A$, $N=1,1$, $C_{j0}=52pF$, $V_j=0,723V$, $M=0,268$, $T_i=2,541ns$, $R_s=0,772\Omega$). D'ailleurs, avant de présenter les résultats de cette extraction, nous allons évaluer le comportement capacitif à bas niveau de cette diode en adoptant la méthodologie développée précédemment.

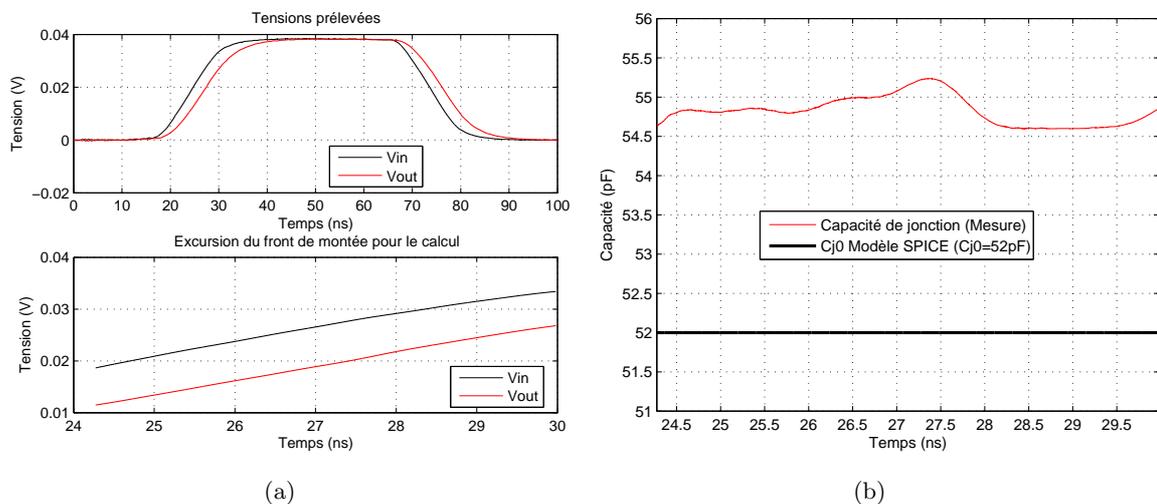


FIGURE 4.2 – (a) Allure temporelle des signaux $V_{in}(t)$ et $V_{out}(t)$; (b) Estimation de la capacité de jonction à bas niveau - TVS Semtech UCLAMP1201H

Les résultats exposés à la figure 4.2 confirment une nouvelle fois que cette méthode est relativement efficace pour obtenir une bonne approximation de la capacité parasite de la diode à bas niveau puisque les valeurs calculées avoisinent la valeur du paramètre C_{j0} du modèle SPICE du fabricant.

Par la suite, la méthode d'extraction de paramètres a été appliquée à cette diode et les valeurs des

paramètres qui ont été extraits en polarisation directe sont résumées dans le tableau ci-dessous :

I_s (A)	N	C_{j0} (pF)	V_j (V)	M	K	T_t (ns)	ν_d	Y_0 (S)	α (S/C)
117,718E-18	0,904	34,345	0,707	1,024	88,575E-6	45,402	0,458	20,444	5,506

TABLE 4.1 – Paramètres extraits avec le formalisme de Tseng/Graaff - TVS Semtech UCLAMP1201H

Le tableau 4.1 ne propose pas de comparer les valeurs des paramètres extraits avec ceux du modèle SPICE du fabricant. La méthode d'extraction a largement revisité le modèle SPICE de base, ce qui rend les comparaisons plus difficiles.

Malgré cela, nous avons vérifié la fiabilité de nos résultats en réalisant une simulation SPICE du circuit de mesure avec le modèle extrait. La figure 4.3 compare les résultats issus du modèle extrait avec les résultats expérimentaux et les résultats de simulation provenant du modèle SPICE du fabricant.

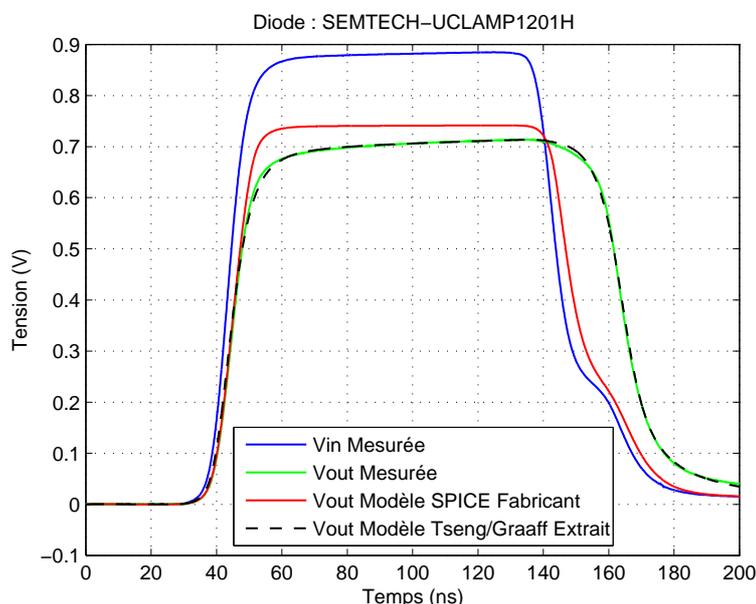


FIGURE 4.3 – Simulation SPICE avec le modèle de Tseng/Graaff - TVS Semtech UCLAMP1201H

Les conclusions que nous pouvons émettre dans ce cas d'étude sont extrêmement similaires à celles énoncées lors de la validation de notre méthodologie pour la diode PESD12VS1UB, à savoir que les résultats de la simulation SPICE des paramètres extraits à partir des formalismes de Tseng et de Graaff/Klaassen sont en très bon accord avec les résultats expérimentaux. De plus, la simulation SPICE du modèle que nous avons extrait confirme une nouvelle fois que notre modélisation offre de bien meilleurs résultats que le modèle SPICE de base. Cependant, il est essentiel de démontrer que cette méthodologie peut être appliquée à d'autres types de diode présentant des caractéristiques électriques différentes, comme les diodes Zener, par exemple.

4.2.1.2 Diodes “Zener”

Les diodes Zener ont la particularité d’être utilisées en polarisation inverse et elles sont conçues de façon à ne laisser passer le courant inverse que si la tension aux bornes de la diode atteint la tension Zener. En fonction des propriétés de la diode et de son application finale, cette tension Zener peut varier de quelques volts à quelques centaines de volts. Par rapport à cela, la faible dynamique en tension des sondes actives de l’oscilloscope ($\pm 4V$) et les caractéristiques de notre générateur font que notre banc de mesure n’est pas idéalement adapté à la caractérisation complète de ces diodes (polarisation directe et inverse). Cependant, ces dernières années, les concepteurs ont réalisé de nombreux efforts technologiques pour tenter de diminuer la tension Zener. Désormais il est coutumier de trouver sur le marché des semi-conducteurs des diodes Zener basse tension, comme la diode MMSZ4678LT1 du fabricant On Semiconductor qui a une tension Zener de 1,8V.

Les caractéristiques électriques de cette diode sont illustrées ci-dessous :

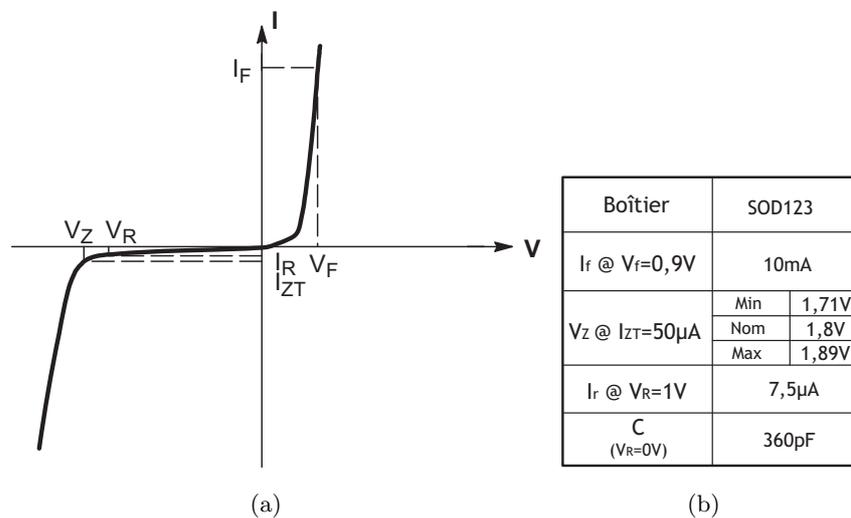


FIGURE 4.4 – (a) Définition des paramètres; (b) Caractéristiques électriques de la diode Zener ON Semiconductor MMSZ4678T1G

A titre indicatif, le fabricant propose un modèle SPICE qui se distingue des autres diodes. En effet, ce modèle est décrit sous la forme d’un sous-circuit dans lequel les différents états de la diode sont modélisés à l’aide de différents éléments électriques tels que des diodes élémentaires et des générateurs de tension.

La caractérisation complète de cette diode a nécessité une légère modification du circuit de mesure. En effet, nous avons ajouté un étage différenciateur au circuit de base à l’image de ce qui a été réalisé lors de la validation du modèle de la diode PESD12VS1UB avec un signal bipolaire (cf. section 3.5.5). Cette configuration est parfaitement adaptée à la diode Zener que nous étudions car à partir d’un seul prélèvement, nous allons pouvoir explorer son comportement en phase de conduction directe et inverse.

De même que pour la diode UCLAMP1201H, nous avons débuté nos investigations en estimant la capacité parasite à bas-niveau. D’après le modèle SPICE délivré par le fabricant, la capacité de jonction à polarisation nulle de cette diode est relativement élevée ($C_{j0}=400pF$). Les résultats

de cette expérience sont exposés à la figure 4.5.

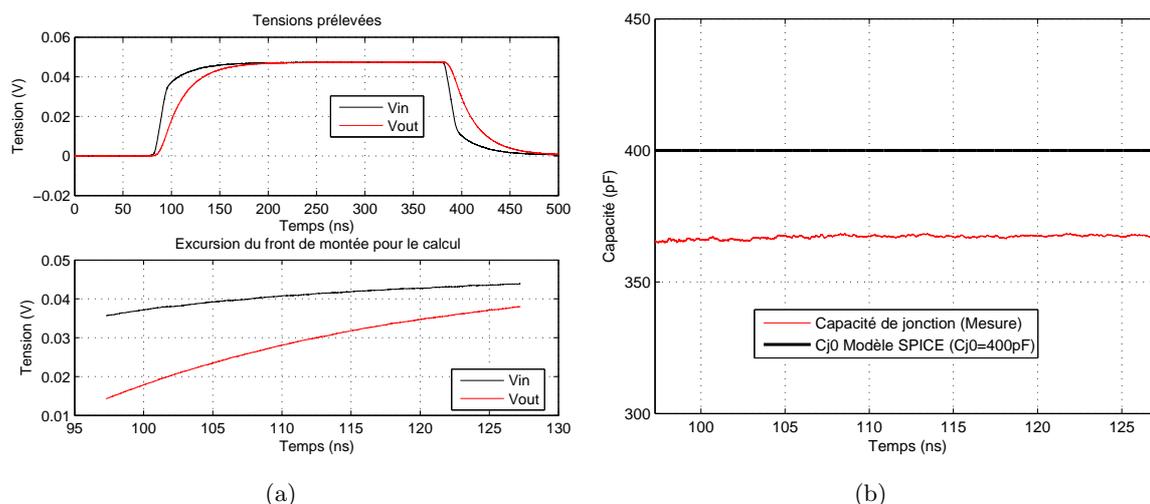


FIGURE 4.5 – (a) Allure temporelle des signaux $V_{in}(t)$ et $V_{out}(t)$; (b) Estimation de la capacité de jonction à bas niveau - Zener ON Semiconductor MMSZ4678LT1G

Par rapport à la valeur du paramètre C_{j0} , nous remarquons que les résultats obtenus avec notre méthodologie sous-estiment la capacité de jonction à bas niveau. Néanmoins, nous considérons que ces résultats sont tout à fait admissibles car l'ordre de grandeur est respecté. N'oublions pas également que cette méthode n'est pas exacte et qu'elle est fondée sur un certain nombre d'approximations.

L'étape suivante a consisté à évaluer le comportement de cette diode lorsqu'elle entre en phase de conduction directe et inverse. Compte tenu de la forte valeur de la capacité de jonction, nous avons été contraints de modifier les caractéristiques électriques de l'impulsion que nous injectons à l'entrée du circuit. Plus précisément, nous avons augmenté la largeur de notre impulsion afin que le cycle de charge/décharge de la diode soit totalement exploré et que les zones de régime établi soient suffisamment significatives. Concernant la méthode d'extraction, nous avons complété le cœur analytique de notre programme en intégrant le formalisme SPICE du courant en zone d'avalanche (cf. équation 3.3) ce qui revient à extraire deux nouveaux paramètres : BV et I_{BV} . Les valeurs des paramètres extraits relatifs à cette diode sont détaillées dans le tableau ci-dessous :

I_s (A)	N	C_{j0} (pF)	V_j (V)	M	K
574,8E-12	1,746	375,34	0,741	0,912	132,2E-9
T_t (ns)	ν_d	Y_0 (S)	α (S/C)	BV (V)	I_{BV} (A)
140,05	2,721	2,421	0,697	2,823	15,384E-3

TABLE 4.2 – Paramètres extraits avec le formalisme de Tseng/Graaff - Zener ON Semiconductor MMSZ4678T1G

Nous avons réalisé une simulation SPICE du circuit de mesure dans laquelle nous avons comparé les prédictions du modèle SPICE fabricant avec le modèle de Tseng/Graaff extrait. Ces différents résultats sont présentés sur la figure 4.6.

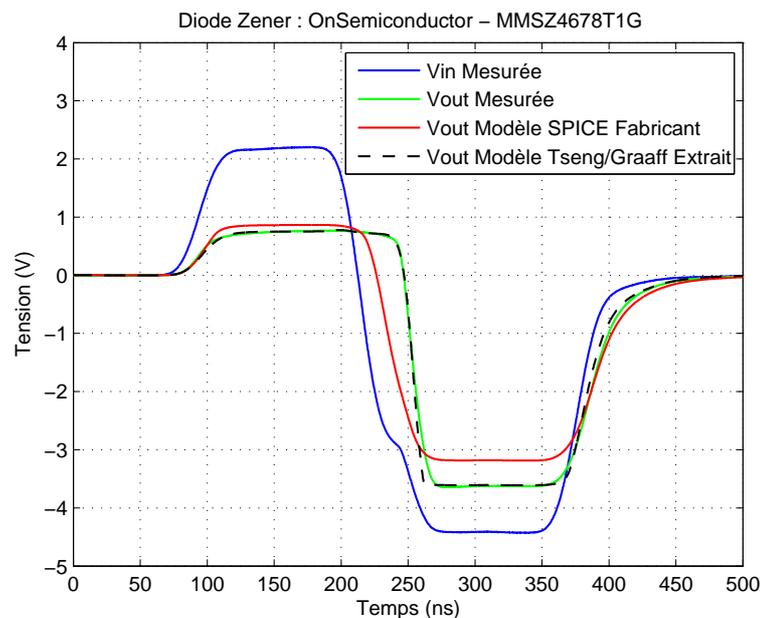


FIGURE 4.6 – Résultats de simulation et d’expérimentation avec une impulsion bipolaire - Zener ON Semiconductor MMSZ4678LT1G

A première vue, nous remarquons que le modèle SPICE de base est peu performant dans ce type d’analyse tandis que les prédictions du modèle de Tseng/Graaff extrait concordent convenablement avec les résultats expérimentaux. Nous pouvons compléter cette remarque en interprétant plus précisément les résultats sur chacune des alternances du signal bipolaire. Pour cela, les figures 4.7(a) et 4.7(b) vont nous servir de référence.

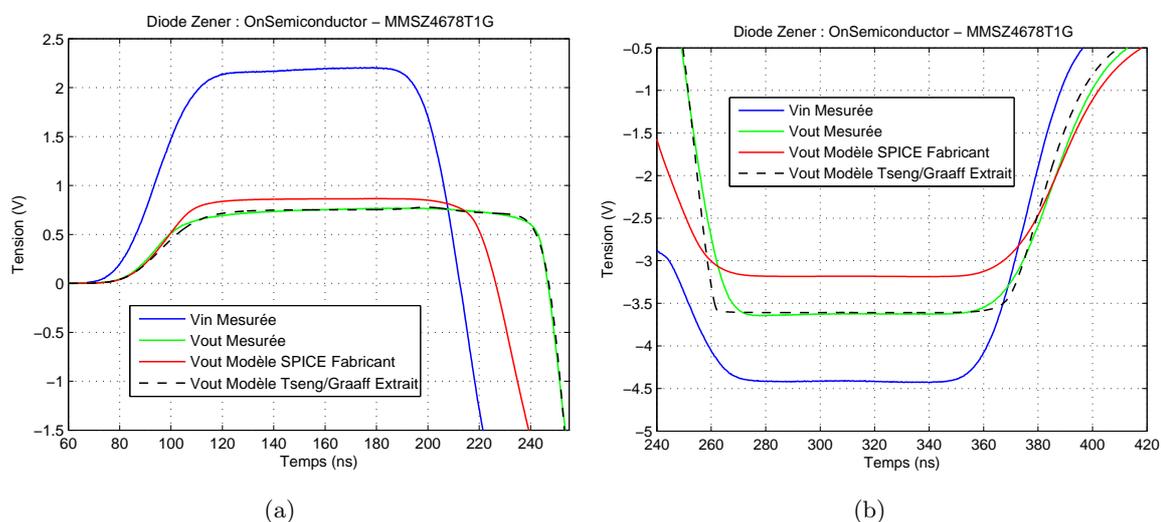


FIGURE 4.7 – (a) Alternance positive; (b) Alternance négative - Zener ON Semiconductor MMSZ4678LT1G

La figure 4.7(a) permet d’apprécier la phase d’écrtage de la diode en polarisation directe et démontre en même temps l’excellente aptitude du modèle de Tseng/Graaff à reproduire le phénomène. D’un point de vue physique, la diode s’apparente dans cette phase au comportement

d'une diode classique avec un seuil de déclenchement proche des 0,6V-0,7V typiques. Nous pouvons également en profiter pour remarquer que le retard entre le signal d'entrée et le signal de sortie confirme la présence d'une capacité parasite de forte valeur. Si nous nous attardons maintenant sur la phase d'écroulement de l'alternance négative du signal bipolaire (cf. figure 4.7(b)), nous nous apercevons qu'il subsiste des divergences mineures entre les prédictions du modèle de Tseng/Graaff et les résultats expérimentaux. Ces différences proviennent du formalisme SPICE utilisé pour modéliser les phénomènes d'avalanche qui nécessite d'être complété. En effet, il existe plusieurs formalismes plus ou moins complexes pour décrire la conduction inverse, et ce point sera exploré à l'avenir. Comme nous avons pu l'énoncer dans le troisième chapitre, plusieurs diodes sont souvent nécessaires pour modéliser finement le comportement des diodes Zener. Toutefois, dans notre contexte, les phénomènes d'avalanche représentent des cas d'étude inhabituels compte tenu des spécifications électriques de notre banc de mesure, et l'association du formalisme de l'équation 3.3 avec le modèle de Tseng/Graaff permet d'obtenir des résultats tout à fait corrects et cohérents.

4.2.1.3 Diodes Schottky

Les diodes Schottky se différencient des diodes PN par le fait qu'elles ont un seuil de conduction en polarisation directe beaucoup plus bas (de 0,15V à 0,45V). De plus, ces diodes sont très souvent conçues pour fonctionner en régime de commutation ce qui signifie qu'elles ont des temps de recouvrement inverse très faibles. Ces spécificités font que ce type de diode est largement utilisé dans le monde de l'électronique de puissance car elles engendrent de faibles pertes par commutation. La diode que nous avons choisi d'étudier est la 1PS76SB40 du fabricant NXP et ses caractéristiques électriques sont données ci-dessous :

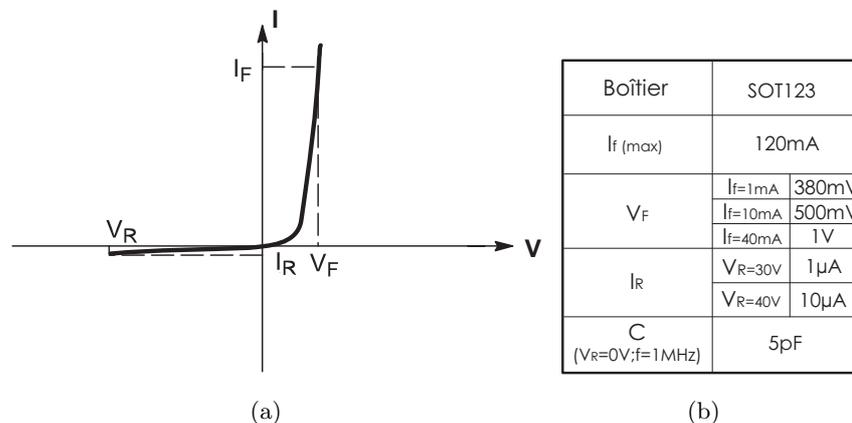


FIGURE 4.8 – (a) Définition des paramètres; (b) Caractéristiques électriques de la diode Schottky NXP 1PS76SB40

A travers le modèle SPICE de cette diode ($I_s=1,419\text{E-}08\text{A}$, $N=1,025$, $C_{j0}=4,046\text{pF}$, $V_j=0,323\text{V}$, $M=0,4154$, $T_t=0\text{s}$, $R_s=4,942\Omega$), nous remarquons qu'elle présente une faible capacité parasite. Ce dernier point est très intéressant car nous allons pouvoir démontrer une nouvelle fois l'efficacité de notre méthodologie pour évaluer la capacité de jonction à bas niveau.

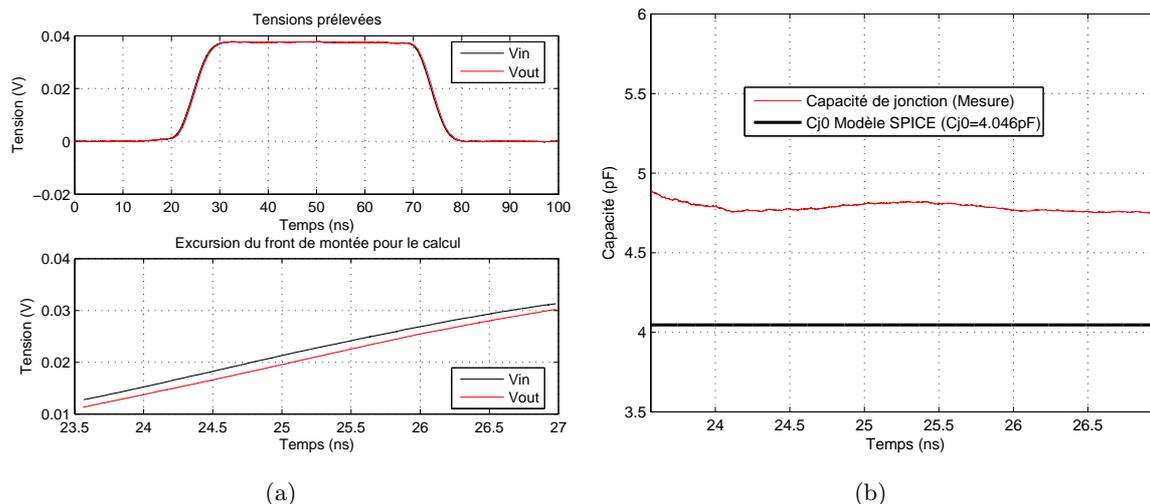


FIGURE 4.9 – (a) Allure temporelle des signaux $V_{in}(t)$ et $V_{out}(t)$; (b) Estimation de la capacité de jonction à bas niveau - Schottky NXP 1PS76SB40

Les résultats sont à nouveau très encourageants et l'on remarque que la valeur estimée est assez proche de la valeur du paramètre C_{j0} fourni dans le modèle SPICE du fabricant. Nous avons cherché à modéliser le comportement de la diode en phase de commutation et nous lui avons appliqué une impulsion d'amplitude 2V. Les résultats expérimentaux ont été injectés dans la procédure d'extraction de paramètres et nous avons obtenu les valeurs suivantes :

I_s (A)	N	C_{j0} (pF)	V_j (V)	M	K	T_t (ns)	ν_a	Y_0 (mS)	α (GS/C)
52,71E-9	1,017	3,095	0,509	0,641	1,921E-2	692,8	14,588	144	1,908

TABLE 4.3 – Paramètres extraits avec le formalisme de Tseng/Graaff - Schottky NXP 1PS76SB40

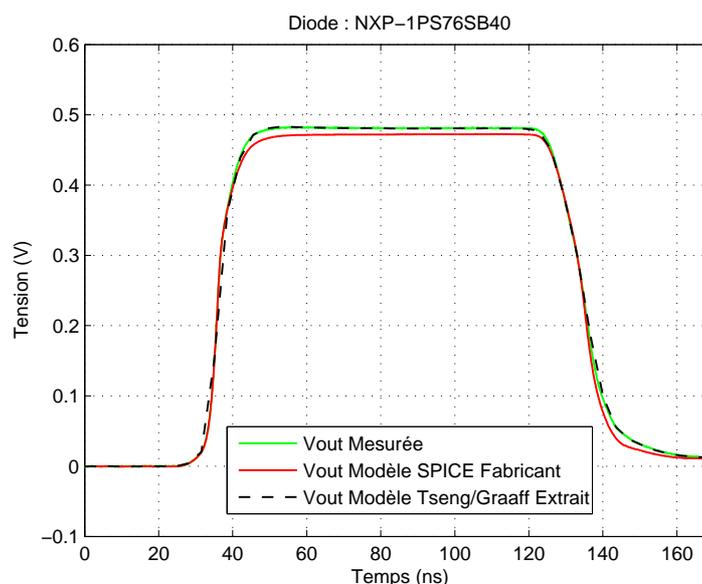


FIGURE 4.10 – Simulation SPICE avec le modèle de Tseng/Graaff - Schottky NXP 1PS76SB40

Le modèle présenté à la table 4.3 a été intégré dans une simulation SPICE du circuit de mesure et les courbes proposées à la figure 4.10 permettent de comparer les différents résultats obtenus en simulation avec les résultats expérimentaux. A l'inverse des diodes précédemment étudiées, les prédictions du modèle SPICE du fabricant sont relativement exactes. Cela s'explique principalement par la quasi-inexistence des phénomènes de recouvrement, ce qui confirme les bonnes dispositions de cette diode à fonctionner en régime de commutation. Néanmoins, les résultats issus du modèle de Tseng/Graaff extrait sont plus fidèles aux résultats expérimentaux.

4.2.1.4 Diode illustrant le phénomène de recouvrement direct

Parmi les différentes diodes que nous avons étudiées, nous avons remarqué que certaines d'entre elles présentaient des comportements typiques de recouvrement direct. La description de ce phénomène dans le troisième chapitre de ce manuscrit nous a permis de souligner que le modèle de Tseng intégrait cette particularité dans son formalisme. Afin d'illustrer ce phénomène, nous avons analysé la réponse en régime transitoire de la diode de commutation BAV99LT1G du fabricant ON Semiconductor, dont les caractéristiques électriques sont les suivantes :

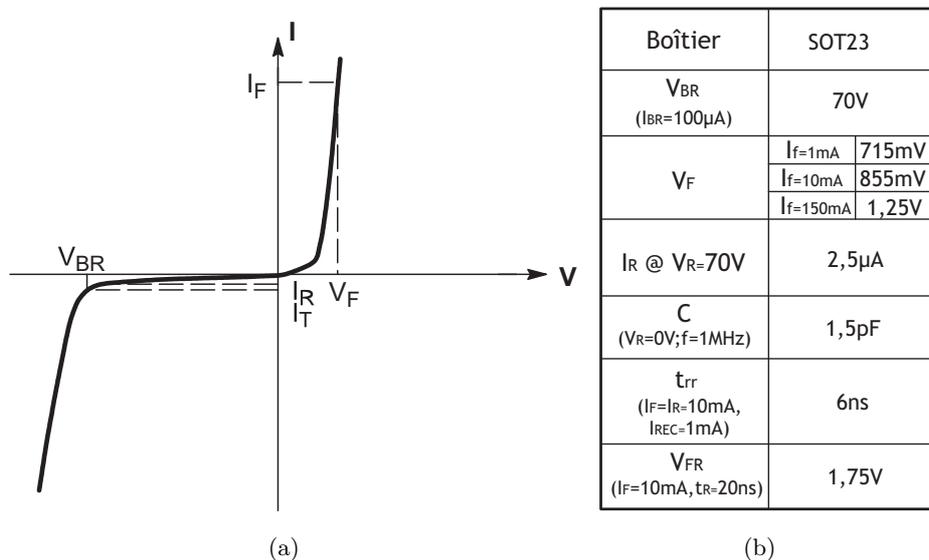


FIGURE 4.11 – (a) Définition des paramètres; (b) Caractéristiques électriques de la diode ON Semiconductor BAV99LT1G

La procédure d'extraction de paramètres a fourni les résultats suivants :

I_s (A)	N	C_{jo} (pF)	V_j (V)	M	K	T_t (ns)	ν_d	Y_0 (mS)	α (GS/C)
497,77E-12	1,555	3,403	0,929	0,782	0,445	4,204	1,518	1,264	17,025

TABLE 4.4 – Paramètres extraits avec le formalisme de Tseng/Graaff - ON Semiconductor BAV99LT1G

Les paramètres sur lesquels nous devons porter attention dans cette analyse sont les paramètres relatifs à la modélisation du recouvrement direct : Y_0 et α . Si nous comparons les valeurs de ces paramètres avec un autre cas d'étude (notamment où le phénomène de recouvrement direct est inexistant), nous remarquons que la conductance Y_0 est plus faible, ce qui

signifie que la résistance intrinsèque de la diode au début de la commutation à la fermeture est plus importante (cf. équation 3.31), et que le paramètre α est nettement plus élevé (de plusieurs ordre de grandeur). La forte valeur de α confirme la présence du phénomène de recouvrement direct. La figure 4.12 présente les allures temporelles de la tension aux bornes de la diode et compare les résultats de simulation avec les résultats expérimentaux.

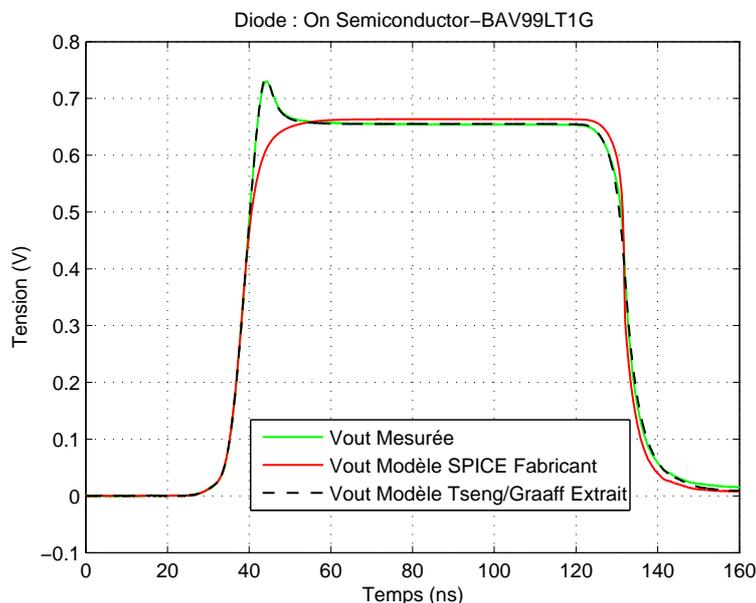


FIGURE 4.12 – Simulation SPICE avec le modèle de Tseng/Graaff - ON Semiconductor BAV99LT1G

Lors de la mise en conduction de la diode, on observe très clairement un pic de tension sur le front de montée de l'impulsion qui est typique du phénomène de recouvrement direct. La présence de cette surtension dépend de la vitesse d'établissement du courant et par conséquent des temps de transition de l'impulsion. Plus les temps de transition sont rapides et plus la surtension est manifeste.

Cependant, avant d'affirmer que l'origine de cette surtension est liée au phénomène de recouvrement direct, nous avons tout de même effectué différentes simulations et expérimentations afin de nous assurer que les éléments parasites inductifs et capacitifs du circuit de mesure n'étaient pas en cause. Pour cela, les résistances R_c et R_{in} ont été remplacées par des résistances HF 50Ω (Vishay série FC, boîtier 0402, 0.1% de tolérance). Ces résistances ont la particularité d'avoir été spécialement conçues pour les hautes fréquences en utilisant une technologie spécifique (couches minces) afin de limiter les effets parasites des terminaisons et du substrat, et pour garantir une stabilité de la valeur nominale sur une large bande fréquentielle. Le comportement et le modèle hyperfréquence de ces résistances sont illustrés dans la figure ci-dessous :

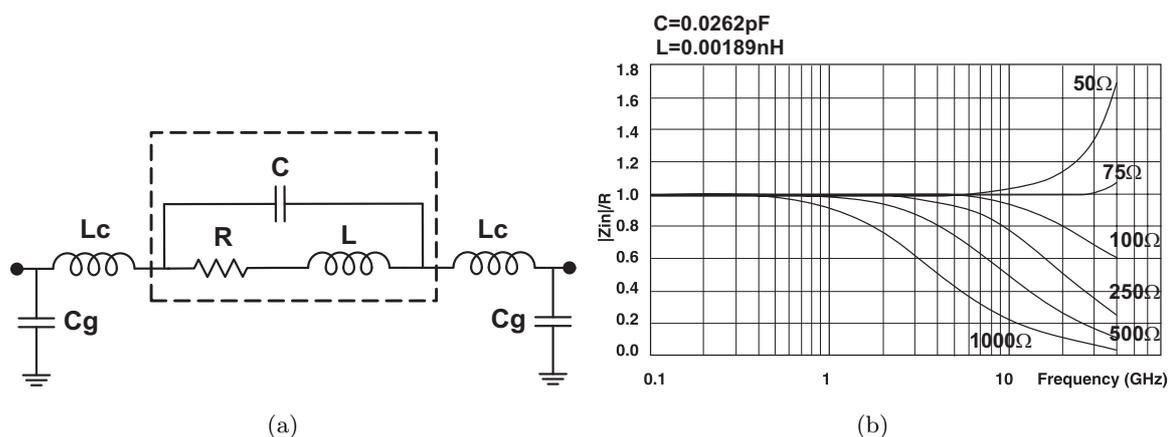


FIGURE 4.13 – (a) Modèle hyperfréquence d’une résistance [166] ; (b) Comportement hyperfréquence d’une résistance [166]

Le modèle de résistance présenté à la figure 4.13 est donné par le fabricant de ces résistances [166]. Ce modèle inclut les effets capacitifs introduit par le diélectrique du boîtier (C) et les effets inductifs liés à la technologie de conception de la résistance (L). A titre indicatif, les valeurs des éléments parasites des résistances utilisées sont les suivantes : $L_{res}=1,9\text{pH}$ et $C_{res}=26,2\text{fF}$ en configuration flip-chip. Par ailleurs nous avons également réalisé des efforts dans la conception et l’agencement du circuit de mesure afin d’intégrer les résistances HF. Ces ajustements ont permis de réduire le dimensionnement des pistes et ainsi de diminuer les éléments parasites du circuit de mesure. Les figures 4.14(a) et 4.14(b) illustrent les deux circuits de mesure réalisés pour cette expérience :



FIGURE 4.14 – (a) Circuit de mesure classique ; (b) Circuit de mesure avec intégration des résistances HF

Le circuit de la figure 4.14(a) est le circuit de mesure classique, utilisé dans les précédentes études. Le circuit de la figure 4.14(b) est le nouveau circuit de mesure intégrant les résistances HF. A partir de ce circuit, nous avons réalisé de nouvelles mesures, et nous avons choisi de comparer ci-dessous les résultats de la simulation SPICE, dans laquelle nous avons intégré les résultats expérimentaux, obtenus avec chaque circuit de mesure.

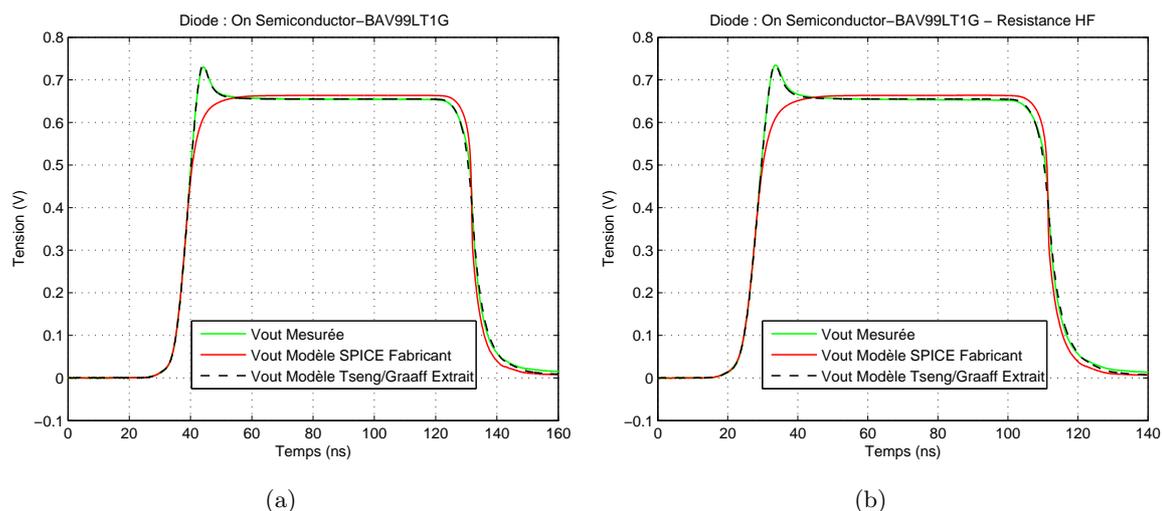


FIGURE 4.15 – (a) Circuit de mesure classique; (b) Simulation SPICE avec le modèle de Tseng/Graaff et les résistances RF - ON Semiconductor BAV99LT1G

Le modèle de Tseng/Graaff utilisé dans les deux configurations est le modèle extrait à partir du circuit classique. Lors de la simulation du nouveau circuit, nous avons intégré le modèle des résistances exposé à la figure 4.13(a). En comparant donc les résultats présentés sur les figures 4.15(a) et 4.15(b), nous remarquons que l'intégration de nouvelles résistances HF n'a pas apporté de modifications particulières sur l'allure temporelle des signaux prélevés. En effet, la surtension présente les mêmes caractéristiques et nous pouvons donc éliminer toute hypothèse sur la responsabilité des éléments parasites des résistances et du circuit dans l'apparition de ce phénomène.

Ces investigations n'auraient pas été complètes sans prendre en considération les éléments parasites du boîtier de la diode (cf. annexe 2). Pour cela, nous avons réalisé différentes simulations sous SPICE afin de déterminer l'influence des éléments parasites du boîtier de la diode. Le schéma électrique retenu pour cette simulation est le suivant :

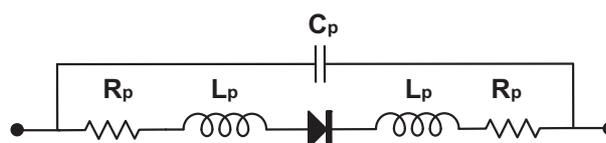


FIGURE 4.16 – Schéma électrique de la diode avec ses éléments parasites

Les éléments L_p et R_p représentent respectivement l'inductance et la résistance parasite dues à l'interconnexion (broche et fil de bonding) de la puce avec le boîtier. La capacité C_p symbolise la capacité parasite interne entre chaque interconnexion. Les simulations que nous avons réalisées ont consisté à mettre en évidence l'influence de l'inductance parasite du boîtier de la diode sur l'allure des signaux. Il en est ressorti que l'inductance parasite nécessaire pour engendrer la surtension constatée devait être supérieure à 100nH, ce qui est totalement disproportionné par rapport à la valeur usuelle de l'inductance parasite de ce style de boîtier (1nH). Par conséquent, le phénomène de recouvrement direct est le seul phénomène physique qui puisse être à l'origine

de cette surtension.

Quoiqu'il en soit, nous pouvons conclure sur cette partie en confirmant que le modèle de Tseng/Graaff est parfaitement en mesure de reproduire le phénomène de recouvrement direct. Quant au modèle SPICE du fabricant, il omet complètement cet effet tout en proposant un comportement assez fidèle aux résultats expérimentaux sur le reste des courbes.

4.2.1.5 Diode TVS de dernière génération

Le dernier cas d'étude a été réalisé sur une diode TVS. Ces diodes sont spécialement conçues pour écrêter les surtensions transitoires arrivant sur les parties sensibles des circuits électroniques. Parmi les différentes solutions de protection qui existent sur le marché, nous avons choisi de caractériser la diode ESD9L5.0ST5G du fabricant ON Semiconductor. Cette diode est une protection unidirectionnelle et elle présente d'excellentes caractéristiques électriques : très faible capacité parasite, faible courant de fuite, excellente réactivité.

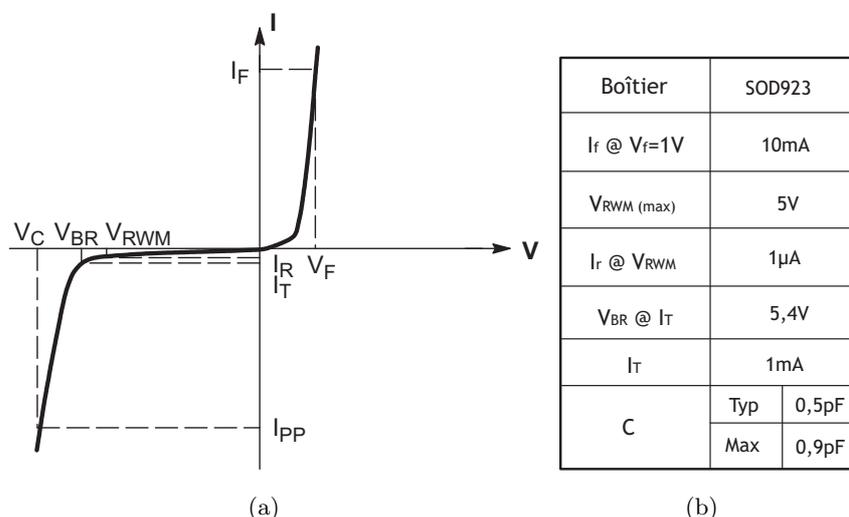


FIGURE 4.17 – (a) Définition des paramètres; (b) Caractéristiques électriques de la diode TVS ON Semiconductor ESD9L5.0ST5G

Grâce à sa faible capacité parasite, cette diode peut être introduite dans les interfaces de communication à haut débit et aux abords des lignes de transmission dans les circuits destinés à des applications HF.

Les résultats de l'extraction de paramètres, exposés dans la table 4.5, confirment qu'en l'absence de polarisation, cette diode présente une capacité parasite (C_{j0}) extrêmement faible.

I_s (A)	N	C_{j0} (pF)	V_j (V)	M	K	T_t (ns)	ν_d	Y_0 (mS)	α (GS/C)
53,408E-12	1,941	0,592	0,972	2,633	0,073	347,8	15,744E-3	3,08	2,319

TABLE 4.5 – Paramètres extraits avec le formalisme de Tseng/Graaff - TVS ON Semiconductor ESD9L5.0ST5G

Cependant, si la capacité de jonction est extrêmement faible, la valeur élevée du paramètre T_t signifie que la capacité de diffusion peut s'avérer importante dans certains cas. Afin d'apprécier

le comportement de cette diode en commutation nous avons réalisé une simulation SPICE du circuit de mesure avec le modèle de Tseng/Graaff extrait et le modèle fabricant. Les résultats de cette simulation sont exposés à la figure 4.18.

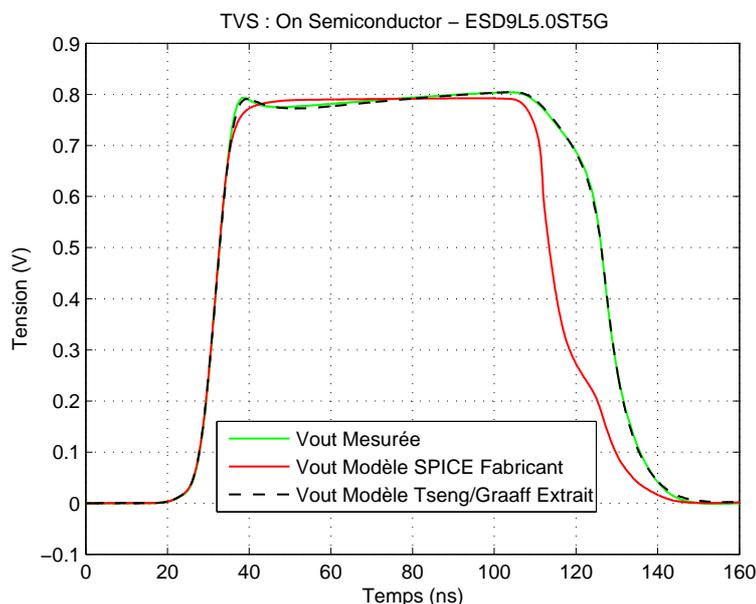


FIGURE 4.18 – Simulation SPICE avec le modèle de Tseng/Graaff - TVS ON Semiconductor ESD9L5.0ST5G

Les résultats de la simulation SPICE du circuit de mesure démontrent à nouveau que le modèle de Tseng/Graaff est beaucoup plus performant dans ce type d'analyse que le modèle SPICE du fabricant. De plus, le modèle extrait reproduit avec précision le comportement lié au phénomène de recouvrement direct. A l'image de la procédure qui a été réalisée sur la diode BAV99LT1G, nous avons vérifié que l'origine de cette surtension provenait bel et bien du comportement intrinsèque de la diode. Nous avons donc écarté les différentes hypothèses qui visaient à mettre en cause les éléments parasites du boîtier de la diode, du circuit et des résistances. Nous remarquons également que le phénomène de recouvrement inverse est particulièrement visible dans ce cas d'étude et qu'il est très correctement appréhendé par le modèle extrait.

4.2.1.6 Synthèse

Les différents cas d'études proposés dans cette première partie ont permis de démontrer que notre modélisation est particulièrement bien adaptée pour évaluer et reproduire le comportement des diodes en régime transitoire. Les phénomènes de recouvrement jouent un rôle plus ou moins prépondérant dans le comportement des diodes en transitoire et, dans le contexte de cette étude, il est clair que nous ne pouvons nous permettre de négliger leurs effets. Après avoir démontré que notre méthodologie fournit d'excellents résultats pour des protections discrètes, nous allons l'appliquer à la modélisation transitoire des étages de protection ESD des circuits intégrés.

4.2.2 Modélisation des étages de protection des circuits intégrés

4.2.2.1 Introduction

La modélisation des étages de protection ESD des circuits intégrés utilise la même procédure que celle définie pour les protections discrètes. Cette méthodologie est basée sur l'utilisation du modèle des diodes, ce qui peut paraître, à première vue, insuffisant pour modéliser les étages de protection du fait de la complexité de ces structures. Cependant, dans le second chapitre de ce manuscrit, nous avons démontré qu'il était possible d'assimiler le comportement statique de ces protections à celui des diodes. Pour cette raison, nous avons choisi d'appliquer notre méthodologie pour évaluer le comportement global de ces protections. Cette étude s'appuie sur des informations mises à disposition par les fabricants à travers le modèle IBIS. Ces modèles seront à chaque cas d'étude intégrés dans nos simulations afin d'observer leur validité et/ou leurs limites.

Pour être effective, cette étude nécessite une redéfinition du cœur de notre programme d'extraction. La principale évolution consiste à prendre en considération les éléments parasites des broches qui nous permettent d'accéder directement aux éléments de protection PowerClamp et GroundClamp. Pour rappel, le modèle IBIS définit l'étage d'entrée d'un circuit intégré selon le schéma suivant :

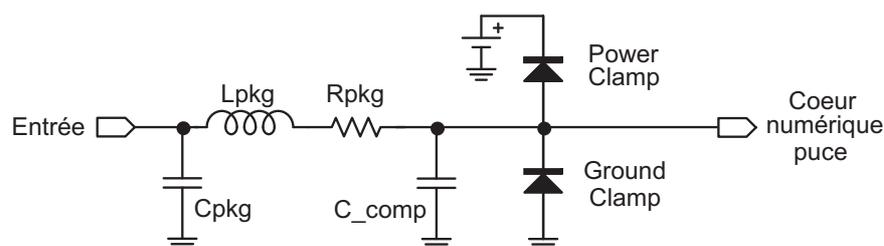


FIGURE 4.19 – Schéma électrique équivalent d'une entrée selon le modèle IBIS [119]

Les éléments R_{pkg} , L_{pkg} et C_{pkg} sont les éléments parasites de la broche considérée. La capacité C_{comp} représente la capacité d'entrée de la puce du circuit intégré. A partir des différents éléments électriques qui composent ce schéma, nous avons construit le schéma électrique équivalent permettant d'accéder aux protections ESD du circuit. Dans le cas de la protection GroundClamp, le signal doit être injecté sur la broche correspondant à la masse du circuit intégré afin de la polariser dans le sens direct. L'entrée du circuit intégré considéré est, quant à elle, court-circuitée vers la masse du circuit de mesure. Cette disposition est illustrée sur la figure 4.20.

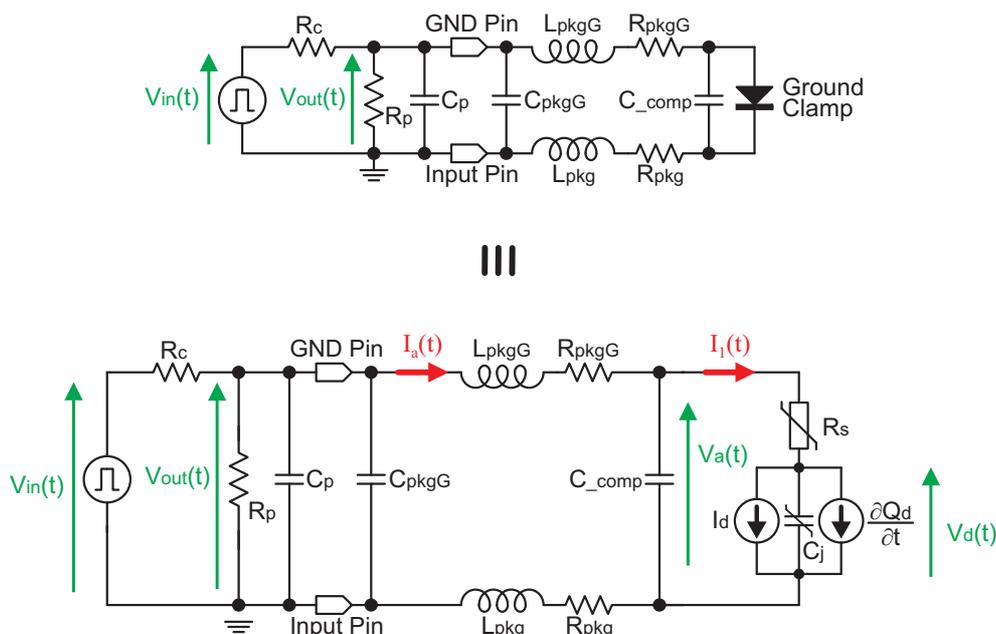


FIGURE 4.20 – Circuit électrique équivalent pour la modélisation de la protection GroundClamp

Les éléments R_{pkgG} , L_{pkgG} et C_{pkgG} sont les éléments parasites de la broche correspondant à la masse du circuit. A partir de ce schéma électrique, nous avons déterminé les équations qui régissent dans le circuit. Le système d'équations différentielles qui a été implémenté dans le programme d'extraction de paramètres est présenté ci-dessous :

$$\left\{ \begin{array}{l} \frac{\partial V_{out}(t)}{\partial t} = \frac{1}{C_p + C_{pkgG}} \left(\frac{V_{in}(t) - V_{out}(t)}{R_c} - \frac{V_{out}(t)}{R_p} - I_a(t) \right), \\ \frac{\partial I_a(t)}{\partial t} = \frac{1}{L_{pkg} + L_{pkgG}} (V_{out}(t) - V_a(t) - (R_{pkg} + R_{pkgG}) I_a(t)), \\ \frac{\partial V_a(t)}{\partial t} = \frac{1}{C_{comp}} \left(I_a(t) - \frac{V_a(t) - V_d(t)}{R_s} \right), \\ \frac{\partial V_d(t)}{\partial t} = \frac{1}{C_j} \left(\frac{V_a(t) - V_d(t)}{R_s} - \frac{\nu + 1}{\nu} I_d(t) + \frac{Q_d(t)}{\tau \cdot \nu} \right), \\ \frac{\partial Q_d(t)}{\partial t} = \frac{1}{\nu} I_d(t) - \frac{Q_d(t)}{\tau \cdot \nu}. \end{array} \right. \quad (4.1)$$

$$(4.1)$$

$$(4.2)$$

$$(4.3)$$

$$(4.4)$$

$$(4.5)$$

avec

$$I_d = I_s \left(e^{\frac{V_d}{N V_T}} - 1 \right) \quad (4.6)$$

Le paramètre C_j est, quant à lui, défini par le formalisme de De Graaff et Klaassen présenté à l'équation 3.34. L'annexe 4 propose une description complète sur la manière dont ce système a été établi.

La caractérisation de la protection PowerClamp est effectuée de la même manière que pour la protection GroundClamp. Le schéma électrique est quelque peu différent puisque cette fois-ci l'impulsion est injectée sur la broche correspondant à l'entrée considérée du circuit intégré et

la broche d'alimentation du circuit intégré est mise à la masse du circuit de mesure. Cette configuration permet de caractériser l'élément de protection en polarisation directe.

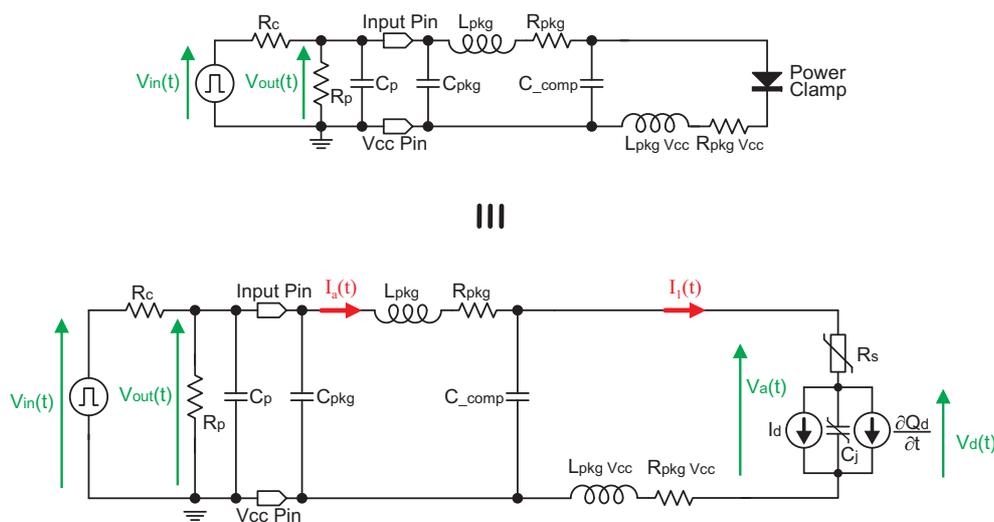


FIGURE 4.21 – Circuit électrique équivalent pour la modélisation de la protection PowerClamp

En suivant la démarche d'analyse exposée pour modéliser la protection GroundClamp, nous avons déterminé le système d'équations différentielles suivant :

$$\left\{ \begin{array}{l} \frac{\partial V_{out}(t)}{\partial t} = \frac{1}{C_p + C_{pkg}} \left(\frac{V_{in}(t) - V_{out}(t)}{R_c} - \frac{V_{out}(t)}{R_p} - I_a(t) \right), \end{array} \right. \quad (4.7)$$

$$\frac{\partial I_a(t)}{\partial t} = \frac{1}{L_{pkg}} (V_{out}(t) - V_a(t) - R_{pkg} I_a), \quad (4.8)$$

$$\frac{\partial V_a(t)}{\partial t} = \frac{1}{C_{comp}} (I_a(t) - I_1(t)), \quad (4.9)$$

$$\frac{\partial I_1(t)}{\partial t} = \frac{1}{L_{pkg} V_{cc}} (V_a(t) - V_d(t) - (R_s + R_{pkg} V_{cc}) I_1(t)), \quad (4.10)$$

$$\frac{\partial V_d(t)}{\partial t} = \frac{1}{C_j} \left(I_1(t) - \frac{\nu + 1}{\nu} I_d(t) + \frac{Q_d(t)}{\tau \cdot \nu} \right), \quad (4.11)$$

$$\frac{\partial Q_d(t)}{\partial t} = \frac{1}{\nu} I_d(t) - \frac{Q_d(t)}{\tau \cdot \nu}. \quad (4.12)$$

Le courant I_d , utilisé dans ce système d'équation, est défini de la même façon que dans le système précédent (eq. 4.6). Une description détaillée sur la génération de ce système est disponible à l'annexe 3.

Cette introduction a démontré qu'il était possible d'adapter notre méthodologie de caractérisation aux structures de protection des circuits intégrés de façon théorique en assimilant les éléments de protection à des diodes. Désormais, l'étape suivante consiste à valider cette hypothèse expérimentalement en suivant rigoureusement la démarche entreprise dans le cas de la modélisation physique des protections discrètes.

4.2.2.2 Circuit logique MM74HC04M

Les premiers travaux nous ont conduit à étudier le fonctionnement des protections ESD d'une entrée d'un circuit logique élémentaire. Pour cela, nous avons choisi de travailler avec le circuit MM74HC04M de la société Fairchild, car le fabricant met à disposition un modèle IBIS relativement complet et assez bien détaillé. Cet argument a une signification particulière dans le cadre de notre étude car nous cherchons à obtenir un maximum d'informations sur les caractéristiques électriques des protections ESD. Le circuit intégré MM74HC04 est constitué de six inverseurs CMOS indépendants et la puce numérique de ce circuit est insérée dans un boîtier SOIC 14 broches. Les caractéristiques statiques des protections ESD, telles qu'elles ont été définies dans le fichier IBIS du circuit sont illustrées aux figures 4.22(a) et 4.22(b).

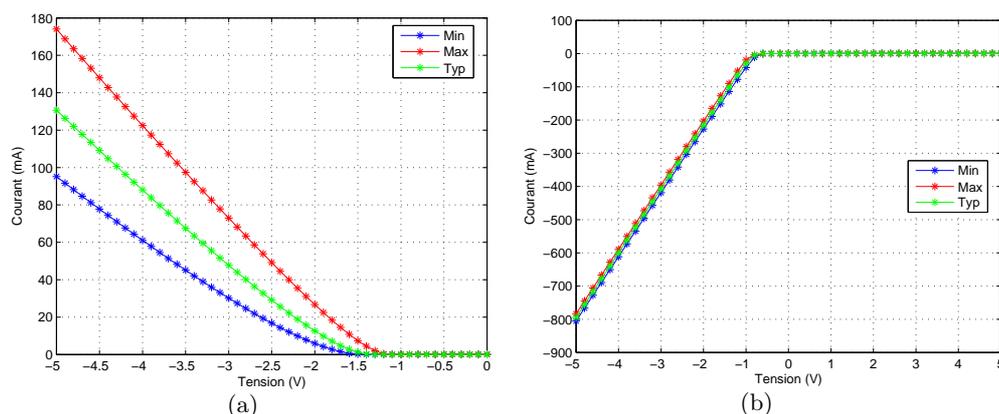


FIGURE 4.22 – (a) Caractéristique statique de la protection PowerClamp (Référéncée à l'alimentation) ; (b) Caractéristique statique de la protection GroundClamp - Fairchild MM74HC04M

Cette figure donne les représentations utilisées dans le standard IBIS pour caractériser le comportement statique des protections ESD, avec des références de potentiel différentes dans les deux cas. Pour retrouver des allures proches de celles de simples diodes, nous avons choisi de représenter ces caractéristiques en enlevant les influences des diverses références en tension.

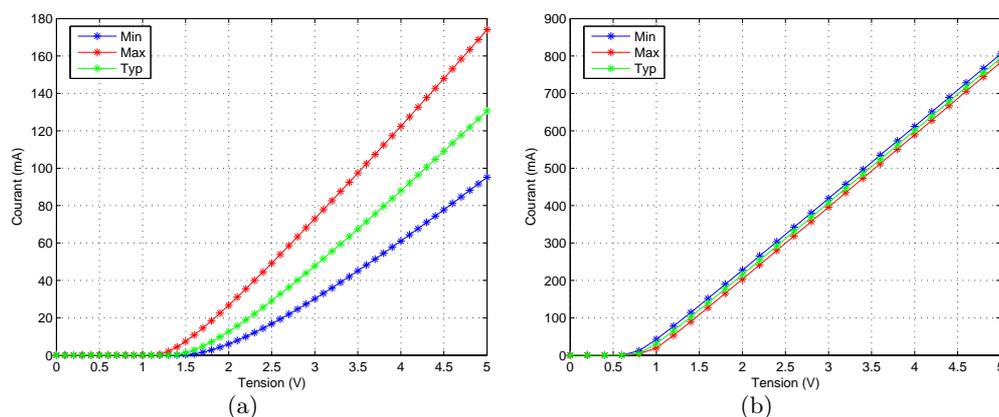


FIGURE 4.23 – (a) Caractéristique statique de la protection PowerClamp ; (b) Caractéristique statique de la protection GroundClamp - Fairchild MM74HC04M

Dans notre contexte, les représentations exposées à la figure 4.23 sont plus pratiques que les représentations classiques IBIS car elles permettent de mieux comparer les seuils de déclenchement. Ce type de représentation sera donc employé pour la définition des caractéristiques statiques des modèles IBIS des circuits dans la suite de notre étude. Il convient désormais d'interpréter l'allure des caractéristiques de la figure 4.23. En observant les caractéristiques statiques de l'élément GroundClamp (4.23(b)), il apparaît clairement que la protection utilisée se comporte comme une diode puisque cet élément a un seuil de déclenchement avoisinant les 0,7V. Cependant, ces informations ne permettent pas d'être catégoriques sur la nature de cette protection. Les caractéristiques statiques de la protection PowerClamp (4.23(a)), et plus particulièrement, son seuil de déclenchement (entre 1,3 et 1,4V), laissent entrevoir le fait que l'architecture électrique de cette protection ESD est plus complexe que celle d'une simple diode. Cependant nous allons démontrer qu'il est tout de même possible d'assimiler le comportement de la protection PowerClamp à celui d'une simple diode. Bien évidemment, cette assimilation connaît des limites car la complexité architecturale des protections évolue, mais nous verrons qu'elle reste cependant bien adaptée au contexte de notre étude. L'étape suivante consiste donc à appliquer notre méthodologie de modélisation à l'étage de protection d'une entrée de ce circuit. Au niveau expérimental, nous avons spécialement conçu des circuits de mesure permettant d'avoir un accès direct aux protections ESD du circuit. En premier lieu nous allons présenter la démarche adoptée pour modéliser le comportement transitoire de la protection GroundClamp. Le circuit de mesure associé à cette étude est présenté à la figure 4.24.

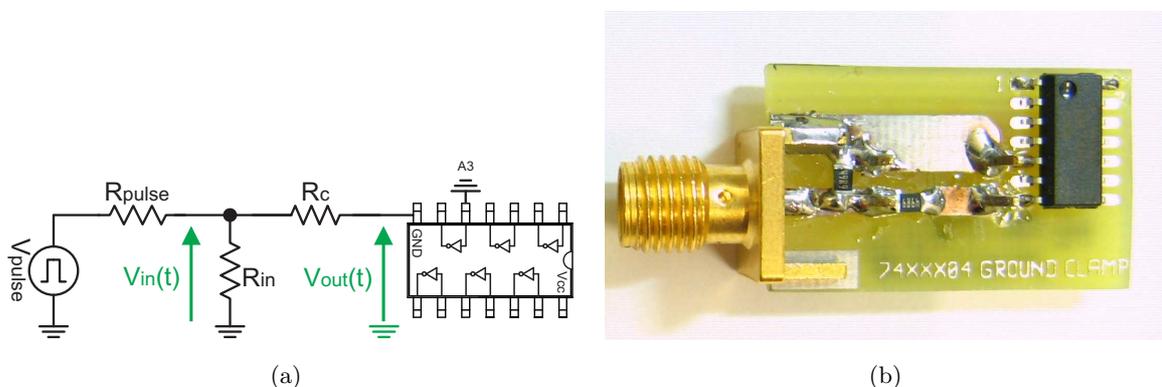


FIGURE 4.24 – Caractérisation de l'élément de protection GroundClamp du circuit Fairchild MM74HC04M (a) Montage; (b) Circuit de mesure

Le circuit a été agencé de manière que l'impulsion d'entrée polarise en direct la protection GroundClamp. Ainsi, l'impulsion est injectée sur la broche de masse, et la masse du circuit est reliée à la broche 5 qui correspond à l'entrée A3 du circuit. Durant la phase d'extraction de paramètres, nous avons introduit les valeurs des éléments parasites des broches considérées telles qu'elles ont été définies dans le modèle IBIS du circuit : $R_{pkg}=80\text{m}\Omega$, $L_{pkg}=1,87\text{nH}$ et $C_{pkg}=80\text{fF}$. Bien qu'ils n'apparaissent pas dans le circuit de mesure présenté ci-dessus, les éléments parasites des sondes de mesure ont également été pris en considération. De plus, nous avons également implanté le paramètre C_{comp} qui nous renseigne sur la capacité d'entrée de la puce du circuit. Ce

paramètre peut être évalué au moyen de la méthodologie d'analyse développée pour estimer le paramètre C_{j0} des diodes. Ce cas de figure permet également de mettre en avant la flexibilité de la méthode car les circuits intégrés numériques ont la particularité d'avoir des capacités d'entrée assez faibles. Les résultats obtenus avec cette méthode peuvent être directement comparés avec la valeur du paramètre C_{Comp} fourni dans le modèle IBIS du circuit (4,8pF).

Avant de présenter les résultats de cette étude, il nous est apparu essentiel de préciser certains points quant aux capacités parasites présentes à l'entrée du circuit. Pour cela, nous commençons par redéfinir la constitution d'un transistor MOS afin de déterminer les différentes capacités parasites. La structure présentée à la figure 4.25 permet de mettre en évidence ces capacités parasites :

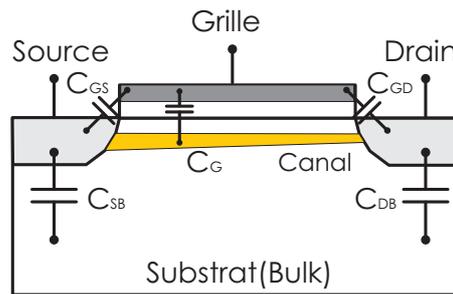


FIGURE 4.25 – Structure d'un transistor MOS

Cette structure fait intervenir des capacités parasites de trois sortes :

- la capacité de grille C_G ,
- les capacités de jonctions drain-substrat C_{DB} et source-substrat C_{SB} .
- les capacités de jonctions grille-source C_{GS} et grille-drain C_{GD} .

Si nous considérons que nous étudions le comportement dynamique de l'entrée d'un transistor MOS, les effets capacitifs sont principalement déterminés par le comportement de la grille. A partir de cette remarque, nous pouvons représenter les capacités parasites présentes à l'entrée d'un circuit intégré tout en sachant que chaque entrée est constituée d'un étage de protection et d'un inverseur CMOS. Les schémas électriques de la figure 4.26 résument ce contexte.

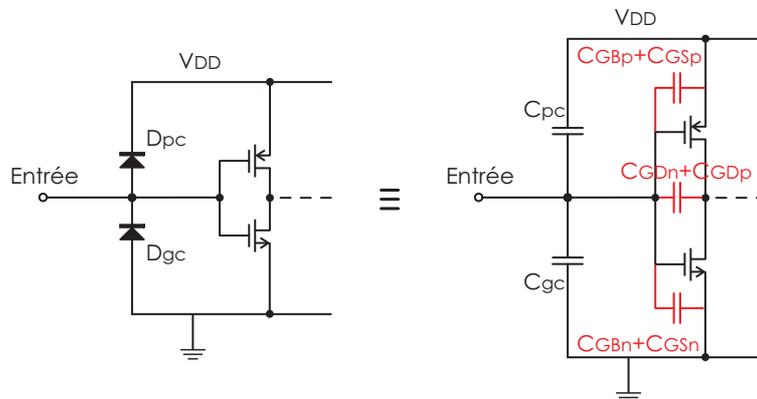


FIGURE 4.26 – Mise en évidence des capacités parasites présentes à l'entrée d'un circuit intégré

Au niveau de l'inverseur d'entrée, il existe un ensemble de capacités qui sont liées au comportement de la grille des transistors PMOS et NMOS. En effet, ces grilles se comportent comme des capacités parasites dont une électrode est la grille elle-même et l'autre électrode est répartie entre la source (C_{GS}), le drain (C_{GD}) et le substrat (C_{GB}) des transistors, ce qui donne un total de trois capacités parasites pour chaque transistor. Pour simplifier la situation, nous avons défini une capacité équivalente C_{inv} qui représente l'ensemble des capacités parasites vues depuis l'entrée de l'inverseur :

$$C_{inv} = \sum C_{GP} + \sum C_{GN} = (C_{GSP} + C_{GDP} + C_{GBP}) + (C_{GSN} + C_{GDN} + C_{GBN}) \quad (4.13)$$

A cela, il ne faut pas omettre les capacités parasites de l'étage de protection ESD d'entrée : C_{PC} pour la capacité parasite relative à la protection PowerClamp et C_{GS} pour la capacité parasite de la protection GroundClamp.

Maintenant que nous avons défini l'ensemble des paramètres nécessaires, nous sommes en mesure de présenter les résultats de la caractérisation expérimentale de la capacité d'entrée à bas niveau correspondant au montage de la figure 4.24(a). L'analyse expérimentale menée dans cette étude s'est limitée à évaluer le comportement capacitif d'une seule entrée du circuit MM74HC04M (l'entrée A3) :

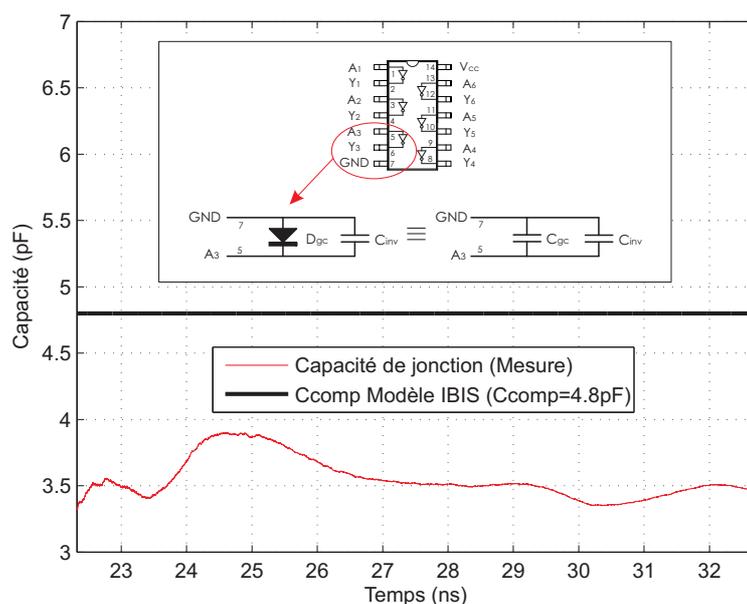


FIGURE 4.27 – Estimation de la capacité d'entrée en accédant directement à la protection GroundClamp - Fairchild MM74HC04M

Il est essentiel de rappeler que le schéma électrique qui a été inséré dans la figure 4.27 n'est valable que lorsque la broche de masse du circuit est excitée par une impulsion de faible amplitude (40mV). Dans ces conditions, nous considérons que la capacité d'entrée du circuit est linéaire et qu'elle est composée de la capacité parasite de l'étage de protection GroundClamp C_{gc} et de la capacité parasite de l'inverseur d'entrée du circuit C_{inv} . L'évaluation expérimentale de cette

capacité peut être comparée avec la valeur de la capacité C_{comp} du modèle IBIS car ce paramètre représente la capacité totale à l'entrée du circuit, incluant l'ensemble des étages (protection et fonctionnel) [121] [167]. Par ailleurs, la dernière version du modèle IBIS prévoit de détailler la contribution des différents étages (protections ESD et transistors de l'inverseur) sur cette capacité en intégrant de nouveaux paramètres [168]. Quelque soit la représentation du paramètre C_{Comp} , celui-ci n'inclut pas les effets capacitifs provenant du boîtier. Ils ont cependant été pris en considération dans notre méthodologie malgré la faible valeur de cette capacité ($C_{pin}=0,08pF$ pour la l'entrée A3).

L'intérêt d'avoir exporté cette méthode à un circuit intégré est multiple. Vis-à-vis de l'objectif final qui est d'obtenir un modèle fidèle du comportement transitoire des éléments de protection ESD, l'estimation de la capacité d'entrée via cette méthodologie expérimentale permet de confirmer la valeur de la capacité d'entrée issue du modèle IBIS et ainsi de correctement dimensionner les conditions initiales pour l'extraction du modèle. Cette méthode peut également être perçue comme une des nombreuses alternatives pour l'extraction des capacités d'entrée des composants car les valeurs mesurées sont très réalistes et encourageantes.

Le modèle IBIS évalue cette capacité C_{comp} en utilisant des techniques de mesure dans le domaine fréquentiel [121]. Mais la détermination du paramètre C_{comp} peut être effectuée au moyen de diverses techniques de mesure et parmi celles-ci on retrouve des caractérisations au moyen de circuits résonnants [169]. D'autres procédés de caractérisation des capacités d'entrée ont vu le jour grâce à des mesures réalisées au moyen de la technique de réflectométrie temporelle (TDR) [170]. Les réflectomètres sont désormais capables d'estimer de manière précise la capacité équivalente directement à partir des allures temporelles des signaux transmis et réfléchis. Notre méthodologie se positionne ainsi comme une excellente alternative à ces différentes techniques de mesure.

Grâce à la redéfinition du système d'équations différentielles (Eq.4.1-4.5) correspondant au schéma électrique du circuit de mesure de l'élément GroundClamp, nous disposons désormais des conditions nécessaires pour modéliser le comportement transitoire de cette protection. Nous avons donc appliqué une impulsion d'amplitude 1V à l'entrée du circuit et la réponse en tension nous a servi de référence pour extraire les paramètres suivants :

I_s (A)	N	C_{j0} (pF)	V_j (V)	M	K	T_t (ns)	ν_d	Y_0 (mS)	α (GS/C)
71,351E-12	1,456	1,332	0,607	1,675	52,5E-3	2,96	3,023	97,96	5,69

TABLE 4.6 – Paramètres extraits avec le formalisme de Tseng/Graaff - Élément GroundClamp Fairchild MM74HC04M

Ce modèle a été intégré dans une simulation SPICE du circuit de mesure afin de vérifier que ses prédictions sont en étroite corrélation avec les résultats expérimentaux. Les éléments parasites des broches concernées sont introduits dans la simulation SPICE du circuit. Les figures 4.31(a) et 4.31(b) présentent les résultats de cette simulation SPICE.

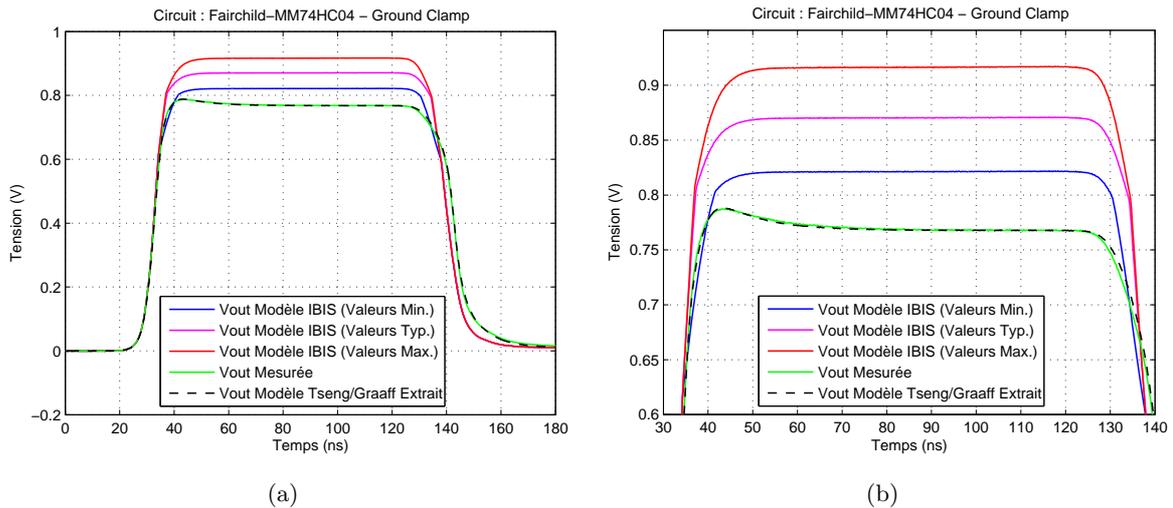


FIGURE 4.28 – (a) Résultats de mesure et de simulation pour l'élément GroundClamp; (b) Zoom sur le palier positif de l'impulsion - Fairchild MM74HC04M

En observant l'allure du palier positif, nous remarquons que cette protection a un seuil de déclenchement qui se situe aux alentours des 0,75V, ce qui concorde avec la caractéristique statique présentée à la figure 4.28(b). On remarque la présence d'une légère surtension au début de la phase d'écrtage qui est synonyme du phénomène de recouvrement direct. Quant au phénomène de recouvrement inverse, il est quasi-inexistant (T_t petit), ce qui signifie que la protection est d'une excellente réactivité. Globalement, les résultats obtenus avec le modèle de Tseng/Graaff sont en accord avec les résultats expérimentaux tandis que le modèle IBIS du fabricant ne permet pas de reproduire le comportement au niveau de la phase d'écrtage et de la commutation à la fermeture. De plus, dans la région où le phénomène de recouvrement direct apparaît, le manque de points de mesure dans les tables I/V du modèle IBIS conduit à des approximations qui se caractérisent par des transitions abruptes. Et c'est malheureusement le cas pour la majorité des fichiers IBIS, qui ne donnent que peu de valeurs au niveau du coude de conduction.

Nous avons adopté la même démarche d'analyse pour modéliser le comportement transitoire de la protection PowerClamp du MM74HC04, dont le circuit de mesure est présenté ci-dessous :

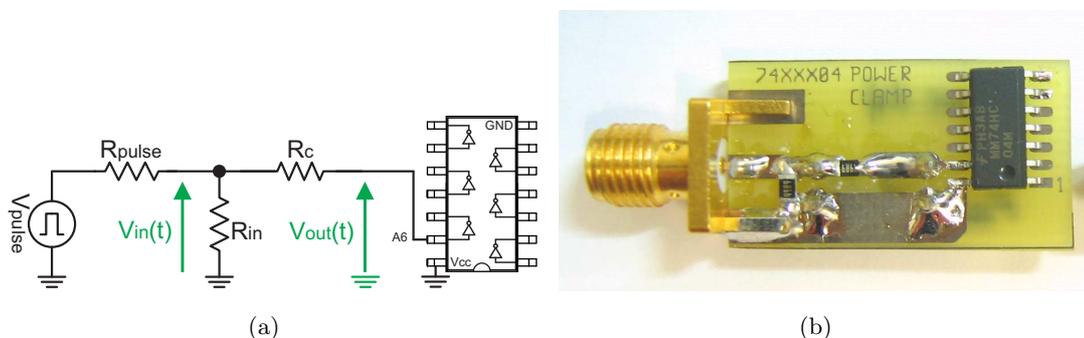


FIGURE 4.29 – Caractérisation de la protection PowerClamp du circuit Fairchild MM74HC04M (a) Montage; (b) Circuit de mesure

L'impulsion est injectée sur la broche numéro 13 qui correspond à l'entrée A6 du circuit. La broche numéro 14, coïncidant avec l'alimentation V_{cc} , est quant à elle reliée à la masse afin de polariser en direct l'élément PowerClamp.

Les spécifications du modèle IBIS de ce circuit ne permettent pas d'obtenir des informations sur la capacité d'entrée dans cette configuration. Pour remédier à cette carence, nous avons déterminé cette capacité d'entrée en utilisant la méthodologie d'analyse à bas niveau. Les résultats de cette expérience sont présentés sur la figure 4.30.

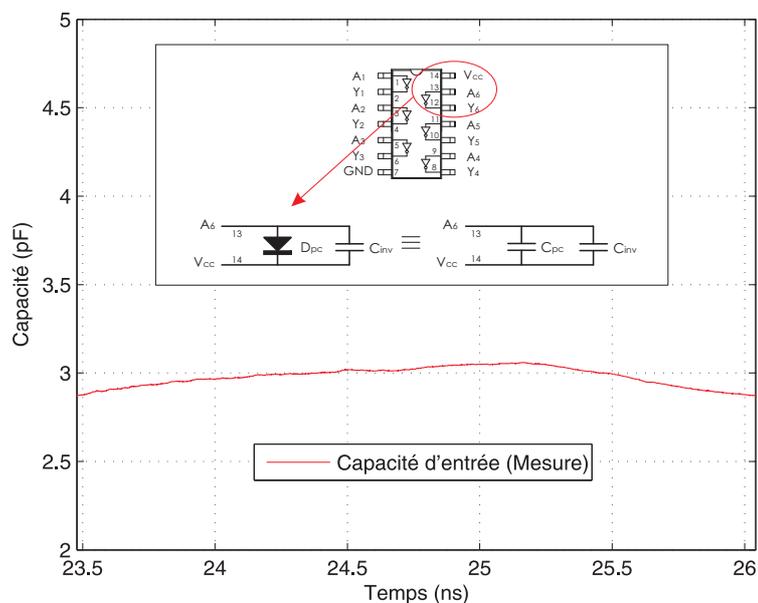


FIGURE 4.30 – Estimation de la capacité d'entrée en accédant directement à la protection PowerClamp - Fairchild MM74HC04M

Dans cette configuration, la capacité d'entrée du circuit est composée de la capacité parasite de la protection PowerClamp C_{pc} et de la capacité parasite C_{inv} , équivalente à la capacité de grille globale des transistors MOS formant l'inverseur d'entrée. Les résultats obtenus avec la méthodologie à bas niveau permettent de conclure, d'une part, que la capacité d'entrée est relativement faible et d'autre part, que l'ordre de grandeur de cette capacité parasite est comparable à celui déterminé avec le circuit de mesure de la protection GroundClamp.

Par la suite, nous avons voulu déterminer un modèle de Tseng/Graaff de cette protection en la polarisant en direct. Au niveau expérimental, nous avons remarqué que le fait d'injecter une impulsion d'1V ne permettait pas de l'activer. Ce n'est cependant pas une surprise puisque nous avons remarqué, lors de la présentation des caractéristiques statiques de cette protection, que son seuil de déclenchement était plus élevé que celui de la protection GroundClamp. Cela confirme que l'hypothèse que nous avons émise au préalable sur la nature de cette protection est juste : cette protection est plus complexe qu'une simple diode. Par conséquent, nous avons été contraints d'augmenter l'amplitude de l'impulsion d'entrée jusqu'à 5V pour commencer à observer un effet d'écrêtage significatif. A partir du système d'équations différentielles (Eq.4.7-4.12), correspondant au schéma électrique proposé pour modéliser le comportement de la protection PowerClamp des circuits intégrés, et des résultats expérimentaux, nous avons extrait

le modèle de Tseng/Graaff suivant :

I_s (A)	N	C_{jo} (pF)	V_j (V)	M	K	T_t (ps)	ν_d	Y_o (mS)	α (MS/C)
831,5E-12	1,836	1,728	2,67	1,48	31,37E-3	712,7	0,654	8,197	251,5

TABLE 4.7 – Paramètres extraits avec le formalisme de Tseng/Graaff - Élément PowerClamp Fairchild MM74HC04M

Ce modèle a par la suite été intégré dans une simulation SPICE du circuit de mesure dans laquelle nous avons également introduit le modèle IBIS du fabricant et les résultats expérimentaux. La figure 4.31 propose de comparer l'ensemble de ces résultats.

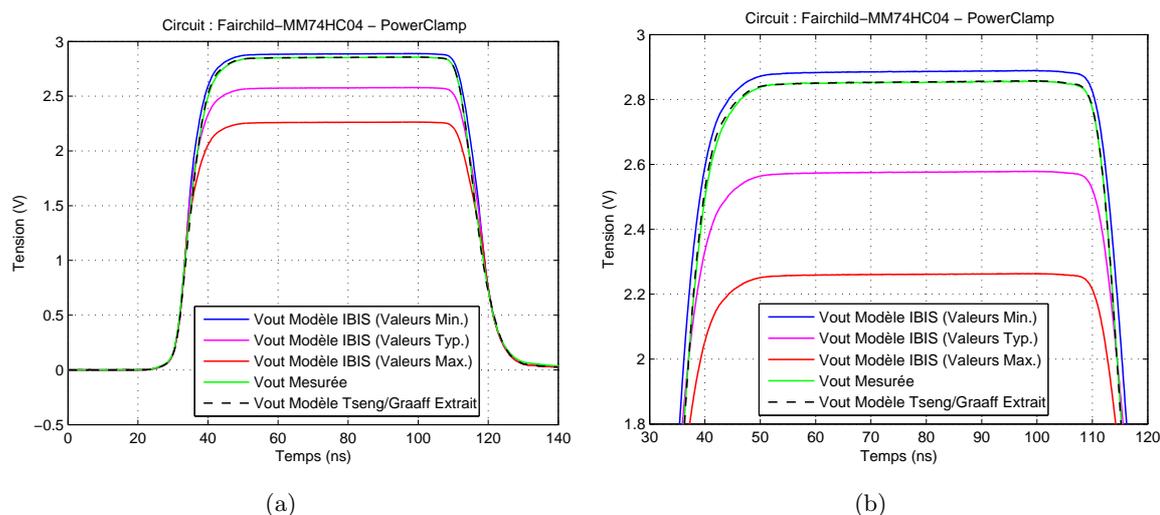


FIGURE 4.31 – (a) Résultats de mesure et de simulation pour l'élément PowerClamp ; (b) Zoom sur le palier positif de l'impulsion - Fairchild MM74HC04M

Les résultats présentés sur la figure 4.31 permettent de constater que le modèle de Tseng/Graaff reproduit avec fidélité les résultats expérimentaux. De plus, nous constatons que les résultats obtenus avec les spécifications minimales du modèle IBIS sont très satisfaisants. L'absence de phénomènes de recouvrement et la faible valeur de la capacité de jonction participent amplement aux bonnes prédictions de ce modèle. Au final, ce cas d'étude a permis de démontrer à la fois la flexibilité du modèle de Tseng/Graaff et la validité de l'hypothèse que nous avons émise quant à l'assimilation de cette protection ESD à une diode. Cependant, nous ne pouvons pas affirmer que ce modèle est exportable pour modéliser l'ensemble des protections mais il s'avère que dans notre contexte, les résultats sont plutôt encourageants. Pour ces raisons, il convient de réaliser d'autres expérimentations sur différents circuits intégrés pour valider les bonnes performances du modèle de Tseng/Graaff.

4.2.2.3 Circuit logique NC7S04M5X

Dans cette partie, nous avons choisi d'appliquer notre méthodologie de modélisation à une autre famille technologique de circuits intégrés. Le choix étant relativement vaste, nous avons choisi de caractériser les éléments de protection ESD d'un circuit intégré de la technologie

Tinylogic développé par le fabricant Fairchild. Cette famille de circuits ne contient qu'une ou deux portes par boîtier, et elle a été introduite afin d'optimiser la consommation et la taille des circuits lorsque les fonctions logiques sont disséminées en divers endroits : ces circuits sont encapsulés dans des boîtiers minuscules, ce qui facilite leur implantation dans les cartes électroniques. Parmi les circuits proposés dans cette technologie, nous avons choisi de travailler avec le NC7S04M5X. Ce circuit contient un seul inverseur logique et la puce est encapsulée dans un boîtier SOT-123. L'une des raisons pour lesquelles nous avons opté pour ce circuit provient du fait que les caractéristiques statiques des éléments de protection ESD proposées dans son modèle IBIS sont relativement bien détaillées. La figure 4.32 illustre l'allure des caractéristiques statiques des protections ESD de ce circuit selon la représentation que nous avons retenue auparavant.

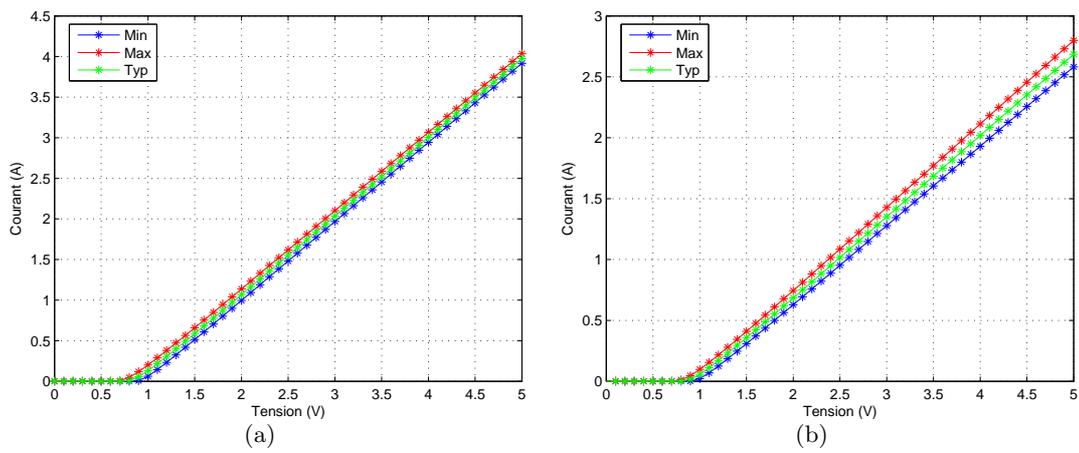


FIGURE 4.32 – (a) Caractéristique statique de la protection PowerClamp; (b) Caractéristique statique de la protection GroundClamp - Fairchild NC7S04M5X

Les caractéristiques statiques de la protection PowerClamp sont quelque peu différentes de celles de la protection GroundClamp car nous remarquons très clairement que la protection PowerClamp est capable de supporter plus de courant. Malgré cela, ces protections ont un point commun puisque leur seuil de déclenchement se situe aux alentours des 0,7V ce qui laisse penser que le comportement de ces protections peut être assimilé à celui d'une diode.

Nous allons vérifier ce dernier point en étudiant le comportement transitoire de la protection GroundClamp à l'aide de notre méthodologie et du circuit de mesure suivant :

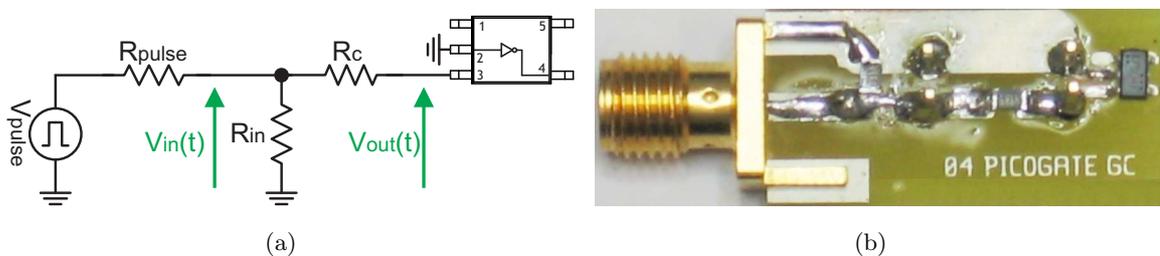


FIGURE 4.33 – Caractérisation de la protection GroundClamp du circuit Fairchild NC7S04M5X (a) Montage; (b) Circuit de mesure

Afin d'étudier le comportement de la protection GroundClamp, le signal est injecté sur la broche numéro 3 qui correspond à la masse du circuit. La broche numéro 2, correspondant à l'entrée de l'inverseur, est directement connectée à la masse du circuit de mesure. Avant de procéder à l'extraction de paramètres via le formalisme de Tseng/Graaff, nous avons voulu vérifier que la valeur de la capacité C_{comp} issue du modèle IBIS (1,5pF) est en concordance avec la valeur de la capacité d'entrée déterminée grâce à la méthodologie d'analyse à bas niveau.

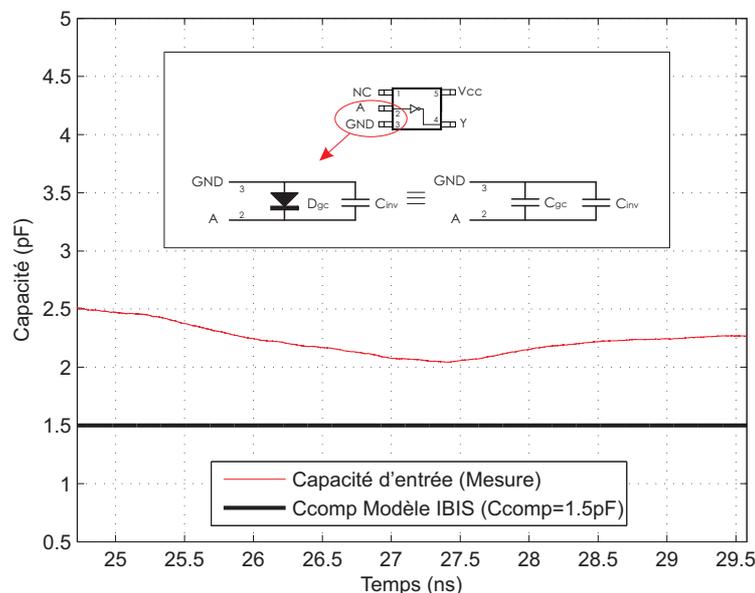


FIGURE 4.34 – Estimation de la capacité d'entrée en accédant directement à la protection GroundClamp - Fairchild NC7S04M5X

Les résultats proposés à la figure 4.34 démontrent une nouvelle fois que le calcul de la capacité d'entrée à bas niveau est très convenable, et que la capacité parasite de la protection est de faible valeur. Cette valeur nous a donc servi de référence dans l'extraction de paramètres que nous avons réalisée à partir de la réponse en tension de la protection à une impulsion de 1V. Le tableau 4.8 résume les résultats obtenus après l'extraction de paramètres.

I_s (A)	N	C_{j0} (pF)	V_j (V)	M	K	T_t (ns)	ν_d	Y_0 (mS)	α (GS/C)
987,64E-12	1,698	1,537	0,654	1,761	37,74E-03	3,204	2,562	50,448	3,023

TABLE 4.8 – Paramètres extraits avec le formalisme de Tseng/Graaff - Élément GroundClamp NC7S04M5X

Lors de l'extraction des paramètres du modèles de Tseng/Graaff et des simulations SPICE, nous avons pris en compte les éléments parasites des broches testées ($R_{pkg}=50m\Omega$, $L_{pkg}=0,7nH$ $C_{pkg}=105fF$) et la capacité d'entrée de la puce ($C_{comp}=1,5pF$). Les résultats des simulations SPICE utilisant les paramètres extraits pour la protection GroundClamp sont proposés sur la figure ci-dessous :

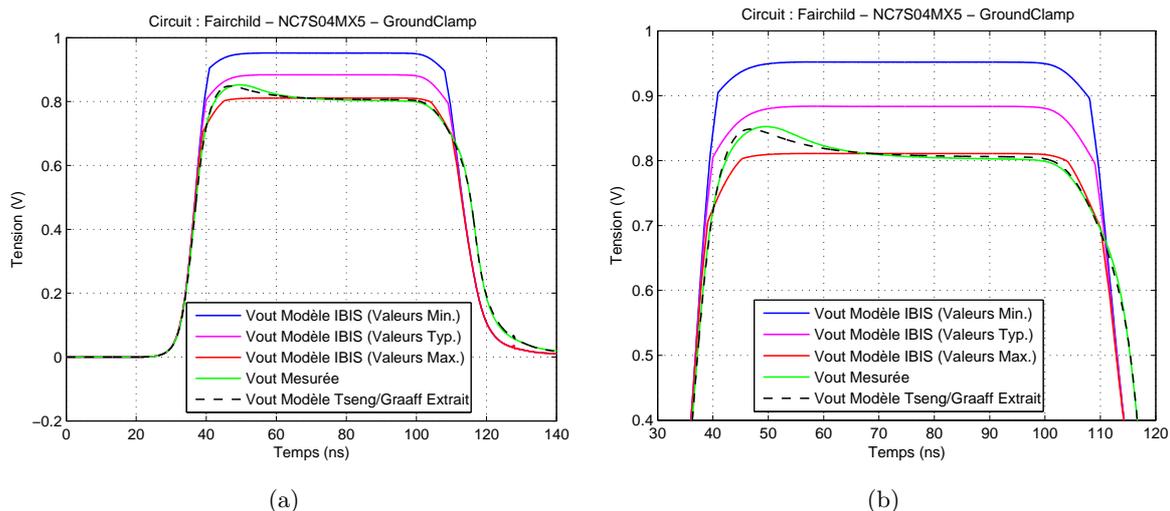


FIGURE 4.35 – (a) Résultats de mesure et de simulation pour l'élément GroundClamp; (b) Zoom sur le palier positif de l'impulsion - Fairchild NC7S04MX5

La première remarque que nous pouvons faire en observant les résultats de simulation est que les résultats obtenus avec le modèle de Tseng/Graaff sont beaucoup plus réalistes que les résultats issus de la simulation SPICE du modèle IBIS du circuit. Bien que les phénomènes de recouvrement soient peu manifestes, il est tout de même possible de percevoir le phénomène de recouvrement direct qui se traduit par une très légère surtension au niveau du front montant de l'impulsion. Nous constatons également que les résultats obtenus avec les spécifications maximales du modèle IBIS pourraient être acceptables s'ils n'omettaient pas de tenir compte des phénomènes de recouvrement.

La suite du travail consiste désormais à modéliser le comportement transitoire de la protection PowerClamp. Pour cela, nous avons donc mis en place un circuit de mesure différent du précédent, et dont le schéma équivalent est présenté à la figure 4.36.

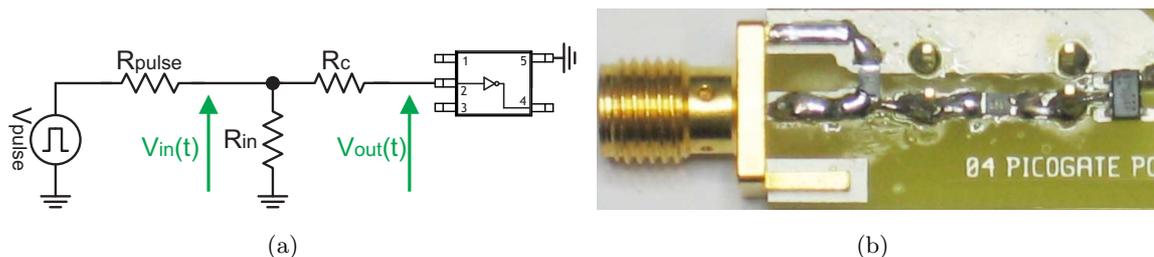


FIGURE 4.36 – (a) Caractérisation de la protection PowerClamp du circuit Fairchild NC7S04M5X (a) Montage; (b) Circuit de mesure

Dans ce cas d'étude, l'impulsion délivrée par le générateur est injectée sur la broche numéro 2 (entrée du circuit intégré), tandis que la broche 5 (broche alimentation Vcc) est directement connectée à la masse du circuit de mesure. Cette disposition permet de polariser en direct la protection PowerClamp du circuit intégré. En suivant la procédure d'analyse mise en œuvre dans les cas précédents, nous avons déterminé la valeur de la capacité d'entrée du composant grâce à la méthodologie d'analyse à bas niveau. Les résultats de cette expérimentation sont illustrés

sur la figure 4.37.

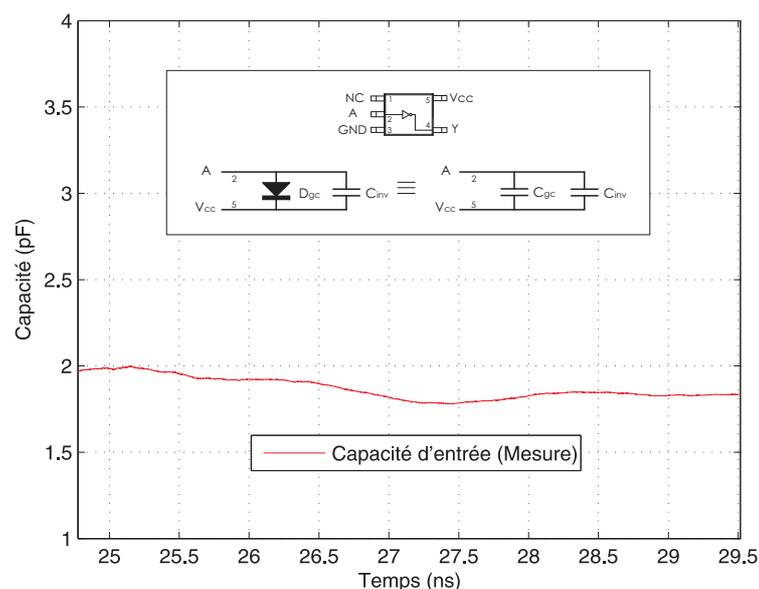


FIGURE 4.37 – Estimation de la capacité d'entrée en accédant directement à la protection PowerClamp - Fairchild NC7S04M5X

Les résultats de l'estimation de la capacité parasite laissent entrevoir le fait que la capacité de la protection PowerClamp est relativement faible. Ce renseignement nous permet de dimensionner approximativement le paramètre C_{j0} lors de la procédure d'extraction de paramètre. Le tableau 4.9 récapitule les valeurs des paramètres obtenus après avoir réalisé une extraction sur la réponse de la protection à une impulsion de 1V.

I_s (A)	N	C_{j0} (pF)	V_j (V)	M	K	T_t (ns)	ν_d	Y_0 (mS)	α (GS/C)
2,374E-11	1,635	1,642	0,196	3,128	5,014	60,807	2,994	0,1717	1,485

TABLE 4.9 – Paramètres extraits avec le formalisme de Tseng/Graaff - Élément PowerClamp Fairchild NC7S04M5X

Ce modèle a été implanté dans une simulation SPICE du circuit de mesure afin de vérifier que ses prédictions sont en accord avec les résultats expérimentaux. Ainsi, la figure 4.38 permet de comparer les résultats des simulations SPICE avec les résultats expérimentaux.

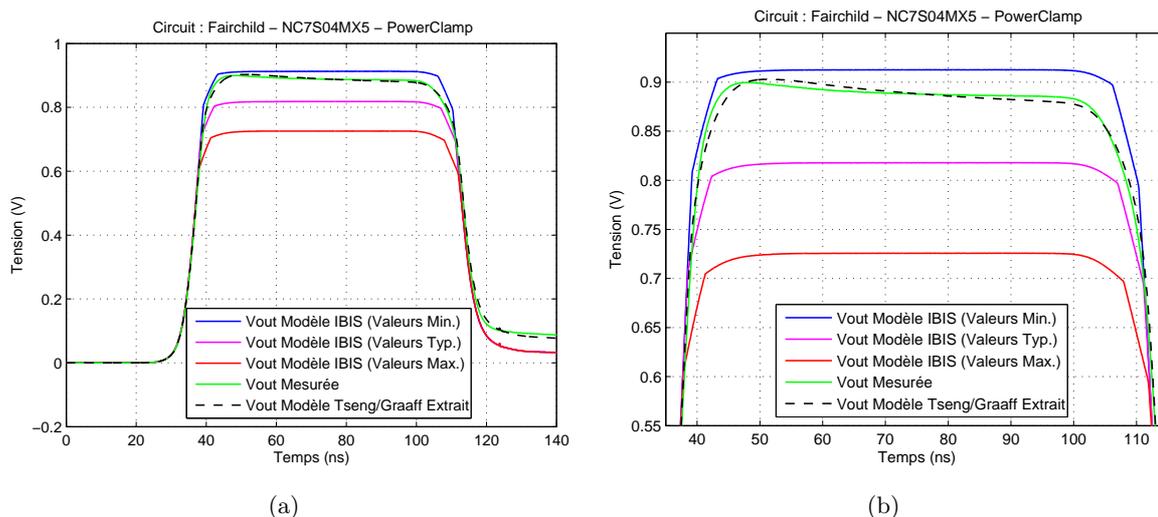


FIGURE 4.38 – (a) Résultats de mesure et de simulation pour l'élément PowerClamp ; (b) Zoom sur le palier positif de l'impulsion - Fairchild NC7S04M5X

La configuration de la simulation SPICE associée aux résultats de la figure 4.38 est très similaire à celle réalisée pour la protection GroundClamp puisque nous avons introduit les mêmes valeurs des éléments parasites. Si nous nous intéressons plus particulièrement au comportement de la protection GroundClamp en régime transitoire, nous remarquons l'existence d'une faible surtension qui n'est pas due à l'inductance parasite du circuit mais, plutôt au phénomène de recouvrement direct intrinsèque à la protection, ce qui a été confirmé par des tests avec les résistances HF. Globalement, les investigations menées sur ce circuit permettent de conclure que les résultats obtenus avec le modèle de Tseng/Graaff sont en accord avec les résultats expérimentaux et que les phénomènes de recouvrement sont convenablement reproduits. Nous avons également pu constater que la description statique des éléments de protection dans le modèle IBIS est insuffisante dans la région où les protections commencent à être actives du fait du manque de points dans cette zone.

4.2.2.4 Circuit programmable EPLD EPM7064AE

Dans cette partie, nous avons appliqué notre méthodologie à l'un des composants qui avait été intégré au projet CESARE, développé par le Centre d'Étude de Gramat. Le projet CESARE (Calculateur Embarqué Soumis aux AgRessions Electromagnétiques) a pour but d'étudier et de modéliser la susceptibilité des équipements électroniques à des AGREMI [13]. Ce calculateur intègre une carte électronique spécialement conçue pour l'étude de sa susceptibilité. Cette carte est composée d'un processeur de traitement du signal, de deux types de mémoires, d'un oscillateur local et d'un EPLD (Erasable Programmable Logic Device).

Dans son mémoire de projet industriel, Julien Bessas [171] avait commencé à travailler sur la modélisation de l'étage d'entrée de l'EPLD, et il en avait conclu, de par ses résultats expérimentaux, qu'il était primordial de prendre en compte les effets non-linéaires dus aux diodes de protection ESD, et cela même à bas niveau. Pour cela, nous avons complété ses investigations en appliquant notre méthodologie d'analyse aux protections présentes à l'entrée de ce circuit.

L'EPLD de la carte spécifique du projet CESARE est le circuit EPM7064AELC446-10 de la société Altera. Ce circuit est basé sur l'architecture du MAX7000AE et il contient 64 macrocellules programmables. Il est donc possible de programmer ce composant pour définir des fonctions complexes de type combinatoire ou séquentiel. La puce numérique de ce circuit a été encapsulée dans un boîtier PLCC (Plastic Leaded Chip Carrier) comprenant 44 broches. Comme dans les exemples précédents, le fabricant de ce circuit met à disposition un modèle IBIS dans lequel les caractéristiques statiques des éléments de protection sont définies ainsi :

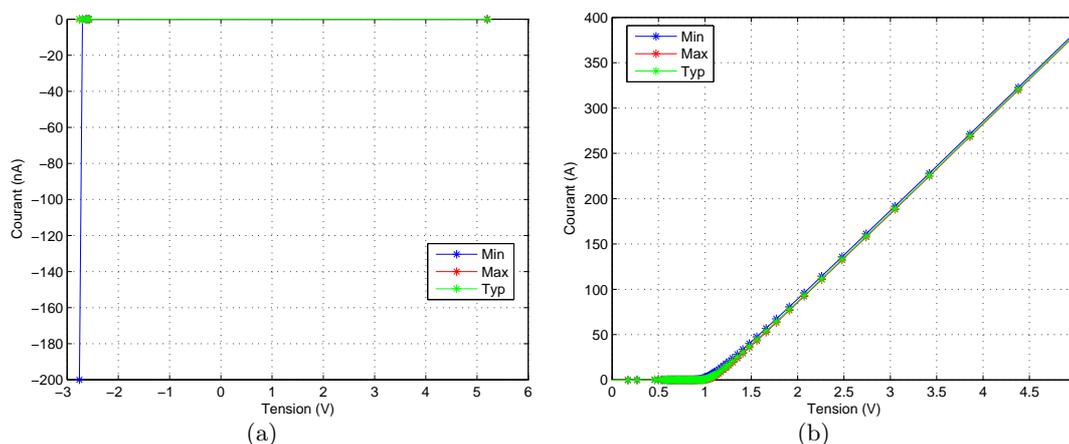


FIGURE 4.39 – (a) Caractéristique statique de la protection PowerClamp; (b) Caractéristique statique de la protection GroundClamp - Altera EPLD EPM7064AE

En observant les caractéristiques statiques présentées à la figure 4.39, il apparaît que le modèle IBIS de ce circuit ne donne aucune information concernant la protection PowerClamp. A partir de là, nous pouvons émettre différentes hypothèses :

- il n'y a pas de protection entre le rail d'alimentation et l'entrée du circuit,
- la protection utilisée est un composant plus complexe qu'une simple diode et qu'il n'a pas d'influence aux niveaux de tensions mesurés. En effet, le modèle IBIS décrit les composants sur une gamme de tension allant de $-V_{cc}$ à $+2V_{cc}$ et certaines protections ont des seuils de déclenchement plus élevés que $2V_{cc}$. On peut penser à des composants à retournement, par exemple. Néanmoins nous tâcherons de vérifier l'activité potentielle de cette protection dans la zone d'exploration de notre méthodologie.

Concernant la protection GroundClamp, le fichier IBIS du circuit fournit une caractéristique statique à l'allure familière d'une caractéristique I/V d'une diode. De plus, nous remarquons que cette protection se déclenche à un niveau de tension modéré ($\approx 1V$), ce qui signifie que nous sommes en mesure d'obtenir une description suffisamment significative de son comportement à l'aide de notre méthode.

Nous avons donc réalisé un circuit de mesure approprié à la caractérisation de la protection GroundClamp. Au préalable, le circuit EPLD a été programmé afin que la broche sous test soit configurée comme une entrée. Pour cela, le fabricant met à disposition un logiciel de programmation dans lequel il est possible de configurer la fonction logique électronique à réaliser. Par rapport au contexte de notre étude, il n'est pas nécessaire de décrire la partie fonctionnelle du circuit, qui est relative au programme test du projet CESARE, mais il est nécessaire de

configurer le circuit afin de fixer les conditions de mesure. Le circuit de mesure utilisé pour évaluer le comportement transitoire de la protection GroundClamp est donné à la figure 4.40.

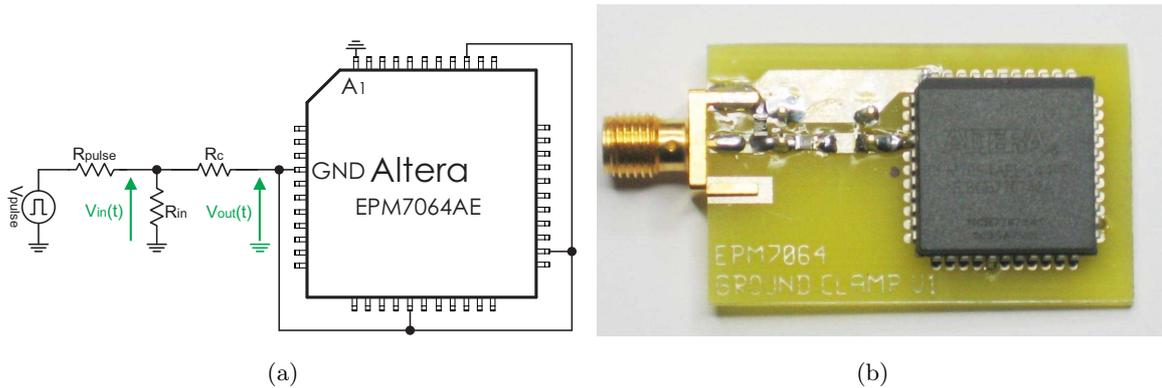


FIGURE 4.40 – (a) Caractérisation de la protection GroundClamp du circuit Altera EPLD EPM7064AE (a) Montage ; (b) Circuit de mesure

Afin d’optimiser le positionnement de l’EPLD sur le circuit de mesure, nous avons choisi de caractériser les protections ESD présentes à l’entrée numéro 6. Auparavant, nous avons tout de même vérifié dans le fichier IBIS de l’EPLD que les caractéristiques statiques des protections présentes à chaque entrée sont identiques. Le schéma du circuit de mesure, exposé à la figure 4.40, montre que si nous souhaitons polariser la protection GroundClamp en direct, alors l’impulsion doit être injectée sur la broche numéro 10 (masse du circuit) de l’EPLD et la broche numéro 6 (I/O) doit être soudée à la masse du circuit de mesure.

A l’image de ce qui a été réalisé pour les autres circuits intégrés, nous avons voulu évaluer la capacité d’entrée à bas niveau dont les résultats sont présentées à la figure 4.41.

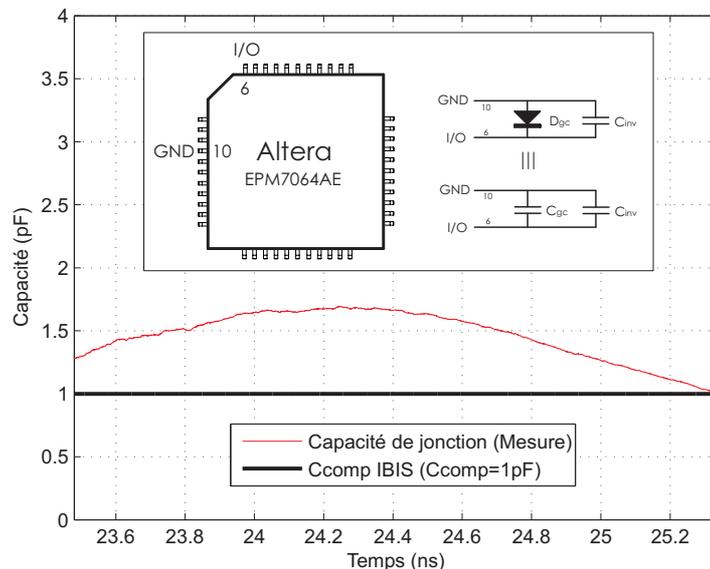


FIGURE 4.41 – Estimation de la capacité d’entrée en accédant directement à la protection GroundClamp - Altera EPLD EPM7064AE

La capacité d’entrée calculée à l’aide de notre méthodologie à bas niveau confirme la valeur

de la capacité C_{comp} du modèle IBIS (1pF en théorie). Bien que cette valeur regroupe la capacité globale de l'étage d'entrée du circuit, nous pouvons d'ores et déjà affirmer que la capacité parasite de la protection GroundClamp est relativement faible.

L'étape suivante a consisté à analyser le comportement transitoire de la protection lorsqu'elle est polarisée en direct. Pour cela, nous avons injecté une impulsion de 2V d'amplitude pour réellement déclencher la protection. Les résultats de cette expérience ont été, par la suite, introduits dans notre programme d'extraction de paramètres. Le tableau 4.10 récapitule la valeur de chaque paramètre du modèle de Tseng/Graaff associé à cette protection.

I_s (A)	N	C_{j0} (pF)	V_j (V)	M	K	T_t (ns)	ν_d	Y_o (mS)	α (GS/C)
1,075E-9	1,743	2,408	1,861	3,564	127,69E-3	5,327	2,765	38,82	1,486

TABLE 4.10 – Paramètres extraits avec le formalisme de Tseng/Graaff - Élément GroundClamp Altera EPLD EPM7064AE

Cette extraction de paramètres confirme que la capacité parasite associée à la capacité de jonction à bas niveau est faible. Ce modèle a été implanté dans une simulation SPICE du circuit de mesure et la figure 4.42 permet d'observer une comparaison entre les résultats de simulation et les résultats expérimentaux.

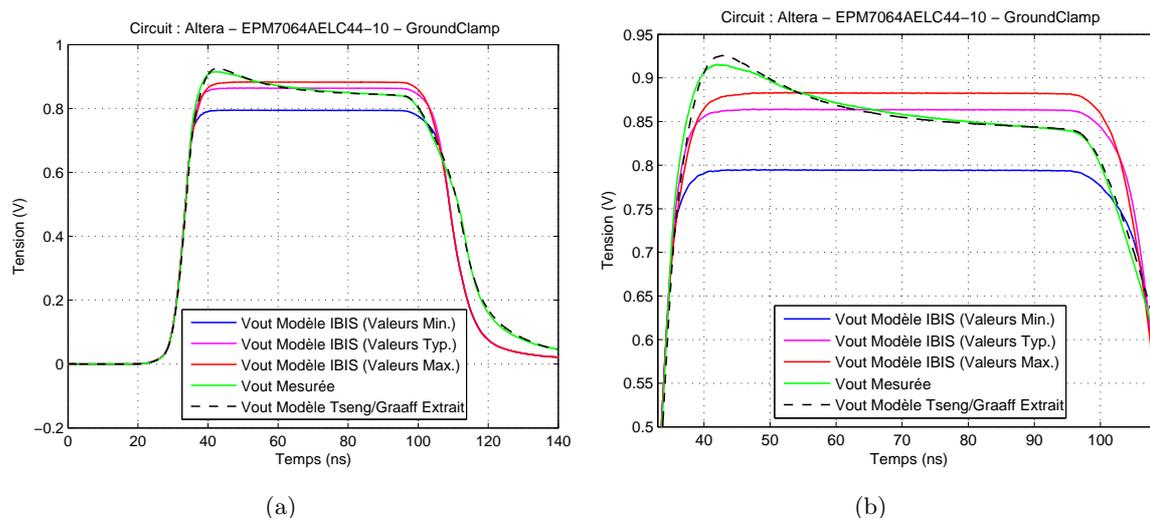


FIGURE 4.42 – (a) Résultats de mesure et de simulation pour l'élément GroundClamp du circuit ; (b) Zoom sur le palier positif de l'impulsion - Altera EPLD EPM7064AE

Les résultats de la figure 4.42 prouvent que le modèle de Tseng/Graaff est, une nouvelle fois, beaucoup plus performant que le modèle IBIS dans cette situation. On note la présence d'une surtension à la mise en conduction de la protection qui n'est pas appréhendée par le modèle IBIS malgré que nous ayons intégré tous les éléments parasites ($R_{pkg}=100m\Omega$, $L_{pkg}=8nH$, $C_{pkg}=7pF$, $C_{comp}=1pF$) lors de la simulation SPICE. Cela permet de conclure que cette surtension est directement liée au phénomène de recouvrement direct.

Ces travaux ne pourraient être complets sans vérifier que la protection PowerClamp est inactive dans le contexte de nos investigations. Ainsi, nous avons conçu un circuit de mesure de manière

à ce que l'impulsion injectée polarise en direct la protection. L'agencement de ce circuit est illustré dans la figure 4.43.

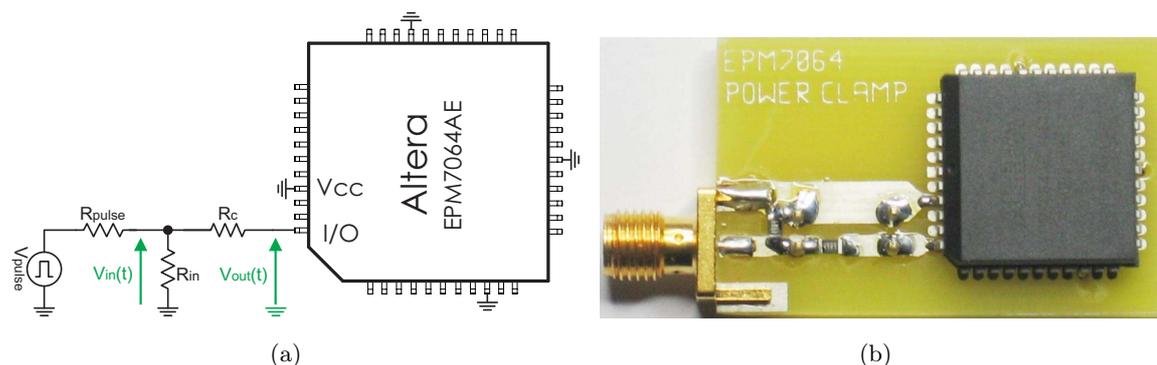


FIGURE 4.43 – (a) Caractérisation de la protection PowerClamp du circuit Altera EPLD EPM7064AE (a) Montage; (b) Circuit de mesure

L'évaluation du comportement transitoire de cette protection impose d'injecter le signal sur la broche numéro 6 (I/O) et de court-circuiter à la masse du circuit de mesure la broche numéro 10 (broche d'alimentation de l'EPLD). Les premières expériences nous ont conduit à injecter des impulsions d'amplitude "normale" (1V à 2V) et il en a résulté que la protection n'a pas esquissé le moindre signe d'activité. Nous n'en sommes pas restés là et nous avons poursuivi notre étude en appliquant une impulsion d'amplitude 5V à l'entrée du circuit. Les relevés expérimentaux sont présentés à la figure 4.44.

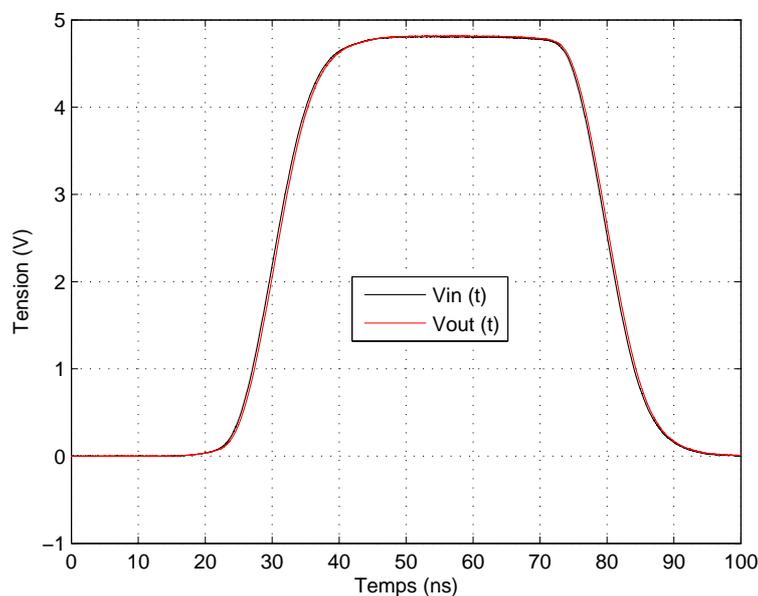


FIGURE 4.44 – Réponse transitoire de l'élément PowerClamp de l'EPLD à une impulsion de 5V

L'allure temporelle du signal $V_{out}(t)$ présentée à la figure 4.44 confirme que, dans le contexte de notre étude, l'influence de la protection PowerClamp est inexistante puisque nous n'observons aucun effet d'écrtage. La mise en évidence de l'inactivité de cette protection confirme la fiabilité et l'exactitude des données issues du modèle IBIS qui avait auparavant décrit cette protection

comme étant complètement transparente. Si nous allons un peu plus loin dans l'interprétation des résultats, nous remarquons que nous retrouvons sur le signal $V_{out}(t)$ l'effet d'une simple capacité. Néanmoins, dans notre situation, cette protection n'est pas active et nous ne pouvons donc pas appliquer notre méthodologie de modélisation.

4.2.2.5 Synthèse

De manière générale, les résultats obtenus avec le modèle de Tseng/Graaff sont extrêmement fidèles aux résultats expérimentaux. La mise en place d'un modèle physico-électrique de diodes permet dans notre cas de modéliser correctement des protections plus complexes que de simples diodes car le fait de pouvoir tenir compte de phénomènes liés au comportement des charges (recouvrement) permet de mieux rendre compte du comportement de ces protections, même si encore une fois, celles-ci ne sont pas des diodes. L'étape suivante consiste à valider que les modèles générés sont adaptés pour évaluer le comportement des protections ("Off-chip" et "On-chip") en présence de perturbations transitoires.

4.3 Étude du comportement dans le domaine temporel des éléments de protection en présence de perturbations

Le but de cette partie est de démontrer que les modèles issus du formalisme de Tseng/Graaff sont efficaces dans la situation où les éléments de protection sont utilisés en configuration de protection dans les circuits électroniques et les circuits intégrés. Pour cela, nous allons observer le comportement des protections lorsque celles-ci devront écrêter des signaux transitoires.

4.3.1 Écrêtage d'un signal sinusoïdal

4.3.1.1 Protection de type discret

En complément du travail de modélisation que nous avons réalisé sur la diode PESD12VS1UB du fabricant NXP, nous allons évaluer le comportement de cette diode en configuration de protection. De par ses caractéristiques électriques, cette diode a été conçue pour protéger les circuits contre les surtensions transitoires et, plus spécifiquement, elle est capable d'écouler des impulsions fortement énergétiques comme les décharges électrostatiques.

Cette étude permet également d'évaluer et de valider la pertinence du modèle de Tseng/Graaff extrait précédemment (cf. table 3.28).

L'une des premières études que nous avons menées a consisté à étudier le comportement de cette protection en présence d'une perturbation de type sinusoïdal. Le schéma électrique retenu pour réaliser cette étude est présenté à la figure 4.45.

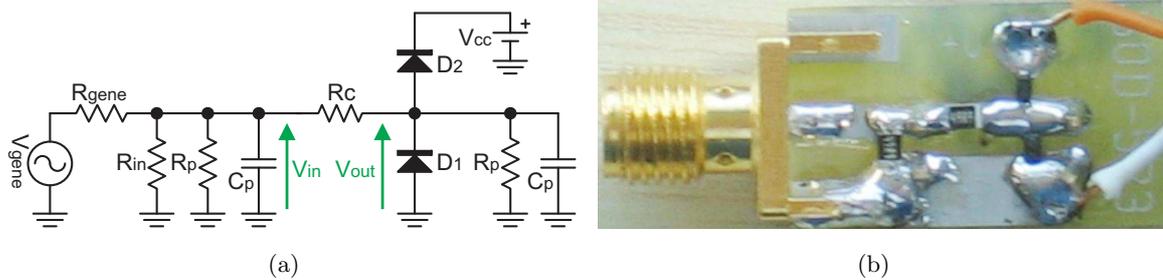


FIGURE 4.45 – (a) Schéma électrique du circuit de mesure en configuration d’écèlement avec des protections discrètes; (b) Circuit de mesure - Diodes NXP PESD12VS1UB

Cette configuration de protection est classique et elle est proche du schéma électrique présenté dans le modèle IBIS [119], et les diodes D1 et D2 sont chargées d’écèlement le signal injecté dès que celui-ci devient négatif ou dépasse la tension d’alimentation V_{cc} (à la tension de seuil des diodes près). Conformément à ce qui a été précisé dans l’introduction de cette partie les diodes D1 et D2 sont des diodes PESD12VS1UB. Les premières manipulations menées avec l’alimentation Agilent E3642A ont montré quelques différences avec les simulations SPICE réalisées dans cette configuration. Des simulations additionnelles nous ont montré que ces différences étaient principalement dues à une mauvaise prise en compte de l’impédance de sortie de l’alimentation (V_{CC}) utilisée. En effet, l’impédance de sortie de l’alimentation semble influencer l’allure temporelle du signal écèlement $V_{out}(t)$. Il est donc impératif de prendre en compte cet élément dans la phase de modélisation. Cependant, nous ne connaissons pas l’impédance de sortie de l’alimentation Agilent, et pour remédier à ce problème, nous avons choisi de rajouter à notre circuit de mesure un régulateur en tension qui a l’avantage de disposer d’un modèle SPICE, et notre choix s’est porté sur le régulateur LM317 du fabricant ON Semiconductor. Le circuit électrique, que nous avons implanté dans nos simulations SPICE pour contrôler l’alimentation et son impédance de sortie, est illustré à la figure 4.46(a).

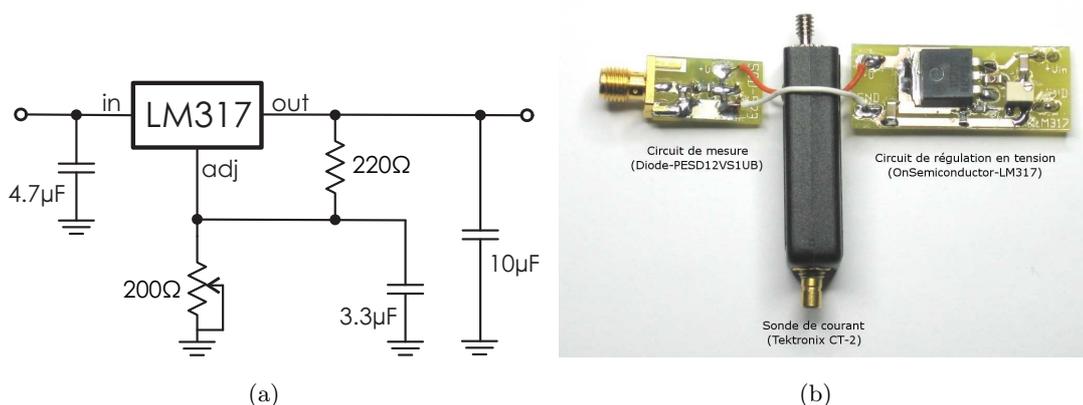


FIGURE 4.46 – (a) Schéma électrique du circuit de régulation en tension; (b) Circuit de mesure avec intégration du régulateur de tension et de la sonde de courant

La figure 4.46(b) présente le circuit développé pour cette mesure où l’on remarque la présence du régulateur et d’une sonde de courant (la présence de cette sonde sera justifiée plus tard).

D'après le schéma électrique de la figure 4.45(a), nous pouvons d'ores et déjà définir la façon dont les diodes de protection vont se déclencher en fonction de l'amplitude du signal d'entrée. La diode D2 s'active lorsque l'amplitude de l'alternance positive de la sinusoïde perturbatrice avoisine la tension équivalente à $V_{cc}+0,7V$, tandis que la diode D1 commence à conduire lorsque l'alternance négative de l'amplitude du signal sinusoïdale est proche de son seuil de conduction ($\approx -0,7V$). La tension d'alimentation ne doit pas excéder un certain niveau qui est déterminé par les caractéristiques électriques des sondes de mesure de l'oscilloscope. Cette tension V_{CC} a donc été fixée à 2V afin d'avoir une dynamique en tension suffisamment importante pour observer avec précision l'écrêtage d'un signal sinusoïdal d'amplitude 3V avec une fréquence de 5MHz. La phase de comparaison des résultats est effectuée de la même manière que précédemment. Une simulation SPICE a ainsi été réalisée en intégrant le modèle de diode déterminé auparavant. La figure 4.47 présente les résultats de cette étude.

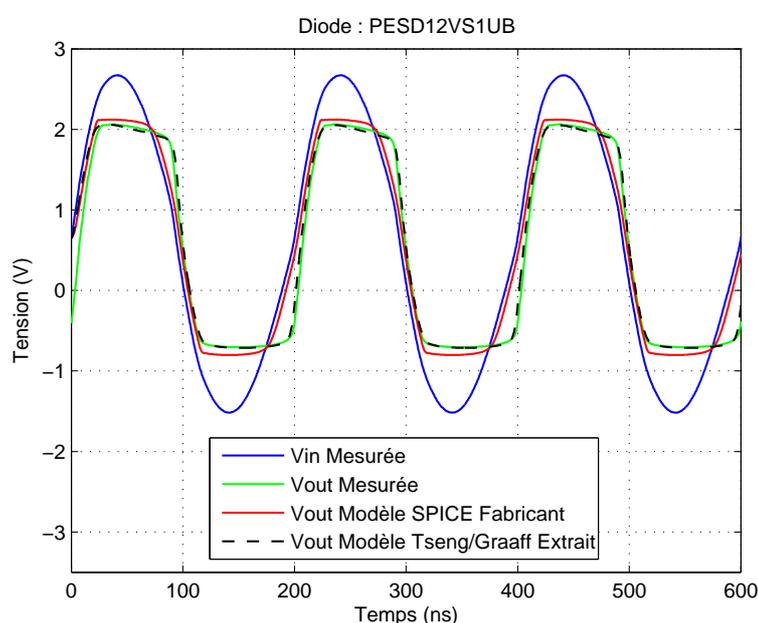


FIGURE 4.47 – Simulation SPICE de l'écrêtage du sinus avec les diodes NXP PESD12VS1UB

Les résultats obtenus à partir du modèle de Tseng/Graaff sont assez concluants et ils sont bien meilleurs que ceux obtenus à partir du modèle SPICE du fabricant, particulièrement durant les phases d'écrêtage et lors des phases de commutation. Ce cas d'étude permet de confirmer, à nouveau, que la redéfinition de l'équation de contrôle de charges dans le modèle de Tseng a été bénéfique et démontre la nécessité de prendre en compte les phénomènes de recouvrement qui permet de mieux modéliser le "turn-off" des diodes. Néanmoins, il subsiste encore de légères différences entre les résultats expérimentaux et les prédictions du modèle de Tseng/Graaff ce qui signifie que le modèle est sans doute encore perfectible. Ces différences sont notamment visibles sur les phases d'écrêtage des alternances positives et négatives (4.48). Cela peut s'expliquer par le simple fait que le modèle de Tseng a été développé à la base pour décrire le fonctionnement des diodes en régime de commutation [156], ce qui signifie que son formalisme risque d'être limité pour évaluer le comportement de la diode dans le cas où la fréquence de répétition des signaux

est plus élevée.

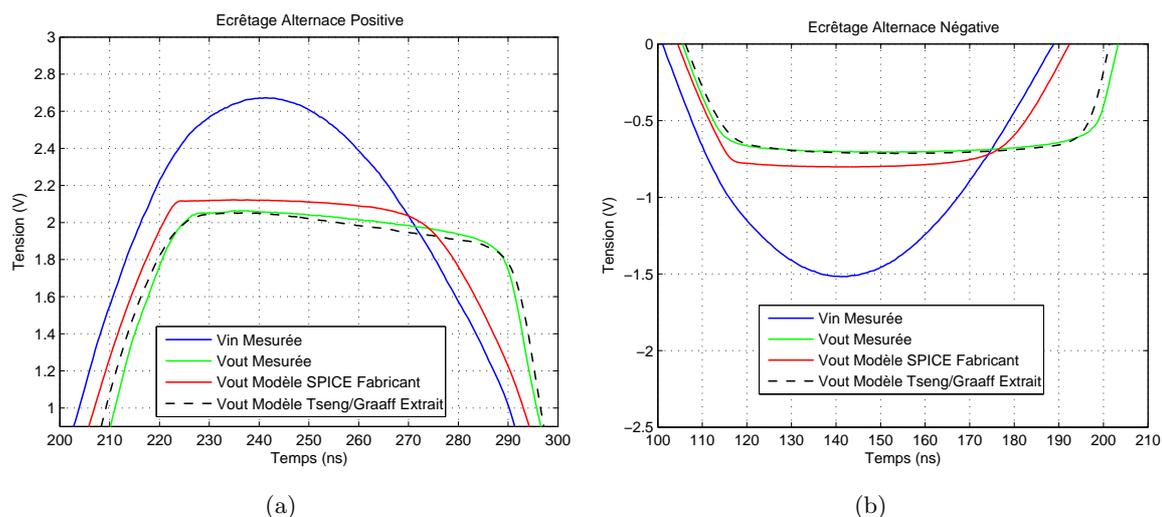


FIGURE 4.48 – (a) Ecrêtage alternance positive de la sinusoïde ; (b) Ecrêtage alternance négative de la sinusoïde - Diodes NXP PESD12VS1UB

Au niveau expérimental, nous pouvons également prélever le courant qui traverse la diode D2 et qui est lié à l'écrêtage positif de la sinusoïde. Cette mesure est réalisée au moyen de la sonde de courant Tektronix CT-2, qui possède une bande passante allant jusqu'à 200MHz (cf. figure 4.46(b)). Les résultats de cette comparaison entre la mesure et la simulation SPICE avec le modèle de Tseng/Graaff sont présentés sur la figure 4.49 :

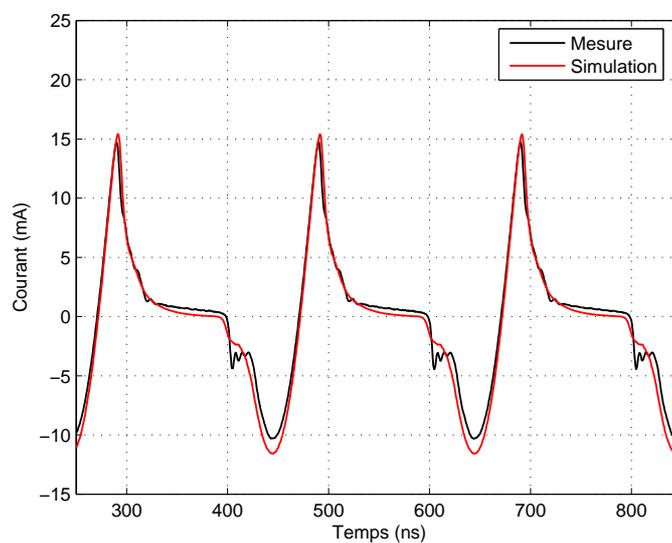


FIGURE 4.49 – Allure du courant dans la diode D2

Ces résultats confirment que le modèle de Tseng/Graaff extrait est adapté à ce contexte d'étude. Cependant, il existe quelques petites différences entre la mesure et la simulation qui sont principalement dues aux éléments de mesure. Les petites ondulations visibles sur l'allure du courant ont pu être associées aux effets selfiques apportés par les câbles d'alimentation et

par les éléments parasites du circuit de mesure. De plus, la fonction de transfert de la sonde n'a pas été prise en compte dans les simulations SPICE. Quoiqu'il en soit le bon accord entre les résultats théoriques et les résultats expérimentaux démontre que notre méthodologie permet de prédire correctement le comportement des éléments de protection discrets en phase d'écrêtage.

Pour compléter ce cas d'étude, nous sommes actuellement en train de confronter notre modèle à la prédiction de l'écrêtage d'un signal sinusoïdal modulée par une impulsion. Cette configuration présente l'intérêt de se rapprocher des caractéristiques électriques des MFP. Le cas d'étude présenté à la figure 4.51 propose de caractériser le comportement des protections face à une perturbation sinusoïdale de fréquence 100MHz modulé par une impulsion de 10ns de temps de montée et de 300ns de largeur. Concernant le circuit de mesure, nous avons choisi de nous affranchir du problème d'impédance de l'alimentation en supprimant cette alimentation et en montant les diodes en tête-bêche (cf figure 4.50). Dans ce cas là, les diodes écrêtent dès leur tension de seuil en positif comme en négatif. Les diodes introduites dans cette expérience sont des diodes ESD9L5.0ST5G du fabricant ON Semiconductor (cf. paragraphe 4.2.1.5).

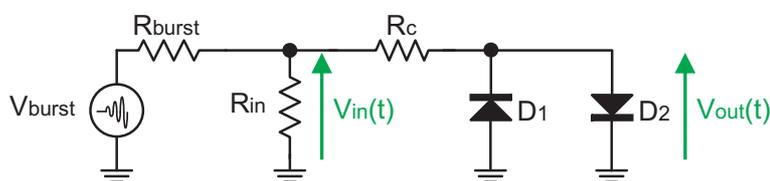


FIGURE 4.50 – Schéma électrique du montage pour l'analyse du comportement des diodes face un burst RF

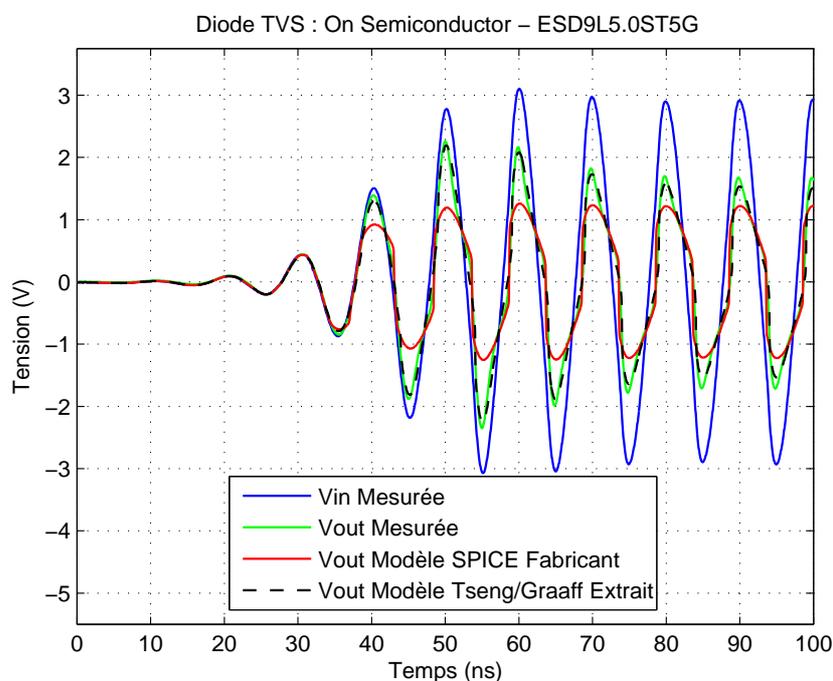


FIGURE 4.51 – Simulation SPICE de l'écrêtage d'un burst RF avec les diodes TVS ON Semiconductor ESD9L5.0ST5G

Ces premières investigations sont très encourageantes car elles démontrent que le modèle extrait permet de reproduire avec fidélité le comportement des protections, et le modèle SPICE du fabricant est peu performant dans ce cas d'étude. Cependant, le principal problème au niveau expérimental provient de la synchronisation entre le démarrage de la sinusoïde RF et l'impulsion. Nous avons essayé plusieurs configurations de synchronisation mais il subsiste néanmoins de légères désynchronisations ce qui fait que les mesures ne sont pas très fidèles compte tenu du moyennage qui se fait sur des signaux d'allure légèrement différente. Pour le moment, ce cas d'étude n'est qu'un exemple et nous envisageons de poursuivre ce type d'investigation avec l'acquisition d'un générateur de bursts RF plus performant.

4.3.1.2 Protections ESD intégrées

Cette étude ne se limite pas aux protections discrètes puisque nous avons également étudié le comportement transitoire des étages de protection ESD lorsqu'ils sont amenés à limiter des signaux perturbateurs. Cette étude a également pour objectif de démontrer l'apport du modèle de Tseng/Graaff par rapport au modèle IBIS. La procédure expérimentale est très similaire à celle employée pour les protections discrètes. En effet, les premières expérimentations ont consisté à analyser le comportement de l'étage de protection du circuit intégré MM74HC04 lorsqu'il est perturbé par un signal sinusoïdal. Ainsi, nous avons injecté une perturbation sinusoïdale, dont l'amplitude est suffisamment élevée pour déclencher les éléments de protection, sur l'une des broches d'entrée du circuit. Le schéma électrique de cette mesure est le suivant :

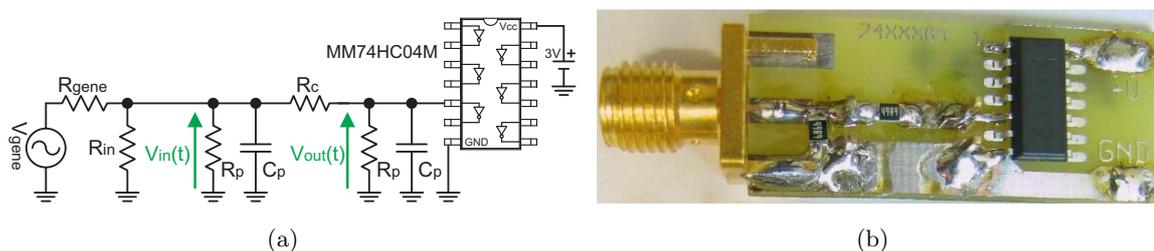


FIGURE 4.52 – (a) Schéma électrique pour l'analyse des phases d'écrêtage du circuit MM74HC04M; (b) Circuit de mesure - Fairchild MM74HC04M

Le circuit de mesure est agencé de la même manière que celui présenté à la figure 4.45. Dans ce cas là, les diodes discrètes ont été remplacées par les protections internes du circuit intégré. La tension d'alimentation V_{cc} a été fixée à 3V ce qui constitue un bon compromis entre les tensions maximales acceptables par les sondes de mesure et la tension minimale de fonctionnement du circuit intégré (2V). Lors de la simulation SPICE du circuit de mesure, nous avons intégré l'ensemble des effets parasites liés entre autres au boîtier et aux sondes de mesure. La figure 4.53 compare les résultats de mesure et de simulation lorsque le circuit est perturbé par un signal sinusoïdal de fréquence 5MHz.

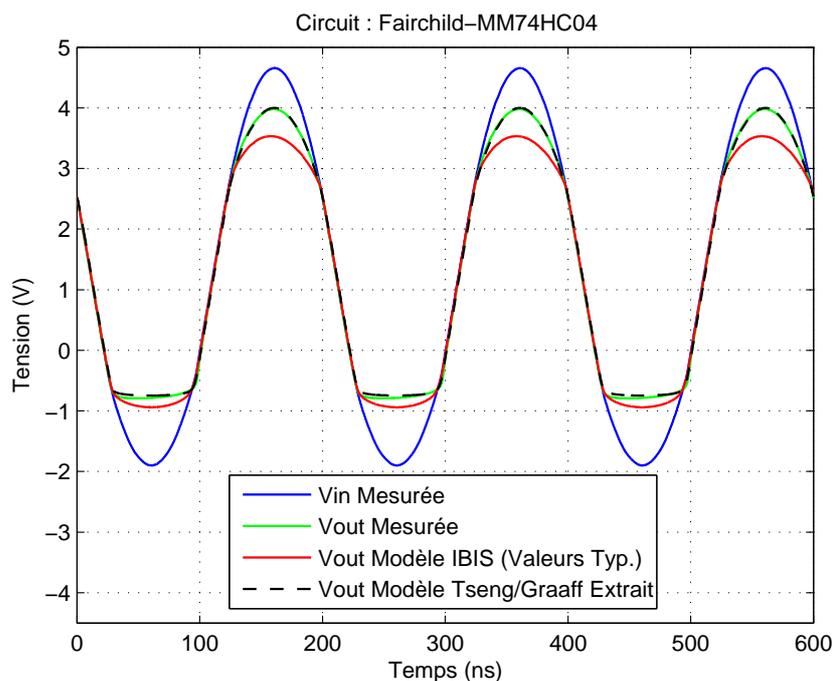


FIGURE 4.53 – Simulation SPICE de l'écrêtage du sinus par l'étage de protection du circuit Fairchild MM74HC04M

Les conclusions énoncées lors de la même étude réalisée avec les diodes PESD12VS1UB peuvent être appliquées à ce cas d'étude puisque nous constatons les mêmes tendances. En effet les prédictions du modèle de Tseng/Graaff sont beaucoup plus concluantes que celles du modèle IBIS malgré le fait qu'il subsiste tout de même quelques légères divergences avec les résultats expérimentaux. Ces petites différences sont visibles sur les phases d'écrêtage des alternances positives et négatives (figure 4.54(a) et 4.54(b)).

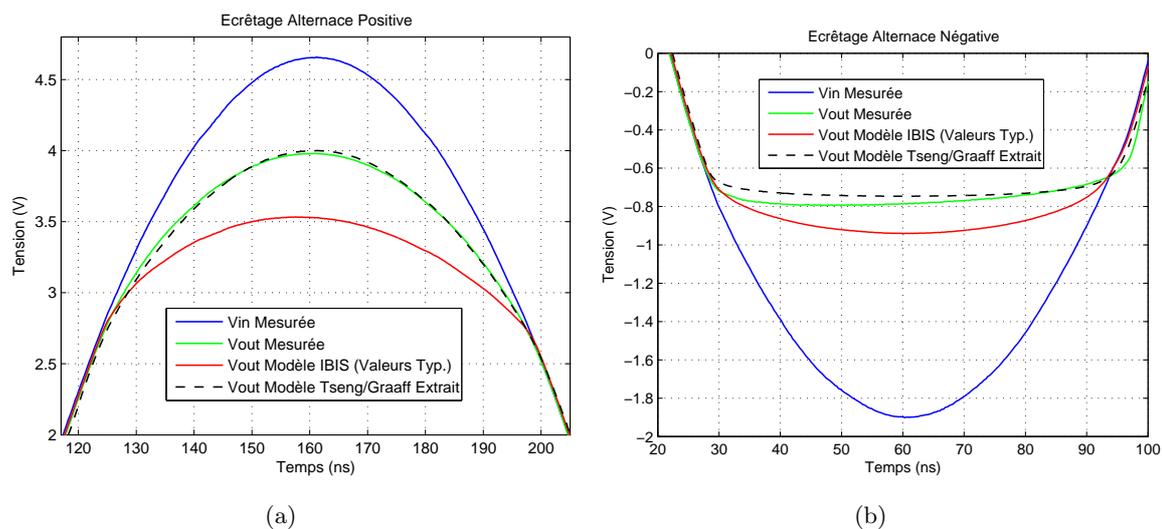


FIGURE 4.54 – (a) Ecrêtage alternance positive de la sinusoïde ; (b) Ecrêtage alternance négative de la sinusoïde - Fairchild MM74HC04M

Si nous analysons le comportement des éléments de protection, nous remarquons, d'une part,

que l'action d'écrêtage du PowerClamp est minime ce qui confirme les conclusions énoncées lors de la validation de l'extraction de paramètres, et d'autre part que l'élément GroundClamp limite significativement l'alternance négative de la sinusoïde. Le modèle de Tseng/Graaff s'est donc révélé particulièrement performant pour prédire le comportement des protections en présence de perturbations sinusoïdales, mais compte-tenu du contexte de notre étude, cette analyse n'est pas suffisante. Ainsi, la prochaine étude propose d'évaluer le comportement des protections en présence de perturbations transitoires rapides.

4.3.2 Écrêtage d'une perturbation transitoire par des protections intégrées

Dans le premier chapitre de ce manuscrit, nous avons insisté sur le fait que la finalité de cette étude était d'évaluer le comportement des systèmes électroniques en présence de perturbations ULB. Pour cela, nous avons donc cherché à nous rapprocher de ces conditions particulières en modifiant quelque peu notre configuration expérimentale. Dans ce contexte, le générateur Picosecond Pulse Lab a été utilisé afin d'obtenir des impulsions ayant des fronts de montée les plus raides possibles. Bien que les impulsions ULB réelles soient plus rapides, cette analyse nous permettra d'avoir une idée du comportement des composants de protection dans de telles conditions. Nous avons limité la largeur de nos impulsions à une dizaine de nanosecondes ($\approx 12\text{ns}$). Tous les éléments parasites du boîtier ont été pris en compte dans les simulations à partir du modèle IBIS du circuit.

4.3.2.1 Protections intégrées du circuit logique MM74HC04

La circuit de mesure proposé dans cette étude est illustré à la figure 4.55.

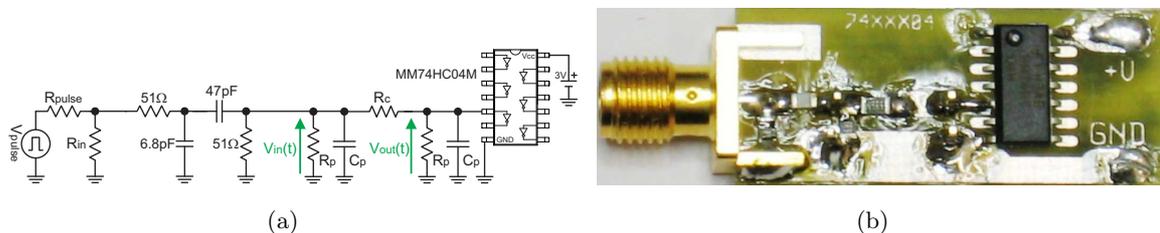


FIGURE 4.55 – (a) Schéma électrique pour l'analyse des phases d'écrêtage du circuit MM74HC04M; (b) Circuit de mesure - Circuit Fairchild MM74HC04M

L'insertion d'un filtre passe-bas de type RC ($51\Omega/6,8\text{pF}$) a pour objectif de limiter le contenu spectral de l'impulsion à la bande passante disponible de l'oscilloscope et des sondes de mesure. Dans cette configuration, le temps de montée typique obtenu avec le filtre passe-bas de nos impulsions est de 380ps . Les composants de ce filtre sont des composants CMS en boîtier 0805. Le signal filtré est par la suite dirigé vers un différenciateur passif ($47\text{pF}/51\Omega$) afin d'obtenir un signal bipolaire. Ce signal présente l'avantage d'exciter consécutivement les protections PowerClamp et GroundClamp dans une seule mesure. La tension d'alimentation du circuit est fixée à 3V et l'impulsion délivrée par le générateur a été configurée pour obtenir un signal bipolaire ayant une dynamique en tension de $\pm 4\text{V}$ afin de respecter les limites imposées par les sondes de mesure de l'oscilloscope.

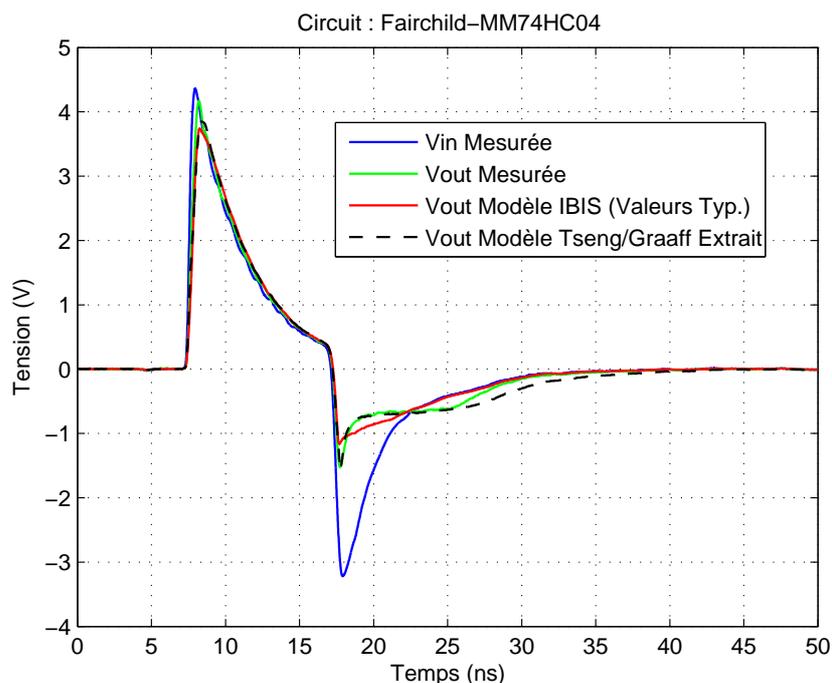


FIGURE 4.56 – Analyse du comportement transitoire de l'étage de protection du circuit MM74HC04

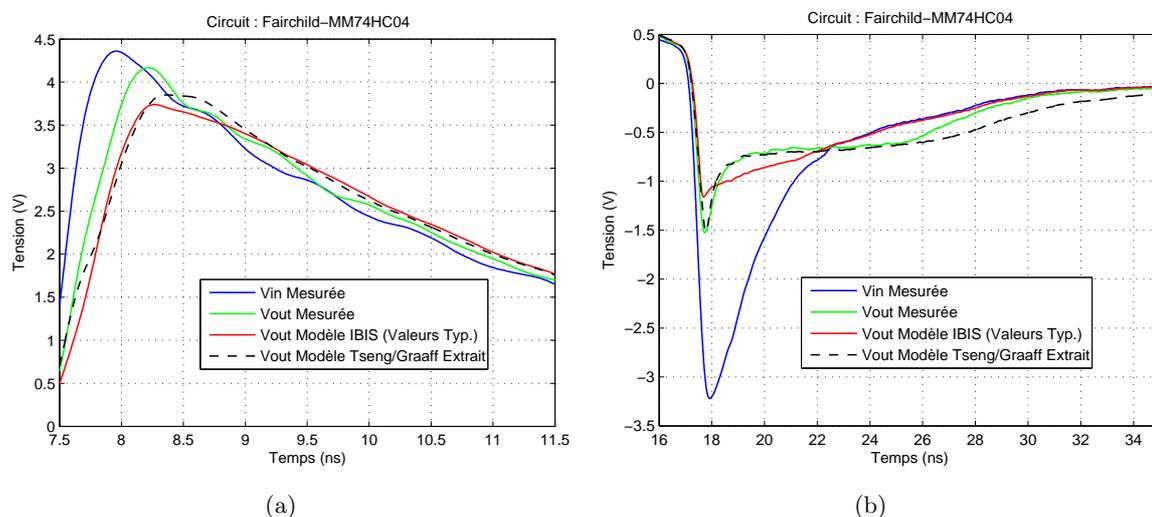


FIGURE 4.57 – (a) Ecrêtage de l'alternance positive du signal bipolaire; (b) Ecrêtage de l'alternance négative du signal bipolaire - Fairchild MM74HC04M

Les figures 4.56 et 4.57 comparent les résultats expérimentaux avec les résultats de simulation du circuit de la figure 4.55 en utilisant les modèles précédemment extraits selon notre méthodologie et les modèles provenant du modèle IBIS du fabricant. Dans le cas du modèle IBIS, nous avons choisi de travailler avec les caractéristiques des étages de protection en condition typique. Les éléments parasites de l'interconnexion du boîtier avec la puce ont été intégrés dans la simulation du circuit. Les résultats de simulation obtenus avec le modèle extrait

prédissent de manière satisfaisante les résultats expérimentaux, tandis que les résultats issus du modèle IBIS sont beaucoup moins fidèles.

Si nous considérons la figure 4.57(a), nous constatons qu'il n'y a pas d'effet d'écrêtage sur l'alternance positive du signal transitoire car le seuil de déclenchement de la protection PowerClamp est plus élevé que l'amplitude maximale de l'impulsion. Ce comportement était prévisible car, si nous nous référons à l'analyse menée dans la partie 4.2.2.2, nous avons remarqué la faible influence de cette protection dans la gamme de tensions explorée. Ce comportement est parfaitement appréhendé par les modèles utilisés, mais néanmoins on remarque que le modèle de Tseng/Graaff présente un meilleur accord avec les résultats expérimentaux que le modèle IBIS. Concernant l'alternance négative du signal transitoire, on remarque que l'action de l'élément GroundClamp est beaucoup plus prononcée cette fois-ci. Une légère surtension, engendrée par le phénomène de recouvrement direct, est nettement visible au début de la phase d'écrêtage et elle est parfaitement décrite par le modèle de Tseng/Graaff. Quant au modèle IBIS, ses prédictions sont relativement correctes compte tenu du fait que le phénomène de recouvrement direct est inexistant dans les résultats expérimentaux. Néanmoins, les résultats obtenus avec le modèle de Tseng/Graaff sont beaucoup plus précis. Ces bons résultats méritent d'être confirmés sur les autres circuits intégrés que nous avons caractérisés auparavant.

4.3.2.2 Protections intégrées du circuit logique NC7S04M5X

La configuration expérimentale élaborée pour analyser le comportement transitoire des protections des circuits intégrés lorsqu'ils sont perturbés par des impulsions rapides a donc été appliquée au circuit NC7S04M5X. Le circuit de mesure est toujours composé des mêmes éléments électriques et l'unique modification a consisté à implanter le circuit intégré NC7S04M5X. Le circuit de mesure associé à cette expérimentation est donnée à la figure 4.58.

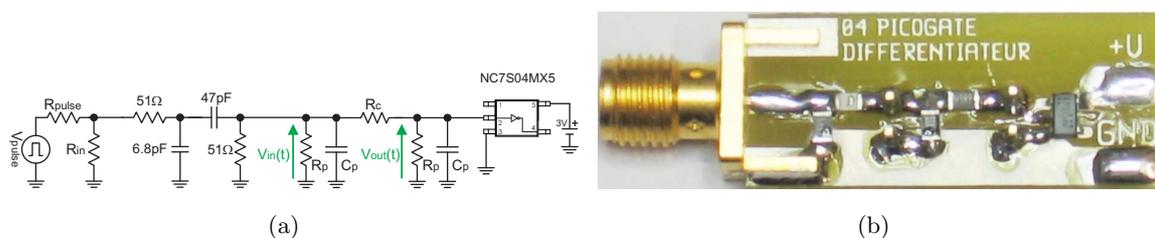


FIGURE 4.58 – (a) Schéma électrique du circuit de mesure pour l'analyse en configuration de protection avec le circuit Fairchild NC7S04M5X; (b) Circuit de mesure

La figure 4.59 expose les résultats de expérimentaux associés aux résultats de simulation obtenus avec le modèle de Tseng/Graaff et le modèle IBIS (valeurs typiques). L'une des premières observations que nous pouvons faire est que les éléments de protection PowerClamp et GroundClamp présents à l'étage d'entrée du circuit sont actifs et limitent les surtensions engendrées par le signal perturbateur. Ce comportement corrobore les conclusions que nous avons énoncées au vu des courbes IBIS, dans lesquelles les éléments PowerClamp et GroundClamp ont effectivement une action prononcée.

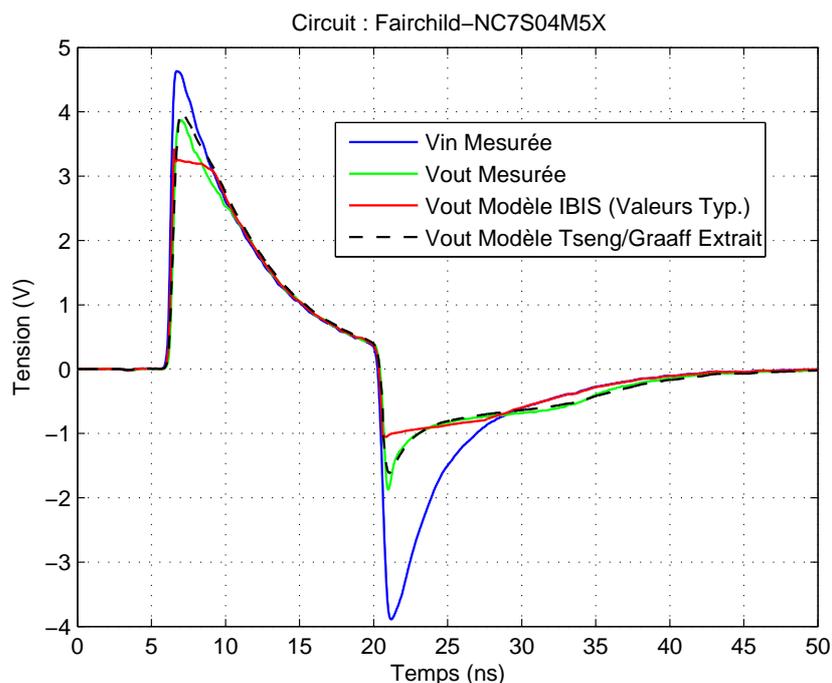


FIGURE 4.59 – Analyse du comportement transitoire de l'étage de protection du circuit Fairchild NC7S04M5X

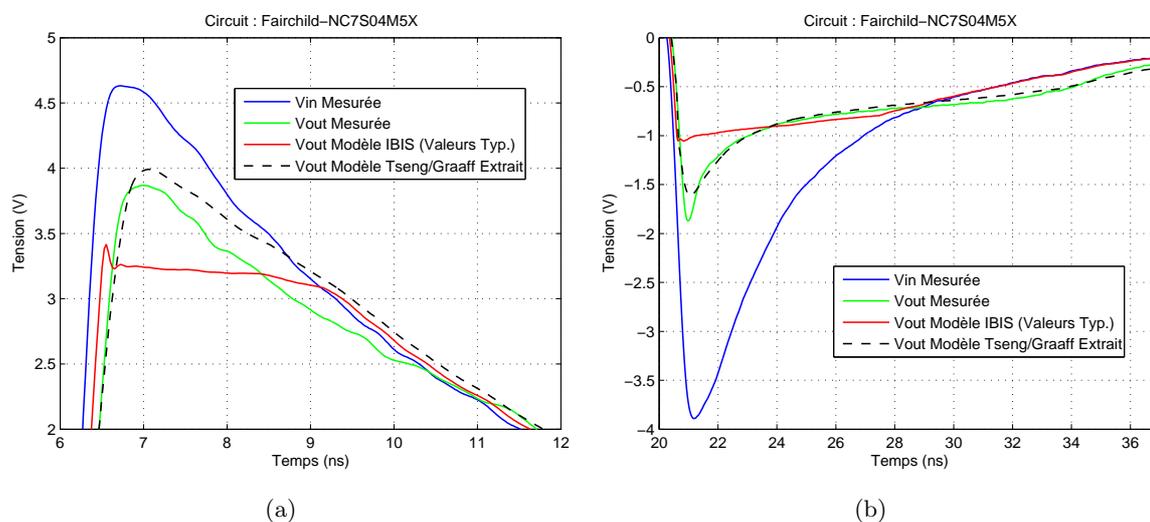


FIGURE 4.60 – (a) Ecrêtage de l'alternance positive ; (b) Ecrêtage de l'alternance négative - Fairchild NC7S04M5X

En observant de plus près les phases d'écrêtage de chaque alternance sur les figures 4.60(a) et 4.60(b), on remarque que les résultats du modèle de Tseng/Graaff concordent avec les résultats expérimentaux. En revanche, les prédictions du modèle IBIS surestiment l'aptitude des protections à écrêter les surtensions du signal perturbateur. Cette faille peut s'expliquer par le fait que le modèle IBIS omet de prendre en considération les mécanismes de recouvrement

direct. Cette remarque est particulièrement perceptible sur l’alternance positive du signal (figure 4.60(a)) : en l’absence de recouvrement direct, l’effet de la protection est immédiat. A l’inverse si l’on tient compte du phénomène de recouvrement direct, on retrouve la présence d’une surtension qui dépasse le seuil d’écrtage avant de passer à l’écrtage lui-même. Tous les éléments selfiques parasites (L_{pkg}) qui pourraient être à l’origine cette surtension ont été pris en compte dans les simulations SPICE. D’ailleurs, l’effet de cette inductance peut être distingué sur la courbe IBIS de la figure 4.60(a) et l’on remarque qu’elle n’est vraiment pas significative. Il est nécessaire de correctement prendre en compte le recouvrement car ce phénomène est présent sur les deux phases d’écrtage. Au fur et à mesure des différentes expériences, nous comprenons plus en détails les différents mécanismes qui se produisent et l’intégration d’une modélisation orientée sur le comportement “physique” permet en partie d’expliquer l’origine de ces effets.

4.3.2.3 Protections intégrées du circuit programmable EPLD EPM7064AE

Finalement les dernières investigations qui ont été menées nous ont conduit à évaluer le comportement des protections ESD du circuit EPLD lorsque celui-ci est perturbé par le signal précédemment utilisé. La configuration expérimentale est identique à celles présentées pour les circuits MM74HC04M et NC7S04M5X. Néanmoins, il est tout de même opportun de présenter le circuit de mesure élaboré pour cette étude :

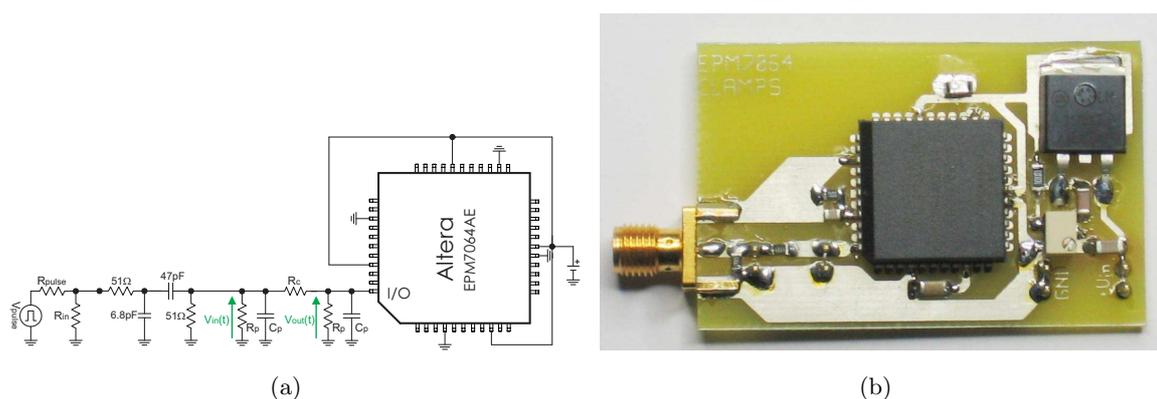


FIGURE 4.61 – (a) Schéma électrique du circuit de mesure pour l’analyse en configuration de protection avec le circuit Altera EPLD EPM7064AE ; (b) Circuit de mesure

Le régulateur de tension a été directement implanté sur le circuit de mesure afin de minimiser les éventuels problèmes selfiques liés aux câbles d’alimentation. Lors de la description du fichier IBIS relatif au circuit EPLD, nous avons remarqué que la protection PowerClamp n’était pas active, ce qui a été confirmé lors de la phase d’extraction de paramètres. Les modèles des protections utilisés dans la simulation SPICE du circuit de mesure sont le modèle de Tseng/Graaff et le modèle IBIS défini en valeurs typiques.

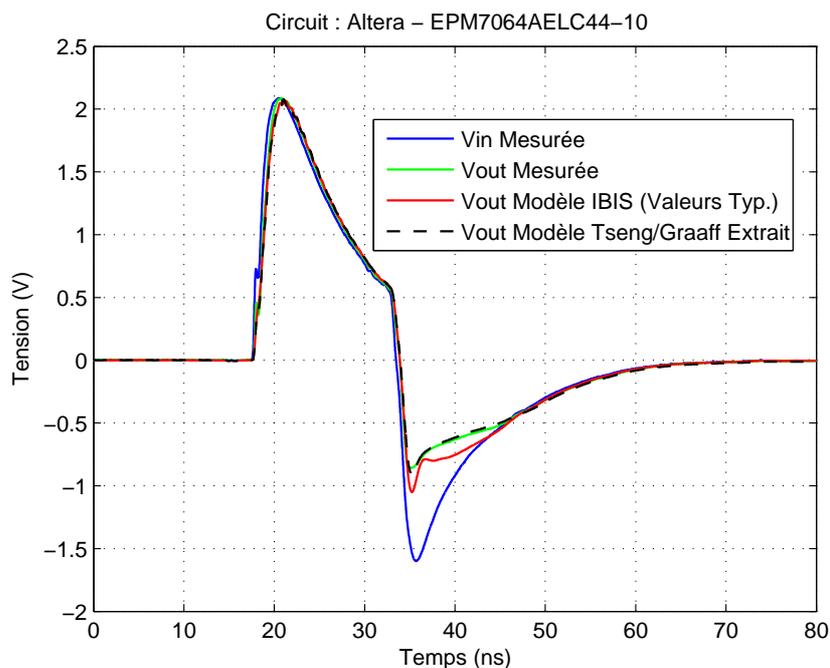


FIGURE 4.62 – Analyse du comportement transitoire de l'étage de protection du circuit Altera EPLD EPM7064AE

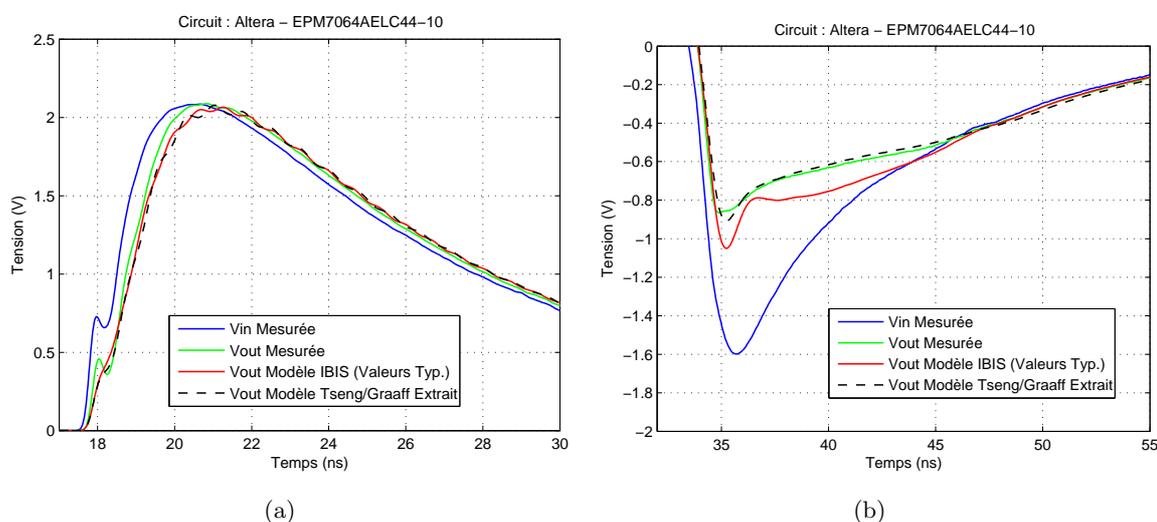


FIGURE 4.63 – (a) Ecrêtage de l'alternance positive du signal bipolaire; (b) Ecrêtage de l'alternance négative du signal bipolaire - Altera EPLD EPM7064AE

A première vue les prédictions du modèle de Tseng/Graaff reproduisent fidèlement le comportement des éléments de protections du circuit observé durant la phase expérimentale. La figure 4.63 illustre en détail le comportement des protections sur les alternances du signal bipolaire. En observant la figure 4.63(a), on remarque très clairement que la protection PowerClamp est inactive : la partie positive de l'impulsion n'est absolument pas écrêtée et

l'allure du signal de sortie est très proche de l'allure du signal d'entrée ce qui confirme ce que nous avons énoncé en introduction à cette étude. Concernant le comportement de la protection GroundClamp de l'EPLD (figure 4.63(b)), on constate qu'elle s'est déclenchée et que l'effet d'écrêtage est nettement perceptible. Le formalisme de Tseng/Graaff est redoutablement efficace tout au long de la phase d'écrêtage tandis que les prédictions du modèle IBIS sont moins fidèles aux résultats expérimentaux. En effet, lors de la commutation à la fermeture de la protection GroundClamp, le modèle IBIS exhibe une légère surtension qui se transforme par la suite par une oscillation rapidement amortie. La présence de ce phénomène est principalement due à la forte inductance parasite des broches considérées (8nH).

4.4 Conclusion

La méthodologie de modélisation a été appliquée avec succès sur différents types de protection, qu'elles soient discrètes ou intégrées dans les puces des circuits, et ce pour différents types de signaux. Les différents cas de validation ont prouvé que la mise en place d'une modélisation basée sur une approche physique était déterminante dans la prédiction du comportement des protections en transitoire. Les modèles générés par le formalisme de Tseng/Graaff sont la plupart du temps en accord avec les résultats expérimentaux. Grâce à cela, il est donc possible d'émettre un raisonnement adapté et pragmatique sur le comportement des charges en régime transitoire. En effet, la mise en évidence des phénomènes de recouvrement associés au phénomène de stockage de charges électriques et de temps de diffusion s'est révélée bénéfique dans l'obtention d'un modèle fidèle et dans l'interprétation des résultats.

Pour le moment, l'outil de modélisation développé permet d'obtenir un modèle qui est capable de prédire avec une grande précision le comportement des éléments de protection suivant différentes configurations de signaux perturbateurs. L'assimilation du comportement des étages de protection contre les ESD des circuits intégrés à celui d'une simple diode s'est révélée particulièrement adaptée à notre contexte expérimental, même si les phénomènes physiques dont ces protections sont le siège ne sont pas forcément identiques à ce qui se passe au cœur des diodes. Le modèle basé sur le formalisme de Tseng et de Graaff et Klaassen permet tout de même de représenter de manière relativement fidèle le comportement des protections intégrées. Ceci est en grande partie dû à la prise en compte dans notre formalisme des phénomènes liés au mouvement des charges, permettant ainsi une approche un peu plus généraliste. Néanmoins, les modèles extraits sont encore perfectibles et il est prévu à court terme d'intégrer de nouveaux générateurs et des sondes de mesure haute tension afin de mesurer la réponse transitoire des éléments de protection dans une gamme de tensions plus élevées. Cette évolution permettra de repousser les limites actuelles de notre banc de mesure et ainsi d'accroître la dynamique en tension afin d'explorer plus en détail le comportement des protections conçues pour fonctionner en polarisation inverse. De plus, ces nouvelles conditions expérimentales autoriseront une zone d'exploration plus vaste en polarisation directe ce qui permettra ainsi de prendre en considération les phénomènes de forte injection.

Conclusion générale

Le travail présenté dans ce manuscrit contribue à l'analyse de la susceptibilité des cartes électroniques lorsque le système est perturbé par des parasites électromagnétiques. Ces travaux sont une partie intégrante du projet VULCAIM qui propose d'analyser les couplages d'une onde parasite de type AGREMI sur un système complexe en vue de la détermination de son niveau de vulnérabilité et des dysfonctionnements sur différentes fonctions du système. La démarche proposée dans ce projet repose sur une décomposition du système en sous-systèmes relatifs aux phénomènes de couplage à différentes échelles et a pour but de mettre en œuvre des approches simplifiées pour réaliser les études aux différents niveaux de couplage pour au final développer des modèles permettant l'étude de la vulnérabilité.

A l'échelle du composant, les études de susceptibilité représentent un domaine d'investigation assez vaste, mais le contexte de notre travail se distingue de la plupart des études qui sont réalisées dans un contexte industriel, car les perturbations que nous considérons sont des signaux "non-usuels". En effet, le spectre fréquentiel des AGREMIs nous amène à mettre en place une approche réellement fine des phénomènes physiques qui vont intervenir afin d'être le plus fidèle possible au comportement du circuit pour en déterminer les origines des dysfonctionnements.

Pour cela, nous avons construit notre étude en émettant certaines hypothèses quant au couplage de la perturbation sur les cartes électroniques. En premier lieu, nous considérons que la perturbation est en mesure de se coupler sur les pistes des circuits imprimés et qu'elle peut affecter l'ensemble des circuits intégrés présents sur la carte électronique. L'une des principales difficultés dans ce genre d'étude est de déterminer le niveau de perturbation arrivant sur les entrées des circuits car il dépend de nombreux facteurs. Nous avons cherché à simplifier ce problème en admettant que le niveau de la perturbation a été fortement atténué à cause de la propagation de l'onde en espace libre et de l'efficacité de blindage du système. Au final, le niveau de perturbation qui va se coupler sur les interfaces des circuits est légèrement plus élevé que les tensions d'alimentation. La seconde hypothèse est fondée sur le raisonnement suivant : lorsque la perturbation se couple sur une carte électronique, les premiers éléments qui vont interagir avec elle sont les éléments de protections. Ces éléments peuvent être de type discret, et l'on parle dans ce cas là de protection "Off-Chip", ou alors directement intégrés dans les étages d'entrée/sortie des circuits numériques, et l'on se réfère alors à des protections de type "On-Chip". Notre étude s'appuie donc sur ces deux hypothèses, et nous avons donc cherché à évaluer l'influence de ces protections sur le comportement des circuits intégrés lorsqu'ils sont perturbés par des parasites de type AGREMI.

Dans le second chapitre de ce manuscrit, nous avons énuméré de façon générique les différentes stratégies de protection dans les cartes électroniques et nous en avons déduit que les protections discrètes sont en général composées de diodes. Pour ce qui est des protections "On-Chip", il est beaucoup plus difficile de déterminer leur constitution car les fabricants conservent à juste titre la confidentialité de leur architecture interne. Néanmoins, en se basant sur le modèle IBIS, il est possible d'obtenir des informations sur les caractéristiques statiques de ces protections, généralement conçues pour supporter des décharges ESD. Après avoir inspecté différents fichiers IBIS, nous en avons déduit que, dans de nombreux cas, ces caractéristiques étaient semblables à des courbes I/V de diodes. Pour confirmer ces tendances, nous avons mis

en place un outil logiciel permettant d'extraire un modèle SPICE de diode par rapport à ces caractéristiques. Les résultats ont été relativement satisfaisants et nous ont permis d'en déduire qu'il était possible d'assimiler le comportement statique de ces protections à celui des diodes.

Les composants de protection ont un comportement qui n'est pas idéal et, dans le cas des perturbations considérées, leur comportement fortement non-linéaire peut redresser les agressions HF et ainsi engendrer de probables dysfonctionnements. De plus, ces protections comportent des capacités parasites non-linéaires qui peuvent altérer l'intégrité du signal logique arrivant sur les inverseurs d'entrée lorsque le circuit est dans un milieu hostile. Dans le cadre de nos travaux, la connaissance des paramètres dynamiques de ces protections est capitale et malheureusement dans le cas des protections "On-Chip", le modèle IBIS ne donne que très peu d'informations malgré les dernières redéfinitions du standard. Ainsi, avons-nous choisi de mettre en place une méthodologie d'analyse permettant de caractériser le comportement global des protections face à des perturbations transitoires.

Cette méthodologie se base sur une étude expérimentale à partir de laquelle nous proposons d'extraire un modèle SPICE des protections dont le comportement a été assimilé à celui des diodes. Cependant, l'analyse du comportement des diodes en régime transitoire a montré la nécessité de redéfinir en grande partie le modèle SPICE de base afin d'obtenir un modèle beaucoup plus réaliste et physique que le modèle SPICE standard. L'analyse transitoire du comportement statique et dynamique des éléments de protection a permis la mise en évidence des phénomènes de stockage de charges électriques et de temps de diffusion de ces charges, qui sont à l'origine des problèmes rencontrés. Ces derniers phénomènes ne sont, en effet, pas pris en compte dans les modèles fournis par le constructeur. Dans ce contexte, l'intégration des phénomènes de recouvrement est une condition indispensable dans l'obtention du modèle prédictif malgré le fait que ces phénomènes soient plutôt associés à des tensions et courants plus élevés qui sont généralement rencontrés en électronique de puissance. Le modèle de diode ainsi développé est nativement compatible avec SPICE, mais peut être utilisé sans problème avec d'autres types d'outils de résolution temporelle, comme le VHDL-AMS par exemple.

Par ailleurs, cette étude a permis de mettre en place un banc de mesure temporel complet et performant dans lequel la caractérisation complète des éléments de protection ESD peut être réalisée à partir d'un seul et unique relevé de tensions. Cette méthode présente l'avantage d'éviter une série de mesures complexes (caractéristiques I/V et C/V).

La méthodologie définie pour modéliser le comportement global des diodes a été validée au moyen d'exemples concrets sur des diodes de protections et sur les étages de protection des circuits intégrés, et les différents cas d'étude ont démontré que les résultats de simulation issus du modèle extrait à partir de notre méthodologie étaient en accord avec les résultats expérimentaux. L'assimilation du comportement des étages de protection contre les ESD des circuits intégrés à celui d'une simple diode s'est révélée particulièrement adaptée à notre contexte malgré le fait que les stratégies de protection évoluent et que les circuits sont de plus en plus complexes. Au delà de ces validations, nous avons également souhaité confronter nos modèles à des situations où les éléments de protection sont soumis à des perturbations transitoires rapides. Les résultats obtenus confirment que les modèles extraits à partir de notre méthodologie sont relativement

adaptés pour prédire le comportement des protections dans le domaine temporel en présence de perturbations et ils sont beaucoup plus performants que les modèles issus des fabricants.

Bien que le modèle utilisé donne d'excellents résultats dans notre situation, il n'est cependant pas universel ce qui signifie qu'il n'est pas forcément adapté pour prédire le comportement des diodes dans les régions de fort courant ou dans la zone de polarisation inverse (phénomène d'avalanche). Dans le cas des protections "On-chip", l'assimilation du comportement des protections ESD à celui des diodes est valable dans notre situation car nous considérons des conditions d'injection à "bas-niveau". Si nous injectons des signaux de plus fort niveau, alors le formalisme de notre méthodologie risque d'être limité et il sera nécessaire d'intégrer d'autres phénomènes ou alors d'adopter un autre formalisme, notamment lorsque l'on cherche à modéliser le comportement de protection de type "snap-back". De plus, lors de l'étude réalisée sur le comportement des protections en présence de perturbation transitoire, nous avons pu remarquer que les performances du modèle de Tseng pouvaient être remises en question lorsque nous menons des investigations avec des signaux de type sinusöidaux. En effet, le modèle de Tseng a été développé pour décrire le fonctionnement des diodes en commutation, ce qui signifie que son formalisme risque d'être limité pour évaluer le comportement de la diode dans le cas où la fréquence de répétition est plus élevée. Dans ce cas là, il y a d'autres phénomènes qui interviennent, comme la non-linéarité du temps de transit, et une des suites de ce travail sera d'examiner précisément ces phénomènes.

L'une des finalités de cette étude est de créer un lien avec l'étude du couplage d'une onde EM avec une carte de circuit imprimé. Le formalisme utilisé dans la modélisation des éléments de protection a ainsi été introduit dans le solveur LAMLIM (modélisation des cartes imprimées par la méthode MTL) au moyen des équations aux variables d'état résolues par la méthode de Runge-Kutta. Avec cette intégration d'un module de résolution circuit, le solveur est désormais capable de traiter les pistes des cartes imprimées chargées par des éléments non-linéaires en présence de perturbation et d'en prédire les conséquences.

Bibliographie

- [1] G. E. MOORE, "Cramming more components onto integrated circuits," *Electronics Magazine*, vol. 38, 1965.
- [2] T. WILLIAMS, *Compatibilité Électromagnétique, de la conception à l'homologation*. Publitrionic/Elektor, 1999.
- [3] M. BÄCKSTRÖM, B. NORDSTRÖM, and K. LÖVSTRAND, "Is HPM a threat against the civil society?" in *XXVIIIth General Assembly of the International Union of Radio Science*, 2002.
- [4] A. REINEIX, C. GUIFFAUT, F. TORRES, B. PECQUEUX, J. JOLY, and P. HOFFMANN, "Méthodologie d'analyse de la susceptibilité de cartes électroniques placées dans leur contexte soumises à des MFP," in *13ème Colloque International et Exposition sur la Compatibilité Électromagnétique*, 2006.
- [5] H. TARHINI, "Étude de la susceptibilité des cartes des circuits imprimés face aux agressions électromagnétiques de fortes puissances," Thèse de doctorat, Université de Limoges, Faculté des Sciences et Techniques, 2008.
- [6] K. EL FELLOUS, "Contribution à l'élaboration d'une méthode d'analyse reposant sur une approche équivalent circuit pour l'étude de la pénétration d'ondes électromagnétiques dans une cavité," Thèse de doctorat, Université de Limoges, Faculté des Sciences et Techniques, 2010.
- [7] J. CASPER, D. RUTT, and D. TREMAIN, "Performance of standard aperture shielding techniques at microwaves frequencies," in *IEEE International Symposium on Electromagnetic Compatibility*, Seattle, WA, USA, 1988, pp. 218–222.
- [8] O. MAURICE, *La compatibilité électromagnétique des systèmes complexes*. Lavoisier, 2007.
- [9] S. BAZZOLI, "Caractérisation et simulation de la susceptibilité des circuits intégrés face aux risques d'inductions engendrées par des micro-ondes de forte puissance." Thèse de doctorat, Université des Sciences et Technologie de Lille, 2007.
- [10] SAMSUNG. (2003) CMOS transistor process technology. [Online]. Available : <http://pasargad.cse.shirazu.ac.ir/hard/CMOS-technology.pdf>
- [11] ITRS International Technology Roadmap for Semiconductors - Reports and Ordering Information. [Online]. Available : <http://www.itrs.net/reports.html>
- [12] M. RAMDANI, E. SICARD, S. BEN DHIA, and J. CATRYSSSE, "Towards an EMC roadmap for integrated circuits," in *Asia-Pacific Symposium on Electromagnetic Compatibility and 19th International Zurich Symposium on Electromagnetic Compatibility*, 2008.
- [13] P. HOFFMANN and S. MASSARIN, "CESARE : un calculateur dédié à l'étude de la susceptibilité aux agressions électromagnétiques," in *13ème Colloque International et Exposition sur la Compatibilité Électromagnétique*, 2006.
- [14] F. TRISTANT, "Étude des problèmes CEM liés à l'évolution vers les hautes fréquences des parasites électromagnétiques - application au couplage des MFP et ULB sur les structures externes des navires," Thèse de doctorat, Université de Limoges, Faculté des Sciences et Techniques, 1998.

- [15] M. IANOZ and H. WIPF, “Modeling and simulation methods to assess EM terrorism effects,” in *Asia Pacific Conference on Environmental Electromagnetics*, 2000.
- [16] R. PERROT, “Contribution à l’étude des effets d’une nouvelle classe de perturbateurs électromagnétiques sur les équipements - Application aux structures marines,” Thèse de doctorat, Université de Limoges, Faculté des Sciences et Techniques, 1998.
- [17] C. BAUM, “Focused aperture antennas,” in *Antenna Applications Symposium*, 1993.
- [18] D. GIRI and F. TESCHE, “Classification of intentional electromagnetic environments (IEME),” *IEEE Trans. Electromagn. Compat.*, vol. 46, no. 3, pp. 322–328, 2004.
- [19] J. BENFORD, J. SWEGLE, and E. SHAMILOGLU, *High Power Microwaves Second Edition*. Taylor and Francis, 2007.
- [20] A. PHOMMAHAXAY, “Contribution à l’étude de micro-dispositifs de protection des circuits radiorécepteurs aux impulsions hyperfréquences de puissance associant microtechnologies et phénomènes d’émission électronique,” Thèse de doctorat, Université de Marne-La-Vallée, 2007.
- [21] M. DESIRANT and J. MICHIELS, *Electromagnetic Wave Propagation*. Academic Press, 1960.
- [22] K. KIM, A. A. ILIADIS, and V. L. GRANATSTEIN, “Effects of microwave interference on the operational parameters of n-channel enhancement mode MOSFET devices in CMOS integrated circuits,” *Solid-State Electronics*, vol. 48, pp. 1795–1799, 2004.
- [23] J. CUVILLIER, *Cours de CEM : Notions élémentaires*, 2003.
- [24] M. RAMDANI, E. SICARD, A. BOYER, S. BEN DHIA, J. WHALEN, T. HUBING, M. COENEN, and O. WADA, “The electromagnetic compatibility of integrated circuits - past, present and future,” *IEEE Trans. Electromagn. Compat.*, vol. 51, pp. 78–100, 2009.
- [25] F. FIORI, S. BENELLI, G. GAIDANO, and V. POZZOLO, “Investigation on VLSI’s inputs ports susceptibility to conducted RF interference,” in *IEEE International symposium on Electromagnetic Compatibility*, 1997.
- [26] A. BOYER, “Méthode de prédiction de la compatibilité électromagnétique des systèmes en boîtier,” Thèse de doctorat, Institut National des Sciences Appliquées de Toulouse, 2007.
- [27] S. BEN DHIA, M. RAMDANI, and E. SICARD, *Electromagnetic Compatibility of Integrated Circuits*. Springer, 2006.
- [28] H. CHEN and J. NEELY, “Interconnect and circuit modeling techniques for full-chip power supply noise analysis,” *IEEE Trans. Compon., Packag., Manuf. Technol. B*, vol. 21, pp. 209–215, 1998.
- [29] *IEC 62433-2 : EMC IC modelling Part 2 : Models of Integrated Circuits for EMI behavioural simulation Conducted Emissions Modelling (ICEM-CE)*, International Electrotechnical Commission Std., 2008.
- [30] J. M. HOBBS, H. WINDLASS, V. SUNDARAM, S. CHUN, and G. E. WHITE, “Simultaneous switching noise suppression for high speed systems using embedded decoupling,” in *Proceedings - Electronic Components and Technology Conference*, 2001.

- [31] K. KIM and A. ILIADIS, "Operational upsets and critical new bit errors in CMOS digital inverters due to high power pulsed electromagnetic interference," *Solid-State Electronics*, vol. 54, pp. 18–21, 2010.
- [32] V. GRANATSTEIN, S. ANLAGE, T. ANTONSEN JR, N. GOLDSMAN, A. ILIADIS, B. JACOB, J. MELNGALIS, E. OTT, O. RAMAHI, and J. RODGERS, "Effects of high power microwaves and chaos in 21st century analog and digital electronics," Institute for Research in Electronics and Applied Physics University of Maryland, Tech. Rep., 2006.
- [33] A. AMERASEKERA and C. DUVVURY, *ESD in silicon integrated circuits*. Wiley, 2002.
- [34] A. GUILHAUME, "Evaluation de la robustesse de circuits intégrés vis-à-vis des décharges électrostatiques," Thèse de doctorat, Institut National des Sciences Appliquées de Lyon, 2002.
- [35] M. CAMP, H. GARBE, and D. NITSCH, "Influence of the technology on the destruction effects of semiconductors by impact of EMP and UWB pulses," in *IEEE International Symposium on Electromagnetic Compatibility*, 2002.
- [36] EOS/ESD information. National Semiconductor. [Online]. Available : <http://www.national.com/>
- [37] D. NITSCH, M. CAMP, F. SABATH, and J. TER HASEBORG H. GARBE, "Susceptibility of some electronic equipment to HPEM threats," *IEEE Trans. Electromagn. Compat.*, vol. 46, no. 3, pp. 380–389, 2004.
- [38] F. FIORI and P. CROVETTI, "Nonlinear effects of radio-frequency interference in operational amplifiers," *IEEE Trans. Circuits Syst. I*, vol. 49, pp. 367 – 372, 2002.
- [39] F. FIORI, "Design of an operational amplifier input stage immune to EMI," *IEEE Trans. Electromagn. Compat.*, vol. 49, pp. 834 – 839, 2007.
- [40] J. GROS, G. DUCHAMPS, A. MERESSE, and J. LEVANT, "Electromagnetic immunity model of an ADC for microcontroller's reliability improvement," *Microelectronics Reliability*, vol. 49, pp. 963–966, 2009.
- [41] H. WANG, C. DIRIK, S. RODRIGUEZ, A. GOLE, and B. JACOB, "Radio frequency effects on the clock networks of digital circuits," in *EMC 2004 - International Symposium on Electromagnetic Compatibility*, vol. 1, August 2004, pp. 93–96.
- [42] T. FIRESTONE, "RF induced non-linear effects in high-speed electronics," Master's thesis, University of Maryland, College Park, 2004.
- [43] J. SKETOE, "Integrated circuit electromagnetic immunity handbook," NASA, CR-2000-210017, August 2000.
- [44] C. LARSON and J. ROE, "A modified ebers-moll transistor model for RF interference analysis," *IEEE Trans. Electromagn. Compat.*, vol. 21, pp. 283–290, 1979.
- [45] E. LAMOUREUX, "Étude de la susceptibilité des circuits intégrés numériques aux agressions hyper-fréquence," Thèse de doctorat, Institut National des Sciences Appliquées de Toulouse, 2006.

- [46] R. RICHARDSON, V. PUGLIELLI, and R. AMADORI, "Microwave interference effect in bipolar transistors," *IEEE Trans. Electromagn. Compat.*, vol. 17, pp. 216–219, 1975.
- [47] T. DUBOIS, "Étude de l'effet d'ondes électromagnétiques sur le fonctionnement de circuits électroniques - Mise en place d'une méthode de test des systèmes," Thèse de doctorat, Université Montpellier II - Sciences et Techniques du Languedoc, 2009.
- [48] A. ALAELDINE, "Contribution à l'étude des méthodes de modélisation de l'immunité électromagnétique des circuits intégrés," Thèse de doctorat, Institut d'Electronique et des Télécommunications de Rennes, 2008.
- [49] *EMC Integrated Circuits - Measurement of electromagnetic immunity, 150kHz to 1GHz - Part 1 : General conditions and definitions*, International Electrotechnical Commission Standard IEC 62132 Std.
- [50] *IEC 62132-4 : Integrated Circuits - Measurement of Electromagnetic Immunity 150kHz to 1GHz - Part 4 : Measurement of Conducted Immunity, Direct RF Power Injection Method*, International Electrotechnical Commission Draft technical report, Février 2006.
- [51] F. LAFONT, Y. BENLAKHOUCHE, and F. DE DARAN, "Modélisation d'une pince d'injection pour le test BCI sur une ligne de transmission multi-conducteur," in *14ème Colloque International et Exposition sur la Compatibilité Électromagnétique*, 2008.
- [52] *IEC 62132-3 : Integrated Circuits - Measurement of Electromagnetic Immunity, 150kHz to 1GHz - Part 3 : Measurement of Conducted Immunity, Bulk Current Injection (BCI) Method*, International Electrotechnical Commission Draft technical report, Septembre 2006.
- [53] S. BAFFREAU, "Susceptibilité des micro-contrôleurs aux agressions électromagnétiques," Thèse de doctorat, Institut National des Sciences Appliquées de Toulouse, 2003.
- [54] *IEC 62132-5 : Integrated Circuits - Measurement of Electromagnetic Immunity 150kHz to 1GHz - Part 5 : Measurement of Conducted Immunity, Workbench Faraday Cage Method*, International Electrotechnical Commission Draft technical report, Septembre 2006.
- [55] F. FIORI, "ICs susceptibility : a critical assessment of the test procedures," in *International Symposium on Electromagnetic Compatibility (Belgium)*, 2000.
- [56] I. CHAHINE, "Caractérisation et modélisation de la susceptibilité conduite des CI aux perturbations EM," Thèse de doctorat, Institut de Recherche en Systèmes Electroniques Embarqués (IRSEEM), 2007.
- [57] O. MAURICE, "Méthode de caractérisation de la susceptibilité des composants électroniques logiques aux impulsions sinusoïdales entre 0.1 et 4GHz," Conservatoire National des Arts et Métiers, Mémoire Ingénieur CNAM, 1995.
- [58] M. CAMP and H. GARBE, "Susceptibility of personal computer systems to fast transient electromagnetic pulses," *IEEE Trans. Electromagn. Compat.*, vol. 48, no. 4, pp. 829–833, 2006.
- [59] M. GRACIET and J. PINEL, *Techniques de l'ingénieur - Protection contre les perturbations - Origine des perturbations*.

- [60] “Fundamentals of Electrostatic Discharge - Part one - An introduction to ESD,” ESDA - Electrostatic Discharge Association, Tech. Rep., 2001. [Online]. Available : <http://www.esda.org/>
- [61] M. CAMP, H. GERTH, H. GARBE, and H. HAASE, “Predicting the breakdown behavior of microcontrollers under EMP/UWB impact using a statistical analysis,” *IEEE Trans. Electromagn. Compat.*, vol. 46, pp. 368–379, 2004.
- [62] *IEC 61000 4-2 : Electromagnetic Compatibility (EMC) - Part 4-2 : Testing and Measurement Techniques - Electrostatic Discharge Immunity Test*, International Electrotechnical Commission Std., 2006.
- [63] *Association standard test method for electrostatic discharge sensitivity testing - Human Body Model (HBM) - Component level*, ESD Association Std. ESD STM5.1-1998, 1998.
- [64] N. NOLHIER, “Méthodologie de conception des protections des circuits intégrés contre les décharges électrostatiques,” Habilitation à diriger des recherches, Institut National des Sciences Appliquées de Toulouse, 2005.
- [65] *Association standard test method for electrostatic discharge sensitivity testing - Machine Model (MM) - Component level*, ESD Association Std. ESD STM5.2-1999, 1999.
- [66] *Association standard test method for electrostatic discharge sensitivity testing - Charged Device Model (CDM) - Component level*, ESD Association Std. ESD STM5.3.1-1999, 1999.
- [67] P. BOSSARD, R. CHEMILLI, and B. UNGER, “ESD damage from triboelectrically charged IC pins,” in *EOS/ESD Symposium*, 1998.
- [68] N. LACRAMPE, “Méthodologie de modélisation et de caractérisation de l’immunité des cartes électroniques vis-à-vis des décharges électrostatiques,” Thèse de doctorat, Institut National des Sciences Appliquées de Toulouse, 2008.
- [69] T. MALONEY and N. KHURANA, “Transmission line pulsing technique for circuits modelling of ESD phenomena,” in *Electrical Overstress/Electrostatic Discharge Symposium (EOS/ESD)*, 1985, pp. 49–55.
- [70] H. GIESER and M. HAUNSCHILD, “Very fast transmission line pulsing of integrated structures and the charged device model,” *IEEE Trans. Compon., Packag., Manuf. Technol. C*, vol. 21, pp. 278 – 285, 1998.
- [71] S. HWANG, J. HONG, S. HAN, C. HUH, U. HUH, and J. CHOI, “The susceptibility of microcontroller device with coupling caused by UWB-HPM,” in *PIERS - Progress In Electromagnetics Research Symposium Proceedings*, 2009, pp. 1269–1272.
- [72] S. KORTE and H. GARBE, “Breakdown behavior of electronics at variable pulse repetition rates,” *Advances in Radio Science*, vol. 4, pp. 7–10, 2006.
- [73] F. BRAUER, R. KRZIKALLA, and J. TER HASEBORG, “Investigation of the behaviour of UWB protection elements against HPM signals,” *Advances in Radio Science*, vol. 6, pp. 285–288, 2008.
- [74] T. NILSSON, “Investigation of limiters for HPM and UWB front-door protection,” Master’s thesis, University of Linköping, 2006.

- [75] D. NITSCH, F. SABATH, R. SABLEHAUS, and T. WIETING, “Determination of the WB and UWB susceptibility of microprocessors and electronic components new measurement setup and first results,” in *XXVIIth General Assembly of the International Union of Radio Science*, 2002.
- [76] T. NILSSON and R. JONSSON, “Implementation of HPM front-door protections and component investigations,” FOI Swedish Defence Research Agency, Tech. Rep., 2006.
- [77] G. MASSOBRIO and P. ANTOGNETTI, *Semiconductor Device Modeling with SPICE*. McGraw-Hill, 1993.
- [78] [Online]. Available : <http://www-device.eecs.berkeley.edu/~bsim3/>
- [79] T. FANG, J. WHALEN, and G. CHEN, “Using NCAP to predict RFI effects in linear bipolar integrated circuits,” *IEEE Trans. Electromagn. Compat.*, vol. 4, pp. 256–262, 1980.
- [80] J. TRON, “Predicting URF upset of MOSFET digital ICs,” *IEEE Trans. Electromagn. Compat.*, vol. 27, pp. 64–69, 1985.
- [81] *Verilog-AMS Language Reference Manual - Version 2.3.1*, Open Verilog International, 2009. [Online]. Available : <http://www.verilog.org/verilog-ams/>
- [82] [Online]. Available : <http://www.vhdl.org/vasg/>
- [83] L. STARZAK, A. NAPIERALSKI, and J. CHARLOT, “VHDL-AMS : a competitor for SPICE in modeling of semiconductor devices,” in *Proceedings of the International Conference Modern Problems of Radio Engineering, Telecommunications and Computer Science*, 2002.
- [84] I. STEVIANO, I. MAIO, and F. CANAVERO, “Behavioral models of I/O ports from measured transient waveforms,” *IEEE Trans. Instrum. Meas.*, vol. 51, pp. 1266–1270, 2002.
- [85] F. LAFON, F. DE DARAN, M. RAMDANI, R. PERDRIAU, O. MAURICE, and M. DRISSI, “Modélisation de l’immunité des circuits intégrés - passé, présent, et nouveaux challenges pour la normalisation,” in *15ème Colloque International et Exposition sur la Compatibilité Électromagnétique*, 2010.
- [86] —, “Modélisation de l’immunité de circuits intégrés en contexte industriel,” in *15ème Colloque International et Exposition sur la Compatibilité Électromagnétique*, 2010.
- [87] K. ICHIKAWA, M. INAGAKI, Y. SAKURAI, I. IWASE, M. NAGATA, and O. WADA, “Simulation of integrated circuit immunity with LECCS model,” in *17th International Zurich Symposium on Electromagnetic Compatibility*, 2006.
- [88] A. NDOYE, E. SICARD, and F. LAFONT, “Méthodologie prédictive de l’immunité conduite d’un circuit intégré non-linéaire,” in *15ème Colloque International et Exposition sur la Compatibilité Électromagnétique*, 2010.
- [89] C. DUPOUX, A. NDOYE, S. SERPAUD, E. SICARD, and S. AKUE BOULINGUI, “Méthodologie d’extraction du modèle de couplage d’un système agresseur (ICEM) / victime (ICIM) au niveau composants,” in *15ème Colloque International et Exposition sur la Compatibilité Électromagnétique*, 2010.
- [90] B. BEN M’HAMED, F. TORRÈS, G. ANDRIEU, A. REINEIX, and P. HOFFMANN, “Influence des protections ESD sur la susceptibilité des circuits intégrés numériques aux

- perturbations HF,” in *14ème Colloque International et Exposition sur la Compatibilité Électromagnétique*, 2008.
- [91] P. EISLER, *My life with the printed circuit*. Lehigh University Press, 1989.
- [92] C. COOMBS, *Printed Circuits Handbook*, 5th ed. McGrawHill, 2001.
- [93] S. HIURA, T. KITAHARA, and Y. OOHASHI, “RF design of on-chip EMI filters in CMOS logic IC,” in *38th European Microwave Conference EuMC*, 2008, pp. 187–190.
- [94] P. MERCERON and P. RABIER, “EMI filters : Recommendations and measurements,” ST Microelectronics, Application Note AN1751, September 2003.
- [95] “ESD protections for USB 2.0 interfaces,” NXP Semiconductors, Application Note AN10753, January 2009.
- [96] B. RUSSELL and T. PULS, “Off-chip ESD protection anticipates IC scaling,” Semtech Corp., Tech. Rep., 2007.
- [97] [Online]. Available : <http://www.esda.org/>
- [98] S. VOLDMAN, “Electrostatic discharge protection in the nano-technology - Will we be able to provide ESD protection in the future?” in *8th International conference on Solid-State and Integrated Circuit Technology*, Shanghai, China, Oct. 23-26 2006.
- [99] “General applications selection guide - Diodes, transistors and integrated discretes,” NXP, Tech. Rep., 2009. [Online]. Available : www.nxp.com
- [100] J. BAKER, “Electromagnetic compatibility in Europe,” *IEE proceedings - Science, Measurement and Technology*, vol. 141, pp. 238–243, 1994.
- [101] O. MELVILLE CLARK and J. PIZZICAROLI, “Effect of lead wire lengths on protector clamping voltages,” Vishay, Tech. Rep., 2007.
- [102] T. WEBER, R. KRZIKALLA, and J. LUIKEN TER HASEBORG, “Linear and nonlinear filters suppressing UWB pulses,” *IEEE Trans. Electromagn. Compat.*, vol. 46, pp. 423–430, 2004.
- [103] M.-D. KER, W.-Y. LO, and H.-H. CHANG, “New diode string design with very low leakage current for using in power supply ESD clamp circuits,” in *IEEE International Symposium on Circuits and Systems*, vol. 5, 2000, pp. 69–72.
- [104] A. KARL, “Series stacking of TVS for higher voltages and power,” Vishay, Tech. Rep., 2002.
- [105] J. R. SCHLEISNER, “Selecting the optimum transient voltage suppressor,” Vishay, Tech. Rep., 2002.
- [106] “ESD protection termination and filtering - Integrated solutions for multimedia interfaces in computing and consumer applications,” Philips Semiconductors, Tech. Rep., 2006.
- [107] R. DE MORAES and S. ANLAGE, “Effects of UHF stimulus and negative feedback on nonlinear circuits,” *IEEE Trans. Circuits Syst. I*, vol. 51, pp. 748–754, 2004.
- [108] I. A. GROUT, *Integrated circuit test engineering : Modern techniques*. Springer, 2006.
- [109] C. DUVVURY, R. ROUNTREE, and R. MCPHEE, “ESD protection : Design and layout issues for VLSI circuits,” *IEEE Trans. Ind. Appl.*, vol. 25, pp. 41–47, 1989.

- [110] S. VOLDMAN, “The state of the art of electrostatic discharge protection : physics, technology, circuits, design, simulation, and scaling,” *IEEE J. Solid-State Circuits*, vol. 34, no. 9, pp. 1272–1282, 1999.
- [111] C. SALAMERO, “Méthodologie de prédiction du niveau de robustesse d’une structure de protection ESD à l’aide de la simulation TCAD,” Thèse de doctorat, Université Paul Sabatier de Toulouse, 2005.
- [112] C. GOËAU, “Étude de la décharge électrostatique définie par le modèle du composant chargé CDM sur les circuits intégrés CMOS,” Thèse de doctorat, Institut National des Sciences Appliquées de Lyon, 2005.
- [113] E. WORLEY and A. BAKULIN, “Optimization of input protection diode for high-speed applications,” *Journal of Electrostatics*, vol. 59, pp. 193–209, 2003.
- [114] A. WANG, *On-Chip ESD protection for integrated circuits - An IC design perspective*. Kluwer Academic Publishers, 2003.
- [115] A. RIVIÈRE, “Protection des circuits intégrés CMOS profondément submicroniques contre les décharges électrostatiques,” Thèse de doctorat, Université Montpellier II - Sciences et Techniques du Languedoc, 2008.
- [116] B. CAILLARD, “Le thyristor parasite en technologie CMOS : Application à la protection contre les décharges électrostatiques,” Thèse de doctorat, Université Montpellier II - Sciences et Techniques du Languedoc, 2003.
- [117] O. SEMENOV and S. SOMOV, “ESD protection design for I/O libraries in advanced CMOS technologies,” *Solid-State Electronics*, vol. 52, p. 11271139, 2008.
- [118] D. TRÉMOUILLES, “Optimisation et modélisation de protections intégrées contre les décharges électrostatiques, par l’analyse de la physique mise en jeu,” Thèse de doctorat, Institut National des Sciences Appliquées de Toulouse, 2004.
- [119] *I/O Buffer Information Specification*, Electronic Design Automation (EDA) Industry Working Groups Std., Rev. Version 5.0, August 2008. [Online]. Available : <http://eda.org/pub/ibis/ver5.0/ver5.0.pdf>
- [120] M. CASAMAYOR, “A first approach to IBIS models : what they are and how are they generated,” Analog Device, Application Note AN-715, 2004. [Online]. Available : <http://www.analog.com>
- [121] “IBIS modeling cookbook for IBIS version 4.0,” IBIS Open Forum, Tech. Rep., 2005. [Online]. Available : <http://www.eigroup.org/ibis/>
- [122] K. GONG, H. FENG, R. ZHAN, and A. WANG, “A study of parasitic effects of ESD protection on RF ICs,” *IEEE Trans. Microw. Theory Tech.*, vol. 52, pp. 1304–1311, 2005.
- [123] H. FENG, K. GONG, and A. WANG, “A comparison study of ESD protection for RFIC’s : performance vs. parasitics,” in *IEEE MTT-S International Microwave Symposium Digest*, vol. 1, Boston, MA, USA, 2000, pp. 143–146.
- [124] W. SHOCKLEY, *Electrons and holes in semiconductors, with applications in transistor electronics*, ser. The Bell Telephone Laboratories Series. Krieger, 1956.

- [125] *PSPICE Reference Manual*, OrCAD, Octobre 1998, version 9.0.
- [126] *AHC/AHCT Designer's Guide*, Texas Instrument, Septembre 2008.
- [127] M. KER and C. LEE, "Interference of ESD protection diodes on RF performance in giga-hz RF circuits," in *ISCAS - International Symposium on Circuits and Systems*, vol. 1, 2003, pp. 297–300.
- [128] T. CHEN and M. KER, "Design on ESD protection circuit with very low and constant input capacitance," in *ISQED - International Symposium on Quality Electronic Design*, 2001, pp. 247–248.
- [129] H. FENG, R. ZHAN, G. CHEN, Q. WU, and A. WANG, "Electrostatic discharge protection for RF integrated circuits : New ESD design challenges," *Analog Integrated Circuits and Signal Processing*, vol. 39, pp. 5–19, 2004.
- [130] M. KER, T. CHEN, C. WU, and H. CHANG, "ESD protection design on analog pin with very low input capacitance for RF or current-mode applications," *IEEE J. Solid-State Circuits*, vol. 35, pp. 1194–1199, 2000.
- [131] J. HAYES and L. WISSEL, "Behavioral modeling for timing, noise, and signal integrity analysis," in *IEEE conference on Custom Integrated Circuits*, 2001, pp. 353–356.
- [132] A. VARMA, M. STEER, and P. FRANZON, "Improving behavioral I/O buffer modeling based IBIS," *IEEE Trans. Adv. Packag.*, vol. 31, pp. 711–721, 2008.
- [133] L. GIACOTTO. (2002) Non-linear buffer impedance. [Online]. Available : <http://www.eda.org/pub/ibis/bird/bird79.txt>
- [134] L. GIACOTTO and A. MURANYI. (2002) Buffer impedance and quality issues. [Online]. Available : <http://www.vhdl.org/ibis/summits/jun02/giacotto.pdf>
- [135] L. GIACOTTO and A. MURANYI, *Non-linear Buffer Impedance*, IBIS open Forum Std. BIRD 79, 2002. [Online]. Available : <http://ww.vhdl.org/pub/ibis/birds/>
- [136] B. ROSS, *Stored Charge Effects*, IBIS Open Forum Std. BIRD 34.2, 1996. [Online]. Available : <http://ww.vhdl.org/pub/ibis/birds/>
- [137] J. H. CHUN and B. MURMANN, "Analysis and measurement of signal distortion due to ESD protection circuits," *IEEE J. Solid-State Circuits*, vol. 41, no. 10, pp. 2354–2358, 2006.
- [138] "IV and CV measurement using the agilent B1500A MFCMU and SCUU," Agilent Technologies, Application Note B1500-3.
- [139] I. MILLER and T. CASSAGNES, "Verilog-A and verilog-AMS provides a new dimension in modeling and simulation," in *Third IEEE international caracas conference on devices, circuits and systems*, 2000.
- [140] R. PERDRIAU, "Méthodologie de prédiction des niveaux d'émission conduite dans les circuits intégré, à l'aide de VHDL-AMS," Thèse de doctorat, Université catholique de Louvain - Faculté des sciences appliquées - Laboratoire de microélectronique (DICE), 2004.

- [141] *HSPICE User's Manual*, Meta Software, Inc, Campbell, Calif., 1991.
- [142] H. MATHIEU, *Physique des semiconducteurs et des composants électroniques*. Dunod, 2004.
- [143] [Online]. Available : <http://electronique.univ-fcomte.fr/private/txttp/LEEA3/CCA2.pdf>
- [144] S. WONG and C. HU, "SPICE macro model for the simulation of zener diode I-V characteristics," *IEEE Circuits and Devices Magazine*, vol. 7, pp. 9–12, 1991.
- [145] J. LEPKOWSKI, "Zener macro-models provide accurate SPICE simulations," ON Semiconductor, Application Note AND8250/D, January 2006.
- [146] S. SALVAGE, B. PARRUCK, and S. RAID, "Wide-band device modeling using time-domain reflectometry," *IEEE Trans. Instrum. Meas.*, vol. 32, pp. 134–136, March 1983.
- [147] J. HE, M. ABD ELBANY, and A. ELSHABINI-RIAD, "Time domain modeling of a microwave schottky diode," *Solid-State Electronics*, vol. 37, no. 10, pp. 1753–1758, December 1994.
- [148] ANRITSU. (2008) Universal test fixtures 3680 series. [Online]. Available : <http://www.us.anritsu.com/>
- [149] *XYZs of Oscilloscopes*, Tektronix. [Online]. Available : www.tektronix.com
- [150] *Digital Phosphor Oscilloscope DPO7000 Series Data Sheet*, Tektronix. [Online]. Available : www.tektronix.com
- [151] *The effect of probe input capacitance on measurement accuracy*, Tektronix, 1996.
- [152] "Evaluating oscilloscope vertical noise characteristics," Agilent Technologies, Application Note 1558, 2008. [Online]. Available : <http://www.home.agilent.com>
- [153] [Online]. Available : www.bell-labs.com/project/PORT/
- [154] [Online]. Available : <http://www.spectrum-soft.com/index.shtm>
- [155] A. YANG, Y. LIU, and J. YAO, "An efficient nonquasi-static diode model for circuit simulation," *IEEE Trans. Comput.-Aided Design Integr. Circuits Syst.*, vol. 13, pp. 231–239, 1994.
- [156] C. T. TAN and K. TSENG, "Using power diode models for circuit simulations - a comprehensive review," *IEEE Trans. Ind. Electron.*, vol. 46, pp. 637–645, 1999.
- [157] C. GAUTHIER, "Contribution au développement d'outils logiciels en vue de la conception des convertisseurs statiques intégrant la compatibilité électromagnétique," Thèse de doctorat, Université de Paris 6, Laboratoire d'Électricité Signaux et Robotique (LESiR), 2001.
- [158] K. TSENG and S. PAN, "Modified charge control equation for simulation of diode reverse recovery," *IEEE Electronics Letters*, vol. 32, pp. 404–406, 1996.
- [159] C. MA and P. LAURITZEN, "A simple power diode model with forward and reverse recovery," *IEEE Trans. Power Electron.*, vol. 8, pp. 342–346, 1996.
- [160] J. LINVILL and J. GIBBONS, *Transistors and Active Circuits*. McGraw-Hill, 1961.
- [161] C. MA and P. LAURITZEN, "Modeling of power diodes with the lumped-charge modeling technique," *IEEE Trans. Power Electron.*, vol. 12, pp. 398–405, 1997.

- [162] K. TSENG, “Issues in power diode modelling for circuit simulation,” in *International Conference on Power Electronics and Drive Systems*, vol. 1, May 1997, pp. 78–84.
- [163] C. MCANDREW, B. BHATTACHARYYA, and O. WING, “A C_{∞} -continuous depletion capacitance model model,” *IEEE Trans. Comput.-Aided Design Integr. Circuits Syst.*, vol. 12, pp. 825–828, 1993.
- [164] P. VAN HALEN and M. H. HABIB, “A new model for P-N junction space charge region capacitance,” in *10th Biennial University/Government/Industry Microelectronics Symposium*. Research Triangle Park, North Carolina, May 1993, pp. 126–130.
- [165] H. C. de GRAAFF and F. M. KLAASSEN, *Compact transistor modeling for circuit design*. Springer-Verlag, 1989.
- [166] “High frequency chip resistor - FC series chip resistors,” Vishay, Tech. Rep., 2005.
- [167] R. LEVENTHAL and L. GREEN, *Semiconductor modeling for simulating signal, power and electromagnetic integrity*. Springer, 2006.
- [168] A. MURANYI, *Ccomp Refinements*, IBIS Open Forum Std. BIRD 65.2, 2001. [Online]. Available : <http://ww.vhdl.org/pub/ibis/birds/>
- [169] H. HEGAZY, “Pad capacitance extraction,” in *IBIS summit Meeting - Design Automation Conference*, 2002.
- [170] C. CHIU, W. CHEN, K. LIAO, B. CHEN, Y. TENG, G. HUANG, and L. WU, “Pad characterisation for CMOS technology using time domain reflectometry,” in *IEEE international RF and microwave conference*, 2-4 Décembre 2008, pp. 215–217.
- [171] J. BESSAS, “Modélisation et étude de la susceptibilité électromagnétique des ports d’entrée de la carte du calculateur CESARE,” Master’s thesis, Ecole d’ingénieurs du CESI de Toulouse, 2007.

Annexes

Glossaire

AGREMI	AGReSSIONS ElectroMAGNETIQUES Intentionnelles
BCI	Bulk Current Injection
BSIM	Berkeley Short-channel IGFET Model
CDM	Charge Device Model
CEM	Compatibilité Électromagnétique
CMOS	Complementary Metal Oxyde Semiconductor
CMS	Composant Monté en Surface
DPI	Direct Power Injection
EMI	ElectroMagnetic Interference
EOS	Electrical OverStress
EPLD	Erasable Programmable Logic Device
ESD	Electrostatic Discharge
FDTD	Finite Difference Time Domain
HBM	Human Body Model
IBIS	I/O Buffer Information Specification
ICEM	Integrated Circuit Emission Model
ICIM	Integrated Circuit Immunity Model
IEC	International Electrotechnical Commission
IEMI	Intentional Electromagnetic Interference
ITRS	International Technology Roadmap for Semiconductors
LECCS	Linear Equivalent Circuit and Current Source
MM	Machine Model
MTL	Multiconductor Transmission Line
MFP	Micro-Ondes de Forte Puissance
MOSFET	Metal Oxide Semiconductor Field Effect Transistor
RFI	Radio Frequency Interference
SCR	Silicon Control Rectifier
SPC	Signal Path Compensation
SPICE	Simulation Program with Integrated Circuit Emphasis
SSN	Simultaneous Switching Noise
TDR	Time Domain Reflectometry
TLP	Transmission Line Pulsing
TVS	Transient Voltage Suppressor
ULB	Ultra Large Bande
VF-TLP	Very Fast Transmission Line Pulsing
VLSI	Very Large Scale Integration
VULCAIM	VULnérabilité des CARtes de circuit IMprimée
WBFC	Work Bench Faraday Cage

Publications et communications relatives à ce travail

- [1] B. Ben M'Hamed, F. Torrès, G. Andrieu, A. Reineix, P. Hoffmann, "Influence des protections ESD sur la susceptibilité des circuits intégrés numériques aux perturbations HF," *14^{èmes} Colloque International et Exposition sur la Compatibilité Electromagnétique et Journées Scientifiques URSI France*, Paris 2008.
- [2] B. Ben M'Hamed, F. Torrès, A. Reineix, P. Hoffmann, "Diode and ESD protections capacitive effects : Time-domain measurements and modeling," *7th International Workshop on Electromagnetic Compatibility on Integrated Circuits*, Toulouse 2009.
- [3] B. Ben M'Hamed, F. Torrès, A. Reineix, P. Hoffmann, "Analyse du comportement transitoire des éléments de protection des circuits électroniques," *15^{èmes} Colloque International et Exposition sur la Compatibilité Electromagnétique et Journées Scientifiques URSI France*, Limoges 2010.
- [4] B. Ben M'Hamed, F. Torrès, A. Reineix, P. Hoffmann, "Complete time-domain diode modeling : Application to off-chip and on-chip ESD protection devices," *IEEE Transactions on Electromagnetic Compatibility*, Acceptée, 10 Septembre 2010.

Annexe 1 : Équations aux variables d'état : Cas de la diode

Cette annexe détaille les différentes équations SPICE qui composent le coeur analytique de notre programme d'extraction. Les équations sont basées sur le circuit électrique présenté à la figure 5.68. La diode est au centre de nos attentions, et dans la résolution du circuit nous avons intégré le formalisme de Tseng pour la modélisation des phénomènes de recouvrement et le modèle de De Graaff et Klaasen pour la redéfinition de la capacité de jonction.

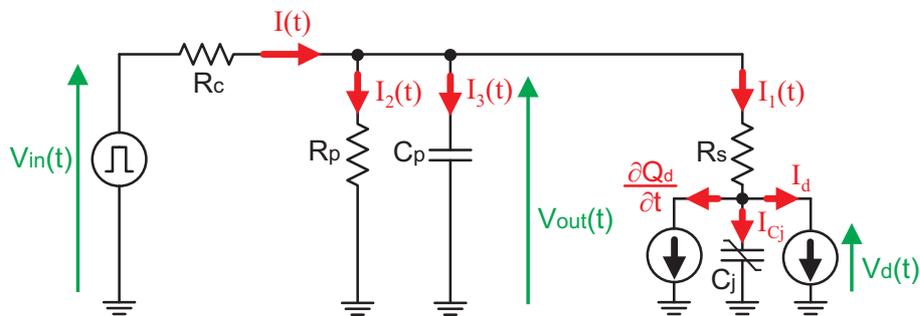


FIGURE 5.64 – Schéma électrique équivalent du circuit avec l'intégration du modèle SPICE de la diode

On a :

$$I(t) = \frac{V_{in}(t) - V_{out}(t)}{R_c} = I_1(t) + I_2(t) + I_3(t) \quad (5.14)$$

avec

$$I_1(t) = \frac{V_{out}(t) - V_d(t)}{R_s} ; \quad I_2(t) = C_p \frac{\partial V_{out}(t)}{\partial t} ; \quad I_3(t) = \frac{V_{out}(t)}{R_p} \quad (5.15)$$

$$\Rightarrow \frac{V_{in}(t) - V_{out}(t)}{R_c} = \frac{V_{out}(t) - V_d(t)}{R_c} + C_p \frac{\partial V_{out}(t)}{\partial t} + \frac{V_{out}(t)}{R_p} \quad (5.16)$$

$$\Rightarrow C_p \frac{\partial V_{out}(t)}{\partial t} = \frac{V_{in}(t) - V_{out}(t)}{R_c} - \frac{V_{out}(t) - V_d(t)}{R_c} - \frac{V_{out}(t)}{R_p} \quad (5.17)$$

d'où on peut en déduire la première équation différentielle :

$$\boxed{\frac{\partial V_{out}(t)}{\partial t} = \frac{1}{C_p} \left[\frac{V_{in}(t)}{R_c} - \left(\frac{1}{R_c} + \frac{1}{R_s} + \frac{1}{R_p} \right) V_{out}(t) + \frac{V_d(t)}{R_s} \right]} \quad (5.18)$$

Le comportement dynamique de la charge dans le formalisme de Tseng est défini au moyen de l'équation suivante :

$$Q_d = \tau \left(I_d(t) - \nu \frac{\partial Q_d(t)}{\partial t} \right) \quad (5.19)$$

Ce qui donne la deuxième équation différentielle :

$$\boxed{\frac{\partial Q_d(t)}{\partial t} = \frac{1}{\nu} I_d(t) - \frac{Q_d(t)}{\tau \cdot \nu}} \quad (5.20)$$

D'autre part, on a :

$$I_1(t) = \frac{V_{out}(t) - V_d(t)}{R_s} = I_d(t) + C_j \frac{\partial V_d(t)}{\partial t} + \frac{\partial Q_d(t)}{\partial t} \quad (5.21)$$

En utilisant l'équation 5.21, on peut écrire également :

$$I_1(t) = \frac{\nu + 1}{\nu} I_d(t) + C_j \frac{\partial V_d(t)}{\partial t} - \frac{Q_d(t)}{\tau \cdot \nu} \quad (5.22)$$

et donc, avec l'équation 5.22 :

$$C_j \frac{\partial V_d(t)}{\partial t} = \frac{V_{out}(t) - V_d(t)}{R_s} - \frac{\nu + 1}{\nu} I_d(t) + \frac{Q_d(t)}{\tau \cdot \nu} \quad (5.23)$$

On obtient la troisième équation différentielle :

$$\boxed{\frac{\partial V_d(t)}{\partial t} = \frac{1}{C_j} \left(\frac{V_{out}(t) - V_d(t)}{R_s} - \frac{\nu + 1}{\nu} I_d(t) + \frac{Q_d(t)}{\tau \cdot \nu} \right)} \quad (5.24)$$

avec

$$R_s = \frac{1}{Y_0 + \alpha Q_d(t)} \quad (\text{Modèle de Tseng}) \quad (5.25)$$

et

$$C_j = C_{j0} \frac{\left(V_j - V_d + \sqrt{V_j^2 - 2V_j V_d + V_d^2 + K V_j^2} \right)^{1-M}}{2^{1-M} V_j^{-M} \sqrt{V_j^2 - 2V_j V_d + V_d^2 + K V_j^2}} \quad (\text{Modèle de De Graaff/Klaassen}) \quad (5.26)$$

Annexe 2 : Équations aux variables d'état : Cas de la diode avec intégration des éléments parasites du boîtier

La description analytique que nous proposons dans cette annexe a pour but de compléter le modèle de diode utilisé dans l'annexe 1 avec les éléments parasites du boîtier. Le schéma équivalent du boîtier que nous avons retenu est le suivant :

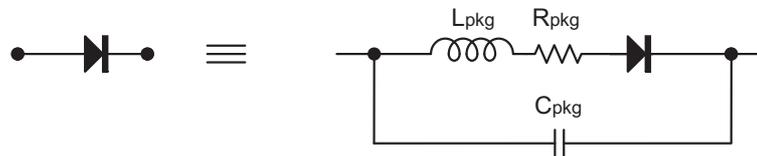


FIGURE 5.65 – Intégration des éléments parasites du boîtier dans le modèle de diode

Nous avons redéfini les équations circuit du coeur analytique du programme d'extraction en utilisant le schéma électrique suivant :

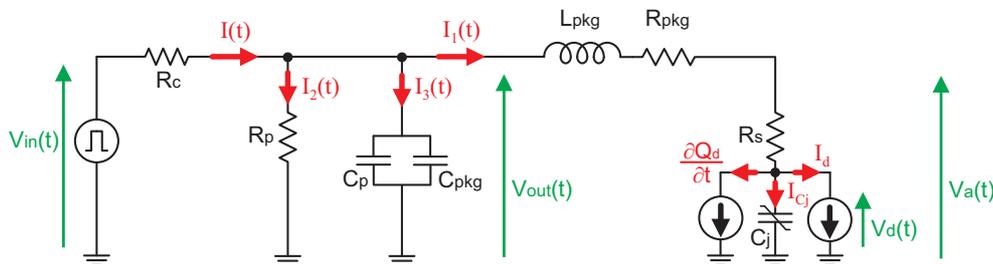


FIGURE 5.66 – Schéma électrique équivalent du circuit avec l'intégration du modèle SPICE de la diode et des éléments parasites du boîtier

En premier lieu, nous avons :

$$I(t) = \frac{V_{in}(t) - V_{out}(t)}{R_c} = I_1(t) + \frac{V_{out}(t)}{R_p} + (C_p + C_{pkg}) \frac{\partial V_{out}(t)}{\partial t} \quad (5.27)$$

A partir de l'équation 5.28, nous pouvons en déduire la première équation différentielle :

$$\frac{\partial V_{out}(t)}{\partial t} = \frac{1}{C_p + C_{pkg}} \left(\frac{V_{in}(t) - V_{out}(t)}{R_c} - \frac{V_{out}(t)}{R_p} - I_1(t) \right) \quad (5.28)$$

De plus, on a :

$$V_d(t) = V_{out}(t) - L_{pkg} \frac{\partial I_1(t)}{\partial t} - R_{pkg} I_1(t) - R_s I_1(t) \quad (5.29)$$

et

$$L_{pkg} \frac{\partial I_1(t)}{\partial t} = V_{out}(t) - V_d(t) - (R_{pkg} + R_s) I_1(t) \quad (5.30)$$

Finalement nous obtenons la deuxième équation différentielle :

$$\boxed{\frac{\partial I_1(t)}{\partial t} = \frac{1}{L_{pkg}} (V_{out}(t) - V_d(t) - (R_{pkg} + R_s) I_1(t))} \quad (5.31)$$

Par ailleurs, le courant $I_1(t)$ peut s'écrire sous la forme suivante :

$$I_1(t) = I_d(t) + C_j \frac{\partial V_d(t)}{\partial t} + \frac{\partial Q_d(t)}{\partial t} \quad (5.32)$$

La troisième équation différentielle de notre système est issue du formalisme de Tseng :

$$\boxed{\frac{\partial Q_d(t)}{\partial t} = \frac{1}{\nu} I_d(t) - \frac{Q_d(t)}{\tau \cdot \nu}} \quad (5.33)$$

En injectant l'équation 5.32 dans l'équation 5.33, nous obtenons :

$$I_1(t) = I_d(t) + C_j \frac{\partial V_d(t)}{\partial t} + \frac{1}{\nu} I_d(t) - \frac{Q_d(t)}{\tau \cdot \nu} \quad (5.34)$$

et nous pouvons en déduire l'équation suivante qui constitue la quatrième équation différentielle :

$$\boxed{\frac{\partial V_d(t)}{\partial t} = \frac{1}{C_j} \left(I_1(t) - \frac{\nu + 1}{\nu} I_d(t) + \frac{Q_d(t)}{\tau \cdot \nu} \right)} \quad (5.35)$$

avec

$$R_s = \frac{1}{Y_0 + \alpha Q_d(t)} \quad (\text{Modèle de Tseng}) \quad (5.36)$$

et

$$C_j = C_{j0} \frac{\left(V_j - V_d + \sqrt{V_j^2 - 2V_j V_d + V_d^2 + K V_j^2} \right)^{1-M}}{2^{1-M} V_j^{-M} \sqrt{V_j^2 - 2V_j V_d + V_d^2 + K V_j^2}} \quad (\text{Modèle de De Graaff/Klaassen}) \quad (5.37)$$

Annexe 3 : Équations aux variables d'état : Cas d'une protection Power Clamp d'un circuit intégré numérique

Afin d'appliquer notre méthodologie aux étages de protection des circuits intégrés, il a été nécessaire de réécrire le coeur analytique du programme d'extraction. Rappelons tout de même que le comportement des protections est assimilé au comportement des diodes. Nous nous sommes basés sur le schéma équivalent du modèle IBIS pour construire le circuit qui nous permettra d'établir les équations du programme d'extraction. Cette annexe propose de présenter les équations circuit permettant d'extraire un modèle de la protection PowerClamp. Pour cela, nous nous sommes appuyés sur le schéma électrique de la figure 5.68.

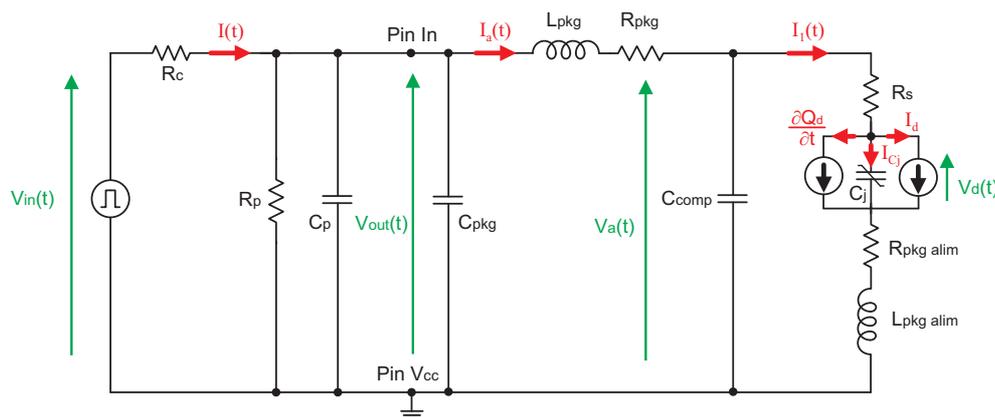


FIGURE 5.67 – Schéma électrique équivalent du circuit pour modéliser la protection Power Clamp d'un circuit intégré

Dans un premier temps, nous considérons la capacité suivante :

$$C_T = C_p + C_{pkg} \quad (5.38)$$

Le courant I_t peut s'écrire de la façon suivante :

$$I(t) = \frac{V_{in}(t) - V_{out}(t)}{R_c} = I_a(t) + \frac{V_{out}(t)}{R_p} + C_T \frac{\partial V_{out}(t)}{\partial t} \quad (5.39)$$

ce qui permet d'en déduire la première équation différentielle de notre système :

$$\boxed{\frac{\partial V_{out}(t)}{\partial t} = \frac{1}{C_T} \left(\frac{V_{in}(t) - V_{out}(t)}{R_c} - \frac{V_{out}(t)}{R_p} - I_a(t) \right)} \quad (5.40)$$

D'autre part, on a :

$$V_{out}(t) - V_a(t) = L_{pkg} \frac{\partial I_a(t)}{\partial t} + R_{pkg} I_a(t) \quad (5.41)$$

En réorganisant les termes de l'équation 5.41, nous obtenons la deuxième équation différentielle :

$$\boxed{\frac{\partial I_a(t)}{\partial t} = \frac{1}{L_{pkg}} (V_{out}(t) - V_a(t) - R_{pkg} I_a(t))} \quad (5.42)$$

Par ailleurs, nous avons :

$$I_a(t) = I_1(t) + C_{comp} \frac{\partial V_a(t)}{\partial t} \quad (5.43)$$

dont il est possible d'en tirer l'équation 5.44 qui constitue la troisième équation différentielle :

$$\boxed{\frac{\partial V_a(t)}{\partial t} = \frac{1}{C_{comp}} (I_a(t) - I_1(t))} \quad (5.44)$$

L'expression de la tension $V_a(t)$ est à l'origine de la quatrième équation différentielle :

$$V_a(t) = R_s I_1(t) + R_{pkg\ alim} I_1(t) + L_{pkg\ alim} \frac{\partial I_1(t)}{\partial t} + V_d(t) \quad (5.45)$$

ce qui donne :

$$\boxed{\frac{\partial I_1(t)}{\partial t} = \frac{1}{L_{pkg\ alim}} (V_a(t) - V_d(t) - (R_s + R_{pkg\ alim}) I_1(t))} \quad (5.46)$$

De plus, on a :

$$I_1(t) = I_d(t) + C_j \frac{\partial V_d(t)}{\partial t} + \frac{\partial Q_d(t)}{\partial t} \quad (5.47)$$

avec

$$\boxed{\frac{\partial Q_d(t)}{\partial t} = \frac{1}{\nu} I_d(t) - \frac{Q_d(t)}{\tau \cdot \nu}} \quad (5.48)$$

L'équation 5.48, provenant du modèle de Tseng, représente la cinquième équation différentielle. En injectant ce formalisme dans l'équation 5.47, nous pouvons en déduire la sixième équation différentielle :

$$\boxed{\frac{\partial V_d(t)}{\partial t} = \frac{1}{C_j} \left(I_1(t) - \frac{\nu + 1}{\nu} I_d(t) + \frac{Q_d(t)}{\tau \cdot \nu} \right)} \quad (5.49)$$

Annexe 4 : Équations aux variables d'état : Cas d'une protection Ground Clamp d'un circuit intégré numérique

A l'image de ce que nous avons réalisé dans l'annexe 3 pour adapter le coeur analytique de notre méthodologie à la protection PowerClamp, nous avons suivi la même démarche pour extraire un modèle de la protection GroundClamp. Pour cela, nous avons basé notre raisonnement sur le schéma électrique de la figure 5.68.

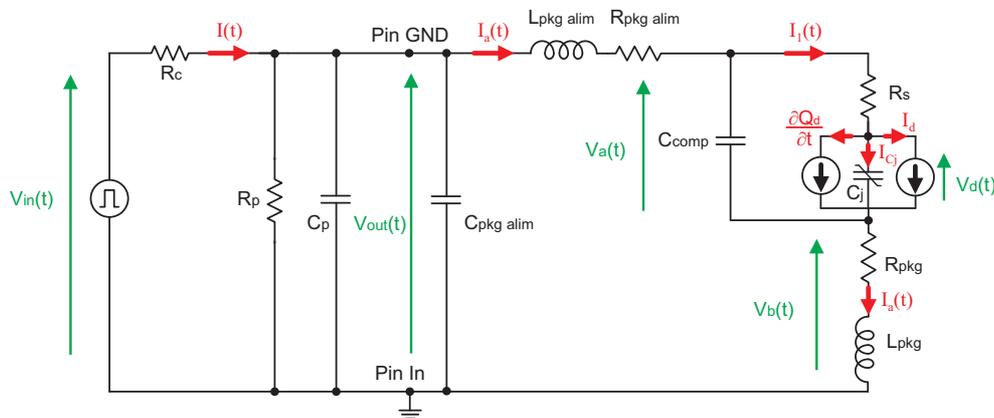


FIGURE 5.68 – Schéma électrique équivalent du circuit pour modéliser la protection Ground Clamp d'un circuit intégré

En premier lieu, nous considérons la capacité suivante :

$$C_T = C_p + C_{pkgalim} \quad (5.50)$$

La première équation différentielle du système est déduite de l'expression du courant $I(t)$:

$$I(t) = \frac{V_{in}(t) - V_{out}(t)}{R_c} = I_a(t) + \frac{V_{out}(t)}{R_p} + C_T \frac{\partial V_{out}(t)}{\partial t} \quad (5.51)$$

ainsi :

$$\boxed{\frac{\partial V_{out}(t)}{\partial t} = \frac{1}{C_T} \left(\frac{V_{in}(t) - V_{out}(t)}{R_c} - \frac{V_{out}(t)}{R_p} - I_a(t) \right)} \quad (5.52)$$

Par ailleurs, nous avons :

$$V_{out}(t) = V_a(t) + V_b(t) + L_{pkgalim} \frac{\partial I_a(t)}{\partial t} + R_{pkgalim} I_a(t) \quad (5.53)$$

et

$$V_b(t) = L_{pkg} \frac{\partial I_a(t)}{\partial t} + R_{pkg} I_a(t) \quad (5.54)$$

En injectant l'équation 5.54 dans l'équation 5.53, nous obtenons l'équation suivante :

$$V_{out} = (L_{pkg} + L_{pkgalim}) \frac{\partial I_a(t)}{\partial t} + (R_{pkg} + R_{pkgalim}) I_a(t) + V_a(t) \quad (5.55)$$

d'où nous pouvons en déduire la deuxième équation différentielle :

$$\boxed{\frac{\partial I_a(t)}{\partial t} = \frac{1}{L_{pkg} + L_{pkgalim}} (V_{out}(t) - V_a(t) - (R_{pkg} + R_{pkgalim}) I_a(t))} \quad (5.56)$$

Le courant $I_a(t)$ est obtenu de la façon suivante :

$$I_a(t) = C_{comp} \frac{\partial V_a(t)}{\partial t} + I_1(t) \quad (5.57)$$

et en introduisant l'expression de $I_1(t)$, nous avons :

$$I_a(t) = C_{comp} \frac{\partial V_a(t)}{\partial t} + \frac{V_a(t) - V_d(t)}{R_s} \quad (5.58)$$

d'où nous pouvons en tirer l'expression de la troisième équation différentielle :

$$\boxed{\frac{\partial V_a(t)}{\partial t} = \frac{1}{C_{comp}} \left(I_a(t) - \frac{V_a(t) - V_d(t)}{R_s} \right)} \quad (5.59)$$

Le courant $I_1(t)$ peut également s'exprimer ainsi :

$$I_1(t) = \frac{V_a(t) - V_d(t)}{R_s} = I_d(t) + C_j \frac{\partial V_d(t)}{\partial t} + \frac{\partial Q_d(t)}{\partial t} \quad (5.60)$$

avec

$$\boxed{\frac{\partial Q_d(t)}{\partial t} = \frac{1}{\nu} I_d(t) - \frac{Q_d(t)}{\tau \cdot \nu}} \quad (5.61)$$

Nous pouvons intégrer le formalisme de Tseng (equation 5.61, qui représente la quatrième équation différentielle, dans l'équation 5.60 afin de formuler la cinquième équation différentielle :

$$\boxed{\frac{\partial V_d(t)}{\partial t} = \frac{1}{C_j} \left(\frac{V_a(t) - V_d(t)}{R_s} + \frac{\nu + 1}{\nu} I_d(t) - \frac{Q_d(t)}{\tau \cdot \nu} \right)} \quad (5.62)$$

Annexe 5 : Implantation du modèle de Lauritzen dans la définition SPICE d'une diode

Cette annexe présente les sous-circuits qui ont été créés pour implanter le modèle de Lauritzen dans un simulateur de type SPICE. Le code SPICE du sous-circuit présenté ci-dessous correspond à la première évolution de notre modèle avec l'intégration du modèle SPICE de la capacité de jonction :

```
.SUBCKT PESD12VS1UB_LAURITZEN 1 9
.PARAM
+IS=0.445E-12
+TT=129.44E-9
+CJO=41.31E-12
+M=0.588
+Vj=0.649
+N=1.1878
+RS=1.28
+VTA=26E-3
+FC=0.999
+TM=24.32E-9
+RMO=1

* Définition de la capacité de jonction et du courant de saturation
DMODEL 1 2 DCAP
.MODEL DCAP D (IS={IS} RS=0 TT=0 N=4 CJO={CJO} M={M} VJ={VJ} FC={FC})

* Générateur de courant du modèle de Lauritzen
GD 1 2 VALUE={V(5,6)/TM}
RD 1 2 1e6

* Définition de la charge Qe dans le modèle de Lauritzen
EE 5 0 VALUE={TT*(IS*(exp(V(1,2)/(N*VTA))-1))}
RE 5 0 1e9

* Définition de la charge Qm dans le modèle de Lauritzen
EM 6 0 VALUE={TT*(V(5,6)/TM)-DDT(V(6)*TT)}
```

```
RM 6 0 1e9
```

```
RS 2 3 RS
```

```
* Intégration du phénomène de recouvrement direct
```

```
EMO 3 4 VALUE={2*VTA*RM0*TM*I(VSENSE1)/((V(6)*RM0+VTA*TM)) }
```

```
VSENSE1 4 9 0
```

```
.ENDS PESD12VS1UB_LAURITZEN
```

Le schéma équivalent à ce modèle est le suivant :

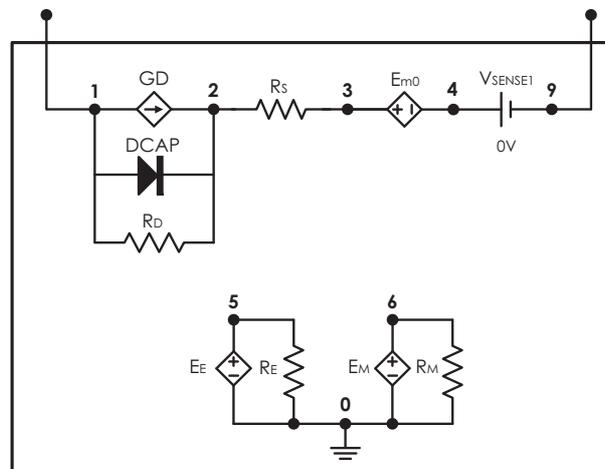


FIGURE 5.69 – Schéma électrique équivalent du sous-circuit d'une diode avec le modèle de Lauritzen

La seconde évolution de notre modélisation nous a amené à reconsidérer la capacité de jonction avec le modèle de Graaff et Klaassen. L'intégration de ce modèle a nécessité la redéfinition du code SPICE correspondant au sous-circuit utilisé pour la simulation du circuit de mesure :

```
.SUBCKT PESD12VS1UB_LAURITZEN_GRAAFF 1 9
```

```
.PARAM
```

```
+IS=6.6577e-14
```

```
+N=1.097
```

```
+RS=0.999
```

```
+CJO=40.17E-12
```

```
+VJ=0.641
```

```
+M=0.548
```

```
+TT=136.68E-9
```

```
+TM=17.53E-9
```

+CJK=2.8734e-4

* Générateur de courant du modèle de Lauritzen

GD 1 2 VALUE={V(5,6)/TM}

* Générateur équivalent associé à la capacité de jonction du modèle de Graaff et Klaassen

GDVH 1 2 VALUE={I(Vqvh)}

RD 1 2 1e9

* Définition de la charge Qe dans le modèle de Lauritzen

EQ 5 0 VALUE={TT*IS*(exp(V(1,2)/(N*VT))-1)}

RQ 5 0 1e9

* Dérivation de cette charge pour obtenir le courant correspondant dans la capacité équivalente

EDQM 7 0 VALUE {V(6)}

Vsense 7 8 0

CDQM 8 0 1

RDQM 8 0 1e9

* Définition de la charge Qm dans le modèle de Lauritzen

EF 6 0 VALUE={TT*(V(5,6)/TM)-I(Vsense)*TT}

RF 6 0 1e9

* Définition de la capacité de jonction du modèle de Graaff et Klaassen

EQX 10 0 VALUE={1-V(1,2)/VJ}

EQP 20 0 VALUE={{(V(10)/2)+SQRT(V(10)*V(10)+CJK)/2}**(1-M)}

EQS 30 0 VALUE={CJO*VJ*(1-V(20))/(1-M)}

EDVH 40 0 VALUE={V(30)}

Vqvh 40 41 0

Cdvh 41 0 1

Rdvh 41 0 1e9

Rddvh 40 0 1e9

RS 2 3 RS

* Intégration du phénomène de recouvrement direct

EMO 3 4 VALUE={2*VTA*RM0*TM*I(VSENSE1)/((V(6)*RM0+VTA*TM))}

VSENSE1 4 9 0

.ENDS PESD12VS1UB_LAURITZEN_GRAAFF

Le schéma équivalent à ce modèle est le suivant :

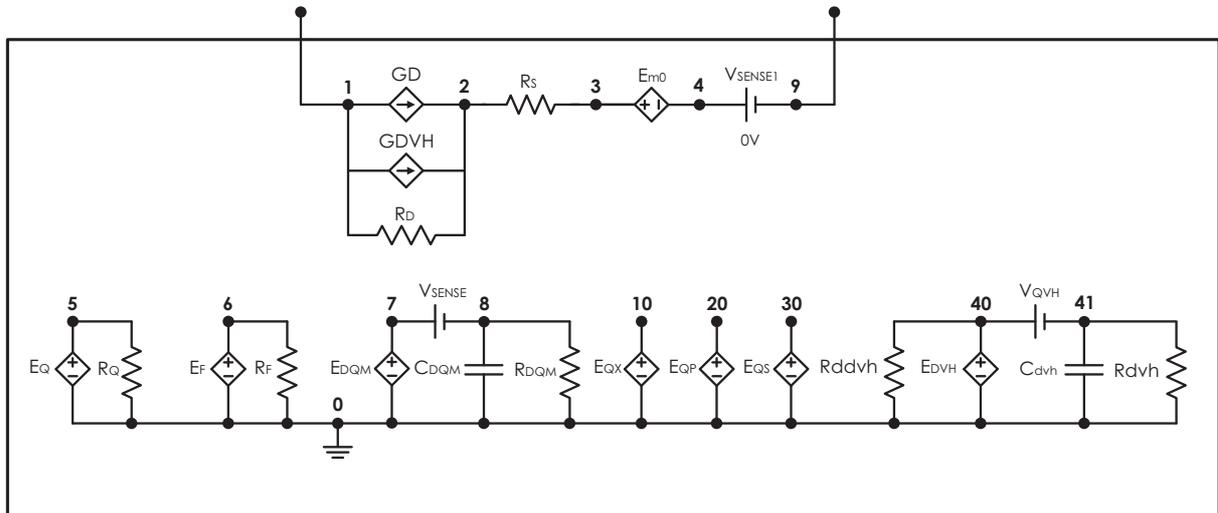


FIGURE 5.70 – Schéma électrique équivalent du sous circuit d'une diode avec le modèle de Lauritzen/Graaff

Annexe 6 : Implantation du modèle de Tseng dans la définition SPICE d'une diode

Cette annexe présente les sous-circuits qui ont été créés pour implanter le modèle de Tseng dans un simulateur de type SPICE. Le code SPICE du sous-circuit présenté ci-dessous correspond à la première évolution de notre modèle avec l'intégration du modèle SPICE de la capacité de définition :

```
.SUBCKT PESD12VS1UB_TSENG 1 9
.PARAM
+IS=3.747E-13
+N=1.1878
+CJO=41.31E-9
+VJ=0.6493
+M=0.5888
+TT=108.97
+NU=0.1879
+CJO=41.31E-9
+Y0=0.7812
+ALPHA=43.57

* Définition de la capacité de jonction et du courant de saturation
DMODEL 1 2 DCAP
.MODEL DCAP D (IS={IS} RS=0.0001 TT=0 N={N} CJO={CJO} M={M} VJ={VJ} FC={FC})

* Générateur de courant du modèle de Tseng
GDI 1 2 VALUE={I(Vsense)}
RD 1 2 1e9

* Définition de la charge Qs dans le modèle de Tseng
EQ 5 0 VALUE={TT*IS*(exp(V(1,2)/(N*VT))-1)-TT*NU*I(Vsense)}
RQ 5 0 1e6

*Pour la derivation (I(Vsense)=CDQS*dV(5)/dT, avec CDQS=1)
EDQS 7 0 VALUE={V(5)}
Vsense 7 8 0
```

```

CDQS 8 0 1
RDQS 8 0 1e6
RDdd 7 0 1e6

```

* Intégration du phénomène de recouvrement direct

```
EF 6 0 VALUE={1/(Y0+ALPHA*V(5))}
```

```
RF 6 0 1e9
```

```
RR 2 9 V(6)
```

```
.ENDS PESD12VS1UB_TSENG
```

Le schéma équivalent à ce modèle est le suivant :

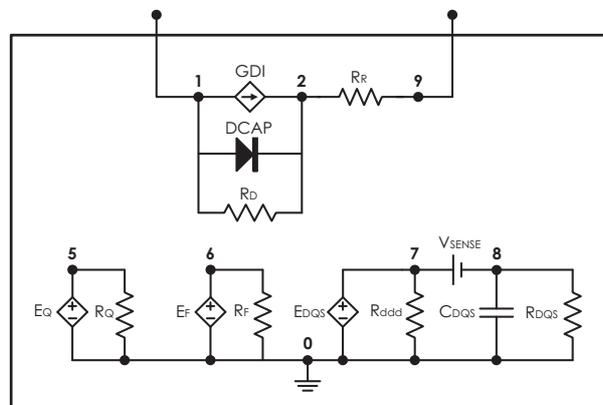


FIGURE 5.71 – Schéma électrique équivalent du sous-circuit d'une diode avec le modèle de Tseng

La seconde évolution de notre modélisation nous a amené à reconsidérer la capacité de jonction avec le modèle de Graaff et Klaassen. L'intégration de ce modèle a nécessité la redéfinition du code SPICE correspondant au sous-circuit utilisé pour la simulation du circuit de mesure :

```

.SUBCKT PESD12VS1UB_TSENG_GRAAFF 1 9
.PARAM
+IS=3.571E-14
+N=1.0792
+CJO=32.1E-12
+VJ=0.6602
+M=0.8445
+TT=122.73E-9
+NU=0.1708
+CJK=1.91E-4

```

+Y0=9.1304
+ALPHA=4.95

* Générateur de courant du modèle de Tseng

GDI 1 2 VALUE={IS*(exp((V(1,2)/(N*Vt)))-1)+I(Vsense)}

* Générateur de courant correspondant à la capacité de jonction de Graaff et
Klaassen

GD 1 2 VALUE={I(Vqvh)}

RD 1 2 1e9

* Définition de la charge Qs dans le modèle de Tseng

EQ 5 0 VALUE={TT*IS*(exp(V(1,2)/(N*VT))-1)-TT*NU*I(Vsense)}

RQ 5 0 1e6

* Pour la dérivation (I(Vsense)=CDQS*dV(5)/dT, avec CDQS=1)

EDQS 7 0 VALUE={V(5)}

Vsense 7 8 0

CDQS 8 0 1

RDQS 8 0 1e6

RDdd 7 0 1e6

* Intégration du phénomène de recouvrement direct

EF 6 0 VALUE={1/(Y0+ALPHA*V(5))}

RF 6 0 1e9

RR 2 9 {V(6)}

* Définition de la capacité de jonction du modèle de Graaff et Klaassen

EQX 10 0 VALUE={1-V(1,2)/VJ}

EQP 20 0 VALUE={((V(10)/2)+SQRT(V(10)*V(10)+CJK)/2)**(1-M)}

EQS 30 0 VALUE={CJO*VJ*(1-V(20))/(1-M)}

* Dérivation de cette charge pour obtenir le courant correspondant dans la
capacité équivalente

EDVH 40 0 VALUE={V(30)}

Vqvh 40 41 0

Cdvh 41 0 1

Rdvh 41 0 1e6

Rddvh 40 0 1e6

.ENDS PESD12VS1UB_TSENG_GRAAFF

Le schéma équivalent à ce modèle est le suivant :

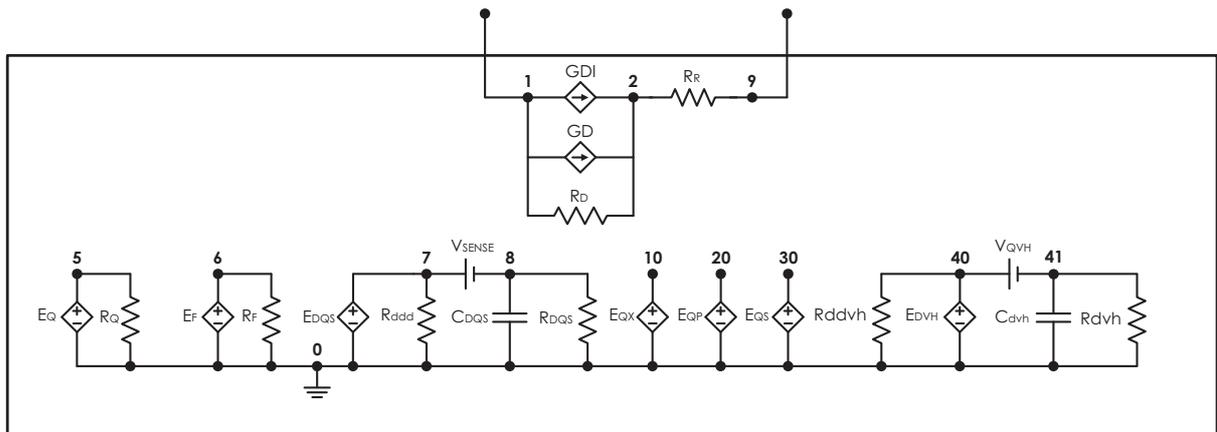


FIGURE 5.72 – Schéma électrique équivalent du sous-circuit d'une diode avec le modèle de Tseng/Graaff

Contribution à l'analyse de la susceptibilité des composants électroniques à des perturbations transitoires : Caractérisation et modélisation des éléments de protection

Résumé : La présence de systèmes embarqués faisant appel à l'électronique s'est intensifiée aussi bien dans les domaines civils et militaires. De plus, l'augmentation des fréquences d'horloges et des densités d'intégration s'accompagne d'une baisse des marges d'immunité au bruit, ce qui accroît la sensibilité des circuits aux parasites électromagnétiques externes. En parallèle, le nombre de perturbateurs potentiels ne cesse de croître. Se pose alors le problème de leur cohabitation avec les systèmes. Le contexte de notre étude nous amène à analyser l'influence du couplage d'une perturbation de type intentionnel (AGREMI) sur les systèmes électroniques. A l'échelle des cartes électroniques, les premiers éléments qui vont interagir avec ce signal sont les éléments de protection. Les travaux réalisés durant cette thèse de doctorat ont consisté à développer une méthodologie analytique et expérimentale permettant d'évaluer le comportement en régime transitoire des protections présentes dans les circuits électroniques en apportant une attention particulière au comportement des charges et aux effets non-linéaires des capacités parasites. La fiabilité de la méthodologie a été évaluée sur des protections discrètes ("Off-Chip") et sur des étages de protections ("On-Chip") des circuits intégrés numériques.

Mots clés : Modélisation circuit, impulsion électromagnétique, éléments de protection ESD, diode, simulation SPICE, analyse dans le domaine temporel.

Contribution to the susceptibility analysis of electronic components against transient disturbances : Characterization and modeling of protection elements

Abstract : The presence of embedded systems using electronics has widely spread in the civil and military domains. Moreover, the significant increases of operating frequencies and integration densities are accompanied by a reduction of noise margins which obviously increases the sensitivity of the circuits against external electromagnetic interferences. In parallel, the number of potential disturbances continues growing, and the main problem is to assess the proper functioning of the systems to be used in this environment. The context of our study is to analyse the influence of the coupling of powerful parasitic sources on electronic systems. At the component level, the first elements seen by the signal are the protection devices. So the investigations achieved during this thesis have consisted in developing a theoretical and experimental methodology to evaluate the transient behaviour of the protections present in electronic circuits, with a special attention to the charge behaviour and the non-linear effects of the parasitic capacitances. The accuracy of this methodology is assessed to both discrete and on-chip protection devices.

Keywords : Circuit modeling, electromagnetic pulse, electrostatic discharges, protection elements, semiconductor diodes, SPICE simulation, time-domain analysis.

XLIM - UMR CNRS n°6172

123, avenue Albert Thomas - 87060 LIMOGES CEDEX