

# UNIVERSITE DE LIMOGES

## ECOLE DOCTORALE SCIENCES ET INGENIERIE POUR L'INFORMATION

### FACULTE DES SCIENCES ET TECHNIQUES

Année : 2010

Thèse n° 28-2010

Thèse

pour obtenir le grade de

**DOCTEUR DE L'UNIVERSITE DE LIMOGES**

**Spécialité : Electronique des Hautes Fréquences,**

**Photonique et systèmes**

Présentée et soutenue par

***Alaaeddine RAMADAN***

Le 23 septembre 2010

***Amplification de puissance à haut rendement en bande L et en technologie GaN intégrant une pré formation de la tension de commande d'entrée.***

***Thèse dirigée par Philippe Bouysse et Jean-Michel Nebus***

Jury :

|                               |  |            |
|-------------------------------|--|------------|
| <b>Mr Serge VERDEYME</b>      | Professeur, Université de Limoges              | Président  |
| <b>Mr Christophe GAQUIERE</b> | Professeur, Université de Lille 1              | Rapporteur |
| <b>Mr Alain PEDEN</b>         | Maître de conférence HDR , Université de Brest | Rapporteur |
| <b>Mr Luc LAPIERRE</b>        | Expert Hyperfréquence, CNES, Toulouse          | Examineur  |
| <b>Mr J-F VILLEMAZET</b>      | Ingénieur à Thalès Alenia Space, Toulouse      | Examineur  |
| <b>Mr Philippe BOUYASSE</b>   | Maître de conférence, Université de Limoges    | Examineur  |
| <b>Mr Jean-Michel NEBUS</b>   | Professeur, Université de Limoges              | Examineur  |
| <b>Mr Raymond QUERE</b>       | Professeur, Université de Limoges              | Examineur  |
| <b>Mr Stéphane FORESTIER</b>  | Ingénieur à Thalès Alenia Space, Toulouse      | Invité     |
| <b>Mr Thibault REVEYRAND</b>  | Ingénieur d'étude CNRS, Université de Limoges  | Invité     |



*A ma mère, à mon père*

*A ma femme*

*A mon frère, à mes sœurs*

*A tous ceux qui me sont chers, ...*



# Remerciements

Les travaux de recherche présentés dans ce manuscrit ont été effectués à l'Institut de Recherche Xlim de l'Université de Limoges, UMR n° 6172 du CNRS. Je remercie monsieur D. CROS pour m'avoir accueilli dans le laboratoire de recherche.

Je tiens à adresser ma sincère reconnaissance à Monsieur le Professeur **Raymond QUERE** pour m'avoir accueilli au sein du département C2S2 « Composants Circuits Signaux et Systèmes Hautes Fréquences ».

J'exprime toute ma gratitude à Monsieur **Christophe GAQUIERE**, Professeur, Université de Lille et Monsieur **Alain PEDEN** (Maître de Conférence à l'ENST Brest), pour avoir accepté de juger ce travail en qualité de rapporteurs.

J'adresse également mes plus vifs remerciements à Monsieur le Professeur **Jean-Michel NEBUS** et Monsieur **Philippe Bouysse** (Maître de Conférence) qui ont dirigé mes travaux de thèse de doctorat.

Leur disponibilité, leurs compétences, leur expérience ainsi que leurs encouragements ont été des soutiens précieux au long de ces trois années.

Mes remerciements vont aussi à Monsieur **Luc Lapierre**, expert hyperfréquence du CNES, pour m'avoir fait confiance pour cette thèse et pour tous ses conseils.

Je souhaite associer à ces remerciements Monsieur **Jean-François VILLEMAZET**, Monsieur **Stéphane FORESTIER** de la société Thales Alenia Space pour tous leurs conseils pendant ces trois années de thèse.

Je témoigne toute ma reconnaissance à Monsieur **Serge VERDEYME** Professeur à Université de Limoges d'avoir accepté d'examiner ce mémoire et de participer à ce jury.

Mes remerciements vont également à Monsieur **Thibault Reveyrand** pour son aide précieuse pour la partie caractérisation expérimentale.

J'exprime également ma sincère reconnaissance à Madame **Marie-Claude LEROUGE** pour sa gentillesse, sa disponibilité et son aide précieuse durant ces trois années.

J'adresse mes sincères remerciements à toute l'équipe C2S2 de Limoges et de Brive, pour l'ambiance amicale et le soutien moral qu'ils m'ont apportés. Qu'ils sachent tous que je leur suis reconnaissant de tous les bons moments que nous avons passés ensemble.

Je souhaite une bonne continuation aux futurs et très bientôt docteurs (Jérôme, Mohamad, SAJJAD,...).

▪

# Table des matières

|  |           |
|--|-----------|
| <b>INTRODUCTION GENERALE .....</b>   | <b>17</b> |
| <b>CHAPITRE I AMPLIFICATION DE PUISSANCE A HAUT RENDEMENT.....</b>   | <b>21</b> |
| I. INTRODUCTION .....  | 23        |
| II. AMPLIFICATION DE PUISSANCE : DEFINITIONS ET BILAN DE PUISSANCE .....   | 23        |
| III. CLASSES DE FONCTIONNEMENT:.....   | 27        |
| III.1. Classes sinusoïdales .....  | 28        |
| III.2. Classes à haut rendement par contrôles aux harmoniques .....  | 30        |
| III.3. Classes dite en commutation. ....   | 44        |
| III.4. Conclusion partielle .....  | 48        |
| IV. ANALYSE DE LA PREFORMATION DE LA TENSION D'ENTREE.....   | 49        |
| V. RELEVÉ DE L'ÉTAT DE L'ART EN TECHNOLOGIE GAN.....   | 56        |
| VI. CONCLUSION.....  | 57        |
| <b>CHAPITRE II MODELISATION NON LINEAIRE D'UN TRANSISTOR HEMT ALGAN/GAN .</b>  |           |
| <b>VALIDATION PAR DES MESURES LOAD PULL TEMPORELLES. ....</b>  | <b>59</b> |
| I. INTRODUCTION : .....  | 61        |
| II. LE NITRURE DE GALLIUM.....   | 61        |
| II.1. Présentation générale .....  | 61        |
| II.2. Les avantages des matériaux à grande bande interdite :.....  | 62        |
| II.3. Les acteurs du marché du GaN.....  | 65        |
| III. CARACTERISATION DU COMPOSANT; PRINCIPE DU BANC DE MESURE I(V) ET PARAMETRES [S] EN<br>IMPULSIONS.....                       | 67        |
| IV. MODELISATION DU TRANSISTOR GAN CREE 15W (CGH60015D). ....  | 68        |
| IV.1. Mise en évidence des effets de pièges .....  | 70        |
| IV.2. Modèle électrique petit signal.....  | 73        |
| IV.3. Modèle électrique non-linéaire.....  | 75        |
| V. VALIDATION DU MODELE .....  | 83        |
| V.1. Mesures CW multi harmoniques :.....   | 84        |
| V.2. Formes d'ondes temporelles .....  | 91        |
| VI. CONCLUSION.....  | 94        |
| <b>CHAPITRE III ANALYSE DE L'AMELIORATION DES PERFORMANCES EN RENDEMENT PAR<br/>PREFORMATION DE LA TENSION DE COMMANDE. ....</b> | <b>95</b> |
| I. INTRODUCTION: .....   | 97        |
| II. SIMULATION SOURCE ET LOAD PULL HARMONIQUE .....  | 97        |

|   |                |
|---|----------------|
| II.1. Localisation des zones d'impédances de charges favorables aux harmoniques 2 et 3. ....  | 98             |
| II.2. Lieux d'impédances de charges aux trois harmoniques. ....   | 100            |
| II.3. Variations de position des impédances optimales en fonction de la fréquence. ....   | 102            |
| II.4. Influence de l'impédance de source à l'harmonique 2. ....   | 103            |
| III. APPLICATION DU PRINCIPE DE PREFORMATION DE LA TENSION DE GRILLE PAR INJECTION D'HARMONIQUE 2<br>EN ENTREE DU TRANSISTOR :..... | 105            |
| IV. MESURE LOAD-PULL AVEC 2 SIGNAUX HARMONIQUES EN ENTREE. ....   | 110            |
| V. SOLUTION POSSIBLE DE CONCEPTION D'AMPLIFICATEUR A HAUT RENDEMENT AVEC PREFORMATION DE<br>VGS(T). ....                            | 116            |
| V.1. Amplificateur avec contre réaction de la seconde composante harmonique. ....   | 116            |
| V.2. Solution retenue : utilisation d'un étage driver. ....   | 118            |
| VI. ETUDE DE L'AMPLIFICATEUR A DEUX ETAGES : OPTIMISATION DU CIRCUIT INTER-ETAGES.....  | 120            |
| VII. CONCLUSION. ....   | 123            |
| <br><b>CHAPITRE IV CONCEPTION D'UN AMPLIFICATEUR A DEUX ETAGES INTEGRANT UNE<br/>PREFORMATION DE TENSION DE GRILLE. ....</b>        | <br><b>125</b> |
| I. INTRODUCTION: .....  | 126            |
| II. MODELES ELECTRIQUES DES DIFFERENTS ELEMENTS DE LA CONCEPTION.....   | 126            |
| II.1. Modèle électrique du transistor. ....   | 126            |
| II.2. Capacités de liaison. ....  | 127            |
| II.3. Self de choc. ....  | 128            |
| II.4. Substrat utilisé. ....  | 128            |
| II.5. Circuits de polarisations.....  | 128            |
| III. CONCEPTION DES CIRCUITS POUR L'AMPLIFICATEUR CLASSE F UN SEUL ETAGE.....   | 129            |
| III.1. Circuit hybride de sortie.....   | 130            |
| III.2. Circuit hybride d'entrée. ....   | 132            |
| III.3. Amplificateur conçu. (Simulation électromagnétique - Momentum). ....   | 135            |
| III.4. Résultats de simulations. ....   | 135            |
| III.5. Etude de la stabilité. ....  | 139            |
| III.6. Résultats expérimentaux de l'amplificateur un seul étage.....  | 144            |
| IV. CONCEPTION DES CIRCUITS POUR L'AMPLIFICATEUR A DEUX ETAGES.....   | 146            |
| IV.1. Circuit hybride inter étages. ....  | 147            |
| IV.2. Circuit hybride d'entrée.....   | 149            |
| IV.3. Amplificateur conçu. (Simulation électromagnétique - Momentum). ....  | 151            |
| IV.4. Résultats de simulations.....   | 152            |
| IV.5. Etude de la stabilité. ....   | 156            |
| IV.6. Résultats expérimentaux – comparaison des deux amplificateurs conçus.....   | 160            |
| V. MESURES DES FORMES TEMPORELLES AVEC SONDE A HAUTE IMPEDANCE. ....  | 164            |
| V.1. Description du banc de mesure. ....  | 164            |



|  |            |
|--|------------|
| <i>V.2. Formes temporelles mesurées sur le module à un étage.</i> .....  | 165        |
| <i>V.3. Formes temporelles mesurées sur le module deux étages.</i> .....   | 169        |
| VI. CONCLUSION .....   | 172        |
| <b>CONCLUSION GENERALE</b> .....   | <b>175</b> |
| <b>BIBLIOGRAPHIE</b> .....   | <b>179</b> |
| <b>ANNEXE</b> .....  | <b>193</b> |
| <b>PUBLICATIONS ET COMMUNICATIONS RELATIVES A CE TRAVAIL</b> .....   | <b>197</b> |
| <b>AMPLIFICATION DE PUISSANCE A HAUT RENDEMENT EN BANDE L ET EN TECHNOLOGIE<br/>GAN INTEGRANT UNE PRE FORMATION DE LA TENSION DE COMMANDE D'ENTREE</b> ..... | <b>199</b> |
| <b>RESUME</b> .....  | <b>199</b> |
| <b>ABSTRACT</b> .....  | <b>199</b> |



# Table des Figures

## Chapitre I:

|   |    |
|---|----|
| Figure I-1 Illustration du fonctionnement d'un amplificateur  | 24 |
| Figure I-2 (a) Variation de puissance dissipée en fonction du rendement. (b) Maximum de rendement idéal pour les classes de fonctionnement. | 27 |
| Figure I-3 Amplificateur de puissance de classe sinusoïdale.  | 29 |
| Figure I-4 Schéma de principe d'un amplificateur de classe F.   | 31 |
| Figure I-5 Formes de tension et courant de drain intrinsèques en classe F.  | 32 |
| Figure I-6 Cycle de charge d'une classe F.  | 32 |
| Figure I-7 Schéma de principe d'un amplificateur de classe F inverse.   | 33 |
| Figure I-8 Formes de tension et courant de drain intrinsèques en classe F inverse.  | 34 |
| Figure I-9 Cycle de charge d'une classe $F^{-1}$ .  | 34 |
| Figure I-10 Schéma de principe de classe J.   | 35 |
| Figure I-11 formes temporelles de tension et courant de drain intrinsèques en classe J.   | 35 |
| Figure I-12 Cycle de charge en classe J.  | 36 |
| Figure I-13 Amplificateur de classe E idéal.  | 37 |
| Figure I-14 Formes de tension/courant en classe E simulée à 2GHz.   | 38 |
| Figure I-15 Variations de rendement et de puissance de sortie en fonction de la fréquence.  | 39 |
| Figure I-16 Performances des classes F et E.  | 40 |
| Figure I-17 Cycles de charge des classes F (a), $F^{-1}$ (b), E (c).  | 41 |
| Figure I-18 Topologies Push-pull classe F (VMCD).   | 42 |
| Figure I-19 Allures de tension et de courant de drain idéales dans un amplificateur VMCD aux bornes des sources de courant contrôlées.      | 42 |
| Figure I-20 Topologies Push-pull classe F inverse (CMCD).   | 43 |
| Figure I-21 Allures de tension et courant idéales de drain dans un amplificateur CMCD aux bornes des sources de courant contrôlées.         | 43 |
| Figure I-22 Cycle de charge en mode commuté.  | 44 |
| Figure I-23 Schéma de base de la classe D (a : Mode tension, b : Mode courant).   | 45 |
| Figure I-24 formes temporelles intrinsèques simulées.   | 46 |
| Figure I-25 formes temporelles de sortie simulées.  | 46 |
| Figure I-26 Schéma de principe de l'utilisation d'un amplificateur classe S.  | 47 |
| Figure I-27 Conditions de préformation de $V_{gs}(t)$ favorable par injection d'harmonique 2.   | 50 |
| Figure I-28 Illustration de la préformation de tension de grille appliquée à une classe F.  | 51 |
| Figure I-29 Variation de l'angle d'ouverture en fonction du coefficient de tension $a_2$ .  | 55 |

|  |    |
|--|----|
| Figure I-30 Illustration temporelle de la variation de l'angle d'ouverture en fonction du coefficient de tension $a_2$ . | 55 |
|--|----|

## Chapitre II:

|  |    |
|--|----|
| Figure II-1 Organisation du banc de mesures en impulsion.  | 67 |
| Figure II-2 Principe de la mesure en impulsion I[V]et RF.  | 68 |
| Figure II-3 Schéma du transistor GaN utilisé lors de l'étude (CGH60015D).  | 69 |
| Figure II-4 Schéma de montage des puces CREE   | 70 |
| Figure II-5 Réseau I(V) de sortie pour $V_{gs0}=-2.25V$ et $V_{ds0}=28V$   | 71 |
| Figure II-6 Mise en évidence des effets de pièges de drain et de grille.   | 72 |
| Figure II-7 Schéma électrique équivalent.  | 73 |
| Figure II-8 Modèle non linéaire convectif.   | 76 |
| Figure II-9 Comparaison des réseaux I-V mesurés et modélisés.  | 77 |
| Figure II-10 Caractéristiques I-V de la diode grille-source.   | 78 |
| Figure II-11 Cycle de charge choisi dans le réseau I(V) pour représenter un fonctionnement en puissance du transistor. L'extraction des valeurs des deux capacités non linéaires $C_{gs}$ et $C_{gd}$ est seulement faite le long du cycle de charge représenté. | 79 |
| Figure II-12 Modèles des capacités non linéaires   | 81 |
| Figure II-13 Modèle non-linéaire convectif avec résistance de fuite de grille  | 82 |
| Figure II-14 Comparaison modèle-mesure de paramètre S du transistor CGH60015D.   | 83 |
| Figure II-15 Schéma simplifié de banc de mesure Load-pull temporel.  | 83 |
| Figure II-16 Schéma du transistor et principe de de-embedding utilisé.   | 85 |
| Figure II-17 Les impédances extrinsèques et celles épluchées dans les plans quasi-intrinsèques pour la classe F.   | 86 |
| Figure II-18 Les impédances extrinsèques et celles épluchées dans les plans quasi-intrinsèques pour la classe $F^1$ .  | 87 |
| Figure II-19 Les impédances extrinsèques et celles épluchées dans les plans quasi-intrinsèques pour la classe J.   | 87 |
| Figure II-20 Comparaison modèle mesures de la conversion AM/AM.  | 88 |
| Figure II-21 Comparaison modèle mesures de la conversion AM/PM.  | 88 |
| Figure II-22 Comparaison modèle mesure pour le courant de drain DC.  | 88 |
| Figure II-23 Comparaison modèle mesure du coefficient de réflexion d'entrée du transistor.   | 89 |
| Figure II-24 Comparaison modèle mesure pour la puissance de sortie et le rendement en puissance ajouté en classe F.  | 89 |
| Figure II-25 Comparaison modèle mesure pour la puissance de sortie et le rendement en puissance ajouté en classe $F^1$ .   | 90 |

|   |    |
|---|----|
| Figure II-26 Comparaison modèle mesure pour la puissance de sortie et le rendement en puissance ajouté en classe J. | 90 |
| Figure II-27 Formes temporelles de tension et courant de drain en classe F.   | 92 |
| Figure II-28 Formes temporelles de tension et courant de drain en classe $F^{-1}$ .                                 | 93 |
| Figure II-29 Formes temporelles de tension et courant de drain en classe J.   | 93 |
| Figure II-30 La forme temporelle de la tension de grille mesurée et simulée.  | 94 |

### Chapitre III:

|  |     |
|--|-----|
| Figure III-1 Schéma de principe de simulation Source-pull et Load-pull   | 98  |
| Figure III-2 Simulation load-pull à $2f_0$ (Impédances extrinsèques).  | 99  |
| Figure III-3 Simulation load-pull à $3f_0$ (Impédances extrinsèques).  | 99  |
| Figure III-4 Load-pull à la fréquence fondamentale (a), l'harmonique 2 (b) et à l'harmonique 3 (c) pour un fonctionnement en classe F.                       | 100 |
| Figure III-5 Formes d'ondes temporelles de tension et courant de drain.  | 101 |
| Figure III-6 Cycles de charge intrinsèques.  | 101 |
| Figure III-7 Impédances de charge optimales à $f_0$ entre 1.6GHz-2.4GHz.   | 102 |
| Figure III-8 Source-pull à l'harmonique 2 (configuration de charge en classe F).   | 103 |
| Figure III-9 Formes de tension d'entrée pour les trois configurations de l'impédance de source.  | 104 |
| Figure III-10 Formes temporelles de tension/courant intrinsèques des trois configurations.   | 104 |
| Figure III-11 Cycles de charge des trois configurations.   | 105 |
| Figure III-12 Schéma de simulation de l'injection d'entrée.  | 105 |
| Figure III-13 Tension de commande d'entrée $V_{gs}(t)$   | 106 |
| Figure III-14 Tension et courant intrinsèques de drain pour les trois configurations.  | 107 |
| Figure III-15 Cycles de charge simulés pour une classe F pour les trois configurations.  | 107 |
| Figure III-16 Courant DC de drain.   | 108 |
| Figure III-17 Courant de drain au fondamental (A). Tension de drain au fondamental (B).  | 108 |
| Figure III-18 Rendement en puissance ajoutée en fonction de la puissance d'entrée simulée pour les trois configurations en entrée (a) (b) (c).               | 109 |
| Figure III-19 Rendement en puissance ajoutée en fonction de la puissance de sortie simulée pour les trois configurations (a) (b) (c).                        | 109 |
| Figure III-20 Schéma de principe du banc de mesure load-pull temporel avec injection de $H_2$ (4GHz) en entrée.  | 110 |
| Figure III-21 Impédances extrinsèques (a) et quasi-intrinsèques (b) pour la classe F.  | 111 |
| Figure III-22 Rendement en puissance ajoutée de classe F en fonction de la puissance de sortie mesurées pour les trois configurations en entrée (a) (b) (c). | 112 |
| Figure III-23 Les impédances extrinsèques (a) et celles épluchées dans les plans quasi-intrinsèques (b) pour la classe $F^{-1}$ .                            | 113 |

|   |     |
|---|-----|
| Figure III-24 Rendement en puissance ajoutée de classe $F^{-1}$ en fonction de la puissance de sortie mesurées pour les trois configurations en entrée (a) (b) (c). | 113 |
| Figure III-25 Courants de drain DC (rouge) et à la fréquence fondamentale (bleu) mesurées pour la classe F (A) et classe $F^{-1}$ (B).                              | 114 |
| Figure III-26 Tension drain source à la fréquence fondamentale pour la classe F (A) et classe $F^{-1}$ (B).   | 114 |
| Figure III-27 Formes temporelles de classe F mesurées pour les deux configurations de l'entrée.   | 115 |
| Figure III-28 Formes temporelles de classe $F^{-1}$ mesurées pour les deux configurations de l'entrée.  | 115 |
| Figure III-29 Amplificateur avec contre réaction de la seconde composante harmonique.   | 116 |
| Figure III-30 Formes temporelles de $V_{gs}(t)$ pour les deux configurations :  | 117 |
| Figure III-31 Circuit de l'amplificateur classe F préformé par une contre réaction à $2f_0$ .   | 118 |
| Figure III-32 Schéma de principe de l'amplificateur à 2 étages.   | 119 |
| Figure III-33 Schéma d'un amplificateur à deux étages publié par « Ingruber » [52].   | 120 |
| Figure III-34 Schématisation de principe de l'amplificateur à 2 étages.   | 121 |
| Figure III-35 PAE de l'étage driver (a), étage de puissance (b) et PAE global (c).  | 122 |
| Figure III-36 Gain de l'étage driver (a), de l'étage de puissance (b) et gain global de l'amplificateur (c).  | 122 |
| Figure III-37 Performances de l'amplificateur à 2 étages avec circuits idéaux d'adaptation.   | 123 |
| Figure III-38 Tension de drain du transistor driver (a) et tension de grille du transistor de puissance (b).  | 123 |

#### Chapitre IV:

|   |     |
|---|-----|
| Figure IV-1 Modèle électrique des capacités de liaison.   | 127 |
| Figure IV-2 Courbes de $R_s$ et $R_p$ de la capacité de liaison.  | 127 |
| Figure IV-3 Self de choc utilisée.  | 128 |
| Figure IV-4 Schéma du circuit de polarisation.  | 129 |
| Figure IV-5 Schéma de principe de l'amplificateur à un étage.   | 130 |
| Figure IV-6 Circuit de charge classe F.   | 130 |
| Figure IV-7 Circuit à $2f_0$ (A), circuit à $3f_0$ (B).   | 131 |
| Figure IV-8 Comparaison des paramètres $[S]$ simulés électriquement et électromagnétiquement de l'hybride de sortie.  | 132 |
| Figure IV-9 Hybride de sortie.  | 132 |
| Figure IV-10 Circuit d'entrée.  | 133 |
| Figure IV-11 Comparaisons des paramètres $[S]$ simulés électriquement et électromagnétiquement de l'hybride d'entrée. | 134 |
| Figure IV-12 Hybride d'entrée.  | 134 |
| Figure IV-13 Schéma des hybrides de l'amplificateur à un seul étage.  | 135 |
| Figure IV-14 Coefficient de réflexion en entrée.  | 136 |
| Figure IV-15 Coefficient de réflexion en sortie.  | 136 |
| Figure IV-16 Gain petit signal.   | 136 |

|  |     |
|--|-----|
| Figure IV-17 Coefficient de réflexion en entrée en fonction de la puissance d'entrée à 2GHz.   | 137 |
| Figure IV-18 Performances simulées de l'amplificateur à un seul étage.   | 138 |
| Figure IV-19 Performances simulées de l'amplificateur en fonction de la fréquence.   | 138 |
| Figure IV-20 Conception des circuits de polarisation comprenant le circuit RC de stabilisation.  | 140 |
| Figure IV-21 Facteur de stabilité K et B après stabilisation.  | 140 |
| Figure IV-22 Mise en parallèle d'une perturbation pour l'analyse de stabilité non linéaire.  | 141 |
| Figure IV-23 Analyse de stabilité non linéaire avec le logiciel STAN.  | 142 |
| Figure IV-24 Circuit de l'amplificateur un étage finalisé.   | 143 |
| Figure IV-25 Module et phase de la fonction de transfert de la perturbation après stabilisation.   | 143 |
| Figure IV-26 Démonstrateur de l'amplificateur classe F de référence.   | 144 |
| Figure IV-27 Performances de l'amplificateur à un étage à 2 GHz  | 145 |
| Figure IV-28 Performances de l'amplificateur en fonction de la fréquence.  | 146 |
| Figure IV-29 Schéma de principe de l'amplificateur à deux étages.  | 147 |
| Figure IV-30 Circuit inter-étages  | 147 |
| Figure IV-31 Comparaison des paramètres [S] simulés électriquement et électromagnétiquement de l'hybride entre les 2 étages.                     | 148 |
| Figure IV-32 Mic inter-étages.   | 149 |
| Figure IV-33 Circuit d'entrée de l'amplificateur à 2 étages.   | 149 |
| Figure IV-34 Comparaison des paramètres [S] simulés électriquement et électromagnétiquement de l'hybride d'entrée de l'amplificateur à 2 étages. | 150 |
| Figure IV-35 Mic d'entrée.   | 151 |
| Figure IV-36 Schéma des hybrides de l'amplificateur à deux étages.   | 151 |
| Figure IV-37 Coefficient de réflexion en entrée.   | 152 |
| Figure IV-38 Coefficient de réflexion en sortie.   | 152 |
| Figure IV-39 Gain petit signal.  | 152 |
| Figure IV-40 Performances simulées de l'amplificateur à deux étages.   | 153 |
| Figure IV-41 Cycles de charge des transistors driver (a) et de puissance (b).  | 154 |
| Figure IV-42 Formes temporelles de la tension de drain du transistor driver (a) et de la tension de grille du transistor de puissance (b).       | 154 |
| Figure IV-43 Performances simulées de l'amplificateur en fonction de la fréquence.   | 154 |
| Figure IV-44 Forme de la tension de grille source en fonction de fréquence.  | 155 |
| Figure IV-45 Circuit finalisé après stabilisation  | 156 |
| Figure IV-46 Facteurs de stabilité linéaires.  | 157 |
| Figure IV-47 Mise en parallèle d'une perturbation pour l'analyse de stabilité non linéaire de l'amplificateur à 2 étages.                        | 157 |

|  |     |
|--|-----|
| <i>Figure IV-48 Analyse de stabilité non linéaire avec STAN (injection de perturbation sur la grille du transistor de puissance).</i>  | 158 |
| <i>Figure IV-49 Module et phase de la fonction de transfert de la perturbation après stabilisation. (Injection de perturbation sur la grille du transistor de puissance).</i>            | 159 |
| <i>Figure IV-50 Analyse de stabilité non linéaire avec STAN (injection de perturbation sur la grille du transistor driver).</i>  | 159 |
| <i>Figure IV-51 Démonstrateur de l'amplificateur à 2 étages.</i>   | 160 |
| <i>Figure IV-52 Performances de l'amplificateur à 2 étages.</i>  | 161 |
| <i>Figure IV-53 Performances de l'amplificateur en fonction de la fréquence.</i>   | 162 |
| <i>Figure IV-54 Comparaison des deux modules.</i>  | 163 |
| <i>Figure IV-55 Schéma simple du banc de mesure.[95]</i>   | 164 |
| <i>Figure IV-56 Mesure de formes d'ondes temporelles avec sonde haute impédance.</i>   | 165 |
| <i>Figure IV-57 Plans de mesures avec sondes haute impédance.</i>  | 165 |
| <i>Figure IV-58 Tension de drain en fonction du temps à 3dB de compression de gain à la fréquence 1.9GHz.</i>  | 166 |
| <i>Figure IV-59 Tension de grille en fonction du temps à 3dB de compression de gain à la fréquence 1.9GHz.</i>   | 166 |
| <i>Figure IV-60 Tension de drain en fonction du temps à 3dB de compression de gain à la fréquence 2GHz.</i>  | 167 |
| <i>Figure IV-61 Tension de grille en fonction du temps à 3dB de compression de gain à la fréquence 2GHz.</i>   | 167 |
| <i>Figure IV-62 Tension de drain en fonction du temps à 3dB de compression de gain à la fréquence 2.1GHz.</i>  | 168 |
| <i>Figure IV-63 Tension de grille en fonction du temps à 3dB de compression de gain à la fréquence 2.1GHz.</i>   | 168 |
| <i>Figure IV-64 Photo de l'amplificateur en cours de mesure avec la sonde HIP.</i>   | 169 |
| <i>Figure IV-65 Tension de drain en fonction du temps du transistor driver (a) et du transistor de puissance (b) à 3dB de compression de gain.</i>                                       | 170 |
| <i>Figure IV-66 Tension de grille en fonction du temps du transistor de puissance dans le plan de mesure (a) et épluchées au plan intrinsèque (b) à 3dB de compression de gain.</i>      | 170 |
| <i>Figure IV-67 Tension de drain en fonction du temps du transistor driver (a) et du transistor de puissance (b) à 3dB de compression de gain.</i>                                       | 171 |
| <i>Figure IV-68 Tension de grille en fonction du temps du transistor de puissance dans le plan de mesure (a) et épluchées dans le plan intrinsèque (b) à 3dB de compression de gain.</i> | 171 |
| <i>Figure IV-69 Tension de drain en fonction du temps du transistor driver (a) et du transistor de puissance (b) à 3dB de compression de gain.</i>                                       | 171 |
| <i>Figure IV-70 Tension de grille en fonction du temps du transistor de puissance dans le plan de mesure (a) et épluchées dans le plan intrinsèque (b) à 3dB de compression de gain.</i> | 172 |



# ***INTRODUCTION GENERALE***



Le contexte général dans lequel se situe ces travaux de thèse est l'amplification de puissance micro-onde à haut rendement en technologie GaN.

Le rendement en puissance ajouté des amplificateurs constitue pratiquement la spécification principale de ces équipements car ceux-ci contribuent pour une part prépondérante au bilan énergétique global d'un émetteur - récepteur.

La recherche de rendement optimal est motivée par la réduction du dimensionnement des amplificateurs et de leur gestion thermique associée.

Il en résulte aussi des améliorations notoires sur des aspects de coût et de fiabilité.

Les développements technologiques réalisés au cours de la dernière décennie sur les composants grands gaps en GaN ont débouché sur des composants ayant acquis une maturité certaine pour l'amplification de puissance micro-onde.

Il est ainsi possible de tirer partie de leurs fortes potentialités en recherchant des architectures de circuits visant le haut rendement avec la difficulté toujours d'actualité d'atteindre conjointement une forte efficacité énergétique et une large bande de fréquence.

Beaucoup de travaux d'architecture visant à optimiser les performances en rendement ont été menés au cours de ces dernières années. Citons par exemple les architectures 'Doherty' ou les architectures à contrôle dynamique de polarisation.

Quels que soient les degrés de sophistication mais aussi de complexité de ces structures d'amplification il n'en demeure pas moins comme préoccupation constante l'optimisation des conditions de fonctionnement à haut rendement des cellules constituantes.

L'optimisation du rendement d'un transistor passe par la mise en œuvre de classes de fonctionnement qui sont soit de type « accordés aux harmoniques », (harmonic tuned power amplifiers en anglais), ou de type « en mode de commutation », (switch mode power amplifiers).

L'amplification micro-onde en mode de commutation suscite un intérêt croissant basé sur les espoirs d'avoir avec les filières GaN à la fois des composants de fort développement et de fréquence de coupure très élevée. Néanmoins il existe une très forte complexité de mise en œuvre du traitement des signaux et des modulations d'impulsions nécessaires pour un fonctionnement dit en commutation en bande L, C voir X.

Les solutions de type « harmonic tuned » offrent actuellement pour les amplificateurs de forte puissance, la meilleure efficacité de conversion d'énergie continue en énergie RF à la fréquence fondamentale fournie à l'antenne.

Les recherches d'architectures d'amplificateurs intégrant un contrôle d'impédances de charge d'harmoniques ont été menées depuis assez longtemps quelque soit la technologie considérée et ne sont donc plus nouvelles. Ce sont par nature des architectures bande étroite.

Par contre, la problématique de formation de la tension de commande d'entrée pour augmenter les performances en rendement constitue un axe beaucoup moins investigué.

C'est ce point particulier qui fait l'objet du cœur de ces travaux de thèse.

Dans un premier chapitre, la problématique générale d'amplification de puissance à haut rendement ainsi que les différentes classes de fonctionnement et les topologies de principe d'amplificateurs sont abordées. Ce chapitre se termine par une présentation du point particulier sur lequel se focalise ces travaux de thèse, à savoir la préformation de la tension de commande du transistor.

Le second chapitre traite de la modélisation et de la validation d'un modèle de transistor 3.6 mm GaN de la société CREE. L'aspect majeur de ce chapitre concerne la caractérisation expérimentale approfondie en terme de formes d'ondes temporelles qui est importante pour la suite des travaux.

Le chapitre 3 présente l'analyse de la préformation de tension de grille d'un transistor en technologie GaN, son impact sur le rendement et la manière de mettre en œuvre le principe sur une topologie d'amplificateur à deux étages.

Enfin le chapitre 4, traite de la conception d'un amplificateur 10 W à 2 GHz. Cet amplificateur inclut un étage de puissance fonctionnant en classe F et un driver fonctionnant en mode saturé à basse tension pour permettre la préformation de la tension d'entrée de l'étage de puissance. L'intérêt des résultats obtenus concerne l'obtention d'un très bon rendement sur une bande de fréquence plus étendue que celle obtenue avec une configuration classique n'incluant pas de préformation de la tension de commande.

La conclusion dresse un bilan de ces travaux et aborde quelques perspectives.

# **CHAPITRE I *AMPLIFICATION DE PUISSANCE A HAUT RENDEMENT***



## I. Introduction

Les amplificateurs de puissance radiofréquences sont des équipements critiques des émetteurs des systèmes de communications. Pour réaliser l'amplification du signal délivré à l'antenne, un amplificateur doit convertir le maximum de puissance d'alimentation continue (DC) en puissance radio fréquence (RF). Le rapport entre la puissance RF de sortie de l'amplificateur et la puissance DC consommée, est le rendement de l'amplificateur. Le rendement électrique constitue pratiquement la spécification majeure de l'amplification de puissance. On peut distinguer les amplificateurs dits « en mode de commutation » pour lesquels le transistor est utilisé comme un commutateur et les amplificateurs traditionnels appelés «linear-mode PAs » pour lesquels le transistor est utilisé comme une source de courant contrôlée. Contrairement aux amplificateurs dits «linear-mode PAs », l'utilisation des amplificateurs en mode de commutation est restreinte idéalement pour l'amplification des signaux à enveloppe constante. Dans ce cas l'amplification n'est pas soumise à des contraintes de linéarités.

Ce chapitre expose en premier lieu les principales grandeurs électriques mises en jeu dans une cellule amplificatrice de puissance. Par la suite, la problématique de l'amplification de puissance à haut rendement est exposée de même que les différentes architectures de principe d'amplificateurs et les classes de fonctionnement associées. Une présentation du principe de pré formation de tension de grille qui vise à améliorer les performances en rendement et qui est au cœur de ce travail de thèse est ensuite faite. Enfin un état des lieux relevé dans la littérature concernant les conceptions d'amplificateurs de puissance à haut rendement en technologie GaN est donné.

## II. Amplification de puissance : Définitions et bilan de puissance

Le fonctionnement de l'amplificateur est principalement déterminé par les cellules actives constituantes; c'est à dire les transistors. L'utilisation de transistors requiert des sources continues d'alimentation. L'amplificateur de puissance est un quadripôle caractérisé en premier lieu par les paramètres de base que sont les puissances [1]. Les puissances mises en jeu dans l'amplification sont représentées Figure I-1 pour le cas de l'amplification d'un signal sinusoïdal d'entrée à une fréquence  $f_0$  (régime harmonique):

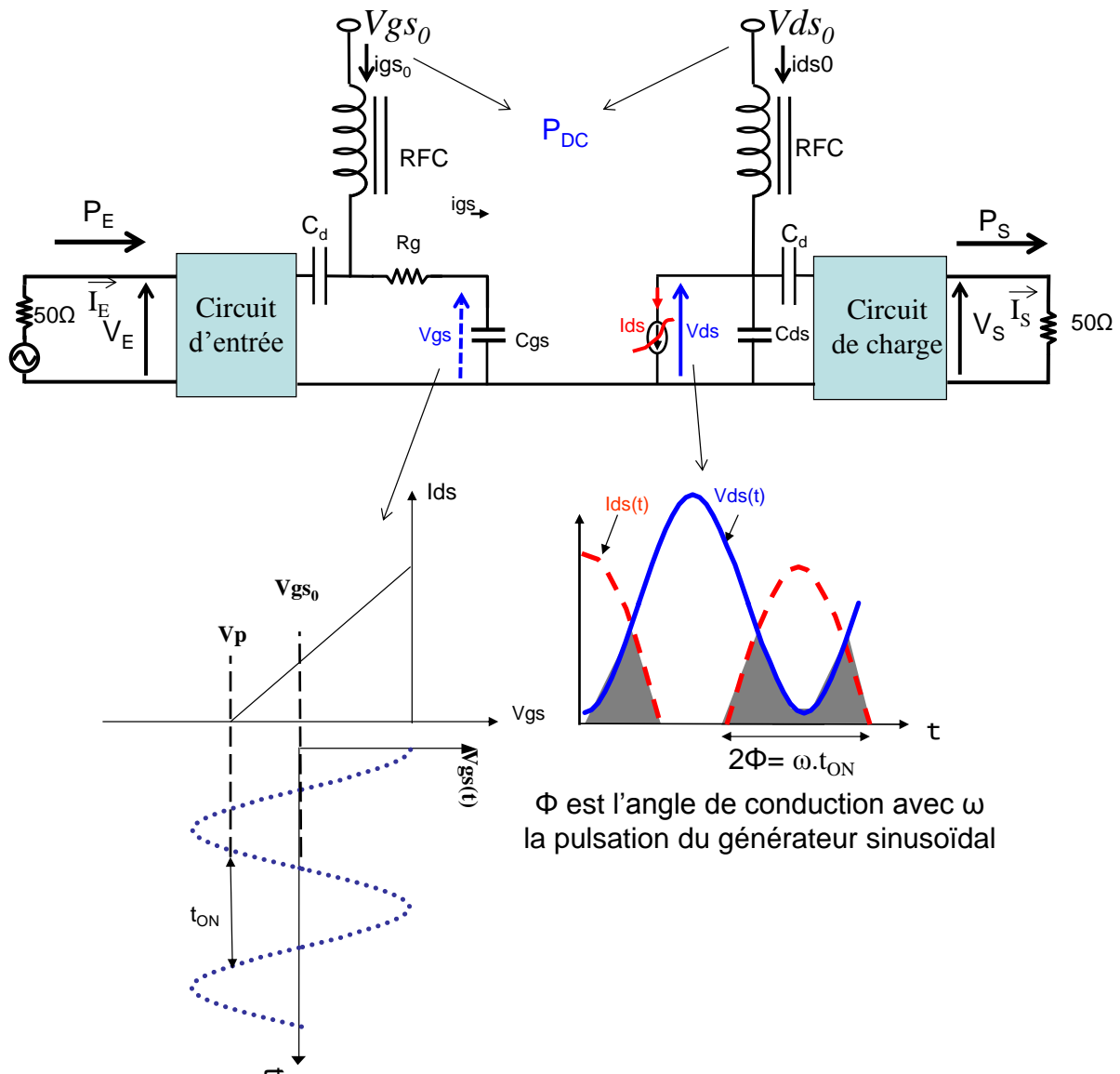


Figure I-1 Illustration du fonctionnement d'un amplificateur

On suppose pour simplifier que l'amplificateur est un quadripôle unilatéral avec son circuit d'entrée linéaire.

On définit les puissances suivantes:

$P_E$ : la puissance d'entrée.

$P_S$ : la puissance de sortie utile à la fréquence fondamentale.

Lorsque l'amplificateur fonctionne en zone linéaire, on a la relation  $P_S = G_{LIN} \cdot P_E$  avec  $G_{LIN}$  le gain linéaire de l'amplificateur.



$P_{DC}$  : la puissance consommée fournie par les alimentations continues.

$$P_{DC} = V_{ds_0} I_{ds_0} + |V_{gs_0} I_{gs_0}| \approx V_{ds_0} I_{ds_0} \quad \text{Équation I-1}$$

$P_d$ : la puissance dissipée par effet joule qui affecte l'état thermique de l'amplificateur et qui doit être minimisée. Cette puissance dissipée est fonction de la surface de recouvrement des tension et courant de drain comme représenté en grisé sur la Figure I-1.

$G_p$  : le gain en puissance d'un amplificateur est défini comme le rapport entre la puissance de sortie et la puissance d'entrée à la fréquence fondamentale de fonctionnement. L'expression du gain en puissance en décibel est donnée par la formulation suivante:

$$G_{p_{dB}} = P_s(dBm) - P_e(dBm) \quad \text{Équation I-2}$$

$\eta_{aj}$ , le rendement en puissance ajoutée qui s'écrit :

$$\eta_{aj} = \frac{P_s - P_e}{P_{DC}} \quad \text{Équation I-3}$$

Si le gain est assez fort pour négliger  $P_e$  devant  $P_s$ , le rendement en puissance ajoutée tend vers le rendement de sortie, qui est  $\eta_s = \frac{P_s}{P_{DC}}$

En supposant idéalement les adaptations à  $50\Omega$  réalisées aux accès externes et un filtrage idéal des tensions ou courants harmoniques de sortie on a :

$$\begin{aligned} V_E(t) &= V_{e1} \cos wt \\ V_s(t) &= V_{s1} \cos(wt + \pi) \\ i_E(t) &= I_{e1} \cos(wt) \\ i_s(t) &= I_{s1} \cos(wt + \pi) \end{aligned} \quad \text{Équation I-4}$$

Les puissances au fondamental aux accès sont  $P_{E,Fo} = \frac{1}{2}(V_{e1} \cdot I_{e1})$  et  $P_{S,Fo} = \frac{1}{2}(V_{s1} \cdot I_{s1})$

Les tension et courant de drain intrinsèques sont quant à eux des combinaisons de composantes harmoniques de la fréquence du générateur d'excitation d'entrée.

L'optimisation des conditions de fonctionnement du composant pour maximiser le rendement consiste à tendre vers un fonctionnement pour lequel la surface de recouvrement grisée illustrée Figure I-1 est la plus faible possible.

L'expression générale des tensions et courants intrinsèques peut s'écrire :

$$\begin{aligned} V_{gs}(t) &= Vgs_0 + Vgs_1 \cos \omega t \\ V_{ds}(t) &= Vds_0 + \sum_{n=1}^{\infty} Vds_n \cos(n\omega t + \varphi_n) \\ I_{gs}(t) &= Igs_0 + Igs_1 \cos(\omega t + \theta) \\ I_{ds}(t) &= Ids_0 + \sum_{n=1}^{\infty} Ids_n \cos(n\omega t + \psi_n) \end{aligned} \quad \text{Équation I-5}$$

L'expression de la puissance dissipée est :

$$\begin{aligned} P_d &= \frac{1}{T} \int_0^T Vgs(t).Igs(t)dt + \frac{1}{T} \int_0^T Vds(t).Ids(t)dt \\ &= \frac{1}{T} \int_0^T (Vgs_0 + Vgs_1 \cos \omega t).(Igs_0 + Igs_1 \cos(\omega t + \theta))dt \\ &\quad + \frac{1}{T} \int_0^T (Vds_0 + \sum_{n=1}^{\infty} Vds_n \cos(n\omega t + \varphi_n)).(Ids_0 + \sum_{n=1}^{\infty} Ids_n \cos(n\omega t + \psi_n))dt \end{aligned} \quad \text{Équation I-6}$$

T est la période du signal sinusoïdal délivré par le générateur d'entrée.

En négligeant les pertes de puissance des circuits d'adaptation d'entrée et de sortie :

$$P_d = P_E + P_{DC} + \sum_{n=1}^{\infty} (Vds_n \cdot \cos(\omega t + \varphi_n) \cdot Ids_n \cos(\omega t + \psi_n)) \quad \text{Équation I-7}$$

Typiquement, on cherche à obtenir le maximum de puissance de sortie au fondamental avec un circuit d'adaptation de sortie idéalement sans perte dans la charge d'utilisation résistive de sortie.

On a ainsi  $(\varphi_1 - \psi_1) = \pi$ .

$$\begin{aligned} P_d &= P_E + P_{DC} - P_{S,F_0} + \frac{1}{T} \int_0^T \sum_{n=2}^{\infty} (Vds_n \cdot \cos(\omega t + \varphi_n) \cdot Ids_n \cos(\omega t + \psi_n)) \\ P_d &= P_E + P_{DC} - P_{S,F_0} + \sum_{n=2}^{\infty} \frac{1}{2} (Vds_n \cdot Ids_n \cos(\varphi_n - \psi_n)) \end{aligned} \quad \text{Équation I-8}$$

Optimiser le rendement donc minimiser la puissance dissipée revient à minimiser le temps de coexistence entre la tension et le courant de drain intrinsèques.

Idéalement, l'adaptation de sortie (supposée sans perte) sera telle qu'aucune puissance ne sera émise aux harmoniques dans la charge utile. Ainsi le produit  $V_{ds_n} * I_{ds_n}$  sera nul soit par le courant (conditions de charge haute impédance), soit par la tension (conditions de charge en court-circuit).

Les signaux de tension et de courant susceptibles d'être visés pour l'optimisation du rendement des amplificateurs de puissance peuvent être classés en deux catégories:

- ✓ Les signaux sinusoïdaux de valeur minimale tronquée (demi sinus, calottes de sinusoïdes,...). Ils permettent une diminution de la valeur moyenne ( $V_{ds_0}$  ou  $I_{ds_0}$ ) et donc de la puissance fournie par l'alimentation. Le spectre de ces signaux est composé de raies aux fréquences harmoniques paires.
- ✓ Les signaux quasi-carrés, qui permettent une augmentation de l'amplitude à la fréquence fondamentale et par conséquent de la puissance de sortie. Le spectre de ces signaux est uniquement composé de raies aux fréquences harmoniques impaires.

### III. Classes de fonctionnement:

Il existe plusieurs classes de fonctionnement d'un amplificateur de puissance, les classes sinusoïdales A, AB, B et les classes dites "en commutation" (D, E, F,  $F^{-1}$ , S,...).

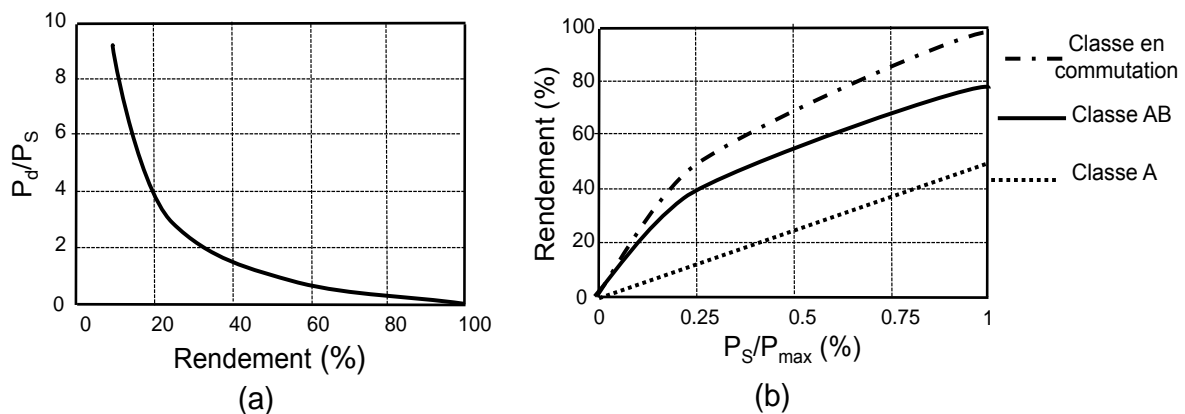


Figure I-2 (a) Variation de puissance dissipée en fonction du rendement. (b) Maximum de rendement idéal pour les classes de fonctionnement.

La Figure I-2(a) montre l'évolution de la puissance dissipée normalisée par rapport à la puissance de sortie  $P_d/P_s$  et tracée en fonction du rendement  $\eta$ . L'allure de cette courbe est

hyperbolique ( $\frac{P_d}{P_S} = \frac{1}{\eta} - 1$ ). Dans la zone des rendements faibles à moyens (jusqu'à 50%), l'amélioration de rendement conduit à des variations rapides et importantes. Au-delà, l'amélioration est rapidement asymptotique et par conséquent elle est difficile pour gagner seulement quelques points de rendement.

### III.1. Classes sinusoïdales

Les classes de fonctionnement A, AB, B et C sont définies par des tensions d'excitation d'entrée et de sortie sinusoïdales, et un temps de conduction de la source de courant fondamentale variant de la période complète (classe A) à moins de la demi période (classe C). Les classes AB, B et C permettent une amélioration du rendement grâce à la diminution de la valeur moyenne du courant de drain  $I_{ds0}$ , plus précisément du rapport  $(I_{ds1}/I_{ds0})$ , et par conséquent de la puissance d'alimentation [2].

L'obtention d'une tension de sortie sinusoïdale requiert idéalement un circuit de charge résonnant parallèle accordé à la fréquence fondamentale et présentant un court-circuit idéal aux tensions harmoniques.

Dans le domaine micro-onde, on considère que l'on ne peut contrôler raisonnablement que les 3 premières composantes harmoniques. Un schéma de principe utilisant des éléments distribués est représenté Figure I-3.

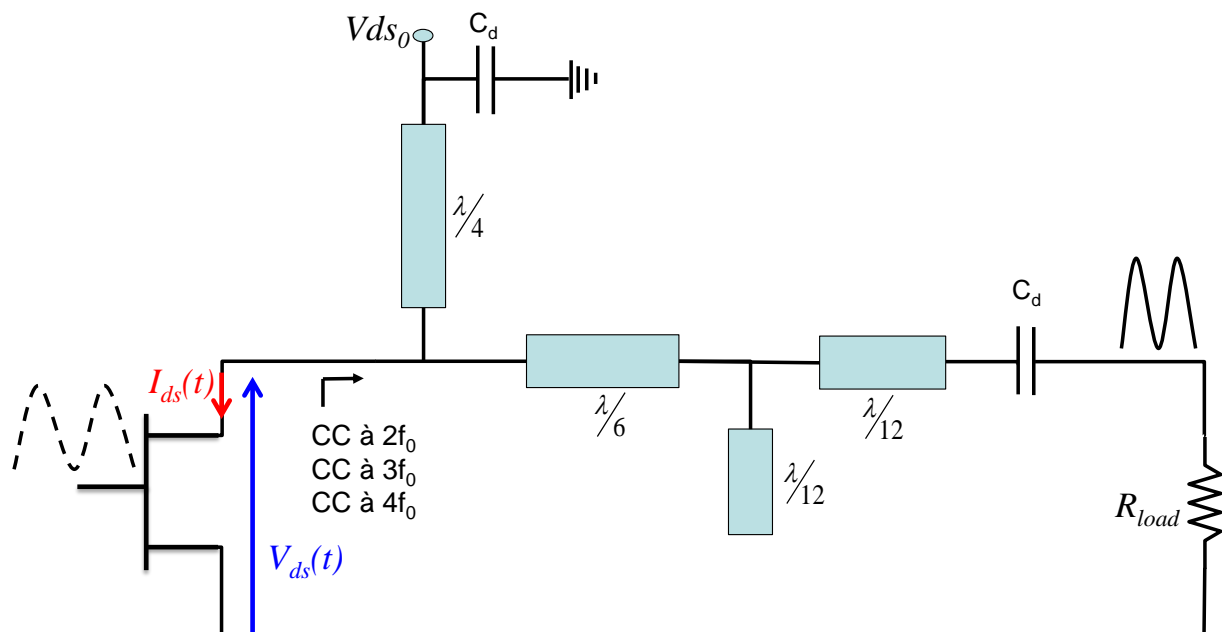


Figure I-3 Amplificateur de puissance de classe sinusoïdale.

Le Tableau I-1 rappelle les rendements théoriques maximum de sortie des classes sinusoïdales. Il est représenté en grisé une illustration de la diminution de la puissance dissipée de la classe A vers la classe C. On peut remarquer l'effet important du  $V_{dsat}$  (donc de  $R_{dson}$ ) non nul sur la dissipation de puissance.

| Classe | Forme I-V | Max $\eta$                          |
|--------|-----------|-------------------------------------|
| A      |           | $\eta_{\max}=50\%$                  |
| AB     |           | $50\% < \eta_{\max} < 78.5\%$<br>5% |
| B      |           | $\eta_{\max}=78.5\%$                |

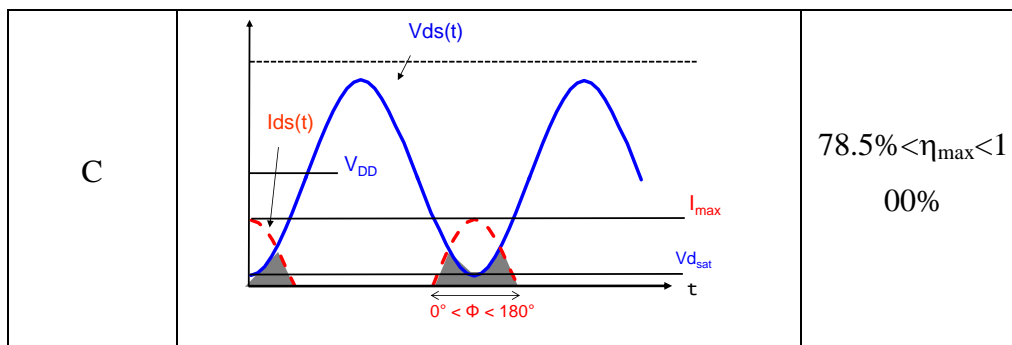


Tableau I-1 Les formes I-V pour les classes sinusoïdales.

### III.2. Classes à haut rendement par contrôles aux harmoniques

Une amélioration des performances en rendement et donc une minimisation du recouvrement entre formes temporelles de courant et de tension de sortie intrinsèques peut être obtenue en utilisant des circuits de charge appropriés aux harmoniques.

On peut distinguer des topologies de type simple cellule (Single-Ended) et des topologies équilibrées (balanced).

#### III.2.1. Topologies simple cellule (Single-Ended).

##### III.2.1.1. Classe F

La classe F permet d'obtenir des rendements électriques très élevés en utilisant comme signal d'excitation d'entrée un signal sinusoïdal et en formant à partir des courants de sortie et des impédances de charge adéquates une tension de sortie de forme carrée [2][3][4].

Un amplificateur de classe F idéal est un amplificateur générant aux bornes de sa source de courant contrôlée une tension quasi-carrée associée à un courant demi sinusoïdal en opposition de phase.

Un tel amplificateur dispose théoriquement d'un rendement unitaire s'il possède une tension intrinsèque carrée de valeur minimale nulle aux bornes de la source de courant fondamentale. Une tension carrée est réalisée à partir d'un très grand nombre d'harmoniques donc de circuits résonants sans perte [5][7]. La tension et le courant de drain intrinsèques s'écrivent alors:

$$\frac{i_{ds}(\omega t)}{I_{ds0}} = 1 - \frac{\pi}{2} \sin(\omega t) - 2 \sum_{n=2,4,6,\dots}^N \frac{\cos(n\omega t)}{n^2 - 1}$$

Équation I-9

$$\frac{v_{ds}(\omega t)}{V_{ds0}} = 1 + \frac{4}{\pi} \sin(\omega t) + \frac{4}{\pi} \sum_{n=3,5,7,\dots}^N \frac{\sin(n\omega t)}{n}$$

Équation I-10

Les impédances de charge sont idéalement des courts circuits aux harmoniques paires et des circuits ouverts aux harmoniques impaires.

Malheureusement, il est impossible pratiquement de considérer un très grand nombre d'harmoniques dans le domaine hyperfréquence [6]. On est raisonnablement limité au contrôle des 3 premières harmoniques (Figure I-4) et à des circuits d'adaptation simples pour minimiser les pertes et améliorer la bande passante.

Un schéma de principe en circuits distribués réalisant la condition de court-circuit à l'harmonique 2 et de circuit ouvert à l'harmonique 3 est donné Figure I-4.

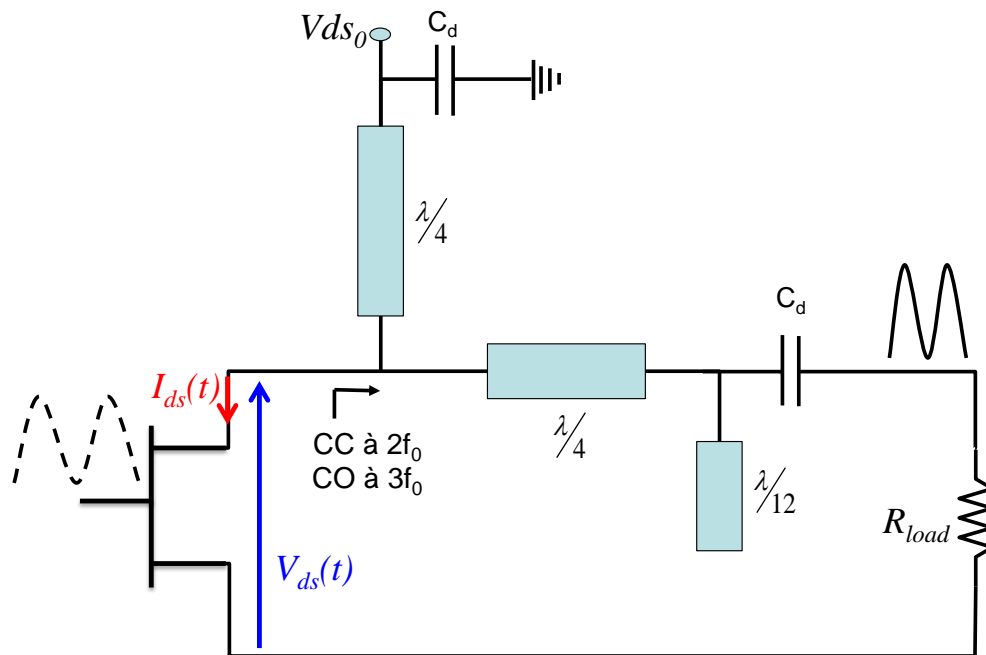


Figure I-4 Schéma de principe d'un amplificateur de classe F.

Ce qui caractérise cette classe c'est le fait qu'elle favorise la durée d'existence d'une tension minimale limitée par la zone ohmique ( $R_{ds,on}$ ) tant que le courant est au voisinage de sa valeur maximale.

Les formes d'ondes caractéristiques intrinsèques et le cycle de charge associé sont montrés Figure I-5 et Figure I-6.

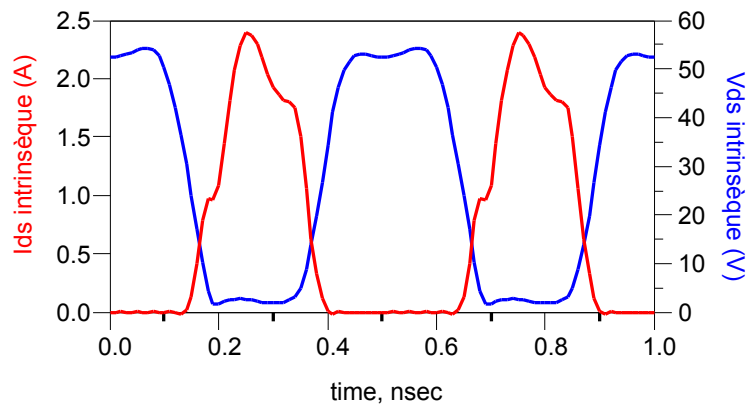


Figure I-5 Formes de tension et courant de drain intrinsèques en classe F.

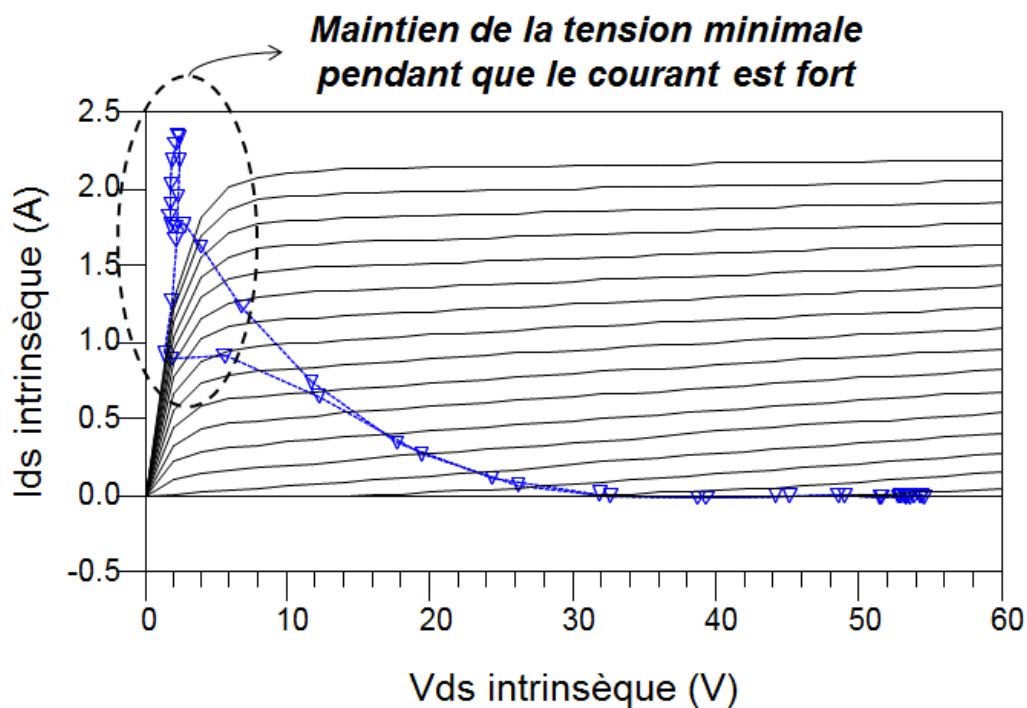


Figure I-6 Cycle de charge d'une classe F.

Ces figures sont obtenues avec une limitation en nombre d'harmoniques et une tension minimale non nulle (limitation par la zone ohmique).

Dans la relation du rendement de drain :  $\eta_s = \frac{P_s}{P_{DC}} = \frac{1}{2} \frac{Vds_1 \cdot Ids_1}{Vds_0 \cdot Ids_0}$ , le rapport  $(Ids_1/Ids_0)$

est favorisé par une polarisation de type classe AB profonde. La formation d'une tension carrée maximise le rapport  $(Vds_1/Vds_0)$  pour une excursion crête à crête fixée [7][8].

Rappelons que par définition la tension d'excitation d'entrée est parfaitement sinusoïdale.



III.2.1.2. Classe F<sup>-1</sup>

L'amplification en classe F inverse (F<sup>-1</sup>) est une configuration duale de la classe F au sens où les formes de tension et courant sont interchangées (courant de forme quasi-carrée et tension de forme demi sinusoïdale) comme cela est montré Figure I-9. Ce mode de fonctionnement requiert de hautes impédances aux harmoniques paires et de basses impédances aux harmoniques impaires [9][10][11].

Un schéma de principe réalisant ces conditions d'impédance de fermeture aux harmoniques est donné Figure I-7.

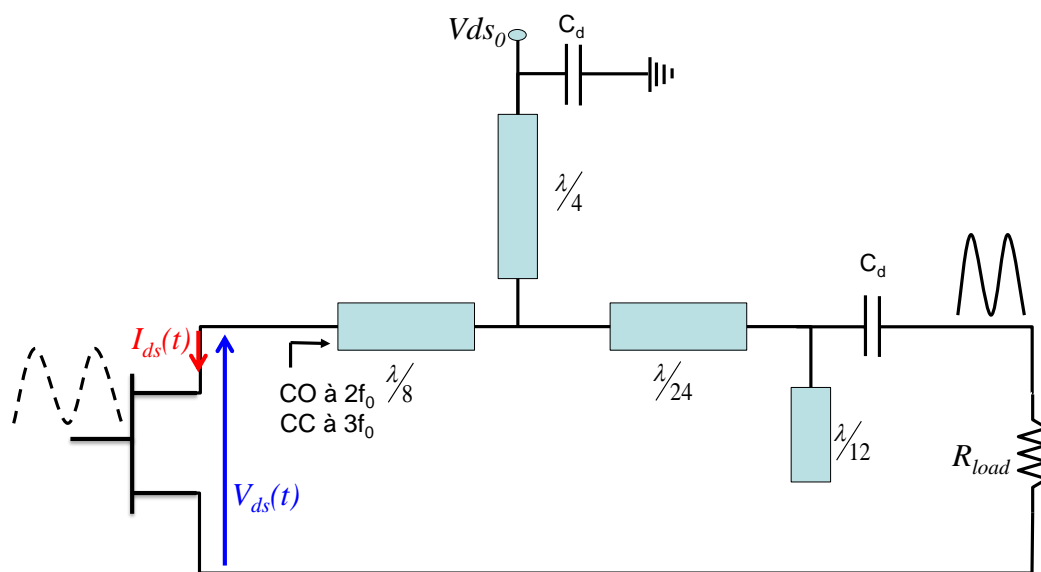


Figure I-7 Schéma de principe d'un amplificateur de classe F inverse.

Les expressions d'un courant de forme carrée et d'une tension de forme demi sinusoïdale de valeur minimale nulle qui conduisent idéalement à un rendement unitaire sont les suivantes.

$$\frac{i(\omega t)}{I_0} = 1 + \frac{4}{\pi} \sin \omega t + \frac{4}{3\pi} \sin 3\omega t + \frac{4}{\pi} \sum_{n=5,7,\dots}^N \frac{\sin n\omega t}{n} \quad \text{Équation I-11}$$

$$\frac{v(\omega t)}{V_0} = 1 - \frac{\pi}{2} \sin \omega t - \frac{2}{3} \cos 2\omega t - 2 \sum_{n=4,6,\dots}^N \frac{\cos n\omega t}{n^2 - 1} \quad \text{Équation I-12}$$

Pour un cas pratiquement raisonnable limité au contrôle de trois harmoniques les allures des formes d'ondes intrinsèques caractéristiques et du cycle de charge associé sont donnés Figure I-8 et Figure I-9.

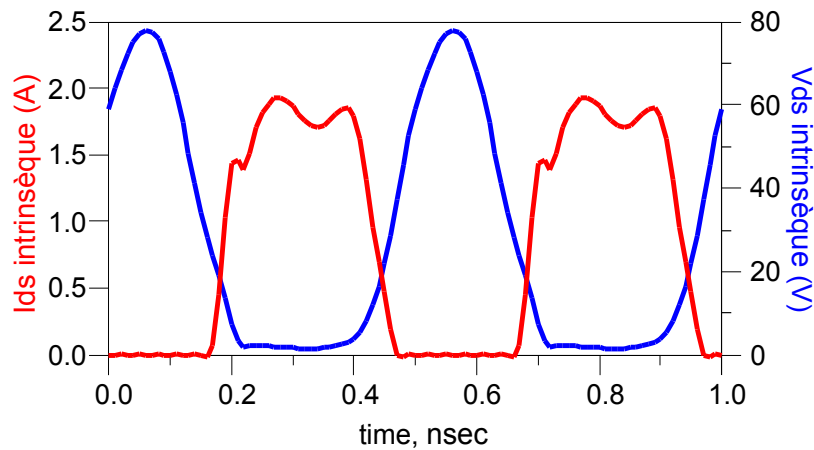


Figure I-8 Formes de tension et courant de drain intrinsèques en classe F inverse.

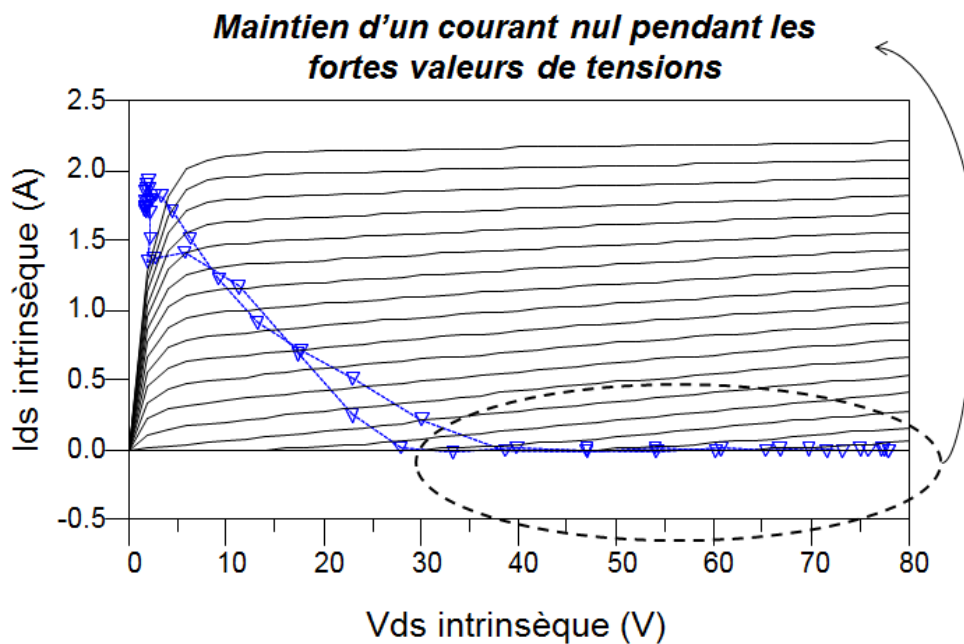


Figure I-9 Cycle de charge d'une classe F<sup>-1</sup>.

Un rendement intéressant est obtenu grâce aux rapports  $\frac{Vds_1}{Vds_0} = \frac{\pi}{2}$  et  $\frac{Vds_{max}}{Vds_0} = 3$  caractéristiques d'une forme demi sinusoïdale. Cette classe se caractérise par le maintien prolongé d'un courant nul pendant les valeurs fortes de la tension.

### III.2.1.3. Classe J

Une autre configuration d'impédance de charge est la présence d'une haute impédance (circuit ouvert et courant nul) aux harmoniques 2 et 3. Ceci conduit à des tension et courant

intrinsèques de formes demi sinusoïdales décalées comme cela est montré Figure I-11 et un cycle de charge montré Figure I-12.

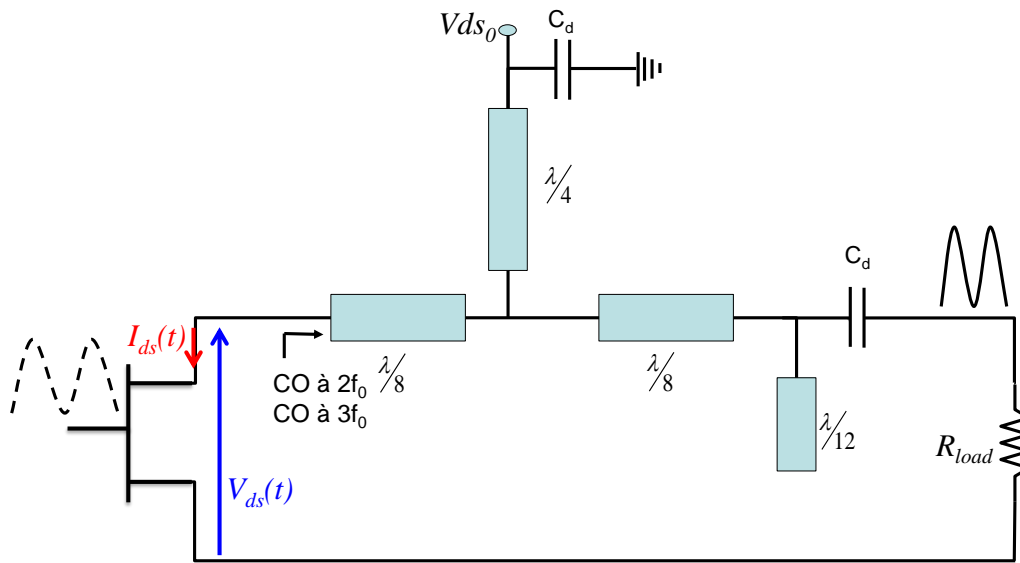


Figure I-10 Schéma de principe de classe J.

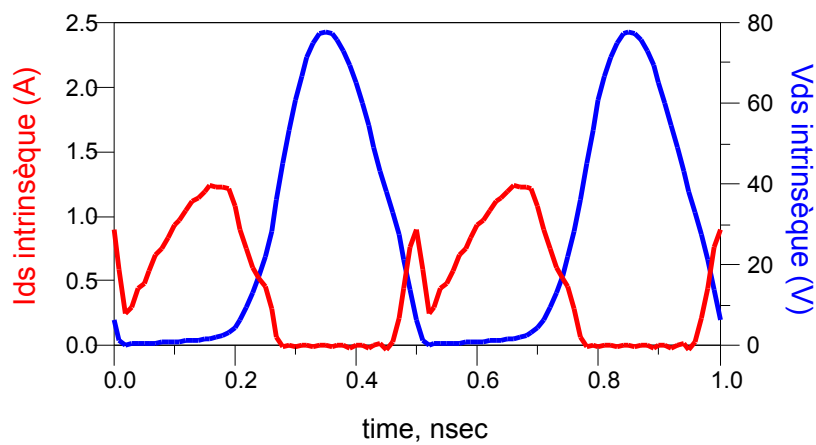


Figure I-11 formes temporelles de tension et courant de drain intrinsèques en classe J.

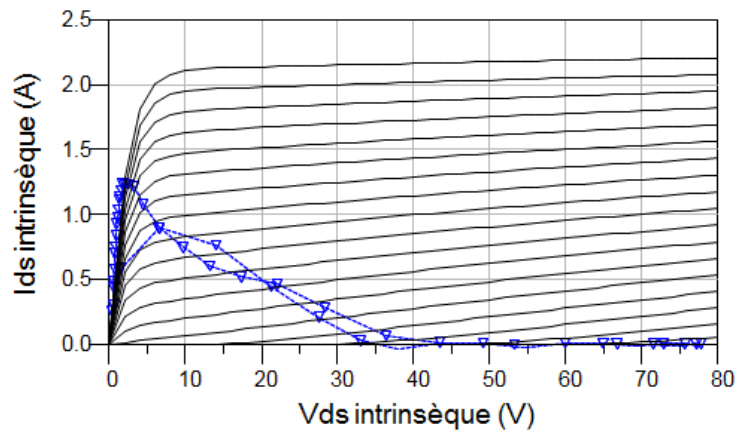


Figure I-12 Cycle de charge en classe J.

Cette association de forme d'ondes intéressante a été décrite dans [19][20] suite à des travaux rapportés en [3].

#### III.2.1.4. Cas particulier de la classe E

Le principe des amplificateurs en classe E a été publié pour la première fois en 1975 par Nathan O. Sokal et Alan D. Sokal [15].

L'analyse du fonctionnement de l'amplification en classe E n'est pas faite en régime harmonique mais en transitoire. C'est une classe dite 'en commutation'. Nous l'avons mis dans ce paragraphe car en micro-onde, sa réalisation se fait avec des circuits distribués [30]. En effet, pour obtenir de bonnes performances en puissance et en rendement il faut avant tout minimiser les pertes des circuits passifs de sortie. Ainsi on peut considérer que l'on a en réalisation hyperfréquence avec des circuits distribués une certaine configuration de charge pour les quelques premiers harmoniques.

Pour décrire cette classe telle qu'elle est utilisée en BF avec des circuits localisés, on considère le transistor comme un commutateur idéal commandé par le signal de grille comme représenté Figure I-13. [17][18][23][24].

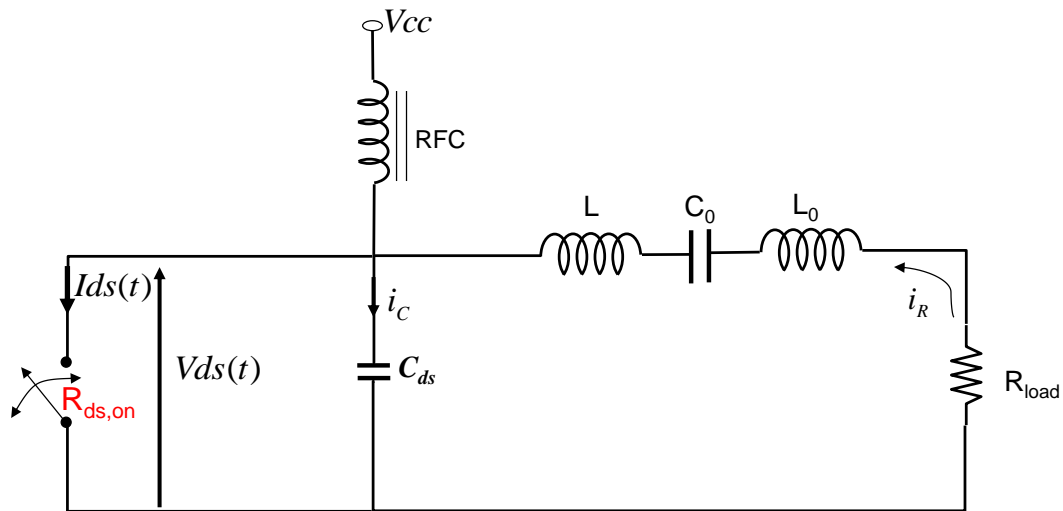


Figure I-13 Amplificateur de classe E idéal.

L'interrupteur est périodiquement ouvert et fermé à la fréquence de fonctionnement. En général, le rapport cyclique est de 50% et le signal d'entrée est sinusoïdal centré autour de la tension de pincement. La self de choc RFC possède une forte impédance afin d'assurer une fonction de source de courant. Les autres composants passifs sont choisis afin de satisfaire les conditions suivantes:

- (1) la tension aux bornes de l'interrupteur est nulle au moment de sa fermeture.
- (2) La tension et le courant aux bornes du commutateur arrive à pente nulle (respectivement  $dv/dt = 0$  et  $di/dt = 0$ ) juste avant les changements d'état.

Les éléments parasites du commutateur (résistance série en état passant  $R_{ds,on}$ , et fuites en état ouvert) et des composants périphériques limitent les performances en rendement de tels dispositifs. Ces imperfections incluent les temps de commutation finis (la durée pendant laquelle la forme d'onde du courant et de la tension de drain coexistent), ainsi que les pertes dans les composants passifs utilisés à haute fréquence.

La charge des amplificateurs de classe E est un circuit résonnant série qui n'est pas accordé exactement à la fréquence fondamentale pour retarder la montée du courant tant que la tension n'est pas tout à fait nulle.  $L_0$  et  $C_0$  forment un circuit résonnant série à la fréquence de fonctionnement.

Une simulation de principe de la classe E à 2GHz a été faite en utilisant des éléments localisés (sans perte) et en utilisant un commutateur ayant une résistance d'état passant de  $3 \Omega$  et une capacité parallèle de 0.3 pF. Ces valeurs correspondent grossièrement à la valeur de

$R_{ds,on}$  et de  $C_{ds}$  du composant GaN Cree 15 W que nous utilisons par la suite dans ces travaux de thèse. La simulation a été faite avec les valeurs des paramètres du circuit suivantes :

| $R_{ds,on}$ ( $\Omega$ ) | $C_{ds}$ (pF) | $L_0$ (nH) | $C_0$ (pF) | $L$ (nH) | $R_{load}$ ( $\Omega$ ) |
|--------------------------|---------------|------------|------------|----------|-------------------------|
| <b>3.0</b>               | <b>0.3</b>    | 30         | 0.211      | 3.1      | 35                      |

Les formes temporelles simulées de la classe E sont données Figure I-14.

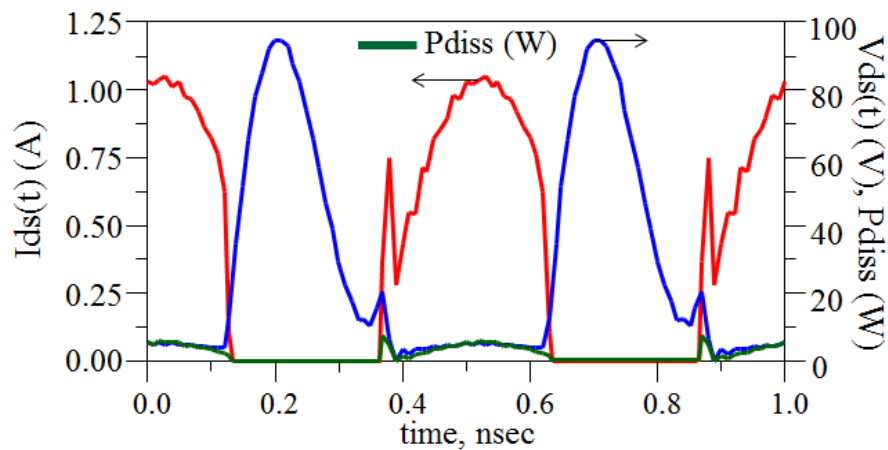


Figure I-14 Formes de tension/courant en classe E simulée à 2GHz.

En utilisant un schéma équivalent complet du transistor HEMT GaN (présenté dans le chapitre 2), les paramètres du circuit d'adaptation de la classe E ont été modifiés pour accorder successivement à des fonctionnements allant d'une fréquence de 1 GHz à 8 GHz.

La Figure I-15 présente les tendances des rendement et puissance de sortie obtenus pour cette plage de fréquences.

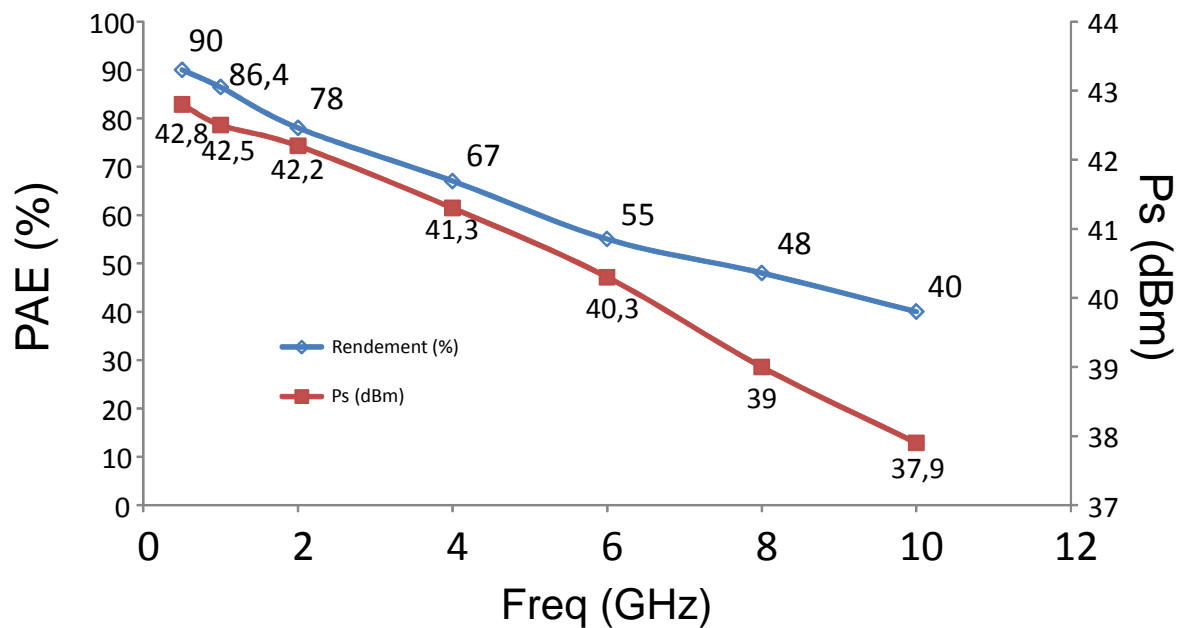


Figure I-15 Variations de rendement et de puissance de sortie en fonction de la fréquence.

La Figure I-15 montre que le rendement en classe E se dégrade fortement pour les hautes fréquences micro-ondes (bandes S, C, ...) essentiellement en raison de la capacité  $C_{ds}$  et de la chute de puissance de sortie dû au fait que l'effet réactif de la capacité de drain n'est pas compensé par le circuit de charge comme cela est fait plus naturellement dans un circuit de type résonnant parallèle. En plus, cette simulation indique la difficulté d'adaptation d'un amplificateur en classe E en hautes fréquences car la résistance de charge  $R_{load}$  optimale diminue fortement. (Dans le cas présent :  $50\Omega$  à 0.5 GHz,  $3\Omega$  à 8 GHz).

### III.2.1.5. Tracé de tendances comparatives entre classes F et E.

Il est également intéressant de faire le même travail de simulation idéalisé des conditions optimales de charge pour une classe F pour une fréquence de fonctionnement comprise entre 1 GHz et 8 GHz. On relève les performances simulées en puissance de sortie et en rendement que l'on superpose aux mêmes caractéristiques obtenues pour la classe E. Ceci est montré Figure I-16.

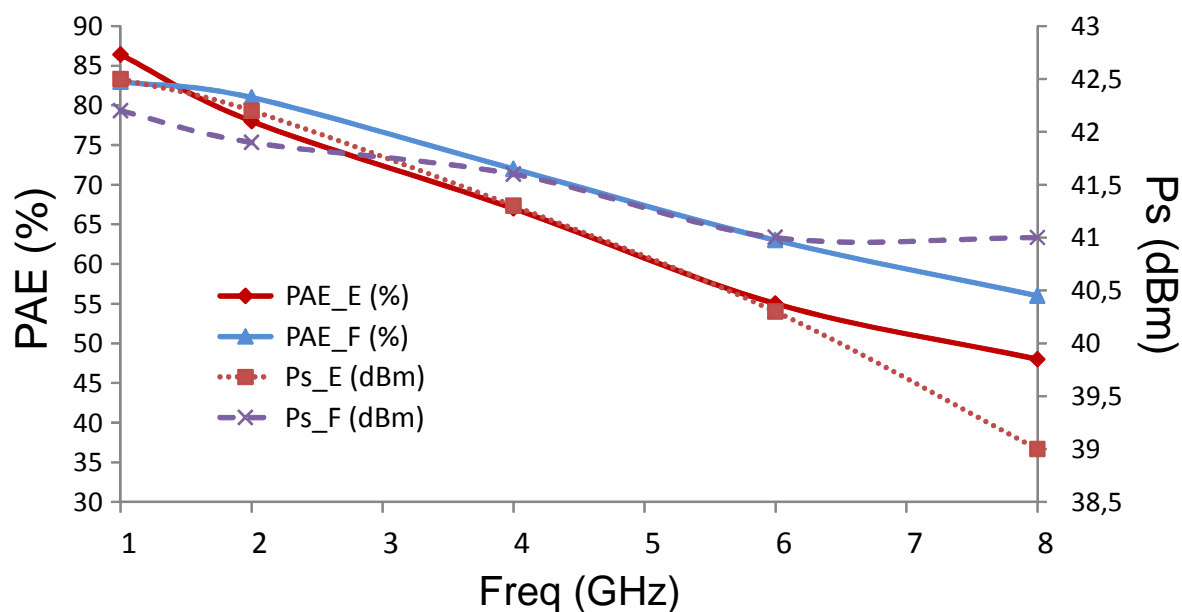


Figure I-16 Performances des classes F et E.

Enfin, on peut également chercher les conditions de rendement en puissance ajoutée optimale pour une fréquence donnée ( $F_0=2\text{GHz}$ ) sans contrainte de point de polarisation fixée par l'application pour les classes F,  $F^{-1}$  et E. On a la possibilité de trouver la même puissance de sortie visée avec les trois classes de fonctionnement F,  $F^{-1}$  et E.

| Classe   | Vds0 (V) | Pout (dBm) | PAE (%) |
|----------|----------|------------|---------|
| F        | 28       | 41.5       | 77      |
| $F^{-1}$ | 18       | 41.5       | 81      |
| E        | 20       | 41.5       | 78      |

Tableau I-2 Résultats de simulation des classes de fonctionnement pour une puissance de 41.5dBm.

La Figure I-17 présente les cycles de charges des classes de fonctionnement qui donnent la même puissance de sortie.



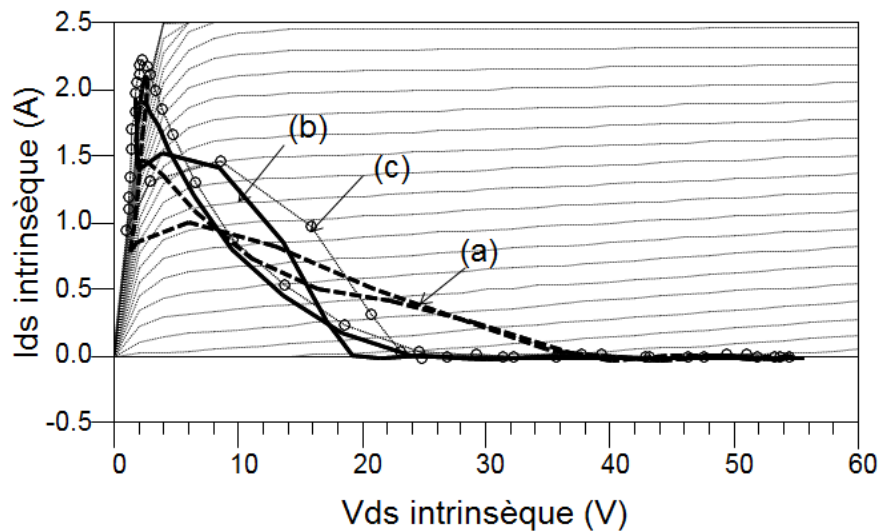


Figure I-17 Cycles de charge des classes F (a),  $F^{-1}$  (b), E (c).

### III.2.2. Topologies équilibrées.

L'idée du recours à des architectures équilibrées avec deux excitations sinusoïdales déphasées de  $180^\circ$  en entrée de deux cellules actives identiques est de profiter de la possibilité de forcer des court circuits ou des circuits ouverts électriques aux harmoniques paires ou impaires par l'utilisation appropriée d'une fermeture au point milieu d'un circuit balun de sortie.[12]

La contrepartie extrêmement pénalisante aux micro-ondes pour les amplificateurs de forte puissance réside dans la réalisation d'un balun de sortie à très faible perte et large bande.

On distingue deux topologies et deux dénominations : VMCD pour Voltage Mode Class D et CMCD pour Current Mode Class D.

#### III.2.2.1. Voltage mode classe D (VMCD)

L'amplificateur VMCD au sens où il est considéré actuellement en hyperfréquence est un push-pull de classe F (haute impédance aux harmoniques impairs et CC aux harmoniques pairs)[13]. L'utilisation d'une structure équilibrée est motivée ici par la possibilité de réaliser des court circuits électriques aux harmoniques paires. Tous les harmoniques de tensions pairs sont éliminés par la présence d'un court-circuit physique à ces harmoniques, grâce à la présence d'une capacité connectée au point milieu du balun.

Le principe du VMCD est illustré Figure I-18. Le circuit série L-C résonne à la fréquence fondamentale et évite l'existence des autres harmoniques de courant dans la charge. Ce qui

donne une haute impédance aux harmoniques. Par contre le point milieu du balun court-circuité physiquement les harmoniques pairs en connectant une capacité de couplage à la masse [12][13].

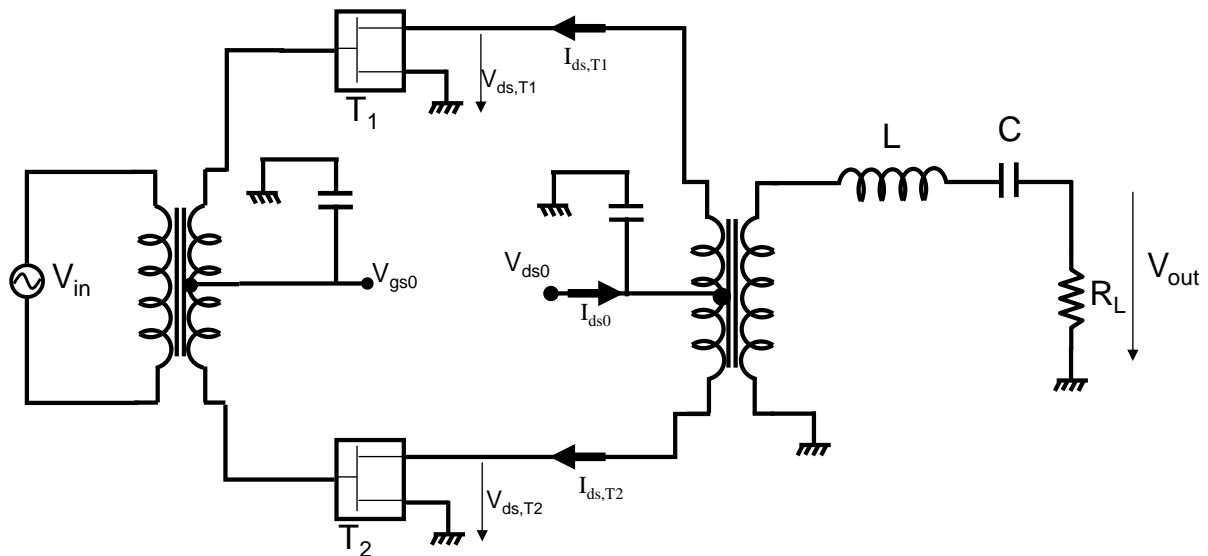


Figure I-18 Topologies Push-pull classe F (VMCD).

On a donc des courts circuits électriques aux harmoniques pairs et des circuits ouverts aux harmoniques impaires. La tension de sortie idéale aux bornes des transistors est de forme quasi carrée comme représenté Figure I-19.

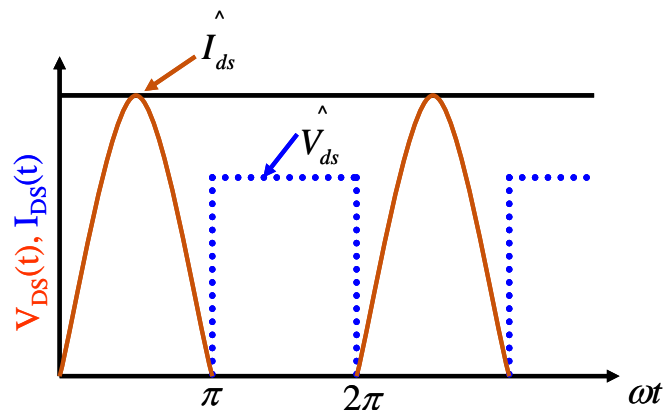


Figure I-19 Allures de tension et de courant de drain idéales dans un amplificateur VMCD aux bornes des sources de courant contrôlées.

### III.2.2.2. Current mode classe D (CMCD):

Le principe de l'amplificateur CMCD est illustré Figure I-20.

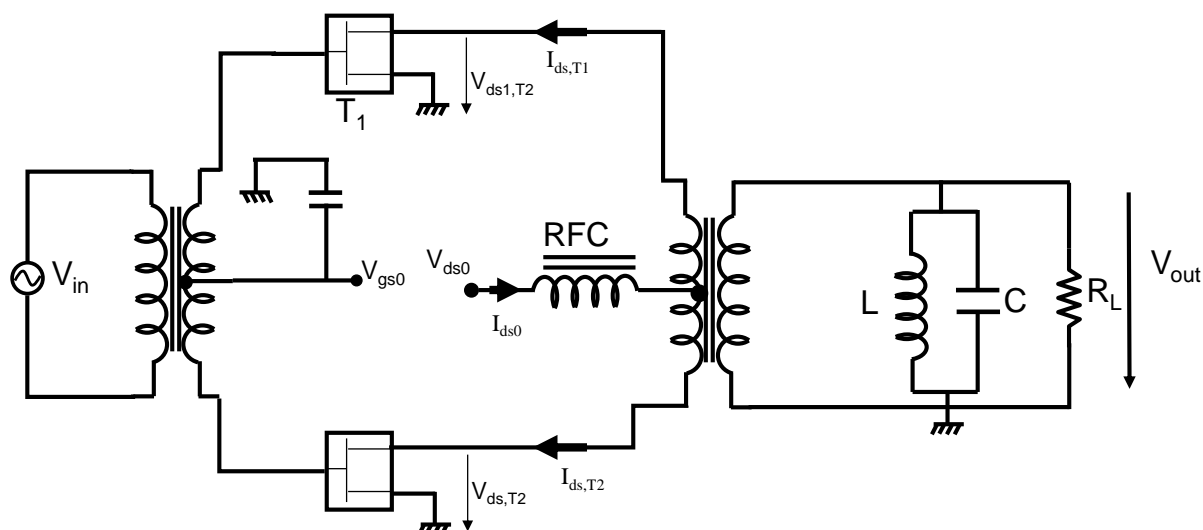


Figure I-20 Topologies Push-pull classe F inverse (CMCD).

L'amplificateur CMCD est un push-pull de classe  $F^{-1}$  (impédance haute aux harmoniques paires et court-circuit aux harmoniques impairs) [13] [14].

Le résonateur L-C parallèle court-circuite tous les harmoniques de tensions.

Les harmoniques paires sont mises en haute impédance physique par la présence du balun dont le point milieu est relié à une self de choc qui présente un circuit ouvert aux fréquences RF. Ceci force les harmoniques de courants paires à être nulles.

Les formes idéales de tension et courant pour chaque transistor sont duales du cas VMCD comme on peut le voir Figure I-21.

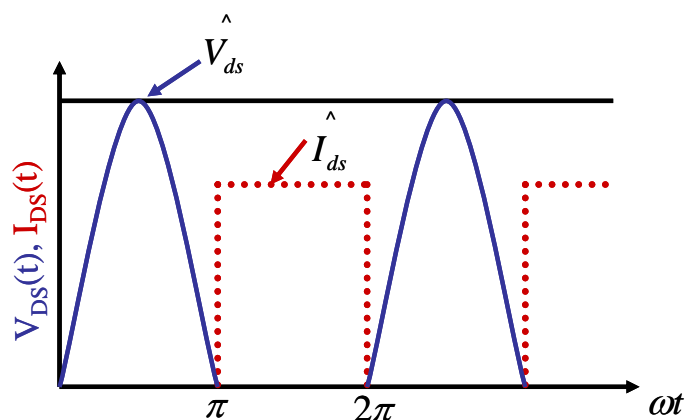


Figure I-21 Allures de tension et courant idéales de drain dans un amplificateur CMCD aux bornes des sources de courant contrôlées.

L'avantage du CMCD par rapport au VMCD réside dans le type de résonance parallèle en sortie qui permet aux hautes fréquences d'intégrer la capacité drain source  $C_{ds}$  du transistor. Des réalisations ont été proposées à 1GHz dans [13][35].

### III.3. Classes dite en commutation.

Dans le mode commuté, la dissipation devrait être nulle en théorie puisque tension et courant ne sont jamais simultanés. Les deux états correspondent aux cercles du diagramme  $I(V)$  de la Figure I-22. Entre les deux états représentés par les cercles, des transitions doivent occuper une fraction du temps la plus faible possible.

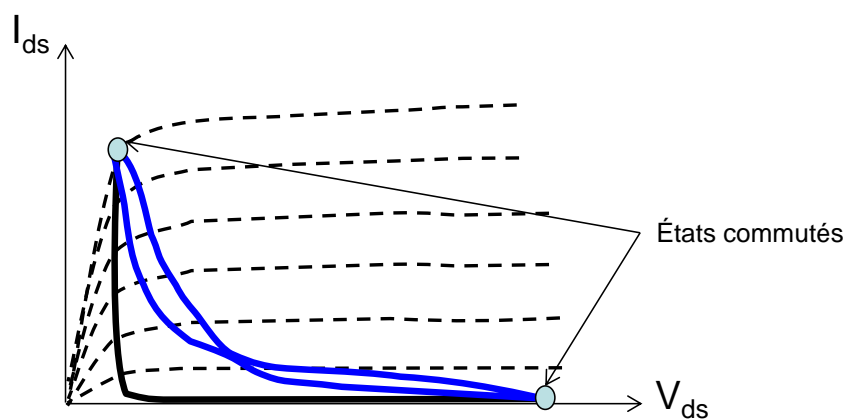


Figure I-22 Cycle de charge en mode commuté.

Les classes de commutation mettent généralement en œuvre des circuits à 2 transistors fonctionnant en mode ON et OFF de manière complémentaire. On les rencontre pour l'instant en basse fréquence où l'on peut bénéficier de technologies de transistors complémentaires.

Comme dans le cas de la recherche de rendement en général, il convient d'utiliser des dispositifs dont la fréquence de transition  $F_t$  est très grande par rapport à la fréquence de fonctionnement, garantissant des vitesses de commutation élevées. Lorsque la recherche de puissance forte est associée à celle de rendement la taille des composants augmente de même que les valeurs des capacités associées ce qui constitue essentiellement le verrou pour l'amplification de forte puissance hyperfréquence en réel mode de commutation.

## III.3.1. Classe D

Le schéma de principe de base utilise deux transistors commandés en opposition de phase tel que cela est représenté Figure I-23. Les transistors peuvent être attaqués en entrée en sinusoïdal ou en carré. Le rapport cyclique constant est de 50%.

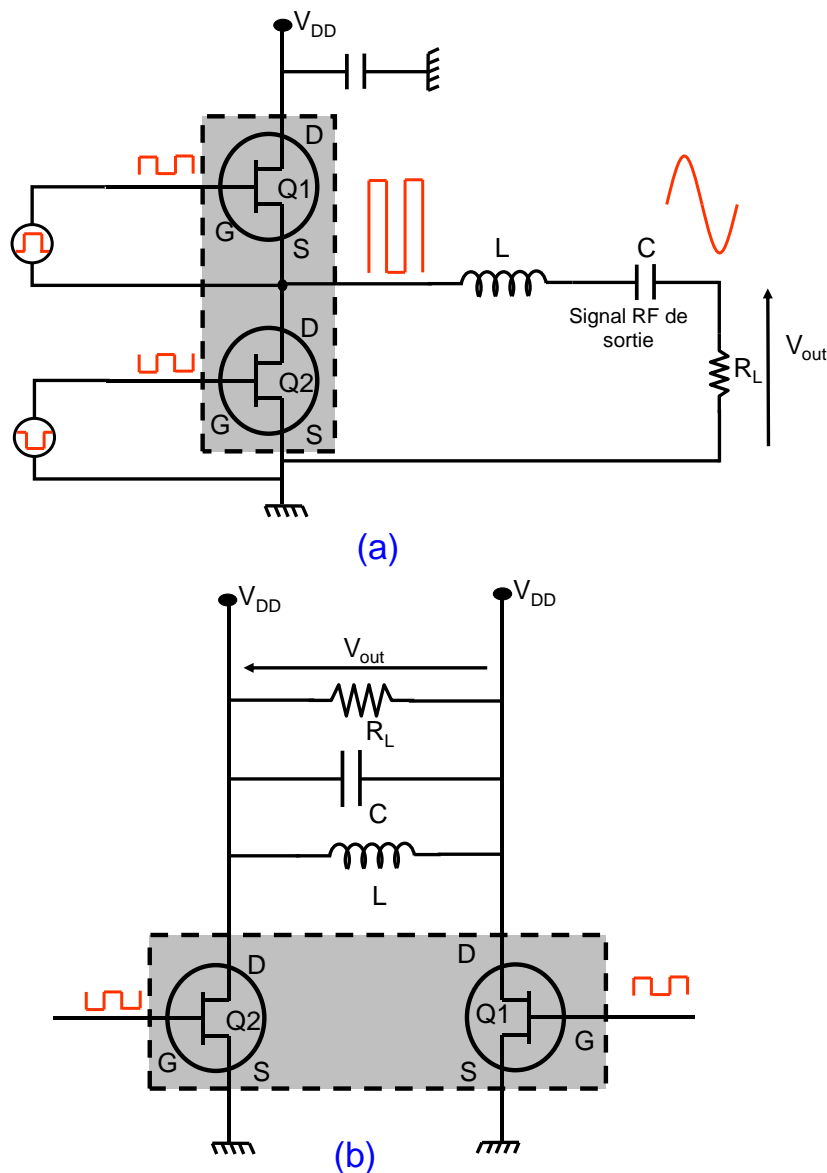


Figure I-23 Schéma de base de la classe D (a : Mode tension, b : Mode courant).

D'autres topologies utilisant des transistors complémentaires (type n et p) sont données dans [2].

Pour la configuration de charge de type résonnant série (Figure I-23(a)), le courant dans la charge est forcé à être sinusoïdal. La tension aux bornes de la résistance de charge

d'utilisation est par conséquent sinusoïdale. La tension  $V$  en entrée du circuit résonnant série est de type carré. Ce mode de fonctionnement est appelé «mode tension».

Les résultats de simulations de principe à 2 GHz avec des générateurs connectés idéalement en entrée des transistors sont montrés Figure I-24 et Figure I-25.

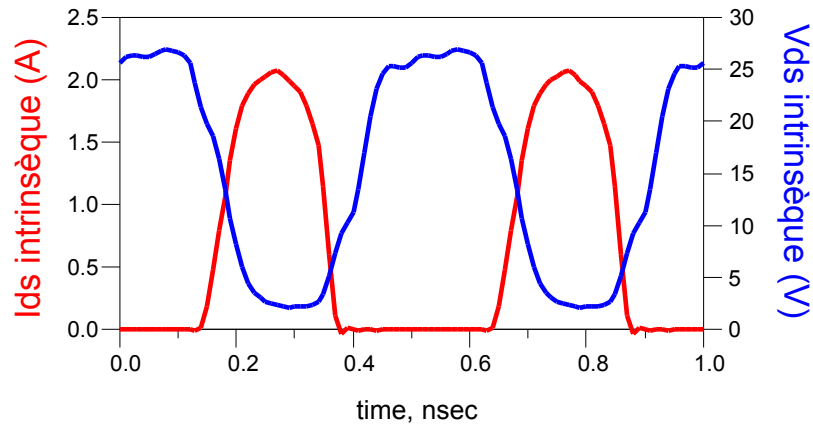


Figure I-24 formes temporelles intrinsèques simulées.

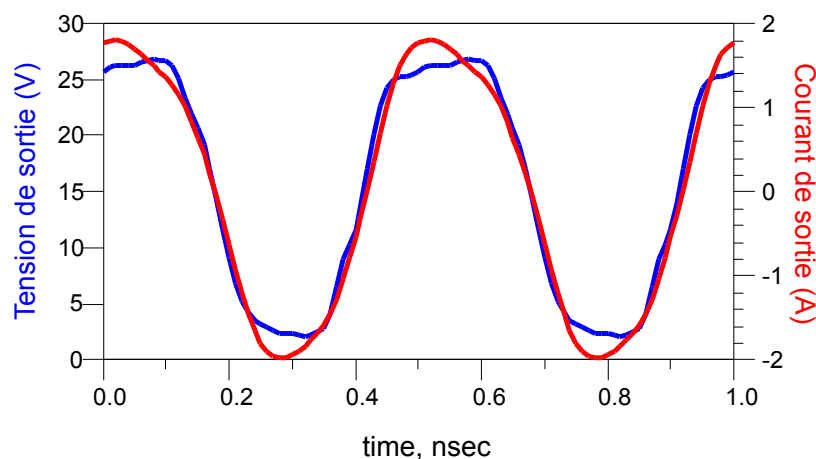


Figure I-25 formes temporelles de sortie simulées.

Ce mode est très limité en fréquence car il n'englobe pas une compensation des capacités de sortie des transistors. En réalisation aux hautes fréquences, il se heurte très fortement à la problématique de l'excitation en mode source flottante du transistor Q1.

Un montage mieux adapté est le montage dit «en mode courant» (Figure I-23(b)) où le circuit de charge de type parallèle permet d'intégrer les capacités de sortie des transistors dans le circuit de charge [70]. La réalisation consiste en un montage push-pull classe B

En résumé, la réalisation pratique aux micro-ondes d'un fonctionnement en classe D dit en mode tension pose le problème de l'excitation en « flottant » du transistor  $Q_1$ . Et finalement les variantes ayant les dénominations VMCD et CMCD « avec Balun d'entrée et de sortie » déjà décrites précédemment sont celles qui peuvent être adoptées aux hautes fréquences.

### III.3.2. Classe S

Le principe de l'amplificateur classe S se distingue du principe de l'amplification classe D par les signaux d'excitation d'entrée qui sont des signaux carrés modulés PWM (pulse-width modulation) donc avec un rapport cyclique variable.

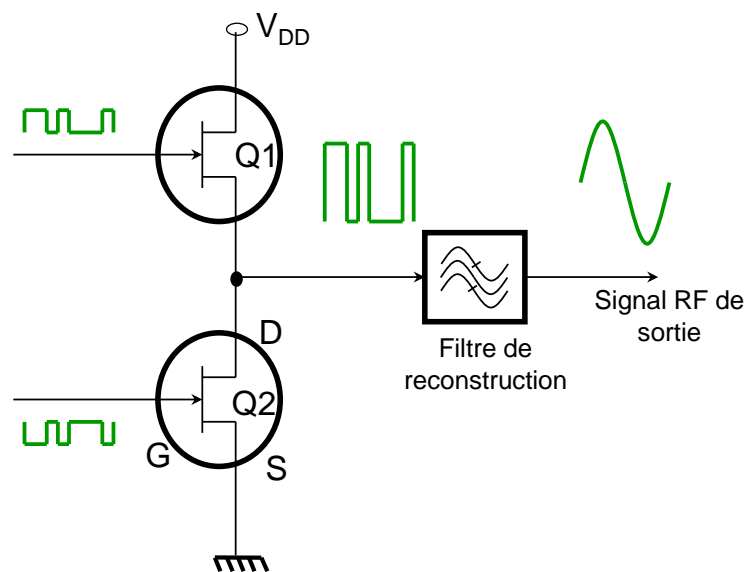


Figure I-26 Schéma de principe de l'utilisation d'un amplificateur classe S.

Le signal utile (porteuse micro-onde modulée) doit être transformé en deux trains d'impulsions PWM complémentaires au moyen d'une électronique ultra rapide fonctionnant à une fréquence au moins 10 fois supérieure. Ce procédé autorise de très larges bandes de signal, allant théoriquement de la fréquence haute de la bande de base à la moitié de la fréquence d'échantillonnage, fréquence à laquelle le filtre passe-bas doit présenter une atténuation suffisamment importante pour l'éliminer. Pour cette raison, dans la pratique, les fréquences d'échantillonnage sont 5 à 10 fois celles du signal à amplifier.

Dans la mesure où les temps de commutation restent faibles devant la largeur minimale des impulsions, la linéarité ne dépend que de la qualité du procédé de modulation de largeur, ce qui limite les applications à des fréquences qui vont de quelques dizaines de mégahertz pour des puissances dans la gamme des 100 W à des centaines de mégahertz pour des puissances

inférieures à 10 W en technologie AsGa. Si l'ensemble de commutation limite les harmoniques du signal PWM, on peut alors envisager l'adjonction d'un système de correction de linéarité, sous forme de pré distorsion.

La tension en entrée du filtre de reconstruction sera de type signal PWM de puissance. Un filtrage de reconstruction permet de récupérer en sortie une onde sinusoïdale de puissance modulée.

Après découpage de l'alimentation par les commutateurs, le signal est restitué par filtrage passe-bas qui élimine la fréquence de commutation et ses harmoniques (Figure I-26).

Des publications récentes existent sur ce sujet [21] [22] [36] [37]. Il est certain que la réalisation demeure globalement un point très difficile.

### III.4. Conclusion partielle

Il est difficile de faire un choix pertinent entre les trois classes (F,  $F^{-1}$  ou E) présentées précédemment dans la mesure où les rendements pratiques accessibles sont comparables (typiquement dans la gamme de 60 à 80 %), mais une comparaison s'impose sur des critères simples :

- les classes F et  $F^{-1}$  sont par excellence les classes à hauts rendements des systèmes intégrés en hyperfréquences typiquement jusqu'à la bande X où tous les paramètres peuvent être optimisés autour de la puce nue du transistor. La difficulté est d'obtenir de bonnes performances en rendement sur des bandes de plus en plus larges.
- La classe E est un montage relativement simple, bien que sa mise au point soit délicate. Sa limite en fréquence est clairement due à la capacité de sortie du transistor non englobée en parallèle dans le circuit de charge. Elle est également bande étroite.

Pour les fréquences micro-ondes, les classes dites en commutation, classe D et S, posent en réalisation le problème de génération des signaux d'entrée. (Modulation PWM micro-onde pour la classe S), mais aussi le driver d'excitation de transistor en source flottante.

Ceci justifie le fait que ces classes de fonctionnement sont utilisées en basse fréquence avec la possibilité d'utiliser des technologies complémentaires. Aux fréquences micro-ondes la possibilité d'utilisation des Balun a conduit à la réalisation de montage dit VMCD, CMCD qui s'apparente à une architecture de push-pull classe F ou push-pull classe  $F^{-1}$ .



Pour des applications en bande L ou au-dessus la réalisation de balun de sortie large bande sans perte présente un handicap fort.

En résumé, les classes dites à contrôle d'harmoniques classe F, classe F<sup>-1</sup> et classe J apparaissent encore aujourd'hui comme les meilleures configurations pour les amplificateurs micro-ondes de forte puissance avec une conversion maximale d'énergie DC vers la puissance RF utile au fondamental dans la charge résistive d'utilisation.

Une autre limitation forte de l'amplification micro-onde de puissance à haut rendement est le comportement passe bas (R<sub>g</sub>, C<sub>gs</sub>) de l'entrée des transistors qui gêne lorsque C<sub>gs</sub> est grand (composant de puissance) l'obtention d'une tension de commande ayant des fronts rapides aux bornes de la capacité C<sub>gs</sub>. Ceci est nécessaire pour produire des signaux de déclenchement de commutation ON et OFF rapides du composant.[4]

Compte tenu de ces constatations, une piste possible pour optimiser les performances en rendement pour des amplificateurs à contrôle d'impédance de charge aux harmoniques consiste à préformer la tension de commande de grille avec une limite de 2 harmoniques pour minimiser le temps de recouvrement entre tension et courant de sortie donc minimiser la puissance dissipée. Comme il s'agit du point central de ce travail de thèse, nous allons aborder le principe de cet aspect maintenant.

#### IV. Analyse de la préformation de la tension d'entrée.

Dans cette partie, on va présenter l'effet de la préformation du signal de commande d'entrée V<sub>gs</sub>(t) d'un transistor par l'injection de composantes à la fréquence harmonique 2.

$$V_{gs}(t) = V_{gs0} + V_{gs1} \cos(\omega t) + V_{gs2} \cos(2\omega t + \varphi_2)$$

Les améliorations potentielles en rendement seront quantifiées par rapport au cas d'une excitation conventionnelle sinusoïdale autour du même point de polarisation de grille V<sub>gso</sub>.

Pour favoriser le rendement, il faut que les composantes de fréquences harmoniques qu'on veut ajouter augmentent l'amplitude crête de tension V<sub>gs</sub>(t) et conduisent à une réduction du temps de passage de la tension V<sub>gs</sub>(t) au-dessus de la tension de pincement V<sub>p</sub> par rapport au temps de passage au-dessous de la tension de pincement V<sub>p</sub>. Ceci indique que le rendement optimum sera pour φ<sub>2</sub>=0° comme l'indique la Figure I-27. La condition φ<sub>2</sub>=0 est maintenue pour la suite du développement.

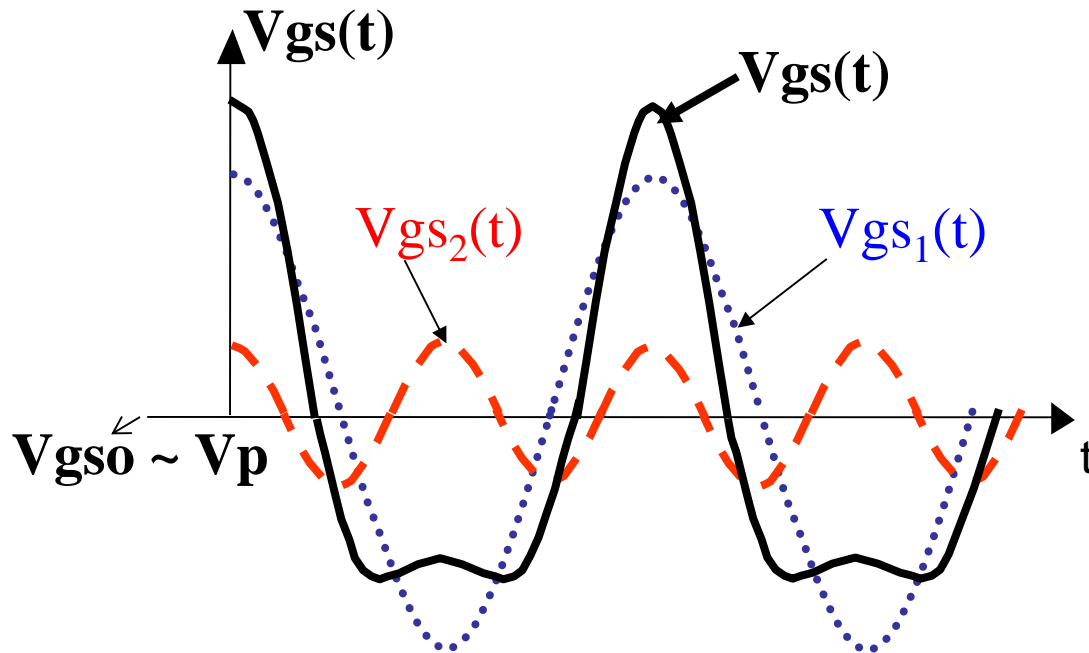


Figure I-27 Conditions de préformation de  $V_{gs}(t)$  favorable par injection d'harmonique 2.

On écrit  $v_{gs}(t)$  sous la forme

$$v_{gs}(t) = V_{gs_0} + V_{gs_1} [\cos(\omega t) + a_2 \cos(2\omega t)], \quad \text{avec } a_2 = \frac{V_{gs_2}}{V_{gs_1}} \quad \text{Équation I-13}$$

Pour la description de cette préformation et de son intérêt il faut bien garder à l'esprit que le réglage de la tension  $V_{gs_0}$  de la figure ci-dessus se fera au voisinage de la tension de pincement  $V_p$ .

Pour simplifier, on considère une caractéristique idéale  $I_{ds}(V_{gs})$  linéaire par morceaux de transconductance  $g_m$  constante pour  $V_{gs} > V_p$  et nulle pour  $V_{gs} < V_p$ .

Le schéma de la Figure I-28 illustre graphiquement deux excitations  $v_{gs}(t)$  (sinusoïdale et demi sinusoïdale) combinées à une tension de drain de forme quasi carrée (classe F).

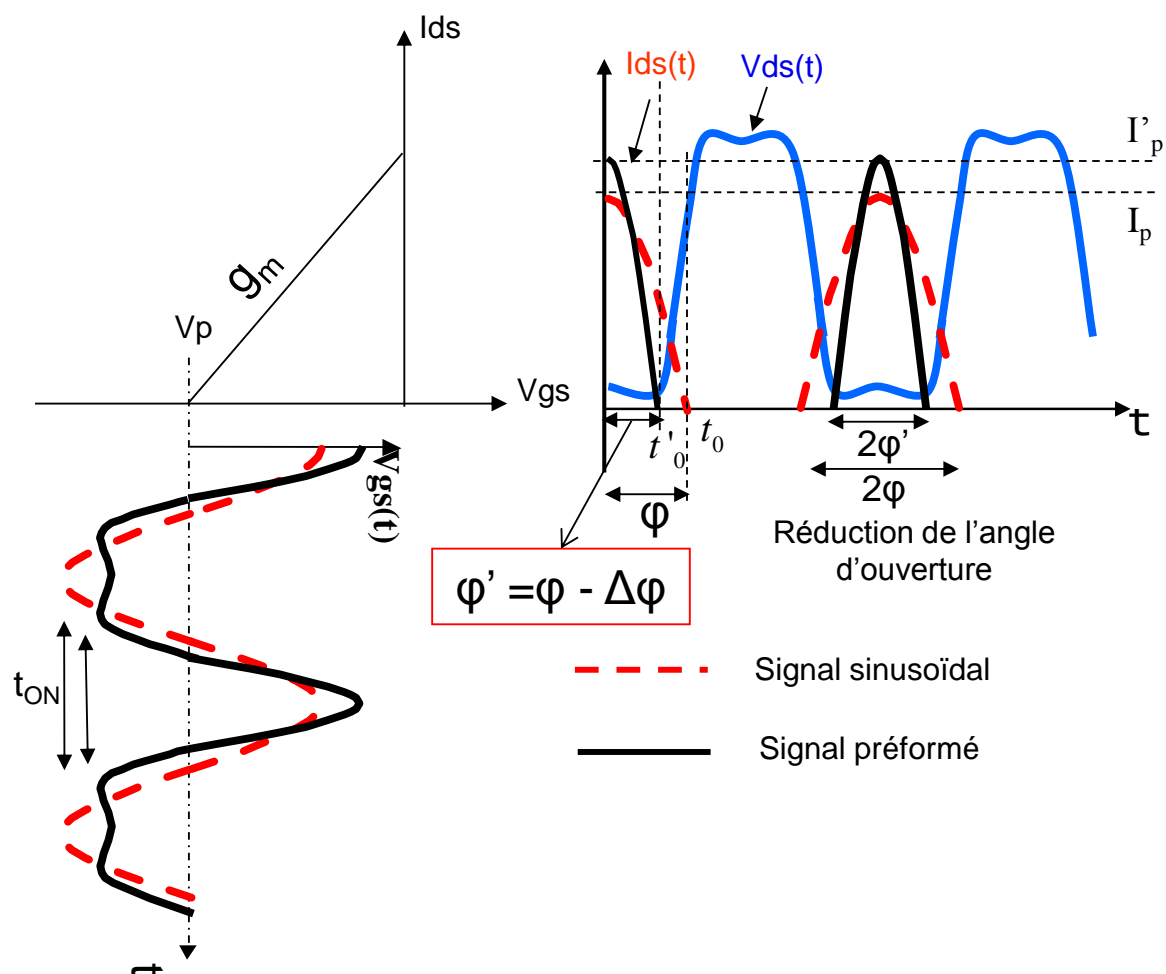


Figure I-28 Illustration de la préformation de tension de grille appliquée à une classe F.

On pose  $\omega t = \theta$

Et  $\omega t_0 = \varphi$ ,  $\omega t_0' = \varphi'$  les angles d'ouverture correspondant aux deux cas d'excitation  $v_{gs}(t)$ .

Cas de l'excitation  $V_{gs}(t)$  sinusoïdale :

On écrit  $v_{gs}(t)$  sous la forme

$$v_{gs}(t) = V_{gs_0} + V_{gs_1} \cos(\omega t)$$

Équation I-14

On pourra écrire le courant de drain comme suit:

$$\begin{cases} i_{ds}(t) = gm(vgs(t) - Vp) = gm(Vgs_0 + Vgs_1 \cos \omega t - Vp), \text{ pour } 0 < t < t_0 \text{ et } T - t_0 < t < T \\ i_{ds}(t) = 0 & \text{ pour } t_0 < t < T - t_0 \end{cases}$$

$$\begin{aligned} i_{ds}(0) &= Ip = g_m \cdot V_{gs1} \left(1 - \frac{Vp - V_{gs0}}{V_{gs1}}\right) \\ i_{ds}(\varphi) &= 0 = g_m \cdot V_{gs1} \left(\cos \varphi - \frac{Vp - V_{gs0}}{V_{gs1}}\right) \end{aligned} \quad \text{Équation I-15}$$

Donc le courant  $i_{ds}(\theta)$  s'écrit comme suit (pendant son temps d'existence):

$$\Rightarrow \boxed{i_{ds}(\theta) = \frac{Ip}{1 - \cos \varphi} (\cos \theta - \cos \varphi)} \quad \text{Équation I-16}$$

Pour un fonctionnement avec une excitation sinusoïdale, les expressions des composantes fréquentielles de courant sont :

$$\begin{aligned} I_{ds0}(\varphi) &= \frac{Ip}{\pi} (\sin \varphi - \varphi \cos \varphi) \\ I_{ds1}(\varphi) &= \frac{Ip}{\pi} (\varphi - \sin \varphi \cos \varphi) \\ I_{dsn}(\varphi) &= \frac{Ip}{n\pi} \left[ \frac{\sin(n-1)\varphi}{(n-1)} - \frac{\sin(n+1)\varphi}{(n+1)} \right] \end{aligned} \quad \text{Équation I-17}$$

### Cas de l'excitation $Vgs(t)$ demi-sinusoïdale :

Dans le cas d'une excitation demi sinusoïdale, en utilisant l'équation I-15, on pourra écrire le courant de drain comme suit:

$$\begin{cases} i'_{ds}(t) = gm(vgs(t) - Vp) = gm(Vgs_0 - Vp) + gmVgs_1(\cos \omega t + a_2 \cos(2\omega t)), \text{ pour } 0 < t < t'_0 \text{ et } T - t'_0 < t < T \\ i'_{ds}(t) = 0 & \text{ pour } t'_0 < t < T - t'_0 \end{cases}$$

On souhaite améliorer le rendement  $\eta_s = \frac{1}{2} \frac{Vds_1 Ids_1}{Vds_0 Ids_0}$ , par une augmentation de  $\frac{Ids_1}{Ids_0}$  par rapport à une excitation sinusoïdale au même point de polarisation  $Vgso$ . Ceci est représenté Figure I-28.

On notera que l'amplitude crête de courant  $I_p$  est légèrement plus élevée que  $Ip$  mais ne constituera pas un problème potentiel en terme de conduction de grille du transistor.

$$i'_{ds}(0) = I'_p = g_m V_{gs1} \left(1 + a_2 - \frac{V_p - V_{gs0}}{V_{gs1}}\right) = g_m V_{gs1} (1 + a_2 - \cos \varphi) \quad \text{Équation I-18}$$

$$i'_{ds}(\varphi') = 0 = g_m V_{gs1} (\cos \varphi' + a_2 (2 \cos^2 \varphi' - 1) - \cos \varphi)$$

Donc le courant  $i'_{ds}(t)$  s'écrit comme suit (pendant son temps d'existence)

$$\Rightarrow i'_{ds}(\theta) = \frac{I'_p}{(1 + a_2 - \cos \varphi)} (\cos \theta + a_2 \cos 2\theta - \cos \varphi) \quad \text{Équation I-19}$$

L'amélioration du rendement est obtenue par la minimisation du courant moyen donc la minimisation de l'angle de conduction.

Il est intéressant de déterminer l'angle d'ouverture  $\varphi'$  (indiqué Figure I-28) en fonction de la quantité  $a_2$  d'harmonique 2 injecté par rapport au fondamental.

La décomposition de l'équation I-20 donne ceci:

$$\cos^2 \varphi' + \frac{1}{2a_2} \cos \varphi' - \left[ \frac{\cos \varphi + a_2}{2a_2} \right] = 0 \quad \text{Équation I-20}$$

On résout cette équation pour obtenir les deux solutions possibles  $\varphi'_1$  et  $\varphi'_2$  de l'angle d'ouverture  $\varphi'$  :

$$\left\{ \begin{array}{l} \varphi'_1 = \arccos \left[ \frac{-\frac{1}{2a_2} + \sqrt{\frac{1}{4a_2^2} + 4 \left[ \frac{\cos \varphi + a_2}{2a_2} \right]}}{2} \right] \\ \varphi'_2 = \arccos \left[ \frac{-\frac{1}{2a_2} - \sqrt{\frac{1}{4a_2^2} + 4 \left[ \frac{\cos \varphi + a_2}{2a_2} \right]}}{2} \right] \end{array} \right. \quad \text{Équation I-21}$$

$\varphi'_2$  est un angle d'ouverture plus grand que  $\varphi'_1$ . Par conséquent  $\varphi'_1$  est la solution qui nous intéresse.

Les coefficients de courant aux harmoniques pour le fonctionnement avec excitation demi-sinusoïdale sont :

$$I'_{ds0}(\varphi') = \frac{I' p}{\pi(1+a_2 - \cos \varphi)} \left( \sin \varphi'_1 - \varphi'_1 \cos \varphi + a_2 \frac{\sin 2\varphi'_1}{2} \right)$$

$$I'_{ds1}(\varphi') = \frac{I' p}{\pi(1+a_2 - \cos \varphi)} \left( \frac{\sin \varphi'_1}{2} + \varphi'_1 - \sin \varphi'_1 \cdot \cos \varphi + a_2 \left[ \frac{\sin 3\varphi'_1}{3} + \sin \varphi'_1 \right] \right)$$

Équation I-22

Comme l'illustre la Figure I-28, l'amélioration du rendement lorsqu'on applique la préformation se fera par augmentation du rapport  $\frac{I_{ds1}}{I_{ds0}}$  dans l'expression du rendement  $\eta_s$ .

Le rendement de drain pour une excitation d'entrée sinusoïdale est

$$\eta = \frac{P_S}{P_{DC}} = \frac{1}{2} \frac{V_{ds1} I_{ds1}}{V_{ds0} I_{ds0}}$$

Équation I-23

Et le rendement pour une tension d'entrée préformée par une injection d'harmonique 2 prend la forme suivante:

$$\eta' = \frac{P_S}{P_{DC}} = \frac{1}{2} \frac{V_{ds1} I'_{ds1}}{V_{ds0} I'_{ds0}}$$

Équation I-24

Ce qui donne la relation d'amélioration de rendement suivante.

$$\Delta \eta = \frac{\eta'}{\eta} = \frac{I'_{ds1}}{I_{ds1}} \frac{I_{ds0}}{I'_{ds0}} = \gamma_1 \cdot \gamma_0$$

Avec :

$$\gamma_0 = \left( \frac{\sin \varphi - \varphi \cos \varphi}{\sin \varphi'_1 + a_2 \frac{\sin 2\varphi'_1}{2} - \varphi'_1 \cos \varphi} \right)$$

$$\gamma_1 = \left( \frac{\frac{\sin 2\varphi'_1}{2} - \cos \varphi \cdot \sin \varphi'_1 + \varphi'_1 + a_2 \left[ \frac{\sin 3\varphi'_1}{3} - \sin \varphi'_1 \right]}{\varphi - \sin \varphi \cos \varphi} \right)$$

La Figure I-29 illustre la variation de l'angle d'ouverture par rapport au facteur d'injection  $a_2$  de l'harmonique 2. (  $a_2 = \frac{V_{gs_2}}{V_{gs_1}}$  )

Cette figure montre également le facteur d'amélioration du rendement  $\Delta\eta$  correspondant.

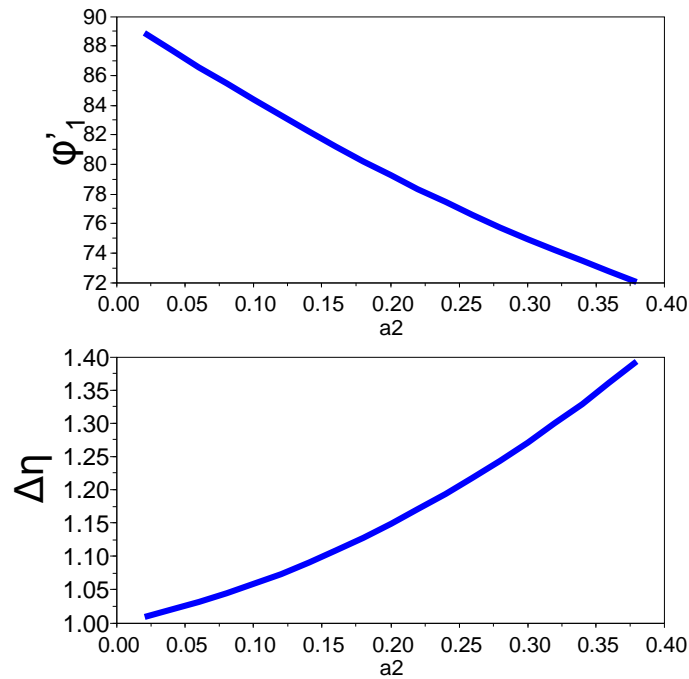


Figure I-29 Variation de l'angle d'ouverture en fonction du coefficient de tension  $a_2$ .

Typiquement, il faudra un rapport de niveau H2 sur H1 de l'ordre de 1/5 à 1/7.

On peut noter que si on injecte une quantité de H2 trop forte on obtient une tension d'excitation  $V_{gs}(t)$  ayant la forme représentée Figure I-30.

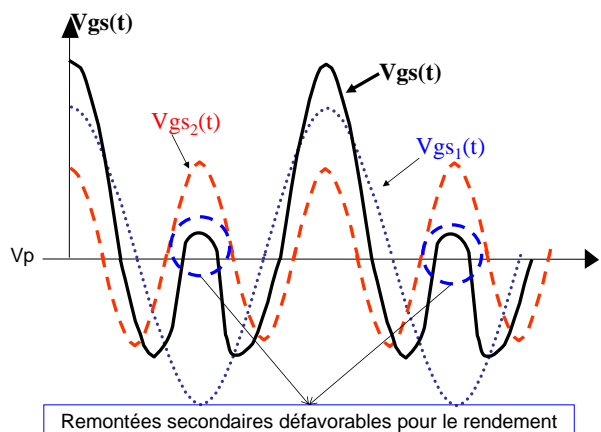


Figure I-30 Illustration temporelle de la variation de l'angle d'ouverture en fonction du coefficient de tension  $a_2$ .

Une remontée secondaire au-dessus de  $V_{gs0} = V_p$  fait passer le transistor momentanément en conduction à des instants où la tension de sortie (non représentée ici) n'est pas au voisinage de 0. Ceci est néfaste pour le rendement.

Quelques publications [25][26] ont abordé la dépendance des performances en rendement d'amplificateurs pHEMT AsGa selon la forme temporelle de la tension de grille. Elles montrent les effets des optimisations des impédances de sources aux harmoniques (principalement H2) pour obtenir une forme de la tension grille source favorable à la réduction du temps de coexistence entre tension et courant de drain.

## V. Relevé de l'état de l'art en technologie GaN

La technologie sur nitrure de gallium est en constant développement. Beaucoup de résultats sont publiés chaque année avec des réalisations de transistors et d'amplificateurs de plus en plus performants.

Le Tableau I-3 recense un état de l'art des transistors (et amplificateurs) HEMTs GaN à haut rendement publiés à ce jour à notre connaissance sur la base de la dizaine de watts en bande L. Ce tableau qui n'est peut-être pas exhaustif a pour objectif de montrer que bien souvent les comparaisons de performances ne sont pas faciles car il n'est pas toujours associé la valeur du rendement et la bande de fonctionnement à haut rendement obtenue.

| Technologie              | Freq (GHz) | $\eta_D$ (%) | PAE (%) | Bande (GHz) | Gain (dB) | POUT (W) | Comp. de gain (dB) | Vd (V) | Classe          | Ref.      |
|--------------------------|------------|--------------|---------|-------------|-----------|----------|--------------------|--------|-----------------|-----------|
| HEMT GaN (CGH40010)      | 2.1        | 81           | 76      | --          |           | 10       | 5                  | 28     | F <sup>-1</sup> | [27] 2006 |
| HEMT GaN Cree (CGH40010) | 2          | 91           | 85      | --          | 13        | 16       | 3                  | 42.5   | F               | [28] 2008 |
| HEMT GaN (CGH40010)      | 2          | 90           | 80      | --          | 10        | 7        |                    | 28     | F               | [28] 2008 |
| HEMT GaN (CGH40010)      | 1.7        |              | 68.5    | --          | 14.9      | 9.8      |                    | 28     | C               | [29] 2007 |
| HEMT GaN (CGH40010)      | 2          |              | 82      | 1.9-2.1     | 12        | 10       |                    | 30     | E               | [30] 2007 |
| HEMT GaN (CGH40010)      | 1.8        | 83           | --      |             |           | 8        | 3.5                |        | J               | [19] 2009 |
| HEMT GaN (CGH40010)      | 1.21       | 88           | 82.9    | 2%          | 13.4      | 6        |                    | 30     | F <sup>-1</sup> | [31] 2008 |



|                         |     |    |    |               |      |      |     |    |                 |              |
|-------------------------|-----|----|----|---------------|------|------|-----|----|-----------------|--------------|
| HEMT GaN                | 1   | 78 | 76 | --            | 18   | 2    |     | 25 | F <sup>-1</sup> | [32]<br>2008 |
| HEMT GaN                | 1.9 |    | 50 | 1.8-2.2       |      | 7.4  | 3   | 40 | E               | [33]<br>2006 |
| HEMT GaN<br>(eudyna10W) | 2   |    | 74 | --            | 12.6 | 11.4 | C   | 50 | E               | [34]<br>2007 |
| HEMT GaN<br>(eudyna10W) | 0.9 | 75 | -- | 0.88-<br>0.92 | --   | 20   | --  | 50 | D <sup>-1</sup> | [35]<br>2007 |
| HEMT GaN                | 2   | 67 | 65 | --            | 17   | 50   | 3.5 | 50 | -               | [37]<br>2010 |

Tableau I-3 État de l'art des transistors et amplificateurs HEMT en nitrure de gallium.

## VI. Conclusion

Ce premier chapitre a été dédié à une description des différentes configurations des classes de fonctionnement existantes pour améliorer les performances en rendement des amplificateurs de puissance. On peut conclure par quelques remarques relevant soit d'aspects de technologie de composants soit d'aspects de topologies de conception.

### Aspects de technologie :

Les paramètres importants des transistors pour l'amplification de puissance micro-onde à haut rendement sont :

- Une faible résistance  $R_{dson}$ , donc une faible tension de déchet.
- De faibles capacités  $C_{gs}$  et  $C_{ds}$ .

Les qualités intrinsèques de la technologie GaN en terme de mobilité électronique forte (favorable pour  $R_{dson}$  faible) et en terme de gap d'énergie (favorable pour les tensions de claquage forte et la génération de puissance en font des composants de choix pour l'amplification de puissance à haut rendement.

### Aspects de topologie de conception :

Nous avons vu que pour améliorer le rendement, deux points peuvent être identifiés. Premièrement la mise en forme de la tension de drain au moyen d'un circuit présentant des impédances de charges adéquates aux harmoniques pour réduire le temps de coexistence entre la tension et le courant de drain. Deuxièmement la mise en forme optimale de la tension de

commande d'entrée pour participer également à la réduction du temps de conduction du transistor en agissant essentiellement sur le courant de drain.

**CHAPITRE II *MODELISATION NON LINEAIRE D'UN  
TRANSISTOR HEMT ALGAN/GAN . VALIDATION  
PAR DES MESURES LOAD PULL TEMPORELLES.***



## I. Introduction :

Dans ce deuxième chapitre, une présentation des caractéristiques physiques et électriques du nitrure de gallium au travers des propriétés des autres semi-conducteurs sera réalisée afin de mettre en évidence l'adéquation de ce matériau pour les applications de puissance micro-onde.

Les applications dans le domaine civil ou militaire nécessitent l'utilisation de puissances de plus en plus importantes à des fréquences élevées. C'est alors que le nitrure de gallium a focalisé l'attention des recherches au niveau composant. Ce matériau présente de très bonnes propriétés électroniques pour la génération de puissance aux hautes fréquences.

Les transistors HEMTs GaN sont des composants hyperfréquences particulièrement performants pour l'amplification de puissance .Ils présentent un fort intérêt pour les applications de télécommunications par satellite, pour les stations de base de radiocommunications et également pour les émetteurs récepteurs RADAR.

La suite de ce chapitre est consacrée à la modélisation d'un transistor HEMT GaN 15W (CGH60015D) de la fonderie CREE. Pour réaliser ce modèle, des mesures en impulsions de caractéristiques IV et de paramètre S sont faites. Le modèle a ensuite été validé pour un fonctionnement en régime fort signal par des mesures de type load-pull temporel. Ces mesures permettent, outre une caractérisation classique en puissance, gain et rendement, de valider les formes temporelles des signaux présents aux accès du transistor.

Ce modèle servira, par la suite, à l'étude et à la conception de l'amplificateur de puissance à haut rendement présenté dans les chapitres suivants.

## II. Le nitrure de gallium

### II.1. Présentation générale

Depuis le début des années 90, une nouvelle catégorie de filières dites à large bande interdite est venue compléter l'éventail déjà large des technologies utilisées pour les capteurs, pour l'optique, pour l'électronique de puissance et pour l'électronique des hautes fréquences.

Les technologies carbure de silicium (SiC) et nitrure de gallium (GaN) possèdent des qualités intrinsèques remarquables, et représentent ainsi une véritable rupture technologique avec les

technologies GaAs et Si. Leur développement offre de nouvelles opportunités en termes de conception de circuits et d'architecture de systèmes (réseau de transpondeurs des applications radar, gestion de l'énergie des systèmes embarqués, ...).

- La structure de bande interdite directe est mise à profit pour la réalisation de dispositifs optiques (GaN et alliages InP, Al, P), ce qui autorise un spectre d'applications du visible aux ultraviolets, en émission et en détection : le matériau GaN est le seul qui puisse prétendre à des applications optoélectroniques aux courtes longueurs d'onde (bleu, ultraviolet, blanc). De nombreux composants électro-optiques (Light Emitting Diodes LED, Laser Diodes LD) ou détecteurs en environnement hostile (Metal-Semiconductor-Metal MSM, ...) sont d'ores et déjà disponibles, et constituent encore un axe fort de recherche.
- L'électronique de puissance est de plus en plus présente dans les systèmes embarqués : L'aéronautique a également besoin de convertisseurs de puissance de grande compacité et de faible masse soumis à des cycles thermiques (faibles/fortes températures). Les dispositifs à grande bande interdite se positionnent très favorablement sur les aspects thermiques, de masse et de volume. De plus, l'immunité aux agressions radiatives permet de réduire l'utilisation de boîtiers de protection et ainsi de diminuer la masse du système.
- L'électronique des hautes fréquences tire pour sa part un bénéfice des caractéristiques exceptionnelles de la grande bande interdite pour des applications de forte puissance. Des travaux sur matériau SiC ont déjà été publiés, mais le GaN reste largement majoritaire pour les applications de puissance à haute fréquence. La technologie GaN présente de réels atouts pour la conception de fonctions d'amplification de puissance, d'amplification faible bruit et de commutation [53].

## II.2. Les avantages des matériaux à grande bande interdite :

La technologie GaN bénéficie d'une combinaison remarquable des caractéristiques des matériaux à large bande interdite qui la prédestine naturellement à des applications de forte puissance :

-un champ de claquage élevé (Tableau II-1) associé à un faible taux d'ionisation par impact, permet d'obtenir des puissances de sortie élevées (8 fois supérieures aux technologies III-V GaAs)

-la forte conductivité thermique du GaN ( $1.3 \text{ W.cm}^{-1}.\text{K}^{-1}$  contre  $0.5 \text{ W.cm}^{-1}.\text{K}^{-1}$  pour le GaAs) et de certains substrats (diamant  $>9 \text{ W.cm}^{-1}.\text{K}^{-1}$ , SiC @  $5 \text{ W.cm}^{-1}.\text{K}^{-1}$ ) est avantageuse pour l'évacuation des calories.

-des densités d'électrons supérieures à  $10^{13} \text{ cm}^{-2}$  (gaz d'électrons à 2 dimensions '2DEG' avec hétéro structure AlGaIn) grâce à de fortes polarisations spontanée et piézoélectrique sans dopage intentionnel, sont un atout pour l'amplification des signaux.

-la forte bande interdite rend les dispositifs plus robustes vis à vis des agressions de type électromagnétiques.

-des vitesses de saturation relativement importantes ( $3.10^7 \text{ cm/s}$ ) favorisent les applications à haute fréquence Les principales propriétés et applications associées sont reportées dans le Tableau II-1.

|   | Semi-conducteurs Classiques |            | Semi-conducteurs à grand gap |                            |            |  |
|---|-----------------------------|------------|------------------------------|----------------------------|------------|--|
|   | Si                          | GaAs       | 6H-SiC                       | GaN                        | Diamant    |  |
| Bandgap (eV) @ 300°C  | 1,1 indirect                | 1,4 direct | 2,9 direct                   | 3,39 direct                | 5,6 direct | → Hautes températures<br>Fortes tensions |
| Mobilité des électrons ( $\text{cm}^2/\text{V.s}$ )         | 1 400                       | 8 500      | 600                          | 1000 (bulk)<br>2000 (2DEG) | 4000       | → Hautes fréquences                      |
| Mobilité des trous ( $\text{cm}^2/\text{V.s}$ )             | 450                         | 400        | 90                           | 350                        | 3800       |  |
| Vitesse de saturation des électrons ( $10^7 \text{ cm/s}$ ) | 1                           | 2          | 2                            | 2.5                        | 3          | → Hautes fréquences                      |
| Champ de claquage ( $10^6 \text{ V/cm}$ )                   | 1,3                         | 0,54       | 5                            | 1,3                        | 20         | → Fortes tensions                        |
| Température d'utilisation maximale (°C)                     | 125                         | 150        | 500                          | 650                        | 700        |  |

Tableau II-1 Propriétés physiques et applications des hétéro structures à grande bande interdite GaN et 6H-SiC, comparées au Si et GaAs [54].

Le choix du composant RF en fonction de l'utilisation et des performances envisagées demeure crucial pour les applications micro-ondes de puissance. C'est dans ce but que diverses figures de mérite ont été élaborées. Les trois figures de mérite prédominantes sont les

figures de mérites de Johnson (*Johnson's Figure of Merit*), de Baliga (*Baliga's Figure of Merit*) et de Keyes (*Keyes's Figure of Merit*).

Pour évaluer le potentiel des semi-conducteurs selon les applications visées, des facteurs de mérite sont disponibles parmi lesquels nous pouvons citer [55]:

- Le facteur de mérite de Johnson *JFM* prend en compte le champ électrique critique  $E_c$  ainsi que la vitesse de saturation des porteurs  $v_{sat}$ .

$$JFM = \frac{E_c \cdot v_{sat}}{2\pi} \quad \text{Équation II-1}$$

Il traduit le potentiel du matériau semi-conducteur pour des applications hautes fréquences et forte puissance.

- Le facteur de mérite de Baliga *BFM* prend en compte la permittivité électrique du matériau  $\epsilon_r$ , le champ de claquage  $E_c$  et la mobilité  $\mu_n$ .

$$BFM = \epsilon_r \cdot \mu_n \cdot E_c^3 \quad \text{Équation II-2}$$

Il apporte une appréciation en terme de tenue en tension.

- Quant au facteur de mérite de Keyes *KFM*, il fait intervenir la conductivité thermique du matériau  $K$ , la permittivité électrique  $\epsilon_r$  et la vitesse de saturation des porteurs  $v_{sat}$ .

$$KFM = K \cdot \left( \frac{C \cdot v_{sat}}{4\pi \cdot \epsilon_r} \right)^{\frac{1}{2}} \quad \text{Équation II-3}$$

Ce facteur traduit les performances thermiques et fréquentielles du matériau.

Les différents facteurs de mérite précédents sont normalisés par rapport au facteur de mérite du silicium dans le Tableau II-2 ci-dessous.

| <i>Matériaux</i> | <b>JFMratio</b> | <b>BFMratio</b> | <b>KFMratio</b> |
|------------------|-----------------|-----------------|-----------------|
| <b>Si</b>        | 1               | 1               | 1               |
| <b>AsGa</b>      | 2.6             | 15.6            | 0.45            |
| <b>4H-SiC</b>    | 16.6            | 263             | 4.6             |
| <b>GaN</b>       | 27.5            | 544             | 1.6             |
| <b>Diamant</b>   | 90              | 27e3            | 32.1            |

Tableau II-2: différents facteurs de mérite des matériaux Si, GaAs, GaN, SiC, normalisés par rapport au silicium.



Pour les structures à effet de champ, les facteurs de mérite peuvent varier largement d'une publication à l'autre dans la littérature selon le choix de l'axe cristallin, ou encore selon la mobilité des porteurs (notamment les trous dans le GaN)... Il en ressort que les valeurs normalisées par rapport aux facteurs de mérite du silicium sont largement à l'avantage des matériaux à grande bande interdite, pour des applications de puissance, à haute fréquence, ou encore pour des applications en commutation rapide et de puissance.

### II.3. Les acteurs du marché du GaN

Durant la dernière décennie, des progrès considérables et rapides ont été réalisés tant sur les matériaux GaN que sur les procédés technologiques et dispositifs à base de GaN : les précurseurs du domaine sont les USA et le Japon. L'Europe a engagé ses premières études quelques années après les USA : un des intérêts majeur du GaN étant d'ordre militaire, l'Europe pour se doter d'une source technologique indépendante. De nombreux groupes de recherche travaillent sur les techniques et procédés d'épitaxie, les mesures, la conception de circuits et la fiabilité.

***Les USA possèdent trois principales filières commerciales :***

- Cree développe à la fois une filière SiC et GaN : à température ambiante le SiC possède une conductivité thermique meilleure que les métaux, ce qui l'autorise à travailler à des niveaux de puissance extrêmement élevés [56]. La filière MESFET développée par Cree vise un marché de puissance large bande (amplificateurs de bande passante multi-octave à décade). Cree développe également des substrats GaN par technique HVPE (Hybrid Vapor Phase Epitaxy). Les HEMT GaN démontrent quant à eux de très bons rendements en puissance validés par des amplificateurs démonstrateurs publiés. [30].
- Nitronex développe notamment des transistors GaN HEMT sur des substrats Si de large dimension et à faible coût [57]. Les marchés visés sont les stations de base des liaisons sans fil du 2.5G, 3G, WiMAX, ...
- RF Micro Devices se positionne également sur le marché commercial de grand volume et sur les applications militaires de défense [58].

***Le Japon*** adresse un marché plus mature avec une technologie GaN HEMT très fiable en utilisant un cristal de grande qualité ce qui minimise les courants de fuite.

- Fujitsu [59] vise également le marché des télécommunications (applications 3G, satellite VSAT, WiMAX et autres infrastructures de communications rapides sans fil) avec des transistors HEMT qui possèdent des rendements de drain supérieurs à 40%, des puissances de sortie de 174 W en continu sous-alimentation 63V. Fujitsu a particulièrement travaillé sur la robustesse de sa filière : les transistors HEMT sont sensés pouvoir fonctionner à une température de 200°C pendant plus de 100 ans (grille pincée, sous tension de drain 50 V), ce qui représente un record de cycle de vie pour cette technologie [60].
- En 2009, Toshiba propose un transistor de puissance HEMT GAN pour les applications de communication par satellite qui donne en bande C un rendement de drain de 42% pour un maximum de puissance de 51dBm. [61].

De nombreuses actions à l'initiative de l'ESA et de ses divers MoD (Ministry of defense), ont permis à l'Europe de combler son retard sur la filière GaN.

- TIGER (IEMN-Thales ResearchTechnology), Picogiga et le CRHEA (France), QinetiQ (Angleterre), Daimler-Chrysler, FBH, Université d'Ulm et IAF (Allemagne), TNO (Pays-Bas), Chalmers et Université de Linköping (Suède), sont autant de structures industrielles ou universitaires qui travaillent sur ces filières GaN HEMT. Okmetic (suède) est la seule filière européenne qui développe et produit des substrats SiC semi-isolants. Lumilog travaille sur le développement de substrats GaN semi isolants [63]. XLIM fait partie du projet européenne Korrigan et contribue aux aspects de caractérisation et de modélisation de transistors.[64].

La croissance des composants peut être réalisée sur différents substrats de coûts variables, qui impactent les performances des dispositifs : les substrats saphir et silicium offrent un coût modéré, tandis que le carbure de silicium et le GaN natif, plus onéreux, procurent de meilleures performances. Les composants HEMT ou MESFET peuvent ensuite être réalisés par diverses techniques : les solutions MOCVD (Metal Organic Chemical Vapour Deposition) et MBE (Molecular Beam Epitaxy) permettent de réaliser des couches fines, et les performances des composants réalisés par ces deux techniques sont comparables.

### III. Caractérisation du composant; Principe du banc de mesure I(V) et paramètres [S] en impulsions.

Dans ce chapitre, nous présentons la caractérisation et la modélisation du transistor HEMT en technologie GaN. Pour cela, nous utilisons le banc de mesures des caractéristiques I[V] (2A, 100V) et des paramètres [S] (0.5 @ 40GHz) en régime impulsionnel développé au laboratoire sur le site de Brive [68]. L'organisation de ce banc de mesures est indiquée Figure II-1.

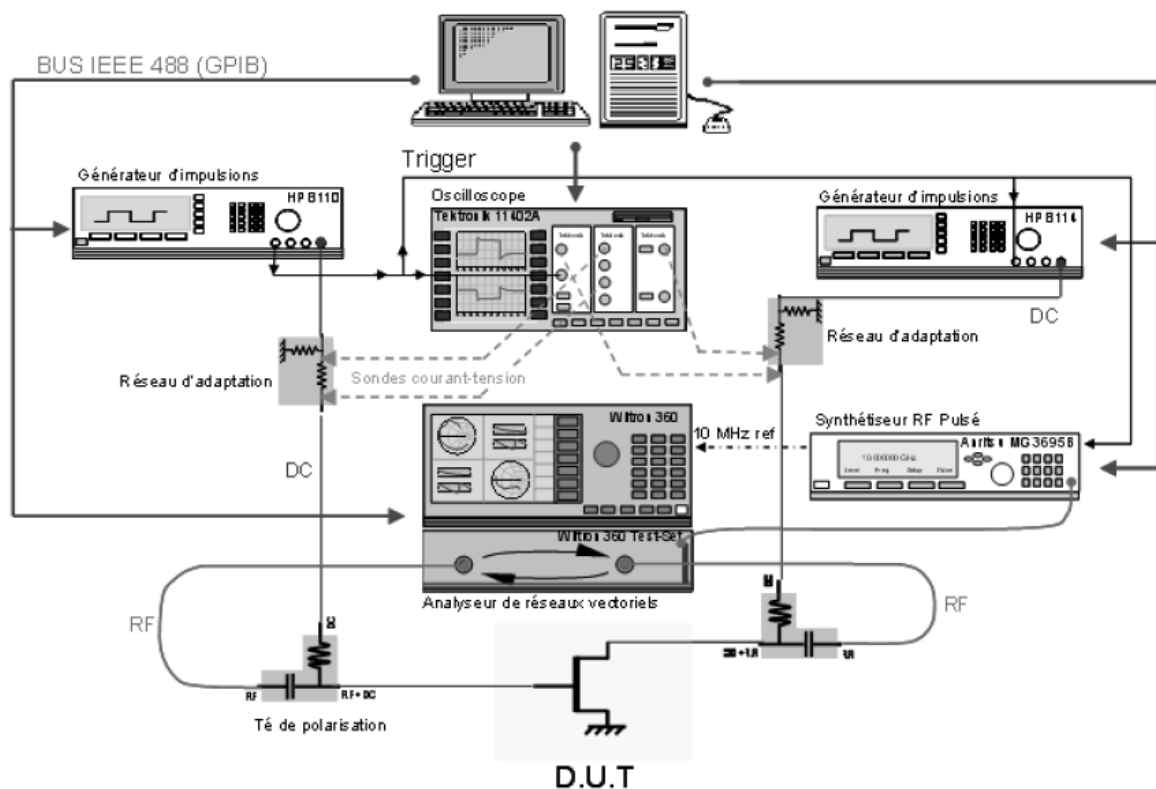


Figure II-1 Organisation du banc de mesures en impulsion.

Le principe des mesures en impulsion est donné Figure II-2. Il consiste à appliquer les impulsions de courte durée, dans notre cas 300ns avec une période de récurrence de 6µs, à partir d'un point de polarisation de repos ( $V_{GS0}$ ,  $V_{DS0}$ ) qui permet de fixer l'état thermique du composant.

Dans ce travail de modélisation l'auto échauffement et les pièges n'ont pas été pris en compte.

Les paramètres  $S_{ij}$  sont mesurés en mode impulsionnel pendant les impulsions de polarisation. Ils sont, pour les besoins de notre modélisation, mesurés sur la bande de fréquence 1@20GHz.

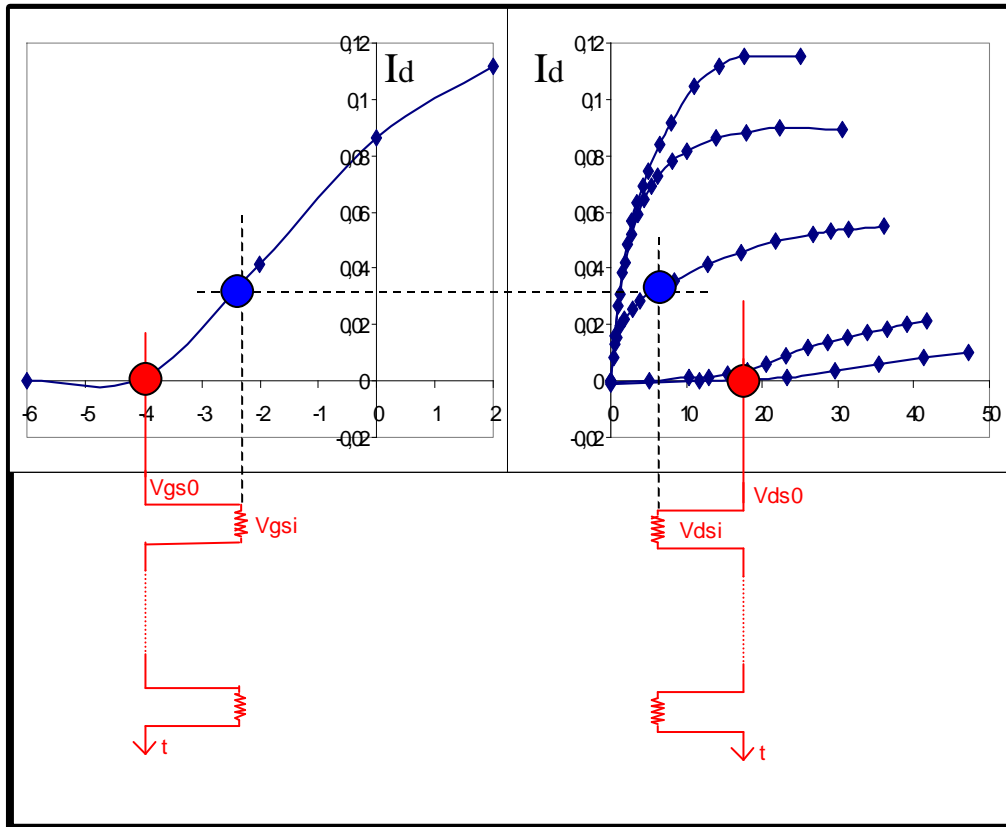


Figure II-2 Principe de la mesure en impulsion I[V]et RF.

#### IV. Modélisation du transistor GaN CREE 15W (CGH60015D).

Les transistors caractérisés et modélisés sont des HEMTs en Nitrure de Gallium sur substrat Carbure de Silicium. Ils sont issus d'un process de 2007 de la fonderie CREE[47].

Le schéma de la puce 15W utilisée est représenté Figure II-3.

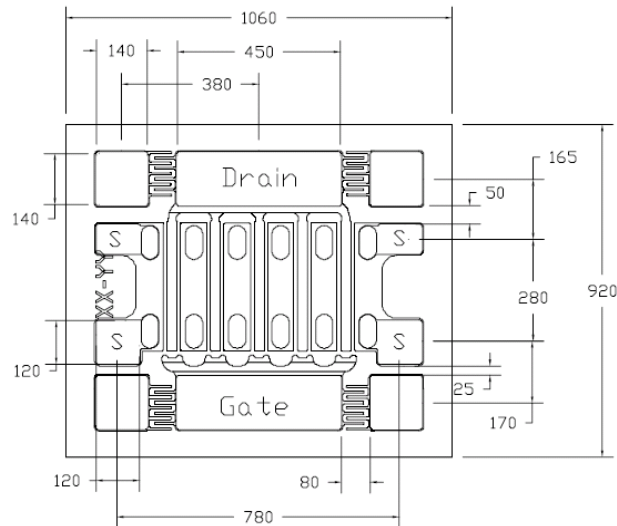


Figure II-3 Schéma du transistor GaN utilisé lors de l'étude (CGH60015D).

Afin de présenter brièvement le transistor CREE CGH60015D, un tableau récapitulatif quelques valeurs annoncées dans la « datasheet » est présenté ci-dessous (Tableau II-3). Les performances en puissance sont données pour une fréquence de 4GHz à 25°C, le transistor étant polarisé à  $V_{ds0}=28V$ ,  $I_{ds0}=200mA$ .

|                                  |              |
|----------------------------------|--------------|
| <b>Bande passante</b>            | Jusqu'à 6GHz |
| <b>Idss</b>                      | 2.3A (Typ)   |
| <b>Tension d'avalanche</b>       | 100V (Typ)   |
| <b>Tension de pincement</b>      | -2.5V (Typ)  |
| <b>Gain bas niveau</b>           | 15dB         |
| <b>Ps (à 3dB de compression)</b> | 15W          |
| <b>Rendement de drain</b>        | 65% @Ps-3dB  |

Tableau II-3 : Spécifications du transistor CREE CGH60015D

Les transistors CREE CGH60015D présentent une topologie particulière faisant appel à un montage spécifique. Il convient de les monter avec des kits d'interface JMT [69] afin de passer d'un accès microstrip à un accès coplanaire pour les mesures sous pointes. Ces kits JMT (Figure II-4) sont connectés aux accès grille et drain du transistor via des fils de bonding, la source étant connectée par l'intermédiaire de vias directement à la masse. Les dimensions de la puce n'excèdent pas  $(1060 \times 920) \mu m^2$  pour une épaisseur de 100 microns.

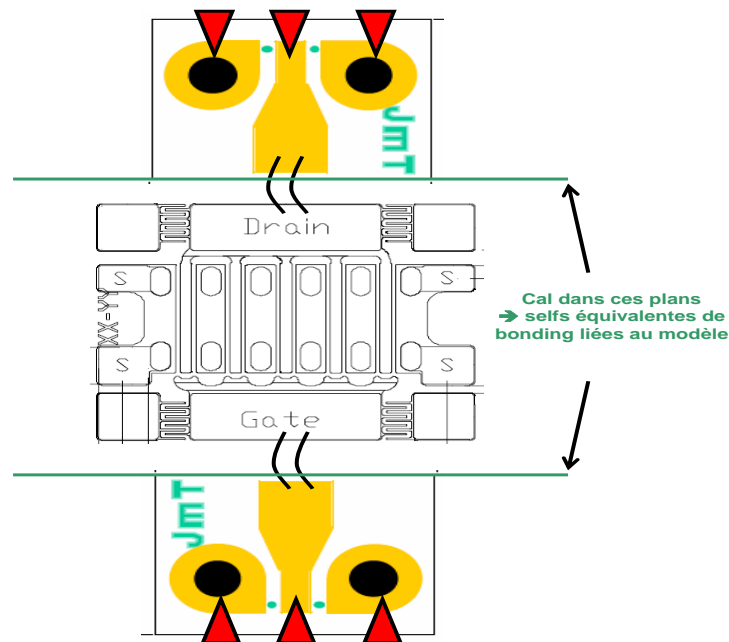


Figure II-4 Schéma de montage des puces CREE

#### IV.1. Mise en évidence des effets de pièges

Après avoir effectué une calibration TRM jusqu'à 20GHz, des mesures I(V) et de paramètres S en impulsion ont été réalisées. La largeur des impulsions est de 600ns pour une période de 10 $\mu$ s. Plusieurs points de polarisation ont été testés : point chaud, point froid, pièges de grille et drain.

La Figure II-5 présente le réseau I(V) pour un point de polarisation chaud :  $V_{ds0}=28V$ ,  $I_{ds0}=200mA$ .

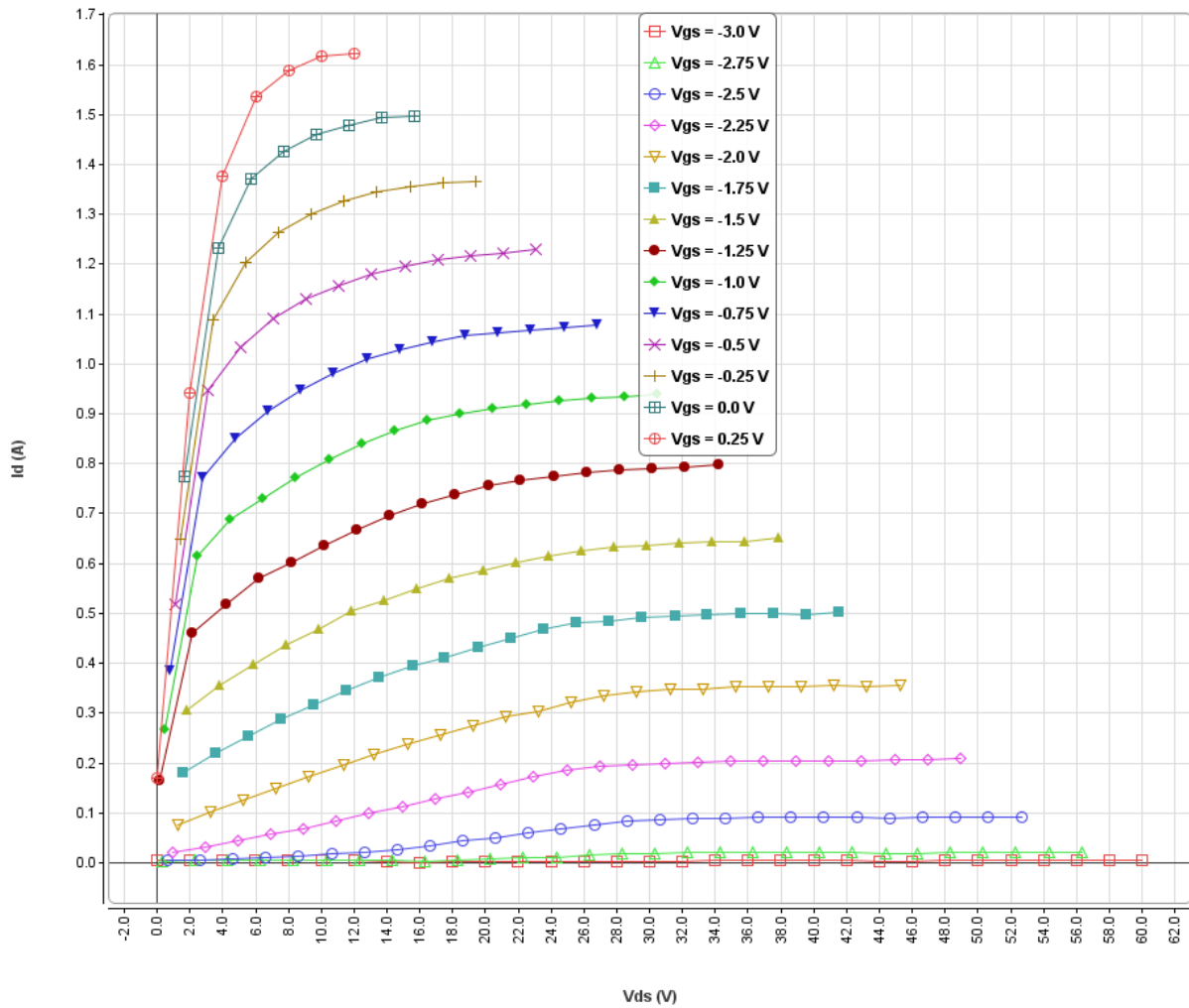


Figure II-5 Réseau I(V) de sortie pour  $V_{gs0}=-2.25V$  et  $V_{ds0}=28V$

Les phénomènes de piège de grille et de drain ont été mis en évidence lors des mesures en régime pulsé (Figure II-6). En effet, c'est le point de polarisation de repos qui fixe l'état thermique et l'état des pièges pour toute la mesure des caractéristiques I(V). En conséquence, lorsque l'on mesure les caractéristiques I(V) à différents points de repos en supposant une caractérisation quasi isotherme, la dispersion entre les mesures reflète des effets de pièges. [94].

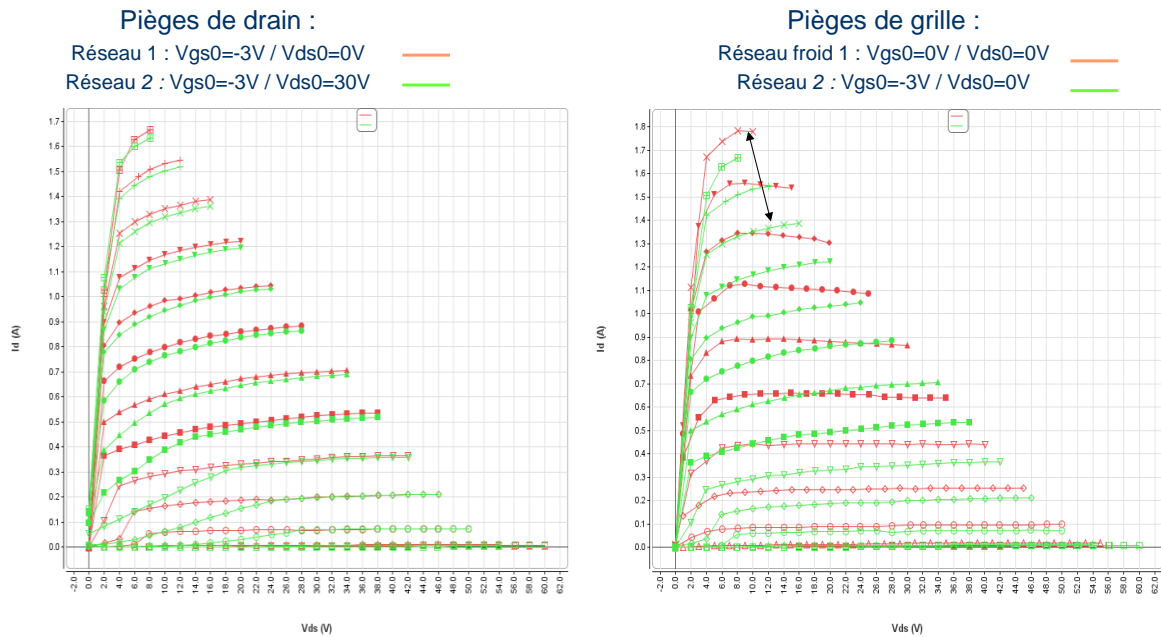


Figure II-6 Mise en évidence des effets de pièges de drain et de grille.

La différence sur le courant de drain est attribuée majoritairement aux pièges de surface [70]. Les électrons sont alors piégés à la surface de la couche AlGaIn. Ils sont par la suite ionisés quand la tension de grille passe en dessous de la tension de « pinch off » [71]. Les électrons capturés lorsque la grille est polarisée OFF ne participent pas au courant de conduction dans le canal quand la grille passe à l'état ON. La constante de temps d'émission des pièges est plus grande que la durée des impulsions. Ainsi le courant de sortie est plus faible lorsque la tension de polarisation de repos est polarisée OFF, que dans le cas d'une polarisation de repos polarisée ON.

On peut noter l'influence du drain-lag au niveau de la tension de coude ainsi qu'une sensible baisse du courant même si les effets sur ce transistor ne sont pas prépondérants. La dispersion en courant pour ce composant est donc majoritairement due au phénomène de gate-lag. L'effet du drain-lag reste principalement effectif à bas courant au niveau de la tension de coude.

Du point de vue des mesures, les deux phénomènes sont différents dans le sens où le gate-lag intervient lors d'une variation de la tension de grille, alors que le drain-lag apparaît lors d'une variation de la tension de drain. Ces deux phénomènes ont cependant le même impact sur les mesures : ils induisent un temps d'établissement du courant plus lent que la variation des tensions, et sont donc à l'origine de transitoires de courant dont les constantes de temps dépendent des niveaux de pièges sollicités.



## IV.2. Modèle électrique petit signal

Le modèle utilisé est un modèle électrique constitué d'éléments localisés avec une topologie classique de transistor à effet de champ. Le schéma équivalent petit signal est représenté Figure II-7.

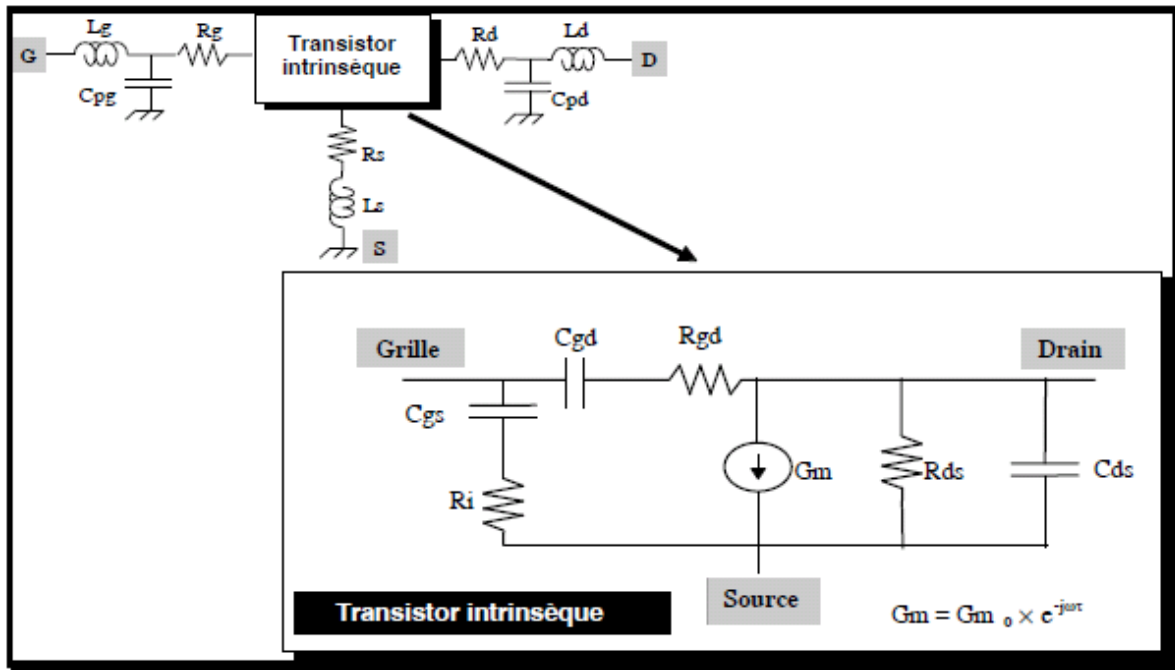


Figure II-7 Schéma électrique équivalent.

➤ Les éléments extrinsèques :

$L_g$ ,  $L_d$  et  $L_s$  sont des inductances parasites liées à la topologie du transistor.

L'environnement de mesure (fils thermos soudés, lignes d'accès) peut être modélisé comme des inductances parasites supplémentaires.

$R_d$  et  $R_s$  représentent les résistances parasites dues aux contacts ohmiques et aux zones conductrices et inactives du canal, entre les métallisations de drain et de source et la limite de la zone déserte.  $R_g$  représente la résistance dynamique de grille, liée au métal qui constitue le contact Schottky.

$C_{pg}$  et  $C_{pd}$  représentent les capacités de plot du transistor.

➤ Les éléments intrinsèques :

La transconductance  $g_m$  qui traduit le mécanisme de contrôle du courant dans le canal par la commande de grille au point de polarisation Mo:

$$g_m = \left. \frac{\partial I_{ds}}{\partial V_{gs}} \right|_{M_0}$$

La conductance de sortie  $g_d$  représente les effets d'injection des électrons dans le canal :

$$g_d = \left. \frac{\partial I_{ds}}{\partial V_{gd}} \right|_{M_0}$$

Les capacités grille-source et grille-drain représentent les variations de charges accumulées sous la grille, sous l'effet des tensions respectives  $V_{gs}$  et  $V_{gd}$  :

$$C_{gs} = \left. \frac{\partial Q_g}{\partial V_{gs}} \right|_{M_0} \quad C_{gd} = \left. \frac{\partial Q_g}{\partial V_{gd}} \right|_{M_0}$$

$R_{gd}$  et  $R_i$  sont liées à des effets distribués sous la grille,  $\tau$  correspond à un retard associé à la transconductance  $G_m$ , et  $C_{ds}$  prend en compte les effets parasites de couplage électrostatique entre l'électrode de drain et celle de la source . L'extraction d'un modèle électrique consiste à déterminer, dans un premier temps, les valeurs des éléments extrinsèques puis à en déduire les valeurs des éléments intrinsèques quel que soit le point de polarisation du transistor.

La qualité finale du modèle dépend fortement de la précision avec laquelle sont estimés les éléments extrinsèques du circuit équivalent. Pour cela, nous utilisons une méthode par optimisation basée sur le fait qu'il n'existe qu'un seul jeu de paramètres extrinsèques ( $R_g, L_g, C_{pg}, R_d, L_d, C_{pd}, R_s, L_s$ ) pour lequel les paramètres intrinsèques ( $G_m, G_d, C_{gs}, C_{gd}, C_{ds}, R_i, R_{gd}, \tau$ ) sont indépendants de la fréquence.

Les paramètres du modèle sont extraits pour un point du réseau I[V] proche du point de polarisation de repos. Ce point du réseau correspond à :  $V_{gsi} = -2.18V$ ;  $V_{dsi} = 28V$ ;  $I_{di} = 200mA$ . A ce point de repos instantané est associé un fichier de mesures contenant les paramètres  $S_{11}, S_{21}, S_{12}, S_{22}$ , de 2 @ 20 GHz.

A ce fichier de paramètres [S] nous appliquons la méthode d'extraction du modèle petit signal. Les valeurs des paramètres extrinsèques obtenues sont indiquées dans le tableau suivant.

| Rg ( $\Omega$ ) | Lg (pH) | Cpg (pF) | Rd ( $\Omega$ ) | Ld (pH) | Cpd (pF) | Rs ( $\Omega$ ) | Ls (pH) |
|-----------------|---------|----------|-----------------|---------|----------|-----------------|---------|
| 0,5             | 60,5    | 0.963    | 0.11            | 23,6    | 0,8      | 0,05            | 6,86    |

Cependant, il faut noter que les paramètres extrinsèques sont indépendants de la polarisation et de la fréquence alors que les paramètres intrinsèques sont fonction du point de polarisation.

Le banc de caractérisation en impulsions permet d'obtenir un fichier de paramètres [S] pour chaque point de mesure I(V). Une extraction multi polarisations est pratiquée sur l'ensemble des points du réseau IV et permet ainsi d'obtenir les variations non linéaires de chaque élément en fonction des tensions de polarisation instantanées. Les principales non linéarités du modèle sont Cgs, Cgd, Cds, Ids, et Igs. Les résistances Ri et Rgd, et le retard  $\tau$  seront considérés comme constants dans la suite de cette étude car leurs variations en fonction des tensions de polarisations restent faibles. Dans les transistors HEMT GaN, la capacité Cds subit une légère variation en fonction des tensions de polarisation instantanées. Ainsi Cds sera considérée constante dans le modèle non linéaire du transistor.

| Ri ( $\Omega$ ) | Rgd ( $\Omega$ ) | $\tau$ (ps) |
|-----------------|------------------|-------------|
| 0,1             | 17               | 3,5         |

### IV.3. Modèle électrique non-linéaire

#### IV.3.1. Topologie du modèle

La topologie du modèle non linéaire convectif est présentée Figure II-8. Pour un point de polarisation de repos donné, ce modèle permet une description à l'aide de l'ensemble des éléments suivants :

- $R_g, R_d, R_s$  : résistances d'accès,
- $I_{ds}$  : modèle de la source de courant,
- $I_{BDG}$  : générateur d'avalanche,
- $I_{DGS}, I_{DGD}$  : diodes grille source et grille drain,

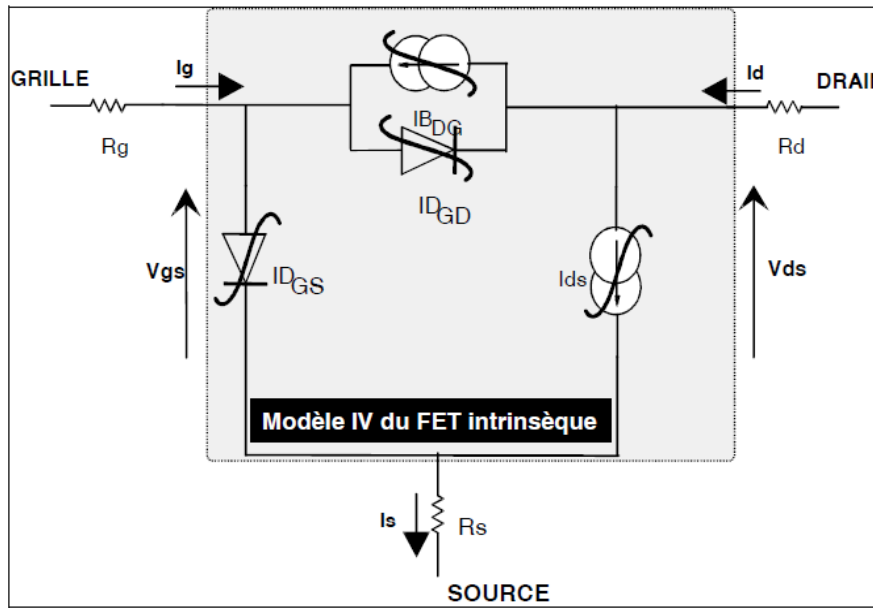


Figure II-8 Modèle non linéaire convectif.

#### IV.3.2. La source de courant fondamentale Ids

L'effet fondamental du transistor à effet de champ est décrit par une source de courant non linéaire commandée par les tensions  $V_{gs}$  et  $V_{ds}$ . Le modèle de base de la source de courant est celui de Tajima avec 9 paramètres ajustables.

$$I_{d_{Tajima}} = \frac{I_{dss}}{1 - \frac{1}{m}(1 - e^{-m})} \left[ V_{gsN} - \frac{1}{m}(1 - e^{-mV_{gsN}}) \right] \left[ 1 - e^{-V_{dsN}(1 - aV_{dsN} - bV_{dsN}^2)} \right] \text{ avec :}$$

$$V_{gsN} = 1 + \frac{V_{gs}(t - \tau) - V_{\phi}}{V_p}, \quad V_{dsN} = \frac{V_{ds}}{V_{dsp} \left( 1 + w \frac{V_{gs}(t - \tau)}{V_p} \right)} \quad \text{et } V_p = V_{p0} + pV_{dsp} + V_{\phi} \quad \text{Équation II-4}$$

Il décrit les caractéristiques de sortie du transistor à effet de champ, de la zone de pincement jusqu'à la limite de la zone de conduction pour les valeurs positives de  $V_{ds}$ . Cependant, un terme correctif a été rajouté de façon à rendre compte de la décroissance de la transconductance  $G_m$  présente dans les transistors HEMTs:

$$I_d = I_{d_{Tajima}} \cdot \left[ 1 + \beta g_m (V_{ds} + V_{dm}) \cdot (1 + \tanh(\alpha_{gm} \cdot (V_{gs} + V_{gm}))) \right] \quad \text{Équation II-5}$$

| Idss (A) | A        | B    | M       | P        | W       | Vpo (V)       |
|----------|----------|------|---------|----------|---------|---------------|
| 2.5347   | 0.012713 | 0    | 19.705  | 0.014961 | 0.46898 | 2.3432        |
| Vphi (V) | Vdsp (V) | agm  | Vgm (V) | bgm      | Vdm (V) | $\tau$ (psec) |
| 1.5075   | 1.7641   | 0.95 | 345.25  | 0.23758  | 1       | 3.5           |

Tableau II-4 Valeurs des paramètres de la source du courant

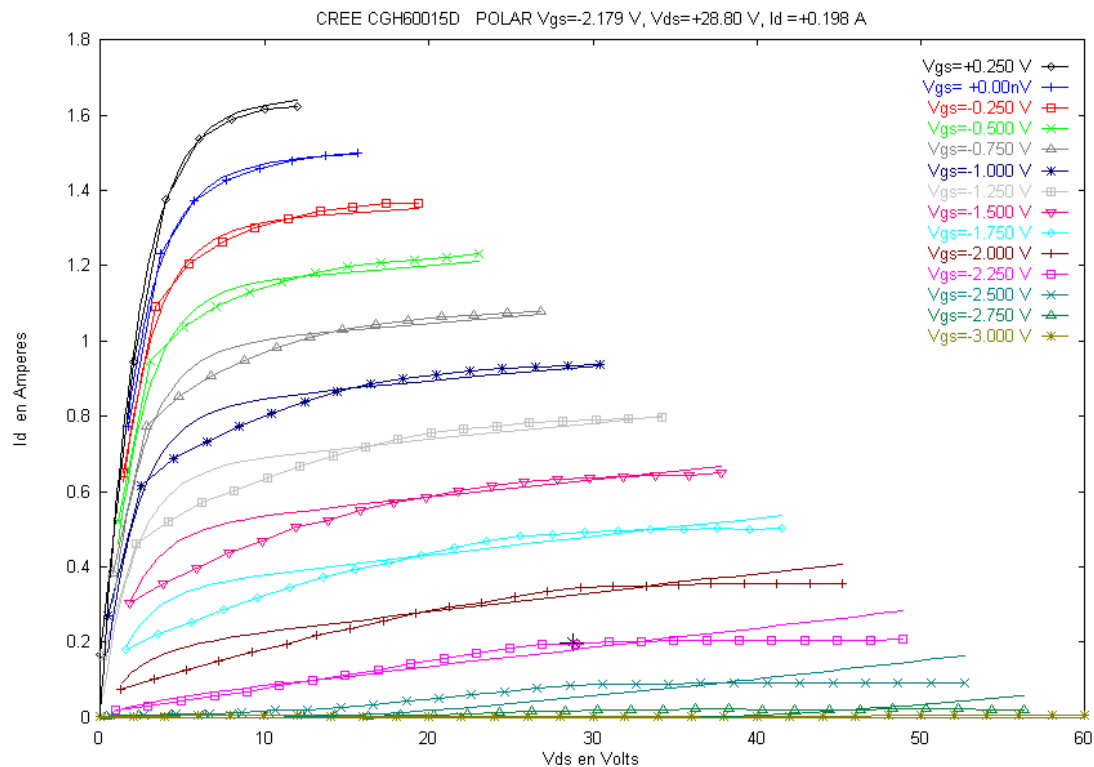


Figure II-9 Comparaison des réseaux I-V mesurés et modélisés.

Le modèle convectif non linéaire utilisé ne prend pas en compte les effets de pièges. L'effet des pièges est essentiellement observable dans la zone du 'coude' pour de faibles Vds et de faibles courants.

#### IV.3.3. Les diodes IDgd et IDgs

Les diodes représentent des générateurs de courant non-linéaires permettant de modéliser le courant positif de grille mesuré pour les valeurs positives des tensions  $V_{gs}$  et  $V_{gd}$ . Les expressions utilisées pour modéliser ces courants sont les suivantes :

$$ID_{gd} = I_{sgd} \cdot e^{\alpha_{gd} \cdot V_{gd}} \quad \text{Équation II-6}$$

$$ID_{gs} = I_{sgs} \cdot e^{\alpha_{gs} \cdot V_{gs}} \quad \text{Équation II-7}$$

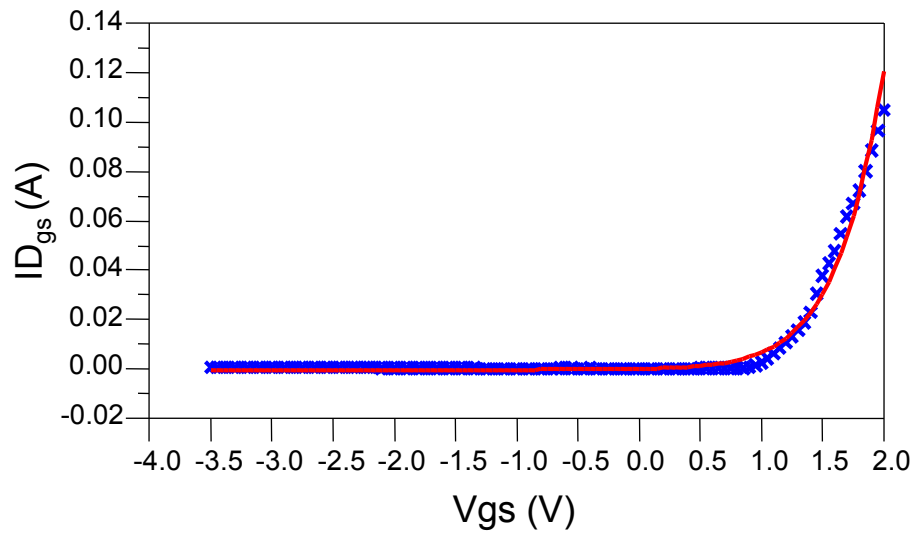


Figure II-10 Caractéristiques I-V de la diode grille-source.

| Isgs (A)             | Ngs   | Isgd(A)             | Ngd    |
|----------------------|-------|---------------------|--------|
| 3.07 <sup>e</sup> -6 | 13.55 | 3.2 <sup>e</sup> -4 | 12.795 |

Tableau II-5 Valeurs optimisées pour les modèles des diodes grille-source et grille-drain.

#### IV.3.4. Extraction et modélisation des capacités $C_{gs}$ et $C_{gd}$

Les deux capacités  $C_{gs}$ ,  $C_{gd}$  sont des non-linéarités dépendantes des deux tensions de commandes  $V_{ds}$  et  $V_{gs}$ . Cette dépendance est obtenue à partir des mesures de paramètres [S] en impulsions multi polarisations.

Pour chacun des points de polarisation en impulsion du réseau I(V), un modèle petit signal est extrait. On obtient ainsi la dépendance des capacités  $C_{gs}$  et  $C_{gd}$  vis à vis des tensions  $V_{gs}$  et  $V_{ds}$ .

Les modèles capacitifs non linéaires 2D sont simplifiés et ramenés à des modèles 1D ne dépendant plus que de la tension à leurs bornes. Ceci permet de simplifier la procédure de modélisation, de réduire les temps de calculs et d'éviter des problèmes de convergence lors

des simulations. Pour ce faire, les capacités sont extraites le long du cycle de charge supposé du transistor et exprimées en fonction d'une seule tension de commande:  $V_{gs}$  pour la capacité  $C_{gs}$  et  $V_{gd}$  pour la capacité  $C_{gd}$ .

Une fois l'ensemble des éléments du transistor ajustés, un cycle de charge idéal représentatif d'un fonctionnement en puissance du transistor (Figure II-11) est tracé dans le réseau I(V). Seules les valeurs capacitives, fonctions des polarisations de grille  $V_{gs}$  et de drain  $V_{ds}$ , appartenant à ce cycle de charge sont retenues pour la modélisation des capacités. Ceci permet d'utiliser des capacités non linéaires à une dimension  $C_{gs}(V_{gs})$  et  $C_{gd}(V_{gd})$ , ce qui facilite grandement leur intégration dans les simulateurs circuits.

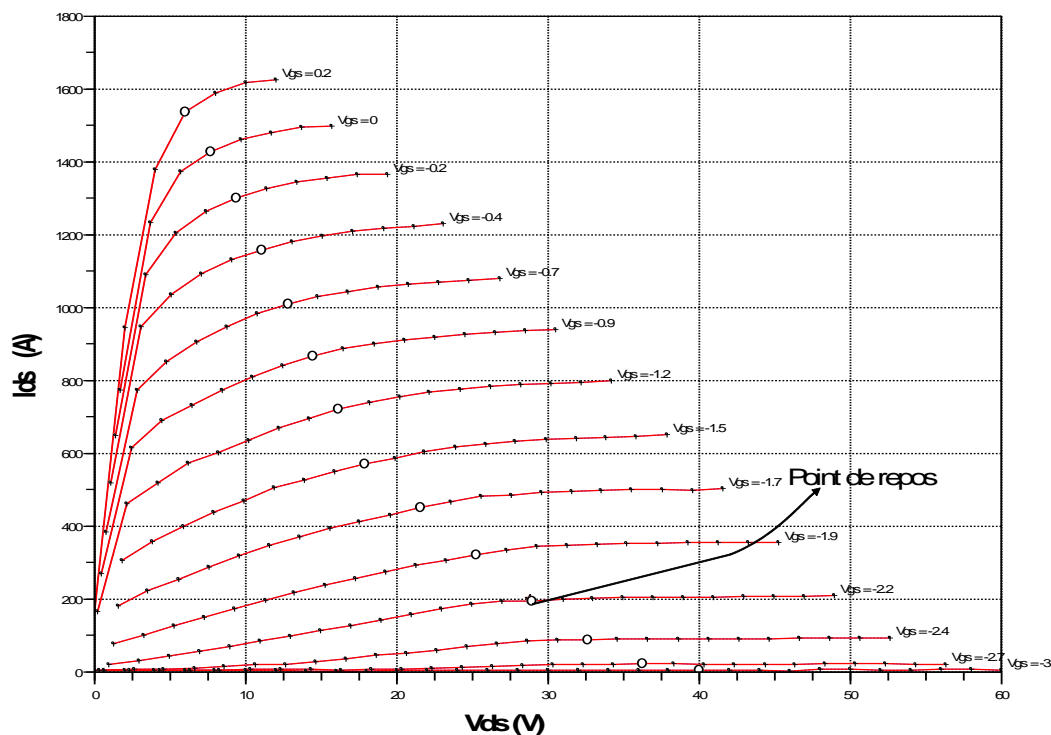


Figure II-11 Cycle de charge choisi dans le réseau I(V) pour représenter un fonctionnement en puissance du transistor. L'extraction des valeurs des deux capacités non linéaires  $C_{gs}$  et  $C_{gd}$  est seulement faite le long du cycle de charge représenté.

Les équations utilisées pour la modélisation les capacités  $C_{gs}(V_{gs})$  et  $C_{gd}(V_{gd})$  sont les suivantes :

$$C_{gs} = C_{gs0} + \frac{C_{gs1} - C_{gs0}}{2} \left[ 1 + \tanh(a.(V_{gs} + V_m)) \right] - \frac{C_{gs2}}{2} \left[ 1 + \tanh(b.(V_{gs} + V_p)) \right] \quad \text{Équation II-8}$$

$$C_{gd} = C_{gd0} + \frac{C_{gd1} - C_{gd0}}{2} \left[ 1 + \tanh(c.(V_{gd} + V_n)) \right] - \frac{C_{gd2}}{2} \left[ 1 + \tanh(d.(V_{gd} + V_q)) \right] \quad \text{Équation II-9}$$

Avec  $C_{gs0}$ ,  $C_{gs1}$ ,  $C_{gs2}$ ,  $C_{gd0}$ ,  $C_{gd1}$ ,  $C_{gd2}$ ,  $a$ ,  $b$ ,  $c$ ,  $d$ ,  $V_m$ ,  $V_n$ ,  $V_p$ ,  $V_q$  représentant les différents paramètres à optimiser.

Les paramètres d'extraction des capacités non linéaires  $C_{gs}$  et  $C_{gd}$  sont présentés dans le Tableau II-6.

| <i>Capacité non linéaire C<sub>gs</sub></i> |                         | <i>Capacité non linéaire C<sub>gd</sub></i> |                         |
|---|-------------------------|---|-------------------------|
| $C_{gs0}$ (F)                               | 3.481 <sup>e</sup> -12  | $C_{gd0}$ (F)                               | 150.4 <sup>e</sup> -15  |
| $C_{gs1}$ (F)                               | 6.176 <sup>e</sup> -12  | $C_{gd1}$ (F)                               | 254.2 <sup>e</sup> -15  |
| a   | 2.139                   | c   | 0.181                   |
| $V_m$ (V)                                   | 2.440                   | $V_n$ (V)                                   | 37.1                    |
| $C_{gs2}$ (F)                               | -4.807 <sup>e</sup> -12 | $C_{gd2}$ (F)                               | -3.915 <sup>e</sup> -12 |
| b   | 1.06                    | d   | 0.096                   |
| $V_p$ (V)                                   | -0.337                  | $V_q$ (V)                                   | 2.35                    |

Tableau II-6 paramètres du modèle de capacités non linéaires.

La Figure II-12 présente la comparaison mesures/ modèle des capacités  $C_{gs}$  et  $C_{gd}$  extraites le long du cycle de charge estimé pour un fonctionnement en classe AB profonde.



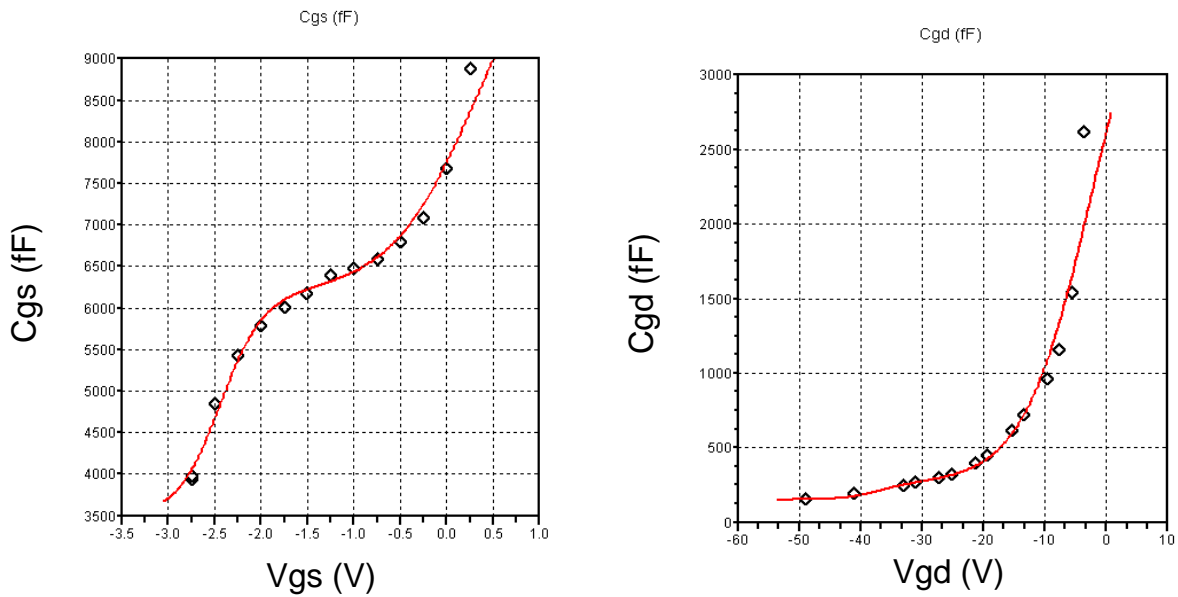


Figure II-12 Modèles des capacités non linéaires

#### IV.3.5. Application au transistor CGH60015D

L'optimisation des paramètres en fonction de la zone de fonctionnement du transistor est assurée par un outil d'ajustage des mesures I(V) développé dans notre équipe [68]. Nous employons le même algorithme d'optimisation que dans le cas de la recherche des paramètres extrinsèques.

Les valeurs des résistances  $R_g$ ,  $R_c$ , et  $R_d$  ont été déjà déterminées lors de l'extraction du modèle petit signal. Il apparaît un fort courant de fuite sur la grille. Ce comportement peut être modélisé en rajoutant une résistance entre la grille et le drain d'une valeur de 6.5 KOhms (Figure II-13).

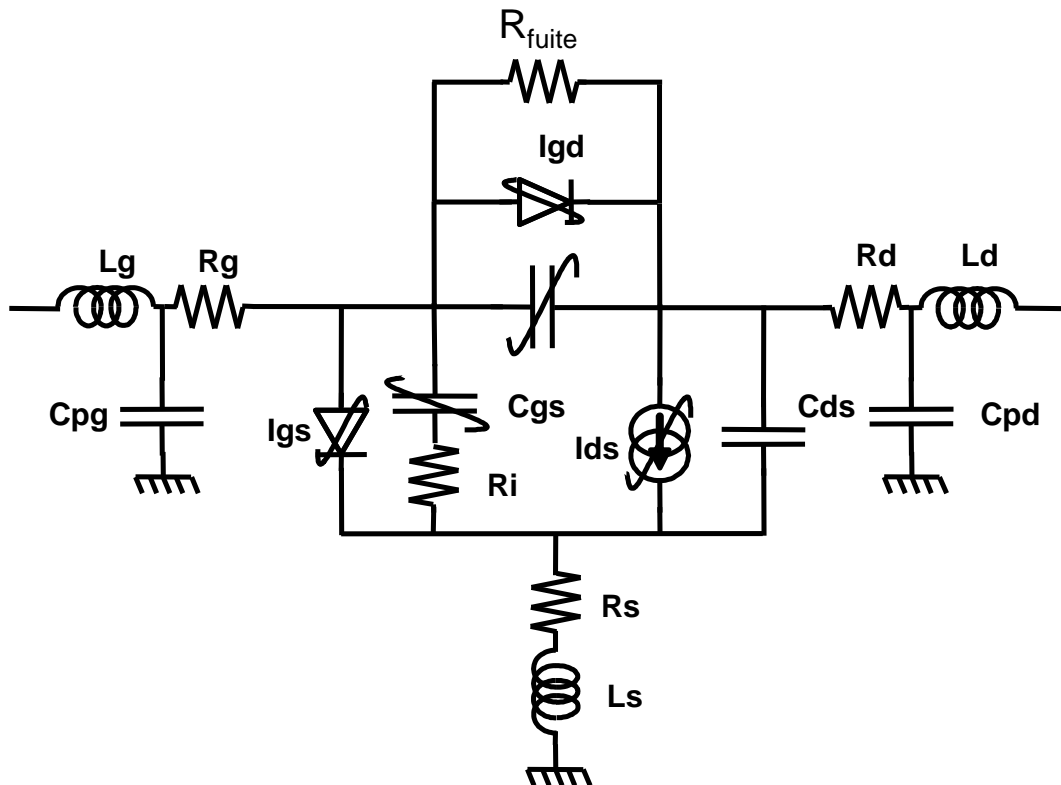


Figure II-13 Modèle non-linéaire convectif avec résistance de fuite de grille

Nous présentons à la Figure II-14 une comparaison de paramètres [S] entre les mesures et le modèle non linéaire du transistor CGH60015D au point de polarisation  $V_{ds0}=28V$  et  $I_{ds0}=200mA$ .

Ce modèle sera validé ensuite par des mesures load-pull CW basées sur l'utilisation d'un analyseur de réseaux vectoriel, mais aussi de façon plus originale par des mesures load-pull CW temporelles réalisées avec un LSNA (Large Signal Network Analyser).

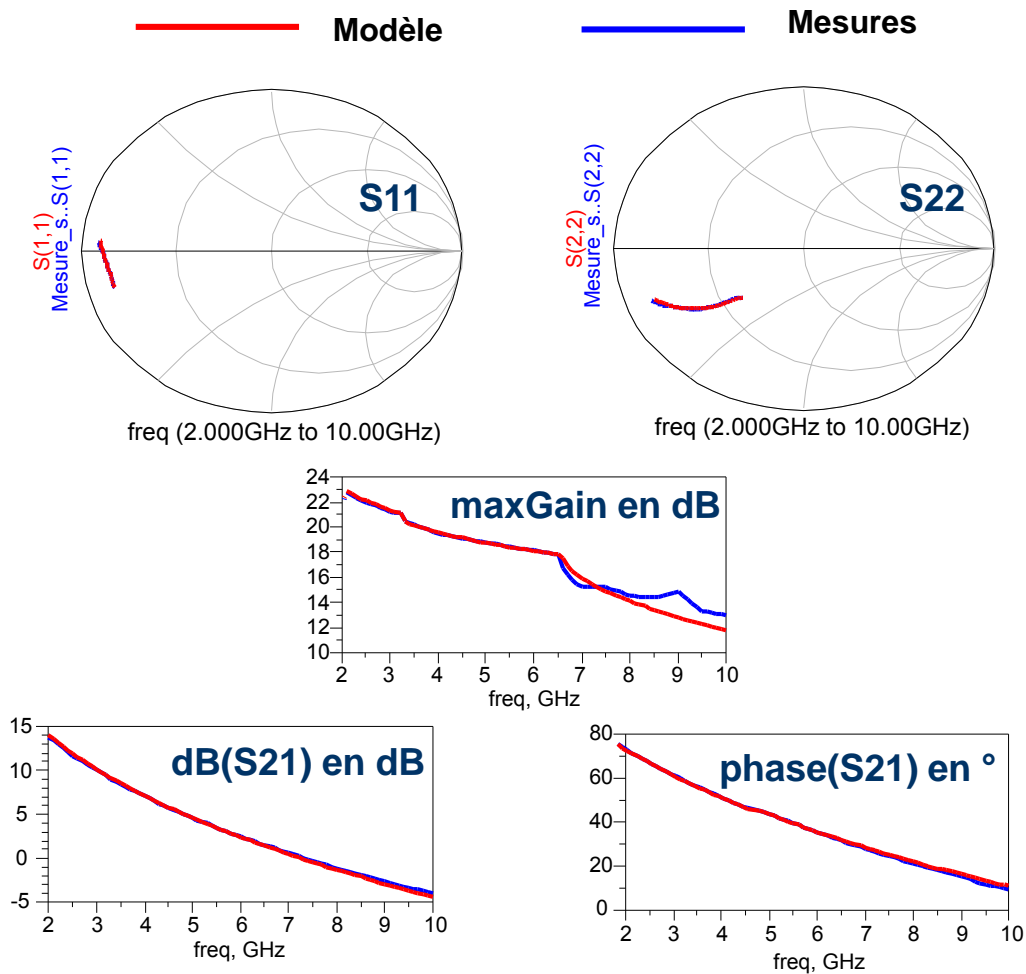


Figure II-14 Comparaison modèle-mesure de paramètre S du transistor CGH60015D.

## V. Validation du modèle

Pour valider le modèle du transistor CGH60015D, nous avons décidé de le caractériser sur un banc Load-Pull temporel [99][100] dont le schéma simplifié est donné Figure II-15.

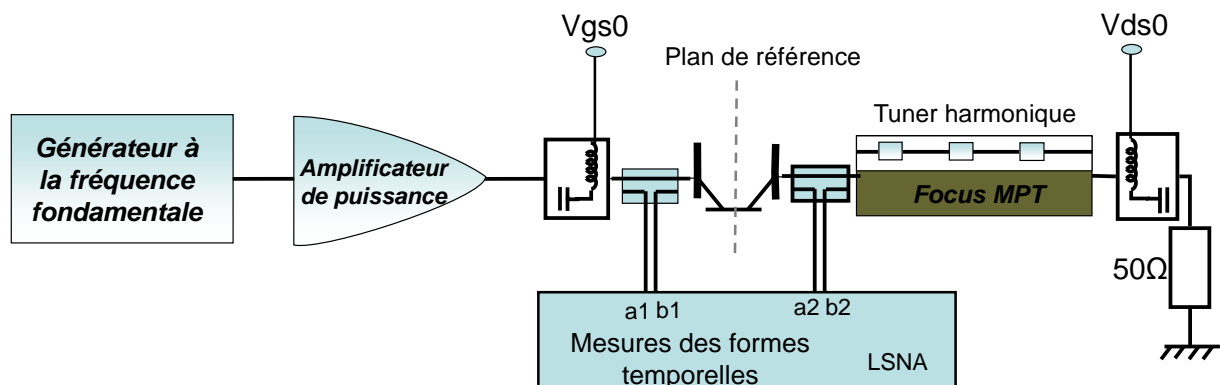


Figure II-15 Schéma simplifié de banc de mesure Load-pull temporel.

Le banc Load-pull temporel est basé sur l'utilisation de tuners passifs harmoniques qui permettent d'optimiser l'impédance de charge sur les trois premiers harmoniques (dans notre cas 2, 4 et 6 GHz). Un LSNA (Large Signal Network Analyser) permet de mesurer les ondes de tension et de courant dans les plans de référence après avoir effectué un calibrage SOLT sous pointe.

Le LSNA qui est un instrument de mesure basé sur un principe de sous échantillonnage harmonique permet l'acquisition de la forme temporelle de signaux micro-ondes périodiques. Des coupleurs permettent de mesurer les ondes entrantes et sortantes au plus près du composant sans trop perdre en capacité d'adaptation des composants avec le tuner. La source RF travaille en CW et le signal généré est amplifié.

Dans la configuration actuelle, la fréquence maximale pour le banc est d'environ 20 GHz. Dans notre cas les mesures se feront à une fréquence fondamentale égale à 2 GHz et les sept premiers harmoniques seront pris en compte.

Ce banc permet d'optimiser les conditions d'adaptation puis d'effectuer des mesures de puissance calibrées dans le plan des pointes (plans de référence), afin d'observer les performances du composant en fonction des impédances de charges présentées et du niveau de puissance du signal d'excitation.

### V.1. Mesures CW multi harmoniques :

Ce banc permet notamment de mesurer des performances classiques tels que la puissance d'entrée et la puissance de sortie, la puissance d'alimentation et le rendement en puissance ajouté. De plus le coefficient de réflexion en entrée du dispositif sera mesuré, ce qui nous permet de valider l'impédance d'entrée du transistor modélisé.

Enfin, cet outil de caractérisation permet d'observer l'évolution des caractéristiques de conversion AM/AM et AM/PM du transistor sous test en fonction de la puissance entrante dans le dispositif. Ces derniers critères permettent d'obtenir des informations importantes sur les performances en terme de linéarité.

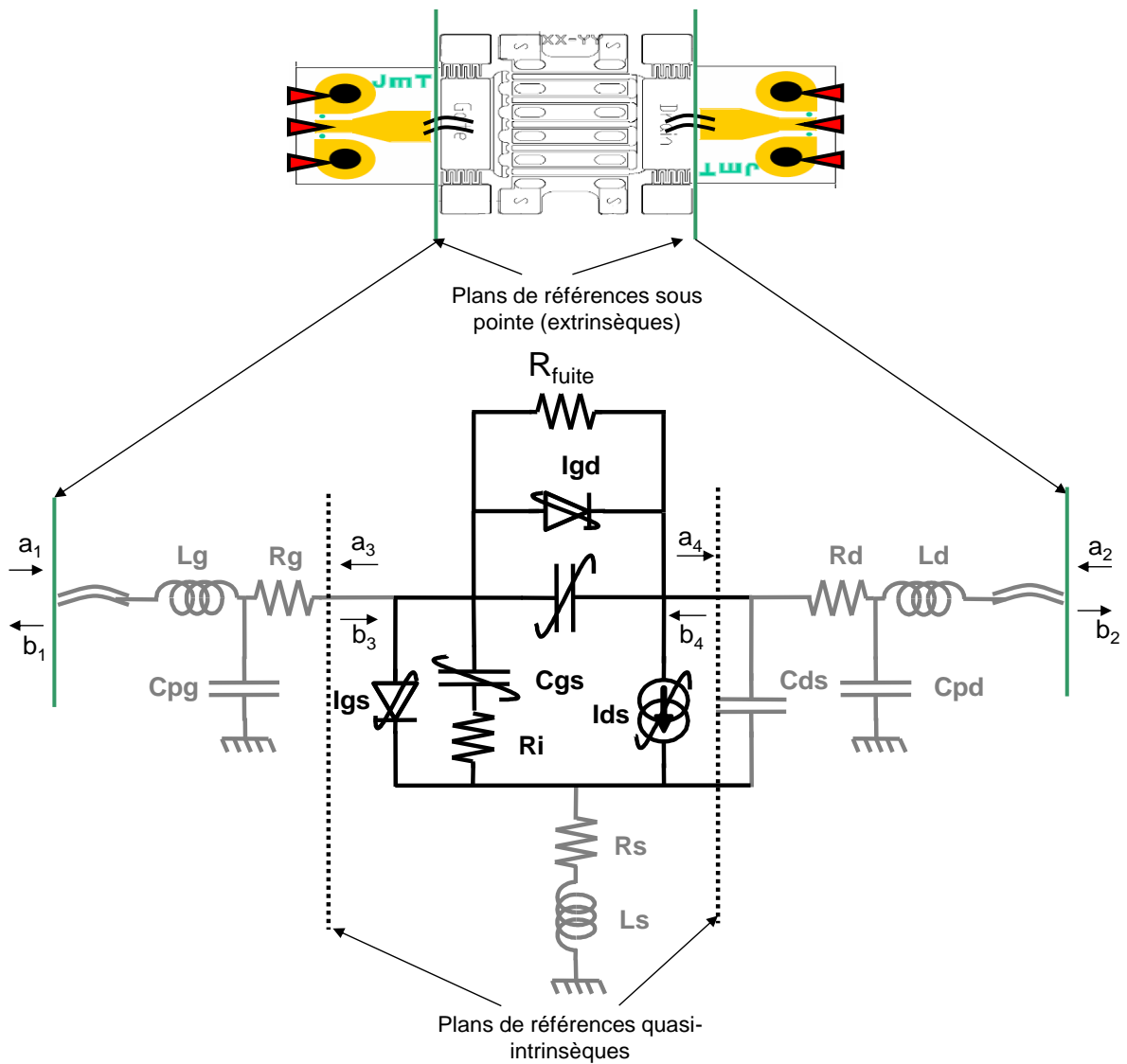


Figure II-16 Schéma du transistor et principe de de-embedding utilisé.

Les tensions et courants aux accès ( $V_1$ ,  $I_1$ ,  $V_2$ , et  $I_2$ ) sont déduits des mesures des ondes de puissance incidentes et réfléchies ( $a_1$ ,  $b_1$ ,  $a_2$ ,  $b_2$ ) à chaque fréquence d'intérêt. Les relations liant les ondes de puissance aux tensions et courants sont conformément aux pseudo-ondes définis dans [99]:

$$V_1 = a_1 + b_1 \quad \text{Équation II-10}$$

$$V_2 = a_2 + b_2 \quad \text{Équation II-11}$$

$$I_1 = \frac{a_1 + b_1}{Z_0} \quad \text{Équation II-12}$$

$$I_2 = \frac{a_2 + b_2}{Z_0} \quad \text{Équation II-13}$$

Le Tuner a été configuré pour obtenir les impédances optimales pour un maximum de rendement en puissance ajouté (PAE) en classe F (CC à  $2f_0$ ), en classe  $F^{-1}$  (CC à  $3f_0$ ) et en classe J (CO à  $2f_0$  et  $3f_0$ ).

En raison des pertes entre le transistor et le tuner, on s'approche au mieux des conditions de charge optimales. L'objectif principal ici est de valider le modèle. Les impédances identiques simulées et réglées en mesure sont indiquées Figure II-17, Figure II-18 et Figure II-19 correspondant respectivement pour les trois configurations F,  $F^{-1}$  et J.

La classe F est configurée par une faible impédance intrinsèque à  $2f_0$ , une haute impédance à  $3f_0$  et une impédance optimale résistive ( $Z_{int}(f_0)=38-j1.2\Omega$ ) à la fréquence fondamentale aux bornes de la source du courant.

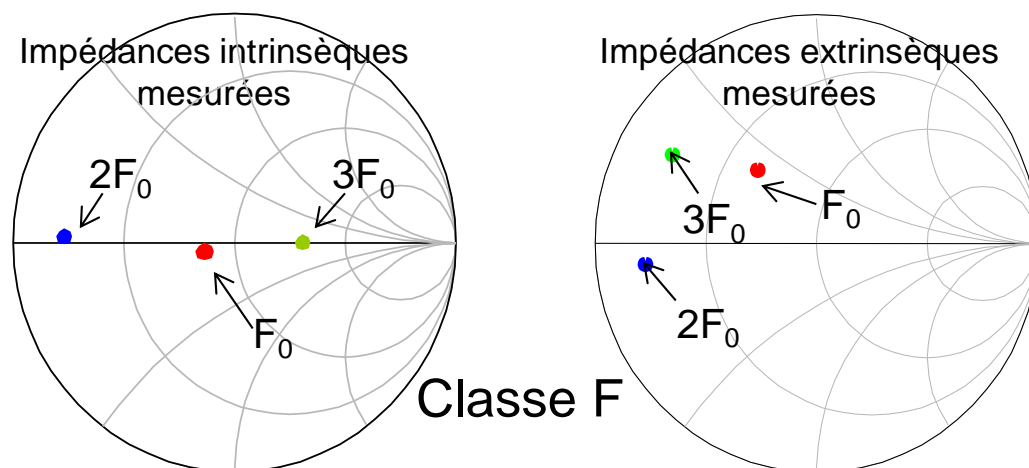


Figure II-17 Les impédances extrinsèques et celles épluchées dans les plans quasi-intrinsèques pour la classe F.

La classe  $F^{-1}$  est configurée par une faible impédance intrinsèque à  $3f_0$ , une haute impédance à  $2f_0$  et une impédance optimale résistive ( $Z_{int}(f_0)=40-j2\Omega$ ) à la fréquence fondamentale aux bornes de la source du courant .

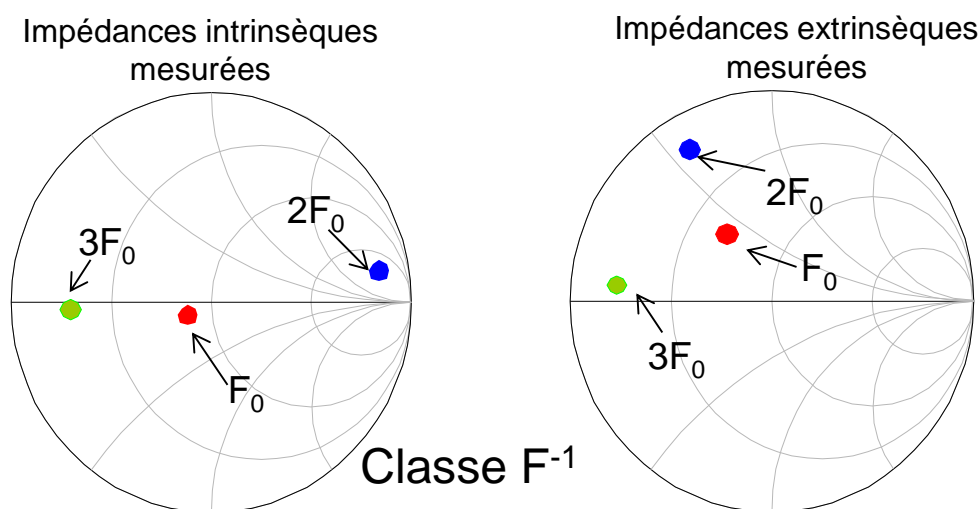


Figure II-18 Les impédances extrinsèques et celles épluchées dans les plans quasi-intrinsèques pour la classe  $F^{-1}$ .

La classe J est configurée par une haute impédance intrinsèque à  $2f_0$  et  $3f_0$  et une impédance optimale résistive ( $Z_{int}(f_0)=40-j2\Omega$ ) à la fréquence fondamentale aux bornes de la source du courant.

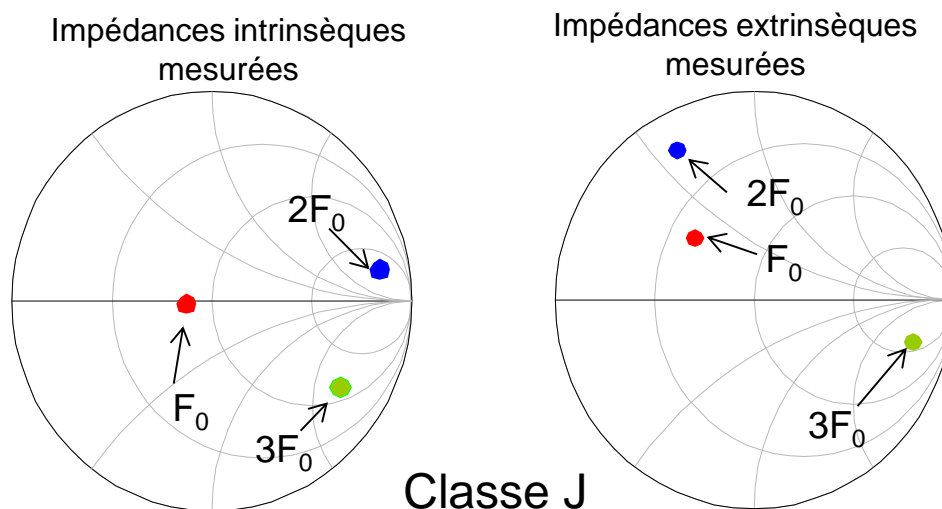


Figure II-19 Les impédances extrinsèques et celles épluchées dans les plans quasi-intrinsèques pour la classe J.

La mesure fort signal en mono porteuse a été effectuée à la fréquence de 2 GHz, sur le transistor HEMT CGH60015D 3.6mm, pour un point de polarisation de repos égal à  $V_{ds0} = 28$  V et  $I_{ds0} = 200$  mA. Des mesures d'AM/PM, AM/AM, de courant de drain moyen  $I_{ds0}$  et d'impédance d'entrée constituent une première étape de validation du modèle. Les courbes correspondant à la configuration en classe F sont données figures (Figure II-20, Figure II-21, Figure II-22, Figure II-23).

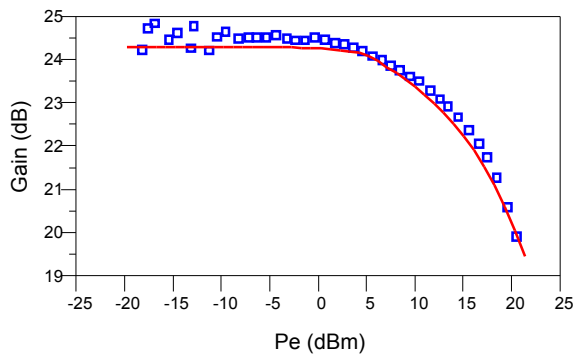


Figure II-20 Comparaison modèle mesures de la conversion AM/AM.

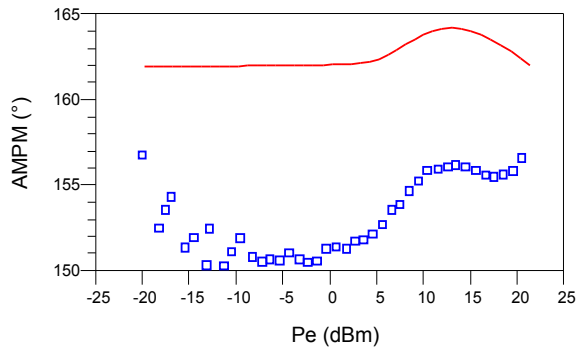


Figure II-21 Comparaison modèle mesures de la conversion AM/PM.

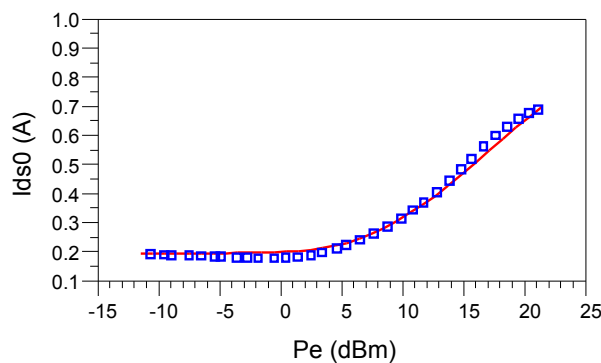


Figure II-22 Comparaison modèle mesure pour le courant de drain DC.



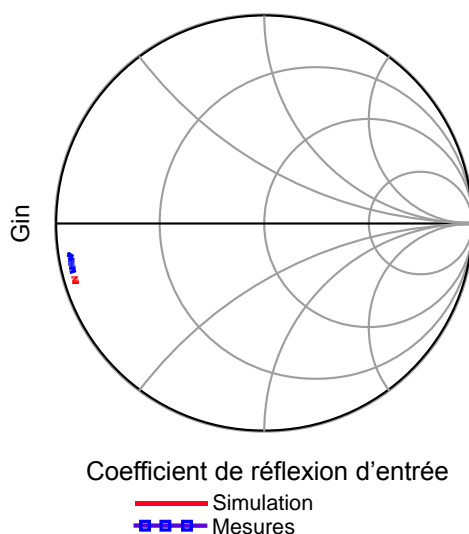


Figure II-23 Comparaison modèle mesure du coefficient de réflexion d'entrée du transistor.

Les caractéristiques en puissance et en rendement sont données (Figure II-24, Figure II-25, Figure II-26) pour les trois configurations de classes F, F inverse et J.

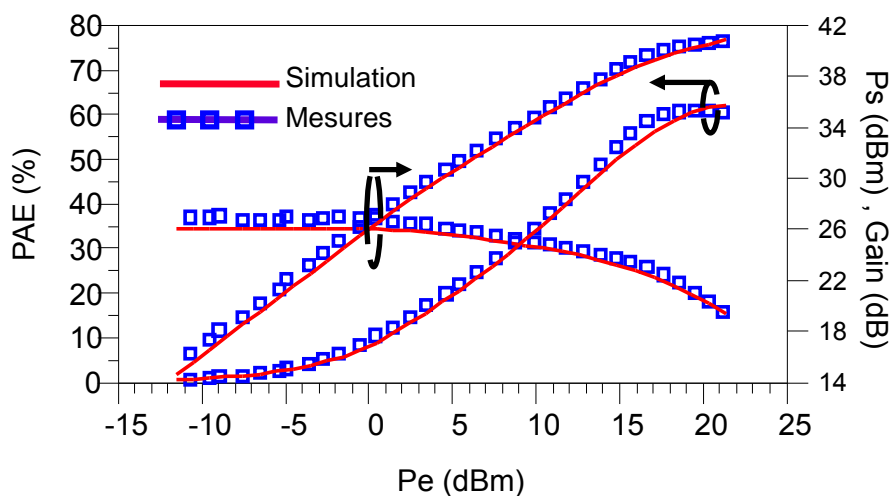


Figure II-24 Comparaison modèle mesure pour la puissance de sortie et le rendement en puissance ajouté en classe F.

Pour cette classe F, un maximum de rendement en puissance ajoutée de 62% est obtenu pour une puissance de sortie de l'ordre de 41.5 dBm et un gain petit signal de 25dB.

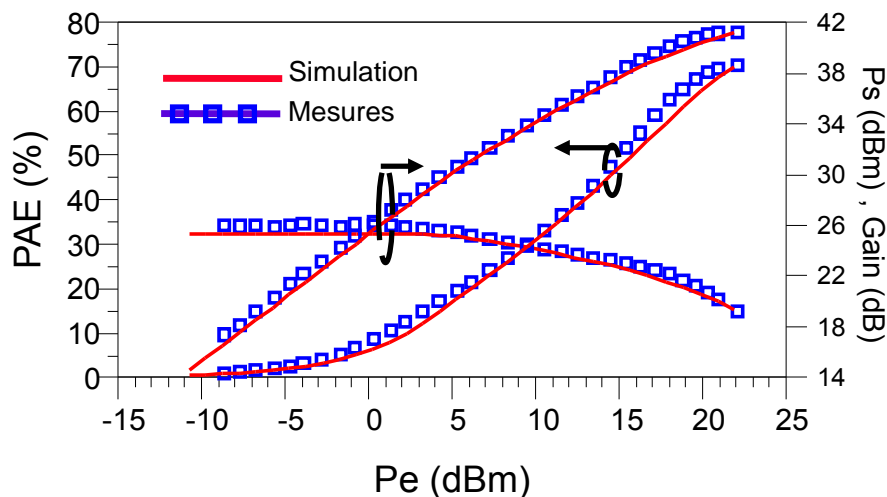


Figure II-25 Comparaison modèle mesure pour la puissance de sortie et le rendement en puissance ajouté en classe  $F^{-1}$ .

Pour cette classe  $F^{-1}$ , un maximum de rendement en puissance ajoutée de 70% est obtenu pour une puissance de sortie de l'ordre de 41.9 dBm et un gain petit signal de 25dB

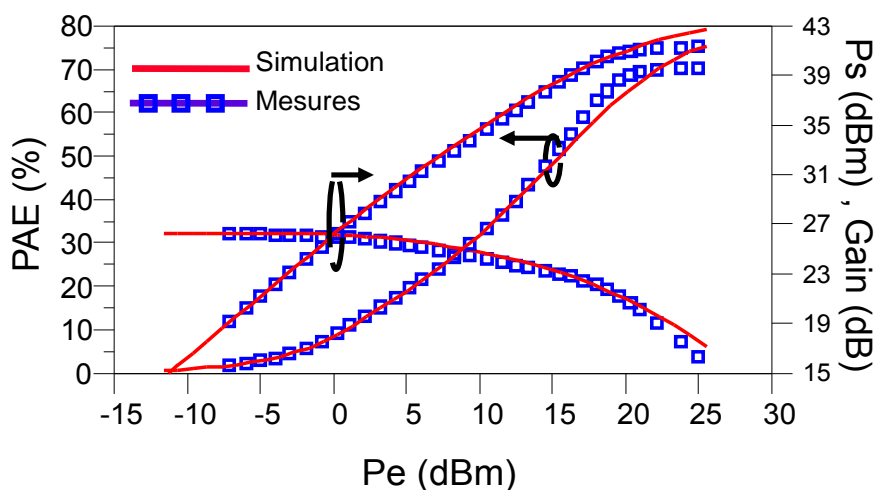


Figure II-26 Comparaison modèle mesure pour la puissance de sortie et le rendement en puissance ajouté en classe J.

Pour cette classe J, un maximum de rendement en puissance ajoutée de 71% est trouvé pour une puissance de sortie de l'ordre de 42.5 dBm et un gain petit signal de 25dB.

On obtient dans tous les cas de figure une bonne concordance entre les courbes mesurées et simulées ce qui constitue une bonne étape de validation de notre modèle.

## V.2. Formes d'ondes temporelles

Le modèle est validé finement pour les différentes classes de fonctionnement à haut rendement (F, F<sup>-1</sup> et J) avec des mesures de formes temporelles des tensions et courants. Les mesures sont faites dans le plan du fil de «bonding» (plans extrinsèques de la Figure II-16). Ces mesures sont ensuite épluchées dans le plan quasi-intrinsèque par des calculs utilisant les paramètres [S] 4 accès des éléments extrinsèques linéaires du modèle du transistor.

Les ondes de tension et courant aux plans quasi-intrinsèques (a<sub>3</sub>, b<sub>3</sub>, a<sub>4</sub>, b<sub>4</sub>) indiquées Figure II-16 sont extraites par épluchage des éléments linéaires du transistor.

Les formes de tension et courant de drain dans les plans quasi-intrinsèques sont calculées en utilisant les équations suivantes [99]:

$$V_{ds,int} = a_4 + b_4 \quad \text{Équation II-14}$$

$$I_{ds,int} = \frac{(b_4 - a_4)}{50} \quad \text{Équation II-15}$$

Avec a<sub>4</sub> et b<sub>4</sub> les ondes de tension et de courant calculées dans les plans quasi-intrinsèques à partir des ondes de tension et de courant (a<sub>1</sub>, b<sub>1</sub>, a<sub>2</sub>, b<sub>2</sub>) et les paramètres de transfert T<sub>ij</sub> calculés pour les éléments linéaires épluchés.

$$\begin{pmatrix} b_1 \\ b_2 \\ b_3 \\ b_4 \end{pmatrix} = \begin{pmatrix} S_{11} & S_{12} & S_{13} & S_{14} \\ S_{21} & S_{22} & S_{23} & S_{24} \\ S_{31} & S_{32} & S_{33} & S_{34} \\ S_{41} & S_{42} & S_{43} & S_{44} \end{pmatrix} \cdot \begin{pmatrix} a_1 \\ a_2 \\ a_3 \\ a_4 \end{pmatrix} \quad \text{Équation II-16}$$

Après une simulation des paramètres [S], on extrait les paramètres [T] qui nous permettent de calculer les ondes dans les plans quasi-intrinsèques (a<sub>3</sub>, b<sub>3</sub>, a<sub>4</sub>, b<sub>4</sub>) à partir des ondes mesurées dans les plans calibrés extrinsèques (plan des pointes) a<sub>1</sub>, a<sub>2</sub>, b<sub>1</sub>, b<sub>2</sub>.

$$\begin{pmatrix} a_3 \\ b_3 \\ a_4 \\ b_4 \end{pmatrix} = \begin{pmatrix} T_{11} & T_{12} & T_{13} & T_{14} \\ T_{21} & T_{22} & T_{23} & T_{24} \\ T_{31} & T_{32} & T_{33} & T_{34} \\ T_{41} & T_{42} & T_{43} & T_{44} \end{pmatrix} \cdot \begin{pmatrix} a_1 \\ b_1 \\ a_2 \\ b_2 \end{pmatrix} \quad \text{Équation II-17}$$

$$\begin{aligned} a_3 &= T_{11}.a_1 + T_{12}.b_1 + T_{13}.a_2 + T_{14}.b_2 \\ b_3 &= T_{21}.a_1 + T_{22}.b_1 + T_{23}.a_2 + T_{24}.b_2 \end{aligned} \quad \text{Équation II-18}$$

$$\begin{aligned} a_4 &= T_{31}.a_1 + T_{32}.b_1 + T_{33}.a_2 + T_{34}.b_2 \\ b_4 &= T_{41}.a_1 + T_{42}.b_1 + T_{43}.a_2 + T_{44}.b_2 \end{aligned} \quad \text{Équation II-19}$$

Le calcul des paramètres [T] est donné en *annexe*.

Les ondes dans les plans quasi-intrinsèques sont ensuite calculées.

La comparaison entre les formes temporelles mesurées et épluchées et les résultats de simulation dans les plans quasi intrinsèques est montrée Figure II-27, Figure II-28 et Figure II-29.

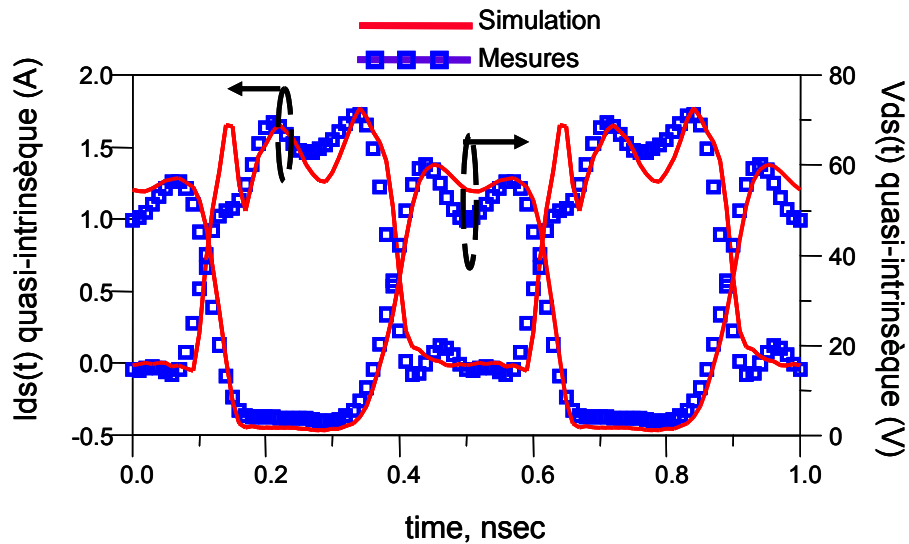


Figure II-27 Formes temporelles de tension et courant de drain en classe F.

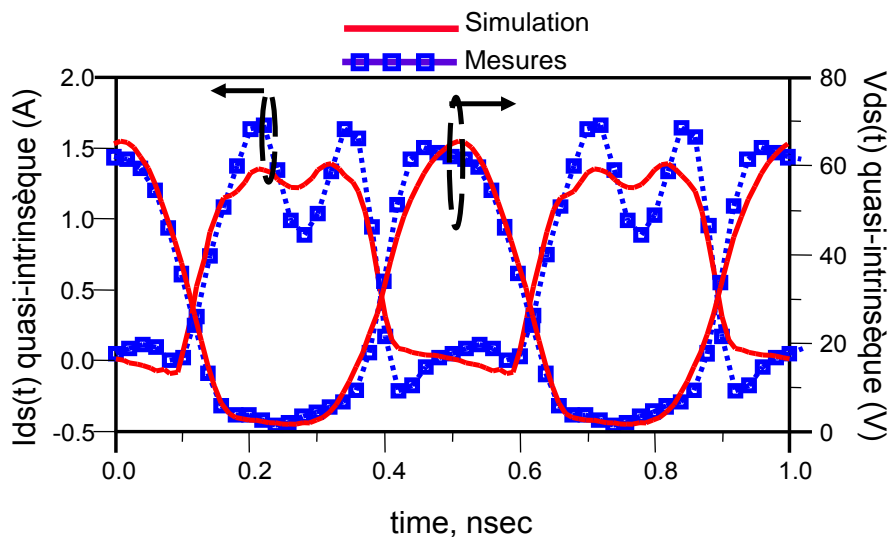


Figure II-28 Formes temporelles de tension et courant de drain en classe  $F^{-1}$ .

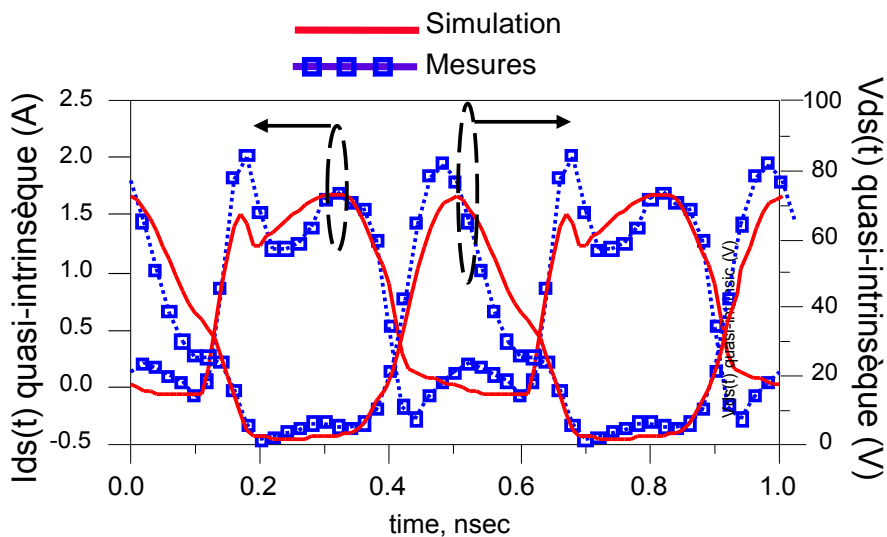


Figure II-29 Formes temporelles de tension et courant de drain en classe J.

La forme temporelle de la tension grille source  $V_{gs}(t)$  est aussi épluchée et tracée Figure II-30 dans le cas de la classe F.

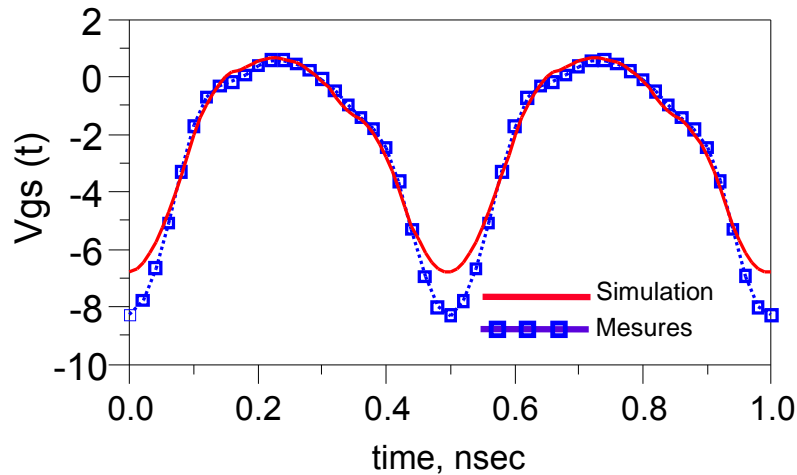


Figure II-30 La forme temporelle de la tension de grille mesurée et simulée.

La bonne concordance entre les formes mesurées et simulées valide finement le modèle du transistor ce qui constitue une étape majeure dans l'optique de la simulation et de la conception d'un amplificateur à haut rendement.

## VI. Conclusion

Nous avons présenté dans cette partie les étapes et travaux de modélisation et de validation approfondie du modèle d'une puce CREE 3.6mm. Lors de la phase de modélisation, c'est le banc de mesures en impulsions qui permet d'obtenir toutes les informations nécessaires. Le banc de mesures Load-Pull temporel permet de vérifier l'extraction des modèles en donnant la possibilité de comparer les caractéristiques grand signal avec des simulations effectuées dans les mêmes conditions d'impédances de charge aux harmoniques.

Les mesures épluchées pour les classes de fonctionnement à haut rendement nous ont permis de valider les formes temporelles des courants et tensions associés. La confiance ainsi acquise dans les formes de signaux simulés est importante pour les travaux d'analyse et de conception qui font l'objet de la suite de ce manuscrit.

**CHAPITRE III *ANALYSE DE L'AMELIORATION DES  
PERFORMANCES EN RENDEMENT PAR  
PREFORMATION DE LA TENSION DE COMMANDE.***





## I. Introduction:

La fin du chapitre I (paragraphe IV) a présenté le principe de réduction d'angle d'ouverture d'un transistor accompagné d'une amélioration des performances en rendement par la préformation de la tension de grille. La forme de tension de grille favorable, qui a l'allure d'une demi-sinusoïde est obtenue en injectant en entrée du transistor une composante à l'harmonique 2. Naturellement cette composante de tension de grille à l'harmonique 2 va générer une part de courant de drain à l'harmonique 2. Il est souhaitable que ce courant ne contribue pas à une modification arbitraire de la forme temporelle de la tension de drain qui est fonction des impédances présentées par le circuit de charge aux harmoniques. Il serait antagoniste d'agir sur une part du courant de drain à l'harmonique 2 par l'injection d'harmonique 2 en entrée et d'associer un circuit de charge haute impédance (typiquement circuit ouvert) à l'harmonique 2, s'opposant naturellement à l'existence du courant. Cela conduirait à une déformation de la forme de tension de drain pour satisfaire à la condition de courant quasi nul à l'harmonique 2 et par conséquent à une chute de performances aussi bien en puissance de sortie qu'en rendement. Nous montrerons cet aspect dans un prochain paragraphe de ce chapitre. Par conséquent cette technique de préformation de la tension de grille par injection d'harmonique 2 peut être associée à une configuration de circuit de charge présentant une basse impédance (typiquement un court-circuit) à l'harmonique 2 pour qu'une modification de courant à cette harmonique ne modifie pas la forme temporelle de tension de drain. D'après les descriptions faites au chapitre I, on peut donc associer cette technique à un fonctionnement soit en classe AB soit en classe F. Nous allons l'appliquer au cas de la classe F qui permet d'optimiser les performances en rendement. Nous allons dans ce chapitre faire l'étude par la simulation en utilisant le modèle non linéaire du transistor CREE développé au chapitre II. Une simulation des conditions d'impédances de charge et de source passives sera effectuée avant d'analyser la mise en œuvre de la solution d'injection active d'harmonique 2 en entrée qui constitue le cœur de l'étude. Quelques points importants de l'étude seront validés par la mesure de formes d'ondes temporelles effectuées sous pointe sur la puce.

## II. Simulation source et load pull harmonique

La recherche des zones de fonctionnement favorables vis à vis des impédances de fermeture aux harmoniques est faite selon le schéma de principe de la Figure III-1:

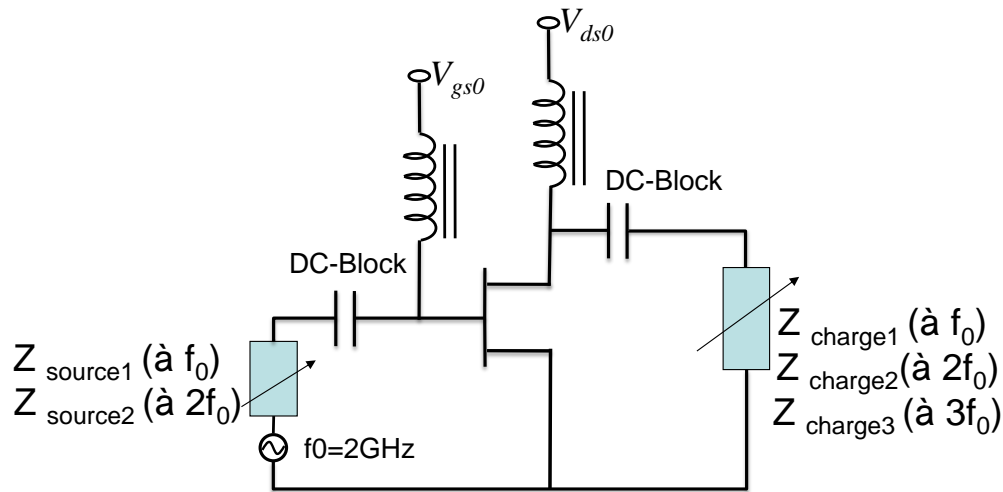


Figure III-1 Schéma de principe de simulation Source-pull et Load-pull

Nous optimiserons le fonctionnement autour d'un point de polarisation de type classe AB. ( $V_{gs0}=-2.3V$ ;  $V_{ds0}=28V$ ;  $I_{ds0}=200mA$ ). Les variations des impédances de fermeture aux différentes fréquences seront faites sous le logiciel ADS en utilisant des boîtes d'impédances logicielles idéales. La détection des zones optimales se fera au moyen du tracé de contours à puissance et à rendement constants. L'analyse des causes des bonnes ou moins bonnes performances se fera en visualisant les formes d'ondes temporelles des courants et tensions intrinsèques et des cycles de charge associés.

## II.1. Localisation des zones d'impédances de charges favorables aux harmoniques 2 et 3.

Dans un premier temps on fixe l'impédance de source à 50 ohms. L'impédance de charge au fondamental est également fixée à 50 ohms. Un balayage de l'impédance de charge à l'harmonique 2 lorsque l'harmonique 3 est fermé sur 50 ohms est effectué. Les résultats de contours à puissance de sortie et à rendement en puissance ajoutée constants sont donnés Figure III-2.

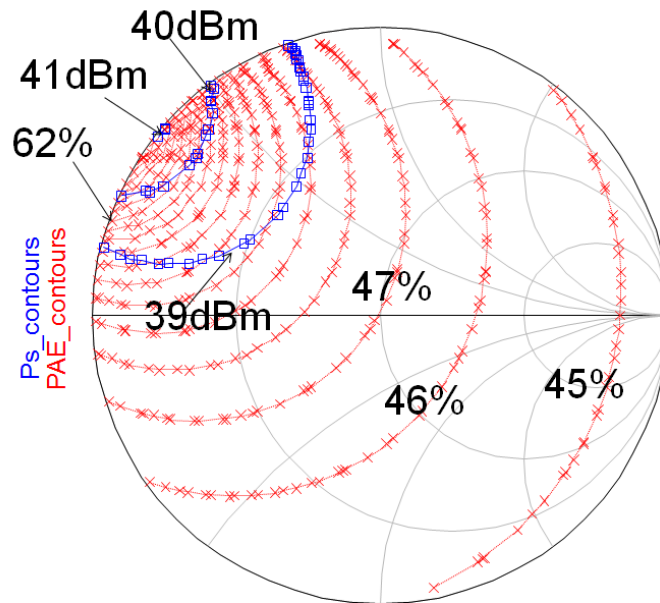


Figure III-2 Simulation load-pull à  $2f_0$  (Impédances extrinsèques).

Ces résultats permettent de localiser la zone de charge à l'harmonique 2 favorable. Par la suite au cours des diverses simulations, les variations d'impédances à l'harmonique 2 seront confinées dans la zone optimale.

Ensuite la même démarche est effectuée pour l'impédance de charge à l'harmonique 3. Dans ce cas l'impédance de charge présentée à  $f_0$  et  $2f_0$  est égale à 50 ohms. Les résultats de simulation de contours d'impédances à puissance de sortie constante et à rendement en puissance ajouté constant sont donnés Figure III-3.

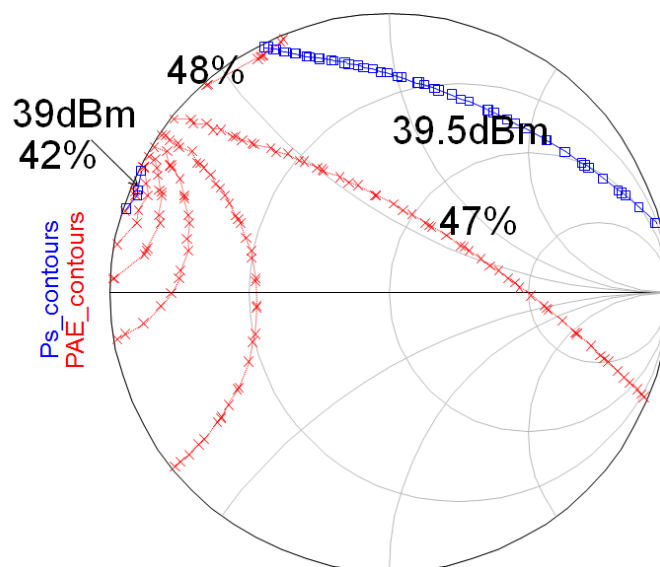


Figure III-3 Simulation load-pull à  $3f_0$  (Impédances extrinsèques).

Par la suite une optimisation de l'impédance de charge au fondamental va être faite et des retours successifs sur des réglages affinés des impédances de charge aux harmoniques dans les zones favorables montrées Figure III-2 et Figure III-3 seront nécessaires.

## II.2. Lieux d'impédances de charges aux trois harmoniques.

Les lieux des impédances de charge extrinsèques à la fréquence fondamentale à rendement et à puissance constants sont présentés Figure III-4. Un compromis entre le rendement en puissance ajoutée et la puissance de sortie est nécessaire pour un fonctionnement optimal.

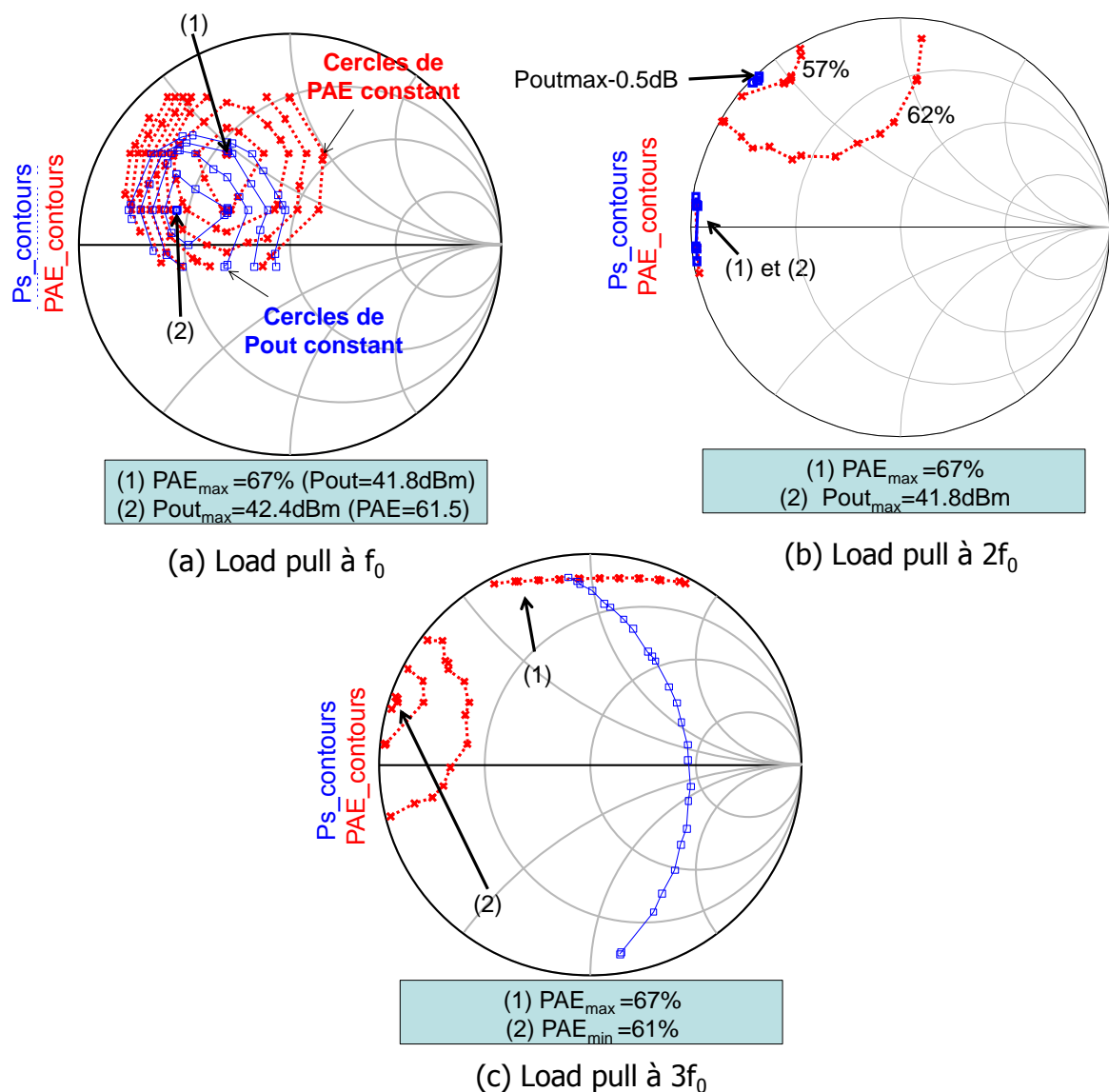


Figure III-4 Load-pull à la fréquence fondamentale (a), l'harmonique 2 (b) et à l'harmonique 3 (c) pour un fonctionnement en classe F.

Cette simulation nous a permis de choisir l'impédance de charge optimale à  $f_0$ ,  $2f_0$  et  $3f_0$ . Pour avoir un compromis entre la puissance de sortie maximale et le rendement en puissance ajouté maximal. Les formes temporelles de la tension et du courant de drain intrinsèques du transistor sont tracées (Figure III-5) pour les deux points ((1) et (2)) des impédances de charge montré en Figure III-4(a). Le point d'impédance (1) présente un fonctionnement au maximum de PAE et le point (2) présente un fonctionnement au maximum de puissance de sortie.

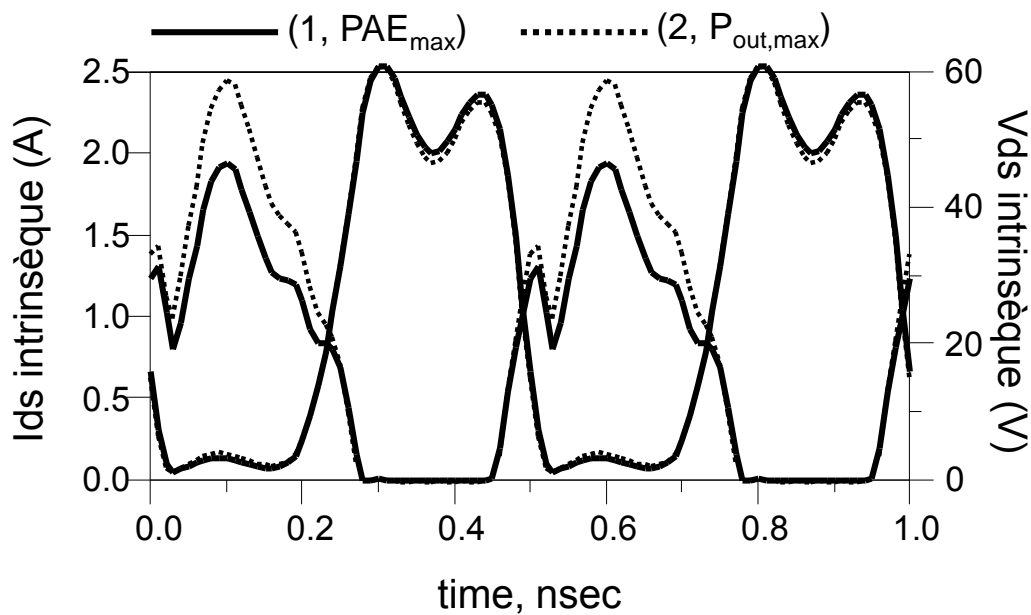


Figure III-5 Formes d'ondes temporelles de tension et courant de drain.

Ces deux points (1) et (2) correspondant aux cycles de charge intrinsèques (1) et (2) donnés Figure III-6.

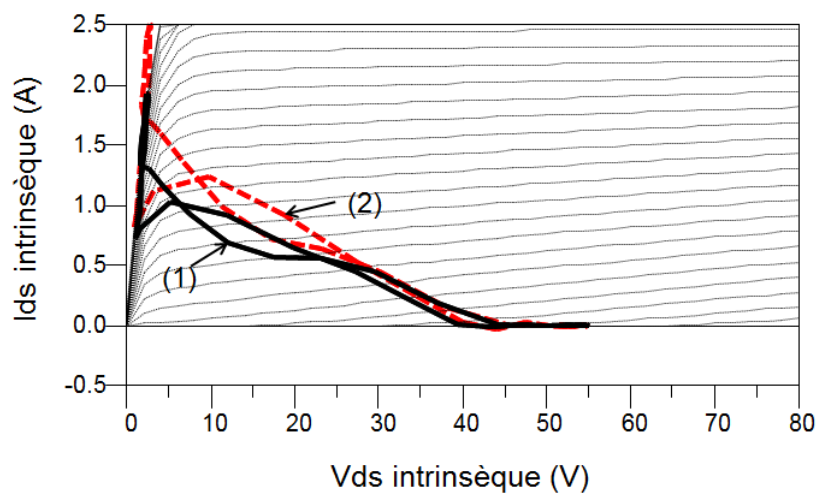


Figure III-6 Cycles de charge intrinsèques.

### II.3. Variations de position des impédances optimales en fonction de la fréquence.

Une simulation load-pull a été faite sur une plage de fréquence allant de 1.6GHz à 2.4GHz, pour chercher le lieu de l'impédance optimale autour de la fréquence de fonctionnement 2GHz. Le résultat est montré Figure III-7.

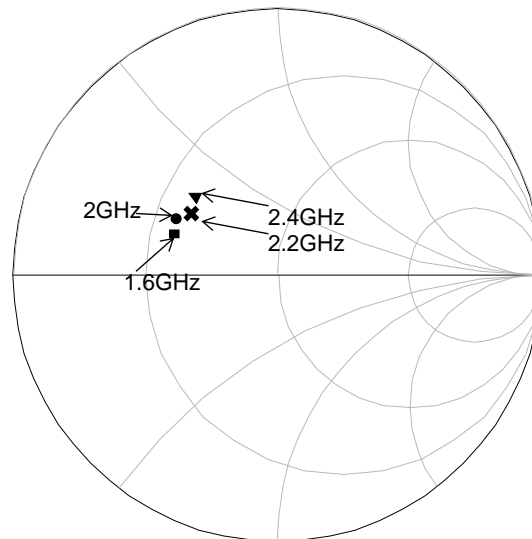


Figure III-7 Impédances de charge optimales à  $f_0$  entre 1.6GHz-2.4GHz.

Les performances obtenues lors de cette étude sont présentées Tableau III-1.

| Freq (GHz) | PAE (%) | Ps (dBm) |
|------------|---------|----------|
| 1.6        | 70.5    | 42.4     |
| 1.8        | 69      | 42.1     |
| 2          | 67      | 41.9     |
| 2.2        | 66.6    | 41.75    |
| 2.4        | 64      | 41.6     |

Tableau III-1 Performances du transistor pour un fonctionnement optimal aux fréquences entre 1.6GHz-2.4GHz.

#### II.4. Influence de l'impédance de source à l'harmonique 2.

En fixant les conditions de charge optimales mises en évidence précédemment nous allons maintenant procéder à une variation de l'impédance de source à l'harmonique 2 et observer l'impact sur les performances en puissance et en rendement.

Le graphique de la Figure III-8 montre à la fois l'importance et la très grande sensibilité de cette impédance de fermeture en entrée. En effet on peut remarquer que l'endroit correspondant à l'optimum de rendement (PAE= 77%) est voisin de l'endroit correspondant à une chute drastique de performances (PAE = 32 %). Il serait donc très risqué de prévoir une synthèse et une réalisation de circuit dans la zone de sensibilité extrême au voisinage de l'optimum. Mieux vaut donc accepter une diminution de performance.

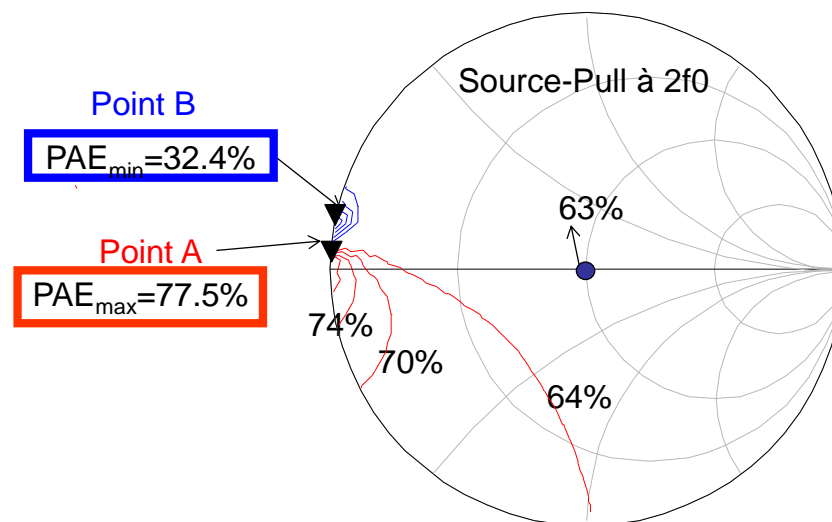


Figure III-8 Source-pull à l'harmonique 2 (configuration de charge en classe F).

Par contre ce phénomène extrêmement pointu d'optimisation du rendement mais inutilisable pratiquement car s'apparentant à un phénomène de 'SPOT' très localisé est souvent rapporté dans la bibliographie pour communiquer sur les potentialités en rendement d'une technologie donnée [28].

En revanche il est relativement instructif d'observer les formes d'ondes temporelles et leurs différences notoires entre les cas favorables et les cas défavorables pour le rendement.

C'est ce qui est montré Figure III-9 et Figure III-10 pour trois cas très distincts.

- (a). Pire cas, (point B de la Figure III-8).
- (b). Impédance de source à  $2f_0$  est  $50\Omega$ .
- (c). Impédance de source à  $2f_0$  est un court-circuit (point A de la Figure III-8).

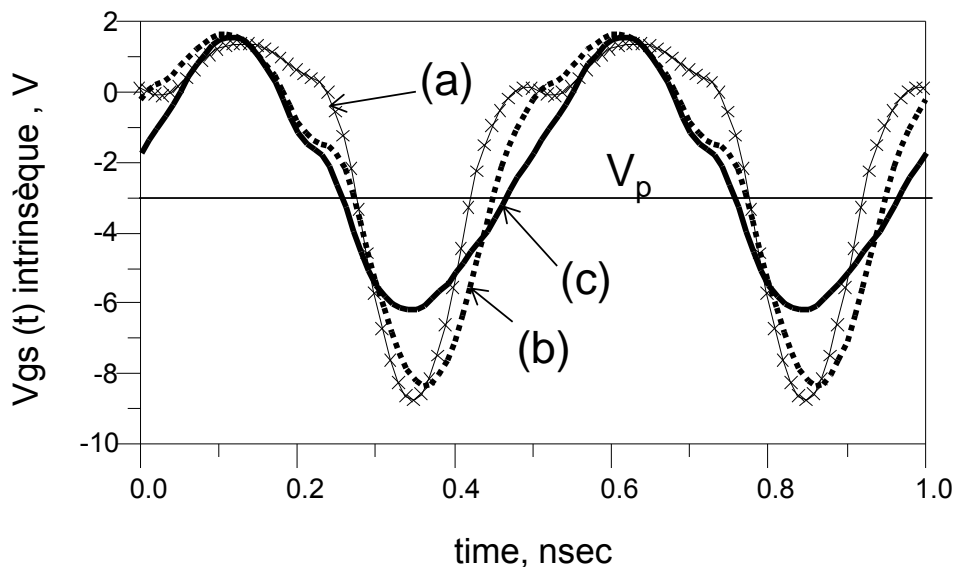


Figure III-9 Formes de tension d'entrée pour les trois configurations de l'impédance de source.

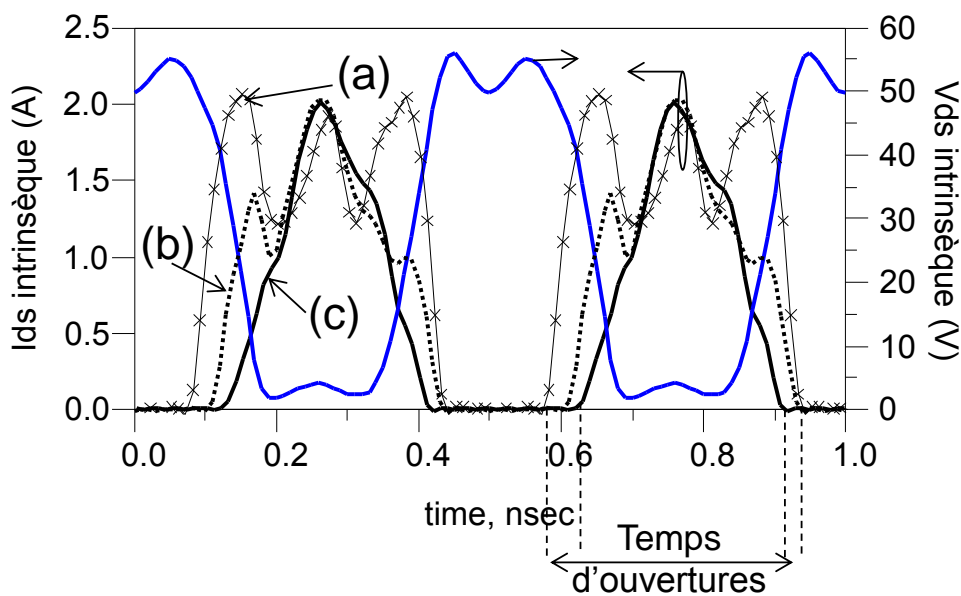


Figure III-10 Formes temporelles de tension/courant intrinsèques des trois configurations.

On remarque très clairement que le cas favorable pour le rendement est celui pour lequel le temps d'ouverture de la source de courant de drain est le plus faible ce qui explique une baisse du courant moyen  $I_{dso}$  et donc de la consommation. C'est cet effet qui améliore la performance en rendement. Ces formes d'ondes sont celles obtenues à fort niveau en compression.



Les correspondances de ces trois cas de formes ondes, en terme de cycle de charge sont montrées Figure III-11.

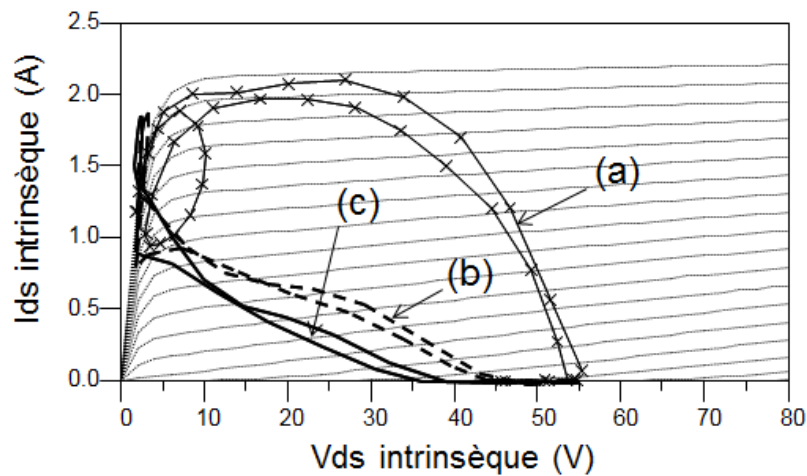


Figure III-11 Cycles de charge des trois configurations.

### III. Application du principe de préformation de la tension de grille par injection d'harmonique 2 en entrée du transistor :

Afin d'améliorer les performances en rendement une injection active de composante à l'harmonique 2 en entrée est effectuée pour obtenir une forme de tension demi sinusoïdale comme mentionnée en fin de chapitre I. L'amplificateur avec un circuit de charge de type classe F optimisée décrit précédemment est complété par une injection de tension de commande de grille comme représenté sur le graphique de la Figure III-12:

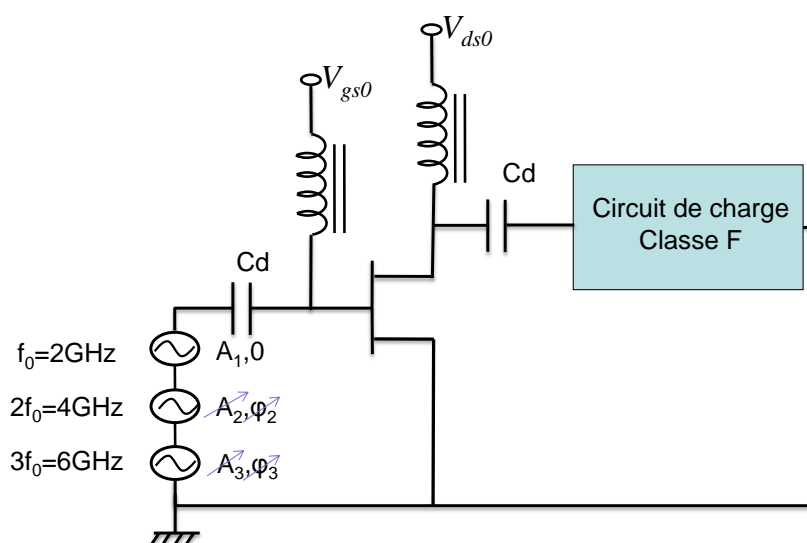


Figure III-12 Schéma de simulation de l'injection d'entrée.

On cherche à optimiser le rapport ( $I_{ds1}/I_{ds0}$ ) de la forme temporelle de courant du drain.

Une forme temporelle de tension de grille demi-sinusoïdale correctement calée par rapport à la valeur de la tension de pincement permet de réduire le temps pendant lequel le transistor conduit. Ceci réduit le temps de coexistence entre la tension et le courant de drain minimisant ainsi la puissance dissipée par le composant. La forme temporelle de la tension de commande grille source  $V_{gs}(t)$  est donnée Figure III-13 pour trois configurations distinctes.

- (a). Avec une impédance de source à  $2f_0$  égale à  $50\Omega$ .
- (b). Avec une impédance de source à  $2f_0$  égale à un court-circuit (quart d'onde de polarisation).
- (c). Avec une injection active d'harmonique 2 pour maximiser le rendement.

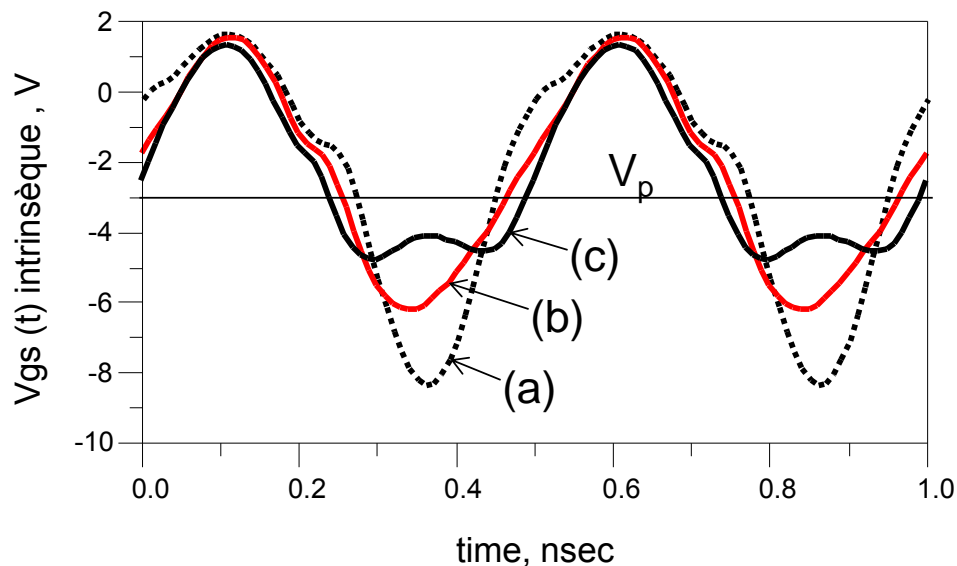


Figure III-13 Tension de commande d'entrée  $V_{gs}(t)$

La Figure III-13 montre l'effet de la réduction du temps pendant lequel la tension de grille est supérieure à la tension de pincement  $V_p$ . L'amplitude de la tension de grille nécessaire à l'harmonique 2 ( $V_{gs2}$ ) est de l'ordre de un cinquième de l'amplitude de la tension de grille au fondamental ( $V_{gs1}$ ). La valeur du déphasage approprié entre les composantes de la tension intrinsèque de grille au fondamental et à l'harmonique 2 est voisin de 0 degré.

La Figure III-14 montre les formes temporelles de tension et courant de drain correspondant aux trois cas (a), (b), (c).

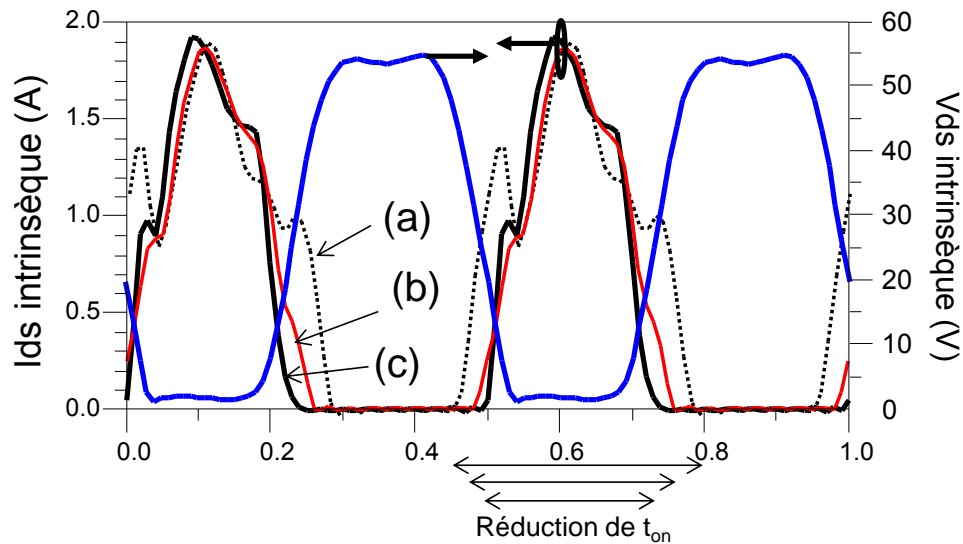


Figure III-14 Tension et courant intrinsèques de drain pour les trois configurations.

On peut remarquer assez clairement l'effet bénéfique de l'injection d'harmonique 2 sur la diminution du temps de coexistence du courant et de la tension de drain.

Les cycles de charge simulés dans les trois configurations de la tension  $V_{gs}(t)$  montrent que l'injection de H2 en entrée nous permet de réaliser une transition plus rapide entre les deux états ON (maximum de courant et tension minimale) et OFF (maximum de la tension et courant nul).

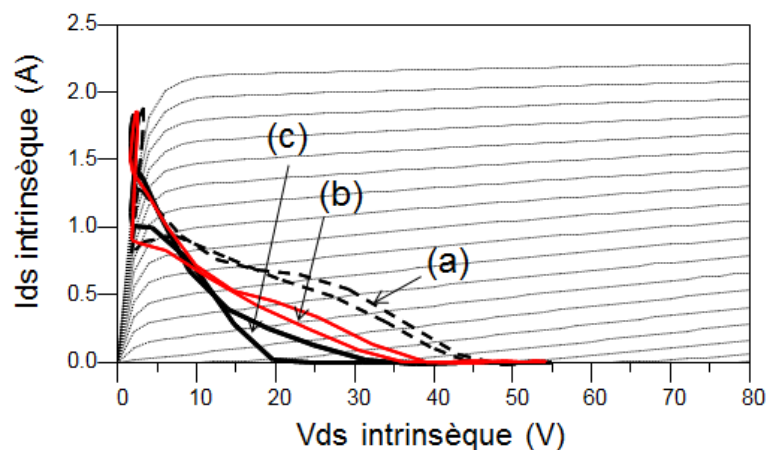


Figure III-15 Cycles de charge simulés pour une classe F pour les trois configurations.

Pour observer l'effet de cette technique sur l'amélioration du rendement sans altérer les performances en puissance de sortie, nous avons tracé séparément les valeurs des tensions et courant de sortie au fondamental et au continu en fonction des variations de la puissance d'entrée au fondamental. Pour ce faire le générateur d'excitation d'entrée est

$$E_g(t) = E_{g1} (\cos(\omega t) + k_2 \cos(2\omega t)) \quad \text{avec } k_2 = 1/5.$$

On effectue un balayage de l'amplitude  $E_{g1}$ .

Les résultats de simulation sont montrés Figure III-16 et Figure III-17 :

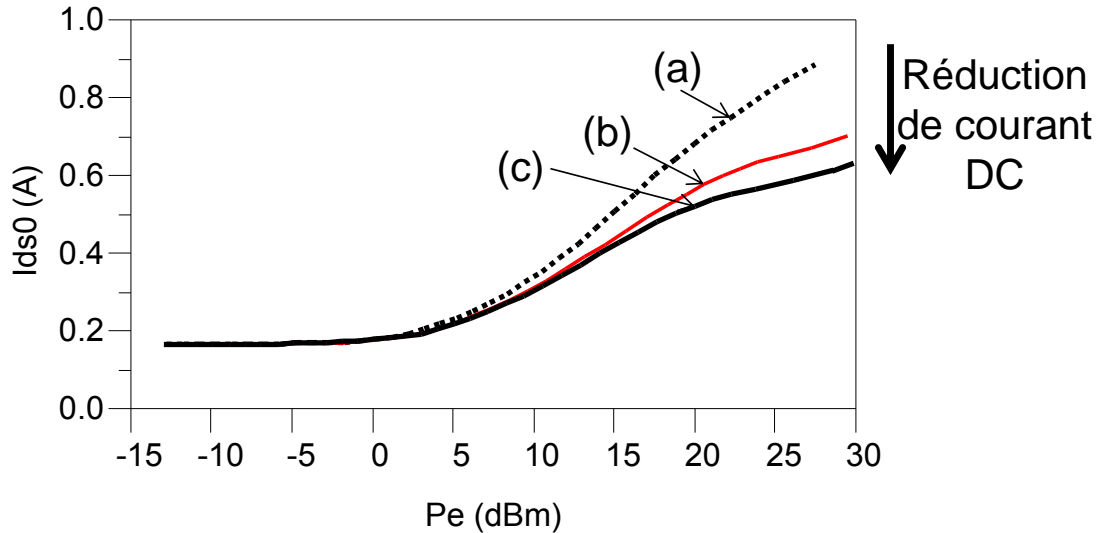


Figure III-16 Courant DC de drain.

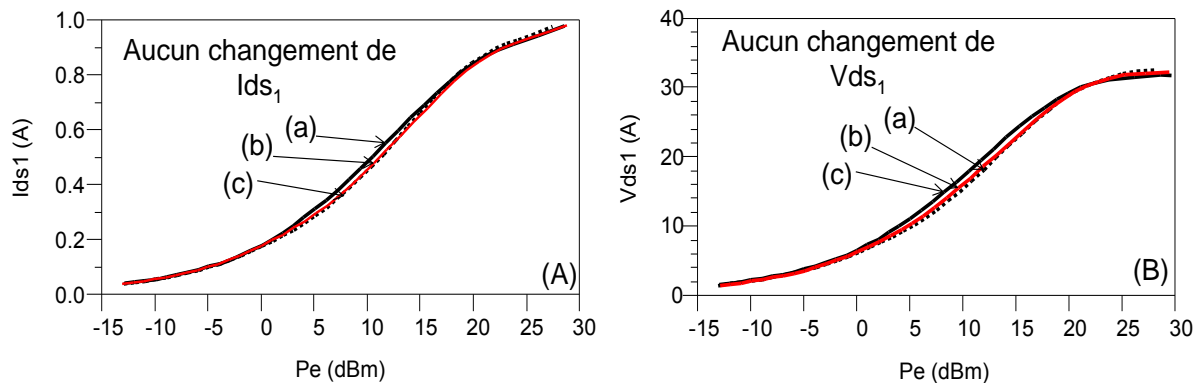


Figure III-17 Courant de drain au fondamental (A). Tension de drain au fondamental (B).

La méthode de préformation de la tension de commande d'entrée avec une tension de la forme demi-sinusoidale offre une amélioration du rendement de 7 points comparé à un fonctionnement en classe F classique avec une tension d'entrée sinusoidale. Une amélioration de 25 points est obtenue par rapport au cas où l'impédance de source à 2 fo est égale à  $50\Omega$  comme le montre la Figure III-18.

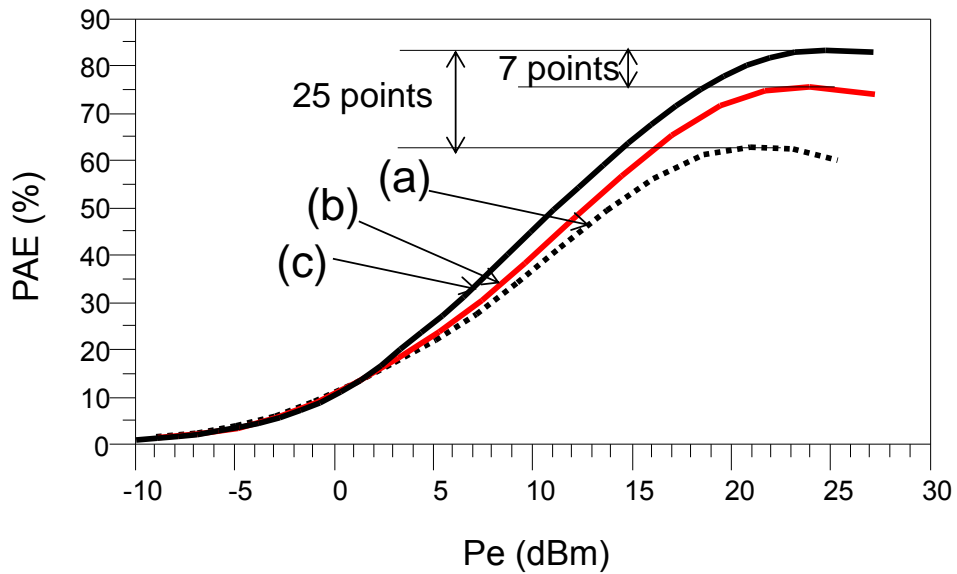


Figure III-18 Rendement en puissance ajoutée en fonction de la puissance d'entrée simulée pour les trois configurations en entrée (a) (b) (c).

On peut noter que cette amélioration du rendement par la réduction du temps d'ouverture de la source de courant contrôlée est ici obtenue sans effectuer de recul de la tension de polarisation de grille  $V_{gso}$  vers un fonctionnement en classe B voir même C. Ceci est important aux fréquences micro-ondes pour ne pas avoir un effet de consommation réduite bénéfique au détriment d'une chute du gain en puissance typique d'un fonctionnement en classe C. Les courbes de la Figure III-19 montrent l'évolution du rendement en fonction de la puissance de sortie.

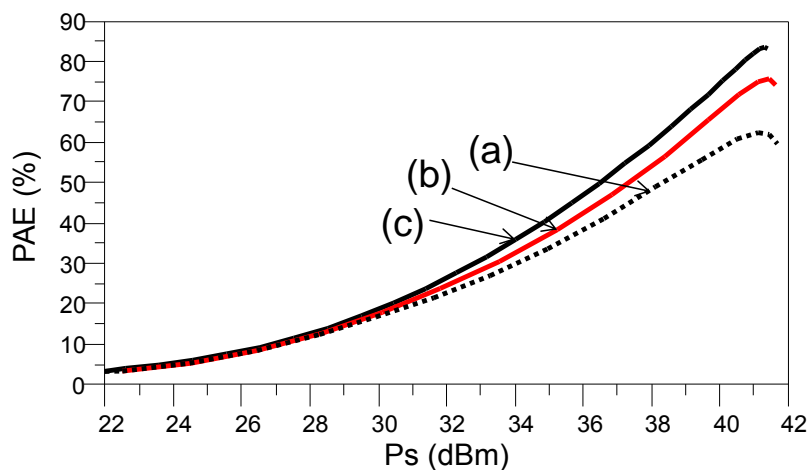


Figure III-19 Rendement en puissance ajoutée en fonction de la puissance de sortie simulée pour les trois configurations (a) (b) (c).

Il est important maintenant de valider les tendances recherchées et obtenues en simulation par des mesures sous pointes de formes d'ondes temporelles aux accès du transistor en puce.

#### IV. Mesure Load-pull avec 2 signaux harmoniques en entrée.

Dans le chapitre 2, nous avons déjà montré des mesures de formes d'ondes temporelles dans le but de valider finement notre modèle de transistor. On montre dans cette partie des mesures du même type faites avec le même banc de caractérisation mais avec une injection de signal à l'harmonique 2 en entrée du transistor sous test. Pour cela un second générateur à  $2f_0$  synchronisé sur le générateur à  $f_0$  est utilisé comme indiqué sur le schéma de la Figure III-20.

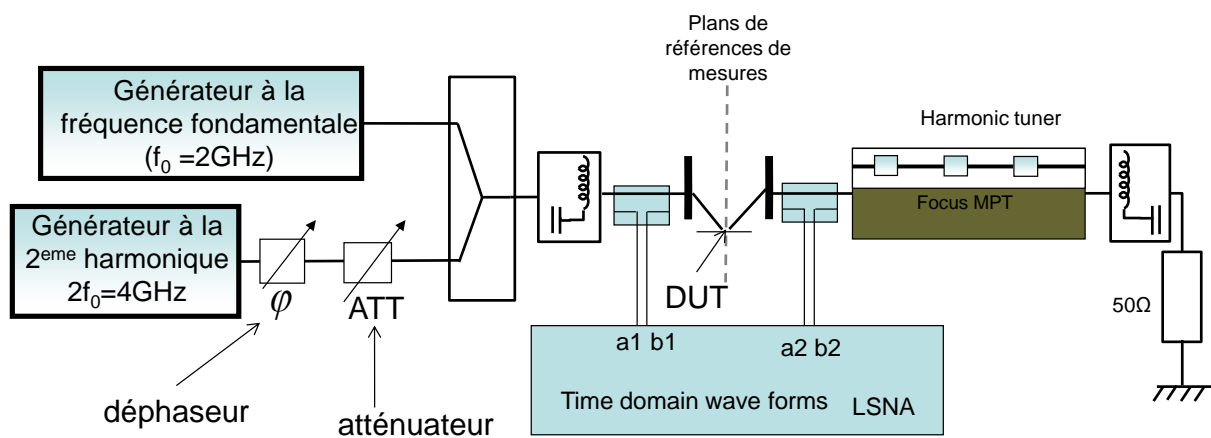


Figure III-20 Schéma de principe du banc de mesure load-pull temporel avec injection de  $H_2$  (4GHz) en entrée.

On distingue trois configurations pour l'excitation d'entrée :

- Le générateur à  $2f_0$  est désactivé, l'impédance de source à  $2f_0$  est  $50\Omega$ . (cas (a)).
- Le générateur à  $2f_0$  est activé, le signal CW à l'entrée du transistor est optimisé pour avoir une forme demi-sinusoidale en réglant convenablement l'atténuateur et le déphaseur connectés sur la branche à  $2f_0$  du banc (cas c).
- Une synthèse d'une impédance de source en court-circuit à  $2f_0$  est faite en réglant le déphaseur et l'atténuateur à  $2f_0$  correctement pour chaque pas de puissance injectée en entrée. Ceci revient à effectuer pour chaque pas de puissance d'entrée un réglage manuel de source pull actif à  $2f_0$  (cas b).

Les mesures des formes temporelles et les performances en puissance du transistor sont faites pour les deux configurations d'impédance de charge harmoniques correspondant respectivement à un fonctionnement en classe F et un fonctionnement en classe  $F^{-1}$ . Le

réglage de ces configurations d'impédance de charge se fait au moyen du tuner multi harmonique programmable de la société Focus Microwave.

On commence par un fonctionnement en classe F. Les impédances de charge synthétisées à la fréquence fondamentale  $f_0$  et aux harmoniques ( $2f_0$ ,  $3f_0$ ) extrinsèques, c'est à dire dans les plans de mesure des pointes sont représentées Figure III-21a.

Les impédances mesurées et épluchées jusqu'aux accès quasi intrinsèques du transistor en utilisant les éléments extrinsèques du modèle du transistor sont montrées Figure III-21b.

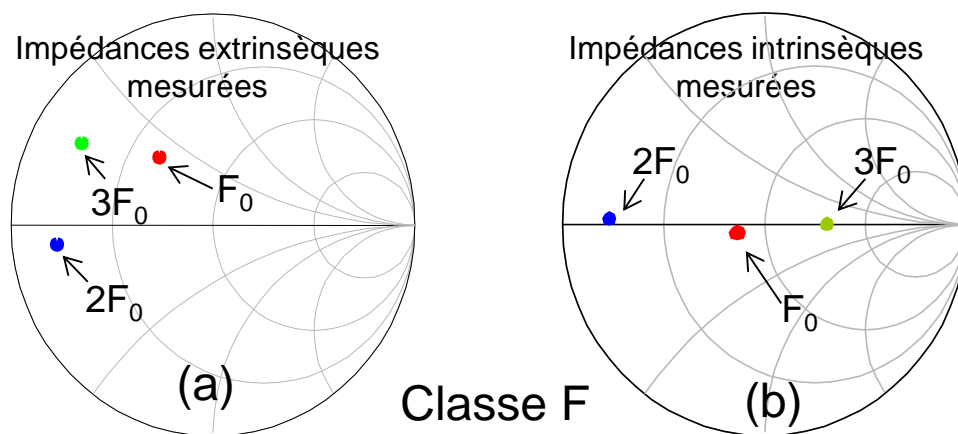


Figure III-21 Impédances extrinsèques (a) et quasi-intrinsèques (b) pour la classe F.

Les impédances intrinsèques montrent une faible impédance à  $2f_0$  et une haute impédance à  $3f_0$  avec une impédance résistive optimale à la fréquence fondamentale.

Pour cette configuration d'impédances de charge, on applique des mesures avec un balayage de puissance d'entrée pour les trois configurations précisées précédemment. Les courbes de mesure du rendement en puissance ajoutée en fonction de la puissance de sortie sont montrées Figure III-22.

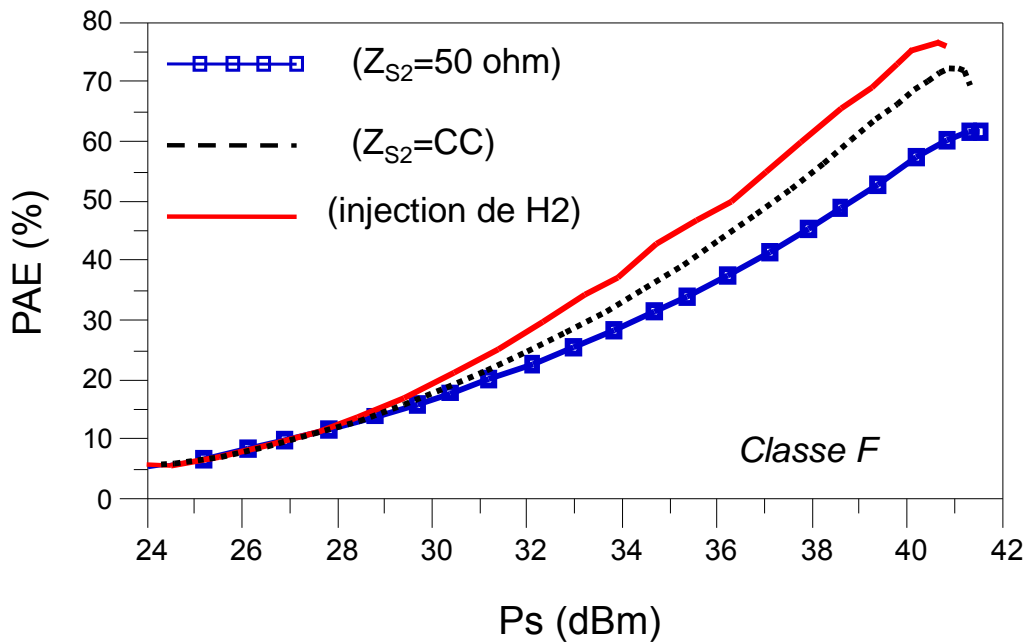


Figure III-22 Rendement en puissance ajoutée de classe F en fonction de la puissance de sortie mesurées pour les trois configurations en entrée (a) (b) (c).

Pour la classe F, les performances montrent qu'avec une injection appropriée d'harmonique 2 on améliore le rendement sans réduire la puissance de sortie. Une amélioration de 25 points de rendement est obtenue par une injection active à l'entrée du transistor comparé au cas d'une impédance de source à  $2f_0$  égale à  $50\Omega$ . 7 points d'amélioration de rendement sont obtenus si on compare au cas correspondant à une impédance de source à  $2f_0$  proche du court-circuit.

La même procédure de mesure est maintenant appliquée dans le cas d'un fonctionnement du transistor en classe  $F^{-1}$ . Les valeurs des impédances intrinsèques et extrinsèques synthétisées sont montrées Figure III-23.



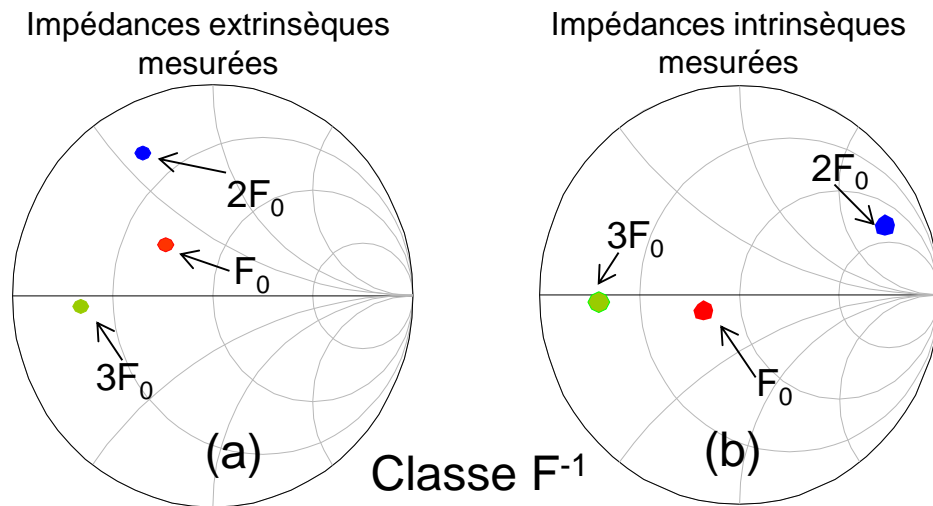


Figure III-23 Les impédances extrinsèques (a) et celles épluchées dans les plans quasi-intrinsèques (b) pour la classe F<sup>-1</sup>.

Les impédances intrinsèques montrent une haute impédance à  $2f_0$  et une faible impédance à  $3f_0$  avec une impédance résistive optimale à la fréquence fondamentale.

Les performances en rendement mesurées montrent que l'injection active de l'harmonique 2 à l'entrée du transistor réduit la puissance de sortie et il réduit en plus le rendement.

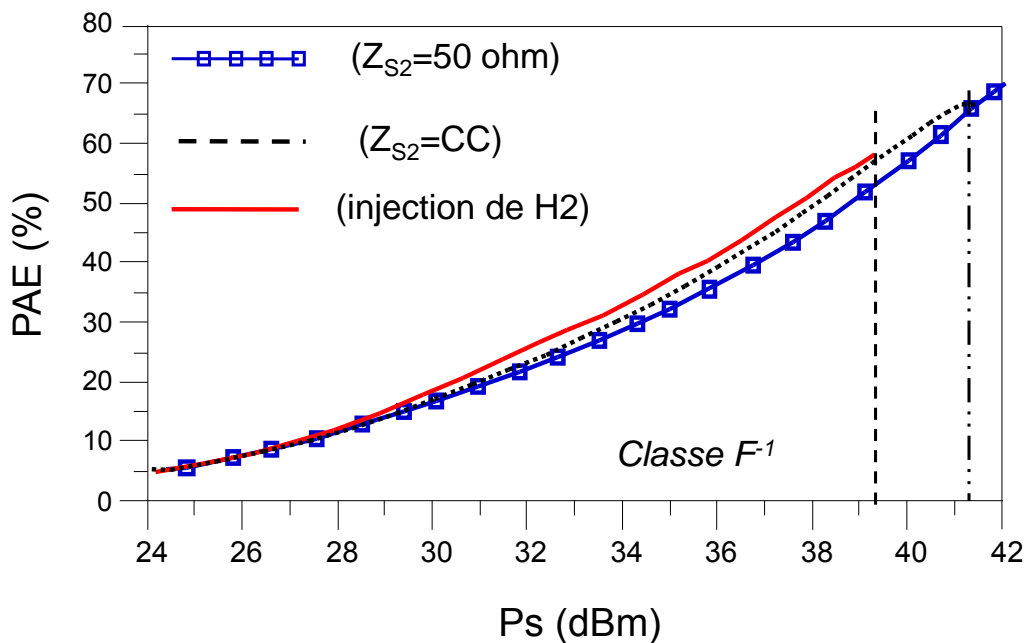


Figure III-24 Rendement en puissance ajoutée de classe F<sup>-1</sup> en fonction de la puissance de sortie mesurées pour les trois configurations en entrée (a) (b) (c).

On trace alors Figure III-25 et Figure III-26, les amplitudes des composantes de courant et de tension de drain mesurées à la fréquence fondamentale et au continu en fonction de la puissance d'entrée pour les deux classes de fonctionnement F et  $F^{-1}$ .

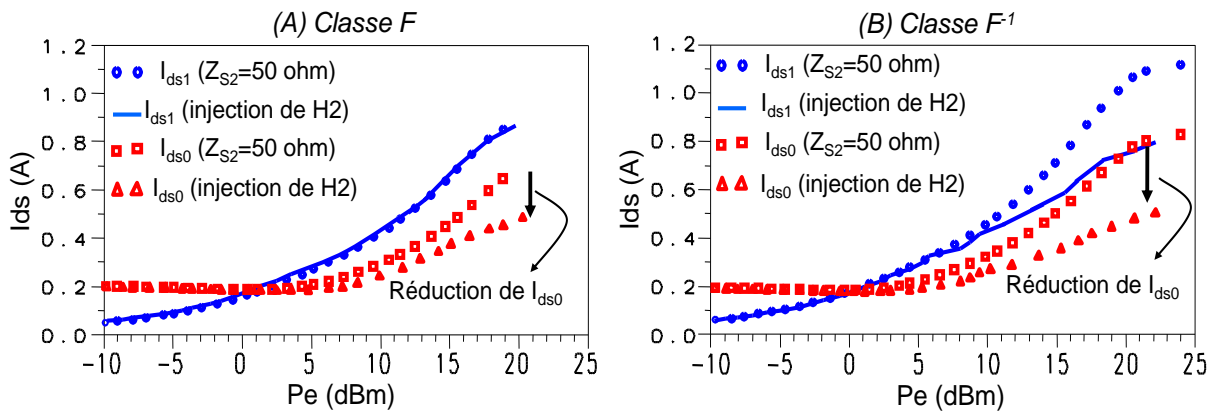


Figure III-25 Courants de drain DC (rouge) et à la fréquence fondamentale (bleu) mesurées pour la classe F (A) et classe  $F^{-1}$  (B).

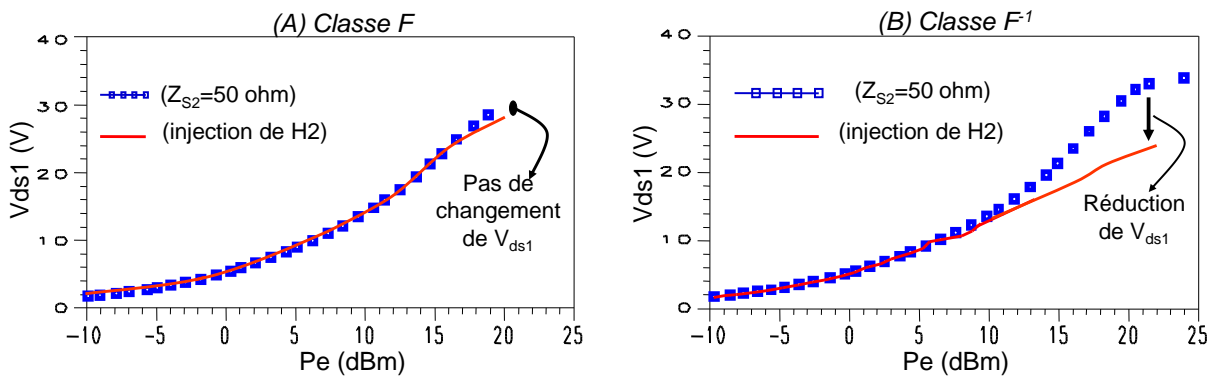


Figure III-26 Tension drain source à la fréquence fondamentale pour la classe F (A) et classe  $F^{-1}$  (B).

La Figure III-25 et la Figure III-26 montrent que l'amélioration de PAE en classe F avec la préformation de la forme de tension de commande d'entrée  $V_{gs}(t)$  est due uniquement à la réduction du courant DC  $I_{ds0}$  sans influencer sur le courant et la tension de sortie au fondamental donc sans affecter la puissance de sortie.

La Figure III-25 et la Figure III-26 montrent que pour la configuration en classe  $F^{-1}$  la préformation de la tension de commande d'entrée par injection d'harmonique 2 conduit à une réduction de 3dB de la puissance de sortie par rapport au cas d'une tension d'entrée sinusoïdale. Cette réduction est clairement identifiée par la diminution de la composante au

fondamentale de la tension et du courant de drain. ( $V_{ds1}$  et  $I_{ds1}$ ). En effet une injection de tension d'entrée à l'harmonique 2 créant naturellement une part de courant de drain à l'harmonique 2 est antagoniste avec une haute impédance de charge proche des conditions de circuit ouvert donc de courant nul.

La Figure III-27 et la Figure III-28 présentent les formes temporelles mesurées de la tension et courant du drain pour les deux cas extrêmes à savoir avec l'injection d'harmonique 2 optimale d'une part et pour une impédance de source égale à 50 ohms d'autre part.

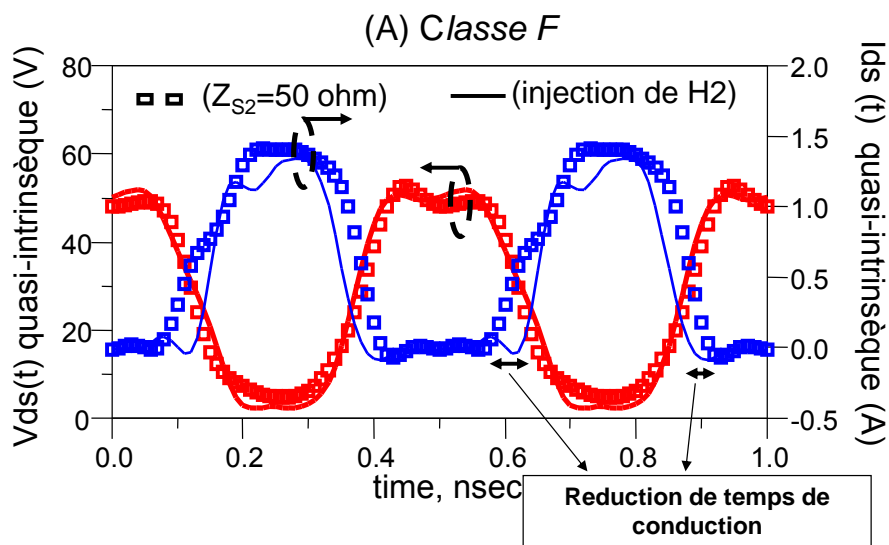


Figure III-27 Formes temporelles de classe F mesurées pour les deux configurations de l'entrée.

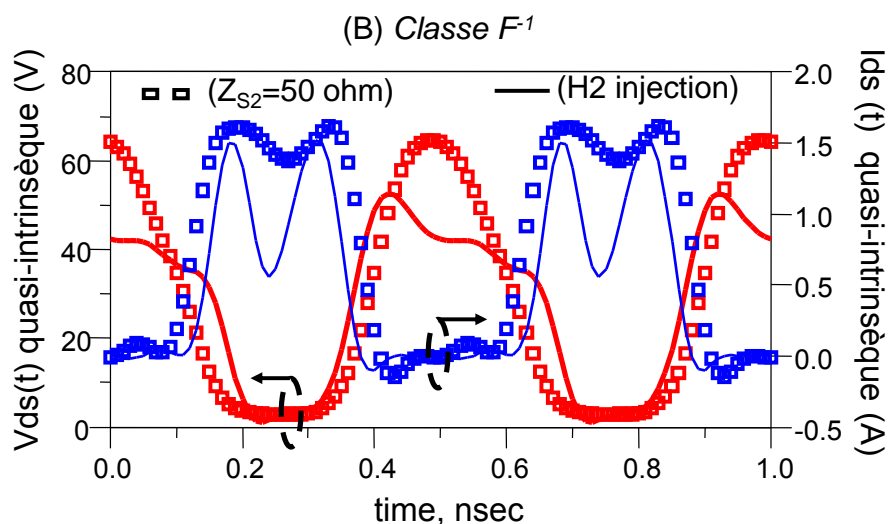


Figure III-28 Formes temporelles de classe  $F^{-1}$  mesurées pour les deux configurations de l'entrée.

Pour la configuration en classe F, on observe que le temps de coexistence entre tension et courant de drain a été réduit lorsque l'injection d'harmonique 2 est mise en œuvre confirmant ainsi l'analyse théorique et les résultats de simulation.

Pour la configuration en classe  $F^1$ , on observe que l'injection d'harmonique 2 en entrée génère une forte distorsion des formes temporelles de tension et de courant de drain. Ces déformations qui se traduisent par une diminution de quantité du fondamental entraînent une diminution de la puissance de sortie.

## V. Solution possible de conception d'amplificateur à haut rendement avec préformation de $V_{gs}(t)$ .

Ce paragraphe est consacré à une étude de topologies possibles pour réaliser une injection d'harmonique 2 à l'accès grille d'un transistor.

### V.1. Amplificateur avec contre réaction de la seconde composante harmonique.

#### V.1.1. Principe de l'amplificateur :

Le schéma général de cette technique d'amélioration de rendement par contre réaction est présenté Figure III-29. Dans cette technique, une partie du signal produit à la fréquence harmonique 2 en sortie de l'amplificateur de puissance est renvoyé vers l'entrée.

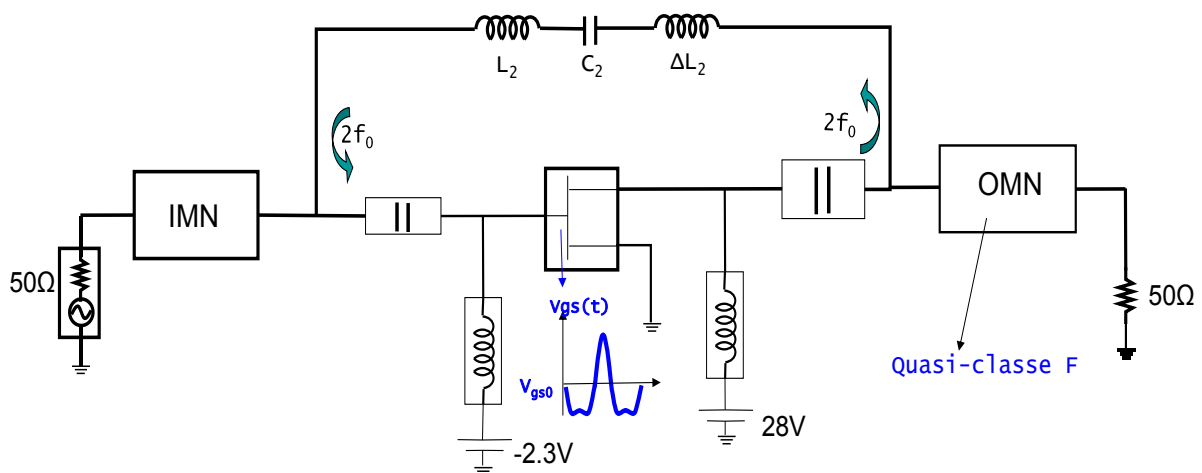


Figure III-29 Amplificateur avec contre réaction de la seconde composante harmonique.

La tension à l'harmonique 2 injectée en entrée par rétroaction est ajustée en phase en décalant la résonance du circuit autour de la fréquence  $2F_0$  au moyen d'une quantité selfique  $\Delta L$ .

La Figure III-30 présente la forme temporelle de la tension grille source aux bornes de la capacité  $C_{gs}$ . Le temps de conduction est réduit en ajoutant une quantité de l'harmonique 2 au signal provenant du générateur CW à l'entrée, ce qui nous permet de trouver la forme demi-sinusoïdale visée.

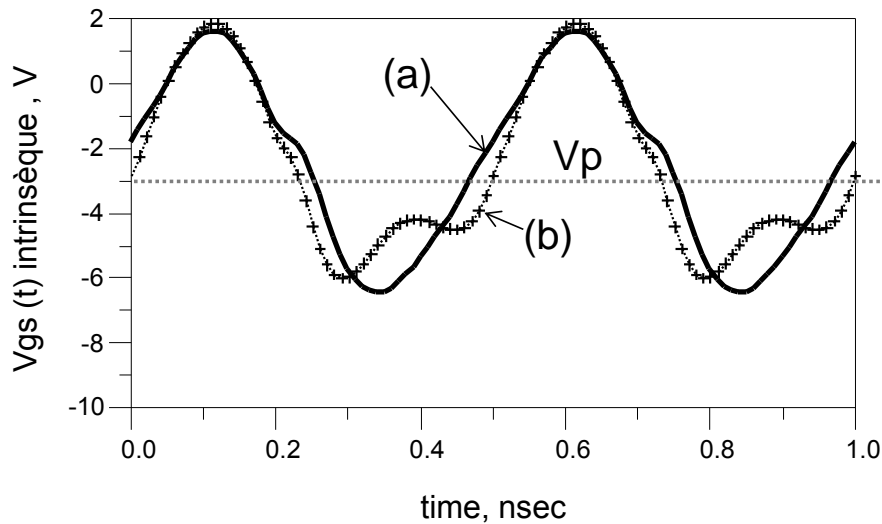


Figure III-30 Formes temporelles de  $V_{gs}(t)$  pour les deux configurations :

- (a) Classe F sans préformation de  $V_{gs}(t)$ .
- (b) Classe F avec préformation de  $V_{gs}(t)$ .

#### V.1.2. Circuit d'amplificateur classe F avec contre réaction à $2f_0$ .

Une topologie possible du circuit comprenant des éléments distribués est donnée Figure III-31. L'impédance de charge à l'harmonique 2 qui est proche d'un court-circuit est un peu décalée pour libérer une quantité de tension qui est alors réinjectée en entrée.

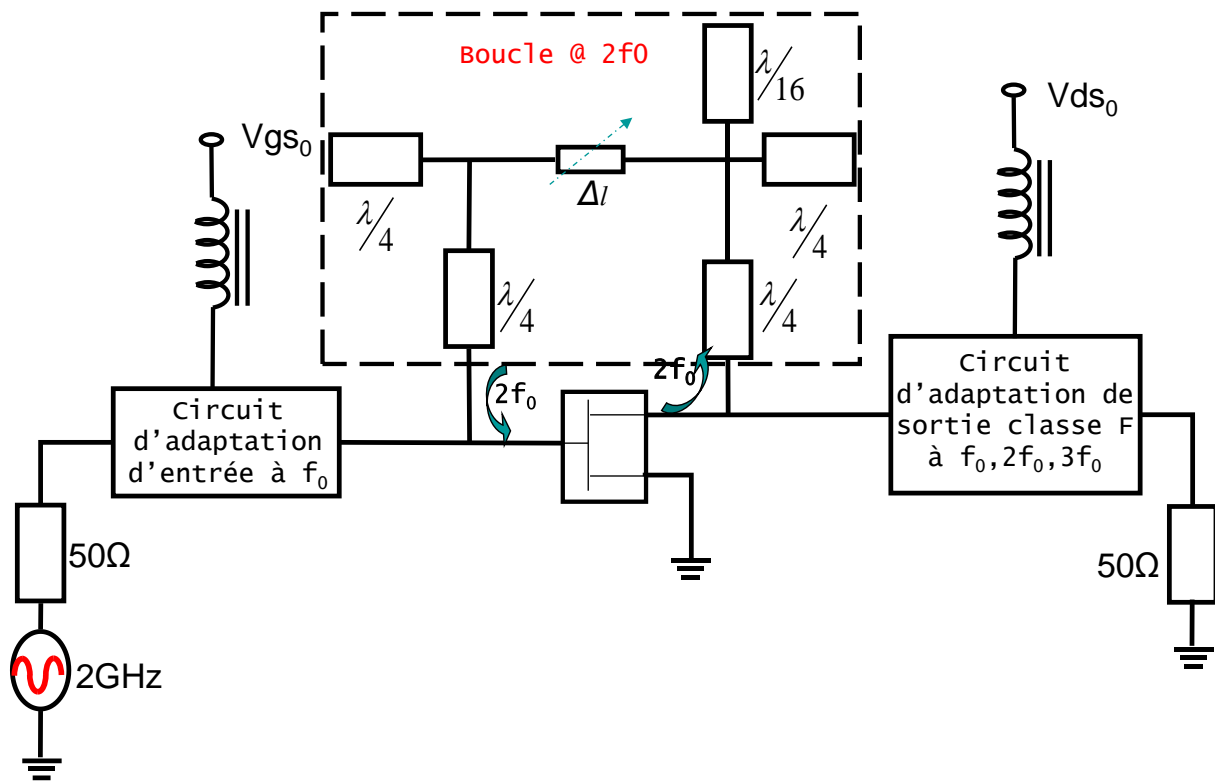


Figure III-31 Circuit de l'amplificateur classe F préformé par une contre réaction à  $2f_0$ .

La contre réaction à la deuxième harmonique est composée de deux lignes quart d'onde terminées en circuit ouvert et permettant de présenter un circuit ouvert à la fréquence fondamentale. Le circuit de la contre réaction présente de même un circuit ouvert à la troisième harmonique par une ligne ( $\lambda/16$ ) terminée en circuit ouvert pour empêcher les composantes du signal de sortie du transistor au fondamental et à la troisième harmonique de suivre la contre réaction. Seule une partie du signal de sortie à la deuxième harmonique est renvoyée vers l'entrée du transistor. L'inconvénient majeur de ce type de circuit est son risque d'instabilité et la présence d'un nombre important de tronçons de ligne qui limiteront forcément beaucoup la bande passante de bon fonctionnement.

## V.2. Solution retenue : utilisation d'un étage driver.

Dans cette partie, on cherche à préformer la tension de commande d'entrée par un étage driver fonctionnant en mode saturé pour produire de l'harmonique 2. Ce driver va permettre la préformation de la tension grille source de l'étage de sortie de puissance.

Le schéma de principe de l'amplificateur à deux étages est présenté Figure III-32. Il présente un étage driver qui a deux fonctions principales : la première est de délivrer la puissance

nécessaire pour le fonctionnement de l'étage de puissance et la deuxième est de commander l'étage de puissance par une tension grille source de forme demi sinusoïdale.

Le circuit inter étages doit être un circuit à faible perte. Il doit présenter des impédances de charge du driver appropriées pour le fondamental et l'harmonique 2. Le driver aura une polarisation de drain la plus faible possible (7V dans le cas présent) pour ne pas impacter le rendement total.

D'autre part pour former correctement la tension  $V_{gs}(t)$  de l'étage de puissance, un transfert approprié des harmoniques  $f_0$  et  $2f_0$  en module et en phase est nécessaire entre l'accès drain intrinsèque du driver et l'accès grille intrinsèque de l'étage de puissance.

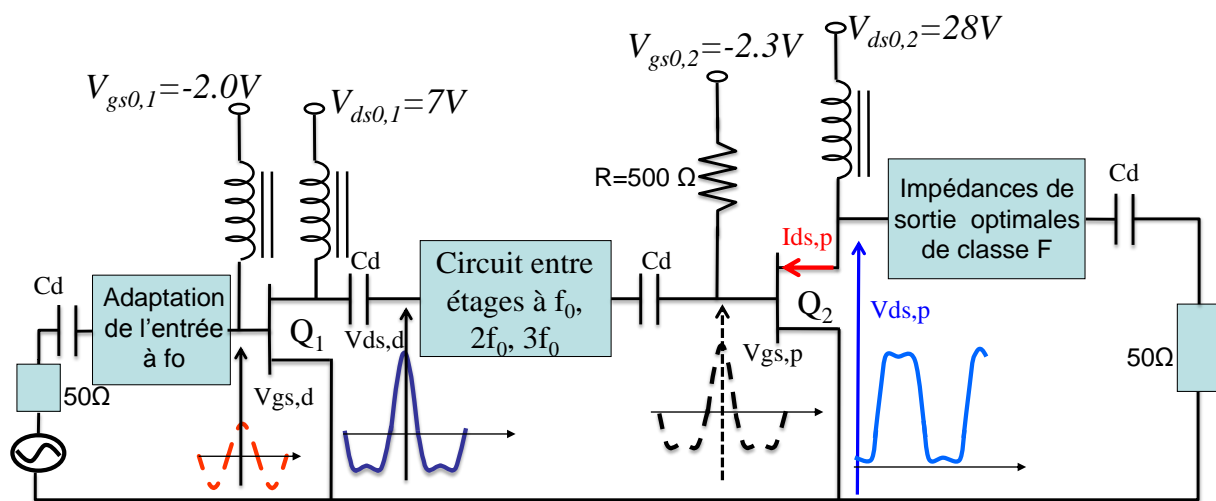


Figure III-32 Schéma de principe de l'amplificateur à 2 étages.

La gestion de l'injection d'harmonique de l'entrée de l'étage de puissance peut être prise en compte dans la conception d'un étage driver fonctionnant en mode de saturation et à basse tension pour être peu consommant afin de ne pas impacter le rendement global.

Ce principe de fonctionnement correspond à l'utilisation d'un étage driver opérant en *classe F<sup>-1</sup>* qui présente à son accès drain une tension de la forme demi-sinusoïdale associé à un étage de puissance opérant en *classe F*. C'est le mélange de ces deux classes de fonctionnement à haut rendement qui nous permet d'améliorer le rendement en puissance ajoutée.

Une étude de préformation de tension de grille publiée dans [52] et réalisée en technologie AsGa à 1.62 GHz a été mise en œuvre avec un circuit inter-étage dont la topologie est montrée Figure III-33.

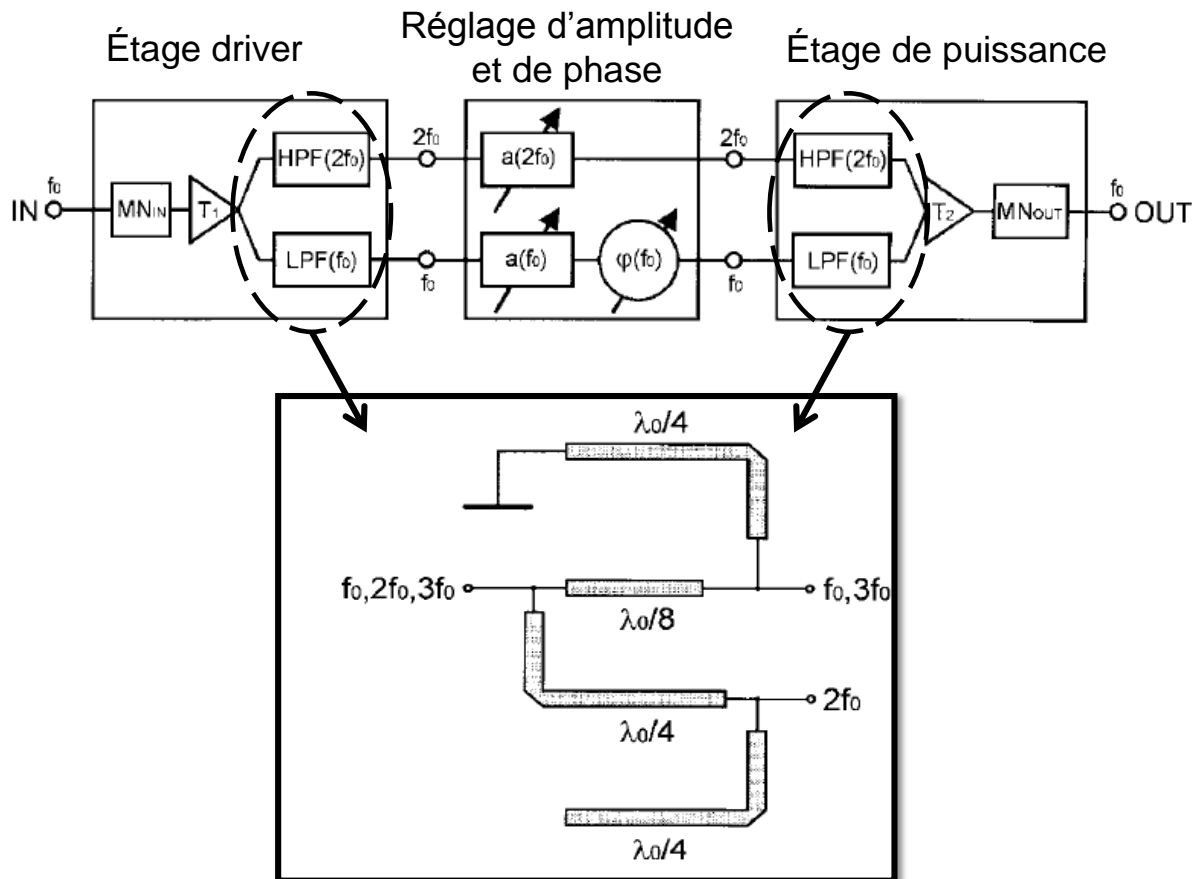


Figure III-33 Schéma d'un amplificateur à deux étages publié par « Ingruber » [52].

Cette topologie complexe consiste à utiliser des filtres pour séparer et déphaser les composantes harmoniques en sortie du driver et former une tension de grille adéquate après recombinaison en entrée de l'étage de puissance. C'est un principe qui fonctionne forcément à bande très étroite.

Dans la suite, on cherchera à concevoir et réaliser un circuit inter étage le plus simple possible pour viser la plus large bande de fréquence possible ayant une amélioration significative de rendement autour de la fréquence centrale de 2 GHz.

## VI. Etude de l'amplificateur à deux étages : optimisation du circuit inter-étages.

Dans cette partie, on présente le principe de la topologie d'amplification retenue dont la conception va être développée dans le dernier chapitre.

Le schéma de simulation est présenté Figure III-34:



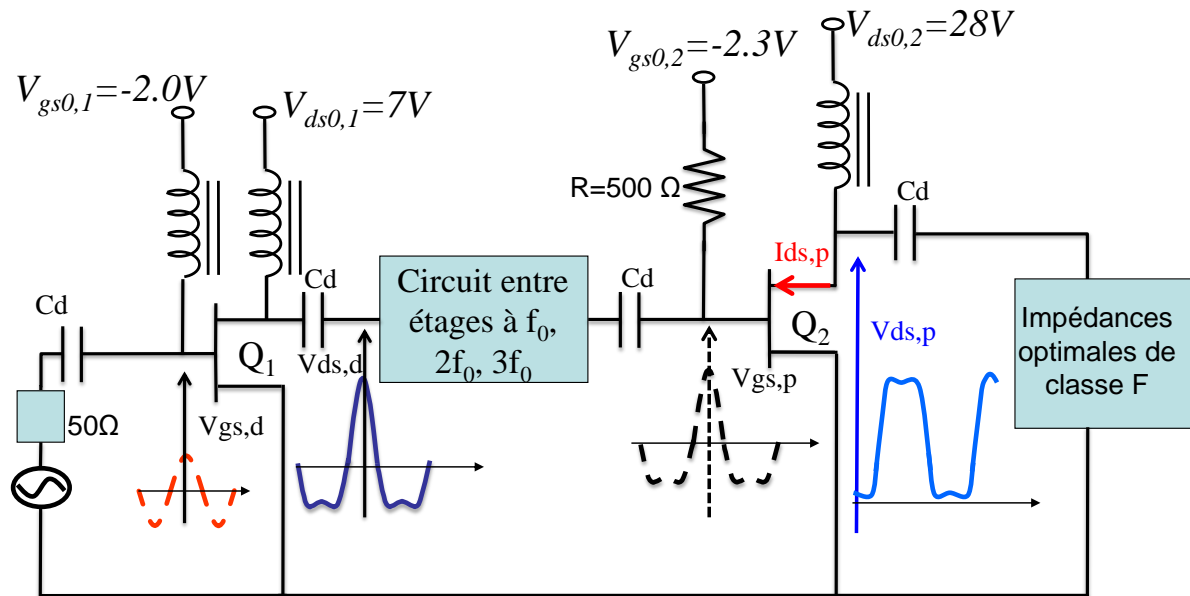


Figure III-34 Schématique de principe de l'amplificateur à 2 étages.

Lors de cette étude, le transistor utilisé est celui modélisé et validé en chapitre 2. On utilise le même transistor pour les étages driver et de puissance, l'un à faible polarisation de drain de 7V, l'autre à une polarisation de 28V.

Les impédances de charge de l'étage de puissance sont fixées aux impédances optimisées en II-2,  $Z_L(f_0) = 20.5 + j 15.5$  ;  $Z_L(2f_0) = 1 + j 0$  ;  $Z_L(3f_0) = 1 + j 18$ . Un générateur  $50\Omega$  est utilisé en entrée de l'amplificateur à la fréquence fondamentale 2GHz.

L'étage driver va travailler en classe  $F^{-1}$  pour fournir une forme de tension demi-sinus à l'accès grille de l'étage de puissance. Pour travailler en classe  $F^{-1}$ , un court-circuit est nécessaire à la troisième composante harmonique de drain du transistor driver. L'impédance de charge du transistor driver à la fréquence fondamentale doit être optimisée pour que le rendement du transistor driver n'impacte pas le rendement global. Les résultats de simulation des formes d'ondes temporelles, des cycles de charge à fort niveau et des caractéristiques de rendement du montage optimisé (Figure III-34) sont présentés Figure III-35 et Figure III-36.

La Figure III-35 montre les courbes de rendement en puissance ajoutée (PAE) pour chaque étage de l'amplificateur (driver (a), puissance (b)) ainsi que le rendement global de l'amplificateur de puissance (c).

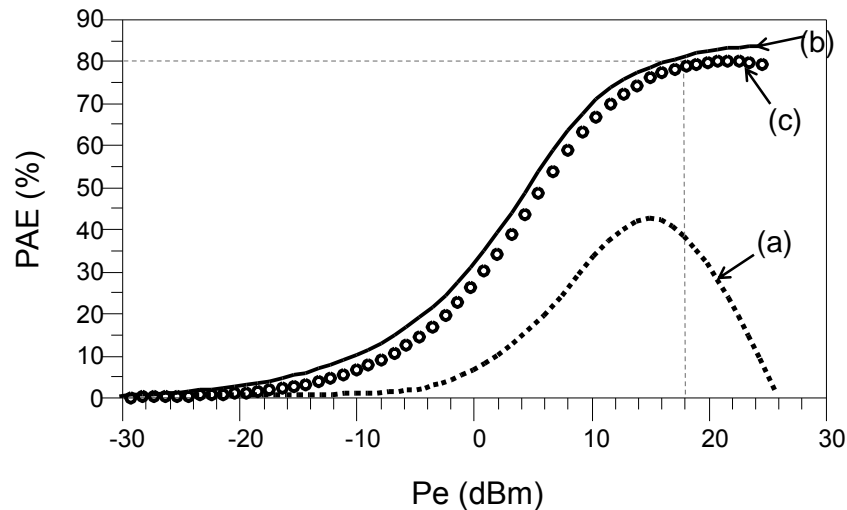


Figure III-35 PAE de l'étage driver (a), étage de puissance (b) et PAE global (c).

Le maximum de rendement est obtenu à un point de forte compression de gain résultant de la somme des gains de l'étage driver et de l'étage de puissance. L'avantage de ce circuit inter-étage réside dans sa simplicité pour fabriquer une tension de commande de l'entrée du transistor de puissance avec une forme demi-sinusoidale. Les résultats montrent que ce circuit inter-étage n'impacte pas le rendement en puissance ajoutée de la totalité de l'amplificateur.

La Figure III-36 montre les conditions en gain des différents étages.

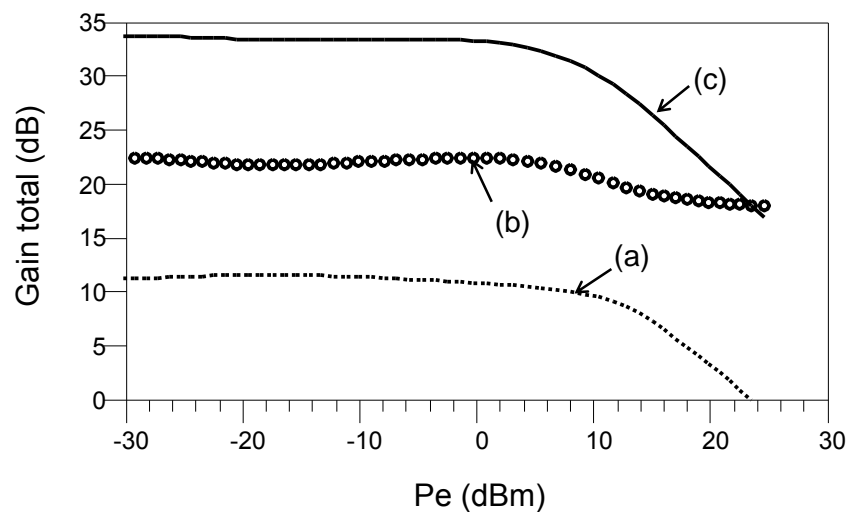


Figure III-36 Gain de l'étage driver (a), de l'étage de puissance (b) et gain global de l'amplificateur (c).

Les performances de cet amplificateur sont données Figure III-37 pour une fréquence de fonctionnement de 2GHz. 85% de rendement de sortie et 80% de PAE sont obtenus à

41.8dBm de puissance de sortie pour la totalité de l'amplificateur de puissance, ce qui valide notre étude de préformation de la tension de commande d'entrée pour gagner en rendement sans impacter la puissance de sortie.

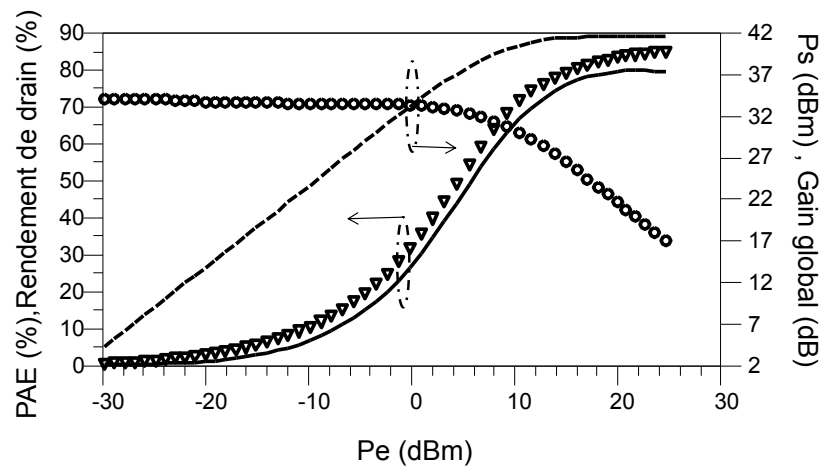


Figure III-37 Performances de l'amplificateur à 2 étages avec circuits idéaux d'adaptation.

Les formes temporelles simulées de sortie du transistor driver et de l'entrée du transistor de puissance sont montrées Figure III-38.

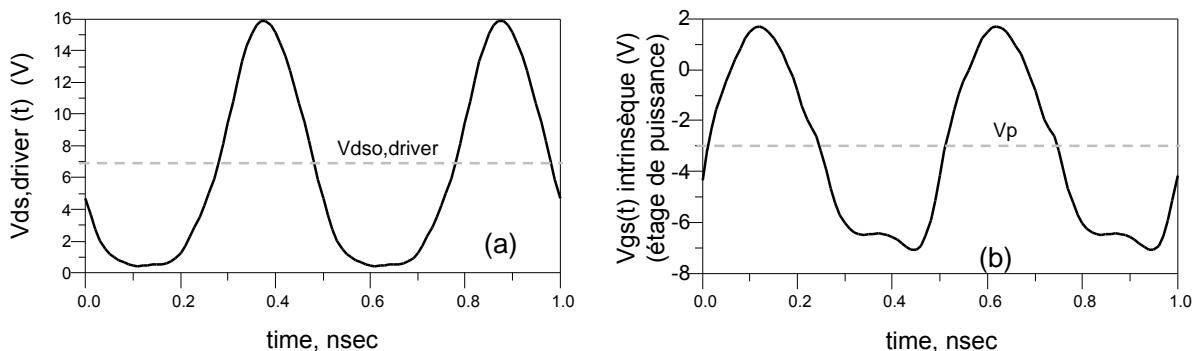


Figure III-38 Tension de drain du transistor driver (a) et tension de grille du transistor de puissance (b).

## VII. Conclusion.

Ce chapitre a montré le fil conducteur de l'analyse pour effectuer une conception originale d'amplificateur à haut rendement qui va être présentée dans le chapitre 4.

Un aspect très important de l'étude a été le travail de caractérisation de formes d'ondes temporelles pour valider les tendances simulées et orienter l'étude progressivement vers les pistes de conception retenues.



**CHAPITRE IV *CONCEPTION D'UN  
AMPLIFICATEUR A DEUX ETAGES  
INTEGRANT UNE PREFORMATION DE  
TENSION DE GRILLE.***

## I. Introduction:

Ce chapitre expose la finalisation de ce travail par la conception et la réalisation de deux démonstrateurs d'amplificateurs de puissance à haut rendement. Un premier amplificateur à un seul étage classe F avec des circuits d'adaptation en entrée et en sortie à la fréquence fondamentale et aux harmoniques servira de référence. Le deuxième amplificateur comprend deux étages contenant un étage driver permettant de fournir la puissance nécessaire pour commander l'étage de puissance et délivrant une tension de commande de forme demi-sinusoïdale.

Une étude de stabilité faible et fort niveau est effectuée pour les deux modules amplificateurs afin d'identifier les zones instables et réaliser la stabilisation des circuits.

Les circuits hybrides des deux étages (hybride d'entrée et de sortie pour le simple étage, entrée sortie et inter-étages de l'amplificateur à deux étages) sont conçus en utilisant un substrat alumine.

## II. Modèles électriques des différents éléments de la conception.

### II.1. Modèle électrique du transistor.

Pour notre conception, nous utilisons les transistors HEMTs en technologie GaN (CGH060015D) de la fonderie Cree dont le modèle a été présenté chapitre II.

Pour reporter les transistors en puce sur les mics (Microwave integrated circuits), nous utilisons des fils de bondings dont les caractéristiques sont:

- 2 fils de bonding sur la grille de longueur de 600  $\mu\text{m}$  et d'épaisseur de 25 $\mu\text{m}$ .
- 2 fils de bonding sur le drain de longueur de 600  $\mu\text{m}$  et d'épaisseur de 25 $\mu\text{m}$ .

Ces fils de connexion sont pris en compte et intégrés dans le modèle du transistor Cree, comme indiqué dans le chapitre II, les paramètres [S] sont mesurées par calibrage dans les plans des bondings (2 fils de chaque côté).

## II.2. Capacités de liaison.

La technologie MIM permet d'obtenir des valeurs plus élevées de capacités, grâce à l'introduction d'un diélectrique placé entre les 2 métallisations qui constituent les 2 armatures d'une capacité plan.

Les capacités de liaison utilisées pour cette conception ont pour valeur de 68pf. Le modèle électrique est le suivant :

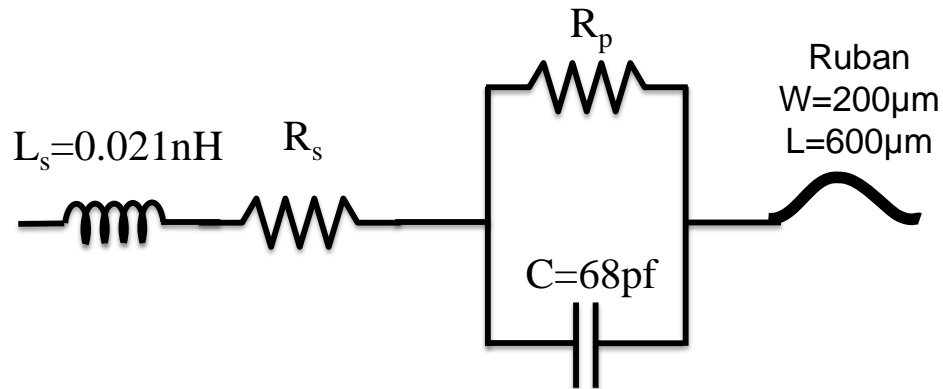


Figure IV-1 Modèle électrique des capacités de liaison.

Le modèle électrique (Figure IV-1) est composé d'une inductance fixe en série, d'une résistance série fonction de la fréquence, d'une résistance parallèle fonction de la fréquence et d'un ruban en or (ribbon). Ce ruban a pour fonction de relier le haut de la capacité aux pistes du circuit. Il a pour longueur  $L=600\mu\text{m}$  et pour largeur  $W=200\mu\text{m}$ . La capacité sera appliquée sur une piste de dimension minimale  $500\mu\text{m} / 500\mu\text{m}$ . Les résistances  $R_s$  et  $R_p$  ont des valeurs qui dépendent de la fréquence. (Figure IV-2)

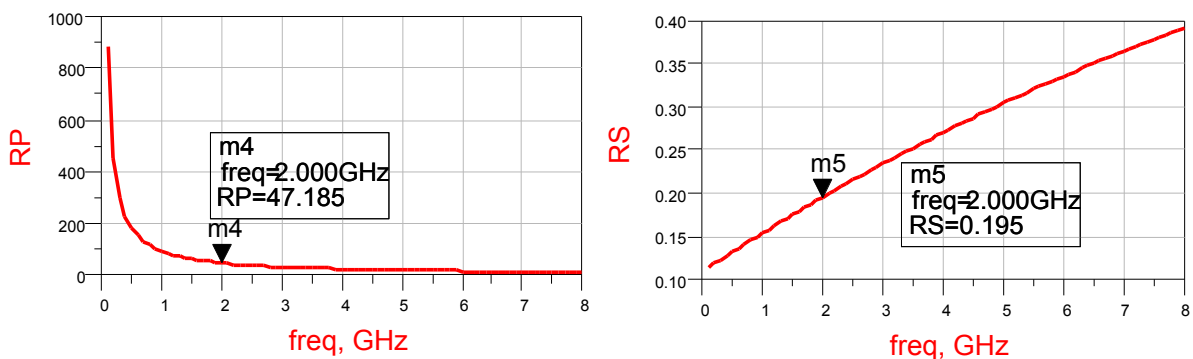


Figure IV-2 Courbes de  $R_s$  et  $R_p$  de la capacité de liaison.

### II.3. Self de choc.

Pour le circuit à deux étages, on est obligé d'utiliser une self de choc pour amener la polarisation de drain de transistor driver.

Nous utilisons une self ayant 8 spires, décrite par ses paramètres [S] fournis par Thales Alenia Space.



Figure IV-3 Self de choc utilisée.

### II.4. Substrat utilisé.

Le substrat utilisé pour la fabrication des Mics est l'alumine.

Ces caractéristiques sont les suivantes :

| Constante diélectrique | Epaisseur du substrat H | perméabilité Mur | Conductivité Cond | épaisseur du conducteur T | tangente de perte Tan |
|------------------------|-------------------------|------------------|-------------------|---------------------------|-----------------------|
| 9.9                    | 381 $\mu\text{m}$       | 1                | 4.1e7             | 5 $\mu\text{m}$           | 0.0002                |

### II.5. Circuits de polarisations.

Les circuits de polarisation ont deux buts :

- Polariser les transistors.
- Eviter que le signal RF ne remonte aux alimentations DC.

Typiquement, des selfs de choc sont utilisées en simulation. Cependant, pour la conception, il est préférable d'éviter d'utiliser des éléments extérieurs sur les mics dans le but de réduire au minimum les dispersions qui peuvent être dues à ces composants.

Pour remédier à cela, nous utilisons une ligne  $\lambda/4$  associée à un « papillon ».



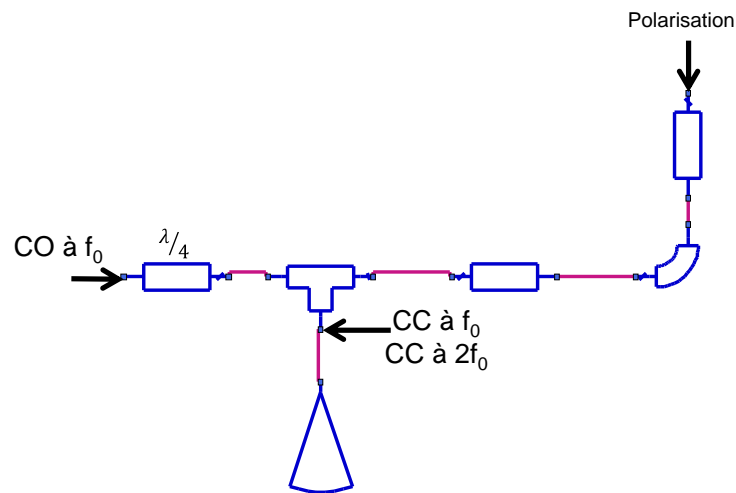


Figure IV-4 Schéma du circuit de polarisation.

L'utilisation d'un papillon permet de réaliser un CC large bande, ce schéma de polarisation permet d'obtenir un CC à  $2f_0$  et un CO à  $f_0$  très près du transistor.

### III. Conception des circuits pour l'amplificateur classe F un seul étage.

Un amplificateur classe F « classique » a été conçu afin de servir de référence. L'impédance de charge d'un classe F est définie idéalement par un CC à l'harmonique 2 et un CO à l'harmonique 3 et une charge optimale à la fréquence fondamentale. Les harmoniques sont alors filtrés et seule la composante à la fréquence fondamentale existe aux bornes de la charge de sortie de l'amplificateur ( $50\Omega$ ).

En entrée, une adaptation d'impédance du transistor vers l'impédance interne du générateur RF ( $50\Omega$ ) est réalisée au fondamental. Dans le chapitre 3, on a montré que l'impédance de source passive optimale à l'harmonique 2 est un CC, cette impédance peut être réalisée avec le circuit de polarisation de grille  $\lambda/4$  au plus près du transistor (voir partie II.5).

L'amplificateur est conçu en technologie hybride : 1 MIC d'entrée et 1 MIC de sortie reliés aux transistors par des fils de bonding. L'ensemble est assemblé dans un boîtier dont les dimensions précisés Figure IV-13.

Le schéma de principe de l'amplificateur à un seul étage est donné Figure IV-5.

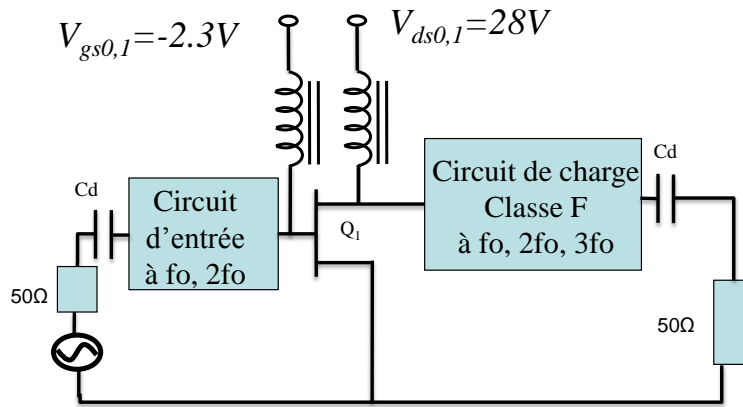


Figure IV-5 Schéma de principe de l'amplificateur à un étage.

### III.1. Circuit hybride de sortie.

Le circuit de sortie réalise une adaptation d'impédance type classe F qui présente sur le drain du transistor un CC à  $2f_0$ , CO à  $3f_0$  et une impédance optimale de  $(20+12j)\Omega$ .

La Figure IV-6 représente le circuit d'adaptation en sortie de l'amplificateur classe F.

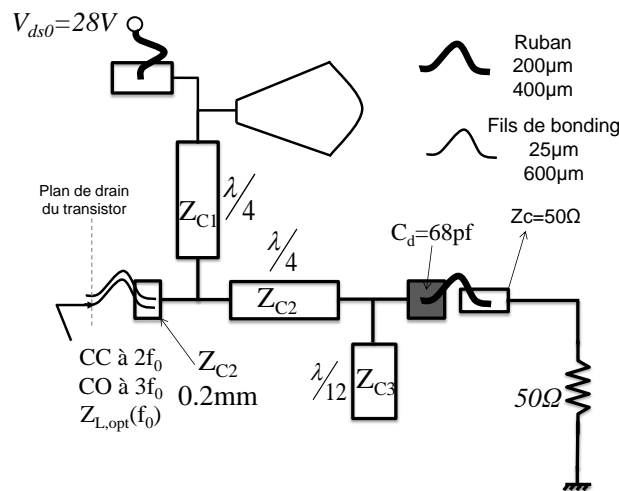


Figure IV-6 Circuit de charge classe F.

On peut notamment observer :

- Le court-circuit à  $2f_0$  est assuré par la ligne  $\lambda/4$  d'impédance caractéristique ( $Z_{C1}=50\Omega$ ), plus près du drain du transistor grâce à une rotation de  $\lambda/2$  du court-circuit résultant du papillon à  $2f_0$ , cette même partie de circuit présente une haute impédance à  $f_0$  et  $3f_0$ . Figure IV-7(A).

- Le circuit ouvert ou la haute impédance est assuré à  $3f_0$  par un stub  $\lambda/12$  qui ramène un CC à  $3f_0$ , transformé en CO par une ligne  $\lambda/4$  Figure IV-7(B).

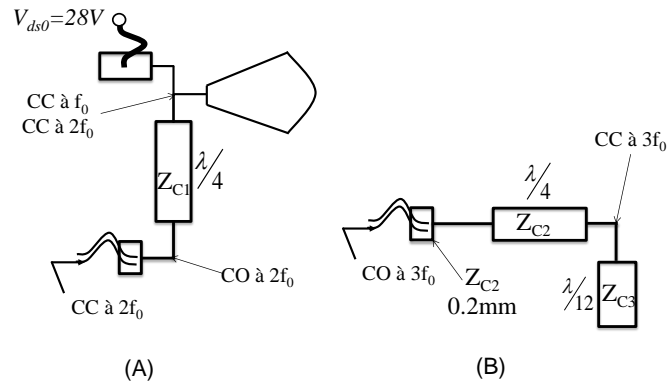


Figure IV-7 Circuit à  $2f_0$  (A), circuit à  $3f_0$  (B).

- L'adaptation sur 50 ohms de la sortie réalisée par l'optimisation des impédances caractéristiques des lignes ( $Z_{C2}=46.37\Omega$ ,  $Z_{C3}=63.56\Omega$ ).

Des simulations électromagnétiques de ce circuit ont été effectuées afin de valider les modèles électriques des lignes du simulateur ADS.

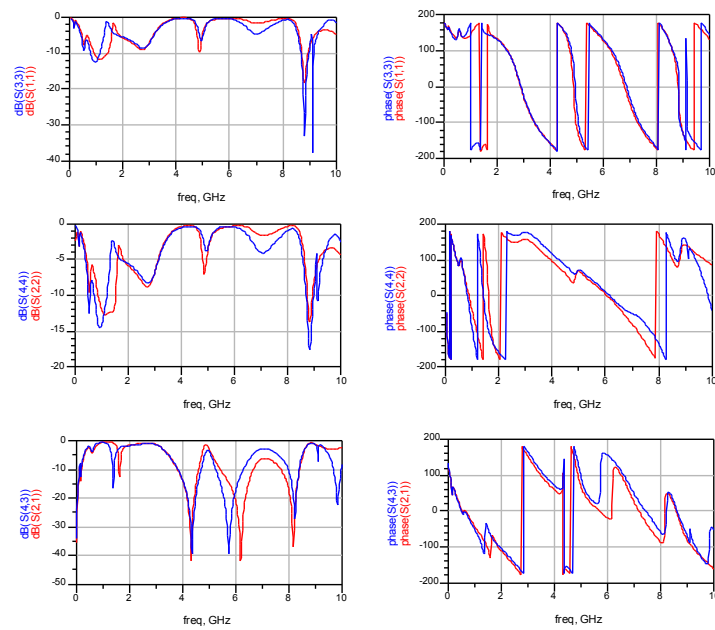


Figure IV-8 Comparaison des paramètres [S] simulés électriquement et électromagnétiquement de l'hybride de sortie.

Le Mic hybride de sortie finalisé est présenté Figure IV-9.

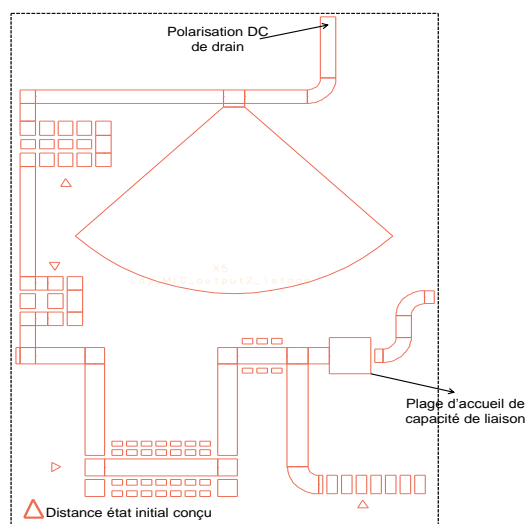


Figure IV-9 Hybride de sortie.

### III.2. Circuit hybride d'entrée.

Le circuit d'entrée réalise deux fonctions :

- L'adaptation de l'entrée du transistor qui a une impédance d'entrée de  $(2-8j)\Omega$  vers  $50 \Omega$ .
- Un court-circuit à l'harmonique 2 pour l'amélioration de la PAE de l'amplificateur. Ce court-circuit est assuré par la ligne  $\lambda/4$  plus près de la grille du transistor.

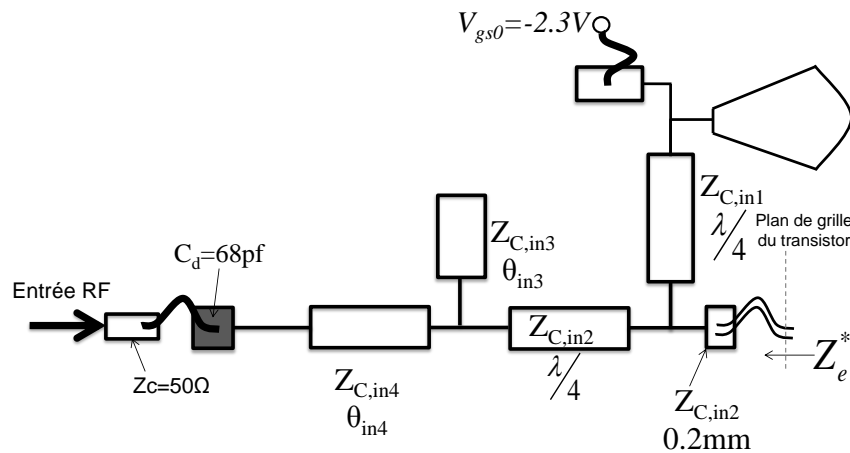


Figure IV-10 Circuit d'entrée.

L'adaptation de l'entrée du transistor à  $50 \Omega$  se fait par l'optimisation des paramètres ( $Z_{Cin2} = 10\Omega$ ,  $Z_{Cin3} = 22.2 \Omega$ ,  $\theta_{in3} = 32^\circ$ ,  $Z_{Cin4} = 28 \Omega$ ,  $\theta_{in4} = 26^\circ$ ) pour obtenir une impédance de source égale à l'impédance d'entrée conjuguée ( $Z_e^*$ ) à la fréquence fondamentale.

Comme pour l'hybride de sortie, des simulations quasi 3D Momentum sont réalisées afin de valider une très bonne concordance des paramètres [S] simulés électriquement et électromagnétiquement de l'hybride d'entrée.

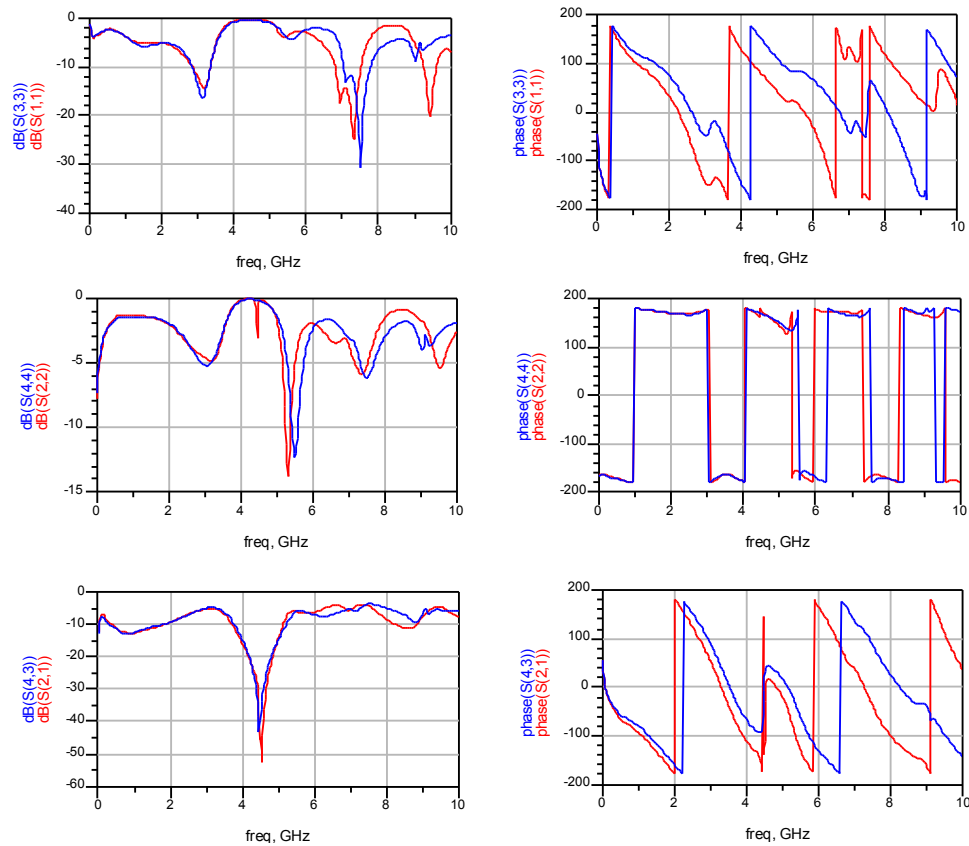


Figure IV-11 Comparaisons des paramètres [S] simulés électriquement et électromagnétiquement de l'hybride d'entrée.

Le Mic hybride de l'entrée finalisé est présenté Figure IV-12.

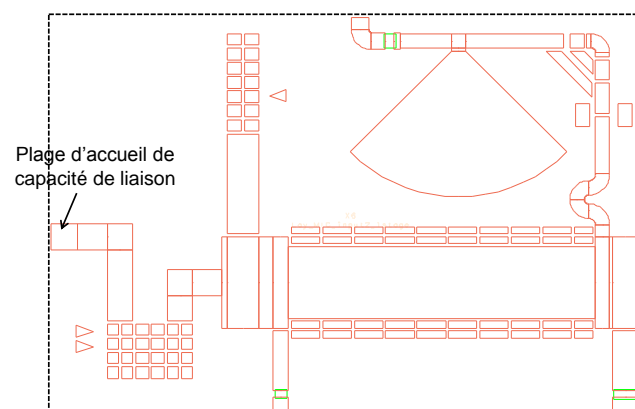


Figure IV-12 Hybride d'entrée.

### III.3. Amplificateur conçu. (Simulation électromagnétique - Momentum).

La connexion de la puce sur les circuits hybrides est réalisée avec 4 bondings de longueur 600 $\mu$ m.

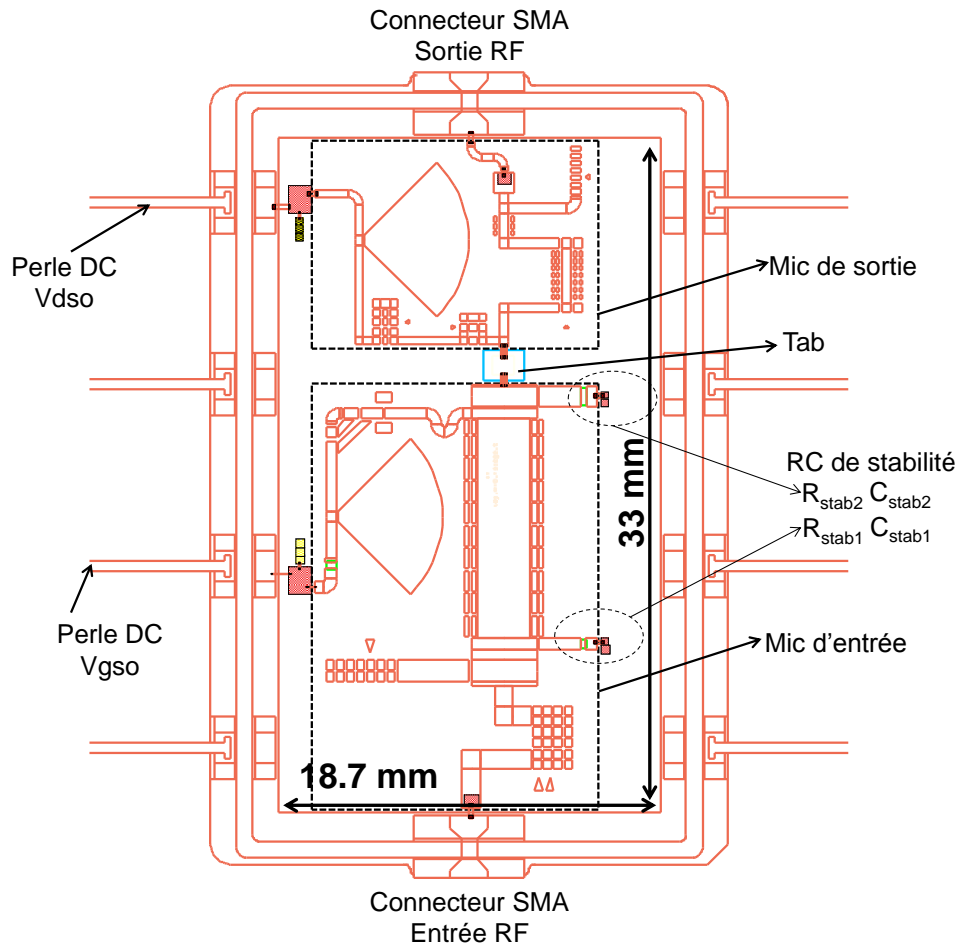


Figure IV-13 Schéma des hybrides de l'amplificateur à un seul étage.

### III.4. Résultats de simulations.

Dans un premier temps nous allons simuler cet amplificateur à l'aide du modèle du transistor GaN décrit dans le chapitre II.

L'amplificateur est polarisé en classe AB ( $V_{gso} = -2.3V$  et  $V_{dso} = 28V$  ( $I_{dso}=200mA$ )).

La fréquence de travail est de 2 GHz.

III.4.1. Simulations paramètres [S].

Dans un premier temps, des simulations petit signal de l'ensemble du circuit ont été réalisées et sont exposées Figure IV-14, Figure IV-15 et Figure IV-16.

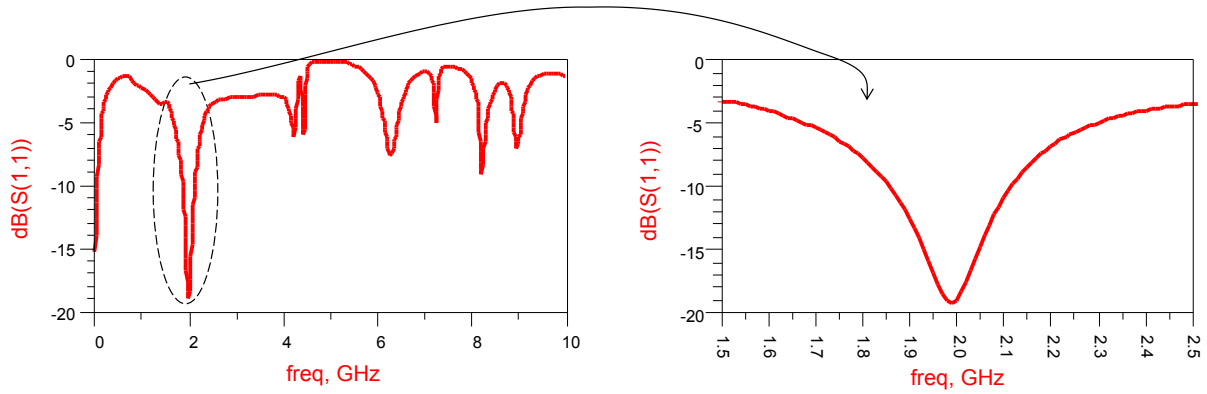


Figure IV-14 Coefficient de réflexion en entrée.

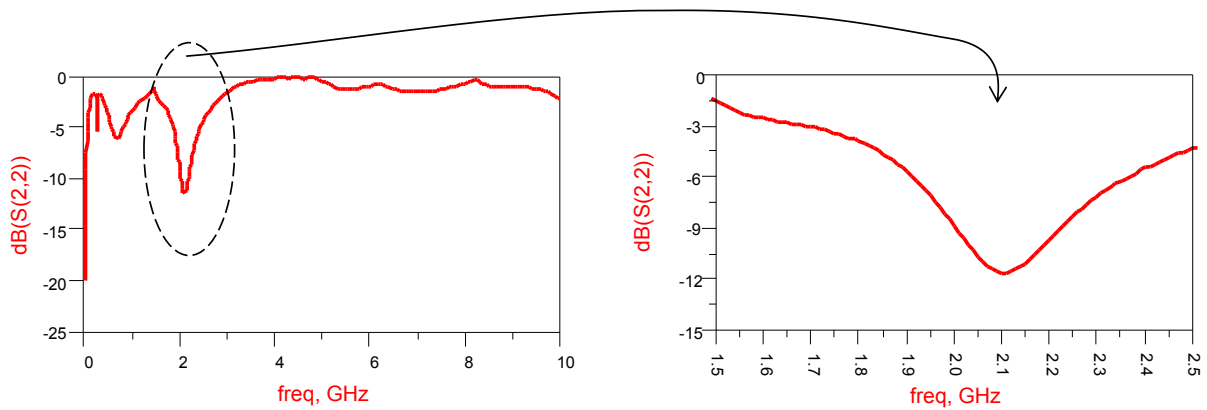


Figure IV-15 Coefficient de réflexion en sortie.

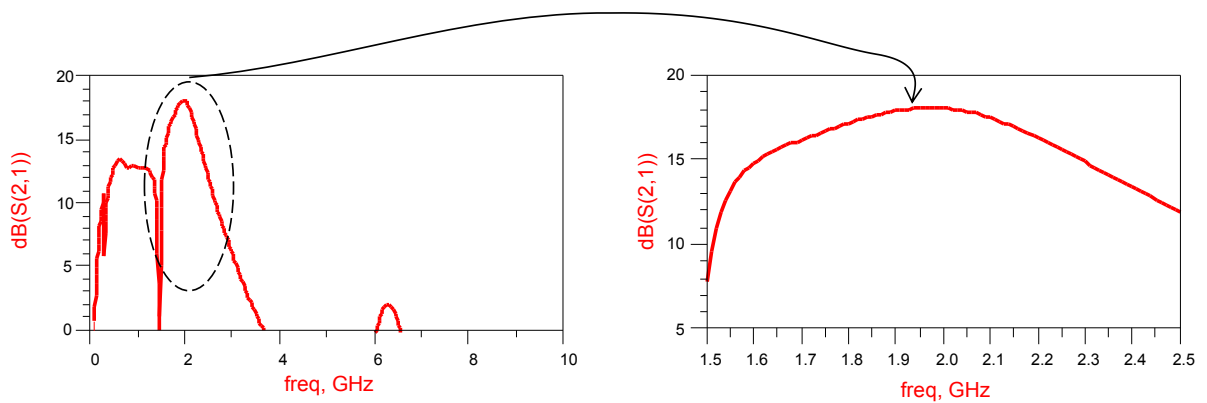


Figure IV-16 Gain petit signal.



Les résultats montrent que l'amplificateur est bien adapté sur  $50\Omega$  en entrée et en sortie à la fréquence de travail de 2GHz. En effet les coefficients de réflexion en entrée et en sortie sont inférieurs à -12 dB, alors que le gain est quant à lui maximum (18dB) autour de la fréquence de travail.

### III.4.2. Simulations en puissance.

Des simulations en régime fort signal ont été effectuées à partir du modèle non linéaire des composants actifs (chapitre 2). L'amplificateur est polarisé en classe AB profonde ( $V_{dso}=28V$ ,  $V_{gso}=-2.3V$ ).

Les performances de l'amplificateur pour son mode de fonctionnement visée sont déterminées à 2 dB de compression de gain (Figure IV-17). Un niveau acceptable de -20dB est obtenu pour les coefficients de réflexion aux fermetures de l'amplificateur.

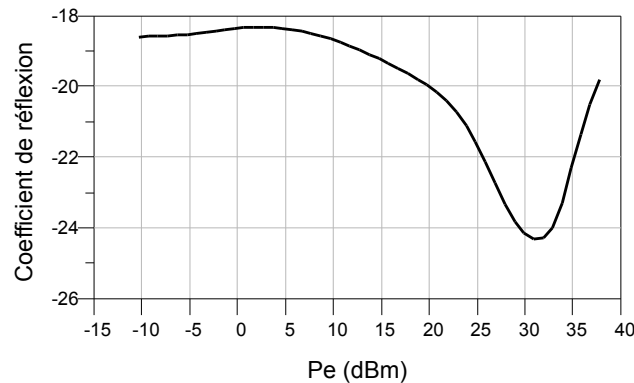


Figure IV-17 Coefficient de réflexion en entrée en fonction de la puissance d'entrée à 2GHz.

Les simulations ont été réalisées pour une puissance d'entrée variant de 0 à 34dBm. La Figure IV-18 recense les résultats en puissance simulés obtenus en milieu de bande à la fréquence de 2GHz. Nous pouvons relever un gain linéaire de 18dB, une puissance de sortie de 41.9 dBm au point maximum du rendement en puissance ajoutée de 68%. Le rendement de drain de cet amplificateur s'élève à un maximum de 76%.

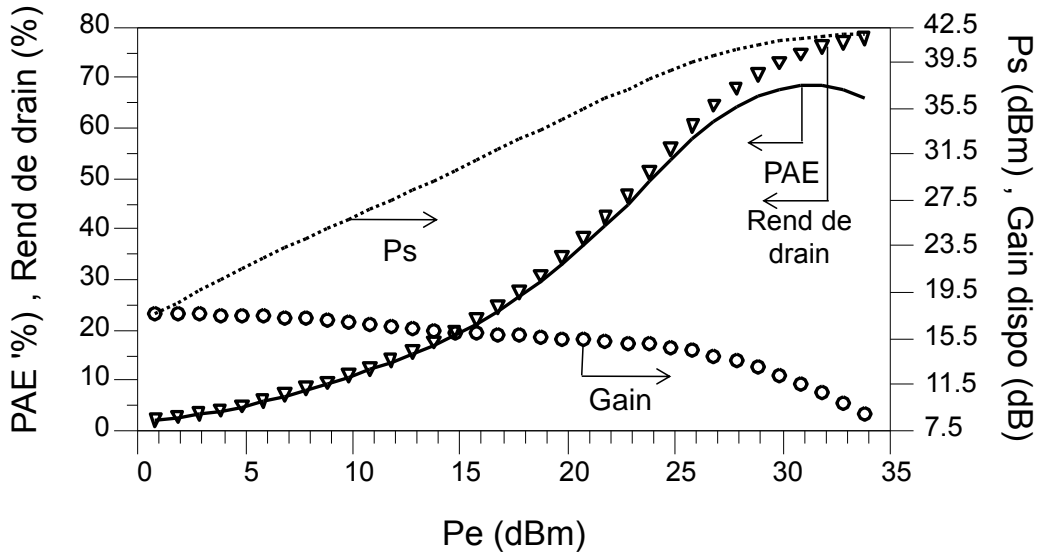


Figure IV-18 Performances simulées de l'amplificateur à un seul étage.

### III.4.3. Simulations en fréquence.

Un signal CW est balayé en fréquence entre 1.5 et 2.2 GHz. Malgré la large bande de gain, un bon rendement de plus de 64% est obtenu dans la bande 1.9-2.08 GHz (Figure IV-19).

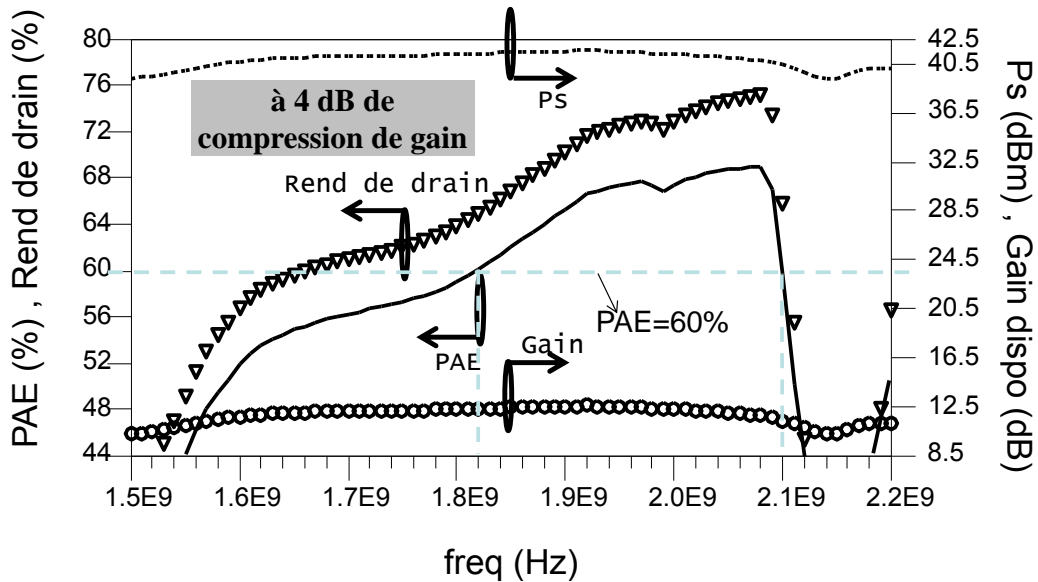


Figure IV-19 Performances simulées de l'amplificateur en fonction de la fréquence.

Une bande passante de l'ordre de 12% est obtenue avec une PAE supérieure à 60%.

La Figure IV-19 montre que le PAE décroît fortement au-delà de la fréquence 2.08GHz, cet effet est due à la zone d'impédance de source non optimum pour la PAE qui est très proche de

la zone optimale donc une petite erreur de conception sur le ligne quart d'onde de polarisation d'entrée qui nous permet de réaliser un CC à 2fo impacte la PAE dans la bande souhaitée.

L'impédance optimale d'entrée à 2fo présentée au niveau du transistor est très proche de la zone non optimale de PAE (voir chapitre 3).

III.4.4. Tableau de synthèse des simulations.

| <i>Fréquence (GHz)</i> | <i>PAE (%)</i> | <i>Ps (dBm)</i> | <i>Gain disponible (dB)</i> |
|------------------------|----------------|-----------------|-----------------------------|
| 1.8                    | 59             | 41.8            | 13.1                        |
| 1.9                    | 65             | 42              | 13                          |
| 2                      | 68             | 41.8            | 12.8                        |
| 2.1                    | 62             | 41.7            | 12.7                        |
| 2.2                    | 48             | 40.5            | 11.5                        |

Tableau IV-1 Tableau de synthèse des simulations.

III.5. Etude de la stabilité.

III.5.1. Stabilité petit signal : facteurs K et b.

L'analyse de la stabilité petit signal est effectuée à partir des paramètres [S] de l'amplificateur et ne reflète qu'une approche globale et linéaire de la stabilité. Cette analyse ne permet pas, par exemple, d'identifier une oscillation interne au circuit qui serait invisible depuis ses accès externes. Ce test de stabilité, s'il se révèle correct, ne garantit pas la stabilité absolue du circuit. En revanche cette analyse peut révéler une instabilité qu'il faudra traiter.[87]

Pour qu'un amplificateur soit considéré comme inconditionnellement stable, il faut que le facteur K soit supérieur à 1 et le facteur b supérieur à 0 sur la bande de fréquence voulue.

Pour stabiliser l'amplificateur, des réseaux RC ont été introduits au niveau du circuit de polarisation d'entrée. Dans notre cas nous avons utilisé une résistance série en technologie couche mince de valeur 30 ohms et des capacités parallèles de 100 pf et 1 nf (Figure IV-20).

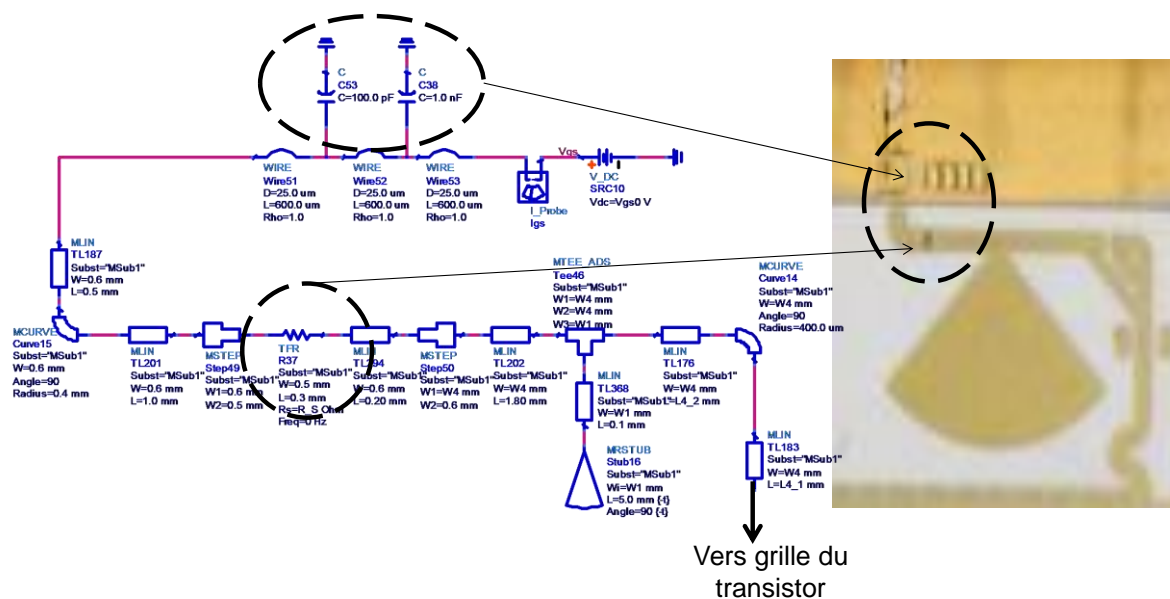


Figure IV-20 Conception des circuits de polarisation comprenant le circuit RC de stabilisation.

Les résultats de l'analyse faible niveau de stabilité sont donnés Figure IV-21.

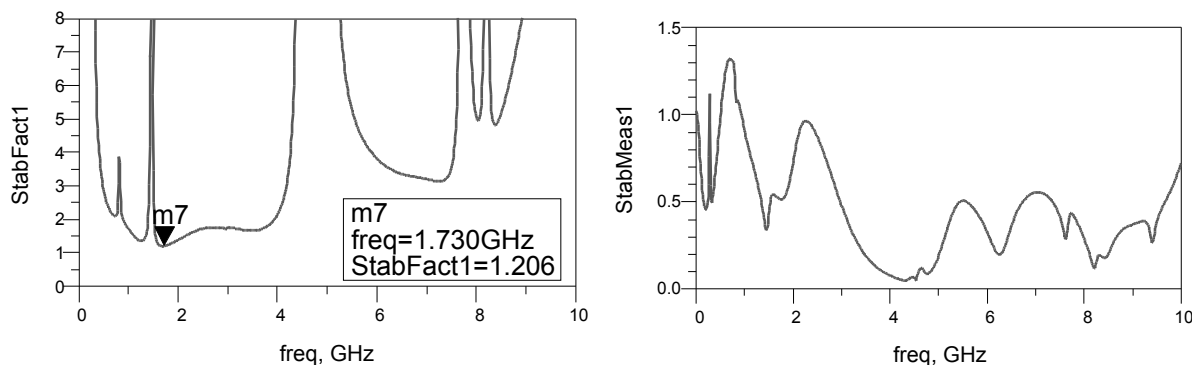


Figure IV-21 Facteur de stabilité K et B après stabilisation.

### III.5.2. Stabilité non-linéaire.

Stabilité non-linéaire par identification de la réponse fréquentielle en boucle fermée (Technique d'analyse STAN).

Cette méthode d'analyse de la stabilité a été mise au point par le CNES en collaboration avec l'Université du Pays Basque [96]. Elle se caractérise en deux étapes :

**Première étape :** Obtention de la réponse fréquentielle du circuit autour de son régime établi c'est à dire en présence d'un signal fort niveau.

**Deuxième étape** : Extraction de l'information relative à la stabilité.

Une perturbation de courant RF (petit signal) est introduite en parallèle sur un nœud « grille du transistor » du circuit à analyser, et on mesure l'impédance observée pour la perturbation de courant en balayant la fréquence de perturbation.

Pour l'amplificateur à un seul étage la perturbation est appliquée sur la grille du transistor et on calcule la réponse fréquentielle en boucle fermée, associée à un nœud "n" du circuit.

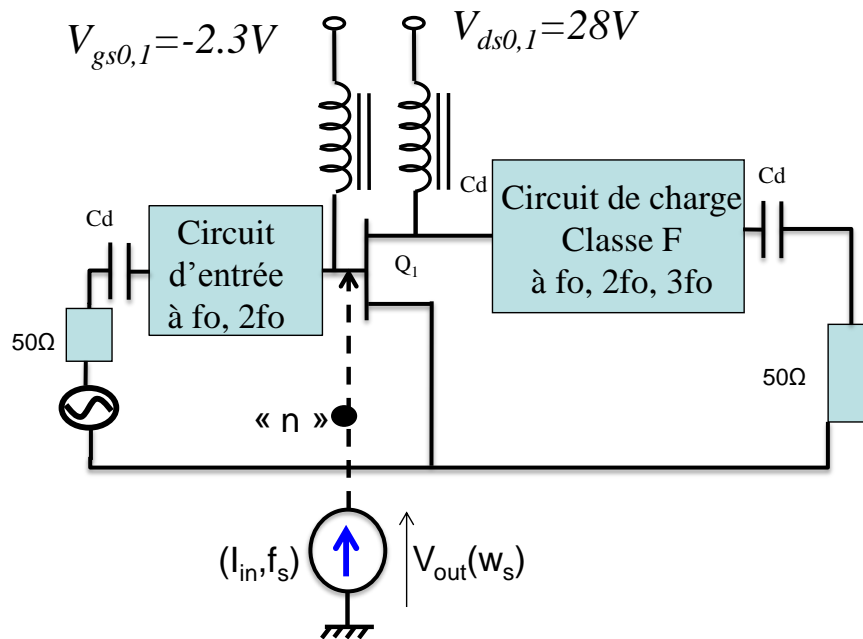


Figure IV-22 Mise en parallèle d'une perturbation pour l'analyse de stabilité non linéaire.

$$H_0(j\omega_s) = \frac{v_{out}(\omega_s)}{i_{in}(\omega_s)}$$

La Figure IV-23 résume l'identification des pôles et des zéros réalisée grâce à la méthode STAN. L'ensemble des pôles et des zéros se situe à gauche de l'axe des ordonnées validant la stabilité de l'amplificateur.

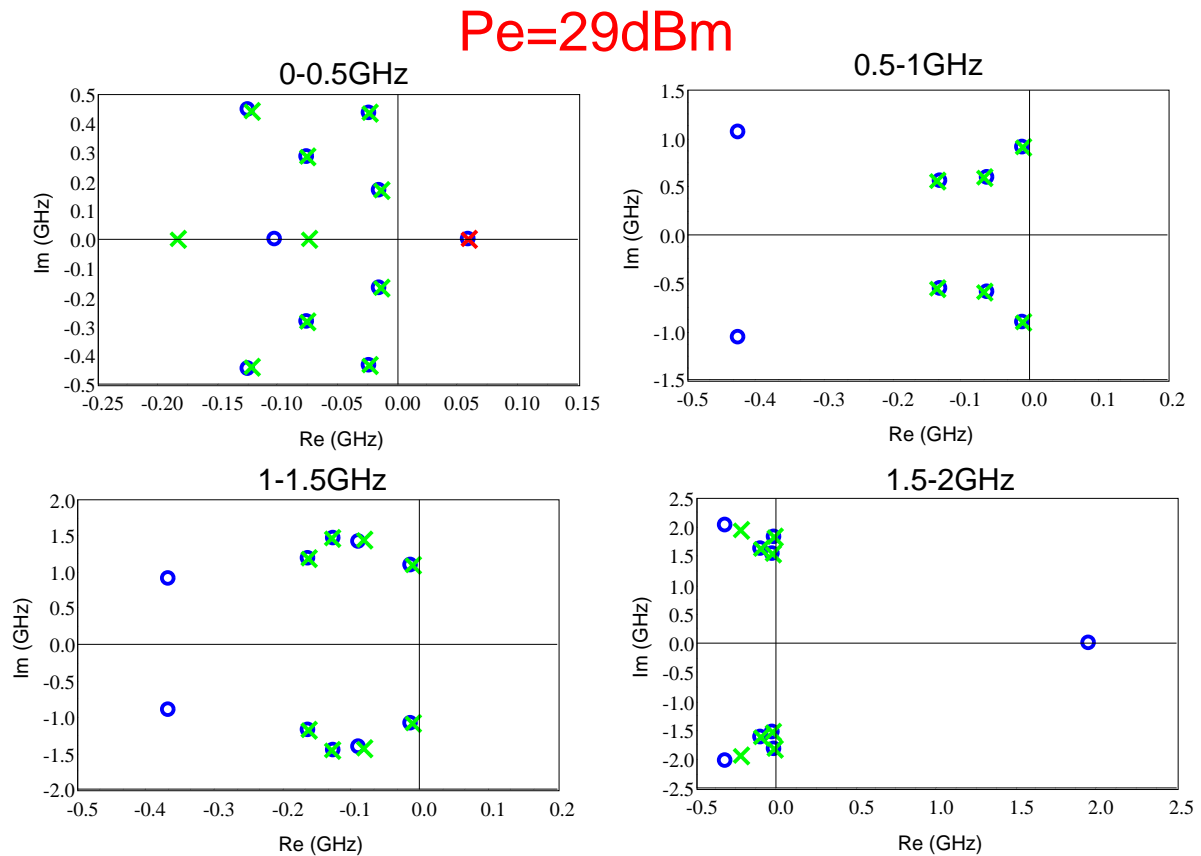


Figure IV-23 Analyse de stabilité non linéaire avec le logiciel STAN.

Analyse de la stabilité non-linéaire par introduction d'une perturbation en boucle ouverte.

Cette analyse appelée aussi « méthode du gain de retour » a été élaborée par XLIM [73]. Le principe est d'insérer une perturbation au niveau du modèle intrinsèque du transistor. Ensuite le gain en boucle ouverte est calculé en présence du signal de forte puissance.

Gain en boucle ouverte :

$$G_{BO} = \frac{V_{gs}(\omega)}{V_{ext}(\omega)}$$

A une fréquence donnée, le système est considéré instable lorsque le module du gain en boucle ouverte est supérieur à 1 (0dB) et sa phase passe par zéro avec une pente négative.

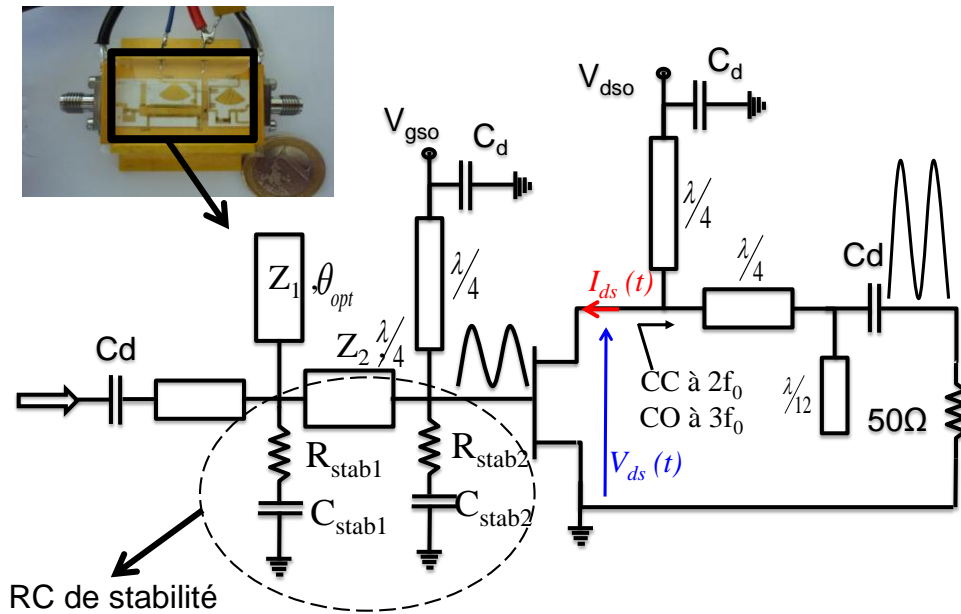


Figure IV-24 Circuit de l'amplificateur un étage finalisé.

La Figure IV-25 présente les résultats obtenus grâce à l'analyse en boucle ouverte lorsque l'amplificateur est stabilisé. Cette analyse a été effectuée avec un balayage de puissance d'entrée de faible à fort niveau pour obtenir l'information sur la stabilité de l'amplificateur sur différentes puissance d'entrée.

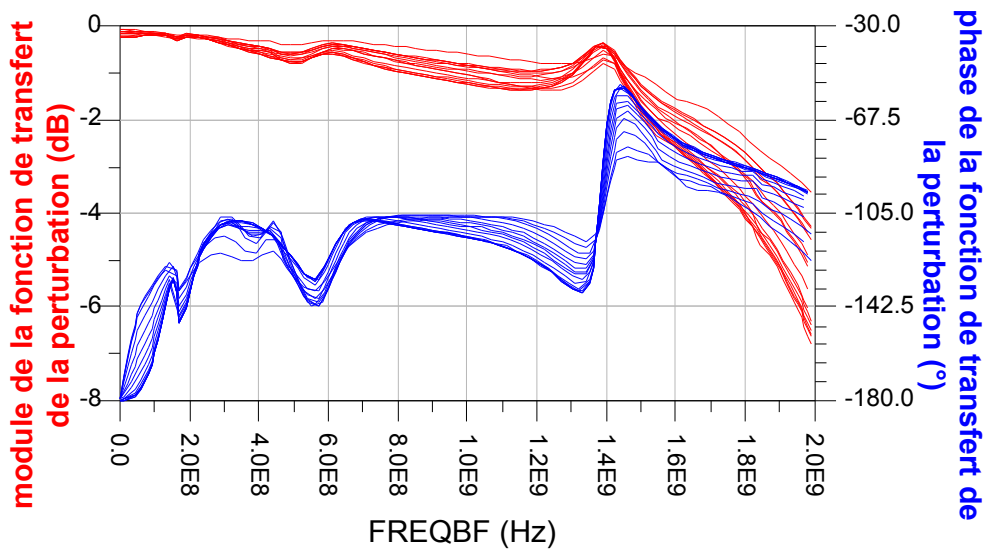


Figure IV-25 Module et phase de la fonction de transfert de la perturbation après stabilisation.

Sur la totalité de bande observée, le système est stable car le gain de retour de la perturbation injectée sur la grille du transistor est toujours inférieur à 1 (0 dB).

### III.6. Résultats expérimentaux de l'amplificateur un seul étage.

L'amplificateur à un étage classe F adapté en entrée et sortie fabriqué par Thales Alenia Space est représenté Figure IV-26.

Une première étape de réglage a été réalisée à TAS. Les mesures en puissance avec extraction des formes d'ondes temporelles sont réalisées au sein du laboratoire XLIM de Limoges.

Les mesures sont faites avec le banc LSNA de Xlim Limoges sur les fréquences 1.8, 1.9, 2, 2.1 et 2.2 GHz en balayant la puissance d'entrée. Les performances sont mesurés dans les plans coaxiaux d'entrée et de sortie de l'amplificateur

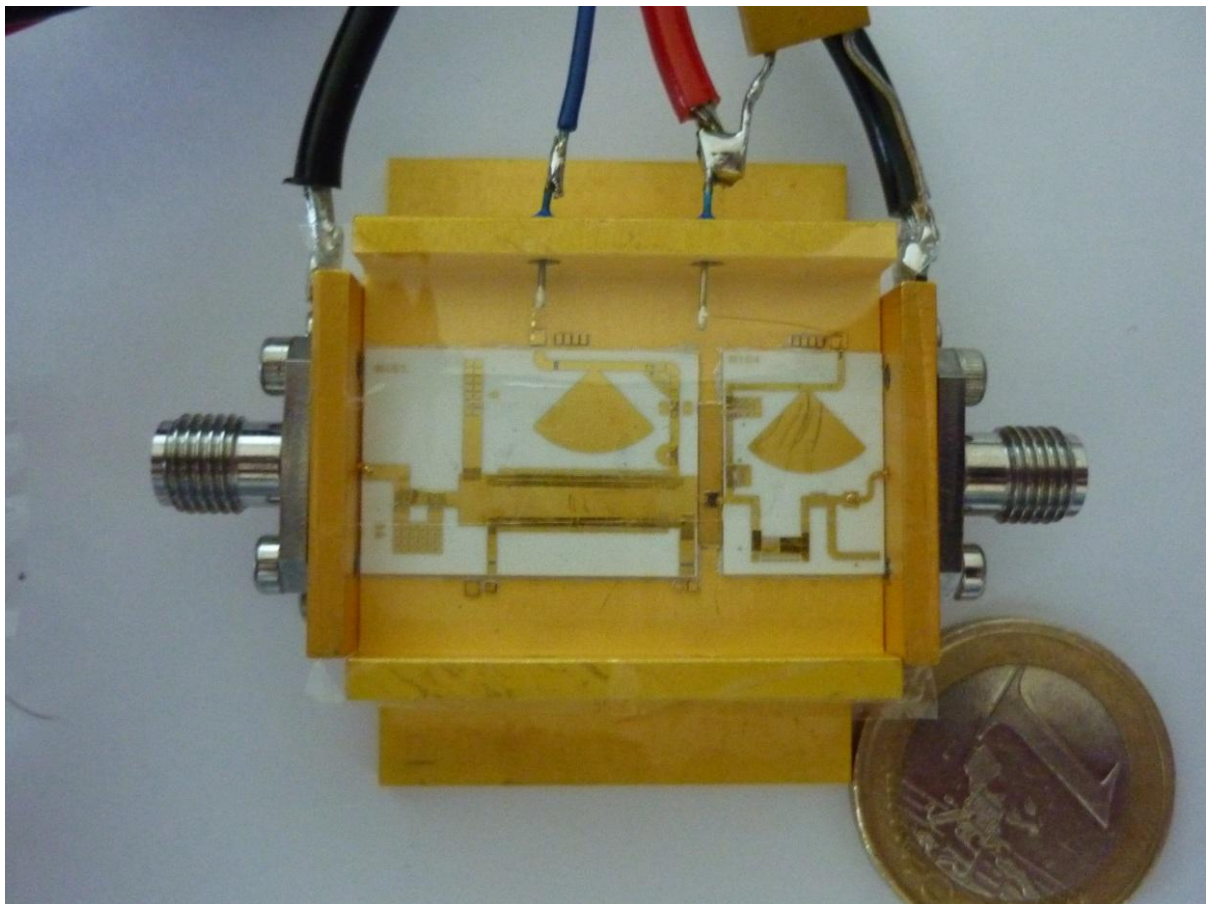


Figure IV-26 Démonstrateur de l'amplificateur classe F de référence.

#### III.6.1. Mesures en puissance

La Figure IV-27 représente des mesures CW à la fréquence de 2 GHz.



La polarisation de l'amplificateur est :  $V_{gso} = -2.3 \text{ V}$ ,  $V_{dso} = 28\text{V}$ .

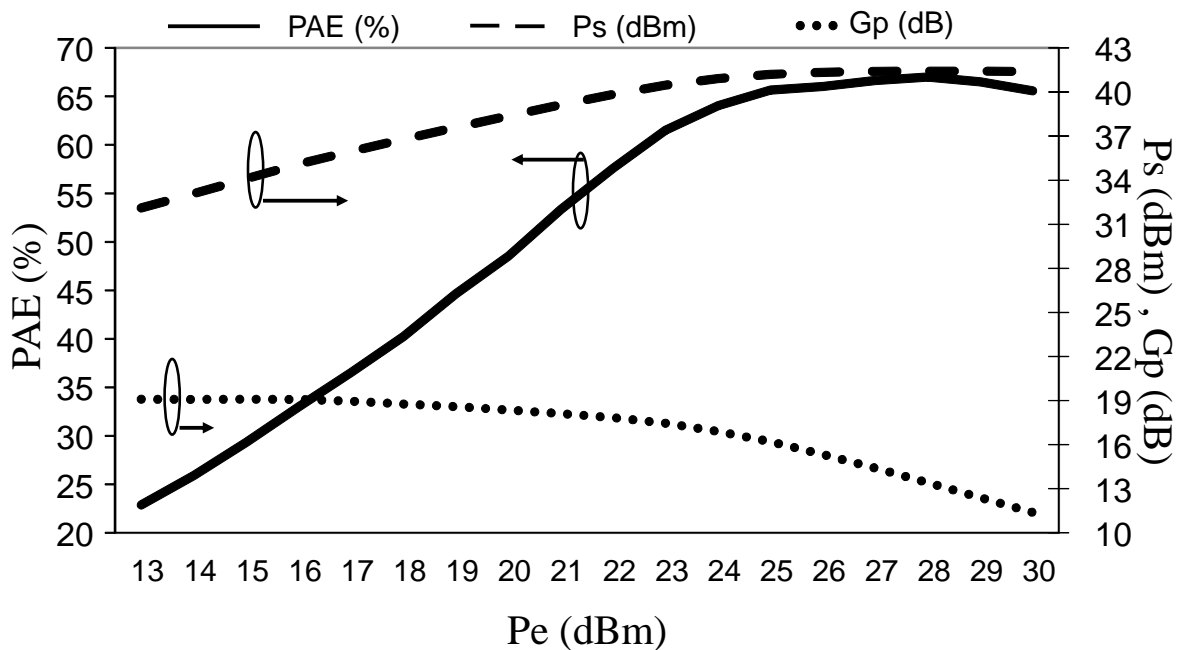


Figure IV-27 Performances de l'amplificateur à un étage à 2 GHz

Un maximum du rendement en puissance ajoutée de 66% a été obtenu à 29dBm de puissance d'entrée, 41.8 dBm de puissance de sortie et de 18dB de gain petit signal.

### III.6.2. Mesures en fonction de la fréquence

Les mesures sont faites autour de la fréquence centrale 2GHz. La Figure IV-28 montre les performances mesurées de l'amplificateur à un étage sur la bande de fréquence 1.8–2.2 GHz. Trois points de compression de gain 2, 3 et 4 dB sont affichés dans cette figure.

Le gain en puissance disponible de l'amplificateur reste à sa valeur entre 12.5 à 13 dB (à 4dB de compression) dans la bande mesurée (1.8-2.2GHz), un rendement en puissance ajoutée de plus de 60% est obtenu entre 1.9 et 2.1 GHz. A 2.2 GHz, une diminution de PAE a lieu à cause de l'adaptation passive d'impédance à  $2f_0$ .

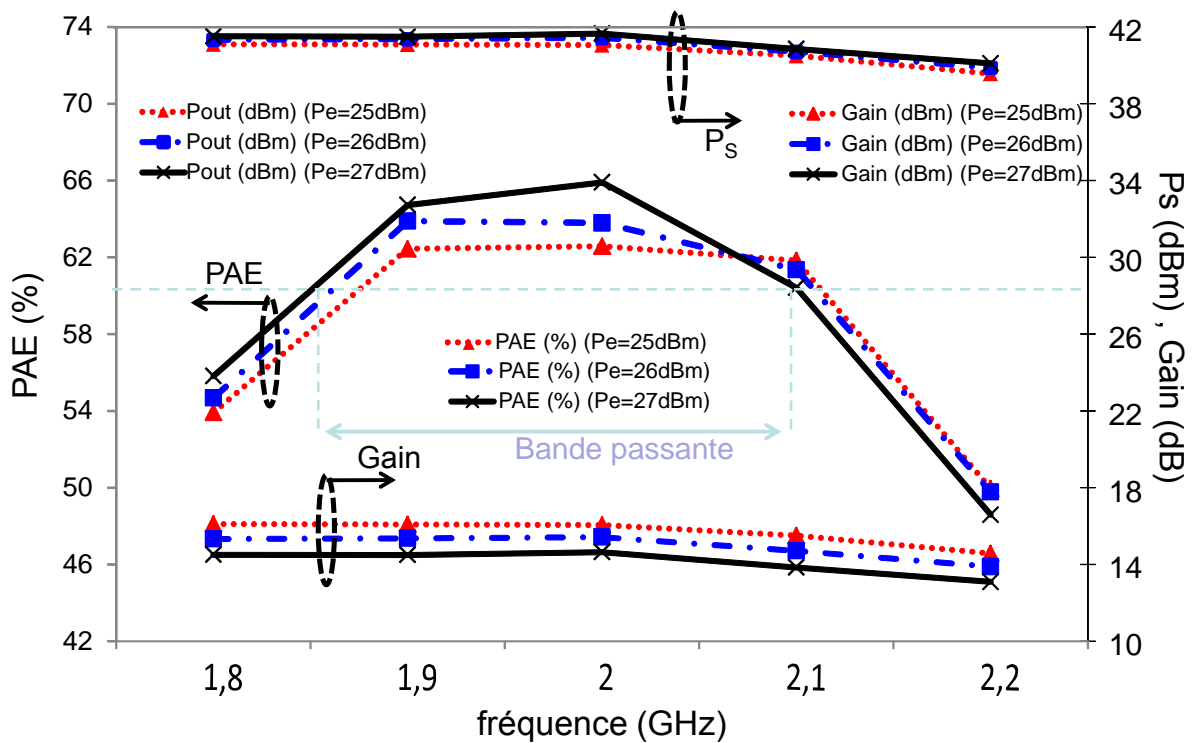


Figure IV-28 Performances de l'amplificateur en fonction de la fréquence.

#### IV. Conception des circuits pour l'amplificateur à deux étages.

Dans ce démonstrateur, un étage driver permet de commander l'étage de sortie avec un signal  $V_{gs}(t)$  de forme temporelle demi-sinus.

Cet amplificateur se compose de trois hybrides, le circuit d'entrée qui permet d'adapter l'entrée du transistor driver à  $f_0$ , un circuit inter-étages qui réalise l'adaptation entre les deux transistors (driver et de puissance).

Finalement un circuit hybride de sortie qui réalise l'adaptation de transistor de l'étage de puissance et assure leur fonctionnement en classe F. *Ce Mic est similaire à celui utilisé pour l'amplificateur à un étage.*

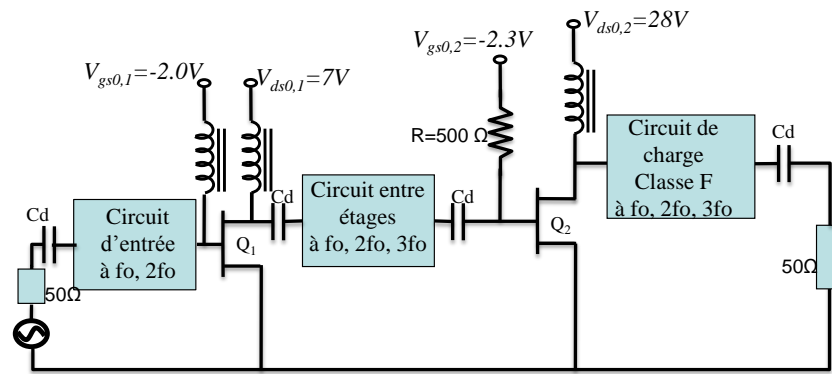


Figure IV-29 Schéma de principe de l'amplificateur à deux étages.

#### IV.1. Circuit hybride inter étages.

Pour former une tension  $V_{gs}(t)$  de forme demi-sinusoidale pour améliorer la PAE de l'étage de puissance et la PAE globale de l'amplificateur, le circuit inter-étage doit présenter de faibles pertes et un transfert de puissance optimal aux harmoniques ( $f_0$  et  $2f_0$ ).

On réalise un driver en classe  $F^{-1}$  qui pilote un étage de sortie classe F. Pour le driver en classe  $F^{-1}$ , l'impédance à  $3f_0$  doit être court-circuitée, le court-circuit à  $3f_0$  est assuré par un stub  $\lambda/12$  relié à la self de choc bobinée (Figure IV-30 et Figure IV-51).

Les paramètres  $Z_1=50 \Omega$ ,  $Z_2=13 \Omega$ ,  $Z_3=19 \Omega$  et  $\theta_{opt}=36.1^\circ$  sont optimisés pour réaliser un compromis entre d'une part le PAE de l'étage driver et le PAE complet de l'amplificateur et la forme demi-sinusoidale de la tension de commande d'entrée.

La polarisation de drain du transistor driver est assurée par une self de choc reliée au stub  $\lambda/12$ . La polarisation de grille du transistor de puissance est assurée en utilisant une forte résistance de 500 ohms, le courant DC de grille étant négligeable.

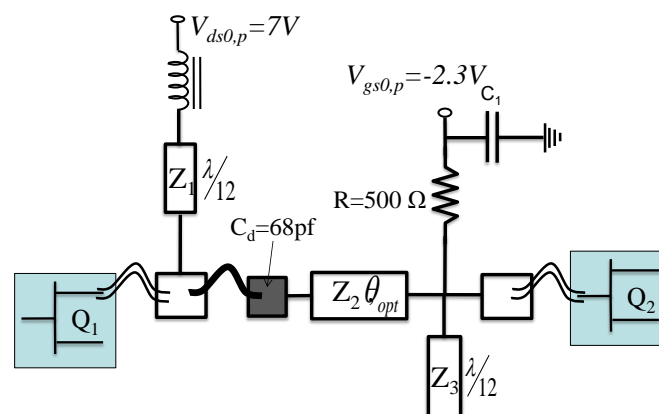


Figure IV-30 Circuit inter-étages

L'hybride inter-étage a été simulé en simulation électromagnétique avec Momentum pour comparer les paramètres [S] du circuit avec des modèles électriques de lignes.

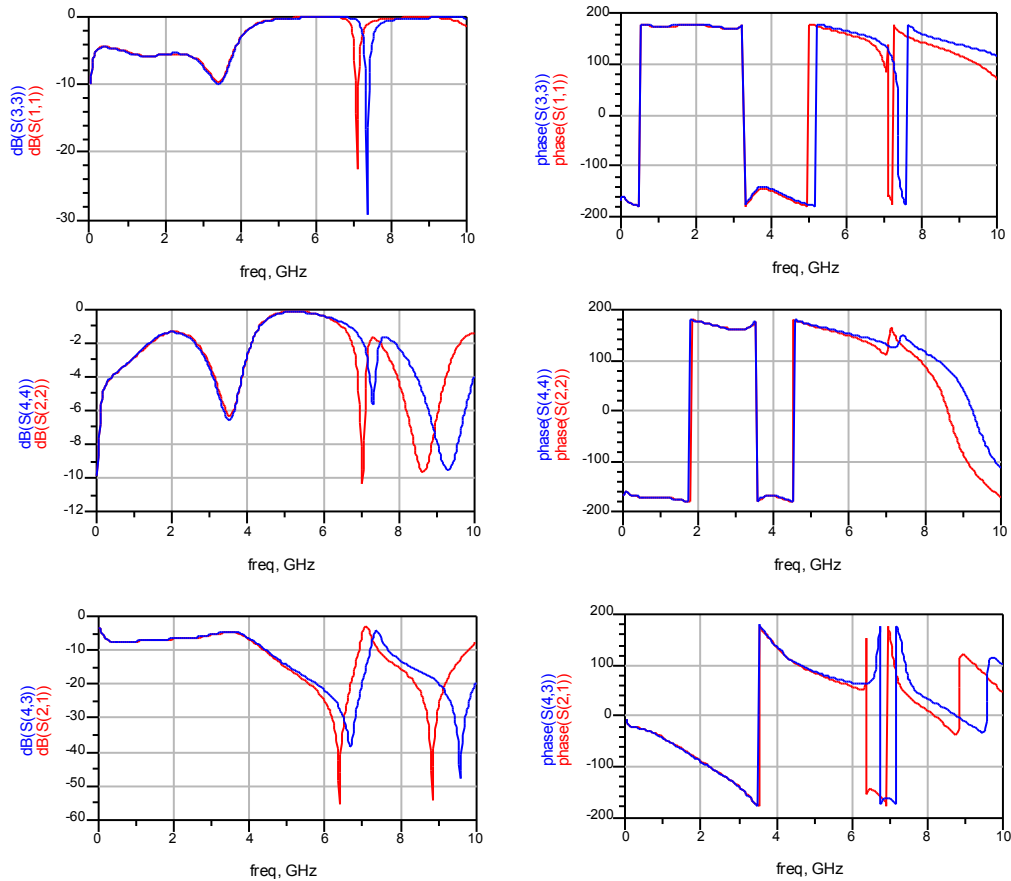


Figure IV-31 Comparaison des paramètres [S] simulés électriquement et électromagnétiquement de l'hybride entre les 2 étages.

Le Mic hybride de circuit inter-étage finalisé est présenté Figure IV-32.

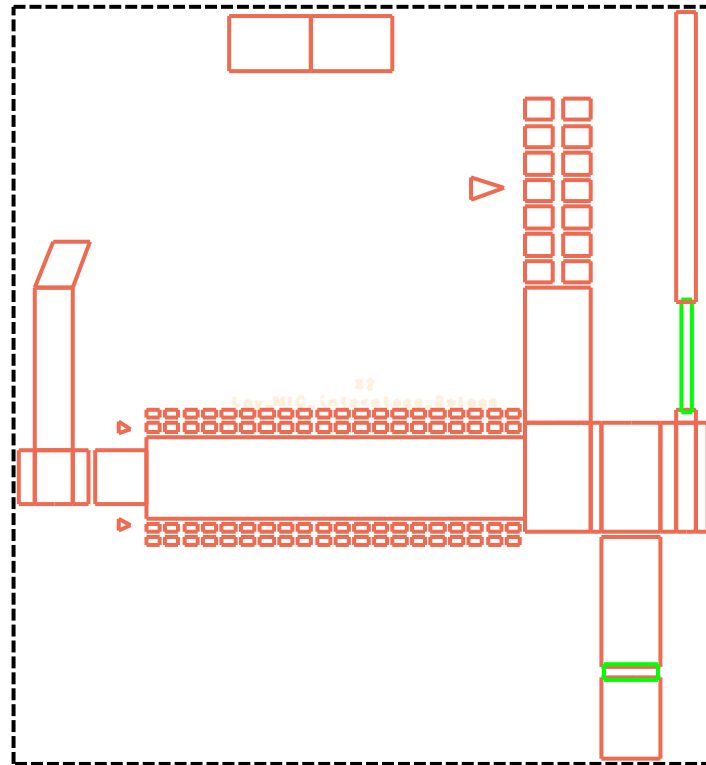


Figure IV-32 Mic inter-étages.

#### IV.2. Circuit hybride d'entrée.

Ce circuit permet l'adaptation de l'impédance d'entrée du transistor driver à  $50\Omega$  de l'impédance de source. La polarisation est amenée par une ligne quart d'onde à la fréquence fondamentale. L'adaptation de l'entrée du transistor à  $50\Omega$  se fait par l'optimisation des paramètres ( $Z_{Cin1} = 50\Omega$ ,  $Z_{Cin2} = 14\Omega$ ,  $Z_{Cin3} = 42.5\Omega$ ,  $\theta_{in3} = 21.77^\circ$ ,  $Z_{Cin4} = 14\Omega$ ,  $\theta_{in4} = 12^\circ$ ).

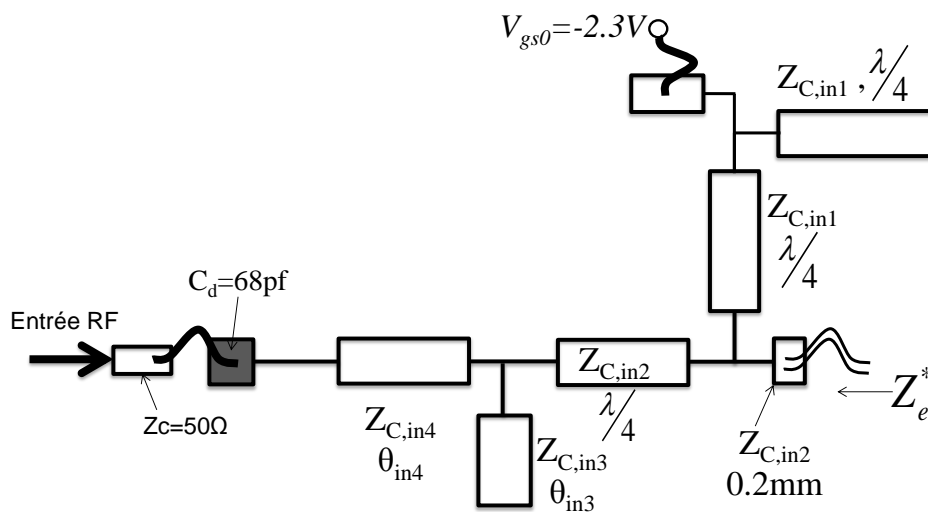


Figure IV-33 Circuit d'entrée de l'amplificateur à 2 étages.

L'hybride de l'entrée de l'amplificateur à 2 étages a été simulé en simulation électromagnétique avec Momentum pour comparer les paramètres [S] du circuit avec des modèles électriques de lignes.

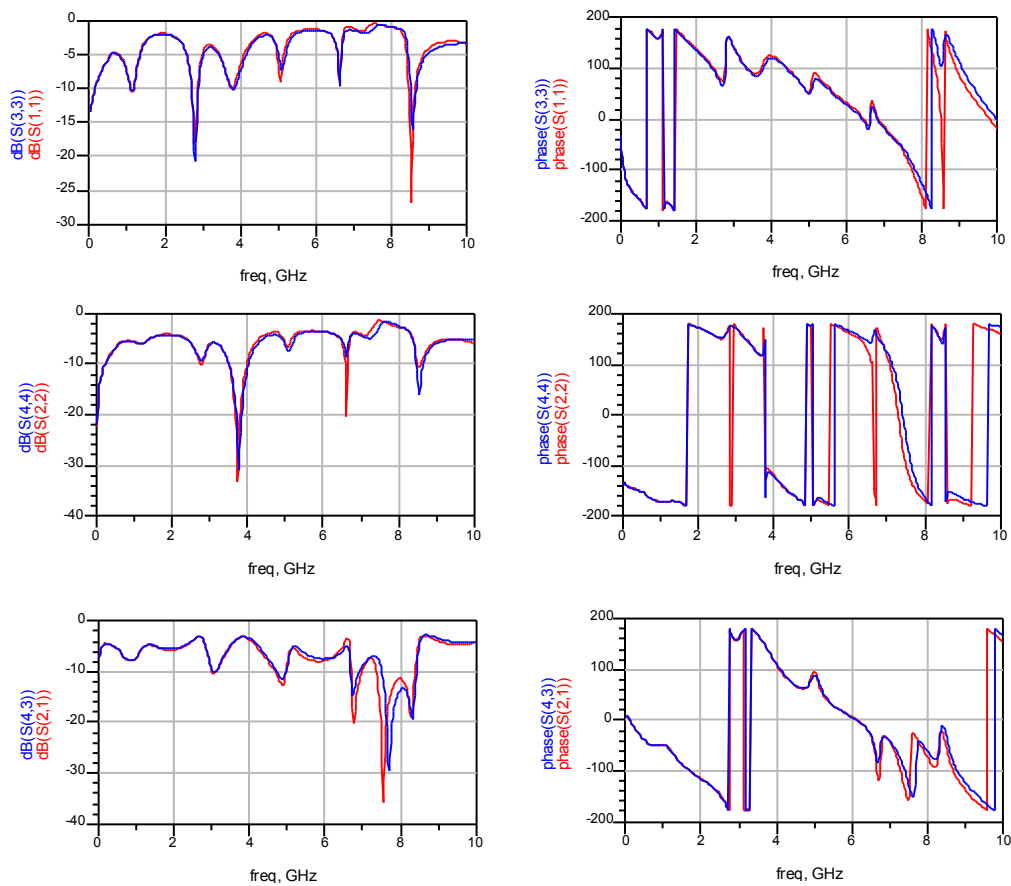


Figure IV-34 Comparaison des paramètres [S] simulés électriquement et électromagnétiquement de l'hybride d'entrée de l'amplificateur à 2 étages.

Le Mic hybride de circuit inter-étage finalisé est présenté Figure IV-35.

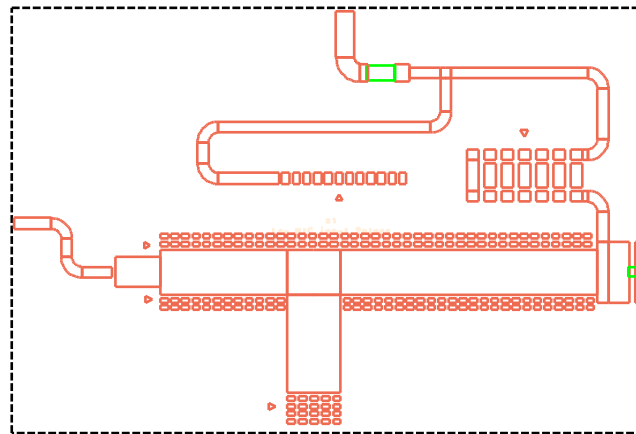


Figure IV-35 Mic d'entrée.

IV.3. Amplificateur conçu. (Simulation électromagnétique - Momentum).

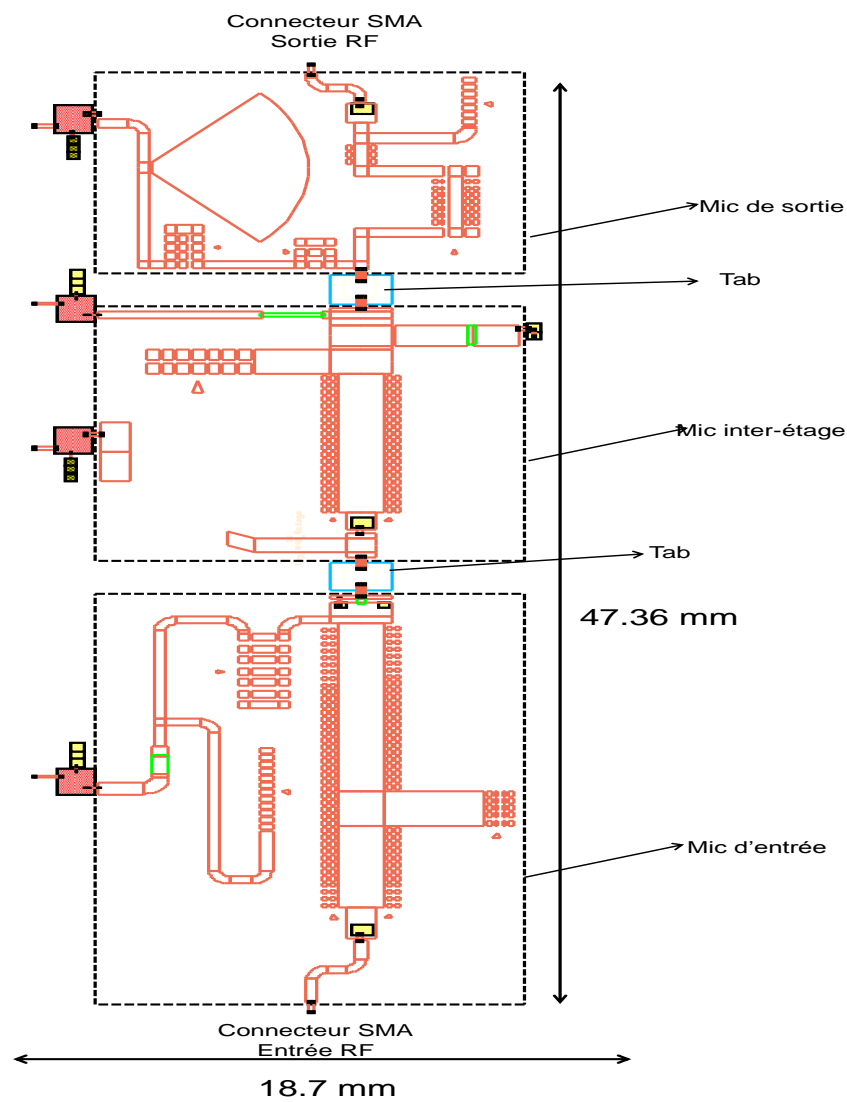


Figure IV-36 Schéma des hybrides de l'amplificateur à deux étages.

## IV.4. Résultats de simulations

### IV.4.1. Simulations paramètres [S].

Dans un premier temps, des simulations petit signal de l'ensemble du circuit ont été réalisées et sont exposées Figure IV-37, Figure IV-38 et Figure IV-39.

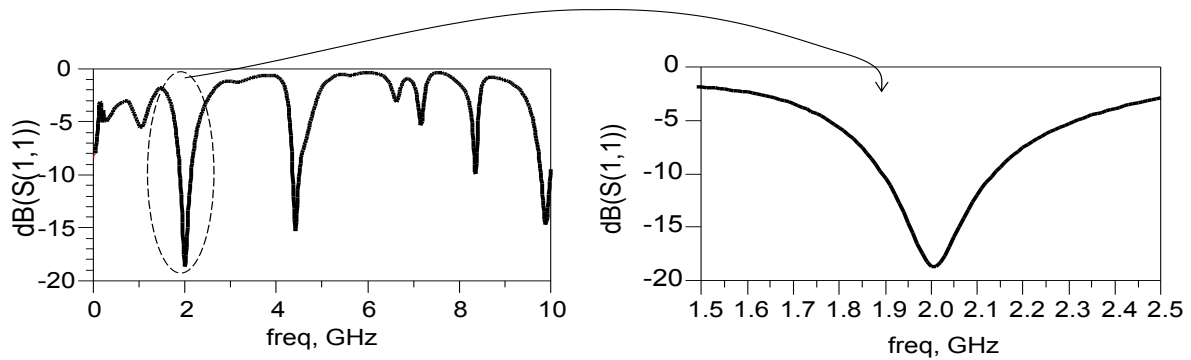


Figure IV-37 Coefficient de réflexion en entrée.

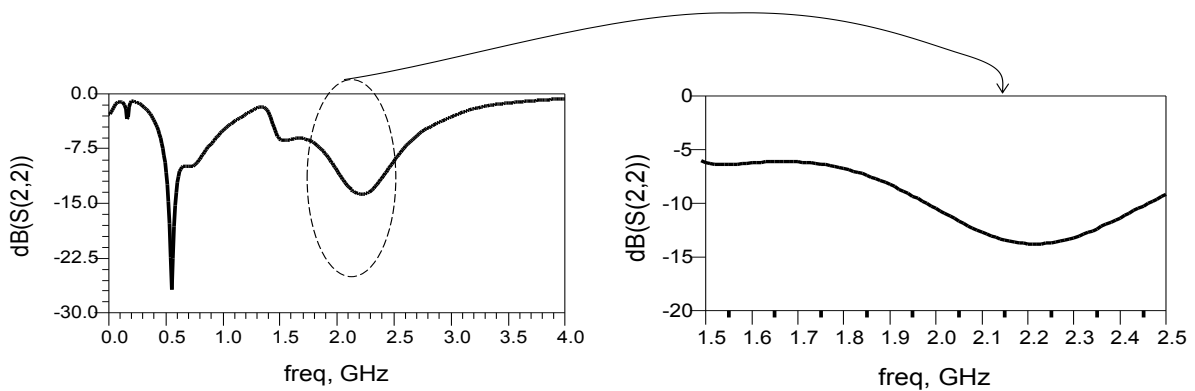


Figure IV-38 Coefficient de réflexion en sortie.

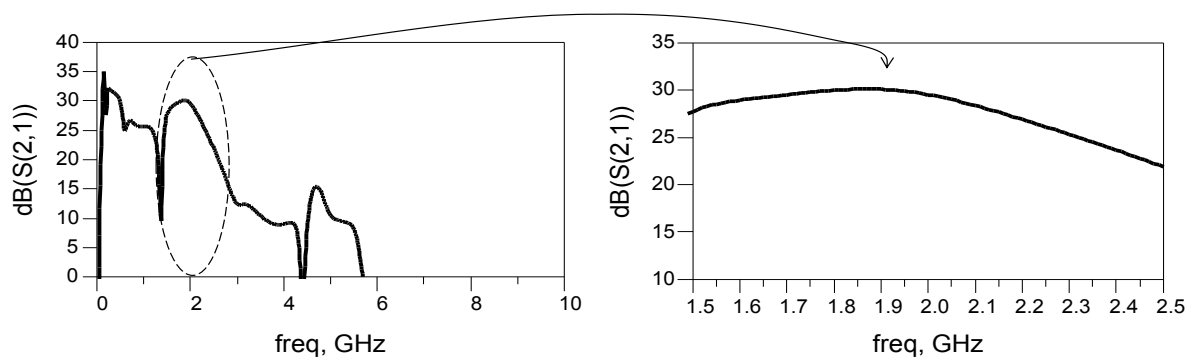


Figure IV-39 Gain petit signal.



Les résultats montrent que l'amplificateur est bien adapté sur  $50\Omega$  en entrée et en sortie à la fréquence de travail de 2GHz. En effet les coefficients de réflexion en entrée et en sortie sont inférieurs à -12 dB, alors qu'un gain de 28dB est atteint autour de la fréquence de travail.

#### IV.4.2. Simulations en puissance.

Des simulations en régime fort signal ont été effectuées à partir du modèle non linéaire des composants actifs (chapitre 2). L'amplificateur est polarisé en classe AB profonde ( $V_{ds02}=28V$ ,  $V_{gs02} = -2.3 V$ ) pour l'étage de puissance et pour l'étage driver ( $V_{ds01} = 7V$ ,  $V_{gs01} = -2V$ ).

Les simulations ont été réalisées pour une puissance d'entrée variant de -5 à 29dBm. La Figure IV-40 recense les résultats en puissance simulés obtenus en milieu de bande à la fréquence de 2GHz. Nous pouvons relever un gain linéaire de 28dB, une puissance de sortie de 41.9 dBm au point maximum du rendement en puissance ajoutée de 71.5%. Le rendement de drain de cet amplificateur s'élève à un maximum de 80%.

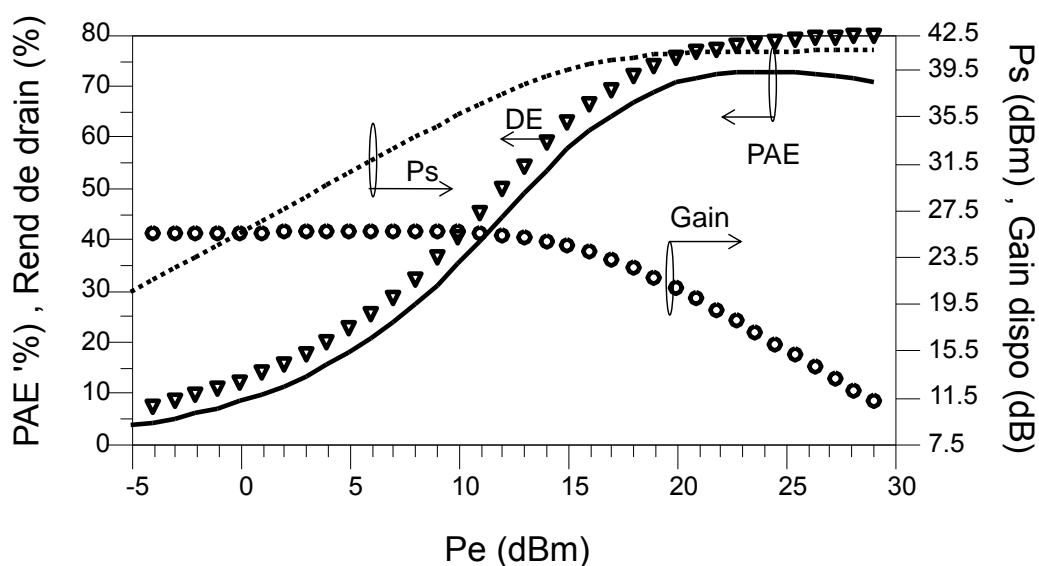


Figure IV-40 Performances simulées de l'amplificateur à deux étages.

Les cycles de charge des deux étages sont présentés Figure IV-41. Ainsi que les formes temporelles simulées de sortie du transistor driver et l'entrée du transistor de puissance sont présentés Figure IV-42.

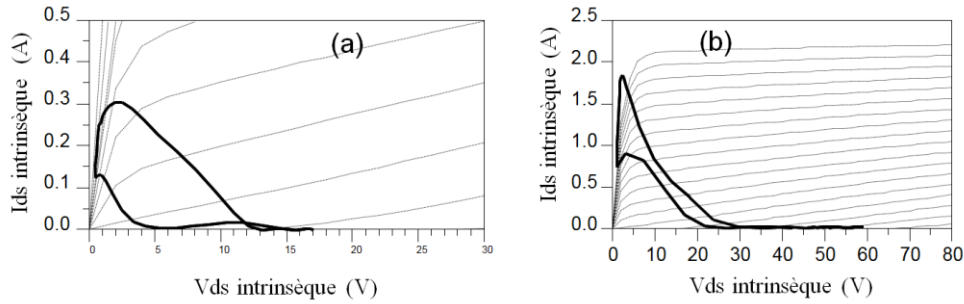


Figure IV-41 Cycles de charge des transistors driver (a) et de puissance (b).

Une réduction du temps de conduction est observable sur le cycle de charge de transistor de l'étage de puissance qui ressemble à celui d'un amplificateur polarisé en classe C profond.

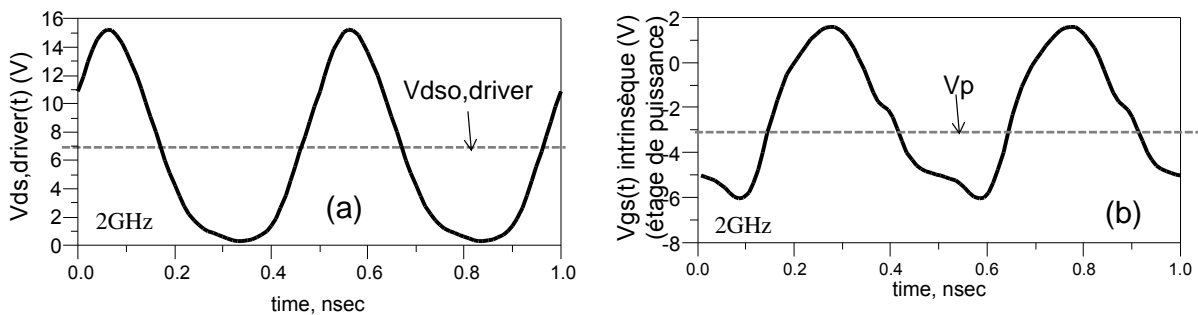


Figure IV-42 Formes temporelles de la tension de drain du transistor driver (a) et de la tension de grille du transistor de puissance (b).

#### IV.4.3. Simulations en fréquence.

Un signal CW est balayé en fréquence entre 1.5 et 2.2 GHz.

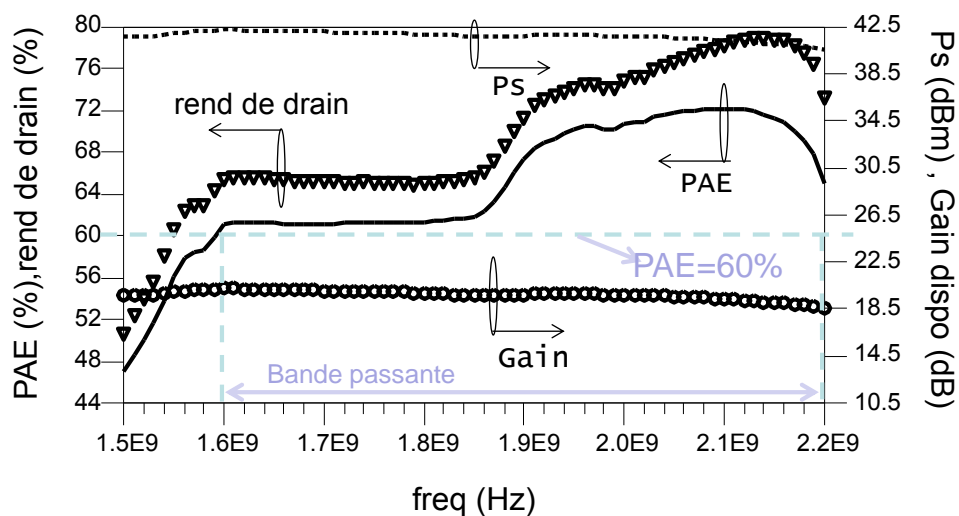


Figure IV-43 Performances simulées de l'amplificateur en fonction de la fréquence.

Le rendement en puissance ajoutée de l'amplificateur à deux étages est amélioré de quelques points comparé avec l'amplificateur simple étage.

Une bande passante de l'ordre de plus de 20% est obtenue avec une PAE supérieure à 60%.

La Figure IV-43 montre que le PAE est moins sensible à l'entrée de l'étage de puissance comme c'est le cas dans le simple étage et une amélioration de PAE est apportée sur une bande de plus de 20 points autour de la fréquence centrale 2GHz.

Une amélioration importante de PAE en utilisant un amplificateur à 2 étages apparaît à 2.1GHz et aussi plus à 2.2 GHz. A cette plage de fréquence entre 2.1 et 2.2 GHz, le temps de conduction du transistor dans le module un étage augmente entraînant à une chute de PAE due à l'augmentation du temps de coexistence de la tension / courant de drain. Ceci est clairement mis en évidence par la simulation des formes temporelles de  $V_{gs}(t)$  dans les deux modules Figure IV-44.

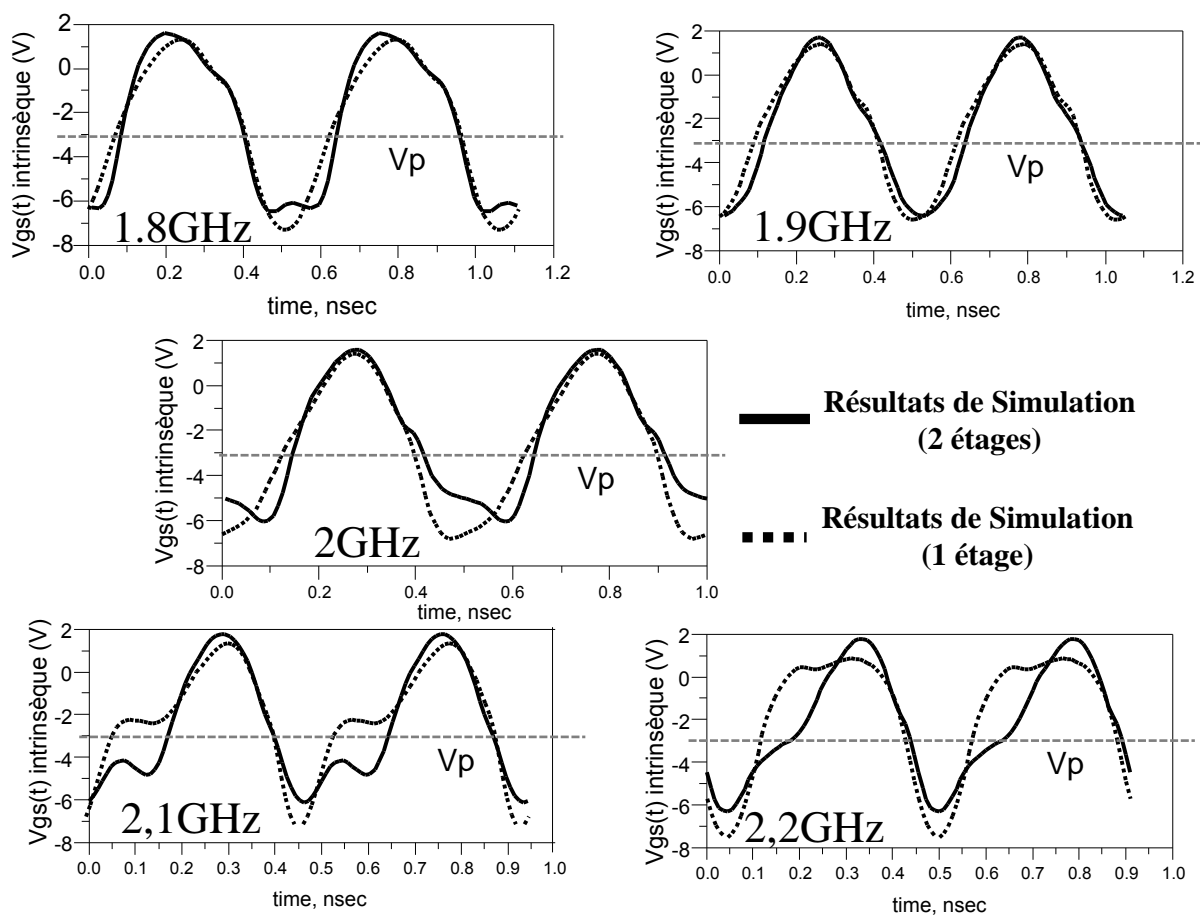


Figure IV-44 Forme de la tension de grille source en fonction de fréquence.

IV.4.4. Tableau de synthèse des simulations.

| Fréquence (GHz) | PAE (%) | Ps (dBm) | Gain (dB) |
|-----------------|---------|----------|-----------|
| 1.8             | 60      | 42.1     | 20.1      |
| 1.9             | 68      | 41.9     | 19.9      |
| 2               | 71      | 41.8     | 19.8      |
| 2.1             | 72      | 41.5     | 19.5      |
| 2.2             | 64      | 40.5     | 18.5      |

Tableau IV-2 Tableau de synthèse des simulations.

IV.5. Etude de la stabilité.

La même étude de stabilité que pour l'amplificateur à un étage a été effectuée sur la version à 2 étages.

Le circuit d'entrée de l'amplificateur à 2 étages est en Figure IV-45 montre l'insertion des éléments  $R_{stab1}$ ,  $C_{stab1}$ ,  $R_{stab2}$ ,  $C_{stab2}$ , réglés pour stabiliser l'amplificateur.

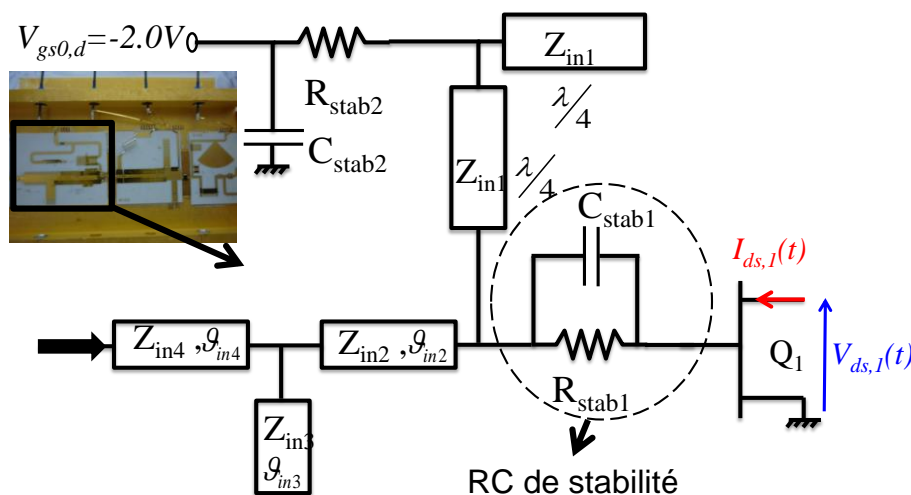


Figure IV-45 Circuit finalisé après stabilisation

Les résultats de l'analyse de stabilité linéaire (facteur K et B) sont donnés Figure IV-46.

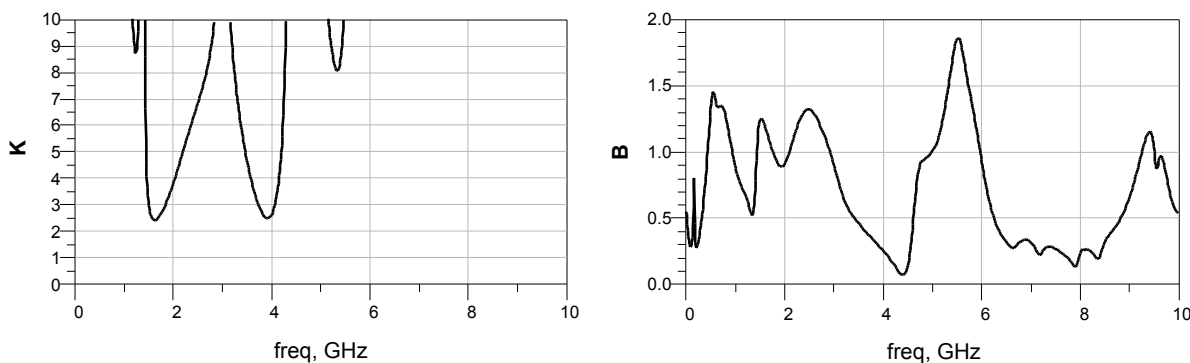


Figure IV-46 Facteurs de stabilité linéaires.

Pour l'amplificateur à 2 étages la perturbation est appliquée premièrement sur le transistor de puissance et on calcule la réponse fréquentielle en boucle fermée linéarisée ( $H_0(j\omega_s)$ ), associée à un nœud "n" du circuit. Puis le même principe sur le transistor driver. (Figure IV-47).

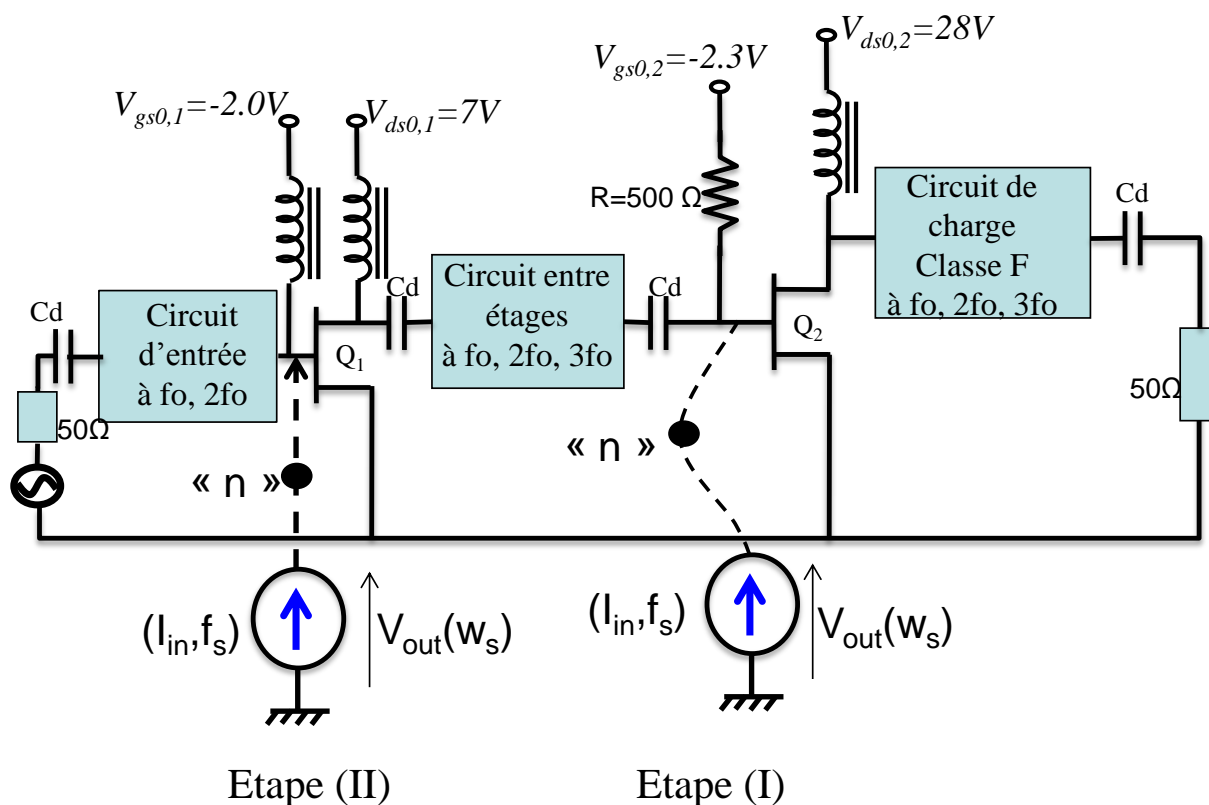


Figure IV-47 Mise en parallèle d'une perturbation pour l'analyse de stabilité non linéaire de l'amplificateur à 2 étages.

L'analyse de stabilité non linéaire a été faite avec STAN et la méthode de l'injection de perturbation en boucle ouverte. Dans les deux cas l'injection de la perturbation a été effectuée en deux étapes (Figure IV-47):

- Injection sur la grille du transistor de puissance. Les résultats sont décrits figures (Figure IV-48, Figure IV-49).
- Injection sur la grille du transistor driver. Les résultats sont décrits Figure IV-50.

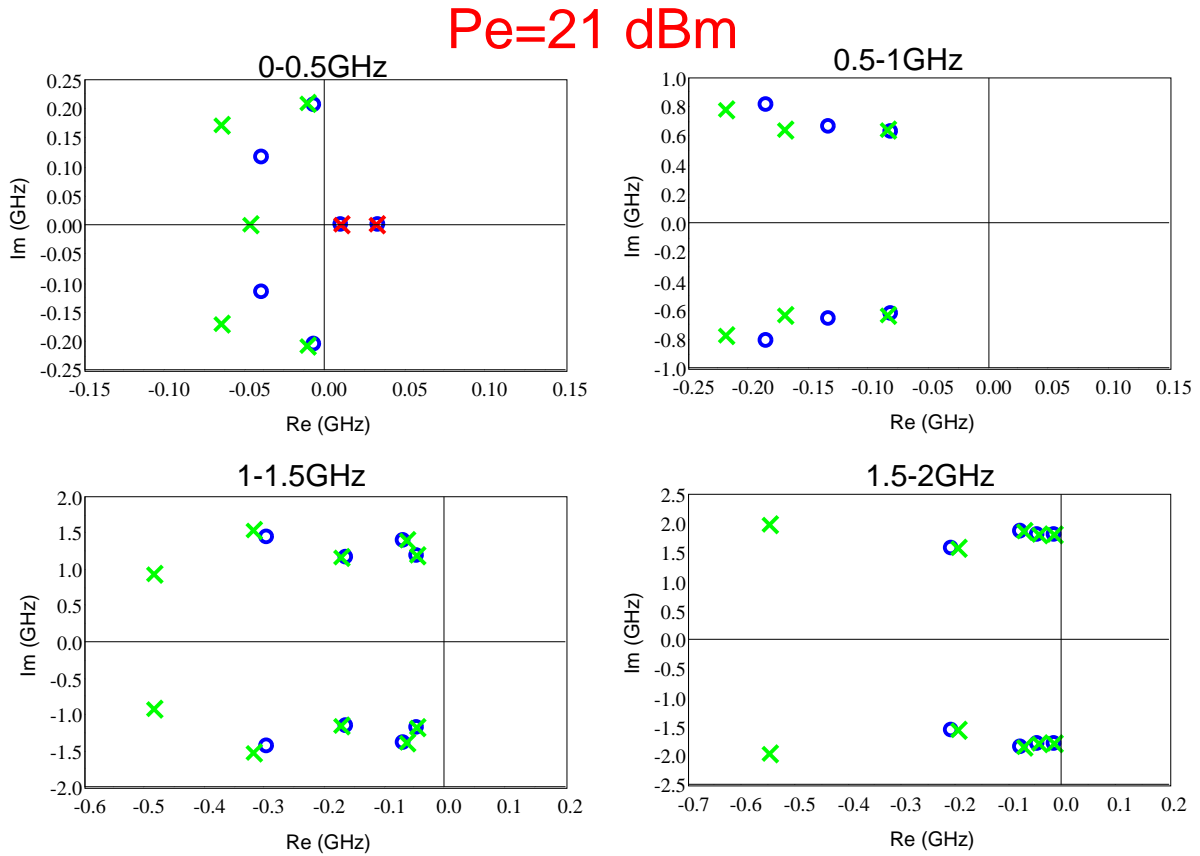


Figure IV-48 Analyse de stabilité non linéaire avec STAN (injection de perturbation sur la grille du transistor de puissance).

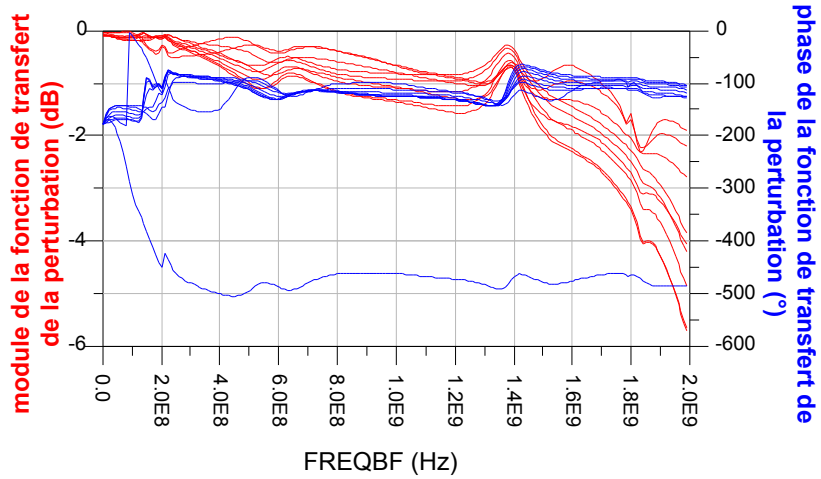


Figure IV-49 Module et phase de la fonction de transfert de la perturbation après stabilisation. (Injection de perturbation sur la grille du transistor de puissance).

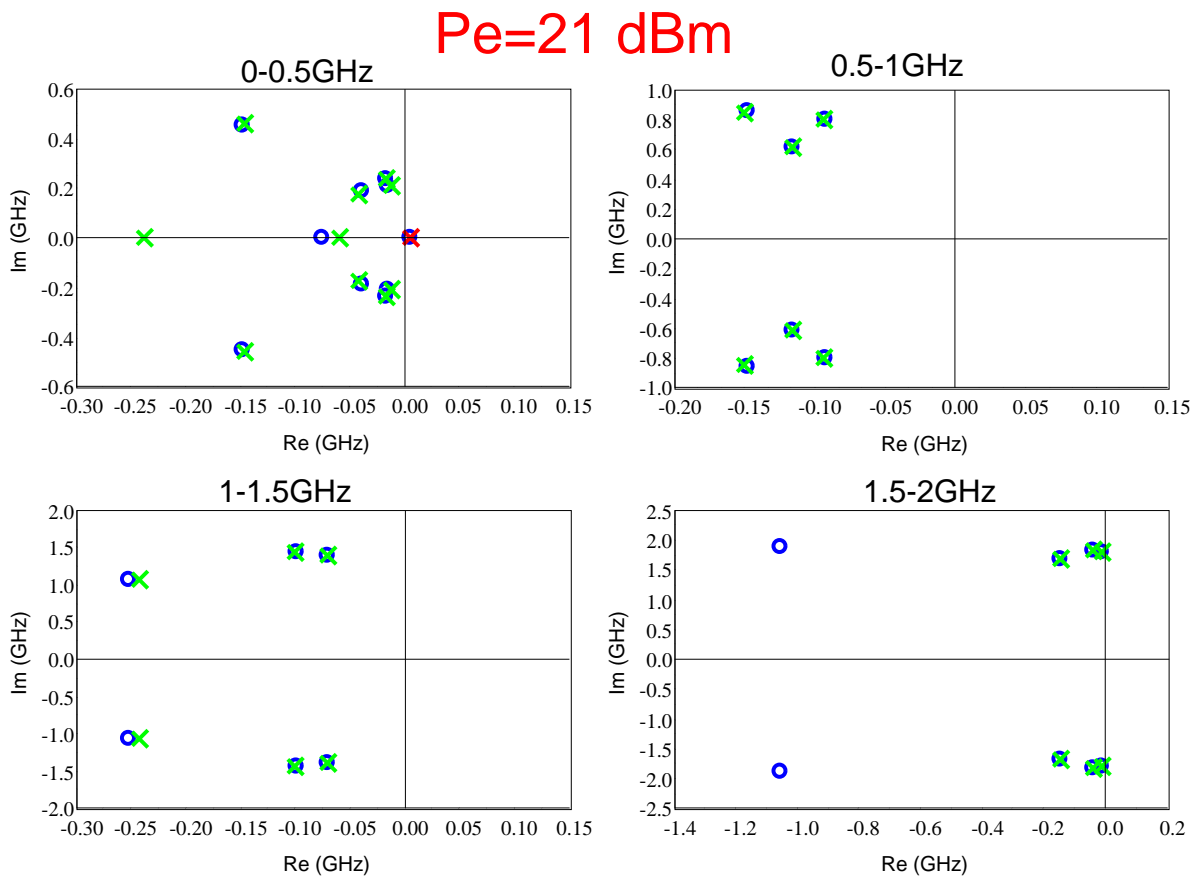


Figure IV-50 Analyse de stabilité non linéaire avec STAN (injection de perturbation sur la grille du transistor driver).

#### IV.6. Résultats expérimentaux – comparaison des deux amplificateurs conçus.

L'amplificateur à deux étages fabriqué par Thales Alenia Space est représenté Figure IV-51.

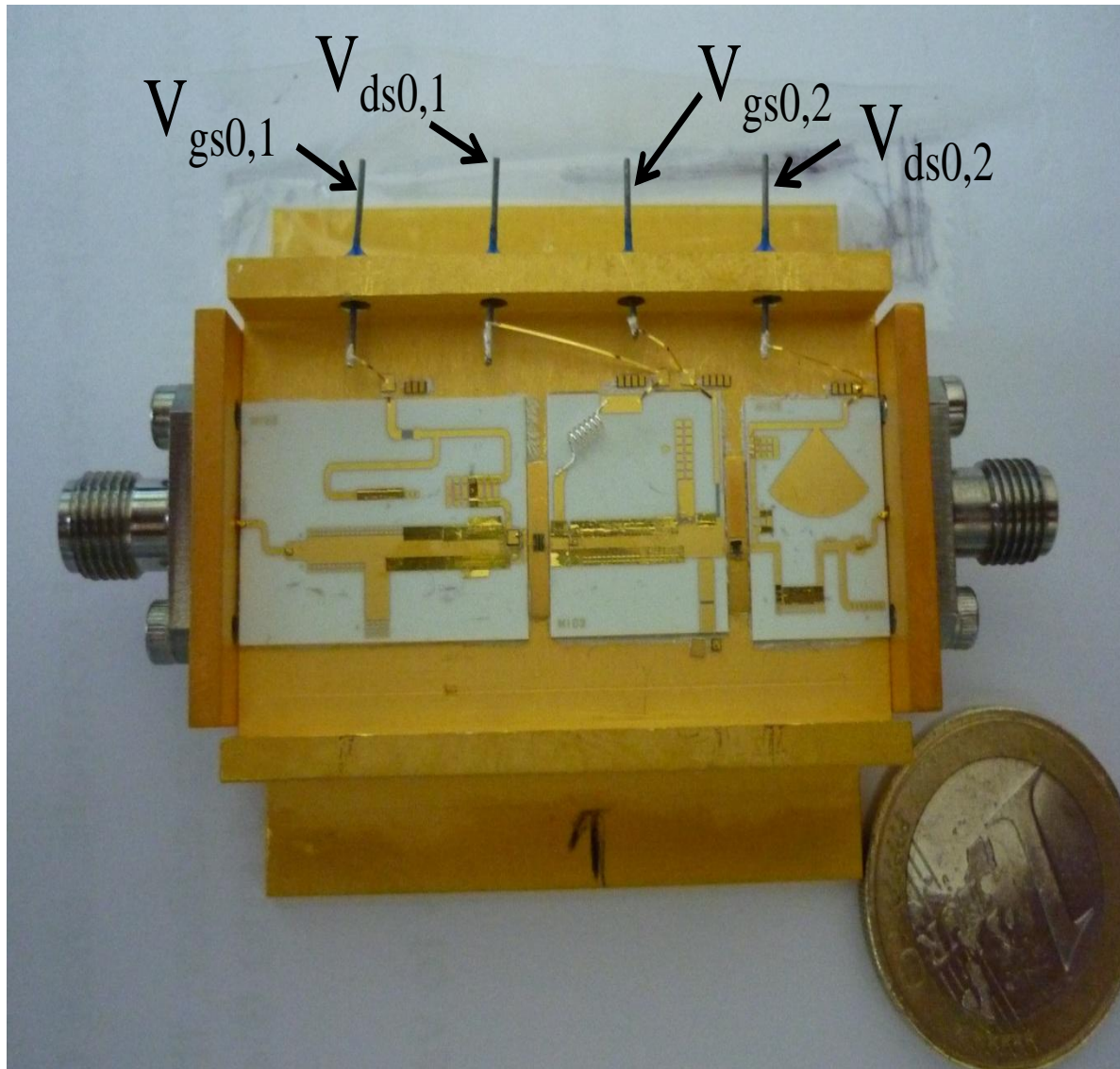


Figure IV-51 Démonstrateur de l'amplificateur à 2 étages.

##### IV.6.1. Mesures en puissance

La Figure IV-52 représente des mesures CW à la fréquence de 2 GHz.

Les polarisations de l'amplificateur sont :

- ✓ Pour le transistor driver :  $V_{gs0,1} = -2.0 \text{ V}$  ;  $V_{ds0,1} = 7 \text{ V}$ .



✓ Pour le transistor de puissance :  $V_{gso,2} = -2.30 \text{ V}$  ;  $V_{dso,2} = 28 \text{ V}$ .

La mesure à 2GHz de ce module montre une amélioration du rendement en puissance ajoutée PAE de 4 points comparé au module simple étage classe F, associée à une augmentation de 10 dB du gain en puissance.

Un maximum de PAE de 69.5% est obtenue à 41.8 dBm de puissance de sortie et un gain en puissance disponible bas niveau de 29dB.

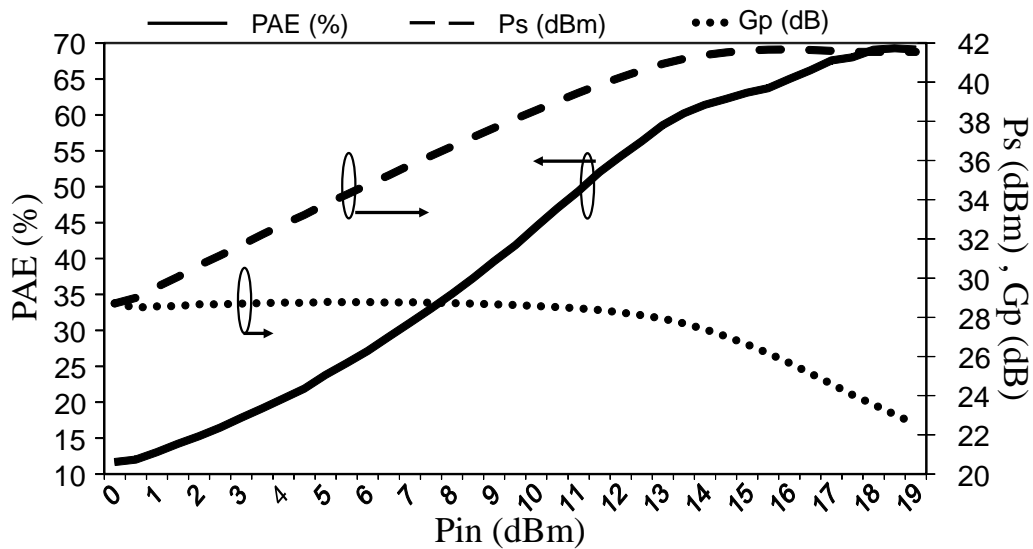


Figure IV-52 Performances de l'amplificateur à 2 étages.

#### IV.6.2. Mesures en fonction de la fréquence

Les mesures sont faites autour de la fréquence centrale 2GHz. La Figure IV-53 montre les performances mesurées de l'amplificateur à 2 étages entre 1.8–2.2 GHz. Trois points de compression de gain 2, 3 et 4 dB sont affichés dans cette figure.

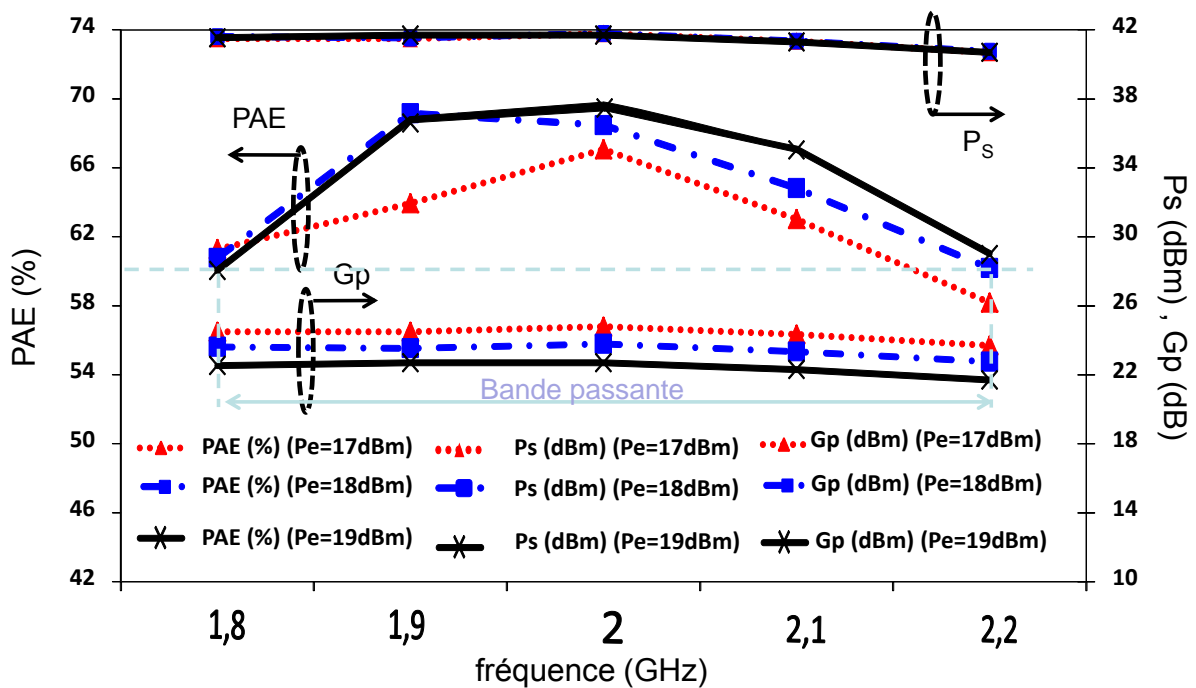


Figure IV-53 Performances de l'amplificateur en fonction de la fréquence.

Un avantage du montage à 2 étages est de garder un bon PAE sur une bande de fréquence plus importante comparativement au module un étage présenté partie III.

#### IV.6.3. Analyse comparative des deux modules conçus.

L'intérêt premier d'utiliser un amplificateur à deux étages est d'augmenter le gain en puissance par rapport à un amplificateur à simple étage.

Les études de préformation de  $V_{gs}(t)$  par injection de l'harmonique 2 à l'entrée de l'étage de puissance ont été démontré un avantage à garder une forme temporelle de tension demi-sinus sur une large bande de fréquence, ce qui règle le problème d'une adaptation passive à l'harmonique 2 en entrée par un stub  $\lambda/4$ .

La Figure IV-54 présente une comparaison des performances mesurées des deux modules. Une amélioration de 3 point de PAE à la fréquence fondamentale 2GHz avec une amélioration de la bande utile (pour laquelle la PAE est supérieure à 60% autour de 2GHz) sur laquelle la PAE monte à plus de 60% tout en conservant une puissance de sortie de 41.8dBm.

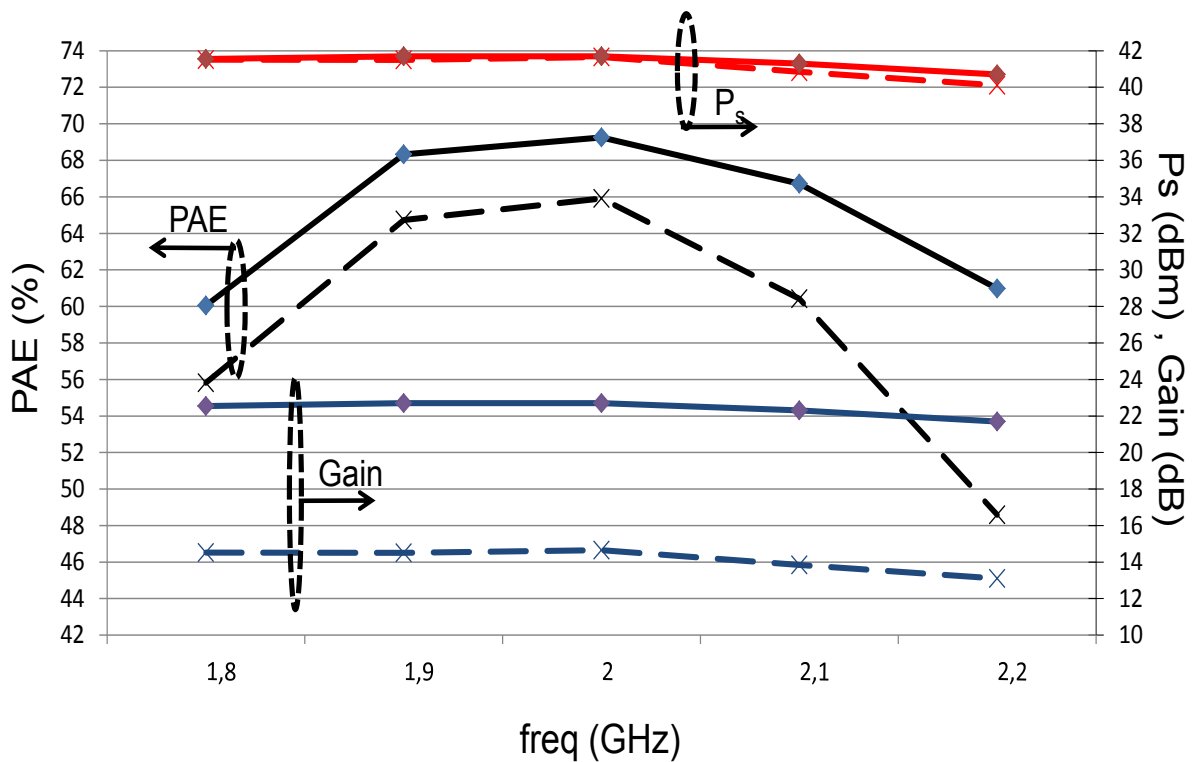


Figure IV-54 Comparaison des deux modules.

Sur la bande de fréquence analysée, on note que le gain et la puissance de sortie restent quasiment constants. Pour les deux amplificateurs, la puissance de sortie est identique. L'amplificateur à 2 étages présente un gain amélioré d'environ 9dB. La différence essentielle entre les deux circuits réside dans les performances en rendement. Le circuit à 2 étages présente un rendement supérieur sur l'ensemble de la bande de fréquence. Aux extrémités de bande il est encore supérieur à 60% et présente un maximum de 69% à la fréquence centrale, soit 3 à 4 points de plus que le circuit à un seul étage.

L'introduction du driver a donc bien permis d'augmenter le rendement global de l'amplificateur tout en bénéficiant d'un gain élevé. Par ailleurs, le driver permet d'élargir la bande passante du circuit comparativement au simple étage. Cet effet est analysé grâce aux formes temporelles mesurées dans le paragraphe suivant.

## V. Mesures des formes temporelles avec sonde à haute impédance.

### V.1. Description du banc de mesure.

Les mesures de forme d'onde temporelles sont faites en utilisant le banc LSNA de Limoges. Les formes temporelles intrinsèques des tensions d'entrée et de sortie de transistor sont prélevées à l'aide d'une sonde haute impédance qui nous permet de mesurer au plus près du transistor.

Le schéma simplifié du banc est donné Figure IV-55.

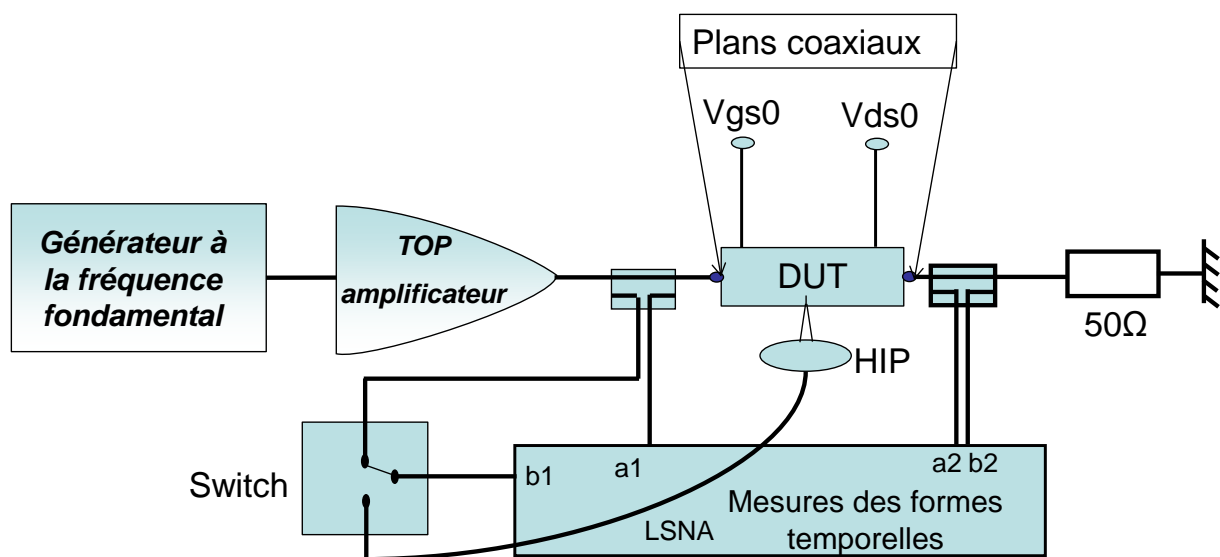


Figure IV-55 Schéma simple du banc de mesure.[95]

La photo du positionnement de sonde haute impédance qui nous a permis de mesurer la forme de tension  $V_{gs}(t)$  et  $V_{ds}(t)$  pour les deux modules est présenté Figure IV-56.

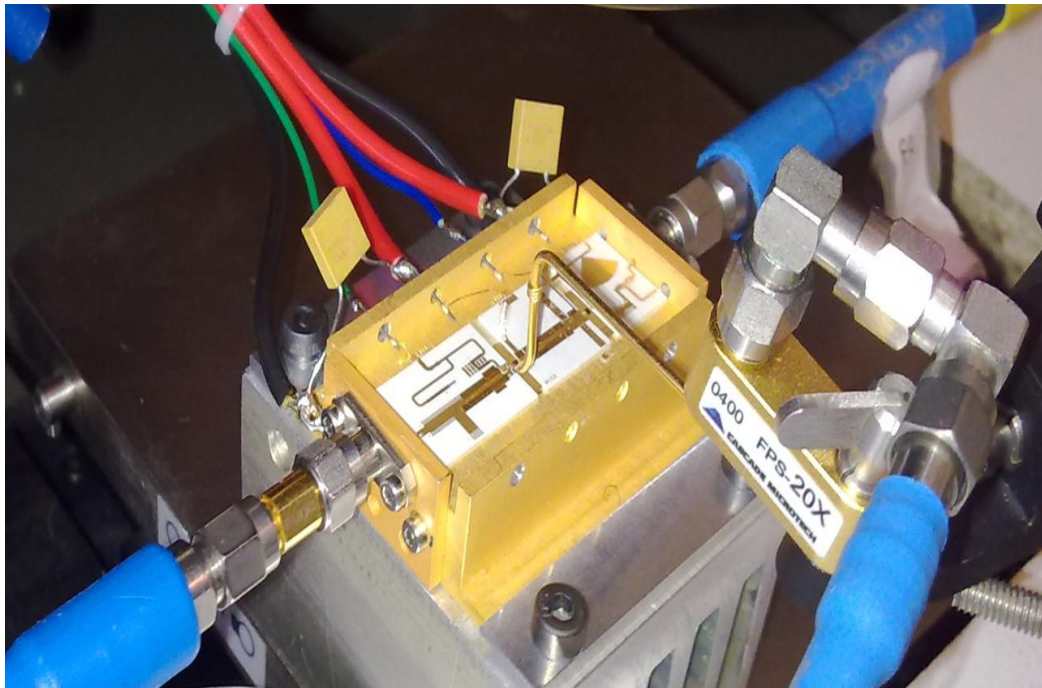


Figure IV-56 Mesure de formes d'ondes temporelles avec sonde haute impédance.

La mesure des formes temporelles permet de valider l'étude théorique. D'une part, on valide le bon fonctionnement des amplificateurs en classe F par une mesure de la tension de drain du transistor, d'autre part, la forme temporelle de la tension de grille du transistor et le temps de conduction de chaque transistor.

Le banc a été calibré à trois fréquences 1.9, 2 et 2.1GHz pour observer la variation des tensions de grille et de drain dans la bande de fonctionnement.

## V.2. Formes temporelles mesurées sur le module à un étage.

Il est intéressant d'observer les formes d'ondes temporelles associées aux mesures des performances données dans la partie III.5 pour les fréquences 1.9, 2, 2.1GHz.

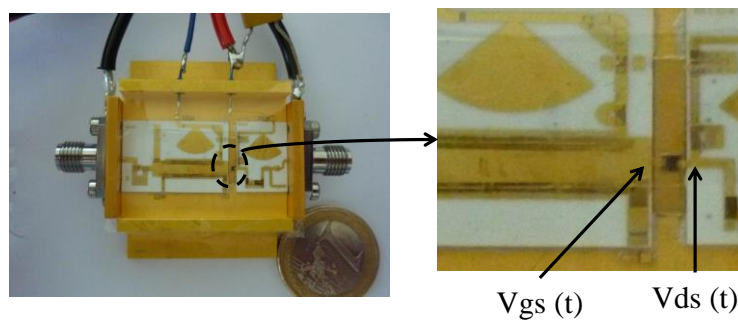


Figure IV-57 Plans de mesures avec sondes haute impédance.

Les courbes Figure IV-58 et Figure IV-59 montrent la comparaison simulation/mesure de la tension de drain, et la tension de grille à la fréquence 1.9GHz.

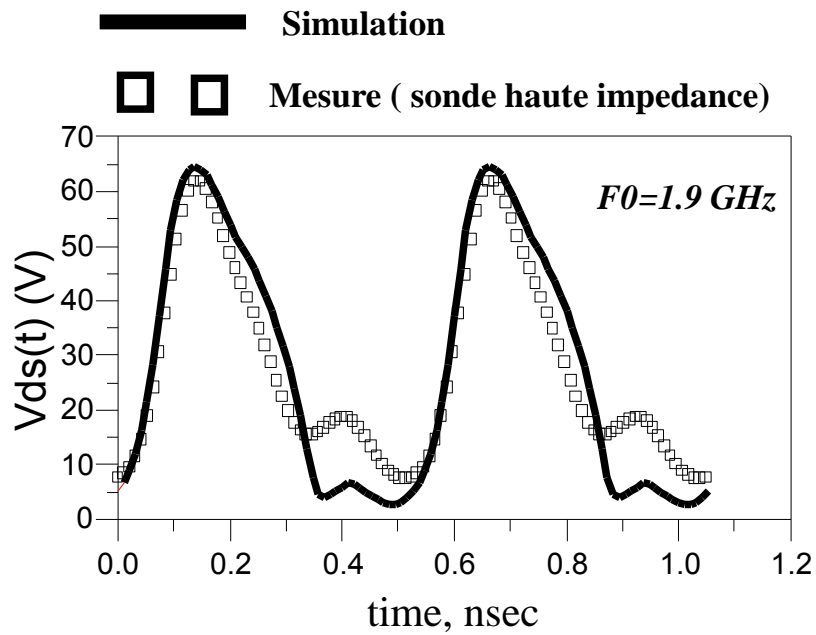


Figure IV-58 Tension de drain en fonction du temps à 3dB de compression de gain à la fréquence 1.9GHz.

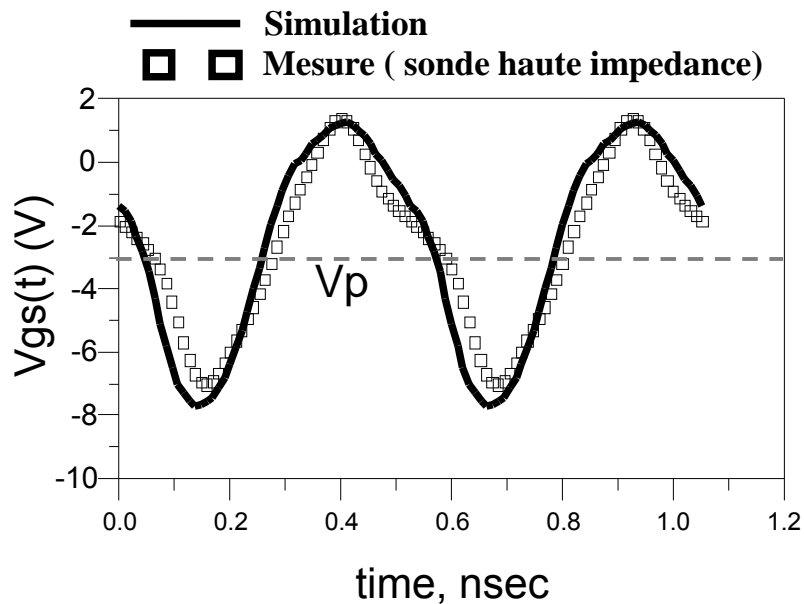


Figure IV-59 Tension de grille en fonction du temps à 3dB de compression de gain à la fréquence 1.9GHz.

Les courbes Figure IV-60 et Figure IV-61 donnent la tension de drain, et la tension de grille à la fréquence fondamentale 2GHz.

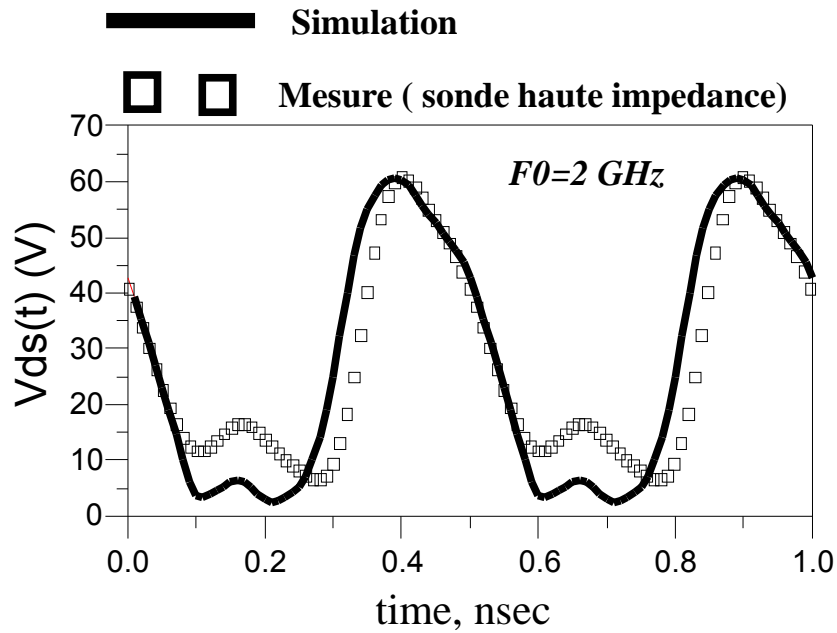


Figure IV-60 Tension de drain en fonction du temps à 3dB de compression de gain à la fréquence 2GHz.

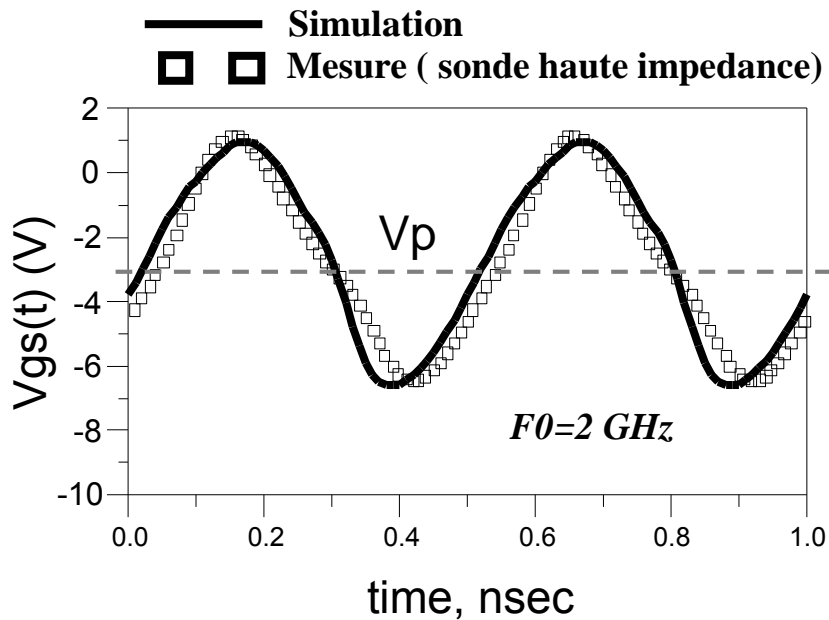


Figure IV-61 Tension de grille en fonction du temps à 3dB de compression de gain à la fréquence 2GHz.

On remarque que la forme temporelle de tension de drain n'est pas parfaitement quasi carrée (classe F), ceci est dû à la difficulté de tuner finement le module pour réaliser une haute impédance intrinsèque à l'harmonique 3 (ligne  $\lambda/12$  dans la Figure IV-6).

Ce petit décalage de l'impédance de l'harmonique 3 n'influe cependant pas sur la PAE de l'amplificateur.

Les courbes Figure IV-62 et Figure IV-63 donnent la tension de drain, et la tension de grille à la fréquence fondamentale 2.1GHz.

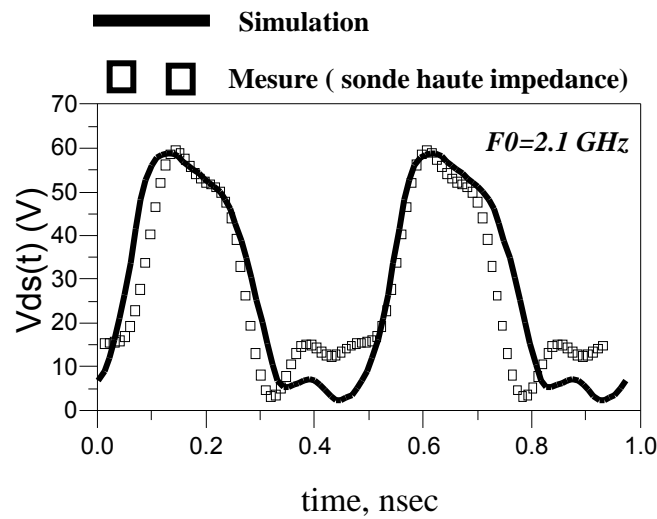


Figure IV-62 Tension de drain en fonction du temps à 3dB de compression de gain à la fréquence 2.1GHz.

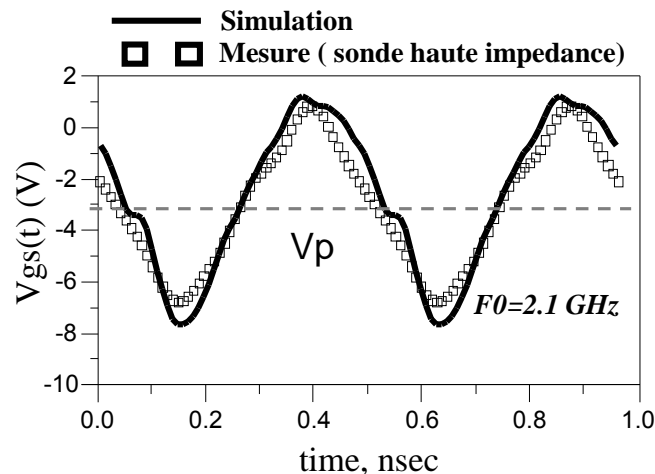


Figure IV-63 Tension de grille en fonction du temps à 3dB de compression de gain à la fréquence 2.1GHz.



L'ensemble de ces résultats met en évidence une bonne concordance entre les mesures et les simulations.

### V.3. Formes temporelles mesurées sur le module deux étages.

La mesure des formes temporelles est effectuée dans trois plans afin d'obtenir la tension de drain des étages driver et de puissance ainsi la tension de grille du transistor de puissance. L'objectif est de valider si la préformation de  $V_{gs}(t)$  a lieu en entrée du transistor et que l'amélioration de PAE dans la bande est liée à la réduction du temps de conduction du transistor par une forme de  $V_{gs}(t)$  demi-sinus.

Les tensions de drain de chaque transistor sont indiquées dans les figures suivantes dans les plans de sortie de transistor driver (1), en entrée du transistor de puissance (2) et en sortie du transistor de puissance (3).

Ces plans de mesure (1, 2 et 3) sont affichés Figure IV-64.

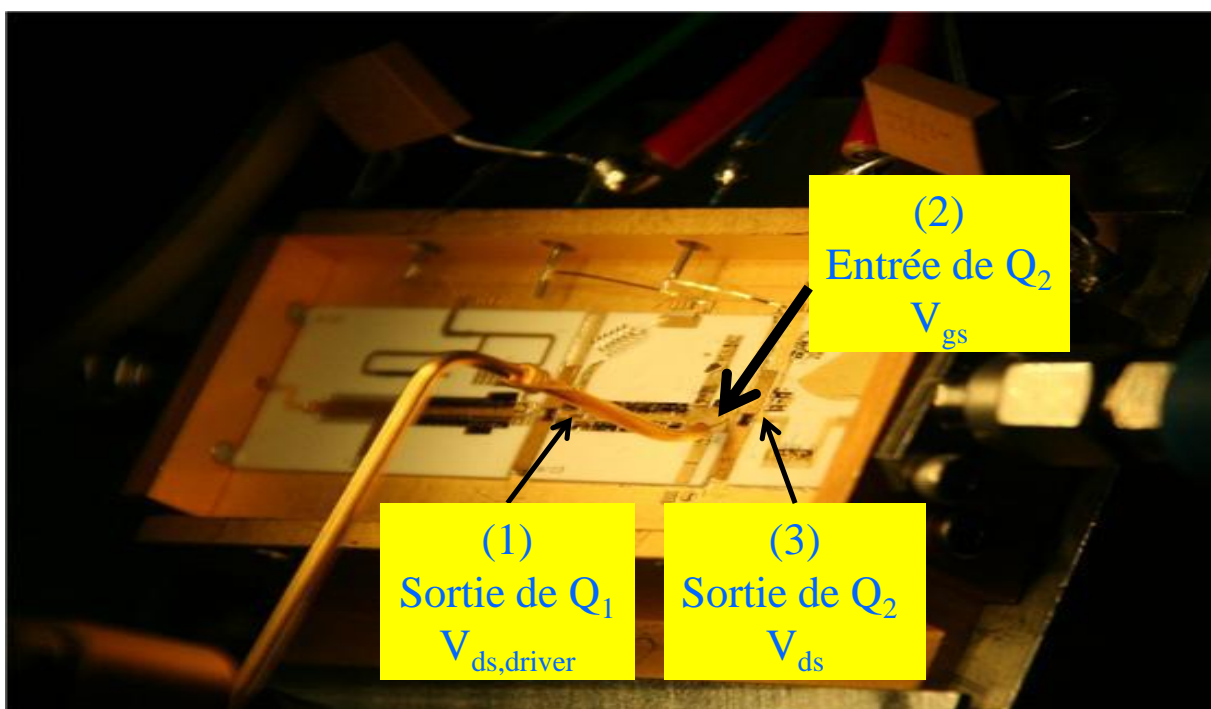


Figure IV-64 Photo de l'amplificateur en cours de mesure avec la sonde HIP.

Les courbes Figure IV-65 et Figure IV-66 donnent les tensions de drain du transistor driver (a) et transistor de puissance (b), et la tension de grille du transistor de puissance à la fréquence fondamentale 1.9GHz.

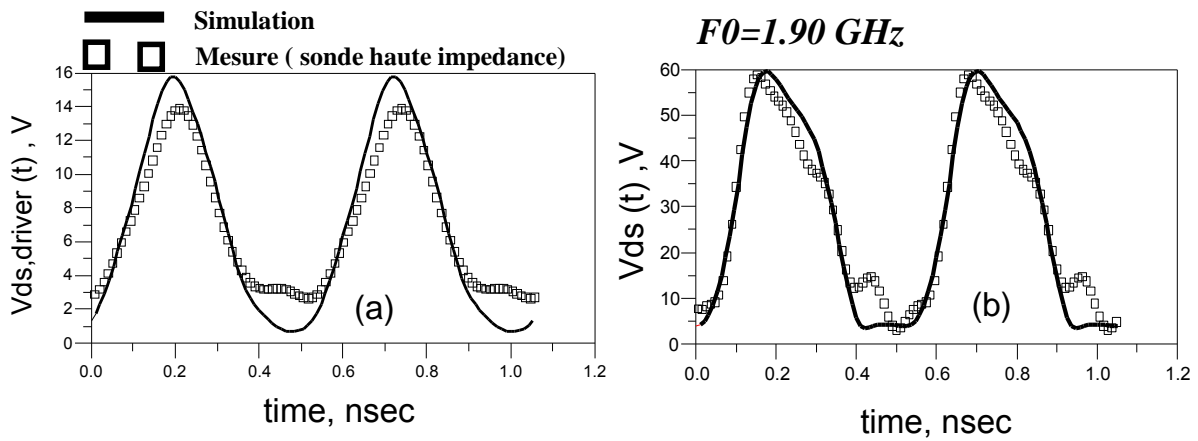


Figure IV-65 Tension de drain en fonction du temps du transistor driver (a) et du transistor de puissance (b) à 3dB de compression de gain.

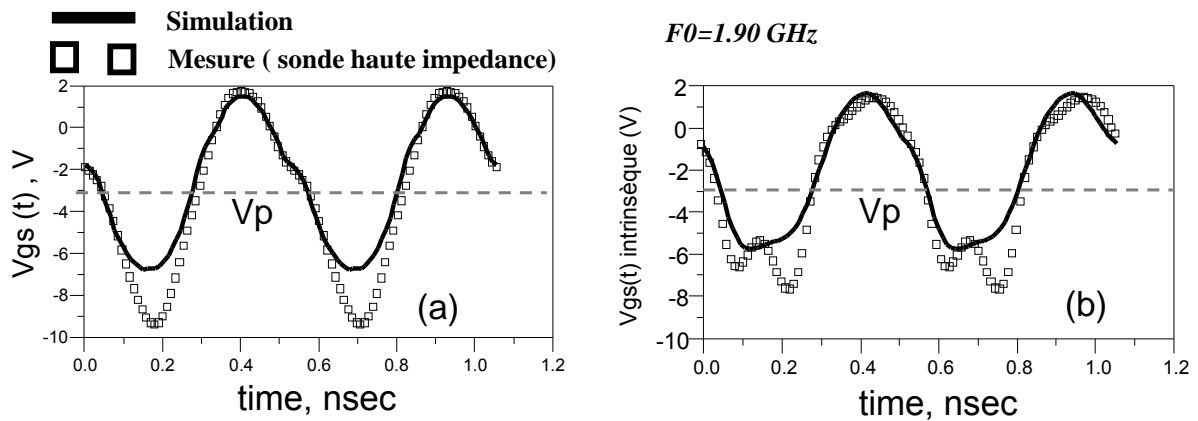


Figure IV-66 Tension de grille en fonction du temps du transistor de puissance dans le plan de mesure (a) et épluchées au plan intrinsèque (b) à 3dB de compression de gain.

La forme temporelle de la tension de grille à la fréquence 1.9GHz est un demi-sinus, le temps de conduction est réduit et le rendement est amélioré Figure IV-53.

Les courbes Figure IV-67 et Figure IV-68 donnent les tensions de drain du transistor driver (a) et transistor de puissance (b), et la tension de grille du transistor de puissance au plan de mesure (a) et au plan intrinsèque à la fréquence fondamentale 2.0GHz.

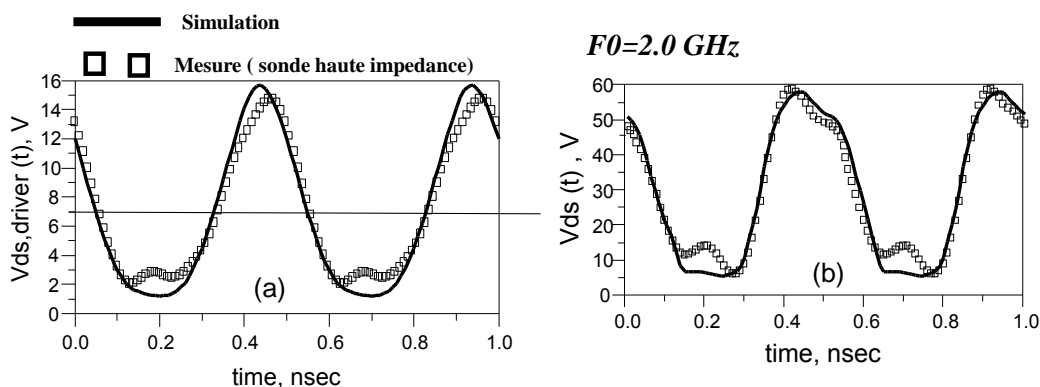


Figure IV-67 Tension de drain en fonction du temps du transistor driver (a) et du transistor de puissance (b) à 3dB de compression de gain.

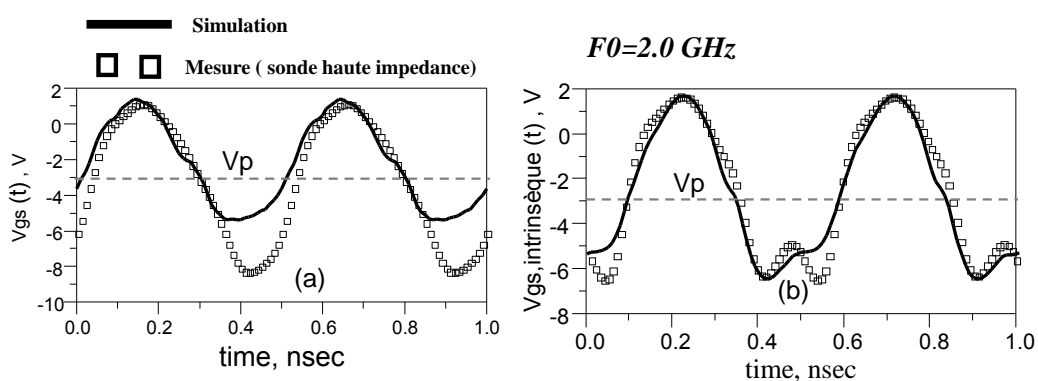


Figure IV-68 Tension de grille en fonction du temps du transistor de puissance dans le plan de mesure (a) et épluchées dans le plan intrinsèque (b) à 3dB de compression de gain.

Les courbes Figure IV-69 et Figure IV-70 donnent les tensions de drain du transistor driver (a) et transistor de puissance (b), et la tension de grille du transistor de puissance à la fréquence fondamentale 2.1GHz.

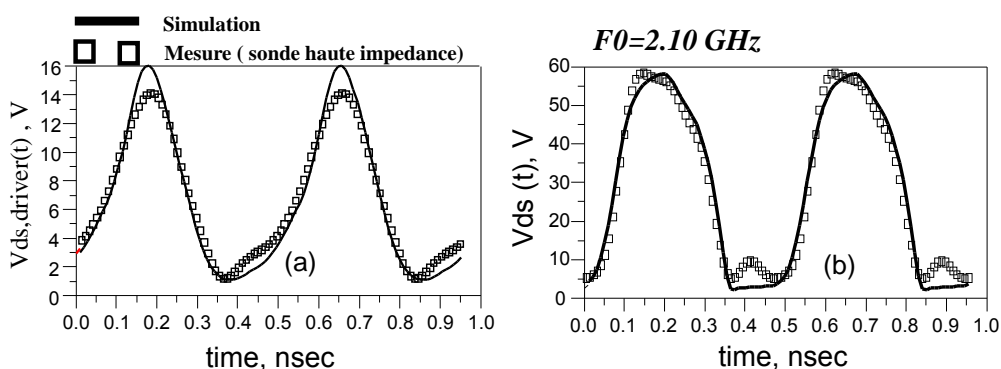


Figure IV-69 Tension de drain en fonction du temps du transistor driver (a) et du transistor de puissance (b) à 3dB de compression de gain.

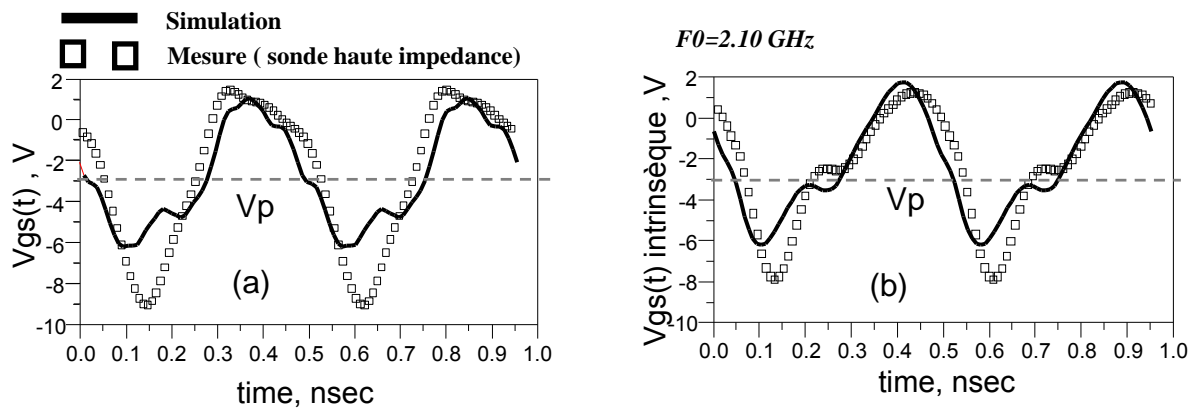


Figure IV-70 Tension de grille en fonction du temps du transistor de puissance dans le plan de mesure (a) et épluchées dans le plan intrinsèque (b) à 3dB de compression de gain.

La méthode de l'injection de l'harmonique 2 en entrée du transistor de puissance montre que le temps de conduction reste minimum sur une bande de fréquence autour de la fréquence fondamentale 2GHz.

## VI. Conclusion

Ce chapitre a montré les différentes étapes de conception d'un amplificateur avec une topologie simple à un seul étage et une topologie à 2 étages.

L'architecture deux étages offrant des améliorations en termes de PAE et de bande passante est intéressante dans le domaine micro-ondes. Une conception originale d'un circuit inter-étages permet une préformation temporelle du signal d'entrée de l'étage de puissance avec minimisation de perte de puissance entre étages.

Au cœur de la procédure de conception, a été effectuée une analyse rigoureuse de stabilité.

Des mesures des formes temporelles de tension plus près du transistor sont faites avec des sondes HIP qui nous permet de valider les fonctionnements de l'amplificateur simple et chaque transistor de l'amplificateur à 2 étages.

Les résultats des amplificateurs conçus lors de cette thèse sont illustrés dans le Tableau IV-3, ce tableau montre la comparaison de notre travail par rapport à des travaux publiés récemment.

| Technologie               | Freq (GHz) | $\eta_D$ (%) | PAE (%)       | Bande (GHz)        | Gain (dB) | POUT (W) | Comp. de gain (dB) | Vd (V) | Classe                        | Ref.             |
|---------------------------|------------|--------------|---------------|--------------------|-----------|----------|--------------------|--------|-------------------------------|------------------|
| HEMT GaN (CGH40010)       | 2.1        | 81           | 76            | --                 |           | 10       | 5                  | 28     | F <sup>-1</sup>               | [27] 2006        |
| HEMT GaN Cree (CGH40010)  | 2          | 91           | 85            | --                 | 13        | 16       | 3                  | 42.5   | F                             | [28] 2008        |
| HEMT GaN (CGH40010)       | 2          | 90           | 80            | --                 | 10        | 7        |                    | 28     | F                             | [28] 2008        |
| HEMT GaN (CGH40010)       | 1.7        |              | 68.5          | --                 | 14.9      | 9.8      |                    | 28     | C                             | [29] 2007        |
| HEMT GaN (CGH40010)       | 2          |              | 82            | 1.9-2.1            | 12        | 10       |                    | 30     | E                             | [30] 2007        |
| HEMT GaN (CGH40010)       | 1.8        | 83           | --            |                    |           | 8        | 3.5                |        | J                             | [19] 2009        |
| HEMT GaN (CGH40010)       | 1.21       | 88           | 82.9          | 2%                 | 13.4      | 6        |                    | 30     | F <sup>-1</sup>               | [31] 2008        |
| HEMT GaN                  | 1          | 78           | 76            | --                 | 18        | 2        |                    | 25     | F <sup>-1</sup>               | [32] 2008        |
| HEMT GaN                  | 1.9        |              | 50            | 1.8-2.2            |           | 7.4      | 3                  | 40     | E                             | [33] 2006        |
| HEMT GaN (eudyna10W)      | 2          |              | 74            | --                 | 12.6      | 11.4     | C                  | 50     | E                             | [34] 2007        |
| HEMT GaN (eudyna10W)      | 0.9        | 75           | --            | 0.88-0.92          | --        | 20       | --                 | 50     | D <sup>-1</sup>               | [35] 2007        |
| HEMT GaN                  | 2          | 67           | 65            | --                 | 17        | 50       | 3.5                | 50     | -                             | [37] 2010        |
| HEMT GaN Cree (CGH60015D) | 2          | <b>80</b>    | <b>72</b>     | <b>à 2GHz</b>      | <b>29</b> | 18       | 3                  | 28     | <b>Classe F avec 2 étages</b> | Mon travail [P7] |
| HEMT GaN Cree (CGH60015D) | 2          | --           | <b>&gt;60</b> | <b>1.8-2.2 GHz</b> | <b>29</b> | 18       | 3                  | 28     | <b>Classe F avec 2 étages</b> | Mon travail [P7] |

Tableau IV-3 État de l'art des amplificateurs de puissance.



## ***CONCLUSION GENERALE***





Parallèlement à l'émergence de la technologie GaN pour l'amplification de puissance micro-onde, la conception d'amplificateurs démonstrateurs à haut rendement a suscité de nombreux travaux au cours de ces dernières années.

Les travaux présentés dans ce manuscrit de thèse se sont inscrits dans ce cadre avec comme application l'amplification de puissance à haut rendement en bande L pour les télécommunications spatiales.

L'originalité du travail s'est focalisée sur la possibilité d'accroître les performances en rendement des amplificateurs en technologie GaN par une préformation de la tension de commande d'entrée des transistors.

Cette approche, basée sur une analyse de la forme d'onde temporelle de tension de grille et de son réglage par rapport à la tension de pincement des transistors, permet une diminution notable du temps de recouvrement entre tension et courant de drain ce qui est favorable pour diminuer la dissipation des cellules actives.

Une architecture de circuit innovante a été étudiée et réalisée. Elle comprend deux étages. Un premier étage fonctionnant en mode saturé et à basse tension de drain est utilisé comme driver de grille d'un second étage de puissance.

Cette architecture, naturellement destinée à l'amplification de signaux à enveloppe constante, a permis d'obtenir des résultats très satisfaisants avec notamment un très bon rendement maintenu sur une bande de fréquence relativement large (de l'ordre de 25%).

Ce travail a permis de définir des principes de conception par rapport aux circuits passifs (selfs,  $\lambda/4$ , ...) mettre en œuvre sur les entrées des transistors.

Tout au long des diverses tâches de cette étude préalables à la conception de l'amplificateur, les aspects de caractérisation sous forme de formes d'ondes temporelles ont été d'une importance capitale.

On notera également une originalité du travail qui réside dans la mesure au moyen de sondes haute impédance des formes temporelles de tension aux nœuds internes du circuit démonstrateur et notamment au niveau du circuit inter étage pour apporter une validation visuelle à l'ensemble de l'étude.

Les perspectives et prolongement de ces travaux peuvent être de plusieurs ordres.

Il apparaît probablement intéressant d'étendre l'approche développée au cours de ces travaux pour un fonctionnement plus haut en fréquence (bande X par exemple) en visant une réalisation de circuit monolithique.

Comme ce principe est naturellement applicable à des signaux à enveloppe constante, il est peut être intéressant également d'envisager son intérêt pour des applications de type Radar.

Enfin, il serait intéressant de voir si le circuit conçu garde ses potentialités en rendement et bande de fréquence pour diverses valeurs de tensions de polarisation de drain afin d'étudier son utilisation avec une technique de commande dynamique de polarisation ou dans des architectures de type LINC.

---

# ***BIBLIOGRAPHIE***



- [1]. C.DUVANAUD, "les classes de fonctionnement à haut rendement pour l'amplification de puissance micro-onde, en vue d'applications spatiales et de radiocommunications mobiles", 1993 Université de Limoges.
- [2]. Mihai Albulet, "RF Power Amplifiers", Noble Publishing Company.
- [3]. Andrei Grebennikov, Nathan O. Sokal, "Switchmode RF Power Amplifiers", Newnes, 2007.
- [4]. Steve Cripps, "Advanced techniques in RF power amplifier design", Artech House microwave library 2002.
- [5]. Frederick H. Raab, "Class-F Power Amplifiers with Maximally Flat Waveforms", IEEE 1997.
- [6]. M. Campovecchio, P. Bouysse, J.M. Nebus, R. Quéré, "High Efficiency Power Amplifiers: Class-F and Beyond", IMS 2006.
- [7]. Frederick H. Raab, "Maximum Efficiency and Output of Class-F Power Amplifiers", IEEE 2001
- [8]. Paul Harden, "MOSFET Switched Mode Amplifiers, Part 1 & Part 2: Introduction to Class C, D, E and F", First Published in the journal "QRPP".
- [9]. Young Yun Woo, Youngoo Yang, Member, and Bumman Kim, "Analysis and Experiments for High-Efficiency Class-F and Inverse Class-F Power Amplifiers", IEEE TRANSACTIONS ON MICROWAVE THEORY AND TECHNIQUES, VOL. 54, NO. 5, MAY 2006.
- [10]. Young Yun Woo, Youngoo Yang, Ildu Kim, and Bumman Kim, "Efficiency Comparison Between Highly Efficient Class-F and Inverse Class-F Power Amplifiers", IEEE magazine june 2007.
- [11]. C.J.Wei, P.DiCarlo, Y.A.Tkachenko, R.McMorrow and D.Bartle, "Analysis and experimental waveform study on inverse class F mode of microwave power FETs".

- [12]. Nathan O. Sokal, "RF/Microwave Switching-Mode Power Amplifiers, Classes D, E, DE, F2, F3, and S: How the Circuits Operate, How to Design Them, and When to Use Each", IMS 2006
- [13]. Thomas Dellsperger, Diploma Thesis, "Device Evaluation for Current-Mode Class-D RF Power Amplifiers", 2003 University of California, Santa Barbara.
- [14]. Anthony Lawrence Long, "High Frequency Current Mode Class-D Amplifiers With High Output Power and Efficiency", M.S. Thesis, university of California, Santa Barbara.
- [15]. N. O. Sokal and A. D. Sokal, "Class E - A New Class of High-Efficiency Tuned Single-Ended Switching Power Amplifiers", IEEE Journal of Solid-State Circuits, vol. SC-10, pp. 168-176, June 1975.
- [16]. Andrei V. Grebennikov, "SWITCHED-MODE TUNED HIGH-EFFICIENCY POWER AMPLIFIERS: HISTORICAL ASPECT AND FUTURE PROSPECT", 2002 IEEE Radio Frequency Integrated Circuits Symposium
- [17]. F. H. Raab, "Idealized Operation of the Class E Tuned Power Amplifier," IEEE Trans. on Circuits and Systems, Vol. CAS-24, No. 12, pp. 725-735, Dec. 1977.
- [18]. Raab F.H, "Class E, Class C, and Class F power Amplifiers Based upon a finite number of harmonics", IEEE trans. Microwave Theory & Tech. Vol. 49, No.8, August 2001, pp.1462-1468.
- [19]. Peter wright, J. Lees, P.J. Tasker, J. Benedikt and Steve C. Cripps, "An Efficient, Linear, Broadband Class-J-Mode PA Realised Using RF Waveform Engineering", IMS 2009.
- [20]. Peter Wright, J. Lees, J. Benedikt, P.J. Tasker, and Steve C. Cripps, "A Methodology for Realizing High Efficiency ClassJ in a Linear and Broadband PA", IEEE

- TRANSACTIONS ON MICROWAVE THEORY AND TECHNIQUES, VOL.57,  
NO.12, DECEMBER 2009
- [21]. C. Meliani, J. Flucke, A. Wentzel, J. Würfl, W. Heinrich, and G. Tränkle, "Switch-Mode Amplifier ICs with over 90% Efficiency for Class-S PAs using GaAs-HBTs and GaN-HEMTs", 978-1-4244-1780-3/08 IEEE
- [22]. Ralf Leberer, Rolf Reber, Martin Oppermann, "An AlGaIn/GaN Class-S Amplifier for RF-Communication Signals", 978-1-4244-1780-3/08, 2008 IEEE.
- [23]. Scott D. Kee, Ichiro Aoki, Ali Hajimiri, and David Rutledge, "The Class-E/F Family of ZVS Switching Amplifiers", IEEE TRANSACTIONS ON MICROWAVE THEORY AND TECHNIQUES, VOL. 51, NO. 6, JUNE 2003.
- [24]. F. Wang and D.B. Rutledge, "A 60-W L-Band ClassE/Fodd,2 LDMOS Power Amplifier Using Compact Multilayered Baluns", 2004 IEEE Topical Workshop on Power Amplifiers for Wireless Communications.
- [25]. Paul M. White, "Effect of input harmonic terminations on high efficiency class-B and class-F operation of PHEMT devices", IEEE MTT-S Digest 1998.
- [26]. S. Gao, P. Butterworth, S. Ooi, and A. Sambell, "High-Efficiency Power Amplifier Design Including Input Harmonic Termination", IEEE MICROWAVE AND WIRELESS COMPONENTS LETTERS, VOL. 16, NO. 2, FEBRUARY 2005.
- [27]. Peter Wright, Aamir Sheikh, Chris Roff, P. J. Tasker and J. Benedikt, "Highly Efficient Operation Modes in GaN Power Transistors Delivering Upwards of 81% Efficiency and 12W Output Power", IEEE MTT 2008.
- [28]. David Schmelzer, and al., "A GaN HEMT Class F Amplifier at 2 GHz With >80% PAE" IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 42, NO. 10, OCTOBER 2007.

- [29]. Bumjin Kim, D. Derickson, and C. Sun, "A High Power, High Efficiency Amplifier using GaN HEMT", December 2007 Asia-Pacific Microwave Conference.
- [30]. Scott Sheppard, Bill Pribble, R. Peter Smith, Adam Saxler, Scott Allen, Jim Milligan and Ray Pengelly, "High-Efficiency Amplifiers Using AlGaIn/GaN HEMTs on SiC", Cree Inc., 4600 Silicon Dr., Durham, NC 27703.
- [31]. Michael Boers, Anthony Parker, and Neil Weste, "A GaN HEMT Amplifier with 6-W Output Power and >85% Power-Added Efficiency", IEEE Microwave Magazine, April 2008.
- [32]. Pouya Aflaki, Renato Negra and Fadhel M. Ghannouchi, "Design and implementation of an inverse class-F power amplifier with 79 % efficiency by using a switch-based active device model", IEEE Radio Wireless Symposium (RWS) 2008.
- [33]. Hongtao Xu, Steven Gao, Sten Heikman, Stephen I. Long, Umesh K. Mishra, and Robert A. York, "A High-Efficiency Class-E GaN HEMT Power Amplifier at 1.9 GHz", IEEE MICROWAVE AND WIRELESS COMPONENTS LETTERS, VOL. 16, NO. 1, JANUARY 2006.
- [34]. Han Gil Bae and al, "High-efficiency GaN class-E power amplifier with compact harmonic-suppression network" Microwave Conference, 2007. European.
- [35]. Ulf Gustavsson, Thomas Lejon, Christian Fager and Herbert Zirath, "Design of highly efficient, high output power, L-band class D-1 RF power amplifiers using GaN MESFET devices", 2007 EuMA.
- [36]. A. Wentzel, C. Meliani, J. Flucke, and W. Heinrich, "High-Frequency Time-Domain Measurement Technique for Class-S Amplifiers", Ferdinand-Braun-Institut für Hochfrequenztechnik (FBH), 12489 Berlin / Germany
- [37]. Andreas Wentzel, Chafik Meliani, Wolfgang Heinrich," RF Class-S Power Amplifiers: State-of-the-Art Results and Potential", IMS 2010.



- [38]. Jutta Kûhn, "Design and realization of GaN RF-devices and circuit from 1 to 30GHz", European Microwave Association, 2010.
- [39]. T. Yamasaki, Y. Kittaka, H. Minamide, K. Yamauchi, S. Miwa, S. Goto, M. Nakayama, M. Kohno, and N. Yoshida, "A 68% Efficiency, C-Band 100W GaN Power Amplifier for Space Applications", IMS 2010.
- [40]. C. Duvanaud, S. Dietsche, G. Pataut, and J. Obregon, "High-Efficient Class F GaAs FET Amplifiers Operating with Very Low Bias Voltages for Use in Mobile Telephones at 1.75 GHz", IEEE MICROWAVE AND GUIDED WAVE LETTERS. VOL. 3, NO. 8, AUGUST 1993
- [41]. Tian He and Uma Balaji, "Design of a Class F Power Amplifier", PIERS ONLINE, VOL. 6, NO. 2, 2010.
- [42]. P. Colantonio, F. Giannini, G. Leuzzi, and E. Limiti, "Multiharmonic manipulation for highly efficient microwave power amplifiers," Int. J. RF Microwave CAE, vol. 11, pp. 366–384, Nov. 2001.
- [43]. P. Colantonio, F. Giannini, R. Giofrè, E. Limiti, A. Serino, M. Peroni, P. Romanini and C. Proietti, "A C-Band High-Efficiency Second-Harmonic-Tuned Hybrid Power Amplifier in GaN technology", IEEE TRANSACTIONS ON MICROWAVE THEORY AND TECHNIQUES, VOL. 54, NO. 6, JUNE 2006.
- [44]. F.N. Khan, F.A. Mohammadi, and M.C.E. Yagoub, " Class-F Power Amplifier for Universal Mobile Telecommunications Systems", INTERNATIONAL CONFERENCE ON COMMUNICATION, COMPUTER AND POWER (ICCCP'09)
- [45]. B. Kim, D. Derickson, C. Sun, "A High Power, High Efficiency Amplifier using GaN HEMT," Asia Pacific Microwave Conference, 2007.

- [46]. Y. Sub Lee, M. Woo Lee, Y. Ha Jeong, "High-Efficiency Class-F GaN HEMT Amplifier with Simple Parasitic-Compensation Circuit," *IEEE Microwave and Wireless Components Letters*, Vol. 18, pp. 55-57, 2008.
- [47]. Cree Inc., Durham, NC, USA.
- [48]. A. Van Munn, "Investigation of Inverse Class-F Power Amplifier for High Efficiency Operation," Master's Thesis Report, University of California, Santa Barbara, 2004.
- [49]. S. Gao, P. Butterworth, A. Sambell, C. Sanabria, H. Xu, S. Heikman, U. Mishra, R. A. York, "Microwave Class-F and Inverse Class-F Power Amplifiers Designs using GaN Technology and GaAs pHEMT," *36th European Microwave Conf.*, pp. 1719-1722, 2006.
- [50]. Jangheon Kim, Junghwan Moon, Sungchul Hong, and Bumman Kim, "A HIGHLY EFFICIENT CLASS-F POWER AMPLIFIER FOR WIDEBAND LINEAR POWER AMPLIFIER APPLICATIONS", *MICROWAVE AND OPTICAL TECHNOLOGY LETTERS / Vol. 51, No. 10, October 2009*.
- [51]. S.Gao, "High-efficiency class F RF-Microwave Power Amplifiers", *IEEE microwave magazine* February 2006.
- [52]. B. Ingruber, W. Pritzl, D. Smely, M. Wachutka, and G. Magerl, "Harmonic-controlled amplifier," *IEEE Trans. Microwave Theory Tech.*, vol. 46, no. 6, pp. 857-863, June 1998.
- [53]. G. Fisher, 'Next-generation base station radio frequency architecture', *Bell Labs technical journal* 12 (2), 3-18 (2007), pp. 3-18.
- [54]. Y. Cordier et al., 'Filière HEMT AlGaIn/GaN sur silicium', *Journées Nationales Microélectronique et Optoélectronique*, Aussois 4-7 avril 2006.
- [55]. H. Ueda et al., 'Wide-bandgap semiconductor devices for automotive applications', *CS MANTECH Conference*, April 24-27, 2006, Vancouver, Canada, pp. 37-40.

- [56]. [http://www.cree.com/products/sic\\_sub\\_prop.asp](http://www.cree.com/products/sic_sub_prop.asp)
- [57]. <http://www.nitronex.com/ganoverview.html>
- [58]. <http://www.rfmd.com/GalliumNitride.asp>
- [59]. <http://jp.fujitsu.com/group/labs/en/>
- [60]. Y. Inoue et al., 'Degradation-mode analysis for highly reliable GaN-HEMT', IEEE MTT Symposium, 2007, pp. 639-642.
- [61]. [http://www.toshiba.com/taec/news/press\\_releases/2009/mwrf\\_09\\_568.jsp](http://www.toshiba.com/taec/news/press_releases/2009/mwrf_09_568.jsp)
- [62]. K. Matsushita, and all, "Reliability Study of AlGaIn/GaN HEMTs Device", CS MANTECH Conference, May 14-17, 2007, Austin, Texas, USA
- [63]. G. Gauthier et al., 'KORRIGAN: development of GaN HEMT technology in Europe', CS MANTECH Conference, April 24-27, 2006, Vancouver, Canada, pp. 49-51.
- [64]. TibautReveyrand, and al., "GaN transistor characterization and modeling activities performed within the frame of the Korrigan project", European Microwave Association, 2010.
- [65]. Y. Nanishi et al., "Development of AlGaIn/GaN high power and high frequency HFETs under NEDO's Japanese National Project", CS MANTECH Conference, April 24-27, 2006, Vancouver, Canada, pp. 45-48.
- [66]. N. Vellas et al., "High Power Performances of AlGaIn/GaN HEMTs On Sapphire Substrate At F=4GHz", Gallium Arsenide applications symposium. GAAS 2002, 23-27 september 2002, Milano.
- [67]. Stéphane Piotrowicz, and al., "Overview of AlGaIn/GaN HEMT technology for L-to Ku\_band application", European Microwave Association, 2010.
- [68]. Christophe CHARBONNIAUD, "Caractérisation et modélisation électrothermique non linéaire de transistors à effet de champ GaN pour l'amplification de puissance micro-onde", Thèse n° 55-2005, université de LIMOGES.

- [69]. [www.jmicrotechnology.com](http://www.jmicrotechnology.com).
- [70]. W. LU, V. KUMAR, R. SCHWINDT, E. PINER, I. ADESIDA, « A comparative study of surface passivation on AlGaIn/GaN HEMTs », *Solid-State Electronics*, vol.46, pp. 1441-1444, 2002.
- [71]. K. HORIO et al., “Two Dimensional Analysis of Substrate-Trap Effect on Turn-On characteristics in GaAs, MESFETs”, *IEEE Trans. On Electron. Devices*, vol. 47, no. 3, pp. 617-624, March 2000.
- [72]. Cyril LAGARDE “MODELISATION DE TRANSISTOR DE PUISSANCE EN TECHNOLOGIE GaN : CONCEPTION D’UN AMPLIFICATEUR DE TYPE DOHERTY POUR LES EMETTEURS A PUISSANCE ADAPTATIVE”, Thèse de doctorat de l’université de Limoges, 2006.
- [73]. S. MONS, “Nouvelles méthodes d’analyse de stabilité intégrées a la cao des circuits monolithiques micro-ondes non linéaires,” Ph.D. dissertation, Thèse de doctorat de l’université de Limoges, 1999.
- [74]. Francisco Javier Ortega-Gonzalez “NEW DRIVER FOR HIGH-EFFICIENCY SWITCHING RF POWER AMPLIFIERS”, *MICROWAVE AND OPTICAL TECHNOLOGY LETTERS* / Vol. 43, No. 5, December 5 2004.
- [75]. Paolo Colantonio, Franco Giannini, Rocco Giofrè, Ernesto Limiti, Antonio Nanni “DESIGN STRATEGIES FOR EFFICIENT AND LINEAR RF POWER AMPLIFIERS”,
- [76]. Paolo Colantonio, Franco Giannini, Rocco Giofrè, Luca Piazzon, “Efficiency improvement in Doherty Power Amplifier by using Class F approach”, 2009 EuMA.
- [77]. gaudenzio meneghesso et all, “Reliability issues of Gallium Nitride High Electron Mobility Transistors”, *International Journal of Microwave and Wireless Technologies*, 2010, 2(1), 39–50.

- [78]. Audrey PHILIPPON – MARTIN, “Étude d'une nouvelle filière de composants sur technologie nitrure de gallium. Conception et réalisation d'amplificateurs distribués de puissance large bande à cellules cascodes en montage flip-chip et technologie MMIC”, Thèse de doctorat de l'université de Limoges, 2007.
- [79]. Amy Van Munn , “Investigation of Inverse Class-F Power Amplifier for High Efficiency Operation”, Masters Thesis UNIVERSITY OF CALIFORNIA Santa Barbara 2004.
- [80]. Feiyu Wang , “DESIGN AND ANALYSIS OF HIGHEFFICIENCY L-BAND POWER AMPLIFIERS”, Doctor of Philosophy, CALIFORNIA INSTITUTE OF TECHNOLOGY 2006.
- [81]. Bumjin Kim, “High Power Amplifier with Maximized Efficiency”, Senior Project ELECTRICAL ENGINEERING DEPARTMENT, California Polytechnic State University, 2007
- [82]. K. Krishnamurthy, T. Driver, R. Vetry, J. Martin, “100 W GaN HEMT Power Amplifier Module with > 60% Efficiency over 100–1000 MHz Bandwidth”, IMS 2010.
- [83]. Mohamed Gamal El Din, Bernd Geck, Ilona Rolfs and Hermann Eul, “A Novel Inverse Class-D Output Matching Network and its Application to Dynamic Load Modulation”, IMS 2010.
- [84]. Ramon Beltran, Frederick H. Raab, “Lumped-element Output Networks for High-efficiency Power Amplifiers”, IMS 2010.
- [85]. Denis Barataud, Michel Campovecchio, and Jean-Michel Nebus, “Optimum Design of Very High-Efficiency Microwave Power Amplifiers Based on Time-Domain Harmonic Load–Pull Measurements”, IEEE TRANSACTIONS ON MICROWAVE THEORY AND TECHNIQUES, VOL. 49, NO. 6, JUNE 2001.

- [86]. Bo Berglund, Jan Johansson and Thomas Lejon, "High efficiency power amplifiers", Ericsson Review No. 3, 2006.
- [87]. Dave Rutledge, "Stability Analysis of Switch-Mode Amplifiers", IMS 2006.
- [88]. Srdjan Pajic et al., "X-Band Two-Stage High-Efficiency Switched-Mode Power Amplifiers", IEEE TRANSACTIONS ON MICROWAVE THEORY AND TECHNIQUES, VOL. 53, NO. 9, SEPTEMBER 2005.
- [89]. R. Negra, T.D. Chu, M. Helaoui, S. Boumaiza, G.M. Hegazi, and F.M. Ghannouchi , "Switch-based GaN HEMT model suitable for highly-efficient RF power amplifier design", IMS 2007.
- [90]. Steven Gao, Hongtao Xu, Sten Heikman, Umesh K. Mishra, and Robert A. York, "Two-Stage Quasi-Class-E Power Amplifier in GaN HEMT Technology", IEEE MICROWAVE AND WIRELESS COMPONENTS LETTERS, VOL. 16, NO. 1, JANUARY 2006.
- [91]. H. Otsuka, K. Yamanaka, H. Noto, Y. Tsuyama, S. Chaki, A. Inoue, and M. Miyazaki , "Over 57% Efficiency C-band GaN HEMT High Power Amplifier with Internal Harmonic Manipulation Circuits", IMS 2008.
- [92]. Maurice van Wanum, Raymond van Dijk, Peter de Hek, Frank E. van Vliet, "Broadband S-band Class E HPA", EuMA 28-29 September 2009, Rome, Italy.
- [93]. Christian Schuberth, Peter Singer, Holger Arthaber, Michael Gadringer and Gottfried Mager, "Design of a Current Mode Class-D RF Amplifier Using Load Pull Techniques", IMS 2009.
- [94]. Olivier Jardel, "Contribution à la Modélisation des Transistors pour l'Amplification de Puissance aux Fréquences Microondes. Développement d'un nouveau Modèle électrothermique de HEMT AlGaIn/GaN incluant les Effets de Pièges", Thèse de doctorat de l'université de Limoges, 2008.

- [95]. Reveyrand, T., Mallet, A., Ne'bus, J.M., and Vanden Bossche, M.: 'Calibrated measurements of waveforms at internal nodes of MMICs with a LSNA and high impedance probes'. 62nd ARFTG Conf. Dig., pp. 71–76, Boulder, CO, USA, December 2003.
- [96]. Aitziber Anakabe, Juan-Mari Collantes, Alain Mallet, logiciel STAN « Stability analysis », User guide 2.1 – June 06.
- [97]. Thèse de Nicolas Sarazin, "HEMTs à base de nitrure de gallium : Evolution vers un nouveau système de matériaux, une nouvelle génération de composants", Lille 1, 2007.
- [98]. J. Benedikt, R. Gaddi, P. Tasker, and M. Goss, "High-power time domain measurement system with active harmonic load-pull for high efficiency base-station amplifier design," IEEE Transactions on Microwave Theory and Techniques, vol. 48, pp. 2617–2624, Dec. 2000.
- [99]. J. Verspecht, "Calibration of a Measurement System for High Frequency Nonlinear Devices", Doctoral Dissertation, Vrije Universiteit Brussel, November 1995.
- [100]. Jmicro technology, "Cal Kit Documentation",  
<http://www.jmicrotechnology.com/info.html>.





# ***ANNEXE***



$$T_{11} = \left( \frac{\frac{S_{11} \cdot S_{24} - S_{21}}{S_{14}}}{S_{23} - \frac{S_{13} \cdot S_{24}}{S_{14}}} \right), \quad T_{12} = \left( \frac{\frac{S_{24}}{S_{14}}}{S_{23} - \frac{S_{13} \cdot S_{24}}{S_{14}}} \right), \quad T_{13} = \left( \frac{\frac{S_{12} S_{24} - S_{22}}{S_{14}}}{S_{23} - \frac{S_{13} \cdot S_{24}}{S_{14}}} \right)$$

$$T_{14} = \left( \frac{1}{S_{23} - \frac{S_{13} \cdot S_{24}}{S_{14}}} \right)$$

$$T_{21} = S_{31} + S_{33} T_{11} + S_{34} T_{31}, \quad T_{22} = S_{33} T_{12} + S_{34} T_{32}, \quad T_{23} = S_{23} + S_{33} T_{13} + S_{34} T_{33}$$

$$T_{24} = S_{33} T_{14} + S_{34} T_{34}$$

$$T_{31} = -\frac{1}{S_{14}} \left( S_{11} + S_{13} \frac{\frac{S_{11} \cdot S_{24} - S_{21}}{S_{14}}}{S_{23} - \frac{S_{13} \cdot S_{24}}{S_{14}}} \right) \quad \text{Équation 1}$$

$$T_{32} = \frac{1}{S_{14}} \cdot \left( 1 + \frac{S_{13} S_{24}}{S_{14} \cdot \left( S_{23} - \frac{S_{13} \cdot S_{24}}{S_{14}} \right)} \right) \quad \text{Équation 2}$$

$$T_{33} = -\frac{1}{S_{14}} \left( S_{12} + S_{13} \frac{\frac{S_{12} S_{24} - S_{22}}{S_{14}}}{S_{23} - \frac{S_{13} \cdot S_{24}}{S_{14}}} \right) \quad \text{Équation 3}$$

$$T_{34} = -\frac{1}{S_{14}} \left( \frac{S_{13}}{S_{23} - \frac{S_{13} \cdot S_{24}}{S_{14}}} \right)$$

Équation 4

$$T_{41} = S_{41} + S_{43} T_{11} + S_{44} T_{31}$$

$$T_{42} = S_{43} T_{12} + S_{44} T_{32}$$

$$T_{43} = S_{42} + S_{43} T_{13} + S_{44} T_{33}$$

$$T_{44} = S_{43} T_{14} + S_{44} T_{34}$$

Équation 5

**PUBLICATIONS ET COMMUNICATIONS RELATIVES A CE TRAVAIL**

- [P1]. A. Ramadan, “*Conception d’un amplificateur de puissance en mode de commutation en bande L et en technologie GaN*”, 9<sup>e</sup> Edition JC<sup>2</sup> - Journées Jeunes Chercheurs du Centre National d’Etude Spatiale CNES, octobre 2009, Toulouse, France.
- [P2]. A. Ramadan, T. Reveyrand, A. Martin, J.M. Nebus, P. Bouysse, L. Lapierre, J.F. Villemazet and S. Forestier, “*Efficiency enhancement of GaN power HEMTs by controlling gate-source voltage waveform shape*”, *European Microwave Conference 2009 Rome, ITALY*.
- [P3]. A.Ramadan, A.Martin, D.Sardin, T.Reveyrand, J-M.Nebus, P.Bouysse, L.Lapierre, J.F.Villemazet, S.Forestier, “*Study and Design of High Efficiency Switch Mode GaN Power Amplifiers at L-band Frequency*”, 978-1-4244-3834-1/09 ACTEA IEEE, July 15-17, 2009 Lebanon.
- [P4]. A. Ramadan, D. Sardin, T. Reveyrand, J-M. Nebus, P. Bouysse, L. Lapierre, J-F. Villemazet, S. Forestier, “*Analyse comparative des classes en commutation (F, F<sup>-1</sup>, E) pour l’amplification de puissance en technologie GaN*”, 16<sup>èmes</sup> Journées Nationales Microondes, 27-28-29 Mai 2009 – Grenoble.
- [P5]. A. Ramadan, T. Reveyrand, J-M. Nebus, P. Bouysse, L.Lapierre, J-F. Villemazet, , S.Forestier,”*Efficiency enhancement of GaN Power Amplifiers over wide bandwidth by an active control of gate source waveforms*” ,5th Space Agency - MOD Round Table Workshop on GaN Component Technologies, 2-3 september 2010, ESA ESTEC Noordwijk, The Netherlands.
- [P6]. A. Ramadan, T. Reveyrand, A. Martin, J.M. Nebus, P. Bouysse, L. Lapierre, J.F. Villemazet and S. Forestier, “*Experimental study on effect of second-harmonic injection at input of classes F and F<sup>-1</sup> GaN power amplifiers*”, *ELECTRONICS LETTERS 19th April 2010 Vol. 46 No. 8*.
- [P7]. A. Ramadan, T. Reveyrand, A. Martin, J-M. Nebus, P. Bouysse, L.Lapierre, J-F. Villemazet, , S.Forestier, “*Two stage GaN HEMT amplifier with Gate-source voltage shaping for efficiency versus bandwidth enhancements*”, *Accepted to IEEE Transactions on Microwave Theory and Techniques*.



***AMPLIFICATION DE PUISSANCE A HAUT RENDEMENT EN BANDE L ET EN TECHNOLOGIE GAN  
INTEGRANT UNE PRE FORMATION DE LA TENSION DE COMMANDE D'ENTREE.***

**Résumé**

La technologie de semi-conducteurs de puissance GAN est en pleine phase de développement à l'heure actuelle et offre de réelles potentialités pour la génération de fortes puissances à l'état solide en hyperfréquence. Le sujet de thèse concerne donc l'étude de l'amplification de puissance en commutation en technologie GaN avec la réalisation d'un démonstrateur à 2 GHz sur la base d'une puissance de sortie de 15Watts. L'étude aboutit à un contrôle et une préformation adéquats des harmoniques de courants et de tensions en entrée et en sortie de l'étage de puissance. Un point innovant et central de ce travail de thèse a été l'analyse multi-harmonique conjointe entre l'étage 'driver' et l'étage de puissance pour préformer le signal de commande de l'étage de puissance et aboutir à un fonctionnement optimisé en rendement sur une large bande passante. Les travaux de thèse se sont concrétisés par la réalisation d'un amplificateur démonstrateur à deux étages comprenant un premier étage fonctionnant en classe F inverse et un second étage fonctionnant en classe F. Cette réalisation est par nature adressable à l'amplification de signaux à enveloppe constante ne nécessitant pas de spécifications contraignantes en terme de linéarité.

**Mots clés :** Amplification de puissance, haut rendement, nitrure de gallium, amplificateur en mode commuté (SMPA : Switch mode power amplifier), classes de fonctionnement, formes d'ondes temporelles micro-ondes.

***HIGH EFFICIENCY SWITCHED MODE POWER AMPLIFICATION AT L- BAND WITH GAN TECHNOLOGY.***

**Abstract**

High efficiency performances of microwave power amplifiers are reached by implementing proper matching conditions at harmonic components. Harmonic tuned amplifiers offer for the moment the best energy conversion efficiency between DC supply and RF power at fundamental frequency available in a 50Ω load. In addition to proper harmonic terminations, the minimization of power losses at fundamental frequency in the output RF matching and power combining circuit is of prime importance. This has been widely reported over the past few years. Considering this main aspect GaN technology offers an evident advantage due to its high drain voltage operation capability that is beneficial for designing low loss and wideband output matching circuits. Several works have been reported during the past few years. This work examines power added efficiency improvements by implementing an appropriate gate source voltage waveform shaping of power cells. Analytical calculations, circuit simulations using a nonlinear model of a 15W GaN HEMT and a two stage power amplifier design have been achieved. The power stage operates at high drain bias voltage under class F conditions while the driver stage operates at low drain bias voltage under inverse class F conditions to drive the input of power stage by an appropriate gate source voltage waveform shape. Very good power added efficiency have been reached over a wide frequency bandwidth. This work addresses the amplification of constant envelope signals that do not require any stringent specification in terms of linearity.

**Keywords:** High efficiency power amplifier, gallium nitride technology, Switch mode power amplifier, harmonic tuned amplifiers, Microwave time domain waveforms.

**XLIM - UMR CNRS n°6172**

123, avenue Albert Thomas - 87060 LIMOGES CEDEX