

# UNIVERSITE DE LIMOGES

ECOLE DOCTORALE SCIENCES ET INGENIERIE POUR L'INFORMATION

FACULTE DES SCIENCES ET TECHNIQUES

Laboratoire XLIM Département C<sup>2</sup>S<sup>2</sup> UMR CNRS 6172

These N°[73-2009]

**Thèse**

pour obtenir le grade de

DOCTEUR DE L'UNIVERSITE DE LIMOGES

**Discipline : Electronique des Hautes Fréquences, Photonique et systèmes**

Présentée et soutenue le 14 Decembre 2009 par

***Alaa SALEH***

***Caractérisation en impulsions étroites et modélisation de transistors bipolaires à hétérojonction en technologie InP***

***Directeurs de Thèse : Jean Michel Nebus et Guillaume Neveux***

**Jury :**

**Président**

Raymond QUERE                      Professeur, Université de Limoges

**Rapporteurs**

Joaquin PORTILLA                      Professeur, Université de BilBao

Nathalie ROLLAND                      Professeur, Université de Lille

**Examineurs**

Jean GODIN                              Ingénieur, Alcatel-Thalès III-V Lab Marcoussis

Guy JESTIN                                Ingénieur, CELAR-DGA, CESSON- SÈVIGNÈ

Jean-Michel NEBUS                      Professeur, Université de Limoges

Guillaume NEVEUX                      Maître de conférences, Université de Limoges

**Invités**

Denis BARATAUD                        Maître de conférences (HDR), Université de Limoges

Tibault REVEYRAND                      Ingénieur d'études CNRS - Université de Limoges



Cette thèse a été préparée entre 2006 et 2009 au laboratoire XLIM, Unité Mixte de Recherche n°6172 du CNRS (*Centre National de la Recherche Scientifique*) au sein du département C<sup>2</sup>S<sup>2</sup> (*Composants Circuits Signaux et Systèmes Hautes Fréquences*) sur le site de la Faculté des Sciences et Techniques de Limoges.

Je remercie dans ce contexte Monsieur CROS de m'avoir accueilli dans ce laboratoire de recherche.

J'exprime mes sincères remerciements à Monsieur le Professeur Raymond QUERE pour m'avoir accueilli au sein de son département C<sup>2</sup>S<sup>2</sup> « Composants Circuits Signaux et systèmes Hautes Fréquences » à Xlim.

Je témoigne toute ma gratitude et ma reconnaissance à Monsieur le Professeur Jean-Michel NEBUS à Monsieur Guillaume Neveux (Maître de Conférence) et Monsieur Denis Barataud (HDR) pour avoir dirigé mes travaux de thèse de Doctorat. Je les remercie pour leur encadrement, leur expérience, leur disponibilité, leur aide, leur soutien et leurs conseils précieux et avisés tout au long de cette thèse.

Je remercie particulièrement Monsieur Tibault Reveyrand (Ingénieur CNRS) pour ses conseils précieux et pour la qualité des mesures fonctionnelles des transistors dans le domaine temporel.

Je tiens à remercier chaleureusement l'ensemble des membres du Laboratoire C<sup>2</sup>S<sup>2</sup> pour leur sympathie.

J'exprime également ma sincère reconnaissance à Madame M.C. LEROUGE pour sa gentillesse, sa disponibilité et son aide précieuse durant ces trois années.

Enfin j'adresse un remerciement tout particulier à ma famille, notamment à mon père, à ma mère pour leur soutien, leurs encouragements constants au cours de ces trois années. Je leur suis reconnaissant aussi d'avoir toujours cru en moi. A mes frères, A mes sœurs, et à tous mes amis.



## **CHAPITRE I** **11**

### **PRESENTATION DES TECHNOLOGIES DE TRANSISTORS POUR LES**

<b><u>FONCTIONS ELECTRONIQUES ULTRA RAPIDES</u></b>	<b><u>11</u></b>
<b>I. Introduction générale</b>	<b>13</b>
<b>II. Technologies de transistors Bipolaires :</b>	<b>13</b>
II.1. L'apport de l'hétérojonction	15
II.2. Hétérojonction III-V	16
II.3. Hétérojonction IV-IV (TBH SiGe)	18
II.3. Développement des TBH InP	22
<b>III. La Technologie (MOS)</b>	<b>27</b>
<b>IV. Technologie HEMT</b>	<b>28</b>
<b>V. La technologie TBH InP d'Alcatel Thalès III-V Lab.</b>	<b>30</b>
V.1. Présentation de la structure épitaxiale	31
V.2. Croissance épitaxiale	34
V.3. Enchaînement technologique	38
<b>VI. Facteurs de Mérite du TBH</b>	<b>40</b>
VI.1. Fréquence de transition FT	40
VI.2. Fréquence maximale d'oscillation	41
VI.3. Densité de courant maximale $J_{Kirk}$	41
VI.4. Temps de propagation – Retards	42
VI.5. Quelques aspects importants de dimensionnement et d'optimisation	43
VI.5.1. Diminution des dimensions	43
VI.5.2. Région de l'émetteur	44
VI.5.3. Région de la base	45
<b>VII. Conclusion</b>	<b>54</b>

## **CHAPITRE II** **63**

### **CARACTERISATION ET MODELISATION DE TRANSISTOR BIPOLAIRE A**

<b><u>HETEROJONCTION EN TECHNOLOGIE INP</u></b>	<b><u>63</u></b>
<b>I. Description du banc de mesure</b>	<b>65</b>
I.1. Objectif	65
I.2. Mesure de paramètres [S]	65
I.3. Mesure de réseaux de caractéristiques I/V:	69
I.3.1. Mesures I/V en mode DC	70
I.3.2. Mesures I/V en impulsions étroites	75
I.4. Mesures fonctionnelles grand signal:	81
I.4.1. Mesure de puissance à la fréquence fondamentale	81
I.4.2. Mesure de formes d'ondes temporelles	83
I.5. Conclusion	86

<b>II. Application à la modélisation de transistors HBT InP.</b>	<b>87</b>
II.1. Topologie du modèle utilisé .....	87
II.2. Formulation du modèle utilisé.....	88
II.3. Procédure de modélisation.....	90
II.3.1. Détermination des fréquences de transition : .....	90
II.3.2. Extraction des paramètres du modèle convectif : .....	97
II.3.3. Modèle petit signal : .....	100
II.3.4. Extraction des éléments du sous circuit thermique : .....	103
II.3.5. Extraction des capacités non linéaires : .....	104
II.3.6. Modélisation de l'effet kirk : .....	109
II.3.7. Dépendance thermique des éléments et mesure d'un miroir de courant. ....	110
II.3.8. Modélisation de cet effet .....	113
II.4. Validation du modèle en fort signal : .....	114
II.4.1. Mesures de caractéristiques de puissance.....	114
II.4.2. Validation des formes temporelles .....	116
II.5. Conclusion : .....	121

---

## ***CHAPITRE III*** ***125***

### ***APPLICATION A LA SIMULATION D'UNE FONCTION***

<b><i>ECHANTILLONNAGE -BLOCAGE</i></b>	<b><i>125</i></b>
<b>I. Introduction</b>	<b>126</b>
<b>II. Echantillonnage large bande : Objectif et application</b>	<b>126</b>
<b>III. Description de principe de l'échantillonnage:</b>	<b>129</b>
III.1. Echantillonnage direct.....	129
III.2. Sous échantillonnage.....	132
III.2.1. Bande passante : .....	134
<b>IV. Principaux facteurs de mérite</b>	<b>135</b>
IV.1. Résolution et nombre de bits effectifs.....	135
<b>IV.2.</b> Contribution de la gigue .....	136
IV.3. Contribution du bruit thermique .....	137
IV.4. Contribution des non linéarités .....	137
IV.5. SINAD (Signal to Noise and Distorsion Ratio).....	138
IV.6. SFDR ou gamme dynamique .....	138
IV.7. Déformation de la forme temporelle du signal échantillonné.....	139
<b>V. Simulation du cœur d'une fonction d'échantillonnage de type</b> <b>Emetteur Suiveur Commuté</b>	<b>142</b>
V.1. Circuit simulé .....	142
V.2. Simulation quasi statique.....	144
V.2.1. Transistor Q1 (SEF) : .....	144
V.2.2. Transistor Q2 : .....	145
V.2.3. Transistor Q3 : .....	145
V.2.4. Puissance dissipée et auto échauffement.....	146
V.3. Simulation petit signal.....	148
V.3.1. Modèle petit signal du SEF en mode passant.....	149
V.3.2. Modèle petit signal du SEF en mode bloqué.....	150

V.4. Analyse grand signal (Harmonic balance) .....	151
V.4.1. La bande passante grand signal : .....	152
V.4.2. La linéarité : .....	153
V.4.3. Sensibilité du SEF au modèle non linéaire.....	157
V.5. Simulation temporelle : .....	159
V.5.1. Commandes E et B sinusoïdales .....	160



## **Introduction**

L'évolution des systèmes de réception vise la numérisation des signaux aux fréquences les plus hautes possibles. Une telle opération requiert le développement de convertisseurs analogiques numériques pouvant être très rapides et très précis avec des performances raisonnables en terme de consommation ce qui constitue un enjeu technique très difficile.

Cet objectif permettrait de rapprocher la numérisation des signaux au plus près de l'antenne de réception en simplifiant ainsi les chaînes de conversion de fréquence. Une amélioration de coût, et de performances ainsi qu'une augmentation des possibilités de reconfigurabilité sont visées.

Le développement de technologies de transistors bipolaires à hétérojonction InP/InGaAs qui affichent de fortes potentialités en terme de fréquence de coupure offre de réelles possibilités de réalisation de circuits électroniques très rapides. C'est dans ce contexte général que s'inscrivent ces travaux de thèse. Le travail de thèse a concerné plus précisément une contribution à cette problématique générale consistant à la caractériser et à modélisation des transistors HBT InP pour la conception de fonctions échantillonnage large bande.

Le premier chapitre propose une description des technologies de composants semi-conducteurs rapides puis s'oriente vers une description plus détaillée de la technologie TBH InP/InGaAs de Alcatel Thalès III-V Lab utilisée au cours de ces travaux

Le deuxième chapitre est consacré à la description d'un banc de mesure développé à Xlim au cours de cette thèse. Ce banc permet la caractérisation petit signal en paramètres [S] jusqu'à une fréquence de 65 Ghz . Des caractérisations en fort signal sont également montrées. De manière plus originale, il est également développé des mesures de type I/V en impulsions très étroites de 40 ns qui offrent de réelles potentialités pour la caractérisation électrothermique de transistors.

Ce chapitre aborde ensuite la modélisation de TBH InP/InGaAs ainsi que quelques étapes de validation du modèle électrothermique par des mesures I/V pulsées d'un miroir de courant d'une part et par la mesure des mesures de formes d'ondes temporelles aux accès des transistors unitaires d'autre part.

Le troisième chapitre propose des simulations de principe d'une fonction échantillonneur bloqueur pour montrer l'application possible de l'utilisation de ce modèle



# ***CHAPITRE I***

***PRESENTATION DES TECHNOLOGIES DE TRANSISTORS  
POUR LES FONCTIONS ELECTRONIQUES ULTRA RAPIDES***



## I. Introduction générale

L'évolution des systèmes de télécommunications hyperfréquences et opto-hyperfréquences en terme de débit et de fréquence d'utilisation nécessite le développement de circuits numériques ultra rapides. Dans le contexte de ce travail de thèse, on s'intéresse plus particulièrement aux fonctions de type échantillonnage ultra large bande visant à simplifier les chaînes de translation de fréquence en réception et numériser le signal hyperfréquence au plus près de l'antenne .

Ce chapitre présente un aperçu des différentes technologies de semi conducteurs candidates pour la conception de circuits ultra rapides. Une description plus détaillée de la technologie retenue dans le contexte de ce travail à savoir la technologie TBH InP d'Alcatel Thales III-V Lab sera faite.

## II. Technologies de transistors Bipolaires :

Le premier transistor bipolaire a été réalisé dans les années 1945 [1]. En 1948, Shockley développa le premier modèle théorique du transistor bipolaire, qui sert encore aujourd'hui de base à la compréhension de ce composant [2]. Le fonctionnement du transistor bipolaire est basé sur la diode émetteur-base qui est une jonction  $pn$ . Dans le cas d'un transistor bipolaire homojonction, la jonction  $pn$  est réalisée par la mise en contact d'un semi-conducteur dopé  $p$  avec le même semi-conducteur dopé  $n$ . Quand une tension positive est appliquée du côté  $p$  de la jonction, on observe un écoulement de courant. Pour favoriser le transport des électrons dans le transistor homojonction  $nnp$ , l'émetteur est beaucoup plus dopé que la base. De cette façon, l'écoulement des électrons de l'émetteur vers la base est beaucoup plus grand que l'écoulement de trous de la base vers l'émetteur. La base dans un transistor bipolaire est très fine de sorte que la majeure partie des électrons puisse traverser cette base sans y être ni collectée par le contact ni recombinée avec les trous. A l'autre extrémité de la base, le semi-conducteur dopé inversement de la base ( $n$  pour le transistor  $nnp$ ) constitue le collecteur. Sans polarisation externe, la jonction est déjà le siège d'un champ électrique élevé qui accélère les électrons sortant de la base vers le collecteur. Ce champ électrique peut être renforcé en appliquant une tension positive sur le collecteur. Cette polarisation agit également comme barrière de potentiel pour les électrons dans le collecteur par rapport à la base. Ainsi une petite variation de la tension appliquée à la jonction émetteur base cause une grande variation du courant dans le collecteur. La loi de variation est exponentielle.

On définit le gain en courant d'un transistor bipolaire par  $\beta = \frac{I_c}{I_b}$ . ( $I_c$  est le courant de collecteur,  $I_b$  est le courant de base ).

Ceci est symbolisé par le graphique de la figure 1.

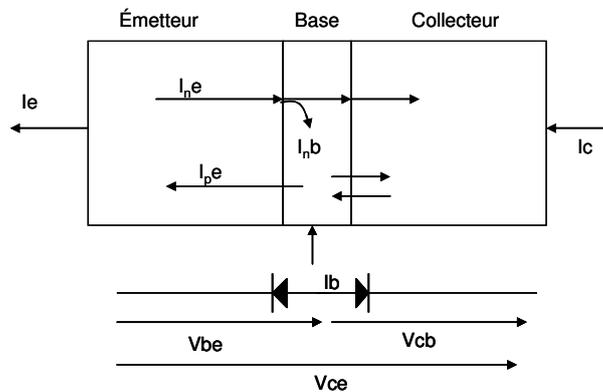


Figure 1 : Symbolique d'un transistor bipolaire

Le premier transistor bipolaire était fabriqué avec du germanium. C'est à Gordon Teal que nous devons le remplacement du germanium par le silicium dans le transistor bipolaire, grâce à ses travaux sur la croissance de cristaux de silicium [3]. Suite à ces travaux, à la fin des années 50, les transistors bipolaires utilisent le silicium en raison de sa plus large bande interdite qui facilite son fonctionnement à température élevée. Il en résulte un courant de saturation inverse plus petit que dans le cas du germanium

Par ailleurs on bénéficie également des excellentes propriétés d'isolation électrique et de stabilité en température de l'oxyde de silicium ( $SiO_2$ ). Au fur et à mesure des années, l'industrie électronique mondiale a donc acquis un formidable savoir-faire dans le traitement du silicium.

Les propriétés mécaniques, thermiques et chimiques du silicium sont en grande partie responsables de la réussite de sa maîtrise technologique et de la diminution des coûts de fabrication. Cependant, d'un point de vue électrique le silicium est considéré comme un semi-conducteur "lent" au sens mobilité des électrons. ( $\mu_e=1200 \text{ cm}^2.V^{-1}s^{-1}$ ) à 300 K. L'augmentation de la fréquence de fonctionnement est possible en utilisant les composés III-V (GaAs par exemple).

La limitation fréquentielle caractérisée par la fréquence de transition et la limitation du gain en courant du transistor bipolaire à homojonction [4] ont entraîné le développement de transistors bipolaires à hétérojonction (TBH) autorisé par de nombreux progrès technologiques. et suggéré par Kroener [5]. L'introduction des hétérojonctions a permis une

avancée considérable en terme de fréquence de transition ( $f_T$ ) et de fréquence maximale d'oscillation ( $f_{MAX}$ ).

L'introduction de l'hétérojonction a permis également une amélioration des performances en terme de gain et de facteur de bruit.

En effet le transistor bipolaire homojonction possède une limitation intrinsèque dans son mode de fonctionnement..D'un côté, un dopage de base  $N_A$  élevé est nécessaire pour la rapidité du transistor car la fréquence maximale d'oscillation  $f_{MAX}$  du transistor est inversement proportionnelle à la résistance de base  $R_b$  (d'autant plus faible que  $N_A$  est élevé), d'autre part le dopage de base doit être plus faible que celui de l'émetteur pour accroître l'efficacité d'injection. Afin de découpler les deux caractéristiques, il a été proposé d'utiliser l'hétérojonction .

## II.1. L'apport de l'hétérojonction

Par définition, et comme le précise la référence [6], une hétérojonction est obtenue lorsque deux matériaux semi-conducteurs différents sont associés. Sa réalisation s'effectue par croissance cristalline d'un matériau sur l'autre et nécessite l'utilisation de semi-conducteurs ayant des propriétés cristallines voisines (la taille des atomes doit être notamment assez proche). Selon les matériaux utilisés pour les semi-conducteurs, on peut distinguer deux types d'hétérojonctions.

Le schéma de la figure 2 donne une description schématique des décalages de bandes de conduction et de valence pour deux types d'hétérojonction.

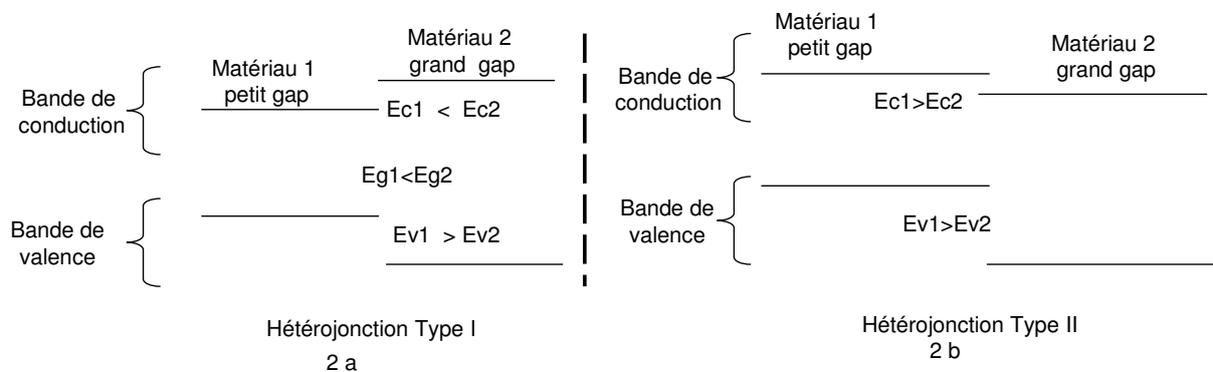


Figure 2: Diagrammes schématiques montrant deux types différents d'hétérojonction.

Pour l'hétérojonction de type I, figure 2.a les *offsets* de bande pour la bande de conduction et de valence agissent comme des barrières de potentiel et gardent les électrons et les trous dans le matériau de plus petit gap . Une énergie est donc nécessaire pour faire déplacer les porteurs du matériau petit gap au matériau grand gap. Les hétérojonctions (GaAs-AlGaAs, InP-InGaAs, Si-SiGe) sont des hétérojonctions de type I. Les hétérojonctions de type II, [figure 2-b](#), dites à *gap* décaléfavorisent le déplacement d'un seul type de porteurs. L'hétérojonction InP-InGaAsSb fait partie des hétérojonctions de type II. Une hétérojonction favorise la circulation d'un courant de trous ou d'électrons selon le type de dopage de part et d'autre de l'hétérojonction.

## II.2. Hétérojonction III-V

Un très fort développement a eu lieu au cours des dernières décennies pour l'élaboration de transistors bipolaires à hétérojonction AlGaAs / GaAs et InGaP / GaAs pour des applications de puissance en particulier. Conformément au contexte de ce travail de thèse nous orienterons la description faite dans ce chapitre autour de la technologie TBH InP.

Un transistor bipolaire à simple hétérojonction associe un premier semi-conducteur grand gap pour l'émetteur et un second semi-conducteur petit gap pour la base et le collecteur. Un exemple de ce type de transistor est représenté figure 3. Dans cet exemple l'hétérojonction émetteur base est une hétérojonction de type I.

Cette hétérojonction favorise l'injection des électrons de l'émetteur vers la base et s'oppose à celle des trous de la base vers l'émetteur.

Émetteur	Base	Collecteur
InP dopé n « silicium»	InGaAs dopé P «carbone»	InGaAs dopé n « silicium»

Figure 3 Exemple d'un transistor bipolaire à simple hétérojonction

Un transistor à double hétérojonction associe un premier semi conducteur grand gap pour l'émetteur, un second semi conducteur petit gap pour la base, et un troisième semi conducteur pour le collecteur. Le même matériau peut être utilisé pour l'émetteur et le collecteur. Un exemple de ce type de transistor est montré figure 4.

Émetteur	Base	Collecteur
InP dopé n « silicium »	InGaAs dopé P « carbone »	InP dopé n « silicium »

Figure 4: Exemple d'un transistor bipolaire à double hétérojonction

Dans cet exemple les deux hétérojonctions émetteur base et base collecteur sont de type I. Le changement abrupt de structure de bande à l'hétéro interface entre deux semi-conducteurs conduit à l'apparition de discontinuités à la jonction des bandes de conduction et de valence, c'est-à-dire à des sauts de potentiel. La figure 5 montre le diagramme de bandes d'une hétérojonction (type I). (Figure 5a avant mise en contact ; figure 5b après mise en contact).

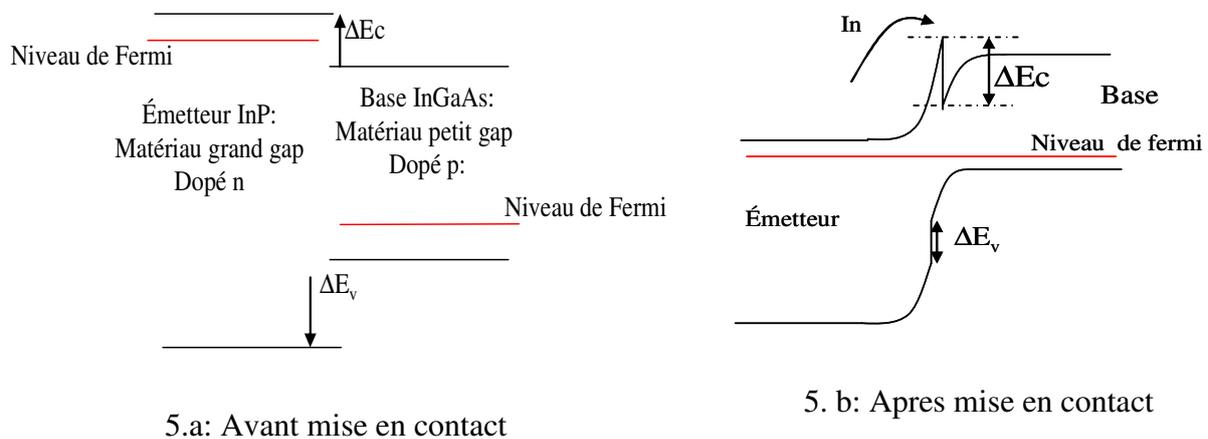


Figure 5: Diagramme de bandes d'une hétérojonction type I

L'application des règles d'Anderson permet de déterminer les positions respectives des bandes de valence et de conduction à l'interface. La forme de la barrière dépend alors de la différence des travaux d'extraction et de la position du niveau de Fermi dans les deux matériaux. La particularité des composants à hétéro structures résulte de leur capacité à contrôler le flux et la distribution des électrons et des trous à travers ces décalages de bandes

L'intérêt principal de l'hétérojonction est de modifier l'énergie des bandes et par conséquent de favoriser la mobilité des électrons et de minimiser le courant de trous de la base vers l'émetteur dans le transistor et ainsi d'augmenter l'efficacité d'injection dans la jonction émetteur base. En effet le rapport entre le courant d'électrons et le courant de trous varie

exponentiellement en fonction de la différence de gap d'énergie entre l'émetteur et la base [5], suivant la formule.

$$\left(\frac{J_n}{J_p}\right)_{\text{hetero}} = \left(\frac{J_n}{J_p}\right)_{\text{homo}} \exp\left(\frac{\Delta E_g}{8kT}\right). \quad (1)$$

Avec une hétérojonction, une efficacité d'injection, (définie comme  $\gamma = \frac{J_n}{J_n + J_p}$ ) proche de

100 % peut être rapidement obtenue, et ceci quelque soit le niveau de dopage dans la base.

Le temps de transit est un paramètre qui caractérise la vitesse de fonctionnement du transistor.

Un gradient de composition dans la zone de base permet également d'augmenter les potentialités du transistor en fréquence.

En résumé , grâce a l'hétéro structure on peut sur doper la base par rapport à l'émetteur pour avoir une résistance de base faible tout en ayant une capacité base émetteur faible ce qui permet d'atteindre des fréquences de fonctionnement très élevées et de bons gains en courant .

### II 3 Heterojonction IV –IV (TBH SiGe )

Les premières études sur le mélange de ces deux composés en alliage binaire  $\text{Si}_{1-x}\text{Ge}_x$  ont eu lieu dans les années 60. Dans un transistor bipolaire à hétérojonction (SiGe) npn, l'alliage SiGe est utilisé pour la base. Le silicium Si est utilisé pour l'émetteur et le collecteur. Cependant, le désaccord de maille qui existe entre le cristal de silicium et le cristal de germanium (4.2%) a rendu compliqué la croissance directe du SiGe sur substrat Si, et inversement. Cette croissance peut rapidement provoquer l'apparition de dislocations [7] dans le cristal, engendrant ainsi une détérioration irrémédiable du fonctionnement électrique de la jonction ainsi formée. Ce n'est donc qu'avec la possibilité de déposer et de contrôler avec précision des films d'une dizaine de nanomètres, que les premières études sur l'alliage SiGe contraint au paramètre de maille du silicium et dépourvu de défauts, ont pu être menées. Les recherches sur les semi-conducteurs dans les années 80 [8] ont montré qu'une hétérojonction SiGe peut surmonter le problème de désaccord de maille si le pourcentage de Ge ne dépasse pas 30 % [9]. Ainsi des techniques de croissance de couches fines contraintes, propices à la réalisation de structures à hétérojonctions ont été développées.

Pour un transistor SiGe de type npn les dopants sont respectivement le phosphore pour le dopage de type n et le bore pour le dopage de type p.

Une autre évolution du transistor SiGe est d'introduire du carbone dans la base. La présence du carbone dans l'alliage binaire réduit fortement la quantité d'atomes de silicium en sites interstitiels susceptibles de participer à la diffusion du bore qui est le dopant dans la base [10]. La réduction de la diffusion du dopant limite ainsi la dégradation des caractéristiques initiales de la base.

Par ailleurs un profil graduel de germanium introduit un quasi-champ électrique dans la base qui se manifeste par une pente dans la bande de conduction dans la base. Ce champ accélère les porteurs à travers la base et diminue le temps de transit dans la base.

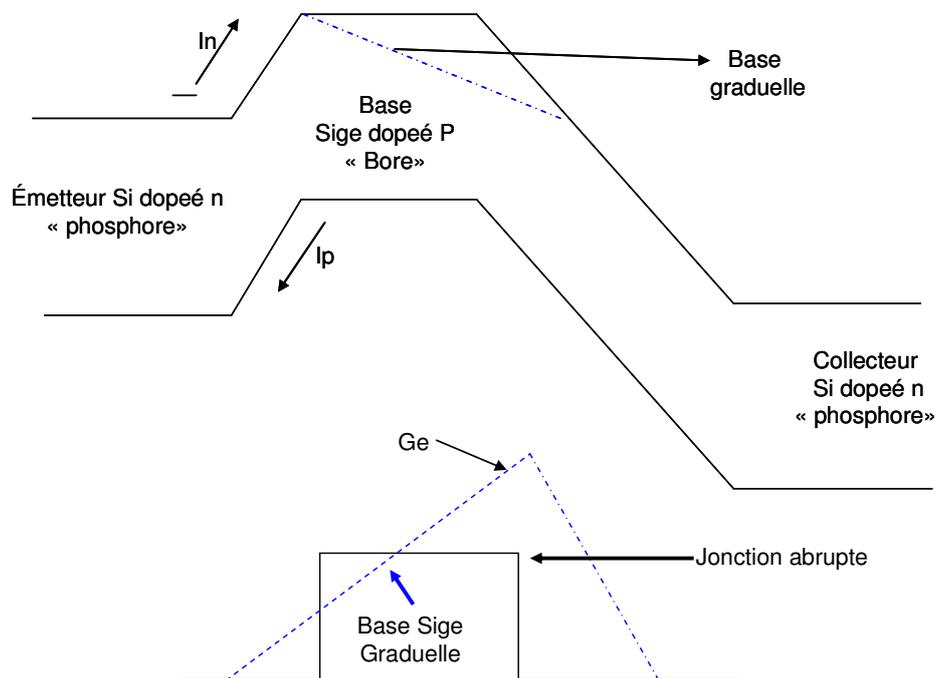


Figure 6 : Diagramme de bande d'un TBH SiGe en présence d'une base graduelle

Le succès du TBH SiGe réside principalement dans le fait que ses performances, en rapidité notamment, sont proches de celles obtenues par les transistors III/V. Par ailleurs, le silicium possède de nombreux avantages dont les principaux sont les suivants :

- tout d'abord, l'oxyde naturel du silicium,  $\text{SiO}_2$ , possède d'excellentes propriétés diélectriques et mécaniques,
- ensuite, le silicium a une bonne conductivité thermique de  $148 \text{ W/(m}\cdot\text{K)}$ .

-La technologie bipolaire SiGe est intégrable avec la technologie MOS classique permettant ainsi l'intégration de fonctions analogiques et numériques. Cette solution technologique

permet donc de réaliser des circuits très haute fréquence sans sortir de l'environnement silicium, et donc de bénéficier de ses avantages en terme de maturité et de coût de fabrication. Les technologies de lithographie et de gravure, très avancées sur silicium permettent d'utiliser des dimensions latérales très faibles. Ceci permet, par une réduction des éléments parasites (résistance, capacité, ...) du composant, de compenser les qualités physiques moyennes des matériaux à base de silicium.

On relève aussi l'introduction de la structure à double polysilicium :

- Un polysilicium dans l'émetteur a permis de réduire les épaisseurs de base et d'émetteur de manière drastique.
- Un polysilicium de base a comme effet de séparer la base intrinsèque de la base extrinsèque et de permettre ainsi d'optimiser la composition en bore de cette dernière sans pénaliser la première.

Les contacts ohmiques utilisant le polysilicium dopé ont de faibles résistances de contact avec les matériaux à base de silicium, ce qui permet de réduire fortement les dimensions intrinsèques du composant, sans être pénalisé par les résistances de contact. Ceci a permis des réalisations des TBH SiGe de 0.1  $\mu\text{m}$  (BICMOS9) avec des fréquences maximales d'oscillation ( $F_{\text{max}}$ ) de 280GHz[11],[12]. Pour adresser des applications jusqu'à 45 GHz d'un quadrupleur de fréquence [13] , une bascule-D ainsi qu'un circuit complet de récupération d'horloge à 43 Gb/s [14] ,[15]. Les TBH SiGe de dernière génération sont encore plus performants ( $F_T$  proche de 500 GHz [16],[17]). Des résultats récents présents dans la littérature montre la réalisation de diviseurs statiques et dynamiques respectivement à 86 GHz et 100 GHz [18] ainsi qu'un VCO fonctionnant à 150 GHz [19].

On note toutefois des faibles valeurs de la (tension de claquage en émetteur commun notée  $BV_{\text{ce0}}$ ). Les TBH SiGe ont des  $BV_{\text{ce0}}$  de 2 V alors que des  $BV_{\text{ce0}}$  au dessus de 6 V sont obtenues pour les TBH à base des matériaux III-V. Cette caractéristique limite en outre la tension délivrable par les circuits SiGe, qui ne peuvent ainsi concurrencer les technologies III-V pour certaines applications où de fortes tensions de sortie sont requises (circuit de commande, amplificateurs de puissance, ...). La faible tension de claquage est pénalisante aussi dans les applications numériques car elle limite l'excursion logique et donc l'immunité au bruit.

Le tableau suivant donne quelques exemples relevés dans la littérature.

REF	Techno	Application	Source	FT/Fmax
-----	--------	-------------	--------	---------

[11]	0.13µm SiGe BiCMOS	—	IBM	200/280 GHz
[12]	0.13µm SiGe BiCMOS	—	IBM	350/300 GHz
[13]	0.13 µm SiGe BiCMOS	Multiplieur de frequence	Infineon	200/ GHz
[14]	0.18µm SiGe BiCMOS	Circuit de generation d' horloge à 43 Gb/s	IBM	120/100 GHz
[15]	0.18µm SiGe BiCMOS	Circuit de recuperation d'horloge à 40-43-Gb/s	IBM	120/100 GHz
[16]	0.13 µm SiGe BiCMOS	---	Univ Paris-Sud, ST microelectronics	500 GHz
[18]	0.13 µm SiGe BiCMOS	Diviseur de fréquence à (86 et 110 GHz)	Infineon	200/-- GHz
[19]	SiGe HBT process	150 GHz push- push VCO	Lucent Technologies – Bell Laboratories	200/275 GHz
[20]	SiGe BiCmos 0.13 µm	Transmission de données à 10,7- to-86 Gb/s	IBM	150/-- GHz
[21]	0.13 µm BiCMOS	Diviseur de Fréquence à 136- GHz	University of Toronto, IBM	210/-- GHz
[22]	IHP- 0.25 µm	Mélangeur sous harmonique 122 GHz	BOSH	200/- GHz

### II.3. Développement des TBH InP

Les matériaux III-V sont remarquables par leurs propriétés de transport électronique (très forte mobilité des électrons). La Figure 7, représente les vitesses de dérive électronique à l'équilibre pour différents matériaux lorsqu'un champ électrique est appliqué.

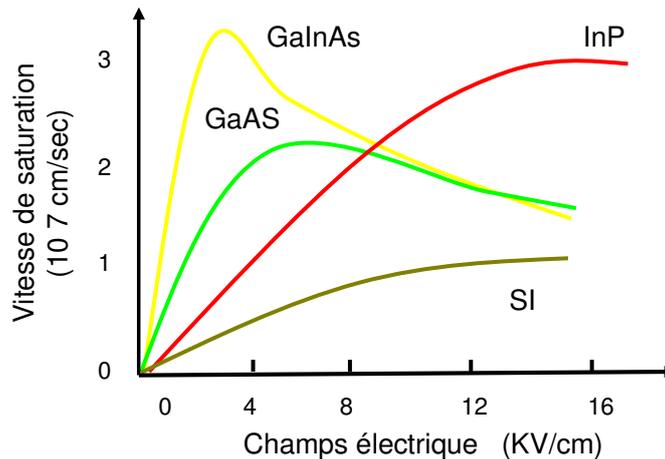


Figure 7: Comparaison de vitesses de saturation en fonction du champ électrique.

La vitesse croît en fonction du champ électrique pour les faibles valeurs de champ jusqu'à un maximum  $v_{sat}$  obtenu pour un champ  $E_c$  appelé champ critique.

La vitesse électronique à faible champ dans le matériau GaInAs est plus élevée que dans les autres alliages, ce qui caractérise sa très forte mobilité. Cette propriété est appréciable et GaInAs est utilisé pour la couche de base des TBH InP

La figure 6 indique également une mobilité excellente dans GaInAs à faible champ ce qui constitue une très bonne caractéristique pour obtenir des temps de transit dans la base très faibles. On peut mentionner également que GaInAs présente comme avantage une faible vitesse de recombinaison en surface ce qui est favorable pour élaborer des composants à fort gain en courant.

Le développement de TBH InP/InGaAs a longtemps été freiné par la difficulté d'épitaxier de l'InGaAs sur InP. Il a fallu attendre le développement de l'épitaxie par jets moléculaires à source gazeuse (GS-MBE) pour voir les premières structures TBH InP avec une base en  $In_{0.53}Ga_{0.47}As$  [23]. En 1988 Hayes rapporte également la croissance de structures TBH InP/InGaAs par MOCVD avec des forts gain en courant [24]. En 1989, Nottenburg a rapporté la réalisation de TBH InP/InGaAs de petites dimensions (surface émetteur  $3.2 \times 3.2 \mu m^2$ )

ayant une fréquence de coupure  $fT$  de 110 GHz. Cette performance a surpassé la meilleure performance de TBH AlGaAs/GaAs de l'époque ( $fT$  105 GHz) [25]. La même année, cette équipe a rapporté le premier TBH ayant un temps transit sous la pico seconde ( $fT = 165$  GHz ce qui correspond à un temps transit émetteur collecteur  $t_{ec} = 0.97$  ps) [26]. Cette performance exceptionnelle est attribuée à la très grande vitesse d'électrons chauds dans InGaAs et à la faible vitesse de recombinaison de surface sur InGaAs [27]. Les systèmes InP/InGaAs et InAlAs/InGaAs sont ainsi devenus des systèmes privilégiés pour la réalisation de transistors rapides. Leurs performances s'améliorent avec une meilleure maîtrise de la technique d'épitaxie qui permet de réaliser des hétérojonctions abruptes à l'échelle nanométrique [28],[29][30] [31]. Il devient ainsi possible de réduire considérablement les épaisseurs de base et de collecteur des transistors. Cette réduction des épaisseurs se répercute directement sur le temps de transit des électrons. La maîtrise des techniques d'épitaxie a également permis d'introduire un quasi champ électrique par une gradualité de concentration d'indium dans la base, qui permet d'accélérer les électrons dans la base. D'autre part la technologie de fabrication de transistors de petites dimensions s'est aussi améliorée. L'emploi des techniques de lithographie électronique a permis de réduire la dimension du doigt d'émetteur jusqu'à 0.2  $\mu\text{m}$ . [30]. Des travaux récents [32] ont démontré une fréquence de transition  $fT = 600$  GHz. L'utilisation d'une deuxième hétérojonction base-collecteur permet d'optimiser séparément la base et le collecteur du transistor. Cependant l'utilisation d'une hétérojonction pour la jonction base collecteur doit être bien conditionnée pour ne pas engendrer un phénomène de blocage des électrons dans le collecteur en raison de la discontinuité des bandes de conduction. Ce phénomène de blocage est accentué à faible polarisation base –collecteur. Dans les transistors sur substrat InP avec une base en InGaAs, il n'est pas possible d'utiliser une hétérojonction abrupte dans la jonction base collecteur ayant pour collecteur le même matériau que l'émetteur. Pour contourner l'effet de la barrière de potentiel, plusieurs solutions ont été proposées. On note l'utilisation de collecteur composite [33], l'utilisation d'espaces en InGaAs avec dopage contrôlé et l'utilisation de matériaux de transition ayant une bande interdite graduelle tels que l'InGaAsP [34] [35] ou l'InGaAlAs [36]. La solution de matériaux de transition en InGaAsP s'est révélée être la meilleure.[37] rapporte un TBDH InP/InGaAs/InP avec  $fT$ ,  $f_{MAX} > 300$  GHz. En 1998 l'équipe du Professeur Bolognesi de l'Université Simon Fraser au Canada a proposé une approche alternative consistant à utiliser une base en GaAsSb.

L'intérêt principal de cette structure contenant de l'antimoine est que l'alignement de bande de l'hétérojonction InP/GaAsSb en accord de maille avec InP est de type II. L'offset de bande de conduction de l'hétérojonction InP/GaAsSb est estimé entre -0.11 à -0.18 eV [38][39].

Dans le type II d'hétérojonction (représenté figure 2) le matériau à petite bande interdite représente un puit de potentiel pour les trous et une barrière de potentiel pour les électrons. Cet alignement de bande convient parfaitement à une jonction base-collecteur car les électrons sortant de la base gagneront une énergie supplémentaire correspondant à l'offset de la bande de conduction ( $\Delta E_c$ ) entre InP/GaAsSb.

Par ailleurs le grand offset de bande de valence supprimera toute injection de trous de la base vers le collecteur. En utilisant la base en GaAsSb, il est donc possible d'utiliser le collecteur en InP tout en assurant une collection complète des électrons en sortie de base. Cette configuration est représentée par le schéma de bande de la figure 8.

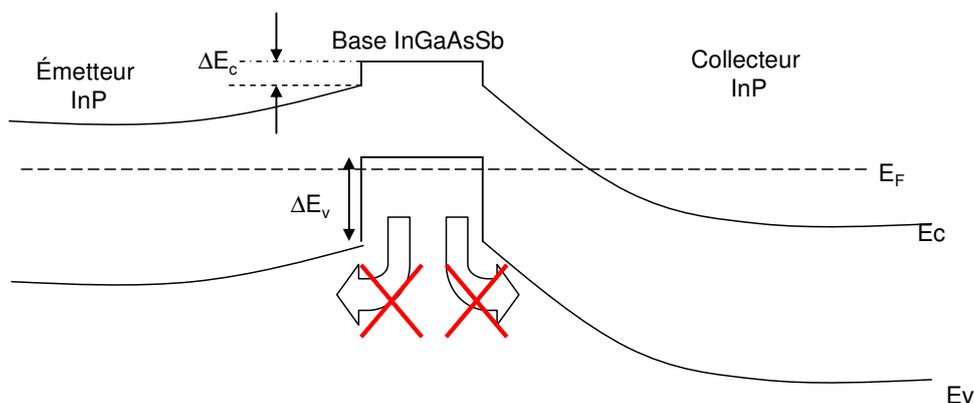


Figure 8 : Diagramme de bande pour un TBH InP/InGaAsSb/InP

L'autre intérêt de la base en GaAsSb est la possibilité d'utiliser le carbone comme dopant de la base. L'intérêt majeur de cet élément est sa très faible diffusion, [40] [41]. Ceci a entraîné de nombreuses recherches pour utiliser le carbone comme dopant de type p dans la base des TBH à la place des éléments de la colonne II (béryllium), ou des éléments de transition (zinc, magnésium) qui présentent tous des coefficients de diffusion élevés. De plus il s'avère que le carbone est un dopant efficace dans le GaAsSb et montre très peu d'effet de passivation par l'hydrogène [42] [43]. La propriété non diffusive du carbone permet un très fort niveau de dopage dans la base [44]. Cette possibilité d'augmenter le dopage dans la base permet également de réduire l'épaisseur de la base tout en maintenant une résistance de base peu élevée. Ainsi, il a été mesuré sur les premiers dispositifs submicroniques utilisant ce système des fréquences de transition de l'ordre de  $f_T = 670$  GHz [45]. Ces performances exceptionnelles font des TBH InP/GaAsSb un candidat pour l'accès au domaine THz.

L'application du TBH InP s'étant beaucoup focalisée sur les circuits rapides pour les télécommunications optiques, les réalisations de circuits logiques sont nombreuses. Le TBH InP permet globalement de réaliser toutes les fonctions nécessaires à la constitution d'une liaison complète à 40 Gb/s. Les circuits suivants ont ainsi été présentés dans la littérature: circuit de décision à 80Gb/s [46], bascule-D à 50 Gb/s [47], un doubleur de fréquence jusqu'à 100 GHz [48], un multiplexeur à 165Gb/s [49], un démultiplexeur 100 Gb/s [50] ainsi que des circuits de récupération d'horloge à 100 Gb/s.[51] ont été présentés dans la littérature.

Le tableau suivant donne des exemples relevés dans la littérature.

REF	Techno	Application	Source	FT/Fmax
[28]	TBH InP	-----	Alcatel-Thales III-V Lab, Marcoussis	>200 GHz
[45]	GaAsSb/InP	-----	UIUC	600/400
[46]	InP DHBT	Selecteur 2:1 80Gbit/s	Alcatel-Thales III-V Lab, Marcoussis	170/200 GHz
[47]	InP DHBT	Bascule D flip flop à 50 Gb/s	Alcatel-Thales III-V Lab, Marcoussis	190/200 GHz
[48]	InP DHBT	Doubleur de fréquence DC-100-GHz	Alcatel-Thales III-V Lab, Marcoussis	180/220 GHz
[49]	TBH InP	MUX 4:1 à 165-Gb/s	Microwave Electronics Laboratory, Chalmers,Suede	>300 GHz
[50]	InP DHBT	DEMUX 1:4 0 100-Gb/s	Fraunhofer Inst,Germany	>300 GHz
[51]	InP DHBT	DEMUX 1:2 et CDR à 100 Gb/S	Microwave Electronics Laboratory, Chalmers,Suede	>300 GHz
[52]	TBH InP	Récepteur optique	HRL Labs., Malibu, CA;	FT=150GHz <sub>z</sub>
[53]	InP DHBT	Drivers à 40Gb/s pour modulateurs EO et EA	UCSB	FT=150 GHz
[54]	InP/GaAsSb/InP DHBT	TIA	Michigan Univ. USA	>300 GHz
[55]	InP DHBT	TIA à 43 Gb/s	InPHI	>150 GHz
[56]	TBH InP	XOR et CDR à 40 Gb/s	Alcatel-Thales III-V Lab, Marcoussis	190/220 GHz
[57]	InP DHBT	Echantillonneur bloqueur (18GHz, 2Gs/s)	InPHI	----

### III. La Technologie (MOS)

Ce transistor est né en 1962 et constituait une nouvelle famille de dispositifs appelée les transistors à effet de champ Métal Oxyde Semi-conducteur (MOSFET). Il a été inventé par Steven Hofstein et Fredric Heiman au laboratoire RCA à Princeton, New Jersey. Bien que ces transistors aient été plus lents que les transistors bipolaires, ils étaient meilleur marché, plus petits et consommaient moins de puissance.

En effet par rapport au transistor bipolaire, où le courant de base est nécessaire pour son fonctionnement, une fois que la grille d'un MOSFET est chargée, aucun courant n'est plus nécessaire pour maintenir le transistor en fonctionnement. La puissance consommée et la chaleur dissipée des circuits intégrés utilisant des MOSFETS sont moins importantes que celles des circuits à transistors bipolaires. Cet avantage du MOSFET en fait un composant de choix dans les circuits intégrés utilisant de nombreux transistors.

Des performances au-delà des 150 GHz ont été rapportées pour des transistors MOS [58]. Ces performances remarquables au niveau composant permettent de réaliser des circuits numériques et analogiques fonctionnant à très haute fréquence, comme un multiplexeur à 60 Gb/s [59] et un démultiplexeur 40 Gb/s [60], un circuit de récupération d'horloge à 44 Gb/s [61], ainsi qu'un oscillateur contrôlé en tension à 192 GHz [62].

Avec l'arrivée de nouvelles techniques (silicium contraint, Silicon on Nothing,...) la technologie CMOS va progresser encore vers de plus hautes fréquences. Cette technologie fait figure de troisième protagoniste dans la compétition entre TBH SiGe et TBH InP pour les circuits très hautes fréquences. Cependant la technologie CMOS ne semble pas en mesure actuellement de s'affranchir de son importante limitation en tension de sortie, tout comme le TBH SiGe, ce qui permet de rendre les composants III-V encore irremplaçables pour certaines applications où une tension de sortie importante est requise.

Quelques Réalisations à base du transistor MOS, sont résumées dans le tableau suivant :

Référence	Techno	Application	Source	FT/Fmax
[58]	CMOS-0.18 $\mu$ m	--	Philips	-/150 GHz
[59]	CMOS-90 nm	MUX à 60 Gb/s	INFINEON	155/100 GHz
[60]	CMOS-90 nm	CDR à 44 Gb/s	(ETH) Zürich	---
[61]	CMOS-90 nm	CDR et DEMUX 1:16 44Gb/s	University of California Davis	---
[62]	CMOS 0.13 $\mu$ m	192 GHz, push- push VCO	Université de florida	---
[63]	CMOS-0.18 $\mu$ m	Amplificateur Trans impédance 40 Gb/s	Université TSING-HUA	60 GhZ/--

#### IV. Technologie HEMT

Le transistor à haute mobilité électronique (HEMT : High Électron Mobility Transistor), est un transistor à effet de champ en technologie III-V. Le HEMT intègre un canal de conduction non dopé dans lequel les porteurs bénéficient de très fortes valeurs de mobilité des matériaux III-V (GaAs ou GaInAs). Les principaux avantages du HEMT par rapport à ses concurrents, et en particulier face au transistor bipolaire à hétérojonction (TBH), sont :

- un faible bruit haute fréquence et une faible résistance de grille.
- des fréquences de transition et maximales d'oscillation élevées à cause de la haute mobilité des électrons et donc des temps de transit petits.

Grâce à ces deux caractéristiques, le HEMT est généralement préféré dans les applications comme l'amplification haute fréquence faible bruit ou de puissance. En revanche, la dépendance des caractéristiques du HEMT (performances dynamiques et tension de pincement) à certains paramètres technologiques (définition lithographique de la grille), confère une moins bonne homogénéité et reproductibilité des caractéristiques électriques de ce composant comparé au TBH. Ceci est un inconvénient majeur pour les architectures différentielles nécessaires dans les circuits d'électronique rapide qui nécessitent un bon appairage. Par ailleurs, la transconductance du HEMT, qui est faible comparé à celle du TBH le rend plus sensible aux capacités parasites du circuit, et aussi moins facilement "pilotable" en courant. Pour ces raisons, le HEMT apparaît moins bien adapté à l'application 'numérique' que le transistor bipolaire. Le HEMT InP a des performances fréquentielles meilleures que le HEMT GaAs. Le canal utilisé dans le cas d'un transistor HEMT InP est composé de InGaAs

ce qui permet d'avoir des vitesses de saturation plus grandes donc des fréquences de coupure plus élevées pour des tensions faibles [64].

Le transistor MHEMT (HEMT métamorphique) utilise un substrat en GaAs. Dans ce cas un buffer est utilisé pour modifier progressivement le paramètre de maille pour que cela soit compatible avec le canal du transistor. L'utilisation de GaAs comme substrat permet d'avoir un composant moins cher et qui peut être fabriqué avec des wafers (GaAs) de grands diamètres contrairement aux wafers InP qui sont plus fragiles.

D'autres structures utilisent l'antimoine Sb (AlSb/InAs), Le canal du transistor est constitué de InAs qui a une énergie de gap (0.36eV) plus faible que l' InGaAs (0,72eV) tandis que la vitesse de saturation pour les électrons dans le cas de InAs ( $4.10^7$  cm/sec) est plus grande que dans le cas de InGaAs( $2.7.10^7$  cm/sec). Cette différence permet d'avoir des transistors qui ont des très hautes fréquences de coupures et de très faibles consommations [65].

On trouve dans la littérature des doubleurs de fréquences jusqu'à 164 Ghz [66] , un mélangeur à 94 GHz [67].et un multiplexeur à 100 Gb/s [68]

Les principales réalisations à base du transistor HEMT qu'on retrouve dans la littérature sont résumées dans le tableau suivant.

Référence	Techno	Application	Source	FT/Fmax
[64]	InP HEMT	--	FUJITSU	547/400 GHz
[65]	InAs/AlSb HEMT	Amplificateur à 100 GHz	Rockwell Scientific Company,UCSB	235 GHz
[66]	InP-HEMT	Doubleur de fréquence à 164 GHz	Northrop Grumman Corporation	/60GHz
[67]	GaAs 70nm-MHEMT	Mélangeur à 94 GHz	Dongguk University-Korea	320 /430 GHz
[68]	InP HEMT	MUX à 100Gb/s et Dff 140 Gb/s	Fujitsu-japan	165 GHz
[69]	AlSb/InAs HEMT	--	Northrop Grumman Space Technology,	260/280 GHz
[70]	InP HEMT	circuit intégré logique à 100 Gb/s	NTT-Japan	175/350 GHz

Le cœur de ce travail de thèse étant la modélisation de transistors bipolaires à hétérojonction la technologie InP Technologie d'Alcatel Thales III-V Lab, nous allons maintenant décrire plus en détail cette technologie.

## V. La technologie TBH InP d'Alcatel Thalès III-V Lab.

Les électrons traversant toute la structure épitaxiée, sont très sensibles à la nature de l'empilement des couches et à la qualité de leur réalisation. Rappelons quelques caractéristiques essentielles que doit présenter une structure TBH.

- Un grand décalage des bandes de valence au niveau de la jonction émetteur-base, pour empêcher les trous de la base dopée p de se recombiner avec les électrons de l'émetteur.
- Une base fine pour minimiser le temps de transit des électrons et obtenir une très haute fréquence de transition.
- Une base à électrons de faible masse effective, pour accélérer leur diffusion. Un gradient de composition en indium peut aussi aider à « tirer » les électrons vers le collecteur.
- Une base très dopée pour limiter sa résistance qui intervient dans son temps de charge RC. Cependant un dopage trop fort augmente la recombinaison des électrons injectés avec les trous présents dans la base, ce qui diminue le gain.
- Une parfaite coïncidence de la jonction électrique et de l'interface des matériaux, ce qui implique un contrôle sévère de la diffusion et de la ségrégation des dopants, mais aussi une grande maîtrise des interfaces où interviennent 5 types d'atomes.
- En sortie de base, les électrons doivent être rapidement accélérés par le champ électrique de la jonction base-collecteur polarisée en inverse. Une hétérojonction présentant une discontinuité descendante de la bande de conduction est très favorable.
- Le collecteur ne doit pas être trop épais, car son temps de transit limite la bande passante du transistor. Il doit supporter un champ électrique élevé sans générer de multiplication des porteurs par ionisation.
- Les dimensions latérales de la jonction base collecteur doivent être petites pour diminuer la capacité de désertion  $C_{BC}$  et ainsi augmenter la fréquence maximale d'oscillation.
- L'émetteur et le collecteur doivent être contactés électriquement de façon très peu résistive. Cela implique la croissance de couches de contact très peu résistives en utilisant des matériaux de petite bande interdite très dopés.

En résumé, une bonne structure pour un TBH doit réussir de nombreux compromis sur les matériaux utilisés et leur agencement et exige une grande qualité des interfaces.

### V.1. Présentation de la structure épitaxiale

Pour la technologie 1,5  $\mu\text{m}$ , la structure de couche est réalisée par épitaxie par jets moléculaires à sources gazeuses. Elle comprend un émetteur en InP et une base en  $\text{Ga}_{1-x}\text{In}_x\text{As}$  d'environ 40 nm d'épaisseur, graduelle en composition d'indium et fortement dopée au carbone. Le collecteur composite d'environ 200-300 nm d'épaisseur intègre une couche d'InP et une transition GaInAs/InP.

La structure présente donc deux hétérojonctions. Pour limiter les effets de blocage des électrons au niveau des discontinuités de bande de conduction entre la base et le collecteur, deux couches de matériaux quaternaires GaInAsP sont utilisées entre la base et le collecteur.

Les collecteurs contenant de l'InGaAsP présentent cependant quelques inconvénients par rapport à un collecteur en InP. D'une part, ce matériau diminue la conduction thermique mais d'autre part il implique des difficultés d'ordre technologique.

La structure de couche du sous-collecteur est choisie de manière à minimiser la résistance de collecteur. Pour les mêmes raisons que pour l'émetteur, la couche de contact collecteur est en InGaAs très fortement dopé et une couche d'InP fortement dopée est insérée au niveau de l'hétérojonction InP n- / InGaAs n+ dans le but de réduire la résistance d'interface. De plus l'épaisseur totale du sous-collecteur est élevée, ce qui a pour effet de minimiser la résistance de couche.

Les transistors ont un émetteur de largeur 2  $\mu\text{m}$ , tandis que la longueur peut varier (de 3 à 20  $\mu\text{m}$ ), ce qui permet aux concepteurs de circuits de disposer d'un nombre important de possibilités en ce qui concerne les courants maximums des composants. Les caractéristiques typiques d'un transistor  $2 \times 10 \mu\text{m}^2$  sont les suivantes.

$\beta$	$\text{BV}_{\text{CEO}}$	$V_{\Delta}$	$f_t$	$f_{\text{max}}$	$\text{J}_{\text{Cmax}}$
50	>7 V	180 mV	170 GHz	210 GHz	220 kA/cm <sup>2</sup>

La structure épitaxiale du transistor est donnée dans la figure9.

Région	Nature de la couche	Matériau	Type	Dopage (cm <sup>-3</sup> )	Epaisseur (nm)
--------	---------------------	----------	------	----------------------------	----------------

Contact d'émetteur		GaInAs InP	n+ n+	$1 \cdot 10^{19}$ $1 \cdot 10^{19}$	200 50
Emetteur		InP	n	qqques $10^{17}$	120
Base graduelle		$In_xGa_{(1-x)}As$	P+	qqques $10^{19}$	~40
Collecteur	Espaceur Quaternaires Collecteur	InGaAs InGaAsP InP	n+ n n n-	$1 \cdot 10^{16}$ $1 \cdot 10^{17}$ $1 \cdot 10^{17}$ $1 \cdot 10^{16}$	200-300
Sous collecteur	Sous collecteur Contact Collecteur Semelle collecteur	InP InGaAs InP	n+ n+ n+	$1 \cdot 10^{19}$ $1 \cdot 10^{19}$ $1 \cdot 10^{19}$	200 100 400
Stop-Etch		InGaAs	Non dopé		10
Substrat		InP	Semi isolant		350 $\mu m$

Figure 9: Les différentes couches epitaxiales du transistor (technologie 1,5  $\mu m$ )

Les couches de contact d'émetteur et de collecteur sont en GaInAs dopé n au silicium. L'utilisation du GaInAs dans les couches de contact se justifie par la faible largeur de bande interdite de cet alliage, ce qui favorise des résistivités de contact faibles pour les électrodes métalliques. Pour la même raison, et aussi pour minimiser les résistances d'accès à travers la couche, le dopage du GaInAs de contact est le plus élevé possible, (autour de qqques  $10^{19}$  at/cm<sup>3</sup>). L'émetteur lui-même est en InP, ce qui permet de réaliser une hétérojonction avec la couche de base en GaInAs. Le dopage d'émetteur est de l'ordre de qqques  $10^{17}$  at/cm<sup>3</sup>. Il est déterminé par les nécessités conjointes d'obtenir une bonne efficacité d'injection de la jonction émetteur-base, tout en conservant une capacité émetteur-base  $C_{be}$  faible. Le dopage d'émetteur doit aussi être suffisamment élevé pour favoriser l'injection d'électrons dans la base.

La base est en GaInAs dopé p au carbone. Par rapport à un dopage au béryllium utilisé antérieurement le dopage au carbone offre l'avantage de peu diffuser, si bien que l'utilisation de couches d'espacement n'est pas nécessaire. La base est graduelle en composition d'indium, ce qui a pour effet de générer un champ électrique dans cette couche, limitant ainsi la recombinaison des porteurs minoritaires et réduisant le temps de transit dans la base  $\tau_B$ .

La base est en InGaAs avec une gradualité en composition d'Indium qui crée un pseudo-champ électrique.

Par rapport à un collecteur en GaInAs (simple hétérojonction), l'utilisation d'un collecteur en InP ( double hétérojonction ) a plusieurs avantages D'une part la large bande interdite de l'InP (1.35 eV) permet de conserver une tension de claquage élevée, même pour de faibles épaisseurs de collecteur. On peut ainsi minimiser le temps de transit de collecteur tout en conservant une bonne tenue en tension. D'autre part la conductivité thermique de l'InP (0.68 W/K.cm) est bien supérieure à celle de GaInAs (0.048 W/K.cm). L'élévation de température du composant en fonctionnement est ainsi diminuée, limitant les phénomènes de vieillissement et de claquage thermique dans la jonction base-collecteur. Les discontinuités de bande de conduction à l'hétérojonction GaInAs/InP peuvent toutefois générer un phénomène de blocage des porteurs, en particulier à fort courant et/ou faible tension Vce. Ce phénomène est partiellement résolu par deux couches de matériau quaternaire GaInAsP de fraction molaire différente qui forment une transition graduelle par paliers entre le GaInAs et l'InP. Ces différents points mentionnés sont illustrés par le schéma de bande de la figure 10 [71].

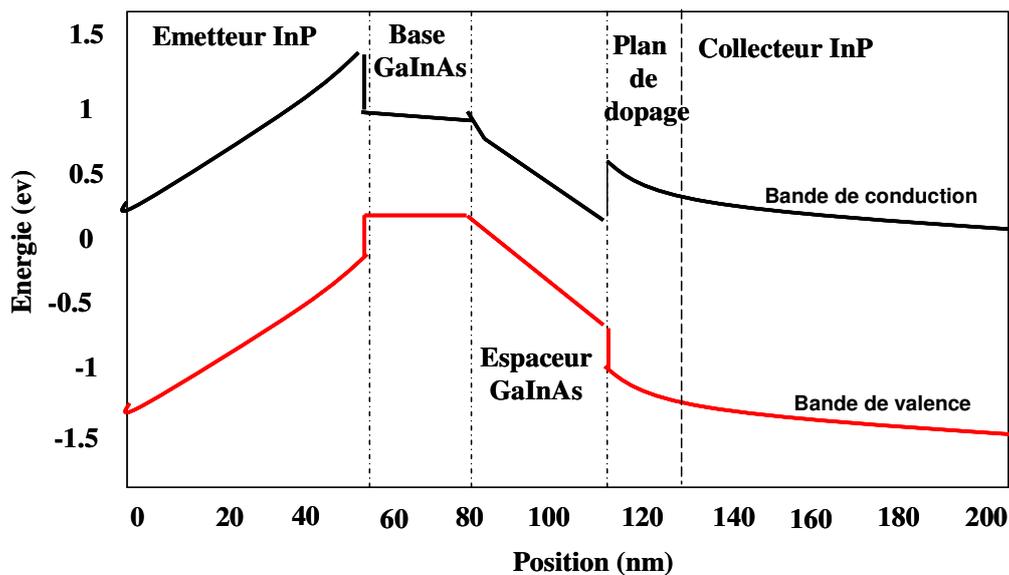


Figure 10: Schéma de bande du TBDH InP de 3-5lab.

Pour une meilleure jonction émetteur base, la discontinuité de bande de conduction doit être la plus faible à comparer avec la discontinuité de bande de valence. C'est le cas de la jonction l'InP/InGaAs pour laquelle  $\Delta E_C < \Delta E_V$ , comme indiqué dans le tableau de la Figure 11 :

Hétérojonction base- émetteur	$\Delta E_C$ (eV)	$\Delta E_V$ (eV)
InP/InGaAs	0.25	0.34
AlInAs/InGaAs	0.48	0.24

AlGaAs/GaAs	0.22	0.15
-------------	------	------

Figure 11: différences de niveau d'énergie de bandes

Le tableau de la figure 12 mentionne quelques paramètres physiques des matériaux. [72],[73],[74].

Propriétés à 300 K	GaAs	InP	In <sub>0,53</sub> Ga <sub>0,47</sub> As
Largeur Bande Interdite (eV)	1,42 43	1,35 43	0,75
Champ critique (kV/cm)	3.5	10	3
$V_{max}$ (10 <sup>7</sup> cm/s)	2.1	2.2	2.35
$V_{sat}$ (10 <sup>7</sup> cm/s)	0.8	1,5	0,7
$\mu_n$ (cm <sup>2</sup> /Vs)	8500	4600	15 000
$\mu_p$ (cm <sup>2</sup> /Vs)	400	150	300

Figure 12: Paramètres physiques des matériaux (GaAs, InP, InGaAs)

L'hétérojonction InP/InGaAs crée un potentiel de diffusion  $V_D$  composé d'une barrière de potentiel vue par les trous  $V_{Dp}$  plus importante que la barrière de potentiel vue par les électrons  $V_{Dn}$  comme représenté sur la figure 13.

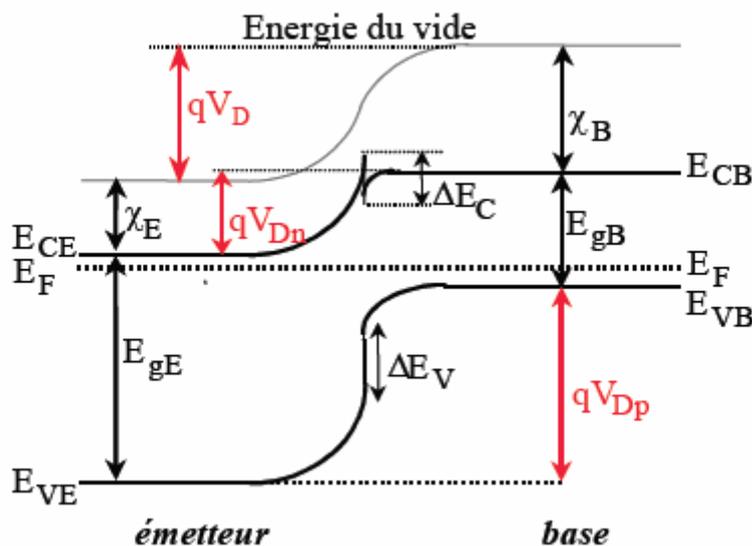


Figure 13 Diagramme de bande de l'hétérojonction InP/InGaAs

## V.2. Croissance épitaxiale

En technologie III-V, la fabrication du transistor bipolaire reprend toujours un enchaînement d'étapes similaire qui est :

- Croissance épitaxiale de la totalité des couches du composant

- Gravure des couches d'émetteur, de base de collecteur, et dépôt des électrodes de contact de manière à former un composant avec la géométrie voulue.

Une réalisation simple, dite à géométrie 3 mesa, est présentée figure 14

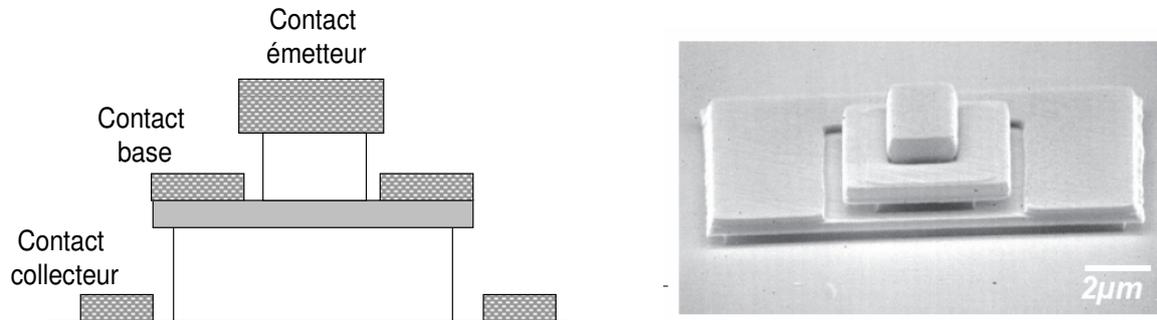


Figure 14 Schéma de réalisation [71]

L'épitaxie consiste à déposer sur une plaque d'un matériau donné (le substrat), des couches de matériaux ayant des compositions ou des dopages différents du substrat, tout en conservant l'ordre cristallographique et la nature mono cristalline de ce dernier.

La qualité de croissance épitaxiale et en particulier les niveaux de dopage et les compositions des alliages des différentes couches constituant le TBH se répercute directement sur les performances de ce composant. L'utilisation d'une base graduelle en composition ainsi que d'une hétéro structure GaInAs/InP avec des quaternaires GaInAsP à l'interface base-collecteur, nécessite un contrôle précis des compositions des matériaux déposés. Par ailleurs, l'épitaxie du TBH a la particularité d'exiger la réalisation d'une zone de type p très fortement dopée (la base avec  $p = \text{qqes } 10^{19} \text{ at/cm}^3$ ) entre deux couches faiblement dopées (dont le collecteur :  $n = 10^{16} \text{ at/cm}^3$ ), ce qui demande une bonne gestion des transitions entre les étapes de croissance.

Deux techniques de croissance, basées sur des principes différents, ont été largement développées. Ces deux techniques qui sont actuellement les plus utilisées pour la fabrication industrielle ou en laboratoire de composants sont respectivement : l'épitaxie en phase vapeur aux organométalliques (MOVPE = Metal-Organic Vapor Phase Epitaxy) [75] et l'épitaxie par jets moléculaires (MBE = Molecular Beam Epitaxy) [76].

L'épitaxie MOVPE consiste à faire passer, sur le substrat porté à haute température, un flux de gaz porteur (hydrogène) contenant des précurseurs des éléments III et V. Pour les éléments III, les précurseurs employés sont des organométalliques (TMI : triméthylindium, TMG : triméthylgallium, ...), et pour les éléments V, ce sont des hydrures (PH<sub>3</sub> : phosphine et AsH<sub>3</sub>

: arsine). Au contact du substrat porté à haute température, les précurseurs sont craqués et les éléments III et V peuvent alors s'incorporer au cristal.

- L'épitaxie MBE consiste à évaporer à haute température des sources pures d'éléments III et V solides dans une enceinte sous ultravide ( $\sim 10^{-10}$  torr). Les atomes ou molécules émis ne subissent aucune interaction avant leur collision avec le substrat car le libre parcours moyen à ce niveau de pression est plus grand que les dimensions de la chambre. Les différentes espèces s'incorporent alors pour former les couches. Le principal avantage de la technique MBE est le contrôle précis des interfaces qu'elle offre permettant ainsi de réaliser des couches très fines, ainsi que des interfaces abruptes entre matériaux. Pour pallier la difficulté de contrôle d'une source de phosphore à l'état solide, l'épitaxie par jets moléculaires à source gazeuse (GSMBE) est utilisée [77]. Cette technique utilise les hydrures phosphine et arsine ( $\text{PH}_3$  et  $\text{AsH}_3$ ) pré craqués à haute température comme précurseurs des éléments V.
- Le dopage de type n est réalisé avec du silicium. Le précurseur utilisé est le  $\text{SiBr}_4$  (tétra bromure de silicium).
- Le dopage de type p est réalisé au carbone. Le précurseur utilisé est le  $\text{CBr}_4$  (tétra bromure de carbone).

Pendant la phase d'épitaxie de la couche GaInAs, l'hydrogène libéré par les hydrures lors de craquage, interagit avec le carbone qui constitue le dopant de cette couche, il en résulte une diminution de la densité effective des atomes carbone entraînant ainsi une augmentation de la résistance de cette couche

Une solution largement étudiée pour remédier à ce phénomène, est l'utilisation d'un recuit à haute température pour faire diffuser l'hydrogène hors de la couche GaInAs. Le recuit appliqué consiste en un arrêt de croissance de 5 minutes sans injection d'hydrures avec une rampe de température jusqu'à  $510^\circ\text{C}$ .

La passivation de la couche émetteur est effectuée en utilisant le benzocyclobutène (BCB)

Les contacts métalliques sont réalisés par la technique de lift-off. Pour réaliser un lift-off le substrat sur lequel la métallisation va avoir lieu est recouvert d'une résine dite négative ou inverse. Des ouvertures sont ensuite réalisées par photo-lithographie. Une propriété intéressante des résines utilisées, dites 'inverses', est de générer des flancs légèrement rentrants lors du développement des ouvertures. La couche métallique désirée est alors déposée sur toute la surface de la plaque, puis supprimée des zones non-ouvertes, par dissolution de la résine. Cette opération est illustrée dans la figure 15.

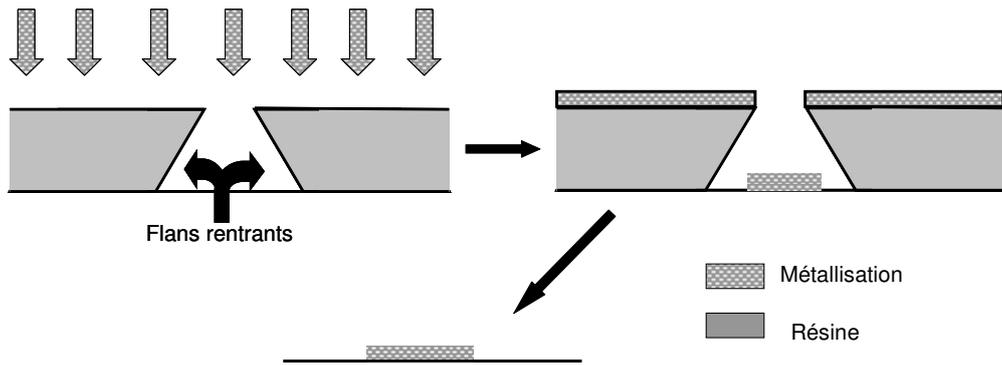


Figure 15 : Principe de lift off

Les contacts métalliques de l'émetteur et du collecteur sont réalisées avec des alliages Ti/Pt/Au (Titane, Platine, Or). Le titane a pour rôle d'assurer une bonne adhérence sur le semi-conducteur, ainsi qu'une faible résistivité de contact. Le platine joue un rôle de barrière contre la diffusion d'espèces métalliques lors du vieillissement du composant, et en particulier contre la diffusion de l'or, dont une couche épaisse forme généralement la partie supérieure du contact. Les résistivités de contact obtenues sur l'émetteur et le collecteur pour les métallisations Ti/Au et Ti/Pt/Au sont de l'ordre de  $2 \times 10^{-7} \Omega \cdot \text{cm}^2$ . La résistivité obtenue sur le contact Pt/Ti/Pt/Au est de l'ordre de  $3.10^{-7} \Omega \cdot \text{cm}^2$ .

Les empilements métalliques utilisés pour la réalisation du contact de base sont identiques à ceux présentés précédemment pour les contacts d'émetteur et de collecteur.

Pour une résistivité de contact et une résistance de couche données, la résistance minimale d'un contact à conduction 'latérale' (base ou collecteur) est obtenue lorsque la largeur du contact est grande devant la longueur de transfert LT. Les longueurs de transfert obtenues sur les contacts de base et de collecteur sont récapitulées figure 16 :

	Résistance de couche ( $\Omega$ )	Résistivité de contact ( $\Omega \cdot \text{cm}^2$ )	Longueur de transfert ( $\mu\text{m}$ )
Contact de base	500	$< 1.10^{-8} \_ \cdot \text{cm}^2$	0.3
Contact collecteur	8	$2 \times 10^{-7}$	1.6

Figure16 : caractéristiques des contacts de base et de collecteur

Sur des couches de base fines et fortement dopées ( $N_A = \text{qqes } 10^{19} \text{ at/cm}^3$ ), des résistivités de contact dans la gamme de quelques  $10^{-8} \Omega \cdot \text{cm}^2$  ont été obtenues,. Ceci permet de rendre négligeable la contribution du contact à la résistance de base totale.

Un point critique est la diffusion des espèces métalliques de l'électrode de base dans la couche de base et jusqu'à la jonction base collecteur [78], créant autant de centres de recombinaison et de chemins de fuite à travers la jonction polarisée en inverse [79]. Dans un contact Ti/Au la principale espèce diffusante est l'or. La présence d'une couche de platine, dans un contact Ti/Pt/Au, permet de limiter cette diffusion. Toutefois la présence de platine peut être à l'origine d'une contrainte mécanique dans le contact, générant alors un niveau de fuite anormal à la jonction base collecteur. On peut noter également l'utilisation de palladium (Pd) au lieu du platine et également la réalisation de contacts utilisant l'iridium Pd/Ir/Au. Pour apporter des solutions aux problèmes de contrainte mécanique et de stabilité thermique [80] [81]. Les différentes couches sont gravées par des combinaisons appropriées de gravures chimique et ionique.

### V.3. Enchaînement technologique

Les étapes principales de la technologie de fabrication sont présentées dans ce paragraphe. Cette technologie utilise sept niveaux successifs de masquage lithographique réalisés en lithographie par contact. Lors de la gravure d'émetteur et de base, c'est le métal de l'électrode correspondante, déposé préalablement, qui fait office de masque de gravure, évitant ainsi tout désalignement. Dans le cas de la métallisation de base, un auto alignement, est utilisé dans le but de minimiser l'espacement entre le mesa d'émetteur et le contact de base. Un important avantage de la structure de TBH InP/GaInAs réside dans la sélectivité de gravure qui existe entre les deux matériaux. En effet, les solutions acides utilisées pour la gravure du GaInAs ne pénètrent pas dans l'InP, et réciproquement. Les gravures pratiquées s'arrêtent donc spontanément aux interfaces entre matériaux, permettant ainsi une définition parfaite des mesa.

L'enchaînement technologique est décrit ci après puis représenté figure 17. Premièrement le contact émetteur est déposé. Le métal émetteur sert de masque de gravure pour l'émetteur, un léger surplomb est obtenu en prolongeant la gravure de l'émetteur (voir étape N°2). Ce surplomb permet d'évaporer le contact de base sur et autour du mesa émetteur de façon auto-alignée (voir étape N°3). L'étape suivante consiste à graver les couches du collecteur. La surface du collecteur est réduite en prolongeant la gravure (voir étape N°4), le contact est donc déposé (voir étape N°5). Dans les dernières étapes, le transistor est encapsulé puis on ouvre des vias à travers le polyimide pour connecter le transistor.

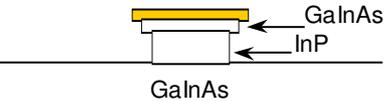
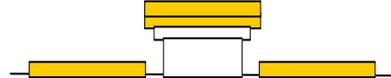
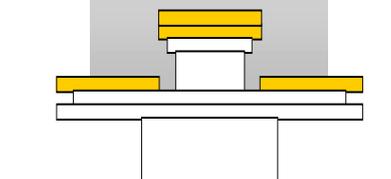
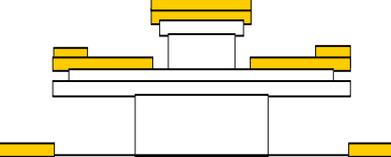
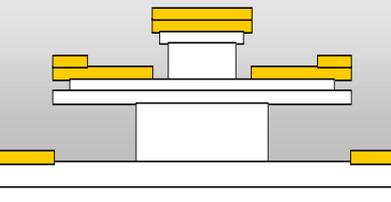
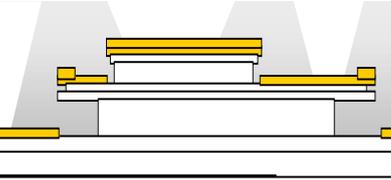
 <p>(Coupe transversale)</p>	<p><u>1°) Dépôt contact Emetteur</u></p> <p>Lithographie contact émetteur</p> <p>Dépôt Ti/Au</p>
 <p>GaInAs</p> <p>InP</p> <p>GaInAs</p>	<p><u>2°) Gravure Emetteur</u></p> <p>Gravure chimique GaInAs (Contact émetteur)</p> <p>Gravure chimique InP (Contact + Emetteur)</p>
	<p><u>3°) Dépôt contact Base</u></p> <p>Lithographie contact base</p> <p>Dépôt Ti/Au/Ti/Au</p>
	<p><u>4°) Gravure Base-Collecteur</u></p> <p>Lithographie protection émetteur</p> <p>Gravure chimique GaInAs (Base+Espaceur)</p> <p>Gravure ionique GaInAsP (Quaternaires)</p> <p>Gravure chimique InP (Collecteur) + Sous gravure</p>
	<p><u>5°) Dépôt contact Collecteur</u></p> <p>Lithographie contact Collecteur</p> <p>Dépôt Ti/Au</p>
	<p><u>6°) Isolation</u></p> <p>Lithographie protection</p> <p>Gravure chimique GaInAs contact</p> <p>Gravure chimique InP contact</p>
 <p>(coupe longitudinale)</p>	<p><u>7°) Via et interconnexion</u></p> <p>Enduction polyimide</p> <p>Lithographie Via</p> <p>Gravure Via</p> <p>Lithographie interconnexion (Niveau Métal1)</p> <p>Dépôt métal interconnexion</p>

Figure 17 : Les étapes technologiques du TBdH InP/GaInAs [82]

Après la fabrication de la structure du transistor, un traitement de la surface et des interfaces du composant s'avère nécessaire pour stabiliser les propriétés électriques notamment de la

base extrinsèque. Ce traitement appelé passivation est réalisé par dépôt d'une couche de polyimide.

Les structures de test sont composées de transistors unitaires avec un seul doigt d'émetteur rectangulaire. Ces puces unitaires sont connectées par quatre plots destinés à recevoir des pointes de mesure hyperfréquence. Les émetteurs des transistors de la technologie 1,5  $\mu\text{m}$  utilisés dans le cadre de ces travaux de thèse font 2  $\mu\text{m}$  de largeur d'émetteur avec des longueurs (6, 10, 15, 20  $\mu\text{m}$ ). La nomenclature correspondante est respectivement T6RA20 et T10RA20, T15RA20, T20RA20.

Pour la technologie 0,7  $\mu\text{m}$  les transistors ont un largeur d'émetteur de 0,7  $\mu\text{m}$  avec des longueurs de (5, 7, 10  $\mu\text{m}$ ).

La nomenclature correspondante est respectivement T5b3H7 et T7b3H7, T10b3H7.

La figure 18 montre les performances en fréquence de coupure pour les transistors 0,7  $\mu\text{m}$ .

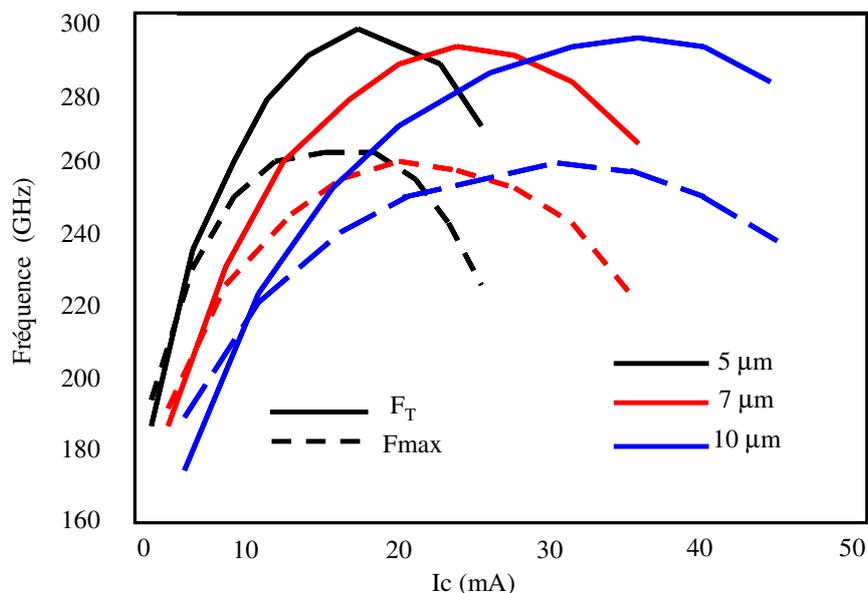


Figure 18: Fréquences de coupures pour les différents transistors 0,7  $\mu\text{m}$  [71].

## VI. Facteurs de Mérite du TBH

### VI.1. Fréquence de transition $F_T$ :

La fréquence de transition est la fréquence pour laquelle le gain en courant  $I_c/I_b$  du transistor chute à 0 dB et cela lorsque la sortie est fermée sur un court circuit.

La fréquence de transition est donnée par l'expression suivante :

$$\frac{1}{2 * \pi * F_T} = \tau_c + \tau_b + C_{bc} * (R_e + R_C) + \frac{q * I_e}{\eta * K * T}^{-1} * (C_{bc} + C_{be}) \quad (2)$$

$\tau_c$  et  $\tau_b$  sont les temps de transit des électrons dans le collecteur et dans la base respectivement.  $C_{bc}$  et  $C_{be}$  sont les capacités base collecteur et base émetteur.  $R_c$  et  $R_e$  sont les résistances d'émetteur et de collecteur et  $\frac{q * I_e}{\eta * K * T}$  est la conductance de la diode base émetteur.

## VI.2. Fréquence maximale d'oscillation :

La fréquence maximale d'oscillation est la fréquence pour laquelle le gain en puissance du transistor chute à 0 dB. Cette fréquence est liée à la fréquence de transition par la relation suivante.

$$F_{\max} = \frac{F_T}{8 * \pi * R_b * C_{cb}} \quad (3)$$

Où  $R_b$  représente la résistance de base et  $C_{bc}$  représente la capacité base collecteur. On peut trouver des formulations qui définissent la dépendance de la constante de temps  $R_{bb} * C_{cb}$  à la géométrie du transistor.

## VI.3. Densité de courant maximale $J_{\text{Kirk}}$ :

L'extraction d'un maximum de courant d'un TBH pour des dimensions données est essentielle. Une élévation du courant de collecteur signifie une augmentation de la densité de courant qui traverse le collecteur. Cela se traduit par une modification du profil du champ électrique dans la région du collecteur. L'équation de ce champ est l'intégrale de la charge totale dans le collecteur.

$$E_{(x)} = \frac{1}{\epsilon_0 * \epsilon_r} \int_0^x (q * N_c - \frac{J(x)}{v(x)}) * dx \quad (4)$$

On peut remarquer que pour une certaine valeur de densité de courant le champ électrique devient nul ce qui a pour effet l'augmentation du temps de transit dans le collecteur et par conséquent la dégradation des performances hautes fréquence du transistor. Cette valeur critique est nommée  $J_{\text{Kirk}}$ [83].

En supposant que  $J_{(x)}$  et  $v_{(x)}$  sont constantes, la différence de potentiel base collecteur qui est l'intégration du champ électrique dans la région du collecteur donne :

$$V_{cb} + \phi_{bci} = \frac{-1}{\epsilon_0 \cdot \epsilon_r} \int_0^{T_c} \int_0^{T_c} \left( q \cdot N_c - \frac{J(x)}{v(x)} \right) dx dx = \frac{T_c^2}{\epsilon_0 \epsilon_r} * \left( q N_c - \frac{J_c}{v_{eff}} \right) \quad (5)$$

Avec  $T_c$  l'épaisseur du collecteur,  $\phi_{bci}$  le potentiel de la jonction base collecteur, et  $V_{cb}$  la différence de potentiel appliquée au niveau de la jonction collecteur base. La notion de vitesse  $v_{eff}$  est prise pour simplifier le calcul mais en réalité  $v_{(x)}$  dépend de  $E_{(x)}$ . Cela conduit à un calcul beaucoup plus compliqué. La valeur de  $J_{Kirk}$  peut donc être donnée par

$$J_{kirk} = \frac{2\epsilon v_{sat}}{T_c^2} (V_{cb} + \phi_{bc}) + q \cdot N_c \cdot v_{eff} \quad (6)$$

Cette équation peut être écrite sous la forme suivante:

$$J_{kirk} = \frac{2\epsilon v_{eff}}{T_c^2} (V_{cb} + \phi_{bc} + q \cdot N_c \cdot \frac{T_c^2}{2\epsilon}) \quad (7)$$

$q \cdot N_c \cdot \frac{T_c^2}{2\epsilon}$  est la tension  $V_{cb}$  minimale qui assure une désertion totale du collecteur.

Pour augmenter la densité de courant  $J_{Kirk}$ , pour une épaisseur de collecteur fixée deux solutions peuvent être envisageables :

- Augmenter la tension  $V_{cb}$  mais cela peut être limité par la tension d'avalanche.
- Augmenter le dopage  $N_c$  mais cela empêche la désertion totale du collecteur pour une tension base collecteur donnée. Par conséquent la capacité de jonction base collecteur augmente et le temps de transit dans le collecteur augmente. Un dopage plus grand du collecteur entraîne aussi une diminution de la tension d'avalanche  $B_{vce0}$ . Le dopage de collecteur ne doit pas dépasser une limite définie par :

$$N_c = \frac{2\epsilon \cdot V_{cbmin}}{q \cdot T_c^2} \quad (8)$$

$V_{cbmin}$  est la tension base collecteur minimale qui assure une désertion totale de la jonction base collecteur.

#### VI.4. Temps de propagation – Retards

Pour les circuits numériques les figures de mérites ( $F_T$  et  $F_{max}$ ) ne permettent pas de déterminer les limites des fréquences d'horloges. Pour cela d'autres facteurs de mérite doivent être définis.

Le temps de propagation ou le retard causé par un transistor est un facteur de mérite important pour les circuits numériques. Ce temps de propagation estimé par [84] est  $\Delta t = \frac{\Delta Q}{I}$ . Le temps de propagation ou retard peut être estimé à partir d'une analyse petit signal linéaire. Une linéarisation des capacités non linéaires sur la plage de tension de travail est effectuée. Par cette méthode, pour un transistor unitaire, le retard de commutation est donné par :

$$\frac{\Delta Q}{I_c} = \frac{\Delta Q}{\Delta V_{LOGIC}} \cdot \frac{\Delta V_{LOGIC}}{I_c} = (C_{bc} + C_{be}) \left( \frac{\Delta V_{LOGIC}}{I_c} \right) \quad (9)$$

Le rapport  $\frac{C_{bc}}{I_c}$  est un paramètre clef pour réduire le retard. Pour diminuer le temps de retard il faut diminuer le rapport  $\frac{C_{bc}}{I_c}$ .

$I_{cmax} \approx \frac{A_E}{T_c^2}$  et  $C_{bc} \approx \frac{A_C}{T_c}$   $A_C$  et  $A_E$  sont les sections du collecteur et de l'émetteur et  $T_c$  est l'épaisseur du collecteur. En ce qui concerne la jonction base émetteur, la commande en tension  $\Delta V_{LOGIC}$  doit satisfaire :  $\Delta V_{LOGIC} > 4 \cdot \left( \frac{kT}{q} + R_e I_c \right)$  (10)

## VI.5. Quelques aspects importants de dimensionnement et d'optimisation

### VI.5.1. Diminution des dimensions

Les transistors submicroniques « 0,7  $\mu m$  » sont dimensionnés suite à une optimisation des transistors 1,5  $\mu m$ . Une mise à l'échelle latérale « largeur des contacts » ainsi qu'une mise à l'échelle verticale « épaisseur des couches » sont effectuées. L'optimisation latérale permet de réduire les éléments parasites 'résistances et capacités' tandis que l'optimisation verticale permet de réduire les temps de transit des électrons dans la base et dans le collecteur [85].

Le tableau de la figure 19, présente les modifications à apporter à la structure verticale pour passer d'une technologie de 1,5 à 0,7  $\mu m$  de largeur d'émetteur, la longueur d'émetteur restant constante.

Paramètres	Technologie précédente	Technologie submicronique
Largeur effective d'émetteur ( $\mu\text{m}$ )	1,5	~ 0,5
Fréquences de coupure (GHz)	200	360
Epaisseur de la base (nm)	~40	~30
Epaisseur du collecteur (nm)	200-300	100-150

Figure 19: Performances et épaisseurs de couches  
Estimées d'après la règle de « mise l'échelle ».

Les TBH de la nouvelle génération permettent d'atteindre des fréquences de transitions au delà de 300 Ghz visant des applications des applications de transmissions à 100 Gb/s .

#### VI.5.2. Région de l'émetteur :

Afin de maintenir la résistance d'émetteur constante et réduire la capacité base émetteur l'épaisseur de l'émetteur intrinsèque est réduit par rapport à la technologie précédente '1,5  $\mu\text{m}$ ' ,.

Grâce à l'hétérojonction émetteur base, on peut avoir une bonne efficacité d'injection tout en ayant un faible dopage d'émetteur. Ainsi une désertion totale des électrons aux faibles tensions permet de minimiser la capacité base- émetteur

La résistance d'émetteur est déterminée principalement par la résistance de contact. La résistance d'émetteur peut être donnée par l'équation 11.

$$R_e = \frac{\rho_c \cdot L_e}{W_e} \quad (11), \text{ avec } \rho_c (\Omega \cdot \text{cm}^2) \text{ est la résistivité de contact par unité de surface } W_e \text{ est la}$$

largeur de contact d'émetteur,  $L_e$  est la longueur d'émetteur. La résistivité de contact  $\rho_c$  est estimée par la relation suivante :

$$\rho_c = \exp\left(\frac{\Phi_b}{N}\right) \quad (12), \text{ Où } \Phi_b \text{ est la barrière de potentiel au niveau du contact de}$$

l'émetteur.  $N$  est le niveau de dopage de la couche qui constitue le contact de l'émetteur. La largeur d'émetteur des transistors de la nouvelle technologie est plus petite (0,7  $\mu\text{m}$  au lieu de 1,5  $\mu\text{m}$ ). Afin de garder une résistance d'émetteur constante la résistivité du contact d'émetteur doit être réduite d'après l'équation. Afin de réduire la résistivité du contact de

l'émetteur , une couche d'interface métal/semi conducteur en InGaAs fortement dopée n est utilisée.

La réduction de la capacité base émetteur tout en gardant une résistance d'émetteur constante permet d'améliorer la fréquence de coupure du transistor car cela permet de réduire la constante de temps associée à la région d'émetteur.

La constante de temps associée à la région d'émetteur est donnée par l'équation 13.

$$\tau_e = R_{je} * (C_{je} + C_{bc}) \quad (13)$$

$R_{je}$  est la résistance dynamique de la diode base émetteur.

### VI.5.3. Région de la base :

L'optimisation de la base a pour but de réduire le temps de transit des électrons dans la base et de réduire la résistance de la base ce qui permet d'améliorer simultanément la fréquence de transition et la fréquence maximale d'oscillation. Cette optimisation consiste donc à réduire l'épaisseur de la base qui passe de ~40 nm en technologie '1,5  $\mu\text{m}$ ' à ~30 nm en technologie '0,7  $\mu\text{m}$ '. La base en InGaAs contient une proportion graduelle d'Indium qui crée un pseudo-champ électrique ce qui contribue ainsi à réduire le temps de transit des électrons dans la base. Cela permet aussi de réduire la probabilité de recombinaison des électrons dans la base et améliorer ainsi le gain statique en courant. La couche de InGaAs qui constitue la base est fortement dopée positivement pour réduire la résistance de couche .

### VI.5.4 Région de collecteur :

Le collecteur a une influence majeure sur les fréquences de transition et la fréquence maximale d'oscillation.

L'équation de la constante de temps associée au collecteur est :

$$\tau = \tau_c + C_{bc} * (R_c + R_e + R_{je}) \quad (14)$$

Les résistances  $R_c$  et  $R_e$  dépendent des contacts métal semi conducteurs. La résistance dynamique  $R_{je}$  de la diode base émetteur est très faible en mode passant.  $C_{bc}$  représente l'effet capacitif entre les contacts de base et de collecteur et la capacité de jonction base collecteur.  $\tau_c$  représente le temps de transit des électrons dans le collecteur. Afin de réduire le temps de transit des électrons dans le collecteur l'épaisseur du collecteur est réduite. Cela est

accompagné d'une augmentation de la capacité base collecteur et donc une diminution de la fréquence maximale d'oscillation. Pour cela un compromis entre la fréquence maximale d'oscillation et la fréquence de transition a un rôle important pour le choix de l'épaisseur de collecteur. Le dopage du collecteur proprement dit (InP n-) est relativement faible afin de favoriser la désertion totale du collecteur à faible tension ( $V_{ce}$ ) ce qui empêche l'augmentation de la capacité  $C_{bc}$  pour les faibles tensions  $V_{ce}$ .

### VI.5.5 Optimisation des contacts :

L'optimisation des dimensions des différents contact a pour but de réduire les éléments parasites «résistances et capacités ».Les différents éléments parasites sont illustrés dans la figure 20.

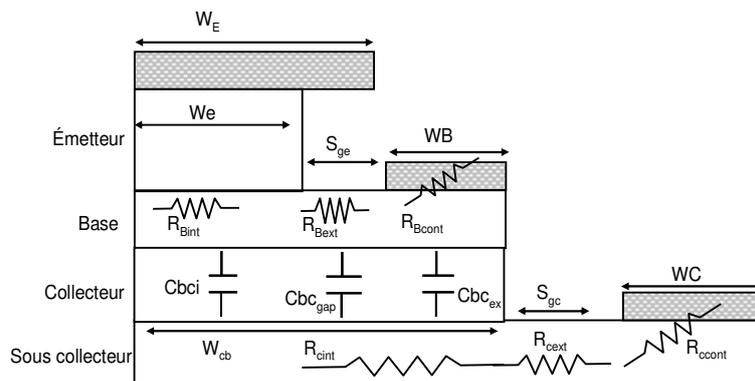


Figure 20: Illustration des différents éléments parasites

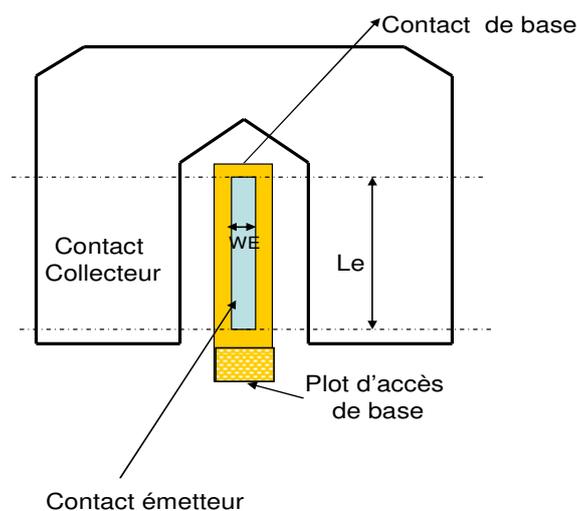


Figure 21 : Vue de dessus des différents contacts du transistor

### Optimisation du contact de base :

D'après la figure 20, le contact de base a une influence sur la résistance de base et sur la capacité base collecteur.

La résistance de la base est donnée par la formule suivante :

$$R_B = R_{Bcontact} + R_{Bext} + R_{Bint} \quad (15)$$

$$R_{Bext} = \frac{1}{2} \frac{R_{sh,b}}{L_e} \cdot S_{ge} \quad (16) ; \quad R_{Bint} = \frac{1}{12} \frac{R_{sh,b}}{L_e} \cdot W_e \quad (17) ; \quad R_{Bcontact} = \frac{\sqrt{\rho c \cdot R_{sh}}}{2 \cdot L_e} \cdot \coth\left(\frac{W_B}{L_T}\right) \quad (18) \text{ Avec}$$

$$L_T = \sqrt{\frac{\rho c}{R_{sh,b}}} \quad (19)$$

$R_{bext}$  représente la résistance de gap qui sépare le contact du collecteur et le «mesa» de l'émetteur,  $R_{bint}$  représente la résistance de couche semi conductrice du collecteur située sous l'émetteur.  $R_{Bcontact}$  représente la résistance de contact de la base,  $L_e$  est la longueur du contact de l'émetteur.  $R_{sh,b}$  représente la résistance carrée de la couche semi-conductrice de la base. La résistance de base est normalement plus grande que la résistance de collecteur et la résistance d'émetteur car la résistance carrée de la couche de la base est plus grande que la résistance carrée de la couche d'émetteur et de collecteur. Ceci est dû à la nature de dopage qui est un dopage de type p tandis que pour les autres couches le dopage est de type n.

L'optimisation du contact de base a pour but de réduire la capacité base collecteur tout en conservant une résistance de base constante. La solution adoptée est de réduire la largeur de contact de base  $W_B$  ce qui permet d'avoir une capacité base collecteur plus faible.  $W_B$  doit donc rester plus grande que la longueur de transfert de ce contact, sinon cette résistance augmente d'une façon dramatique ce qui entraîne une diminution la fréquence maximale d'oscillation.

#### Contact d'émetteur :

La géométrie du contact d'émetteur a une influence directe sur les performances d'un TBH évaluées à partir des facteurs de mérite définis précédemment. La largeur du contact d'émetteur  $W_E$  a un impact décisif sur la résistance de base. Pour minimiser la résistance de base, la largeur d'émetteur doit être minimisée au maximum ce qui permet d'obtenir une fréquence maximale d'oscillation plus grande. La largeur du contact d'émetteur affecte aussi la capacité base émetteur qui augmente avec la largeur d'émetteur. La réduction de la largeur du contact d'émetteur permet aussi de réduire la capacité base collecteur  $C_{bc}$ . Un autre avantage de la minimisation de la largeur d'émetteur est de rendre la densité de courant

d'émetteur plus grande et homogène sur toute la jonction base émetteur. Un autre paramètre qui joue un rôle dans la conception de l'émetteur est la valeur du courant d'émetteur que le transistor doit débiter. Comme le courant d'émetteur circule à travers le contact de l'émetteur, ce contact doit avoir une surface suffisante pour acheminer ce courant vers le reste de la structure.

La technologie d'auto alignement permet de réduire la résistance de base ( $R_b$ ) par rapport à la technologie d'alignement classique (figure 22). En effet, celle-ci nécessite une distance minimale entre le contact de base et le contact émetteur afin d'éviter un court-circuit. Une base plus éloignée de l'émetteur se traduit par une augmentation de  $R_b$

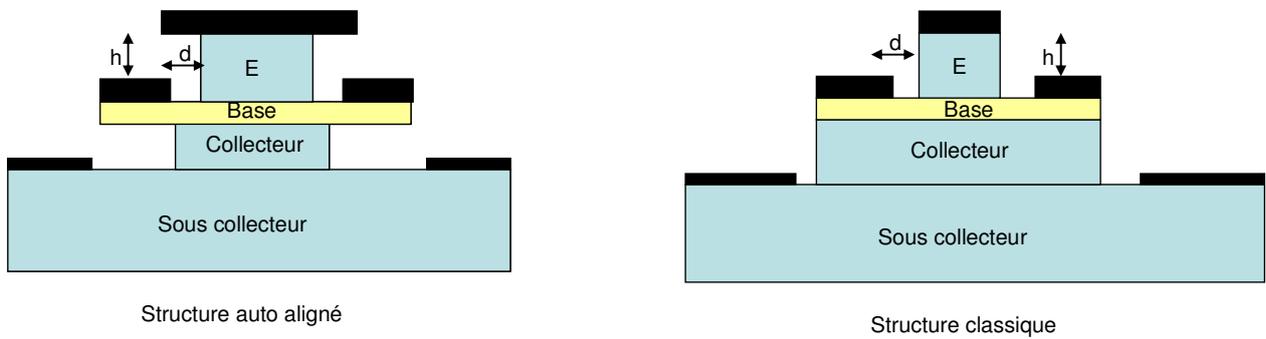


Figure 22 : Comparaison entre la structure auto alignée et une structure classique.

L'auto alignement est rendu possible par la fabrication sur l'émetteur d'hyper structures en forme de T ou de trapèze (Figure.23).

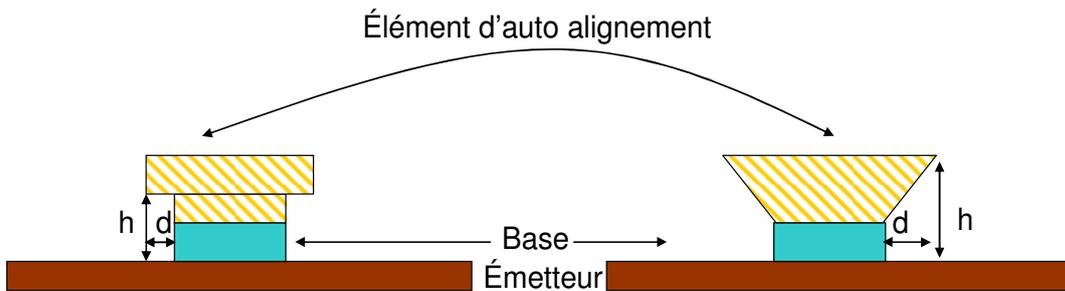


Figure 23 : Eléments d'auto-alignement type "T" (gauche) et trapèze (droite)

La discontinuité verticale (hauteur  $h$ ) présente dans les deux types de structure, permet de réaliser en un seul dépôt métallique (i.e. sans procédure d'alignement) les contacts d'émetteur et de base. L'intérêt principal de la technique d'auto alignement est qu'elle permet de réduire la distance  $d$  entre le contact de base et la zone active du transistor définie par la jonction base-émetteur.

Le deuxième intérêt est qu'il est possible d'augmenter l'épaisseur de la métallisation tout en évitant le court-circuit entre l'émetteur (ou le collecteur) et la base. Cela est obtenu grâce à la

différence de hauteur créée ( $h$  dans la figure 23) par l'hyper structure utilisée. Ces métallisations épaisses sont mises à profit pour réduire les résistances d'accès tant d'un point de vue électrique que thermique.

### Contact de collecteur :

L'optimisation du contact de collecteur a pour but de minimiser la capacité  $C_{bc}$  tout en gardant une résistance de collecteur  $R_c$  constante. La résistance de collecteur est donnée par l'équation 20:

$$R_c = R_{c_{contact}} + R_{c_{ext}} + R_{c_{int}} = \frac{1}{2} \frac{R_{sh,e}}{L_e} \left[ L_T + S_{gc} + \frac{W_{cb}}{6} \right] \quad (20)$$

$R_{c_{ext}}$  représente la résistance de gap qui sépare le contact du collecteur et le «mesa» de la base,  $R_{c_{int}}$  représente la résistance de couche semi conductrice du collecteur située sous la base,  $R_{c_{contact}}$  représente la résistance de contact du collecteur.

$R_{sh,c} = \frac{1}{q \cdot \mu \cdot N_c \cdot T_c}$  ( $\Omega \cdot \square$ ) représente la résistance carré de la couche semi-conductrice de collecteur avec  $\mu$  la mobilité des électrons dans la couche de collecteur,  $N_c$  le dopage du collecteur et  $T_c$  l'épaisseur de la couche semi conductrice constituant le collecteur.

$L_T = \sqrt{\frac{\rho_c}{R_{sh,c}}}$  Représente la longueur de transfert qui est une caractéristique de contact métal

semi conducteur.  $\rho_c$  ( $\Omega \cdot \text{cm}^2$ ) est la résistivité de contact de collecteur. En

supposant que le collecteur est en désertion totale, la capacité base collecteur peut être considérée comme une capacité entre deux armatures. Cette capacité peut être décomposée en 4 capacités :

$$C_{bc} = C_{bc,ex} + C_{bc,gap} + C_{bc,i} + C_{bc,pad} \quad (21)$$

$$C_{bc,ex} = 2 \frac{\epsilon_0 \cdot \epsilon_r \cdot Le \cdot WB}{T_c} \quad (22); \quad C_{bc,gap} = 2 \frac{\epsilon_0 \cdot \epsilon_r \cdot Le \cdot S_{ge}}{T_c} \quad (23);$$

$$C_{bc,i} = 2 \frac{\epsilon_0 \cdot \epsilon_r \cdot Le \cdot We}{T_c} \quad (24); \quad C_{bc,pad} = 2 \frac{\epsilon_0 \cdot \epsilon_r \cdot A_{pad}}{T_c} \quad (25).$$

Les différents paramètres constituant  $C_{bc}$  sont illustrés dans la figure 24 :

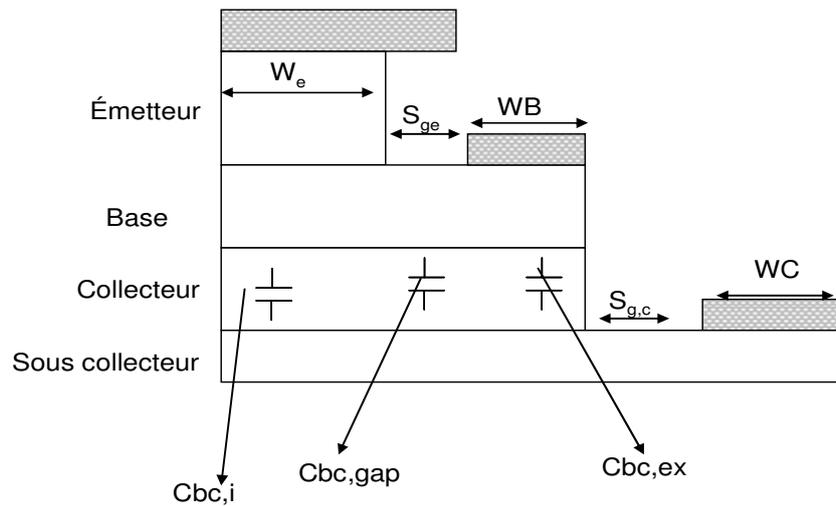


Figure24 : Répartition de la capacité Cbc

La capacité  $C_{bc, \text{pad}}$  est due au plot d'accès de la base est montré dans la figure 25.

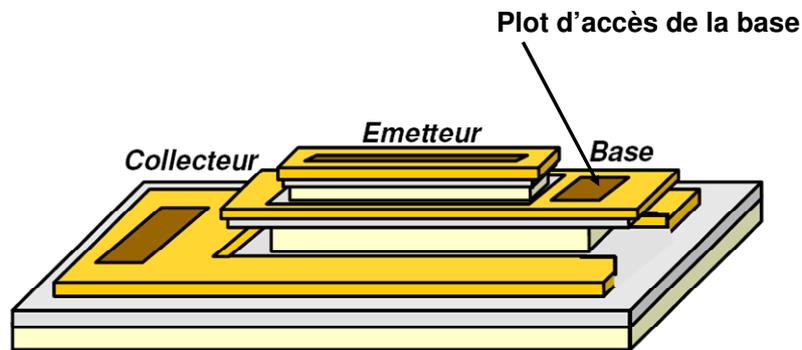
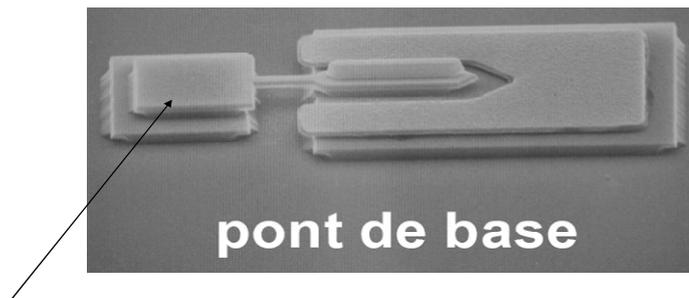


Figure 25: Illustration du plot d'accès de base

L'optimisation retenue pour le collecteur consiste à augmenter le dopage de sous collecteur, pour réduire la résistance de contact du collecteur. D'après les équations (24, 25, 26, 27) la capacité  $C_{bc}$  n'est pas réduite avec la nouvelle mise à l'échelle car  $C_{bc}$  est inversement proportionnelle à l'épaisseur du collecteur.

Afin de réduire la capacité base collecteur due au plot d'accès de la base une autre structure montrée figure 26 a été développée.



Plot d'accès de la base

Figure 26 : Transistor à pont de base [71]

Le plot est suffisamment large pour assurer la connexion de la base par via. Les couches d'InGaAs et d'InP situées sous le pont sont gravées lors de l'étape d'isolation du transistor. Cette approche technologique permet de diminuer la surface base-collecteur car le plot d'accès de la base ne se situe plus au dessus de la zone de charge d'espace du collecteur. Cette approche permet de minimiser la capacité de jonction associée au plot d'accès. Cela se traduit par une augmentation de 10 % des fréquences de coupure de transistors.

La figure 27 montre une comparaison entre les transistors à pont de base et à plot de base pour la technologie 0,7  $\mu\text{m}$ .

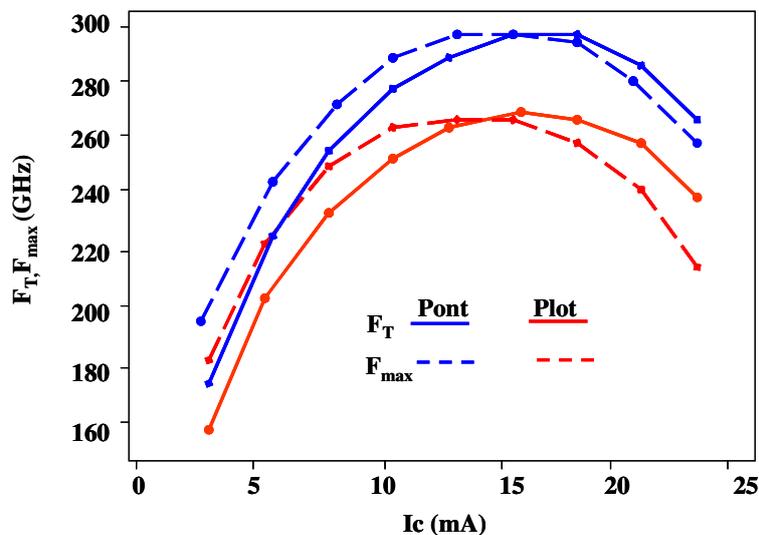


Figure 27 : Fréquences de coupure des TBH 0,7x5  $\mu\text{m}^2$  à pont et à plot de base[71]

Malgré les meilleures performances des transistors à pont de base ce sont les transistors à plot de base qui sont les plus utilisés pour la fabrication de circuits intégrés à cause de leur meilleur rendement de fabrication. [86]

On trouve dans la littérature d'autres techniques de réduction de la capacité  $C_{bc}$  :

- La première solution consiste à faire une implantation ionique de Fe dans le sous collecteur [87]. Cela permet de réduire la capacité  $C_{bc}$  par un facteur 3. Cela est illustré figure 28.

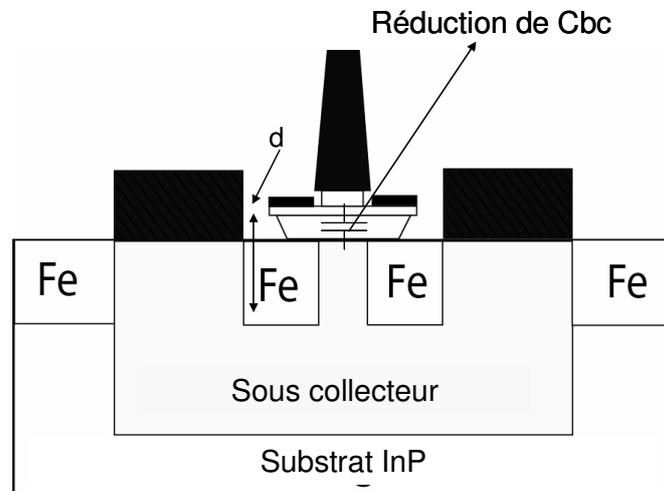


Figure 28: réduction de la capacité  $C_{bc}$  par implantation ionique de Fe dans le sous-collecteur

La réduction de la capacité  $C_{bc}$  est due à l'augmentation de la distance ( $d$ ) qui sépare le sous-collecteur de la zone de base.

- La deuxième solution consiste à utiliser la structure « TSHBT transferred substrate heterojunction bipolar transistor ». Cette structure est présentée dans la figure 29 [88].

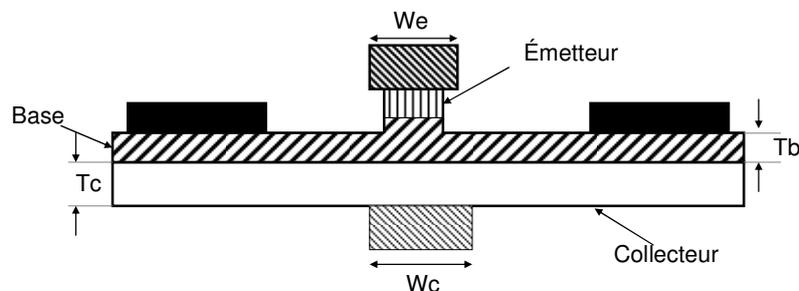


Figure 29 : la structure TSHBT développée à UCSB

Le TSHBT permet la fabrication des contacts d'émetteur et de collecteur plus étroits. Le contact de collecteur est déposé sur la face arrière du transistor. Cela permet de réduire sa largeur à une valeur proche de largeur du contact d'émetteur. Cette technique permet d'une part d'avoir une capacité  $C_{bc}$  qui dépend principalement de la largeur du contact collecteur et donc réduire sa valeur. D'autre part cela permet de réduire la résistance de collecteur à la résistance de contact. Le TSHBT permet aussi d'avoir un contact de base plus large ce qui

réduit sa valeur. Le TSHBT permet d'avoir des fréquences maximales d'oscillations plus grandes que 400 GHz[88]..

- La réduction de  $C_{bc}$  peut se faire aussi en utilisant la structure « Collecteur-up ». Cette structure est représentée la figure 30.

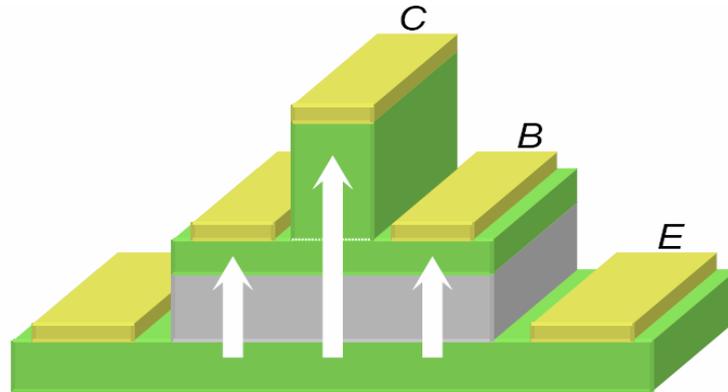


Figure30: Structure C-up

Dans cette structure le collecteur est en haut de la structure. La capacité base-collecteur est réduite d'un facteur trois par rapport à une structure classique « émetteur en haut ». Cette structure a un gain en courant limité car la surface d'injection de la jonction base émetteur est plus grande que la surface de collection au niveau du collecteur et par conséquent une forte recombinaison des électrons se produit dans la région de base.

Une solution pour ce problème est de sous graver la couche d'émetteur pour égaliser les surfaces d'injection et de collection des électrons ou d'utiliser l'implantation ionique décrite auparavant, mais cette fois dans la région d'émetteur afin de réduire la surface effective de la jonction base-emetteur [89].

## VII. Conclusion

Dans ce chapitre une description des potentialités de différentes technologies semi conducteurs est donnée. L'état de l'art de différentes technologies (CMOS, SiGe, HEMT InP ,TBH InP ) montre que les transistors bipolaires à hétérojonction TBH InP sont parmi les meilleurs candidats pour la réalisation des circuits électroniques ultra rapides. Ensuite une description de la technologie de transistors bipolaires à double hétérojonction InP/InGaAs de III-V Lab est donnée. Les principes généraux d'optimisation ont pour but d'améliorer les facteurs de mérite du TBH InP précédemment définis tels que ( $F_T$ ,  $F_{max}$ )

Le chapitre suivant va présenter le développement d'un système de caractérisation de transistor en impulsions étroites (40ns) et l'application à la modélisation de transistors HBT InP en technologie 1,5  $\mu\text{m}$  et 0,7  $\mu\text{m}$  de Alcatel Thales III-V Lab.

## Bibliographie :

- [1] Bardeen J, Brattain WH." The Transistor, A Semi-conductor Triode". Phys. Rev. 1948 ;74 :230-1.
- [2] ShockleyW." The theory of p-n junctions in semiconductors and p-n junction transistors". Bell Syst. Tech. J. 1949 ;28 :435.
- [3] Teal GK, "Buehler E. Growth of silicon single crystals and of single crystal silicon p-n Junctions". Phys. Rev. 1952 ;87 :190.
- [4] Cressler.J.D,WarnockJ,Harame,D.L, et al,"A high-speed complementary silicon bipolar technology with 12 f.j power delay product", IEEE Electron Device Letters,1993, vol. 14, n0 11,pp.523-526
- [5] Kroemer H. "Theory of a wide gap emitter for transistors". Proc. IRE 1957 :1535-37.

- [6] Philippe Cazenave, "Modélisation du transistor bipolaire intégré – Volume 2 : Dispositifs à hétérojonctions", Hermès (Traité EGEM), 2004-2005
- [7] J. P. Dismukes, L. Ekstrom, R. J. Paff, J., "Lattice Parameter and Density in Germanium-Silicon Alloys", *Phys. Chem.*, 1964, 68 (10), pp 3021–3027, Publication Date: October 1964
- [8] J. S. Dunn, "Foundation of rf CMOS and SiGe BiCMOS technologies", *IBM Journal of Research and Development archive*, Volume 47 , Issue 2-3 (March 2003) table of contents, Pages: 101 - 138 , Year of Publication: 2003
- [9] Kvam, E. P.; Hull, R , "Surface orientation and stacking fault generation in strained epitaxial growth" *Journal of Applied Physics* (ISSN 0021-8979), vol. 73, no. 11, p. 7407-7411, 1993.
- [10] R.F. Scholz, U.M. Gösele, J.-Y. Huh and T.Y. Tan "Carbon-induced undersaturation of silicon self-interstitials" *Applied Physics Letters*, vol.72, p.200, 1998
- [11] B.A. Orner, Q.Z. Liu, B. Rainey, A. Stricker, P. Geiss, P. Gray, M. Zierak, M. Gordon, D. Collins, V. Ramachandran, W. Hodge, C. Willets, A. Joseph, J. Dunn, J.-S. Rieh, S.-J. Jeng, E. Eld, G. Freeman, and D. Ahlgren, "A 0.13  $\mu\text{m}$  BiCMOS technology featuring a 200/280 GHz  $f_T/f_{\text{max}}$  SiGe HBT," in *Proceedings of the Bipolar/BiCMOS Circuit Tech. Meeting*, Toulouse, France, pp. 203-206, September 2003
- [12] M. Khater et al., "SiGe HBT technology with  $f_T/f_{\text{max}}$  350/300 GHz and gate delay below 3.3 ps," in *IEDM Tech. Dig.*, 2004, pp. 247–250.
- [13] S. Hackl, J. Bock, G. Ritzberger, M. Wurzer, H. Knapp, L. Treitinger et A. L. Scholtz, "A 45 GHz SiGe active frequency multiplier", *Proc. IEEE Solid-State Circuits Conference*, Vol. 1, 2002, pp. 82.
- [14] M. Meghelli, "A 43-Gb/s full-rate clock transmitter in 0.18  $\mu\text{m}$  SiGe BiCMOS technology," *IEEE J. Solid-State Circuits*, vol. 40, pp. 2046–2050, Oct. 2005.
- [15] A. Ong, S. Benyamin, J. Cancio, V. Conditto, T. Labrie, L. Qinghung, J. P. Mattia, D. K. Shaeffer, A. Shahani, S. Xiaomin, T. Hai, M. Tarsia, W. Wayne et X. Min, "A 40-43-Gb/s clock and data recovery IC with integrated SFI-5 1:16 demultiplexer in SiGe technology", *IEEE Journal of Solid-State Circuits*, Vol. 38, No. 12, 2003, pp. 2155-2168.
- [16] ZEROUNIAN N., et al., 500 GHz cut-off frequency SiGe HBTs. *Electronics Letters*, vol. 43, pp. 774-775, 2007

- [17] Krithivasan, R.; Yuan Lu; Cressler, J.D.; Jae-Sung Rieh; Khater, M.H.; Ahlgren, D.; Freeman, G., "Half-terahertz operation of SiGe HBTs", *Electron Device Letters, IEEE* Volume 27, Issue 7, July 2006 Page(s): 567 – 569
- [18] H. Knapp, M. Wurzer, T. F. Meister, K. Aufinger, J. Bock, S. Boguth et H. Schafer, "86 GHz static and 110 GHz dynamic frequency dividers in SiGe bipolar technology", *Proc. Microwave Symposium, Vol. 2, 2003*, pp. 1067-1070.
- [19] Y. Baeyens and Y. Chen, "A monolithic integrated 150 GHz SiGe HBT push–push VCO with simultaneous differential V-band output," *MTT-S Int.Dig.*, vol. 2, pp. 877–880, Jun., 8–13 2003, Philadelphia, PA.
- [20] T.O. Dickson and S.P. Voinigescu, "Low-Power Circuits for a 2.5-V, 10.7-to-86 Gb/s Serial Transmitter in 130nm SiGe BiCMOS", in *CSICS Tech. Dig.*, 2006, in press.
- [21] Laskin, E.; Rylyakov, A.; "A 136-GHz Dynamic Divider in SiGe Technology" *Silicon Monolithic Integrated Circuits in RF Systems, 2009. SiRF '09. IEEE Topical Meeting on 19-21 Jan. 2009* Page(s):1 – 4.
- [22] Muller, A. Thiel, M. Irion, H. Ruob, H.-O." A 122 GHz SiGe active subharmonic mixer", *Dept. CR/ARE, Robert Bosch GmbH, Germany; Gallium Arsenide and Other Semiconductor Application Symposium, 2005. EGAAS 2005. European, Publication Date: 3-4 Oct. 2005* On page(s): 57- 60
- [23] Nottenburg RN, Temkin H, Panish MB, Hamm R. "High gain InGaAs/InP heterostructure bipolar transistors grown by gas source molecular beam epitaxy". *Appl. Phys. Lett.* 1986 ;49 :1112-4.
- [24] Hayes JR, Bhat R, Schumacher H, Koza M." OMCVD-grown InP/InGaAs heterojunction bipolar transistors". *Elect. Lett.* 1987 ;23 :1298-9..
- [25] Nottenburg RN, Chen YK, Panish MB, Humphrey DA, Hamm R. "Hot-electron InGaAs/InP Heterostructure Bipolar Transistors with  $f_T$  of 110GHz". *IEEE Electron Dev. Lett.* 1989 ;10 :30-32.
- [26] Chen YK, Nottenburg RN, Panish MB, Hamm RA, Humphrey DA. "Subpicosecond InP/InGaAs Heterostructure Bipolar Transistors". *IEEE Electron Dev. Lett.* 1989 ;10 :267-9.
- [27] Nottenburg RN, Chen YK, Panish MB, Hamm R, Humphrey DA. High-Current- Gain Submicrometer InGaAs/InP Heterostructure Bipolar Transistors. *IEEE Electron Dev. Lett.* 1988 ; 9 :524-6.

- [28] J. Godin, M. Riet, P. Berdaguer, V. Nodjiadjim, A. Konczykowska, A. Scavennec, "InP DHBT Technology Development for High Bitrate Mixed- Signal IC Fabrication", IPRM '06, 7-11 May 2006, pp. 258-261
- [29] Weimann, N.G.; Houtsma, V.; Baeyens, Y.; Weiner, J.; Tate, A.; Frackoviak, J.; Chen, Y.K.; "InP DHBT circuits for 100 Gb/s Ethernet applications:"Indium Phosphide and Related Materials, 2008. IPRM 2008. 20th International Conference on 25-29 May 2008 Page(s):1 – 4
- [30] Parthasarathy, N.; Lind, E.; Sheldon, C.; Bank, S.R.; Singiseti, U.; Urteaga, M.; Shinohara, K.; Pierson, R.; Rowell, P..Rodwell, M.; Griffith, Z.; ; "Developing Bipolar Transistors for Sub-mm-Wave Amplifiers and Next-Generation (300 GHz) Digital Circuits " Device Research Conference, 2006 64th ,June 2006 Page(s):5 – 8
- [31] Griffith, Zach, Dahlstrom, M,Urteaga, M, Rodwell, MJW,Fang, X M, Lubysbev, D, Wu, Y, Fastenau, J M, Liu, W K "InGaAs-InP mesa DHBTs with simultaneously high  $f_T$  and  $f_{max}$  and low  $C_{cb}/I_c$  ratio," IEEE Electron Device Letters, vol. 25, issue 5, pp. 250-252.
- [32] Hafez M, Lai JW, Feng M." InP/InGaAs SHBTs with 75 nm collector and  $f_T > 500$  GHz". Electron Lett 2003;39(20):1475–6.
- [33] Ritter D, Hamm RA, Feygenson A, Temkin H, Panish MB, Chandrasekhar S. Bistable hot electron transport in InP/GaInAs composite collector heterojunction bipolar transistors. Appl. Phys. Lett. 1992 ;61 :70-2.
- [34] Ohkubo M, Iketani A, Ijichi T, Kikuta T. InGaAs/InP double-heterojunction bipolar transistors with step graded InGaAsP between InGaAs base and InP collector grown by metalorganic chemical vapor deposition. Appl. Phys. Lett. 1991 ;59 :2697-9
- [35] Kurishima K, Nakajima H, Kobayashi T, Matsuoka Y, Ishibashi T. Fabrication and "Characterization of High-Performance InP/InGaAs Double-Heterojunction Bipolar Transistors" IEEE Trans. on Electron Devices 1994 ;41 :1319-25.
- [36] Yamada H, Futatsugi T, Shigematsu H, Tomioka T, Fujii T, Yokoyama N. 1991 IEDM Tech. Dig. 1994 :964.
- [37] Ida M, Kurishima K, Watanabe N. "Over 300 GHz  $f_T$  and  $f_{max}$  InP/InGaAs double heterojunction bipolar transistors with a thin pseudomorphic base". IEEE Electron Dev.Lett.2002 ;23 :694-6.
- [38] Hu J, Xu XG, Stotz JAH, Watkins SP, Curzon AE, Thewalt MLW, Matine N, Bolognesi CR." Type II photoluminescence and conduction band offsets of

- GaAsSb/InGaAs and GaAsSb/InP heterostructures grown by metalorganic vapor phase epitaxy". *Appl. Phys. Lett.* 1998 ;74 :2799-801.
- [39] Peter M, Herres N, Fuchs F, Winkler K, Bachem KH, Wagner J. Band gaps and band offsets in strained GaAs<sub>1-y</sub>Sb<sub>y</sub> on InP grown by metalorganic chemical vapor deposition. *Appl. Phys. Lett.* 1999 ;74 :410-12.
- [40] Keuch TF, Tischler MA, Wang PJ, Scilla G, Potemski R, Cardonne F. "Controlled carbon doping of GaAs by metalorganic vapor phase epitaxy". *Appl. Phys. Lett.* 1988 ;53 :1317.
- [41] Ren F, Fullowan TR, Lothian J, Wisk PW, Abernathy CR, Kopf RF, Emerson AB, Downey SW, Pearson SJ. "Stability of carbon and beryllium-doped base GaAs/AlGaAs heterojunction bipolar transistors". *Appl. Phys. Lett.* 1991 ;59 :3613- 5.
- [42] Mc Dermott BT, Gertner ER, Pittman S, Seabury CW, Chang MF. "Growth and doping of GaAsSb via metalorganic chemical vapor deposition for InP heterojunction bipolar transistors". *Appl. Phys. Lett.* 1996 ;68 :1386-8.
- [43] Bhat R, Hong WP, Caneau C, Koza MA, Nguyen CK, Goswami S. "InP/GaAsSb/InP and InP/GaAsSb/InGaAsP double heterojunction bipolar transistors with a carbon-doped base grown by organometallic chemical vapor deposition". *Appl. Phys. Lett.* 1996 ;68 :985-7.
- [44] Watkins SP, Pitts OJ, Dale C, Xu XG, Dvorak MW, Matine N, Bolognesi CR. "Heavily carbon-doped GaAsSb grown on InP for HBT applications. *J. Cryst. Growth*", 2000 ;221 :56-65.
- [45] Snodgrass, W. Bing-Ruey Wu Cheng, K.Y. Feng, M, "Type-II GaAsSb/InP DHBTs with Record  $f_T = 670$  GHz and Simultaneous  $f_T, f_{MAX} > 400$  GHz". Univ. of Illinois at Urbana-Champaign, Urbana, 2007;
- [46] Konczykowska, A.; Andre, P.; Jorge, F.; Godin, J, " High quality 80Gbit/s InP DHBT selector and its use for NRZ-RZ conversion": *Electronics Letters* Volume 39, Issue 1, 9 Jan 2003 Page(s):49 – 51
- [47] Konczykowska, A. Jorge, F. Riet, M. Moulu, J. Godin, J, " 50 Gb/s DFF and decision circuits in InP DHBT technology for ETDM systems" Alcatel-Thales III-V Lab, Marcoussis, France; Gallium Arsenide and Other Semiconductor Application Symposium, 2005. EGAAS 2005. European Publication Date: 3-4 Oct. 2005 ,On page(s): 605- 607
- [48] Puyal, V. Konczykowska, A. Nouet, P. Bernard, S. Blayac, S. Jorge, F. Riet, M. Godin, J. "DC-100-GHz Frequency Doublers in InP DHBT Technology " *OPTO+*,

- ALCATEL Res. & Innovation, Marcoussis, France; Microwave Theory and Techniques, IEEE Transactions on April 2005 Volume: 53, Issue: 4, Part 1 On page(s): 1338- 1344.
- [49] Hallin, J.; Kjellberg, T.; Swahn, T, "A 100-Gb/s 1:4 Demultiplexer in InP DHBT Technology" .; Compound Semiconductor Integrated Circuit Symposium, 2006 IEEE Nov. 2006 Page(s):227 - 230, ,Microwave Electronics Laboratory, Chalmers University of Technology, 412 96 Göteborg, SUEDE
- [50] Hallin J, Kjellberg T, Swahn T. "A 165-Gb/s 4 : 1 multiplexer in InP DHBT technology". IEEE J Solid-State Circuits, 2006, 41(10): 2209 ,Microwave Electronics Laboratory, Chalmers University of Technology, 412 96 Göteborg, SUEDE
- [51] Makon, R.E. Driad, R. Losch, R. Rosenzweig, J. Schlechtweg, M. , "100 Gbit/s Fully Integrated InP DHBT-Based CDR/1:2 DEMUX IC" Compound Semiconductor Integrated Circuits Symposium, 2008. CSICS '08. IEEE 12-15 Oct. 2008 ,On page(s): 1-4
- [52] Yung, M. Jensen, J. Walden, R. Rodwell, M. Raghavan, G. Elliott, K. Stanchina, W. , "Highly integrated InP HBT optical receivers" HRL Labs., Malibu, CA; This paper appears in: Solid-State Circuits, IEEE Journal of Publication Date: Feb 1999 Volume: 34, Issue: 2, On page(s): 219-227
- [53] Krishnamurthy, K.; Pallela, R.; Chow, J.; Xu, J.; Jaganathan, S.; Mensa, D.; Rodwell, M, "High gain 40 Gb/s InP HBT drivers for EO/EA modulators" Optical Fiber Communications Conference", 2003. OFC 2003, 23-28 March 2003 Page(s):761 - 762 vol.2
- [54] Xin Zhu Jing Wang Pavlidis, D. Shuohung Hsu, "First demonstration of low-power monolithic transimpedance amplifier using InP/GaAsSb/InP DHBTs" Dept. of Electr. Eng. & Comput. Sci., Michigan Univ., Ann Arbor, MI, USA; Microwave Symposium Digest, 2005 IEEE MTT-S International, Publication Date: 12-17 June 2005, On page(s): 101-103
- [55] Nosal, Z.M. Broekaert, T.P.E, "InP HBT transimpedance amplifier for 43 Gb/s optical link applications" Inphi Corp., Westlake Village, CA, USA; Microwave Symposium Digest, 2003 IEEE MTT-S International Publication Date: 8-13 June 2003, Volume: 1, On page(s): 117- 120 vol.1
- [56] Puyal, V. Konczykowska, A. Riet, M. Bernard, S. Nouet, P. Godin, J. , " InP HBT XOR and phase-detector for 40 Gbit/s clock and data recovery (CDR)" Alcatel-Thales III-V Lab, Marcoussis; Radar & Wireless Communications, 2006. MIKON 2006.

- International Conference on, Publication Date: 22-24 May 2006, On page(s): 1115-1118
- [57] <http://www.inphi-corp.com/product-overview/analog-mixed-signal/track-and-hold/1821ths01bga.php>
- [58] Tiemeijer, L.F. Boots, H.M.J. Havens, R.J. Scholten, A.J. de Vreede, P.H.W. Woerlee, P.H. Heringa, A. Klaassen "A record high 150 GHz  $f_{max}$  realized at 0.18  $\mu\text{m}$  gatelength in an industrial RF-CMOS technology" Electron Devices Meeting, 2001. IEDM Technical Digest. International Publication Date: 2001 On page(s): 10.4.1-10.4.4
- [59] Kehrer D, Wohlmuth H D. "A 60-Gb/s 0,7-V 10-mW monolithic transformer-coupled 2 : 1 multiplexer in 90 nm CMOS". IEEE Compound Semiconductor IC Symp, 2004:105
- [60] N. Nedovic, N. Tzartzanis, H. Tamura, F. M. Rotella, M. Wiklund, Y. Mizutani, Y. Okaniwa, T. Kuroda, J. Ogawa, and W. W. Walker, "A 40–44 Gb/s 3x oversampling CMOS CDR/1:16 DEMUX," IEEE J. Solid-State Circuits, vol. 42, no. 12, pp. 2726–2735, Dec. 2007
- [61] Rodoni, L.; von Buren, G.; Huber, A.; Schmatz, M.; Jackel, H. "A 5.75 to 44 Gb/s Quarter Rate CDR With Data Rate Selection in 90 nm Bulk CMOS" Solid-State Circuits, IEEE Journal of Volume 44, Issue 7, Date: July 2009, Pages: 1927 – 1941
- [62] Cao, C. Seok, E. O, K.K. "192 GHz push-push VCO in 0.13  $\mu\text{m}$  CMOS" Electronics Letters Publication Date: 16 Feb. 2006
- [63] Jun-De Jin Hsu, S.S.H. "40-Gb/s Transimpedance Amplifier in 0.18- $\mu\text{m}$  CMOS Technology" ESSCIRC 2006. Proceedings of the 32nd European Publication Date: 19-21 Sept. 2006, On page(s): 520-523
- [64] Shinohara, K. Yamashita, Y. Endoh, A. Watanabe, I. Hikosaka, K. Matsui, T. Mimura, T. Hiyamizu, S, "547-GHz ft In<sub>0,7</sub>Ga<sub>0.3</sub>As-In<sub>0.52</sub>Al<sub>0.48</sub>As HEMTs with reduced source and drain resistance". Electron Device Letters, IEEE Publication Date: May 2004 Volume: 25, Issue: 5 On page(s): 241- 243
- [65] J. Bergman, G. Nagy, G. Sullivan, B. Brar, C. Kadow, H.-K. Lin, A. Gossard, M. Rodwell, "Low-voltage, high-performance InAs/AlSb HEMTs with power gain above 100 GHz at 100 Mv drain bias," 2004 Device Research Conference Proc., pp. 243–244, June 2004
- [66] V. Radisic, M. Micovic, M. Hu, P. Janke, C. Ngo, L. Nguyen, L.Samoska, and M. Morgan, "164-GHz MMIC HEMT doubler," IEEE Microw. Compon. Lett., vol. 11, no. 6, pp. 241–243, Jun. 2001.

- [67] S. C. Kim, D. An, B.O. Lim, T. J. Baek, D. H. Shin, and J. K. Rhee, "Highperformance 94-GHz single balanced mixer using 70-nm MHEMTs and surface micromachined technology," *IEEE Electron Device Lett.*, vol. 27, no. 1, pp. 28–30, Jan. 2006
- [68] Suzuki T, Nakasha Y, Takahashi T, et al. "144-Gbit/s selector and 100-Gbit/s 4 : 1 multiplexer using InP HEMTs". *IEEE Int MTT Symp Digest*, 2004, 1: 117
- [69] Tsai, R.; Lange, M.; Lee, L.J.; Nam, P.; Namba, C.; Liu, P.H.; Sandhu, R.; Grundbacher, R.; Deal, W.; Gutierrez, A.; "260 GHz FT, 280 GHz fMAX AlSb/InAs HEMT technology", *Device Research Conference Digest*, 2005. DRC '05. 63<sup>rd</sup> Volume 1, June 20-22, 2005 Page(s):257 – 258
- [70] Murata, K.; Sano, K.;
- [71] These Virginie NODJIADJIM: 'Transistor bipolaire à double hétérojonction submicronique InP/InGaAs pour circuits numériques ou mixtes ultra-rapides'.
- [72] D. Ankri, "Transport électronique en régime de survitesse dans les composants à semiconducteurs III-V", *L'Echo des Recherches*, No. 118, 1984, pp. 29-40.
- [73] M. Sze, "Physics of semiconductor devices", 2<sup>ème</sup> edition, John Wiley & Sons, New York, 1981.
- [74] P. Bhattacharaya éditeur, "Properties of lattice-matched and strained Indium Gallium Arsenide", INSPEC, London, 1993.
- [75] K. Kurishima, S. Yamajata, H. Nakajima, H. Ito et Y. Ishii, "Performance and stability of MOVPE-grown carbon-doped InP/InGaAs HBTs dehydrogenated by an anneal after emitter mesa formation", *Japanese Journal of Applied Physics*, Vol. 37, part. 1, No. 3B, 1998, pp. 1353-1358.
- [76] P.S. Kop'ev and N.N. Ledentsov, "Molecular beam epitaxy of heterostructures made of III/V compounds," *Sov. Phys. Semicond.*, vol. 22, no. 10, pp. 1093-1101, 1988.
- [77] J.F. Morris et H. Fukui, "A new GaAs, GaP, and GaAs<sub>x</sub>P<sub>1-x</sub> vacuum deposition technique using arsine and phosphine gas", *Journal of Vacuum Science and Technology*, Vol. 11, No. 2, 1974, pp. 506-510.
- [78] E.F. Chor, R.J. Malik, R.A. Hamm et R. Ryan, "Metalurgical stability of ohmic contacts on thin base InP/InGaAs/InP HBT's", *IEEE Electron Device Letters*, Vol. 17, No. 2, 1996, pp. 62-64.
- [79] D. Caffin, A.M. Duchenois, F. Heliot, C. Besombes, J.-L. Benchimol et P. Launay, "Basecollector leakage currents in InP/InGaAs double heterojunction bipolar transistors", *IEEE Transactions on Electron Devices*, Vol. 44, No. 6, 1997, pp. 930-936.

- [80] J.S. Yu, S.H. Kim, T.I. Kim, "PtTiPtAu and PdTiPtAu ohmic contacts to p-InGaAs", IEEE International Symposium on Compound Semiconductors, 1997, pp. 175-178.
- [81] J.H. Jang, S. Kim et I. Adesida, "Electrical characteristics of Ir / Au and Pd/Ir/Au ohmic contacts on p-InGaAs", Electronics Letters, Vol. 40, No. 1, 2004, pp. 77-78.
- [82] S. Blayac, "Transistor bipolaire à double hétérojonction InP/GaInAs pour circuits de communications optiques à très haut débit", Thèse de doctorat de l'université Montpellier 2, 2001
- [83] C. T. Kirk, "A theory of transistor cutoff frequency ( $f_r$ ) falloff at high current densities," IRE Trans. Electron Devices, vol. ED-9, pp. 164-174, 1962
- [84] Meyer, R.G. Muller, R.S.3 "Charge-control analysis of the collector-base space-charge-region contribution to bipolar-transistor time constant  $\tau_T$ ", Feb 1987, Volume: 34, Issue: 2, page(s): 450- 452
- [85] Rodwell, M.J.W. Minh Le Brar, B, "InP Bipolar ICs: Scaling Roadmaps, Frequency Limits, Manufacturable Technologies", Proceedings of the IEEE, Feb. 2008, Volume: 96, Issue: 2, page(s): 271-286
- [86] J. Godin, V. Nodjiadjim, M. Riet, P. Berdaguer, O. Drisse, E. Derouin, A. Konczykowska, J. Moulu, J.-Y. Dupuy, "Submicron InP DHBT technology for high-speed high-swing mixed signal ICs", Compound Semiconductor Integrated Circuits Symposium, CSICS, 2008.
- [87] Y. Dong, Z. Griffith, M. Dahlstrom, and M.J.W. Rodwell, "Ccb reduction in InP heterojunction bipolar transistors with selectively implanted collector pedestal", Device Research Conference, Notre Dame, IN, June 21-23, 2004, pp. 67-68
- [88] Lee, Q. Agarwal, B. Mensa, D. Pallela, R. Guthrie, J. Samoska, L. Rodwell, M.J.W. , "A >400 GHz  $f_{max}$  transferred-substrate heterojunction bipolar transistor IC technology "Dept. of Electr. & Comput. Eng., California Univ., Santa Barbara, CA; Mar 1998, Volume: 19, Issue: 3, On page(s): 77-79
- [89] Girardot, A. Henkel, A. Delage, S.L. DiForte-Poisson, M.A. Chartier, E. Floriot, D. Cassette, S. Rolland, P.A, "High-performance collector-up InGaP/GaAs heterojunction bipolar transistor with Schottky contact", Lab. Central de Recherches, Thomson-CSF, Orsay, 15 Apr 1999, Volume: 35, Issue: 8, On page(s): 670-672.

# ***CHAPITRE II***

***CARACTERISATION ET MODELISATION DE TRANSISTOR  
BIPOLAIRE A HETEROJONCTION EN TECHNOLOGIE INP***



## I. Description du banc de mesure

### I.1. Objectif

L'objectif du développement du banc de mesure présenté dans ce chapitre consiste en une caractérisation fine de composants semi conducteurs ultra rapides et l'exploitation de cette caractérisation pour l'extraction de modèles non linéaires électrothermiques de transistors HBT InP.

Les modèles extraits ont une topologie électrique équivalente et sont implantables dans le logiciel de CAO ADS.

Pour cela 4 aspects différents de caractérisation sont à prendre en compte.

-La mesure précise sous pointes de paramètres de répartition (paramètres [S]) petit signal en mode CW (1-65 GHz) de type multi polarisations DC.

-La mesure de réseaux de caractéristiques statiques (I/V) en mode DC.

-La mesure de réseaux I/V en impulsions étroites jusqu'à 40 ns de largeur minimale. Ce point particulier constitue l'originalité de ces travaux de caractérisation.

-Des mesures fonctionnelles avec des signaux test micro-ondes fort signal, avec possibilités de formes d'ondes temporelles.

Le banc de mesure est entièrement automatisé. Des scripts scilab développés dans le cadre de cette thèse permettent de piloter les instruments et de récupérer des données du banc de mesure à travers un port GPIB.

### I.2. Mesure de paramètres [S]

Dans le cadre de ce travail, la mesure de [S] couvre la bande [1-65 GHz]. Elle repose sur l'utilisation de l'analyseur de réseau vectoriel ANRITSU 37397D dont l'architecture interne simplifiée est représentée figure 1. Un récepteur 4 canaux mesure les ondes notées  $a_{1M}$ ,  $b_{1M}$ ,  $a_{2M}$ ,  $b_{2M}$ . La station sous pointes utilisée est la station (M150) de la société (CASCADE MICROTECH).

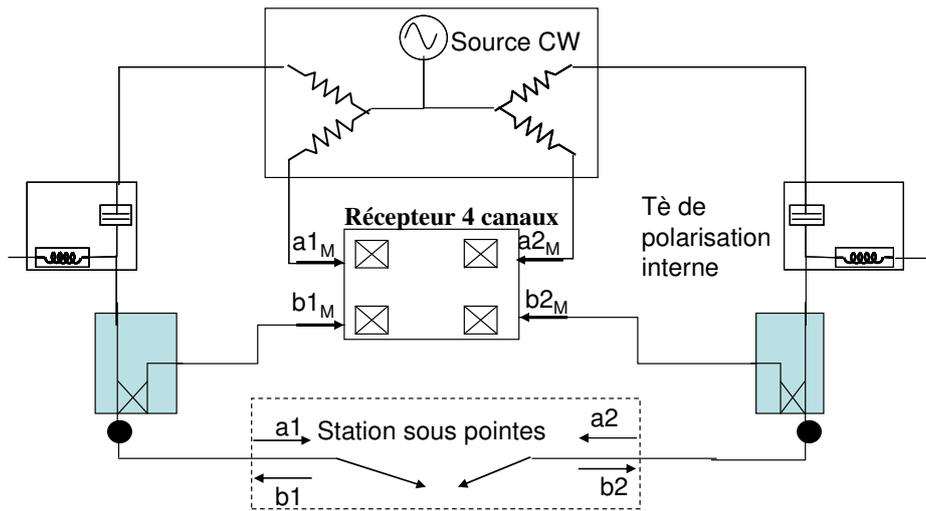


Figure 1 : Schéma de principe de l'analyseur ANRITSU utilisé

Les mesures seront de type [S] classique en mode CW. La difficulté et la qualité des mesures seront en grande partie liées aux étapes successives et minutieuses d'étalonnage.

Pour les travaux réalisés au cours de cette thèse, l'étalonnage sous pointes est fait en utilisant le kit de calibrage montré figure 2 qui comprend les motifs suivants :

- Un court-circuit.
- Une charge  $50\Omega$ .
- Une connexion directe (THRU).
- Une ligne de transmission parfaitement connue pour la vérification de l'étalonnage.
- Un circuit ouvert obtenu en soulevant les pointes.

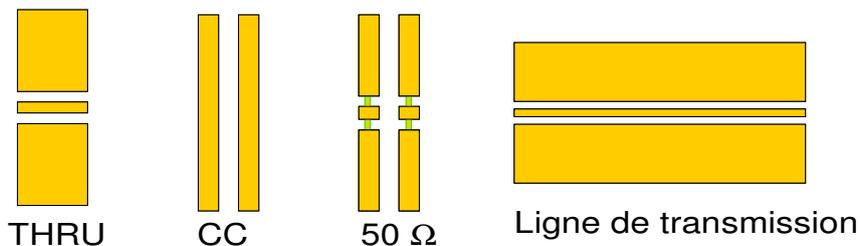


Figure 2: Les différents motifs de calibrage

Les procédures d'étalonnage de type SOLT ou LRRM sont mises en œuvre et un exemple de mesures sous pointes de la ligne de vérification est montré figure 3.

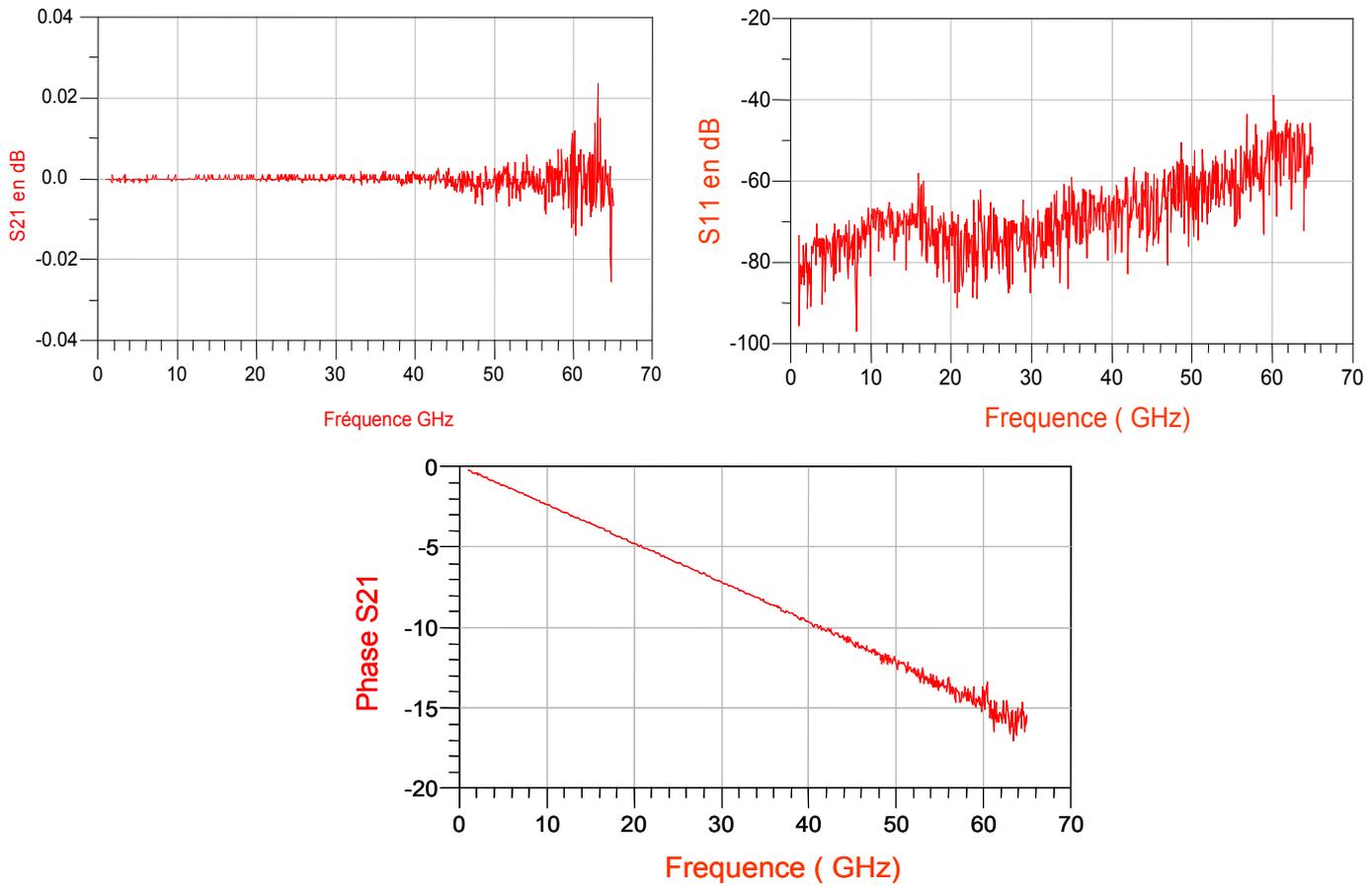


Figure 3 : Mesure d'une ligne de transmission

Les résultats de mesure de la ligne de transmission montrent de faibles pertes d'insertion, une bonne adaptation et une phase linéairement dépendante de la fréquence. Ceci permet de valider l'échantillonnage effectué.

La configuration de mesure des paramètres [S] d'un transistor est montrée figure 4.

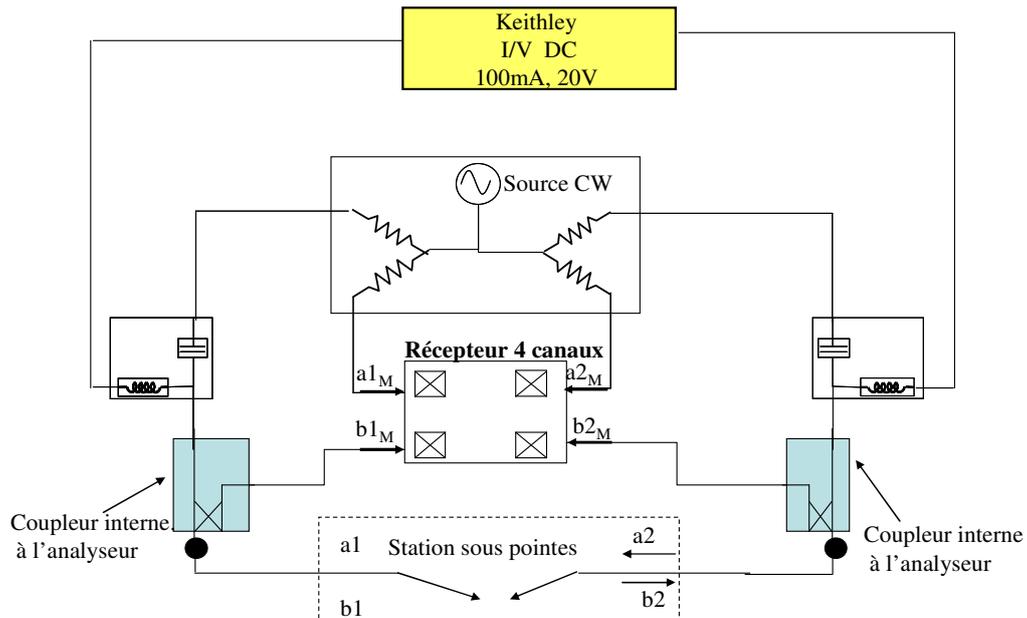


Figure 4 : Configuration de mesure de [S] de transistors.

Comme on effectue des mesures de paramètres [S] en mode CW, le traceur de caractéristiques KEITHLEY utilisé ici pour polariser le composant opère en mode DC ( $I_{b0}$  constant,  $V_{ce0}$  constant). L'utilisation de câbles de connection courts et ayant une bonne stabilité en phase est nécessaire. Le type d'étalonnage adopté pour faire ces mesures est un étalonnage SOLT qui est intégré à l'analyseur de réseau vectoriel 37397D.

Afin d'obtenir des mesures fiables et peu bruitées plusieurs étalonnages ont été comparés. D'une part les étalonnages SOLT et LRM intégrés dans l'analyseur ANRITSU et d'autre part l'étalonnage LRRM développé par « CASCADE MICRO TECH » qui récupère les mesures de l'analyseur et les corrige pour remonter aux paramètres S dans les plans de référence des pointes de mesure.

Cette comparaison a montré que l'étalonnage SOLT ainsi que l'étalonnage LRRM sont mieux placés pour répondre à nos besoins. Cette comparaison consiste à mesurer des motifs de vérification d'étalonnage qui sont des lignes de transmission dont les caractéristiques sont connues et données par le fabricant. Un étalonnage est considéré bon s'il permet de trouver les mêmes données que celles du fabricant, par exemple un temps de propagation de groupe fixe sur toute la bande de mesure pour une ligne de test et un coefficient de réflexion  $S_{11}$  ou  $S_{22}$  inférieur à -40 dB pour la mesure d'adaptation ainsi qu'un coefficient de transmission  $S_{21}$  supérieur à -0.02 dB pour la mesure en transmission.

Une comparaison entre les deux types d'étalonnage SOLT et LRRM a révélé que leurs performances sont très proches. Etant donné que l'étalonnage SOLT est intégré à l'analyseur de réseau, cet étalonnage a été adopté pendant toutes les mesures effectuées dans cette thèse. Des résultats de mesures de HBT InP de Alcatel Thalès III-V lab sont donnés figure 5 à titre d'illustration.

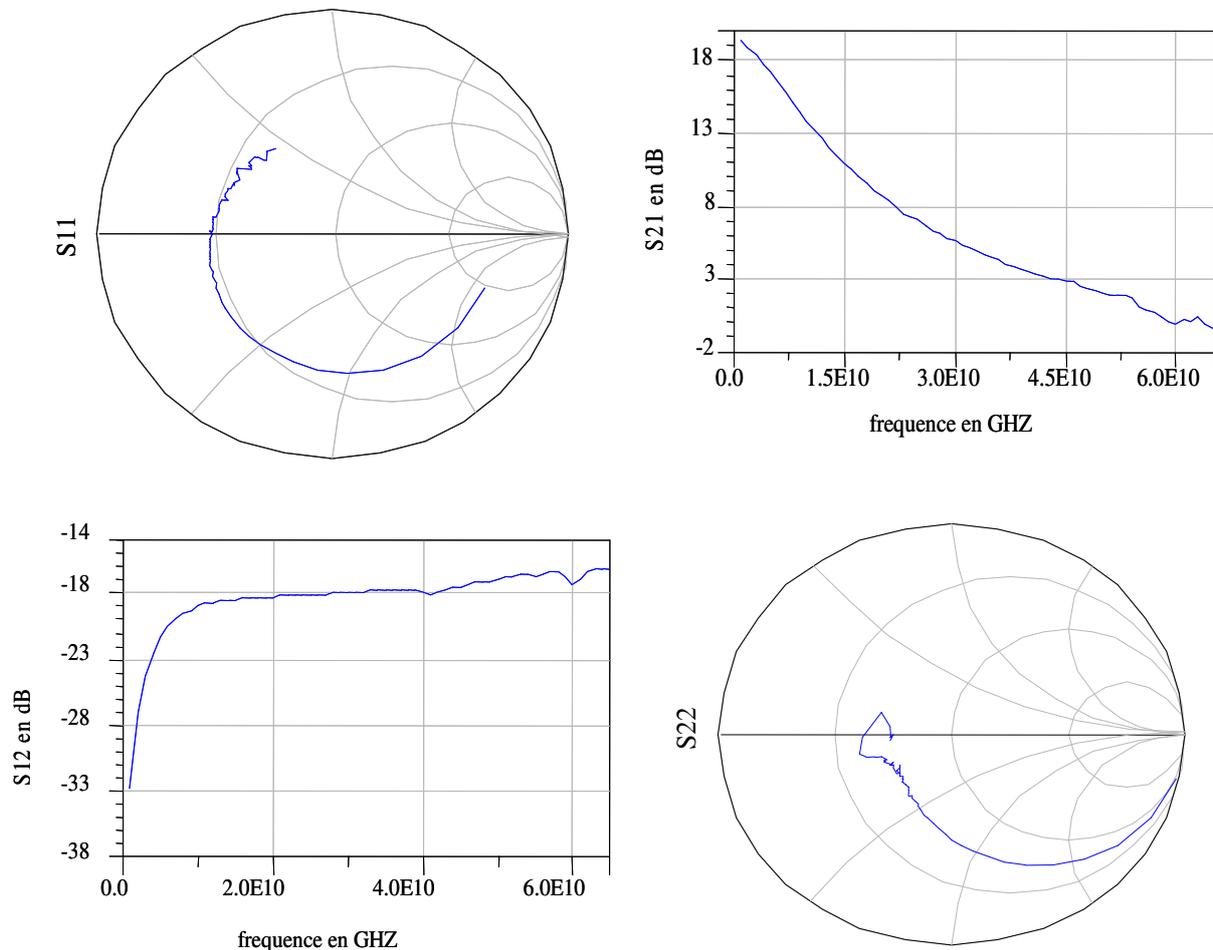


Figure 5 : Exemple des mesures parametres S pour un transistor : T20RA20 « 1\*1.5  $\mu\text{m}$ \*20  $\mu\text{m}$  », point de polarisation ( $I_{b0}=1 \text{ mA}$ ,  $V_{ce0}=2 \text{ V}$ )

### I.3. Mesure de réseaux de caractéristiques I/V:

Une caractérisation précise des réseaux de caractéristiques I/V des transistors est évidemment primordiale pour la modélisation des non linéarités convectives.

Dans le cadre de ces travaux, la caractérisation et la modélisation seront appliquées à des transistors bipolaires de type TBH InP ayant des fréquences de transition très élevées (de l'ordre de 200GHz).

Pour de tels composants bipolaires, il convient d'avoir une très bonne précision des courants DC de polarisation (notamment du courant de base  $I_B$ ).

C'est une des raisons qui nous a conduit à l'utilisation du traceur de caractéristiques KEITHLEY 4200. Par ailleurs une caractérisation précise des transistors bipolaires requiert la mise en évidence des effets électrothermiques en essayant au mieux de séparer les effets d'origine électronique des effets d'origine thermique. Cela conduit à viser une caractérisation la plus isotherme possible [1], [2], [3].

Les composants semi conducteurs destinés aux applications de fonctions électroniques ultra rapides ont de très petites dimensions. Même si ce sont des composants de petite puissance, la puissance dissipée s'opère dans un très petit volume, ce qui conduit à des effets thermiques très significatifs et à priori des constantes de temps courtes.

Ainsi la seconde raison du choix du traceur KEITHLEY 4200 réside dans sa capacité à faire des mesures I/V en impulsions étroites (40 ns minimum) pour tendre vers un comportement isotherme du transistor pendant sa phase de caractérisation.

On peut noter ici que les applications principales visées par la configuration naturelle du traceur KEITHLEY sont les caractérisations de transistors à effet de champ (typiquement CMOS). Ainsi au cœur du travail réalisé au cours de cette thèse se trouve une adaptation d'une configuration et d'une procédure de mesure spécifiques pour les transistors bipolaires. Cet aspect particulier a fait l'objet d'une publication [4].

### I.3.1. Mesures I/V en mode DC

Dans cette configuration, seul le traceur de caractéristiques est utilisé pour polariser le transistor et pour mesurer les courants et les tensions en entrée et en sortie de celui-ci (Figure 6).

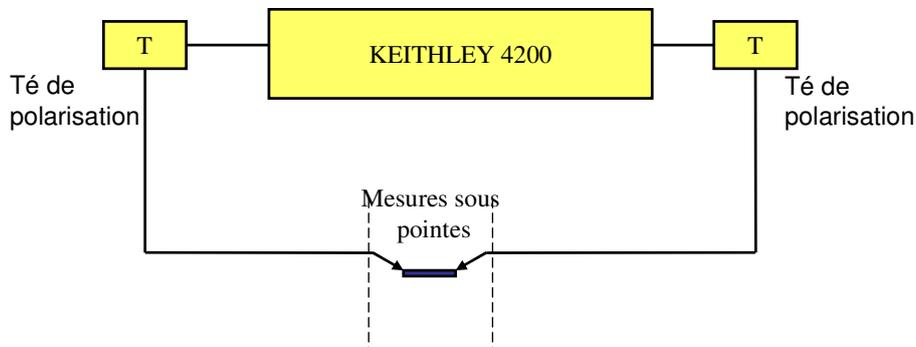


Figure 6 : Configuration de mesures en mode DC

Quelques principes importants permettant d'effectuer de bonnes mesures sont appliqués

### I.3.1.1. Principe de guarding :

Le principe de mesure utilisé dans le cas des dispositifs qui présentent des hautes impédances est le principe dit de « guarding ». Il a pour but d'éliminer les effets parasites des câbles qui séparent le dispositif sous test des générateurs de courant ou de tension afin que la tension ou le courant appliqué lors d'une mesure soit appliqué directement aux bornes du dispositif sous test. Ceci revient à éliminer l'effet de l'impédance parallèle au dispositif sous test qui est gênante lorsque l'impédance du dispositif est grande. Pour cela on force un courant résultant nul dans cette impédance parasite.

Les deux figures (7 et 8) montrent la différence entre une configuration de mesure qui n'utilise pas le principe de « guarding » et une autre qui l'utilise.

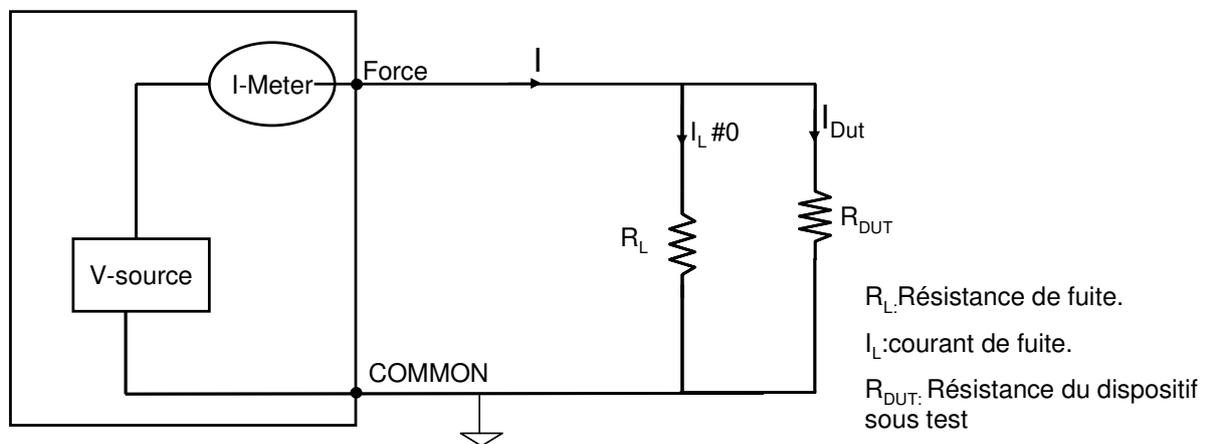


Figure 7 : Principe de mesure sans guarding

En présence d'une impédance parasite  $R_L$  en parallèle, le courant à déterminer  $I_{DUT}$  est différent du courant de générateur connu  $I$ .

En réalisant la configuration montrée figure 8 comprenant avec un amplificateur suiveur ( $\times 1$ ) qui impose  $V_e = V_s$  on force  $\Delta V = 0$  donc  $I = I_{Dut}$

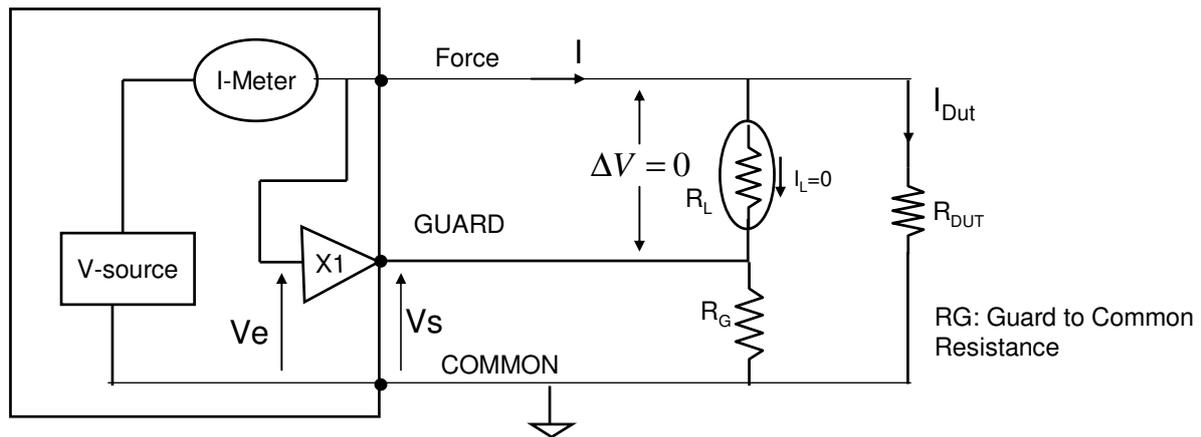


Figure 8 : Principe de mesure avec guarding

### I.3.1.2. Principe de Sensing :

Le principe de sensing est utilisé dans le cas des dispositifs à faible impédance et il a pour but de s'affranchir de la chute de tension qui réside le long des câbles qui séparent les sources d'alimentation du dispositif sous test.

Le problème posé est décrit (Figure 9)

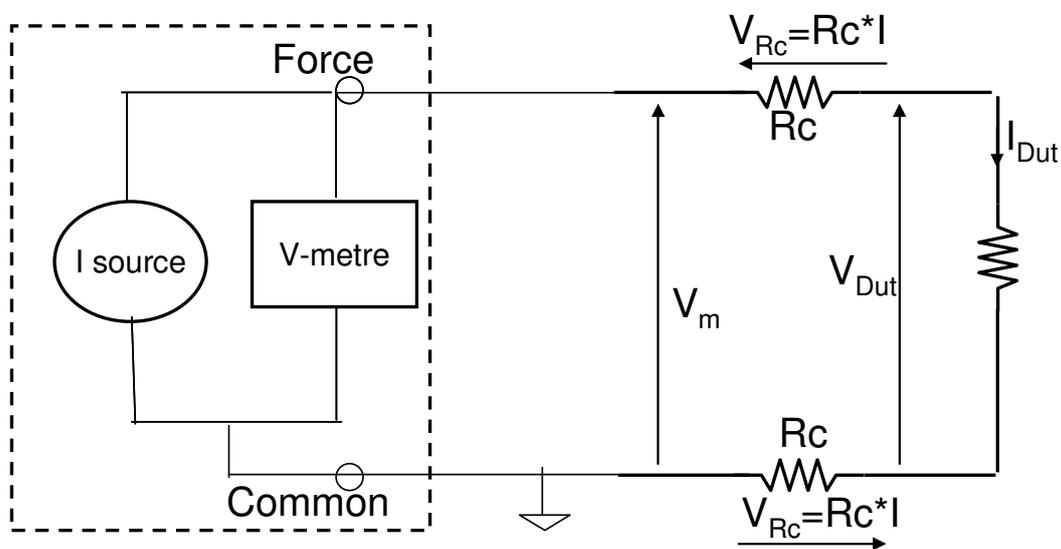


Figure 9 : Mesure en présence de résistances parasites  $R_c$ .

D'après la loi des mailles appliquées au circuit ci dessus on connaît précisément  $V_m = V_{Dut} + 2 * V_{Rc}$  mais pas  $V_{Dut}$  seul.

Pour apporter une solution à ce problème, le principe de 'remote sensing' est illustré figure 10. Il s'agit d'appliquer les tensions et les courants en utilisant les câbles nommés « Force » et d'effectuer la mesure au moyen de deux autres câbles nommés « SENS ». Cela permet d'avoir

des courants de fuite  $I_s$  très faibles et par conséquent d'avoir une plus grande précision sur la valeur de la tension  $V_{Dut}$  à déterminer.

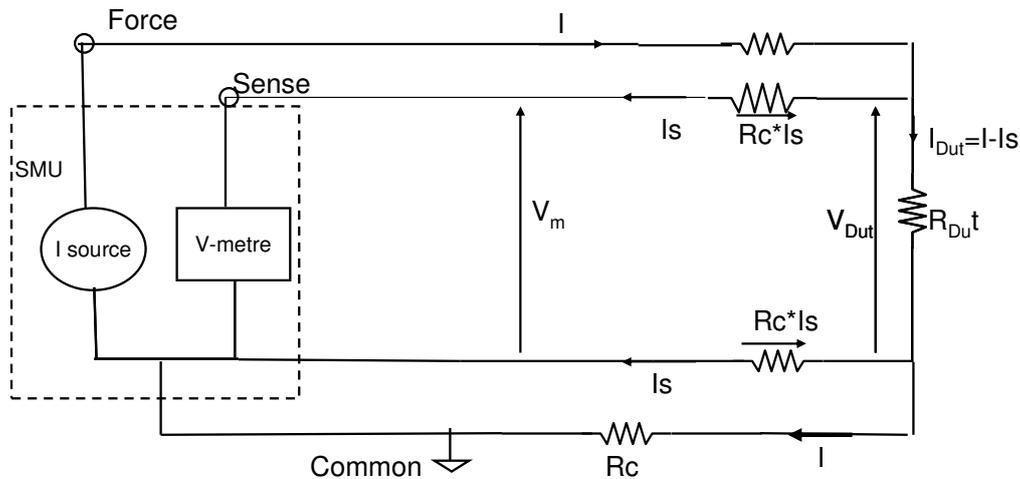


Figure 10 : Illustration du principe du 'remote sensing'

En effet d'après les lois de Kirchoff et grâce à la symétrie du montage, on a :

$$V_m - R_c \cdot I_s + V_{Dut} + R_c \cdot I_s = V_{DUT}$$

Or  $I_s \neq 0$  donc  $V_m = V_{DUT}$  ce qui apporte une solution au problème posé.

### 1.3.1.3. Détermination des résistances de contact

Des résistances parasites qui ne sont pas prise en compte par les deux méthodes « guarding et sensing » sont les résistances qui peuvent résulter du té de polarisation et de la résistance de contact des pointes de mesure avec les plots d'accès. Cette résistance parasite est une résistance qui s'ajoute en série à l'entrée et à la sortie du transistor.

La mesure de cette résistance se fait de la façon suivante.

On pose la pointe sur un court circuit. On injecte un courant DC ( $I_{entrée}$ ) dans le court circuit et on mesure la tension résultante ( $V_{mes}$ ). La valeur de cette résistance de contact

$$\text{est : } R_{contact} = \frac{V_{mes}}{I_{entrée}}$$

La figure 11 montre le résultat de mesure de cette résistance

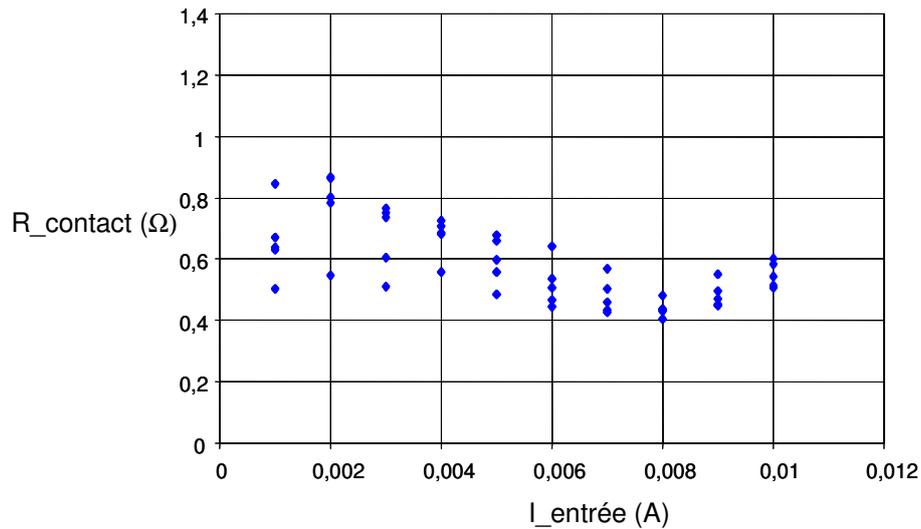


Figure 11 : Résistance de contact en fonction de courant imposé

La valeur de  $0.6 \Omega$  retenue pour cette résistance sera prise en compte lors de la caractérisation des transistors.

#### I.3.1.4. Exemples de mesures de transistors

La polarisation du transistor à un courant de base constant est recommandée dans le cas du transistor bipolaire monodoigt car elle permet d'éviter le phénomène d'emballement thermique. Les figures 12 a,b,c montrent respectivement des réseaux  $I_c$  en fonction de  $V_{ce}$  à  $I_b$  constant, des réseaux  $I_c$  en fonction de  $V_{be}$  à  $V_{ce}$  constante, et des réseaux  $V_{be}$  en fonction de  $V_{ce}$  à  $I_b$  constant mesurés pour un TBH InP  $1 \times 0.7 \mu\text{m} \times 10 \mu\text{m}$ .

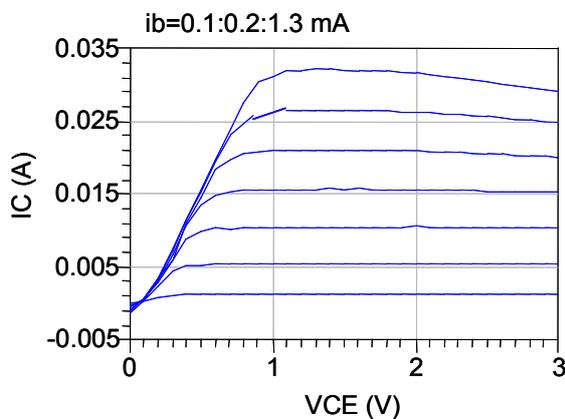


Figure 12.a

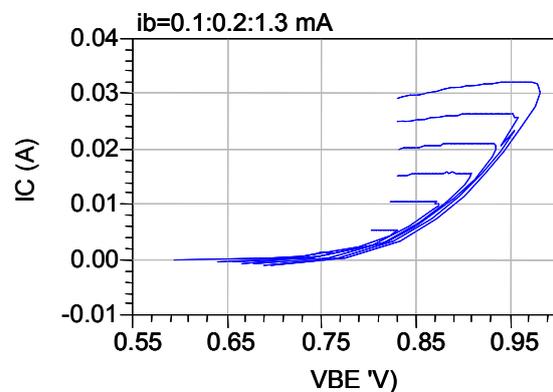


Figure 12.b

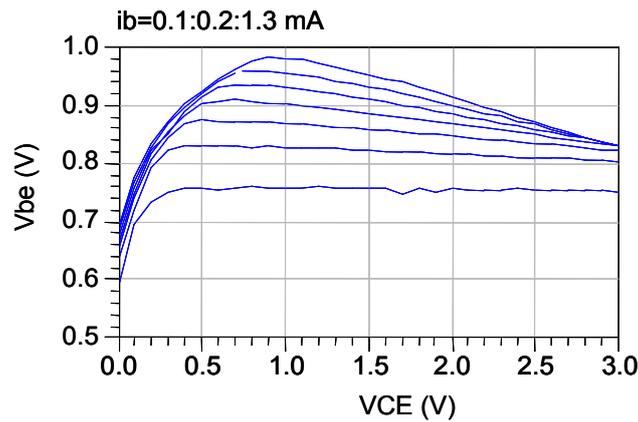


Figure 12.c

Figure 12 : Mesures des caractéristiques I/V pour un transistor «  $1 \times 0.7 \mu\text{m} \times 10 \mu\text{m}$  »

Les réseaux précédents permettent une première étape d'extraction de modèle convectif du TBH. La procédure d'extraction sera détaillée dans la partie modélisation.

Ces réseaux I/V DC montrent clairement la présence d'effets d'auto échauffement du transistor au cours de sa caractérisation (recul de tension  $V_{be}$  visible figures 12.b, 12.c). La technique de mesure en impulsion très étroite décrite ci-après va permettre de caractériser les effets électrothermiques.

### I.3.2. Mesures I/V en impulsions étroites.

#### I.3.2.1. Principe

Le principe de cette mesure consiste à polariser la base du transistor bipolaire par un courant  $I_{b0}$  DC et à appliquer une tension impulsionnelle sur le collecteur de ce transistor. Cette tension est fournie par le générateur d'impulsions intégré au traceur de caractéristiques KEITHLEY. Ce générateur a la possibilité de générer des impulsions qui peuvent avoir des largeurs minimales de 40 ns. Pour pouvoir effectuer des mesures exploitables sous ces conditions, une configuration de mesure a été mise en place. Cette configuration consiste à placer le transistor le plus proche possible du générateur d'impulsions afin de réduire les effets parasites (pertes, capacités réparties des câbles). La figure 13 montre la configuration de mesure.

Les tensions et courants aux accès d'entrée et de sortie du transistor sont mesurés séparément et séquentiellement. Pour cela on place la sonde de l'oscilloscope intégré au traceur en entrée du transistor pour mesurer la tension de la base  $V_{be}$ . Une autre sonde de

l'oscilloscope est connectée à la sortie du transistor pour mesurer la tension du collecteur Vce.

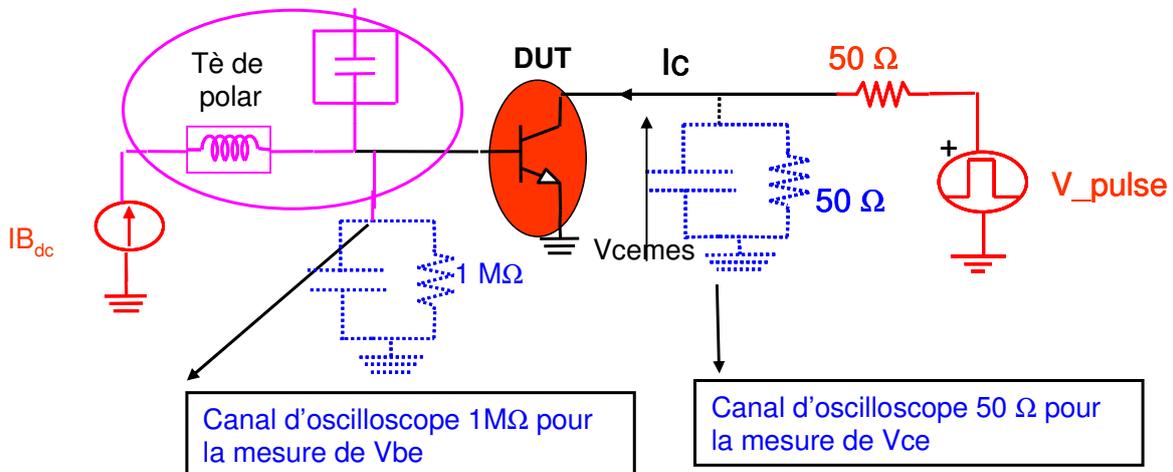


Figure 13 : Configuration de mesure en impulsions étroites.

La tension  $V_{pulse}$  du générateur est connue.

Le courant de collecteur  $I_c$  est déduit de la tension du collecteur mesurée en utilisant l'équation suivante :

$$I_c = \frac{V_{pulse} - V_{cemes}}{50} - \frac{V_{cemes}}{50}$$

La sonde d'oscilloscope utilisée en sortie a comme impédance  $50 \Omega$ . Dans cette configuration l'oscilloscope présente une bande passante de l'ordre de 1 GHz ce qui permet de mesurer des impulsions très étroites. En entrée du transistor, la sonde d'oscilloscope est configurée pour avoir une impédance de  $1 M\Omega$  ce qui implique une bande passante moins importante de l'ordre de 350 MHz. Ce choix est inévitable car une plus faible impédance entraînerait une fuite de courant qui n'irait pas à l'accès du transistor et une chute de la tension  $V_{be}$  du transistor serait due à cette fuite de courant vers l'oscilloscope. L'utilisation du té de polarisation en entrée est importante pour assurer la stabilité électrique du transistor pendant les mesures.

En sortie aucun té de polarisation n'est utilisé. L'application des impulsions se fait par un générateur  $50 \Omega$ .

Le balayage du réseau I/V du transistor mesuré se fait en polarisant le transistor à un point de polarisation de repos ( $V_{ce}=0$ ) correspondant au temps où l'impulsion de tension collecteur n'est pas appliquée. Un courant de base  $I_{B0DC}$  est appliqué et l'amplitude des impulsions de

tension de collecteur est balayée. La procédure est réitérée pour une autre valeur de  $IB0_{DC}$ . Un rapport cyclique de 10% est utilisé.

Le graphique de la figure (14) illustre la séquence de la procédure de mesure.

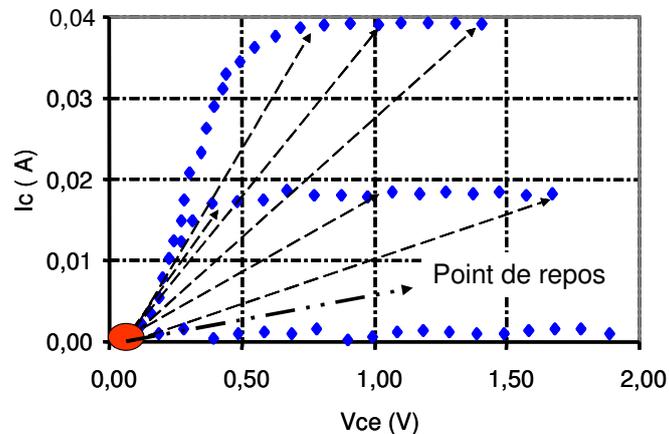


Figure 14 : Illustration de séquence ment de mesure I(V)

Un chronogramme de principe des tension/courant est donné figure (15).

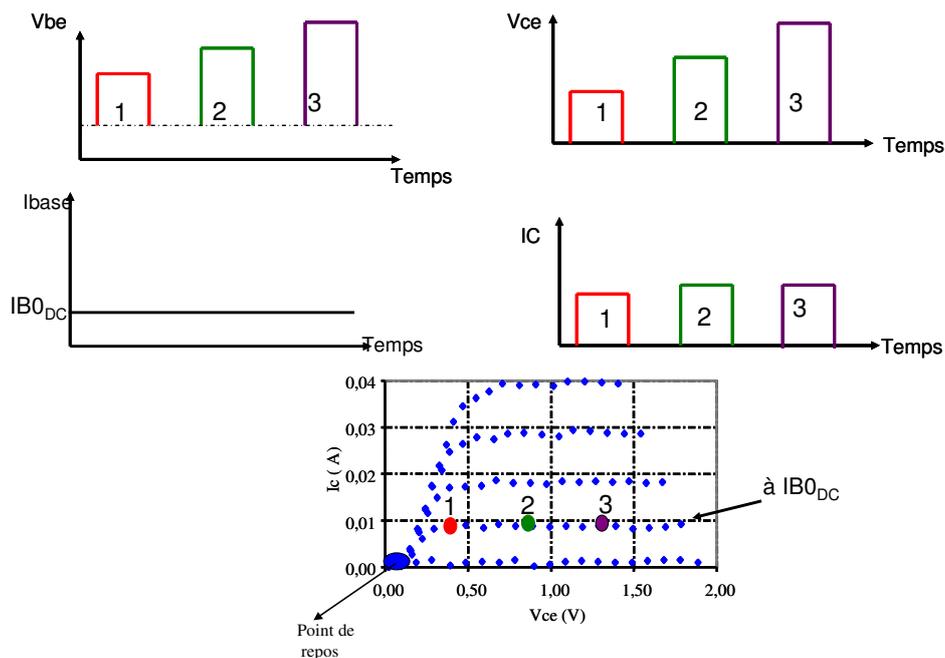


Figure 15 : Chronogramme d'illustration

Le transistor est mesuré avec des impulsions courtes de 40 ns puis longues de 300 ns mais en gardant dans les deux cas un rapport cyclique de 10 % pour qu'on soit certain que le transistor revienne à son état initial avant l'application de la nouvelle impulsion de tension sur le collecteur. Les mesures sont répétées une dizaine de fois pour chaque point du réseau et la moyenne de ces mesures est prise pour améliorer la précision.

Les figures 16 et 17 montrent respectivement les formes temporelles de  $V_{be}$ ,  $V_{ce}$  et  $I_c$  pour des largeurs d'impulsions de 40 et 300 ns.

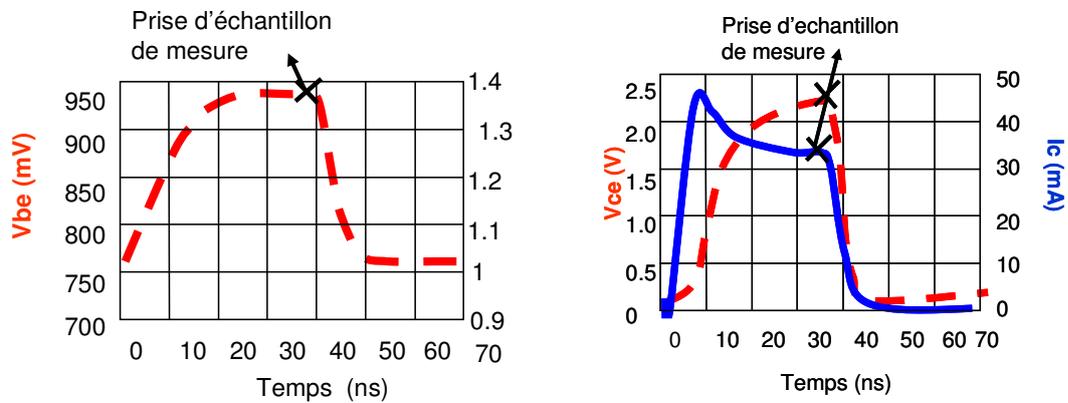


Figure 16 : Formes temporelles des tension et courant (impulsions de 40 ns)

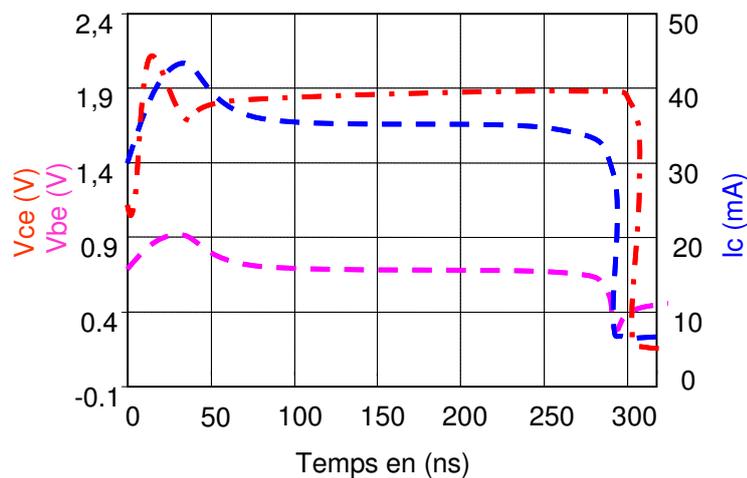


Figure 17: Formes temporelles des tension et courant (impulsions de 300 ns).

La valeur mesurée est choisie dans la zone où l'état établi est atteint dans l'impulsion. Ainsi, pour effectuer une mesure de réseaux I/V en impulsion, chaque impulsion de tension correspondante à chaque point de mesure du réseau est représentée par un point. Les figures 18, 19, 20, 21 montrent des résultats de I/V pulsés de transistor  $1 \times 1.5 \times 20 \mu\text{m}$  et  $1 \times 0.7 \times 10 \mu\text{m}$  pour 40 ns et 300 ns de largeur d'impulsion.

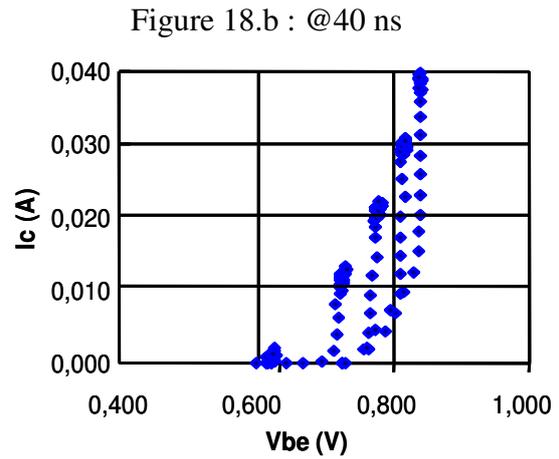
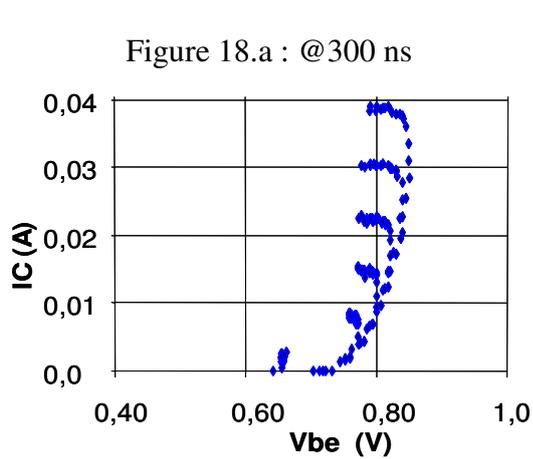


Figure 18 : ( $I_c$  vs  $V_{be}$ ) pour un transistor :  $1 \times 1.5 \mu\text{m} \times 20 \mu\text{m}$

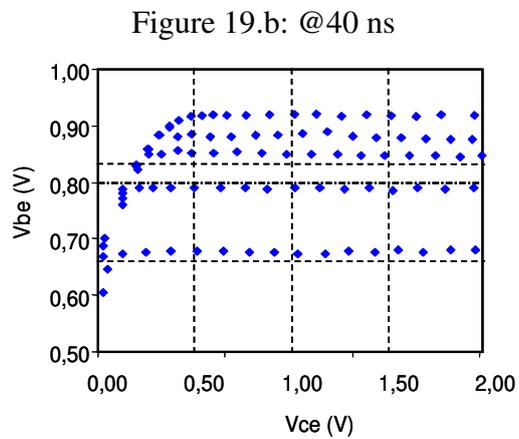
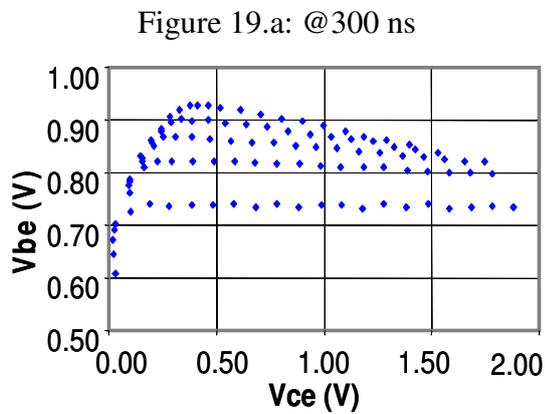
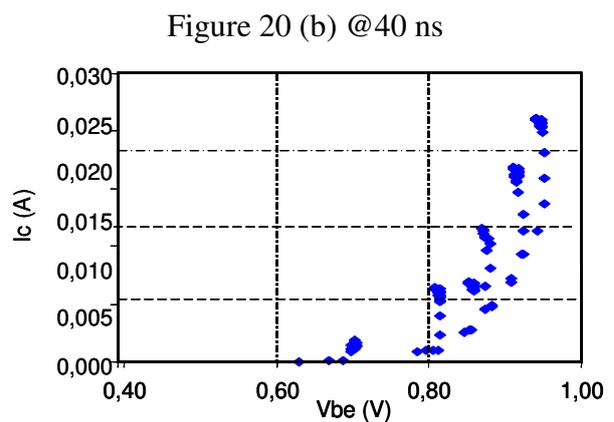
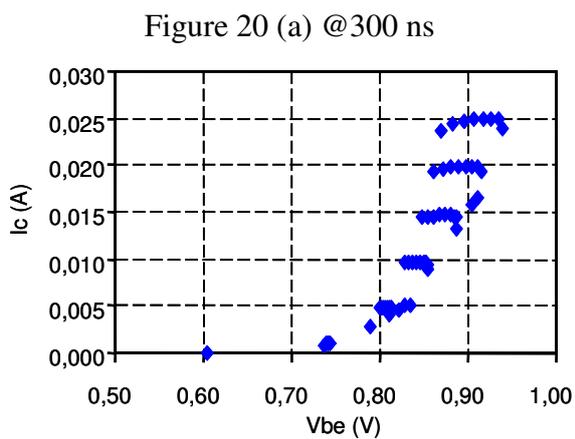
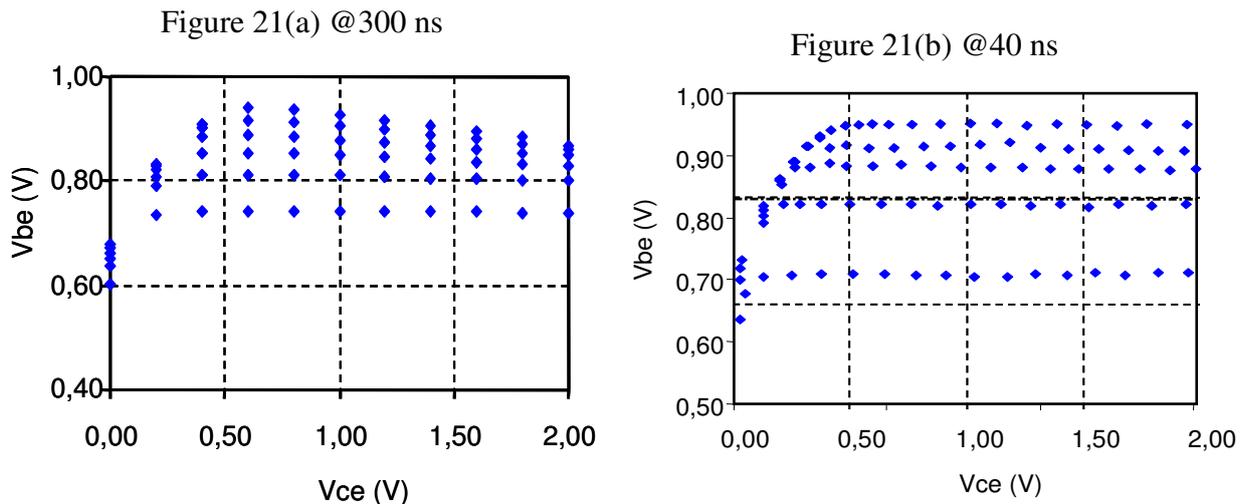


Figure 19 : ( $V_{be}$  vs  $V_{ce}$ ) pour un transistor :  $1 \times 1.5 \mu\text{m} \times 20 \mu\text{m}$





Figures 20 ( $I_c$  vs  $V_{be}$ ), 21 ( $V_{be}$  vs  $V_{ce}$ ) pour un transistor :  $1 \times 0.7 \mu\text{m} \times 10 \mu\text{m}$

Les résultats de ces mesures effectuées pour différentes largeurs d'impulsions montrent des états thermiques différents du transistor.

Ces différences sont dues au phénomène d'auto échauffement qui devient significatif lorsque les impulsions sont relativement larges. Une première déduction qui peut être faite est que la constante de temps thermique est plus grande que 40 ns et plus petite que 300 ns. En effet à 40 ns les transistors n'ont pas eu le temps de s'auto échauffer par contre à 300 ns l'auto échauffement a atteint son maximum donc son état établi.

On rappelle ci après les caractéristiques principales pour la génération et la mesure de signaux de l'instrument KEITHLEY 4200.

#### Caractéristiques de mesure de l'oscilloscope :

- 2 entrées analogiques simultanées (ADC 8 bits)
- Impédance d'entrée réglable à  $50 \Omega$  (bande passante 1 GHz) et à  $1 \text{ M}\Omega$  (bande passante 350 MHz)
- Fréquence d'échantillonnage réglable de 2.5 Mech/s à 1.25 Gech/s.
- Bande passante de 750 MHz
- Profondeur mémoire de 2 Mech.
- Dynamique de génération  $\pm 5 \text{ V}$  ( $50 \Omega$ ) et  $\pm 150 \text{ V}$  ( $1 \text{ M}\Omega$ )

#### Caractéristiques de génération d'impulsions $50 \Omega$ (PCI)

- Mode haute vitesse (largeur d'impulsion minimale 40 ns),  $\pm 5 \text{ V}$  max (100 mA sorties analogiques)

- Mode haute tension 20V (largeur d'impulsion minimale 250 ns).
- Possibilité d'utiliser un trigger externe.

#### I.4. Mesures fonctionnelles grand signal :

L'objectif recherché ici est d'avoir quelques exemples de test en fort signal pour contribuer à la validation des modèles non linéaires de transistors. Pour cela des conditions de test différentes de celles appliquées pour les phases d'extraction du modèle sont nécessaires.

##### I.4.1. Mesure de puissance à la fréquence fondamentale :

Il s'agit de mesures en mode CW de puissance, de gain et de compression pour des impédances de fermeture 50  $\Omega$  et pour plusieurs points de polarisation DC. L'analyseur de réseaux vectoriel ANRITSU doit être calibré en puissance absolue. Pour cela un calibrage de type externe et une configuration hybride de l'analyseur en utilisant des coupleurs externes sont nécessaires comme indiqué figure 22.

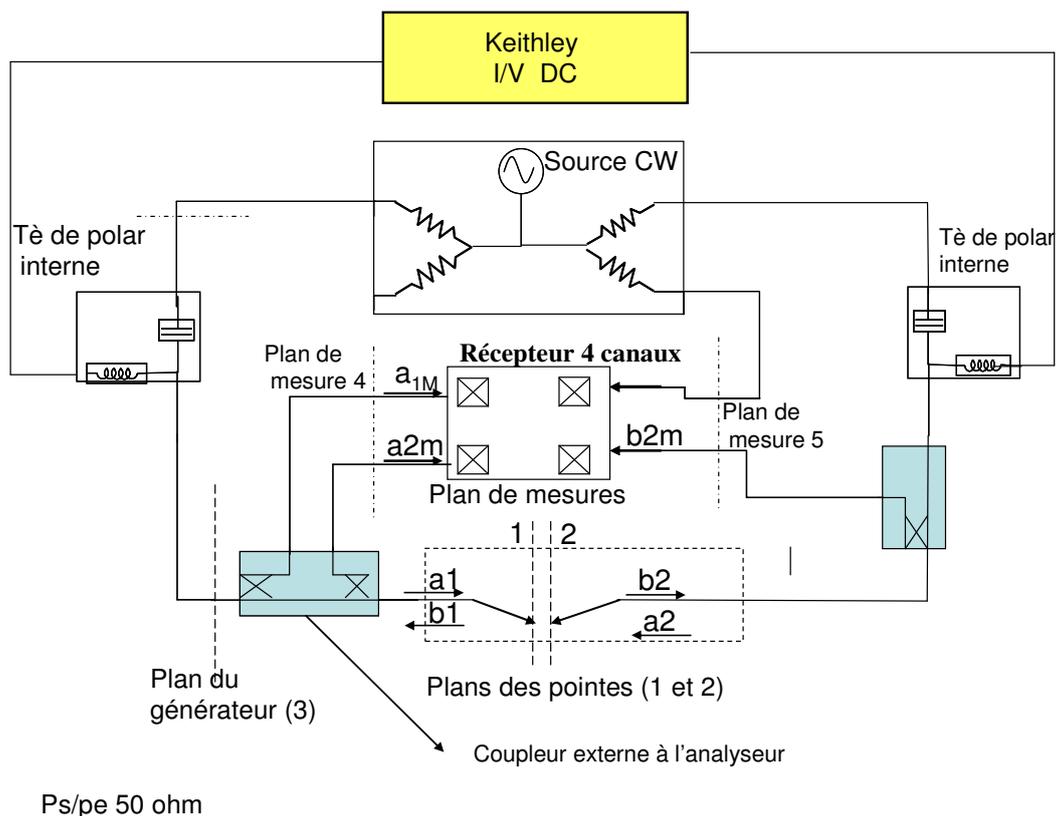


Figure 22 : Configuration de l'analyseur avec coupleur externe pour la mesure de puissance absolue.

Les mesures des caractéristiques de puissance du transistor nécessitent une détermination précise des puissances donc des ondes de puissance absolues dans les plans de référence des

pointes. Or on ne dispose pas de wattmètre étalonné que l'on puisse connecter aux extrémités des pointes pour effectuer une mesure de référence de puissance disponible dans les plans des pointes [5]. Par conséquent pour pouvoir accéder aux ondes de puissance dans le plan du transistor, un étalonnage doit être fait.

On procède alors à un étalonnage spécifique effectué en externe nécessitant trois plans de référence : les plans des pointes (plans 1 et 2), le plan du générateur (plan 3) et les plans de mesure internes à l'analyseur (plans 4 et 5). On récupère les mesures brutes de l'analyseur de réseaux et la correction est effectuée en utilisant un script scilab à la place du logiciel interne de l'analyseur.

L'étalonnage est constitué des étapes suivantes

1- Etalonnage SOLT dans les plans des pointes (plans 1 et 2 de la figure 22).

Ceci permet de déterminer des termes de corrections de rapports d'ondes entre les plans de pointes et les plans de mesure (4 et 5).

2- Connexion du standard THRU entre les pointes et étalonnage SOL en connecteurs dans le plan du générateur (Plan 3). Ceci permet de déterminer les relations de rapport d'onde entre les plans de mesure et le plan du générateur. Pour cette phase le signal micro-onde est injecté par l'accès 2.

3- Utilisation d'un wattmètre connecté dans le plan 3 pour étalonner en puissance dans ce plan. Ceci permet de déterminer la relation entre la puissance absolue dans le plan de générateur et les plans de mesures.

4- Utilisation des relations de passage entre les plans de mesure, du générateur et des pointes pour définir une relation entre l'onde absolue incidente  $|a_1|$  dans le plan de la pointe d'entrée et l'onde absolue mesuré  $|a_M|$ .

Pour ces étapes de calcul matriciel on fait l'hypothèse de la propriété de réciprocity des coupleurs [6].

Une description du traitement matriciel des ondes fait au cours de ces différentes étapes est donnée dans [7].

A titre d'illustration, des mesures effectuées à 10 GHz sur un transistor  $1 \times 0.7 \mu\text{m} \times 10 \mu\text{m}$ . polarisé à ( $I_c=11 \text{ mA}$ ,  $V_{ce}=2 \text{ V}$ ) sont montrées figure 23.

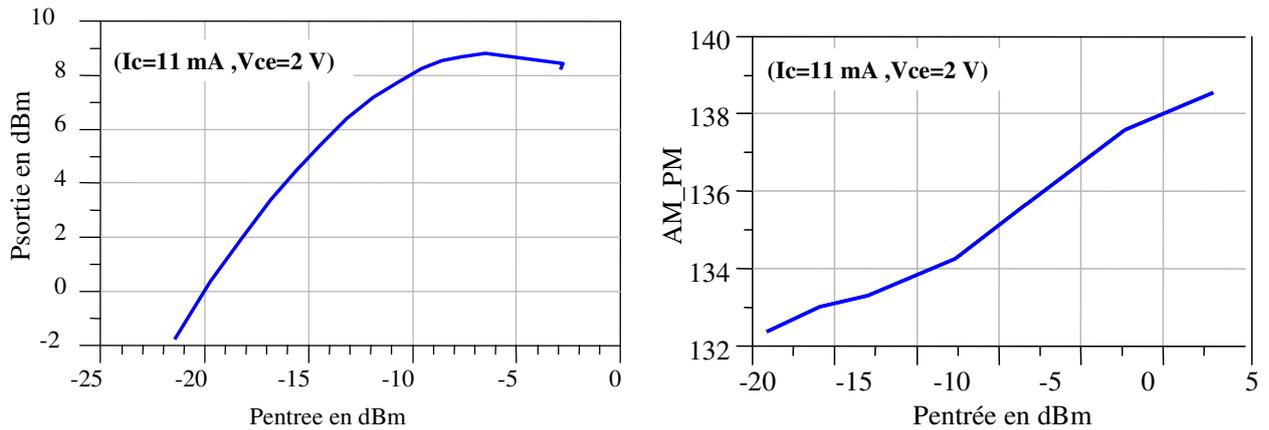


Figure 23: Caractéristiques AM/AM et AM/PM pour ( $I_c=11 \text{ mA}$ ,  $V_{ce}=2 \text{ V}$ )- transistor ( $1 \times 0.7 \mu\text{m} \times 10 \mu\text{m}$ ).

#### I.4.2. Mesure de formes d'ondes temporelles

Ce type de caractérisation permet une validation des modèles un peu plus aboutie. Cette mesure consiste à injecter un signal riche en harmonique sur la base du transistor et à mesurer les tensions et les courants sur la base et le collecteur du transistor. Ainsi on souhaite se rapprocher d'une caractérisation des transitoires par exemple entre le passage du transistor d'un fonctionnement bloqué à passant ou vice versa. Le signal de test utilisé pour cette caractérisation est une impulsion étroite avec une fréquence de répétition de 1GHz. Ce signal est obtenu en attaquant une diode SRD (Step Recovery Diode) par une sinusoïde à 1 GHz. Pour amplifier le signal résultant avant de l'appliquer en entrée du transistor bipolaire InP sous test, on utilise un amplificateur [1-20 GHz]. La forme temporelle du signal résultant (tension mesurée sur  $50 \Omega$ ) est donnée figure 24.

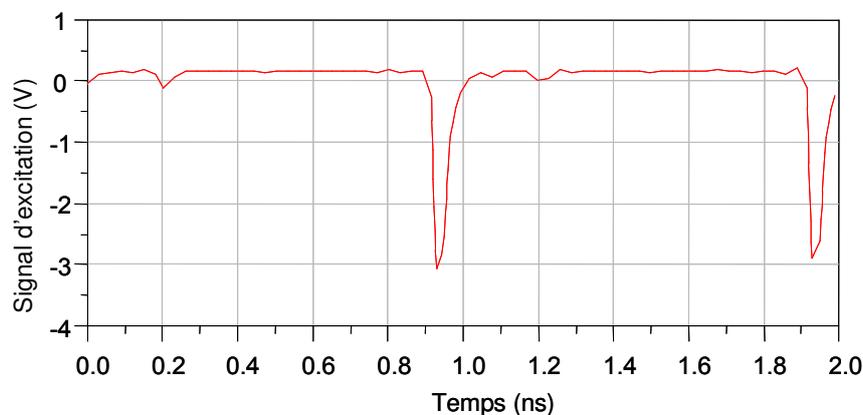


Figure 24: Signal d'excitation issu de la diode SRD + amplificateur mesuré sur  $50 \Omega$

Les mesures de ce signal en entrée et en sortie du transistor sous test sont effectuées par le LSNA (large signal network analyser). Cet instrument permet une mesure de signaux

périodiques multi harmoniques avec une bonne dynamique (50 dB) en utilisant le principe de sous échantillonnage répétitif à une fréquence de 20 MHz.

Le synoptique de principe de mesure est donné Figure (25)

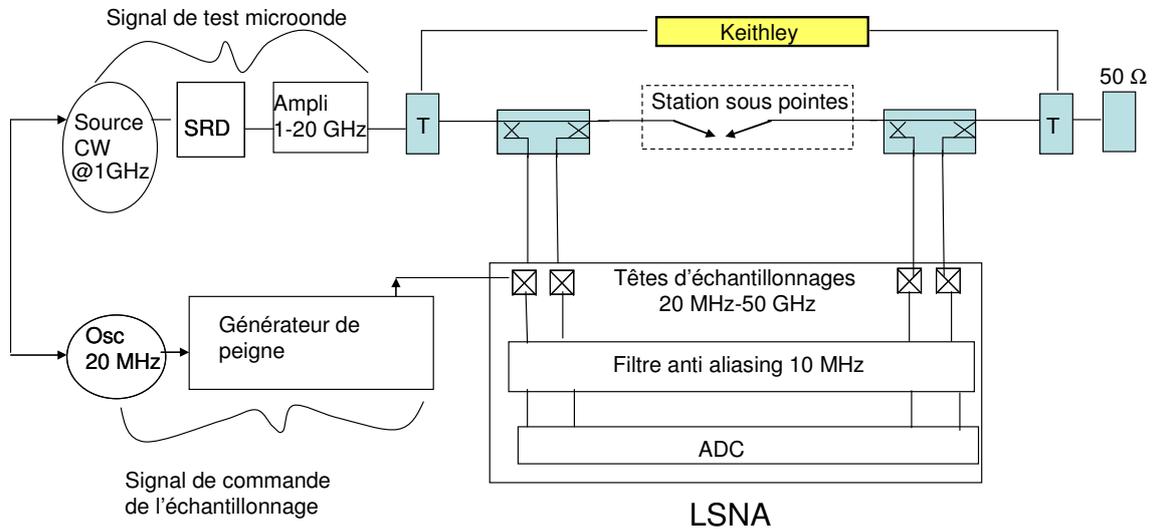


Figure 25: Synoptique de mesure de formes d'ondes temporelles.

Une description détaillée du fonctionnement de cet instrument de mesure de formes d'ondes temporelles est faite dans [8], [9], [10],[11].

Les figures 26, 27, 28,29 montrent des résultats de mesure d'un transistor  $1 \times 0.7 \times 10 \mu\text{m}$  pour un point de polarisation ( $I_{c0}=10 \text{ mA}$ ,  $V_{ce0}=1.5 \text{ V}$ )

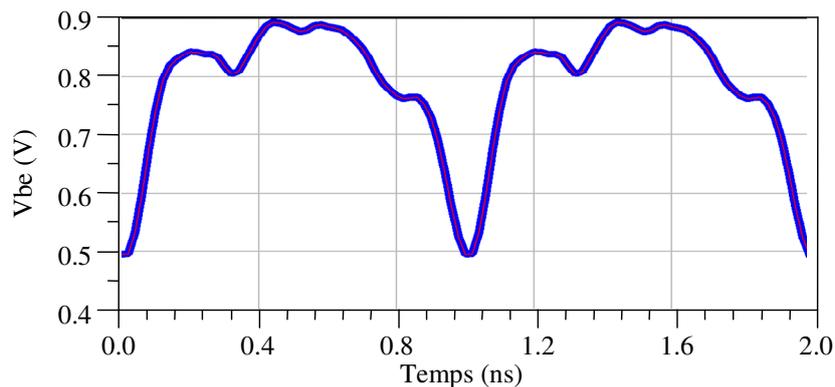


Figure26 : Forme temporelle de  $V_{be}(t)$  : transistor  $1 \times 0.7 \times 10 \mu\text{m}$ , ( $I_{c0}=10 \text{ mA}$ ,  $V_{ce0}=1.5 \text{ V}$ )

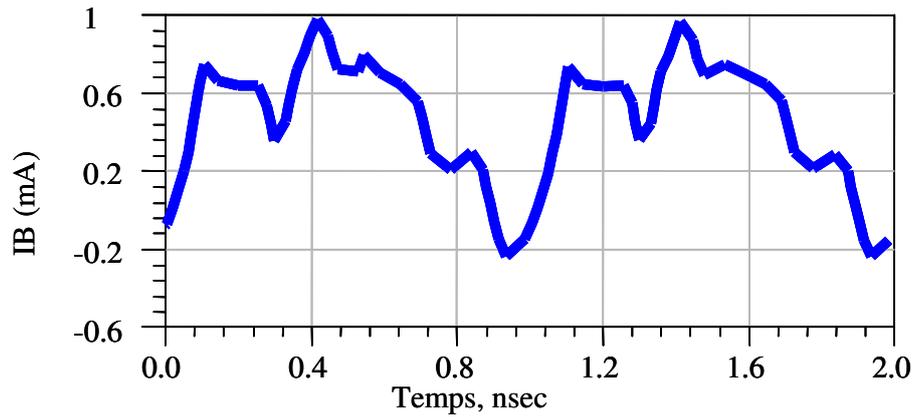


Figure27 : Forme temporelle de  $I_b(t)$  : transistor  $1 \times 0.7 \times 10 \mu\text{m}$ , ( $I_{c0}=10 \text{ mA}$ ,  $V_{ce0}=1.5 \text{ V}$ )

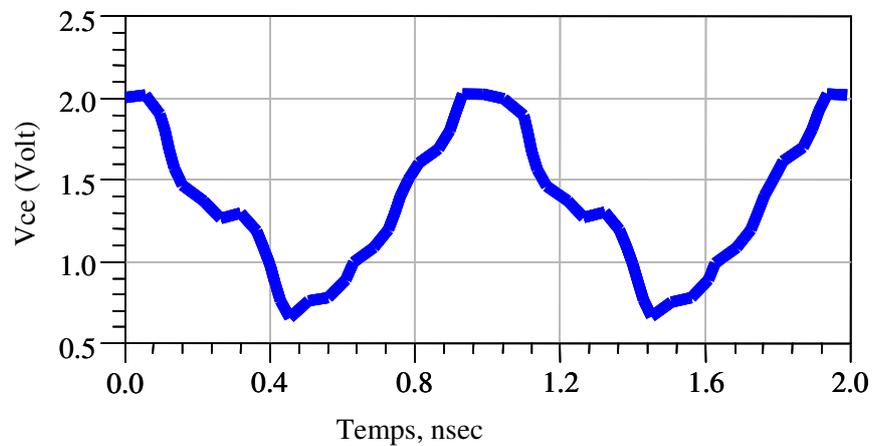


Figure28 : Forme temporelle de  $V_{ce}(t)$  : transistor  $1 \times 0.7 \times 10 \mu\text{m}$ , ( $I_{c0}=10 \text{ mA}$ ,  $V_{ce0}=1.5 \text{ V}$ )

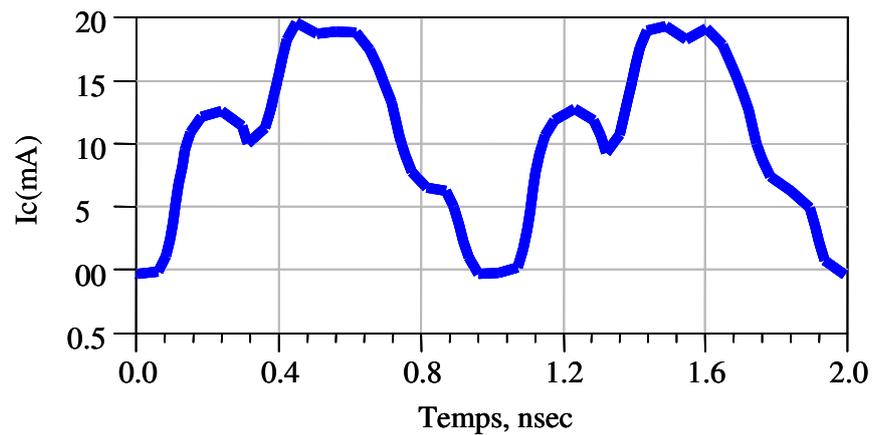


Figure 29: Forme temporelle de  $I_c(t)$  : transistor  $1 \times 0.7 \times 10 \mu\text{m}$ , ( $I_{c0}=10 \text{ mA}$ ,  $V_{ce0}=1.5 \text{ V}$ )

Une photographie de l'outil de caractérisation est montrée figure 30.



Figure 30 : Photographie du système de mesure

### I.5. Conclusion :

La description d'un outil et d'une procédure de mesure de paramètres S et de réseaux I/V en continu de transistors a été faite. Cet ensemble constitue une base de caractérisation de transistors pour en extraire des modèles non linéaires.

L'originalité du travail présenté précédemment réside dans la configuration de mesure en impulsions étroites (40 ns) qui fournit beaucoup d'informations pour une modélisation électrothermique.

La mise en place de mesures fonctionnelles en fort signal qu'elles soient de type fréquentiel ou temporel constitue un complément important pour valider un modèle ou même pour l'affiner.

Cet ensemble de moyens mis en œuvre dans le cadre de ces travaux de thèse est exploité pour élaborer des modèles de transistors TBH InP.

Nous allons aborder maintenant, les aspects de modélisation de transistors en décrivant la topologie du modèle retenu ainsi que les différentes étapes conduisant à l'élaboration d'un modèle électrothermique précis et robuste.

## II. Application à la modélisation de transistors HBT InP.

### II.1. Topologie du modèle utilisé

Le modèle non linéaire incluant les non linéarités convectives qui sera en premier lieu ajusté à partir des mesures I/V est donné figure 31 [12],[13].

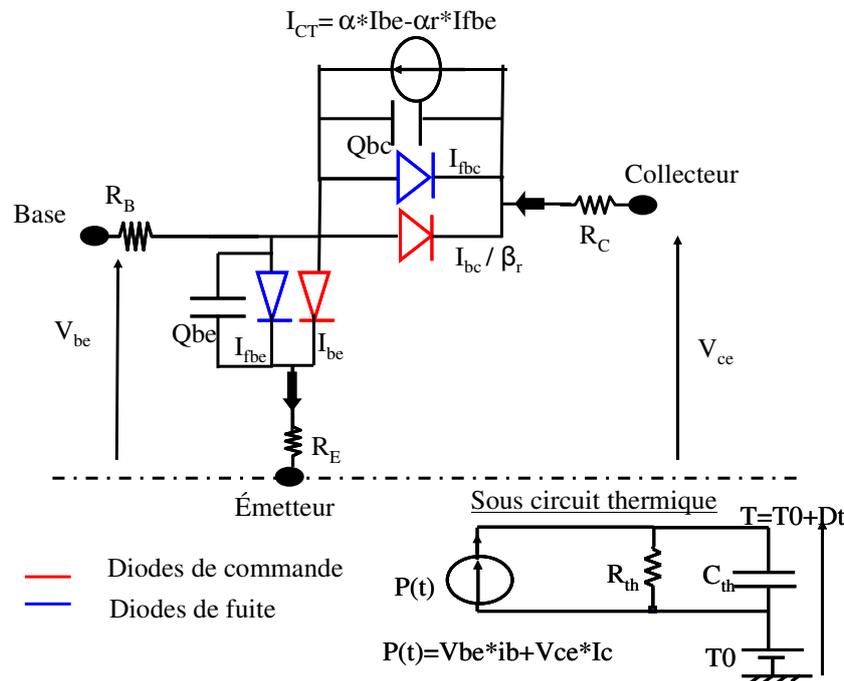


Figure 31 : Modèle de Gummel et Poon avec diodes de fuite

Son architecture est basée sur le modèle de Gummel-Poon. Il comprend 4 diodes : deux diodes traduisant l'effet fondamental et 2 diodes de fuite ainsi qu'une source de courant commandée. Les deux diodes  $D_{bc}$  et  $D_{be}$  commandent cette source de courant avec des gains respectifs  $\beta_r$  et  $\beta_f$ , et les deux diodes  $D_{fc}$  et  $D_{fe}$  permettent de modéliser les courants de fuites. Le modèle grand signal inclut aussi la description des charges, séparées en deux composantes  $Q_{be}$  et  $Q_{bc}$ . Leur répartition dans le composant impliquera de décrire  $Q_{be}$  en fonction de la tension  $V_{be}$ , et  $Q_{bc}$  en fonction de  $V_{be}$  et  $V_{bc}$ . Nous détaillerons ici les méthodes d'extraction des différents paramètres du modèle. La procédure d'extraction d'un modèle grand signal complet de ce type de transistor ne nécessite pas d'être effectuée dans un ordre précis, si ce n'est que la connaissance des éléments extrinsèques est préliminaire à tout. Nous

présenterons donc ici le modèle et les différentes phases d'extraction dans l'ordre communément adopté qui permet plus ou moins de partir de la représentation la plus simple pour en arriver à celle la plus fine. Ainsi, nous décrirons en premier lieu le modèle convectif, puis les éléments réactifs dans des conditions linearisées petit signal et enfin les capacités non linéaires dans lesquelles est incluse la description de l'effet Kirk. Des dépendances thermiques pour les résistances d'accès du collecteur et d'émetteur ont été ajoutées pour décrire le comportement du transistor, notamment dans le cas d'une association de deux transistors en miroir de courant. La caractérisation d'un miroir de courant sera détaillée par la suite.

## II.2. Formulation du modèle utilisé

Les équations caractéristiques utilisées pour les diodes sont :

$$I_{be} = I_{se}(T) \left( \exp\left(\frac{q.V_{be}}{N_e.k.T}\right) - 1 \right) \quad (1), \quad I_{se}(T) = I_{se} \cdot e^{\frac{-T_{se}}{T}} \quad (2): \text{ Pour l'effet fondamental base}$$

émetteur

$$I_{bc} = I_{sc}(T) \left( \exp\left(\frac{q.V_{bc}}{N_c.k.T}\right) - 1 \right) \quad (3), \quad I_{sc}(T) = I_{sc} \cdot e^{\frac{-T_{sc}}{T}} \quad (4): \text{ Pour l'effet fondamental base}$$

collecteur

$$I_{bfc} = I_{sfc}(T) \left( \exp\left(\frac{q.V_{bc}}{N_{fc}.k.T}\right) - 1 \right) \quad (5), \quad I_{sfc}(T) = I_{sfc} \cdot e^{\frac{-T_{sfc}}{T}} \quad (6): \text{ Diode de fuite base collecteur}$$

$$I_{bfe} = I_{sfe}(T) \left( \exp\left(\frac{q.V_{be}}{N_{fe}.k.T}\right) - 1 \right) \quad (7), \quad I_{sfe}(T) = I_{sfe} \cdot e^{\frac{-T_{sfe}}{T}} \quad (8) : \text{ Diode de fuite base émetteur}$$

$I_{sfe}$ ,  $I_{sfc}$ ,  $I_{se}$ ,  $I_{sc}$  sont les courants de saturation.

$N_{fe}$ ,  $N_{fc}$ ,  $N_e$ ,  $N_c$  : sont les coefficients d'idéalité.

Les courants de saturation dépendent de la température (T), [14].

Le gain en courant direct  $\beta_f$  dépend de la température.

Un sous circuit thermique calcule l'élévation de température  $\Delta T$  à partir de la puissance dissipée. Cette élévation de température est le résultat du passage de la puissance dissipée instantanée soit  $P_{diss}(t) = V_{be}(t) \cdot i_b(t) + V_{ce}(t) \cdot i_c(t)$  dans un filtre passe bas de fréquence de coupure  $(1/R_{TH} \cdot C_{TH})$ . La température est donc  $T = T_0 + \Delta T$ ,  $T_0$  référence ambiante

La résistance thermique a été modélisée avec une dépendance linéaire en température.

Le schéma électrique implanté dans ADS est défini en terme de charges.

Les charges stockées dans la jonction base émetteur sont réparties de la façon suivante :

$$Q_{be} = Q_{bej} + Q_{bed} + Q_{bek}$$

Avec l'indice j pour la partie due à la jonction, l'indice d pour la partie due à la diffusion et l'indice k pour la partie due à l'effet Kirk. Les formules des charges utilisées sont les suivantes :

$$- Q_{bej} = \frac{-C_{je0} \cdot \varphi_{BE} \cdot \left(1 - \frac{V_{BE}}{\varphi_{BE}}\right)^{1-M_{je}}}{1 - M_{je}} \quad (9): \text{ Cette équation modélise la capacité de jonction base}$$

émetteur.

La dérivée  $\frac{dQ_{bej}}{dv_{be}}$  qui vaut  $C_{bej} = \frac{C_{je0}}{\left(1 - \frac{V_{BE}}{\varphi_{BE}}\right)^{M_{je}}}$  (10) implique l'allure de la capacité Cbe

$$- Q_{bed} = \tau_f \cdot I_C \cdot (1 - F_{cd}) \quad (11) : \text{ Cette équation modélise la capacité de diffusion base émetteur.}$$

$$- \tau_f = \tau_{f0} \cdot (1 - V_{bcinv} \cdot V_{BC}) \cdot (1 - I_{cinv} \cdot I_C) \quad (12) : \text{ Cette équation modélise le temps de transit avec sa dépendance vis-à-vis de la tension base collecteur et du courant } I_C. V_{bcinv} \text{ et } I_{cinv} \text{ sont des constantes qui sont réglées au cours de la procédure de modélisation.}$$

$$- Q_{bek} = \tau_k \cdot I_C \cdot (1 - F_{ck}) \quad (13) : \text{ Cette équation tient compte des charges stockées qui sont liées à l'effet kirk et qui s'ajoutent aux charges base émetteur}$$

Les charges stockées dans la zone base collecteur sont réparties de la façon suivante :

$$Q_{bc} = Q_{bcj} + Q_{bcd} + Q_{bc\text{tran}} \quad (14)$$

Avec l'indice j pour la partie due à la jonction et l'indice d pour la partie due à la diffusion,,  $Q_{bc\text{tran}}$  modélise la transcapacité base collecteur due au fait que la répartition des charges dans la région de base ne se fait pas instantanément.

Les formules des charges utilisées sont les suivantes :

$$- Q_{bcj} = \frac{-C_{jc0} \cdot \varphi_{BC} \cdot \left(1 - \frac{V_{BC}}{\varphi_{BC}}\right)^{1-M_{jc}}}{1 - M_{jc}} \quad (15) :$$

$$Q_{BC\text{trans}} = F_{cd} \times Q_{bed} + \frac{F_{ck}}{1 - F_{ck}} \times Q_{bek} \quad (16): \text{ Cette équation modélise la transcapacité définie}$$

précédemment. Cette charge qui est une fonction des charges diffusant de l'émetteur vers la base dépend aussi des charges dues à l'effet kirk.

-  $Q_{bcd} = \tau_r . IC$  (17): Cette équation modélise la capacité de diffusion base collecteur. Une dépendance linéaire relie les charges stockées dans la jonction base collecteur pendant le transit des électrons de la base vers le collecteur.

### II.3. Procédure de modélisation

#### II.3.1. Détermination des fréquences de transition :

Les mesures des fréquences de transition des transistors constituent des mesures préliminaires permettant de valider une bonne qualité de mesure et de s'assurer d'une bonne cohérence des valeurs obtenues.

Pour cela, les mesures de [S] de quelques transistors sont faites à plusieurs points de polarisation en mode DC. Ces mesures sont épluchées en tenant compte des plots d'accès du transistor. Le gain en courant  $h_{21}$  du transistor intrinsèque est déterminé puis extrapolé pour définir la fréquence de transition.

Le gain en courant  $h_{21}$  est défini par :  $i_c/i_b$  lorsque le collecteur est fermé sur un court circuit. Cela est illustré figure 32.

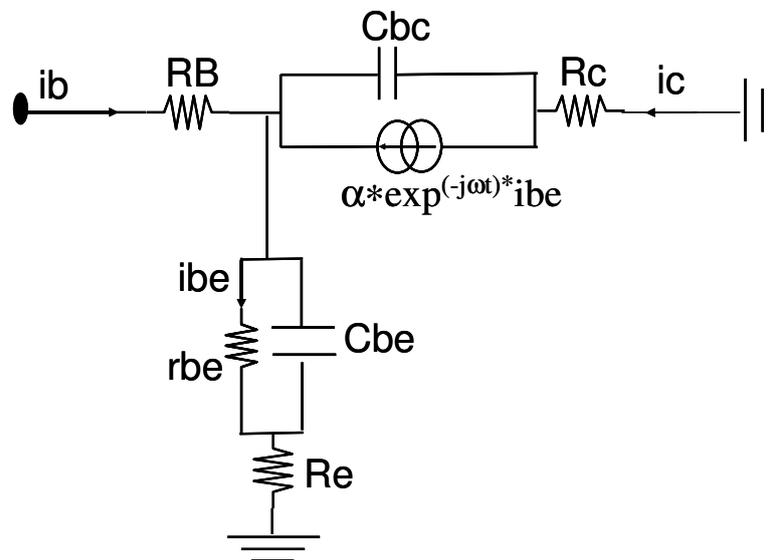


Figure 32: circuit équivalent du transistor pour le calcul de gain en courant  $h_{21}$

La détermination de la fréquence de transition pour laquelle le gain en courant  $h_{21}$  chute à 0 dB est illustrée dans la figure 33.

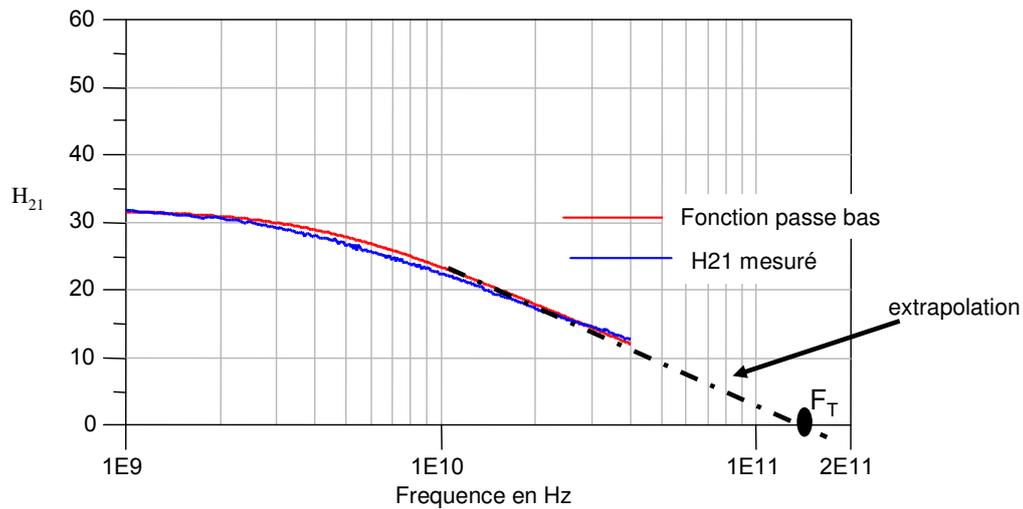


Figure 33 : principe de détermination de la fréquence de transition

L'expression analytique de type passe bas tracée est : 
$$h_{21} = \frac{\beta_0}{\sqrt{1 + \left(\frac{f}{f_c}\right)^2}} \quad (18)$$

### II.3.1.1. Modélisation des plots d'accès

Les transistors caractérisés dans le cadre de cette thèse sont mesurables grâce à des plots d'accès. Les plots d'accès en circuit ouvert, court circuit et en connexion directe sont représentés figure34.

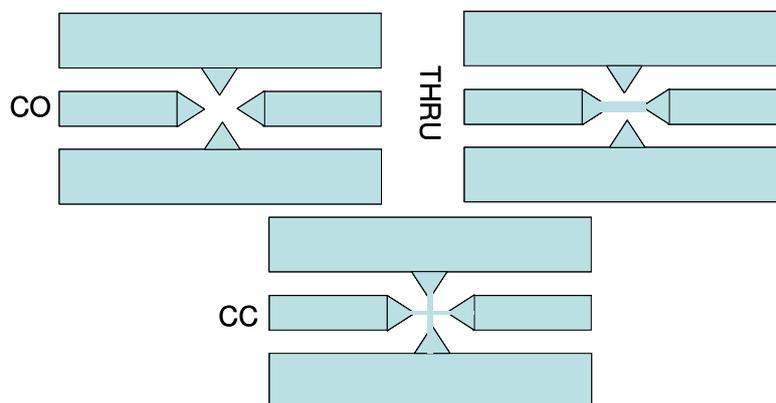


Figure 34 : plots d'accès des transistors

Ces lignes d'accès coplanaires sont refermées sur un court circuit, sur un circuit ouvert ou bien interconnectés.

Une première étape consiste à mesurer les [S] de ces plots d'accès pour en extraire un modèle en éléments localisés.

La topologie du schéma équivalent choisie est ajustée en utilisant une simulation [S] en environnement ADS.

La figure 35 montre le schéma équivalent du plot d'accès en CO.

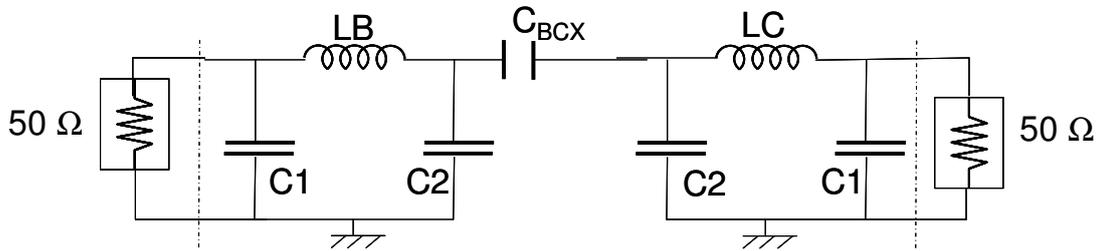


Figure 35 : Modèle équivalent du plot en CO

La figure 36 montre une simplification valable pour les fréquences basses.

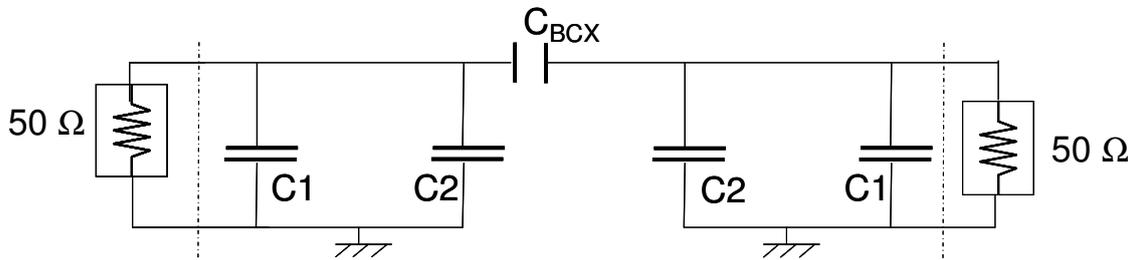


Figure 36 : Modèle équivalent du plot en CO aux basses fréquences

Les termes de la matrice [Y] du circuit équivalent basse fréquence du plot d'accès en entrée sont :

$$Y_{11} = Y_{22} = j\omega(C_1 + C_2 + C_{BCX})$$

$$Y_{12} = Y_{21} = j\omega C_{BCX}$$

On utilise les paramètres  $Y_{12}$  en basse fréquence pour déterminer ( $C_{BCX}$ ).  $C_{BCX} = \text{im}(Y_{12})/\omega$ , avec im représentant la partie imaginaire.

On utilise les paramètres  $Y_{11}$  et  $Y_{22}$  en basse fréquence pour déterminer ( $C_1 + C_2 + C_{BCX}$ ).

$$(C_1 + C_2 + C_{BCX}) = \text{im}(Y_{11})/\omega$$

On pose  $C_1 + C_2 = C_{eq}$ ,  $C_{eq} = \text{im}(Y_{11})/\omega - C_{BCX}$ .

La figure 37 montre le schéma équivalent du plot d'accès en court circuit.

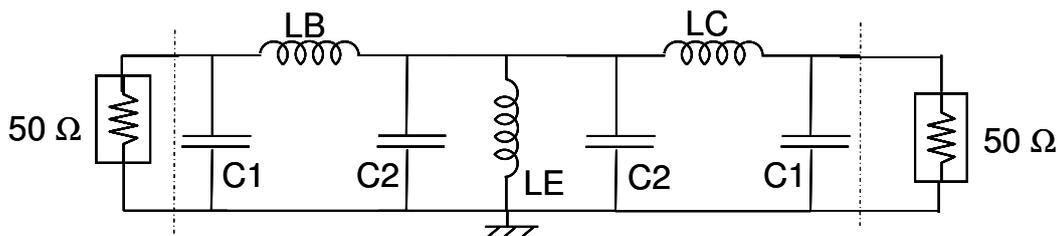


Figure 37 : Modèle équivalent du plot en CC

Pour la partie basse fréquence des mesures [S], le schéma équivalent du circuit devient le suivant (figure 38)

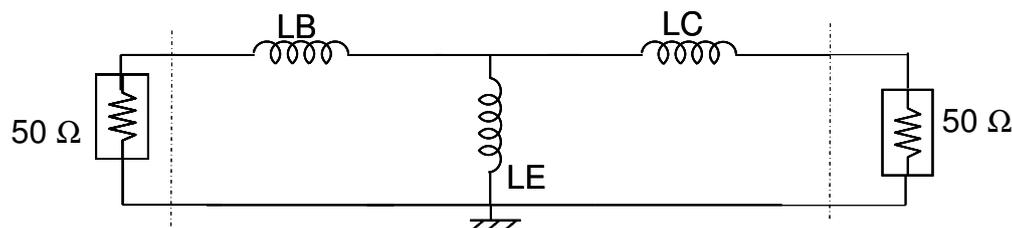


Figure38 : Modèle équivalent du plot en CC aux fréquences basses.

On utilise les mesures des plots d'accès en court circuit pour déterminer les selfs  $L_B$ ,  $L_C$ ,  $L_E$ . La matrice  $[Z]$  du circuit équivalent aux basses fréquences du plot d'accès en court circuit est :

$$Z_{11}=j*(L_B+L_E)*\omega$$

$$Z_{22}=j*(L_C+L_E)*\omega$$

$$Z_{12}=Z_{21}=j*(L_E)*\omega$$

L'inductance  $L_E$  s'extrait à partir du paramètre  $Z_{12}$ .  $L_E = \text{im}(Z_{12})/\omega$ .

Une fois l'inductance  $L_E$  déterminée, les inductances  $L_B$  et  $L_C$  sont extraites en utilisant les paramètres  $Z_{12}$  et  $Z_{21}$  de la façon suivante.

$$L_B = \text{im}(Z_{11})/\omega - L_E \quad \text{et} \quad L_C = \text{im}(Z_{22})/\omega - L_E$$

La dernière étape consiste à déterminer séparément les valeurs des capacités  $C_1$  et  $C_2$ .

Les capacités  $C_1$  et  $C_2$  sont définies par :

$$C_1 = C_{eq} * \alpha \quad \text{et} \quad C_2 = C_{eq} * (1 - \alpha).$$

Cette étape permet de mieux modéliser les plots d'accès notamment aux hautes fréquences.

En superposant les résultats de simulation du circuit et les résultats des mesures, le facteur  $\alpha$  est ajusté pour bien répartir la capacité  $C_{eq}$  entre les deux capacités  $C_1$  et  $C_2$ . Le facteur  $\alpha$  trouvé est  $\alpha = 0.83$ .

La figure 39 montre une bonne concordance entre les paramètres mesurés et le modèle équivalent sur toute la bande de mesure.

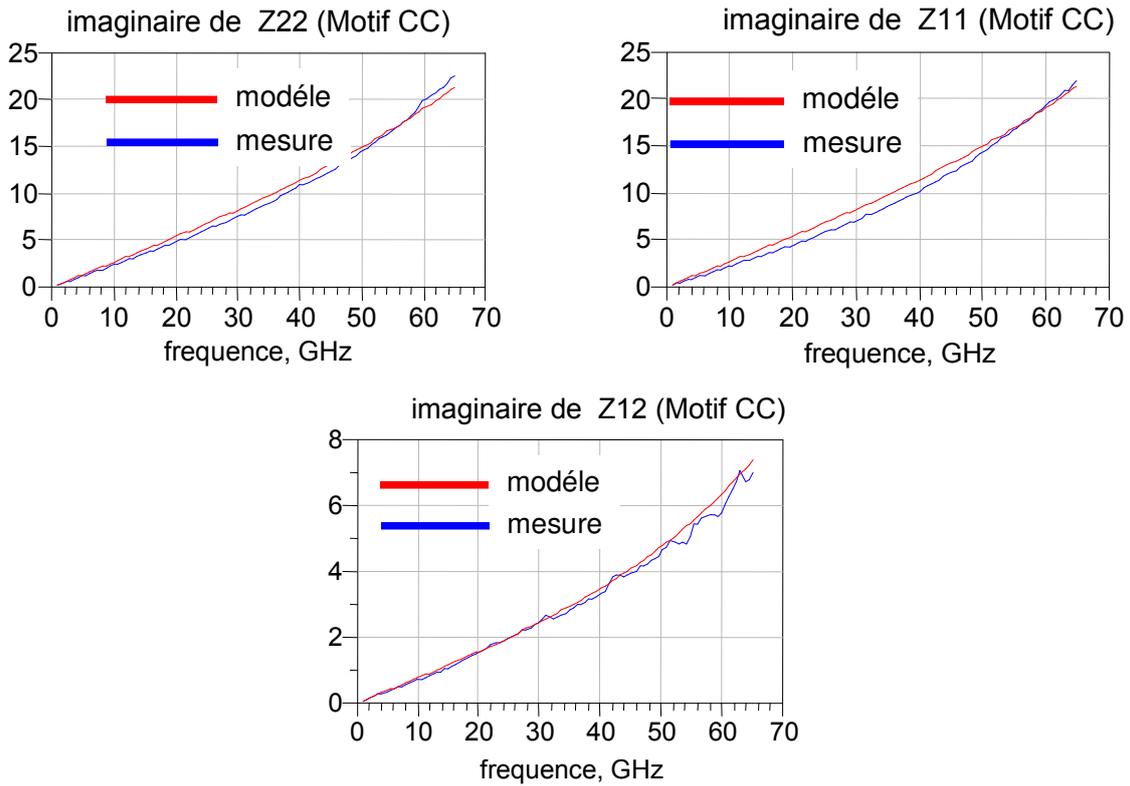


Figure 39 : Comparaison mesures/modèles paramètres Z du CC

Les valeurs déterminées correspondant à un bon accord entre simulations et mesures sont :

$C1=29 \text{ fF}$ $C2=30 \text{ fF}$ $CBCx=4 \text{ fF}$ $Le=10 \text{ pH}$ $LC=40 \text{ pH}$ $LB=30 \text{ pH}$
--

Ces valeurs seront utilisées pour l'épluchage des mesures extrinsèques du transistor.

La configuration globale transistor, plots d'accès et impédance de fermeture  $50 \Omega$  est donnée figure 40.

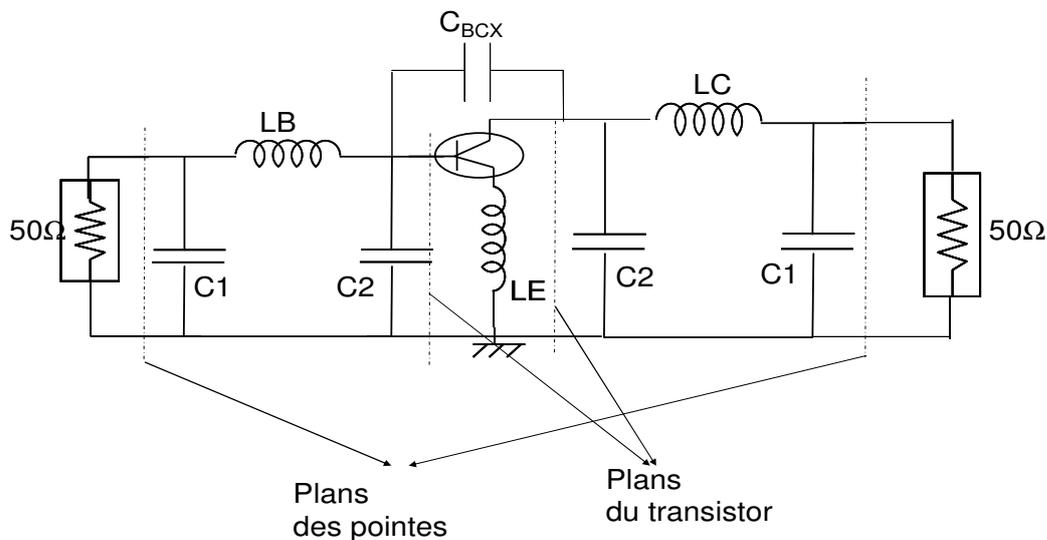


Figure 40 : Configuration globale de mesure (transistor intrinsèque et plots d'accès)

Entre les accès correspondant aux plans de mesure sous pointes nous aurons les  $[S]_{Mes}$  mesurés. Connaissant les valeurs des éléments des plots d'accès, nous déduisons les  $[S]_{Int}$  intrinsèques mesurés et corrigés (ou épluchés) correspondant au transistor intrinsèque.

Pour obtenir la fréquence de transition  $F_T$ , on cherche la valeur de la fréquence pour laquelle le module du gain en courant  $h_{21}$  chute à 1.

La relation liant le paramètre  $h_{21}$  aux paramètres S intrinsèques est :

$$h_{21} = \frac{-2 * S_{21}}{(1 - S_{11}) * (1 + S_{22}) + S_{12} * S_{21}} \quad (19)$$

La passage des paramètres  $S_{Mes}$  dans les plans des pointes aux paramètres  $S_{Int}$  dans les plans du transistor se fait en utilisant les matrices chaînes. La matrice chaîne globale plots et transistor intrinsèque est :

$$[C] = [A] * [T] * [B]. \quad (20)$$

A représente la matrice chaîne équivalente du plot d'accès en entrée, B celle du plot d'accès en sortie. et T la matrice chaîne du transistor intrinsèque.

Ces trois matrices sont déduites directement à partir des paramètres S.

Le passage des plans des pointes aux plans du transistor intrinsèque se fait en multipliant par la matrice  $A^{-1}$  en entrée et par la matrice  $B^{-1}$  en sortie. Cela se fait à l'aide du logiciel de simulation « ADS ».

Une fois la matrice T du transistor déterminée, la matrice [S] correspondante est directement déduite à partir des relations de passage.

Des résultats de mesures du paramètre  $h_{21}$  sur la bande de fréquence 1-65 GHz et l'extrapolation permettant de déduire  $F_T$  sont montrés figures 41 et 42 pour deux transistors  $1*20\mu m*1.5\mu m$ . et  $1*10\mu m*0.7\mu m$  respectivement.

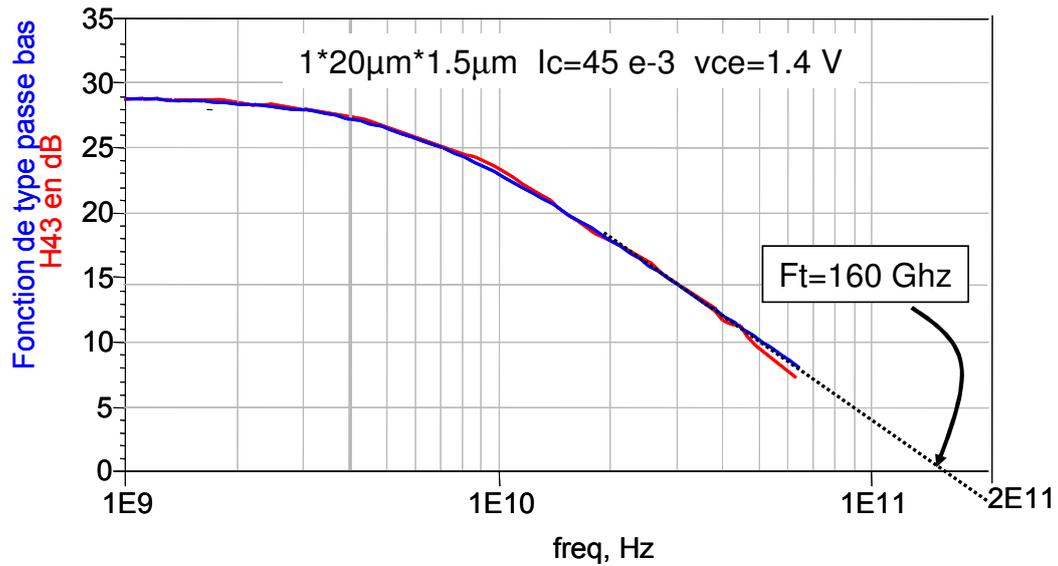


Figure 41 : Mesures et extrapolation de  $F_t$  pour un transistor  $1 \times 20 \mu\text{m} \times 1.5 \mu\text{m}$

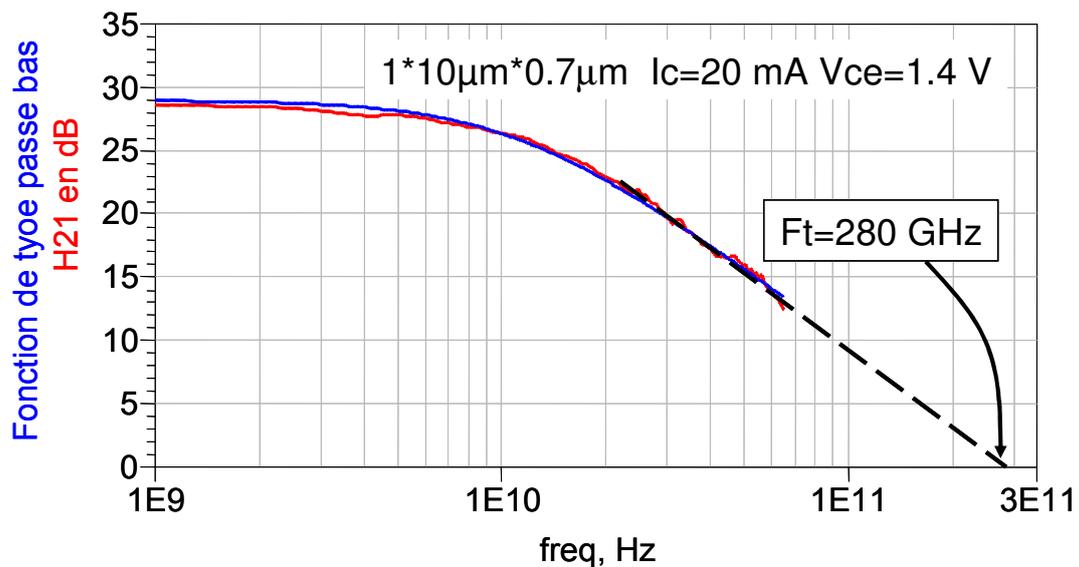


Figure 42 : Mesures et extrapolation de  $F_t$  pour un transistor  $1 \times 10 \mu\text{m} \times 0.7 \mu\text{m}$

Les tracés de  $F_T$  en fonction du courant collecteur  $I_c$  sont donnés figures 43 et 44 pour des transistors  $1 \times 10 \mu\text{m} \times 0.7 \mu\text{m}$  et  $1 \times 1.5 \mu\text{m} \times 20 \mu\text{m}$ .

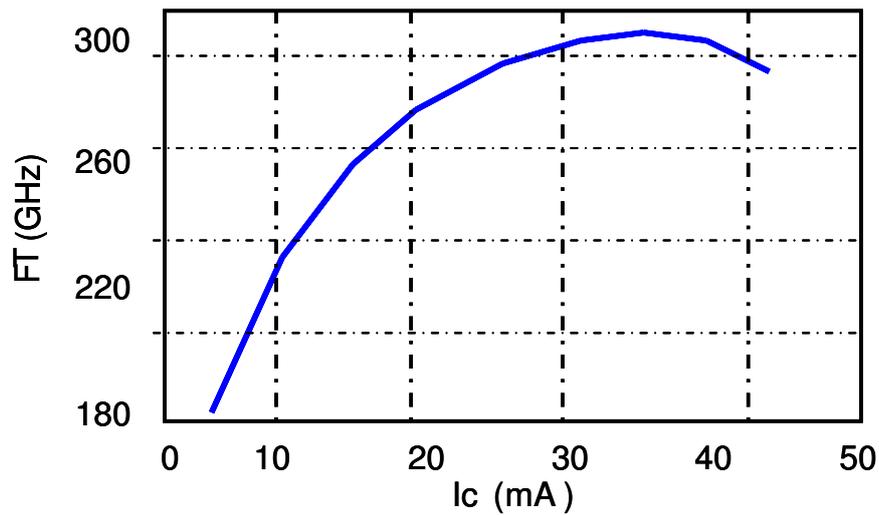


Figure 43: Fréquence de transition du  $1 \times 0.7 \mu\text{m} \times 10 \mu\text{m}$  en fonction du courant de collecteur

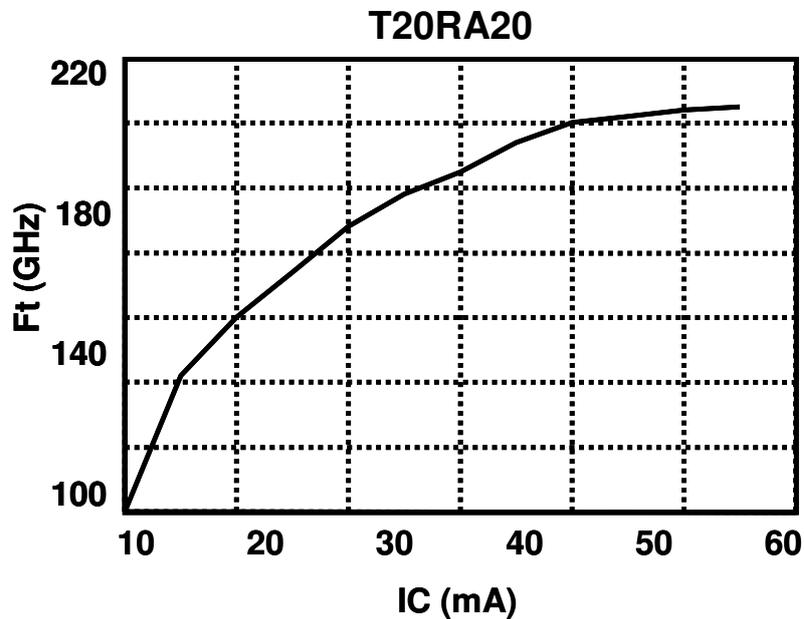


Figure 44 : Fréquence de transition du  $1 \times 1.5 \mu\text{m} \times 20 \mu\text{m}$ . en fonction du courant du collecteur

### II.3.2. Extraction des paramètres du modèle convectif :

Les paramètres du modèle convectif (diodes, résistances d'accès) sont extraits dans un premier temps à partir des mesures DC. Les mesures DC permettent le tracé des réseaux I/V suivants :

- Ic en fonction de Vce paramétré en Ib.
- Vbe en fonction de Vce paramétré en Ib.
- Ic en fonction de Vbe paramétré en Vce.

### II.3.2.1. Extraction des paramètres des diodes :

Les paramètres des diodes de commande et des diodes de fuite sont choisis de la façon suivante.

Les facteurs d'idéalité des diodes de commande sont pris très proches de 1.

Les facteurs d'idéalité des diodes de fuite sont pris proches de 2.

Les paramètres  $I_{sfe}$ ,  $I_{sfc}$ ,  $T_{sfe}$ ,  $T_{sfc}$ , sont ajustés pour faire correspondre les mesures avec le modèle, cela est décrit dans le paragraphe suivant.

### II.3.2.2. Gain en courant $B_f$

Le gain en courant  $B_f$  est déterminé à partir du réseau ( $I_c$  vs  $V_{ce}$ ) et cela à fort courant. On choisit généralement une courbe qui correspond à fort courant  $I_c$  là où les effets de fuite sont peu présents. Sinon la valeur extraite du gain en courant sera plus petite que sa vraie valeur.

La figure 45 montre des comparaisons entre modèle et mesures pour le réseau ( $I_c$  Vs  $V_{ce}$ ). La figure 45.a correspond à un cas où le gain en courant est extrait et ajusté à faible courant  $I_c$ . Dans ce cas une concordance entre simulation et mesure à fort courant  $I_c$  est difficile. La solution pour améliorer la correspondance modèle/mesure serait de considérer un gain en courant  $B_f$  qui augmente en fonction du courant  $I_c$ . Cette solution n'est pas adoptée car elle n'est pas physique.

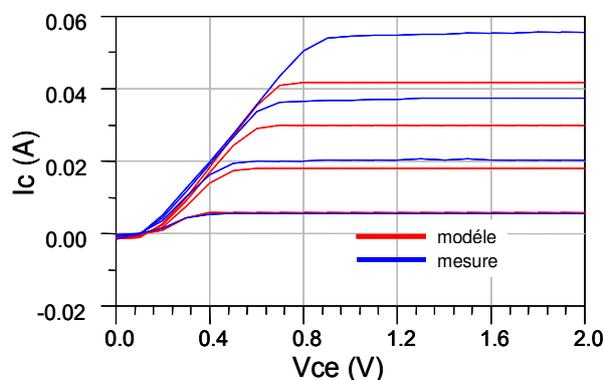


Figure 45.a

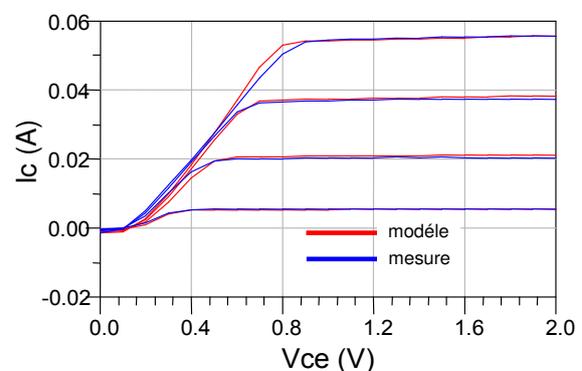


Figure 45.b

Figure 45.a (mauvaise concordance  $B_f=29$ ), 45. b (Bonne concordance  $B_f=44.3$ )

La figure (45.b) montre une bonne concordance des réseaux ( $I_c$  vs  $V_{ce}$ ). Dans ce cas, le gain en courant est extrait et ajusté à fort courant et l'effet de fuite est ajusté ensuite pour que les simulations se rapprochent des mesures à bas courant. C'est cette solution qui a été adoptée.

### II.3.2.3. Résistances d'accès :

- La résistance d'émetteur est extraite à partir du réseau ( $V_{be}$  vs  $V_{ce}$ ) en mode impulsif pour des impulsions très étroites de 40 ns. Cela permet d'extraire cette résistance en évitant les influences de l'auto échauffement qui rendent difficile et imprécise cette extraction [15].

Le principe d'extraction est illustré figure (46).

La formule utilisée pour l'extraction de la résistance d'émetteur est :

$$R_E = \frac{\Delta V_{be}}{\Delta I_E} \text{ avec } \Delta V_{be} \text{ la différence de tension base émetteur entre les deux points A et B de la}$$

figure 46..

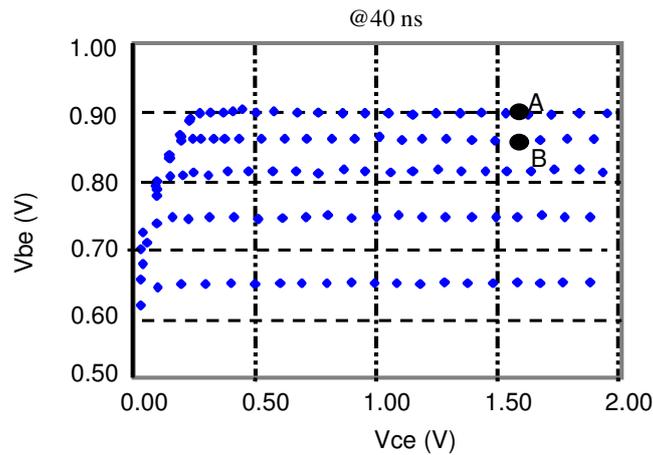


Figure 46: Principe d'extraction de la résistance d'émetteur (Mesure@40 ns)

-La résistance de collecteur est ensuite extraite en utilisant le réseau ( $I_c$  vs  $V_{ce}$ ). La pente de ce réseau en zone saturée est inversement proportionnelle à la somme des résistances de collecteur et d'émetteur comme illustré figure 47.

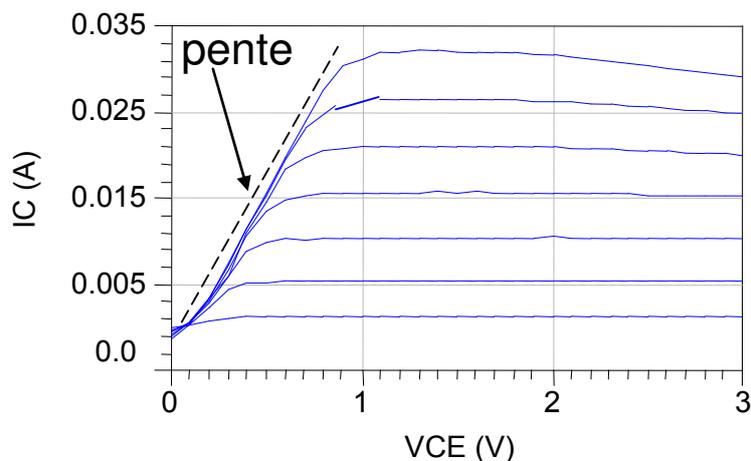


Figure 47 : Principe d'extraction de ( $R_c+R_e$ )

La résistance d'émetteur est déjà extraite ce qui permet de déduire la valeur de la résistance de collecteur.

-La résistance de base quand à elle est extraite à partir des paramètres [Z] déduits des mesures de paramètres [S]. Cette extraction est décrite dans le paragraphe suivant.

### II.3.3. Modèle petit signal :

Le modèle non linéaire linéarisé autour d'un point de polarisation est montré figures 48 et 49:

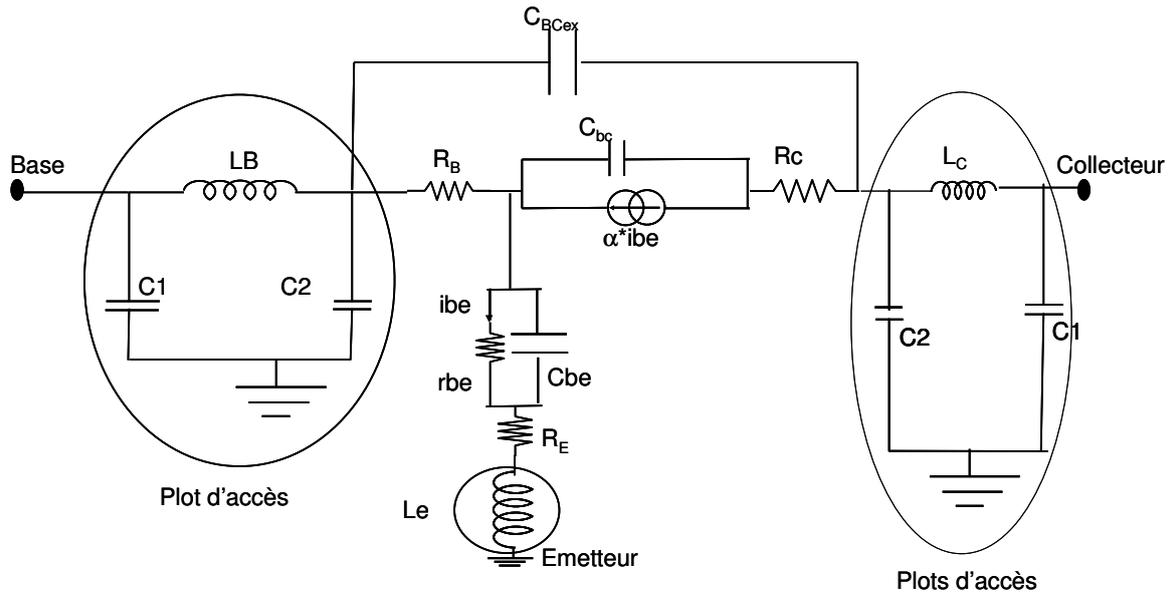


Figure 48 : Modèle équivalent du transistor avec les plots d'accès

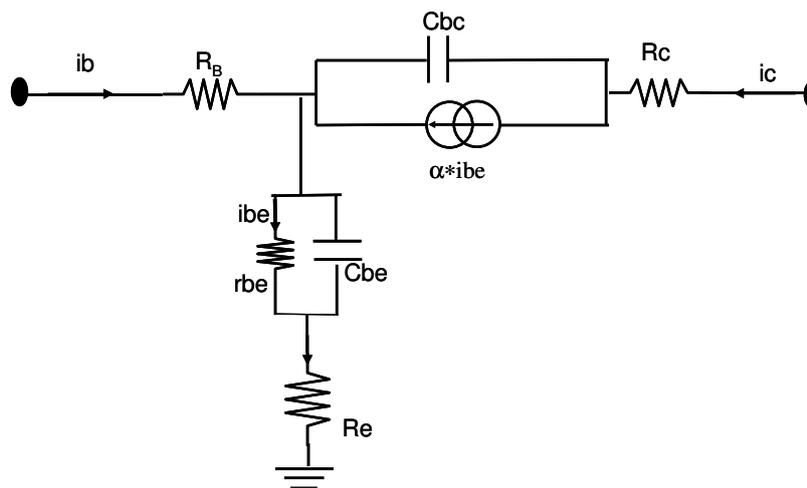


Figure 49 : Modèle équivalent du transistor intrinsèque

Les différents éléments du modèle peuvent être extraits en utilisant les paramètres [Z] [16], [17].

Les paramètres [Z] du transistor intrinsèque sont les suivants :

$$Z_{11} = R_B + \frac{rbe}{1 + rbe * j * Cbe * w} + Re ; Z_{12} = \frac{rbe}{1 + rbe * j * Cbe * w} + Re$$

$$Z_{21} = -\frac{a}{j * Cbc * w * (1 + rbe * j * Cbe * w)} + \frac{rbe}{1 + rbe * j * Cbe * w} + Re$$

$$Z_{22} = \frac{rbe}{1 + j * rbe * Cbe * w} + Re + Rc + \frac{1}{j * Cbc * w} * (1 - \frac{a}{1 + j * rbe * Cbe * w})$$

➤ La résistance de la base se déduit à partir des paramètres [Z] de la façon suivante :

$$R_B = reel(Z_{11} - Z_{22}) \quad (21). \quad \text{Avec } reel \text{ définissant la partie réelle.}$$

La figure 50 montre un exemple d'extraction de la résistance de base.

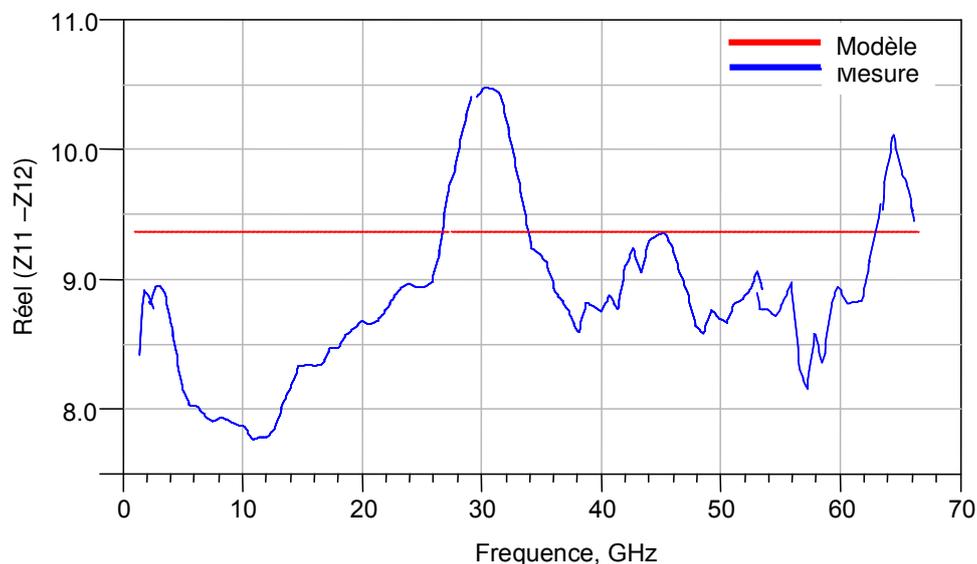


Figure 50 : Extraction de la résistance de base.

➤ La capacité Base émetteur est l'ensemble des contributions de la capacité de diffusion, de la capacité de jonction ainsi que de l'effet kirk. Cette capacité est extraite en utilisant les paramètres [Z] du transistor intrinsèque.

La capacité Cbe peut se déduire de la façon suivante :  $Cbe = \text{Im}(\frac{1}{\omega(Z_{12} - Re)}) \quad (22)$

Un exemple d'extraction de la capacité Cbe est donné figure 51.

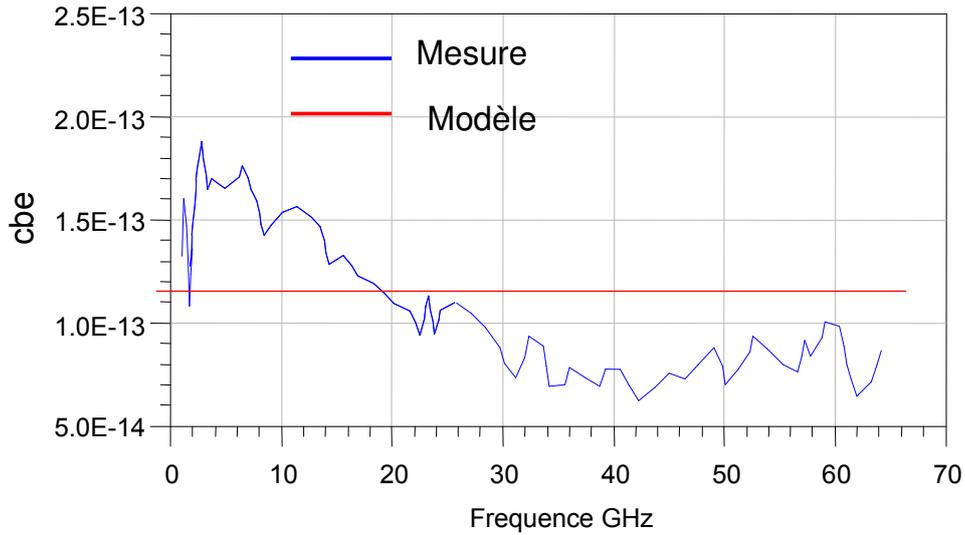


Figure 51: Extraction de la capacité Cbe du modèle petit signal

La capacité base collecteur peut se déduire en utilisant le paramètre  $Y_{22}$  avec

$$C_{bc} = \frac{1}{\omega \cdot \text{imag}\left(\frac{1}{Y_{22}}\right)} \quad (23).$$

Pour pouvoir utiliser cette formule, la résistance de base doit être épluchée. Cela est faisable sous ADS en cascadant une résistance négative au transistor mesuré.

La figure 52 montre la valeur extraite de Cbc

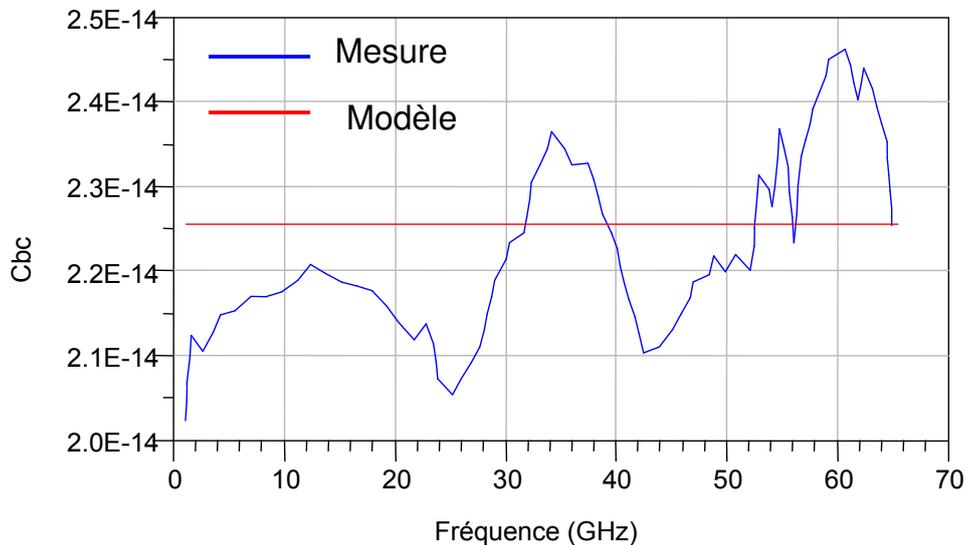


Figure 52: Extraction de la capacité base collecteur

La valeur de Cbc fixée dans le modèle est extraite en basse fréquence car les effets parasites sont moins importants et donc la formulation utilisée est plus fiable.

### II.3.4. Extraction des éléments du sous circuit thermique :

#### II.3.4.1. Résistance thermique :

Une information pouvant être extraite à partir du réseau mesuré ( $V_{be}$  vs  $V_{ce}$ ) est la résistance thermique  $R_{th}$ . On a la relation suivante

$R_{th} = \frac{\Delta T}{\Delta P} = \frac{\Delta T}{\Delta V_{be}} * \frac{\Delta V_{be}}{\Delta P}$  (24). Avec  $\Delta T$  l'élévation de température pour une différence de puissance dissipée  $\Delta P$ .

$\frac{\Delta v_{be}}{\Delta P}$  est calculé entre les deux points A et B sur le réseau DC  $V_{be}=f(V_{ce})$ , montré figure

53.

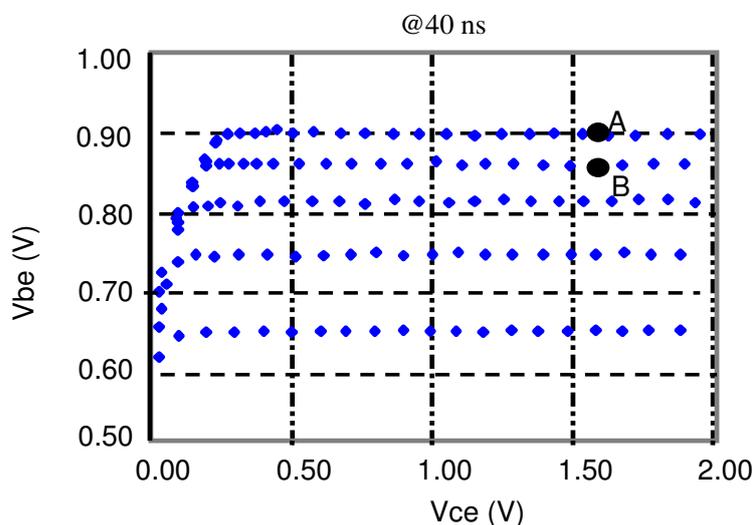


Figure 53: Extraction de la résistance thermique à partir du réseau ( $V_{be}$  vs  $V_{ce}$ )

A titre d'exemple :  $V_{BE}$  en A = 0.88 V ;  $V_{BE}$  en B=0.83 V

$P_A$  en A= $V_{ce} * I_C = 21$  mW ;  $P_B$  en B=  $V_{ce} * I_C = 56$  m W

$\Delta P = P_A - P_B = -28$  mW

$\Delta v_{be} = V_{BE_A} - V_{BE_B} = -5$  mV

$\frac{\Delta v_{be}}{\Delta T}$  est pris ici à une valeur voisine de  $-0,9$  mV/°C pour l'InP.

La résistance thermique  $R_{TH}$  obtenue par cette approche est alors de l'ordre de  $1,4$  °C/mW

#### II.3.4.2. Constante de temps thermique :

La capacité thermique est extraite en utilisant les mesures I/V en impulsion et cela pour des largeurs d'impulsions de tension de collecteur de l'ordre de 400 ns. Cela permet de voir la décroissance de la tension base émetteur en présence du phénomène d'auto-échauffement et ainsi d'estimer la capacité thermique en utilisant la formule indiquée figure 54.

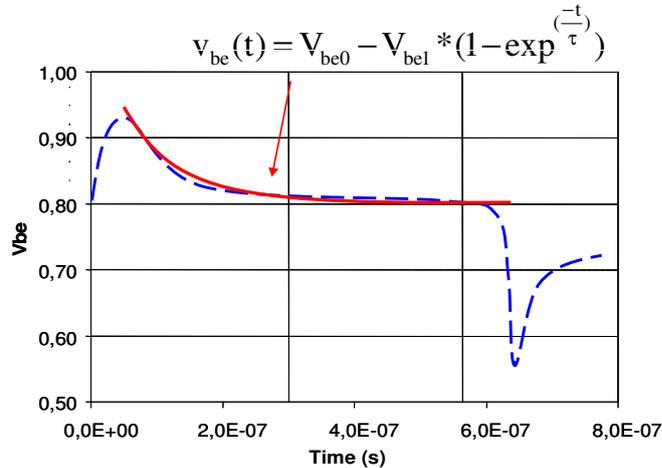


Figure 54: Décroissance de la tension Vbe en fonction du temps

La valeur de la constante de temps thermique  $\tau_{th}$  est de 200 ns ce qui donne une capacité

thermique  $C_{th} = \frac{\tau_{th}}{R_{TH}} = 120 \text{ J/K}$ .

### II.3.5. Extraction des capacités non linéaires :

Dans une première étape, les capacités de jonction sont extraites car elles peuvent être isolées plus facilement puisqu'elles sont prépondérantes en mode bloqué du transistor.

Leur formulation analytique est :

$$C_{bej} = \frac{C_{je0}}{\left(1 - \frac{V_{be}}{\varphi_{be}}\right)^{M_{je}}} \quad C_{bcj} = \frac{C_{jc0}}{\left(1 - \frac{V_{bc}}{\varphi_{bc}}\right)^{M_{jc}}}$$

Avec  $\varphi_{be}$  et  $\varphi_{bc}$  les potentiels des jonctions base-émetteur et base-collecteur.

$C_{je0}$  et  $C_{jc0}$  sont les capacités base-émetteur et base-collecteur lorsque la différence de potentiel appliquée sur les jonctions est de 0 Volt.

$M_{je}$  et  $M_{jc}$  sont les coefficients d'idéalité des jonctions base-émetteur et base-collecteur.

Pour extraire les capacités de jonction (base émetteur et base collecteur) le transistor est polarisé en mode inverse et des mesures de paramètres S sont effectuées. Ces mesures sont répétées pour plusieurs points de polarisation. Le modèle équivalent petit signal en mode bloqué est représenté figure 55.

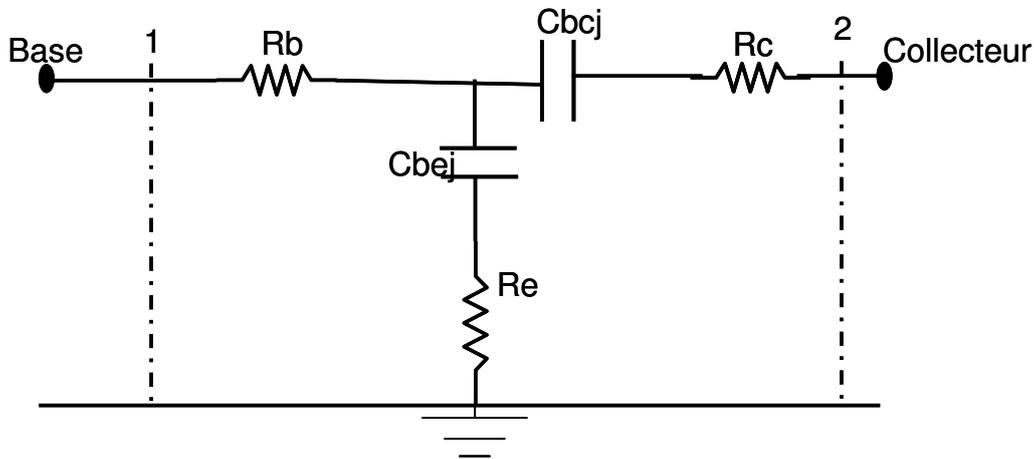


Figure 55 : Modèle intrinsèque équivalent dans la zone bloquée

Dans ces conditions on a :

$$C_{bej} = -\frac{1}{\omega \text{imag}(Z_{12})} \quad (25) \quad C_{bcj} = -\frac{1}{\omega \text{imag}(Z_{22} - Z_{12})} \quad (26)$$

Une superposition des résultats de simulation et de mesure dans ces conditions de mode bloqué permettra d'ajuster les valeurs de ( $C_{je0}$ ,  $C_{jc}$ ,  $\varphi_{be}$ ,  $\varphi_{bc}$ ,  $M_{je}$ ,  $M_{jc}$ ) afin de reproduire les profils des capacités.

Cette extraction est illustrée figure 56.

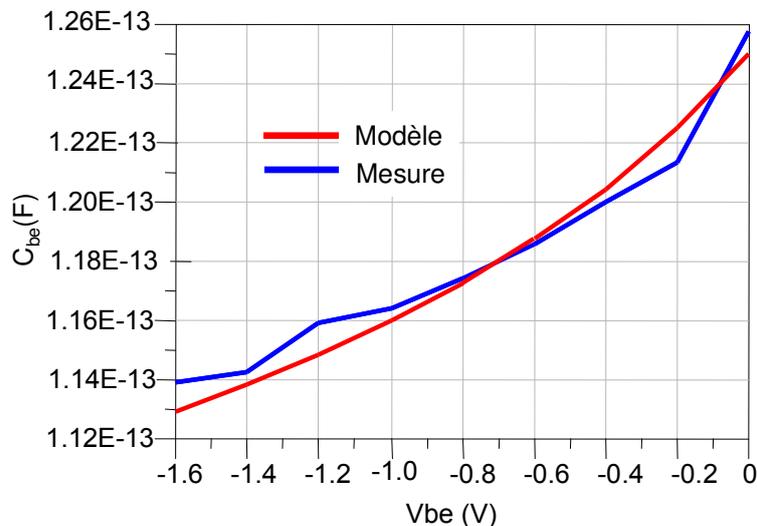


Figure 56 : Extraction de la capacité de jonction base émetteur ( $V_{ce}$  est maintenu à 0Volt )

La figure 57 montre l'extraction de la capacité Cbc :

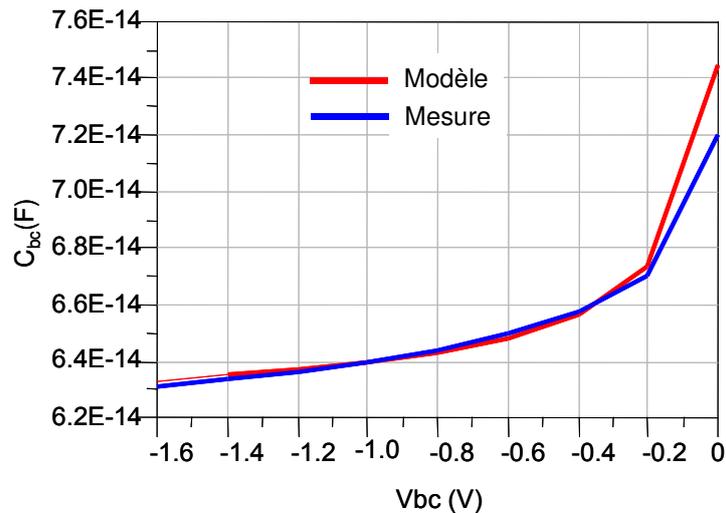


Figure 57 : Extraction de la capacité de jonction base –collecteur (Vce est maintenu à 0Volt )

La capacité base collecteur a beaucoup d'influence sur le gain maximum disponible comme l'indique la figure 58 : cette fois ci pour un fonctionnement passant du transistor.

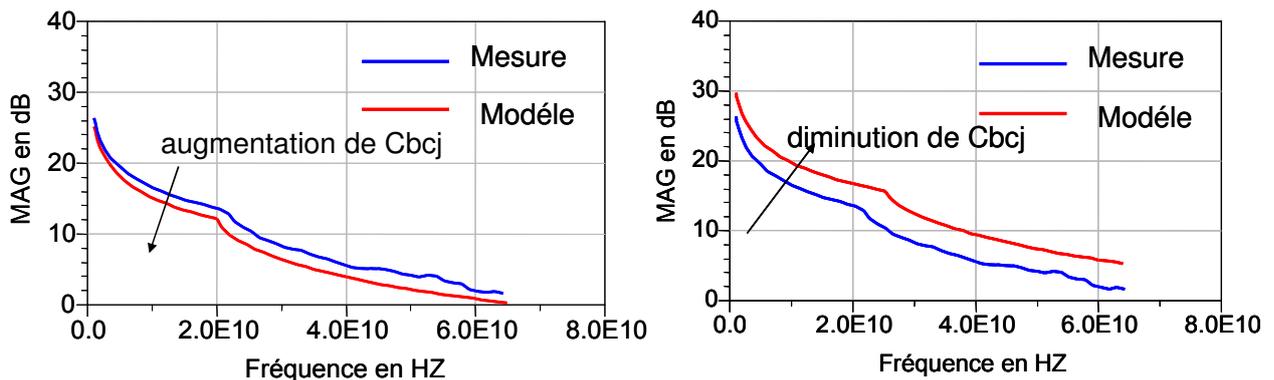


Figure 58 : Influence de la capacité Cbc sur le gain en puissance

Cela permet d'ajuster cette capacité de jonction Cbc pour avoir une bonne concordance entre le modèle et les mesures.

La deuxième étape consiste à extraire la capacité de diffusion base émetteur:

La capacité de diffusion base émetteur est représentée par la charge :

$$Q_{bed} = \tau_f \cdot I_C \cdot (1 - F_{cd}) \quad (11) \text{ avec } \tau_f = \tau_{f0} \cdot (1 - V_{bcinv} \cdot V_{BC}) \cdot (1 - I_{cinv} \cdot I_C) \quad (12)$$

L'extraction de la capacité de diffusion base émetteur se fait en deux temps.

Dans un premier temps des mesures de paramètre S sont effectuées dans une zone à Vce fixe correspondant à la zone hachurée de la figure 59.

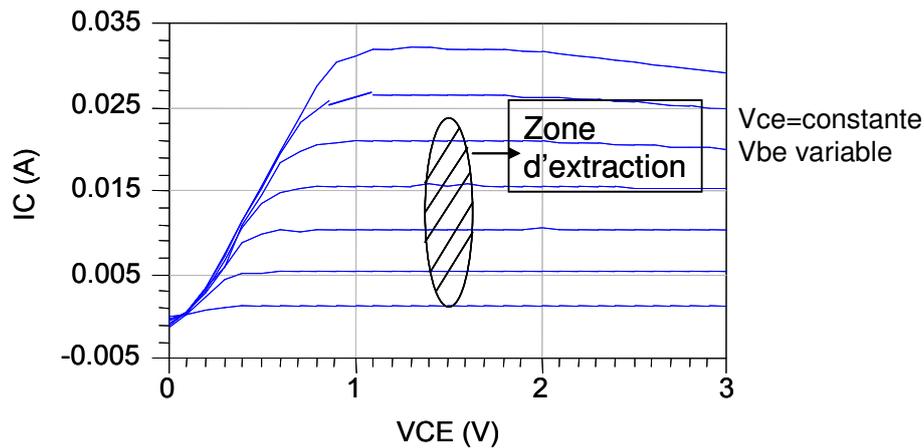


Figure 59 : Zone d'extraction de la capacité de diffusion  $C_{bed}$

Cela permet d'avoir une capacité base collecteur peu dépendante du point de polarisation donc cela permet d'isoler la capacité base émetteur.

L'extraction se fait en utilisant le paramètre  $Z_{12}$  du circuit électrique équivalent du transistor.

Le paramètre  $Z_{12}$  dépend essentiellement de la capacité base émetteur, de la résistance  $R_e$  et de la résistance dynamique de la diode base émetteur. Les deux résistances sont déjà fixées par le modèle convectif. Les paramètres de l'équation  $Q_{bed}$  sont alors ajustés jusqu'à obtenir une concordance entre modèle et mesure pour le paramètre  $Z_{12}$ .

Les résultats de comparaison sont donnés figure 60.

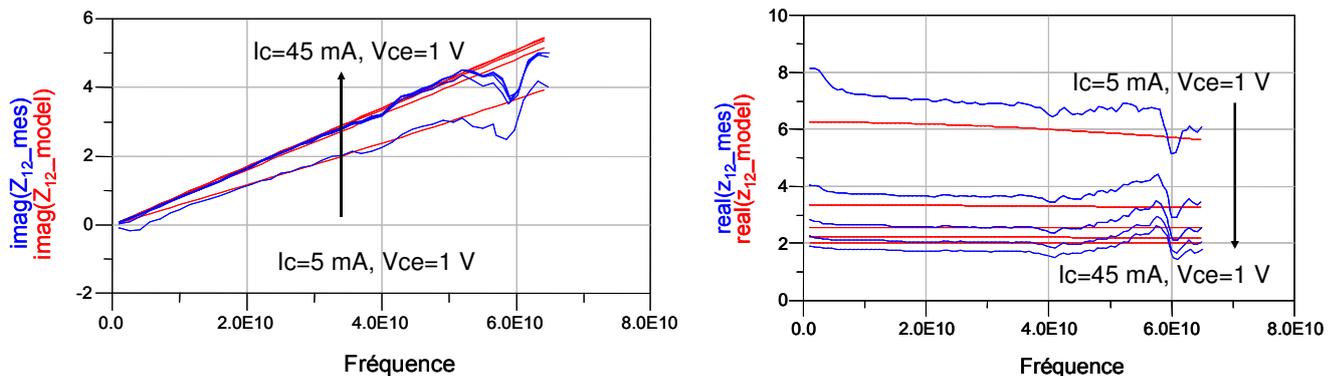


Figure 60 : comparaison modèle/mesure pour le paramètre  $Z_{12}$ .

La deuxième étape consiste à faire des mesures de paramètres S à faible courant  $I_c$ . Cela correspond à la zone hachurée de la figure 61.

Le paramètre  $v_{bcinv}$  de l'équation 12 est ajusté en utilisant la courbe de la fréquence de transition  $F_T$  en fonction de  $V_{ce}$  figure 62 :

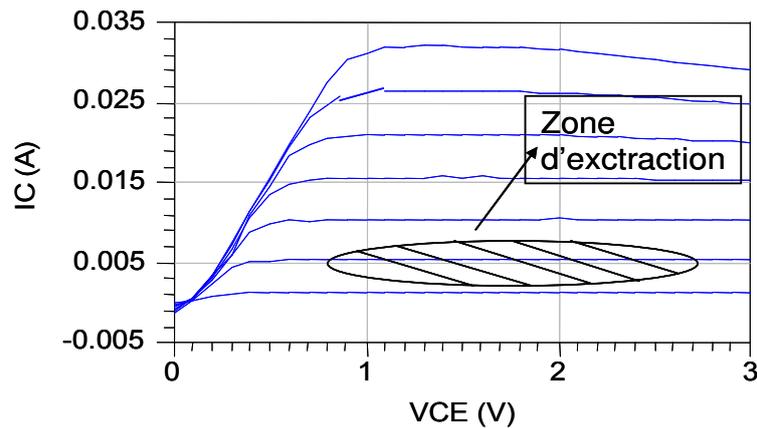


Figure 61: Zone d'extraction de la capacité  $C_{bcd}$

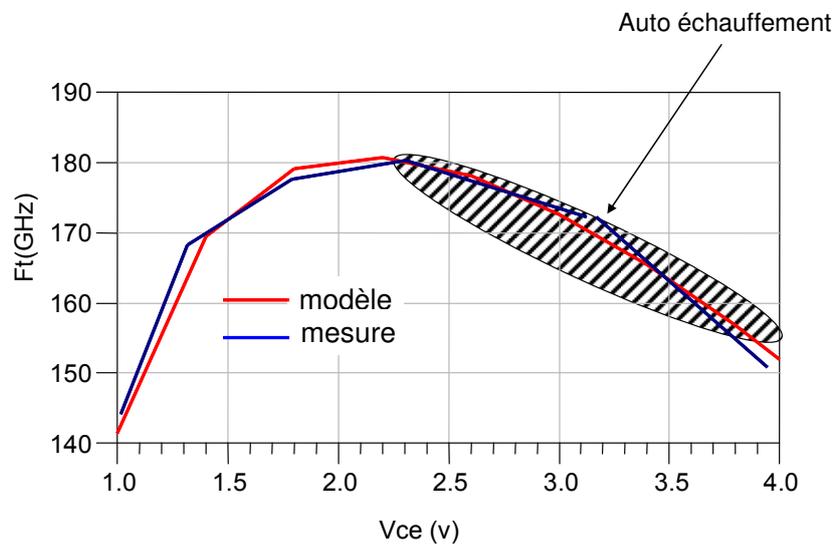


Figure 62: Comparaison modèle /mesures de  $F_t$  en fonction de  $V_{ce}$

Les effets non quasi statiques sont représentés par une transcapacité base collecteur. Une transcapacité représente une quantité de charge ( $Q_{bc\_tran}$ ) stockée dans la base du transistor et qui dépend de la tension base émetteur aux bornes de la diode de commande base-emetteur [18],[19],[20].

La quantité de charge  $q_{bc\_tran}$  est généralement de l'ordre de  $1/3$  de la quantité de charge base émetteur  $q_{bed\_diff}$ . Cela signifie que la quantité de charge  $q_{bc\_tran}$  est connue une fois que  $q_{be\_diff}$  est déterminée.

Le gain disponible en puissance MAG est sensible à la capacité base émetteur  $C_{be}$ , comme l'indique la figure 63.

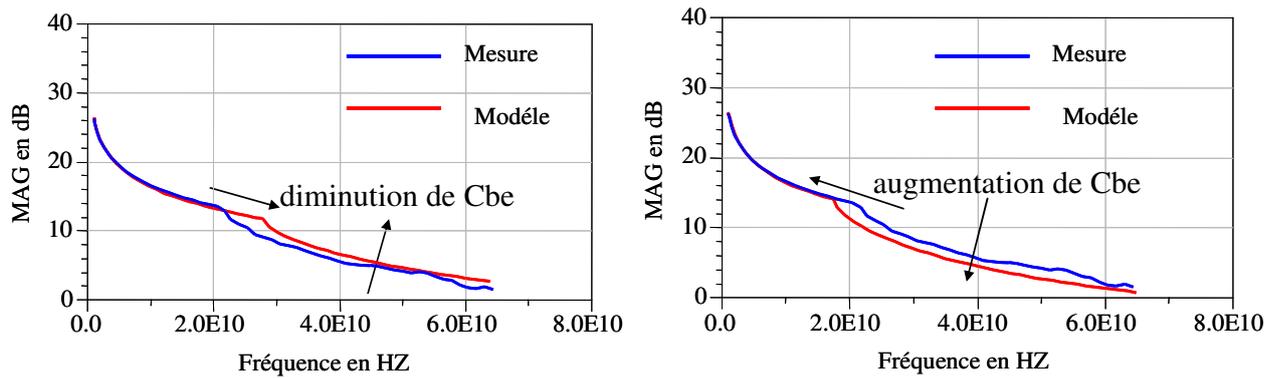


Figure 63: influence de Cbe sur le gain disponible en puissance MAG

Cet effet peut être utilisé pour faire des ajustements additionnels.

### II.3.6. Modélisation de l'effet kirk :

L'effet kirk est modélisé par un temps de transit qui augmente en fonction du courant de collecteur.

L'équation du temps de transit dépendant de l'effet kirk est le suivant :

$$Q_{bek} = \tau_k \cdot I_C \cdot (1 - F_{ck}) \quad (13)$$

La courbe de la fréquence de transition en fonction du courant de collecteur semble être très utile pour évaluer l'effet kirk.

La fréquence de transition augmente en fonction du courant de collecteur mais à partir d'une certaine limite elle commence à chuter à cause de l'effet kirk. La forte injection de porteurs dans la zone de charge d'espace (base-collecteur) modifie la charge totale dans cette zone. Par conséquent le profil du champ électrique diminue ce qui allonge le temps de transit. La quantification de cet effet se fait en superposant les courbes de Ft en fonction de Ic issues des simulations avec leurs homologues issues des mesures pour de forts courant de collecteur. On règle les deux paramètres de l'équation (13) jusqu'à l'obtention d'une bonne concordance entre simulation et mesure.

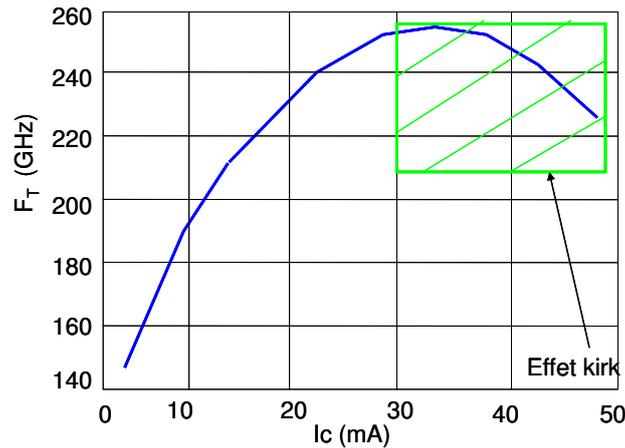


Figure 64 : zone d'extraction des paramètres de l'effet kirk (zone hachuré)

### II.3.7. Dépendance thermique des éléments et mesure d'un miroir de courant.

La dépendance thermique des capacités est établie par les équations mais n'a pas été mesurée en tant que telle car il faudrait des [S] en impulsions étroites 40 ns.

Un circuit de test intéressant pour valider les dépendances thermique des éléments conductifs est le miroir de courant tel que représenté figure 65.

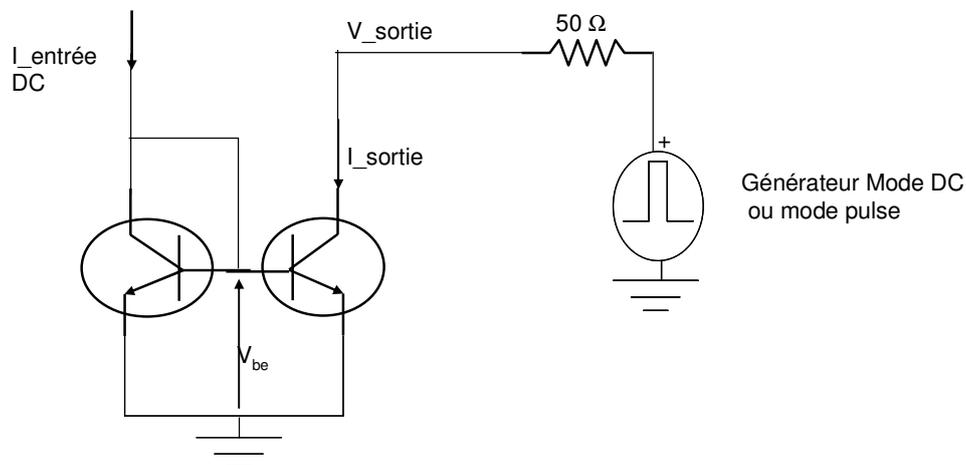


Figure 65: Caractérisation d'un miroir de courant

Des mesures en mode DC du courant de sortie  $I_{\text{sortie}}$  en fonction du courant d'entrée  $I_{\text{entrée}}$  paramétrées en tension de sortie  $V_{\text{sortie}}$  révèlent un problème de divergence et donc de limite de fonctionnement correct du miroir de courant comme indiqué figures 66 et 67 dans le cas d'un miroir avec 2 transistors  $1 \times 1.5 \mu\text{m} \times 20 \mu\text{m}$  et d'un miroir avec 2 transistors  $1 \times 1.5 \mu\text{m} \times 15 \mu\text{m}$

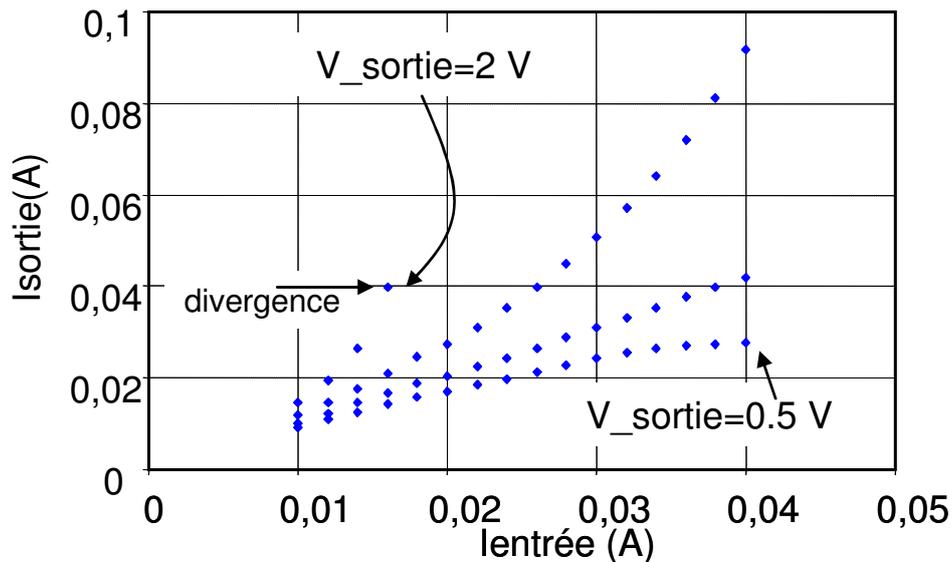


Figure66 : Miroir 1\*1.5µm\*20µm  $I_{\text{sortie}}$  en fonction de  $I_{\text{entrée}}$  pour  $V_{\text{sortie}}$  allant de 0.5 V à 2 V par pas de 0.5 V mode DC

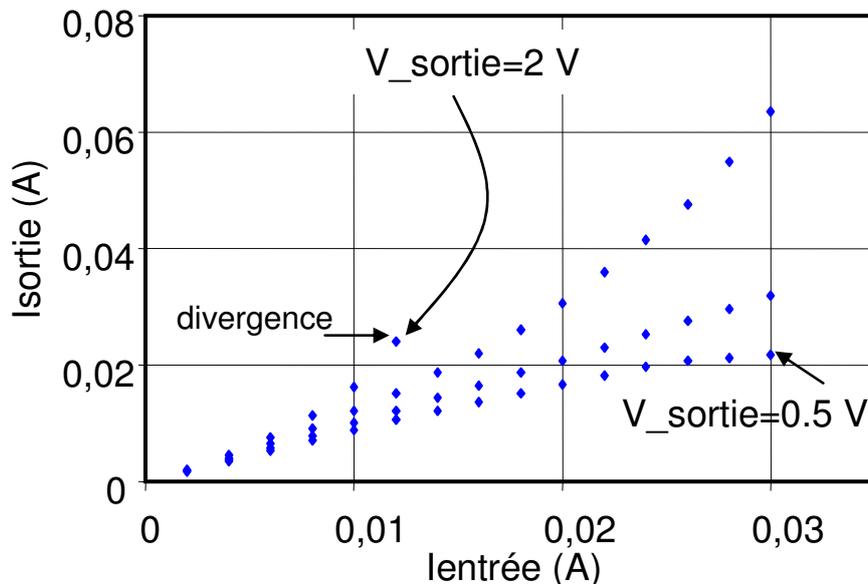


Figure 67 : Miroir 1\*1.5µm\*15µm :  $I_{\text{sortie}}$  en fonction de  $I_{\text{entrée}}$  pour  $V_{\text{sortie}}$  allant de 0.5 V à 2 V par pas de 0.5 V mode DC

Ce phénomène s'explique par une différence d'état thermique des deux transistors du miroir du à une différence de configuration électrique des deux transistors. Un transistor travaille à  $V_{\text{ce}}=V_{\text{be}}$  et pas l'autre.

Etant donné que le moindre déséquilibre thermique entre les deux transistors constituant le miroir de courant peut affecter le fonctionnement global du miroir de courant, le modèle thermique doit être assez précis pour pouvoir prévoir le comportement observé en mesure.

La mesure en mode impulsif du miroir de courant consiste à utiliser le générateur d'impulsion étroite en sortie du miroir du courant comme indiqué figure 65.

Pour caractériser ce phénomène de divergence afin qu'il soit pris en compte par le modèle électrothermique, le miroir de courant a été mesuré en mode impulsif avec des impulsions étroites de largeur égale à 70 ns. Le courant  $I_{entrée}$  est en mode DC.

Ces mesures ont montré que pour des impulsions courtes « 70 ns », le courant de sortie suit une caractéristique linéaire en fonction du courant d'entrée pour différentes tensions de sortie allant de 0.5 Volt jusqu'à 2 Volts comme le montrent les figures 68 et 69 :

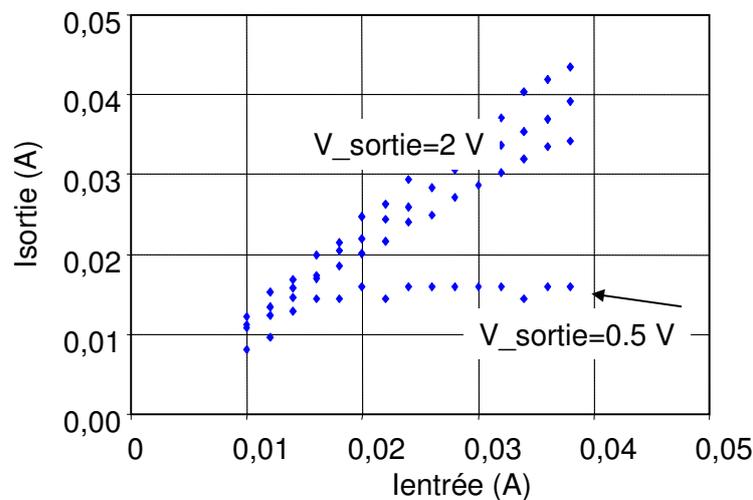


Figure 68 Miroir  $1*1.5\mu\text{m}*20\mu\text{m}$ :  $I_{sortie}$  en fonction de  $I_{entrée}$  pour  $V_{sortie}$  allant de 0.5 V à 2 V par pas de 0.5 V mode Pulsé (largeur d'impulsion = 70 ns)

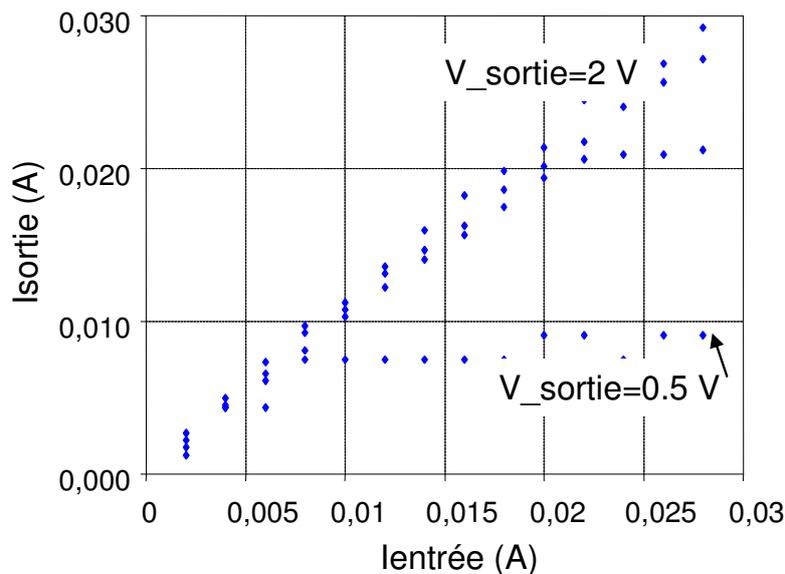


Figure 69 : Miroir  $1*1.5\mu\text{m}*15\mu\text{m}$ :  $I_{sortie}$  en fonction d' $I_{entrée}$  pour  $V_{sortie}$  allant de 0.5 V à 2 V par pas de 0.5 V mode Pulsée (largeur d'impulsion = 70 ns)

### II.3.8. Modélisation de cet effet

Comme cette caractéristique de divergence disparaît pour les impulsions courtes et qu'elle apparaît pour des impulsions longues (400 ns) de la même façon que pour un fonctionnement DC, cela mène à déduire que cette divergence est liée en principe à l'auto échauffement car c'est le facteur principal qui varie en fonction de la largeur des impulsions.

Le modèle de transistor décrit précédemment ne permet pas de reproduire les caractéristiques et limites de fonctionnement du miroir de courant dans les cas de forts auto échauffements comme le montre la figure 70.

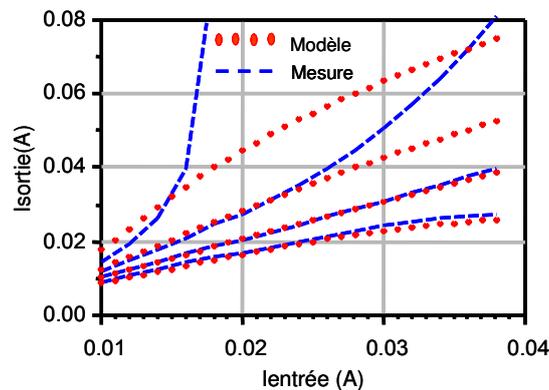


Figure 70 :  $I_{\text{sortie}}$  en fonction de  $I_{\text{entrée}}$  pour  $V_{\text{ce}}$  allant de 0.5 V à 2 V par pas de 0.5 V

Nous avons pu modéliser ce phénomène en implémentant une dépendance thermique des résistances  $R_e$  et  $R_c$  par l'expression suivante  $R = R_0 * \exp(-\frac{(T_j - 25)}{\alpha})$ .

Les deux figures 71,72 montrent l'allure modélisée des résistances d'émetteur et de collecteur en fonction de la température pour un transistor  $1*1.5*20 \mu\text{m}$

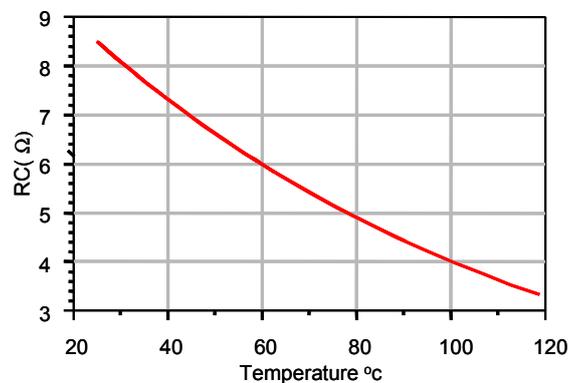


Figure 71 : Résistance de collecteur  $R_c$  vs température pour un transistor  $1*1.5*20\mu\text{m}$

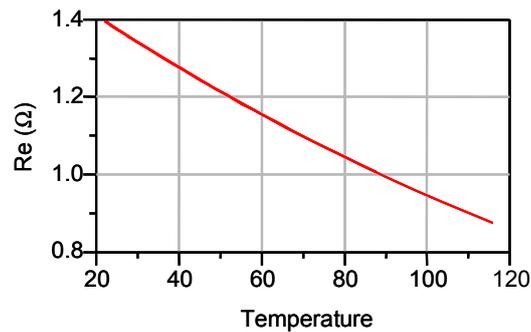


Figure 72: Résistance d'émetteur  $R_e$  vs température pour T20RA20

Avec cette modification dans le modèle, le phénomène de divergence du courant observé en mesure est reproduit par le modèle Figure 73.

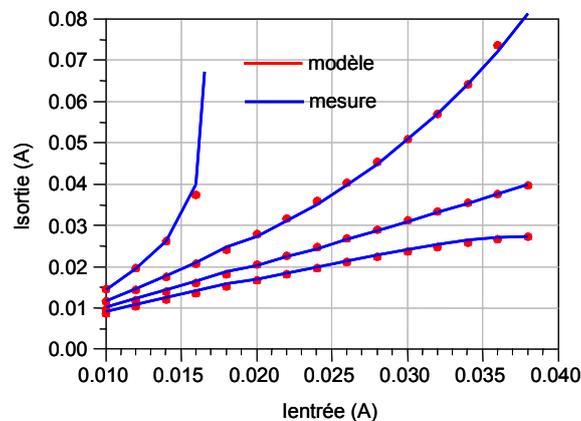


Figure 73:  $I_{\text{sortie}}$  vs  $I_{\text{entrée}}$  avec dépendance thermique des résistances extrinsèques.

Ce point particulier a fait l'objet d'une publication[21].

## II.4. Validation du modèle en fort signal :

La validation grand signal du modèle non linéaire comprend deux étapes :

### II.4.1. Mesures de caractéristiques de puissance.

Afin de valider le modèle non linéaire, une comparaison est effectuée entre le modèle et des mesures en puissance de type (AM-AM) et (AM-PM). Ces mesures sont faites pour des impédances de fermeture de  $50 \Omega$  et à une fréquence de 10 GHz.

Les figures 74 a,b montrent des caractéristiques de puissance entrée-sortie mesurées et simulées pour deux points de polarisation différents du transistor  $1 \times 0.7 \mu\text{m} \times 10 \mu\text{m}$ .

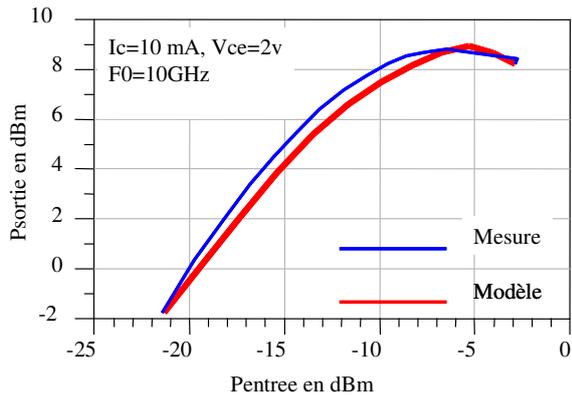


Figure 74..a

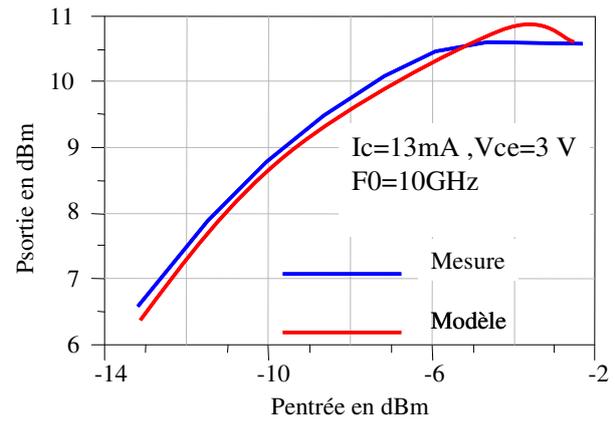


Figure 74..b

Figure74 : Caractéristiques de puissance : transistor 1\*0.7 $\mu$ m\*10 $\mu$ m.

Les figures 75 a,b montrent des caractéristiques de rendement mesurées et simulées pour deux points de polarisation différents du transistor 1\*0.7 $\mu$ m\*10 $\mu$ m.

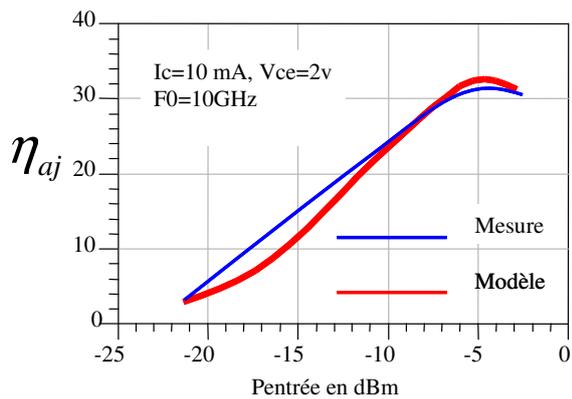


Figure75.a

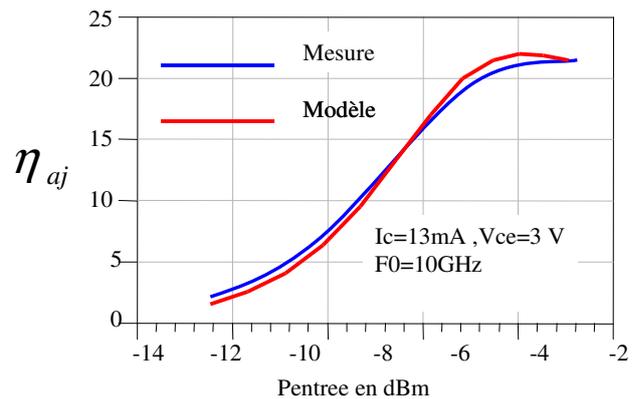


Figure75.b

Figure 75: Caractéristiques de rendement du transistor 1\*0.7 $\mu$ m\*10 $\mu$ m.

Les figures 76 a,b montrent des caractéristiques de conversion de phase (AM/PM) mesurées et simulées pour deux points de polarisation différents du transistor 1\*0.7 $\mu$ m\*10 $\mu$ m.

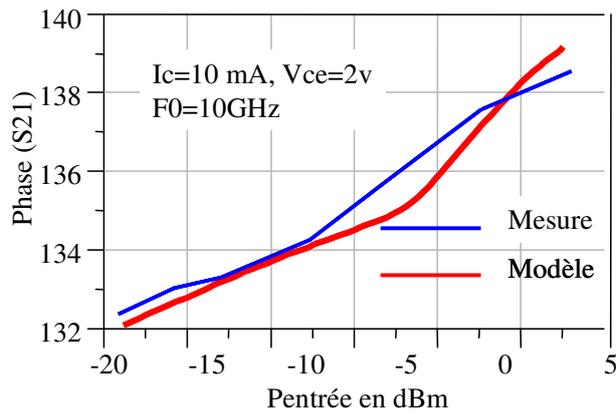


Figure 76.a

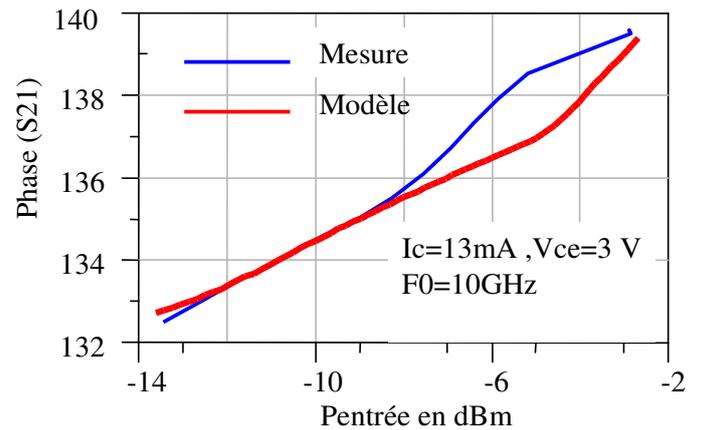


Figure 76.b

Figure 76: Caractéristiques AM/PM du transistor  $1 \times 0.7 \mu\text{m} \times 10 \mu\text{m}$ .

Les comparaisons entre mesures et simulations montrent une bonne qualité de modélisation. Il conviendrait cependant de mener ces comparaisons pour un plus grand nombre d'états de polarisations.

#### II.4.2. Validation des formes temporelles

La validation grand signal du modèle non linéaire se fait par la comparaison entre mesures et simulations des formes temporelles des tensions et courants à l'entrée et à la sortie du transistor. Cette comparaison est effectuée pour une fréquence d'excitation de 1 GHz du générateur de peigne. La simulation est effectuée en utilisant le logiciel de CAO « ADS ». Pour effectuer la simulation dans les mêmes conditions que les mesures, le signal d'excitation en simulation doit être le plus proche possible de celui utilisé en mesure. Afin de reproduire exactement les conditions de mesure, la tension d'entrée  $V_{be}$  mesurée est prise comme une référence c'est-à-dire que le signal d'excitation du transistor en simulation est le même que la tension d'entrée  $V_{be}$  mesurée. Sous ADS on utilise une série de générateurs dont on précise la fréquence, l'amplitude et la phase afin de reconstruire  $V_{be}$  mesuré.

Dans le cadre de la simulation, la résistance interne de ces générateurs est nulle pour que la tension résultante soit appliquée directement sur l'entrée du transistor. La charge placée en sortie du transistor correspond au rapport de  $(-V_{ce}/I_c)$  mesuré. La partie réelle de cette charge est proche de  $50 \Omega$ . La partie imaginaire n'est pas nulle à cause de la capacité du té de polarisation utilisé en mesure qui ne correspond pas à un court circuit parfait pour le signal RF.

Le principe de simulation est illustré figure 77.

Pour ce signal d'excitation  $V_{be}(t)$  donné, les réponses  $i_b(t)$ ,  $v_{ce}(t)$ ,  $i_c(t)$  sont simulées et comparées aux mesures.

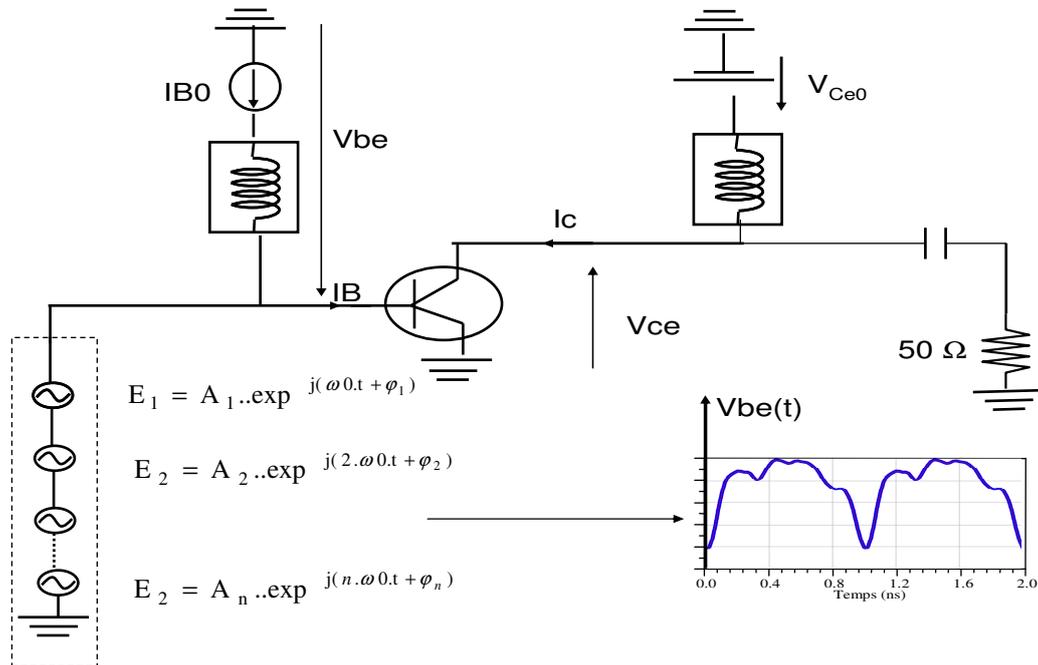


Figure77 : principe de la simulation sous ADS

Les résultats de ces comparaisons pour un transistor  $1 \times 0.7 \mu\text{m} \times 10 \mu\text{m}$  et un point de polarisation ( $V_{be} = -1.5 \text{ V}$ ,  $V_{ce} = 1.35 \text{ V}$ ) correspondant à un mode bloqué sont donnés figures 78,79,80,81.

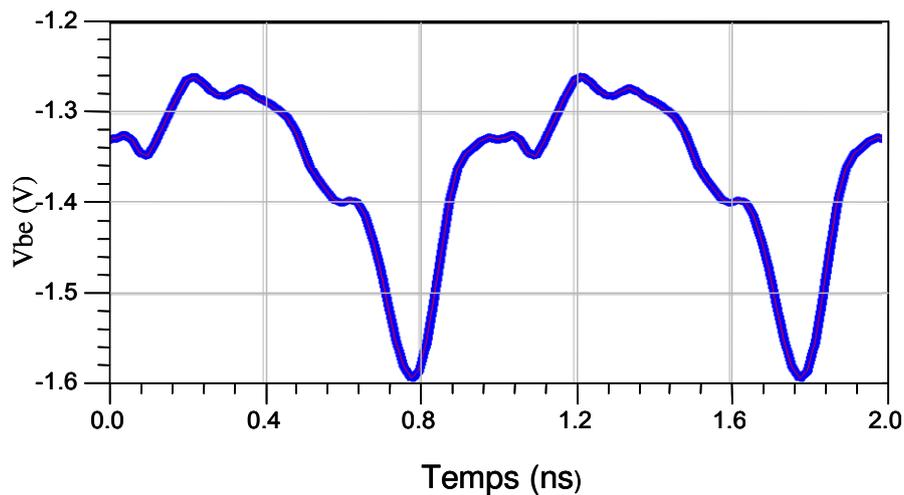


Figure78 : Forme d'onde temporelle de la tension  $V_{be}(t)$  à l'entrée du transistor  $1 \times 0.7 \mu\text{m} \times 10 \mu\text{m}$  à ( $V_{be} = -1.5 \text{ V}$ ,  $V_{ce} = 1.35 \text{ V}$ )

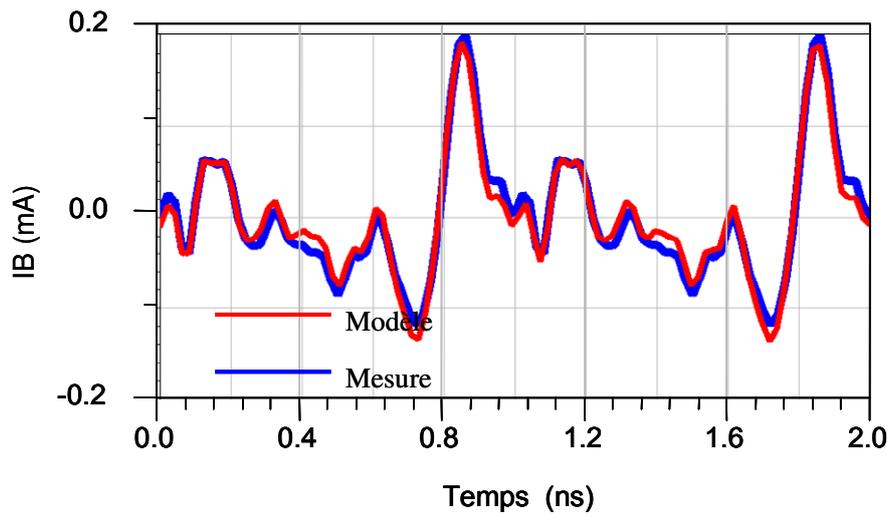


Figure79: Forme d'onde temporelle du courant  $I_B(t)$  à l'entrée du transistor  $1 \times 0.7 \mu\text{m} \times 10 \mu\text{m}$  à ( $V_{be} = -1.5 \text{ V}$ ,  $V_{ce} = 1.35 \text{ V}$ )

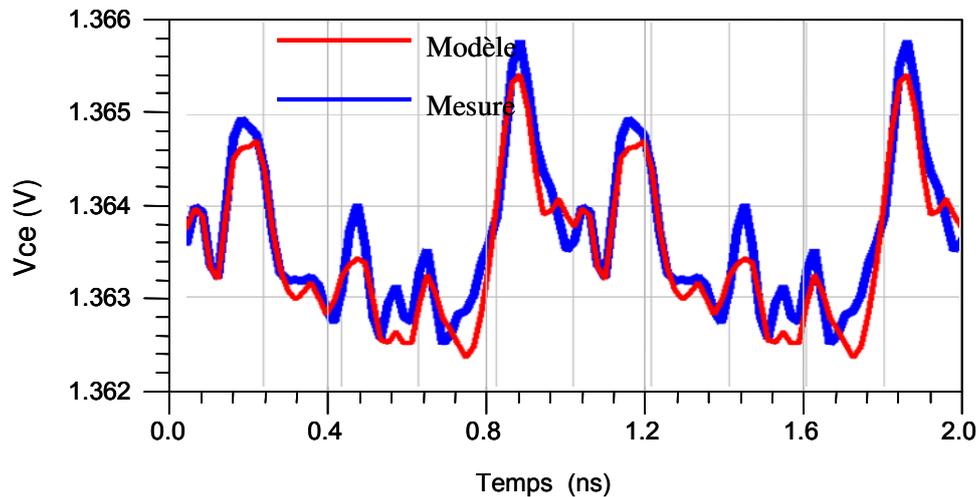


Figure80 : Forme d'onde temporelle de la tension  $V_{ce}(t)$  à l'entrée du transistor  $1 \times 0.7 \mu\text{m} \times 10 \mu\text{m}$  à ( $V_{be} = -1.5 \text{ V}$ ,  $V_{ce} = 1.35 \text{ V}$ )

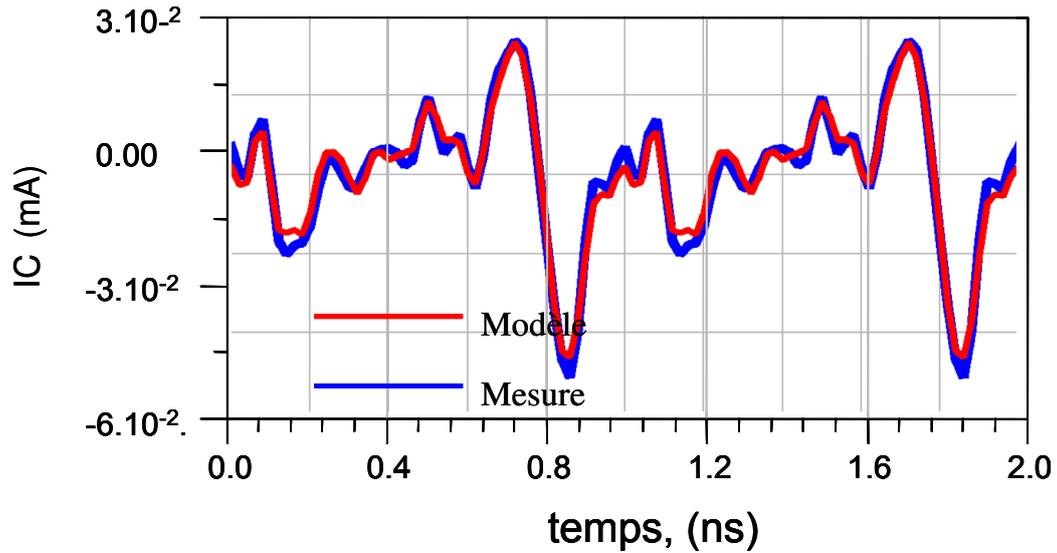


Figure81 : Forme d'onde temporelle de la tension  $I_c(t)$  en sortie du transistor  $1 \cdot 0.7 \mu\text{m} \cdot 10 \mu\text{m}$  à ( $V_{be} = -1.5 \text{ V}$ ,  $V_{ce} = 1.35 \text{ V}$ )

Les résultats des comparaisons pour un transistor  $1 \cdot 0.7 \mu\text{m} \cdot 10 \mu\text{m}$  et un point de polarisation ( $I_c = 10 \text{ mA}$ ,  $V_{ce} = 1.5 \text{ V}$ ) correspondant à un mode passant sont donnés figures 82,83,84,85.

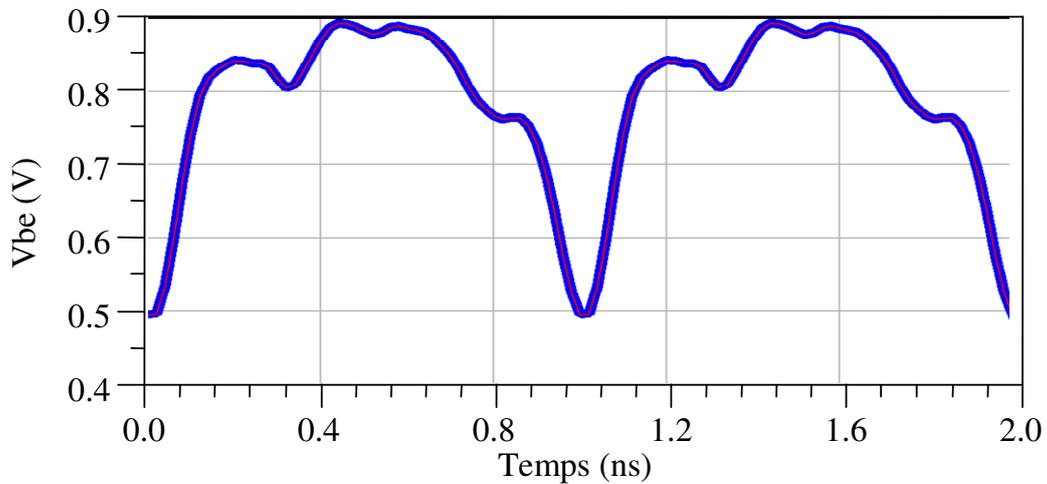


Figure 82 : Forme d'onde temporelle de la tension  $V_{be}(t)$  à l'entrée du transistor  $1 \cdot 0.7 \mu\text{m} \cdot 10 \mu\text{m}$  à ( $I_c = 10 \text{ mA}$ ,  $V_{ce} = 1.5 \text{ V}$ )

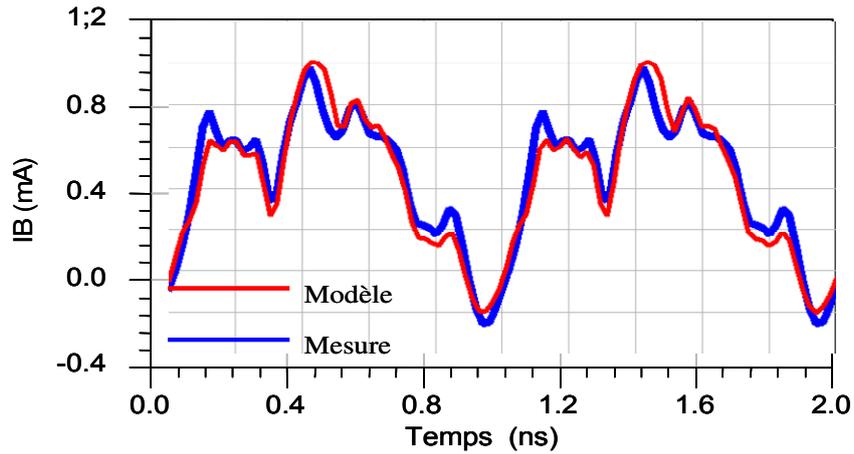


Figure 83: Forme d'onde temporelle du courant  $I_B(t)$  à l'entrée du transistor  $1 \times 0.7 \mu\text{m} \times 10 \mu\text{m}$  à ( $I_c=10 \text{ mA}$ ,  $V_{ce}=1.5 \text{ V}$ )

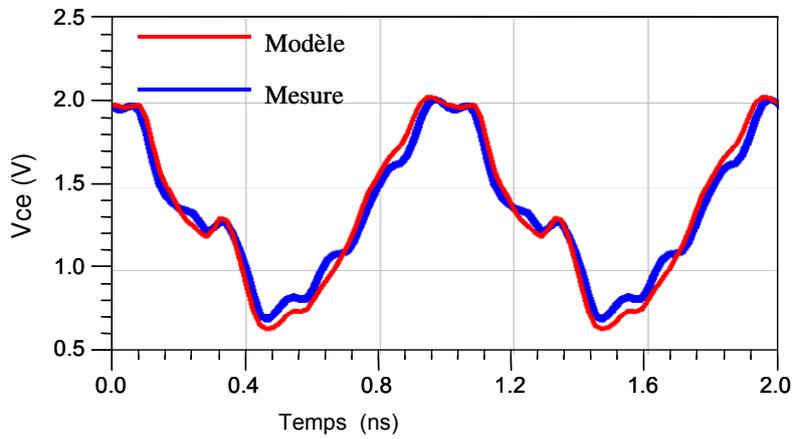


Figure 84 : Forme d'onde temporelle de la tension  $V_{ce}(t)$  à l'entrée du transistor  $1 \times 0.7 \mu\text{m} \times 10 \mu\text{m}$  à ( $I_c=10 \text{ mA}$ ,  $V_{ce}=1.5 \text{ V}$ )

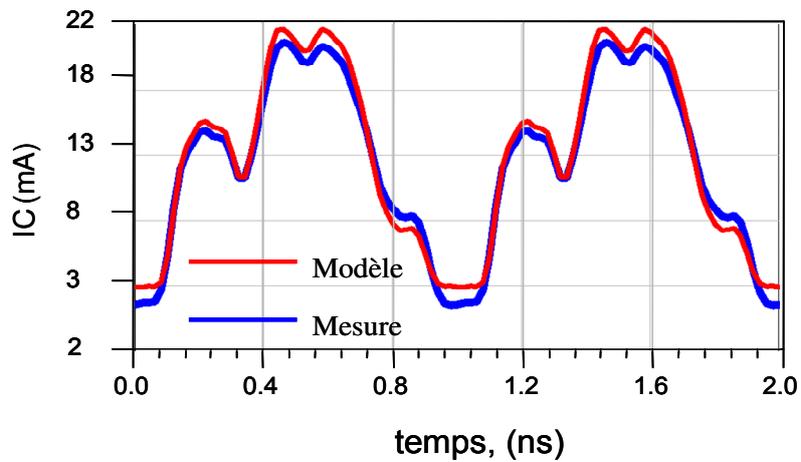


Figure 85 : Forme d'onde temporelle de la tension  $I_c(t)$  en sortie du transistor  $1 \times 0.7 \mu\text{m} \times 10 \mu\text{m}$  à ( $I_c=10 \text{ mA}$ ,  $V_{ce}=1.5 \text{ V}$ )

Ces comparaisons entre mesures et simulations sont de bonne qualité.

Il conviendrait cependant d'approfondir en effectuant des mesures temporelles avec un générateur d'impulsions d'amplitude et/ou de polarité variable.

## **II.5. Conclusion :**

Dans ce chapitre la procédure de modélisation de TBH InP est donnée. Le modèle grand signal convectif est extrait à partir de mesures I/V. Le modèle non linéaire complet est extrait en utilisant les paramètres [S] multi polarisations. Des mesures impulsionnelles de largeur 40 ns ont permis de caractériser et d'effectuer une modélisation électrothermique relativement précise des transistors. Une mesure d'un miroir de courant en mode impulsionnel a constitué un véhicule de test pertinent pour des aspects électrothermiques. Des caractérisations fort signal de type fréquentiel et temporel complètent ces étapes de modélisation et de validation. Le prochain chapitre va être consacré à des simulations du cœur d'une fonction d'échantillonnage utilisant les modèles de transistor en technologie 1.5  $\mu\text{m}$ .

## Bibliographie :

- [1] Jean pierre teyssier: "Des instruments et des méthodes pour la caractérisation non linéaire électrique des transistors micro-ondes", juillet 2007.
- [2] Parker, A.E and Rathmeli "Measurement and characterization of HEMT dynamics", IEEE Transactions on Microwave Theory and Techniques, Volume 49, Issue 11, Nov 2001, pp.2105 – 2111
- [3] C. Charbonniaud, T. Gasseling, S. De Meyer, R. Quéré, J.P. Teyssier, D. Barataud, J.M Nébus, T. Martin, B. Grimbert, V. Hoel, N. Caillas, E. Morvan, "Power Performance Evaluation of AlGaIn/GaN HEMTs through Load Pull and Pulsed I-V Measurements", GAAS 2004, 11-12 Oct,2004 Amsterdam.
- [4] Saleh A;Neveux G ; Barataud D; Nebus J. M.; Teyssier J. P; Quere R. Bouvier Y; Godin J; Riet M.;"40 ns pulsed I/V setup and measurement method applied to InP HBT characterisation", revue electronic letter 2009, vol. 45, no5, pp. 286-287.
- [5] Ratni, M.; Huyart, B.; Bergeault, E.; Jallet, L.  
"RF power detector using a silicon MOSFET", Microwave Symposium Digest, 1998 IEEE MTT-S International, Volume 2, Date: 7-12 Jun 1998, Pages: 1139 - 1142 vol.2
- [6] Tony GASSELING : thèse : Caractérisation non linéaire avancée de transistors de puissance pour la validation de leur modèle CAO.  
2003,<http://www.unilim.fr/theses/2003/sciences/2003limo0041/gasseling.pdf>
- [7] Denis BARATAUD : « Etude et conception de systèmes de caractérisation fonctionnelle dans le domaine temporel des transistors de puissance radiofréquences et microondes ». Thèse soutenue le 13 octobre 1998 à L'université de limoges, numéro d'ordre 42-98.
- [8] M. El yaagoubi, 'Contribution `a la caract´erisation temporelle de dispositifs microondes non-linéaires. application `a des signaux de type multi-porteuses large bande'', Ph.D. dissertation, Université de Limoges, 2006.
- [9] F. De Groote, J. Verspecht, C. Tsironis, D. Barataud, and J.-P. Teyssier, "An improved coupling method for time domain load-pull measurements," in ARFTG Conference Digest, 2005. Spring 2005. 65th, 17 June 2005, p. 4pp.
- [10] Abouchahine, M.; Saleh, A.; Neveux, G.; Reveyrand, T.; Teyssier, J.P.; Barataud, D.; Nebus, J.M.; 'Broadband time-domain measurement system applied to the characterization of cross-modulation in nonlinear microwave devices', International Microwave Symposium Digest, 2009, 7-12 June 2009 Page(s):1201 - 1204
- [11] HDR Denis Barataud : " « Evolution et développement de techniques de caractérisation de composants, circuits et sous-systèmes microondes non linéaires : du domaine fréquentiel au domaine temporel" , 2009

- [12] Teeter, D.A. Curtice, W.R. Res. Labs., Raytheon Electron., Andover, MA, "Comparison of hybrid pi and Tee HBT circuit topologies and their relationship to large signal modeling", IEEE MTT-S International, Jun 1997, Volume: 2, page(s): 375-378
- [13] Olivier Jardel: "Contribution à la modélisation des transistors pour l'amplification de puissance aux fréquences microondes. Développement d'un nouveau modèle électrothermique de HEMT AlGaIn/GaN incluant les effets de pièges": [http://www.unilim.fr/theses/2008/sciences/2008limo4003/jardel\\_o.pdf](http://www.unilim.fr/theses/2008/sciences/2008limo4003/jardel_o.pdf)
- [14] Grossman, P.C. Choma, J., Jr. "Large signal modeling of HBT's including self-heating and transit-time effects", Microwave Theory and Techniques, IEEE Transactions on, Publication Date: Mar 1992, Volume: 40, Issue: 3, page(s): 449-464
- [15] G.Hanington, C.E. Change, P.J.Zampardi and M.Asbeck: "Thermal effects in HBT emitter resistance extraction", Electronic letter Vol 32, Page 16, 1996
- [16] Johansen, T. Krozer, V. Hadziabdic, D. Chenhui Jiang Konczykowska, A. Dupuy, J.-Y. "IEEE A Novel Method for HBT Intrinsic Collector Resistance Extraction from S-Parameters", 2007, page(s): 1-4
- [17] Sheinman, B. Wasige, E. Rudolph, M. Doerner, R. Sidorov, V. Cohen, S. Ritter, D. , "A peeling algorithm for extraction of the HBT small-signal equivalent circuit", IEEE Transactions, Dec 2002, Volume: 50, Issue: 12, On page(s): 2804- 2810.
- [18] Fossum, J.G. Veeraraghavan, S. "Partitioned-charge-based modeling of bipolar transistors for non-quasi-static circuit simulation"; Electron Device Letters, IEEE , Date: Dec 1986, Volume: 7, Issue: 12, page(s): 652- 654
- [19] Fraysse, J.P. Floriot, D. Auxemery, P. Campovecchio, M. Quere, R. Obregon, J. "A non-quasi-static model of GaInP/AlGaAs HBT for power applications", Microwave Symposium Digest, 1997., IEEE MTT-S International, Date: 8-13 Jun 1997 Volume: 2, page(s): 379-382
- [20] Cherepko, S.V. Hwang, J.C.M. "Implementation of nonquasi-static effects in compact bipolar transistor models", IEEE Transactions, Dec. 2003 , Volume: 51, Issue: 12, page(s): 2531- 2537
- [21] A.Saleh, M. Abou Chahine, T.Reveyrand ,G. Neveux, D. Barataud, J.Michel Nebus, R. Quéré, Y.Bouvier\*, J .Godin,\* and M. Riet\* "340 ns Pulsed I/V Set-up and Measurement Method applied to InP HBT characterization and Electro-thermal modeling", Radio Frequency Integrated Circuits Symposium, IEEE RFIC, 7-9 June 2009, Page(s):401



# ***CHAPITRE III***

## ***APPLICATION A LA SIMULATION D'UNE FONCTION ECHANTILLONNAGE -BLOCAGE***

## I. Introduction

L'objectif de ce chapitre est d'appliquer le travail de modélisation présenté au chapitre II à la simulation des caractéristiques principales du cœur d'une fonction d'échantillonnage blocage large bande.

Avant d'exposer et de commenter les résultats de simulation, nous allons décrire de manière synthétique

- L'objectif et l'application de l'échantillonnage –blocage large bande

- Les principes généraux de l'échantillonnage direct et du sous échantillonnage

- Les facteurs de mérite associés à cette fonction.

## II. Echantillonnage large bande : Objectif et application

Le besoin de développer des récepteurs reconfigurables capables de recevoir et de traiter différents canaux de communications envisage la conversion analogique/ numérique des signaux reçus au plus près de l'antenne réception.

Pour effectuer la numérisation de ces signaux, des convertisseurs analogiques numériques de très haute rapidité et de haute résolution doivent être utilisés. Des fonctions de type échantillonneur bloqueur doivent donc être développées.

L'échantillonneur – bloqueur SH : (Sample and Hold ) ou TH ( Track and Hold ) est un élément critique de la chaîne de conversion analogique – numérique. Il permet de mémoriser l'amplitude d'un signal analogique pendant la durée nécessaire à sa numérisation par les convertisseurs analogique- numérique ( CAN ) situés en aval .

La résolution des CANs diminue irrémédiablement lorsque leur vitesse augmente. Pour repousser les limites de ce compromis vitesse / dynamique, plusieurs convertisseurs fonctionnant à vitesse moindre peuvent être utilisés en entrelacement temporel.

Le principe est illustré figure 1 [These gorisse.]

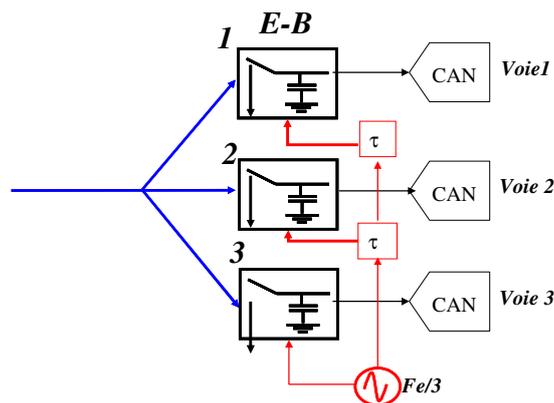


Figure 1 Principe d'entrelacement temporel de CANs

Théoriquement cette technique mettant en œuvre plusieurs échantillonneurs bloqueurs en parallèle commandés en temps décalés permet de diminuer la fréquence d'échantillonnage par voie et donc d'augmenter la résolution du système. En pratique plusieurs facteurs rendent difficile l'utilisation de l'entrelacement temporel. La réalisation d'un système de  $n$  voies est accompagnée de différences de phase et de gain vis à vis du signal d'entrée et du signal d'horloge de chaque échantillonneur. Les erreurs répétitives peuvent être quantifiées et compensées par un calibrage ou par un traitement numérique des valeurs échantillonnées [1], [2], [3].

Pour l'entrelacement temporel la bande passante des échantillonneurs bloqueurs doit être celle du système complet. Ce principe est utilisé dans des oscilloscopes disponibles commercialement (Tektronix et Agilent)[4],[5].

L'entrelacement fréquentiel dont le principe est présenté figure 2 constitue une alternative à l'entrelacement temporel

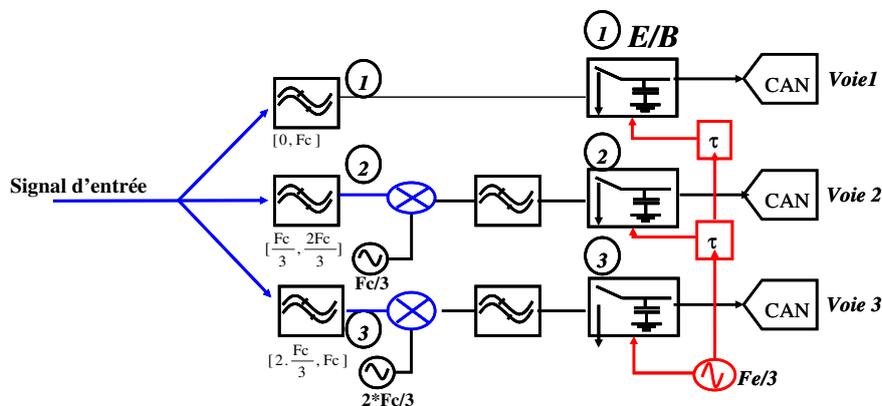


Figure 2 Principe d'entrelacement fréquentiel

La bande du signal analysé  $F_c$  est découpée en  $n$  sous bandes. Ces bandes sont translatées en basse fréquence avec une largeur de bande égale à  $F_c/n$ . Les signaux dans ces bandes sont ensuite numérisés. A chaque voie d'échantillonnage correspond  $k$  échantillons temporels donc  $k$  points de fréquence par transformée de Fourier discrète. Ainsi au système global à  $n$  voies, il correspond  $n.k$  échantillons temporels. On a donc une fréquence d'échantillonnage équivalente égale à  $n.f$ .

Cette solution est très lourde, aussi bien du point de vue matériel (filtres, mélangeurs, oscillateurs locaux) que du point de vue logiciel (traitement des compensations des effets analogiques et des raccordements de filtrage des sous bandes). La bande passante du système est  $n$  fois supérieure à celle des échantillonneurs bloqueurs. Ce principe est utilisé dans des oscilloscopes commercialisés par la société Lecroy [6].

Pour résumer, la problématique majeure de la fonction échantillonnage rapide réside dans le compromis entre bande passante, fréquence d'échantillonnage et dynamique.

La figure 3 montre le principe symbolique de recherche d'évolution d'une architecture de réception dite standard utilisant des translations de fréquence et des filtrages multiples vers une architecture dite de réception directe où la numérisation des signaux se fait au plus près de l'antenne de réception[7],[8],[9] ..

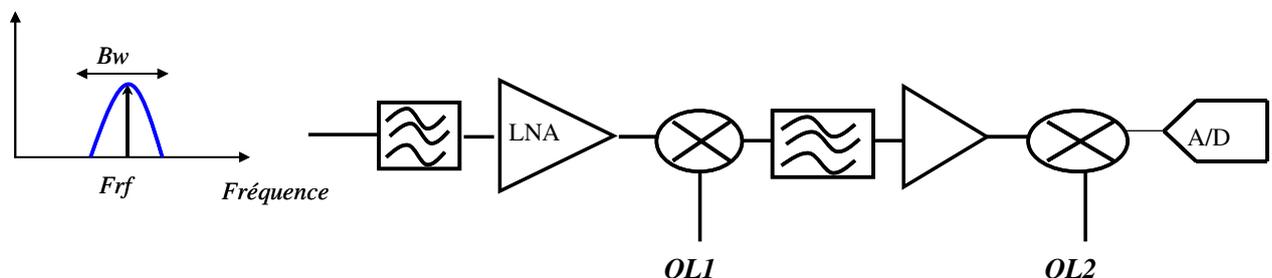


Figure 3.a: Récepteur standard

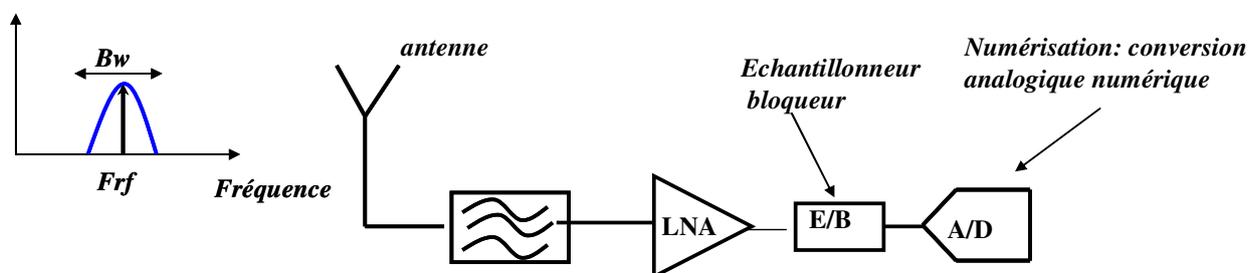


Figure3.b : Principe de réception directe

La technologie TBH InP qui possède un produit gain bande élevé ( $Ft$  élevée) et qui est de plus intrinsèquement linéaire en raison de la tension de claquage élevée des transistors (comparativement à la technologie CMOS ou SiGe) est une candidate potentielle pour la conception de fonctions d'échantillonnage large bande.

Nous allons maintenant faire un bref rappel du principe de l'échantillonnage puis présenter les principaux facteurs de mérite de cette fonction.

### III. Description de principe de l'échantillonnage:

On distingue l'échantillonnage direct et le sous échantillonnage

#### III.1. Echantillonnage direct

Considérons un signal micro-onde  $x(t)$  centré sur une fréquence porteuse  $F_0$  et de largeur de bande  $BW$ . On note  $F_{max}$  la fréquence maximale de son spectre  $F_{max} = F_0 + BW/2$ .

L'opération mathématique associée à l'échantillonnage est la multiplication du signal  $x(t)$  par un peigne de Dirac comme illustré figure 4.  $T_e = 1/F_e$  est la période d'échantillonnage.

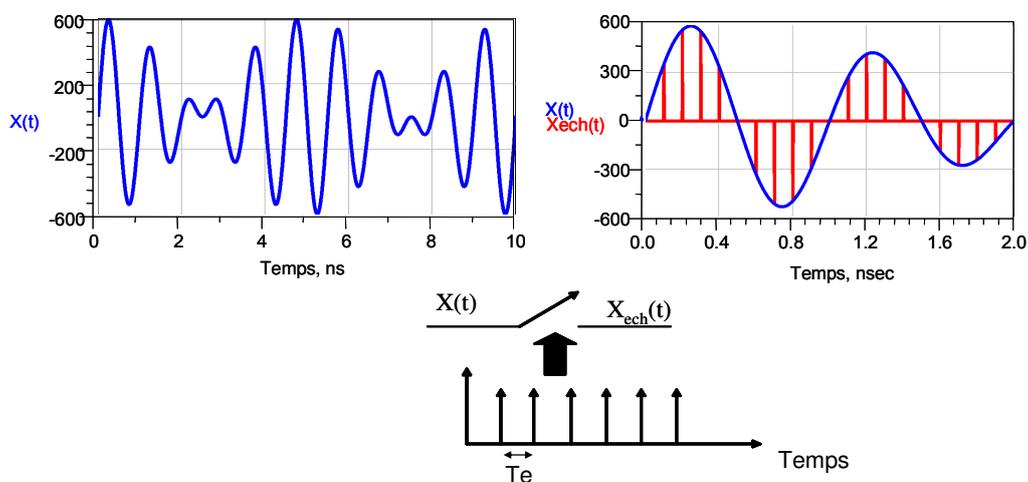


Figure4 : Illustration du principe d'échantillonnage direct

Le signal à temps discret ou échantillonné est lié au signal à temps continu par la relation suivante :

$$X_{ech}(t) = x(t) \cdot \left( \sum \delta(t - k \cdot T_e) \right).$$

Dans le domaine fréquentiel :  $X_{ech}(f) = X(f) \otimes \frac{1}{T_e} \left( \sum_{+\infty}^{-\infty} \delta(f - k \cdot F_e) \right)$

Le spectre du signal échantillonné est la périodisation du spectre du signal  $x(t)$  tous les  $k.F_e$  comme cela est illustré figure 5. On obtient de multiples répliques du spectre ayant chacune une énergie très faible

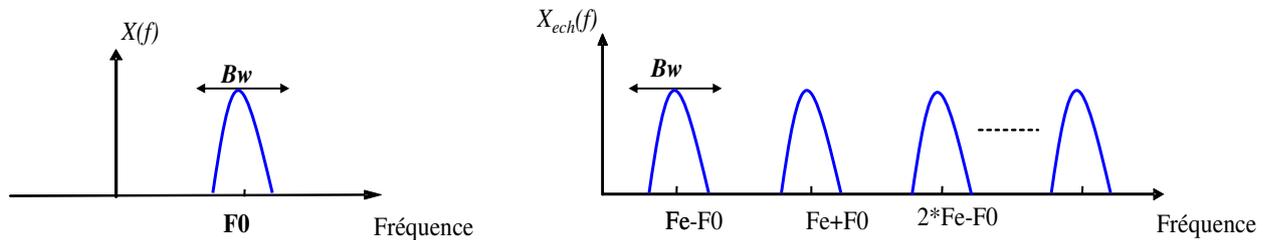


Figure 5: Périodisation théorique du spectre du signal échantillonné

D'après les conditions de Shannon il faut que la fréquence d'échantillonnage ( $F_e > 2 F_{\max}$ ) pour ne pas avoir de repliement de spectre ( Aliasing ).

La réalisation pratique de cette fonction pour laquelle  $F_e \gg 2F_{\max}$  soulève les problèmes de compromis entre la dynamique et la vitesse d'échantillonnage.

### III.2 Echantillonnage blocage

L'échantillonnage réel d'un signal analogique s'effectue avec un temps d'échantillonnage très court de manière à ce que la bande passante de cette fonction soit très large. Ainsi l'énergie contenue dans ce signal échantillonné est très faible. Il serait donc en l'état difficile à traiter.

Le blocage des valeurs du signal échantillonné permet d'avoir plus d'énergie dans le signal échantillonné.

Un échantillonneur bloqueur peut être représenté par le schéma de la figure 6.

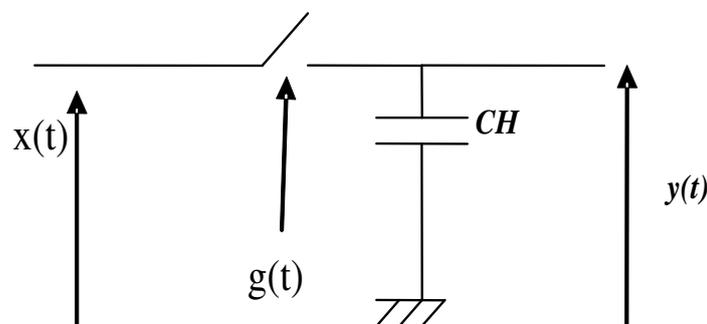


Figure 6 : Modèle équivalent d'un échantillonneur bloqueur

L'interrupteur commandé par  $g(t)$  présente une résistance  $R_{on}$  faible dans son état passant et un circuit ouvert dans son état bloqué . La capacité  $C_H$  est la capacité de maintien.

La constante de temps  $R_{on} \cdot C_H$  détermine la bande passante de l'échantillonneur.

Le signal échantillonné/bloqué est représenté figure 7.

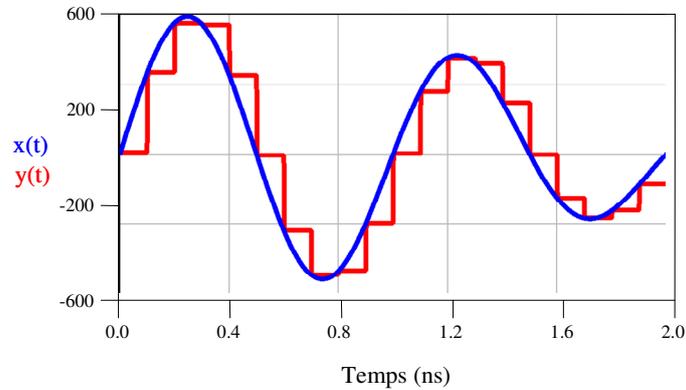


Figure 7 : échantillonnage blocage d'un signal RF

La représentation spectrale  $Y(f)$  du signal échantillonné bloqué est :

$$Y(f) = \frac{Tb}{Te} * X(f \pm k * Fe) * \frac{\text{Sin}(\pi.f.Tb)}{\pi.f.Tb} \text{ avec } Tb \text{ la largeur temporelle de blocage.}$$

La figure 8 montre la représentation spectrale d'un signal échantillonné bloqué dans le cas d'un signal d'entrée de fréquence de 1GHz qui est échantillonné à 10 GHz.

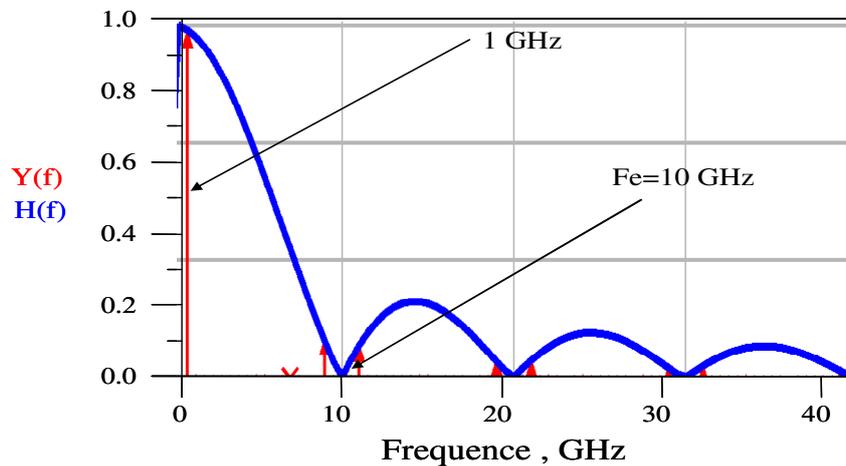


Figure 8: Périodisation de spectre avec une pondération en sinus cardinal

Pour échantillonner un signal analogique modulé ayant une bande de modulation  $Bw$ , la fréquence maximale de ce signal doit être située dans la zone où le sinus cardinal est plat, pour ne pas engendrer de distorsions. Cela est montré figure 9.

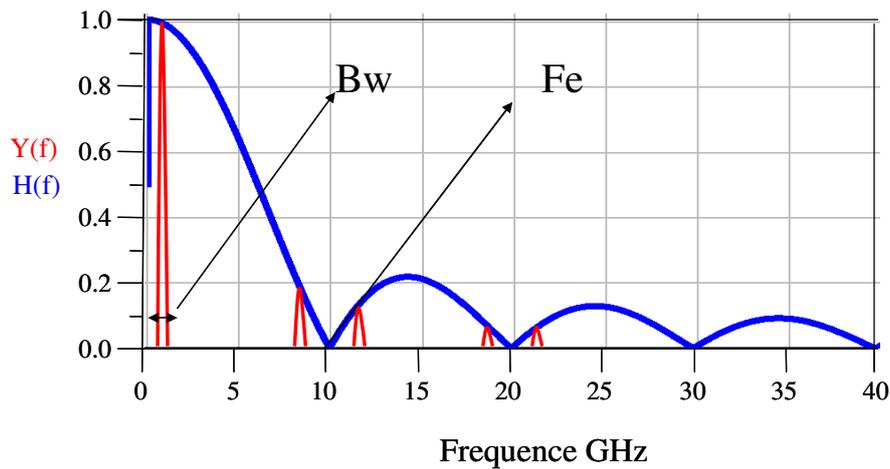


Figure 9: Spectre périodisé d'un signal modulé échantillonné bloqué(Regroupement maximale d'énergie dans la première réplique du spectre)

La fréquence maximale est ainsi limitée à  $F_{\max} \leq \frac{F_e}{20}$  qui est plus petite que la limite de Shannon pour laquelle la distorsion causée par le sinus cardinal serait de 37%.

### III.2. Sous échantillonnage

Il a pour but de favoriser la résolution en permettant une vitesse de numérisation plus lente donc à plus haute résolution.

Dans ce cas la fréquence d'échantillonnage est inférieure à  $F_0$  mais reste supérieure à  $B_w$ . de manière à ce qu'un échantillonnage direct s'opère sur l'enveloppe de modulation qui contient l'information utile.

Cette technique montre une similitude avec une transposition de fréquence RF vers FI comme illustré figure10.

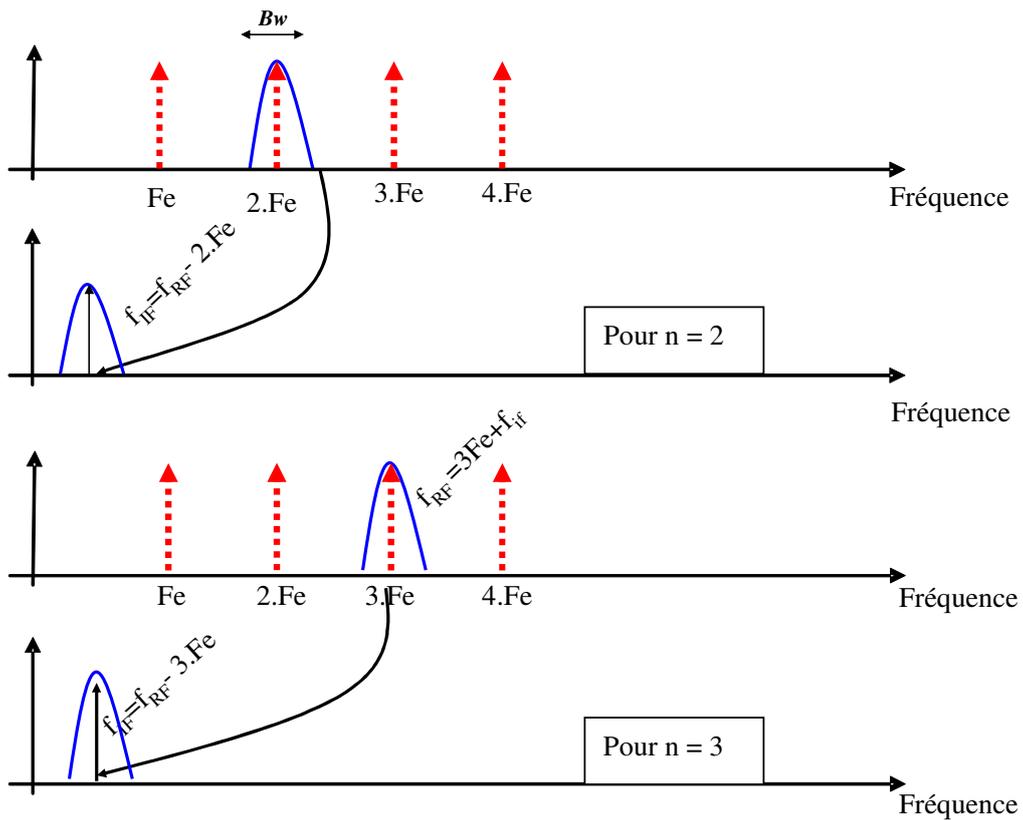


Figure 10 : Transposition en fréquence par sous échantillonnage.

Pour un signal RF de fréquence  $F_0=1.32$  Ghz et une fréquence d'échantillonnage  $Fe=400$  Mhz la fréquence  $f_{IF}$  est de  $120$  MHz =  $F_0 - 3Fe$

Le signal échantillonné/bloqué est montré figure 11.

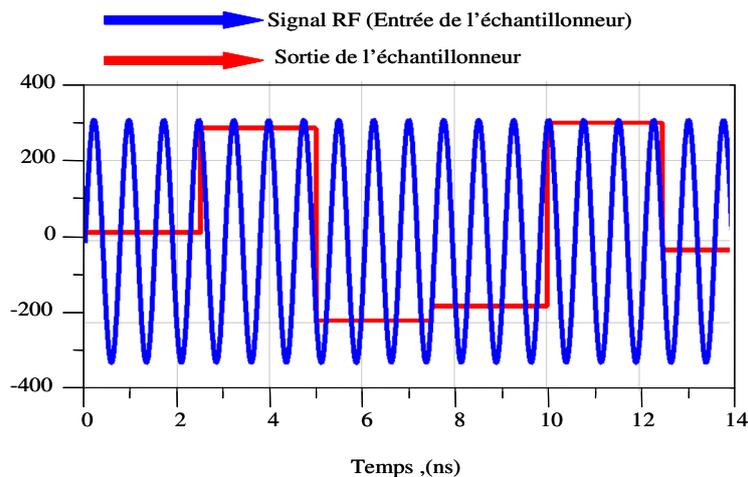


Figure 11 : sous échantillonnage d'un signal micro-onde.

La représentation spectrale du signal échantillonné/bloqué est donnée figure 12.

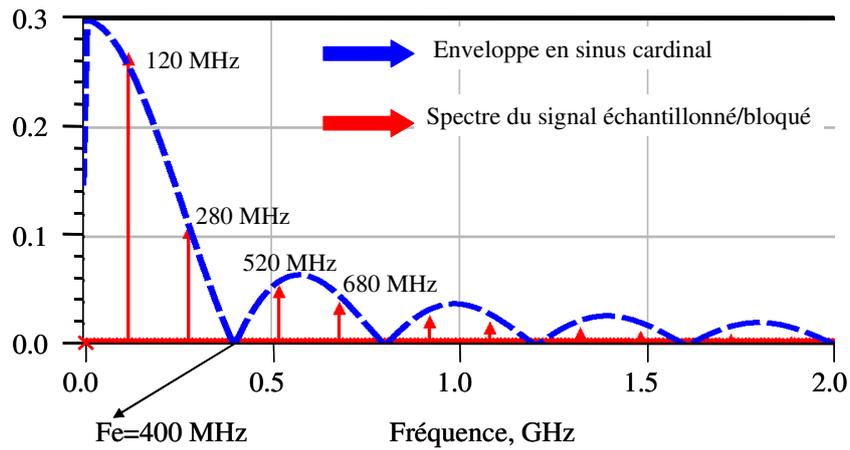


Figure 12: Spectre du signal échantillonné/bloqué

Le sinus cardinal de la figure 12 s'annule aux fréquences  $n \cdot Fe$ .

L'handicap majeur du sous échantillonnage est le repliement dans la bande FI de plusieurs bandes de bruit comme illustré figure 13.

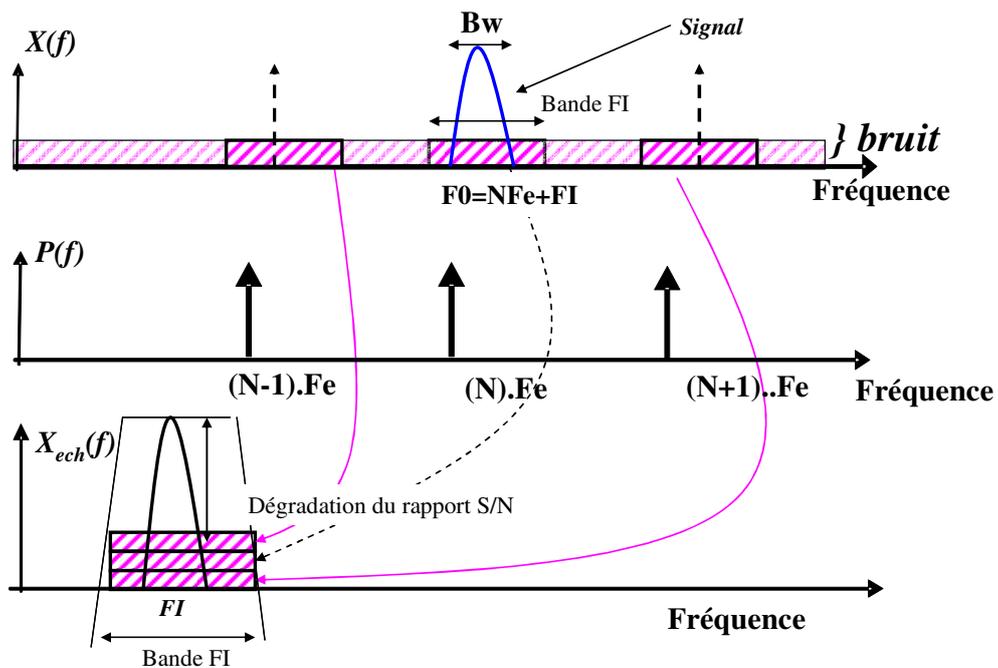


Figure 13 Effet de repliement de bandes de bruit

### III.2.1. Bande passante :

Pour évaluer la bande passante d'un échantillonneur deux paramètres sont importants :

- La constante de temps  $R_{on} \cdot C_H$  qui définit la bande passante RF en mode passant de l'échantillonneur.

- La fréquence RF maximale pouvant être échantillonnée qui est inversement proportionnelle au temps d'ouverture  $t_o$  de l'échantillonneur.

Le temps d'ouverture  $t_o$  est plus grand que la constante de temps  $R_{on} \cdot C_H$ . Cela est indispensable pour que les échantillons prélevés représentent bien le signal d'entrée avec une bonne efficacité d'échantillonnage. Cela signifie que la bande passante RF de l'échantillonneur sera définie par le temps d'ouverture de l'échantillonneur.

## IV. Principaux facteurs de mérite

L'opération de conversion analogique numérique est représentée figure 14:

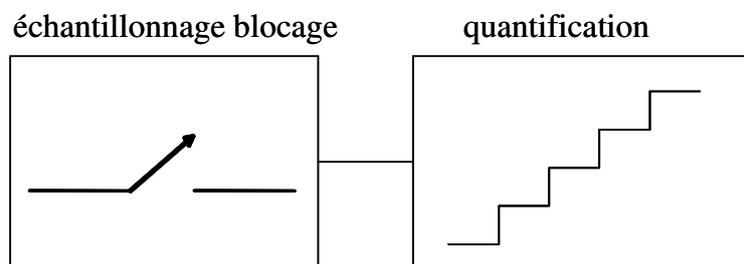


Figure 14 : Conversion analogique numérique

### IV.1. Résolution et nombre de bits effectifs

La résolution théorique est fonction du nombre de bits de codage du signal numérique en sortie.

Cette résolution est liée au rapport signal sur bruit (SNR) par la relation  $SNR_{dB} = 6.02.N + 1.76$  [10],[11],[12].

$N$  est le nombre de bits de quantification.

La résolution numérique est donc exprimée en fonction de (SNR) par :

$$N = \log_2 \sqrt{\frac{SNR}{1.5}}$$

Dans cette expression, seul le bruit de quantification est pris en compte pour le calcul du SNR.

En pratique, diverses imperfections dégradent la qualité de la conversion, ce qui limite la résolution réelle ou effective du convertisseur qui est alors définie par un nombre de bits

effectifs plus faible  $ENOB = \log_2 \sqrt{\frac{2}{3} \frac{S}{bruit\_total}}$

Dans la suite on s'intéresse seulement à décrire la partie échantillonnage blocage.

En partant de la définition du nombre de bits effectifs, on peut associer pour chaque bruit s'ajoutant au signal utile un nombre de bits effectifs qui ne dépend que du rapport entre le signal et le bruit concerné.

Dans ce cas le nombre de bits effectifs peut être exprimé sous la forme suivante: [13], [14],[these gorisse].

$$ENOB = \log_2 \sqrt{\frac{2}{3} \frac{S}{\text{bruit}_{total}}} = \log_2 \sqrt{\frac{1}{\left( \frac{1}{(2^{ENOB, \text{bruit}1})^2} + \frac{1}{(2^{ENOB, \text{bruit}2})^2} + \frac{1}{(2^{ENOB, \text{bruit}3})^2} \right)}}$$

Les bruits pris en compte dans cette expression sont :

- La gigue ( jitter ) qui est une variation aléatoire de l'instant d'échantillonnage
- Les non linéarités
- Le bruit de quantification

#### IV.2. Contribution de la gigue

La gigue ( ou Jitter) est une variation aléatoire de l'instant d'échantillonnage . En présence de gigue la valeur de l'échantillon du signal  $v(t)$  acquis est différente de ce qu'elle devrait être. On définit l'erreur  $\Delta v$  causée par la variation de l'instant d'échantillonnage par

$$\Delta v = \frac{dv}{dt} \cdot \Delta t \text{ avec } \Delta t = (n.Te + \Delta t) - n.Te$$

$\Delta t$  est la différence entre l'instant d'échantillonnage en présence de gigue et l'instant d'échantillonnage théorique en absence de gigue

Si on considère le cas d'un signal sinusoïdal d'amplitude  $A$  et de fréquence  $Fo$  en entrée l'erreur est donnée par :  $\Delta v = 2 \cdot \pi \cdot A \cdot Fo \cdot \cos(2 \cdot \pi \cdot Fo \cdot t) \cdot \Delta t$  .

L'erreur maximale est alors  $\Delta v = 2 \cdot \pi \cdot A \cdot Fo \cdot \Delta t$  .

$\Delta t$  est une variable aléatoire d'écart type  $\Delta t_{rms}$  ce qui donne  $\Delta v_{rms} = 2 \cdot \pi \cdot A \cdot Fo \cdot \Delta t_{rms}$

La puissance de bruit associée à la gigue est ainsi donnée

$$P_{\text{bruit}_{jitter}} = (\Delta v_{rms})^2 = (2 \cdot \pi \cdot A \cdot Fo \cdot \Delta t_{rms})^2$$

Le paramètre  $ENOB_{\text{jitter}}$  qui permet d'évaluer le nombre de bits effectifs associé à la gigue est défini par [KOB99] :

$$ENOB_{\text{jitter}} = \log_2 \sqrt{\frac{2}{3} \frac{S}{P_{\text{bruit}_{jitter}}}} = \frac{1}{2 \cdot \pi \cdot \sqrt{1.5} \cdot Fo \cdot \Delta t_{rms}}$$

Cette formule permet de définir une gigue maximale pour obtenir une résolution donnée. A titre d'exemple, pour un signal de fréquence  $F_0 = 10$  GHz et pour obtenir une résolution de codage de 10 bits, la gigue maximale doit être de 30 fs. Actuellement, seuls les systèmes optiques sont capables d'atteindre une telle valeur. Pour les oscilloscopes commerciaux on peut donner un chiffre de l'ordre de la 100 aines de fs . Ainsi un chiffre égal à 400 fs implique une résolution de 2 à 3 bits effectifs à 10 GHz.

### IV.3. Contribution du bruit thermique

Le niveau de bruit est un facteur limitatif de la résolution maximale d'un convertisseur analogique numérique. Le paramètre  $ENOB_{\text{bruit}}$  qui permet d'évaluer le nombre de bits effectifs associé au bruit thermique est défini par :

$$ENOB_{\text{bruit}} = \log_2 \sqrt{\frac{S/P_{\text{bruit\_thermique}}}{1.5}}$$

Dans un système à échantillonnage direct la puissance de bruit thermique est donnée par :

$$P_{\text{bruit\_thermique}} = K.T. \frac{F_e}{2} .$$

K est constante de Boltzmann et T est la température en degré K.  $F_e$  est la fréquence d'échantillonnage.

### IV.4. Contribution des non linéarités

Le paramètre qui relie le signal utile à l'erreur due aux non linéarités est le taux de distorsion harmonique (THD : Total Harmonic Distorsion). Le THD représente le rapport entre la puissance du signal à la fréquence fondamentale et la somme des puissances des composantes harmoniques.

$$THD = \sqrt{\frac{\sum_H (X_{(f_H)})^2}{X_{(f_0)}^2}}$$

$X_{(f_H)}$  est l'amplitude de la  $H^{\text{ème}}$  composante harmonique du spectre du signal de sortie du convertisseur.

Le paramètre  $ENOB_{\text{non\_linearité}}$  qui permet d'évaluer le nombre de bits effectifs associé aux non linéarités est défini par :

$$ENOB_{\text{non\_linearité}} = \log_2 \sqrt{\frac{THD}{1.5}}$$

#### IV.5. SINAD (Signal to Noise and Distorsion Ratio)

Le rapport signal sur bruit plus distorsion harmonique SINAD (*Signal to Noise And Distortion Ratio*) est le critère qui permet d'évaluer les performances globales de l'échantillonneur. Ce paramètre est donné par l'équation suivante :

$$SINAD = \frac{S}{\text{Bruit} + \sum_H (X_{(f_H)})^2} = \frac{1}{10^{-\frac{SNR}{10}} + 10^{-\frac{THD}{10}}}$$

Le nombre de bits effectifs qui lui est associé est :

$$ENOB = \frac{SINAD - 1.76}{6.02}$$

#### IV.6. SFDR ou gamme dynamique

Le paramètre SFDR (Spurious Free Dynamic Range) est défini comme l'écart entre l'amplitude du signal à la fréquence fondamentale qui est la fréquence du signal échantillonné et la plus grande valeur des composantes harmoniques et/ou non-harmoniques. Cela est illustré figure 15.

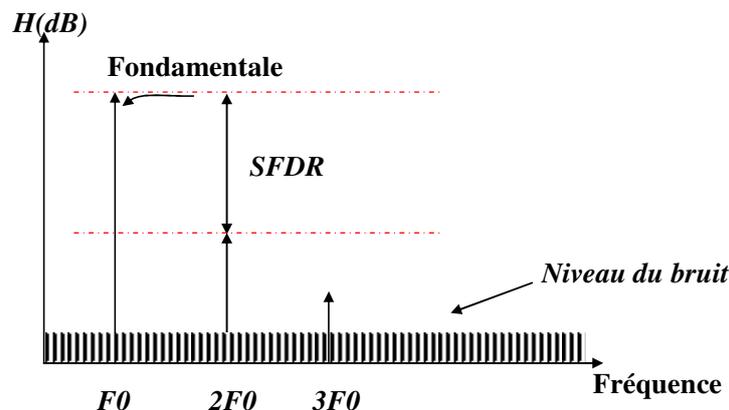


Figure15: Evaluation de la dynamique de l'échantillonneur

Pour concevoir un échantillonneur bloqueur ultra large bande avec une résolution donnée, il est important de connaître la contribution de chacun des bruits cités précédemment à la dégradation du nombre de bits effectifs.

La figure 16 résume par un graphique représentatif de la contribution de chaque effet.

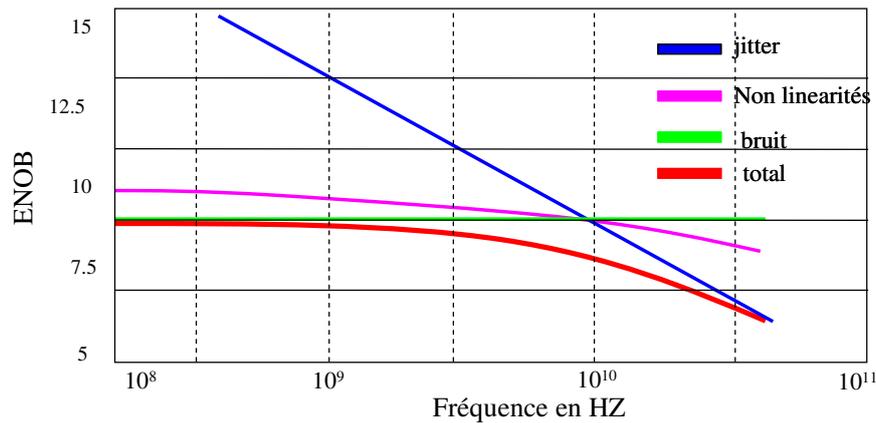


Figure 16: Nombre de bit effectif en fonction du signal d'entrée

Aux basses fréquences, la résolution est principalement limitée par le bruit thermique du système tandis qu'aux hautes fréquences, la résolution est limitée par la gigue.

#### IV.7. Déformation de la forme temporelle du signal échantillonné.

Le fonctionnement théorique d'un échantillonneur bloqueur est illustré figure 17:

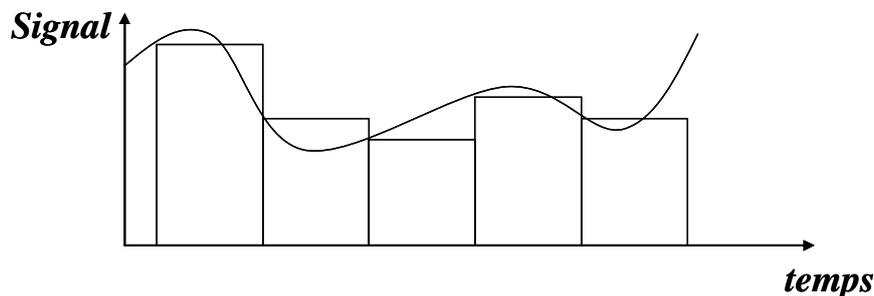


Figure17 : échantillonnage blocage théorique

Plusieurs paramètres participent à la déformation du signal échantillonné bloqué.

##### Temps d'acquisition:

Lors de la fermeture de l'interrupteur, la valeur de la tension aux bornes de la capacité de maintien peut être très différente de celle du signal d'entrée. On crée alors un appel de courant. Le temps d'acquisition est le temps nécessaire pour que la capacité de maintien de l'E/B suive le signal d'entrée.

##### Décalage de la tension échantillonnée (pedestal error)

Lors du passage du mode passant au mode bloqué, les éléments (transistors ou diodes) qui réalisent la commutation subissent un changement de leur point de fonctionnement. Des capacités se trouvant alors isolées des sources d'alimentation évacuent leurs charges dans la

capacité de maintien .ce qui crée un décalage de la valeur stockée. Cette limitation est atténuée, par l'utilisation d'une architecture différentielle.

Temps d'établissement (settling time)

Le temps d'établissement est la durée s'écoulant entre la commande de blocage de l'échantillonneur et la stabilisation de la tension aux bornes de la capacité de maintien.

Défaut d'isolation en mode bloqué (feedthrough)

Le commutateur n'assurant pas une isolation parfaite en mode bloqué , une fraction du signal d'entrée charge la capacité de maintien.

Pente de décroissance (courant de fuite) ou (droop rate)

L'échantillonneur bloqueur est suivi par un étage qui a une impédance d'entrée grande mais non infinie. Ceci empêche la tension aux bornes de cette capacité de maintien de rester fixe. La décharge de la capacité de maintien est d'autant plus rapide que sa valeur est faible. Le « droop rate » est visible dans le cas d'un temps de blocage grand donc pour de faibles fréquences d'échantillonnage.

Une illustration de tous ces effets est représentée figure 18:

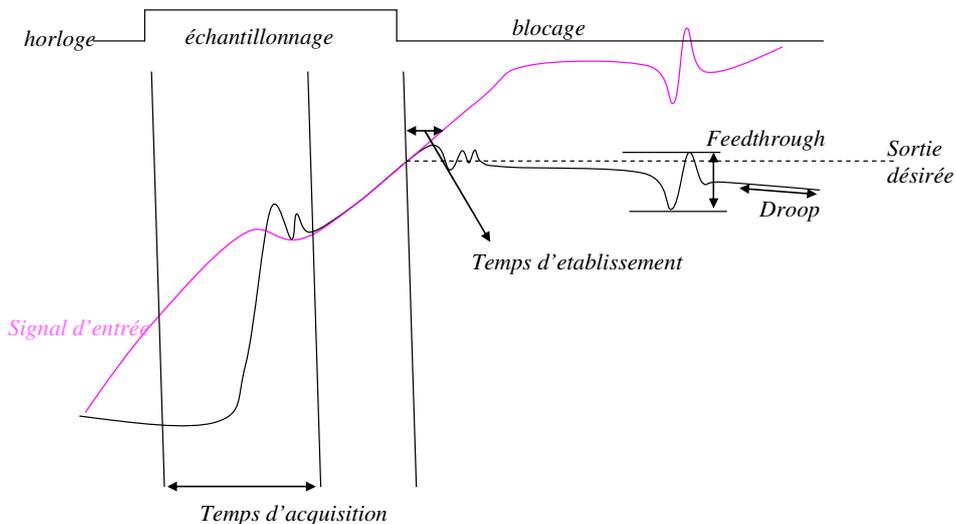


Figure 18 : Effets de déformation de la forme temporelle du signal

Le tableau suivant résume l'état de l'art des échantillonneurs bloqueurs :

Référence	Technologie	Performance	Architecture	Fabricant
[15]	SiGe, Ft=200 GHz,	10 Gs/s, Bande =2.5 GHz, 1Vpp, THD=-41dB	SEF	IHP, Germany
[16]	SiGe, Ft=200 GHz	8 bit, 12 Gs/s, Bw= 5.5 Ghz, THD=-50dB, 1 Vpp	SEF	Georgia institue, IHP Germany

[17],[18]	InP, FT=180 GHz	40 Gs/s, Bw=20 GHz	SEF	IEMN Lille
[19]	SiGe, FT=200 GHz	18 Gs/s, 5bits, 1Vpp, Bw=7GHz, THD=-33dB	SEF	Georgia, ATLANTA
[20]	SiGe, Ft 200 GHz	10 Gs/s, 2Vpp, Bw=3GHz, Enob=7.6	SEF	IHPGermany
[21]	SiGe, Ft=67 GHz	8bit, 4Gs/s, Bw=1 GHz, SNR=51 dB, THD=-50dB	SEF	Philips, Delft university pays bas
[22]	SiGe, 160 GHz	40Gs/s, Bw=43GHz (track mode.), SFDR=-30 sB, THD=-27 dB a 19 GHz	SEF	Totonto university
[23]	SiGe 200 GHz	THD-50dB@2GHz @12 Gs/s, 1 Vpp Bw=16 GHz	SEF	ATLANTA
[24],[25]	InP 200 GHz	Fe=1Gs/s, Bw=15 GHz	SEF	Alcatel Thalès III- V lab
[26]	SiGE, 45 GHz	Bw=10 GHz, 30 dB dynamic range, 1 Vpp, SFDR=-37 dBc	Diode bridge(4diodes)	UCSB
[27]	InP DHBT, Ft=120 GHz	6bit, 12 Gs/s, Bw=14GHz, 1 Vpp, THD=-36 dB@ 6GHz	SEF	Lucent technologies, Bell labs
[28]	GaAs Schottky diodes	10 Gs/s, 2 Vpp. Bw=100 GHz,	Bridge "2 diodes"	PSPL
[29]	--	2 GS/s sampling rate, 15 GHz input bandwidth (0.5 V p-p), THD < -60 dB (1 GHz 1 V p-p input)	Schottky diodes	InPhi

Tableau 1 : Etat de l'art des échantillonneurs bloqueur large bande

## V. Simulation du cœur d'une fonction d'échantillonnage de type Emetteur Suiveur Commuté

Ce travail de thèse qui a concerné le développement d'une caractérisation de transistors en impulsions courtes et l'application à la modélisation d'une filière de transistors bipolaires en technologie InP s'est déroulée dans le contexte d'un projet PREI ' échantillonneur bloqueur large bande (Projet de Recherche Exploratoire et Innovation) soutenue par la DGA en collaboration avec l'IEMN Lille , Alcatel Thalès III-V Lab et Thalès systèmes aéroportés. Les travaux de conception d'un module échantillonneur bloqueur ont été menés par Alcatel Thalès III-V Lab et l'IEMN et sont mentionnés dans le paragraphe précédent. La solution technique retenue est un échantillonneur bloqueur dont le cœur est basé sur une structure de type émetteur suiveur commuté (SEF pour Switch Emitter Follower). La structure globale est une structure différentielle.

Nous allons dans la suite de ce manuscrit nous focaliser sur le cœur de cette fonction échantillonnage blocage (partie du circuit non différentielle) et appliquer l'utilisation de notre modèle de transistor à la simulation de cette fonction de base.

### V.1. Circuit simulé

Le schéma du circuit en structure différentielle est représenté figure 19:

Le circuit SEF est précédé d'un amplificateur d'entrée qui sert à amplifier le signal avant de l'échantillonner.

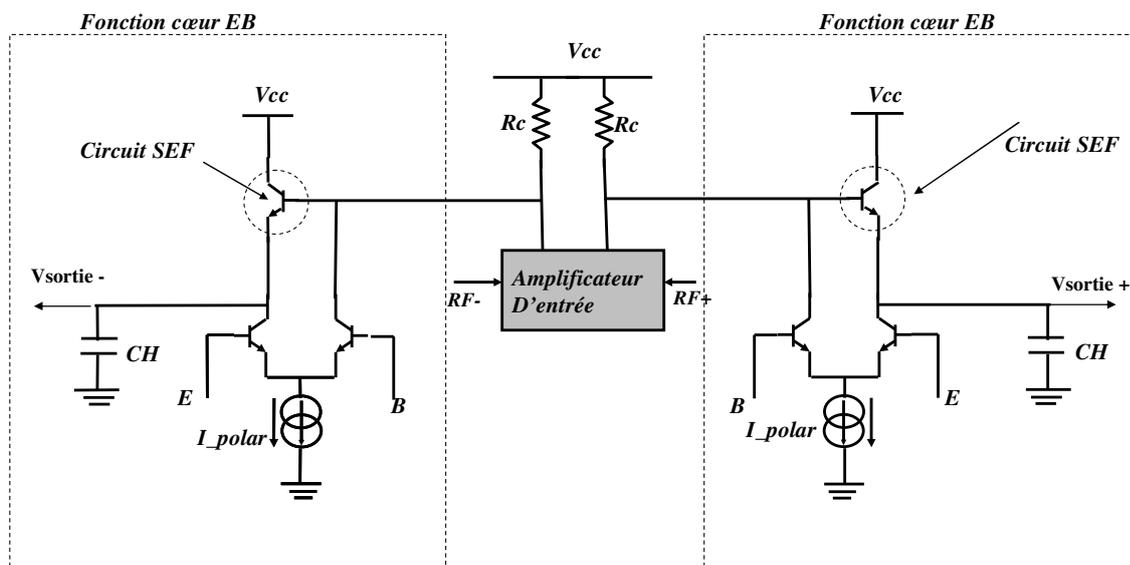


Figure19: Schéma du circuit (structure différentielle)

Le circuit a une entrée différentielle et une sortie différentielle ce qui permet une rejection du mode commun. Cette structure permet également une rejection des distorsions d'ordre pair. Les deux voies de l'échantillonneur sont identiques. Une seule partie du circuit sera simulée. Le circuit simulé équivalent à une voie de l'échantillonneur est représenté figure 20.

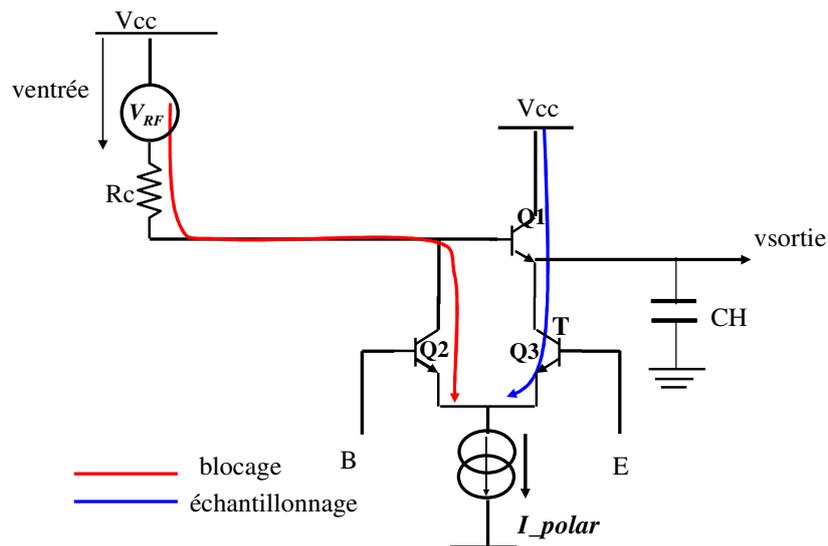


Figure 20 : Circuit échantillonneur bloqueur simulé

Un transistor Q1 monté en collecteur commun joue le rôle de commutateur. Ce commutateur est commandé par une paire différentielle (Q2, Q3). Les transistors (Q1, Q2, Q3) sont de taille  $1 \times 1.5 \mu\text{m} \times 15 \mu\text{m}$  (technologie  $1.5 \mu\text{m}$ ). Les deux signaux notés E et B pour échantillonnage et blocage qui commandent la paire différentielle sont en opposition de phase. Ces signaux sont représentés figure 21 à titre d'exemple par des signaux carrés idéaux.

Dans le cadre des simulations, l'amplitude de ces signaux est prise à 1 V.

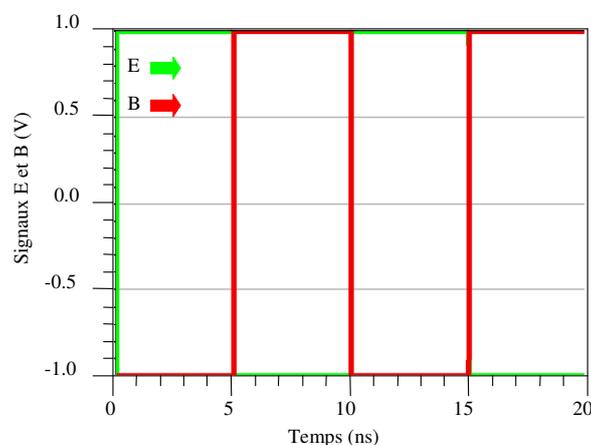


Figure 21: Signaux E et B en opposition de phase

Une amplitude de 1V pour les signaux E et B est suffisante pour faire conduire et bloquer les transistors Q2 et Q3. La tension au niveau de leurs émetteurs reliés est proche de 0 V. Ceci permet d'avoir des tensions  $V_{ce}$  plus grandes pour les transistor Q2 et Q3 pour la même tension d'alimentation  $V_{cc}$ . On prend dans ce cas par exemple  $V_{cc}=2V$ .

Pendant l'échantillonnage, le signal E est à l'état haut et le signal B est à l'état bas. Le transistor Q1 est en mode de conduction. Le signal d'entrée RF passe par la jonction base émetteur du transistor Q1 et charge la capacité de maintien CH. Pendant le blocage, le signal E est à l'état bas et le signal B à l'état haut. La jonction base émetteur de Q1 est bloquée et la capacité CH (500 fF) est ici grande devant  $C_{be}$  (100 fF).

La résistance  $R_c$  représente la résistance de charge de l'étage précédent qui est l'amplificateur d'entrée.

## V.2. Simulation quasi statique

En premier lieu une analyse statique du circuit est effectuée.

Cette analyse a pour but de repérer les zones de fonctionnement des trois transistors (Q1, Q2, Q3) en fonction de leur environnement ( $R_c, CH, I_{polar}$ ). Pour cette analyse le générateur RF est éteint.

### V.2.1. Transistor Q1 (SEF) :

Afin de pouvoir réaliser la fonction échantillonnage/blocage, la jonction base émetteur du transistor Q1 fonctionne en mode passant lorsque le signal E est à l'état haut et en mode bloqué lorsque le signal B est à l'état haut. Pour bloquer la jonction base émetteur de Q1 il faut avoir une chute de potentiel au niveau de la base du transistor Q1 de l'ordre de 1.5 V lors du passage du signal B de l'état bas à l'état haut. Cette chute de potentiel dépend du produit  $R_c * I_{polar}$ . Pour cela ce produit est fixé à 1.5 V.

Le transistor Q1 fonctionne à  $V_{ce}$  proche de  $V_{be}$  en mode passant et en mode bloqué et cela parce que la tension d'émetteur de ce transistor reste presque constante lorsque l'on passe de l'échantillonnage au blocage.

Le courant de collecteur de ce transistor Q1 a deux états.

En mode passant le courant de collecteur est égal au courant d'alimentation  $I_{polar}$

En mode bloqué le courant de collecteur est nul

Les points de fonctionnement de ce transistor sont représentés figure 22.

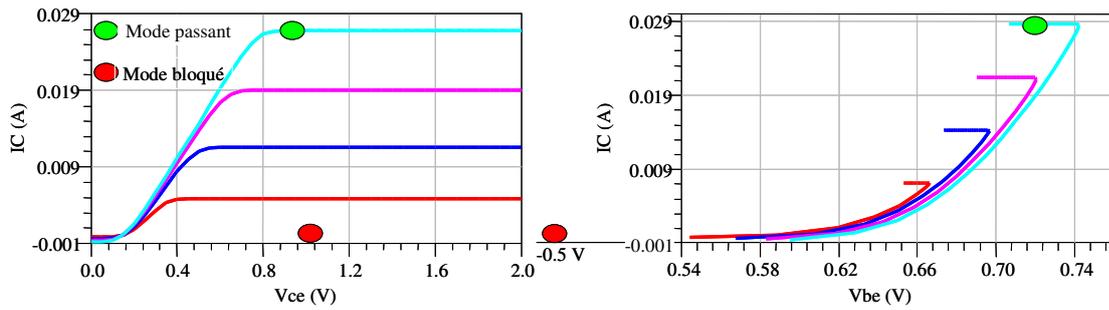


Figure 22: Points de fonctionnement de Q1 « régimes établis »

V.2.2. Transistor Q2 :

Le transistor Q2 permet le passage du courant  $I_{polar}$  à travers la résistance  $R_c$ . Il permet donc de bloquer la jonction base émetteur du transistor Q1. Les zones de fonctionnement de ce transistor sont illustrées figure 23.

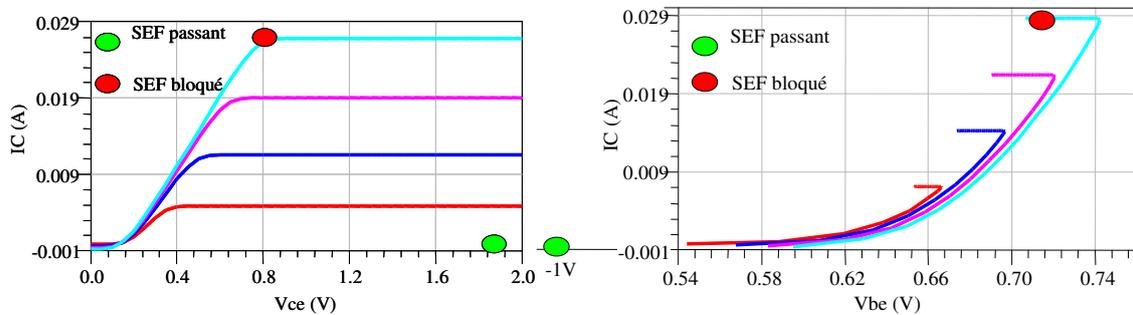


Figure 23: Points de fonctionnement établis de Q2

Pendant la phase d'échantillonnage la tension  $V_{ce}$  de ce transistor Q2 est proche de la tension  $V_{cc}$ . Durant la phase de blocage la tension  $V_{ce}$  est égale à  $V_{cc} - R_c * I_{polar}$ .

V.2.3. Transistor Q3 :

Le transistor Q3 permet le passage du courant  $I_{polar}$  à travers l'émetteur du transistor Q1. Il permet de faire conduire la jonction base émetteur du transistor Q1. Les zones de fonctionnement de ce transistor sont illustrées figure 24.

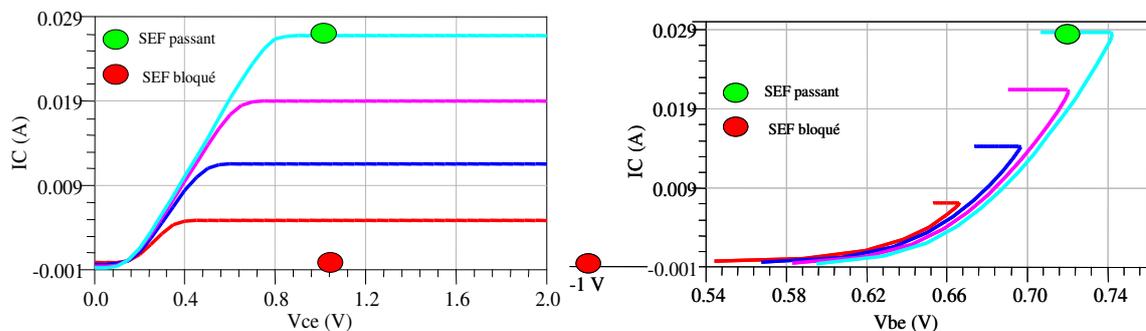


Figure 24 : Points de fonctionnement établis de Q3

La tension  $V_{ce}$  de ce transistor est proche de la tension au niveau de la capacité de maintien qui est fixe. Pendant la phase d'échantillonnage la tension au niveau de la capacité de maintien est  $V_{sortie} = V_{cc} - V_{be}(Q1) - R_c * I_{B\_SEF} \approx V_{cc} - V_{be}(Q1) = 1V$ .  $I_{B\_Q1}$  est le courant de base du transistor Q1.

#### V.2.4. Puissance dissipée et auto échauffement

L'analyse statique nous permet de constater que c'est le transistor Q2 qui consomme le moins de puissance et par conséquent il a une température de fonctionnement plus petite que les transistors (Q1 et Q3).

Pour un courant d'alimentation de 30 mA et une tension d'alimentation  $V_{cc} = 2V$ , la puissance consommée par le transistor Q2 lorsque le signal B est à l'état haut est

$$P_{dc\_Q2} = V_{ce} * I_c + V_{be} * I_b \approx 30 * 10^{-3} * 0.5 = 15mW$$

L'élévation de température de la jonction base émetteur du transistor Q2 qui correspond à cette puissance consommée est  $\Delta T = R_{th} * P_{diss} = 1,2^\circ C/mW * 15mW = 18^\circ C$ .

la puissance consommée par le transistor Q1(SEF) lorsque le signal E est à l'état haut est  $P_{dc\_Q1} = V_{ce} * I_c + V_{be} * I_b \approx 30 * 10^{-3} * 0.9 \approx 27mW$ .

L'élévation de température de la jonction base émetteur du transistor Q1 qui correspond à cette puissance consommée est  $\Delta T = R_{th} * P_{dc} = 1,2^\circ C/mW * 27mW \approx 32^\circ C$

La puissance consommée par le transistor Q3 lorsque le signal E est à l'état haut est

$$P_{dc\_Q3} = V_{ce} * I_c + V_{be} * I_b \approx 30 * 10^{-3} * 1.2 \approx 36mW.$$

L'élévation de température de la jonction base émetteur du transistor Q3 qui correspond à cette puissance consommée est  $\Delta T = R_{th} * P_{dc} = 1,2^\circ C/mW * 36mW \approx 43^\circ C$

Les puissances dissipées calculées correspondent à des états de fonctionnement établis. La figure 25 montre à titre d'exemple le courant d'émetteur du transistor Q1 lors du passage du mode bloqué au mode passant qui entraîne un appel de courant.

Pour cet exemple de simulation les signaux de commande E et B sont des signaux carrés de largeur 1 ns et de rapport cyclique 10%. Deux valeurs de capacité de maintien CH sont prises.

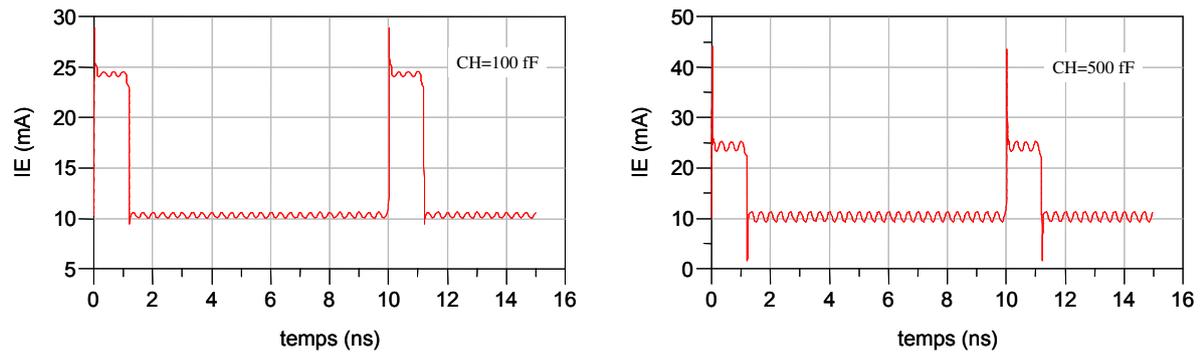


Figure 25: Courant d'émetteur du transistor Q1 pour deux valeurs différentes de la capacité de maintien  $C_H$ .

Une capacité  $C_H$  faible permet d'obtenir une large bande passante. Elle permet d'éviter un fort appel de courant d'émetteur.

Le choix de la capacité  $C_H$  est important pour le fonctionnement du circuit .

Si la valeur de cette capacité est plus petite que la capacité base émetteur du transistor Q1, il y aura un transfert de tension entre les deux capacités lors du passage de la phase d'échantillonnage au blocage. Par conséquent la tension d'émetteur du transistor Q1 diminue et la tension  $V_{ce}$  du transistor Q1 augmente. La diminution de la tension d'émetteur de Q1 entraîne un décalage positif sur la tension  $V_{be}(Q1)$  et le blocage de la jonction base émetteur devient plus difficile.

Nous allons voir maintenant que les zones de fonctionnement des transistors (régimes établis) montrés précédemment (figures 22, 23, 24) varient avec la valeur de la capacité de maintien.

Pour des valeurs indicatives de  $C_H$  de 50 fF avec une capacité  $C_{be}$  de 100 fF, le fonctionnement du transistor Q1 est illustré figure 26.

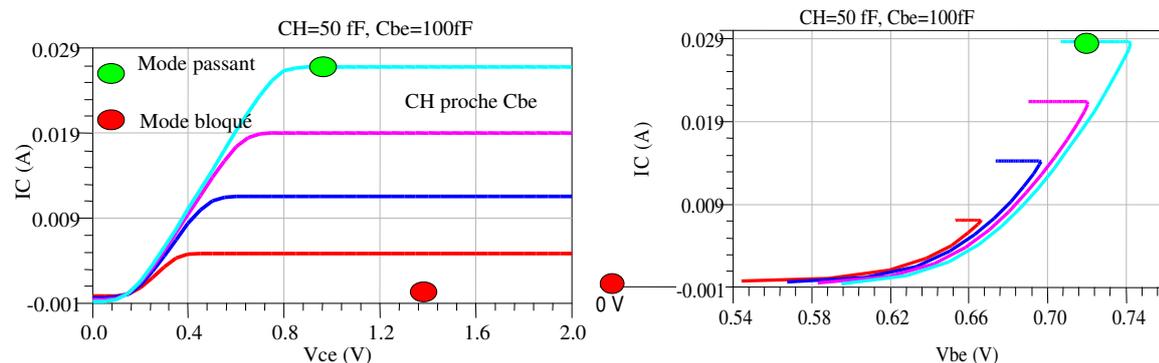


Figure 26: Points de fonctionnement de Q1 pour une faible capacité de maintien

La tension d'émetteur du transistor Q1 diminue, ce qui entraîne l'augmentation de la tension  $V_{ce}$  de Q1.

La tension de collecteur du transistor Q3 diminue et donc  $V_{ce}$  (Q3) diminue. La nouvelle zone de fonctionnement du transistor Q3 est montrée figure 27.

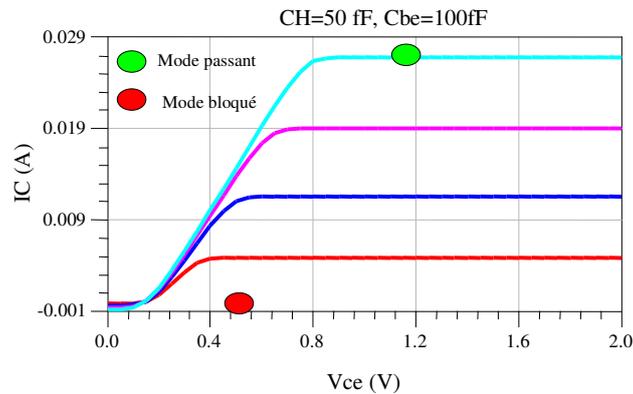


Figure 27: Point de fonctionnement de Q3 pour  $C_H$  faible

Au cours du fonctionnement en échantillonnage (ici par exemple  $f_e = 400 \text{ MHz}$ ), l'évolution thermique des transistors Q1, Q2 et Q3 est donnée figure 28.

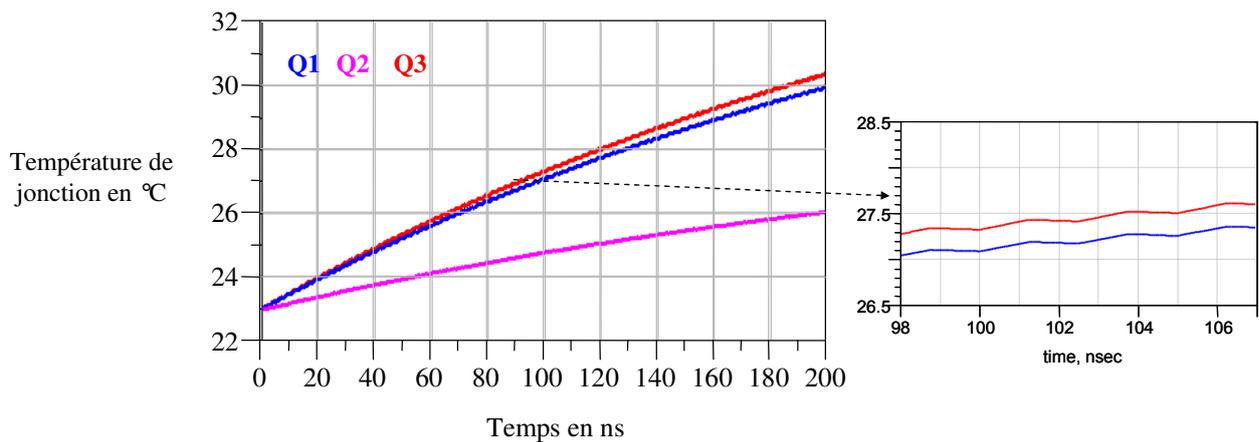


Figure 28: Illustration de l'évolution thermique simulée des transistors Q1, Q2 et Q3 en fonction du temps

La constante de temps thermique de transistors est de l'ordre de 200 ns.

### V.3. Simulation petit signal

L'analyse petit signal a pour but d'évaluer la bande passante de circuit SEF en mode passant et en mode bloqué.

La bande passante en mode passant permet d'estimer la fréquence maximale permise à l'entrée de l'échantillonneur tandis que la bande passante en mode bloqué permet d'évaluer la fuite du signal RF vers la sortie de l'échantillonneur (isolation).

La figure 29 montre une configuration de simulation aux accès 50 ohms incluant une représentation idéale des amplificateurs d'entrée et de sortie.

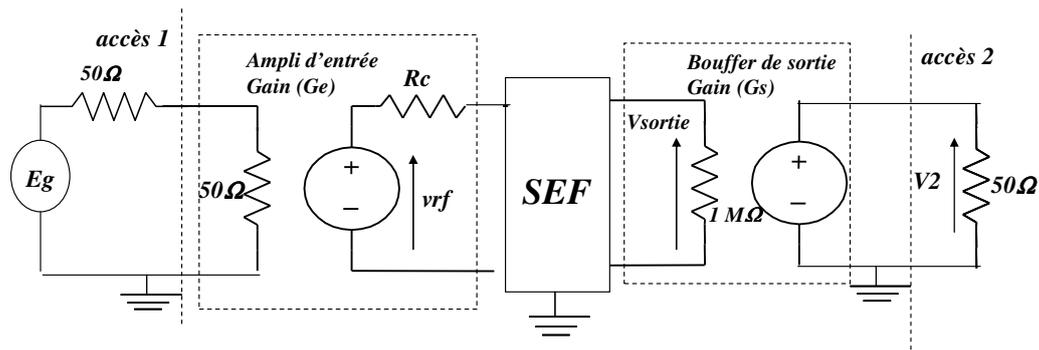


Figure29 : Configuration de simulation du circuit SEF

Nous montrons par la suite des fonctions de transfert en tension  $H = V_{\text{sortie}} / V_{\text{rf}}$  en fonction de la fréquence

### V.3.1. Modèle petit signal du SEF en mode passant

Le modèle petit signal du SEF en mode passant est donné figure 30.

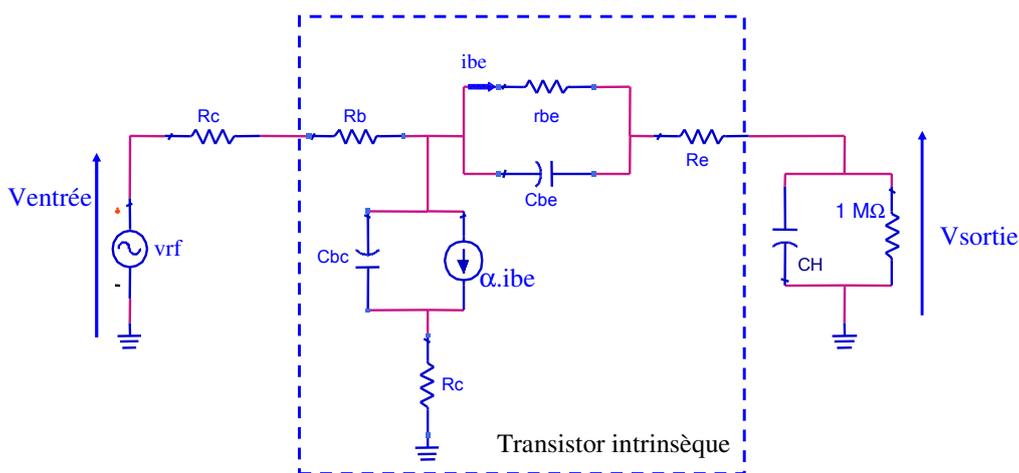


Figure30 : Modèle équivalent du circuit SEF en mode passant

Aux basses fréquences la capacité  $C_{be}$  est considérée masquée par la résistance  $r_{be}$ . Aux hautes fréquences la capacité  $C_{be}$  permet d'aplatir la fonction de transfert du circuit SEF car elle permet le passage du signal RF vers la sortie du circuit.

La bande passante du circuit SEF est inversement proportionnelle à la capacité de maintien  $CH$ . La figure 31 montre la fonction de transfert  $H$  en dB pour plusieurs valeurs de la capacité de maintien  $CH$ .

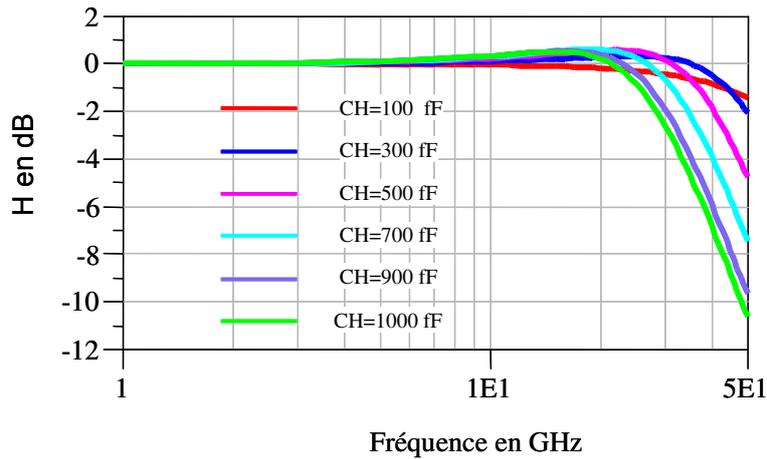


Figure31 : Bande passante du SEF en fonction de la capacité CH.

Le choix du courant de polarisation influence aussi la bande passante du SEF. L'augmentation du courant de polarisation entraîne la diminution de la résistance rbe. Par conséquent la bande passante du SEF augmente.

La figure 32 montre la bande passante du SEF en fonction du courant de polarisation.

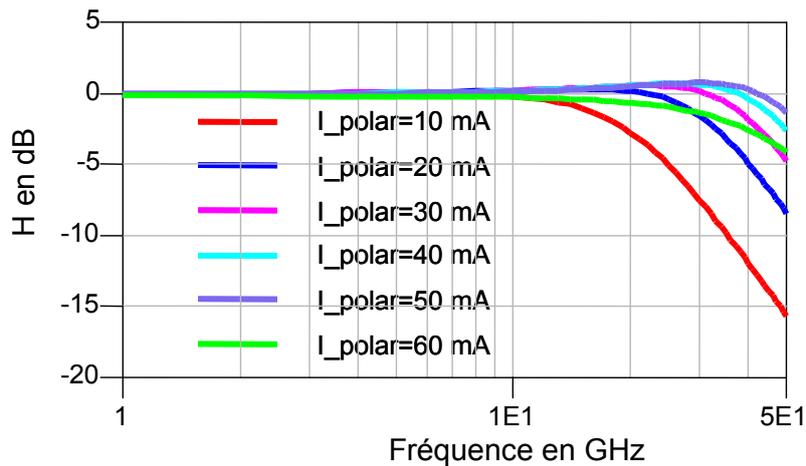


Figure 32: Bande passante petit signal en fonction du courant de polarisation

### V.3.2. Modèle petit signal du SEF en mode bloqué

En mode bloqué la jonction base émetteur en polarisée en inverse, le modèle petit signal de cette jonction se réduit à la capacité Cbe. Le modèle équivalent du circuit SEF en mode bloqué est donné figure 33.

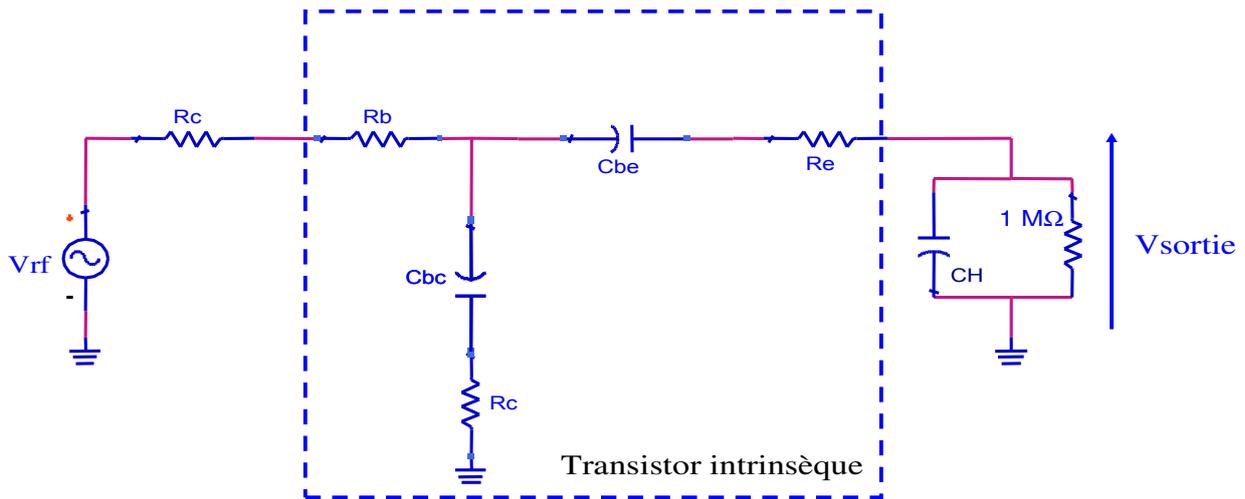
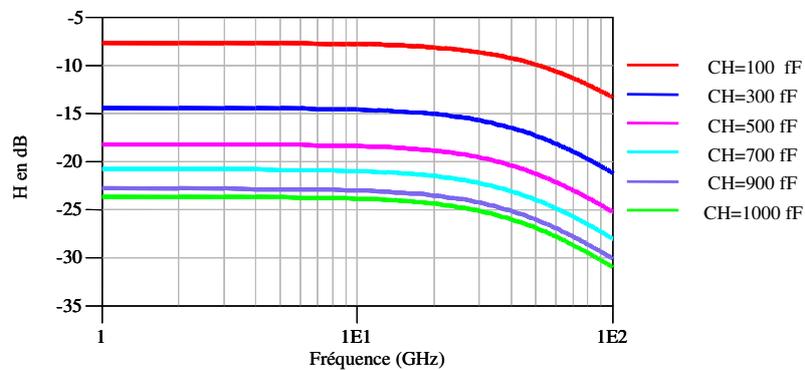


Figure33: Modèle équivalent du circuit SEF en mode bloqué

La fonction de transfert  $H$  en mode bloqué permet d'évaluer la fuite du signal RF vers la sortie. La figure montre la fonction de transfert du SEF en mode bloqué pour différentes valeurs de la capacité  $C_H$ .

Afin de réduire la fuite en mode bloqué du signal RF vers la sortie, la capacité  $C_H$  doit être largement supérieure à la capacité  $C_{be}$ .

La fonction de transfert en mode bloqué du circuit SEF pour différentes valeurs de capacités de maintien est donnée figure 34.



Figur34: Fonction de transfert du circuit SEF en mode bloqué

#### V.4. Analyse grand signal (Harmonic balance)

Cette analyse a pour but d'évaluer la bande passante du circuit SEF en mode grand signal, c'est à dire lorsque l'amplitude du signal RF est grande à l'entrée du transistor SEF.

On en appliquera un signal RF qui a une amplitude  $1V_{PP}$ . L'analyse grand signal va permettre aussi d'étudier la linéarité de l'échantillonneur en fonction des différents paramètres du circuit.

La zone de fonctionnement (hors transitoires) du transistor SEF en mode grand signal est donnée figure 35.

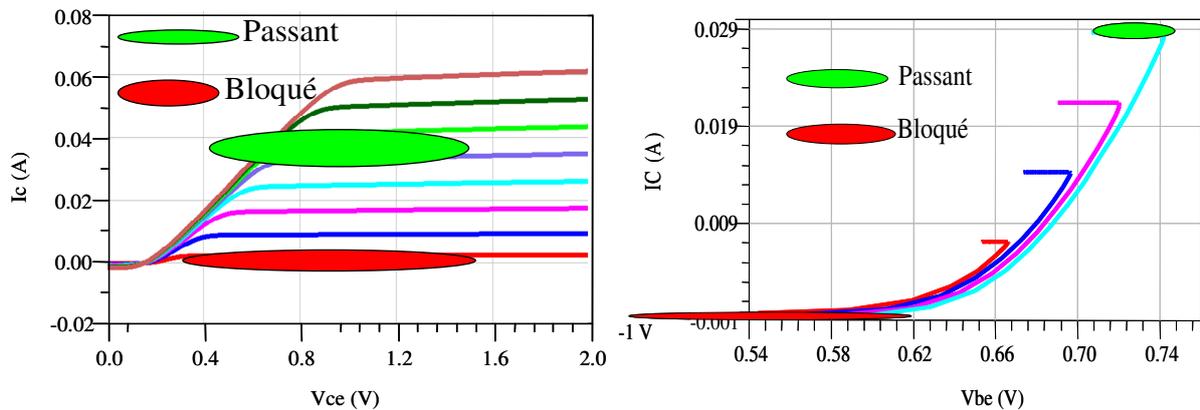


Figure35 : Zone de fonctionnement grand signal du transistor SEF.

#### V.4.1. La bande passante grand signal :

La bande passante de l'échantillonneur en mode grand signal est modifiée en raison des capacités non linéaires et des résistances dynamiques des transistors.

Avec l'augmentation du courant de polarisation  $I_{polar}$  de la paire différentielle (Q2, Q3), la valeur moyenne de la tension (base -collecteur) intrinsèque de Q1 augmente à cause de la chute de potentiel au niveau du collecteur intrinsèque. Par conséquent la diode base collecteur se met à conduire et le produit gain bande est modifié comme illustré figure 36.

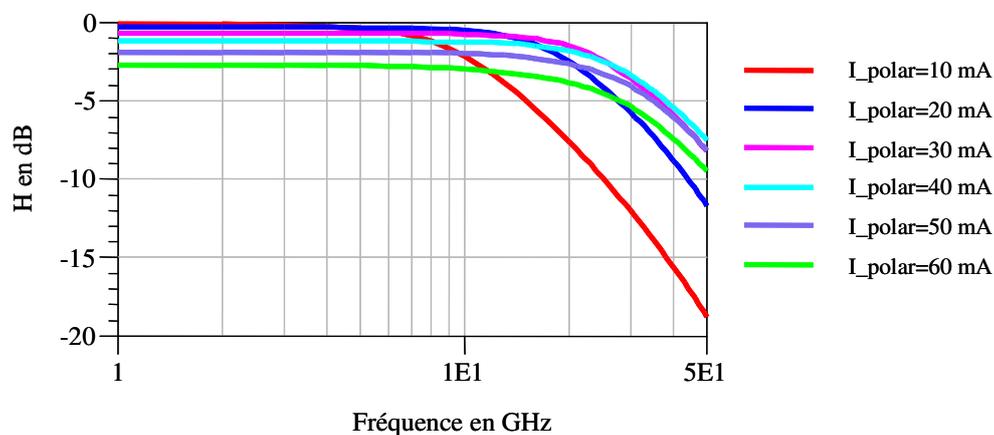


Figure 36 : Bande passante grand signal du SEF en fonction du courant de polarisation.

La figure 37 montre la valeur moyenne de la tension base - collecteur en fonction du courant de polarisation.

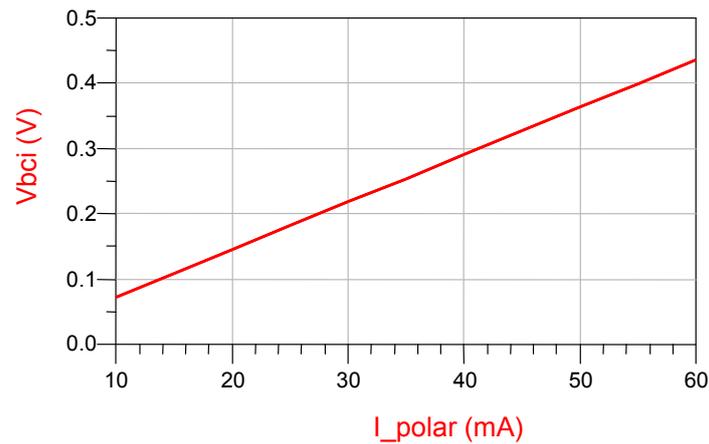


Figure 37: Valeur moyenne de la tension base collecteur en fonction du courant de polarisation

La figure 38 montre les formes temporelles de Vbe et Vbc intrinsèques du SEF pour une fréquence du signal d'entrée de 10 GHz, et une amplitude crête crête de 1V.

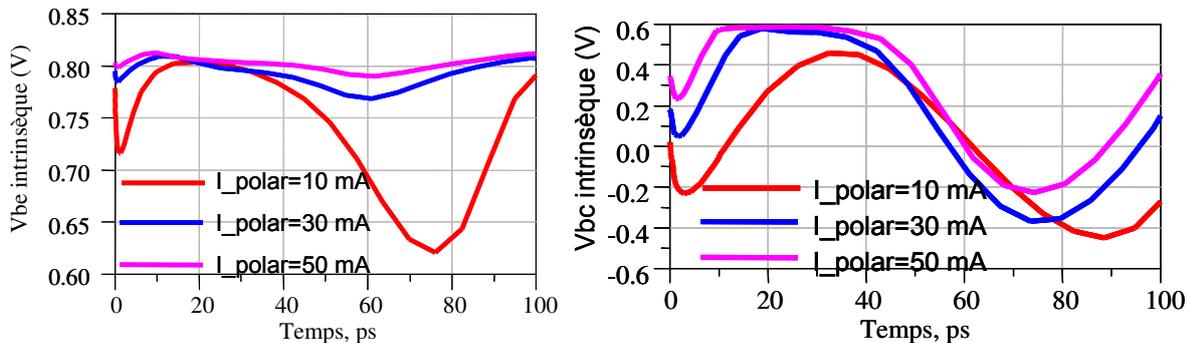


Figure 38 : Formes temporelles intrinsèques de Vbe et Vbc ( $F_{RF}=10$  GHz, 1 Vpp)

#### V.4.2. La linéarité :

Pour évaluer la linéarité en terme de distorsion harmonique, on effectue une simulation en mode passant.

L'évaluation de la linéarité du circuit SEF est basée sur une simulation de type «Harmonic Balance ». La linéarité est la différence en dB entre l'amplitude de la raie fréquentielle à la fréquence fondamentale et la raie fréquentielle qui correspond au troisieme harmonique. La deuxième harmonique serait fortement atténuée par l'utilisation d'une architecture différentielle.

La relation entre la linéarité et la bande passante du SEF est analysée lorsque la diode base collecteur de Q1 désactivée. Deux cas sont alors étudiés.

Le premier cas correspond à un courant d'alimentation fixé et une capacité de maintien variable. Dans ce cas la linéarité et la bande passante du SEF sont données figures 40 et 41

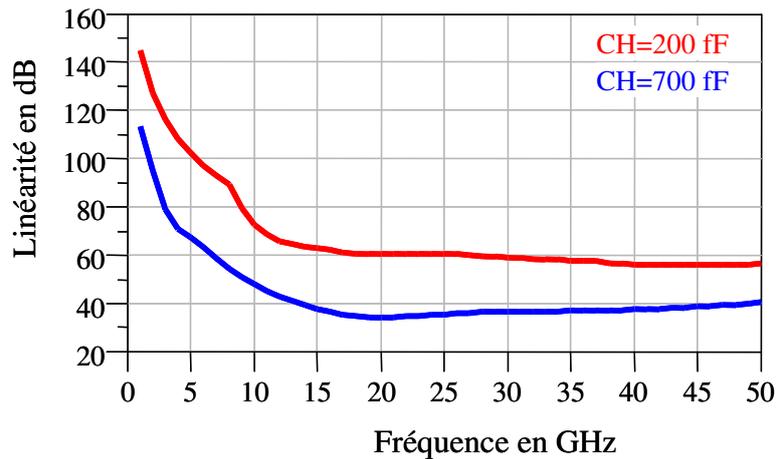


Figure 40: Linéarité du SEF en fonction de la capacité de maintien

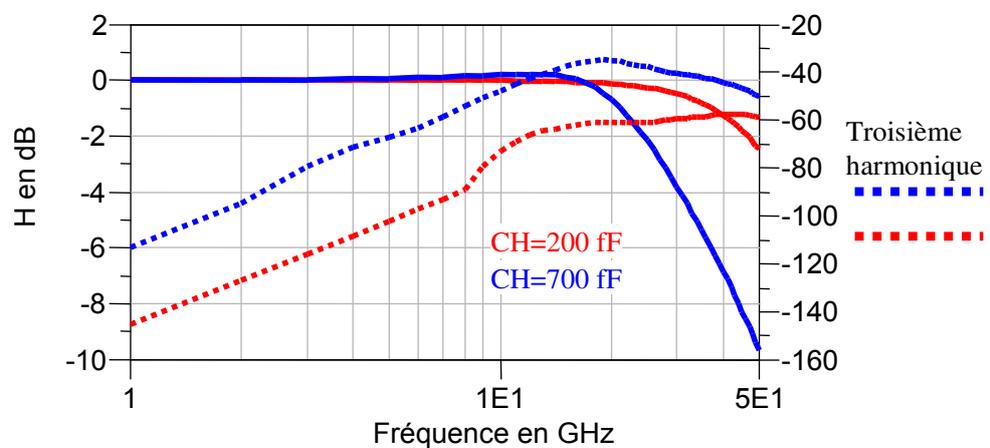


Figure 41: Bande passante du SEF

Les figures 41 et 42 montrent que la linéarité la plus petite correspond au cas où la bande passante est la plus petite. L'augmentation de la capacité de maintien signifie que le signal d'entrée est moins transféré vers la sortie du SEF et par conséquent l'amplitude du signal augmente au niveau de la jonction base émetteur entraînant la dégradation de linéarité. Pour les fréquences RF plus petites que la fréquence de coupure du SEF, la linéarité décroît en fonction de la fréquence d'entrée. Pour les hautes fréquences, le signal RF augmente aux bornes de la jonction base émetteur et diminue au niveau de la capacité de maintien. Pour des fréquences plus grandes que la fréquence de coupure, la linéarité cesse de diminuer car le signal RF est localisé aux bornes de la résistance d'entrée (constante) du SEF et par conséquent l'excitation de la troisième harmonique diminue.

Dans le deuxième cas, la capacité de maintien est fixée tandis que le courant d'alimentation est variable. Dans ce cas la linéarité et la bande passante du SEF sont données figures 42 et

43

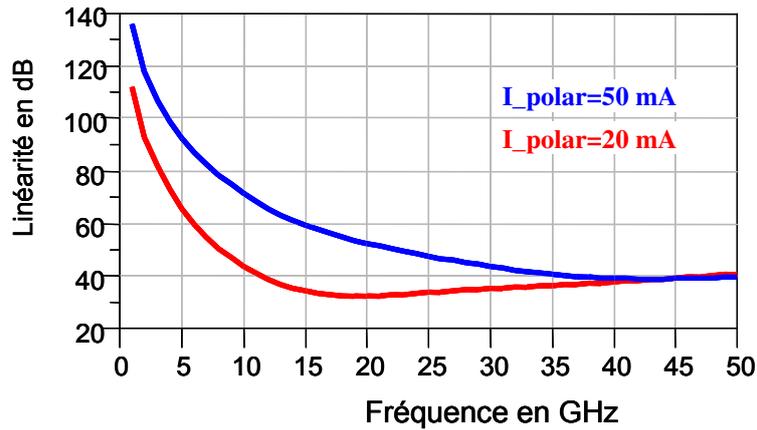


Figure 42 : Linéarité du SEF en fonction du courant d'alimentation

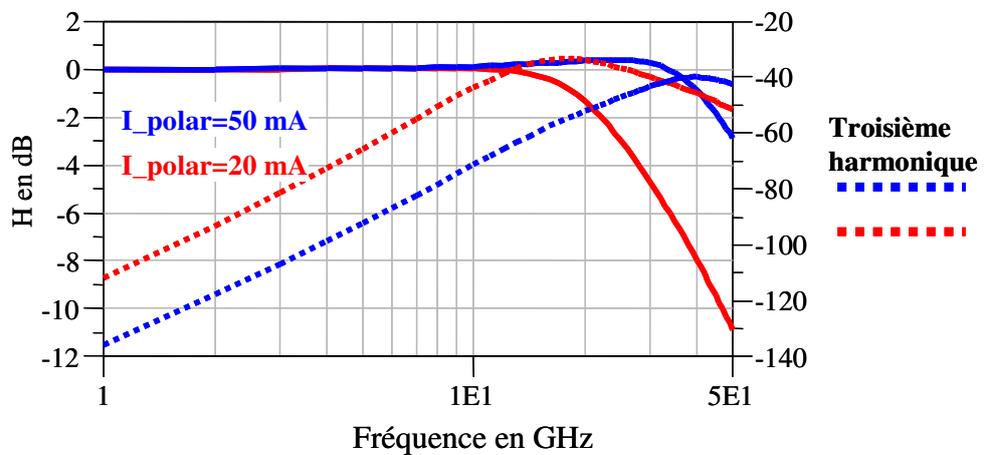


Figure 43 : Bande passante du SEF en fonction du courant d'alimentation

Les figures 42 et 43 montrent que la linéarité et la bande passante augmentent en fonction du courant d'alimentation.

La bande passante et la linéarité dépendent principalement de la résistance dynamique de la diode base émetteur. La figure 44 montre la tension  $V_{be}$  intrinsèque aux bornes de la diode base émetteur.

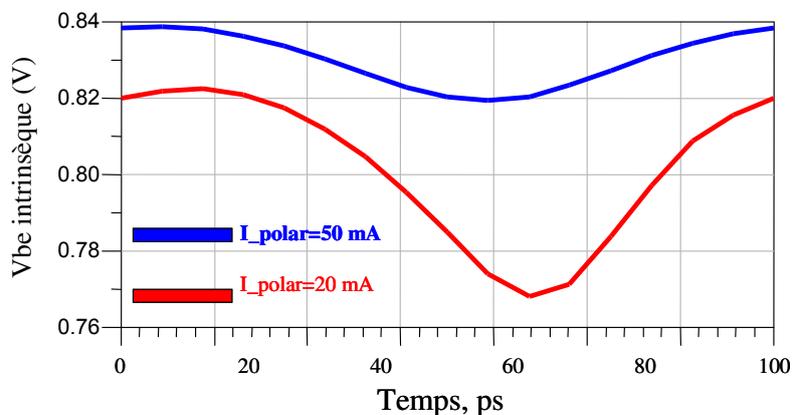


Figure 44 : Forme temporelle intrinsèque de  $V_{be}$

D'après la figure 44, on peut constater que la diode base émetteur devient plus linéaire lorsque le courant de polarisation augmente.

Lorsqu'on active la non linéarité de la jonction base collecteur les tendances linéarité / consommation sont modifiées. Les figures 45,46 montrent la linéarité et la bande passante en fonction de la fréquence du signal d'entrée pour deux courants de polarisation.

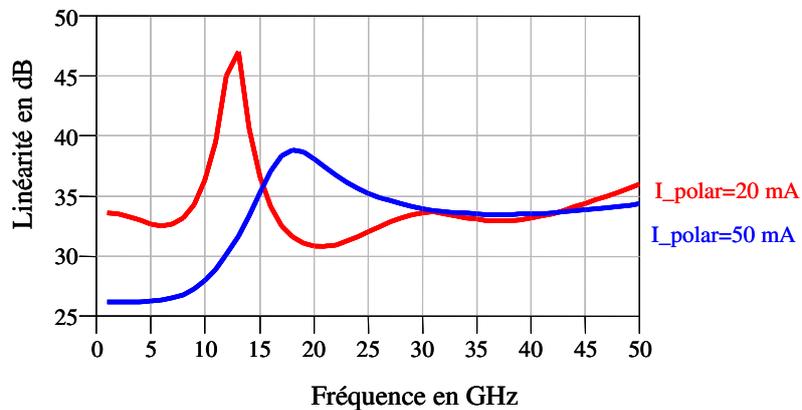


Figure 45 : Linéarité du SEF en présence des non linéarités base – collecteur.

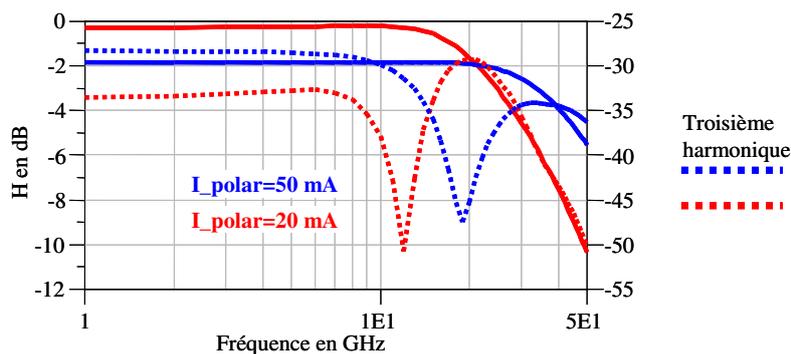


Figure 46 : Bande passante SEF avec diode base – collecteur activée.

D'après les figures 45 et 46, on remarque que lorsque la fréquence d'entrée est située dans la région plate de la fonction de transfert, la linéarité diminue en fonction du courant de polarisation. Cela est dû à l'excitation des non linéarités de la jonction base collecteur à fort courant  $I_{polar}$  comme illustré figure 47.

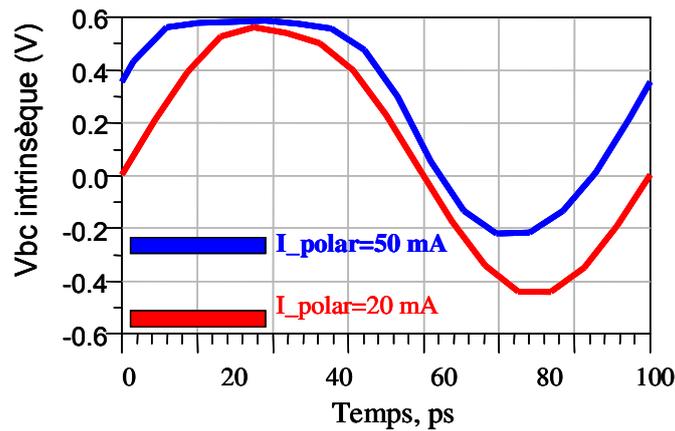


Figure 47 : Formes temporelles intrinsèques de  $V_{bc}$ .

Lorsque la fréquence d'entrée est à la limite de la bande plate, la linéarité atteint un maximum. Cela résulte d'une forte atténuation de la troisième harmonique par rapport à la fréquence fondamentale. D'après la figure 47, les deux fréquences de coupure ne sont pas les mêmes pour  $I_{polar}=20$  mA et  $I_{polar}=50$  mA. Il en résulte deux maxima de linéarité qui sont fréquentiellement décalés.

#### V.4.3. Sensibilité du SEF au modèle non linéaire

##### V.4.3.1. Isolation en mode bloqué :

L'isolation est la différence en dB entre l'amplitude du signal à la fréquence fondamentale aux bornes de la capacité de maintien et l'amplitude du signal d'entrée.

L'isolation entrée/sortie en mode bloqué dépend de la valeur de la capacité base émetteur. La figure 48 montre les tendances de l'isolation pour différentes valeurs de  $C_{je0}$  (capacité de jonction base émetteur de Q1).

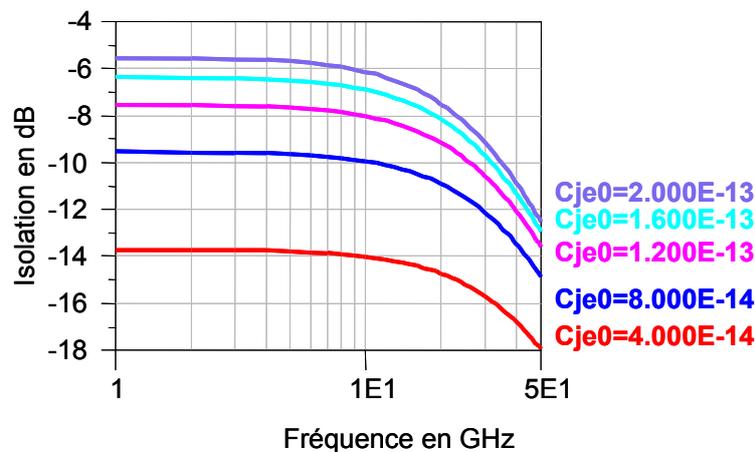


Figure 48 : Isolation en fonction de la capacité  $C_{je0}$  et de la fréquence d'entrée.

On peut remarquer qu'une sous estimation de la capacité base émetteur se traduit par une augmentation de l'isolation du SEF.

L'isolation entrée/sortie du circuit SEF pour différentes valeurs de  $C_{bcj0}$  est donnée figure 49.

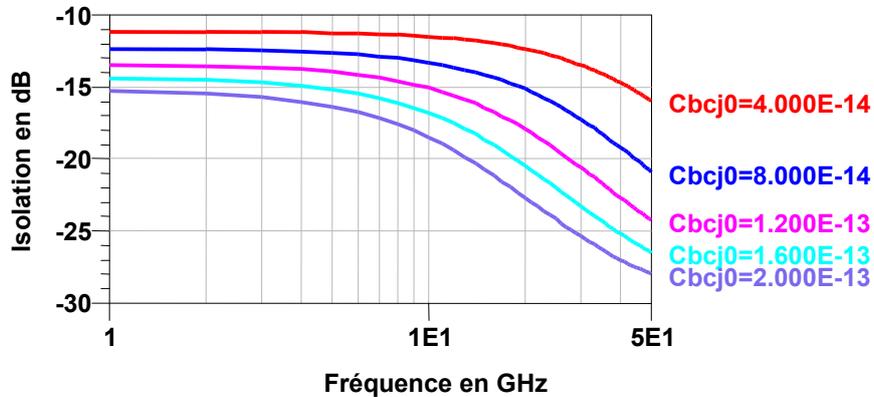


Figure 49: Isolation du SEF en fonction de la capacité de jonction base collecteur

La surestimation de la capacité base collecteur se traduit par une meilleure isolation. Une valeur plus grande de la capacité  $C_{bc}$  favorise le passage du signal RF à travers la capacité  $C_{bc}$  vers la masse du circuit et par conséquent l'amplitude du signal RF au niveau de la capacité de maintien diminue ce qui fait augmenter l'isolation.

#### V.4.3.2. Bande passante :

La bande passante du circuit SEF en mode passant est peu sensible à la capacité base émetteur car cette capacité est masquée par la résistance dynamique de la diode base émetteur. La figure 50 montre la bande passante en fonction de  $C_{je0}$ .

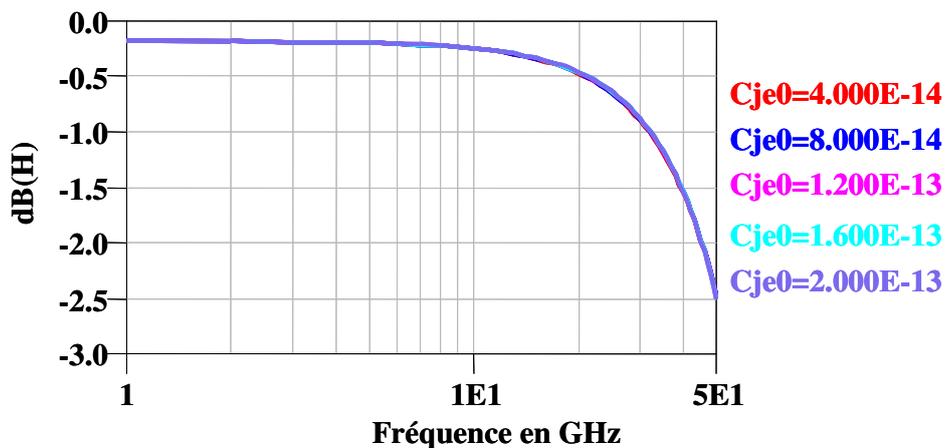


Figure 50: Bande passante en fonction de la capacité  $C_{je0}$ .

La capacité base collecteur a une influence plus visible sur la bande passante du SEF que la capacité base émetteur comme le montre la figure 51.

La figure 51 montre la bande passante du circuit SEF pour différentes valeurs de  $C_{bcj0}$ .

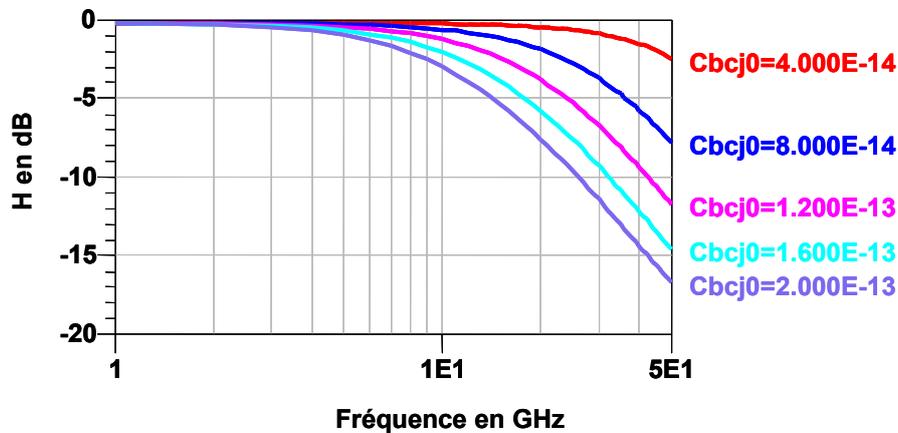


Figure 51: Bande passante du SEF en fonction de la capacité de jonction base collecteur

La bande passante du circuit SEF est très sensible à la capacité base collecteur d'où la nécessité d'une modélisation fiable et précise de celle ci.

### V.5. Simulation temporelle :

La simulation temporelle permet de vérifier le bon fonctionnement du modèle dans ce circuit d'échantillonnage. Elle permet aussi d'évaluer le temps de commutation ou retard du circuit SEF pour en déduire les limites de la fréquence d'échantillonnage.

La figure 52 montre la tension de sortie de l'échantillonneur pour deux valeurs de la capacité de maintien.

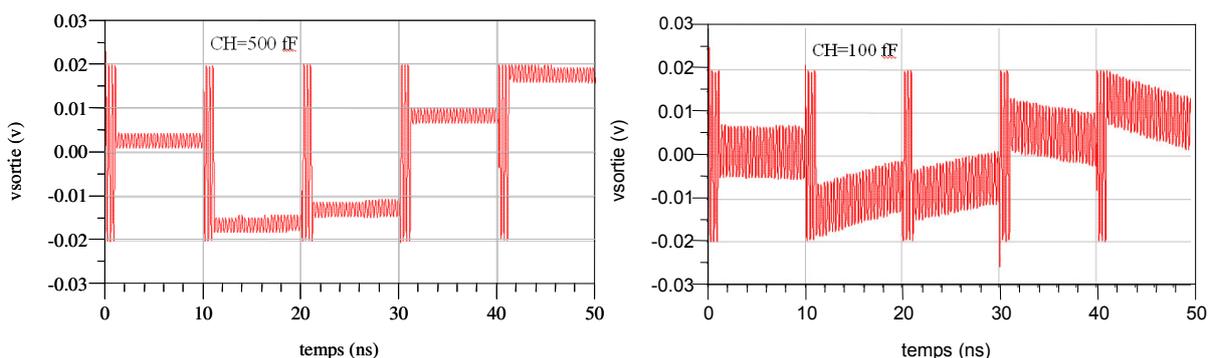


Figure 52 : Influence de  $C_H$  sur le blocage du signal échantillonné

Une valeur trop faible signifie que la constante de temps de blocage du signal échantillonné est plus faible et donc il est difficile de maintenir le signal constant pendant la phase de

blocage. Pour pouvoir utiliser des capacités de valeurs faibles, le temps de blocage doit être réduit et la fréquence d'échantillonnage doit être augmentée.

#### V.5.1. Commandes E et B sinusoïdales

On utilise maintenant des signaux sinusoïdaux en opposition de phase (E et B) pour la commande de l'échantillonneur.

L'utilisation de ce type de signaux à la place des signaux rectangulaires idéalisés entraîne une dégradation des performances.

- Le temps de commutation des transistors Q2 et Q3 est plus long. Ceci peut être compensé par une augmentation du courant de polarisation.
- Le blocage de la jonction base émetteur du transistor (SEF) n'est pas parfait ce qui entraîne une fuite significative du signal RF vers la sortie et une décroissance de la valeur échantillonnée. Ceci peut être compensé par une augmentation de la capacité de maintien mais cela entraîne la diminution de la bande passante.

La figure 53 montre la comparaison de la sortie de l'échantillonneur pour une commande rectangulaire et pour une commande sinusoïdale dans les conditions suivantes :  $V_{pp}=1$ ,  $f_{rf}=1.05$  GHz, signaux de commande E/B d'amplitude 1V et de fréquence 100 MHz.

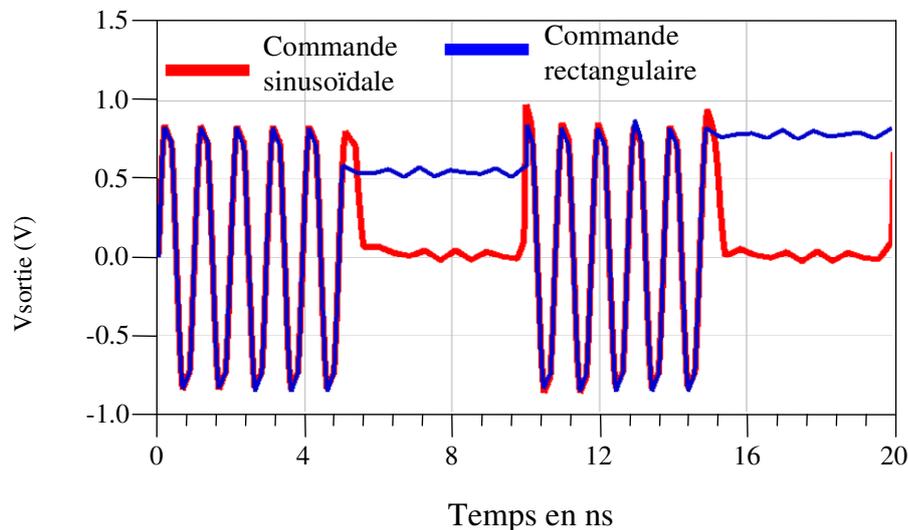


Figure 53 : Signal échantillonné bloqué pour des commandes rectangulaire et sinusoïdale

La figure 54 montre la comparaison de la tension  $V_{be}$  du transistor SEF pour une commande rectangulaire et pour une commande sinusoïdale.

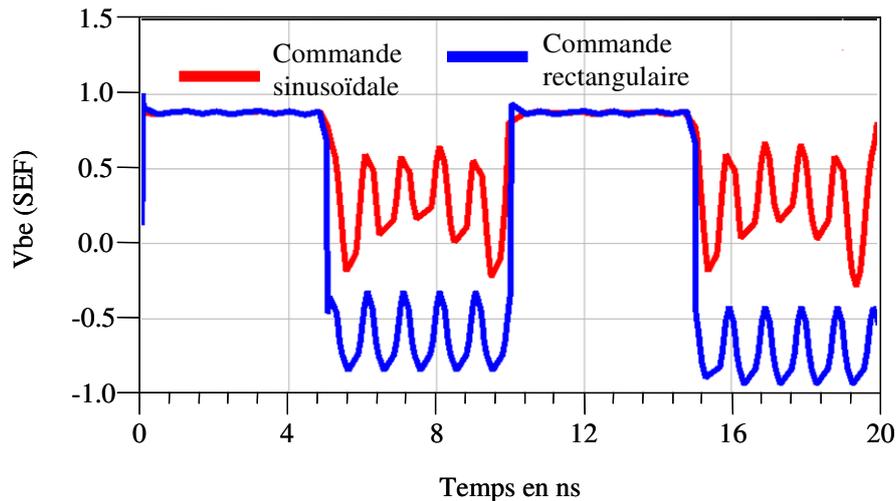


Figure 54 : Différence de potentiel aux bornes de la jonction base émetteur du SEF

La figure 54 montre que pour des signaux de commande sinusoïdaux le blocage de la jonction base émetteur se fait avec une tension plus grande que dans le cas des commandes rectangulaires. Ceci entraîne une fuite importante du signal d'entrée vers la sortie pendant la phase de blocage notamment dans le cas du fonctionnement en mode grand signal.

Comme la tension aux bornes de la capacité de maintien chute durant la phase de blocage pour des signaux de commande sinusoïdaux, la tension Vce du transistor SEF augmente ce qui modifie la zone de fonctionnement de ce transistor. Les figures 55 et 56 montrent une comparaison des zones de fonctionnement du transistor SEF pour les deux types de signaux de commande.

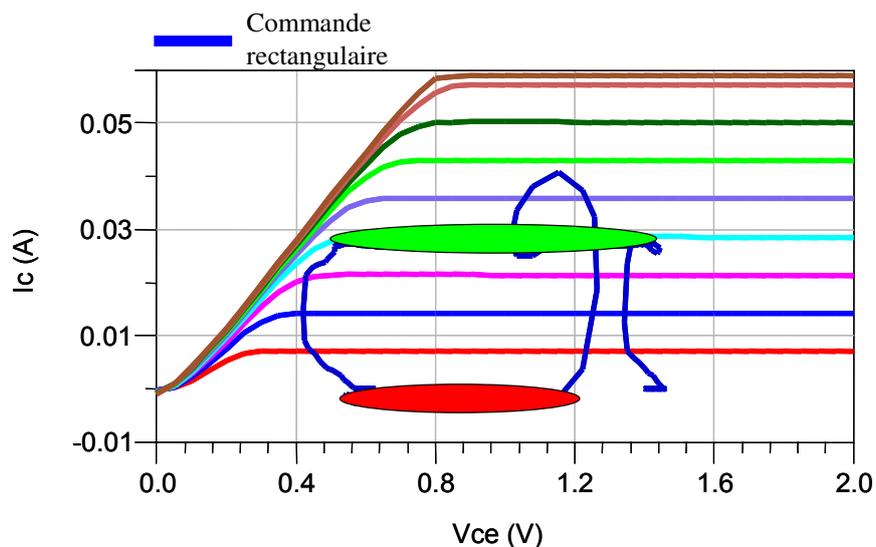


Figure 55 : Fonctionnement du transistor SEF pour une commande rectangulaire.

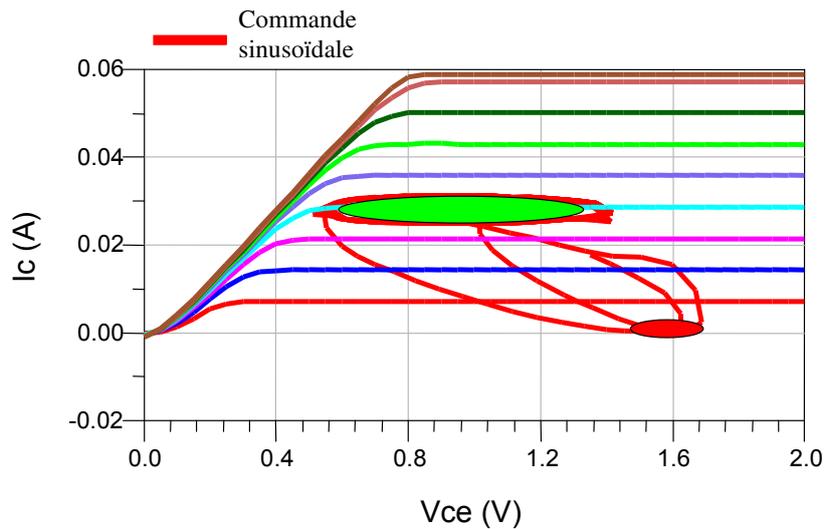


Figure 56 : Fonctionnement du transistor SEF pour une commande sinusoïdale

### Conclusion :

Ce chapitre a fait une brève description d contexte de l'échantillonnage blocage large bande afin de situer le cadre des simulations de principe effectuées pour éprouver le modèle de TBH InP établi au chapitre 2.

Les simulations effectuées et les courbes de principe obtenues valident la robustesse du modèle. Elles montrent aussi son intérêt à pouvoir focaliser localement sur des paramètres tensions/courants intrinsèques aux divers transistors dans le but de vérifier des explications potentielles à des paramètres et performances plus globaux.

## Bibliographie :

- [1] G. Leger, E. Peralias, A. Rueda, and J. Huertas. Impact of random channel mismatch on the snr and sfdr of time interleaved adcs. *IEEE Transaction on circuit and systems* , Regular paper, Vol. 51(No. 1) :140–150, Janvier 2004.
- [2] H. Jin and E. Lee. A digital background calibration technique for minimizing timing error effects in time interleaved adc's. *IEEE Transaction on Cicuits and Systems*, Vol. 47(No. 5) :603–613, Juillet 2000.
- [3] D. Camarero de la rosa, "Calibrage mixte du décalage de l'horloge dans les convertisseurs analogique numérique à entrelacement temporel. PhD thesis, Ecole Nationale Supérieure des Télécommunications », Juin 2007.
- [4] DSA70000, Tektronix, Oscilloscope Tek's latest Oscilloscope offers 20 GHz real-time bandwidth and 50 GS/s simultaneous sampling rate.  
[http://www.cnrood.com/PHP/files/instrum\\_pdf/DPO-DSA-70000.pdf](http://www.cnrood.com/PHP/files/instrum_pdf/DPO-DSA-70000.pdf)".
- [5] Agilent/HP DSO81004A Oscilloscope, 10 GHz, 20/40 GS/s, 4 Ch  
[http://www.axiomtest.com/Agilent\\_\\_HP\\_DSO81004A\\_10GHz\\_20\\_40GS\\_S\\_4CH\\_Infinium\\_Oscope7666-details.aspx](http://www.axiomtest.com/Agilent__HP_DSO81004A_10GHz_20_40GS_S_4CH_Infinium_Oscope7666-details.aspx).
- [6] Lecroy WaveMaster 830Zi  
[http://www.lecroy.com/tm/products/scopes/WaveMaster\\_8\\_Zi/](http://www.lecroy.com/tm/products/scopes/WaveMaster_8_Zi/)
- [7] DeVries, C.A. Mason, R.D., " Subsampling Architecture for Low Power Receivers", Kleer Corp., Ottawa; April 2008, Volume: 55, Issue: 4, page(s): 304-308"
- [8] Bourdoux, Andre Craninckx, Jan Dejonghe, Antoine Van der Perre, Liesbet IMEC, " Receiver Architectures for Software-defined Radios in Mobile Terminals: the Path to Cognitive Radios", Radio and Wireless Symposium, 2007 IEEE, 9-11 Jan. 2007, page(s): 535-538".
- [9] Ching-Hsiang Tseng Sun-Chung Chou, " Direct downconversion of multiband RF signals using bandpass sampling", *Wireless Communications, IEEE Transactions*, Date: Jan. 2006, Volume: 5, Issue: 1, page(s): 72- 76.
- [10] [http://www.national.com/appinfo/adc/files/ABCs\\_of\\_ADCs.pdf](http://www.national.com/appinfo/adc/files/ABCs_of_ADCs.pdf)
- [11] Maher jridi: These: " Modélisation et Amélioration des Performances des Convertisseurs Analogique Numérique Entrelacés dans le Temps", 2007,  
<http://tel.archives-ouvertes.fr/docs/00/29/89/81/PDF/PlanManuscrit.pdf>

- [12] Jayanth Murthy Madapura, "Achieving Higher ADC Resolution Using Oversampling", Microchip Technology, Inc, 2008 <http://ww1.microchip.com/downloads/en/AppNotes/Achieving%20Higher%20ADC%20Resolution%20Using%20Oversampling%2001152A.pdf>.
- [13] B. Gorisse, H. El Aabbaoui, N. Rolland, P.-A. Rolland, "Jitter Analysis of Electrical Samplers Based on a Propagation Line," European Microwave Week, oct. 2007.
- [14] Kobayashi, H. Morimura, M. Kobayashi, K. Onaya, Y. "Aperture jitter effects in wideband ADC systems" SICE 38th Annual Conference, Aug 1999, page(s): 1089-1094.
- [15] Y. Borokhovych, H. Gustat, B. Tillack, B. Heinemann, Y. Lu, W. M. L. Kuo, X. Li, R. Krithivasan, et J. D. Cressler, "A low-power, 10GS/s track-and-hold amplifier in SiGe BiCMOS technology," In Proc. 31st European Solid-State Circuits Conference ESSCIRC 2005, 12–16 Septembre 2005, pages 263–266.
- [16] Y. Lu, W.-M. L. Kuo, X. Li, R. Krithivasan, J. D. Cressler, Y. Borokhovych, H. Gustat, B. Tillack, et B. Heinemann, "An 8-bit, 12 GSample/sec SiGe trackand- hold amplifier," In Proc. Bipolar/BiCMOS Circuits and Technology Meeting, 9–11 Octobre 2005, pages 148–151.
- [17] H. El Aabbaoui, B. Gorisse, N. Rolland, A. Benlarbi-Delai, V. Allouche, N. Fel, P. Leclerc, B. Riondet, P.-A. Rolland, "Design of a [DC-20 GHz] Buffered Track and Hold Circuit in InP DHBT Technology," European Microwave Week, oct. 2007
- [18] B. Gorisse, Thèse université de Lille « Etude d'éléments de base et de concepts pour un numériseur à très large bande passante et à haute résolution »
- [19] X. Li, W. L. Kuo, Y. Lu, R. Krithivasan, J. D. Cressler, et A. J. Joseph, "A 5-bit, 18 GS/sec SiGe HBT track-and-hold amplifier," In Proc. IEEE Compound Semiconductor Integrated Circuit Symposium CSIC '05, 30 Octobre–2 Novembre 2005, page 4pp.
- [20] S. Halder, H. Gustat, et C. Scheytt, "An 8 Bit 10 GS/s 2Vpp Track and Hold Amplifier in SiGe BiCMOS Technology," In Proc. 32nd European Solid-State Circuits Conference ESSCIRC 2006, Septembre 2006, pages 416–419.
- [21] D. Smola, J. H. Huijsing, K. A. A. Makinwa, H. Ploeg, M. Vertregt, et L. Breems, "An 8-bit, 4-Gsample/s Track-and-Hold in a 67GHz fT SiGe BiCMOS technology," In Proc. 32nd European Solid-State Circuits Conference ESSCIRC 2006, Septembre 2006, pages 408–411.

- [22] S. Shahramian, A. C. Carusone, et S. P. Voinigescu, "Design Methodology for a 40-GSamples/s Track and Hold Amplifier in 0.18- $\mu\text{m}$  SiGe BiCMOS Technology," Volume 41, Numéro 10, pages 2233–2240, Octobre 2006.
- [23] X. Li, W.-M. L. Kuo, et J. D. Cressler, "A 40 GS/s SiGe track-and-hold amplifier," InProc. IEEE Bipolar/BiCMOS Circuits and Technology Meeting BCTM 2008, 13–15 Octobre 2008, pages 1–4.
- [24] Y. Bouvier, A. Konczykowska, A. Ouslimani, et J. Godin, "A 1 GSAMPLE/s, 15 GHz input bandwidth Master-Slave Track-and-Hold Amplifier in InP-DHBT technology," In Proc. IEEE MTT-S International Microwave Symposium Digest, 7–12 Juin 2009.
- [25] Y. Bouvier: « Conception et caractérisation de circuits échantillonneurs Bloqueurs pour la conversion analogique numérique ultra-rapide », laboratoire d'accueil ECS-ENSEA, Thèse de l'Université de Cergy-Pontoise, soutenue le 2 septembre 2009.
- [26] J.C. Jensen, L.E. Larson, "A Broadband 10-GHz Track-and-Hold in Si/SiGe HBT Technology," IEEE Journal of Solid-State Circuits, vol. 36, no. 3, pp.325-330, March 2001.
- [27] Jaesik Lee A. Leven, J.S. Weiner, Y. Baeyens, Yang Yang, Wei-Jer Sung, J. Frackoviak, R.F. Kopf, Young-Kai Chen, "A 6-b 12-GSamples/s Track-and-Hold Amplifier in InP DHBT Technology," IEEE Journal of Solid-State Circuits, vol. 38, no. 9, pp. 1533-1539, Sept. 2003.
- [28] Agoston, A. Pepper, S. Norton, R. Ebner, J. Schoen, K. " 100 GHz through-line sampler system with sampling rates in excess of 10 Gsamples/second", Picosecond Pulse Labs, Boulder, CO, USA; Microwave Symposium Digest, 2003 IEEE MTT-S International, 8-13 June 2003, Volume: 3, page(s): 1519- 1521 vol.3.
- [29] <http://www.inphi.com/product-overview/analog-mixed-signal/track-and-hold/1821ths01bga.php> 2 GS/s sampling rate, 18 GHz input bandwidth (small-signal), 15 GHz input bandwidth (0.5 V p-p) 12 GHz input bandwidth (1 V p-p), THD < -60 dB (1 GHz 1 V p-p input) , 2 GS/s, THD < -60 dB (1 GHz 1 V p-p input).

## Conclusion Générale

Les travaux décrits dans ce mémoire de thèse ont montré une contribution à la caractérisation et à modélisation de technologie de semi conducteurs rapide dans un contexte général d'échantillonnage large bande pour viser des applications de numérisation de signaux micro-ondes.

Ces travaux ont été réalisés dans le cadre d'une étude PREI DGA (projet de recherche exploratoire innovation) en collaboration avec Alcatel Thalès III-V Lab , l'IEMN et Thalès Systèmes Aéroportés .

Des transistors bipolaires (DHBT) InP 1.5  $\mu\text{m}$  et 0.7  $\mu\text{m}$  d'Alcatel Thalès III-V Lab ont été caractérisés et modélisés.

Le premier chapitre a proposé un aperçu général des technologies de semi conducteurs rapides et une description plus détaillée de la technologie InP d'Alcatel Thalès III-V Lab modélisée dans ce travail de thèse.

Le chapitre 2 qui constitue le cœur de ce travail de thèse a montré les différentes étapes de développement de l'outil de caractérisation et son application à la modélisation électrothermique de transistors Un aspect original réside dans la caractérisation des transistors en impulsions étroites (40 ns) avec une configuration d'excitation impulsionnelle en tension collecteur en maintenant le courant de base DC.

Des tests de validation de modèles tels que la mesure en DC et en impulsions étroites de miroirs de courant ainsi que des mesures de formes d'ondes temporelles RF ont été effectuées.

Ces travaux ont donné lieu à trois publications, une publication dans la revue Electronic Letters, une publication dans un congrès international (RFIC Boston 2009) et une présentation aux JNM Grenoble.

Le chapitre 3 a eu comme objectif de montrer quelques simulations représentatives du cœur d'une fonction d'échantillonnage blocage basée sur une structure dite d'émetteur suiveur commuté. L'objectif était de montrer les qualités générales du modèle en terme de robustesse et l'intérêt à visualiser localement des variables tensions et courants intrinsèques en même temps que des performances globales telles que la bande passante par exemple.

Beaucoup de conditions de simulation ont été éprouvées, petit signal de type [S] , fort signal en équilibrage harmonique et simulations transitoires sans faire apparaître de points bloquant tels que des problèmes de convergence .

Les perspectives de ces travaux peuvent viser un approfondissement des aspects de la modélisation électrothermique avec plusieurs constantes de temps et la comparaison croisée entre informations extraites de mesures en impulsions très étroites et mesures en S basse fréquence. Il convient également d'approfondir les aspects de caractérisation temporelle. L'ensemble du travail peut s'appliquer également à d'autres technologies.





## **Caractérisation en impulsions étroites et modélisation de transistors bipolaires à hétérojonction en technologie InP**

Les travaux décrits dans ce mémoire de thèse ont montré une contribution à la caractérisation et à la modélisation de technologie de semi conducteurs rapide dans un contexte général d'échantillonnage large bande pour viser des applications de numérisation de signaux micro-ondes.

Le premier chapitre donne un aperçu général des technologies de semi conducteurs rapides et une description plus détaillée de la technologie InP d'Alcatel Thalès III-V Lab modélisée dans ce travail de thèse.

Le deuxième chapitre donne une description est donnée pour les différentes étapes de développement de l'outil de caractérisation et son application à la modélisation électrothermique de transistors. Un aspect original réside dans la caractérisation des transistors en impulsions étroites (40 ns) avec une configuration d'excitation impulsionnelle en tension collecteur en maintenant le courant de base DC. Des tests de validation de modèles tels que la mesure en DC et en impulsions étroites de miroirs de courant ainsi que des mesures de formes d'ondes temporelles RF ont été effectuées.

Le troisième chapitre montre des simulations représentatives du cœur d'une fonction d'échantillonnage blocage basée sur une structure dite d'émetteur suiveur commuté. L'objectif était de montrer les qualités générales du modèle en terme de robustesse et l'intérêt à visualiser localement des variables tensions et courants intrinsèques en même temps que des performances globales telles que la bande passante. Beaucoup de conditions de simulation ont été éprouvées, petit signal de type [S], fort signal en équilibrage harmonique et simulations transitoires sans faire apparaître de points bloquant tels que des problèmes de convergence.

*Mots clés : Transistor bipolaire à hétérojonction, impulsions étroites, non linéaire, échantillonneur, Bande passante, Linéarité*

### **Narrow pulses characterization and modelling of heterojunction bipolar transistor in InP Technology**

This thesis shows a contribution to the characterization and modelling of fast semiconductor devices in a general context of broadband sampling applications of microwave signals.

The first chapter gives an overview of fast semiconductor devices technology. A more detailed description of the InP technology from Alcatel Thales III-V Lab modelled in this thesis is given.

The second chapter describes the test bench setup for characterization and its application to the electro-thermal modelling of transistor hetero-junction bipolar transistor. One original aspect is the narrow pulse (40 ns) characterization of transistors with a pulse voltage applied to the collector while maintaining the DC base current. Validation tests of models such as DC and pulsed measurements as well as time domain waveforms of current / voltage at transistor ports were performed.

The third chapter shows some representative simulations of the heart of a sampling function block based on a switched emitter follower circuit are shown. The aim was to show the quality of the model in terms of strength and interest to see local intrinsic voltages and currents at the same time that overall performance such as bandwidth and Linearity.

Many simulation conditions were tested, small type signal [S], large signal harmonic balance and transient simulations without showing any convergence problems.

*Key words: Heterojunction Bipolar transistor, Narrow pulses, non linear, Sampler, Bandwidth, Linearity.*