

UNIVERSITE DE LIMOGES

ECOLE DOCTORALE Sciences et Ingénierie pour l'Information

FACULTE des Sciences et Techniques de Limoges

Année : 2009

Thèse N° 40-2009

Thèse

pour obtenir le grade de

Docteur de l'Université de Limoges

Spécialité : Electronique des Hautes Fréquences, Photonique et Systèmes

présentée et soutenue par

Laure ROLLAND DU ROSCOAT

le 16 octobre 2009

Contribution à l'Analyse des Mécanismes de Couplages dans les Systèmes sur une Puce

Thèse dirigée par Bruno BARELAUD et Serge VERDEYME

JURY :

M. Edouard Ngoya	Directeur de Recherche, CNRS, Xlim	Président
M. Christian Person	Professeur à Telecom Bretagne, UEB	Rapporteur
Mme Nathalie Rolland	Professeur à l'Université de Lille, IEMN Lille	Rapporteur
M. Bruno Barelaud	Professeur à l'Université de Limoges	Examineur
M. Francis Calmon	Maître de Conférences, HDR, INSA Lyon	Examineur
M. Patrice Gamand	HDR, Directeur du Centre d'Innovation RF, NXP	Examineur
M. Bernard Jarry	Professeur à l'Université de Limoges	Examineur
M. Serge Verdeyme	Professeur à l'Université de Limoges	Examineur
M. Jean Hourany	Ingénieur en Conception	Invité
M. Julien Lintignat	Maître de Conférences de l'Université de Limoges	Invité

Remerciements

Ce manuscrit est le fruit d'un travail de recherche mené au sein d'une équipe industrielle et en coopération avec elle. Je commencerai donc par remercier Monsieur Patrice Gamand, Manager de l'Innovation Centre pour les Radio-Fréquences, pour m'avoir accueillie au sein de son équipe, dans cet excellent environnement technique et industriel. Je lui témoigne toute ma reconnaissance pour ses qualités humaines et techniques, et le remercie pour sa confiance, nos échanges, et ses lectures approfondies des moutures démantelées des pages qui suivent.

J'adresse ma plus vive et sincère reconnaissance à Monsieur Jean Hourany, qui a témoigné de sa confiance dès le début. Son implication dans certains projets entrepris, son enthousiasme, la transmission de ses connaissances, ses images enfantines, ses précieux conseils, sa présence quotidienne à ma droite pendant de nombreux mois ont plus qu'influencé le fond et la forme de ce mémoire. Je souligne sa grande disponibilité et le remercie pour toutes les réponses apportées à mes impromptues questions, merci pour les questions reformulées aussi !

Je souhaite remercier toute l'équipe ICRF, celles et ceux qui sont partis aussi, pour leur disponibilité, leurs conseils avisés, le partage de leurs connaissances, leur énergie innovante, leurs précieuses contributions à des moments-clé, et leurs encouragements. Je remercie Monsieur Alain Cousin pour tous les moyens mis à ma disposition.

Je remercie sincèrement mes directeurs de thèse, Monsieur Bruno Barelaud et Monsieur Serge Verdeyme, tous deux Professeur à l'Université de Limoges, pour m'avoir introduite au sein de l'entreprise puis avoir dirigé ces recherches. Je les remercie pour leurs chaleureux accueils lors de mes visites limougeaudes, et leur fait part de toute ma gratitude pour tous les pertinents et précieux conseils qu'ils m'ont suggérés au cours de ces trois années.

Je remercie vivement les membres du jury.

Que Madame Nathalie Rolland, Professeur à l'Université de Lille IEMN, et Monsieur Christian Person, Professeur à l'université de Telecom, trouvent ici l'expression de ma considération, ainsi que mes sincères remerciements pour avoir accepté de juger ce travail en qualité de rapporteurs.

Je désire exprimer ma gratitude à Monsieur Francis Calmon, Maître de Conférence à l'INSA Lyon, Monsieur Patrice Gamand, Directeur du Centre d'Innovation pour les RadioFréquences, NXP Semiconductors, Monsieur Bernard Jarry, Professeur à l'Université de Limoges, Monsieur Edouard Ngoya, Professeur à l'Université de Limoges, Monsieur Jean Hourany, Ingénieur en Conception, Monsieur Julien Lintignat, Maître de Conférences à l'Université de Limoges, Monsieur Serge Verdeyme, Professeur à l'Université de Limoges, et Monsieur Bruno Barelaud, Professeur à l'Université de Limoges, pour avoir accepté de composer le jury.

Je tiens à remercier particulièrement Messieurs Saleem Kala, Vincent Regnauld, Jean Hourany, Guillaume Varin et Emmanuel Grenados, notamment pour leurs fabuleux

supports lors du premier tape-out et pendant les phases critiques des suivants. Je souhaite remercier les Dominique, Messieurs Bosquet et Le Sénéchal qui m'ont accompagnée pendant plusieurs mois dans la pose des pointes avant de me faire officiellement passer with success le « permis probeur ».

I greatly thank Jacob Bakker and Sergeï Kapora for our interactions on substrate couplings and hope them to continue on this work.

Je remercie Monsieur Yves Dufour et toute sa dpll team de 2007 pour, entre autres, avoir envisagé « le port substrat » supplémentaire.

J'adresse également mes remerciements à l'équipe TV-FE pour m'avoir intégrée dans un de leurs projets et offert la possibilité d'exploiter « les vides » de leur puce. Je remercie Messieurs Vincent Rambaud, Olivier Abed-Meraim, Sébastien Robert et Claude Caron pour leur aide et les précieux «quarts d'heure» accordés.

Je remercie Monsieur Benoît Guyot pour nos échanges sur les améliorations d'un circuit. Je remercie l'équipe du CAD pour son support informatique très réactif.

Je remercie Madame Céline Detcheverry pour ses réponses à mes diverses interrogations concernant les procédés et certains problèmes topologiques rencontrés.

Je remercie Monsieur Charif Mohamed Fakih de l'Université de Limoges pour nos échanges techniques sur le substrat.

Je remercie aussi Monsieur Raphaël Sommet de l'Université de Limoges pour m'avoir présentée ses travaux sur les techniques de réduction d'ordre.

Je remercie Madame Céline Barbier-Petot pour toutes les astuces dont elle m'a fait part.

Je remercie Madame Aurélia Cognet, Madame Céline Lainé, et Madame Marie-José Moreno, et à Limoges, Madame Marie-Claude Lerouge, pour leur efficacité et leur gentillesse.

Je salue mes collègues, ceux qui ont partagé mes bureaux et tous ceux qui ont partagé d'agréables pauses eau fraîche/thé/café, juste à côté de mon bureau !

Mes pensées se tournent vers mon entourage personnel, qui, mine de rien, a largement contribué à la réalisation de ce travail. Vous m'avez offert les bulles d'air nécessaires pour me plonger quotidiennement dans ... « l'environnement terrifiant des agresseurs et des victimes électroniques du monde des semi-conducteurs ». Un clin d'œil à tous ceux qui ont partagé de grands moments au Panta, rue Soulié, ou/et ailleurs autour de Caen. Un grand merci à mes complices qui ont assuré un relais sans faille et des instants de douces folies ! Merci pour vos bégaiements textotés, vos pièces jointes musicales, vos rayons de soleil nocturnes, vos envois d'horaires de train, vos judicieuses remarques, vos cartes postales, vos débarquements à l'improviste pour un « café transcendantal » et autres surprises sans prise, vos petits plats, (les grands aussi), votre « chasse à l'espace », votre silence-radio, votre enthousiasme, votre patience, votre impatience, votre soutien, votre présence, votre personne.

Enfin, je remercie toute ma famille qui m'a entourée avec affection et soutenue lors des moments difficiles.

A vous tous,
et à ceux qui liront ces pages,

Plan du mémoire

Liste des illustrations et des tables.....	13
Introduction générale	19
I. Problématique	21
II. Approche retenue par rapport à la problématique	27
III. Plan du mémoire de thèse.....	28
Références	29
Chapitre 1 : Compréhension exhaustive des effets électromagnétiques dans les SoCs... 31	
0. Introduction	37
0.A. Notions de couplage.....	37
0.B. Présentation haut-niveau de la topologie d'un circuit.....	40
I. Présentation du milieu physique	43
I.A. Structure physique du matériau	43
I.B. La technologie CMOS	44
I.C. Description du substrat	47
I.D. Impact des caractéristiques des métaux sur les couplages.....	56
II. Discussion sur les perturbations rayonnées.....	60
II.A. Le couplage par champ magnétique ou électrique au-dessus de la puce	60
II.B. Perturbations magnétiques.....	61
II.C. Les méthodes de mesure développées ou en développement.....	64
III. Sources d'agression dans un circuit de radiocommunication	66
III.A. Interférences entre signaux dans un circuit.....	66
III.B. Sources d'agression dans les circuits mixtes.....	68
IV. Performances des circuits RF en terme de dégradation due aux différents types de couplage	74
IV.A. Couplage « rayonné »	74
IV.B. Couplage conduit à travers le substrat	76
V. Conclusion : Importance d'une méthodologie appropriée	78
Références	80
Chapitre 2 : Courant injecté dans le substrat par un bloc numérique	83
Introduction	87
I. Le substrat : porte d'entrée et vecteur de conduction des bruits perturbants.....	88
I.A. Un réseau commun aux blocs et instances	88
I.B. Les « bruits substrat »	89
I.C. Sensibilité « substrat » du transistor, élément de base.....	90
II. Caractérisation à l'aide d'une structure de test spécifique	93
II.A. Les capteurs substrats existants/utilisés dans la littérature.....	93
II.B. Présentation de la structure.....	94
III. Modèle d'injection d'un bloc numérique dans le substrat	101
III.A. Détermination de l'activité numérique dans le substrat.....	101
III.B. Modèle d'injection dans le substrat.....	106
III.C. Validation du modèle	112

IV. Apport de stratégies pour minimiser l'injection dans le substrat.....	114
IV.A. Prises substrat	114
IV.B. Capacités de découplage	118
IV.C. Mur métallique connecté à la masse	119
IV.D. Apport du masque bloquant de Pwell	120
Conclusion.....	122
Références	124
Chapitre 3 : Application dans des circuits	127
Introduction	131
I. Sensibilité de certains circuits radio fréquence.....	132
I.A. Sensibilité des principaux blocs analogiques à un signal parasite en entrée ou sur la polarisation	132
I.B. Robustesse et faiblesse des blocs différentiels.....	135
I.C. La géométrie des blocs : un critère de susceptibilité face à l'effet induit....	137
II. Début de méthodologie de base.....	140
II.A. Séparation des domaines d'alimentation.....	140
II.B. Cartographie fréquentielle d'un circuit	147
III. Simulation au niveau global du circuit.....	150
III.A. Outils de simulation circuits	150
III.B. Création de modèles et application sur un circuit de test.....	154
III.C. Validation des modèles sur un circuit de test.....	158
IV. Remarques complémentaires sur des éléments non considérés	163
IV.A. Auto-agression d'un bloc.....	163
IV.B. Effet des interfaces : compromis entre protections ESD et RF.....	165
Conclusion.....	167
Références	168
Conclusion générale.....	171
I. Conclusions sur la contribution de ces travaux.....	173
II. Perspectives	175
Références	176
Terminologie.....	177
Annexes.....	181
Annexe A : Simulation des paramètres S des blocs sensibles.....	183
Annexe B : Script générant un modèle d'un bloc agresseur	185
Références	190

Liste des illustrations et des tables

figure 0- 1 : Deux SoCs pour un récepteur de télévision numérique.....	22
figure 0- 2 : Synoptique d'une chaîne de radio-communication avec une architecture majoritairement numérique [3]	22
figure 0- 3 : Floor-plan conceptuel	23
figure 0- 4 : Flot de conception d'un circuit.....	24
figure 0- 5 : Wafer TSMC dans un procédé CLN65.....	25
figure 1- 1 : Impédance de l'onde	35
figure 1- 2 : Effet du champ électrique	36
figure 1- 3 : Effet du champ magnétique	36
figure 1- 4 : Synoptique de l'effet monodirectionnel du couplage entre deux entités.....	37
figure 1- 5 : Circulation en boucle du courant	38
figure 1- 6: Chemin de retour du signal distribué en deux boucles	38
figure 1-7 : Courant de mode différentiel	39
figure 1- 8 : Courant de mode commun	39
figure 1- 9 : Illustration de différents niveaux de couplage	40
figure 1- 10 : Vue de dessus d'un test-chip	40
figure 1- 11 : Diagramme de connexion des fils entre pads et broches du boîtier.....	42
figure 1- 12 : Schématisation électrique du matériau	43
figure 1- 13 : Comportement électrique du matériau en fonction de la fréquence	43
figure 1- 14 : Structure de la capacité MOS	44
figure 1- 15 : Coupe d'un inverseur dans le procédé CMOS 65	45
figure 1- 16 : Empilement des couches d'un procédé 65 nm sans option spécifique	46
figure 1- 17 : Les chemins du signal d'information.....	48
figure 1- 18 : Lignes de courant dans un substrat faiblement dopé entre deux plots.....	49
figure 1- 19 : Intégration de la résistivité de la couche Pminus du substrat pour une estimation de sa résistance entre deux blocs.....	50
figure 1- 20 : $s < w$	50
figure 1- 21 : $s > w$	50
figure 1- 22 : Floor-plan dessiné et simulé sous solid works.....	50
figure 1- 23 : Réseau résistif entre blocs sensibles et blocs agresseurs	50
figure 1- 24 : Disposition de deux motifs de plots masse-signal-masse	51
figure 1- 25 : Schéma électrique équivalent	51
figure 1- 26 : Isolation substrat entre plots	51
figure 1- 27 : Schéma de couplage par les capacités	52
figure 1- 28 : Réseau en pi du substrat [1-23].....	53
figure 1- 29 : Vue top d'un anneau de garde de type N.....	54
figure 1- 30 : Coupe d'un anneau de garde de type N	54
figure 1- 31 : Tripple-well autour d'un bloc	55
figure 1- 32 : Masque bloquant de Pwell intégré.....	55
figure 1- 33 : Représentation électrique des structures d'isolation substrat.....	55
figure 1- 34 : Coupe d'un substrat SOI	56

figure 1- 35 : Visualisation des lignes de courant entre métaux	58
figure 1- 36 : Exemple de couplage capacitif entre métaux.....	58
figure 1- 37 : Différents modèles d'inductances vues de dessus.....	59
figure 1- 38 : Boucle de courant équivalente à un dipôle magnétique.....	61
figure 1- 39 : Trois éléments de circuits adjacents couplés	61
figure 1- 40 : Un conducteur sur un plan de masse.....	62
figure 1- 41 : Surface de la boucle de courant	62
figure 1- 42 : Couplage par mutuelle inductance entre une boucle et une seconde de longueur infinie.....	63
figure 1- 43 : Compromis sur le nombre de bondings	64
figure 1- 44 : Modélisation du bruit de mode commun	67
figure 1- 45 : Modélisation du bruit de mode différentiel	67
figure 1- 46 : Signal fourni par une alimentation après avoir traversé un rail	69
figure 1- 47 : Commutation du PMOS.....	71
figure 1- 48 : Commutation du NMOS.....	71
figure 1- 49 : Modélisation d'une porte logique [1-45].....	72
figure 1- 50 : Vue de dessus d'un layout très simplifié : identification de deux boucles..	75
figure 2- 1 : Vue schéma d'un inverseur	88
figure 2- 2 : Vue de dessus d'un inverseur et ses prises substrat	88
figure 2- 3 : Vue en coupe d'un inverseur et ses prises substrat.....	89
figure 2- 4 : Vue layout de la structure de mesure.....	95
figure 2- 5 : Banc de simulation du circuit de découplage des sondes	96
figure 2- 6 : Caractéristiques de transfert de différentes techniques d'isolation.....	97
figure 2- 7 : Pont conductif de courant entre le DUT et son environnement.....	97
figure 2- 8 : Vue en coupe du DST intégré dans la structure de mesure	98
figure 2- 9 : Modèle de la structure de test	98
figure 2- 10 : Isolation entre le port HF et le capteur substrat (port HF).....	98
figure 2- 11 : Ligne de transmission vers l'entrée du dispositif sous test.....	99
figure 2- 12 : Intégration possible de deux DST.....	100
figure 2- 13 : Séparation du générateur de signal	100
figure 2- 14 : Résistances d'adaptation pour le signal d'entrée HF	100
figure 2- 15 : Forme des courants appelés par un inverseur sur les alimentations (front montant puis descendant).....	102
figure 2- 16 : Contribution des contacts de polarisation par rapport aux contacts de drain	103
figure 2- 17 : Vue en coupe d'un inverseur avec l'outil Atlas de Silvaco [2-15].....	104
figure 2- 18 : Signal trapézoïdal.....	105
figure 2- 19 : Enveloppe du spectre du signal trapèze.....	105
figure 2- 20 : Modèle proposé pour l'injection du bruit de fonctionnement d'une porte dans le substrat.....	108
figure 2- 21 : Représentation des capacités de l'inverseur selon son état logique	109

figure 2- 22 : Courant appelé sur l'alimentation vdd en fonction du temps de montée du signal d'entrée de la porte	110
figure 2- 23 : Courant appelé sur l'alimentation vdd en fonction du fan-out de la porte	110
figure 2- 24 : Puissance reçue dans le substrat en fonction du nombre de portes intégrées dans une surface de DNW.....	111
figure 2- 25 : Caractérisation de l'injection d'un bloc numérique type de 230 portes dans le substrat	113
figure 2- 26 : Illustration du rôle de la prise substrat.....	114
figure 2- 27 : Intérêt de multiplier les prises substrat	115
figure 2- 28 : Espacement entre les colonnes de prises de polarisation substrat	115
figure 2- 29 : Effet de l'espacement des prises substrat	115
figure 2- 30 : Caisson des transistors polarisés séparément ou non.....	116
figure 2- 31 : Topologie type d'un bloc conçu avec des rails d'alimentation et de masse dédiés au substrat	116
figure 2- 32 : Zoom sur les rails d'alimentation séparés, extraits des layouts de deux variantes	117
figure 2- 33 : Boucles de courant de flux opposé fermées par des capacités de découplage disposées symétriquement de chaque côté du bloc.....	118
figure 2- 34 : Vue de dessus du dispositif entouré d'un mur P+-M7	119
figure 2- 35 : Vue en coupe du DST entouré d'un mur P+-M7	119
figure 2- 36 : Masque bloquant de PW entourant un petit bloc numérique.....	121
figure 3- 1 : Principe d'un récepteur de télécommunication	132
figure 3- 2 : Illustration du PSRR	134
figure 3- 3 : Branches A et B d'un bloc différentiel	135
figure 3- 4 : Illustration du réseau d'impédances du retour vers vdd.....	136
figure 3- 5 : Interaction maximale, fort courant induit	138
figure 3- 6 : Courant induit minimal voire nul.....	138
figure 3- 7 : Deux branches d'un système différentiel soumises à un même champ E ..	138
figure 3- 8 : Effet d'un champ E sur deux conducteurs d'un système en mode commun.....	138
figure 3- 9 : Même différence de potentiel	139
figure 3- 10 : Référence externe : connexion inutile du blindage.....	139
figure 3- 11 : Illustration des techniques d' « immunité » au champ E	139
figure 3- 12 : Polarisation partagée depuis le PCB	141
figure 3- 13 : Différents niveaux de signaux	142
figure 3- 14 : Le level shifter : une interface	142
figure 3- 15 : Séparation des domaines d'alimentation	143
figure 3- 16 : Une connexion à l'alimentation via un réseau de résistances distribuées	144
figure 3- 17 : Plusieurs connexions distribuées via un réseau de résistances en PI.....	144
figure 3- 18 : Coupe de la stratégie implémentée	145
figure 3- 19 : Schéma de connexion proposé pour une porte d'un bloc agresseur.....	146

figure 3- 20 : Schéma de connexion proposé pour une porte d'un bloc sensible	146
figure 3- 21 : Illustration d'une tension parasite induite à travers une mutuelle	147
figure 3- 22 : Exemple de routage pour conduire les polarisations vers des blocs	148
figure 3- 23 : Méthode de réduction d'outils en développement.....	153
figure 3- 24 : Maillage adapté aux dimensions en jeu dans le couplage.....	153
figure 3- 25 : représentation des champs externes s'appliquant sur un transistor [3-47]	154
figure 3- 26 : décomposition du vecteur potentiel [3-47]	154
figure 3- 27 : Exemple de l'inverseur	156
figure 3- 28 : Modèle de l'agresseur.....	157
figure 3- 29 : Réseau entre agresseur et LNA sur le circuit de test	158
figure 3- 30 : Spectres en courant sur les trois ports d'un oscillateur en anneau et de son modèle.....	159
figure 3- 31 : Spectres du courant appelé sur l'alimentation d'un bloc numérique : comparaison entre le modèle et la vue extraite	160
figure 3- 32 : Illustration du réseau substrat	161
figure 3- 33 : Détails du réseau substrat.....	161
figure 3- 34 : Comparaison des spectres simulé et caractérisé en puissance en entrée du LNA	162
figure 3- 35 : Réseau d'alimentation partagé par les deux blocs	163
figure 3- 36 : Spectre en puissance du signal injecté dans le substrat par un bloc numérique :	164
figure 3- 37 : Effet d'une perturbation transitoire sur l'échantillonnage	164
figure 3- 38 : Schéma électrique d'un IO.....	166
figure 3- 39 : Coupe du PMOS d'un IO.....	166

table 1- 1 : Classification des raies parasites pouvant être obtenues (dispositif linéaire). 68

table 1- 2 : Forme des courants appelés par l'inverseur sur les rails d'alimentation 71

table 2- 1 : Récapitulatif des contraintes et de l'apport de certaines stratégies..... 122

Introduction générale

I. Problématique	21
II. Approche retenue par rapport à la problématique	27
III. Plan du mémoire de thèse.....	28
Références	29

I. Problématique

Afin de répondre au besoin ostentatoire de l'homme tel que Thorstein Veblen le définit [1-1], toute une économie de marché basée sur l'innovation technologique dans les semi-conducteurs a été créée. Ainsi les systèmes électroniques sont de plus en plus présents dans notre vie quotidienne : ordinateurs, organiseurs, téléphones portables, audiovisuel numérique fixe et mobile, appareils pour se repérer géographiquement sur la planète, électronique embarquée dans l'automobile pour supprimer des câbles, ouvrir une porte, et bientôt allumer le moteur à distance, ...

A l'échelle mondiale, leur poids économique est croissant, les perspectives de marché sont excellentes. Ces applications, dont se félicitent les fondeurs (fabricants de semi-conducteurs), constituent de nouveaux marchés à grands volumes, les produits sont standardisés et réalisés dans des usines de dimensions de plus en plus grandes. De l'ampleur du marché, de sa mondialisation et du faible coût des transports intercontinentaux, le coût de production de ces objets diminue. 854 millions de téléphones de gamme moyenne, communément appelés « smartphones » ont été vendus en 2007 [1-2]. Les opérateurs également voient leur chiffre d'affaire augmenter en conséquence (effet levier du développement du secteur des semiconducteurs). La conception doit se faire extrêmement rapidement afin de répondre à la loi du « time to market » en assurant un renouvellement fréquent des gammes de produits. Si, certes on traverse actuellement une phase descendante de la microélectronique, la relance est attendue pour l'année 2010. Les entreprises, surtout européennes, sont dans une étape de consolidation et se focalisent sur des secteurs de marché à forte valeur ajoutée dans lesquels elles se positionnent en tête.

Pour des raisons de coût, et pour répondre à la demande de miniaturisation en termes de dimension, de poids et de consommation, on cherche aujourd'hui à réaliser des systèmes électroniques en utilisant un nombre minimum de circuits. Lorsque la totalité du système tient sur une seule puce, l'expression de « System On Chip » (acronyme : SoC) est employée pour le caractériser. Un tel système plus compact permet de plus de gagner en terme de compétitivité : une seule technologie est utilisée, le volume du système est moindre,... Les technologies silicium répondent à ces besoins. Elles permettent d'intégrer de plus en plus de transistors sur une même puce, et donc de délivrer plus de capacité, plus de fonctionnalités et plus de puissance de calcul pour le prix d'un seul circuit !

Citons l'exemple d'un récepteur de télévision numérique conçu en 2008 pour être placé dans un boîtier de télévision numérique, communément appelé « set top box ». Comme nous pouvons le voir sur la figure 0- 1, il est composé d'un démodulateur et d'un tuner double chaîne. Ces deux SoCs ayant pour dimensions respectives 10 mm² et 13 mm² ! Le reste de la boîte étant occupé par des terminaux dédiés à la téléphonie (voie sur IP), aux communications avec un ordinateur (port WIFI ou Ethernet), un bloc de gestion d'alimentation, le tout intégré sur une carte.

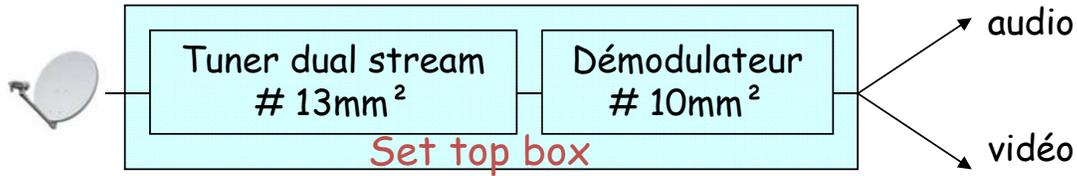


figure 0- 1 : Deux SoCs pour un récepteur de télévision numérique

Le syntoniseur, dit « tuner », reçoit deux signaux électromagnétiques (dual stream) sur deux bandes de fréquences différentes, conserve la partie des signaux émis sur une fréquence particulière et rejette les parties des signaux émis sur d'autres fréquences, et cela sur actuellement une surface équivalente de 3,5 mm par 3,5 mm, soit environ $1/4000^{\text{ième}}$ de la surface de la boîte adjointe à un poste de télévision (set top box). Le poids et l'encombrement sont également des facteurs pris en compte.

Ces systèmes complets embarqués sur une puce sont des circuits dits mixtes sur lesquels sont regroupées des fonctions analogiques et numériques : la réception, tout comme le traitement de l'information en bande de base, s'effectue sur la même puce. Rappelons le principe d'une chaîne de communication radio. Elle comprend deux voies distinctes : celle d'émission et celle de réception comme le montre le synoptique de la figure 0- 2.

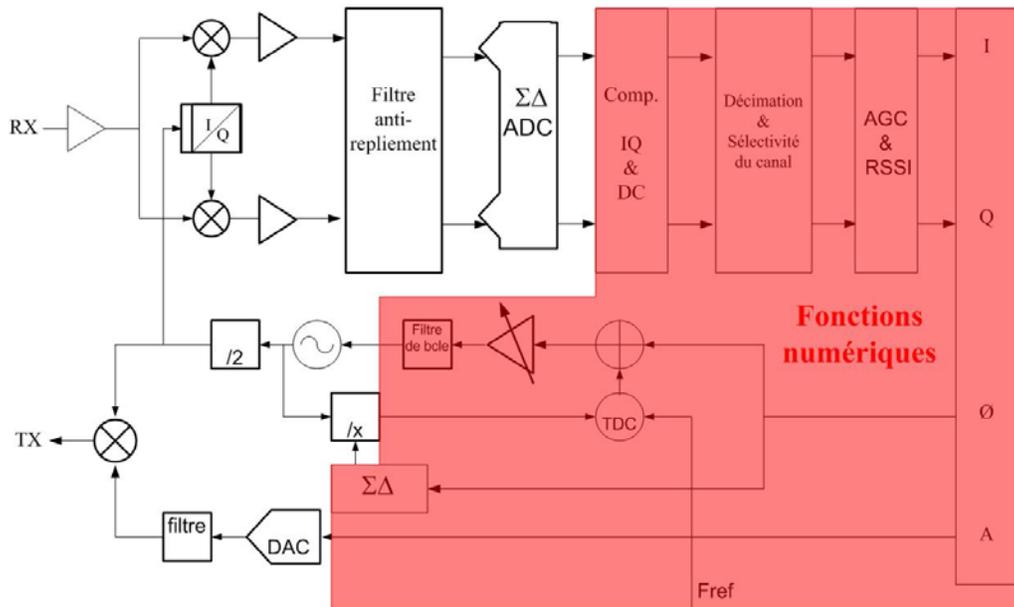


figure 0- 2 : Synoptique d'une chaîne de radio-communication avec une architecture majoritairement numérique [1-3]

La fréquence de réception est abaissée à travers un ou plusieurs mélangeurs pour être traitée. Cette étape consiste à transposer le signal à une fréquence intermédiaire pour permettre dans un premier temps un traitement à une fréquence unique ou sur une bande

de fréquence particulière ; puis, par la suite, un traitement numérique en bande de base. De même, en émission, l'information codée par une modulation est supportée par une porteuse. Donc, que ce soit en émission ou en réception, des oscillateurs locaux créent des signaux purs par l'intermédiaire de synthétiseurs de fréquences ; ces derniers sont constitués de boucles à verrouillage de phase intégrant elles-mêmes des oscillateurs contrôlés en tension.

Sont donc intégrés des blocs fonctionnels de plusieurs types, analogiques ou numériques contenant des convertisseurs (traduisant le signal numérique reçu en un signal analogique et vice-versa), des périphériques d'interface, des amplificateurs, des mélangeurs (transposant le signal d'entrée de la fréquence intermédiaire à la fréquence de son traitement), des blocs de gestion de puissance, de la mémoire, des filtres (permettant la suppression de réponses parasites à un échantillonnage), des comparateurs, des mémoires de données... La partie numérique permet la compression de données et l'optimisation des formats audio, image et vidéo ; l'analogique, le reste.

Le défi réside dans l'intégration de ces signaux analogiques et numériques dans un circuit de dimension réduites et ayant un substrat de qualité électrique limitée. Un exemple de « floor-plan », qui correspond à la cartographie d'assemblage des différents blocs, est illustré figure 0- 3. La figure 0- 2 montre bien que la plupart des fonctions sont dorénavant numériques.

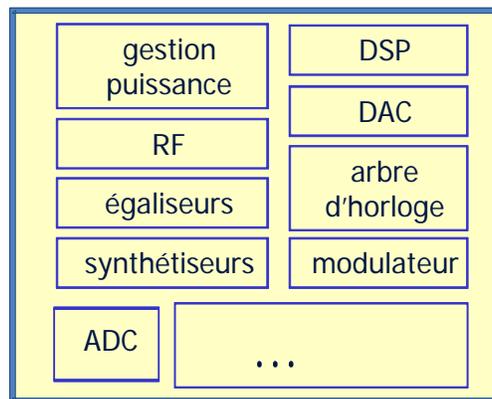


figure 0- 3 : Floor-plan conceptuel

La figure 0- 4 rappelle les « grandes étapes » du flot de conception d'un tel circuit. Ce synoptique n'est pas linéaire : de nombreux rebouclages ont lieu après les phases de vérification vers l'étape précédente et parfois celle d'avant.

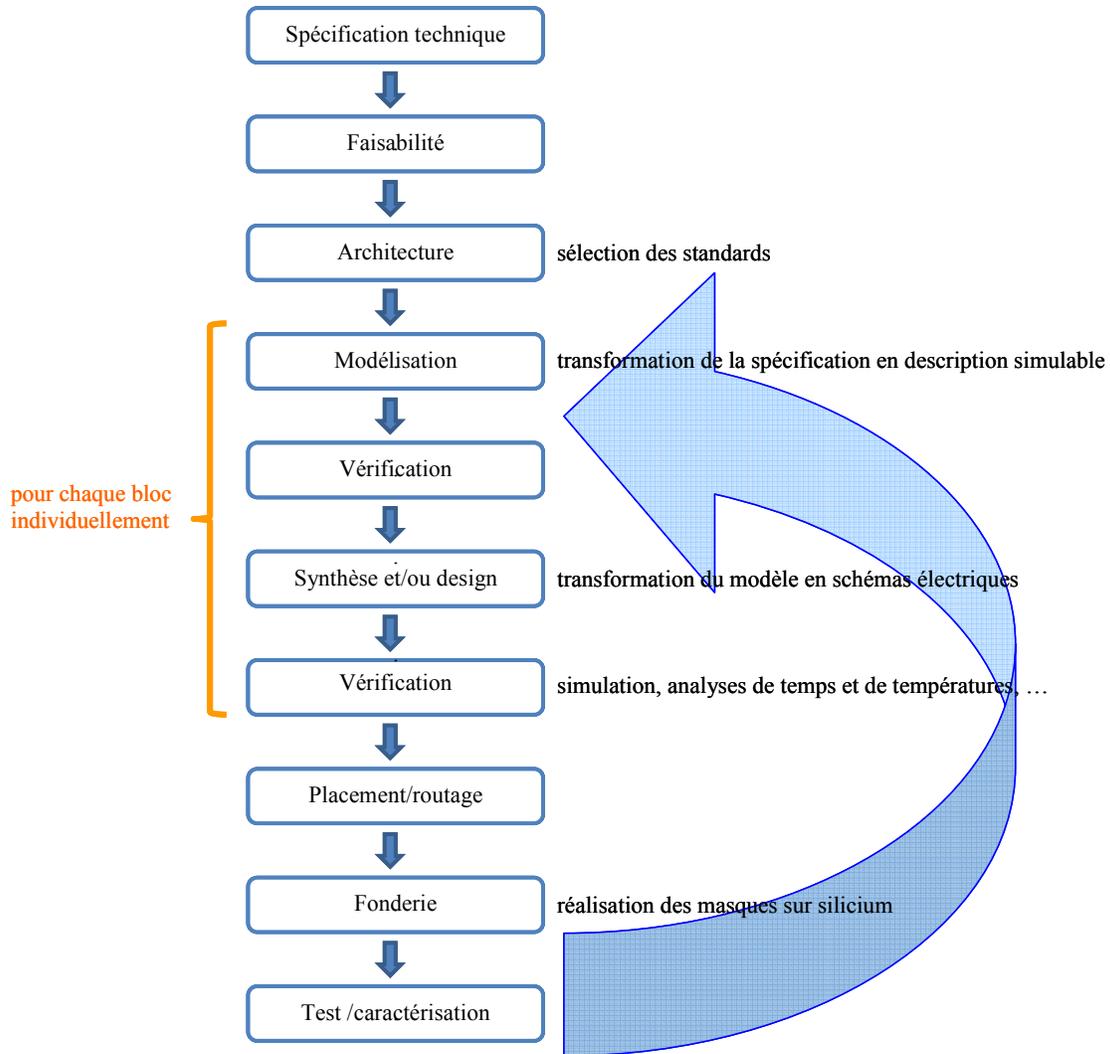


figure 0- 4 : Flot de conception d'un circuit

Pour chaque bloc une vue schéma (schémas électriques) et une vue topologique (physique : superposition des masques nécessaires à la gravure ou au dépôt des différents matériaux constituant le circuit) sont créées, indépendamment des vues des autres blocs. Or lors de l'étape de placement/routage de l'ensemble des fonctions, des interactions apparaissent : des signaux parasites sont transmis par conduction ou par couplage mutuel entre les blocs. Des blocs peuvent être alimentés par une tension provenant d'une même broche (dite « pin ») ; tous les blocs partagent le même substrat. Ces liens physiques représentent des impédances à travers lesquelles des signaux parasites sont conduits. Ces parasites considérés comme des bruits soit en courant soit en tension, sont engendrés par le fonctionnement même de certains blocs. Lorsqu'ils perturbent le comportement d'autres blocs dont les fonctionnalités sont alors atteintes, on parle de couplage électromagnétique entre blocs. Typiquement cela peut engendrer des raies de signal additives dont les amplitudes ne sont pas négligeables et à des fréquences proches de la fréquence du signal utile.

Nous allons démontrer (chapitre 1) que si les phénomènes d'interférences électromagnétiques sont considérés suffisamment tôt dans l'élaboration du circuit, le temps de conception sera réduit : il ne sera pas nécessaire d'apporter des corrections pour éliminer les problèmes de couplages.

L'enjeu économique réside dans la maîtrise des coûts de conception d'un tel SoC. Par l'augmentation de la taille des wafers (tranches de silicium) et la diminution de la taille des composants, le niveau d'intégration atteint des valeurs très importantes mais avec des coûts élevés. Précisons quelques ordres de grandeurs des coûts en jeu.

Un jeu de masques nécessaire à la réalisation d'un circuit atteint dans la technologie CMOS 65 nm la somme de un million de dollars.

Un masque correspond aux données géométriques nécessaires à la réalisation d'une étape du processus de fabrication de la puce. Chaque étape correspond à une opération :

- soit de constitution d'une couche matérielle (dépôt, oxydation, dopage, ...) telle que la création d'un niveau de conducteur métallique,
- soit de suppression d'une couche matérielle (gravure, photolithographie, ...) pour modifier le dopage sur une certaine zone par exemple.

Un jeu de masques est constitué de trente à quarante masques différents dans les technologies avancées. C'est en disposant les masques pour chaque composant que le concepteur crée la topologie complète d'un bloc.

Sur la figure suivante, est représenté un wafer de la fonderie TSMC, de 300 mm de diamètre dans leur procédé 65nm. Nous pouvons distinguer environ une centaine de copies appelées « réticules » entières d'une même contribution de 2,5 cm de côté. Une telle plaque de silicium, une fois les masques générés, ne coûte qu'environ 3700 \$, le jeu de masques utilisé étant le même pour toutes les répliques.

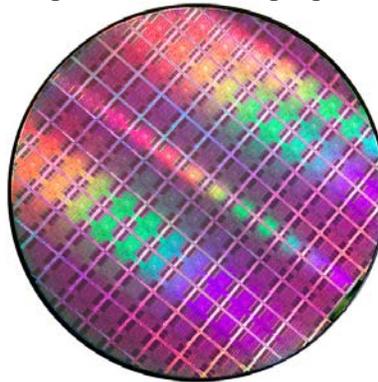


figure 0- 5 : Wafer TSMC dans un procédé CLN65

Si un seul jeu de masques est suffisant pour alimenter un marché de masse sur un produit, plusieurs sont aujourd'hui nécessaires en phase de développement où différents prototypes peuvent être successivement réalisés avec pour but final : un jeu de masques qui permettra d'obtenir un circuit conforme aux spécifications et sans effet inattendu de couplages. Dans le contexte technologique actuel, la miniaturisation accentue les interactions. Les dimensions diminuent, mais les contenus fréquentiels augmentent : les couplages, comme nous l'expliquons dans le chapitre 1, deviennent plus critiques.

A l'heure actuelle plusieurs itérations de prototypes sont nécessaires, d'où un objectif plus prononcé pour une conception sûre qui les éviterait. Du fait de l'augmentation des coûts des projets, il devient de plus en plus vital de réaliser dès «le premier run» un tel circuit sans effet parasite, c'est-à-dire en prenant en compte dès les phases amont de conception du circuit les perturbations électromagnétiques générées par certains blocs. Autrement dit réaliser l'étape du placement plus tôt dans la chronologie du flot de la conception, modéliser ces couplages, les simuler pour les prendre en compte dans l'élaboration de chaque bloc individuellement, et ainsi prévoir le comportement de l'ensemble des blocs avant la réalisation physique du circuit.

C'est dans ce contexte que ces travaux de thèse ont été initiés. Les technologies avancées CMOS sur substrat - champion toutes catégories dans la course au plus faible coût industriel pour de très forts volumes - ont été retenues. Les recherches présentées dans ce mémoire ont été réalisées dans le cadre d'une thèse avec une convention CIFRE issue d'une collaboration entre le département C²S² de l'institut de recherche XLIM UMR CNRS de l'Université de Limoges et l'entreprise NXP Semiconductors Caen au sein de l'équipe Innovation Centre pour les RadioFréquences.

II. Approche retenue par rapport à la problématique

Aujourd'hui un nombre très important de circuits est conçu sans que les interactions entre fonctions soient prises en compte. C'est en caractérisant les prototypes que l'on s'aperçoit avec surprise de leur existence : le contenu spectral des signaux n'est pas celui attendu, les fonctions que l'on souhaitait réaliser ne répondent pas correctement au cahier des charges.

Cette thématique soulevait la question, au début de ce travail, d'absence d'outils simulant les interactions électromagnétiques d'un circuit intégré complet sur une puce - dit « System On Chip » - pour les applications considérées décrites au paragraphe précédent. C'est donc avec attention que l'évolution des logiciels sur le marché a été suivie, (cela sera abordé au chapitre 3). A l'heure actuelle aucun logiciel n'est encore mature. En effet de nombreuses questions restent encore en suspens. Quel phénomène exact est à l'origine de cette perturbation ? Quelle quantité de signal perturbant tel bloc dit agresseur - parce qu'il crée une perturbation - génère-t-il pour que le contenu spectral du circuit complet soit affecté ? Comment ce signal parasite créé à tel endroit sur la puce est-il parvenu jusqu'à un nœud sensible d'un bloc modifiant son comportement, nœud localisé à quelques centaines de microns ? Pourquoi ce bloc est-il une victime du signal agresseur ? Quelles mesures appliquer pour éviter ces interférences, ou diminuer leurs effets ? Quels paramètres autres que « géographiques » intégrer afin d'élaborer et « optimiser électromagnétiquement » le floor-plan de la puce ? A cela s'ajoutent l'absence d'outils, et le manque de précisions et d'ordre de grandeur.

Apporter des éléments de réponse à ces questions offrirait des données aux concepteurs (profil du signal parasite, éventuels chemins de couplage, ...) leur permettant de comparer les divers choix qu'ils peuvent adopter dès les premières étapes, avant que la topologie de leur bloc ne soit finalisée, et donc d'anticiper les interactions. Qui dit outil dit modélisation, il s'agit de se placer dans un contexte de catégorisation des éléments pour les modéliser, afin d'élaborer des méthodes pertinentes de conception.

Modéliser les interactions d'un circuit existant aurait pu être le commencement de nos travaux. Mais comme nous allons le voir, ces couplages électromagnétiques dépendent fortement de multiples paramètres topologiques, surtout dans la technologie CMOS. Il serait alors insensé de modéliser des blocs pour lesquels les stratégies de conception ne seraient pas optimisées. Nous avons préféré adopter la démarche suivante :

- comprendre les phénomènes physiques qui sont multiples : comme par exemple la distance séparant deux entités qui ne suffit pas à supprimer les couplages, distinguer les origines des interférences en jeu, ...
- envisager la possibilité de supprimer ces interférences, ou de les réduire avec des stratégies d'isolation adaptées ;
- participer aux phases d'étude et d'élaboration des circuits pour appréhender les problèmes de couplage du point de vue des concepteurs de systèmes sur puce ;

- créer des modèles pour prendre en compte ces couplages lors de la simulation haut-niveau (lorsque tous les blocs sont représentés sur un banc de simulation), pour les anticiper ;

et ce, tout en gardant une vision globale de la problématique.

Nous n'avons pas souhaité segmenter le « marché du couplage » (étudier par exemple les interactions entre deux blocs en dehors de leur environnement de réalisation et de fonctionnement) en se focalisant sur un élément précis dans un cadre distinct de l'application : les résultats d'une telle étude n'auraient pas été applicables. Comme nous allons le montrer, les paramètres en jeu à l'origine des phénomènes d'interactions sont extrêmement nombreux. Afin d'essayer de répondre de manière pertinente à la problématique, il est apparu nécessaire d'avoir une connaissance approfondie à la fois :

- des fonctions électroniques,
- des pratiques de conception,
- et des outils.

Effectivement une interaction naît entre deux fonctions à partir du moment où on les « relie ». Il serait donc réducteur de ne pas prendre en compte dans cette étude la manière dont elles sont conçues et intégrées dans un circuit.

III. Plan du mémoire de thèse

Ce mémoire est organisé comme suit :

Le chapitre 1 introduit les différentes notions de couplages existant dans un circuit sur une puce dans un procédé CMOS. L'objectif est de comprendre la formation et l'impact exacts des effets électromagnétiques dans les SoCs, de définir clairement l'environnement d'un circuit, d'initier des discussions sur les différents types de couplages que l'on peut distinguer, et de déterminer les domaines qui vont être plus précisément explorés par la suite.

Le chapitre 2 se focalise sur le courant non désiré injecté par un bloc numérique, signal à l'origine de perturbations du comportement de blocs sensibles. Après un état de l'art, un modèle de son injection dans le substrat sera présenté. Nous compléterons et nous validerons ce modèle par des caractérisations réalisées grâce à une structure de test originale conçue pour mesurer l'injection dans le substrat. Cette structure permet donc également de quantifier l'apport de stratégies d'isolation substrat.

Le chapitre 3 propose un début de méthodologie d'intégration système à appliquer lors de la conception des circuits pour atténuer les effets des interactions. Une partie est consacrée à la création de modèles afin de simuler le circuit avec tous les blocs assemblés. Des mesures sur un circuit de test approprié valident l'idée. Enfin, des hypothèses réductrices prises au cours de ces travaux sont mentionnées.

Références

- [1-1] T. Veblen, The Theory of the Leisure Class, 1899, Great Minds Series, Prometheus Books
- [1-2] P. Arlot, Téléphones mobiles: les livraisons de modèles de milieu de gamme devraient chuter, Electronique International, <http://www.electronique.biz>, consulté le 02/07/2008 à 12h29
- [1-3] T. J. Ridgers, C. Boucey, JP. Frambach, L. Rolland du Roscoat, and P. Gamand, Challenges in Integrating Embedded RF within a SOC, Radio and Wireless Symposium, IEEE 2008

Chapitre 1 : Compréhension exhaustive des effets électromagnétiques dans les SoCs

Remarque : effet des dimensions des SoCs sur les interactions électromagnétiques	35
0. Introduction	37
0.A. Notions de couplage.....	37
0.A.1. Notions générales sur les couplages.....	37
0.A.2. Les deux modes de couplage d'un signal agresseur	38
0.A.3. Le chemin de couplage, « une histoire d'impédances »	39
0.B. Présentation haut-niveau de la topologie d'un circuit.....	40
I. Présentation du milieu physique	43
I.A. Structure physique du matériau	43
I.B. La technologie CMOS	44
I.B.1. Que définit la technologie ?	44
I.B.2. Description et évolution de la technologie CMOS	44
I.C. Description du substrat	47
I.C.1. Le substrat, couche matérielle commune à tous les blocs d'une même puce.....	47
I.C.2. Effet des caractéristiques du substrat au niveau du couplage.....	48
I.D. Impact des caractéristiques des métaux sur les couplages.....	56
I.D.1. Les interconnexions	56
I.D.2. Un composant passif : l'inductance planaire	58
II. Discussion sur les perturbations rayonnées.....	60
II.A. Le couplage par champ magnétique ou électrique au-dessus de la puce	60
II.A.1. Un transfert d'énergie.....	60
II.A.2. Dépendance des champs à la distance.....	60
II.B. Perturbations magnétiques.....	61
II.B.1. L'inductance mutuelle et l'inductance d'une boucle de courant.....	62
II.B.2. Couplage entre deux inductances	63
II.B.3. Effet de l'inductance d'un bonding	63
II.C. Les méthodes de mesure développées ou en développement.....	64
III. Sources d'agression dans un circuit de radiocommunication	66
III.A. Interférences entre signaux dans un circuit.....	66
III.A.1. Les signaux d'un circuit.....	66
III.A.2. Interaction entre signaux dans le domaine fréquentiel.....	67
III.B. Sources d'agression dans les circuits mixtes.....	68
III.B.1. Sources de bruit.....	68
III.B.2. Le bruit de commutation	70
IV. Performances des circuits RF en terme de dégradation due aux différents types de couplage	74
IV.A. Couplage « rayonné »	74
IV.A.1. Les manifestations du couplage rayonné sur un oscillateur contrôlé en tension.....	74
IV.A.2. Cas d'une PLL à 18 GHz.....	75
IV.B. Couplage conduit à travers le substrat	76
IV.B.1. Cas d'un LNA	76
IV.B.2. Cas d'un OCT	76
V. Conclusion : Importance d'une méthodologie appropriée	78
Références	80

Remarque préliminaire : effet des dimensions des SoCs sur les interactions électromagnétiques

Considérons le signal se propageant sur une ligne (une piste de métallisation par exemple). Des particules chargées sont en mouvement, leurs interactions peuvent être caractérisées par le champ électromagnétique, composé de deux champs vectoriels interdépendants, les champs électrique **E** et magnétique **B**.

Si le signal se propage selon un mode transverse électrique et magnétique (TEM) ou quasi-TEM, les équations de Maxwell permettent de déterminer sans ambiguïté à partir des champs **E** et **B** les courants et tensions : l'onde est établie. Par contre si les phénomènes sont localisés, c'est-à-dire si la distance parcourue par le signal est très petite devant la longueur d'onde, la forme d'onde n'est pas stabilisée. On se place alors en zone de champ proche. Selon l'impédance de la source (rapport entre l'amplitude du champ électrique émis sur celle du champ magnétique), les interactions sont majoritairement soit magnétique soit électrique, comme le montre la figure 1- 1 [1-4].

Prenons l'exemple d'un circuit complexe de réception large-bande : un récepteur de télévision mesure moins de 15 mm². Quelle que soit la bande de fréquence utilisée entre 100 MHz et 1,2 GHz, les dimensions du système sont bien inférieures à la longueur d'onde du signal considéré. Les effets électromagnétiques ont donc lieu en champs proches. Bien que dans la pratique, une source de champ électrique **E** « pure » n'existe pas plus qu'une source de champ magnétique **B** « pure », il est impossible de distinguer leur propre origine.

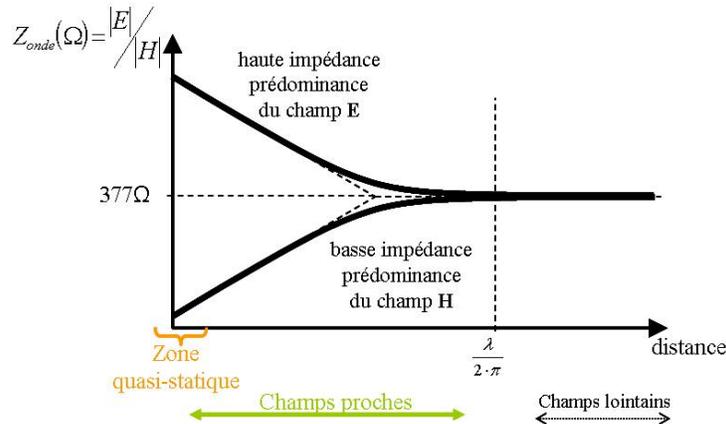


figure 1- 1 : Impédance de l'onde

Origine des transferts d'énergie/champs électrique et magnétique :

Un conducteur ayant une différence de potentiel entre ses extrémités engendre un champ électrique \vec{E} appliquant une force sur les électrons qui induit à la fois leur déplacement et un courant proportionnel sur les fils parallèles à ses lignes de champ, tel que le montre la figure 1- 2. La densité de ces courants est définie par la relation (1- 1), dans laquelle \vec{j} définit la densité de courant en A/m^2 , et σ caractérise la conductivité du matériau en $ohm^{-1}.m^{-1}$:

$$\vec{j}_{(A/m^2)} = \sigma \vec{E} \quad (1- 1)$$

De plus, tout conducteur parcouru par un courant s'entoure d'un flux magnétique φ , qui engendre à une distance (d) un champ magnétique \vec{B} , induisant lui-même une tension e sur les boucles orthogonales aux lignes de champ définie par la relation (1- 2) et comme l'illustre la figure 1- 3.

$$e_{(v)} = -\frac{d\varphi}{dt} \quad (1- 2)$$

Cette tension est proportionnelle à la surface de la boucle de courant, le flux φ correspondant à l'intégrale du champ magnétique sur une surface.

Une particule qui se déplace génère un champ magnétique ; ce dernier exerce une force et donc de l'accélération sur une autre particule.

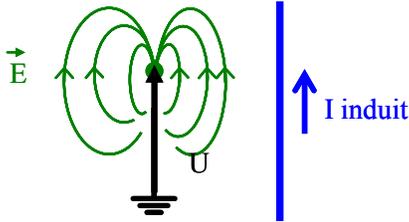


figure 1- 2 : Effet du champ électrique

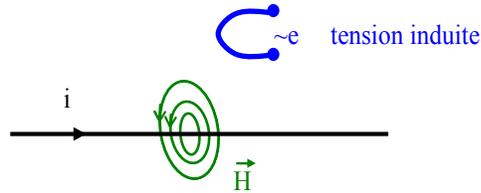


figure 1- 3 : Effet du champ magnétique

Ces mécanismes sont variables. De l'énergie est ainsi transférée à la fois dans les matériaux et autour des matériaux. Il s'agit donc d'interactions électromagnétiques « conduites » mais également « rayonnées ».

Le paragraphe 0 introduit les notions de couplages et présente l'environnement technologique dans lequel nous nous plaçons. Le paragraphe I décrit le procédé et donc le support physique à travers lequel les transferts d'énergie sont conduits. Le paragraphe II traite des interactions rayonnées. Le paragraphe III met en évidence les principales sources à l'origine de ces phénomènes, et le paragraphe IV propose un aperçu des dégradations des performances des circuits générées par de telles interactions électromagnétiques.

0. Introduction

0.A. Notions de couplage

0.A.1. Notions générales sur les couplages

Pour qu'un couplage apparaisse, deux éléments entrent nécessairement en jeu. L'évolution de l'un influence l'évolution de l'autre. Plus le couplage est fort, plus l'influence des entités l'une sur l'autre est importante. L'effet perturbant du couplage peut également être monodirectionnel, les deux entités jouent alors un rôle différent :

- i) l'une génère lors de son fonctionnement des signaux parasites, devenant ainsi un signal perturbant,
- ii) la seconde subit la perturbation créée par la réception de ce signal non souhaité. Elle est victime d'un signal dont la puissance est supérieure à son seuil de bruit. (Le seuil ou plancher de bruit correspond à la valeur limite à partir de laquelle la puissance d'un bruit altère le fonctionnement du bloc).

Quel que soit le niveau de considération retenu (à l'intérieur d'un bloc, ou sur une puce complète), les termes employés pour caractériser ces deux éléments sont ceux d'« agresseur » et de « victime ». L'agresseur génère des signaux non désirés qui peuvent être étudiés à travers des analyses en tensions et en courants. La victime adopte quant à elle, suite à l'agression, un comportement inattendu, et ne répond plus proprement à sa fonction : le signal perturbant dépasse son seuil de susceptibilité, et le bloc ne peut plus fonctionner sans que la qualité de son signal ne soit affectée.

La compatibilité électromagnétique ou CEM définit l'aptitude d'un dispositif, d'un bloc, à fonctionner dans son environnement électromagnétique de façon satisfaisante et sans produire lui-même des perturbations intolérables pour cet environnement. Un agresseur est une source de perturbation caractérisée par sa signature : une empreinte du bruit généré dépendant de l'environnement. La victime est un élément perturbé caractérisé par sa susceptibilité. Les interactions entre les deux dépendent du milieu de propagation ou chemin de couplage. La figure 1- 4 propose une illustration de l'effet monodirectionnel du couplage.



figure 1- 4 : Synoptique de l'effet monodirectionnel du couplage entre deux entités

Qui dit chemin de couplage, dit lien entre deux blocs, en l'occurrence un bloc agresseur et une victime. Comment un signal parasite, généré par un bloc agresseur peut-il être dirigé vers un bloc sensible ? Nous tentons de répondre à cette question dans les paragraphes qui suivent.

0.A.2. Les deux modes de couplage d'un signal agresseur

Un signal non désirable dit parasite peut s'introduire de deux façons différentes dans le chemin du signal d'information. Les modes de couplage entre une source de perturbation et une victime diffèrent selon la manière dont la perturbation est couplée à la victime. Nous choisissons d'expliquer cette notion en termes de courant et de tension.

Notons à cette occasion une règle fondamentale : tout courant circule en boucle, comme l'illustre la figure 1- 5. Nous soulignons l'importance du chemin de retour du signal, souvent vers la masse. Identifier les boucles de courant, c'est-à-dire localiser le chemin de retour du courant pour une ligne de signal ne s'avère pas évident : il est souvent distribué entre plusieurs conducteurs, comme le précise L. David [1- 5], et parfois entre plusieurs blocs à travers le substrat comme l'illustre la figure 1- 6. Remarquons également que la notion de masse est relativement ambiguë. Elle laisse supposer que tous les points qui sont à la masse sont équipotentiels, c'est-à-dire qu'ils sont à la même référence 0 V. Or ce n'est pas le cas : deux points de masse nécessairement séparés ne sont pas au même potentiel. La masse n'est qu'un symbole électronique théorique et virtuel.

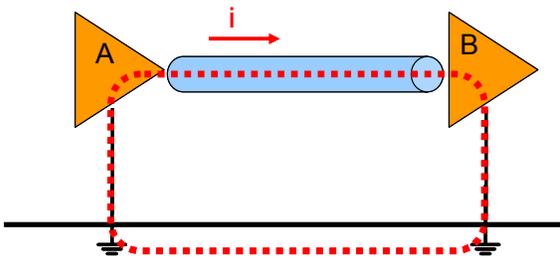


figure 1- 5 : Circulation en boucle du courant

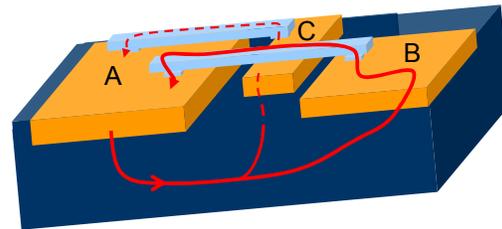


figure 1- 6: Chemin de retour du signal distribué en deux boucles

Selon le chemin de retour emprunté par le courant, nous pouvons distinguer deux modes de circulation des signaux.

Les signaux électroniques sont principalement conduits selon un mode différentiel : la somme des courants aller et retour est nulle sur toute la boucle de courant. Une illustration est donnée figure 1-7. Le courant n'emprunte pas le chemin de masse pour fermer sa boucle. La différence de potentiel parasite induite V_{ind} entre le fil aller et le fil retour ne représente qu'une fraction de la différence de potentiel coupable que l'agresseur injecte (par rapport à la masse).

En mode commun, le courant utilise le réseau de masse pouvant être partagé par plusieurs dispositifs comme retour de courant : des « boucles de masse » sont créées telles que représentées figure 1- 8. Le courant se propage sur tous les conducteurs dans le même sens et revient par la masse en traversant une impédance commune non transparente aux deux systèmes. Il s'agit d'un mode parasite prépondérant pour les

connexions inter-systèmes : la différence de potentiel parasite V_{ind} est induite entre un nœud de la victime et le conducteur de masse le plus proche.

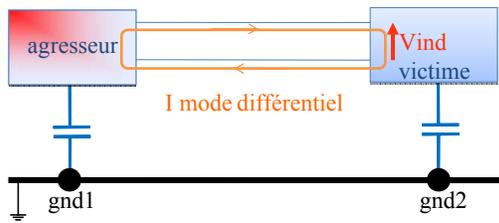


figure 1-7 : Courant de mode différentiel

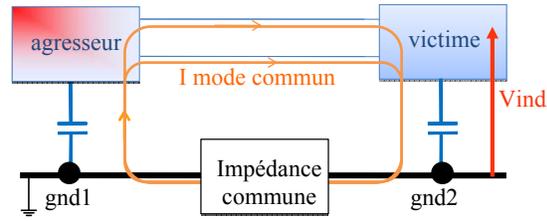


figure 1- 8 : Courant de mode commun

0.A.3. Le chemin de couplage, « une histoire d'impédances »

Nous allons illustrer l'influence des impédances en jeu dans les mécanismes de couplage. Compte-tenus des dimensions des circuits, comme nous l'avons remarqué en préambule, le couplage se réduit, voir figure 1- 1 page 2, à un mode dominant (électrique ou magnétique) dépendant :

- i) de la nature des objets couplés en terme d'impédance (basse ou haute)
- ii) de l'impédance des matériaux (liée à la résistivité) dans lesquels sont placés ces objets.

Un nœud, (bloc/objet ou matériau localisé), est dit « basse impédance » si son potentiel est stable et proche de la référente masse idéale, et s'il ne subit pas des variations transitoires de courant. Dans le cas contraire, il est « haute impédance ». Nous reviendrons sur l'origine des couplages lorsque nous décrirons le milieu physique/topologique dans lequel nous nous plaçons (paragraphe II page 13).

Les impédances en jeu (impédances des nœuds couplés, et pour un couplage conduit, impédance du lien de couplage) déterminent le niveau de couplage. Dans le cas de la figure 1- 9, supposons qu'une source émette un signal agresseur vers le nœud A. Les figures a, b et c présentent différentes configurations de réseaux envisageables entre les nœuds A et B. On peut estimer le couplage entre ces nœuds en évaluant le rapport V_B/V_A : de $1/2$ dans le cas a, avec une impédance cinq fois plus grande dans le cas b, il se réduit à $1/6$. Une connexion à la masse entre ces deux nœuds, telle que sur la figure c, le réduit également à $1/6$.

Cette notion d'impédance est importante : elle est la clef pour définir une stratégie d'isolation. Un chemin de couplage de très forte impédance par rapport aux nœuds couplés réduit l'interaction, de même si l'impédance du chemin est très faible vis-à-vis des nœuds couplés. De plus en créant un nœud supplémentaire, il devient possible de modifier le chemin de couplage originel, de le « barrer » avec une haute-impédance, ou de l'orienter différemment, voire de venir capter grâce à un nœud très basse impédance les variations de signal perturbantes circulant sur ce chemin (comme le nœud Y sur la figure 1- 9-c). Concrètement des écrans électriques peuvent être réalisés en portant à un potentiel constant une couche de matériau séparatrice : les régions qu'elles délimitent deviennent alors électriquement indépendantes. Les techniques d'isolation seront détaillées au paragraphe II et au chapitre 2.

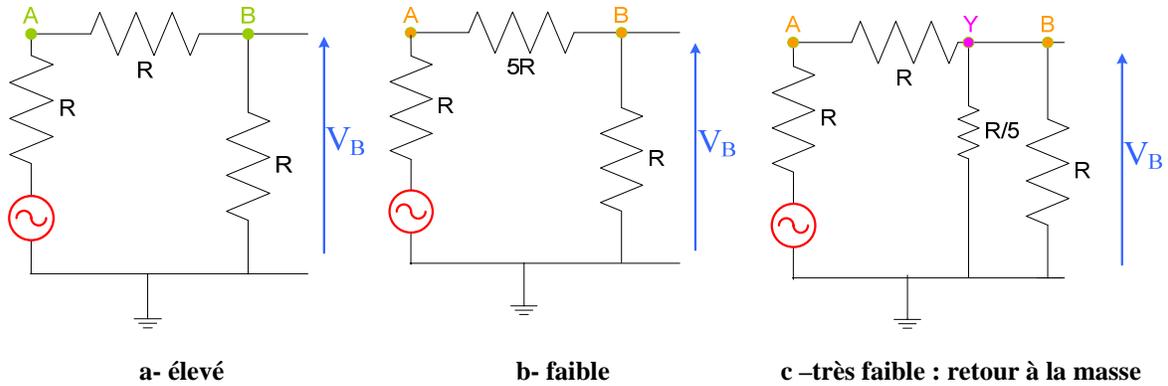


figure 1- 9 : Illustration de différents niveaux de couplage

En présentant un circuit et le milieu physique au sein duquel il est réalisé, nous allons mettre en évidence les vecteurs de propagation existants selon le type de couplage.

0.B. Présentation haut-niveau de la topologie d'un circuit

Sur la figure suivante, figure 1- 10, nous pouvons voir une vue de dessus d'un circuit de test. Il s'agit d'une vue de dessus de la disposition de tous les éléments qui composent le circuit sur la puce : c'est un « layout » d'une puce complète. Ce sont ces données géométriques qui sont envoyées aux fondeurs pour que le circuit soit réalisé.

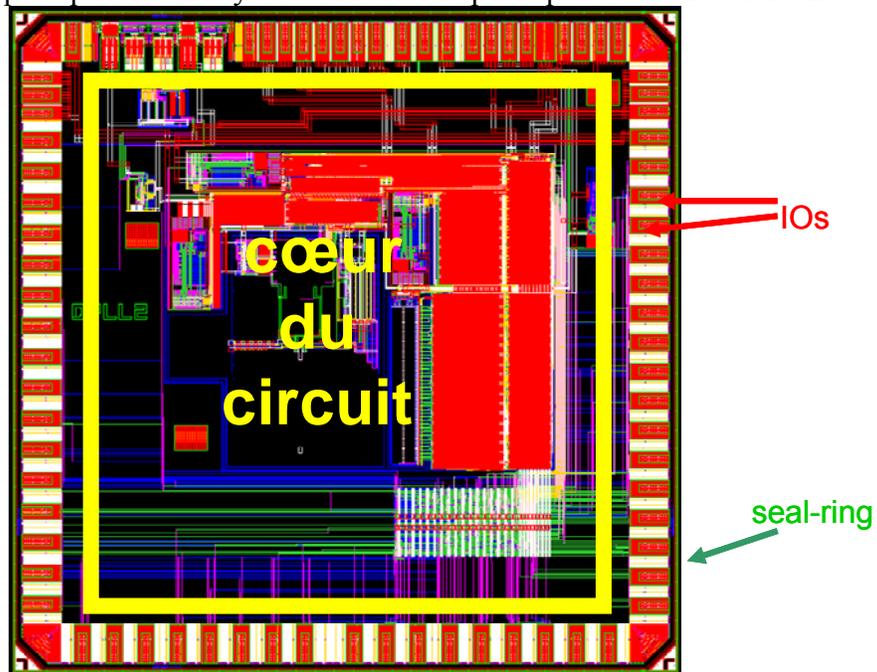


figure 1- 10 : Vue de dessus d'un test-chip

Plusieurs types d'éléments peuvent être distingués :

- Le « seal-ring » est un mur de matériaux conducteurs autour du circuit qui évite que l'humidité ne pénètre à l'intérieur de la puce et qui le renforce contre les éventuelles contraintes physiques qu'il pourrait subir (craquements). Cet anneau d'étanchéité, de couleur majoritairement verte sur la photo de la figure 1- 10 ne peut être ouvert sans perdre de son efficacité. Il représente donc une boucle, soit comme nous allons le voir, un chemin potentiel de couplage magnétique pour un signal.
- Les entrées/sorties (IOs, abréviation pour input/output). Les IOs RF sont des cellules d'interface entre le cœur du circuit et la cavité du boîtier dans laquelle le circuit sera placé. Ce sont des étages-tampons d'entrée ou de sortie intégrant des dispositifs ESD (ElectroStatic Discharge) protégeant le cœur du circuit des décharges électrostatiques et des plots de forme rectangulaire permettant de souder les fils de connexion (représentés en rouge sur la figure 1- 10). Ils sont placés à l'intérieur du seal-ring, tout autour du cœur du circuit. Les différents signaux de polarisation, de contrôle, et d'entrée arrivent de l'extérieur de la puce via des fils de connexion appelés bondings et sont acheminés vers le cœur du circuit depuis les IOs à travers des rails métalliques. Une décharge électrostatique correspond à un passage soudain et momentané de courant électrique entre deux objets possédant des potentiels électriques différents. Il paraît évident que, sans protection particulière, le circuit peut être affecté par ces perturbations liées à son fonctionnement même. Des chemins de courant sont créés dans ces cellules IO : ils dévient la perturbation ESD pour qu'elle n'atteigne pas le cœur du circuit.
- Le cœur du circuit. Il s'agit d'un circuit mixte dans lequel sont intégrés à la fois des blocs analogiques et des blocs numériques. En général, la susceptibilité des circuits analogiques est plus importante que celle des circuits numériques, leurs signaux étant généralement plus faibles et surtout non réduits à deux états distincts. Dans un circuit mixte, les variations de courant produites par les parties numériques peuvent provoquer un mauvais fonctionnement des parties analogiques [1-6][1-7][1-8][1-9] : elles génèrent un signal perturbant dont nous précisons le mécanisme de formation au paragraphe III.B.

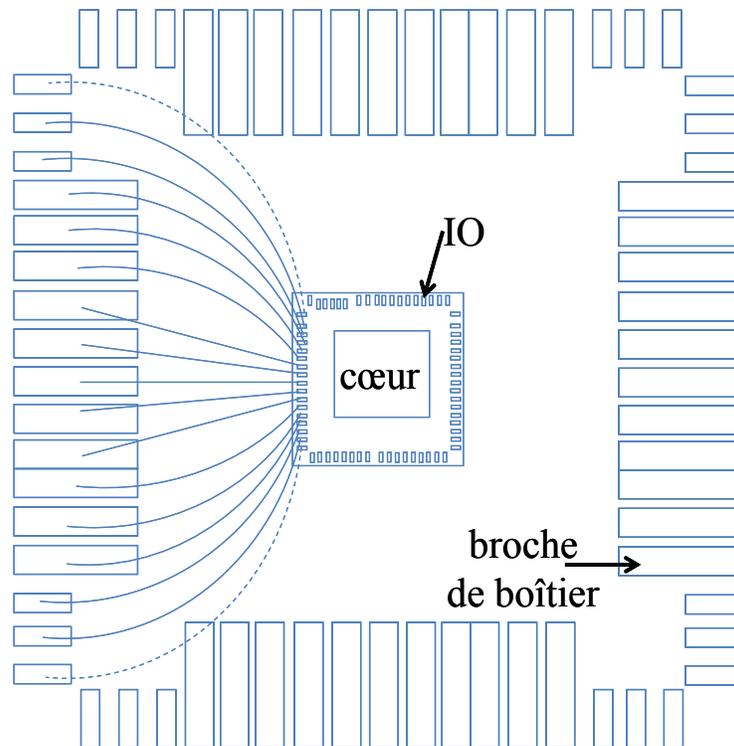


figure 1- 11 : Diagramme de connexion des fils entre pads et broches du boîtier

Dans le paragraphe suivant, nous précisons la réalisation d'une telle puce et la manière dont sont agencés les différents matériaux qui forment de telles fonctions.

I. Présentation du milieu physique

I.A. Structure physique du matériau

La plupart des matériaux (ce n'est pas le cas des matériaux ferromagnétiques et de perméabilité supérieure à 1) peut être modélisée par un réseau RC [1-10]. Retenons le schéma électrique proposé figure 1- 12. Le matériau possède une résistivité ρ (inverse de la conductivité σ) et une permittivité, à partir desquelles on déduit la fréquence de coupure f_c du matériau et donc son comportement en fonction de la fréquence, comme le représente la figure 1- 13. Le substrat adopte un comportement différent selon la fréquence à laquelle se propagent les signaux. En-dessous de la fréquence de coupure, le substrat est résistif, alors que pour de fréquences plus élevées, le couplage par champ électrique prédomine et il devient capacitif.

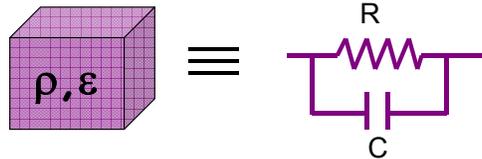


figure 1- 12 : Schématisation électrique du matériau

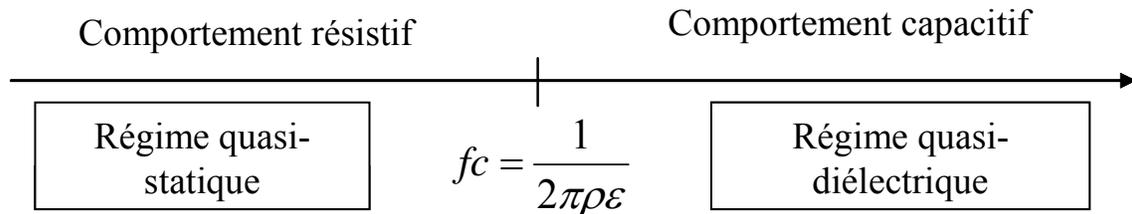


figure 1- 13 : Comportement électrique du matériau en fonction de la fréquence

Le choix de la technologie a donc un impact non négligeable : les résistivités et permittivités des matériaux en dépendent. C'est entre les différentes couches matérielles du procédé que se développent les champs électriques et naissent les champs magnétiques à l'origine des couplages.

I.B. La technologie CMOS

Le terme CMOS, acronyme de Complementary Metal Oxide Semiconductor, désigne une technologie de fabrication de composants électroniques et, par extension, l'ensemble des composants fabriqués selon cette technologie.

Ces composants sont des transistors à effet de champ de types N et P (MOSFET). Le premier transistor MOS ne fut construit qu'en 1961 dans les Laboratoires Bell Telephone par Kahng et Atalla, bien que la première publication scientifique décrivant son principe de fonctionnement soit de Lilienfeld en 1925 [1-11]. Du fait de leur caractéristique de fonctionnement inversée, le transistor N est passant lorsque le P est bloqué, et vice versa : ils sont donc complémentaires, d'où l'appellation « complementary » [1-12].

I.B.1. Que définit la technologie ?

Pour un concepteur de circuits intégrés, un « designer », la technologie correspond à un ensemble de données nécessaires pour la description matérielle dite topologique (superposition des masques) et pour la prévision des caractéristiques électriques de son circuit. Un tel ensemble appelé « design kit » comprend :

- un jeu de règles géométriques à respecter pour la disposition des masques,
- des paramètres pour des modèles électriques de composants ou/et des modèles,
- des fichiers de données nécessaires aux outils de synthèse et vérification.

I.B.2. Description et évolution de la technologie CMOS

I.B.2.a. Description et origine des couplages

- Transistor MOS

Le condensateur MOS, souvent nommé capacité MOS, est la structure de base aussi bien pour la fabrication des transistors Métal Oxyde Semi-conducteur que pour leur modélisation. Elle est composée, comme le représente la figure 1- 14 d'un substrat qui est un semi-conducteur extrinsèque dopé P (donc conducteur), d'un isolant qui est typiquement de l'oxyde de silicium (SiO_2) et d'une grille généralement fabriquée en silicium polycristallin amorphe.



figure 1- 14 : Structure de la capacité MOS

Un transistor à effet de champ est un composant à quatre nœuds : la grille, le drain, la source, le substrat. Son fonctionnement est basé sur l'action d'un champ électrique dans un canal semi-conducteur avec un excédent d'électrons (dopage de type N), ou de trous (dopage de type P). La présence d'un champ électrique peut autoriser ou réduire la conduction électrique dans ce canal. Le transistor joue un rôle d'interrupteur. La commande du transistor se fait par l'application d'une tension entre les broches de grille et de source [1-13].

- La technologie CMOS présente de multiples avantages [1-14]. Elle ne nécessite que l'intégration de transistors, qui peuvent être employés en tant que résistances et capacités. Ceci permet l'uniformisation de la fabrication pour répondre favorablement à la complexité des composants numériques. De plus la consommation statique des transistors est nulle ; celle d'un transistor commutant correspond uniquement à la charge électrique nécessaire pour charger sa capacité de charge. Certains composants passifs sont tout de même intégrés dans ce procédé.

- Cette technologie développée sur silicium est composée de deux parties appelées dans le jargon technologique « front-end » et « back-end ». Un empilement des différentes couches du procédé est illustré figure 1- 16.

Le front-end correspond aux diverses couches composant le substrat et l'épitaxie. Les transistors se situent dans ces couches, comme représenté sur la figure 1- 15. Le transistor NMOS est placé dans un caisson de type N (NW pour « Nwell »), le PMOS dans un caisson de type P (PW pour « Pwell »).

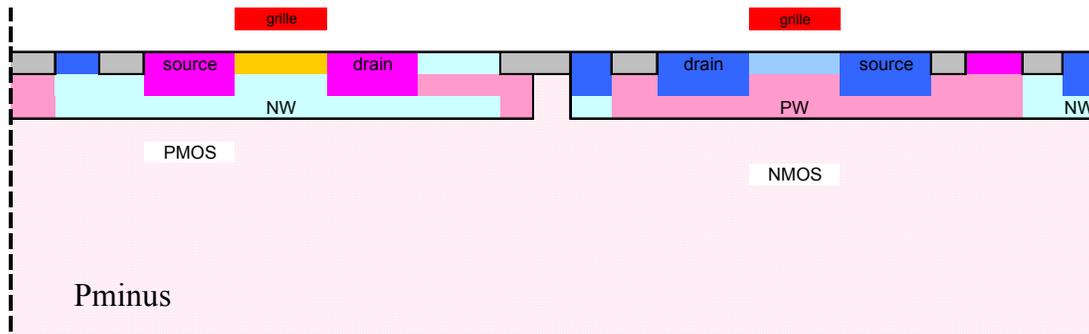


figure 1- 15 : Coupe d'un inverseur dans le procédé CMOS 65

Lors des étapes du back-end, sont créés les composants passifs (capacités métalliques, résistances, inductances), les interconnexions, les rails métalliques de routage entre composants et blocs. Sept niveaux de métallisation de cuivre sont disponibles dans le procédé standard. Un niveau supplémentaire d'aluminium dit « alucap » surplombe le tout : il permet d'arrêter l'éventuelle migration du cuivre et de souder des fils de connexion sur la puce.

C'est à l'intérieur de ce milieu qu'ont lieu les couplages électromagnétiques dont nous précisons l'origine.

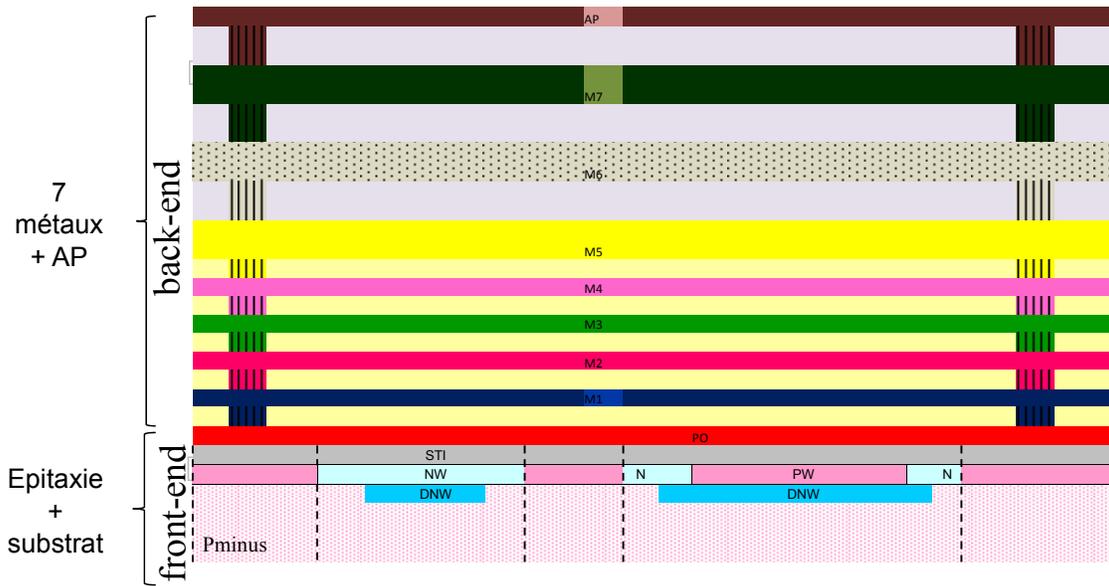


figure 1- 16 : Empilement des couches d'un procédé 65 nm sans option spécifique

- Origine des couplages au sein du procédé

Les champs électriques se développent entre les conducteurs métalliques et aux jonctions des caissons de dopages de types différents (P/N ou N/P). Ce couplage peut être modélisé par une capacité. Le champ électrique E induit un couplage entre deux éléments de haute impédance (cf. paragraphe 0.A.3), soit dans un circuit entre presque tous les nœuds !

L'origine du couplage magnétique est une boucle de courant qui induit un couplage par mutuelle inductance dans d'autres boucles. Un courant revient toujours à sa source par un 'chemin de retour', ce qui signifie que dès qu'un courant circule dans un conducteur, une boucle de courant existe.

Bien que des études distinguent les couplages dans le front-end [1-15] de ceux se produisant dans le back-end [1-16], notons que les nœuds substrat sont connectés à des nœuds métalliques : un lien physique et même plusieurs existent entre eux. Des prises substrat de type N et P sont connectées à des lignes de métallisation ; il est important comme nous l'avons souligné au paragraphe 0.A.2, de localiser les boucles de signaux et de considérer leur distribution à travers le substrat et les interconnexions.

I.B.2.b. Evolution de la technologie CMOS

En raccourcissant l'espace entre la source et le drain, le temps de transit des électrons est plus court, la fréquence de coupure du composant est plus élevée. Ainsi le

nombre d'opérations réalisées par seconde augmente, avec en plus une réduction de la consommation en énergie des transistors.

Dès le début des années 2000, la microélectronique est passée à l'échelle nanométrique en descendant sous la barre des 100 nm de la largeur de grille du transistor. Depuis 2006, la résolution des circuits intégrés est de 65 nm et en 2008, elle est passée à 45 nm pour des applications plus rapides. Parallèlement, les résolutions à 32 nm et 22 nm sont déjà en préparation ; des essais ont eu lieu à des nœuds technologiques encore plus fins [1-17]. Pour maintenir les performances, la tension de seuil des transistors est également abaissée, le transistor devient encore plus sensible à toute variation. De plus, le dopage du canal est augmenté, la couche de déplétion réduite induit des capacités de jonction parasites plus importantes. Les résistances des interconnexions augmentent également, ce qui induit des sauts/bonds de tension plus importants et les capacités mutuelles entre rails de plus en plus proches ont tendance à favoriser le phénomène de diaphonie.

La miniaturisation du procédé oblige à prendre en compte les éléments parasites.

I.B.2.c. Le procédé le plus utilisé dans ces travaux : « le 65 »

Les expériences menées au cours de ces travaux de thèse, commencés en 2006 ont principalement été réalisées dans la technologie CMOS 65nm : les premières puces de test ont été réalisées à Crolles avec le procédé CMOS65, puis chez le fondeur TSMC avec le procédé CLN65. Les deux technologies présentent des caractéristiques similaires : les résistivités des couches et les épaisseurs d'oxyde sont semblables. Les performances le sont aussi, les résultats sont donc comparables.

I.C. Description du substrat

I.C.1. Le substrat, couche matérielle commune à tous les blocs d'une même puce

Le substrat est la couche de liaison entre les différentes fonctions d'une puce (appelées blocs) ; il est le chemin de tout flux entre deux contacts. Il ne fournit pas une isolation parfaite entre les blocs. Un bloc injecte lors de son fonctionnement des signaux dans le substrat assimilables à du bruit. Ce dernier crée des interférences transmises par le substrat qui peuvent perturber le comportement d'autres blocs.

Si l'on considère un substrat dont la face arrière n'est pas connectée à la masse, il est à la fois « la voie de retour » parasite d'un signal d'information et, également, un réseau de chemins conduisant vers une masse. La figure 1- 17 illustre ces deux aspects du « bruit substrat » [1-18], retours des courants allant d'un bloc A vers un bloc B.

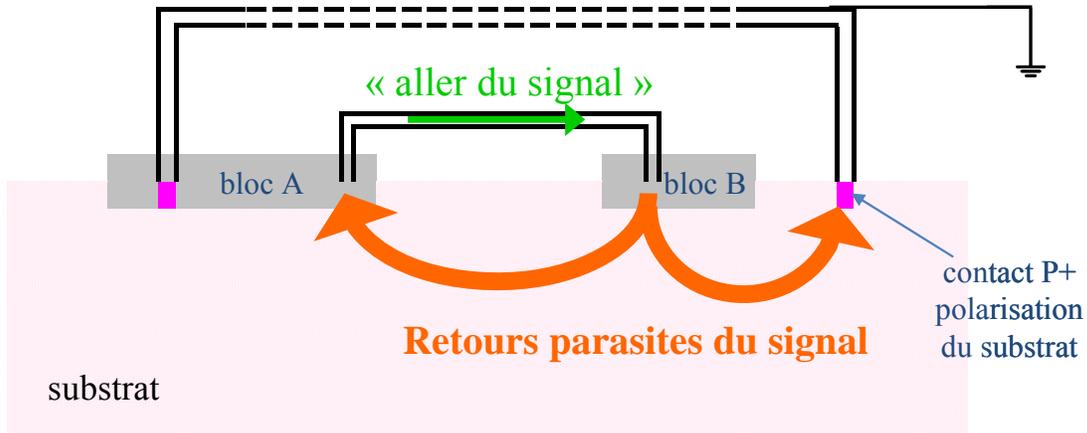


figure 1- 17 : Les chemins du signal d'information

I.C.2. Effet des caractéristiques du substrat au niveau du couplage

Selon le processus technologique utilisé, le substrat peut être considéré du point de vue de la propagation comme un nœud unique (substrat fortement dopé donc conducteur) ou non (modèle RC tel que présenté figure 1- 12 page 43). Afin de simuler le ou les chemins de propagation à travers le substrat, il est nécessaire de réaliser un modèle pertinent du substrat.

Le niveau de dopage du silicium peut être modulé, ce qui permet de créer en fonction des contraintes de procédé deux types de substrat : les concentrations de porteurs ne sont pas les mêmes. Ainsi la distribution des champs électriques diffère. Des substrats fortement dopés sont caractérisés par une concentration homogène de porteurs de l'ordre de 10^{18} cm^{-3} . Ils engendrent de fortes pertes et des couplages accrus, ils sont donc peu utilisés pour la RF.

Un substrat est considéré comme faiblement dopé lorsque sa concentration de dopage est de l'ordre de 10^{15} cm^{-3} . Un modèle équivalent maillé à trois dimensions utilise des mailles élémentaires telles que représentées figure 1- 12. Peu conducteurs, ces substrats sont mieux appropriés pour la RF, le procédé utilisé les emploie. Sa résistivité est de 15 ohm.cm [1-19].

I.C.2.a. Les lignes de courant dans le substrat

Les perméabilités magnétiques des matériaux utilisés, silicium, oxyde, air, étant toutes de l'ordre de 1, les lignes de champs magnétiques dépendent uniquement de la distribution des courants. Nous nous intéressons donc à la distribution des courants entre deux nœuds, deux blocs.

Les lignes de courant entre deux plots ne restent pas confinées dans les couches de l'épitaxie, elles les traversent pour atteindre le substrat Pminus, couche moins résistive, tel que le représente la figure 1- 18 [1-20].

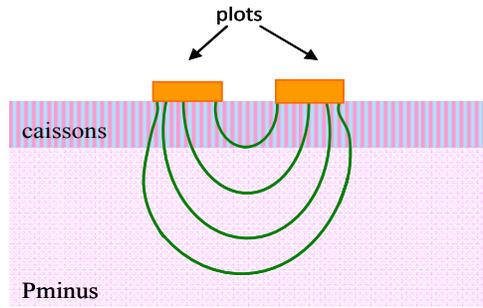


figure 1- 18 : Lignes de courant dans un substrat faiblement dopé entre deux plots

Les fréquences de fonctionnement des circuits étant inférieures à la fréquence de coupure du substrat, ce dernier peut être modélisé par un réseau résistif. En intégrant la résistivité de la couche Pminus sur le volume contenant les lignes de courant, nous estimons la résistance équivalente entre les nœuds Pminus des deux blocs.

Dans un premier temps, nous dessinons le « tube » équivalent dans lequel se situent les lignes de courant allant d'un bloc vers l'autre ; nous simplifions ce volume en lui associant un parallélépipède. La figure 1- 19 illustre cette approximation, nous calculons la résistance équivalente à l'aide des formules suivantes (relations (1- 3)). Les dimensions du parallélépipède sont estimées en fonction des surfaces des blocs considérés. Nous distinguons deux cas (figure 1- 20 et figure 1- 21) en fonction de la distance les séparant. Si cette distance est inférieure à la largeur des blocs, comme dans le cas de la figure 1- 20, alors nous estimons que la profondeur des lignes de courant est équivalente à la largeur des blocs. Dans le cas contraire, figure 1- 21, la profondeur est supposée égale à la moyenne entre la largeur et la distance séparant les blocs, elle est évidemment inférieure à la hauteur maximale du substrat h .

Sur le floor-plan d'un circuit, nous avons ainsi estimé la résistance entre les nœuds Pminus de tous les blocs, en considérant que chaque bloc pouvait avoir un unique nœud Pminus localisé au centre de sa surface.

A l'aide du simulateur thermique Solid Works, nous avons pu vérifier cette estimation. Les résultats concordent avec nos estimations : les résistances thermiques simulées entre chacun des blocs sont du même ordre de grandeur que celles estimées. Les résistances entre les nœuds substrat des blocs sensibles et des blocs agresseurs ont donc été évaluées, comme représenté figure 1-23. Un tel réseau sera utilisé pour des simulations que nous détaillerons au chapitre 3.

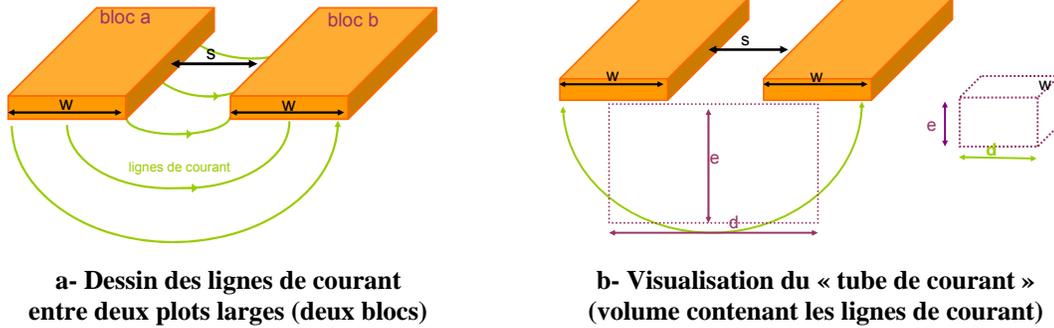


figure 1- 19 : Intégration de la résistivité de la couche Pminus du substrat pour une estimation de sa résistance entre deux blocs

$$R = \int \rho \frac{dl}{dS} \quad \text{devient} \quad R = \rho \frac{L}{S} = \frac{1}{\sigma} \frac{d}{l \cdot e} \quad (1-3)$$

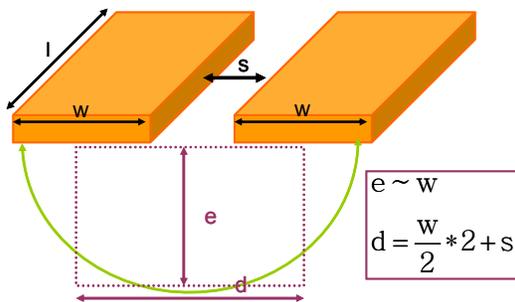


figure 1- 20 : $s < w$

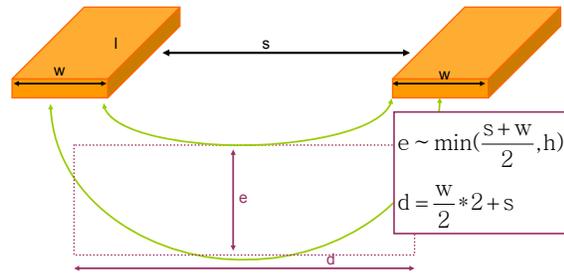


figure 1- 21 : $s > w$

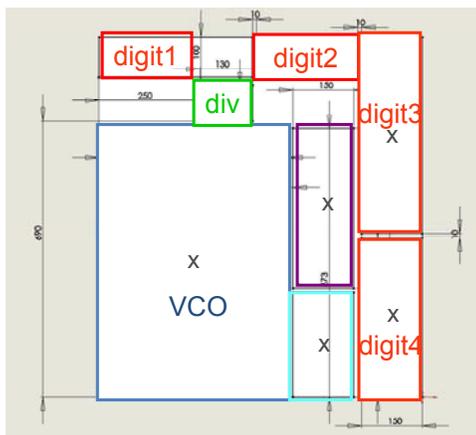


figure 1- 22 : Floor-plan dessiné et simulé sous solid works

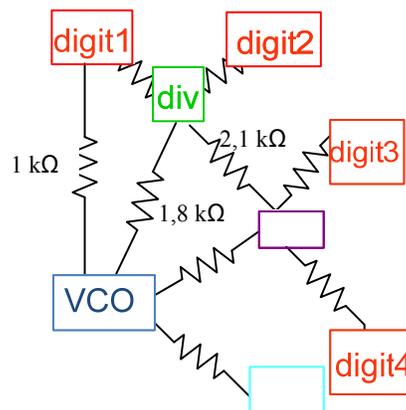


figure 1- 23 : Réseau résistif entre blocs sensibles et blocs agresseurs

De plus, sur un circuit de test, nous avons eu la possibilité de disposer des motifs de plots masse-signal-masse afin de caractériser la résistance de la couche Pminus du substrat. La figure 1- 24 illustre le réseau électrique entre les deux motifs. Un signal d'entrée est injecté sur un plot connecté au substrat. Il est réceptionné sur le plot substrat d'un autre motif distant de 150 μm . Suite aux caractérisations, notre estimation s'est avérée correcte à 13% près, pour deux configurations différentes (positionnements différents des « triplettes » de plots). La figure 1- 26 permet de comparer les caractérisations au modèle simulé et représenté figure 1- 25. Nous supposons que les « creux » sont générés par des couplages avec les métallisations du reste du circuit présent sur la puce. Dans cet environnement, l'isolation est en basses fréquences de l'ordre de 15 à 20 dB, et atteint 35 dB pour des fréquences supérieures à 1 GHz. Aux basses fréquences les courbes sont superposées. Or la distance entre les motifs 1 et 3 (150 μm) est double par rapport à la distance séparant les motifs 1 et 2 (320 μm) : la distance ne permet donc pas de gagner en isolation dans ce cas.

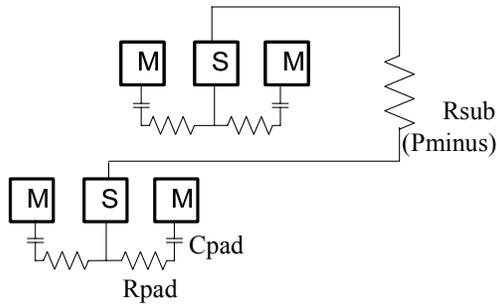


figure 1- 24 : Disposition de deux motifs de plots masse-signal-masse

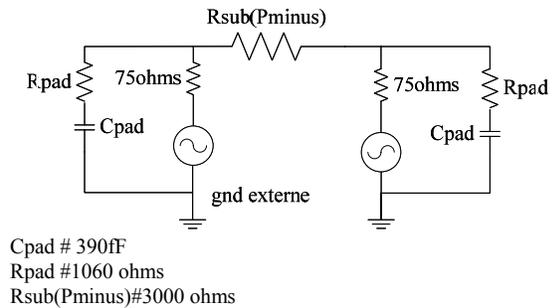


figure 1- 25 : Schéma électrique équivalent

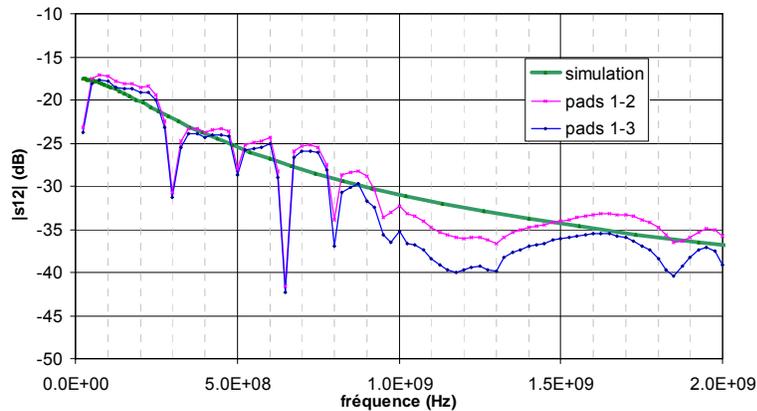


figure 1- 26 : Isolation substrat entre plots

I.C.2.b. Modélisation RC du substrat

I.C.2.b.i. Le couplage capacitif dans le substrat

Les signaux peuvent être injectés dans le substrat à travers des capacités. Il s'agit d'un « couplage capacitif » : de manière imagée, les capacités établissent des passerelles que les courants empruntent pour se diriger vers le substrat. Deux types de capacités, mises en évidence sur la coupe figure 1- 27 sont identifiées :

- Capacités MOS des transistors :

Les drains et sources des transistors forment des jonctions PN polarisées en inverse avec le substrat, qui sont équivalentes à des capacités. Généralement, les drains véhiculent des signaux, et les sources sont connectées à l'alimentation pour les PMOS et à la masse pour les NMOS.

Une capacité relie aussi le canal du NMOS au substrat, et le canal du PMOS au caisson Nwell. C'est également par cette liaison que les signaux numériques se propagent dans le substrat.

- Capacités entre substrat et interconnexions :

Plusieurs types d'interconnexions existent. Elles relient des transistors, des inverseurs ou d'autres composants du circuit et forment avec le substrat des capacités.

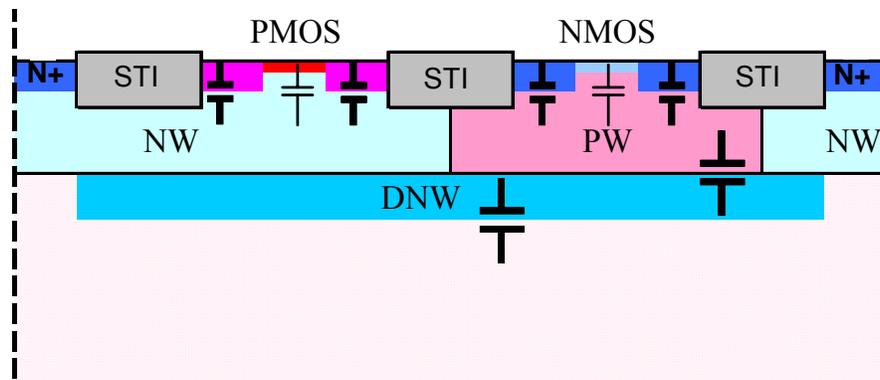


figure 1- 27 : Schéma de couplage par les capacités

I.C.2.b.ii. Modèle RC du substrat

De multiples travaux [1-21] [1-22] montrent que le substrat faiblement dopé ne peut être considéré comme un nœud unique mais comme un réseau d'impédances résistives.

Une modélisation du substrat consiste à identifier les différentes couches de la structure du substrat, chaque couche ayant des propriétés différentes. Des résistances

modélisent la résistivité de la couche épitaxiée, des capacités illustrent le comportement des jonctions PN. Ces capacités sont calculées à partir des capacités surfacique et périmétrique des jonctions selon la relation (1- 4) :

$$C_{jonction} = AC_a + PC_p \quad (1- 4)$$

A et P représentent respectivement l'aire et le périmètre de la couche
Ca et Cp, les capacités surfacique et périmétrique associées au type de jonction

L'effet de la distance peut également être pris en compte en ajoutant des résistances [1-23]. On obtient alors un réseau en pi tel que représenté figure 1- 28.

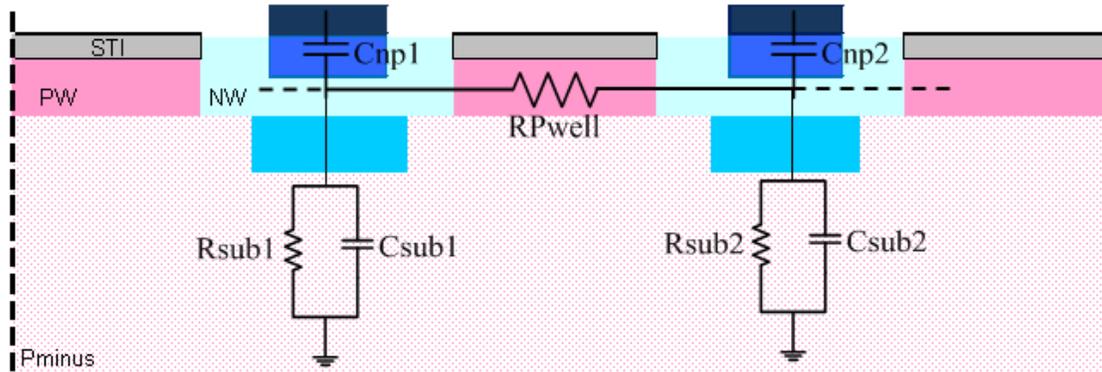


figure 1- 28 : Réseau en pi du substrat [1-23]

Des outils permettent d'extraire les réseaux RC et parfois les effets inductifs de blocs :

- Cadence Assura RLCX extrait les parasites des interconnexions d'un bloc. L'extraction du substrat pour un bloc complet est un objectif dans le développement du logiciel. Après extraction, la réduction du nombre de nœuds se fait à l'aide d'un algorithme basé sur ceux d'Arnoldi et Lanczos [1-24].

- EdXact-Jivaro réduit le nombre de nœuds internes d'une « netlist » de capacités et résistances extraites et génère une liste réduite.

Une étude interne a montré que les deux outils donnent des résultats similaires.

L'extraction du réseau RC du substrat n'est pas chose aisée sur un circuit de grande taille si toutes les géométries et contacts substrat sont pris en compte. D'autant plus que viennent s'ajouter des couches supplémentaires qui permettent d'isoler des transistors ou des blocs entiers.

Afin de combler ce manque d'outils, nous avons essayé de déterminer l'impédance résistive entre deux blocs.

I.C.2.c. Les principales techniques d'isolation substrat

Dans de tels substrats, des signaux parasites se propagent dans les couches conductrices de l'épitaxie qui contiennent une concentration plus élevée de dopants, mais

aussi dans la couche Pminus du substrat. Différentes techniques peuvent être appliquées pour isoler certaines zones en modifiant l'impédance des zones situées autour ; nous les décrivons ci-après.

- Les anneaux de garde

Des éléments, cellule unitaire ou bloc, peuvent être isolés par ce système. Il s'agit, comme on voit sur les figure 1- 29 et figure 1- 30 d'un anneau semi-conducteur dopé P ou N polarisé à la masse qui collecte le courant substrat et le dirige vers la masse. Les anneaux de type N induisent une zone de charge d'espace qui limite son fonctionnement basse fréquence (isolant). Les anneaux de type P apportent une résistance supplémentaire.

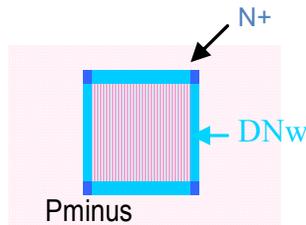


figure 1- 29 : Vue top d'un anneau de garde de type N

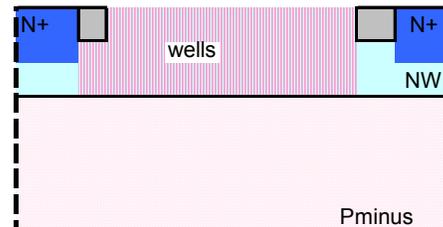


figure 1- 30 : Coupe d'un anneau de garde de type N

- Les couches enterrées

Pour isoler des courants parasites de profondeur, il est possible de placer sous un bloc une couche dopée N en profondeur appelée « Deep Nwell » (DNw), à quelques microns de la surface, qui peut également être polarisée. Elle est obtenue par implantation ionique [1-25].

- Le caissonnage

Il correspond à l'association des deux structures anneau de garde et couche enterrée. Il s'agit d'une technique isolant aux basses fréquences, cette structure introduit une impédance série (capacité dépendant de la surface de DNw). Un petit caisson N permet d'étendre l'efficacité de l'isolation procurée en rejetant les moyennes voire hautes fréquences parasites. Plus connu sous l'appellation « triple well », une coupe est donnée figure 1- 31.

- Le masque bloquant de Pwell

Il permet une isolation série avec une impédance haute : sur une zone localisée, l'épitaxie est remplacée par du Pminus, de plus forte résistivité. Nous précisons l'apport de ce masque en terme d'isolation au chapitre 2. Il peut être intégré entre deux blocs, comme sur la coupe de la figure 1- 32.

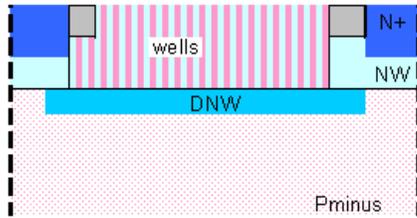


figure 1- 31 : Tripple-well autour d'un bloc

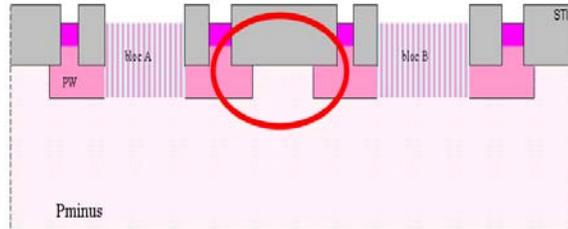


figure 1- 32 : Masque bloquant de Pwell intégré

La figure 1- 33 permet de visualiser la représentation électrique de chaque technique d'isolation. Nous reviendrons sur les stratégies à intégrer au chapitre 3. Les inductances représentent les rails de polarisation. Les anneaux de garde, comme le DNW, peuvent rester flottants (leur connexion n'est pas obligatoire).

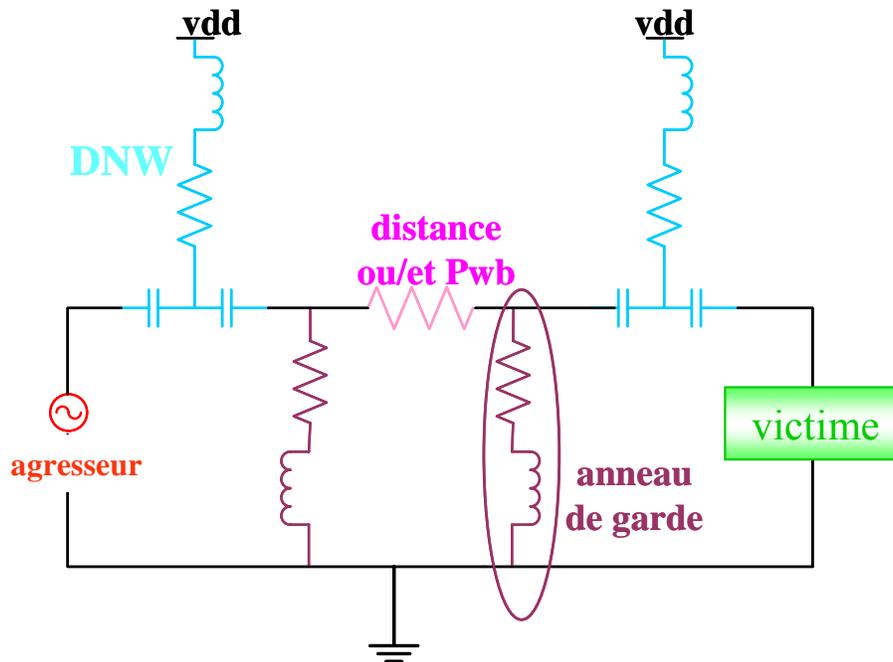


figure 1- 33 : Représentation électrique des structures d'isolation substrat

- Les substrats isolants [1-26]

Des substrats isolants SOI (Substrate on Isulator) éliminent la propagation résistive, et donc en basse fréquence la propagation substrat (le couplage étant alors uniquement capacitif). Dans ce processus une couche isolante (oxyde de silicium) est déposée avant l'épitaxie de la couche active, telle que représentée figure 1- 34. Le principal avantage est la réduction des capacités de jonction des transistors : seule la composante de périmètre existe. Grâce à la présence de l'oxyde enterré, les diffusions de drain et de source sont limitées à la couche de silicium superficielle : le bas des diffusions touche l'oxyde enterré, qui possède une permittivité relative de 3,8 au lieu de 11,6 pour le silicium. Il

s'agit d'une technologie coûteuse qui présente l'inconvénient majeur d'avoir un substrat flottant ou référencé à la masse si un traitement de la face arrière a lieu.

Sous certaines conditions, des travaux de comparaison entre circuits sur un substrat SOI et sur un substrat « classique » [1-27] ont montré que de meilleures performances en termes d'immunité face aux interférences peuvent être obtenues en utilisant à bon escient les jonctions capacitives d'un substrat « classique ».

Nous n'utilisons pas cette technique dans notre procédé.

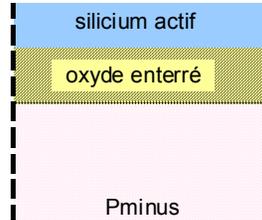


figure 1- 34 : Coupe d'un substrat SOI

I.D. Impact des caractéristiques des métaux sur les couplages

I.D.1. Les interconnexions

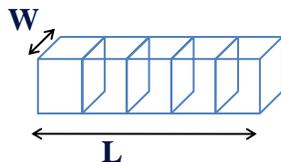
I.D.1.a. Résistivité

Tout métal possède une résistivité intrinsèque ρ telle que la résistance équivalente d'une piste de métal soit :

$$R = \frac{\rho L}{S} \quad (1- 5)$$

avec L, la longueur de la piste et S sa section.

Pour les circuits intégrés, on parle de résistance carrée (résistance par unité de surface) exprimée en ohms par carré R_{\square} , on a alors :



$$R = \frac{R_{\square} L}{W} \quad (1- 6)$$

où W représente la largeur de la piste. Le rapport L/W correspond « au nombre de carrés contenus » dans la piste.

Dans les circuits intégrés, les longueurs de certains rails deviennent très grandes devant leur largeur. Les résistances de rails peuvent atteindre des valeurs du dixième d'ohms jusqu'à quelques dizaines d'ohms. La résistance carrée des niveaux de métallisation du procédé est comprise entre 20 et 180 mOhm/carré, selon le niveau de métallisation, ce qui dégrade les temps de propagation entre les portes.

De même, toute piste peut être considérée comme une inductance propre, dont la valeur admise est de l'ordre de 1 nH/mm [1-28]. Ruelhi a introduit la notion d'inductances partielles en formulant l'hypothèse selon laquelle l'inductance partielle d'un segment correspond à l'inductance que formerait une boucle virtuelle avec l'infini [1-29]. Mais cette méthode ne peut pas s'appliquer sur des circuits réels tant la quantité de « segments » et de couplages inter-rails est importante. De plus cette approche ne tient pas compte de la redistribution des éventuels chemins de retour du signal. Par la suite, nous essaierons d'employer le terme d' « inductance » uniquement pour des boucles de signaux bien définies, et éventuellement localisées.

Ainsi les rails conduisent des flux de courant qui induisent, de par leur résistivité, des différences de potentiel. Ils sont à la fois des chemins de couplage conduit et des antennes.

I.D.1.b. Diaphonie

Sur la figure 1- 35 sont dessinées les lignes de courant existant entre les métallisations. La diaphonie ou « crosstalk » correspond à un couplage entre deux lignes d'un même niveau de métal. Une partie du signal circulant sur un rail est induite sur un rail parallèle proche. On peut modéliser ce phénomène par une capacité dite latérale. En statique cette capacité est déterminée par la relation (1- 7).

$$C_{(F)} = \frac{\varepsilon S}{e} \quad (1- 7)$$

avec ε , la permittivité de l'oxyde
 S , la surface en regard,
 e , la distance entre les surfaces en regard

Dans les procédés technologiques avancés, du fait des dimensions latérales plus faibles que les dimensions entre couches, les capacités latérales sont dominantes par rapport aux capacités existantes entre des métaux de niveaux différents. La figure 1- 36 donne une vue en coupe des capacités entre métaux.

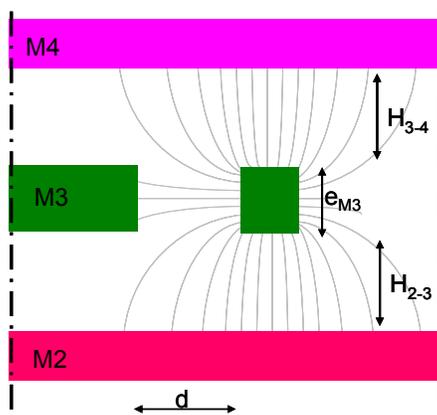


figure 1- 35 : Visualisation des lignes de courant entre métaux

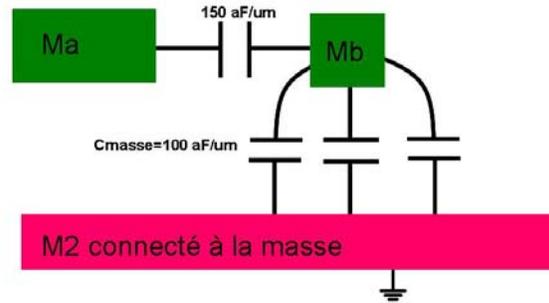


figure 1- 36 : Exemple de couplage capacitif entre métaux

Weize Xu et Eby G. Friedman, [1-30], ont évalué à l'aide d'un circuit spécifique la capacité entre deux lignes. Leurs résultats se rapprochent de modèles existants dans lesquels l'effet de bord n'est pas pris en compte. Le couplage est plus important entre deux lignes de métallisation élevée, leur épaisseur étant plus grande. De l'ordre de 0,28 fF pour deux lignes de 6 μm de longueur et 7 μm de largeur de métal 1 séparée par 0,5 μm , la capacité est divisée par deux si on double l'espacement entre les lignes (au premier ordre, elle est inversement proportionnelle à la distance).

Illustrons ce phénomène à l'aide d'un exemple. Supposons que le métal a (métal non connecté à la masse) de la figure 1- 36 conduise une variation maximale de signal de 1,2 V alors que sa tension nominale est de 1,2 V. Le pic de bruit induit sur le métal b de même niveau de métallisation, peut atteindre d'après l'équation (1- 8) pour des valeurs $C_m=150$ aF et $C_{masse}=100$ aF, 0,72 V !

$$\Delta V_{Mb} = \frac{C_m}{C_m + C_{masse}} \times \Delta V_{Ma} \quad (1- 8)$$

I.D.2. Un composant passif : l'inductance planaire

Les inductances sont notamment utilisées pour adapter un amplificateur dans une bande de fréquence déterminée, pour générer une fréquence contrôlée en tension ou pour compenser des capacités parasites. Ce sont des composants critiques qui doivent être modélisés avec précision pour être intégrés au « design » : les valeurs de l'inductance, du facteur de qualité et de résonance propre dépend de la fréquence [1-31].

Les inductances pour des applications RF ont des valeurs de quelques nH, pour une surface de 100*100 μm . Ces dipôles sont généralement des bobines de forme carrée ou octogonale ou en huit. Une vue de dessus est donnée figure 1- 37. Elles représentent donc intrinsèquement une boucle de courant, propice à un couplage avec tout autre élément. Notons que sous les métallisations est souvent intégré un écran spécifique nommé « shield » cassant les lignes de champs qui se dirigeraient vers le substrat. Nous

reviendrons au paragraphe III avec plus de précisions sur les couplages par mutuelle inductance.

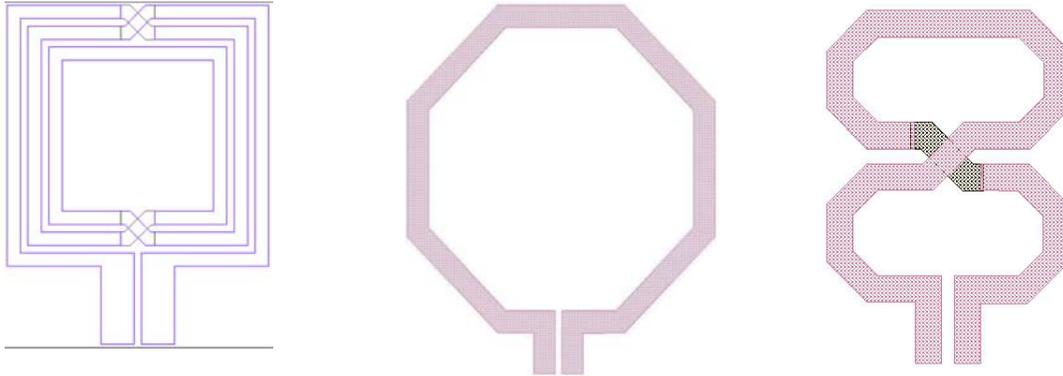


figure 1- 37 : Différents modèles d'inductances vues de dessus

Bilan I :

Le couplage capacitif est surtout induit par des conducteurs (interconnexions ou jonctions capacitives) soumis à des variations rapides de tensions. Le couplage inductif est quant à lui plutôt provoqué par des conducteurs formant une boucle (composants passifs métalliques, interconnexions, substrat) soumis à des variations rapides de courant. Le milieu physique apparaît propice à la conduction de signaux parasites. Des techniques particulières ont été présentées. Elles permettent de jouer avec la nature des matériaux pour dévier les chemins conduisant d'éventuels signaux perturbants. Dans la troisième partie de ce chapitre nous abordons les mécanismes de transfert ayant lieu de manière « rayonnée » (« au-dessus de la puce »).

II. Discussion sur les perturbations rayonnées

Une définition du couplage rayonné peut être donnée à l'aide d'un exemple : considérons deux lignes sur un même circuit. Une onde circule sur la première ligne. Le champ électromagnétique de la ligne 1 a un effet sur la ligne 2 : un couplage en champ proche a lieu : il est « rayonné ».

II.A. Le couplage par champ magnétique ou électrique au-dessus de la puce

II.A.1. Un transfert d'énergie

Le couplage rayonné correspond au transfert d'énergie électromagnétique sur une distance. Les flux de courant traversant les conducteurs et les différences de potentiel sur les conducteurs engendrent cette énergie électromagnétique en créant un champ qui favorise le couplage électromagnétique. Ce « rayonnement », se réduit en champ très proche (régime quasi-statique) à un couplage magnétique ou électrique. Comme nous l'avons remarqué au début du paragraphe I, les dimensions des circuits sont largement inférieures à la longueur d'onde des signaux. La figure 1- 1 page 2 montre bien la prédominance d'un champ sur l'autre. En champ proche, les interférences sont induites.

II.A.2. Dépendance des champs à la distance

D'après la théorie de l'électromagnétisme, les champs rayonnés électrique \mathbf{E} et magnétique \mathbf{H} peuvent être exprimés à l'aide de l'intégrale des champs élémentaires $d\mathbf{E}$ et $d\mathbf{H}$ associée à une longueur infiniment petite d'un conducteur appelé dipôle électrique. De ces intégrales, nous déduisons la proportionnalité des champs avec la distance, lorsque la distance est très inférieure à la longueur d'onde (en champs proches) :

- en $1/d^2$ pour les champs électriques,
- en $1/d^3$ pour les champs magnétiques.

Les équations suivantes donnent les expressions mathématiques des champs lorsque les conditions de distance sont proches.

$$E_{V/m} \approx \frac{q}{4\pi\epsilon_0} * \frac{1}{d^2} \quad (1-9)$$

$$H_{A/m} \approx I \times \frac{S}{4 \times \pi \times d^3} \quad (1-10)$$

avec I correspondant au courant circulant dans la boucle, S à la surface de la boucle et d à la distance.

Ceci illustre bien le fait que le couplage capacitif, généré par un champ électrique, peut plus facilement être réduit par la distance que le couplage inductif généré par un champ magnétique (\mathbf{E} est inversement proportionnel à la distance au carré, alors que \mathbf{B} est inversement proportionnel à la distance au cube) ; mais pour les deux, l'éloignement des éléments couplés reste le paramètre-clé en terme d'isolation.

La description du champ généré par un système est complexe, chaque système contenant plusieurs sources de rayonnement. Nous détaillons au paragraphe suivant les mécanismes de transmission d'une perturbation inductive.

II.B. Perturbations magnétiques

Chaque boucle de courant est assimilable à un dipôle magnétique. En effet comme on le voit figure 1- 38, les boucles fermées que forment les lignes de champs ont un sens. Chacune vient du « pôle nord », et se dirige vers le « pôle sud ». Ainsi se comportent toutes les boucles de courant qui sont à l'origine du champ magnétique.

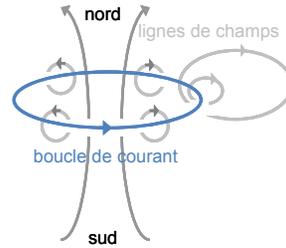


figure 1- 38 : Boucle de courant équivalente à un dipôle magnétique

Le niveau de couplage entre deux boucles dépend de l'éventuel couplage de ces deux boucles avec un autre élément. En effet, prenons l'exemple (représenté figure 1- 39) de trois éléments identiques ayant des ports et des références identiques, situés à des distances relativement proches de manière adjacente. Le niveau de couplage entre l'élément A et l'élément C est plus important en présence de l'élément B : le courant de l'élément C est plus facilement induit dans l'élément A (à travers l'élément B). Ce couplage indirect dit de « second ordre » n'est donc pas négligeable. L. Han a montré à l'aide de simulations l'importance de prendre en compte ces couplages d'ordre second et tierce et propose une méthode de calcul du couplage par mutuelle à l'aide d'un réseau en Π de matrices admittance [1-32]. Cependant cette méthode s'applique à un réseau d'éléments périodiques, les vecteurs d'excitation sont identiques sur tous les éléments, et seules des distributions de courant uniformes sont considérées.

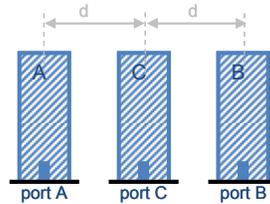


figure 1- 39 : Trois éléments de circuits adjacents couplés

Calculer l'impédance mutuelle de chaque paire d'éléments couplés s'avère donc, sur un circuit, plus adapté ; même si la multitude d'éléments couplés dans un circuit rend le problème très complexe, nous reviendrons sur ce point au chapitre 3.

II.B.1. L'inductance mutuelle et l'inductance d'une boucle de courant

Par définition, l'inductance mutuelle M entre deux boucles est obtenue à partir de la tension induite dans une boucle par une variation du flux de courant dans la boucle-source. A partir des équations de Maxwell et de Poisson, et en faisant l'hypothèse que la boucle source est un fil, on obtient le résultat de Neuman :

$$M_{(H)} = \frac{\mu}{4\pi} \oint \oint \frac{dl \cdot dl'}{R} \quad (1-11)$$

dl et dl' représentent les sections élémentaires de chacune des boucles, R la distance entre les boucles.

La mutuelle étant définie, nous pouvons revenir sur la nature d'une boucle de courant. Considérons un conducteur sur un plan de masse tel que représenté figure 1- 40. Le conducteur peut être assimilé à une inductance, le plan de masse également. On pourrait penser que le chemin de retour du courant se répartit uniformément sur le plan de masse. En réalité, le courant emprunte toujours le chemin de moindre impédance, correspondant à une boucle de moindre surface (moins d'énergie est dépensée).

Par nature, le courant choisit un chemin qui maximise M , et donc qui diminue l'inductance totale donnée par la relation (1- 12). Le champ magnétique généré est proportionnel à la surface de la boucle, représentée figure 1- 41.

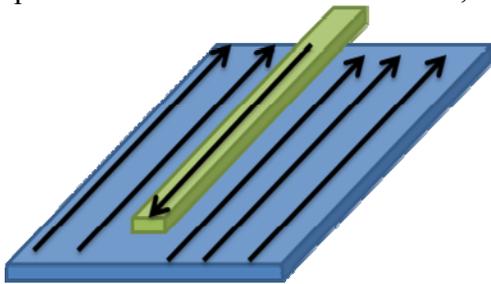


figure 1- 40 : Un conducteur sur un plan de masse

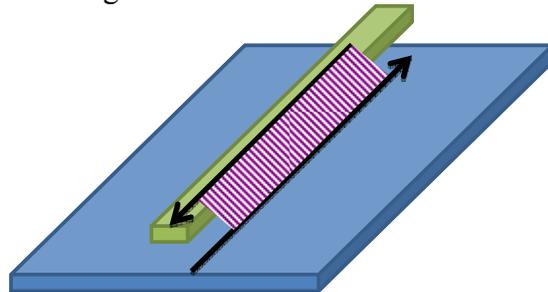


figure 1- 41 : Surface de la boucle de courant

$$L_{boucle} \approx L_{cond} + L_{masse} - 2M \quad (1-12)$$

Les travaux de Ruehli [1-33] et Grover [1-34] décrivent très précisément comment à partir de l'intégration du potentiel vecteur magnétique, on peut calculer l'inductance entre deux filaments. Greenhouse [1-35] a développé un algorithme basé sur les formules de Grover permettant de calculer à partir de la géométrie d'une spire la valeur de son inductance en sommant les contributions (inductance et mutuelle) de chaque segment.

Nous choisissons de ne pas entrer dans ces détails physiques et calculatoires, et préférons utiliser par la suite la formule empirique que nous proposons au paragraphe suivant.

II.B.2. Couplage entre deux inductances

Les boucles de courant sont nombreuses à l'intérieur d'un circuit. Elles traversent les matériaux conducteurs, ou/et se forment au-dessus de la puce.

Nous utilisons une formule empirique découlant de la relation (1- 11) pour estimer l'inductance mutuelle générée par deux inductances disposées dans le même plan et ne se recouvrant pas, de sections A_i , de nombre de spires n_i , et séparées d'une distance de centre à centre d (si cette distance est supérieure à la racine de chaque section) [1-36] .

$$M_{(H)} = 10^{-7} \frac{n_1 A_1 n_2 A_2}{d^3} \quad (1- 13)$$

La relation (1- 13) traduit bien que les couplages magnétiques sont plus importants lorsque les boucles sont grandes par rapport à la distance les séparant.

Cette relation peut également s'appliquer à toutes boucles planes qui ne seraient pas des composants passifs. Si la longueur d'une boucle est très grande par rapport à la distance séparant les boucles couplées, alors la longueur effective L_{eff} cette boucle est équivalente à la distance les séparant, comme le représente la figure 1- 42.

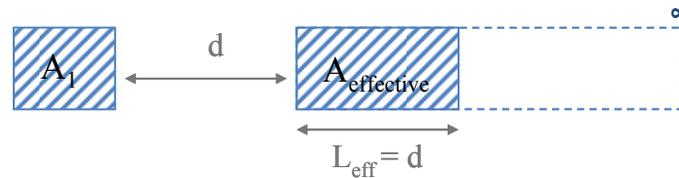


figure 1- 42 : Couplage par mutuelle inductance entre une boucle et une seconde de longueur infinie

II.B.3. Effet de l'inductance d'un bonding

Dans l'application finale, une puce est intégrée dans un boîtier. Un diagramme de connexion des fils est donné figure 1- 11 page 42. Des fils de connexion, appelés « bondings », relient les broches du boîtier aux pads de la puce. La principale caractéristique parasite d'un bonding est son inductance [1-37]. Un fil de connexion peut effectivement être modélisé par une inductance. Plus le fil est long, plus la valeur de l'inductance le modélisant est évidemment élevée. Le bonding peut aussi résonner avec la capacité du cœur du circuit auquel il est relié, pouvant générer une oscillation. Une

attention particulière doit donc être portée quant à la valeur de l'inductance de ce fil, qu'il faut évidemment prendre en compte lors des simulations du circuit.

De plus, le bonding modifie l'impédance du plot intégré sur la puce, ce qui modifie donc l'impédance traversée par le signal. Il peut s'avérer avantageux de doubler la connexion de certaine broche afin de diminuer l'impédance du fil et donc la variation de courant et de tension ayant lieu sur la ligne. En effet, pour une même excitation sur deux entrées identiques A et B d'un circuit (même quantité de signal circulant sur les lignes A et B), et en supposant que l'impédance de la broche A soit inférieure à l'impédance de la broche B ($Z_{LpinA} < Z_{LpinB}$), la configuration de la pin A est plus avantageuse. La variation de signal sur la ligne A sera moindre, l'impédance étant plus faible. Une illustration est donnée figure 1- 43.

Il y a peu de publications qui traitent du couplage « rayonné » sur la totalité d'un circuit : sans doute parce que la multitude des boucles rend le problème très complexe. Les travaux effectués jusqu'à présent et envisagés se focalisent principalement sur la mesure des champs rayonnés [1-38] [1-39].

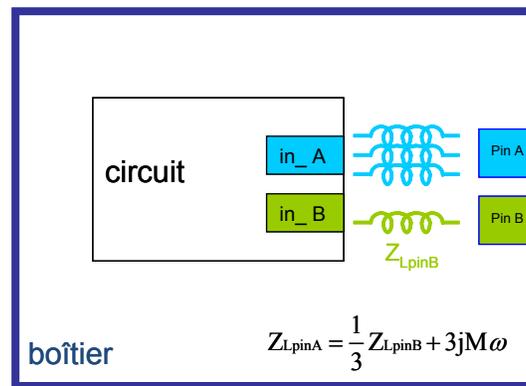


figure 1- 43 : Compromis sur le nombre de bondings

II.C. Les méthodes de mesure développées ou en développement

Deux méthodes existent pour mesurer les champs rayonnés, elles sont normalisées.

Une méthode appelée « surface scan » consiste à balayer avec une sonde de champ proche la surface de la puce pour mesurer les émissions électromagnétiques rayonnées. Une sonde électrique permet de cartographier les potentiels électriques ; une sonde magnétique, de connaître les distributions des champs magnétiques, Des sondes combinées existent également [1-40]. Cela permet de localiser des pics de rayonnement sur le circuit. Aucun circuit de test spécifique n'est nécessaire pour cette opération. Cette technique présente deux inconvénients majeurs, en plus du temps nécessaire pour réaliser le scan :

- les difficultés de calibration : la conversion de la mesure de champ notamment magnétique en une distribution de courant ne s'avère pas évidente, la sonde pouvant elle-même perturber le champ magnétique ;
- les dimensions de la surface de la boucle de la sonde : grande par rapport aux dimensions du circuit, cela induit des limitations en fréquence et en résolution.

Afin de tester l'immunité d'un circuit intégré, une seconde méthode [1-41] propose de le placer dans une cellule Transverse Electromagnétique. Les perturbations rayonnées sont alors collectées par une plaque de métal et dirigées vers un analyseur de spectre. L'inconvénient est que la mesure n'est pas faite dans des conditions de champ proche, il n'y a aucune résolution.

N'ayant pas à disposition de telles sondes, ces techniques de mesure n'ont pas été appliquées. Notons que, de toute façon les dimensions des circuits étant très petites devant la longueur d'onde, il aurait été difficile de cartographier les champs d'une telle puce. De plus, nous nous sommes placés dans une optique d'anticipation des couplages et non de caractérisation de ces derniers après réalisation d'une puce.

Bilan II :

Les principaux mécanismes de couplage se créant au sein d'un système sur une puce réalisée dans le procédé CMOS ont été mis en évidence, qu'ils soient conduits ou rayonnés, capacitifs ou inductifs. Nous allons étudier maintenant les sources effectives des interférences à l'origine des dysfonctionnements des circuits.

III. Sources d'agression dans un circuit de radiocommunication

III.A. Interférences entre signaux dans un circuit

III.A.1. Les signaux d'un circuit

Un signal électrique caractérise l'évolution d'un courant et d'une tension. Il existe des signaux de natures différentes. Les signaux n'ayant pas d'utilisation spécifique sont des bruits parasites. Ils peuvent interférer avec les signaux utiles. Par son activité électrique, un circuit fait apparaître de nombreuses sources de bruits.

III.A.1.a. Classement des signaux

Plusieurs types de signaux circulent dans un circuit : il y a les signaux d'information et les signaux de fonctionnement.

Deux types de signaux de fonctionnement existent :

- les signaux générés par des blocs-horloges dans les basses fréquences entre 10 et 100 MHz ; ils orchestrent le fonctionnement des différents blocs utiles à la réception et à l'émission du signal d'information ;
- les signaux de contrôle.

Les signaux d'information sont traités tout au long de la chaîne de réception/émission radio. Ils circulent donc sous plusieurs formes et à des fréquences différentes. Ces signaux peuvent être classés en deux catégories : les signaux statiques qui n'ont qu'une composante continue et les signaux RF. Les interactions entre signaux RF induisent des modulations qui sont à l'origine des perturbations du signal d'information de sortie.

Remarque : Représentation des signaux

Quatre dimensions caractérisent un signal : l'amplitude, le temps, la fréquence et la phase. Tout signal peut être représenté dans les domaines temporel et fréquentiel sans que l'information qu'il contient ne soit erronée. Au paragraphe suivant, nous choisissons de préciser les mécanismes d'interaction dans le domaine fréquentiel qui permet de distinguer les différentes composantes sinusoïdales d'un signal.

III.A.1.b. Les deux modes de couplages des signaux d'alimentation

Badaroglu et al. [1-42] ont distingué deux composantes au bruit d'alimentation : le bruit de mode commun et le bruit de mode différentiel.

La composante en mode commun est caractérisée par le déséquilibre entre la tension d'alimentation et le potentiel de masse du système. Elle n'affecte pas le fonctionnement local du circuit mais fait varier les niveaux de tension d'entrée sortie d'un bloc numérique et augmente les émissions électromagnétiques du circuit intégré. Ce bruit peut être modélisé par une source de courant en série avec le générateur déjà utilisé comme le montre la figure 1- 44.

La composante en mode différentiel correspond aux oscillations engendrées par le réseau RLC formé de l'impédance de cœur du circuit (impédance RC) et des inductances et résistances du boîtier (impédance LR) : l'effet est interne. Cela affecte les temps de propagation des signaux logiques. Ce bruit apparaît comme le signal d'un générateur de courant situé entre le potentiel de référence de la source et le récepteur. Le bruit de mode différentiel peut être fortement réduit par un découplage adapté.

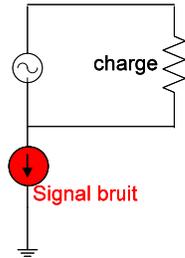


figure 1- 44 : Modélisation du bruit de mode commun

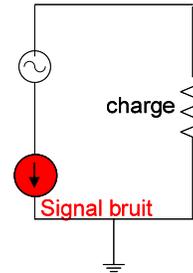


figure 1- 45 : Modélisation du bruit de mode différentiel

III.A.2. Interaction entre signaux dans le domaine fréquentiel

Un intérêt de la connaissance des composantes sinusoïdales constituant un signal est d'identifier les erreurs de fonctionnement d'un système.

Soit un système linéaire à deux entrées, le signal de sortie peut être décomposé en une somme de raies à des fréquences composées des composantes sinusoïdales des signaux d'entrée. Considérons maintenant que la seconde entrée soit celle d'un signal parasite. Le signal de sortie aura alors des composantes parasites, perturbantes : c'est le principe de superposition des signaux.

Nous rappelons avec la table 1- 1 les différentes modulations du signal d'information que l'on peut rencontrer suite à un couplage entre deux signaux. Nous considérons que la porteuse est un signal de type cosinus, modulée éventuellement par un signal sinus. Pour qu'il n'y ait pas d'interpolation, le dispositif est également supposé linéaire. Des modulations directes généreront l'addition d'une ou plusieurs raies sur le spectre du signal souhaité, des modulations indirectes modifieront la fréquence ou/et l'amplitude du signal souhaité.

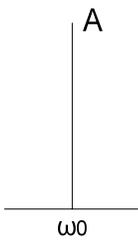
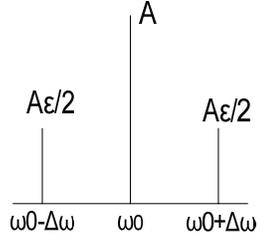
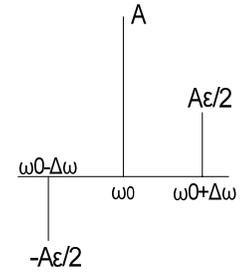
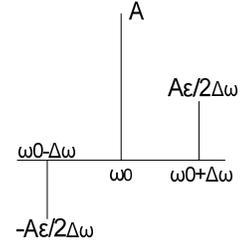
Signal	Expression du signal	Spectre
Signal souhaité (porteuse)	$A \cos(\omega_0 t)$	
Signal réel avec modulation d'amplitude	$A \cos(\omega_0 t) + A \frac{\varepsilon}{2} \times [\cos(\omega_0 t + \Delta\omega t) + \cos(\omega_0 t - \Delta\omega t)]$	
Signal réel avec modulation de phase	$A \cos(\omega_0 t) + A \frac{\varepsilon}{2} \times [\cos(\omega_0 t + \Delta\omega t) - \cos(\omega_0 t - \Delta\omega t)]$	
Signal réel avec modulation de fréquence	$A \cos(\omega_0 t) + A \frac{\varepsilon}{(2 / \Delta\omega)} \times [\cos(\omega_0 t + \Delta\omega t) + \cos(\omega_0 t - \Delta\omega t)]$	

table 1- 1 : Classification des raies parasites pouvant être obtenues (dispositif linéaire)

III.B. Sources d'agression dans les circuits mixtes

III.B.1. Sources de bruit

Il est usuellement supposé que le signal agresseur peut être assimilé à un courant ou une tension. Or le courant et la tension engendrent des champs différents. Nous allons donc considérer simultanément les deux approches, c'est à dire caractériser le signal en

puissance, à partir des informations obtenues sur le courant, mais aussi sur la tension. Remarquons que selon la nature de la victime, l'un des termes peut avoir un impact plus important que l'autre.

A l'intérieur d'un bloc numérique, dans un circuit synchrone, les éléments séquentiels commutent à la cadence du signal d'horloge. Cependant, comme nous l'avons indiqué au paragraphe I.D.1 les fils et les interconnexions induisent des délais lors de la propagation du signal d'horloge, ce qui rend difficile le contrôle de ce dernier : il n'atteint pas tous les blocs d'un circuit en même temps. La gestion du déphasage de l'horloge se fait lors de la construction de l'arbre d'horloge. Le retard du signal d'horloge est ainsi exploité et les délais sont optimisés afin de répartir au mieux l'activité des éléments séquentiels dans le circuit, mais ce n'est pas suffisant.

Des courants importants sont transportés par les transitions entre portes ou les réseaux d'alimentation et de masse. Ils provoquent une chute de potentiel dans les lignes, due à leur résistance non nulle. Prenons l'exemple du courant circulant sur un rail d'alimentation : la tension d'alimentation fournie aux différentes parties du système n'est pas au même potentiel qu'à la sortie de la source d'alimentation, comme le montre la figure 1- 46. Certaines parties du circuit fonctionnent alors à une tension inférieure à la tension nominale pour laquelle elles ont été conçues. Ce phénomène est connu sous le nom de « chute IR » (ou « IR drop ») , c'est-à-dire une variation de la tension [1-44].

Un rail de métal fin (un des premiers niveaux de métallisation) de longueur $20\ \mu\text{m}$ et de largeur $0,2\ \mu\text{m}$ aura une résistance équivalente de l'ordre de 18 ohms. Si on autorise sur ce rail un saut de courant de 11 mA, cela suppose que la tension traversant ce rail ait une variation de l'ordre de 200 mV.

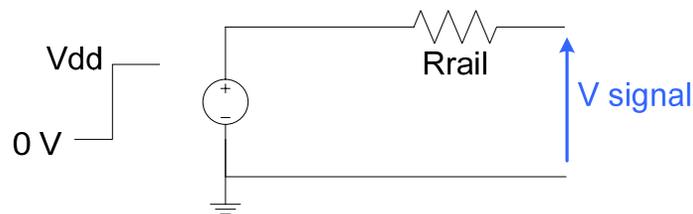


figure 1- 46 : Signal fourni par une alimentation après avoir traversé un rail

En plus de l' « IR drop » généré par les réseaux d'alimentation, des courants tirés par une partie du circuit génèrent des bruits transitoires dans le réseau d'alimentation. L'inductance équivalente des lignes devient alors un facteur à considérer : des variations brusques du courant engendrent des variations en tension, qui peuvent affecter le fonctionnement d'autres parties du circuit. Ce phénomène, appelé « chute et rebond d'alimentation », est détaillé dans le paragraphe suivant.

III.B.2. Le bruit de commutation

Un bloc numérique se compose d'un ensemble de portes logiques, créant lors de leur commutation une activité numérique certaine. D'un point de vue de sa contribution au bruit d'alimentation et de substrat, un tel bloc peut être simplifié fonctionnellement en une chaîne d'inverseurs. Etudier le comportement d'un inverseur au milieu de la chaîne revient à illustrer l'effet de l'activité d'une porte, ce que nous détaillons par la suite.

Une porte logique complémentaire CMOS possède deux états d'équilibre (état haut et état bas). Lorsqu'un inverseur se trouve à l'état d'équilibre, sa consommation statique est nulle. Quand la tension du signal d'entrée est haute, celle de sortie est basse. Pour commuter, c'est-à-dire changer d'état, une porte « appelle » sur les rails d'alimentation un courant dit dynamique qui va charger les différentes capacités parasites ou de charge connectées à la sortie de la porte ; la forme de courant nécessaire est représentée sur la table 1- 2. Détaillons le mécanisme en admettant que les deux transistors ne sont pas simultanément actifs. Au cours d'une transition montante de la sortie de la porte, l'alimentation fournit le courant qui à travers le PMOS passant charge la capacité se trouvant sur le nœud de sortie. Puis le NMOS devient passant (transition descendante du signal sur le nœud de sortie), la capacité de sortie est déchargée à travers le transistor, vers la masse. Les figure 1- 47 et figure 1- 48 illustrent le mécanisme de commutation.

Une analyse transitoire permet de caractériser les différents états de charge parcourus lors de la commutation. En effet, des capacités équivalentes existent entre les nœuds des transistors (capacités de jonction, vues au paragraphe I.C.2.b.i.). Si on considère un inverseur au milieu d'une chaîne d'inverseurs, les capacités des transistors de différents étages se chargent et déchargent simultanément. L'état de charge des étages précédents et suivants influe sur l'état de charge des capacités de l'étage considéré. En effet, le changement d'état d'une porte implique un chargement ou un déchargement de la capacité de sortie. Ce courant dit « de commutation » peut atteindre 50 μA selon le composant utilisé (inverseur avec un doigt de grille unitaire en CLN65).

Marc van Heijningen, au laboratoire de Leuven en Belgique, a modélisé de manière très précise individuellement une porte logique. L'idée est de remplacer systématiquement l'activité de commutation des cellules par une source de courant contrôlée qui simule le comportement de commutation des blocs numériques [1-45]. La figure 1- 49 présente cette modélisation. Cependant cette modélisation néglige l'effet des capacités des transistors et ne prend pas en compte la polarisation du substrat, nous tentons au chapitre 2 d'élaborer un modèle mieux adapté à la topologie des circuits.

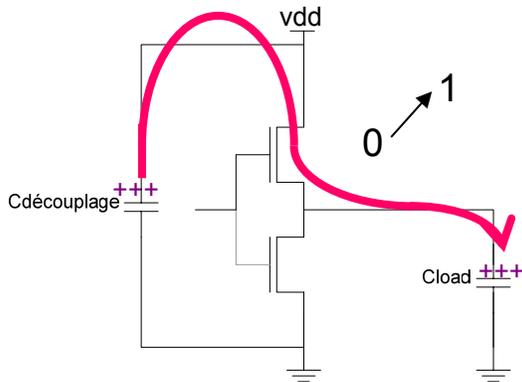


figure 1- 47 : Commutation du PMOS

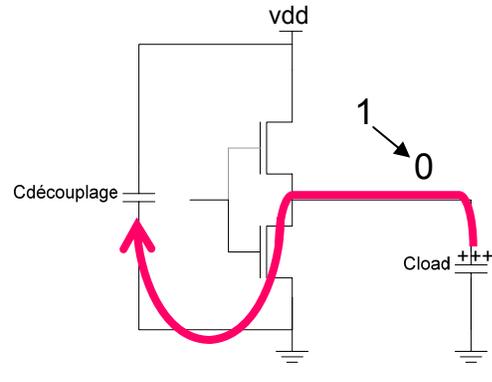


figure 1- 48 : Commutation du NMOS

	Commutation du PMOS	Commutation du NMOS
Signal d'entrée en tension		
Signal de sortie en tension		
Courant sur la source du PMOS		
Courant sur la source du NMOS		

table 1- 2 : Forme des courants appelés par l'inverseur sur les rails d'alimentation

Le courant appelé est proportionnel aux dimensions de l'inverseur et à sa capacité de charge qui détermine le temps de transition : la consommation est distribuée en temps et donc la forme du courant change. La largeur du pic correspond à un temps de commutation ; elle dépend du composant utilisé.

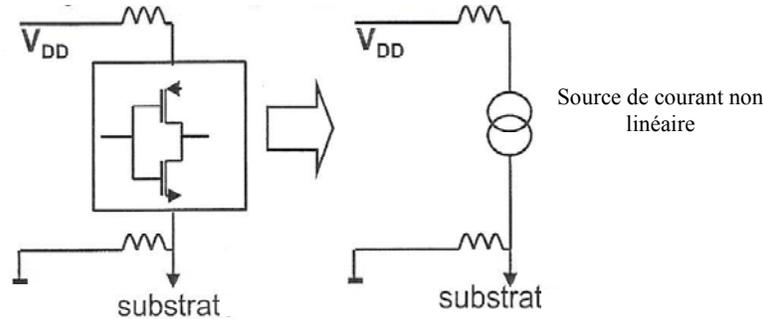


figure 1- 49 : Modélisation d'une porte logique [1-45]

III.B.2.a. Description du phénomène

Ces courants dynamiques, variations transitoires (di/dt) génèrent des chutes de tension converties par la résistance des lignes et l'inductance associée. Selon la loi de Faraday, cette inductance crée suite à une rapide variation de courant une force électromotrice (e) d'amplitude non négligeable sur les lignes de masse et d'alimentation, la forme est exprimée par l'équation (1- 14). Cet effet « de chute de tension » s'appelle le « rebond » ou « saut » à la masse.

$$e = -L \frac{di}{dt} - Ri \quad (1- 14)$$

La combinaison de plusieurs milliers de portes commutant simultanément engendre d'importants pics de courant (somme des pics simultanés), principalement sur les fronts montants et descendants de l'horloge du circuit, comme le montre la table 1- 2. L'activité interne des circuits peut être caractérisée par le temps de commutation du circuit, il correspond au temps entre la première bascule logique recevant le signal d'horloge et la dernière. Un objectif des concepteurs est de minimiser ce temps, ce qui implique une impulsion globale de courant plus haute et plus étroite. Ainsi des transitions de courant élevées sont créées à l'intérieur de la puce et induisent des chutes de tension accrues. Le niveau de bruit généré dépend également du nombre de portes en commutation [1-46].

Ces courants transitoires créés à l'intérieur de la puce sont partiellement découplés grâce aux « capacités de découplage » de la puce dont une partie est intégrée directement au cœur des blocs. Les capacités de découplage jouent à ce niveau deux rôles essentiels :

- i) fournir le courant nécessaire sans qu'il y ait d'appel sur la ligne,
- ii) éviter que la circuiterie émette du bruit.

Cependant, ce découplage n'est pas suffisant : des courants transitoires restent présents et génèrent des bruits qui se propagent à travers toute la puce par différents couplages parasites : ce sont les variations de mode commun.

III.B.2.b. Réduction du bruit de commutation

Afin de minimiser l'amplitude des oscillations, il est nécessaire d'éviter que coïncident les pics de résonance du circuit avec des harmoniques de la fréquence utile [1-47]. Plus la consommation de courant en fonctionnement est élevée, plus les pics de courant seront importants à une même fréquence d'horloge. Augmenter le temps moyen des transitions des signaux logiques réduit les perturbations électromagnétiques. Si les concepteurs tentent de minimiser le « skew » (différence du temps de propagation d'un signal allant vers plusieurs portes à travers des rails différents) pour augmenter les fréquences de fonctionnement, il est d'un point de vue bruit substrat plus intéressant de l'augmenter afin d'étaler l'impulsion de courant généré par les commutations des portes logiques. D'autres approches, telles que la logique asynchrone ou la méthode de dispersion de l'horloge, permettent de diminuer les parasites liés à l'activité numérique. Des cas concrets ont fait l'objet d'analyses du bruit d'alimentation. Il en ressort que la prédiction de ces sauts d'alimentation ainsi que leur prise en compte lors des analyses temporelles de vérifications deviennent indispensables pour la conception des circuits intégrés numériques de dernière technologie.

Les pics de courant ont un impact direct à la fois sur les émissions conduite et électromagnétique. Des arbres d'horloge avec des circuits de distribution sont préférables à une seule horloge produisant de forts courants de commutation. Réduire les tensions d'alimentation nécessaires au fonctionnement des circuits permettrait de réduire les pics de courant et les phénomènes de bruit substrat détaillés au chapitre 2. Le rebond d'alimentation ou de masse est l'une des sources principales d'émission. La difficulté est de déterminer la quantité de courant présente dans ce rebond, de mettre en évidence les différents chemins que ce courant de rebond ou une partie du courant de ce rebond emprunte.

Bilan III :

En conclusions, les courants dynamiques de commutation (CdV/dt) représentent l'une des principales sources des émissions électromagnétiques et conduites. Dans cette étude, un bloc numérique sera principalement assimilé à un agresseur et par conséquent, le bloc analogique sera étudié en tant que victime. La distance entre victime et agresseur n'est pas l'unique critère à prendre en compte. La perturbation peut être conduite par différents chemins de couplage (vu au paragraphe I), le substrat et les différents rails d'alimentation et de masse communs mais aussi de manière rayonnée par un couplage mutuel, tel que détaillé au paragraphe II.

Nous présentons maintenant les conséquences des couplages électromagnétiques sur le fonctionnement de certains circuits.

IV. Performances des circuits RF en terme de dégradation due aux différents types de couplage

IV.A. Couplage « rayonné »

IV.A.1. Les manifestations du couplage rayonné sur un oscillateur contrôlé en tension

Un OCT ou VCO (Oscillateur Contrôlé en Tension ou Voltage-controlled oscillator) permet de générer une fréquence ajustable. La fréquence (ou la phase) du signal produit varie progressivement en fonction de la tension continue d'accord qui lui est appliquée. Les OCT sont utilisés pour construire des synthétiseurs de fréquence. Toute perturbation peut donc créer une modulation du signal de sortie. Pour répondre aux spécifications, l'OCT délivre un signal oscillant à une fréquence fixe avec un certain niveau d'amplitude significativement supérieur à son seuil de bruit. Si une autre raie apparaît avec un niveau d'amplitude supérieur à ce plancher de bruit, une modulation entre le signal souhaité et le signal perturbant va induire une erreur irréversible dans le fonctionnement global du circuit ; le signal de sortie se situera à une fréquence inattendue et avec une amplitude différente. Les différentes modulations possibles ont été résumées table 1- 1 ; le contenu spectral peut être très éloigné de celui attendu. Ce bloc très sensible a fait l'objet de nombreuses études [1-48].

L'inductance de l'OCT est un exemple propice pour distinguer les deux effets du couplage « rayonné ». En effet, ce composant passif présente intrinsèquement une boucle à travers laquelle circule un signal. Ce signal est donc émis magnétiquement et peut se coupler avec toute autre boucle du circuit.

Le premier, le plus évident, se traduit, suite à un couplage avec une autre boucle, par une modification de la valeur de l'inductance de l'OCT. Or, la valeur de l'inductance détermine la fréquence d'oscillation, ceci signifie un décalage en fréquence du signal généré par le bloc.

Le second est lié à l'inductance : élément capteur prédominant, elle est sensible à la variation du champ magnétique qui crée un champ électrique. Ainsi un signal non désiré peut être induit dans l'inductance-même. Ce signal à une fréquence-source (fréquence d'origine du signal « agresseur »), peut venir modifier le signal circulant dans l'inductance.

IV.A.2. Cas d'une PLL à 18 GHz

Dans un produit en développement de NXP (PLL à 18 GHz), des raies d'amplitude non négligeable ont été mesurées à des fréquences non prévues : 17,9 et 18,1 GHz en sortie de la PLL, dont le signal devrait se situer uniquement sur la composante sinusoïdale à 18 GHz.

Nous identifions sur le layout du circuit deux boucles : une inductance et une boucle de métal. Cette dernière correspond à un rail métallique à travers lequel circule une impulsion de courant toutes les 10 ns, soit un signal à 100 MHz. Nous simplifions au maximum la topologie du circuit pour ne garder que les deux boucles, dessinées dans un seul niveau de métallisation. Les deux boucles identifiées sont visibles sur la figure 1- 50.

Pour modéliser ce couplage nous avons utilisé le logiciel commercial de simulation électromagnétique Momentum. Cet outil utilise la méthode des moments avec une résolution dite « 2,5D ». La méthode des moments consiste à déterminer les distributions de charge et de courant. La densité de charge et le courant surfacique d'une piste métallique créent un champ électrique et un champ magnétique. Le champ électrique s'annule à la surface du segment métallique traversé par la densité de courant. Il s'agit de résoudre un problème linéaire satisfaisant les conditions aux limites. Le milieu est constitué d'une superposition de couches, la troisième dimension n'est pas considérée en tant que telle. Pour nous, cet outil est particulièrement bien adapté à la simulation des couplages magnétiques entre deux boucles dont l'environnement est extrêmement simplifié, voire inexistant.

Une fois le layout importé, la mutuelle existant entre les deux boucles est calculée, de l'ordre de 7 pH. Un couplage magnétique existe entre les deux boucles. A partir de la mutuelle inductance et de l'inductance propre de chacune des boucles, nous déduisons d'après la relation (1-16) le coefficient de couplage, de l'ordre de -35 dB.

$$k = \frac{M}{\sqrt{L_1 L_2}} \quad (1-15)$$

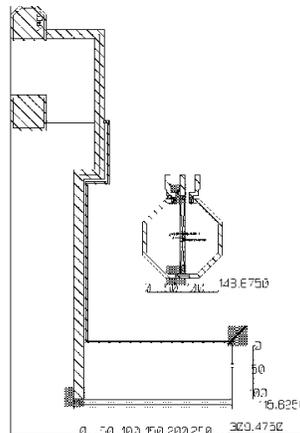


figure 1- 50 : Vue de dessus d'un layout très simplifié : identification de deux boucles

La solution appliquée pour remédier à ce couplage a consisté à remplacer l'inductance octogonale par une inductance en huit : « en nouant » l'inductance, les contributions de chacune des deux boucles annulent la composante du champ magnétique (le courant dans chaque boucle circule dans un sens opposé). Il n'y a alors au premier ordre plus de couplage magnétique possible avec l'inductance de l'OCT.

IV.B. Couplage conduit à travers le substrat

Le bruit substrat vient perturber les nœuds sensibles de différents blocs d'un circuit mixte, tels qu'un amplificateur faible bruit ou un oscillateur contrôlé en tension. Le spectre d'un bruit substrat perturbant pour une application radio peut s'étendre jusqu'à 2 GHz vues les fréquences de fonctionnement des différents blocs.

IV.B.1. Cas d'un LNA

Considérons un amplificateur dont la bande de fonctionnement est inférieure à 2 GHz, un bruit bande étroite sera linéairement transféré à la sortie de l'amplificateur ; si le bruit est large, des intermodulations avec le signal RF vont se former [1-49]. Dans le premier cas, les interférences qui apparaissent peuvent être filtrées en sortie du LNA, mais dans le second cas, annuler les interférences s'avère plus délicat. De nombreuses études expérimentales ont été menées [1-50] pour mettre en évidence le rôle du substrat, conducteur des perturbations.

Cependant, peu d'études montrent des résultats de caractérisation en adéquation avec des simulations et des modèles. Xu a étudié l'impact du bruit substrat généré par un « bloc numérique » sur un LNA single-ended à 1,5 GHz conçu sur un substrat épitaxié. Selon lui, le bruit de mode commun a pour principal effet de perturber l'alimentation de l'amplificateur, ce qui modulerait le signal d'entrée du LNA.

IV.B.2. Cas d'un OCT

Dans le cas d'un OCT, un bruit substrat de forte puissance peut être modulé à la fréquence d'oscillation du bloc et donc convertit à la fréquence $f_{osc} \pm f_{bruit}$. Si cet oscillateur est utilisé pour un récepteur, le signal souhaité sera modulé à la fréquence $f_{osc} \pm f_{bruit}$ et ne pourra plus être recouvert [1-51]. Le couplage par le substrat notamment induit également une dégradation du bruit de phase défini par le rapport entre la densité spectrale de puissance d'une bande latérale et la puissance de la porteuse [1-52]. Les perturbations substrat modifient les caractéristiques des composants sensibles et les

courants en certains nœuds, ce qui change les points de fonctionnement des composants. Il s'agit donc d'un bloc critique.

Bilan IV :

Que la perturbation atteigne la victime par un mode de couplage conduit ou improprement qualifié de rayonné, la distribution spectrale qui en résulte affecte le comportement du système. De multiples études expérimentales ont permis de mettre en évidence des mécanismes propres au design du bloc sensible. Comme nous allons le montrer dans les chapitres suivants, la manière de disposer les composants joue un rôle fondamental quant aux quantités de courant développées dans des rebonds et à leurs chemins de propagation.

V. Conclusion : Importance d'une méthodologie appropriée

Les mêmes phénomènes sont à l'origine d'émissions à la fois conduite et d'interaction électromagnétique. On distingue trois types de couplage :

- le couplage par impédance commune,
- le couplage capacitif, et
- le couplage inductif.

Des méthodes de mesure existent mais ne sont malheureusement pas prédictives. Les outils existants dont nous discuterons les principes et leurs évolutions au chapitre 3 ne sont pas suffisamment matures pour apporter des éléments de réponses valides.

Aujourd'hui les concepteurs souhaitent déterminer la bonne solution pour arriver plus sûrement à réaliser un circuit fonctionnel dès la première itération. Mais comment identifier et traiter les multiples sources de perturbation ? Les concepteurs demandent à connaître la quantité d'énergie des signaux perturbants et leur répartition spectrale. Ce que souhaiterait la communauté du design est un outil donnant les limites de tolérance d'un bloc victime à supporter un bruit perturbant sans que cela impacte sa fonctionnalité. Une analyse du « floorplan » est également attendue : un outil calculant le bruit résultant généré en un point géographique dépendant de la position des agresseurs potentiels.

Si, certes des techniques permettent d'isoler des blocs sensibles ou de contrecarrer d'éventuels mécanismes de couplage électromagnétique, la plupart des applications RF présentent encore aujourd'hui dès les premières caractérisations des puces de test des problèmes comportementaux liés à des interférences électromagnétiques dont nous venons d'aborder les principales sources et les vecteurs de propagation.

L'isolation recherchée dépend de nombreux paramètres de layout :

- la structure elle-même de la puce : ses dimensions, le profil de dopage de ses couches, la connexion éventuelle de la face arrière du substrat à la masse, ses protections,
- la distance entre la source de perturbation et la victime, la topologie entre cette source et sa victime
- la qualité des signaux circulant sur les rails.

Notons également que les choix architecturaux des circuits ont une influence importante sur les isolations des circuits. Il est difficile d'évaluer la qualité d'un design en terme d'isolation tant ces paramètres en jeu sont multiples.

Le niveau de couplage dépend à la fois des distances entre les éléments couplés, du dimensionnement de ces éléments, et des signaux circulant ou formés à travers. La manière dont ils sont conçus et assemblés a une importance considérable. Nous souhaitons estimer le niveau des interactions pour prendre en compte dès les phases amont de conception des blocs sensibles la « signature » des blocs agresseurs, afin de respecter le cahier des charges dès la première réalisation de la puce complète.

Toute variation transitoire de courant est une source d'agression. La commutation des portes des blocs numériques induisent la formation de forts pics transitoires de courant, qui sont injectés dans les alimentations et dans le substrat. De plus, le couplage par le substrat se présente auprès de la communauté des designers comme une cause délicate à traiter et à l'origine de nombreux problèmes. Le mécanisme de couplage en soit

n'apparaît pourtant pas extrêmement complexe (couplage capacitif à travers les interconnexions et les jonctions). Cependant, comme nous allons le voir dans le chapitre 2, il implique de multiples éléments topologiques de natures différentes (la quantité et la disposition de prises substrat, de capacités de découplage, le routage des différentes cellules, le positionnement des blocs sur la puce les uns par rapport aux autres, leur éloignement, la forme de circulation des signaux dans les blocs et entre les blocs, ...).

Aucun outil n'étant à l'heure actuelle capable d'extraire le réseau équivalent au substrat pour un circuit complet (bloc et puce), nous nous sommes focalisés sur le courant injecté dans le substrat afin de l'évaluer et préciser le rôle de bouc-émissaire donné au substrat dans la formation des interactions parasites (cf chapitre 2).

Il apparaît également important de mettre en place une certaine méthodologie, et d'évaluer l'apport de certaines recettes usuelles des concepteurs expérimentés. En outre, maintenant que les mécanismes de couplage ont été décomposés, formuler des stratégies d'isolation (chapitre 2), et de distribution et placement des blocs sur le floor-plan (chapitre 3), peut être fait de manière plus rigoureuse.

Références

- [1-4] F. Gardiol, *Électromagnétisme, Traité d'électricité, volume III*, Presses Polytechniques et Universitaires Romandes, sous la publication de J. Neirynek, 2002, p. 180
- [1- 5] L. David, C. Crégut, F. Huret, Y. Quéré, F. Nyer, Return Path Assumption Validation for Inductance Modeling in Digital Design, *IEEE Transactions of Advanced Packaging*, VOL.30, NO.2, May 2007
- [1-6] M. Badaroglu, G. Van der Plas, P. Wambacq, L. Balasubramanian, K. Tiri, I. Verbauwhede, S. Donnay Gielen, Digital circuit capacitance and switching analysis for ground bounce in ICs with a high-ohmic substrate G.G.E, *Journal of Solid-State Circuits*, Vol. 39, IEEE, July 2004
- [1-7] C. Soens, G. Van der Plas, M. Badaroglu, P. Wambacq, S. Donnay, Y. Rolain, M. Kuijk, Modeling of Substrate Noise Generation, Isolation, and Impact for an LC-VCO and a Digital Modem on a Lightly-Doped Substrate, *IEEE Journal of Solid-State Circuits*, Vol. 41, Issue 9, Sept. 2006
- [1-8] O. Valorge, C. Andrei, B. Vrignon, F. Calmon., C. Gontrand, J. Verdier, P Dautriche, On a Standard Approach for Substrate Noise Modelling in Mixed Signal IC's, *IEEE International Conference on Microelectronics*, IEEE Dec. 2004
- [1-9] R. Rossi, G. Torelli, and V. Liberali, Model and Verification of Triple-Well Shielding on Substrate Noise in Mixed-Signal CMOS ICs, *ESSCIRC 2003*, IEEE
- [1-10] S. Hazenboom, T. S. Fiez, and K. Mayaram, A comparison of substrate noise coupling in lightly and heavily doped CMOS processes for 2.4Ghz LNAs, *IEEE Journal of Solid-State Circuits*, Vol. 41, March 2006
- [1-11] J. E. Lilienfeld, Brevet US 1745175, Method and apparatus for controlling electric current, déposé au Canada le 22.10.1925
- [1-12] R. Jerdonek, M. Ghezzeo, J. Weaver, S. Combs, Reduced geometry CMOS technology, *Electron Devices Meeting, 1982 International Volume 28*, 1982 pp 450 – 453
- [1-13] H.Veendrick, *Deep-Submicron CMOS ICs*, tenHagenStam editions, 2000, chapter1, pp10-22
- [1-14] H.Veendrick, *Deep-Submicron CMOS ICs*, tenHagenStam editions, 2000, preface, pp vi-xi
- [1-15] R.M. Vinella, G. Van de Plas, C. Soens, M. Rizzi, B. Castagnolo, Substrate Noise Isolation Experiments in a 0,18 μm 1P6M Tripple_well CMOS process on a Lightly Doped Substrate, *Instrumentation and Measurement Technology Conference*, IMTC 2007
- [1-16] Y. Ogasahara, M. Hashimoto, T. Onoye, Measurement and Analysis of Inductive Coupling Noise in 90nm Globa Interconnects, *IEEE Journal of Solid-State Circuits*, Vol.43, NO.3, March 2008
- [1-17] Rapport sur l'évolution du secteur de la micro/nanoélectronique, Claude SAUNIER, Enregistré à la Présidence de l'Assemblée nationale Annexe au procès-verbal de la séance le 25 juin 2008
- [1-18] S. Donnay and G. Gielen, *Substrate Noise Coupling in Mixed-Signal ASICs*, Kluwer Academic Publishers, chapter 1
- [1-19] S. Hazenboom, T.S Fiez, K. Mayaram, A comparison of substrate noise coupling in lightly and heavily doped CMOS processes for 2.4-GHz LNAs, *IEEE Journal of Solid-State Circuits* Vol. 41, no3, March 2006
- [1-20] O.Valorge, *Bruit d'Alimentation et Couplage par le Substrat dans les Circuits Mixtes*, thèse soutenue le 10 Janvier 2006, INSA Lyon, pp 56-59

- [1-21] C. Soens, C. Crunelle, P. Wambacq, et al., Characterization of Substrate Noise Impact on RF CMOS Integrated Circuits in Lightly Doped Substrates, IMTC 2003, IEEE
- [1-22], S. Hazenboom, T. S. Fiez, K. Mayaram, A comparison of Substrate Noise Coupling in Lightly and Heavily Doped CMOS Processes for 2,4 GHz LNAs, IEEE J. Solid-State Circuits, pp. 574-587, March 2006
- [1-23] C. Barbier-Petot, Substrate Isolation in 90 nm RF-CMOS Technology, présentation, Septembre 2005
- [1-24] K. J. Kerns and A. T. Yang, Stable and Efficient Reduction of Large, Multiport Networks by Pole Analysis via Congruence Transformations, IEEE Design Automation Conference 1996, ISBN:0-89791-779-0
- [1-25] I. S. Ishak, R. a. Keating, and C. K. Chakrabar, RF Substrate Noise Characterization for CMOS 0.18 μ m, RF and Microwave Conference, October 2004
- [1-26]G. Shahidi, et al., Partially-Depleted SOI Technology for Digital Logic, IEEE International Solid-State Circuits Conference, 1999
- [1-27] K. Joadar, Comparison of SOI and Junction Isolation for Substrate Crosstalk Suppression in Mixed-Mode Integrated Circuits, Electronics Letters, 1995, vol.31, No.15
- [1-28] O. Valorge, Bruit d’Alimentation et Couplage par le Substrat dans les Circuits Mixtes, thèse soutenue le 10 Janvier 2006, INSA Lyon, p24
- [1-29] A. E. Ruehli, Inductance Calculations in a Complex Integrated Circuit Environment, Inductance Calculation, IBM J. Res. Develop, September 1972, pp 470-481
- [1-30] W. Xu and E. G. Friedman, On-Chip Test Circuit for Measuring Substrate and Line-to-Line Coupling Noise, IEEE Journal of Solid-State Circuits, Vol. 41, NO. 2, February 2006
- [1-31] R. Singh, Parasitic Modeling and Noise Mitigation in Advanced RF/ Mixed-signal Silicon Germanium Processes, IEEE Transactions on Electron Devices, Vol. 50, NO. 3, March 2003
- [1-32] L. Han and K. Wu, Modeling of Arbitrary-Order Mutual Coupling, IEEE International Microwave Symposium, June 2008
- [1-33] A. E. Ruehli, Inductance Calculations in a Complex Integrated Circuit Environment, IBM Journal Research and Development, 1972, tome 16, pp. 470-481, 1972
- [1-34] F. W. Grover, Inductance Calculations, Dover Phonix Editions, New York 2004, ISBN: 0-486-49577-9, chapter 1
- [1-35] H.M. Greenhouse, Design of planar rectangular microelectronic inductors, IEEE Transactions on Parts, Hybrids, and Packaging, VOL. PHP-10, NO. 2, June 1974
- [1-36] H. Kampé, thèse soutenue en mai 2009, Contribution au Développement de Règles de Conception pour l’Estimation de Couplages Inductifs dans les Circuits Intégrés RF, Université de Caen
- [1-37] O. Tesson, Multi Tech Design Environment RF interconnects and modeling, 2009, NXP Internal
- [1-38] C. Avram, L. Boucher, J. Tao, Caractérisation du couplage magnétique dans les Systèmes Microélectroniques par la mesure de champ proche, JNM, May 2007

- [1-39] A. Boyer, S. Ben Dhia, E. Sicard, Modelling of a Mixed Signal Processor Susceptibility to Near-Field Aggression, IEEE Symposium on EMC, Dec. 2007
- [1-40] S. Kasama, Measurement system for adjacent electrical field and magnetic field distributions on an IC package, IEEE EMC Compo, 2002
- [1-41] S. Ben Dhia, M. Ramdani, E. Sicard, Electromagnetic Compatibility of Integrated Circuits , Techniques for Low Emission and Susceptibility, Springer-SBM, 2006, chapter 4, pp 105-114
- [1-42] R. Carlton, Integrated circuits—Measurement of electromagnetic emissions, 150 kHz to 1 GHz, Parts 1-7, International Electrotechnical Commission, Geneva, Switzerland. www.iec.ch.
- [1-43] M. Badaroglu, G. Van der Plas, P. Wambacq, et al., Digital circuit capacitance and switching analysis for ground bounce in ICs with a high-ohmic substrate G.G.E, IEEE Journal of Solid-State Circuits, Vol.39, July 2004
- [1-44] T. Steinecke, Experimental Characterization of Switching Noise and Signal Integrity in Deep Submicron Integrated Circuits, IEEE EMC 2000
- [1-45] M. Pelgrom, Substrate noise, Literature scan of substrate noise publications, Internal Philips report, January 2006
- [1-46] C. Andreï, Impact du bruit substrat sur les oscillateurs contrôlés en tension à 4,5 GHz, intégrés en technologie BiCMOS 0,35 μm , thèse soutenue le 11 Octobre 2005, INSA Lyon, chapitre 1
- [1-47] C. Andreï, Impact du bruit substrat sur les oscillateurs contrôlés en tension à 4,5 GHz, intégrés en technologie BiCMOS 0,35 μm , thèse soutenue le 11 Octobre 2005, INSA Lyon, chapitre 4
- [1-48] C. Soens, G. Van der Plas, M. Badaroglu, P. Wambacq, S. Donnay, Y. Rolain, and M. Kuijk, Modeling of Substrate Noise Generation, Isolation, and Impact for an LC-VCO and a Digital Modem on a Lightly-Doped Substrate, IEEE Journal of Solid-State Circuits, Vol. 41, NO. 9, Sept. 2006
- [1-49] M. Xu, Measuring and Modeling the effects of substrate noise on the LNA for a CMOS GPS receiver, IEEE Custom Integrated Circuits Conference, May 2000
- [1-50] S. Hazenboom, T. S. Fiez, K Mayaram, A comparison of Substrate Noise Coupling in Lightly and Heavily Doped CMOS Processes for 2,4 GHz LNAs, IEEE Journal of Solid-State Circuits, Vol. 41, NO. 3, March 2006
- [1-51] C. Andreï, O. Valorge, F. Calmon, Impact of substrate Perturbation on a 5 GHz VCO Spectrum, IEEE International Conference on Microelectronics, Dec. 2004
- [1-52] S. Bronckers, G. Vandersteen, C ; Soens, G. Van der Plas, Y. Rolain, Measurement and Modeling of the Sensitivity of LC-VCO's to Substrate Noise Perturbations, IEEE Instrumentation and Measurement Technology Conference, May 2007
- [1-53] M.A. Mendez, D. Mateo, X. Aragonès, J.L. Gonzalez, Phase Noise Degradation of LC-tank VCOs due to substrate Noise and Package Coupling, IEEE ESSIRC, Sept. 2005

Chapitre 2 : Courant injecté dans le substrat par un bloc numérique

Introduction	87
I. Le substrat : porte d'entrée et vecteur de conduction des bruits perturbants	88
I.A. Un réseau commun aux blocs et instances	88
I.B. Les « bruits substrat »	89
I.C. Sensibilité « substrat » du transistor, élément de base	90
I.C.1. Influence de la tension du caisson sur la tension de seuil	90
I.C.2. Les contacts « substrat » : un retour faible impédance du signal perturbant	91
II. Caractérisation à l'aide d'une structure de test spécifique	93
II.A. Les capteurs substrats existants/utilisés dans la littérature	93
II.B. Présentation de la structure	94
II.B.1. Principe	94
II.B.2. Conception de la structure de test	94
II.B.2.a. Description et modèle de la structure de test	94
II.B.2.b. Evolution de la structure de test pour des caractérisations complémentaires	99
III. Modèle d'injection d'un bloc numérique dans le substrat	101
III.A. Détermination de l'activité numérique dans le substrat	101
III.A.1. L'activité en courant d'un bloc numérique	101
III.A.1.a. Courant consommé par un bloc numérique	101
III.A.1.b. Courants appelés par un inverseur	102
III.A.2. Chemins d'injection de l'activité numérique	103
III.A.3. Point de vue analytique sur l'activité numérique	105
III.B. Modèle d'injection dans le substrat	106
III.C. Validation du modèle	112
III.C.1. Principe et description des dispositifs de test caractérisés	112
III.C.2. Caractérisation de l'injection dans le substrat d'un dispositif	112
IV. Apport de stratégies pour minimiser l'injection dans le substrat	114
IV.A. Prises substrat	114
IV.A.1. Rôle des prises substrat	114
IV.A.2. Séparation de la polarisation substrat	116
IV.A.3. Un contact substrat par porte, les contacts Nplus routés séparément	117
IV.B. Capacités de découplage	118
IV.C. Mur métallique connecté à la masse	118
IV.C.1. Rôle du blindage métallique	119
IV.C.2. Apport en gain d'isolation	120
IV.D. Apport du masque bloquant de Pwell	120
Conclusion	122
Références	124

Introduction

Avec l'augmentation constante des niveaux d'intégration dans les circuits intégrés et de la vitesse des circuits numériques, le couplage par le substrat induit des disfonctionnements de plus en plus prononcés du circuit. Nous citons l'exemple d'un convertisseur numérique analogique (digital to analog converter soit DAC) avec des filtres d'interpolation *2 *4 *8, incluant donc un multiplieur d'horloge *2 *4 *8. Une boucle à verrouillage de phase faible jitter est utilisée pour la multiplication de l'horloge (f_{clk}). Le signal de sortie (f_{out}) de la boucle sert de référence au DAC. L'équipe en charge de la conception de cette puce s'est aperçue que plus l'activité numérique est importante, plus de raies parasites sont présentes. En outre, l'amplitude des raies parasites situées à $f_{clk} \pm f_{out}$ diminuait de -10 dB en abaissant la tension d'alimentation de 1,8 V à 1 V. Les rebonds sur les rails d'alimentation « injectés » dans le substrat ont très vite été jugés responsables, à juste titre comme nous allons le justifier ! Dans une version suivante du circuit, la boucle à verrouillage de phase est éloignée des blocs numériques du circuit, une isolation substrat est mise en œuvre : aucune raie parasite ne dépasse le seuil de bruit. Il apparaît clairement que le bruit substrat mérite une investigation plus détaillée afin d'éclaircir son rôle ; ce qui est l'objectif de ce chapitre.

En général, des alimentations faible impédance polarisent les blocs conçus. Dans la pratique, à cause des éléments parasites du boîtier (tels que les inductances équivalentes aux fils de connexion) et même des résistivités des métallisations, l'impédance des alimentations ne peut physiquement pas être nulle (voir chapitre 1). L'activité numérique génère des sauts de tension, qui créent des variations en courant sur les lignes (d'impédance non nulle) à la fois d'alimentation et de masse qui polarisent également le substrat. Nous allons montrer que ces variations de courant peuvent être évaluées à partir de l'activité du bloc. La combinaison de milliers de commutations simultanées de portes entraîne la formation d'importants pics de courant, principalement sur les fronts montants et descendants de l'horloge du circuit. Estimer le bruit généré par les blocs numériques devient nécessaire pour prendre en compte son effet lors de la conception avant la fabrication du circuit.

Dans le premier paragraphe de ce chapitre, le bruit substrat est défini, sa propagation et son effet sur les nœuds sensibles des blocs victimes sont précisés. Puis une méthode pour caractériser le bruit substrat gênant et un modèle seront détaillés. Enfin des stratégies permettant d'améliorer le gain en isolation seront proposées.

I. Le substrat : porte d'entrée et vecteur de conduction des bruits perturbants

I.A. Un réseau commun aux blocs et instances

La résistivité modérée du substrat privilégie ce dernier en tant que chemin de couplage par conduction entre les différents blocs d'un circuit intégré. Le substrat est à la fois « la voie de retour » parasite du signal d'information et le chemin conduisant vers la masse. Comme nous l'avons vu au chapitre 1, le substrat se comporte comme un réseau d'impédances distribuées. De ces impédances localisées et réparties dépend l'injection du signal dans le substrat en termes de forme et quantité de signal.

Les composants sont individuellement formés à partir du substrat dopé P (Pminus) qu'ils partagent tous. Nous avons vu que plusieurs nœuds d'injection (différents nœuds d'entrée dans le substrat) existaient. Le transistor se situe dans un caisson substrat, communément appelé « bulk ». De plus, une prise substrat permet de polariser ce caisson, il s'agit d'un contact « Pplus » connecté à la masse pour un caisson P et un contact « Nplus » connecté à vdd pour un caisson N. Tous les contacts de même type sont « routés » ensemble, c'est-à-dire que des rails de métallisation, représentés en jaune sur les figure 2- 2 et figure 2- 3, relient/ « routent » tous les contacts d'un même dopage afin de polariser les composants et les caissons du substrat. Sur la figure 2- 3, est présentée une vue en coupe correspondant à la vue de dessus de la figure 2- 2, et à la vue schématique de la figure 2- 1.

Le bruit substrat peut être injecté à travers tous les contacts de la circuiterie et la capacité existant entre la grille d'un transistor et son caisson. Ce substrat est donc une couche commune à tous les composants à travers laquelle sont conduits les signaux perturbants qui y sont injectés. Nous allons définir le bruit substrat ou plutôt les différents bruits substrat.

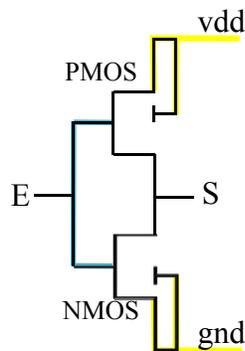


figure 2- 1 : Vue schéma d'un inverseur

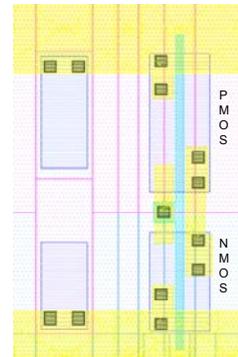


figure 2- 2 : Vue de dessus d'un inverseur et ses prises substrat

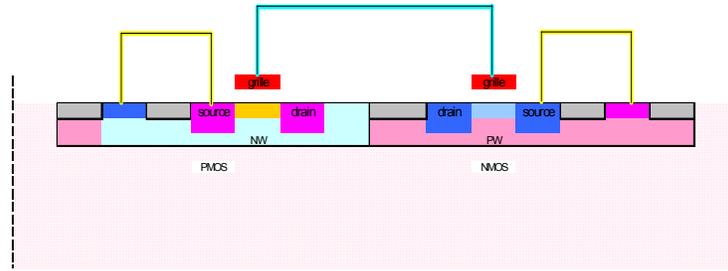


figure 2- 3 : Vue en coupe d'un inverseur et ses prises substrat

I.B. Les « bruits substrat »

Le couplage substrat s'avère complexe à cause de la multitude de scénarii possibles qui peuvent être envisagés. L'expression « bruit substrat » englobe en effet de multiples phénomènes se développant au sein du substrat, à l'origine des perturbations du fonctionnement de certains blocs notamment les plus sensibles, les blocs analogiques dont le rapport signal à bruit s'affaiblit à chaque maillon de transmission.

Le bruit substrat se distingue des bruits inévitables tels que le bruit thermique, le bruit de scintillement et autre, parce qu'il apparaît par conception, l'activité de commutation des portes étant sa principale source. Ce bruit est injecté par ionisation par impacts et par couplage capacitif. Nous précisons ces deux mécanismes.

L'ionisation par impacts apparaît aux fortes polarisations de drain [2-1]. C'est un phénomène qui se produit dans la zone de déplétion du canal : les porteurs minoritaires (des électrons pour le cas d'un transistor NMOS) ayant atteint leur vitesse de saturation, appelés électrons chauds, sont attirés par le fort champ électrique du drain et frappent les atomes de silicium près de l'oxyde de grille, créant des paires électron/trou. Les électrons qui ne se recombinent pas sont évacués par le drain et les trous se dirigent vers la zone de moindre potentiel en créant un courant parasite qui induit des fluctuations du potentiel substrat du circuit intégré. L'ionisation par impact dans les transistors PMOS est considérablement plus faible que dans les NMOS, le coefficient d'ionisation des trous étant moins important que celui des électrons.

Ces variations de tension sont relativement faibles comparées à celles générées par d'autres courants.

En effet, la principale injection de courant dans le substrat se fait à travers les interconnexions par couplage capacitif. On peut distinguer deux phénomènes :

i) le courant de fuite de grille. Un fort champ électrique au niveau de la grille force des électrons de valence à migrer vers le drain par effet tunnel générant des trous transmis au substrat [2-2]. Il s'agit là d'un courant parasite négligeable devant les autres ;

ii) les « courants de fonctionnement ». Le substrat est polarisé : des paires d'alimentation (vdd/gnd) viennent connecter le substrat. Les rebonds de courant générés sur les rails d'alimentation sont donc conduits dans le substrat à travers les contacts « Pplus » et « Nplus » de ce dernier. Lors de la présentation d'un modèle, au paragraphe

III, la forme et le niveau de ces variations de signal injectées dans le substrat sont précisées.

Remarque : Les bruits thermique et de scintillement ne sont pas abordés, n'étant pas à l'origine d'interactions électromagnétiques dans les circuits. De plus, les bruits thermique et en 1/f sont pris en compte dans les modèles des composants simulés [2-3], un modèle de ces sources locales de bruit est intégré tenant compte à la fois de la géométrie du composant et de sa polarisation [2-4].

Les sources de bruit substrat étant définies, nous allons considérer l'influence d'un bruit substrat sur le fonctionnement d'un composant.

I.C. Sensibilité « substrat » du transistor, élément de base

I.C.1. Influence de la tension du caisson sur la tension de seuil

La grille du transistor, sur laquelle un signal est appliqué, commande par effet de champ vertical la hauteur de la barrière et autorise ou non la conduction entre le drain et la source du transistor. La transition entre régimes bloqué et passant du transistor n'est pas instantanée. Un niveau d'inversion est défini. Il est atteint lorsque la concentration en porteurs minoritaires à l'interface silicium-oxyde est équivalente à la concentration en porteurs majoritaires dans le volume. Il existe donc une polarisation minimum de la grille pour que l'inversion ait lieu ; cette tension qui caractérise le transistor est appelée « tension de seuil », nommée V_{seuil} . Appliquée entre la grille et le substrat d'un transistor MOS, elle entraîne l'inversion du substrat sous la grille, créant ainsi un canal entre la source et le drain par lequel des porteurs de charge peuvent traverser le dispositif. Elle peut être exprimée par la relation (2- 1) :

$$V_{seuil} = V_{bandePlate} + V_{dépletion} + \Phi_{surface} \quad (2- 1)$$

avec $V_{bandePlate}$ correspondant à la tension lorsque le potentiel de surface $\Phi_{surface}$ est nul ($V_{bP} = \Phi_{sub} - \Phi_{grille}$), $\Phi_{surface}$ dépendant du nombre de dopants dans le canal.

$$V_{seuil} = V_{bandePlate} + \frac{Q_{dépletion}}{C_{ox}} + \Phi_{surface} \quad (2- 2)$$

On définit la charge d'inversion telle qu'à l'équation (2- 3).

$$Q_{inv} = -C_{ox} (V_{GB} - V_{seuil0}) \quad (2- 3)$$

Or, d'après la loi de conservation des charges :

$$Q_{inv} = -Q_{caisson} - Q_{grille} \quad (2- 4)$$

avec

$$Q_{caisson} = \sqrt{2q\epsilon_{Si} N_A} \sqrt{\Phi_{surf}}$$

et

$$Q_{grille} = -C_{ox} (V_{bdePlate} + \Phi_{surf} - V_{GB})$$

Nous pouvons alors prendre en compte l'influence de la polarisation du substrat sur la couche d'inversion et donc sur la tension de seuil. En effet, si une tension substrat est appliquée sur le caisson, la charge du caisson devient celle exprimée par (2- 5).

$$Q_{caisson} = \sqrt{2q\epsilon_{Si}N_A} \sqrt{\Phi_{surf} + V_{caisson}} \quad (2- 5)$$

En exprimant alors la tension de seuil, nous définissons le « facteur substrat », souligné à l'équation (2- 6).

$$V_{seuil} = V_{seuil0} + \underbrace{\frac{\sqrt{2q\epsilon_{Si}N_A}}{C_{ox}} \left(\sqrt{\Phi_{surf} + V_{caisson}} - \sqrt{\Phi_{surf}} \right)}_{\text{« facteur substrat »}} \quad (2- 6)$$

Ces relations permettent de mettre en évidence l'influence de la tension du caisson sur le fonctionnement d'un transistor : la tension de seuil est légèrement décalée, de l'ordre du dixième de volt pour une perturbation en tension de quelques volts.

Plus la tension de seuil d'un transistor est faible, plus le transistor sera sensible au bruit substrat. Or de tels transistors sont souvent utilisés en entrée des circuits justement parce qu'ils permettent d'obtenir des transconductances de valeur élevée.

Mais ce ne peut être le seul vecteur de propagation jusqu'à l'élément sensible : l'impact du léger décalage de la tension de seuil n'est pas à l'origine de la nature des modifications de comportement telles que l'on peut observer. Ce mécanisme n'explique pas, par exemple, la présence de raies additives sur le spectre fréquentiel du signal de sortie d'un transistor.

Un autre chemin identifié d'une perturbation serait les rails d'alimentation dédiés aux blocs analogiques connectant également le substrat par de multiples contacts.

I.C.2. Les contacts « substrat » : un retour faible impédance du signal perturbant

Certains travaux ont montré que les variations de susceptibilité d'un inverseur semblent dépendre de la fréquence de résonance liée à la capacité de découplage de la puce et à l'inductance du boîtier et donc des rails d'alimentations [2-5]. Les transistors sont très sensibles aux variations de potentiel de leur polarisation.

Or, les parties analogiques sont intégrées dans un substrat polarisé avec les lignes d'alimentation dédiées à l'analogique qui peuvent « récupérer » le bruit substrat à travers les contacts et ainsi affecter la circuiterie analogique. D'autant plus que ces lignes sont conçues pour présenter une impédance la plus faible possible, les perturbations sont donc attirées vers la masse analogique.

La question se pose alors de savoir quelles variations (amplitude, fréquence) sont susceptibles d'être injectées sur ces lignes afin d'être prises en compte dans la conception des blocs analogiques.

L'objectif d'une telle analyse est donc d'estimer l'évolution du potentiel substrat à proximité d'un bloc ou d'une cellule analogique. Il devient nécessaire d'approximer la quantité de signal parasite (et sa forme) injectée dans le substrat.

Comme le rappelle M. Nagata [2-6] les difficultés dans l'analyse de circuits mixtes performants sont multiples et principalement dues au nombre de portes commutant dans un bloc numérique, ainsi qu'aux multiples connexions du substrat avec les interconnexions qui, d'ailleurs, ne sont pas réparties uniformément sur la surface du bloc. L'intérêt de caractériser le signal injecté dans le substrat par un bloc numérique conçu selon certaines stratégies définies quant à la topologie (quantité et positions des contacts substrat et des capacités de découplage, technique de routage, techniques d'isolation substrat) s'est donc révélé. Une structure de test particulière adaptée a donc été conçue, elle est présentée au paragraphe suivant.

II. Caractérisation à l'aide d'une structure de test spécifique

La détermination du couplage par le substrat durant les phases de conception serait extrêmement bénéfique : les concepteurs pourraient alors intégrer l'effet du bruit dans leur simulation, et donc améliorer voire optimiser leur « design » avant sa fabrication. Afin d'évaluer l'amplitude des signaux perturbants générés par la commutation d'un inverseur, et injectés dans le substrat, des capteurs de perturbation substrat ont été conçus. Après un état de l'art de ces capteurs existants, une structure permettant de caractériser l'injection d'un bloc numérique complet est présentée.

II.A. Les capteurs substrats existants/utilisés dans la littérature

La plupart des détecteurs de bruit substrat que l'on trouve dans la littérature sont en fait des amplificateurs à un ou plusieurs étages [2-7] [2-8] [2-9]. Le principe de tels capteurs utilise la sensibilité des transistors décrite. Les travaux de Su [2-10] ont montré qu'un simple transistor NMOS est sensible au bruit substrat par l'effet de grille arrière, généré par une variation de la tension du caisson du transistor, ce que nous avons précisé au paragraphe I.C.1.

De plus, le courant de drain d'un transistor s'exprime en fonction de sa tension de seuil. La relation (2- 7) met en évidence l'effet d'une variation de la tension de seuil sur le courant de drain.

$$I_d = k \frac{W}{L} (V_{gs} - V_{th})^2 \quad (2- 7)$$

Une variation de la tension du caisson du substrat entraînant une variation de la tension de seuil, le courant de drain du transistor subit également l'effet. Cette variation de courant peut être déterminée en mesurant le saut en tension que cela génère sur une résistance de charge.

Les travaux de Makie-Fukuda confirment que les transistors du premier étage d'un amplificateur sont très sensibles à cet effet. Les étages suivants amplifient la différence de signal détectée. Cependant la largeur de bande de détection du bruit substrat est alors très étroite. Pour palier ce problème, Makie-Fukuda [2-11] puis M. Nagata [2-9] utilisent un comparateur à bascule. L'idée est de quantifier la variation de tension de seuil induite par une source de bruit en la comparant à une tension de référence.

Cependant un inconvénient majeur rend cette méthode difficile à mettre en œuvre : le calibrage de tels systèmes s'effectue à partir d'un moyennage statistique, et est très délicat à réaliser (la forme du signal est reconstruite à partir d'une distribution de probabilité). En outre, la position et la distance d'un tel capteur, par rapport au bloc numérique dont il permettrait de caractériser le courant injecté dans le substrat, n'est pas prise en considération. L'environnement du bloc numérique doit également être conçu de sorte à capter tout le signal injecté dans le substrat. C'est pourquoi il s'avère plus intéressant d'embarquer la ou les cellules à caractériser dans une structure adaptée.

II.B. Présentation de la structure

Certains travaux expérimentaux sur les couplages substrat présentent des structures de mesure s'approchant de celle réalisée [2-12] [2-13]. Il s'agit de structures permettant d'évaluer le couplage entre deux contacts substrat en mesurant les paramètres S avec des pointes masse-signal-masse. Les contacts substrat sont situés dans des couches physiques dont les dimensions et le dopage varient. L'objectif est de quantifier l'apport des couches physiques en terme de gain d'isolation de l'intégration de certaines couches physiques, telles que l'ajout d'un anneau de garde ou d'une couche enterrée. Pour caractériser l'injection d'un ensemble de portes dans le substrat lors de leur commutation, nous allons favoriser le couplage entre ces portes et une prise substrat sur laquelle nous relèverons le signal.

II.B.1. Principe

Lors de sa commutation, une porte (ou un contact substrat) injecte dans le substrat un signal dépendant de son environnement, c'est-à-dire de l'impédance à travers laquelle le signal est localement injecté. La multitude des paramètres de layout à prendre à compte, notamment la quantité, la connexion et la position des prises substrat, rend extrêmement complexe la mise en équation du problème. Nous avons souhaité être le plus fidèle à la réalité afin d'estimer le couplage entre un bloc numérique (quelle que soit sa stratégie de conception) et son environnement sur un circuit complet. Nous nous sommes donc focalisés sur la caractérisation du signal injecté dans le substrat par un tel bloc pouvant être embarqué. La conception des dispositifs caractérisés est précisée au paragraphe III.C.1.

L'objectif est de mesurer l'amplitude des signaux injectés dans le substrat. Il est donc nécessaire de créer une structure qui permette de sonder le substrat, et ce à des fréquences relativement hautes. Nous cherchons à caractériser le couplage entre un dispositif tel qu'un bloc numérique et le substrat sur une large bande de fréquence, du continu (DC) aux hautes fréquences. L'utilisation de sondes masse-signal-masse est donc nécessaire.

II.B.2. Conception de la structure de test

II.B.2.a. Description et modèle de la structure de test

La structure est dessinée de sorte à être la plus symétrique possible, afin que l'ensemble des éléments soit soumis aux mêmes effets de l'environnement. Une vue de dessus de la première version de la structure est représentée figure 2- 4.

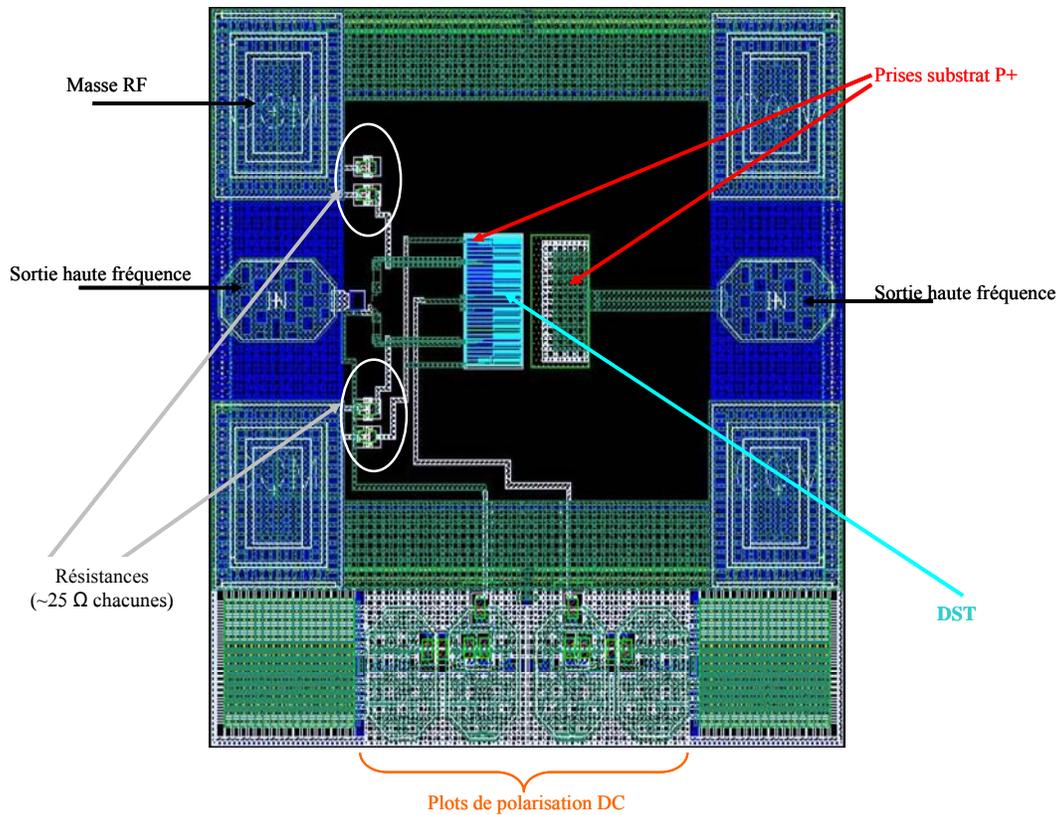


figure 2- 4 : Vue layout de la structure de mesure

L'injection dans le substrat du dispositif sous test (DST) est localisée sous sa surface (au centre gauche). La réception s'effectue au niveau du substrat par une prise « substrat » de type P connectée à une sortie RF métallisée. Telle un puits, cette large prise collecte le signal parasite du substrat. Les plots masse-signal-masse RF sont situés de chaque côté de la structure.

Des plots de signaux DC sont ajoutés à la structure afin de conduire la polarisation jusqu'au dispositif, deux paires d'alimentation sont disponibles. Un système de découplage approprié pour l'alimentation est de plus utilisé, il présente une faible impédance (de 25 ohms) sur une bande de fréquence comprise entre 100 kHz et 25 GHz. Une représentation est donnée sur la figure 2- 5. Le découplage haute-fréquence encadré en rouge est intégré à la structure de mesure, le circuit de découplage entouré en bleu pour les moyennes fréquences est quant à lui intégré sur les sondes DC Picoprobe MCW-16-4351-3, conçues pour l'occasion. La sortie hyperfréquence de gauche permet d'observer le spectre de la polarisation vdd des dispositifs sous test embarqués.

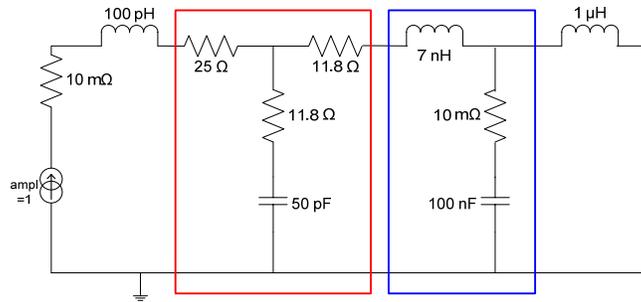


figure 2- 5 : Banc de simulation du circuit de découplage des sondes

De plus, des résistances (non visibles sur la figure 2- 4 page 95) sont ajoutées afin d'exciter le système comme s'il s'agissait d'un circuit de dimensions usuelles.

La structure de test est conçue pour mesurer les signaux émis dans le substrat par différents dispositifs sous test intégrés. Une isolation renforcée issue d'une optimisation de l'isolation entre les blocs est utilisée de manière à optimiser le couplage du DST avec le capteur et minimiser celui avec l'environnement de la structure.

Trois techniques différentes la constituent :

- i) le triple-well dans lequel est inséré le dispositif sous test augmente l'impédance du substrat localement ;
- ii) la structure de test intègre latéralement du « Pwell blocking », un masque bloquant l'implantation du Pwell, qui permet d'augmenter l'impédance entre le dispositif sous test et le plan de masse de la structure (le Pwell étant moins résistif). Cette surface dépensée procure une isolation supplémentaire de 2 à 5 dB entre 1 et 10 GHz ;
- iii) un anneau de contacts substrat N connecté, sous faible impédance, à la masse qui, quelle que soit la fréquence, apporte une amélioration de 10 dB. La faible impédance du chemin de retour vers la masse de l'ordre de 5 ohms est assurée par la superposition des différents niveaux de métallisations.

Les performances mesurées au niveau du couplage sont représentées figure 2- 6 : la contribution de chacune des techniques au gain en isolation peut être visualisée. Les mesures sont référencées sous 50 ohms. Nous observons qu'entre 1 et 6 GHz, les variations sont inférieures à 10 dB. Grâce au triple-well, le substrat n'induit dans cette bande de fréquences que très peu de variation sur le substrat.

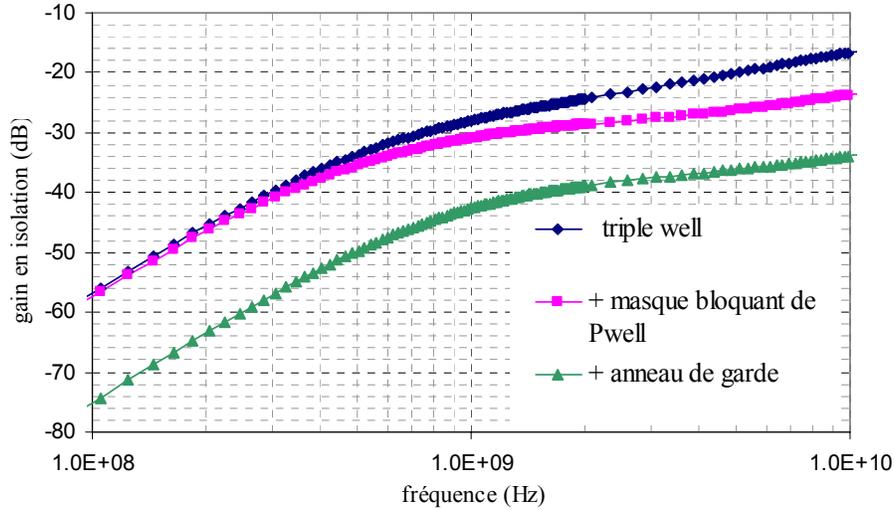


figure 2- 6 : Caractéristiques de transfert de différentes techniques d'isolation

La distance entre l'emplacement du dispositif de test et le capteur substrat est relativement faible comparée à la zone de masque bloquant de Pwell. Ainsi le couplage entre le dispositif étudié et la prise substrat est favorisé par rapport à celui entre le dispositif et le plan de masse entourant la structure (masse RF dite de référence). Nous pouvons schématiser le retour du signal à la masse grâce au pont résistif de la figure 2- 7. La résistance de retour vers la masse de référence de la structure est estimée cinq fois plus grande que celle existant entre la localisation du dispositif testé et le capteur (cf évaluation de la résistance en fonction des dimensions des entités au chapitre1). Le pourcentage de courant traversant la résistance substrat entre le DUT et le capteur a d'ailleurs été évalué : 70% minimum.

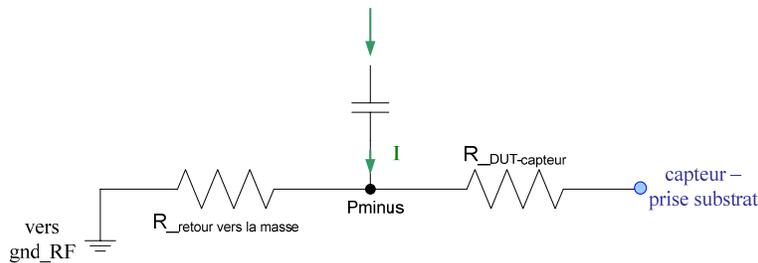


figure 2- 7 : Pont conductif de courant entre le DUT et son environnement

Issu de ces mesures, un modèle de la structure entre le dispositif sous test et la prise-capteur, présenté figure 2- 9, est disponible du continu jusqu'à 30 GHz. Il a été réalisé avec le logiciel ADS. Un réseau en PI modélise électriquement le substrat entre les « nœuds de surface » et la masse ; le dispositif est intégré dans un caisson de type N, la capacité de jonction DNW-Pminus est représentée. Le couplage capacitif entre le DST (dispositif sous test) et le capteur est dans un premier temps évalué en fonction des dimensions des surfaces en regard.

Une vue en coupe figure 2- 8 permet de visualiser le cœur de la structure de mesure modélisé. L'aire entourant le dispositif de test est gardé intentionnellement vide, sans métallisation exceptée le « tiling » pour homogénéiser la densité de métallisation de la puce.

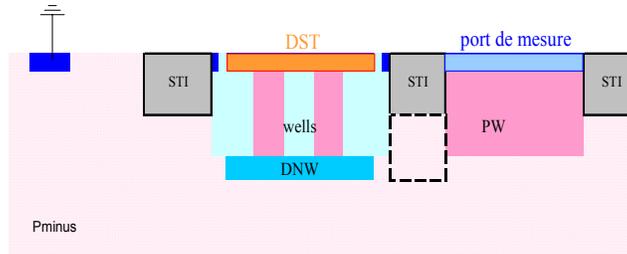


figure 2- 8 : Vue en coupe du DST intégré dans la structure de mesure (STI: «Shallow Trench Isolation», oxyde isolant les composants)

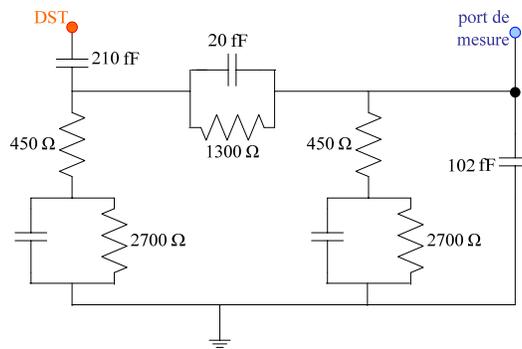


figure 2- 9 : Modèle de la structure de test

La structure a évolué au cours des différentes réalisations (voir II.B.2.b.). Pour une variante, l'isolation entre le port RF de gauche et la prise substrat (port RF de droite) a pu être caractérisée, représentée figure 2- 10. Pour des fréquences inférieures à 10 GHz, une isolation de plus de 60 dB existe.

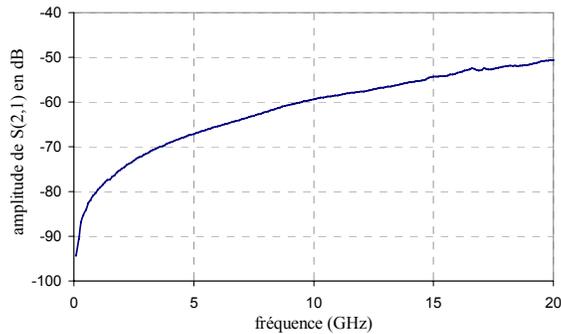


figure 2- 10 : Isolation entre le port HF et le capteur substrat (port HF)

II.B.2.b. Evolution de la structure de test pour des caractérisations complémentaires

Quatre versions de la structure de mesure ont été réalisées en fonction des dispositifs sous test intégrés, et également pour améliorer la structure. Une vue de dessus est donnée figure 2- 12, figure 2- 13, et figure 2- 14

Le dispositif sous test type choisi comprend un générateur de signal, faisant commuter une matrice d'inverseurs à sa fréquence d'oscillation (cf paragraphe III). Dans un premier un oscillateur en anneau a été conçu et intégré au DST, puis il a été placé à l'extérieur du DST afin de séparer son domaine d'alimentation de celui du dispositif étudié. Enfin lors d'une dernière réalisation, le générateur de signal utilisé était à l'extérieur de la puce, le signal étant emmené par une sonde RF, posée sur les plots MSM de gauche.

Une ligne de transmission a été intégrée dans une dernière version de la structure de mesure afin d'envoyer un signal d'entrée au dispositif sous test. L'objectif étant de contrôler plus précisément le signal pour déclencher proprement le dispositif sous test.

Le signal d'entrée en puissance doit être transformé en un signal en tension. C'est pourquoi une résistance de 50 ohms entre la ligne d'entrée et la masse de référence de toute la structure a été ajoutée. En réalité, deux résistances de 100 ohms ont été connectées en parallèle pour équilibrer la charge de la ligne de transmission coplanaire. Ainsi, comme on peut le voir sur la figure 2- 11, un couplage capacitif vers la masse est créé symétriquement de chaque côté de la ligne. Les résistances utilisées sont composées de polysilicium et d'un caisson de type N. Elles sont dimensionnées pour résister à de forts courants qui pourraient induire des champs électriques très importants.

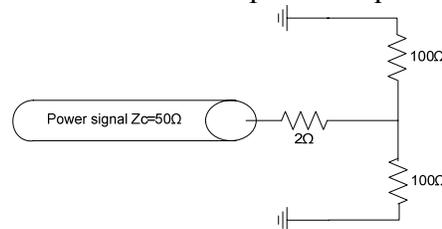


figure 2- 11 : Ligne de transmission vers l'entrée du dispositif sous test

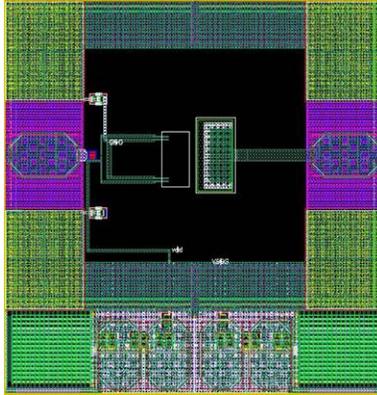


figure 2- 12 : Intégration possible de deux DST

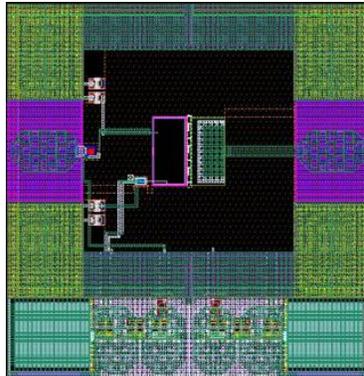


figure 2- 13 : Séparation du générateur de signal

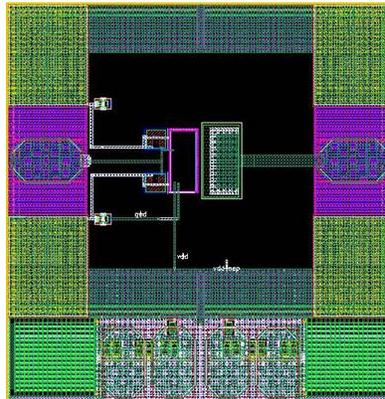


figure 2- 14 : Résistances d'adaptation pour le signal d'entrée HF

III. Modèle d'injection d'un bloc numérique dans le substrat

Un bloc numérique est constitué de milliers de portes de fonctions différentes ; ces éléments séquentiels commutent à la cadence de l'horloge. Les cellules de base de ces éléments commutent de façon similaire à un inverseur. Un bloc numérique, ayant une architecture d'inverseurs, est, dans ces travaux, assimilé à un ensemble de portes.

Les portes inverseuses étudiées (simulées et utilisées dans les DST) comportent un seul doigt de grille de longueur maximale 2,5 µm. Les simulations et caractérisations sont effectuées dans des conditions normales de fonctionnement, à savoir une température de 27 °C (ou ambiante pour les caractérisations) et une alimentation fixée à 1,2 V. Les inverseurs choisis ont des tensions de seuil dites « standards ». Plus la tension de seuil de l'inverseur est faible, plus le pic de courant appelé sur le rail d'alimentation est important, et plus il est bref ; mais la quantité de courant appelée (charge) reste la même. (Un composant de tension de seuil élevée est plus lent).

Après avoir précisé l'activité numérique d'un bloc, un modèle d'injection dans le substrat sera proposé pour une porte, et extrapolé pour un ensemble de portes. Des caractérisations valideront ce modèle.

III.A. Détermination de l'activité numérique dans le substrat

III.A.1. L'activité en courant d'un bloc numérique

III.A.1.a. Courant consommé par un bloc numérique

A l'aide des données des fondeurs, nous connaissons la puissance consommée par chaque porte en fonction de sa charge et de sa fréquence d'activité. Il est donc possible d'estimer la puissance consommée par un bloc numérique à l'aide de la formule (2- 8) où P représente la puissance totale consommée par le bloc, P_{porte} , par une porte.

$$P = nb_{\text{portes}} * P_{\text{porte}} * f_{\text{activité}} * nb_{\text{portes commutantes}} \quad (2- 8)$$

De cette puissance, connaissant la tension de polarisation du bloc, la fréquence 1/T, et les temps de montée t_m et descente t_d , on déduit le courant moyen consommé (relation (2- 9)), ainsi que, le courant pic (relation (2- 10)).

$$i_{\text{moyen}} = \frac{P}{V} \quad (2- 9)$$

$$\frac{1}{T} \int_{t_m}^{t_d} i(t) dt \rightarrow i_{\text{pic}} \approx \frac{i_{\text{moyen}} * t_m}{T} \quad (2- 10)$$

III.A.1.b. Courants appelés par un inverseur

Comme nous l'avons vu au chapitre 1, lors de l'ouverture et de la fermeture des transistors MOS N et P, des courants sont appelés sur les lignes d'alimentations qui polarisent à la fois les inverseurs et le substrat, telles que le montre le layout de la figure 2- 2. La quantité de courant appelée dépend des dimensions de la porte et de sa charge. La forme dépend du temps de monté du signal. Une analyse transitoire permet de caractériser les différents appels de courant sur les contacts de polarisation d'un inverseur lors de sa commutation. La figure 2- 15 présente les appels de courant d'un inverseur situé au milieu d'une chaîne d'inverseurs tous de mêmes dimensions, avec un signal entrant ayant un temps de montée de 20 ps.

Ces appels de courant sont cadencés à la fréquence d'horloge du signal. Nous pouvons donc exprimer le courant à l'aide de la relation (2- 11) pour laquelle i_n représente la forme du courant (dépendant de l'entrée, de l'architecture, et de la technologie) pour une période d'horloge T synchronisant un circuit de n portes :

$$I(t) = \sum_{n=-\infty}^{\infty} i_n(t - nT) \quad (2- 11)$$

En effet, les transitions en courant générées par l'activité numérique peuvent être décrites comme une succession de bonds cadencés à la période de l'horloge-maître.

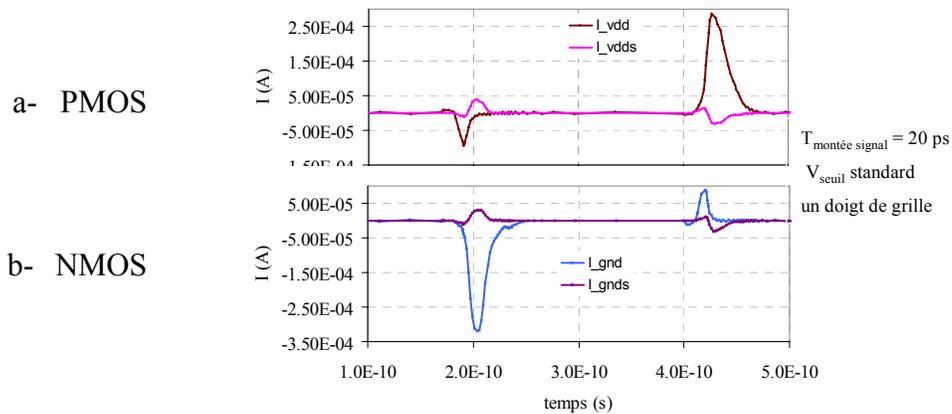


figure 2- 15 : Forme des courants appelés par un inverseur sur les alimentations (front montant puis descendant) simulation spectre

Ces variations transitoires de courant forment le « bruit de commutation » (ou « switching noise »).

III.A.2. Chemins d'injection de l'activité numérique

Le bruit de commutation est injecté dans le substrat selon deux mécanismes. Dès qu'un nœud d'un bloc commute, le petit bond de courant généré est injecté dans le substrat à travers les capacités des zones de diffusion (source et drain). De plus les courants transitoires circulant sur les lignes d'alimentation sont conduits dans le substrat à travers les multiples contacts de polarisation du substrat connectés à ces lignes [2-14]. Or les signaux provenant de la commutation d'un nœud provoquent une variation de la tension de substrat. Se dessine dans le substrat un profil de l'activité de commutation du circuit numérique. Si le niveau de ce bruit substrat est significatif à proximité de bloc sensibles, il engendre des perturbations sur le comportement de ces circuits.

Nous évaluons la contribution des alimentations dans le mécanisme d'injection dans le substrat.

Raisonnons en terme de tension dans un premier temps. Lors de la commutation d'une porte les potentiels des nœuds varient. Le signal d'entrée est appliqué sur les grilles : le signal varie de 1,2 V. Le bond généré sur les lignes d'alimentations est de l'ordre du dixième de cette variation, les contacts Nplus varient donc de 0,12 V. La figure 2- 16 illustre l'exemple. Evaluons le rapport $C/\Delta V$ de chacun des contacts par lesquels un signal polluant est injecté.

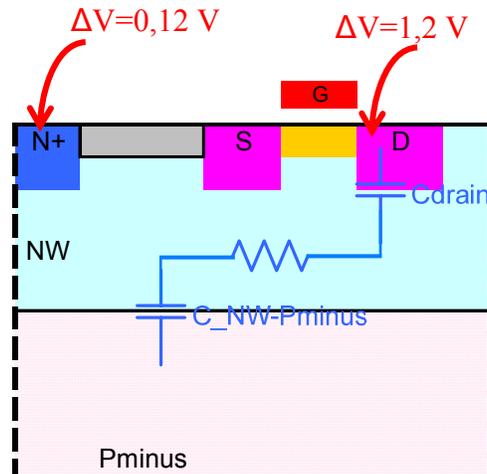


figure 2- 16 : Contribution des contacts de polarisation par rapport aux contacts de drain

Les valeurs des différentes capacités sont calculées à partir des données géométriques et topologiques des transistors. La contribution venant du drain est atténuée par la capacité de drain (de l'ordre du dixième de fF), environ vingt fois plus petite que la capacité formée par la jonction NW-Pminus. De plus la variation de tension sur le contact Nplus induit une variation de la tension de tout le caisson, elle est beaucoup moins localisée que la variation de tension qui traverse la capacité de drain.

Nous en déduisons que la contribution majoritaire au bruit injecté lors des commutations des portes dans le substrat vient des alimentations.

Mitra et al. ont réalisé l'importance des rails d'alimentation et de masse, et également l'effet du boîtier dans lequel la puce est montée. Le substrat, assimilé à un réseau de résistances et capacités, associé aux inductances que représentent les lignes, forme des circuits parasites RLC. Afin de montrer l'influence de l'inductance d'une connexion d'alimentation sur la forme et l'amplitude du bruit substrat, le laboratoire de Leuven [2-7], a réalisé des simulations SPICE avec des inductances parasites de différentes valeurs. Plus la valeur de l'inductance est élevée, plus le bruit généré par le substrat est amplifié jusqu'à un certain seuil pour lequel la source de perturbation dominante devient celle générée par les oscillations du circuit LC ainsi formé. En ajoutant des capacités de découplage aux réseaux parasites, des instabilités voire des oscillations sont susceptibles de se créer et d'être injectées dans le substrat. (Une capacité de 10pF, associée à une inductance de câble d'environ 4nH, génère une fréquence de résonance de 800MHz.)

Des simulations avec un logiciel de simulation des composants (Silvaco) nous permettent de vérifier cette conclusion. Une coupe de l'inverseur a été réalisée. Une rampe en tension est appliquée sur le port d'entrée de l'inverseur. Les contacts de polarisation du substrat sont reliés aux lignes d'alimentation. Nous observons le diagramme de répartition de la densité de courant à des temps différents. Effectivement nous remarquons qu'une grande quantité de courant est injectée à travers les contacts d'alimentation du substrat.

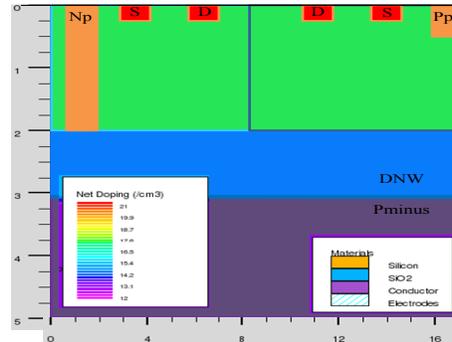


figure 2- 17 : Vue en coupe d'un inverseur avec l'outil Atlas de Silvaco [2-15]

X. Aragonès [2-16] a mesuré les profils de courants à l'aide d'un capteur analogique. Le gain du capteur amplifie uniquement le bruit substrat reçu par la grille arrière des transistors du capteur. Le bruit reçu par le capteur correspond évidemment à l'addition des différentes contributions, celles venant des lignes d'alimentations et celles venant des jonctions des transistors commutants. Quel que soit le gain des transistors, le niveau de bruit varie peu, la majeure partie du bruit est donc introduite par les contacts de polarisation.

Quel que soit le type de wafer (Pplus soit fortement dopé, ou Pminus), la forme mesurée du bruit injecté dans le substrat est la même [2-16]. Le niveau de bruit est plus élevé si le substrat est de type Pplus.

Ce qui nous intéresse plus précisément, c'est le spectre du signal en courant injecté dans le substrat lors de la commutation des blocs. Nous souhaitons paramétrer ce spectre en fonction des caractéristiques du bloc numérique : son architecture et sa fréquence d'horloge.

III.A.3. Point de vue analytique sur l'activité numérique

Les bruits générés par tous les transistors commutant s'additionnent pour former une source fournissant une énergie conduite par les différentes couches physiques. La forme du courant appelé peut être modélisée par un signal triangle [2-17]. La manière dont les appels sont distribués sur la ligne d'alimentation est très problématique. Le courant total appelé correspond à la somme des rebonds de courant générés individuellement par chaque porte. Les contributions de chaque source étant additionnées, la forme résultante (relation (2- 11) page 102) est un trapèze. En appliquant la transformée de Fourier au signal trapèze(t) (forme des sources unitaires de bruit) représenté figure 2- 18, le bruit peut être étudié dans le domaine fréquentiel. Lorsqu'on parle intégrité de signal sur une bande de fréquence, il est important de considérer certains paramètres du signal des blocs numériques. Un des facteurs les plus importants est le temps de montée du signal, le temps de descente également. Considérons une approche analytique du signal trapézoïdal représenté figure 2- 18, pour lequel les temps de montée et descente sont égaux à τ .

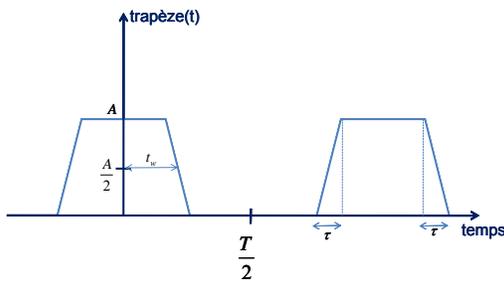


figure 2- 18 : Signal trapézoïdal

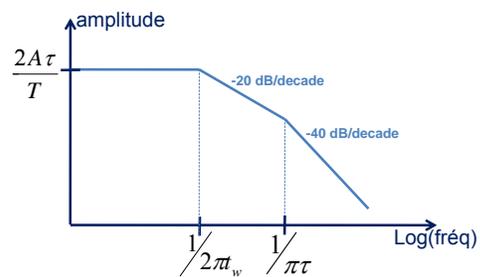


figure 2- 19 : Enveloppe du spectre du signal trapèze

Nous pouvons exprimer le signal sous la forme :

$$\text{trapèze}(t) = a_0 + \sum_{n=1}^{\infty} a_n \cos(2\pi n \frac{t}{T}) + \sum_{n=1}^{\infty} b_n \sin(2\pi n \frac{t}{T}) \quad (2- 12)$$

avec les coefficients définis par :

$$a_0 = \frac{1}{T} \int_t^{t+T} \text{trapèze}(t) dt = A \frac{t_w}{T} \quad (2-12-a)$$

$$a_n = \frac{1}{T} \int_t^{t+T} \text{trapèze}(t) \cos(2\pi n \frac{t}{T}) dt = 2A \frac{t_w}{T} \text{sinc}(\pi n \frac{t_w}{T}) \quad (2-12-b)$$

$$b_n = \frac{1}{T} \int_t^{t+T} \text{trapèze}(t) \sin(2\pi n \frac{t}{T}) dt = 0 \quad (2-12-c)$$

Le coefficient a_0 donne la valeur de la fonction et les termes en sinus n'apparaissent pas puisque la fonction est paire. De plus, il n'y a pas d'harmonique si le rapport cyclique est de $1/2$, c'est-à-dire si la largeur du signal $t_w = T/2$.

L'influence du temps de montée τ , de la période et de l'amplitude sur le spectre est ainsi mise en évidence.

L'amplitude d'un tel signal peut être exprimée par sa série de Fourier, en négligeant le terme continu :

$$20 \log |\text{trapèze}(t)| = 20 \log \left| 2A \frac{t_w}{T} \right| + 20 \log |\text{sinc}(\pi_w f)| + 20 \log |\text{sinc}(\pi f)| \quad (2-13)$$

avec $f = n/T$

L'effet du facteur τ peut alors être précisé. Le spectre d'un signal numérique est évidemment composé d'un pic à la fréquence fondamentale de l'horloge, ainsi qu'aux harmoniques impaires de l'horloge, mais il contient également des raies de fortes puissances à des fréquences inversement proportionnelles aux temps de montée et à la largeur du créneau [2-18], comme nous pouvons le constater figure 2-19. Ces paramètres seront donc pris en compte dans le modèle présenté par la suite.

III.B. Modèle d'injection dans le substrat

Le bruit substrat, souvent appelé SN pour « substrate noise » n'est pas simulable avec un modèle SPICE. Un modèle adapté pour chaque transistor fonctionnant dans son environnement serait nécessaire. Déterminer la quantité de courant injectée par une cellule de base unitaire est apparu comme nécessaire.

Les perturbations injectées par la circuiterie sont corrélées avec l'horloge, elles ne peuvent donc pas être modélisées par du bruit blanc. La difficulté réside dans la maîtrise de la forme de l'injection. De plus, l'injection n'est pas localisée mais distribuée à travers les contacts de polarisation du substrat et les jonctions des transistors. La fonction de transfert à travers laquelle est injecté le courant doit donc être modélisée également. Son influence n'est pas négligeable.

Nous allons décrire le modèle représenté figure 2- 20 . Identifier les ports nécessaires au modèle d'un inverseur ne s'avère pas évident. R. Murgai identifie seulement trois ports à la cellule de base : vdd, vss et bulk sur lequel est mesuré le bruit substrat. Dans son modèle, la jonction polarisée en inverse NW-Pminus est modélisée par une capacité [2-17].

Dans notre modèle, l'inverseur est intégré dans le substrat ; le caisson servant à la réalisation du PMOS est partagé par les éléments environnants. Ces derniers sont d'autres inverseurs ou plus simplement des prises substrat. Cela nous permet de distinguer plusieurs nœuds et ports. Les nœuds périphériques (NW, PW, DNWgauche, DNW droite, Pminus gauche, Pminus droite) sont communs aux cellules positionnées latéralement. Nous ajoutons un quatrième port par rapport au modèle de R. Murgai : l'entrée de l'inverseur ; il reçoit un signal en tension avec un certain temps de montée qui polarise les nœuds NW et PW à travers les capacités de grille de chacun des deux transistors. Egalement sont représentés les ports correspondant aux contacts polarisant les deux caissons de l'inverseur. Un port reliant le contact Pplus au nœud PW, un second reliant le port Nplus au nœud NW.

R. Murgai [2-17] propose de brancher une seule source de courant en parallèle de la résistance équivalente au substrat. Estimer la forme et la quantité de courant de cette source ainsi qu'évaluer cette résistance apparaît très complexe, d'autant plus que la résistance est en fait distribuée. Le choix est fait de répartir les résistances entre les différents nœuds internes identifiés. Les concentrations en impuretés dans les différents caissons ne sont pas uniformes. Evaluer les résistances « verticales » de chaque couche/strate s'avère difficile. Un maillage extrêmement fin serait nécessaire pour reproduire le profil de dopage. Le substrat est donc considéré comme étant construit de couches uniformes (voir chapitre 1) pour lesquelles les fondeurs fournissent les résistances par unité de surface. A partir des paramètres topologiques (géométrie et résistivité des couches), un modèle électrique peut être extrait, tel que représenté figure 2- 20.

Le réseau RC n'est pas tout à fait symétrique : en effet le contact Nplus étant aussi contactant la couche enterrée de NW. Nous présentons ici le modèle d'une porte intégrée dans du NW profond (DNW).

Une troisième dimension au réseau RC ainsi mis en évidence peut être envisagée en prenant en compte la possibilité de connexions de cellules en haut et en bas (non seulement les connexions latérales). Mais la quantité de courant injectée est alors équivalente, seule la distribution très localisée des courants est légèrement modifiée. L'effet sur la quantité de courant relevée sur le nœud « sub » est invisible.

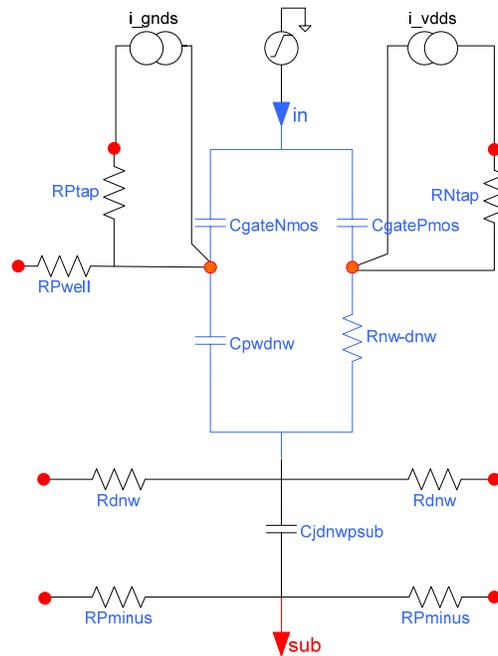


figure 2- 20 : Modèle proposé pour l'injection du bruit de fonctionnement d'une porte dans le substrat

Plusieurs publications proposent de modéliser le transfert de charge dans les deux états logiques de l'inverseur [2-6] [2-19]. Ainsi les capacités équivalentes de commutation des transistors sont modélisées telles qu'aux figure 2- 21, a et b : des capacités (d'état logique) avec le canal (grille-canal et canal-bulk) se forment lors du fonctionnement des transistors [2-20]. La difficulté réside alors dans l'évaluation de la capacité entre le canal et le bulk.

Dans le modèle présenté ici (figure 2- 20), des sources de courant génèrent un bond de courant équivalent à celui qui serait appelé par la porte sur les lignes d'alimentation. Seules les sources de courant sont modifiées en fonction de l'état de la porte : largeur et amplitude (positive ou négative) du rebond de courant.

Un modèle proposé par [2-21] introduit une troisième source représentant le courant de commutation des transistors MOS. Considérant que l'injection à travers les prises substrat est dominante, nous ne tenons pas compte de ce courant qu'il serait extrêmement difficile d'estimer.

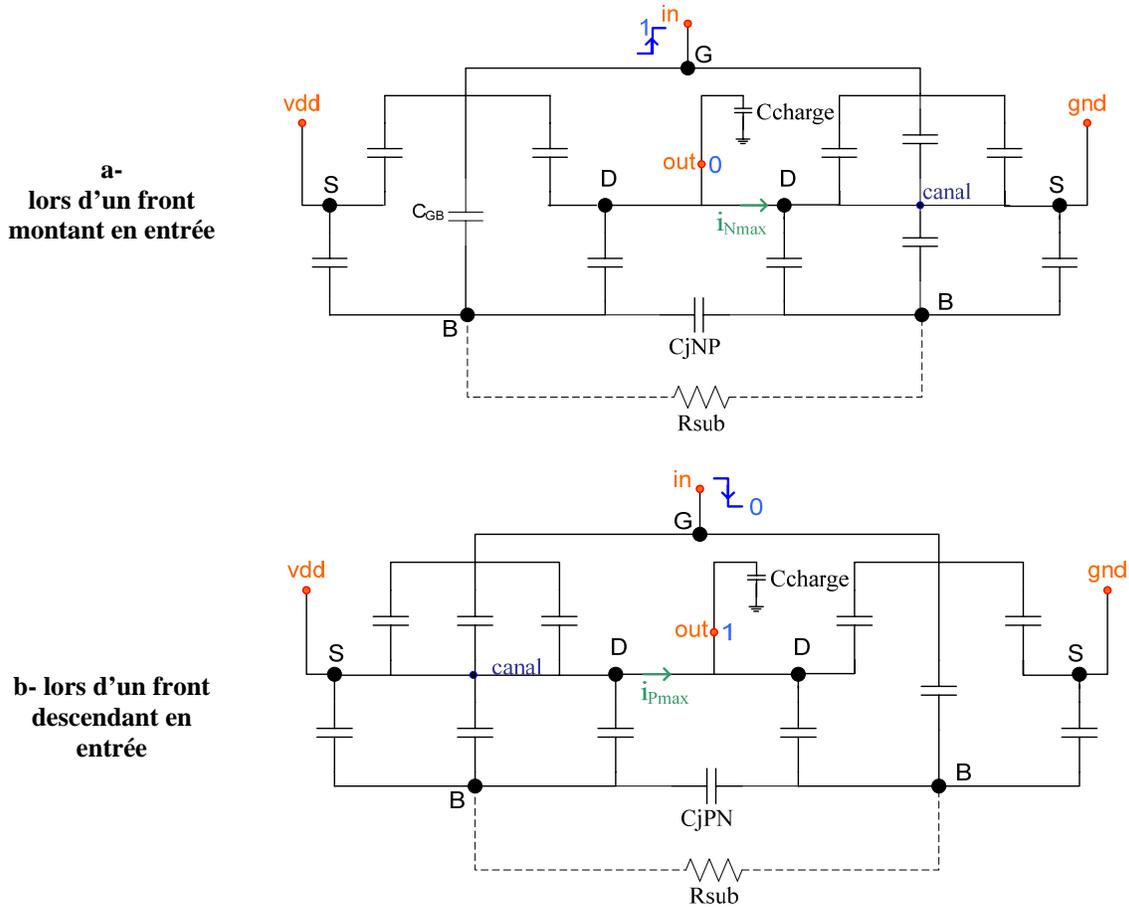


figure 2- 21 : Représentation des capacités de l'inverseur selon son état logique

Les sources de courant sont paramétrées en fonction du sens du front, du temps de montée du signal et de la charge. La charge capacitive d'une porte établit la quantité de charges électriques transférées et le temps de transfert jusqu'au nœud de sortie de la porte. Les courants appelés sont représentés sur les figure 2- 22 et figure 2- 23 : les paramètres de temps de montée du signal et de charge varient.

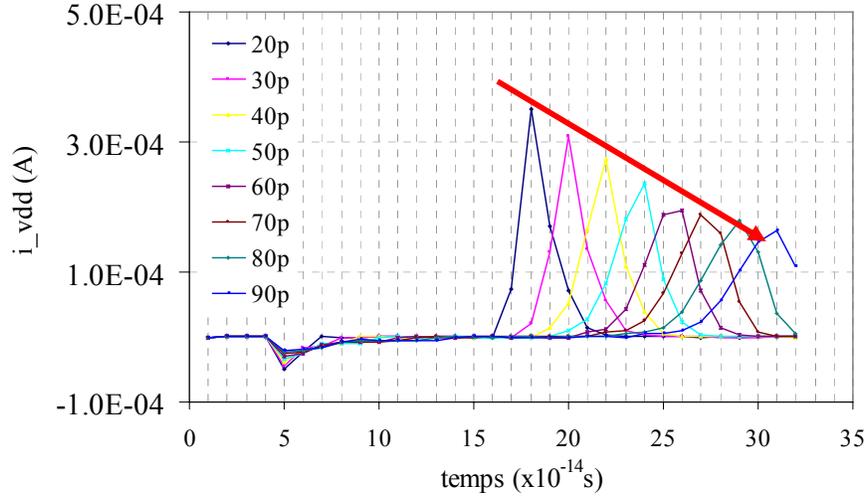


figure 2- 22 : Courant appelé sur l'alimentation vdd en fonction du temps de montée du signal d'entrée de la porte (simulation spectre)

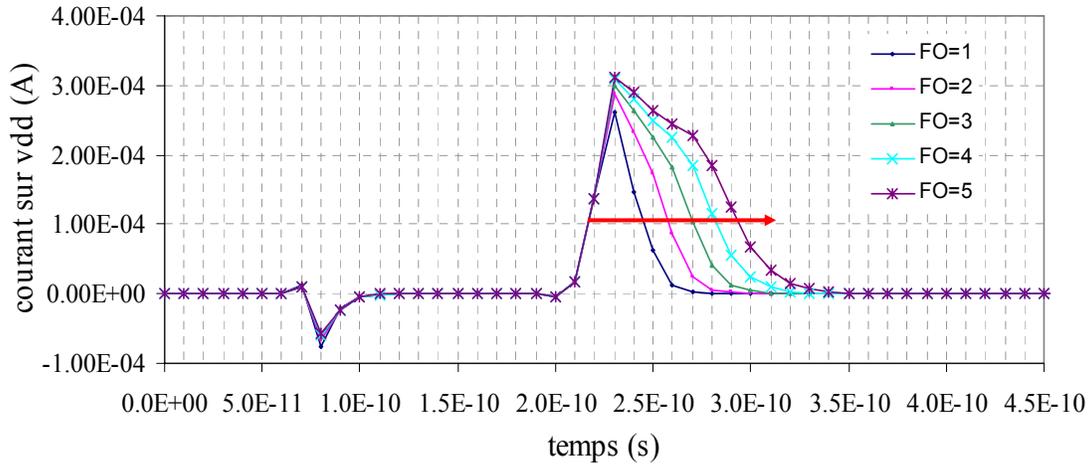


figure 2- 23 : Courant appelé sur l'alimentation vdd en fonction du fan-out de la porte (spectre)

Si le temps de montée est à considérer pour la première porte recevant le signal, ce n'est pas le cas pour toutes les portes. En effet la commutation des portes suivantes est déclenchée par un signal dont le temps de montée est fixé par les dimensions de la première porte. Si toutes les portes sont identiques, le temps de montée reste le même pour toutes.

Afin d'obtenir un modèle d'un bloc numérique, nous proposons d'assembler les modèles de chaque porte. La capacité DNW est par contre externalisée : le DNW étant généralement une couche commune à l'ensemble du bloc. Avec notre modèle, le rôle de la capacité DNW est mis en valeur. La capacité équivalente à la surface de DNW est calculée (~ 700 fF). Le nombre de portes placées dans ce DNW varie. Les résultats obtenus sont représentés sur la figure 2- 24. Le rôle « régulateur »/filtrant de signal traversant la couche de DNW est mis en évidence : la puissance de signal, inférieure à -66 dBm, varie très peu quel que soit le nombre de portes.

Nous observons qu'à partir de 70 portes la quantité de courant atteignant le nœud substrat Pminus stagne. La capacité équivalente à la surface de DNW peut expliquer une partie de ce phénomène. Une autre hypothèse est envisagée, mais n'a pas été vérifiée expérimentalement. Les compensations des appels de courants entre toutes les portes sur les rails d'alimentation expliqueraient le fait que la puissance diminue légèrement : un équilibre se crée entre les courants appelés par les inverseurs et les courants revenants sur l'alimentation à travers les prises substrat.

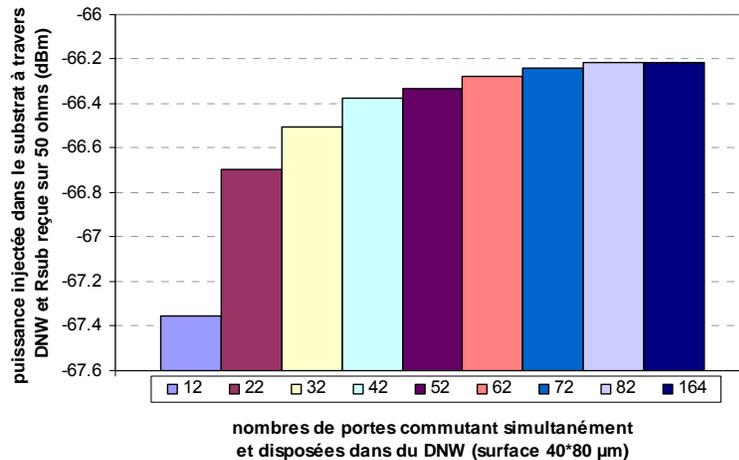


figure 2- 24 : Puissance reçue dans le substrat en fonction du nombre de portes intégrées dans une surface de DNW

Différents macromodèles sont disponibles dans la littérature. Mitra et al [2-22] modélisent les sources de bruit numérique par une unique source de courant commuté pour tout le bloc. Elle renvoie les bonds de courant d'alimentation sur l'alimentation elle-même à travers l'impédance équivalente aux rails et connexions vers l'extérieur de la puce. L'interaction substrat se fait alors par les masses numérique et analogique, connectées toutes deux au substrat. L'architecture détermine les événements, c'est-à-dire les transitions, et donc d'un point de vue statistique [2-23] fixe le bruit généré (nombre de portes commutantes avec le temps de propagation de chacune et donc la définition du rebond de courant), cela permet de paramétrer la source de courant équivalente au bruit.

III.C. Validation du modèle

III.C.1. Principe et description des dispositifs de test caractérisés

Nous avons souhaité reproduire un bloc très proche du design d'un bloc numérique réel ayant une véritable fonction. Les blocs numériques ont une architecture d'inverseurs. Une matrice d'inverseurs, commutant tous à la même fréquence, est conçue puis caractérisée en terme d'injection de courant dans le substrat à l'aide de la structure de mesure. Un oscillateur en anneau placé devant la matrice génère le signal d'entrée de cette dernière. La chaîne d'inverseurs de l'oscillateur est composée de N inverseurs. Le nombre d'inverseurs de cette chaîne varie selon la fréquence à laquelle nous désirons cadencer les commutations des inverseurs. En effet la fréquence de commutation d'une telle chaîne est définie par la relation (2- 14).

$$f_{\text{oscillateur}} = \frac{1}{N\tau} \quad (2- 14)$$

avec τ correspondant à la somme des temps de montée et descente des inverseurs de l'anneau

L'oscillateur en anneau présente l'avantage d'avoir un spectre propre avec une raie à la fréquence d'oscillation.

Un tel bloc numérique (oscillateur en anneau et matrice) peut facilement être intégré sur une puce, proche d'un bloc sans créer de problème de diaphonie d'horloge, puisqu'il n'y a pas de réel arbre d'horloge.

Les cellules sont disposées et routées avec l'outil logiciel First Encounter (de Cadence Design System) à partir d'un algorithme de conception numérique. La majorité des blocs numériques caractérisés comportent plus de 200 portes. Lors d'une première réalisation l'oscillateur est placé en tant qu'un seul élément intégré au bloc agresseur complet. Par la suite, pour des raisons d'isolation entre l'oscillateur et la matrice, l'oscillateur est séparé de la matrice d'inverseurs. Des cellules de découplages sont évidemment intégrées au bloc, en quantité usuelle.

Des structures dérivées ont été conçues afin de comparer différentes stratégies dans la façon de positionner les cellules (elles sont comparées au paragraphe IV). L'algorithme est adapté pour chaque variante du design. Au cours des différentes réalisations les designs ont été améliorés afin d'être les plus symétriques possible.

III.C.2. Caractérisation de l'injection dans le substrat d'un dispositif

Les dispositifs sous test émettent un signal à la fréquence fondamentale de l'oscillateur en anneau. Les commutations simultanées d'inverseurs sur des fronts montants et des fronts descendant génèrent une harmonique seconde dans le substrat qui

peut être d'amplitude plus élevée : les courants injectés par les transistors NMOS et PMOS en même temps se superposent. Une harmonique tierce est également observée. Le spectre du signal relevé sur la ligne d'alimentation vdd présente des harmoniques d'amplitude décroissante. La figure 2- 25 présente les spectres des signaux en puissance reçu par le capteur substrat et relevé sur le rail d'alimentation vdd d'un bloc conçu avec des techniques de dessin usuelles. Un tel bloc injecte dans le substrat -71 dBm, ce qui est relativement proche des -66 dBm attendus.

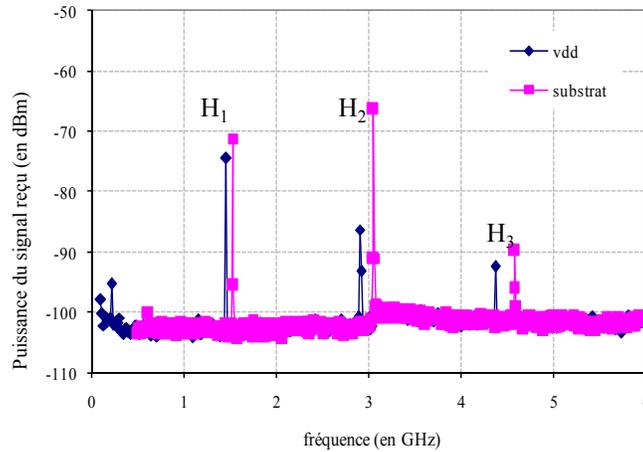


figure 2- 25 : Caractérisation de l'injection d'un bloc numérique type de 230 portes dans le substrat

En conclusions, les bonds en tension (et courant) sur les lignes d'alimentation sont à l'origine des signaux polluants dans le substrat générés par les cellules numériques. L'injection se fait majoritairement à travers les multiples contacts distribués polarisant le substrat. La contribution sur les drains est beaucoup plus faible. La variation de tension sur les alimentations induit une variation de tout le potentiel du caisson.

Caractériser l'effet d'une commutation de porte dans le substrat peut s'avérer délicat. Cependant les caractérisations de l'injection générée par les commutations de plusieurs blocs s'accordent avec le modèle proposé pour une porte. Nous retenons qu'un tel bloc numérique injecte dans le substrat -70 dBm.

Le modèle proposé correspond en fait à deux sources injectant des courants à travers une fonction de transfert. De nombreuses techniques visent à modifier cette fonction de transfert en augmentant l'efficacité de l'isolation substrat, certaines sont abordées au paragraphe IV.

IV. Apport de stratégies pour minimiser l'injection dans le substrat

Dans cette structure de test nous pouvons caractériser l'injection de tout dispositif. La seule contrainte étant la surface qui est limitée à $40 \times 80 \mu\text{m}$. Nous avons donc pour un même circuit comparé différentes topologies possibles, afin d'avoir des précisions sur :

- l'effet du positionnement, de la quantité, et du routage des contacts de polarisation substrat,
- l'impact du positionnement des capacités de découplage,
- le réel apport d'un mur métallique entourant un bloc,
- l'apport du masque bloquant de Pwell (PW).

IV.A. Prises substrat

Dans sa topologie, chaque inverseur, par défaut, ne contient pas une prise substrat. Le quatrième accès des transistors, distinct des contacts de polarisation classique, se trouve dans le substrat au niveau du caisson « bulk ». Les concepteurs ont l'habitude de connecter l'accès bulk sur les mêmes lignes de polarisation que les sources des transistors (pour que la tension $V_{\text{bulk-source}}$ soit idéalement nulle). Ils définissent le nombre de contacts substrat pour la topologie de leur bloc. Des règles pratiques de conception numérique proposent de placer un contact de polarisation tous les $30 \mu\text{m}$ afin de maintenir efficacement la polarisation du substrat, sans justification particulière. La figure 2- 28 montre une vue de la topologie de ces blocs sur laquelle les colonnes de prises substrat sont visibles.

Nous tentons d'expliquer le rôle des contacts substrat, puis nous évaluons le gain en terme d'isolation apporté par la séparation des rails.

IV.A.1. Rôle des prises substrat

Les prises substrat permettent de collecter les courants qui se propagent/réperdent dans le substrat. La figure 2- 26 propose une illustration du mécanisme : un composant injecte lors de son fonctionnement des courants dans le substrat qui sont attirés par le retour faible impédance vers la masse que le contact Pplus offre.

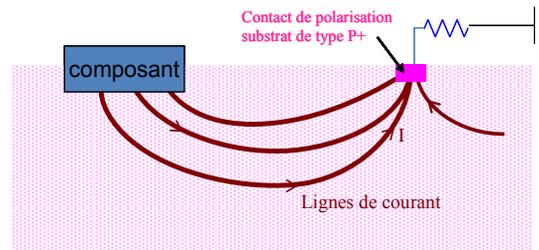


figure 2- 26 : Illustration du rôle de la prise substrat

Si la masse polarisant les contacts substrat est considérée propre, c'est-à-dire une ligne de masse sur laquelle les variations de courant sont négligeables, alors multiplier le nombre

de contacts substrat réduit la résistance entre le substrat et la masse. En supposant que la source dominante de pollution ne vient pas des lignes d'alimentation, cela contribue à atténuer le bruit substrat.

Un même rail polarise plusieurs contacts. La quantité de courant entrant dans chaque prise est donc divisée par le nombre de prises. Multiplier le nombre de contacts substrat permet donc d'injecter des variations de courant de moindre quantité. De plus, en multipliant le nombre de contacts, l'impédance de la ligne est également diminuée, comme l'illustre la figure 2- 27.

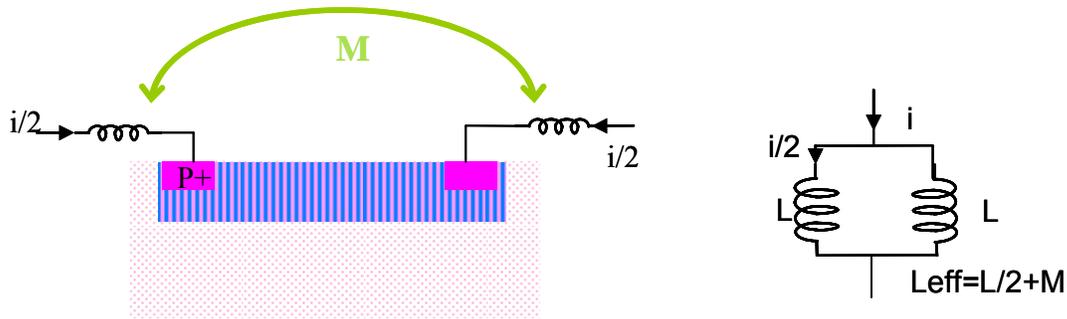


figure 2- 27 : Intérêt de multiplier les prises substrat

Mise en évidence de son importance : influence de l'espacement entre les prises substrat :

Au cours d'une campagne de caractérisation d'un DST, nous avons rencontré un problème d'intégrité du signal (pour lequel nous proposons une explication au chapitre 3) : au lieu d'observer une raie unique à la fondamentale et aux harmoniques de la fréquence de fonctionnement de notre bloc numérique, nous avons mesuré des raies « doubles », comme le montre figure 2-29. L'expérience a permis d'observer que réduire l'espacement entre les prises substrat éloigne proportionnellement les raies. L'oscillation générée non désirée est liée au substrat. Pour un espacement de 10 μm , 130 MHz séparent les raies doubles alors que pour un espacement de 30 μm , 240 MHz les sépare.

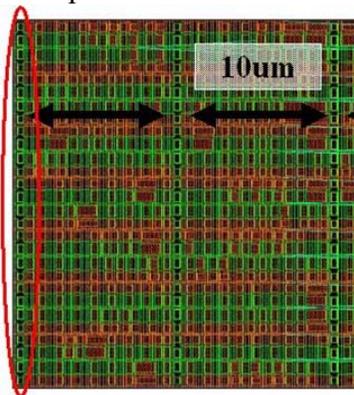


figure 2- 28 : Espacement entre les colonnes de prises de polarisation substrat

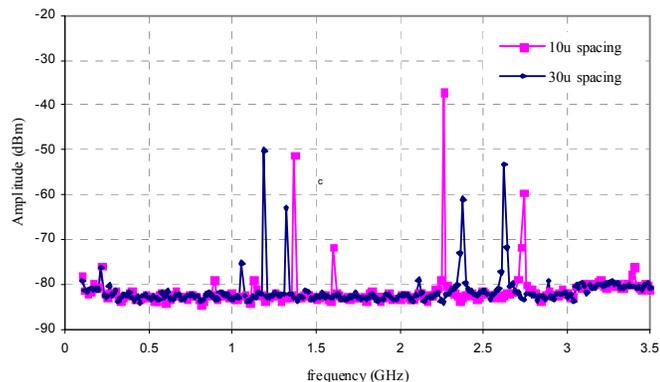


figure 2- 29 : Effet de l'espacement des prises substrat

IV.A.2. Séparation de la polarisation substrat

Des rails de polarisation du substrat sont différenciés des rails d'alimentation, lignes de polarisation "classiques". Ils connectent les contacts à un vdd ou gnd distinct de celui alimentant les polarisations des transistors, nommé respectivement vdds et gnds. La figure 2- 30 illustre schématiquement la différence. Malheureusement, comme le présente la figure 2- 30, un niveau de métallisation supplémentaire (en vert sur la figure 2- 30) est nécessaire pour router ces contacts, ce qui peut s'avérer être un fort inconvénient pour la topologie d'un bloc numérique fonctionnel d'une application circuit. Afin de vraiment séparer les lignes au niveau de l'alimentation, nous utilisons des résistances fortement ohmiques intégrées à la structure de mesure.



figure 2- 30 : Caisson des transistors polarisés séparément ou non

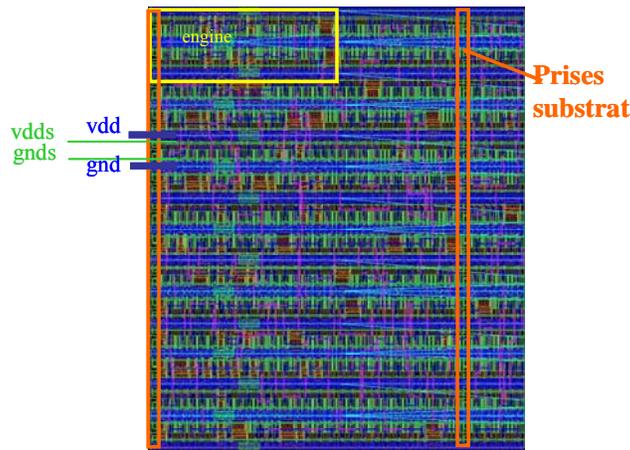
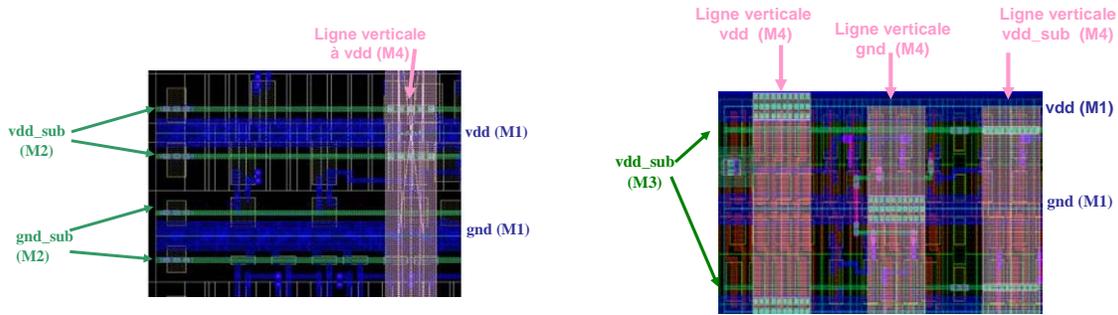


figure 2- 31 : Topologie type d'un bloc conçu avec des rails d'alimentation et de masse dédiés au substrat



a- Rails de polarisation des contacts substrat Nplus et Pplus distincts

b- Rails de polarisation des contacts Nplus distincts

figure 2- 32 : Zoom sur les rails d'alimentation séparés, extraits des layouts de deux variantes

Une autre idée concernant la séparation de la polarisation du substrat consiste à connecter une couche de NW profond (DNW) à une alimentation distincte de la « polarisation de fonctionnement » des inverseurs. Utiliser une telle polarisation dédiée aux contacts substrat permet de gagner 8 dB d'isolation.

IV.A.3. Un contact substrat par porte, les contacts Nplus routés séparément

Entre chaque porte, une prise substrat (contacts Nplus et Pplus) est ajoutée. Tous les contacts Nplus sont polarisés avec un rail vdd indépendant, dédié à la polarisation des caissons Nplus du substrat. Les contacts Pplus sont, quant à eux, polarisés par la masse globale du bloc, la masse de référence.

A la première harmonique, aucune amélioration n'est observée par rapport à un bloc ayant usuellement une prise substrat pour six/sept portes. Cependant le signal est plus faible à la seconde harmonique de 3 à 5 dB, et 1 dB est gagné pour la quatrième harmonique. Les rails sont routés séparément (un rail pour la polarisation des grilles, et un pour la polarisation des contacts Nplus, les contacts de masse sont tous routés ensemble), ce résultat ne serait pas valide pour un design n'intégrant qu'une seule paire d'alimentation pour le bloc complet.

Dans le modèle de la cellule unitaire présenté au paragraphe III, une prise substrat est représentée par porte. Un banc de simulation a été créé afin de mettre en évidence l'utilisation d'une prise substrat par porte. On obtient une baisse de 4% du courant injecté avec une telle conception, ce qui correspondrait à moins de 2 dB de gain.

IV.B. Capacités de découplage

Une cellule de découplage absorbe localement les pics de courant, ce qui évite la propagation des bruits sur l'alimentation. La capacité de découplage se charge et alimente le circuit afin de lisser les appels de courant. Pour éviter que le rail d'alimentation soit trop long et se comporte comme une inductance à la fréquence du circuit on place des réserves de charges proches des portes appelant le courant. Les capacités de découplage sont dimensionnées pour avoir une réserve de charges suffisante pour fournir le courant nécessaire. La tension aux bornes de la capacité chute un peu, typiquement de 1,2 V à 1,15 V, et se recharge lentement.

Les capacités de découplage sont connectées entre les rails d'alimentation et les rails de masse. Elles sont donc une passerelle pour refermer la boucle de courant. En les plaçant dans le cœur de la topologie du bloc, les boucles de courant formées sont de petites surfaces. Nous proposons de les disposer de manière symétrique de chaque côté de la topologie, ainsi les boucles de courant de chaque côté seront sources de champs magnétiques s'annulant par compensation.



figure 2- 33 : Boucles de courant de flux opposé fermées par des capacités de découplage disposées symétriquement de chaque côté du bloc

La quantité de capacités de découplage nécessaire et suffisante est difficile à évaluer. Certes à l'aide de la consommation connue du bloc le concepteur peut estimer une quantité de capacités nécessaires pour atténuer le « voltage drop » (cf chapitre 1, paragraphe III.B.1.).

Nous avons fait varier le rapport de surface de capacités de découplage sur la surface active de 15 % à 45 %. Aucune amélioration n'a été observée. Ceci s'explique par le fait que le bloc, de faibles dimensions, a une architecture très simple ; la quantité de capacités de découplage a justement été estimée : 15 % de la surface suffisait pour le fonctionnement du bloc.

Si une paire d'alimentation est dédiée au substrat, il est évidemment nécessaire de placer des cellules de découplage, au cœur du circuit.

IV.C. Mur métallique connecté à la masse

L'efficacité d'un anneau de garde substrat entourant un bloc a largement été démontrée [2-24][2-25][2-26] [2-27] (cf chapitre 1).

J. H. Wu et al ont montré la possibilité et l'efficacité d'entourer un bloc par des vias traversants, descendant jusqu'à un plan de masse de la face arrière de la puce. Ces vias sont reliés par un anneau de métal de niveau 1 connecté à la masse également. Les résultats de mesure présentés sur une puce de test intégrant ce genre de cage de Faraday dans le substrat sont très prometteurs : une suppression moyenne de 40 dB du signal jusqu'à 5 GHz [2-28]. Cette stratégie semble très efficace surtout à des distances très courtes entre l'émetteur et le récepteur. Des courants sont captés par la structure qui les conduit vers la masse [2-29], comme nous allons le voir au paragraphe qui suit.

IV.C.1. Rôle du blindage métallique

Un bloc de test a été entouré d'un anneau de garde de type Pplus, surmonté d'un mur métallique, composé des sept niveaux de métal du procédé. La figure 2- 34 présente une vue de dessus schématique du dispositif testé. Ce mur métallique est connecté à une masse dédiée « indépendante ». Les lignes de courant sont captées à la fois par le mur métallique faiblement résistif et par l'anneau de garde de type Pplus, comme le représente la figure 2- 35. Le mur est connecté à la masse pour que l'écran qu'il représente ne soit pas une source supplémentaire de couplage entre ce qu'il entoure et l'environnement extérieur (l'efficacité de l'écran ne serait pas diminuée, cependant des interactions capacitives supplémentaires pourraient se produire). Le connecter à une masse « indépendante » s'avère évidemment plus avantageux.

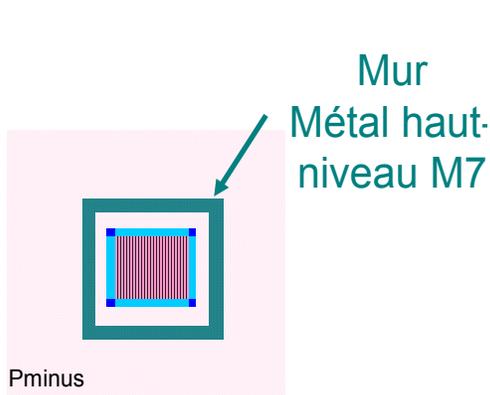


figure 2- 34 : Vue de dessus du dispositif entouré d'un mur P+-M7

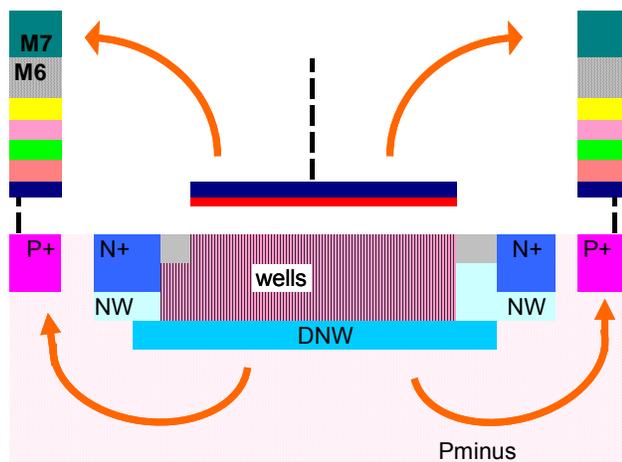


figure 2- 35 : Vue en coupe du DST entouré d'un mur P+-M7

IV.C.2. Apport en gain d'isolation

L'implémentation d'un tel mur ne requiert que 2 μm de largeur.

Un premier dispositif est conçu en polarisant les portes de manière standard avec une seule paire d'alimentation pour les contacts de polarisation des composants et du substrat. Le mur connecté à une masse distincte et propre apporte un gain d'isolation de 10 dB, et jusqu'à 12 dB pour les harmoniques impaires (dont la première). Ce gain sur les harmoniques impaires se fait au détriment d'une perte de 2 dB sur les harmoniques paires. Mais l'amplitude de ces harmoniques paires étant plus faible que celle de l'harmonique première, cela n'est pas gênant.

Un second dispositif a été réalisé ; il comprend une paire d'alimentation dédiée à la polarisation des contacts substrat (rails séparés). Le mur connecté à une masse supplémentaire apporte 6 dB de gain en plus sur les harmoniques impaires et 5 dB sur les harmoniques paires.

Nous avons pu vérifier que la seule présence du mur (« mur flottant ») permet d'obtenir 2 dB d'isolation.

IV.D. Apport du masque bloquant de Pwell

Comme nous l'avons vu dans le chapitre 1, le masque bloquant de Pwell (PW) revient à ajouter une résistance en série. Il est employé pour isoler des « domaines électriques » dans le substrat. Une largeur minimum de 5 μm est nécessaire pour respecter les distances d'espacement entre caissons de même dopage. Quelle que soit la fréquence (il s'agit d'une isolation résistive), l'intégration de cette couche autour des blocs apporte 2 à 3 dB de gain. Cette technique est efficace quelles que soient les stratégies de topologie appliquées concernant le routage, l'intégration ou non de triple-well, la séparation ou non des alimentations de polarisation. Cette couche de type P est une frontière : la propagation de signaux parasites entre les couches de l'épitaxie du substrat de chaque côté n'est pas continue.

Sur la figure 2- 36, le masque bloquant entoure un bloc numérique embarqué dans une puce de test. Ce masque peut également être positionné autour d'un bloc sensible (« victime »), les mêmes performances ont été mesurées en terme d'isolation, le masque bloquant était positionné autour d'un LNA (surface : 400*250 μm^2). S'il est employé à la fois autour des blocs agresseurs et des blocs victimes, l'isolation gagnée est double, soit 4 dB minimum.

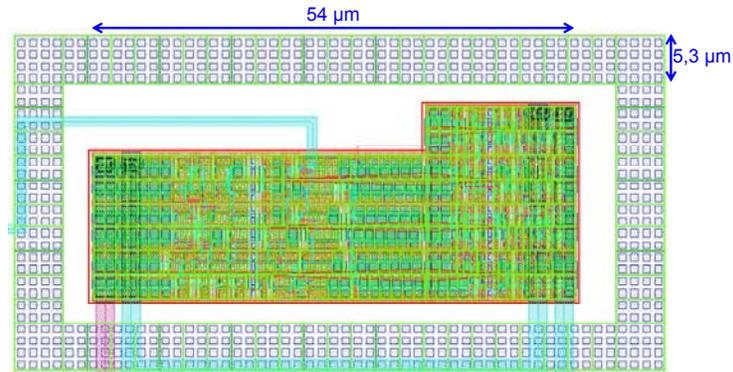


figure 2- 36 : Masque bloquant de PW entourant un petit bloc numérique

Des techniques d'isolation au niveau du substrat viennent d'être présentées. Une attention particulière est recommandée quant à la manière dont elles sont mises en œuvre. Les propositions formulées dans ce paragraphe peuvent être appliquées pour limiter l'agression d'un bloc numérique.

Pour limiter la sensibilité des blocs victimes, ces techniques doivent être appliquées différemment. Il est conseillé de ne pas séparer la connexion du caisson du PMOS afin que la source du transistor et son caisson soient à des potentiels les plus proches. Intégrer le bloc dans du DNW, ou l'entourer d'un mur métallique s'avère intéressant. Cependant l'utilité de ces couches, employées autour de blocs analogiques, est alors de capter les parasites avant qu'ils n'atteignent les couches sensibles du bloc victime. Il s'agit donc de dévier les signaux perturbants en connectant le DNW à une alimentation dédiée, et le mur à une masse « indépendante ».

Conclusion

L'agression des circuits numériques est conduite à travers les alimentations et le substrat. Le rebond de courant sur les alimentations, lié à la commutation des portes, a été identifié comme étant le principal vecteur d'entrée. Un modèle d'injection dans le substrat a été présenté : il est composé d'un réseau RC et de sources de courant paramétrées. Des caractérisations valident ce modèle. Le modèle ne prend pas en compte les effets du boîtier. Une inductance modélisant les bondings peut facilement être ajoutée.

L'importance de toutes les boucles fermées de courant a été remarquée. Toute boucle se comporte comme une antenne.

L'apport caractérisé en gain d'isolation de certaines stratégies mises en œuvre permet de formuler des méthodes de conception pour limiter l'injection de signaux parasites dans le substrat. La table 2- 1 récapitule les différentes stratégies dont l'apport en terme de gain d'isolation substrat a été caractérisé. Si toutes les techniques sont appliquées, les gains se cumulent, comme nous l'avons vérifié.

Stratégie	Contrainte topologique	Gain en isolation substrat (dB)
une prise substrat par porte	Perte de 40 % de surface	~
polarisation dédiée aux contacts Nplus du substrat	un niveau de métallisation supplémentaire pour la polarisation	8 dB
mur vertical Pplus-M7 entourant le bloc	2 μ m de largeur autour du bloc	10 à 12 dB
mur vertical Pplus-M7 entourant le bloc	2 μ m de largeur autour du bloc un niveau de métallisation supplémentaire pour la polarisation	5 à 6 dB
& polarisation des contacts Nplus dédiée	(le niveau de métal peut être utilisé pour d'autres connexions)	+ 8 dB
masque bloquant de Pwell	5 μ m de largeur autour du bloc	2 à 3 dB

table 2- 1 : Récapitulatif des contraintes et de l'apport de certaines stratégies

Le niveau transistor est à priori le plus simple à mettre en œuvre pour la détermination de l'activité en courant. Les circuits actuels peuvent comprendre jusqu'à plusieurs millions de transistors. Du coup la taille des réseaux associés augmentant de manière exponentielle. Le modèle proposé est un modèle au niveau transistor ; il est relativement précis mais n'a pas de relation directe avec l'architecture. L'interfaçage avec des modèles comportementaux n'est pas réalisé. Cependant il permet d'estimer le signal en puissance injecté dans le substrat, ce qui peut être intégré dans un banc de simulation d'un circuit complet. C'est l'objet du chapitre 3.

Références

- [2-1] B. Jharia, S. Sarkar and R. P. Agarwal, Analytical Study of Impact Ionization and Subthreshold Current in Submicron n-MOSFET, Sixth International Symposium on Quality Electronic Design, IEEE 2005
- [2-2] W. M.C. Sansen, Analog Design Essentials, Springer, chapter1, p3, 2006
- [2-3] A.J. Scholten, Modeling and characterization of noise in 90 nm RF CMOS technology, IEEE International Conference on Noise and Fluctuations 2005
- [2-4] Proceedings of the MOS Model 11 workshop, Physical Background and Parameter Extraction of MOS Model 11, R. van Langevelde (ed.), Philips Electronics Nederland N.V. 2002
- [2-5] A. Boyer, E. Lamoureux, S. Ben Dhia, E. Sicard, Immunité d'un inverseur CMOS en champ proche, colloque International de compatibilité Electromagnétique, 2006
- [2-6] M. Nagata, Substrate Noise Analysis with Compact Digital Noise Injection and Substrate Models, IEEE 2002, International Conference on VLSI Design
- [2-7] Barajas, Discrete and Continuous Substrate Noise Spectrum Dependence Digital Circuits Characteristics, IEEE International Symposium on Circuits and Systems, Vol.5, May 2005
- [2-8] X. Aragonès, Experimental Comparison of Substrate Noise Coupling Using Different Wafer Types, IEEE Journal of Solid-state Circuits, Vol.34, 1999
- [2-9] M. Nagata, Measurements and Analysis of Substrate Noise Waveform in Mixed-Signal IC Environment, IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, Vol. 19, Issue 6, June 2000
- [2-10] D.K. Su, Results and modeling techniques for substrate noise in mixed-signal integrated circuits, IEEE Journal of Solid-State Circuits, vol. 28, Sept. 2001
- [2-11] Makie-Fukuda, Voltage-comparator-based measurement of equivalently sampled substrate noise waveforms in mixed-signal integrated circuits, IEEE Journal of Solid-State Circuits, vol 31, pp. 726-731, May 1996
- [2-12] W.C. Pflanzl, E. Seebacher, Investigation of substrate noise coupling and isolation characteristics for a 0,35 μm HV CMOS technology, austriamicrosystems AG, 2007
- [2-13] M. Pfost, T. Huttner, A. Romanyuk, An Experimental Study on Substrate Coupling in Bipolar/BiCMOS Technologies, IEEE Journal of Solid-States Circuits, VOL.39, NO.10, October 2004
- [2-14] M. A. Mendez, J.L. Gonzales, and A. Rubio, An Approach to the Statistical Characterization of the Switching Noise, Conference on Design of Circuits and Integrated Systems, pp57-62, Nov.2003
- [2-15] Echanges avec C. Mohamed Fakih, Université de Limoges, 2009
- [2-16] X. Aragonès, Experimental Comparison of substrate Noise Coupling Using Different Wafer Types, IEEE Journal of Solid-State Circuits, Vol.34, Oct. 1999
- [2-17] R. Murgai, S.M. Reddy, T. Miyoshi, T. Horie, M.B. Tahoori, Sensitivity-based Modeling and Methodology for full chip substrate noise analysis, Design Automation, and Test in Europe Conference and Exhibition, 2004, Vol.1, pp610-615

- [2-18] T. Steinecke, Experimental Characterization of Switching Noise and Signal Integrity in deep Submicron Integrated Circuits, IEEE International Symposium on Electromagnetic Compatibility, 2000, Vol. 1, pp107-112
- [2-19] M. Nagata, T. Morie, and A. Iwata, Modeling Substrate Noise Generation in CMOS Digital Integrated Circuits, Custom Integrated Circuits Conference, 2002 IEEE
- [2-20] M. Badaroglu, G. Van de Plas, et al., Digital Circuit Capacitance and Switching Analysis for Ground Bounce in ICs With a High-Ohmic Substrate, IEEE Journal of Solid-State Circuits, Vol. 39, NO. 7, July 2004
- [2-21] M. Van Heijningen, M. Badaroglu, S. Donnay, M. Engles, and I. Bolsens, High-Level Simulation of Substrate Noise Generation Including Power Supply Noise Coupling, DAC 2000
- [2-22] S. Mitra, R.A. Rutenbar, , A Methodology for rapide estimation of substrate-coupled switching noise, Proceedings of the IEEE Custom Integrated Circuits Conference, May 1995
- [2-23] M. A. Mendez, J.L. Gonzales, A. Rubio, An Approach to Statistical Characterization of the Switching Noise, Conference on Design of Circuits and Integrated Systems, Nov. 2003, pp. 57-62.
- [2-24] T. Blalack, J. Lau, F.J.R. Clement, and B.A. Wooley, Experimental Results and Modeling of Noise Coupling in a Lightly Doped Substrate, IEEE International Electron Devices Meeting, Dec. 1996
- [2-25] D. K. Su, M. J. Loinaz, S. Masui, B. A. Wooley, Experimental Results and Modeling Techniques for Substrate Noise in Mixed-Signal Integrated Circuits, IEEE Journal of Solid-State Circuits, vol.28, NO.4, April 1993
- [2-26] A. Samavedam, A. Sadate, K. Mayaram, T. S. Fiez, A Scalable Substrate Noise Coupling Model for Design of Mixed-Signal IC's, IEEE Journal of Solid-State Circuits, pp. 895-904, June 2000
- [2-27] T. Kimura, A simple Simulation Method for analyzing Substrate Coupling, IEEE International Symposium on Circuits and Systems, Vol.4, 2002
- [2-28] J H. Wu, J. Scholvin, J. A. del Alamo, and K. A. Jenkins, A Faraday Cage Isolation Structure for Substrate Crosstalk Suppression, IEEE Microwave and Wireless Components Letters, Vol. 11, NO. 101, October 2001
- [2-29] J H. Wu, J. A. del Alamo, An Equivalent Circuit Model for a Faraday Cage Substrate Crosstalk Isolation Structure, IEEE Radio Frequency Integrated Circuits Symposium, 2004

Chapitre 3 : Application dans des circuits

Introduction	131
I. Sensibilité de certains circuits radio fréquence.....	132
I.A. Sensibilité des principaux blocs analogiques à un signal parasite en entrée ou sur la polarisation.....	132
I.B. Robustesse et faiblesse des blocs différentiels.....	135
I.C. La géométrie des blocs : un critère de susceptibilité face à l'effet induit....	137
II. Début de méthodologie de base.....	140
II.A. Séparation des domaines d'alimentation.....	140
II.A.1. Gestion des polarisations : de l'alimentation de la carte à la polarisation de chaque composant.....	140
II.A.2. Le principe appliqué à une interface de mise à niveau des polarisations.....	142
II.A.3. La question du substrat : polarisation séparée des contacts	143
II.B. Cartographie fréquentielle d'un circuit.....	147
II.C.1. Limiter les boucles magnétiques	148
II.C.2. Intégrer un découplage suffisant non pénalisant	149
III. Simulation au niveau global du circuit.....	150
III.A. Outils de simulation circuits	150
III.A.1. Création de modèles et macro-modèles	151
III.A.2. Disparité d'échelles et maillage	151
III.A.3. Vers des outils de co-simulation... ..	153
III.B. Création de modèles et application sur un circuit de test.....	154
III.B.1. Modélisation des réseaux d'impédances	155
III.B.2. Modélisation d'un bloc numérique	155
III.C. Validation des modèles sur un circuit de test.....	158
IV. Remarques complémentaires sur des éléments non considérés.....	163
IV.A. Auto-agression d'un bloc.....	163
IV.A.1. Influence de l'intégrité de puissance sur les temps de propagation... ..	163
IV.A.2. Effets néfastes du bruit sur l'échantillonnage.....	164
IV.B. Effet des interfaces : compromis entre protections ESD et RF.....	165
Conclusion.....	167
Références	168

Introduction

Les cahiers des charges de conception dépendent des standards de normalisation des circuits, pour lesquels des seuils de sensibilité sont définis. Prenons l'exemple de la norme WiFi-802.11b : treize canaux se partagent la même bande d'émission et de réception comprise entre 2401 et 2466 MHz, la référence de sensibilité est fixée à -76 dBm (une marge de 15 dB est visée) sur toute la bande. Toute raie parasite supérieure à ce seuil localisée dans cette bande de fréquence est considérée par le système comme étant un signal. Si une telle raie ne peut être éliminée, elle doit être atténuée afin d'être inférieure au seuil de sensibilité. Cette raie générée par le fonctionnement interne de l'application se forme la plupart du temps lorsque les blocs sont assemblés au niveau global du circuit. Nous tentons dans ce chapitre de distinguer les différents critères à considérer pour assembler les blocs entre eux, la complexité résidant dans leur multitude.

Les principales sources de bruit liées au fonctionnement du circuit ont été mises en évidence au chapitre 1. Au chapitre 2, nous avons quantifié le signal parasite injecté dans le substrat par un bloc numérique ainsi que l'apport de l'intégration de certaines techniques d'isolation. Dans un premier temps, nous revenons sur les critères géométriques et architecturaux de sensibilité des blocs au niveau système. Puis, certains mécanismes de couplage ayant été expliqués, il devient possible de déduire des méthodes de conception pour limiter leurs effets lorsque l'on assemble les blocs entre eux, elles sont explicitées au paragraphe II. Les concepteurs ont besoin d'outils pour simuler ces interactions à un niveau global du circuit. De nombreux paramètres sont à considérer, tant au niveau schématique que topologique pour assembler tous les blocs. Des outils sont actuellement en phase de développement. Différentes manières de contribuer à la simulation des couplages peuvent être envisagées. Nous discuterons la façon dont les modèles peuvent être élaborés avant de proposer notre propre méthode de simulation des couplages additifs. Enfin dans une dernière partie quelques commentaires complémentaires sont ajoutés quant aux limites de ces travaux.

I. Sensibilité de certains circuits radio fréquence

Les circuits analogiques véhiculent un signal qui s'affaiblit à chaque maillon de la chaîne de transmission, leur sensibilité est donc plus accrue que celle des circuits numériques qui transmettent des chiffres très souvent immuables. Caractériser la sensibilité des circuits analogiques s'avère complexe. Plusieurs critères entrent en jeu : leur fonction, leur architecture, leurs composants physiques et leur géométrie. Nous rappelons à la figure 3- 1 le principe de réception d'un signal RF dans les circuits de télécommunication. Les mêmes blocs sont utilisés en émission.

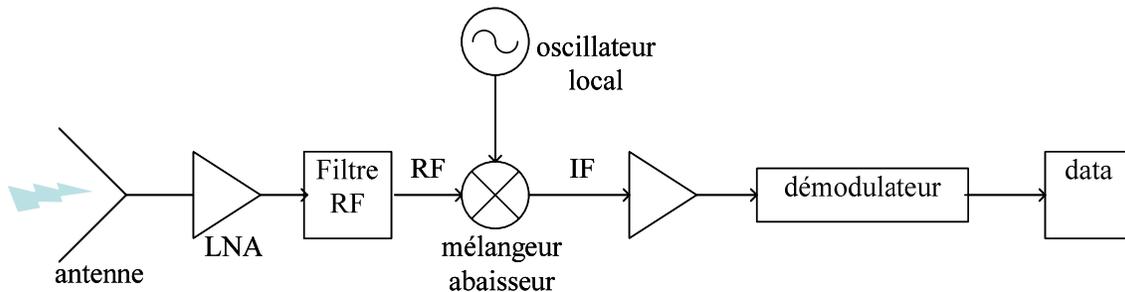


figure 3- 1 : Principe d'un récepteur de télécommunication

Le niveau d'interférences qui peut être supporté dépend des spécifications données au départ lors de la définition du cahier des charges. Le niveau de la raie parasite relativement au niveau des raies du signal doit être largement inférieur : le cahier des charges mentionne généralement une marge minimum à respecter quant au niveau des interférences. Les émetteurs peuvent paraître moins sensibles aux couplages électromagnétiques puisque le niveau de leurs signaux est très important par rapport au niveau des interférences. Néanmoins le fonctionnement de l'amplificateur du dernier étage génère souvent des signaux parasites non négligeables injectés dans les alimentations et le substrat, qui perturbent le comportement du reste du circuit.

I.A. Sensibilité des principaux blocs analogiques à un signal parasite en entrée ou sur la polarisation

Que l'application soit un émetteur ou un récepteur, les amplificateurs faible bruit ou LNA (« Low Noise Amplifier ») sont particulièrement sensibles au bruit externe puisque le signal à l'entrée de ces composants a une très faible puissance. Des signaux parasites sur une large bande de fréquence peuvent saturer le composant actif, en réduisant justement sa sensibilité. Le signal de sortie du bloc peut être exprimé par les relations (3- 1).

$$V_{out} = f(V_{in} + V_{bruit})$$

$$V_{out} = f(V_{in}) + \frac{dV_{out}}{dV_{in}}(V_{bruit}) \quad (3-1)$$

Si $\frac{dV_{out}}{dV_{in}} \succ 1$, alors le bruit est amplifié.

En fait, le signal de sortie d'un bloc analogique est une fonction à deux variables d'entrée : le signal d'entrée et la polarisation du bloc. Le bruit généré par les commutations se répand jusqu'aux blocs sensibles à travers le substrat et les alimentations ; on peut l'exprimer comme une variation du signal d'entrée et une variation de la polarisation.

$$V_{out} = f(IN + in + \delta_{in}, P + \delta_p) \quad (3-2)$$

avec IN et P, les composantes continues du signal d'entrée et de la polarisation,

in, la composante du signal d'entrée à la fréquence du signal,

et δ_{in} et δ_p sont les variations perturbantes à la fréquence f_{bruit}

Un développement en série de Taylor, comme le propose M. Xu [3-29] donne une décomposition du signal de sortie en une somme de termes à des points de fréquence distincts. Nous pouvons ainsi déterminer les bandes de fréquences dans lesquelles se situent les termes liés aux perturbations. Au premier ordre, les composantes de bruit se situent évidemment à la fréquence du bruit f_{bruit} . Une intermodulation entre le signal et le bruit peut avoir lieu en sortie du bloc sur la plage de fréquences $[|f_{signal} - f_{bruit}|, f_{signal} + f_{bruit}]$. D'autres intermodulations peuvent avoir lieu aux ordres 3, 4, ...

La variation δP conduite par les rails d'alimentation interagit avec la circuiterie à travers les capacités (capacités parasites) et peut être amplifiée. Elle est à l'origine du bruit de phase sur les oscillateurs ; cela se traduit temporellement par du « jitter ». Il s'agit en fait d'une variation aléatoire ΔT de la période idéale T_0 du signal :

$$\Delta\phi = 2\pi \frac{\Delta T}{T_0} \quad (3-3)$$

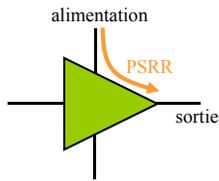
Les oscillateurs sont fréquemment intégrés au sein de boucles à verrouillage de phase (appelées PLL pour « phase locked loop ») de sorte que leur fréquence de sortie soit stabilisée, que leur bruit de phase et leur jitter soient réduits en les verrouillant sur une référence plus stable. La référence est usuellement une fréquence fixe, même s'il se peut que l'oscillateur change de fréquence pour s'adapter au canal. Le mélangeur qui intègre l'oscillateur local est très sensible aux variations de phase. On recherche donc à diminuer ces variations au niveau de l'oscillateur. Il est relativement difficile de prédire le bruit de phase qui module dynamiquement la fréquence d'oscillation, phénomène connu sous le nom de « pulling ». Le bruit de phase est un phénomène dû à la conversion des différentes sources de bruit dans les semi-conducteurs autour de la fréquence porteuse générant ainsi, entre autre, une modulation de phase. La conséquence est la variation

aléatoire de la fréquence du signal de sortie de l'OCT (« oscillateur contrôlé en tension ») et par conséquent de la PLL. Ainsi, une injection de bruit se retrouve sur l'ensemble de la chaîne de traitement du signal.

Supposons la puissance du signal perturbant comparable au niveau de puissance de la porteuse. Si la fréquence de ce signal perturbant (signal source ou signal résultant d'une interférence) est proche de la fréquence de résonance de l'OCT, l'oscillateur risque de se verrouiller à cette fréquence et non à la fréquence souhaitée.

Notons que les systèmes radio intègrent souvent sur la même puce plusieurs récepteurs pour des standards différents et donc plusieurs chemins de réceptions du signal conduisant chacun vers un OCT. Chaque chemin sélectionne un canal différent. N. Checka a montré l'impact d'interférences entre plusieurs oscillateurs [3-30] [3-31].

Lors de la conception, on cherche à limiter l'effet du bruit d'alimentation sur les blocs en évaluant le rapport de réjection d'alimentation ou PSRR pour « power supply rejection ratio ». Il correspond au rapport entre la variation de sortie et la variation de polarisation, exprimé par la relation (3- 4). Ce rapport est peu spécifié dans le cahier des charges. Si des techniques permettent de l'améliorer, aucun circuit analogique n'est complètement « immunisé » au bruit d'alimentation. C'est pourquoi il doit être attentivement regardé lors de la conception et de l'assemblage des blocs.



$$psrr_{dB}(f) = 20 \log\left(\frac{\Delta_{sortie}(f)}{\Delta_{polarisation}(f)}\right) \quad (3- 4)$$

figure 3- 2 : Illustration du PSRR

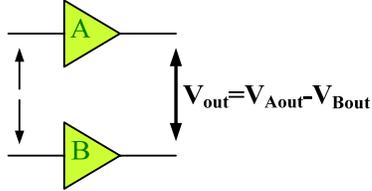
Tout bruit sur les lignes d'alimentation ou de masse d'un oscillateur affecte directement le bruit de phase. Or même si une paire d'alimentation (au sens du couple vdd/gnd) est dédiée au bloc sensible, le bruit des commutations des portes numériques se répand à travers le substrat et l'atteint. En effet, le bruit substrat peut traverser les contacts substrat et atteindre la polarisation du bloc, ils peuvent également impacter les transistors MOS. Cependant, nous pouvons considérer que l'effet de grille arrière est éliminé grâce à des techniques telles que le « triple-well ». Des travaux [3-32] [3-33] ont révélé que le bruit substrat atteint l'oscillateur à travers les contacts de masse, les nœuds du varactor et le pont capacitif entre l'inductance et le substrat.

Quel que soit le chemin emprunté, cette variation induit une modulation de la porteuse de la fréquence d'oscillation.

Afin d'éliminer l'effet de ces bruits, des architectures différentielles sont utilisées. Le paragraphe suivant explique leur intérêt et remarque également une faiblesse.

I.B. Robustesse et faiblesse des blocs différentiels

La nature du bloc différentiel constituée de deux branches symétriques supprime les harmoniques paires du signal, comme le montre la relation (3- 5). C. Soens a mis en évidence l’effet du bruit substrat généré par un bloc numérique de 40 000 portes sur un amplificateur différentiel à 5 GHz. L’amplificateur ne présente pas de dégradation de performance, ce qui s’explique par sa structure différentielle (et le fait surtout que la puissance des harmoniques du bruit substrat est négligeable dans la bande de l’amplificateur) [3-34].



$$\begin{aligned}
 V_{Aout} &= \alpha V_{in} + \beta V_{in}^2 + \gamma V_{in}^3 + \dots \\
 V_{Bout} &= -\alpha V_{in} + \beta V_{in}^2 - \gamma V_{in}^3 + \dots \\
 \hline
 V_{out} &= 2\alpha V_{in} + 2\gamma V_{in}^3 + \dots
 \end{aligned}
 \tag{3- 5}$$

figure 3- 3 : Branches A et B d’un bloc différentiel

Etudions l’influence d’une perturbation δ en entrée du bloc. Cette perturbation δ se divise en une composante de mode commun δ_{com} et une composante de mode différentiel δ_{diff} . Le signal de sortie d’un bloc différentiel dépend à la fois du signal d’entrée avec la perturbation et des conditions de polarisation.

$$\begin{aligned}
 V_{outdiff} &= f\left(V_{in} + \frac{v_{in}}{2} + \delta_{com} + \frac{\delta_{diff}}{2}, Vdd + \delta vdd\right) \\
 &\quad - f\left(V_{in} - \frac{v_{in}}{2} + \delta_{com} - \frac{\delta_{diff}}{2}, Vdd + \delta vdd\right)
 \end{aligned}
 \tag{3- 6}$$

Si le circuit différentiel est idéal, les deux branches sont identiques, la perturbation a alors la même influence sur chaque branche. Typiquement, l’emploi de deux varactors pour la tension de commande d’un OCT évoluant en sens opposé permet de diminuer la fluctuation de la fréquence de l’oscillateur causée par la variation de la capacité du circuit LC. Ainsi cette structure permet de diminuer le bruit de phase dû aux perturbations présentes sur l’alimentation et dans le substrat.

Néanmoins, si la perturbation considérée est une perturbation substrat, l’asymétrie du positionnement des composants par rapport à la localisation de la source de l’agresseur induit une variation non négligeable, même si l’appairage (dit « mismatch ») des composants est soigné. La perturbation peut être exprimée par la relation (3- 7).

$$\begin{aligned}
 \delta_{diff} &= A\varphi & \varphi &= \frac{2\pi l}{\lambda} \\
 & & \lambda_r &= \frac{c}{f\sqrt{\mu_r \epsilon}}
 \end{aligned}
 \tag{3- 7}$$

avec A, l’amplitude de la perturbation
 et l, la distance entre la source et la branche concernée

Le bruit d'un amplificateur de puissance à la sortie d'un circuit émetteur réalisé dans un procédé BiCMOS se propage par le substrat et dégrade les caractéristiques en bruit de phase de l'OCT fonctionnant à 900 MHz de 20 dB [3-35].

Notons qu'il est physiquement impossible de distinguer les causes du bruit de phase de celles du bruit d'amplitude. Nous choisissons tout de même cette représentation en traitant ces deux composantes comme étant orthogonales. Les modèles existants se basent sur cette approche et offrent des résultats proches de la réalité.

Typiquement à 1 GHz, si la source agressive substrat se situe à une distance l de 100 μm , la composante différentielle δ_{diff} , de l'ordre de $(7 \cdot 10^{-3} \cdot \text{amplitude})$, n'est pas négligeable.

Cette perturbation substrat se situe spectralement à une fréquence multiple de la fréquence d'horloge. Ce multiple ne doit pas appartenir à la bande de fréquences de fonctionnement du bloc, ou ne doit pas atteindre le bloc sensible.

La variation de polarisation δ_{vdd} , exprimée relation (3- 8) a également deux composantes.

$$\delta_{\text{vdd}} = v_{\text{rebound}} + v_{\text{retoursub}} \quad (3- 8)$$

Le bloc étant analogique la variation de tension générée par l'appel de courant est suffisamment faible pour la négliger. La variation d'alimentation perturbante est donc causée uniquement par la variation de courant parasite traversant l'impédance de retour entre le nœud substrat et le rail d'alimentation. Cette impédance peut être estimée en fonction de :

- la surface de Nplus du bloc connectée au vdd local du bloc : Z_{Nplus}
- la distance avec la source d'agression : Z_{Pminus}
- l'impédance de Nwell traversée
- de la surface de Nwell du bloc : Z_{capa}

Quelle que soit l'architecture, la variation de tension peut ainsi être évaluée.

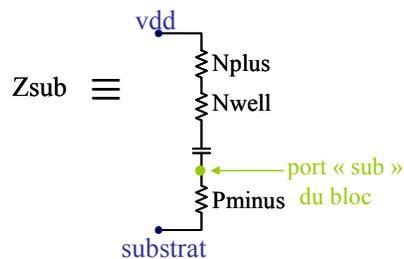


figure 3- 4 : Illustration du réseau d'impédances du retour vers vdd

Thierry Lagutère [3-36] souligne également l'intérêt d'utiliser une structure différentielle avec des transistors, ces derniers ne contribuant pratiquement plus en bruit lorsqu'ils sont bloqués. Or les transistors dans une telle structure réagissent en phase, leurs fronts sont plus raides (nous avons vu au chapitre 2 que plus le front était raide,

moins l'injection dans le substrat était importante), ils sont donc en mode de conduction moins longtemps. La commutation de la sortie d'un inverseur commande le PMOS de l'inverseur complémentaire. La table 3- 1 illustre une comparaison entre une structure simple et une structure différentielle équivalente.

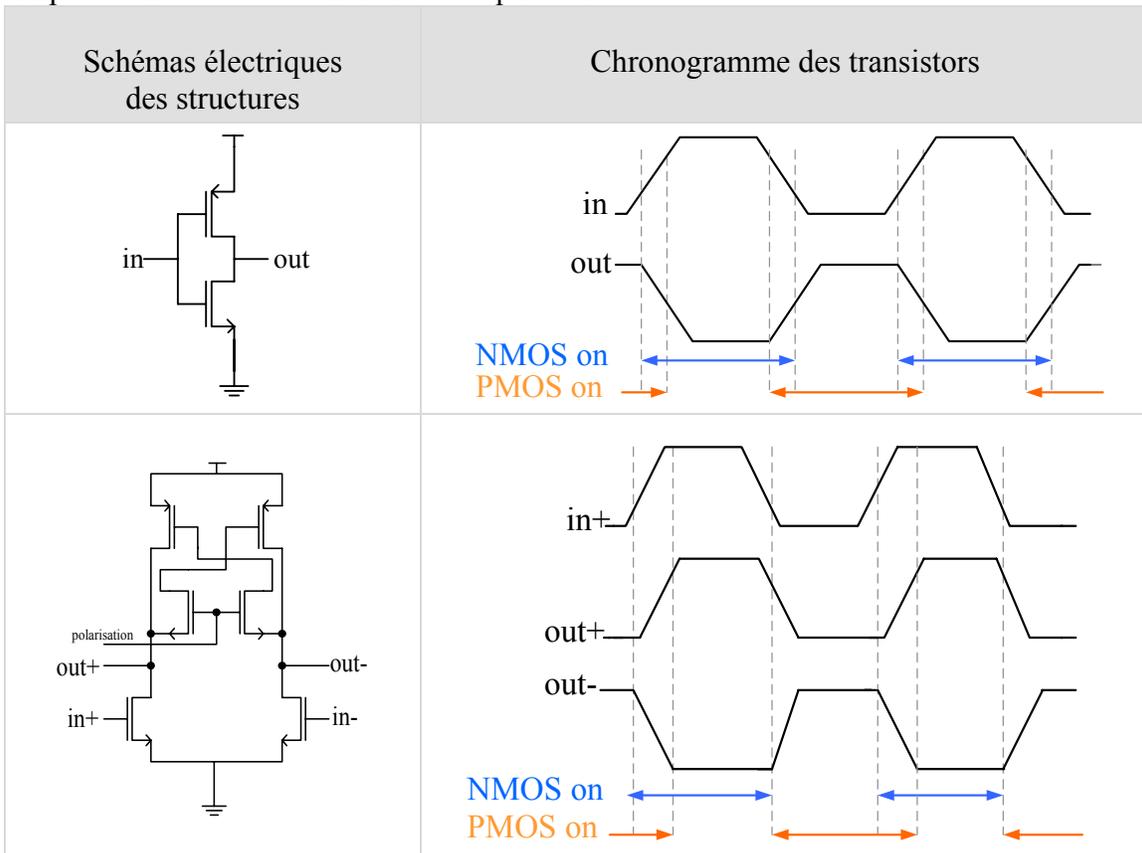


table 3- 1 : Comparaison des chronogrammes des transistors dans des structures classiques

I.C. La géométrie des blocs : un critère de susceptibilité face à l'effet induit

Une grande surface favorise évidemment la susceptibilité à un couplage induit : un nombre plus important de lignes de champs électriques traversent le bloc. Sur un circuit de test, un signal est injecté dans le substrat, on retrouve ce signal sur le spectre en puissance à l'entrée d'un LNA non polarisé : nous observons alors l'effet du couplage capacitif conduit entre l'amplificateur et le substrat. Les interactions magnétiques sont également favorisées, la mutuelle étant proportionnelle aux surfaces des blocs interagissant.

La mutuelle entre deux blocs peut être estimée à partir de leurs dimensions et de la distance les séparant (voir chapitre 1, paragraphe II.B.2). On peut en déduire les raies parasites qui peuvent être générées par une variation de courant sur une boucle dans, par exemple, l'inductance d'un bloc RF.

L'orientation des blocs selon la forme de leur surface, ou le couplage entre un bloc et un conducteur dépend de l'angle entre les deux éléments couplés. Le courant se répartit dans le sens de la longueur d'un conducteur. Cela signifie qu'en plaçant un conducteur perpendiculairement à une boucle dans laquelle circulerait un signal ; le courant induit est très faible voir nul, comparé à celui qui serait induit si le conducteur était placé parallèlement [3-37].



figure 3- 5 : Interaction maximale, fort courant induit

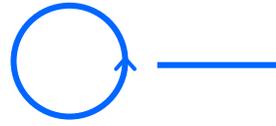
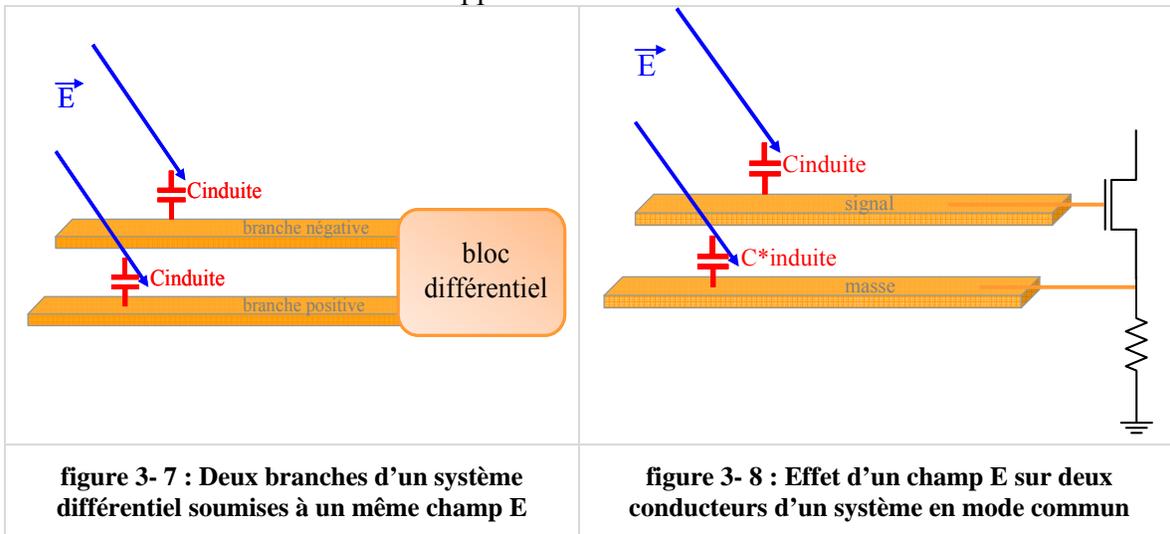


figure 3- 6 : Courant induit minimal voire nul

L'architecture est un critère à considérer, l'impact d'un champ n'a pas le même effet sur les surfaces d'un bloc. Explicitons à l'aide d'exemples. Supposons qu'un champ E atteigne deux conducteurs de même surface et de même charge, de même niveau de métal (donc de même hauteur), alors les courants induits capacitivement dans les deux branches sont identiques (les permittivités traversées sont les mêmes). Par contre supposons qu'un champ E impacte deux conducteurs identiques connectés l'un à la grille d'un transistor, et l'autre à la source de ce même transistor, comme le représente la figure 3- 8. La structure n'est plus différentielle comme à la figure 3- 7. Dans une branche circule un signal, l'autre représente la masse. Alors autant de courant est induit dans les deux conducteurs si et uniquement si la masse est dite « flottante », c'est-à-dire non connectée à la référence de l'application.



Nous venons de mettre en évidence le rôle du blindage. Le blindage correspond à un écran connecté ou flottant. Connecté comme dans le cas de la figure 3- 9, il évite la formation d'une différence de potentiel entre deux points. Si les tensions u et u^* n'ont pas besoin d'être identiques, comme dans le cas de la figure 3- 10, alors la connexion du blindage est inutile.

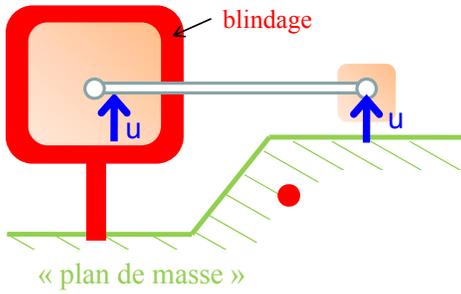


figure 3- 9 : Même différence de potentiel

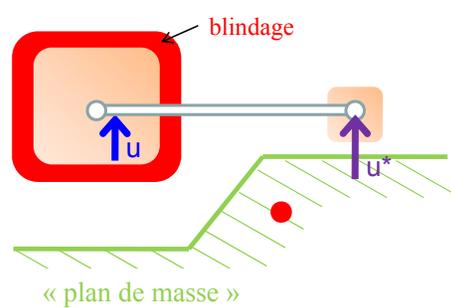


figure 3- 10 : Référence externe :
connexion inutile du blindage

La figure 3- 11 propose un ensemble de techniques à implémenter pour que le signal allant d'un bloc A à un bloc B ne soit pas perturbé par un champ électrique. Dans cette configuration les capacités induites sont toutes identiques. Le blindage permet d'homogénéiser la réception du champ sur l'ensemble des éléments autour desquels il est placé (pour tout le bloc B).

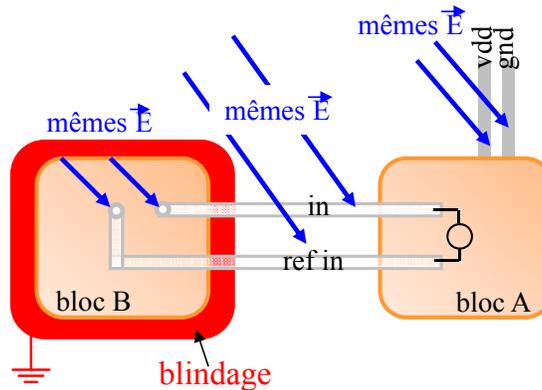


figure 3- 11 : Illustration des techniques d' « immunité » au champ **E**

Bilan I :

Les systèmes analogiques sont extrêmement sensibles. Une architecture différentielle est préférable parce qu'elle permet d'annuler les contributions perturbantes des champs électromagnétiques reçues symétriquement sur chaque branche. Une attention particulière doit être portée quant au déphasage introduit par la distance entre les deux branches, notamment si un signal parasite est conduit à travers le substrat. Plus les dimensions du bloc sont grandes, plus il est sensible à une interaction. Un blindage approprié permet d'atténuer les effets des champs.

II. Début de méthodologie de base

Modéliser des topologies entières de circuit qui ne seraient pas réalisées de manière optimum en terme de compatibilité électromagnétique, et donc de cohabitation au sein de l'ensemble du circuit, ne contribuerait pas à améliorer l'analyse des couplages. Nous proposons dans ce paragraphe d'expliquer comment appliquer certaines méthodes.

Sollicités par des appels de courants, les rails d'alimentation jouent un rôle aussi bien dans la propagation conduite que dans le couplage électromagnétique. Bien qu'on utilise des distributions de rails d'alimentation en étoile, ce qui crée des ponts diviseurs et diminue l'amplitude de ces variations, la connexion des alimentations est délicate. Nous allons donc voir comment séparer les domaines d'alimentation des blocs, avant d'envisager leur emplacement sur l'ensemble du circuit, et ce de manière optimisée.

II.A. Séparation des domaines d'alimentation

L'idée consiste à séparer les alimentations des différents blocs. En effet, en différenciant les rails analogiques des rails numériques, les rebonds de courants dynamiques liés à la commutation de portes sur les alimentations numériques ne parviennent pas jusqu'aux blocs analogiques. De même, on peut s'interroger sur l'intérêt d'utiliser plusieurs paires d'alimentation à l'intérieur d'un bloc. La difficulté réside tout de même dans le fait qu'au niveau de l'application dans laquelle la puce va être utilisée, il n'existe qu'une seule alimentation.

II.A.1. Gestion des polarisations : de l'alimentation du circuit imprimé à la polarisation de chaque composant

Le courant à travers des lignes d'alimentation ne circule pas uniquement dans le cœur du circuit, mais également à travers des éléments extérieurs à la puce tels que le PCB (« Printed Circuit Board », correspondant à la carte sur laquelle la puce est intégrée), le découplage extérieur, et les alimentations externes. Il est donc important de prendre ces éléments également en compte, puisqu'ils créent des impédances communes et des boucles de courant de dimensions non négligeables. Une stratégie locale est facile à appliquer, et peut être totalement remise en cause si la stratégie globale appliquée ne va pas dans le même sens. Une illustration des différents éléments est donnée figure 3- 12.

Afin de mieux distinguer les différents domaines d'alimentation, un régulateur de tension peut être dédié pour chacun d'eux. Tous les rails d'alimentation doivent être routés en étoile, du PCB aux différents régulateurs, mais également à la sortie des régulateurs.

Si la face arrière de la puce (appelée « diepad ») est connectée à une masse, choisir une masse peu chahutée (c'est-à-dire sans perturbation d'amplitude de la tension délivrée non

négligeable) permet de ne pas répartir de fortes perturbations sur tout le substrat de la puce.

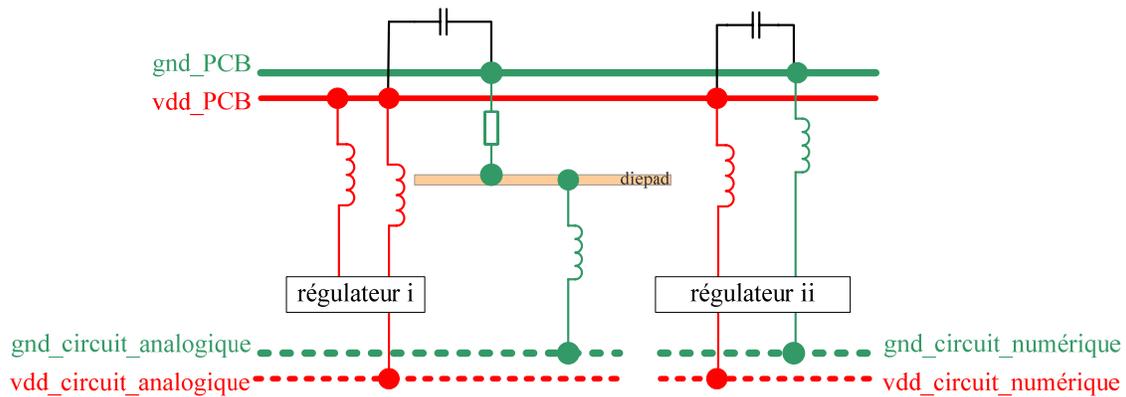


figure 3- 12 : Polarisation partagée depuis le PCB

La suppression totale des interférences au niveau du PCB s'avère impossible à moins d'utiliser des matériaux ayant une structure à Bande Interdite Electromagnétique BIE, ou en anglais EBG pour Electromagnetic Band Gap, qui présentent des propriétés de filtrage fréquentiel et spatial. L'évolution fréquentielle des coefficients de réflexion et transmission à travers ce type de matériaux permet de filtrer certaines bandes de fréquence. Une succession de bandes passantes et interdites apparaît. L'introduction d'un défaut dans le matériau BIE génère une bande passante étroite au sein de la bande interdite (analogie avec les pièges d'énergie dans les cristaux) centrée autour de la fréquence souhaitée. La propriété de filtrage spatial se traduit par le fait que l'énergie électromagnétique ne se propage dans le matériau que dans des directions privilégiées : le chemin de retour du courant n'est pas le même que pour une couche de matériau solide. Il ne suit pas le chemin de moindre inductance afin de minimiser la surface de la boucle de courant (voir paragraphe II.B.1 du chapitre 1).

Evidemment une attention particulière doit être portée afin d'éviter la réflexion de certains signaux. J. Choi [3-38] propose un empilement de matériaux différents AI-EBG (« Alternating Impedance EBG ») pour éviter les problèmes liés à l'intégrité des signaux. Des performances prometteuses ont été caractérisées sur un PCB dont la couche dédiée à la masse est élaborée avec une telle structure : -100 dB d'isolation entre un LNA et un FPGA sur une large bande de fréquence. Ce matériau semble très prometteur, mais nécessite encore des recherches pour pouvoir être plus facilement créé et utilisé.

A partir d'une seule paire d'alimentation (vdd_PCB/gnd_PCB), il est possible de créer plusieurs domaines d'alimentation, tels que ($vdd_circuit\ analogique/gnd_circuit\ analogique$), ($vdd_circuit\ numérique/gnd_circuit\ numérique$). Il n'est pas évident de bien séparer ces domaines, nous détaillons une méthode au paragraphe II.A.2.

II.A.2. Le principe appliqué à une interface de mise à niveau des polarisations

Les blocs interagissent selon différents liens ; les perturbations peuvent être conduites d'un bloc à l'autre par le substrat et les rails communs d'alimentation. La question soulevée ici est celle de l'isolation des rails de polarisation entre les différents blocs. Une solution consiste à intégrer une « barrière » filtrante avec un niveau d'impédance élevé entre les deux parties que nous souhaitons isoler. Nous appliquons le principe de l'interface de mise à niveau des polarisations, plus communément appelée LS pour « level shifter ».

Lorsque le signal arrivant sur une grille est inférieur au niveau de polarisation de la porte, la commutation n'a pas forcément lieu. La figure 3- 13 est un exemple pour lequel la commutation a lieu puisque $0,8 \text{ V} > 0,3 \text{ V}$. Le LS, représenté schématiquement figure 3- 14, permet d'adapter les niveaux différents de polarisation entre deux entités A et B.

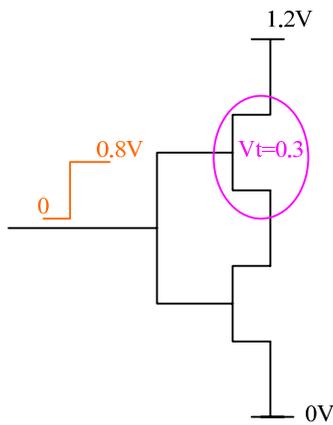


figure 3- 13 : Différents niveaux de signaux

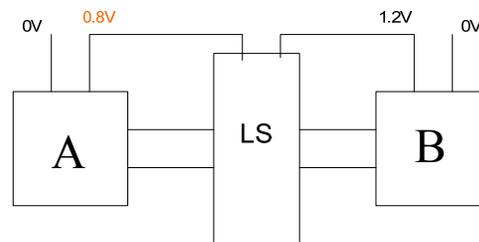


figure 3- 14 : Le level shifter : une interface

Les perturbations conduites sur les rails d'alimentation et injectées par les blocs numériques peuvent être filtrées selon ce principe. Des filtres RC [3-39] peuvent être intégrés sur les alimentations des parties analogique et numérique. L'idée est représentée figure 3- 15. Les résistances apportent une isolation, et les capacités fournissent le courant aux inverseurs qui permettent la mise à niveau de la tension de polarisation.

Les valeurs du filtre RC dépendent de deux paramètres :

- 1) la dimension des capacités est déterminée à partir du nombre portes de mise à niveau de la tension de polarisation afin d'avoir un minimum de variation sur le rail d'alimentation (vdd_filtré).
- 2) les résistances sont calculées de sorte que les capacités puissent se recharger selon la condition : $RC < 1/f$

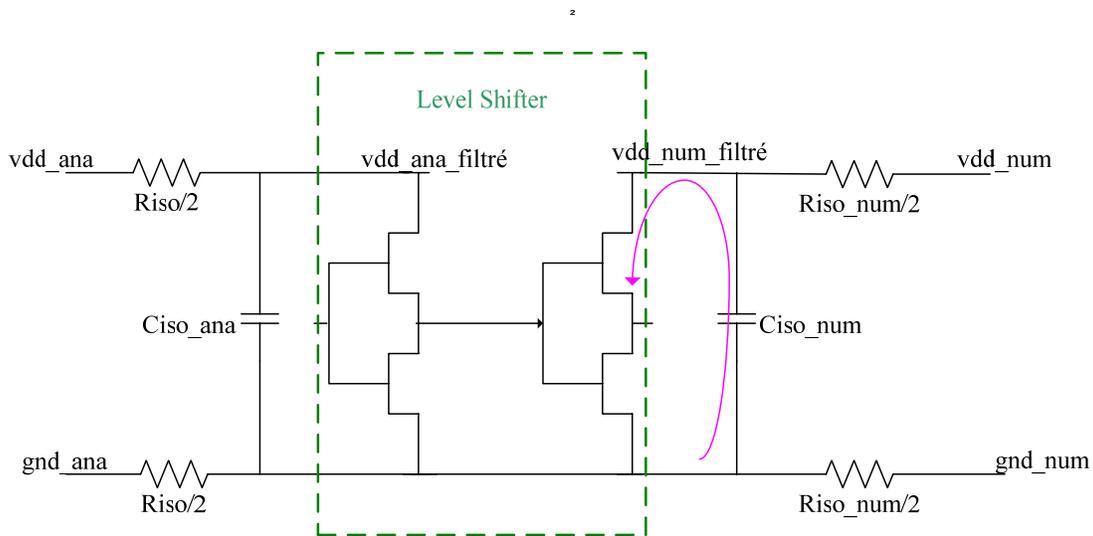


figure 3- 15 : Séparation des domaines d'alimentation

Si nous pouvons utiliser un système de filtrage au niveau des interconnexions métalliques du circuit, séparer les domaines d'alimentation au niveau du substrat s'avère délicat.

II.A.3. La question du substrat : polarisation séparée des contacts

Le principe appliqué, quant à la stratégie d'alimentation, a un fort impact sur la quantité de signaux parasites transmis par couplage substrat. Nous rappelons les différentes techniques d'isolation que nous pouvons utiliser au niveau du substrat :

- Le DNW fournit une isolation 3D dans le substrat, en introduisant une capacité proportionnelle à ses dimensions. Cette technique est très efficace, surtout en basse fréquence si la surface de DNW est petite.
- Un anneau de prises de type P laissé flottant autour des récepteurs homogénéise le potentiel substrat tout autour du bloc. Laisser l'anneau flottant évite de créer une boucle autour du bloc qui pourrait avoir un effet néfaste.
- Le masque bloquant de Pwell (PW) peut être ajouté pour augmenter l'isolation conduite à travers le substrat (augmentation locale de l'impédance du substrat). Pour avoir un effet, la largeur de cette couche doit être suffisamment grande (mais en prenant garde de ne pas créer de transistor)
- Les anneaux de garde de Pplus et Nplus doivent être ouverts pour éviter un couplage inductif.

Polariser ces couches d'isolation peut avoir un intérêt. La connexion à une alimentation distincte de celle du bloc qu'elle isole n'est pas toujours avantageuse au sens électromagnétique.

Un anneau de prises de type P connecté à une masse dédiée permet de capter et de diriger des courants parasites vers cette masse. Connecté en plusieurs points autour d'un

bloc numérique, un tel anneau évite qu'une grande boucle se forme, dans laquelle circulerait un courant parasite. Autour d'un bloc sensible, il est préférable de ne pas le connecter afin justement de ne pas créer une boucle qui serait trop proche du bloc.

Notons qu'une attention particulière doit être portée si un bloc est entouré d'un anneau de type P et se trouve intégré dans un caisson de type N afin de ne pas créer de thyristor parasite (phénomène connu sous le nom de « latch-up »).

Le triple-well d'un bloc, connecté à une alimentation distincte, apporte un blindage du bloc dans sa globalité : les prises substrat de type N et les sources des PMOS ne sont pas polarisés à la même alimentation. La manière dont la polarisation du DNW est conduite joue un rôle non négligeable dans la conduction des parasites. L'importance de la distribution de la connexion est mise en évidence avec les figure 3- 16 et figure 3- 17. Si la connexion du DNW se fait en un seul point, le réseau de résistances distribuées ainsi que la résistance du rail conduisant la polarisation doivent être prises en compte. Un réseau de connexion en PI, incluant des contacts au plus proche de la victime (voire à l'intérieur même de la topologie du bloc victime) évite d'ajouter une résistance en série, comme à la figure 3- 16.

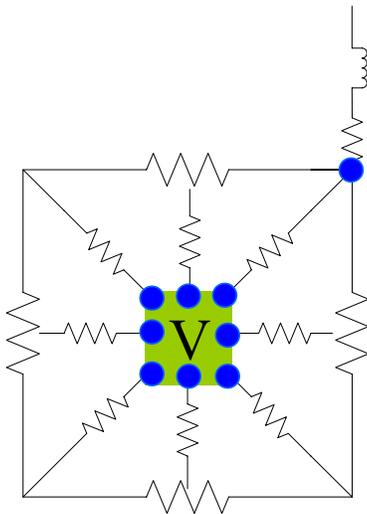


figure 3- 16 : Une connexion à l'alimentation via un réseau de résistances distribuées

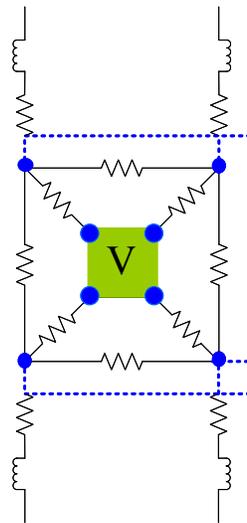


figure 3- 17 : Plusieurs connexions distribuées via un réseau de résistances en PI

Entre les blocs analogiques et les blocs numériques, une masse dédiée au blindage peut être connectée. L'objectif est alors de rendre les surfaces séparant ces blocs les plus « propres » possible. Autrement dit, qu'aucun parasite ne traverse cette surface. Afin que cette masse soit la plus pure possible, elle doit absolument être séparée des autres masses par une distribution en étoile depuis la masse du PCB. Elle peut être connectée sur une couche de masque bloquant de Pwell.

La figure 3- 18 illustre la stratégie utilisée concernant la réalisation de deux boucles à verrouillage de phase.

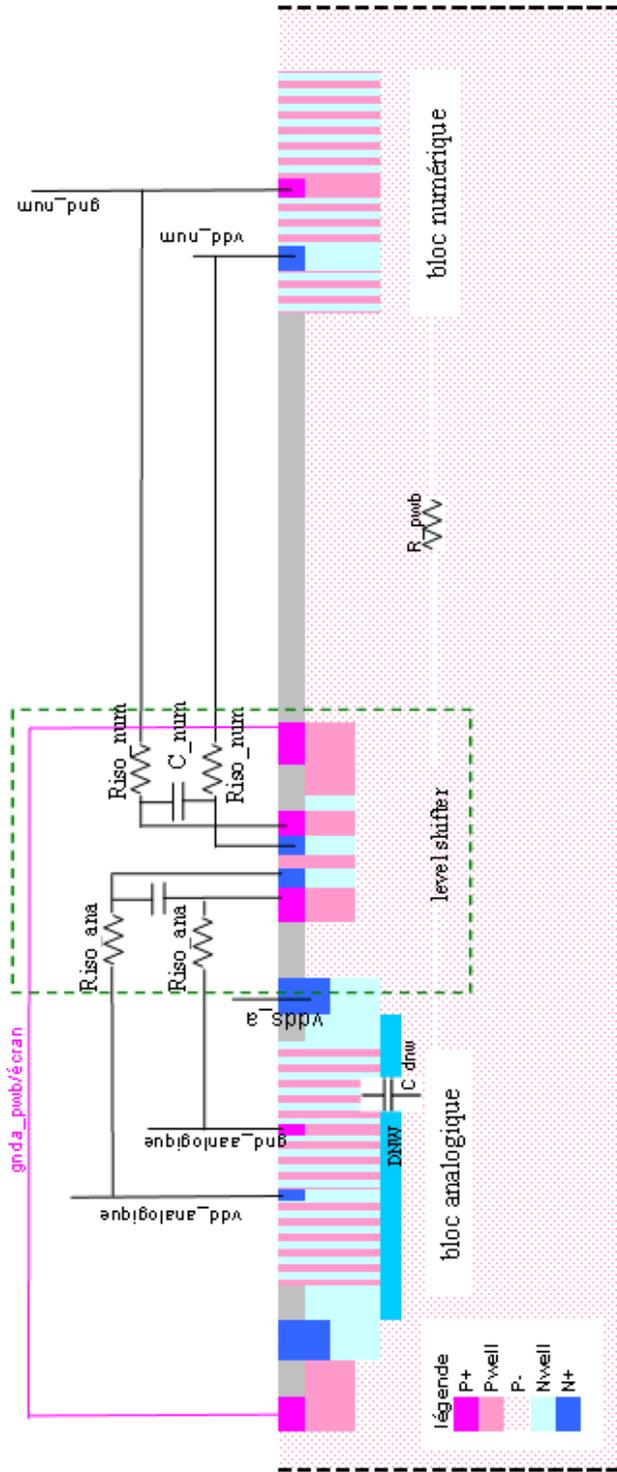


figure 3- 18 : Coupe de la stratégie implémentée

Nous pouvons également nous interroger sur la connexion du quatrième accès (substrat) du transistor. Le caisson-substrat de chaque composant MOS doit être connecté

à un potentiel adapté pour que la commutation se fasse à la vitesse souhaitée. A priori, pour un bon fonctionnement, il est important que ce bulk soit connecté à l'alimentation de la source du NMOS ou du drain du PMOS (comme entouré sur la figure 3- 19). Cependant ce domaine d'alimentation, couple vdd-gnd, est victime des appels de courant des portes. Nous avons constaté au chapitre 2, que séparer la connexion du caisson d'alimentation positive du caisson des PMOS (vdds) permet de réduire l'injection de courants perturbants dans le substrat. Ce schéma de connexion est à adopter concernant les blocs agresseurs, voir figure 3- 19. Par contre pour des blocs analogiques, il est très important que l'impédance entre le caisson du transistor et la source soit extrêmement faible. Pour ces raisons, nous ne recommandons pas de séparer la connexion du caisson (figure 3- 20).

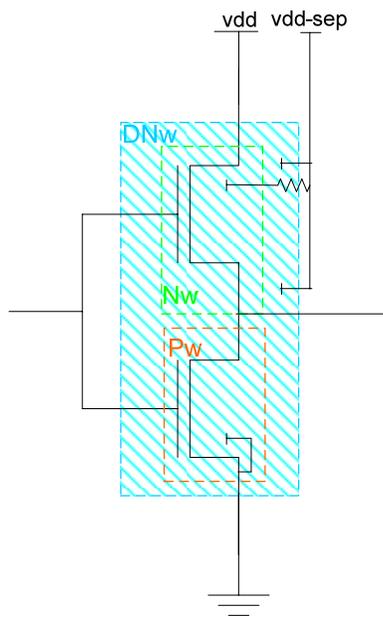


figure 3- 19 : Schéma de connexion proposé pour une porte d'un bloc agresseur

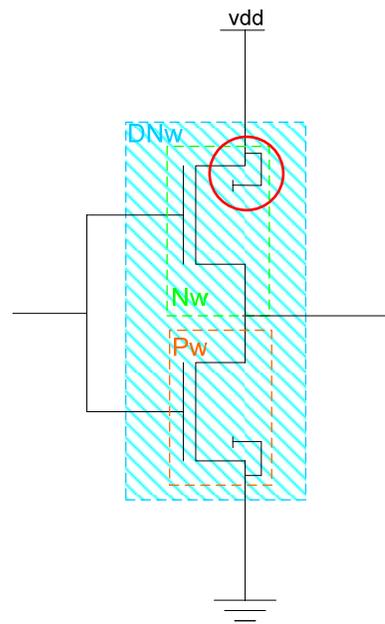


figure 3- 20 : Schéma de connexion proposé pour une porte d'un bloc sensible

Nous venons d'aborder le sujet de la séparation des alimentations. Nous abordons par la suite des points permettant de placer le plus justement possible les blocs sur la puce.

II.B. Cartographie fréquentielle d'un circuit

La plus grande partie de la puissance d'un signal perturbant se situe à la fréquence fondamentale et aux premières harmoniques.

Si la fréquence des signaux RF est prédéfinie par des standards, ce n'est pas le cas des fréquences d'horloge. Réaliser un plan en fréquence aide à minimiser voire supprimer les couplages gênants dès les premières étapes de conception en évitant que des raies parasites (raies de conversion et d'intermodulation) se situent dans la bande de fréquence de l'application concernée. L'amplitude des raies du signal et des harmoniques peut aussi être considérée dans le cadre d'une approche précise.

$$f_{raie} = \pm m \times f_i \pm n \times f_{i+1} \quad (3-9)$$

Cette étude fréquentielle apporte deux réponses.

La première est de définir finement les fréquences de fonctionnement non fixées de certains blocs. Il est pertinent de choisir une fréquence ne pouvant pas perturber le fonctionnement d'un autre bloc. C'est-à-dire soit une fréquence très éloignée, soit une fréquence dont la modulation avec un signal ne serait pas perturbante.

La seconde est l'emplacement des blocs les uns par rapport aux autres. Plusieurs façons de positionner les blocs doivent être envisagées afin de retenir la meilleure en terme de « cohabitation » des blocs. En effet sur le floor-plan (cartographie de l'ensemble du circuit), les blocs ayant des bandes de fréquence et des harmoniques proches peuvent être placés de manière à ce que les chemins d'interactions des signaux ne soient pas favorisés.

A priori, il s'avère évident qu'éloigner les blocs pouvant interagir est une solution. Les concepteurs auront tendance à éloigner des blocs pouvant interagir entre eux. Cependant, les couplages magnétiques viennent contrecarrer cette hypothèse. Il est possible de les évaluer afin de les prendre en compte lors de l'élaboration du plan de fréquence, comme l'avons précisé au paragraphe II.B.2 du chapitre 1. En effet, les boucles de circulation de certains courants parasites peuvent être évidentes. On peut alors, comme l'illustre la figure 3- 21 déduire la tension parasite induite dans d'autres blocs présentant des boucles désirées ou non.

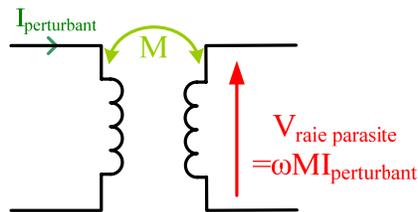


figure 3- 21 : Illustration d'une tension parasite induite à travers une mutuelle

II.C. Optimisation de l'implémentation physique des blocs constitutifs d'un circuit et du routage

Le choix du placement des blocs entraînent de multiples conséquences qui peuvent favoriser les interactions. Des boucles de signal sont créées, ce sont des antennes qui émettent ou (selon le type de signal qu'elles transportent) réceptionnent un champ magnétique. Des impédances communes se forment également. Typiquement au niveau des alimentations : des domaines d'alimentations sont communs et viennent des mêmes plots de la puce.

Nous allons analyser quelques méthodes qui permettent de limiter ces couplages.

II.C.1. Limiter les boucles magnétiques

L'équation de Maxwell $\text{div}(\mathbf{B})=0$, montre qu'il n'est pas possible de « récupérer » les charges magnétiques. La seule manière de compenser les effets d'une telle distribution est de créer un flux qui s'oppose au premier. Les inductances en huit et les câbles coaxiaux sont de parfaits exemples.

Les dimensions des boucles doivent absolument être réduites, que ce soient des boucles d'aller et retour d'un signal, ou des boucles d'alimentation (paire vdd/gnd). Afin de restreindre la surface des boucles de polarisation, les entrées-sorties (« IO ») de polarisation d'un même domaine d'alimentation sont placées côte à côte. La distance à parcourir peut être relativement importante. Il est alors intéressant de torsader la boucle. Typiquement la polarisation d'un bloc peut être conduite comme le représente la figure 3- 22.

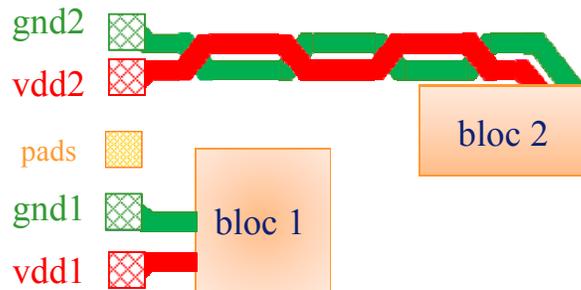


figure 3- 22 : Exemple de routage pour conduire les polarisations vers des blocs

Pour diminuer ces boucles dans lesquelles l'alimentation est conduite, les cellules de découplages sont intégrées au cœur même des blocs. Le paragraphe II.C.2 traite plus précisément de cette idée.

Il n'est pas toujours possible de reformer les boucles pour que leur contribution au champ magnétique se compense, les ouvrir en insérant une impédance contrôlée est un moyen de diminuer le champ émis par l'antenne.

La table 3- 2 ci-dessous illustre ces techniques.

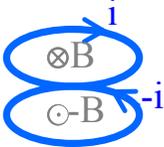
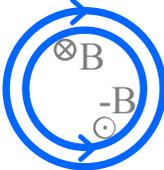
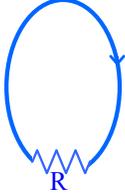
			
a- boucle simple	b-boucles torsadées exemple : l'inductance en huit	c-boucles enchevêtrées	d- résistance de contrôle insérée dans la boucle

table 3- 2 : Récapitulatif des techniques pour diminuer ou compenser les effets d'une boucle magnétique

II.C.2. Intégrer un découplage suffisant non pénalisant

Le découplage intégré sur la puce fournit localement la quantité de charges nécessaire. Les capacités sont des réservoirs de charges pour les commutations rapides et sont rechargées par des alimentations externes. Ainsi, avec un découplage suffisant, les variations sur l'alimentation générale du circuit sont linéarisées. Ces capacités peuvent malheureusement engendrer avec l'inductance équivalente des rails et des fils de connexion du boîtier une variation de la fréquence d'oscillation du circuit [3-40].

Les capacités de découplage sont souvent conçues à partir de transistors qui ne commutent pas (la grille est connectée à la source). Plus la surface de capacités de découplage est importante, plus de bruit est injecté dans le substrat. Une technique consiste à isoler les capacités de découplage en les plaçant par exemple dans un caisson de N (« triple-well ») connecté à une alimentation séparée. Ainsi les rebonds de courant ne sont pas injectés dans le substrat.

Au niveau magnétique, les capacités de découplage créent évidemment des boucles de courant. Positionner les cellules de sorte que ces boucles se compensent devrait limiter leurs interactions. Des colonnes de cellules de découplages peuvent être placés par exemple de chaque côté d'un bloc tel que le propose la figure 2-32 du chapitre 2, de sorte que les courants circulent dans des sens opposés.

Bilan II :

Nous venons de présenter des méthodes de conception permettant de prendre en compte les interactions électromagnétiques lors de la conception des circuits, notamment lors du placement de blocs entre eux. Ces techniques ont été implémentées dans la réalisation de circuits tels que des boucles à verrouillage de phase numérique et analogique, ainsi que dans un récepteur de télévision. Notre optique reste tout de même d'anticiper les interactions électromagnétiques perturbant le fonctionnement de l'application. Nous souhaitons donc pouvoir simuler ces couplages.

III. Simulation au niveau global du circuit

Les circuits RF sont conçus à partir de représentations électriques qui ne prennent en compte ni les données topologiques, ni les données d'architecture.

Des simulations du circuit mixte complet sont nécessaires pour vérifier plusieurs critères afin d'assurer une certaine qualité de conception et d'intégration. Les simulations électriques au niveau global sont utilisées pour valider :

- le courant d'alimentation et la polarisation. Les questions peuvent être ainsi formulées : quel est le courant continu total dans un mode de fonctionnement donné ? La polarisation entre les principaux blocs est-elle correcte ?
- la vérification des connexions haut-niveau des circuits mixtes afin de contrôler la fiabilité du fil d'interface entre le bus de contrôle et les parties, de vérifier la connexion entre les signaux mixtes ainsi que le bon fonctionnement de la machine à état.
- la vérification des connexions haut-niveau (au niveau global du système) des signaux analogiques pour s'assurer du fonctionnement correct de la boucle à verrouillage de phase.
- le système complet. Cela induit de prévoir des plans en fréquence, de considérer la distribution du bruit, et de concevoir des filtres. Ces points ont été traités dans le paragraphe II, mais valider l'ensemble à l'aide de simulation est envisagé.

Ces vérifications sur l'ensemble du circuit ne sont actuellement pas toutes possibles. Des problèmes de convergence temporelle des outils empêchent de simuler toutes les interactions entre les blocs (fonctionnant à des fréquences très diverses, de la dizaine de MHz à 20 GHz). Aucune analyse ne propose de simuler les bruits « électromagnétiques ». Quelques compagnies essaient de développer des outils permettant de valider lors de simulations de circuits haut-niveau la qualité de fonctionnement en anticipant certains couplages. Mais les outils ne sont pas encore suffisamment matures pour apporter les réponses souhaitées aux concepteurs. De multiples critères sont à considérer pour qu'une simulation de l'ensemble du système, c'est-à-dire une co-simulation soit envisagée afin d'évaluer la cohabitation de chaque bloc. Nous allons discuter les diverses approches existantes avant de présenter des modèles simulant certaines interactions conduites au niveau haut.

III.A. Outils de simulation circuits

Le circuit peut être modélisé à partir d'une discrétisation de sa topologie : un modèle est créé en représentant électriquement les différents éléments composant chaque cellule. La quantité de nœuds est alors extrêmement importante ; une réduction du nombre de nœuds s'impose évidemment. La question du maillage est alors soulevée : à partir de quels critères fixe-t-on le nombre de nœuds modélisant un élément ? L'échelle

ne doit-elle pas s'adapter afin de simuler l'effet de l'activité numérique d'une puce sur ses blocs radiofréquence sensibles. Nous détaillerons plus précisément ce point au paragraphe III.A.2., nous introduisons d'abord la notion de modèles.

III.A.1. Création de modèles et macro-modèles

Afin de ne pas modéliser tous les éléments constituant des cellules élémentaires, certains outils proposent d'élaborer des bibliothèques d'éléments composant un circuit, appelées « design kit ». En effet cela permet un gain de temps dans le sens où il n'est pas nécessaire de réaliser une discrétisation de tous les segments-matériaux pour chaque simulation. Ces éléments sont alors considérés comme des entités indépendantes. Des exemples types sont des composants tels que des inductances, des capacités constituées de métaux uniquement, ou alors des transformateurs ou des connexions particulières... Il est évident que mis, bout à bout, ces modèles ne tiennent pas compte des interactions qui pourraient avoir lieu dans leur environnement.

L'activité de commutation des blocs numériques peut être représentée par son profil temporel ou fréquentiel de bruit : il s'agit du concept de signature en bruit. Le modèle discrétisé détaillé au chapitre 2 permet d'obtenir la signature substrat en courant d'un bloc numérique. Il est possible d'obtenir de même celle sur les alimentations. Les approches diffèrent légèrement : certains logiciels parlent de signature en courant [3-41], d'autres de signature en puissance [3-41]. Quoiqu'il en soit, il s'agit de « capturer » le comportement global du système dans un état de fonctionnement donné : les différents modèles de chaque cellule unitaire sont assemblés pour construire le macro-modèle d'un bloc. Plusieurs scénarios sont statistiquement envisagés en fonction du nombre de portes du bloc considéré. Plusieurs états du macro-modèle ainsi formé sont disponibles : dans le pire cas, toutes les portes commutent, dans le meilleur cas une activité plus réaliste est envisagée à l'aide d'un critère probabiliste.

Afin de déterminer le bruit d'un système, les macro-modèles d'injection sont reliés à des modèles d'entités passives, de réseaux d'alimentation, de réseaux de lignes et du réseau substrat.

III.A.2. Disparité d'échelles et maillage

Le maillage ou partitionnement correspond à un découpage pertinent des structures. Un maillage idéal n'existe pas. Un compromis entre la précision recherchée, et le temps de calcul (espace mémoire) doit être établi. Le facteur limitant des outils est le temps de résolution des matrices et donc la durée des simulations.

Plusieurs manières de sectionner le circuit sont envisageables :

- une division géométrique du circuit peut se faire automatiquement. L'utilisateur définit des sections et les emplacements des ports. Le logiciel connecte les listes de nœuds obtenues entre elles.

- une division fonctionnelle du circuit sous-entend une expertise et donc la connaissance du circuit. Elle présente certains avantages : les paramètres de simulation peuvent être différents pour chaque section (maillage plus fin). La division est alors adaptée à l'entité à segmenter. Ce principe semble plus approprié. Certaines publications détaillent la manière dont le maillage est envisagé.

Le maillage d'un bloc numérique selon M. Nagata [3-43] propose un découpage en couches horizontales du circuit. Une matrice décrit chaque couche en terme d'impédance, reliant ainsi les courants et tensions des nœuds d'entrée aux courants et tensions sur les nœuds de sortie. Par exemple la grille de masse d'un bloc numérique disposée sur un seul niveau de métallisation est décrite par une matrice de dimension n dépendant du nombre de connexions existant avec le bloc dont chaque terme correspond à l'impédance entre les deux nœuds. L'avantage d'un tel découpage est que nous pouvons simplifier les matrices décrivant chaque couche. En effet pour une couche décrivant un niveau de métallisation horizontal, le potentiel est fixe.

Concernant le substrat silicium, il peut être découpé en mailles unitaires et représenté par un réseau de résistances distribuées tant que les fréquences regardées sont inférieures à la fréquence de coupure du matériau lui-même, tel que nous l'avons précisé au chapitre 1, 7 GHz. Selon [3-44], le substrat ne peut être considéré comme un nœud unique, mais doit être vu comme un maillage résistif, c'est-à-dire une distribution de résistances. A. Koukab propose quant à lui un concept de modélisation du substrat différent [3-45]. On observe sur le dessin d'une puce que les contacts avec les lignes d'alimentation et de masse sont reliés par des lignes métalliques. Ainsi, tous les chemins de couplage sont court-circuités. On peut donc considérer les différents contacts de masse ou de tension d'alimentation de chaque bloc comme un contact unique, du moins en ce qui concerne l'étude du couplage entre les blocs.

Une fois la topologie divisée en sous partitions, chaque partition est analysée séparément. Ces analyses sont ensuite assemblées à l'aide des lois de Kirchoff pour évaluer les performances au niveau global. Une méthode est présentée à la figure 3- 23.

Diviser la topologie d'un circuit en différentes sections implique donc que les couplages existants entre ces ports ne soient pas pris en compte. Seules les interactions entre les ports d'une section sont modélisées. Il s'agit d'adapter la taille du maillage aux dimensions en jeu dans le couplage. Certaines approches proposent de mailler plus finement les blocs victimes que les blocs agresseurs, d'autres utiliseraient un partitionnement adapté aux dimensions en jeu dans le couplage, tel que l'illustre la figure 3- 24.

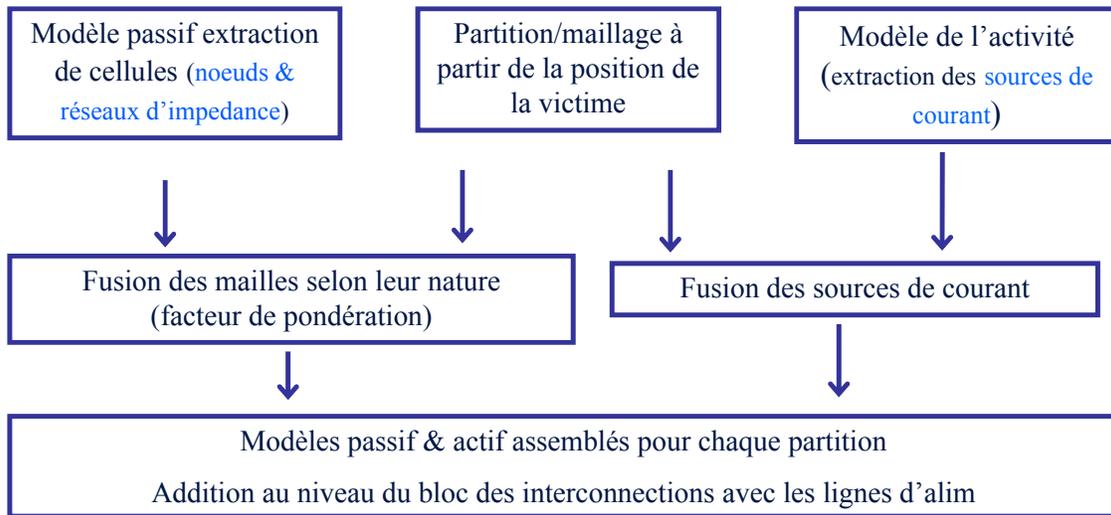


figure 3- 23 : Méthode de réduction d'outils en développement

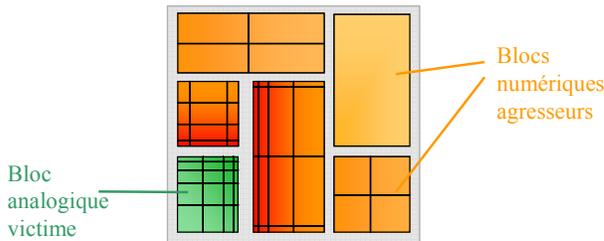


figure 3- 24 : Maillage adapté aux dimensions en jeu dans le couplage

III.A.3 Vers des outils de co-simulation...

Les outils en développement sont qualifiés de cosimulateurs parce qu'ils mêlent des analyses électromagnétiques et les lois de Kirchoff, aux modèles déjà existants des composants. Un nouveau principe voit le jour avec le projet européen Chameleon RF. Il s'agit d'outils de « cosimulation » intégrant à la fois les théories électromagnétiques valides dans un espace de dimension infinie et les théories circuit ne tenant compte que d'un nombre fini de signaux. Les circuits étudiés ont une structure physique tridimensionnelle. Si les équations de Maxwell tiennent compte des coordonnées spatiales, les lois de Kirchoff s'appliquent indépendamment des angles et de la distance. Il s'agit donc d'inclure dans des modèles électriques de composants les effets des couplages électromagnétiques. Au niveau transistor, il est envisageable de représenter les potentiels scalaires \mathbf{A} traduisant l'effet d'un champ \mathbf{E} externe. En effet, les vecteurs peuvent être décomposés selon les axes x et z de la coupe d'un transistor, tel que le

montrent les figure 3- 25 et figure 3- 26. On exprime alors la tension entre le drain et la source à l'aide de la relation

$$V_{DS} = -\int_D^S \vec{dx} \vec{E} - j\omega \int_D^S \vec{dx} \vec{A} \quad (3- 10)$$

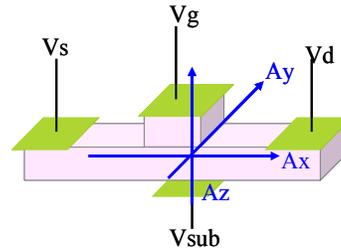
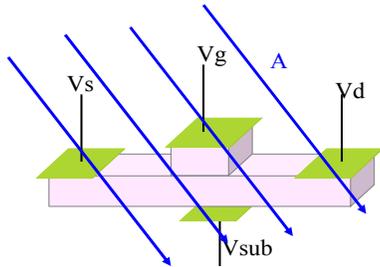


figure 3- 25 : représentation des champs externes s'appliquant sur un transistor [3-46] **figure 3- 26 : décomposition du vecteur potentiel [3-46]**

Même si le développement de certains outils semble prometteur, ils n'anticipent pas encore suffisamment les besoins des concepteurs. La topologie doit être réalisée pour leur utilisation. La plupart des outils utilisent un principe d'annotation de retour (« back-annotation »), pour ajouter dans les bancs de simulations électriques des circuits des sources injectant les perturbations. Tous les couplages ne sont pas encore pris en compte.

Nous avons donc essayé de simuler les couplages additifs conduits, en créant des modèles simples permettant d'effectuer une simulation AC au niveau global du circuit et d'observer les raies parasites.

III.B. Création de modèles et application sur un circuit de test

La plupart des circuits étudiés dans le cadre de ces travaux sont des circuits majoritairement analogiques, intégrant quelques blocs numériques. La problématique est abordée de manière analogique. Afin d'apporter des éléments de réponse aux concepteurs, des modèles sont élaborés dans une optique de simulation globale du circuit, à savoir lorsque tous les blocs sont agencés. L'objectif est de prendre conscience de l'éventuel impact de raies parasites supplémentaires.

Dans ce paragraphe seuls les couplages conduits sont considérés. De plus, les modulations internes parasites ne sont pas étudiées (modulations d'amplitude, de fréquence et de phase). Notre but est de simuler sur une puce complète les signaux additifs parasites afin d'approximer le rapport de réjection de bruit sur les alimentations ainsi que les couplages conduits à travers le substrat. Cela induit que tous les blocs soient conçus ou en cours de conception, et qu'au moins une vue schéma électrique de chaque bloc soit disponible.

III.B.1. Modélisation des réseaux d'impédances

Les couplages générés par les blocs numériques sont conduits à travers des réseaux résistifs et capacitifs. Prenons l'exemple de l'étude du PSRR, le niveau des tensions perturbantes induites sur les ports du bloc victime dépend évidemment de l'impédance à travers laquelle ces signaux sont injectés, c'est-à-dire de l'impédance interne du bloc vue à ses bornes. Autrement dit nous ne pouvons pas négliger l'influence du niveau d'impédance des réseaux (cf chapitre 1). C'est pourquoi nous définissons chaque entité soit à partir d'un jeu de paramètres S s'il s'agit d'un bloc-fonction, soit à partir d'un réseau RC pour modéliser un réseau d'interconnexions entre bocs.

Chaque bloc est modélisé par une boîte possédant au moins cinq ports : vdd, gnd, in, out, sub. Des ports peuvent être ajoutés aisément si le concepteur le juge nécessaire (plusieurs sorties, plusieurs entrées). Revenons sur le port sub. Le substrat entre deux blocs peut être vu comme un composant avec des ports. Seule la couche homogène doit être considérée. La résistance P_{minus} reliant deux blocs est évaluée selon la méthode présentée au chapitre 1. La modélisation des couches intégrées telles qu'un anneau de garde est intégrée dans le modèle du bloc qu'elle isole. Le port substrat correspond physiquement à cette structure d'isolation dopée P ou N intégrée autour du bloc (et en-dessous s'il s'agit de DNW).

La masse locale d'un bloc n'est peut-être pas constante mais est supposée uniforme pour tout le bloc, elle devient donc la référence locale. Les ports sont donc placés entre le signal considéré et cette référence locale. Bien que, nous allons le préciser au paragraphe IV, chaque bloc peut être considéré à la fois comme un agresseur et une victime, nous proposons alors deux modèles distincts.

Un bloc analogique est décrit à partir d'une simulation des paramètres S entre ses ports, une fois le réseau décrivant le substrat ajouté. Cette simulation est compilée avec l'outil Cadence Spectre. Le jeu de paramètres S simulés est ensuite associé à une instance nport disponible dans les bibliothèques de composants du logiciel. Si le bloc analogique fonctionne dans des modes distincts dans des conditions de polarisations différentes par exemple, alors autant de jeux de paramètres S que d'états sont simulés. L'annexe 1 détaille la manière dont les paramètres S doivent être simulés.

Un bloc peut être à la fois un « agresseur » et une « victime ». Le modèle agresseur complète le modèle victime.

III.B.2. Modélisation d'un bloc numérique

La difficulté réside dans la création d'une source de bruit reproduisant les pics de courant appelés sur chaque port. Une hypothèse est formulée : le signal perturbant est considéré équivalent à une source de courant transitoire connectée entre deux ports.

Autrement dit, à partir d'une simulation transitoire, on détermine le spectre en fréquence du bruit en courant sur chaque broche. Le bloc agresseur comporte cinq broches. Le courant sur chacune est équivalent au courant délivré par le bloc réel. En excitant cette fonction de transfert avec une source sinusoïdale interne pure d'amplitude unitaire (c'est-à-dire 1), le courant (spectre de courant de bruit) en sortie correspond au courant réel qui existerait sur la broche. En considérant que toute harmonique est générée par le signal parasite, un modèle « petit signal » est suffisant pour simuler toutes les raies additives.

Un script, disponible en annexe A.2, génère automatiquement un modèle en langage verilog, avec un port pour chaque connexion du bloc. Cependant, le spectre du signal sur le port substrat est traité différemment : une source sinusoïdale reproduisant l'ensemble des commutations simultanées est ajoutée (manuellement). L'amplitude du signal de cette source est estimée à partir des résultats obtenus au chapitre 2 : selon le nombre de portes et le temps de montée du signal, on définit une source de courant générant un courant équivalent à celui injecté dans le substrat.

En excitant le bloc avec une source sinusoïdale pure d'amplitude 1, le spectre du bruit en courant correspond au courant réel sur la broche. Les figure 3- 30a, b, et c illustrent bien la reproduction des spectres de ces courants sur les ports d'un oscillateur en anneau. En effet, les signaux d'un bloc se dirigent d'un port vers un autre à travers une fonction de transfert (gm), qui pour un inverseur se résume à la transconductance des transistors. Pour représenter cette fonction de transfert, une description avec des paramètres dits « S » est employée. Prenons l'exemple de l'inverseur, représenté figure 3- 27. La source interne sinusoïdale correspond au port 1, les paramètres $S(i,1)$, avec $i > 1$ sont les suivants :

$$\begin{aligned} S(2,1) &= -2g_m \\ S(1,2) &= 0 \\ S(1,1) &= 0.99999\#1 \end{aligned}$$

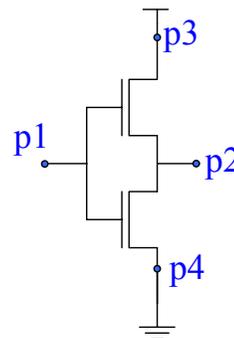


figure 3- 27 : Exemple de l'inverseur

Ainsi le modèle de l'agresseur est composé d'une source sinusoïdale et d'un réseau de paramètres S, comme le représente la figure 3- 28.

Pour traduire l'impédance infinie à l'entrée, les paramètres $S(i,i)$ sont forcés à 1. Les paramètres $S(i,1)$ sont quant à eux nuls. Toutes les sources sont considérées purement réelles. La phase n'est pas considérée.

Les signaux parasites peuvent effectivement être considérés comme des sources de courants transitoires situées sur les différents ports du bloc considéré. Ces sources injectent un signal à travers les connexions du bloc.

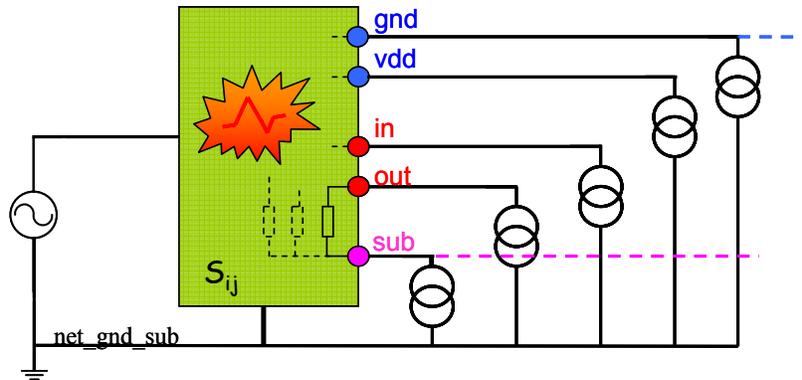


figure 3- 28 : Modèle de l'agresseur

Une masse de référence est « mise à zéro » pour éviter des problèmes de non-convergence de l'outil. Elle est connectée à la masse globale afin de forcer la convergence du simulateur. Toutes les sources de courant sont référencées à cette masse globale, sauf la source représentant le courant injecté dans le substrat.

En résumé, la vue ainsi réalisée d'un bloc agresseur est composée d'une « boîte » appelant le modèle en veriloga. Cette « boîte » possède un port de plus que le bloc initial ; une source de courant branchée sur un port supplémentaire correspondant au port substrat du modèle. C'est cette vue que nous simulons au niveau global du circuit.

Remarque : Nous sommes conscients qu'un bloc numérique conduit un signal et non une puissance, même si une porte seule peut être considérée comme un amplificateur. Il s'agit d'une approche peu commune. Le jeu de paramètres S que nous définissons ne correspond pas exactement à des paramètres de la « matrice scattering » classiquement utilisée.

Des travaux sont actuellement en cours sur la simulation des couplages électromagnétiques au niveau d'un système en boîtier, système contenant plusieurs puces dans un seul boîtier. Ces systèmes sont composés de puces entièrement numériques et d'autres entièrement analogiques. L'activité numérique est extraite au niveau des entrées/sorties des plots des modules numériques, comme nous le proposons. Par contre les blocs analogiques sont représentés par des modèles mathématiques, tirés des paramètres S extraits d'une simulation mathématique. Les réseaux entre les modules sont extraits à partir des mesures de paramètres S entre leurs ports. Les résultats semblent plus que satisfaisants [3-42].

III.C. Validation des modèles sur un circuit de test

Sur un circuit de test contenant un LNA large bande et un bloc numérique, nous avons modélisé ainsi ces réseaux. Afin de mettre éventuellement en évidence la perturbation du comportement d'un LNA large bande. Le spectre du signal en entrée est observé. Le bloc numérique fonctionne à 450 MHz. L'objectif premier est d'évaluer la sensibilité substrat du LNA à un signal parasite dont la fréquence appartient à sa bande de fréquences.

Un bloc numérique a donc été conçu, toujours selon la même architecture (oscillateur en anneau suivi d'un buffer). La figure 3- 29 schématise l'ensemble des blocs présents sur le circuit de test.

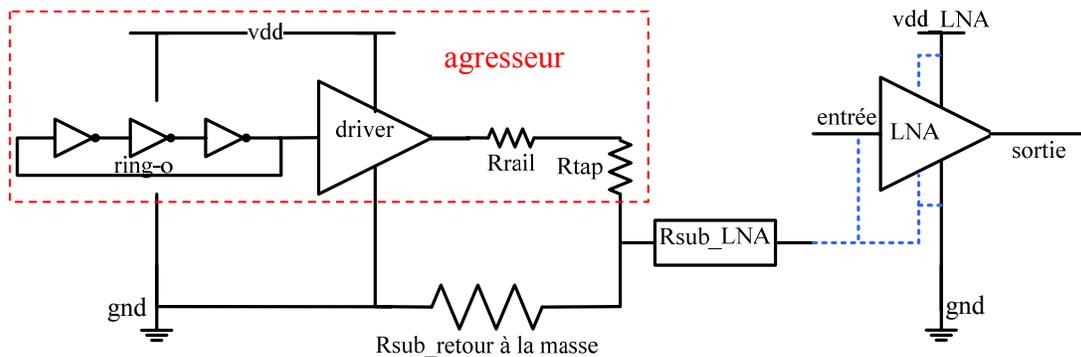
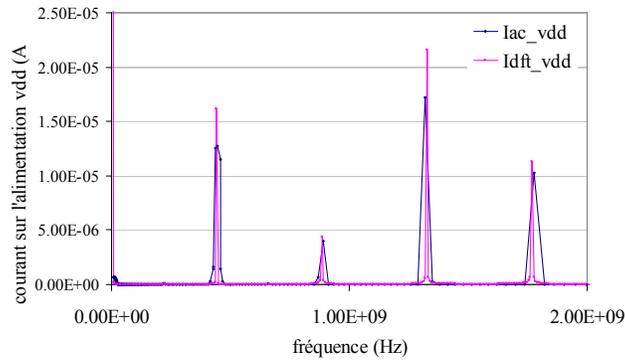


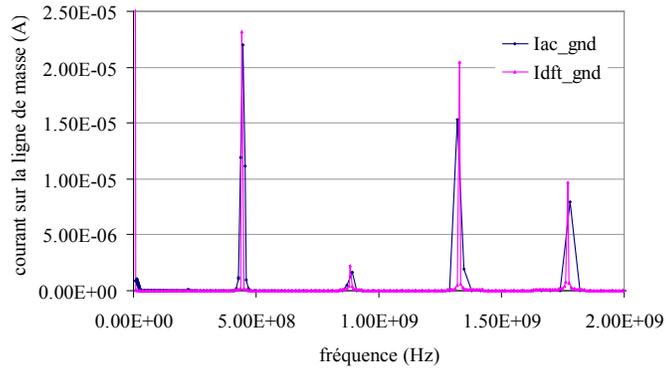
figure 3- 29 : Réseau entre agresseur et LNA sur le circuit de test

Nous présentons à la figure 3- 30 les spectres en courant sur les trois ports de l'oscillateur en anneau conçu. Nous pouvons comparer les spectres simulés à partir des modèles, et ceux obtenus avec une transformée de Fourier discrète du signal temporel simulé avec une analyse transitoire de la vue extraite de la topologie de l'oscillateur.

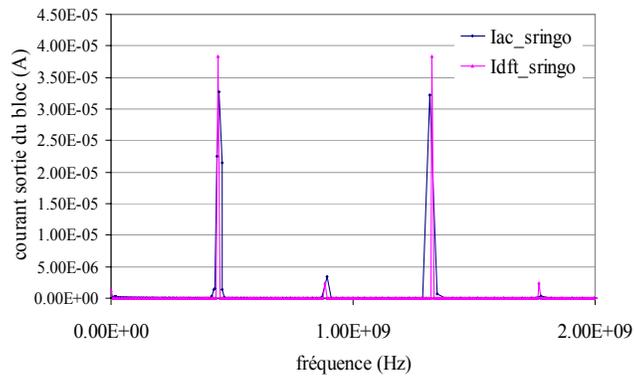
L'oscillateur en anneau est suivi d'un buffer de plusieurs inverseurs dont la sortie est connectée à une prise substrat de type Pplus, de sorte que le signal substrat soit suffisamment fort pour atteindre l'amplificateur. La figure 3- 31 donne les spectres en courant simulés sur l'alimentation vdd du bloc agresseur obtenus avec le modèle et avec la transformée de Fourier discrète du signal temporel. La quantité de courant appelé est importante : plus de 700 μA à 900 MHz. Le modèle ne reproduit pas exactement le spectre du courant appelé mais est relativement proche (même amplitude sur la première harmonique à 450 MHz et 10% d'écart sur la seconde).



3-30-a : Courant sur le port vdd



3-30-b : Courant sur le port gnd



3-30-c : Courant sur le port de sortie

figure 3- 30 : Spectres en courant sur les trois ports d'un oscillateur en anneau et de son modèle

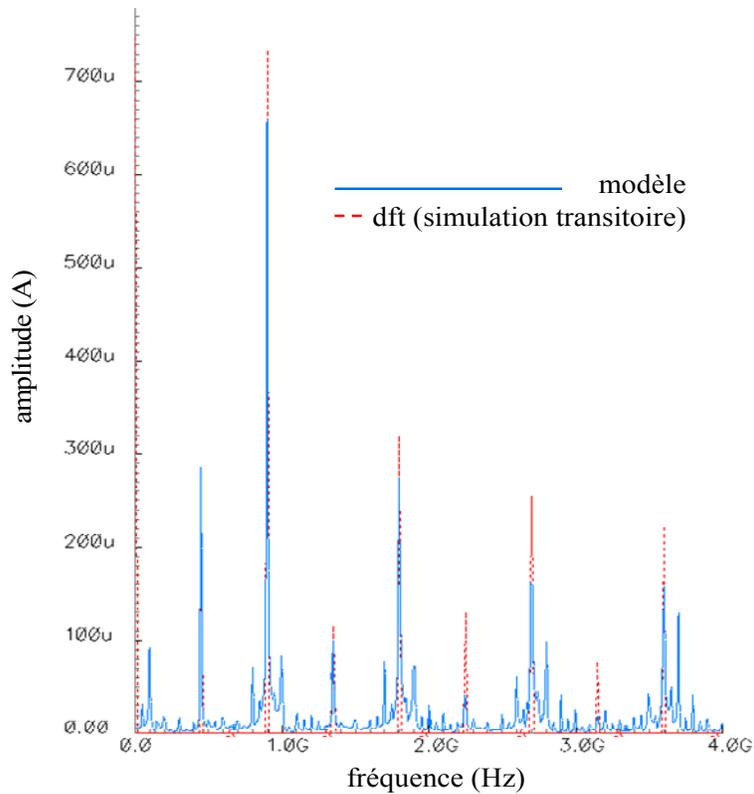


figure 3- 31 : Spectres du courant appelé sur l'alimentation d'un bloc numérique : comparaison entre le modèle et la vue extraite

L'agresseur a été également intégré dans une structure de test (celle présentée au chapitre 2, figure 2-3) afin de valider l'estimation de la quantité de courant injectée dans le substrat. Si certes nous connaissons la valeur de la résistance équivalente à la prise de type Pp à travers laquelle le signal de sortie est injectée dans le substrat, nous ne connaissons pas la résistance équivalente à la zone de répartition du signal dans le substrat. Ne connaissant pas l'impédance de la charge de l'agresseur, nous ne pouvons pas déterminer précisément la valeur de ce signal. A la fréquence fondamentale soit 450 MHz (dans la bande de fréquences de fonctionnement de l'amplificateur), nous caractérisons un signal d'une puissance de -33 dBm.

A partir de la topologie du circuit, nous modélisons électriquement le réseau entre l'agresseur et l'amplificateur. Ce réseau détaillé aux figure 3- 32 et figure 3- 33 comporte cinq ports : substrat, vdd_LNA, gnd_LNA, l'entrée et la sortie du LNA. Une source de courant est ajoutée au niveau du port substrat, elle est paramétrée en fonction des caractérisations de l'agresseur que nous avons obtenues. Les transistors de l'amplificateur étant intégrés dans du triple-well, l'effet de retour sur la grille arrière des transistors du LNA est négligé.

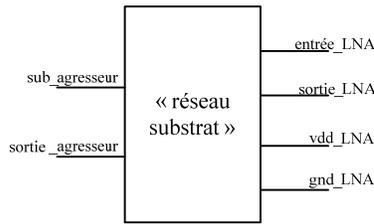


figure 3- 32 : Illustration du réseau substrat

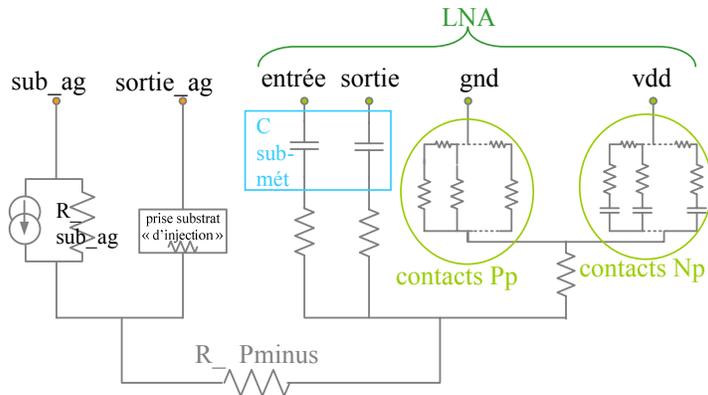


figure 3- 33 : Détails du réseau substrat

La figure 3- 34 permet de comparer le spectre en puissance en entrée du LNA dans son état polarisé obtenu en simulation avec nos modèles et le spectre mesuré. Le décalage en fréquence s'explique par les pertes dans le niveau de polarisation entre la sortie du générateur et la piste d'alimentation du PCB. On s'aperçoit qu'en augmentant la polarisation de 0,1 V, la fréquence de l'oscillateur en anneau croît. Plusieurs composants ont été mesurés, les variations observées quant au niveau d'amplitude relevé sont inférieures à 6 dB entre les différents échantillons. Le niveau d'amplitude obtenu en simulation est plus faible que dans la réalité.

Les caractérisations restent tout de même proches du spectre obtenu en simulation. Cela signifie que le réseau d'interconnexion entre le bloc numérique et l'amplificateur est relativement proche de la réalité. Evidemment, ces résultats ne sont valables que dans l'environnement de ce circuit de test, mais permettent d'envisager d'employer une telle méthodologie pour s'assurer du fonctionnement de la globalité d'un circuit à l'aide d'une simulation RF.

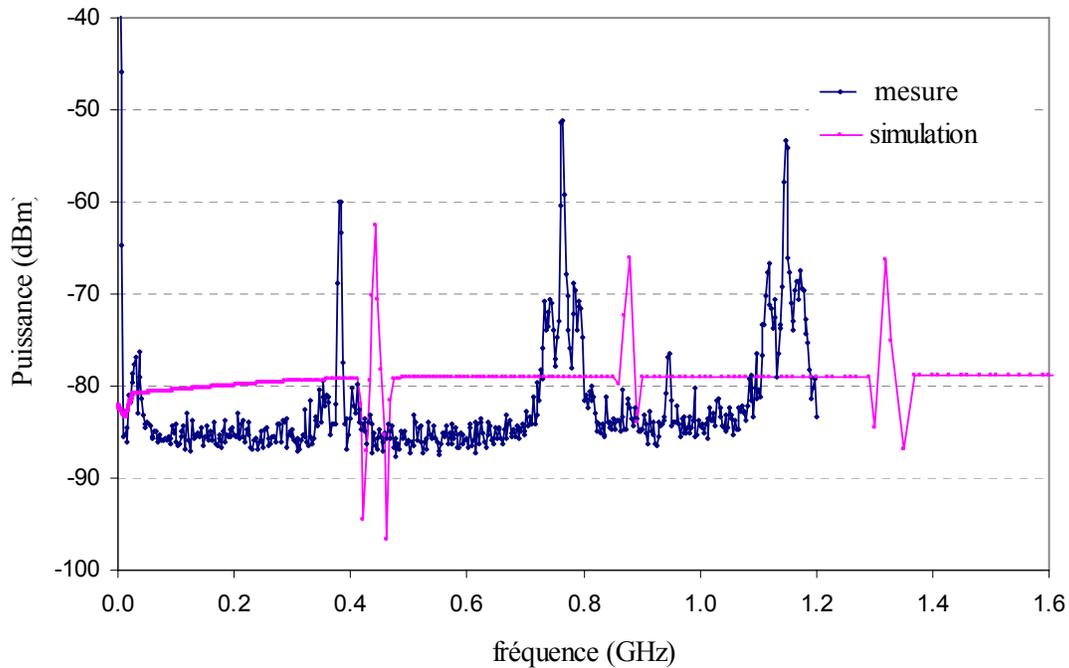


figure 3- 34 : Comparaison des spectres simulé et caractérisé en puissance en entrée du LNA

Bilan III :

L'anticipation n'est pas encore automatique. Aucun outil n'est actuellement suffisamment mature. Nous ne savons pas comment envisager l'automatisation de toutes les interactions électromagnétiques. Seuls les couplages additifs conduits sont considérés dans nos simulations. Ils permettent de prédire le spectre du signal sur chaque port de tous les blocs.

L'expertise reste la clef de voûte pour définir l'échelle à laquelle se placer pour étudier les éventuels couplages, et même utiliser certains logiciels en développement. Les modèles présentés permettent de simuler des interactions conduites avant que la topologie soit entièrement réalisée. Des hypothèses doivent être définies quant aux réseaux d'interconnexion entre les blocs (distance, partage des réseaux d'alimentation, ...). Une simple simulation grand signal est nécessaire, une fois les modèles réalisés. Les modèles peuvent être rapidement créés. Ce principe est dans un premier temps suffisant pour que les concepteurs réalisent leurs blocs et les assemblent. Mais toutes les interactions électromagnétiques ne sont malheureusement pas prises en compte dans la création de ces modèles.

IV. Remarques complémentaires sur des éléments non considérés

IV.A. Auto-agression d'un bloc

La plupart du temps, les blocs numériques sont considérés comme des blocs agresseurs et les blocs analogiques comme des blocs victimes. Or des parties de blocs numériques telles que les mémoires ou des convertisseurs peuvent être défaillantes à cause d'un bruit conduit par les alimentations ou le substrat.

IV.A.1. Influence de l'intégrité de puissance sur les temps de propagation

Un problème d'interaction a été rencontré lors des caractérisations d'un bloc numérique. Il s'agit d'un bloc composé d'un oscillateur en anneau suivie d'une matrice d'inverseurs. Les deux parties de ce moteur fonctionnant à 1,4 GHz partagent la même paire d'alimentation comme le montre la figure 3- 35. Aucune technique particulière n'est implémentée ni pour leur topologie ni pour les isoler. Or nous n'observons pas sur le spectre du signal injecté dans le substrat une raie unique à la fréquence fondamentale et aux harmoniques mais deux raies, comme l'illustre la figure 3- 36.

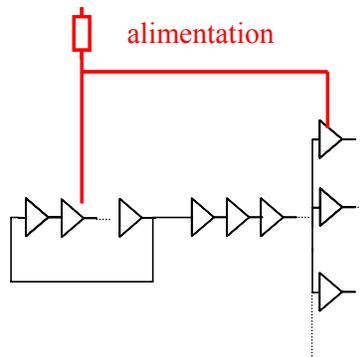


figure 3- 35 : Réseau d'alimentation partagé par les deux blocs

La matrice est composée de 256 inverseurs positionnés dans une configuration d'arbre. Un grand nombre de portes commutent simultanément à une période constante, en générant un rebond de courant sur les rails d'alimentation (voir chapitre1). Ainsi l'alimentation a des niveaux hauts et bas qui génèrent une modulation de la porteuse. Le temps de propagation des inverseurs est affecté : un front montant de 41 ps pour une porte commutant à un niveau bas alors que pour un niveau haut le temps de montée est de 31 ps. Soit une différence de 10 ps et de 15 ps sur les temps de descente. Le signal observé a donc un rapport cyclique qui varie.

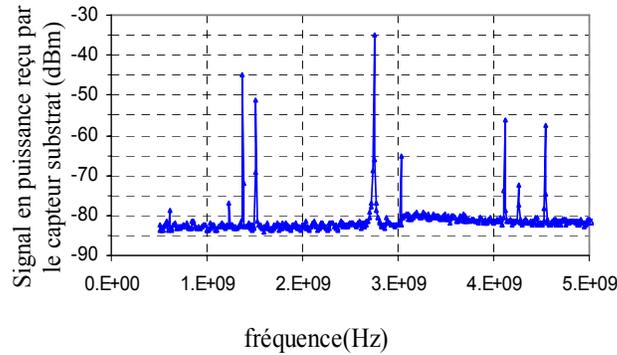


figure 3- 36 : Spectre en puissance du signal injecté dans le substrat par un bloc numérique : double raie

Il s'agit d'un phénomène mélangeant modulations d'amplitude et de phase. En ajoutant une sinusoïde d'amplitude 0,2 V à 200 MHz sur l'alimentation, nous reproduisons en simulation un phénomène similaire.

IV.A.2. Effets néfastes du bruit sur l'échantillonnage

Dans les cas de circuits incluant de l'échantillonnage de signaux, les interactions ont également des effets que l'on ne peut pas négliger.

La figure 3- 37 illustre l'effet d'une perturbation transitoire sur l'échantillonnage. Si une solution pour remédier à ce problème consiste à multiplier le nombre de pas d'échantillonnage et à utiliser des comparateurs, il n'est pas toujours évident de l'intégrer dans tous les systèmes RF.

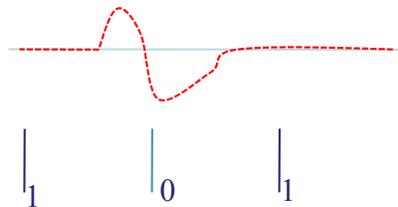


figure 3- 37 : Effet d'une perturbation transitoire sur l'échantillonnage

Prenons l'exemple d'un bloc de conversion, le « TDC » pour « time-to-digital converter ». Il s'agit d'un capteur qui convertit une différence de temps entre deux signaux en un mot numérique. Ce type de bloc fonctionne instantanément. Il capture deux fronts montants de deux signaux temporels en même temps, et ne garde pas la mémoire des états précédents. Ce bloc est particulièrement sensible à une perturbation interne au niveau des alimentations et du substrat. Les interactions sont alors critiques à l'intérieur même du bloc. Des techniques d'isolation doivent être intégrées pour chaque cellule.

De plus, les détecteurs de phase et diviseurs peuvent être considérés comme des systèmes échantillonnés, ce qui engendre avec la fréquence de perturbation un phénomène de repliement. La perturbation en sortie est à une fréquence différente de la fréquence de la perturbation.

Seules des simulations électromagnétiques au niveau transistor permettraient de simuler ces interactions. Les modèles doivent alors être beaucoup plus précis que les macro-modèles proposés.

IV.B. Effet des interfaces : compromis entre protections ESD et RF

Les IO (entrées/sorties) sont une interface que les courants du cœur du circuit traversent (voir chapitre 1, paragraphe 0.B). Les accès numériques sont actifs pendant les modes d'émission et de réception des circuits de communication ; ils peuvent donc interférer avec l'activité radiofréquence du circuit.

Des simulations ont montré [3-47] que les sauts de tension générés par le cœur du circuit étaient conduits jusqu'aux IO. De même les courants appelés par les IO lors de leur commutation ont une influence non négligeable sur le courant d'alimentation externe. Les structures ESD utilisent des diodes et des transistors écrêteurs. Une polarisation distincte de celle(s) du cœur du circuit leur est dédiée. Ces composants sont dimensionnés de sorte à dévier de forts courants, leur impédance de charge est élevée, ils occupent de larges surfaces et présentent ainsi une boucle potentielle de surface dont on peut estimer la mutuelle avec les principaux blocs analogiques et donc l'amplitude des raies parasites éventuellement induites (voir paragraphe II.B). De plus, lors de la commutation des transistors, des courants sont injectés dans le substrat. Des caractérisations ont montré [3-48] que la contribution des courants moyens injectés dans le substrat doublait lorsqu'une cellule I/O fonctionnait en plus du cœur du circuit. Si certes pour un circuit numérique réel, la contribution en bruit est plus faible comparée à celle venant des commutations des portes, elle n'est pas négligeable. Une question se pose quant à l'intégration de DNW dans ces cellules. Cette diode supplémentaire, représentée sur les figure 3- 38 et figure 3- 39 améliore donc les performances ESD (à la capacité Nplus-Pplus, s'ajoute la capacité DNW-PW), mais une connexion est nécessaire pour que la surface d'injection de parasites dans le substrat ne soit pas plus importante.

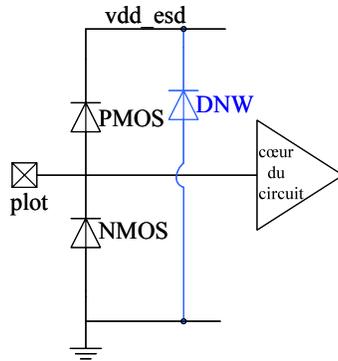


figure 3- 38 : Schéma électrique d'un IO

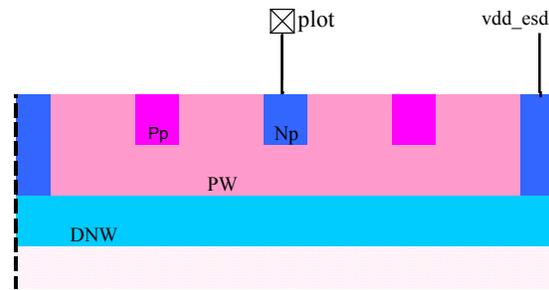


figure 3- 39 : Coupe du PMOS d'un IO

Un compromis doit donc être défini entre les performances ESD et les performances radiofréquences au sein même de ces cellules.

Des équipes travaillent sur des standards de modélisation afin que des outils de simulation puissent prédire l'émission de circuits intégrés, c'est-à-dire anticiper les interactions électromagnétiques rayonnées. Les modèles ICEM (pour Integrated Circuit Emission Model) complètent les modèles IBIS (pour Input/Output Buffer Information Specification) : à la modélisation du rayonnement des entrées sorties est ajouté un modèle du rayonnement du cœur du circuit et donc de l'activité de commutation [3-49]. Ces modèles sont conçus pour des systèmes en boîtier dit « SiP » (pour «Systems in Package»).

Bilan IV :

Les interactions électromagnétiques néfastes n'ont pas lieu uniquement entre les blocs, mais aussi à l'intérieur des blocs. Tous les éléments composant un circuit étant liés, dès qu'une variation de signal est conduite, elle peut entraîner une modification du comportement d'un ou de l'ensemble des autres blocs. La difficulté est de prendre en compte tous les éléments, et ce aux multiples échelles.

Conclusion

Une architecture différentielle paraît plus robuste pour limiter les effets des champs électromagnétiques sur un bloc RF. Les interactions sont reçues proportionnellement à la surface du bloc sensible. Des méthodes appropriées permettent d'atténuer les effets de couplage, au niveau du bloc à l'aide de blindages adaptés, ou entre les blocs avec un routage en étoile « filtrant ».

Concevoir un outil considérant les aspects multiphysiques et multi-échelles n'est pas évident. Cependant certains couplages peuvent être simulés au niveau global du circuit en élaborant des modèles des différents réseaux en jeu. De tels bancs de simulation permettent d'obtenir le spectre du signal sur chacun des ports des blocs. Cependant toutes les interactions du circuit ne sont pas simulées : un modèle au niveau transistor serait nécessaire pour évaluer les couplages internes (comme au chapitre 2), et un modèle doit être envisagé pour prendre en compte le couplage par mutuelle inductance. Les mécanismes d'interaction ont lieu à différentes échelles du circuit, le concepteur doit s'adapter afin de considérer les couplages qui l'intéressent selon l'étape de conception du circuit à laquelle il se trouve.

Références

- [3-29] M. Xu, D. K. Su, D. K. Shaeffer, T. H. Lee, B. A. Wooley, Measuring and Modeling the Effects of Substrate noise on the LNA for a CMOS GPS Receiver, IEEE Journal of Solid-State Circuits, VOL.36, NO.3, March 2001
- [3-30] N. Checka, D. D. Wentzloff, A. Chandrakasan, R. Reif, The Effect of Substrate Noise on VCO Performance, IEEE Radio Frequency integrated Circuits Symposium, June 2005
- [3-31] L.-R. Zheng, X. Duo, M. Shen, T. Torrika, W. Michielsen, H. Tenhunen, L. Chen, G. Zou, and J. Liu, Design and Implementation of System-on-Package for Radio157 and Mixed-Signal Applications, Sixth IEEE CPMT Conference on High Density Microsystem Design and Packaging and Component Failure Analysis, pages 97–104, July 2004
- [3-32] A.L.L. Pun, T. Yeung, J. Lau, F.J.R. Clément, and D.K. Su, Substrate Noise Coupling Through planar Spiral Inductor, IEEE Journal of Solid State Circuits, 33(6):877–884, June 1998
- [3-33] C. Soens, G. Van der Plas, P. Wambacq, and S. Donnay, Performance Degradation of an LC-Tank VCO by Impact of Digital Switching Noise, ESSCIRC, September 2004
- [3-34] C. Soens, C. Crunelle, P. Wambacq, G. Vandersteen, S. Donnay, Y. Rolain, M. Kuijk, A. Barel, Characterization of Substrate Noise Impact on RF CMS Integrated Circuits in Lightly Doped Substrates, IEEE IMTC 2003
- [3-35] A. Koukab, K. Banerjee, M. Declercq, Analysis and Optimization of Substrate Noise Coupling in Single-Chip RF Transceiver Design, IEEE International Conference on Computer Aided Design, 2002
- [3-36] T. Lagutère, Conceptions et Modélisations d'Oscillateurs et de leurs Boucles à Verrouillage de Phase associées pour des Applications de Radiocommunications Mobiles Professionnelles, thèse soutenue le 24 février 2005, Université de Poitiers, p 48
- [3-37] H. Kampé, Contribution au Développement de Règles de Conception pour l'Estimation de Couplages Inductifs dans les Circuits Intégrés RF, thèse soutenue le 13 Mai 2009, Université de Caen, pp 142-143
- [3-38] J. Choi, V. Govind, R. Mandrekar, Noise Reduction and Design Methodology in Mixed-Signal Systems with Alternating Impedance Electromagnetic Bandgap Structure, IEEE MTT-S International Microwave Symposium, Vol.5, 2005
- [3-39] T. Steinecke, Experimental Characterization of Switching Noise and Signal Integrity in deep Submicron Integrated Circuits, Electromagnetic Compatibility, IEEE International Symposium on Vol. 1, pp107 - 112, Aug. 2000
- [3-40] M. Ingels and M. Steyaert, Design Strategies and Decoupling Techniques for Reducing the Effects of Electrical Interference in Mixed-Mode ICs, IEEE Journal of Solid State Circuits, July 1997
- [3-41] B. Fabin, F. Clément, A. Dhia, Brevet G06F 17/50 déposé par Coupling Wave Solutions, WO 2008/001010 A2, publié le 3 janvier 2008
- [3-42] S. Wane, G. Boguzewski, Global Digital-Analog Co-Simulation Methodology for Power and Signal Integrity aware Design and Analysis, Microwave Integrated Circuit Conference, 2007
- [3-43] M. Nagata, Y. Murasaka, Y. Nishimori, T. Morie, A. Iwata, Substrate Noise Analysis with Compact digital Noise Injection and Substrate Models, IEEE International Conference on VLSI Design, 2002
- [3-44] C. Soens, C. Crunelle, C. Wambacq, P. Vandersteen, G. Donnay, S. Rolain, Y. Kuijk, M. Barel, Characterization of Substrate Noise Impact on RF CMOS IC in Lightly Doped Substrate, IEEE Instrumentation and Measurement Technology Conference, 2003

[3-45] A. Koukab et al., Modeling Techniques and Verification Methodologies for Substrate Coupling Effects in Mixed-Signal System-On-Chip Designs, IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, Vol.23, June 2004

[3-46] <http://chameleon-rf.tudelft.nl/images/deliverables/d1.2a.pdf>

[3-47] S. Ben Dhia, M. Ramdani, E. Sicard, Electromagnetic Compatibility of Integrated Circuits, Techniques for Low Emission and Susceptibility, p351, Springer-SBM, 2006

[3-48] S. Donnay and G. Gielen, Substrate Noise Coupling in Mixed-Signal ASICs, Kluwer Academic Publishers, 2003, Chapter 11, p252

[3-49] A. Boyer, M. Fer, L. Courau, E. Sicard, S. BenDhia, Modelling of the susceptibility of 90 nm Input Output Buffer, www.ic-emc.org

Conclusion générale

I. Conclusions sur la contribution de ces travaux.....	173
II. Perspectives	175
Références	176

I. Conclusions sur la contribution de ces travaux

Les travaux de cette thèse ont porté sur l'étude et l'anticipation des interactions électromagnétiques dans les circuits mixtes sur une puce, dits « Systems on Chip ». Une approche physique a été adoptée. Le caractère expérimental de ces travaux a permis de conclure sur l'apport de stratégies employées pour atténuer et anticiper des interactions entre les blocs lors de la réalisation d'un circuit dans un procédé CMOS 65 nm.

Cette étude s'adresse à tout public curieux, ainsi qu'aux concepteurs non initiés aux problèmes d'interférences électromagnétiques qui pourraient perturber les performances de leur futur circuit.

Le premier chapitre décrit l'environnement dans lequel les sources d'interactions se forment et les couplages se développent. La notion de couplage est précisée, le milieu physique d'un circuit dans un procédé CMOS est décrit à l'aide de ses caractéristiques électriques. Les mécanismes de conduction et d'induction sont explicités : les perturbations sont conduites à travers les matériaux, traversent des jonctions et sont induites de manière capacitive ou par mutuelle inductance. Les commutations des portes des blocs numériques sont reconnues comme étant la principale contribution générant des perturbations du fonctionnement des circuits analogiques dans les circuits mixtes. Enfin, un aperçu des effets des couplages rayonnées et conduits à travers le substrat est donné.

Le second chapitre éclaire le rôle du substrat, ce bouc-émissaire ne pouvant être représenté par un seul nœud, et sur lequel sont connectés et répartis les différents blocs. Les signaux perturbants traversent les contacts de polarisation du substrat et se répandent à travers le substrat jusqu'à d'autres contacts reliés soit aux caissons de transistors, soit aux alimentations des blocs sensibles. Une structure de test adaptée a été conçue afin de mesurer le spectre du signal injecté dans le substrat par un élément d'une surface de $40 \times 80 \mu\text{m}$, sur une large gamme de fréquence. Des blocs numériques types ont été réalisés et intégrés dans cette structure. Un modèle d'injection d'une porte a été élaboré et validé par des caractérisations sur un ensemble de portes. Il permet d'évaluer la quantité de courant injecté dans le substrat par un ensemble de portes numériques. Enfin, l'apport de certaines stratégies d'isolation substrat a été quantifié : malgré des contraintes topologiques de surface, jusqu'à 14 dB d'isolation peuvent être obtenus.

Le troisième chapitre traite de l'intégration des blocs sur une même puce pour une application radiofréquence. Des critères de sensibilité des systèmes radiofréquences sont indiqués et expliqués. Les couplages sont inversement proportionnels à la distance et proportionnels à la surface. Le rôle de l'architecture des blocs est souligné. Des méthodes sont proposées afin de limiter les interactions. Elles portent sur la connexion judicieuse (ou non) d'écrans électriques, la distribution étoilée et filtrée des alimentations du banc de l'application jusqu'à chaque élément unitaire, et l'étude fréquentielle des blocs du circuit. Ce début de méthodologie a été appliqué lors de la conception de boucles à verrouillage de phase et d'un circuit d'étude pour la réalisation d'un émetteur/récepteur. Des modèles de tous les réseaux en jeu (blocs et inter-blocs) ont été réalisés sur ce circuit d'étude. Une simulation des modèles de l'ensemble des blocs et interconnexions permet

d'obtenir les spectres des signaux sur les ports de chaque bloc. Une comparaison avec des mesures valide ce principe, malgré une corrélation relative des amplitudes des spectres mesurés et simulés d'une perturbation conduite à travers le substrat et les rails d'alimentation. Ce résultat permet d'estimer les variations d'alimentation qui peuvent ainsi être prises en compte pour améliorer la robustesse des circuits face au bruit de phase. Des limites de cette approche globale sont mentionnées : les interfaces d'entrée/sortie des signaux ne sont pas prises en compte, les interactions néfastes peuvent avoir lieu à l'intérieur d'un bloc.

Nous retenons que les paramètres à considérer sont multiples et à différentes échelles. Les interactions doivent être considérées avant d'assembler les blocs, lors des définitions de l'architecture et de la topologie des blocs. Il est difficile d'envisager un outil simulant à la fois les couplages à l'intérieur d'un bloc et entre les blocs. Cependant le concepteur peut à l'échelle du circuit global ou d'un bloc créer des modèles des différents réseaux afin d'obtenir les spectres des signaux sur les ports des éléments considérés. Les méthodes appliquées lors de la conception des circuits, à tous les niveaux, sont très importantes. Il est nécessaire de comprendre les différents phénomènes en jeu, à la fois pour limiter les effets de couplage, et pour rendre plus robuste les blocs sensibles.

Ce travail original s'inscrit dans une thématique transversale de conception des circuits. Les valeurs numériques sont valables dans un procédé CMOS avancé, mais les méthodes proposées peuvent être appliquées à tout circuit afin de diminuer les effets des couplages dans un système sur une puce : les mécanismes expliqués dans ces travaux sont les mêmes quel que soit le procédé de réalisation du circuit.

II. Perspectives

L'exploitation de la structure de mesure pourrait être poursuivie, afin de quantifier des stratégies d'isolation, et apporter des réponses complémentaires quant aux mécanismes d'injection dans le substrat. Une certaine compensation a sans doute lieu lorsque des portes adjacentes commutent, entre les différents appels de courant, il serait intéressant de quantifier cet équilibre. D'autres pistes pour améliorer l'isolation entre cellules et entre blocs doivent être explorées afin d'obtenir de meilleures performances des circuits radiofréquences.

Les principales boucles de courant peuvent être modélisées. Si extraire les boucles de courant distribuées s'avère délicat, il est envisageable de modéliser des segments métalliques d'une certaine longueur (dont le seuil serait à évaluer) par leur inductance équivalente. Ainsi, des interactions par mutuelle inductance pourraient être simulées.

Des applications informatiques sont nécessaires pour intégrer dans des simulations du circuit global le maximum de critères. D'autant plus qu'à chaque circuit correspond un environnement différent avec des mécanismes de couplage qui lui sont propres.

Le défi pour la suite ne réside pas seulement dans la cosimulation des aspects multiphysiques des circuits complets. Depuis plusieurs années, des équipes se mobilisent pour développer des outils. Simuler les interactions ne solutionnerait pas toutes les questions soulevées. Les objectifs sont d'éviter la réalisation d'un circuit défaillant suite à des interactions électromagnétiques. Une fois les interactions électromagnétiques de circuit simulées, il est nécessaire de comprendre les mécanismes perturbants pour les supprimer ou tout au moins atténuer leurs effets. L'expertise des concepteurs restent la clé pour réaliser des applications surmontant les interactions liées aux barrières technologiques de la perpétuelle miniaturisation. Les mécanismes de couplages doivent être précisément analysés afin d'être pris en compte, pour que l'ensemble du système soit éventuellement modifié avant sa fabrication. Des efforts sont nécessaires dans ce sens, et non seulement dans la création d'un « super outil ».

Les procédés avancés CMOS, très utilisés pour la conception de processeurs ont été l'objet d'un phénomène de mode. Des solutions CMOS ont été conçues pour tous les standards radio afin de fournir le marché en émetteurs/récepteurs de plus en plus petits : Bluetooth (réseaux personnels sans fils d'une faible portée reliant des appareils entre eux sans liaison filaire), DECT (« Digital European Cordless Telephony », standard européen de radiocommunication vocale en mode point à point, entre un terminal, tel qu'un téléphone, et une station de base), GPS (« Global Positioning System », principal système de positionnement par satellites mondial actuel), wireless LAN (réseau local couvrant une portée d'environ une centaine de mètres et reliant entre eux des terminaux présents dans la zone de couverture), GSM (« Global System for Mobile Communications ») [4-1]. Cependant, la conception de circuits mixtes dans ces procédés soulève des questions liées aux interactions électromagnétiques. Certaines performances

RF sont difficiles à atteindre avec des éléments d'une telle finesse de gravure, et placés si proches.

L'approche SoC offre un meilleur coût de fabrication, tout le système étant intégré sur une seule puce : même les unités de contrôle de puissance appelées PMU pour « Power Management Unit », qui consomment de forts courants, se trouvent désormais intégrées sur la même puce [4-2]. Cependant de tels systèmes n'offrent aucune marge en terme de distance sur laquelle jouer pour atténuer certaines interactions.

Les marchés de nouvelles applications doivent être étudiés objectivement avant de se lancer dans la conception de circuits plus que miniatures. Pour de petits et moyens volumes de ventes, des solutions plus conventionnelles sur plusieurs puces et dans des procédés moins avancés sont moins chères et plus flexibles en termes de couplages électromagnétiques que des systèmes sur une puce avec une forte densité d'intégration [4-3].

Références

- [4-1] A. A. Abidi, RF CMOS Comes of Age, IEEE Microwave Magazine, 2003
- [4-2] M. Hammes, C. Kranz, D. Seippel, J. Kissing, and A. Leyk, Evolution on SoC Integration: GSM Baseband-Radio in 0.13 μm CMOS Extended by Fully Integrated Power Management Unit, IEEE Journal of Solid-State Circuits, Vol. 43, no.1, 2008
- [4-3] M. Hammes, C. Kranz, and D. Seippel, Deep Submicron CMOS Technology Enables System-on-Chip for Wireless Communications ICs, IEEE Communications Magazine, September 2008

Terminologie

Bonding : fil reliant le circuit en silicium au boîtier. Ces fils métalliques (en or ou en aluminium) sont soudés d'un côté au plot d'entrée/sortie du circuit intégré et de l'autre côté aux pistes métalliques du boîtier.

Buffer : cellule qui permet d'amplifier un signal.

CEM : Compatibilité Electromagnétique (EMC en anglais). C'est l'aptitude d'un dispositif, d'un appareil ou d'un système à fonctionner dans son environnement électromagnétique de façon satisfaisante et sans produire lui-même des perturbations électromagnétiques intolérables pour tout autre élément situé dans cet environnement.

CMOS : Complementary Metal Oxide Semiconductor

Design : étape dans la conception des circuits intégrés correspondant à la phase de développement et de simulation des schémas électriques. Par extension, le design représente également la vue au niveau schéma électrique des circuits intégrés.

E/S ou I/O ou IO : « Inputs / Outputs » pour Entrées/Sorties. Cellules dans les circuits intégrés d'interface entre la carte électronique et le cœur du circuit intégré. Lorsque le signal peut seulement entrer dans le circuit, on parle uniquement d'entrée ; s'il ne peut que sortir du circuit, on parle de sortie ; enfin s'il peut entrer et sortir du circuit intégré, on parle d'entrée/sortie et de signal bidirectionnel.

GND : « ground ». Nœud, également appelé VSS, correspondant à la masse de l'alimentation. Sa valeur est de 0V. Il s'agit d'une référence.

IBIS : Input/Output Buffer Information Specification.

ICEM : Integrated Circuit Emission Model

IP : Intellectual Property

Jitter : déviation en temps entre deux fronts de signaux périodiques.

Layout : étape dans la conception des circuits intégrés correspondant à la phase de dessin physique des circuits intégrés : les masques correspondant aux différentes étapes technologiques sont assemblés. Par extension, le layout représente la vue au niveau topologique des circuits intégrés.

Package : il s'agit du boîtier dans lequel le circuit microélectronique est placé afin d'être protégé mais aussi de communiquer avec le monde extérieur. Il existe différents types de boîtier, selon l'application et les conditions dans lesquelles doit fonctionner le circuit intégré.

PCB : «Printed Circuit Board» désigne une carte électronique, également appelée circuit

imprimé sur laquelle sont « soudées » les puces en boîtier.

RF : Radio Frequency. Bande de fréquences des systèmes de télécommunication.

Skew : correspond à la différence entre deux (ou plus) signaux dans leur délai à une tension de seuil définie.

SOC : «System on Chip». Un système sur une puce.

Temps de descente ou « fall time » : temps nécessaire à un signal pour passer d'un état logique haut à un état logique bas.

Temps de montée ou « rise time » : temps nécessaire à un signal pour passer d'un état logique bas à un état logique haut.

Vt : «threshold voltage», réfère à la tension de seuil.

VDD : Tension positive de l'alimentation. Sa valeur typique varie selon la technologie considérée. La tension des blocs numériques est de 1,2 V dans le procédé CMOS 65 nm. Pour les blocs analogiques, les tensions varient de 1,2 V à 2,5 V selon les applications.

Annexes

Annexe A : Simulation des paramètres S des blocs sensibles.....	183
Annexe B : Script générant un modèle d'un bloc agresseur	185
Références	190

Annexe A : Simulation des paramètres S des blocs sensibles

Nous choisissons l'exemple d'un amplificateur faible bruit (LNA), représenté avec ses ports sur la figure A1- 1. Nous identifions trois ports d'entrée/sortie : l'entrée in, la sortie out, et une entrée supplémentaire Cdec (à laquelle des cellules de découplage externes sont connectées). A cela s'ajoutent les ports de polarisation. Des interrupteurs sont placés entre chaque port et le LNA, laissant passer soit le continu, soit l'alternatif. Ils sont utilisés dans le mode laissant passer l'alternatif. Les polarisations ne doivent pas être modifiées, seule la résistance du port doit être ajustée à 50 ohms, comme sur la figure A1- 2. [A-1]

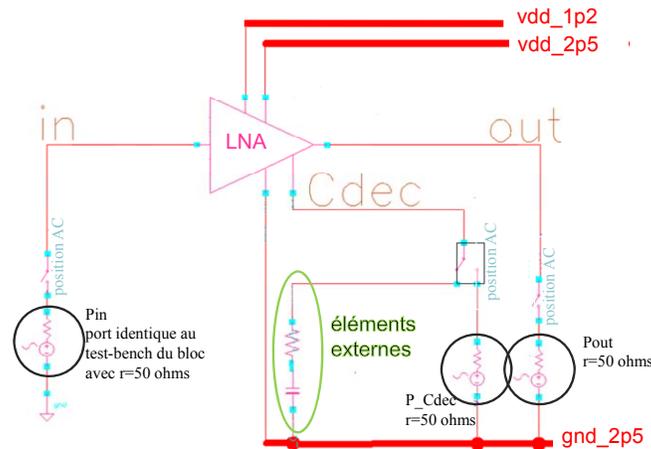


figure A1- 1 : Placement des ports sur un LNA pour la simulation des paramètres S

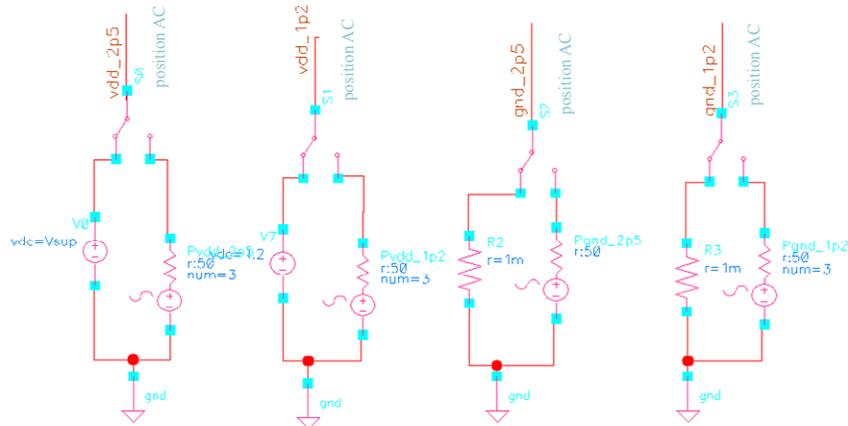


figure A1- 2 : Configuration des ports sur les alimentations pour la simulation des paramètres S d'un bloc sensible

L'analyse est alors lancée avec l'outil Spectre de Cadence, de 10 M à 5 GHz, les ports étant tous sélectionnés.

Si le bloc présente plusieurs états de fonctionnement, une analyse est faite pour chacun des modes. Typiquement sur un LNA, une analyse est nécessaire pour chaque gain du bloc.

Ensuite une vue cadence est créée dans laquelle une cellule n-port appelle le fichier de paramètres S ainsi créé. C'est cette vue du bloc qui sera simulée au niveau global du circuit.

Annexe B : Script générant un modèle d'un bloc agresseur

Le bloc agresseur, dans ce script, est un oscillateur en anneau. Il a donc trois ports : une sortie « out », et les polarisations « vdd_lr » et « gnd_lr ».

; version 2.1 [1-2]

```

simulator( 'spectre )
design( "... /spectre/schematic/netlist/netlist" )
resultsDir( ".../spectre/schematic" )
modelFile(
  (".../5.0/tools/models/mm11/spectre/include_bondwire.scs" "")

  (".../TSMC65/PcCLN65_7M4X0Y2ZRFPTP/1.2/tools/models/LP_50A/mm11/spectre/a
  11Ra7/include_nominal.scs" "")
)
analysis('tran ?stop "140n" ?errpreset "moderate" )
analysis('dc ?saveOppoint t )
desVar(      "Rsource" 50 )
save( 'i "/I107/gnd_lr" "/I107/vdd_lr" "/I107/out" )
temp( 27 )
run()

selectResult( 'tran )
plot(getData("/out") getData("/gnd_bias") getData("/vdd_bias") getData("/I107/gnd_lr")
getData("/I107/vdd_lr") getData("/I107/out" )
modelFile(
  (".../PcGenericLGPTP/5.0/tools/models/mm11/spectre/include_bondwire.scs" "")

  (".../TSMC65/PcCLN65_7M4X0Y2ZRFPTP/1.2/tools/models/LP_50A/mm11/spectre/a
  11Ra7/include_nominal.scs" "")
)
; pour garder en mémoire les données transitoires
ocnPrint( ?output ".../pwl/i_vdd_agtot.sce" IT("/DUT/vdd" )
ocnPrint( ?output ".../pwl/i_gnd_agtot.sce" IT("/DUT/gnd" )
ocnPrint( ?output "... /pwl/i_out_agtot.sce" IT("/DUT/out" ))

isource #( .type("pwl"), .file(".../pwl/i_vdd.sce")) I1 ( net022, net023 );

; informations nécessaires pour la dft :
fend=10G ;
fstart=fend/1024
tstart=10.0/450M ; le bloc commute à 450 MHz
tend=42.0/450M

```

```
fend=10G
tstep=1/fend
```

```

.....
; pss pour obtenir le spectre de l'agresseur (calcul interne)
;analysis(pss ?fund "450M" ?harms "4" ?errpreset "conservative"
;
;          ?tstab "10n" )
;desVar(      "bias" 1.2 "Rsource" 50 )
;converge( 'ic "/out" "1.2" )
;temp( 27 )
;run()
;modelFile(
;
;'( ".../TSMC65/PcCLN65_7M4X0Y2ZRFPTP/1.2/tools/models/LP_50A/mm11/spectre/a
11Ra7/topinclude.scs" "nominal")
;foreach (each step each point of frequency)
;printf("Creating file %s \n" file_name)
; if (ampl>= 200m //linear value
; then fprintf(filePort "//%s\n" getCurrent())
;fprintf(filePort "//\n")
.....

```

```

; évalue le spectre en fréquence du courant de l'agresseur, sauvé dans un fichier type
paramètres S
; toutes les sources sont considérées pures (phase nulle), seules les amplitudes sont
enregistrées

```

```

selectResult("tran")
i_dft_list=nil
i_dc_list=nil
tstart=cross(VT("/out"),1,7,"rising",nil,nil)
tend=cross(VT("/out"),1,39,"rising",nil,nil)

```

```

;pin=car(pinList)
foreach( pin pinList
i_pin=clip(getData(strcat("/DUT/" pin)) tstart tend)
i_pin_dc=average(i_pin)
i_pin_ac=i_pin-i_pin_dc
i_pin_dft_mag=mag(dft(i_pin_ac tstart tend 1024 "Cosine2" 1
dftCoherentGain("Rectangular",1) ))
;i_dft_list est une courbe, une courbe contient quatre paramètres (xvec, yvec, name, type
(double, complex))
i_name_dft_list=append1(i_dft_list list(pin i_pin_dft_mag))

```

;idem sans le nom de la broche

```
i_dft_list=append1(i_dft_list i_pin_dft_mag)
i_dc_list=append1(i_dc_list i_pin_dc)
);foreach pin
```

```
:: trois courbes (une par port) sont alors formées avec la même échelle des fréquences
:: une même liste est disponible avec le nom des broches
:: le modèle de paramètres S peut alors être construit
:: les courants continus sont toujours en mémoire
```

```
.....
; génération du fichier de paramètres S avec les sources de courant
; le port d'entrée 1 a une impédance haute
; attention à l'emplacement des fichiers (dans la rundir par défaut)
.....
file_name=strcat(cell_name "_agg.s")
filePort=outfile(file_name "w")
printf("Creating file %s \n" file_name)
```

; section d'en-tête

```
fprintf(filePort "; S param file for the aggressor: %s\n" cell_name)
fprintf(filePort ";\n;%s\n" getcurrentTime())
fprintf(filePort ";\n;\n")
fprintf(filePort "; port1 : input AC source \n")
for(index 2 length(pinList)+1
    fprintf(filePort "; port%d : %s\n" index nth(index-2 pinList))
    );for
fprintf(filePort "reference resistance\n")
for(index 1 length(pinList)+1
    fprintf(filePort " port%d = %f\n" index zmatch)
    );for
fprintf(filePort "\n")
fprintf(filePort "format freq: ")
for(index1 1 length(pinList)+1
    for(index2 1 length(pinList)+1
        fprintf(filePort "s%d:%d(real,imag) " index1 index2)
    );for index1
    );for index2
fprintf(filePort "\n")
```

; écriture des lignes

```
; une liste de vecteurs est créée (hypothèse : tous les vecteurs ont les mêmes dimensions)
xvec=drGetWaveformXVec(xval(car(i_dft_list)))
yvec_list=nil
foreach(wave i_dft_list yvec_list=append1(yvec_list drGetWaveformYVec(wave))) ;
```

```

; le fichier de parameters S doit être exporté
; ignore l'index0 qui correspond au continu
vectLength=drVectorLength(xvec) ;
for( s_row 1 (vectLength-1) ; loop through all frequencies to generate all the rows
  fprintf(filePort "%f: " drGetElem(xvec s_row))

; boucle pour tous les ports (generation du fichier de paramètres S)
; Sii=1.0-1.0E-6 décrit Zin=-inf
; Si1= -2.0*zmatch*gm pour décrire le courant sur la broche (port1, ampl=1)
; =fonction du gain en courant du port 1
; Sij,j<>1 est infini, aucun lien entre les ports

for(index1 1 length(pinList)+1
  for(index2 1 length(pinList)+1
    if(index1==index2 ; Sii
      then ; tous les Sii=1,0 pour un port d'impédance infinie (entrée en tension ou
sortie en courant)
        fprintf(filePort "0.9999999,0.0\t") ; Z=1e6*zmatch
      else ;index1<>index2
        if(index2==1
          then ; description du gm
            gm=drGetElem(nth(index1-2 yvec_list) s_row) ;nth va de 0 à length-1, l'index
va de 2 à length+1
            fprintf(filePort "%e,1.0e-20\t" -2.0*zmatch*gm); écrit le else ;
index2<>1 no link
            fprintf(filePort "0.0,0.0\t")
          );if index2=1
          );if index1=index2
        );for index1
        );for index2
      fprintf(filePort "\n")

);pour une ligne s_row
close(filePort)
view(file_name)
; le fichier de parameters S est complété

file_name=strcat(cell_name "_agg.va")
filePort=outfile(file_name "w")
fprintf(filePort "//veriloga file for the aggressor: %s\n" cell_name)
fprintf(filePort "\n")

.....
;; génération du modèle de l'agresseur en veriloga.

```

```

;; inclure le description des impédances
;;
;;
;; attention aux chemins des fichiers
;;
.....
file_name=strcat(cell_name "_agg.va")
filePort=outfile(file_name "w")
printf("Creating file %s \n" file_name)
fprintf(filePort "// verilog file for the aggressor: %s\n" cell_name)
fprintf(filePort "// \n")
fprintf(filePort "//%s\n" getCurrentTime())
fprintf(filePort "// \n")
fprintf(filePort "// \n")
fprintf(filePort "// sparam source includes \n")
fprintf(filePort "// DC current\n")
fprintf(filePort "// and ac source and Sparam current source for the aggression\n")
fprintf(filePort "// should be included in the sparam schematic of the cell \n")
fprintf(filePort "// \n")
fprintf(filePort "// port1 : input AC source \n")
fprintf(filePort "// pins: %L\n" pinList)

fprintf(filePort "\ include \"constants.vams\"\n")
fprintf(filePort "\ include \"disciplines.vams\"\n")
fprintf(filePort "\n")

; utiliser un sous-bloc pour l'agresseur : cell_name_agg
fprintf(filePort "module %s_agg(\n\t%s" cell_name car(pinList))
foreach(pin cdr(pinList) fprintf(filePort "\n\t,%s" pin))
fprintf(filePort ");\n")

; déclaration des broches/pins
foreach(pin pinList
  fprintf(filePort "output %s; electrical %s;\n" pin pin );
);foreach pin

fprintf(filePort "electrical net_vint_ac; // net used as pure AC source to drive the sparam
current sources \n")
fprintf(filePort "electrical net_gnd_sub; // gnd_sub is referenced to the global ground \n")

; toutes ls sources sont référencées au noeud cds_globals.gnd!
; inclure les sources DC
fprintf(filePort "\n")
fprintf(filePort "// dc currents \n")
fprintf(filePort "\n")

```

```

for(index 0 length(pinList)-1
  fprintf(filePort "isource #(.type(\"dc\"), .dc(%e)) IDC_%s ( %s, net_gnd_sub );\n"
nth(index i_dc_list ) nth(index pinList) nth(index pinList))
);for index

; ajoutons le modèle petit signal de l'agresseur
fprintf(filePort " \n// aggressor source \n")
fprintf(filePort "vsource #(.type(\"sine\"), .mag(1)) V0 (net_vint_ac, net_gnd_sub); //
constant ac source \n");
fprintf(filePort "//resistor #(.res(1e6)) Rint (net_vint_ac, net_gnd_sub); // load \n");
fprintf(filePort "\n")
fprintf(filePort "nport \#\(\.thermalnoise\(\"no\"\) ")
fprintf(filePort ", .file\(\"%s_agg.s\"\) " cell_name)
fprintf(filePort ", .interp\(\"linear\"\)")
fprintf(filePort "\) NPORT_AGG (\n\t net_vint_ac, net_gnd_sub")
foreach(pin pinList fprintf(filePort " ,\n\t %s , net_gnd_sub " pin))
fprintf(filePort ");\n")
fprintf(filePort " \n")
fprintf(filePort " \n")
fprintf(filePort " \n//equivalent sparam, port list must match that of the Sparam simulation
\n")
; le fichier de parameters S est complet;

fprintf(filePort "// map net_gnd_sub to global gnd\n")
fprintf(filePort "analog V(net_gnd_sub)<+0.0;\n") ; net_gnd_sub est la référence
fprintf(filePort " \n")

; section de pied
fprintf(filePort "endmodule\n")
close(filePort)
view(file_name)

```

Références

[A-1] Travail en collaboration avec Yves Dufour et Vincent Regnauld, juillet 2008

[A-2] Echanges avec Yves Dufour, juillet 2008

Contribution à l'Analyse des Mécanismes de Couplages dans les Systèmes sur une Puce

Résumé : L'avancée des procédés technologiques a permis de diminuer considérablement les dimensions des transistors, de développer des circuits de plus en plus complexes, et d'intégrer des signaux mixtes sur une même puce. La course à la réduction des coûts des produits étant engagée, un défi réside dans la prise en compte des interactions électromagnétiques entre les systèmes analogiques et numériques, avant la réalisation sur silicium. De forts pics de courants transitoires générés par les commutations simultanées des portes des blocs numériques sont injectés dans les rails d'alimentation et dans le substrat commun à tous les blocs. Les marges, en terme de bruit, sont beaucoup plus faibles pour les blocs analogiques que les blocs numériques, ceci rend les circuits analogiques très sensibles aux variations de signaux conduits et rayonnés. Le travail de cette thèse couvre à la fois les trois aspects des interactions électromagnétiques : leurs sources, les chemins de propagation et la réception des signaux perturbants. Les formations des mécanismes de couplages sont explicitées dans l'environnement d'un circuit réel dans un procédé CMOS avancé. Un modèle d'injection dans le substrat d'une porte numérique est présenté. Des caractérisations substrat réalisées à l'aide d'une structure de mesure dédiée valide ce modèle et permettent d'estimer les gains en isolation que l'on peut obtenir en appliquant des stratégies d'isolation spécifiques. Un ensemble de méthodes est proposé afin d'intégrer des structures d'isolation adaptées, de diminuer l'injection dans le substrat, de placer et connecter les blocs entre eux au niveau global du circuit. Les contraintes en terme de surface dépensée sont évaluées. Nous soulignons l'importance d'appliquer une méthodologie cohérente à toutes les étapes de conception du circuit. Enfin une méthode pour simuler les interactions conduites sur l'ensemble des réseaux au niveau global du circuit est proposée. Des mesures sur un circuit de test valide le principe. Une approche multi-échelles est nécessaire pour considérer les effets électromagnétiques perturbants à la fois au niveau transistor, mais aussi au niveau haut du circuit, à savoir entre les blocs.

Mots-Clés : électromagnétisme, compatibilité électromagnétique des circuits électroniques, couplages conduits et rayonnés, cohabitation des fonctions électroniques, système sur une puce, procédé CMOS avancé, injection dans le substrat, simulation au niveau global du circuit

Contribution to Couplings Mechanisms Analysis in Systems on Chip

Abstract: Because of the shrink of IC technologies dimensions and of the continuous push for miniaturization and cost reduction, complex mixed-signals circuits have been developed on a same die. Considering disturbing electromagnetic interactions between analog and digital systems, before the chip realization, has become a real challenge, particularly to reduce product costs. Switching transients' high current peaks induced by digital circuits inject noise into power supply rails and into the common substrate. Analog circuits lack the large noise margins of digital circuits, thus making them very sensitive to conducted and radiated signals variations.

The work in this thesis spans all areas of noise: generation, propagation paths, and reception. Coupling mechanisms forming is explained in a real circuit environment with an advanced CMOS process. An injection model of a digital gate is presented. Substrate characterizations with a dedicated measurement structure valid the model and allow to estimate isolation gains obtained with specific topology strategies. A set of guidelines is proposed in order to implement accurate isolation structures, to decrease substrate injection, to place and route blocks at the high level of the chip. Optimization of Silicon area used between blocks are also evaluated. The importance to apply a coherent methodology at all designing steps is highlighted. Finally, a method to simulate interactions between whole networks at top level is proposed and validated on a test-chip circuit. Multi-scale approach is needed to take into account electromagnetic interactions at transistor level and also at inter-blocks level.

Keywords: electromagnetism, electronic circuits electromagnetic compatibility, conducted and radiated couplings, electronic functions cohabitation, system on chip, advanced CMOS process, injection into substrate, top-level circuit simulation