

UNIVERSITE DE LIMOGES

FACULTE DES SCIENCES

ECOLE DOCTORALE Science – Technologie – Santé

XLIM : Equipe « Circuits et Sous-Ensembles Electroniques Non-Linéaires »

THESE

Pour obtenir le grade de

DOCTEUR DE L'UNIVERSITE DE LIMOGES

Discipline : "Electronique des Hautes Fréquences et Optoélectronique"

Présentée et soutenue par

Charles TEYSSANDIER

le 6 Mars 2008

**Contribution à la modélisation non-linéaire de transistors
de puissance HEMT Pseudomorphiques sur substrat
AsGa : Analyse des effets parasites**

Thèse dirigée par Raymond QUERE et Raphaël SOMMET

Membres du jury :

M Juan OBREGON	Professeur émérite, Université de Limoges	Président
M Eric BERGEAULT	Professeur, l'ENST (Paris)	Rapporteur
M Joaquin PORTILLA	Professeur, Université du Pays Basque (Bilbao)	Rapporteur
M Bernard CARNEZ	Ingénieur, UMS (Orsay)	Examineur
M Raymond QUERE	Professeur, Université de Limoges	Examineur
M Raphaël SOMMET	Chargé de Recherche CNRS, Université de Limoges	Examineur
M Christophe CHANG	Ingénieur, UMS (Orsay)	Invité

A mes parents et à toute ma famille,

A tous ceux qui me sont chers...

Remerciements

Ce travail a été réalisé au sein de l'équipe Modèles de UMS. Je remercie M. Bernard CARNEZ de m'avoir accueilli au sein de cette équipe afin de réaliser mes recherches.

J'exprime mes sincères remerciements à M. Christophe CHANG, ingénieur à UMS, pour les précieux conseils et pour la disponibilité dont il a fait preuve.

L'encadrement universitaire a été assuré par l'équipe *Composants Circuits Signaux et Systèmes Hautes Fréquences* du site de Brive. Je tiens à remercier M. Raymond QUERE, Professeur à l'Université de Limoges, pour la confiance qu'il m'a témoigné en acceptant de m'accueillir dans le département qu'il dirige. Je le remercie aussi pour m'avoir dirigé et conseillé pendant toute la durée de cette thèse, en collaboration avec M. Raphaël SOMMET, Chargé de recherche au CNRS, leurs suggestions et leur sympathie m'ont permis de mener à bien ce travail.

J'exprime mes sincères remerciements à M. Juan OBREGON, Professeur émérite de l'université de Limoges, pour l'honneur qu'il me fait en acceptant de présider le jury de cette thèse.

Je remercie également M. Eric BERGEAULT, Professeur à École Nationale Supérieure des Télécommunications (ENST) de Paris et M. PORTILLA, Professeur de L'Université del Pais Vasco, d'avoir accepter de juger ce travail en qualité de rapporteurs.

Mes remerciements vont également à Mademoiselle H. BREUZARD, Secrétaire de l'équipe C²S² à Brive, pour sa disponibilité et sa gentillesse. J'associe à mes remerciements Madame M.-C. LEROUGE, Secrétaire de l'équipe C²S² à Limoges, pour son efficacité dans toutes les démarches administratives qu'elle a réalisées à Limoges.

Un grand merci à tout les doctorants et docteurs que j'ai côtoyé durant cette thèse pour leurs aides, leurs convivialités et les sorties du jeudi.

Je souhaite également exprimer ma sincère gratitude envers tout le personnel compétant et convivial d'UMS avec qui j'ai pu collaborer, de près ou de loin, pendant ces trois ans. Les designers qui m'ont fait profiter de leurs expériences et de leurs bonnes humeurs.

Remerciements

Enfin, mes remerciements seraient incomplets sans adresser toute ma reconnaissance aux différents membres de l'équipe Modèles, les anciens comme les nouveaux. Outre les échanges scientifiques et sportifs que nous avons pu avoir, je tiens à exprimer toute ma reconnaissance à Philippe, Olivier, Laurent, Christophe et Sylvain pour l'ambiance amicale et l'inconditionnel soutien que chacun a su m'apporter.

Je n'oublierai pas les bons moments de rigolade vécus dans le « bocal » avec les anciens thésards : Cyril et Julien, comme avec les nouveaux à qui je souhaite bon courage : Claude et Guillaume.

Table des matières

Introduction générale	1
Chapitre I : Les composants actifs hyperfréquence	5
I. Introduction	6
II. Les différentes filières technologiques	7
A. Introduction	7
B. Présentation des principaux transistors de puissance	9
1. <i>Les Transistors Bipolaires à Hétérojonction (HBT)</i>	9
2. <i>Les transistors à effet de champ</i>	15
III. Principe de fonctionnement des transistors à effet de champ AsGa	24
A. Historique et généralités	24
B. Le transistor de type MESFET	26
1. <i>Principe du contact métal-semi-conducteur (Modèle de Schottky)</i>	26
2. <i>Le transistor MESFET</i>	29
C. Présentation des transistors à Hétérojonction	33
1. <i>Principe de l'hétérojonction</i>	34
2. <i>Structure d'un HEMT classique</i>	36
3. <i>Structure d'un PHEMT conventionnel</i>	37
4. <i>Le HEMT métamorphique</i>	38
IV. Caractéristiques du PHEMT de puissance	40
A. Le processus technologique du PHEMT de puissance	40
B. Caractéristiques géométriques de la structure PHEMT destinée aux applications de puissances	43
C. Critères de performance électrique du transistor de puissance	47
1. <i>Fonctionnement petit signal</i>	47
2. <i>Fonctionnement grand signal</i>	51
D. Conclusion	53
Bibliographie	55

Chapitre II : Modélisation non linéaire des PHEMTs AsGa	63
I. Introduction : les besoins en terme de modélisation	64
II. Les différents types de modélisations génériques [46][47]	66
A. Les modèles physiques analytiques	66
B. Les modèles physiques numériques	67
1. <i>Les modèles macroscopiques</i>	68
2. <i>Les modèles microscopiques ou particuliers</i>	69
C. Les modèles phénoménologiques	69
1. <i>La source de courant I_{ds}</i>	71
2. <i>Les capacités non linéaires C_{gs} et C_{gd}</i>	74
D. Les modèles par tables	76
E. Choix du modèle	76
III. Principe de la caractérisation en impulsions	77
A. Introduction	77
B. La caractérisation convective	78
C. La caractérisation hyperfréquence :	80
D. Mesures thermiques	81
IV. Description du modèle non linéaire du PHEMT AsGa	82
A. Détermination du schéma électrique équivalent petit signal	82
1. <i>Les éléments intrinsèques</i>	83
2. <i>Les éléments extrinsèques</i>	84
B. Détermination des éléments parasites extrinsèques du modèle	84
1. <i>Méthode d'extraction</i>	84
2. <i>Analyse de sensibilité</i>	87
C. Extraction des éléments intrinsèques	89
1. <i>Méthode d'extraction</i>	89
2. <i>Analyse de sensibilité</i>	92
D. Exemple de modélisation petit signal avec la filière PPH25X d'UMS	94
E. Modélisation non linéaire des caractéristiques I(V)	98
1. <i>La modélisation du courant de drain I_{ds}</i>	99
2. <i>Les diodes d'entrées ID_{GS} et ID_{GD}</i>	102
3. <i>La modélisation des phénomènes d'avalanche</i>	102
4. <i>Détermination des paramètres des éléments non linéaires du modèle</i>	103
F. Les capacités non linéaires C_{gs} et C_{gd} [88]	106
1. <i>Méthode d'extraction à partir des paramètres [S]</i>	107

2. <i>Le modèle à une seule variable</i>	109
3. <i>Les modèles à deux variables</i>	111
G. Loi d'échelle	112
1. <i>Le courant de drain</i>	112
2. <i>Les capacités non linéaires</i>	114
3. <i>Les générateurs d'avalanches</i>	116
H. Validation du modèle	116
1. <i>Validation du modèle en régime grand signal</i>	116
2. <i>Validation du modèle au travers de l'amplificateur de puissance MILEA</i>	119
V. Conclusion	123
Bibliographie	125
Chapitre III : Les effets thermiques dans les PHEMTs AsGa	133
<hr/>	
I. Introduction	134
II. Problématique	135
A. <i>Pourquoi est-il important de connaître la température d'un composant ?</i>	135
B. <i>Mise en évidence de l'auto-échauffement dans les PHEMTs AsGa</i>	135
III. Méthodes de détermination de la température de jonction des composants MMICs	136
A. <i>Définition de la résistance thermique</i>	137
B. <i>Mesures électriques de la résistance thermique [99]</i>	137
1. <i>Méthode du courant de grille</i>	139
2. <i>Méthode du courant de drain</i>	141
C. <i>Méthode de mesures par spectroscopie Raman</i>	144
D. <i>Simulation thermique de transistors</i>	146
1. <i>Introduction</i>	146
2. <i>La simulation 3D ANSYS de la structure PPH25X</i>	148
E. <i>Comparaison des différentes techniques de détermination de Rth</i>	154
IV. Les modèles thermiques	156
A. <i>Le modèle thermique multi-cellules RC</i>	156
1. <i>Analogie thermique-électrique</i>	156
2. <i>Détermination de la capacité thermique</i>	157
3. <i>Le modèle multi-cellules dans le simulateur circuit</i>	159
B. <i>Le modèle thermique réduit distribué</i>	161

1. <i>Technique de réduction</i>	162
2. <i>Distribution du modèle</i>	167
V. Caractérisation de la dépendance thermique des éléments du modèle	168
A. Objectif de la caractérisation	168
B. Extraction des éléments intrinsèques à partir des paramètres [S] mesurés en température	169
C. Influence de la température sur la fréquence de transition et sur la fréquence maximale d'oscillation	173
D. Etude des paramètres [S] en fonction de la température	176
E. Dépendance en température des caractéristiques I(V)	177
VI. Modélisations des effets thermiques dans le transistor	179
A. Modélisation des sources de courant	180
B. Modélisation des diodes	183
C. Récapitulatif des valeurs des paramètres du modèle non linéaire électrothermique	185
VII. Les modèles thermiques en simulation	186
A. Validation du modèle thermique à cellules RC	186
1. <i>Vérification sur un transistor PPH25X</i>	186
2. <i>Amplificateur MILEA : comparaison mesure-simulation à différentes températures</i>	188
B. Intérêt du modèle thermique réduit	189
1. <i>Comparaison des deux circuits thermiques</i>	189
2. <i>Profil de température sur le transistor 12x100</i>	190
VIII. Conclusion	191
Bibliographie	192
<u>Chapitre IV : Les effets parasites dans les PHEMTs AsGa</u>	<u>197</u>
I. Introduction	198
II. Les effets de pièges dans les transistors PHEMTs AsGa de puissance	198
A. Présentation du phénomène	198
B. Les différents phénomènes de pièges	199
C. Impact des pièges sur les PHEMTs AsGa	200
1. <i>Mise en évidence des pièges dans les transistors PHEMTs AsGa</i>	200
2. <i>Influence de la tension de polarisation V_{ds0} sur les effets des pièges (« drain-lag »)</i>	201
3. <i>Influence de la tension de polarisation V_{gs0} sur les effets des pièges (« gate-lag »)</i>	203

4. L'effet « kink »	204
D. Conclusion	206
III. Les phénomènes de claquage par avalanche	206
A. Pourquoi les analyser ?	206
B. L'avalanche au pincement	207
C. L'ionisation par impact [123]	208
1. Le phénomène	208
2. Le modèle	210
IV. L'ionisation par impact dépend elle de la fréquence ?	211
A. Mise en évidence du comportement en fréquence de l'ionisation par impact	211
B. Détermination d'une fréquence de coupure et des éléments de filtrage	214
C. Résultats Mesures-Modèles au point $V_{gsi} = 1V$ et $V_{dsi} = 7V$	217
D. Résultats Mesures-Modèles à V_{dsi} constant	218
E. Comportement du phénomène en fonction de la température	219
F. Conclusion	220
V. Validation en régime de grand signal RF	221
A. Introduction	221
B. Comportement du cycle de charge dans les zones d'avalanche : mesures sur le banc LPT [139]	221
1. Description du banc de mesure	221
2. Caractérisation de composants PHEMT AsGa	223
3. Conclusion	236
C. Perspectives pour une meilleure modélisation	237
VI. Conclusion	238
Bibliographie	239
Conclusion générale	243

Table des figures

Figure 1.	Figure de mérite des différentes technologies d'amplification de puissance	7
Figure 2.	Vue en coupe d'un transistor bipolaire à hétérojonction	9
Figure 3.	Notations et diagrammes de bandes du transistor à hétérojonction d'émetteur sous polarisations normales	10
Figure 4.	Performances en puissance de la filière HBT InGaP d'UMS en classe B à 3.1 GHz pour une périphérie d'émetteur de 1.8mm.....	13
Figure 5.	Structure de base du transistor MOSFET à canal n.....	16
Figure 6.	Vue en coupe d'un transistor LDMOS.....	16
Figure 7.	Vue en coupe du transistor MESFET SiC.....	17
Figure 8.	Mesures grand signal d'un transistor MESFET SiC de 4.8mm de développement de grille en condition pulsée (durée de pulse=200 μ s, rapport cyclique= 10 %) @ 3 GHz	18
Figure 9.	Mesures grand signal CW du même transistor MESFET SiC de 4.8mm de développement de grille @ 3 GHz.....	18
Figure 10.	Vue en coupe du transistor HEMT AlGaIn/GaN.....	20
Figure 11.	Section d'un HEMT AlGaIn/GaN de NITRONEX avec un source field plate (SLP) [18].....	21
Figure 12.	Formation de la barrière métal-semiconducteur dans le modèle de Schottky.....	27
Figure 13.	Jonction Schottky : en a) polarisée en inverse ; en b) polarisée en directe.....	28
Figure 14.	Vue en coupe de la structure du MESFET.....	29
Figure 15.	Caractéristiques $I_d(V_{ds})$ d'un TEC.....	30
Figure 16.	En a) le canal est entièrement ouvert. Le courant est proportionnel à V_{ds} . Le transistor se comporte comme une conductance contrôlée par la grille. En b) le rétrécissement du canal près du drain provoque le ralentissement de la croissance de I_{ds} . En c) pincement du canal, le transistor est en saturation	32
Figure 17.	La structure de base d'un transistor à hétérojonction (épitaxie)	34
Figure 18.	Deux matériaux de gap différents avant contact	35
Figure 19.	Diagramme de bandes après contact, formation du puits de potentiel et du gaz d'électrons	35
Figure 20.	Structure d'un HEMT classique	36
Figure 21.	Structure d'un PHEMT à dopage δ	37
Figure 22.	a) Epitaxie en accord de maille pour les transistors HEMTs; b) Désaccord de maille, c'est le cas des PHEMTs; c) Grand désaccord de maille, principe de la couche tampon métamorphique	39
Figure 23.	Exemple de couche tampon métamorphique réalisée sur substrat AsGa par HITACHI [41]	39
Figure 24.	Procédé de fabrication du PHEMT AsGa (1 ^{ère} partie).....	41
Figure 25.	Procédé de fabrication du PHEMT AsGa (2 ^{ème} partie).....	42
Figure 26.	Coupe schématique de la structure de base d'un transistor PHEMT développé pour les applications de puissances par UMS.....	43
Figure 27.	Diagramme d'énergie de la double hétérojonction du transistor de puissance PPH25X.....	46

Table des figures

Figure 28.	Profil des transconductances statique : procédé à simple hétérojonction (en bleu) et double hétérojonction (en noir épais)	46
Figure 29.	Quadripôle associé à sa matrice [S]	47
Figure 30.	Gain en courant en fonction de la fréquence d'un PHEMT AsGa de longueur de grille 0.25 μ m pour $V_{ds}=8$ V et $I_d=125$ mA.....	48
Figure 31.	Modèle petit signal simplifié d'un transistor HEMT	49
Figure 32.	Gain maximum disponible en fonction de la fréquence d'un PHEMT AsGa de 0.8mm de développement de grille pour $V_{ds}=24$ V et $I_d=255$ mA	50
Figure 33.	Synoptique d'un amplificateur en grand signal.....	51
Figure 34.	Maximisation de la puissance de sortie.....	53
Figure 35.	Exemple d'un système électronique: chaîne d'émission RF.....	65
Figure 36.	Origine physique du schéma équivalent d'un transistor à effet de champ	70
Figure 37.	Schéma équivalent non linéaire classique d'un TEC	70
Figure 38.	Schéma équivalent du modèle de Root	76
Figure 39.	Principe des mesures en impulsion.....	79
Figure 40.	Principe de mesure des caractéristiques I(V) isothermes.....	80
Figure 41.	Principe de mesure des paramètres [S].....	81
Figure 42.	Schéma équivalent petit signal du PHEMT	83
Figure 43.	Modèle source commune en régime pincé et en basse fréquence.....	85
Figure 44.	a) Modèle en T en grille commune à basse fréquence et b) Modèle en π équivalent.....	86
Figure 45.	Sensibilité des éléments extrinsèques sur le module et la phase du paramètre S_{11} à 10 GHz	87
Figure 46.	Sensibilité des éléments extrinsèques sur le module et la phase du paramètre S_{21} à 10 GHz	88
Figure 47.	Sensibilité des éléments extrinsèques sur le module du paramètre S_{22} à 10 GHz.....	88
Figure 48.	Sensibilité des éléments extrinsèques sur la phase du paramètre S_{22} à 10 GHz.....	89
Figure 49.	Schéma équivalent intrinsèque petit signal du PHEMT	91
Figure 50.	Sensibilité des éléments intrinsèques sur le module et la phase du paramètre S_{11} à 10 GHz.....	92
Figure 51.	Sensibilité des éléments intrinsèques sur le module et la phase du paramètre S_{21} à 10 GHz.....	93
Figure 52.	Sensibilité des éléments intrinsèques sur le module du paramètre S_{22} à 10 GHz.....	93
Figure 53.	Sensibilité des éléments intrinsèques sur la phase du paramètre S_{22} à 10 GHz.....	94
Figure 54.	Photographie d'un transistor de la filière PPH25X à 8 doigts de grille.....	94
Figure 55.	Extraction des paramètres extrinsèques au point de polarisation $V_{ds} = 8$ V, $V_{gs} = -0.4$ V et $I_{ds} = 145$ mA, en fonction de la fréquence de 2 à 40 GHz (1 ^{ère} partie).....	95
Figure 56.	Extraction des paramètres extrinsèques au point de polarisation $V_{ds} = 8$ V, $V_{gs} = -0.4$ V et $I_{ds} = 145$ mA, en fonction de la fréquence de 2 à 40 GHz (2 ^{ème} partie)	96
Figure 57.	Comparaison mesures (— \square —)-modèle (—) des paramètres [S] au point de polarisation $V_{ds} = 8$ V, $V_{gs} = -0.4$ V et $I_{ds} = 145$ mA, en fonction de la fréquence de 2 à 40 GHz (1 ^{ère} partie).....	96
Figure 58.	Comparaison mesures (— \square —)-modèle (—) des paramètres [S] au point de polarisation $V_{ds} = 8$ V, $V_{gs} = -0.4$ V et $I_{ds} = 145$ mA, en fonction de la fréquence de 2 à 40 GHz (2 ^{ème} partie).....	97
Figure 59.	Variations des capacités C_{gs} et C_{gd} en fonction des tensions de polarisations instantanées	97
Figure 60.	Variations de la transconductance G_m et de la conductance de sortie G_d en fonction des tensions de polarisations instantanées	98

Table des figures

Figure 61.	Modèle non linéaire des caractéristiques $I(V)$ du PHEMT	99
Figure 62.	Résultats des modifications sur le modèle par rapport aux mesures.....	101
Figure 63.	$I_{ds}(V_{ds})$ et $I_g(V_{ds})$ d'un transistor $4x75\mu\text{m}$ PPH25X Mesurés sur le banc DIVA pulsé.....	104
Figure 64.	Comparaison mesures (—■—)-modèle (—) du courant de sortie et du courant d'entrée en fonction de la tension V_{ds}	105
Figure 65.	Comparaison mesures (—■—)-modèle (—) de la transconductance (G_m) et de la conductance de sortie (G_d) respectivement en fonction de la tension V_{gs} et de la tension V_{ds} pour un V_{gs} et un V_{ds} constant	106
Figure 66.	Cycle de charge choisi dans le réseau $I(V)$ pour représenter un fonctionnement en puissance du transistor. L'extraction des valeurs des deux capacités non-linéaires C_{gs} et C_{gd} est seulement faite le long du cycle de charge représenté	107
Figure 67.	Valeurs de la capacité C_{gs} extraites sur l'ensemble du réseau $I(V)$ (—■—) et suivant les valeurs obtenues le long du cycle de charge (—).....	108
Figure 68.	Valeurs de la capacité C_{gd} extraites sur l'ensemble du réseau $I(V)$ (—■—) et suivant les valeurs obtenues le long du cycle de charge (—).....	108
Figure 69.	Cycle de charge estimé pour modéliser le transistor PPH25X	109
Figure 70.	Comparaison mesures (—■—)-modèle (—) des capacités C_{gs} (a) et C_{gd} (b) extraites le long du cycle de charge.....	110
Figure 71.	Transformée de Fourier de $I_g(t)$	111
Figure 72.	I_{ds}^+ en fonction du développement des transistors.....	113
Figure 73.	Erreur en % entre la simulation et la mesure de I_{ds}^+	113
Figure 74.	Facteur d'échelle F_{scale} en fonction de la largeur de grille	114
Figure 75.	Comparaison mesures (—■—)-modèle (—▲—) des capacités C_{gs} extraites le long du cycle de charge pour 6 transistors de taille différente	115
Figure 76.	Comparaison mesures (—■—)-modèle (—▲—) des capacités C_{gd} extraites le long du cycle de charge pour 6 transistors de taille différente	115
Figure 77.	Comparaison mesures (—■—)-modèle (—) du courant de drain I_{ds} d'un transistor $12x150$ avec une avalanche drain-source à l'échelle d'un $12x150$ (a) et avec l'avalanche du transistor de référence (b)	116
Figure 78.	Comparaison mesures (—■—)-modèle (—) grand signal CW à 10 GHz du transistor $12x100\mu\text{m}$ 118	
Figure 79.	Comparaison mesures (—■—)-modèle (—) grand signal CW à 10 GHz du transistor $4x75\mu\text{m}$	119
Figure 80.	Architecture de l'amplificateur MILEA.....	120
Figure 81.	Dessin de l'amplificateur MILEA 1W.....	120
Figure 82.	Comparaison des paramètres $[S]$ de l'amplificateur : mesurés (—■—), simulés avec le modèle (—) et avec la mesure des paramètres $[S]$ du transistor injecté dans la simulation (— · —).....	121
Figure 83.	Comparaison mesures (—■—), simulation avec notre modèle (—) et avec le modèle PPH25X de la bibliothèque UMS (— · —) en fonction de la fréquence.....	122
Figure 84.	Comparaison mesures (—■—), simulation avec notre modèle (—) et avec le modèle PPH25X de la bibliothèque UMS (— · —), en fonction de la puissance d'entrée à 14 GHz	123

Table des figures

Figure 85.	Caractéristiques de sortie d'un PHEMT PPH25X 8x100 avec auto-échauffement.....	136
Figure 86.	Transistor monté dans un boîtier de type BMH60.....	138
Figure 87.	Cellule de test pour BMH60 reliée au banc DIVA	138
Figure 88.	La centrale thermique applique une température pouvant aller de -80°C à 250°C.....	139
Figure 89.	Mesure du courant de grille en fonction de la température ambiante pour $P_{diss}=0W$	140
Figure 90.	Mesure du courant de grille en fonction de la puissance dissipée pour une même température ambiante (22°C)	141
Figure 91.	Superposition du réseau $I(V)$ mesuré en continu avec le réseau pulsé à 157°C.....	143
Figure 92.	Schéma du dispositif expérimental	144
Figure 93.	Agrandissement de la zone mesurée par le Raman	145
Figure 94.	Evolution de la température mesurée en fonction du numéro des doigts	146
Figure 95.	Exemple de discrétisation appliquée à la modélisation d'un transistor de type PHEMT	147
Figure 96.	Structure 3D du PPH25.....	148
Figure 97.	Section et cotation de la moitié d'un transistor 12x100 PPH25X.....	150
Figure 98.	Maillage 3D de la structure PPH25X 12x100.....	150
Figure 99.	Vue en coupe de la demi-structure maillée.....	151
Figure 100.	Zone de dissipation de la chaleur.....	152
Figure 101.	Zoom sur la vue en coupe d'un doigt du transistor	152
Figure 102.	Répartition de la chaleur dans la structure TV 12x100, avec $T_{socle} = 27^{\circ}C$	153
Figure 103.	Température sur l'or du transistor.....	154
Figure 104.	Analogie thermique – électrique.....	156
Figure 105.	Forme temporelle d'une impulsion du courant I_{ds} lors de la caractérisation d'un transistor en régime dynamique (pulsé)	158
Figure 106.	Courant de repos mesuré en fonction de la température ambiante pour un transistor 12x100 ...	160
Figure 107.	Circuit Electrothermique équivalent pour un dispositif électronique constitué de trois matériaux semiconducteur.....	160
Figure 108.	Circuit thermique ADS pour le transistor PPH25X	161
Figure 109.	Simulation en transitoire du réseau thermique distribué	165
Figure 110.	Comportement thermique du modèle lorsqu'on applique la même puissance sur chaque doigt correspondant à une puissance dissipée globale de 1W.....	166
Figure 111.	Mise en évidence du couplage entre les doigts dans ANSYS	166
Figure 112.	Représentation de la distribution des selfs de via.....	167
Figure 113.	Modèle distribué dans ADS du transistor 12x100 PPH25X.....	168
Figure 114.	Comparaison du courant de drain à différentes températures.....	169
Figure 115.	Extraction des paramètres intrinsèques C_{gs} et C_{gd} , en fonction de la température.....	170
Figure 116.	Extraction des paramètres intrinsèques G_m et G_d , en fonction de la température	170
Figure 117.	Extraction des paramètres intrinsèques C_{ds} , τ (Tau) et R_b , en fonction de la température	171
Figure 118.	Superposition d'un modèle prenant en compte l'avalanche par ionisation par impact avec les points de notre étude où sont mesurés les paramètres [S]	172
Figure 119.	Comparaison mesures en température/modèle avec avalanche (à 25°C) au niveau du G_d	172
Figure 120.	Comparaison mesures en température/modèle avec avalanche (à 25°C) au niveau de C_{ds}	173

Figure 121.	Paramètres G_{MSG} et $ H_{21} $ à 10 GHz en fonction de la température de socle.....	174
Figure 122.	Influence de la température sur la fréquence de transition.....	174
Figure 123.	Influence de la température sur la fréquence maximale d'oscillation.....	175
Figure 124.	Paramètres $[S]$ au point (-0.3V ; 6V) en fonction de la température.....	176
Figure 125.	$I(V)$ pulsés à trois températures différentes (-40°, 25° et 80°C) mais pour le même point de repos $V_{gs0} = -0.4V$ et $V_{ds0} = 8V$	177
Figure 126.	Courant de grille mesuré en mode pulsé pour trois températures, dans la zone d'ionisation par impact.....	178
Figure 127.	Mesure du courant grille en fonction de V_{ds} pour $V_{gs} = -1.4V$ et $V_{gs} = -2.4V$, à -40°, 25° et 80°C 178	178
Figure 128.	Mesure du courant grille en fonction de V_{gs} pour $V_{ds} = 0V$, à -40°, 25° et 80°C.....	179
Figure 129.	Comparaison mesures-modèle sur le réseau de caractéristiques de sortie $I_{ds}(V_{gs}, V_{ds})$ à trois températures différentes.....	181
Figure 130.	Comparaison mesures-modèle sur le courant de grille lorsque le canal est pincé à trois températures différentes.....	182
Figure 131.	Evolution de I_{sgs} en température, comparaison mesure-modèle.....	183
Figure 132.	Evolution de I_{sgd} en température, comparaison mesure-modèle.....	183
Figure 133.	Evolution de N_{gs} en température, comparaison mesure-modèle.....	184
Figure 134.	Evolution de N_{gd} en température, comparaison mesure-modèle.....	184
Figure 135.	Comparaison mesures (—■—)-modèle (—) des critères de performance en puissance d'un transistor 12x130 μm de développement à deux températures différentes.....	187
Figure 136.	Comparaison mesures (traits pleins)-modèles (traits en pointillé) sur le paramètre S_{21} de l'amplificateur mesuré en température.....	188
Figure 137.	Comparaison du comportement transitoire de la température du doigt central pour le modèle ANSYS avec le comportement transitoire de la température obtenue avec le modèle thermique à deux cellules RC.....	189
Figure 138.	Profil de température sur le transistor 12x100 lors d'une simulation en puissance pour une charge de sortie optimale et pour une fréquence de 10 GHz.....	190
Figure 139.	Comparaison entre les cycles de charge intrinsèque du doigt extérieur et du doigt central à bas niveau (a) et à 1dB de compression (b).....	191
Figure 140.	Mise en évidence du phénomène de « gate-lag ».....	200
Figure 141.	Mise en évidence des pièges dans les transistors PHEMT.....	201
Figure 142.	Méthode de caractérisation pour la mise en évidence des effets de drain-lag.....	202
Figure 143.	Influence de la tension de drain sur un transistor PHEMT AsGa 8x100 μm , avec une puissance dissipée nulle.....	202
Figure 144.	Influence de la tension de grille sur un transistor PHEMT AsGa 8x100 μm , avec une puissance dissipée nulle.....	203
Figure 145.	Mesure $I_{ds}(V_{ds})$ d'un transistor 12x150 au point de polarisation $V_{gs0} = -1.4V$ et $V_{ds0} = 8V$: (a) réseau entier ; (b) zoom sur l'effet kink sur les courbes à $V_{gsi} = 1V$ et $V_{gsi} = 0.6V$	205
Figure 146.	Avalanche standard du transistor PPH25X.....	207

Figure 147. Franchissement de la barrière due à l'hétérojonction par les trous et origine de trois courants : un courant positif d'électrons vers le drain et deux courants de trous négatifs vers la source et la grille.	208
Figure 148. Mise en évidence du phénomène d'avalanche par ionisation par impact dans un PHEMT AsGa par des mesures en impulsion.....	209
Figure 149. Caractéristiques $I_g(V_{gs})$ d'un PHEMT à double recess de grille et à deux plans de dopage.....	210
Figure 150. Courbes en cloche simulées avec le modèle.....	211
Figure 151. Partie réelle et imaginaire du paramètre Y_{22} intrinsèque en fonction de la fréquence pour V_{dsi} fixé à 7V et V_{gsi} qui varie de -1.2V à 1V par pas de 0.1V.....	213
Figure 152. Conductance G_d statique d'un transistor 12x125 à $V_{gs} = 1V$ en fonction de V_{ds}	214
Figure 153. Schéma équivalent grand signal impliquant le filtrage de l'ionisation à haute fréquence.....	215
Figure 154. Schémas équivalents petit signal (BF) pour calculer Y_{22}	215
Figure 155. Partie réelle de Y_{22} à $V_{gsi} = 1V$ et $V_{dsi} = 7V$ en fonction de la fréquence.....	216
Figure 156. Comparaison mesures (), simulation avec le modèle () pour un transistor PPH25X 12x125 μm	217
Figure 157. Comparaison mesures (), simulation avec le modèle () pour un transistor PPH25X 4x75 μm	217
Figure 158. Comparaison mesures ()-simulation avec le modèle () pour un transistor PPH25X 4x75 μm	219
Figure 159. Variation de Y_{22} en fonction de la température de socle au point $V_{gsi} = 1V$ et $V_{dsi} = 6V$	220
Figure 160. Banc de mesure LPT XLIM Brive.....	222
Figure 161. Mesures du transistor 4x75 μm à 3dB de compression pour différentes valeurs d'impédance de charge.....	224
Figure 162. Mesures du transistor 10x125 μm à 3dB de compression pour différentes valeurs d'impédance de charge.....	225
Figure 163. Comparaisons à 2 GHz des mesures (en bleu) par rapport au modèle sans ionisation par impact	226
Figure 164. Comparaisons à 2 GHz des mesures (en bleu) par rapport au modèle avec ionisation par impact	226
Figure 165. Comparaisons à 2 GHz des mesures (en bleu) par rapport au modèle avec la self en série sur la source I.I.....	227
Figure 166. Lieu des points d'amplitude maximale pour chaque cycle mesuré et simulé pour une fréquence de 2 GHz.....	228
Figure 167. Mesure d'un cycle de charge traversant les trois zones de fonctionnement (zone ohmique, zone saturée et zone d'avalanche).....	229
Figure 168. Comparaison à 2 GHz des mesures (en rouge) par rapport au modèle (en bleu) sans la source I.I	231
Figure 169. Comparaison à 2 GHz des mesures (en rouge) par rapport au modèle (en bleu) avec la source I.I en parallèle.....	231
Figure 170. Comparaison à 2 GHz des mesures (en rouge) par rapport au modèle (en bleu) avec la self en série sur la source I.I.....	232

Table des figures

<i>Figure 171. Performance en puissance des mesures et des trois modèles simulés à 2 GHz sur l'impédance de charge 8-30j Ohm.....</i>	<i>233</i>
<i>Figure 172. Comparaison à 4 GHz des mesures (en rouge) par rapport au modèle (en bleu) sans la source I.I 234</i>	
<i>Figure 173. Comparaison à 4 GHz des mesures (en rouge) par rapport au modèle (en bleu) avec la source I.I en parallèle.....</i>	<i>234</i>
<i>Figure 174. Comparaison à 4 GHz des mesures (en rouge) par rapport au modèle (en bleu) avec la self en série sur la source I.I.....</i>	<i>235</i>
<i>Figure 175. Performance en puissance des mesures et des trois modèles simulés à 4 GHz sur l'impédance de charge 8-30j Ohm.....</i>	<i>236</i>

Liste des tableaux

Tableau 1.	Tableau des propriétés physiques, électriques et thermiques.....	8
Tableau 2.	Tableau des records de Fréquence obtenus par les HBT InP	12
Tableau 3.	Tableau des points importants de chaque filière	22
Tableau 4.	Vue d'ensemble des performances des filières d'UMS.....	23
Tableau 5.	Etat de l'art des amplificateurs de puissances (1 ^{ère} partie).....	24
Tableau 6.	Etat de l'art des amplificateurs de puissances (2 ^{ème} partie).....	24
Tableau 7.	Avantages et inconvénients de la technologie métamorphique	40
Tableau 8.	Valeurs des éléments extrinsèques du transistor PPH25X-1200 μ m.....	95
Tableau 9.	Valeurs des éléments intrinsèques du transistor PPH25X-1200 μ m au point de polarisation $V_{ds} = 8V$, $V_{gs} = -0.4V$ et $I_{ds} = 145mA$	95
Tableau 10.	Paramètres de l'équation et leur rôle dans le modèle Cobra.....	102
Tableau 11.	Valeurs des paramètres de $C_{gs}(V_{gs})$ et de $C_{gd}(V_{gd})$	110
Tableau 12.	Calcul de R_{th} pour les valeurs de V_{gs} où se croisent les caractéristiques $I(V)$	143
Tableau 13.	Comparaison des résistances thermiques pour le transistor 12x100 PPH25X suivant les différentes techniques d'analyse thermique	155
Tableau 14.	Définition de l'équivalence des grandeurs thermiques et électriques	156
Tableau 15.	Relations entre les grandeurs physiques et représentation du circuit d'impédance thermique équivalente.....	157
Tableau 16.	Valeurs des différentes constantes de temps.....	159
Tableau 17.	Paramètres de la source de courant I_{ds} COBRA modifiée.....	185
Tableau 18.	Paramètres de la capacité non linéaire C_{gs}	185
Tableau 19.	Paramètres de la capacité non linéaire C_{gd}	185
Tableau 20.	Paramètres de la source de courant représentant l'avalanche standard.....	185
Tableau 21.	Paramètres de la source de courant représentant l'avalanche due à ionisation par impact.....	185
Tableau 22.	Valeurs de paramètres extrinsèques.....	185
Tableau 23.	Valeurs de paramètres intrinsèques	186
Tableau 24.	Valeurs finales des températures de canal pour chaque doigt du transistor.....	189
Tableau 25.	Comparaison des valeurs maximales de P_{out} à 4 GHz.....	236

INTRODUCTION GENERALE

Les contraintes qui pèsent sur les systèmes de Télécommunications et Radars actuels se durcissent du fait de la demande accrue en bande passante, en efficacité énergétique et en robustesse. Elles ont, en particulier, un impact très important sur la conception des amplificateurs de puissance qui représentent, très fréquemment, la pierre d'achoppement du terminal Radio-Fréquences.

La mise en place de systèmes performants requiert une technologie de semiconducteurs offrant des performances en termes de fréquence, puissance, rendement et linéarité toujours plus élevées. Dans la technologie des semi-conducteurs III-V, il existe un grand nombre de structures de transistors, toutes différentes, dont les performances correspondent à des applications spécifiques et à un domaine de fréquence donné. Pour l'amplification de puissance hyperfréquence, le HEMT pseudomorphique (PHEMT) sur GaAs constitue un des composants privilégiés compte tenu de ses performances et de la maturité de la filière.

Pour répondre aux besoins en terme de puissance aux hautes fréquences, UMS (United Monolithic Semiconductors) a développé plusieurs filières de composants PHEMT conduisant à l'utilisation d'empilement de couches semi-conductrices de plus en plus sophistiquées présentant un comportement physique extrêmement complexe. La technologie de transistor PPH25X fut créée à l'origine pour délivrer une puissance de l'ordre d'un Watt par millimètre de développement de grille et pour fonctionner en bande X. A sa création, cette filière était destinée aux applications radars militaires car les PHEMTs AsGa proposent de meilleures performances en terme de bruit.

Pour rendre plus facile et moins onéreuse la réalisation des circuits MMICs (Monolithic Microwave Integrated Circuits) optimisés pour la génération de puissance, le concepteur fait appel à des modèles non linéaires de transistors intégrables dans les outils de simulation CAO. Pour être réalistes, ces modèles doivent prendre en compte le maximum de phénomènes physiques propres à la technologie. De nombreuses études ont déjà été effectuées sur ce sujet, à XLIM notamment, mais dans le cadre d'une utilisation industrielle de ces modèles, la sophistication des équations mises en œuvre est souvent peu compatible avec leur implantation dans les simulateurs commerciaux, soit à cause de la durée prohibitive des temps de calcul, soit tout simplement parce que les fortes non-linéarités mises en jeu conduisent à la non convergence des simulateurs, en particulier dans le cas d'amplificateurs comportant un grand nombre de transistors. Des choix et des améliorations sont donc à faire au niveau de la

topologie et des équations du modèle afin de combler les lacunes et de parfaire la précision des modèles de transistors actuels.

Ces modélisations sont réalisées à l'aide de caractérisations telles que des mesures de réseaux $I(V)$ et de paramètres $[S]$ pulsés. En effet, l'aspect pulsé permet d'explorer des zones de fonctionnement critiques du transistor sans risques destructifs, permettant alors une modélisation aboutie. Pour s'assurer de la fiabilité de ces modèles non linéaires, une phase de validation est généralement nécessaire.

UMS est confrontée à une demande toujours croissante d'augmentation de la puissance de sortie dans le cadre du développement de ses produits amplificateurs, cet accroissement constant des densités de puissance au sein des composants fait de la température un paramètre incontournable dans la conception des circuits. En effet, les effets thermiques peuvent avoir un impact préjudiciable sur la forme des impulsions radar par exemple. La prise en compte du phénomène d'auto-échauffement passe par la détermination d'un circuit thermique couplé au circuit électrique. La détermination de la température des composants nécessite de recourir à des techniques de caractérisation spécifiques. Parmi elles, la simulation numérique apparaît comme la méthode adéquate pour une analyse complète des problèmes thermiques. Ceci est d'autant plus vrai si l'on s'intéresse aux phénomènes dynamiques des transitoires de température. L'objectif final est de présenter une étude approfondie du comportement thermique des transistors de la filière PPH25X et d'extraire un modèle non-linéaire électrothermique précis pour UMS.

Pour la génération de fortes puissances aux fréquences microondes, le principe de fonctionnement commun est d'utiliser des transistors polarisés à des tensions relativement importantes et de faire varier un signal radiofréquence autour de ces coordonnées de repos. Une attention particulière doit alors être portée sur la modélisation et la caractérisation de facteurs limitant la génération de puissance tels que les phénomènes d'avalanche et les effets de pièges. On apportera un soin tout particulier à l'analyse des courants entraînés par le phénomène d'ionisation par impact en introduisant une hypothèse sur son comportement en hyperfréquence. Le but recherché est de contribuer à l'expertise de solutions aux niveaux modélisation et caractérisation pour améliorer la compréhension de ces effets primordiaux pour la conception.

CHAPITRE I : LES COMPOSANTS ACTIFS HYPERFREQUENCE

I. Introduction

Les dispositifs électroniques mettant en jeu des signaux micro-ondes, tels que les télécommunications sans fil, l'imagerie ou encore les systèmes radars, ont besoin dans leur chaîne de transmission de l'application : amplification de puissance. Elle a pour but d'amplifier une énergie radiofréquence injectée en entrée ; cette action ne peut être réalisée que par l'apport d'une énergie continue. L'élément actif clé des circuits amplificateurs est le transistor.

Il existe deux grandes familles de transistor : les transistors bipolaires et les transistors à effet de champ (TEC). La différence essentielle se trouve dans la configuration de leur structure (ou plus simplement, dans le sens de déplacement des électrons) : verticale pour les bipolaires et horizontale pour les TECs.

La demande croissante de circuits de plus en plus performants, c'est-à-dire fonctionnant à des fréquences toujours plus hautes et capables de délivrer des puissances toujours plus élevées, a favorisé la création de sous familles comme les composants dotés d'une hétérojonction (HBT, HEMT, etc.) par exemple, et, plus récemment, le développement de filières technologiques à base de nouveaux matériaux semi-conducteurs à grand gap comme le GaN ou le SiC.

Pour bien situer le transistor PHEMT AsGa parmi ses principaux concurrents nous pouvons établir un état de l'art des transistors utilisés en hyperfréquences puis faire un tour d'horizon des dernières applications amplification de puissance pour mettre en évidence les spécifications de chaque technologie.

Un choix parmi cette grande diversité de techniques doit être alors réalisé pour répondre au mieux aux attentes du marché.

La modélisation des transistors à effet de champ constitue le thème principal de notre étude, bien comprendre le principe de fonctionnement et la méthode de fabrication de ces transistors s'avère donc primordiale. Une des nombreuses voies à l'étude pour améliorer le fonctionnement des semi-conducteurs vers les fortes puissances consiste à modifier les caractéristiques géométriques des PHEMT, le but étant de repousser la tension de claquage ou d'augmenter la densité de courant.

La dynamique de développement de nouvelles structures associées aux propriétés intrinsèques des transistors PHEMT sur substrat GaAs permettent d'offrir, en phase avec la

demande, des performances ultimes en terme de rendement en puissance ajoutée, en densité de puissance et en gain. Ces paramètres constituent les critères de performance principaux de l'amplification de puissance.

II. Les différentes filières technologiques

A. Introduction

Dans le large éventail des applications électroniques, la domination du silicium est incontestable. Par contre, lorsqu'il s'agit de génération de puissance en haute fréquence, les transistors PHEMTs et les transistors Bipolaires à hétérojonction (HBT) sur substrat AsGa sont incontournables, ils sont bien implantés dans ce domaine grâce à de nombreux indicateurs, comme la largeur de bande interdite, la valeur du champ de claquage ou encore la mobilité des porteurs, qui leurs donnent la possibilité d'être supérieurs au silicium dans le domaine des hautes fréquences.

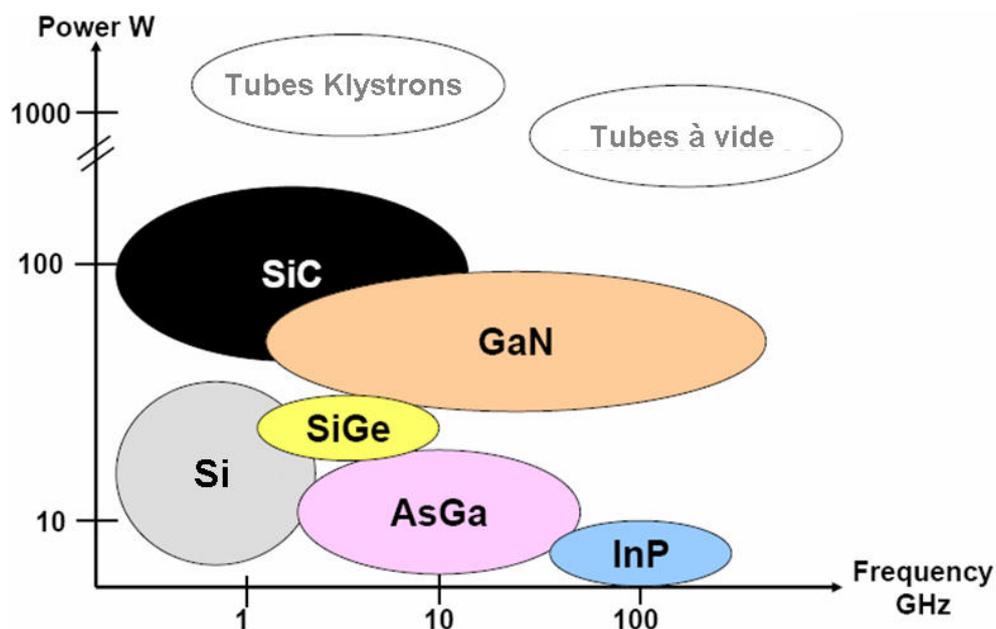


Figure 1. Figure de mérite des différentes technologies d'amplification de puissance

Néanmoins, la demande toujours constante du consommateur en terme d'intégration et de performance a permis le développement de nouvelles technologies. On peut remarquer sur la figure de mérite ci-dessus l'apparition ces dernières années de filières très prometteuses comme les HEMTs GaN et les MESFETs SiC.

Un choix doit alors être effectué entre ces différentes filières pour offrir les meilleurs compromis en se basant sur les critères physiques et électriques.

	<i>Si</i>	<i>Ge</i>	<i>AsGa</i>	<i>InP</i>	<i>GaN</i>	<i>4H-SiC</i>	<i>C</i>
Nature du Gap	indirect	indirect	direct	direct	direct	indirect	indirect
Bande interdite Gap (eV)	1.12	0.66	1.43	1.35	3.39	3.2	5.45
Champs électriques d'avalanche (V/cm)	$3 \cdot 10^5$	$1 \cdot 10^5$	$4 \cdot 10^5$	$4.5 \cdot 10^5$	$3.3 \cdot 10^6$	$3 \cdot 10^6$	$5.6 \cdot 10^6$
Densité de porteurs intrinsèques (cm⁻³)	$1.5 \cdot 10^{10}$	$2 \cdot 10^{13}$	$1.79 \cdot 10^6$	$1.3 \cdot 10^7$	$1.9 \cdot 10^{-10}$	$8.2 \cdot 10^{-9}$	$1.6 \cdot 10^{-27}$
Permittivité relative ϵ_r	11.8	16.2	11.5	12.1	9	10	5.5
Mobilité des porteurs (cm²/V.s)	1350	3900	8500	5400	1600	900	1900
vsat (cm/s)	$1 \cdot 10^7$	$0.7 \cdot 10^7$	$1 \cdot 10^7$	$0.8 \cdot 10^7$	$1.5-2 \cdot 10^7$	$2 \cdot 10^7$	$2.7 \cdot 10^7$
Conductivité électrique (S/m)	$1 \cdot 10^{-4}$	$2.1 \cdot 10^{-4}$	$1 \cdot 10^{-7}$	$1.2 \cdot 10^{-6}$	$6-12 \cdot 10^{-2}$	$1 \cdot 10^{-2}$	$1 \cdot 10^{-12}$
Conductivité thermique (W/cm.K)	1.57	0.58	0.54	0.68	1.7	3.7	20
Hétérostructures	SiGe/Si	-	AlGaAs/GaAs InGaP/GaAs AlGaAs/InGaAs	-	AlGaN/GaN InGaN/GaN	-	-

Tableau 1. Tableau des propriétés physiques, électriques et thermiques

Dans la littérature on trouve beaucoup de nouveaux records en terme de puissance pour les HEMT GaN ou encore de fréquence pour les substrats à base d'InP par contre les filières plus matures comme l'AsGa présentent peu d'évolutions récentes. Après une brève présentation de chaque technologie, un bilan sera réalisé sur les différentes filières proposées par les fabricants et les dernières performances obtenues en recherche, et une comparaison

entre quelques résultats d'amplificateurs de puissances sur différents substrats sera aussi établie.

B. Présentation des principaux transistors de puissance

1. Les Transistors Bipolaires à Hétérojonction (HBT)

a. Rappel sur les transistors bipolaires à hétérojonction

La structure du transistor bipolaire à hétérojonction (noté HBT pour *Heterojunction Bipolar Transistor*) qui apparaît *Figure 2* est verticale comme celle du transistor bipolaire, mais réalisé à partir d'hétérojonctions. Dans ce type de structure, les techniques modernes d'épitaxie permettent de réduire la distance émetteur-collecteur à moins de $0.1\mu\text{m}$, ce qui permet des performances en fréquence plus élevées. Dans le même ordre d'idée, il est possible de réaliser des surfaces d'émetteur et de collecteur beaucoup plus importantes, ce qui autorise des courants et par la suite des puissances plus élevées.

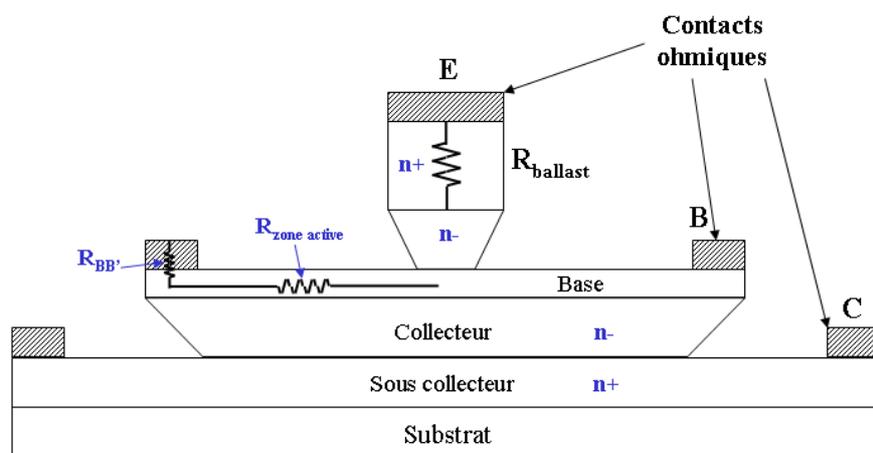


Figure 2. Vue en coupe d'un transistor bipolaire à hétérojonction

La jonction émetteur-base est de préférence graduelle, en effet la combinaison d'une base à gap graduel avec une hétérojonction émetteur-base abrupte améliore sensiblement les

performances. La discontinuité de bande de conduction (voir *Figure 3* ci-dessous) sert de rampe de lancement pour les électrons de l'émetteur. Ces derniers sont injectés dans la base avec une énergie cinétique initiale égale à la discontinuité de bande. Ils traversent alors la base de manière balistique.

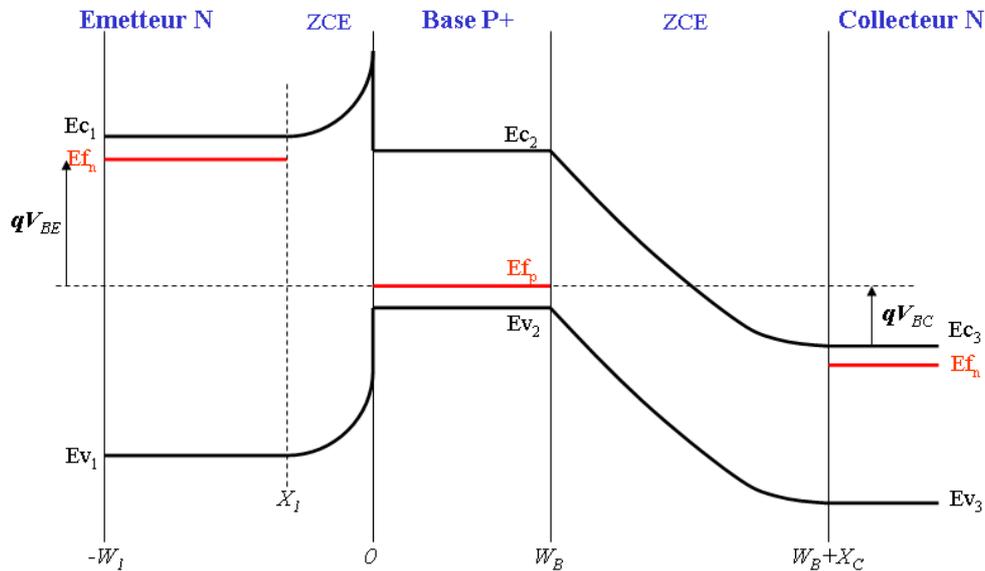


Figure 3. Notations et diagrammes de bandes du transistor à hétérojonction d'émetteur sous polarisations normales

Alors que dans les dispositifs unipolaires à effet de champ (HEMT et PHEMT) la grille de commande n'admet qu'un courant négligeable, l'électrode de base du HBT peut être le siège d'un courant notable dû principalement à la recombinaison dans la base et à l'injection de minoritaires dans l'émetteur. Le gain en puissance dans le montage émetteur commun (c'est-à-dire L'émetteur connecté à la masse) s'en trouve diminué. La technologie du transistor bipolaire à hétérojonction aura donc pour première mission la réduction du courant de base ou, ce qui revient au même l'obtention d'un courant de collecteur I_C aussi voisin que possible du courant d'émetteur I_E . Le dispositif sera donc caractérisé par ses gains en courant :

$$\alpha = \frac{I_C}{I_E} \text{ et } \beta = \frac{I_C}{I_B} \quad (\text{I-1})$$

Avec $I_E = I_N + I_P + I_S$, $I_C = I_N + I_R$ et $I_B = I_P + I_R + I_S$

Où I_N est le courant d'électrons injectés de l'émetteur vers la base

I_P est le courant de trous injectés de la base vers l'émetteur

I_R est le courant de recombinaison dans la base

I_S est le courant de recombinaison dans la Zone de Charge d'Espce

Le courant principal est le courant d'électrons I_N , les autres termes sont des termes parasites qu'il est nécessaire de réduire au mieux.

Par rapport au transistor bipolaire classique, le dopage de la base est plus grand du fait de l'hétérojonction émetteur-base et ainsi entraîne la réduction de la résistance transverse de la base R_B .

Cette particularité offre une amélioration de la fréquence de transition F_t et une maximisation de la fréquence maximale de fonctionnement F_{max} :

$$F_t = \frac{I}{2 \cdot \pi \cdot \tau_{ec}} \quad (\text{I-2})$$

où τ_{ec} est le temps de transit des électrons à travers l'ensemble de la structure.

$$F_{max} = \sqrt{\frac{F_t}{8\pi \times C_{BC} \times R_B}} \quad (\text{I-3})$$

où R_B est la résistance de la base et C_{BC} est la capacité base collecteur.

Remarque : attention la fréquence de transition dépend essentiellement de l'épaisseur du collecteur car le temps de transit dans celui-ci est prédominant pour τ_{ec} .

La résistance transverse R_B est celle que présente la couche P au cheminement latéral des trous constituant le courant de base I_B . Elle peut être scindée en deux parties dont les conséquences sont différentes : la première intéresse la portion de la base se trouvant dans la zone active où se manifeste l'effet transistor. Elle est responsable de l'autopolarisation latérale de l'émetteur. La seconde se situe à l'extérieur de la zone active (résistance d'accès $R_{BB'}$, voir *Figure 2*). Elle influence la pente externe du transistor et ses propriétés hautes fréquences. Elle peut également conditionner les propriétés du transistor en régime de saturation. En d'autres termes, la résistance globale R_B aura un impact direct sur la valeur maximale du gain en puissance disponible à une fréquence donnée.

Par la suite, l'augmentation de la puissance passera par l'optimisation de l'épaisseur du collecteur et de son dopage, en effet ces deux paramètres permettent d'établir un compromis entre la tension de claquage limité par l'avalanche et le courant collecteur limité par l'effet Kirk [1].

b. Le HBT SiGe

Le HBT sur Silicium germanium (SiGe) a suscité beaucoup d'attention depuis que les fabricants ont affiné leurs processus et ont commencé à offrir des lignes de produits sur des rondelles SiGe de 8 pouces. Les transistors bipolaires à hétérojonction SiGe ont trouvé des applications dans beaucoup de produits micro-ondes comme dans les terminaux de téléphonie mobile où ils peuvent offrir un rendement élevé dû en grande partie à la faible tension de conduction des jonctions grâce à l'apport de germanium dans la base, de plus c'est un procédé rentable par rapport à l'AsGa et ces transistors permettent d'obtenir des performances inaccessibles sur les plateforme uniquement silicium, malgré la maturité de ce dernier.

Au début des années 80, cette technologie a vu le jour pour améliorer les temps de transit des fonctions logiques, en effet les tensions de claquage ne dépassent pas 8V alors que les fréquences de transition et les fréquences maximales de fonctionnement atteignent 90 GHz.

En bande L, le transistor HBT SiGe montre des performances en puissance convenables puisse que pour une longueur d'émetteur (W_E) de $0.9\mu\text{m}$, la puissance de sortie atteint 32.4dBm pour un gain de 12.3dB et une PAE (power added efficiency) de 67% [2]. A une fréquence de 8 GHz, la configuration base-commune, avec un W_E de $3\mu\text{m}$, permet d'obtenir le meilleur compromis, une puissance de sortie de 27.7dBm pour un gain de 12.2dB et un rendement en puissance ajoutée de 61% [3].

Cette montée en fréquence s'effectue néanmoins au détriment des tensions de claquage et donc de la puissance. Le procédé SiGe est un candidat peu probable pour les applications demandant des puissances élevées à de hautes fréquences d'utilisation.

c. Le HBT InP

Du fait d'une grande mobilité des électrons, les semi-conducteurs à base d'InP possèdent l'avantage de pouvoir fonctionner à des fréquences très élevées (voir tableau ci-dessous).

Type de transistor	fT (GHz)	Ref.	f_{max} (GHz)	Ref.
InP HBT	416	[4]	755	[4]
InP HBT (collecteur face arrière = « Transferred Substrate »)	300	[5]	1080	[6]

Tableau 2. Tableau des records de Fréquence obtenus par les HBT InP

On peut distinguer deux catégories de transistors HBTs sur substrat InP : les transistors à simple hétérojonction (SHBT) et à double hétérojonction (DHBT). Dans le cas du SHBT, le collecteur est constitué du même matériau que la base donc la faible largeur de bande interdite a pour conséquence une tension de claquage V_{BCE} de l'ordre de quelques Volts si on utilise un matériau comme l'InGaAs par exemple. Pour atteindre des niveaux de puissances plus important, ou en d'autres termes pour repousser les tensions d'avalanche, l'épaisseur du collecteur a été augmentée tout en maintenant un certain niveau de dopage de celui-ci. On obtient donc un courant de sortie important.

Les transistors à double hétérojonction ont été mis au point pour augmenter les tensions de claquage, en effet on forme une deuxième hétérojonction en introduisant de l'InP pour constituer le collecteur. La réalisation d'un DHBT InGaP a permis d'atteindre des tensions de claquage de l'ordre de 40V pour des fréquences de coupure d'environ 40 GHz [7].

Au niveau industriel, UMS propose une filière HBT InGaP destinée aux applications en bande L et S [8] ; la tension de claquage V_{BCE} est d'environ 35V pour un gain maximal en courant β de 50. Le graphique (*Figure 4*) ci-dessous montre les performances en puissance de cette technologie pour un transistor de périphérie d'émetteur de 1800 μ m, polarisé à $V_{CE0}=20V$ en classe B et à une fréquence de 3.1 GHz.

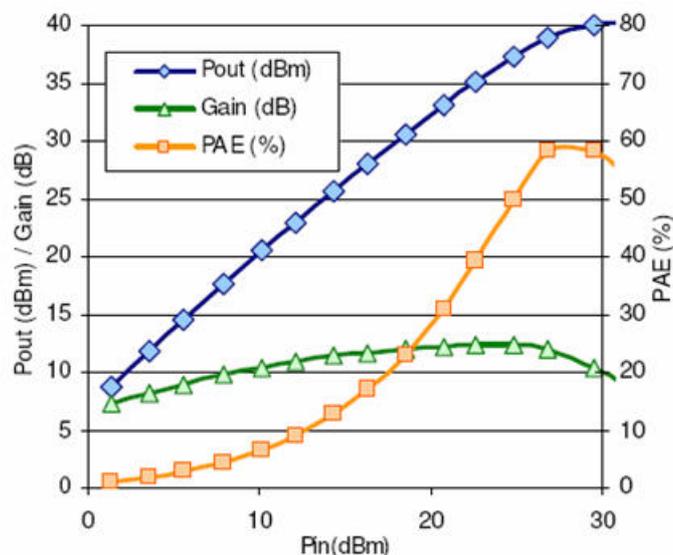


Figure 4. Performances en puissance de la filière HBT InGaP d'UMS en classe B à 3.1 GHz pour une périphérie d'émetteur de 1.8mm

d. Le HBT AsGa

Par rapport aux circuits en silicium, les avantages des circuits AsGa sont : une plus grande mobilité des électrons (pour les champs électriques faibles, cette mobilité est quatre fois supérieure à celle du silicium, ce qui diminue d'autant les résistances d'accès des transistors) et un substrat AsGa semi-isolant qui facilite la réalisation des lignes, diminue les pertes et améliore les facteurs de bruit.

Pour les hautes fréquences et les applications de puissance élevée, l'AsGa a deux inconvénients principaux : la dissipation de puissance et le coût. Tous les deux sont essentiellement liés aux propriétés intrinsèques du matériau. Le substrat AsGa est plus cher que le substrat silicium, plus difficile aussi à manipuler et possède une plus grande résistivité thermique qui rend la dissipation de chaleur plus compliquée pour des applications de puissance élevée.

Le champ électrique critique, qui est cinq fois plus petit que celui du GaN, est un autre inconvénient.

Le HBT a pour intérêt d'être rapide, de posséder une bonne linéarité et un fort rendement. Il se trouve sans concurrence dans le domaine des télécommunications et plus particulièrement dans le secteur des téléphones cellulaires car il possède, parmi les filières de puissances matures, la plus grosse densité de puissance (de l'ordre de 5W/mm). En contre partie, le dessin des transistors HBT rend plus difficile la réalisation d'amplificateurs large bande ce qui n'est pas le cas des PHEMT AsGa.

La fréquence et la tension de claquage sont liées aux épaisseurs des différentes couches, on trouve dans la littérature un transistor bipolaire à hétérojonction AlGaAs/GaAs qui, pour une épaisseur de collecteur de 9 μ m, propose des tensions d'avalanche élevées ($BV_{CE0}=106V$) pour des fréquences F_T et F_{MAX} respectivement de 1.16 GHz et 3 GHz [9]. Un compromis est donc à établir entre les fréquences et les tensions de breakdown par le biais des épaisseurs des couches.

e. Les HBTs grand gap

Les transistors à grand gap, c'est-à-dire réalisés avec des matériaux comme le Carbure de Silicium (SiC), le Nitrure de Gallium (GaN) ou encore le Diamant (C), possèdent des propriétés physiques qui leurs permettent de supporter de fortes tensions et donc de fortes

puissances tout en dissipant plus facilement la chaleur grâce à leur forte conductivité thermique.

Les travaux réalisés sur les transistors de puissance de type HBT sont encore relativement rares, on préfère étudier des topologies plus simples et tout aussi performantes comme le MESFET pour le SiC et le HEMT pour le GaN. Néanmoins des records en termes de tensions de claquage ont été obtenus sur des transistors HBTs AlGaN/GaN [10]. En effet, une tension $V_{B_{CE}} \approx 330$ V est obtenue avec un gain en courant (β) de l'ordre de 18 pour une densité moyenne de courant supérieure à 1KA/cm^2 , ceci avec une épaisseur de collecteur de $8 \mu\text{m}$.

Remarque : les composants réalisés sur SiC ou GaN sont polarisés à des tensions et des courants élevés mais même avec de très grandes conductivités thermiques les puissances mise en jeux sont telles qu'il est à l'heure actuelle difficile de dissiper la chaleur provenant de ces composants de petites dimensions. Les performances décrites dans la littérature sont d'ailleurs souvent des caractéristiques obtenues en mode pulsé pour éviter l'échauffement des transistors.

2. Les transistors à effet de champ

a. Les MOSFETs et LDMOS

La structure de base du transistor MOSFET (*Metal Oxide Semiconductor Field Effect Transistor*) est représentée sur la *Figure 5*. Le transistor est essentiellement constitué d'un substrat, généralement de type p , dans lequel deux diffusions n^+ constituent les électrodes de source et de drain. Une capacité MOS est réalisée sur le substrat entre la source et le drain. L'électrode de commande de la capacité MOS constitue la grille du transistor.

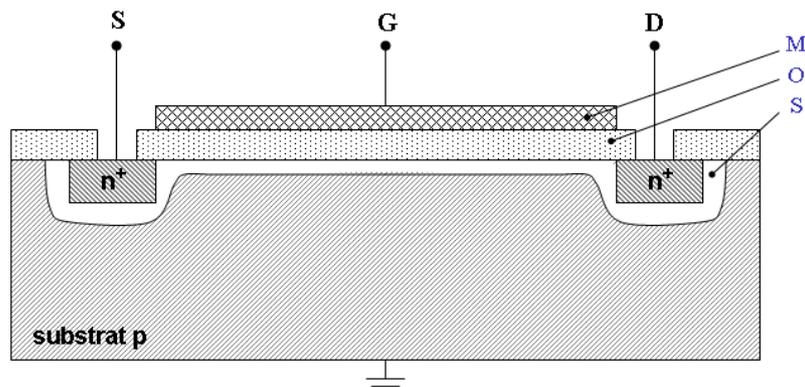


Figure 5. Structure de base du transistor MOSFET à canal n

Si la capacité MOS grille-substrat est en régime d'inversion ($V_g > V_t$), un canal n à la surface du semi-conducteur relie la source et le drain. On module ainsi le courant de drain par la tension de polarisation de la grille.

Le principe de fonctionnement du transistor à effet de champ à grille isolée consiste donc à moduler, par la tension de grille, la conductivité du canal drain-source résultant de la couche d'inversion créée à la surface du semi-conducteur.

Ce type de transistor présente l'avantage d'être rapide, moins sensible aux effets thermiques et d'être commandé par une tension (contrairement au HBT qui nécessite une consommation de courant). Ces avantages sont néanmoins mineurs dans le domaine de la puissance et concurrencés par des inconvénients sérieux comme d'être limité par une faible tension de claquage ou un faible courant en régime de conduction.

Une des filières développées, pour pallier les limites en puissance du MOSFET, est celle du LDMOS (*Laterally diffused MOS*). Il se distingue du MOSFET par un puits dopé $p+$ (*Figure 6*) jouant le rôle de masse RF entre la source et la face arrière du composant.

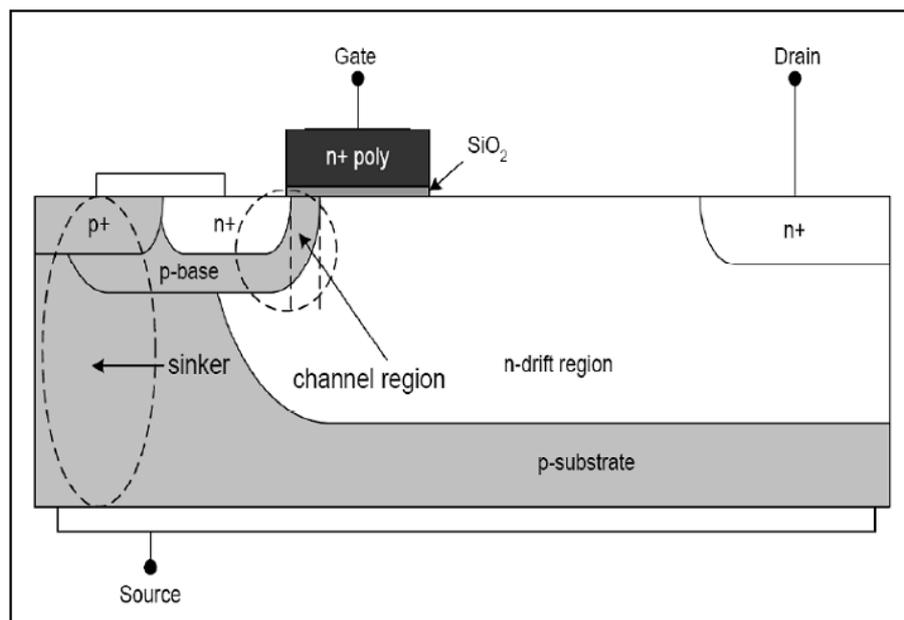


Figure 6. Vue en coupe d'un transistor LDMOS

La filière silicium LDMOS a gagné la plus grande part du marché des amplificateurs de puissance de station de base aux dépens des composants siliciums bipolaires et des MESFETs AsGa. Le LDMOS offre d'excellents rapports coût/performance dans ce segment.

Cependant, sa capacité à continuer d'occuper ce marché s'avère incertaine, en effet pour les prochaines générations de systèmes il se trouvera limité par sa fréquence de

fonctionnement inférieure (fréquence d'utilisation maximum en bandes L ou S), sa tension de claquage moins élevée et sa plus faible densité de puissance. A l'heure actuelle, Freescale propose des composants, préadaptés ou non, pour des applications 3G. Les fréquences d'utilisation couvrent la bande 1805MHz-2170MHz pour des tensions d'alimentation comprises entre 26V et 28V, des puissances comprises évoluant de 1W à 120W et un gain allant de 10.2dB à 15dB [11].

b. Les MESFETs SiC

L'avantage des MESFETs SiC est l'excellente conductivité thermique de son substrat. Cependant, la mobilité des électrons est sensiblement inférieure à celle de GaN, qui est lié au manque de disponibilité de technologie d'hétérojonction dans cette configuration de matériau. De plus, ces substrats sont coûteux et limités en diamètre mais les MESFETs SiC sont de sévères concurrents pour les applications comme les amplificateurs de puissance de station de base pour les systèmes de communications sans fil.

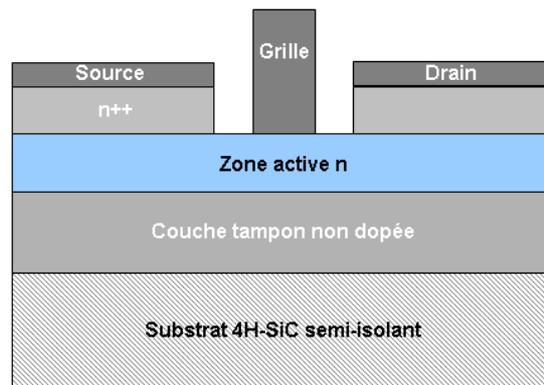


Figure 7. Vue en coupe du transistor MESFET SiC

Le principe du transistor MESFET sera décrit dans la partie suivante de ce paragraphe.

En juin 2004, H. George Henry présente des résultats impressionnants à partir d'un MESFET SiC de 4.8 mm de développement fonctionnant à 3 GHz [12]. Ce MESFET se différencie d'un MESFET classique par l'ajout d'un « spacer » de 200 Å en SiC non dopé entre le canal et la grille, minimisant ainsi les pièges de surface. Une première série de mesures grand signal pulsé (Figure 8) est effectuée avec une polarisation en classe AB avec V_{gs} pulsée et V_{ds} continue (durée de pulse=200µs, rapport cyclique= 10 %). Ce transistor MESFET SiC délivre alors une puissance de sortie égale à 21 W (soit environ 4.4 W/mm), avec une PAE de 62 % et un gain en puissance de 10.6 dB. Une deuxième série de mesures grand signal CW (Figure 9) est effectuée avec les mêmes valeurs de tensions de polarisation

mais en mode continu. Les performances de ce transistor MESFET SiC sont alors en retrait par rapport à celles obtenues en condition pulsée. Il délivre tout de même une puissance de sortie de 9.2 W (soit environ 2 W/mm), avec une PAE de 40 % et un gain en puissance de 7 dB pour une fréquence de travail toujours égale à 3 GHz.

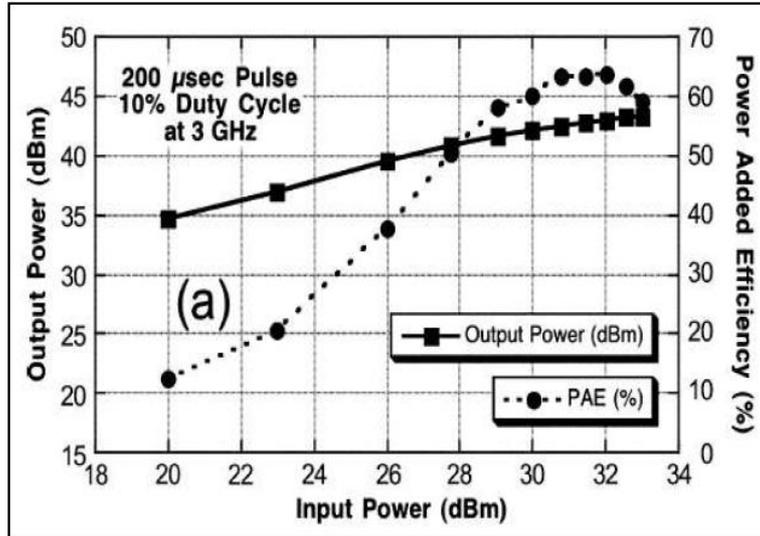


Figure 8. Mesures grand signal d'un transistor MESFET SiC de 4.8mm de développement de grille en condition pulsée (durée de pulse=200μs, rapport cyclique= 10 %) @ 3 GHz

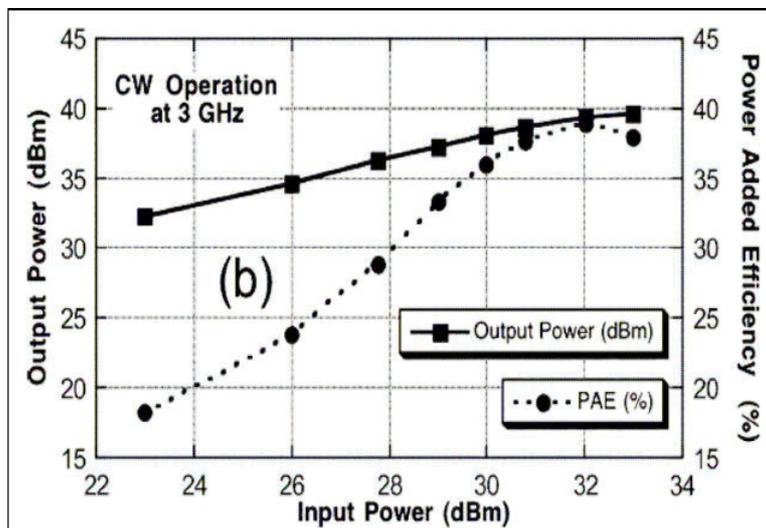


Figure 9. Mesures grand signal CW du même transistor MESFET SiC de 4.8mm de développement de grille @ 3 GHz

De très bons résultats en bande X ont été obtenus par Cree en 2000 [13]. Basé sur un transistor destiné à la bande S, les auteurs ont diminué la longueur de grille et élevé le niveau de dopage dans le canal pour obtenir une puissance de 30.5W en sortie à 9.7 GHz en mesures pulsées (pour s'affranchir de la thermique) à $V_{ds0}=50V$ et $V_{gs0}=-5.5V$.

Le spécialiste américain Cree Research commercialise aujourd'hui des transistors MESFETs SiC capables d'atteindre, jusqu'à 2.4 GHz, des puissances de sortie de 50W au P_{1dB} avec des rendements de 55% et des tensions de drain de fonctionnement de 48V [14].

c. Les HEMTs GaN

Le nitrure de gallium (GaN) fut étudié pour la première fois dans les années 1970 puis abandonné en raison des difficultés de synthèse. Dans les années 90, sous l'impulsion de groupes japonais, dont notamment S. Nakamura de la société Nichia, des progrès énormes furent réalisés sur la synthèse des nitrures de gallium. Ces progrès rapides ont stimulé un effort extraordinaire dans le monde entier sur ce thème et ont porté ces matériaux à un degré de maturité suffisant pour une industrialisation de masse dans le domaine des diodes électroluminescentes. Il faudra attendre la fin des années 90 pour trouver les premiers résultats convaincants en compromis puissance/fréquence. En effet, l'utilisation de matériaux à grande largeur de bande interdite comme le GaN constitue un axe prometteur pour le développement de systèmes de télécommunications et de transports mettant en jeu des niveaux de puissance élevés dans le domaine des hyperfréquences [15]. Les grandes tensions de claquage, les vitesses de saturation et les mobilités élevées des électrons dans GaN constituent un avantage majeur avec cependant une difficulté : l'hétéroépitaxie est nécessaire du fait de l'absence de substrat en accord de maille. Dans ce contexte, les laboratoires et industriels se concentrent sur les composants de type HEMT AlGaIn/GaN qui tirent avantage des effets de champ piézoélectrique interne. Ce dernier conduit au confinement d'un gaz d'électrons dans le canal GaN à l'interface avec la barrière AlGaIn avec des densités de charges très élevées, même en l'absence de dopage intentionnel, et des mobilités électroniques nettement supérieures à celles relevées dans le matériau GaN massif.

Les propriétés du matériau Nitrure de Gallium sont récapitulées dans le *Tableau 1*, on peut noter que les HEMTs GaN possèdent également une transconductance plus élevée, une plus grande conductivité thermique et une fréquence de coupure plus importante.

Néanmoins la difficulté du procédé introduit une quantité non négligeable d'impuretés ou de défauts dans le réseau cristallin et en surface qui dégradent les performances des transistors. Ces impuretés génèrent des états énergétiques qui peuvent être occupés par des porteurs dans la bande interdite du matériau semi-conducteur. Ces porteurs sont alors retenus

pendant un temps t dans ces niveaux d'énergie, et ne peuvent pas participer à la conduction ; c'est pour cette raison qu'on les appelle aussi pièges.

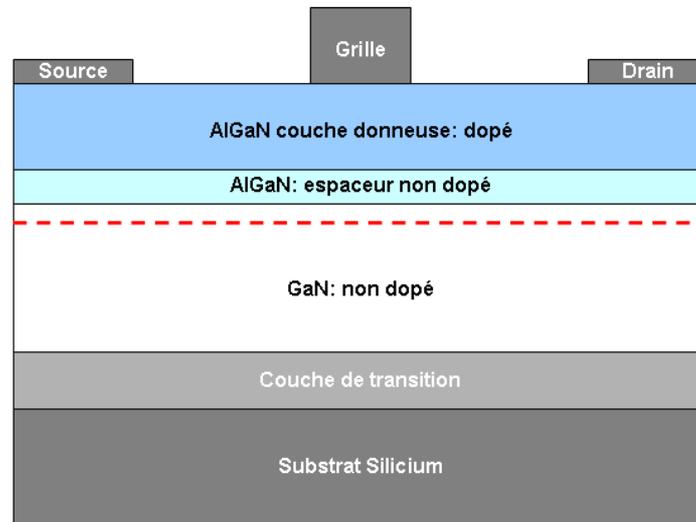


Figure 10. Vue en coupe du transistor HEMT AlGaIn/GaN

La technologie GaN commence à devenir incontournable, les industriels et les laboratoires universitaires sont tous impliqués dans des actions liées au développement de cette technologie, en 2007 les publications et articles autour du GaN sont les plus fréquents car des records de puissances sont régulièrement atteints par ces types de transistor.

Pour les applications bande S, Eudyna Devices a atteint un record de puissance en 2007 [16] avec un seul transistor HEMT délivrant 912 W à 2.9 GHz. Des développements récents sur Silicium, substrat au coût nettement plus abordable et dont la conductivité thermique voisine de celle du GaN constitue un autre avantage, dans le cadre d'une collaboration contractuelle avec Daimler Chrysler et la DGA (Direction Générale des Armées) établit un nouvel état de l'art pour cette filière en obtenant des densités de puissance de 6.6 W/mm à 2 GHz [17] et 3 W/mm à 8 GHz. Nitronex présente des travaux sur un transistor HEMT GaN (sur substrat Si(111)) avec une densité de puissance de 10 W/mm à 2.14 GHz en mode pulsé [18].

En bande X, Triquint obtient, toujours sur substrat Si, 7 W/mm à 10 GHz pour une polarisation de 40V en V_{ds} [19] et L'IAF (laboratoire Allemand) sur substrat SiC propose une technologie fournissant à 10 GHz une puissance de sortie autour de 37 dBm avec une PAE de 32.5 %, un gain de 13.2 dB à un V_{ds} de 35 V [20].

Ces performances exceptionnelles ont toutes été obtenues avec l'ajout d'une métallisation de grille, appelée « field plate » ou « overlapping gate » (voir *Figure 11*), située au-dessus de la couche de passivation du composant. Ces structures field plate permettent d'augmenter les densités de puissance.

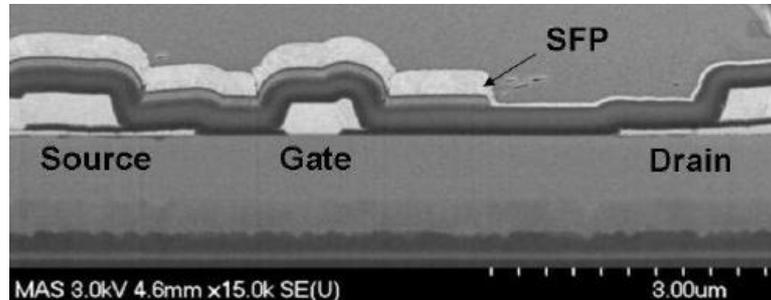


Figure 11. Section d'un HEMT AlGaIn/GaN de NITRONEX avec un source field plate (SLP)
[18]

Cette métallisation au-dessus de la couche de passivation permet de modifier le profil de la distribution du champ électrique du bord de la grille coté drain et de réduire le pic du champ électrique critique, augmentant ainsi la tension d'avalanche.

CREE propose même un double field plate [21], c'est-à-dire en plus de la métallisation précédente, la compagnie américaine optimise la forme de la grille et les matériaux qui la composent afin de réduire la résistance de grille tout en offrant la meilleure distribution de champ électrique possible et ainsi améliorer les performances.

La technologie GaN reste à l'heure actuelle en cours de développement, néanmoins quelques sociétés comme CREE et SOITEC ont commencé à proposer des wafers GaN, tout en continuant leur production de wafers SiC beaucoup plus matures.

d. Les PHEMTs AsGa

Le transistor PHEMT AsGa est à l'heure actuelle le composant phare concernant la conception d'amplificateurs de puissance MMIC. Il est plus performant en bruit, en puissance et permet d'aller plus loin en fréquence, de plus durant ces dernières années, les tensions d'avalanche ont été fortement augmentées, permettant ainsi de polariser les transistors à effet de champ avec des tensions de drain supérieures à 20 V [22] [23] [24], en revanche il est limité par la mauvaise conductivité thermique de L'AsGa. Nous rentrerons plus en détail sur le mode de fonctionnement du PHEMT dans le paragraphe suivant.

e. Récapitulatif

Le tableau ci-dessous récapitule les points forts et les points faibles des filières de puissance.

	<i>LDMOS</i>	<i>HBT SiGe</i>	<i>MESFET AsGa</i>	<i>HEMT InP</i>	<i>PHEMT AsGa</i>	<i>HBT AsGa</i>	<i>MESFET SiC</i>	<i>HEMT GaN</i>
F_T	-	++	-	++	+	++	-	-
F_{MAX}	-	+	+	++	++	+	-	-
NF_{MIN}	-	+	+	++	++	-	+	+
Linéarité	-	++	++	+	++	++	+	+
Gain	+	++	-	+	+	++	+	+
Tension de claquage	+	-	++	-	++	++	+++	+++
Rendement	+	++	+	++	++	++	+	++
Commutation	+	++	+	+	+	-	-	-
Thermique	++	+	-	-	-	-	+	+
Prix	+++	+	+	-	-	-	-	-

Tableau 3. Tableau des points importants de chaque filière

f. Etat de l'art des transistors d'UMS

UMS (United Monolithic Semiconductors) est un fabricant de composant semi-conducteur en Arséniure de Gallium stratégique puisqu'il est le leader sur ce marché en Europe et qu'il est issu d'une collaboration entre l'Allemagne (EADS) et la France (THALES), qui sont ses actionneurs majoritaires.

Les filières technologiques développées par UMS sont destinées aux marchés : des Télécommunications (LMDS, VSAT), du spatial (Satellite de communication), de la défense (Radars, communications militaires), de l'automotive (Radar 77 GHz pour l'automobile) ou de l'ISM (les bandes de fréquence ISM ne sont pas soumises à des réglementations nationales et peuvent être utilisées librement pour des applications Industrielles, Scientifiques et Médicales, par exemple le W-LAN).

Le *Tableau 4* ci-dessous permet de visualiser l'ensemble des filières technologiques d'UMS et leurs performances.

<i>Les filières technologiques</i>	<i>PH25</i>	<i>PH15</i>	<i>PPH25</i>	<i>PPH25X</i>	<i>PPH15</i>	<i>HB20P</i>	<i>HP07</i>	<i>BES</i>
Application	Faible bruit	Faible bruit	Puissance	Puiss.	Puiss.	Puiss.	Puiss.	Fréquence élevée
Composant actif	PHEMT	PHEMT	PHEMT	PHEMT	PHEMT	HBT	MESFET	Diode Schottky
Densité de puissance (mW/mm)	250	300	700	900	600	3500	400	-
Longueur de grille (μm)	0.25	0.15	0.25	0.25	0.15	2μm larg. émetteur	0.7	1
Id (Gm max) (mA/mm)	200	220	200	170	300	-	300	-
Ids/Ic sat (mA/mm)	500	550	500	450	600	0.3	450	-
Tension de claquage (V)	>6	>4.5	>12	>18	>8	>16	>14	<-5
Fréquence de coupure (GHz)	90	110	50	45	75	25	15	3.10 ³
Tension de pincement (V)	-0.8	-0.7	-0.9	-0.9	-0.9	-	-4.0	-
Gm max (mS/mm)	560	640	450	400	550	(β) 70	110	-
Rapport Bruit/Gain	0.6dB/13dB @10GHz 2dB/8dB @40GHz	0.5dB/14dB @10GHz 1.9dB/6dB @60GHz	0.6dB/12dB @10GHz	-	1.6dB/7dB @40GHz	-	-	-

Tableau 4. Vue d'ensemble des performances des filières d'UMS

g. Comparaison des résultats d'application en amplificateur de puissance

<i>Fabricants</i>	<i>Technologie</i>	<i>Topologie</i>	<i>Pout (W)</i>	<i>Pout (dBm)</i>	<i>PAE (%)</i>	<i>Gain bas niveau (dB)</i>	<i>Freq min (GHz)</i>	<i>Freq max (GHz)</i>	<i>Vd/Vce (V)</i>	<i>Date et Ref</i>
Army Research Laboratory	GaN	2 étages	4	36	23	13	26	36		2006 [25]

NEC	GaN	2 FET en parallèle	750	58.8		12	2.14		50	2006 [26]
-----	-----	--------------------	-----	------	--	----	------	--	----	-----------

Tableau 5. Etat de l'art des amplificateurs de puissances (1^{ère} partie)

Fabricants	Technologie	Topologie	Pout (W)	Pout (dBm)	PAE (%)	Gain bas niv. (dB)	Freq min (GHz)	Freq max (GHz)	Vd/Vce (V)	Date et Ref
IAF	GaN	Hybrid	20	43	29	22	9.25	10.25	35	2006 [27]
Cree	SiC	Push-pull	50	47	>20	>9	1	2	48	2006 [28]
Georgia Institute of Technology	HBT SiGe	Hybrid cascode	0.14	21.4	26	41	8.5	10.5		2007 [29]
Northrop Grumman Space Technology	HEMT InP	4 étages	>0.02	>13	9.5	25	176	191	2	2006 [30]
UMS	HBT GaInP/GaAs	2 étages	11	40.5	>41	19	8.8	10.6	9	2007 [31]
Raytheon RF components	PHEMT GaAs	3 étages	3-4	>34.7	>18	19-23	42	46	6	2006 [32]
Department of Electrical Engineering Taiwan	PHEMT GaAs	4 étages	10	40	33	40	9.1	10.7	8	2007 [33]
UMS	PHEMT GaAs	3 étages	2	33.5	20	24	5	18	8	2007 [34]

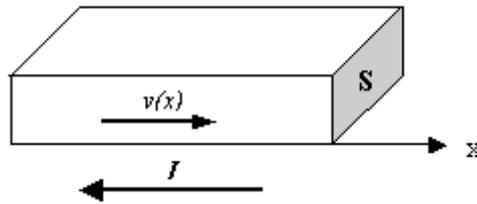
Tableau 6. Etat de l'art des amplificateurs de puissances (2^{ème} partie)

III. Principe de fonctionnement des transistors à effet de champ AsGa

A. Historique et généralités

En 1952, W.Shockley [35] introduit le premier le principe du transistor à effet de champ (TEC ou FET pour Field Effect Transistor). Il proposait un nouveau type de composant semi-conducteur qui, contrairement au transistor bipolaire où les deux types de porteurs interviennent dans le fonctionnement (les électrons et les trous), était unipolaire. Dans ces

dispositifs, les porteurs responsables de l'effet transistor sont les électrons car ils présentent les meilleures propriétés de transport : mobilité, vitesse et coefficient de diffusion. Le principe du TEC est le contrôle du courant dans un barreau semi-conducteur à l'aide de deux tensions.



En effet si on considère un barreau semi-conducteur avec une densité volumique de porteurs (électrons) n , le courant s'écrit :

$$I = q \cdot n(x) \cdot v(x) \cdot S(x) \quad (\text{I-4})$$

Où v est la vitesse des porteurs qui dépend de la tension appliqué entre la source et le drain.

Le principe de *l'effet de champ* est de moduler la conductivité de la zone drain-source à l'aide du champ électrique transverse, on distingue plusieurs façons d'obtenir ce phénomène :

- Par modulation de la section du barreau $S(x)$, c'est le principe des JFET (jonction PN) et des MESFET (jonction MEtal Semiconducteur).
- Par modulation de la densité de porteurs $n(x)$, c'est le cas des HEMT et des PHEMT.

Il faut attendre le début des années 70 pour voir l'arrivée des premiers transistors réalisés sur semi-conducteurs III-V. Les travaux de Mead [36] en 1966 qui proposa de remplacer le Silicium par l'Arséniure de Gallium puis Baechtold [37] en 1973 permettaient l'apparition des transistors MESFETs (MEtal Semi-conductor Field Effect Transistor) sur substrat AsGa, il s'agissait de transistors à effet de champ à grille métallique Schottky.

Dans les années 80, les progrès réalisés dans l'élaboration de matériaux, dans la technologie de fabrication et dans les structures semi-conductrices ont vu l'émergence d'une nouvelle génération de transistors à effet de champs, dits à hétérojonction (Les HFETs pour Heterojunction Field Effect Transistor). En effet, en 1980, les laboratoires de recherches de Thomson-CSF et Fujitsu présentent un transistor à effet de champs basé sur une hétérostructure GaAlAs/GaAs [38][39]. Ce dispositif est baptisé TEGFET (Two Dimensional Electron Gas Field Effect Transistor) à Thomson-CSF et HEMT (High Electron Mobility Transistor) chez Fujitsu.

Le principe de base du TEGFET (ou HEMT) consiste à séparer spatialement les porteurs libres des donneurs ionisés dont ils proviennent [40]. La structure du TEGFET est réalisée de manière à intercaler dans un MESFET GaAs une couche mince de GaAlAs dopé n entre l'électrode métallique et la couche active de GaAs non dopé. Ainsi, en raison des différences d'affinité électronique entre le GaAs et le GaAlAs, les électrons libérés par les donneurs situés dans le GaAlAs se thermalisent dans la bande de conduction de GaAs au niveau de l'hétérojonction GaAs-GaAlAs. Dans le GaAs non dopé, ces électrons ont une grande mobilité, en raison de l'absence d'ions donneurs dont on connaît l'importance dans les phénomènes de diffusion. Ces électrons localisés à l'interface GaAs-GaAlAs constituent un gaz d'électrons à deux dimensions. La conductance du canal ainsi constitué est commandée par la grille.

Par la suite, afin de satisfaire aux besoins sans cesse croissants de montée en fréquence, l'idée de base était d'introduire dans la structure du HEMT un matériau à faible gap (l'InGaAs) autorisant une plus grande mobilité des porteurs sous l'action d'un fort champ électrique. Cette différence technologique en matière d'épitaxie a donc donné naissance à un nouveau type de transistor à hétérojonction : le HEMT Pseudomorphique (PHEMT).

B. Le transistor de type MESFET

Le principe de fonctionnement d'un transistor à effet de champ à grille Schottky de type MESFET est basé sur la modulation de la conductance entre deux contacts ohmiques source et drain, par l'action électrostatique de la grille qui joue le rôle d'une électrode de commande.

La variation de cette conductance est proportionnelle au nombre de porteurs libres dans le canal, et donc au courant entre source et drain. C'est l'effet d'amplification transistor qui permet de transformer un faible signal appliqué sur la grille en un signal plus fort récupéré sur le drain.

1. Principe du contact métal-semi-conducteur (Modèle de Schottky)

Pour une première approche, nous allons supposer que les surfaces respectives des deux matériaux en contact sont parfaites et en particulier dépourvues d'états d'interface.

L'application des règles d'Anderson permet la construction du diagramme des bandes de l'hétéro-barrière métal-semi-conducteur. La *Figure 12* illustre la structure d'une telle barrière au repos.

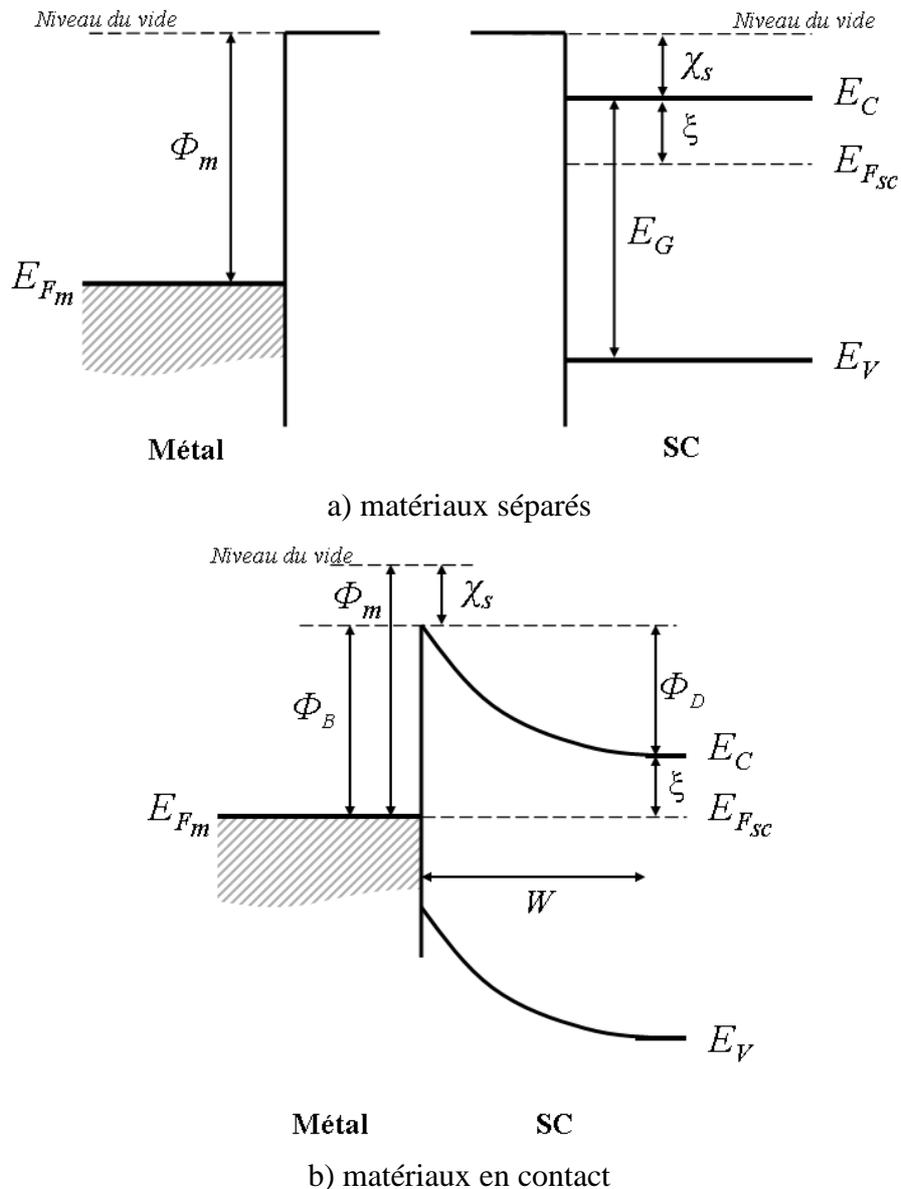


Figure 12. Formation de la barrière métal-semi-conducteur dans le modèle de Schottky

On remarque la définition de la hauteur de barrière Φ_B (vue par les électrons du métal) et de la barrière de diffusion Φ_D (vue par les électrons du semi-conducteur SC).

On note la conservation du niveau du vide et l'égalisation nécessaire, au sens thermodynamique, du niveaux de Fermi. On appelle *hauteur de barrière*, ici pour les électrons, la quantité $\Phi_B = \Phi_m - X_s$, où X_s est appelé affinité électronique du semi-conducteur et

Φ_m est défini comme l'énergie d'extraction du métal c'est-à-dire l'intervalle d'énergie séparant le niveau de Fermi et le niveau de libération des électrons. Si le semi-conducteur n'est pas dégénéré, la densité des électrons y est plusieurs ordres de grandeur plus faible que dans le métal. A l'image d'une jonction très dissymétrique, la barrière pénètre fort peu dans le métal et l'essentiel de la circulation du champ électrostatique s'effectue dans le semi-conducteur.

La variation du potentiel électrostatique est donc essentiellement représentée par la courbure des bandes du semi-conducteur dont l'amplitude est $\Phi_D = \Phi_M - \chi_s - \xi$ encore appelé *potentiel de diffusion*.

Les électrons diffusent donc du semi-conducteur vers le métal et entraînent ainsi des modifications énergétiques dans chacun des matériaux. Dans le SC se crée une zone dépeuplée sur une profondeur W . On l'appelle Zone de Charge d'Espace. Dans le métal il apparaît une accumulation d'électrons à l'interface.

A cette double charge d'espace sont associés un champ électrique et une tension de diffusion V_d qui équilibrent les forces de diffusion, déterminent l'état d'équilibre et fixent la distance W lorsque V_d atteint la valeur de la hauteur de barrière Φ_B .

Lorsqu'on polarise la structure métal semi-conducteur par une tension extérieure V_e négative, la bande de conduction du SC est abaissée, ce qui augmente la hauteur de barrière qui s'opposait à la diffusion des électrons. L'équilibre est rompu entraînant ainsi la reprise du processus de diffusion sur une profondeur $W' > W$. Un nouvel équilibre s'établit lorsque V_d atteint la valeur $(-Ve) + \Phi_B$.

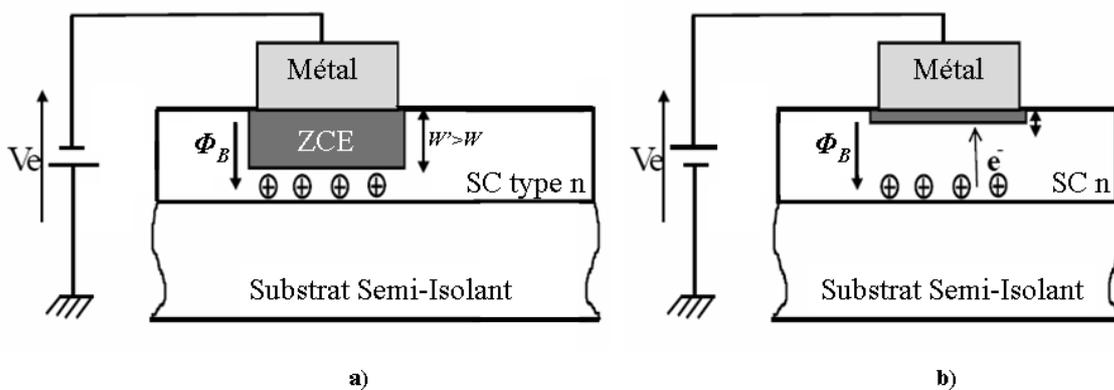


Figure 13. Jonction Schottky : en a) polarisée en inverse ; en b) polarisée en directe

Si V_e est positive, la bande de conduction du semi-conducteur s'élève, la courbure diminue. L'épaisseur W se réduit et les électrons diffusent du SC vers le métal donnant naissance à un courant I du métal vers le SC.

La barrière de Schottky est l'élément essentiel qui permet, par l'intermédiaire de la profondeur de sa zone de charge d'espace, le contrôle du courant dans le transistor MESFET AsGa. La rapidité avec laquelle la variation de cette charge d'espace est obtenue est l'une des clefs de la rapidité de ce composant.

2. Le transistor MESFET

Le MESFET (MEtal Semi-conducteur Field Effect Transistor) est le premier composant réalisé sur AsGa. Il comporte le plus souvent une couche active de type N, réalisée sur substrat semi-isolant (SI), deux contacts ohmiques (source et drain) et une grille métallique déposée entre source et drain dans des conditions créant une barrière de Schottky vue précédemment.

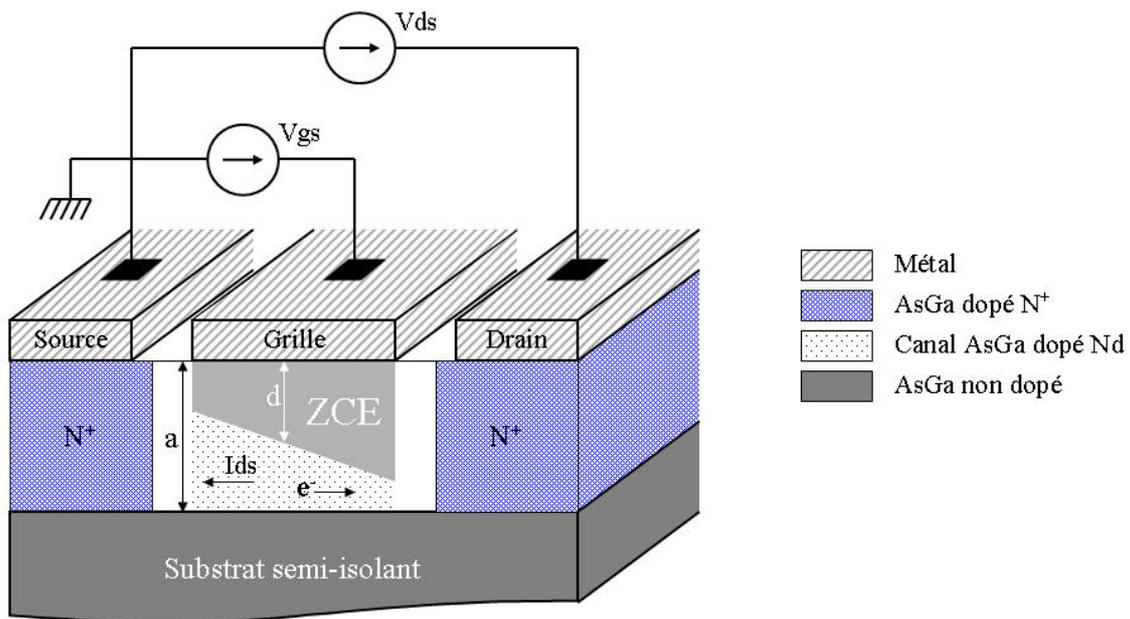


Figure 14. Vue en coupe de la structure du MESFET

En fonctionnement normal, la grille est généralement polarisée négativement ($V_{gs} < 0$) par rapport à la source tandis que le drain est polarisé positivement ($V_{ds} > 0$). La présence du contact Schottky crée une zone dépeuplée de porteurs libres sous la grille. La concentration des électrons mobiles est donc maximale dans la fraction restante de la couche conductrice appelée canal conducteur. En effet, lorsqu'on applique une tension V_{ds} positive, un flux d'électrons traverse le canal de la source vers le drain correspondant à un courant I_{ds} dans le

sens inverse. Or, la section du canal conducteur disponible est limitée à $a-d$. Si on diminue V_{gs} , l'épaisseur d augmente. Par conséquent le courant I_{ds} diminue. Lorsque d atteint la valeur a , le canal est pincé et I_{ds} s'annule. On se trouve ainsi en mesure de contrôler le passage du courant de sortie par la commande de grille.

Remarque : On s'aperçoit, sur la *Figure 14*, que la profondeur de la zone déserté (ZCE) est plus importante du coté drain que du coté source. L'épaisseur coté Source s'exprime par l'équation suivante :

$$d_{source} = \left[\frac{2\epsilon}{qN_d} (\Phi_B - V_{gs}) \right]^{1/2} \quad (I-5)$$

Alors que coté drain :

$$d_{drain} = \left[\frac{2\epsilon}{qN_d} (\Phi_B - V_{gd}) \right]^{1/2} \quad (I-6)$$

avec $V_{gd} = V_{gs} - V_{ds}$.

Or on a $V_{ds} > 0$ et $V_{gs} < 0$, d'où $V_{gd} < V_{gs}$ et donc $d_{drain} > d_{source}$, ceci explique le profil de la zone de charge d'espace.

Comme pour le FET ou le TEGFET, on génère un réseau de caractéristiques donnant l'évolution du courant de sortie en faisant varier V_{ds} pour plusieurs niveaux de commande V_{gs} (voir *Figure 15*).

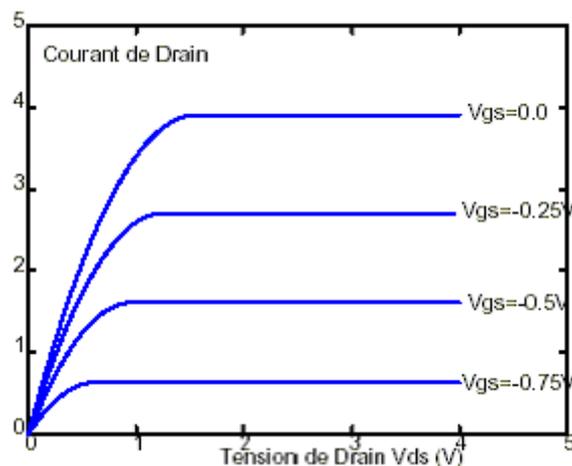


Figure 15. Caractéristiques $I_d(V_{ds})$ d'un TEC

a. Tension de pincement, tension de seuil

La tension de pincement V_p est la hauteur de barrière électrostatique qui amènerait la zone de charge d'espace située sous la grille à occuper l'épaisseur totale de la couche active. Le transistor est dit « pincé » car le canal est complètement obstrué ne laissant plus passer le courant.

La tension de seuil V_T est définie comme la tension qui, appliquée entre la grille et la couche active, amène la charge d'espace à occuper toute l'épaisseur de la couche.

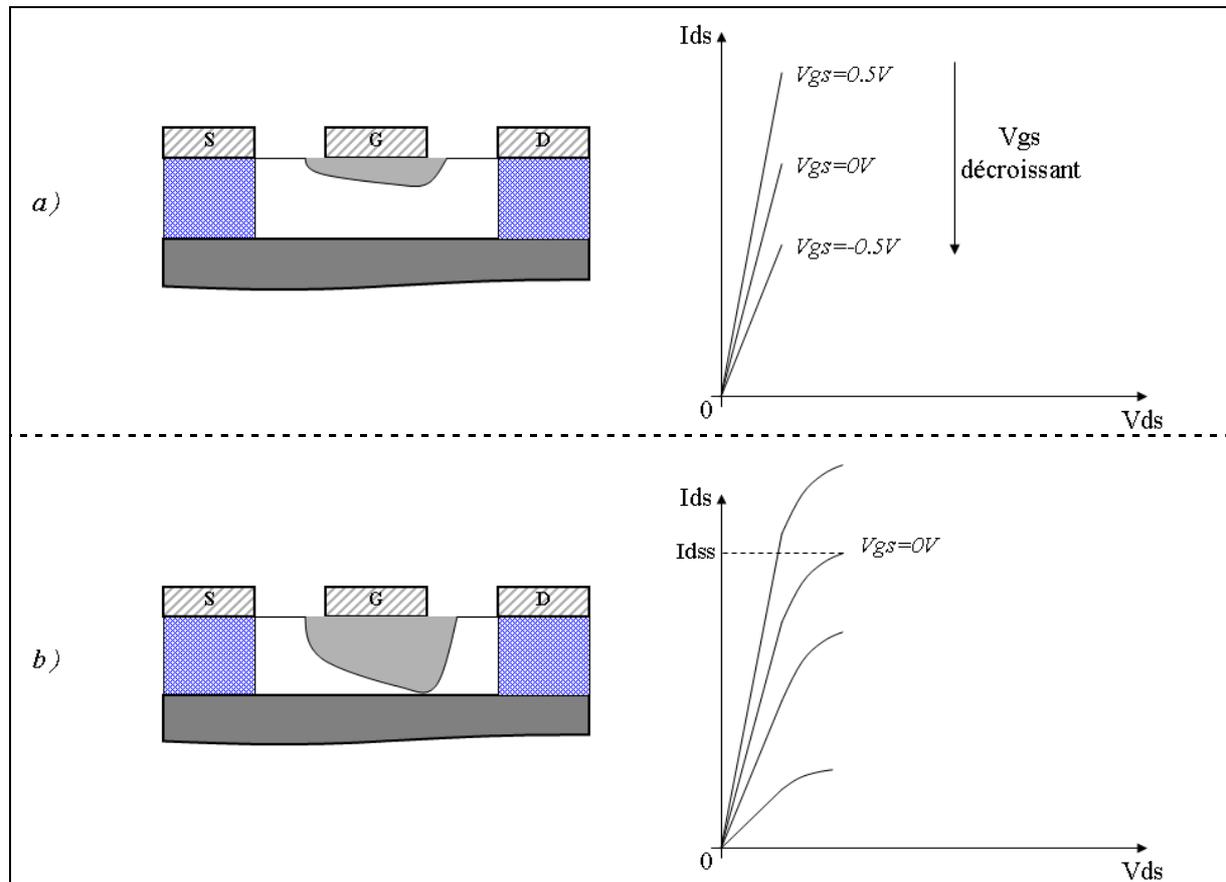
On a entre les deux tensions la relation suivante :

$$V_T = \phi_D - V_p \tag{I-7}$$

avec ϕ_D la tension de diffusion de la barrière de Schottky.

b. Les zones de fonctionnement

On observe 2 principaux comportements du transistor : linéaire et saturé.



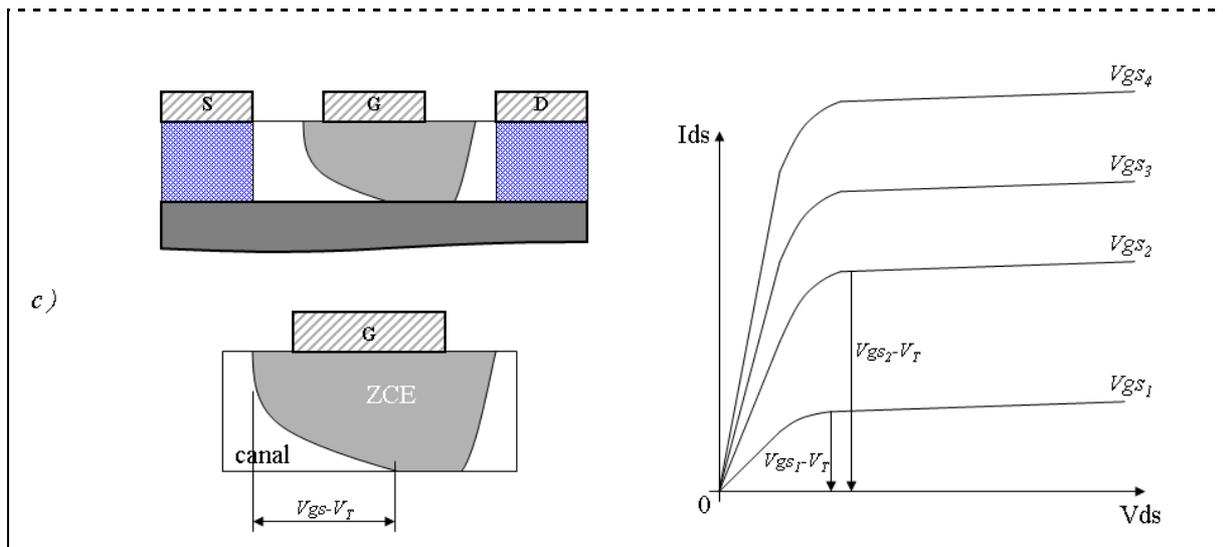


Figure 16. En a) le canal est entièrement ouvert. Le courant est proportionnel à V_{ds} . Le transistor se comporte comme une conductance contrôlée par la grille. En b) le rétrécissement du canal près du drain provoque le ralentissement de la croissance de I_{ds} . En c) pincement du canal, le transistor est en saturation

- Fonctionnement linéaire :

Pour les faibles valeurs de la tension de drain ($V_{ds} \ll V_{gs} - V_T$ et donc V_{gd} proche de V_{gs}) le canal reste de section sensiblement uniforme sous la grille (voir Figure 16-a). Son ouverture (sa hauteur) dépend essentiellement de la tension qui polarise celle-ci. Le dispositif se comporte alors comme une conductance contrôlée par la grille : le courant I_{ds} varie proportionnellement à V_{ds} , cette zone est également appelée zone ohmique. Les mélangeurs ou les déphaseurs par exemple nécessitent ce type de régime linéaire.

- Régime saturé du courant :

Lorsque la tension de drain V_{ds} augmente, la zone dépeuplée devient de plus en plus importante coté drain. Le canal se resserre et provoque le ralentissement de la croissance du courant drain (voir Figure 16-b). Puis à partir d'une certaine valeur de $V_{ds} = V_{gs} - V_T$ où la zone de charge d'espace a rejoint le substrat à la sortie du canal, celui-ci est donc pincé, on entre dans un régime de saturation (voir Figure 16-c). Le courant de saturation I_{dss} correspond à la quantité de courant pour laquelle le transistor rentre en saturation à une tension de commande $V_{gs} = 0V$.

En fait, le transistor MESFET a été réalisé pour mettre à profit la rapidité de réponse de la diode Schottky. Le MESFET AsGa est longtemps resté le composant à effet de champ prépondérant pour l'amplification de puissance micro-onde. En effet, les propriétés de

transport électronique de l'Arséniure de Gallium permettent d'obtenir des densités de porteurs dont la vitesse moyenne dans le canal est bien supérieure à celle du Silicium.

Cependant, l'obtention de niveaux de courants élevés dans ce type de transistor passe par l'emploi de dopages importants, réduisant de ce fait la mobilité des électrons et les valeurs de tensions de claquage. L'obtention de MESFET de puissance passe alors par l'utilisation de semi-conducteurs grand gap tel que le carbure de silicium (SiC) ou le nitrure de gallium (GaN).

C. Présentation des transistors à Hétérojonction

Pour diminuer le temps de transit entre la source et le drain, il est naturel de chercher à utiliser les plus fortes mobilités électroniques possibles. Les transistors à effet de champ à hétérojonction sont basés sur la modulation de la densité de porteurs dans un canal non dopé à l'aide d'une tension appliquée sur la grille. La possibilité de combiner au sein d'un même composant des semi-conducteurs de bande différente permet le contrôle de fortes densités de courant à l'aide d'une faible tension. Il en résulte une transconductance élevée et donc un gain important aux fréquences hautes.

On trouve de nombreuses dénominations du transistor à hétérojonction :

- HEMT (High Electron Mobility Transistor)
- PHEMT (Pseudomorphic High Electron Mobility Transistor)
- HFET (Heterojunction Field Effect Transistor)
- TEGFET (Transistor Electron Gas Field Effect Transistor)
- MODFET (Modulation Doped Field Effect Transistor)

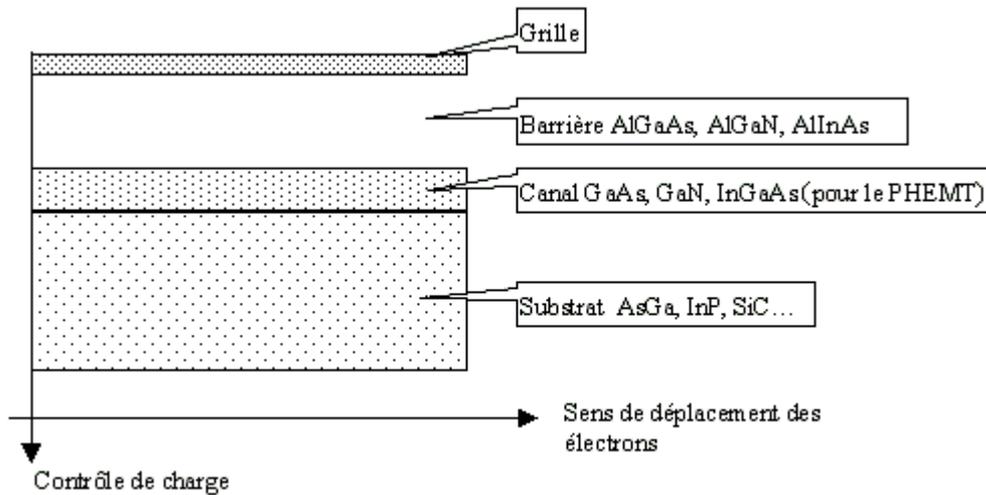


Figure 17. La structure de base d'un transistor à hétérojonction (épitaxie)

Un autre atout majeur des HEMTs réside dans leur structure épitaxiale réalisée de manière à séparer physiquement les électrons libres dans le canal des impuretés ionisées. Cette propriété permet d'assurer une mobilité maximum des électrons.

Sur le schéma ci-dessus, on réalise une hétérojonction à l'interface barrière-canal. L'idée de base est de créer dans le canal une zone dont le niveau de la bande de conduction est plus faible que dans le reste du dispositif. Cela permettra une accumulation d'électrons que l'on met en mouvement suivant l'axe drain-source à l'aide d'un champ électrique comme dans le MESFET.

L'objectif est donc de créer une densité superficielle de charges n_s maximum à l'interface canal-tampon. Le courant est alors donné par :

$$I_D = q \cdot n_s \cdot v \cdot Z \quad (\text{I-8})$$

où Z est la largeur de grille et n_s la densité surfacique ($\approx 10^{12} \text{ cm}^{-2}$).

1. Principe de l'hétérojonction

L'hétérojonction constituée du matériau grand gap (dopé N) $\text{Al}_x\text{Ga}_{1-x}\text{As}$ et du matériau faible gap (non dopé) AsGa est la plus étudiée du fait de la relative facilité de réalisation des couches épitaxiales. Le diagramme de bandes des deux semi-conducteurs avant contact est représenté *Figure 21*.

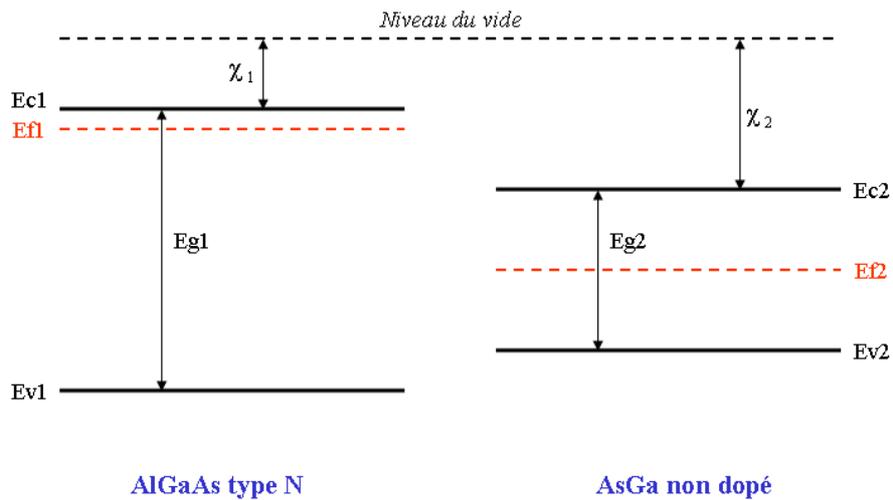


Figure 18. Deux matériaux de gap différents avant contact

C'est en 1962 que R. L. Anderson a proposé le modèle de l'hétérojonction qui sera le plus utilisé et deviendra une référence dans son domaine. Lorsque les deux matériaux sont mis en contact (voir Figure 19), La formation du diagramme de bandes à l'interface suit ce modèle :

- Le grand gap transfère ses électrons dans le petit gap.
- Les niveaux de Fermi doivent s'aligner.
- Le niveau du vide ne peut pas subir de discontinuité.

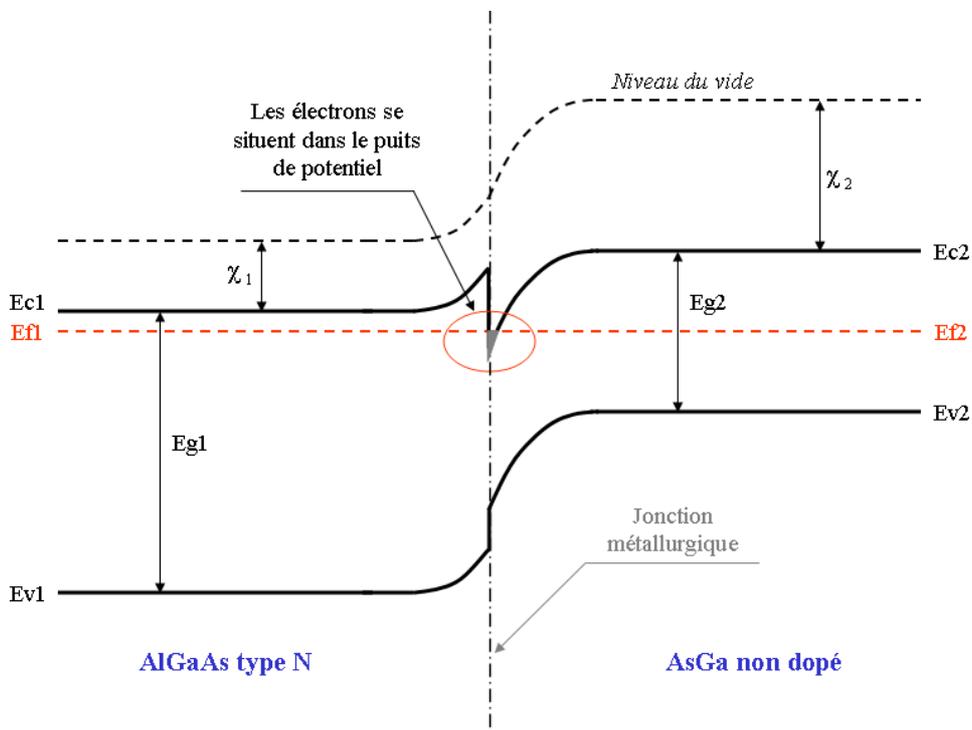


Figure 19. Diagramme de bandes après contact, formation du puits de potentiel et du gaz d'électrons

Le diagramme de bande doit tendre asymptotiquement vers chacun des diagrammes initiaux de chaque côté de l'hétérojonction et infiniment loin de l'interface. Il résulte de ces conditions, des courbures et des discontinuités (discrètes) dans les bandes de conduction et de valence au niveau de la jonction métallurgique. Il se crée alors un puits de potentiel et une couche d'accumulation de porteurs à l'interface entre les deux matériaux. Ces électrons sont confinés dans le puits de potentiel dont la largeur est de quelques dizaines d'Angstroms et dont le fond se trouve au-dessous du niveau de Fermi.

L'étroitesse de ce puits induit la quantification des niveaux d'énergie dans la direction perpendiculaire à la jonction et le mouvement des électrons se fait dans un plan parallèle à l'hétérojonction. On parle alors de gaz d'électrons bi-dimensionnel.

2. Structure d'un HEMT classique

Un HEMT classique comprend une barrière AlGaAs dopée N qui fournit des électrons au canal à travers une zone non dopée appelée spacer.

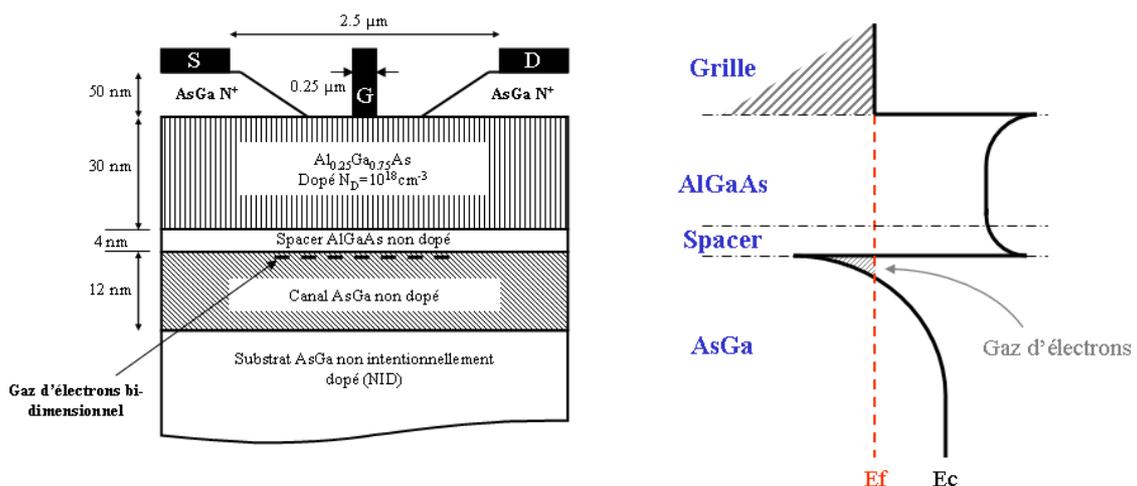


Figure 20. Structure d'un HEMT classique

L'hétérojonction est réalisée à l'interface d'un matériau grand gap (AlGaAs) et d'un semi-conducteur faible gap : le canal (AsGa). La couche AlGaAs est séparée en deux parties : une région dopée qui fournit les électrons au canal et une région non dopée appelée espaceur ou spacer qui sert à isoler les électrons du canal, des charges ionisées.

La tension de pincement V_p correspond à la tension V_{gs} pour laquelle on a la densité surfacique n_s égale à 0. Le dopage et l'épaisseur de la barrière AlGaAs permettent de régler la tension de pincement.

Le gaz d'électrons à deux dimensions est plus ou moins large suivant la tension appliquée sur la grille.

Sous les contacts ohmiques source et drain, une couche d'AsGa fortement dopée N^+ permet de diminuer les résistances d'accès.

Les HEMTs sont des dispositifs qui conviennent particulièrement bien aux applications micro-ondes et millimétriques. Cela est dû au fait que les électrons circulent dans un canal non dopé où ils bénéficient de leur mobilité maximum :

Exemple pour l'Arséniure de Gallium :

- Non dopé $N_D = 0 \Rightarrow \mu = 8500 \text{cm}^2/\text{V.s}$
- Dopé $N_D = 10^{17} \text{cm}^{-3} \Rightarrow \mu = 4000 \text{cm}^2/\text{V.s}$

3. Structure d'un PHEMT conventionnel

La demande croissante de circuits intégrés hyperfréquences (MMICs) destinés à des applications qui nécessitent un maximum de puissance en sortie à de plus en plus hautes fréquences a impliqué la recherche de nouvelles structures d'hétérojonction. Une des solutions est d'augmenter les dimensions du puits de potentiel. Pour ce faire, le canal est réalisé par une couche mince d'InGaAs, un matériau à faible gap (inférieur à celui de l'AsGa). La structure d'un PHEMT est représentée ci-dessous (Figure 21) :

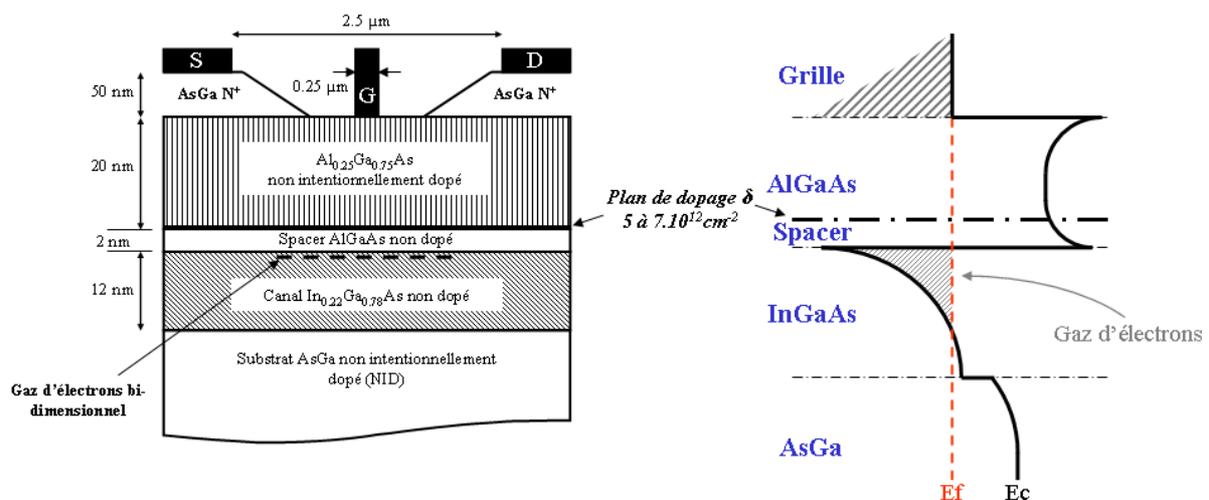


Figure 21. Structure d'un PHEMT à dopage δ

L'InGaAs a la faculté d'accélérer les électrons dans le canal, en contrepartie sa structure cristalline ne correspond pas au réseau cristallin AlGaAs/AsGa, on dit alors de cette couche quelle est « pseudomorphique » c'est à dire désadaptée de l'accord de mailles. Au contact de l'AsGa et de l'AlGaAs, la couche pseudomorphique va se dilater pour s'accorder au cristal de

la structure globale. Puisque la compression du canal InGaAs est réalisée d'une manière anormale, le HEMT original est donc désadapté, le transistor est appelé HEMT Pseudomorphique. De plus, la vitesse des électrons dans l'InGaAs (non dopé) est également plus importante que dans l'AsGa ce qui permet de très hautes fréquences de travail.

Remarque : Les deux vues en coupe précédentes, illustrent les différences technologiques entre un HEMT et un PHEMT. Les dimensions mentionnées sur les schémas sont à l'échelle, et représentent des données classiquement utilisées.

Pour résumer, la différence essentielle entre les MESFETs et les HEMTs se situe au niveau du principe même du contrôle du courant dans le canal. Dans le cas du MESFET, l'électrode de grille contrôle la section de canal disponible pour la conduction, et dans le cas du HEMT, elle contrôle la densité d'un gaz d'électrons libres dans la zone non dopée située dans l'hétéro interface qui constitue le canal du transistor.

4. Le HEMT métamorphique

Pour palier les inconvénients des filières de matériaux adaptés en paramètres de maille, des structures métamorphiques ont été développées avec pour objectif la réalisation de HEMTs AlInAs/GaInAs sur substrat GaAs. Les épitaxies métamorphiques permettent de réaliser des structures de transistors de bonne qualité cristallographique bien que présentant un paramètre de maille notablement différent de celui du substrat sur lequel elles sont déposées.

Ces structures métamorphiques reposent sur le contrôle de la relaxation des contraintes liées au désaccord de paramètre de maille entre le matériau déposé et le substrat. Ceci est obtenu en déposant une couche d'alliage du type AlInAs très épaisse et dont la composition en indium varie graduellement à partir d'une valeur faible côté substrat. En effet, on réalise la croissance d'une couche sacrificielle d'AlInAs où suivant la distance se produira dans la toute première partie de la croissance, proche du substrat, la relaxation de contraintes par formation de dislocations comme le montre la *Figure 22-c* (la difficulté réside alors dans le confinement de ces dislocations dans cette couche tampon). Puis on continue à faire croître l'AlInAs jusqu'à obtenir un matériau sans contraintes sur lequel on pourra réaliser une hétérojonction AlInAs/GaInAs plus performante en terme de mobilité électronique.

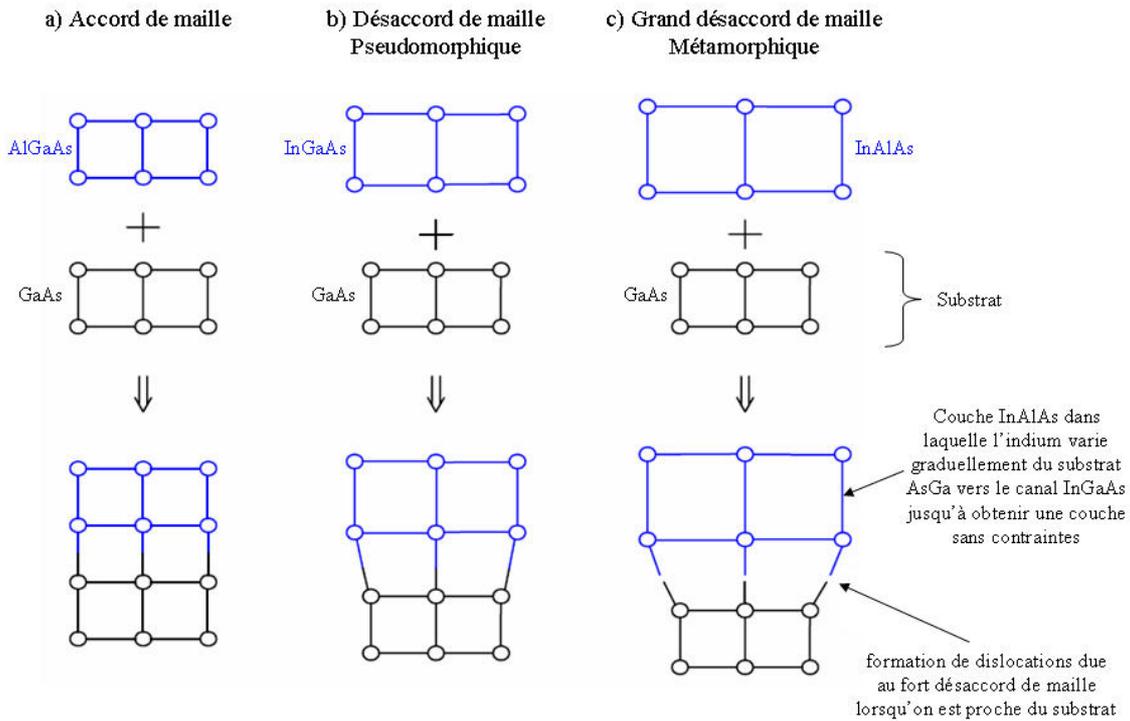


Figure 22. a) Epitaxie en accord de maille pour les transistors HEMTs; b) Désaccord de maille, c'est le cas des PHEMTs; c) Grand désaccord de maille, principe de la couche tampon métamorphique

Autrement dit, plus on est proche du substrat, plus il y a de dislocations entre les atomes. Mais plus on s'éloigne du substrat, plus le matériau InAlAs devient « propre », c'est-à-dire sans dislocations ni contraintes. On absorbe ainsi les différences de réseaux cristallins entre les deux matériaux.

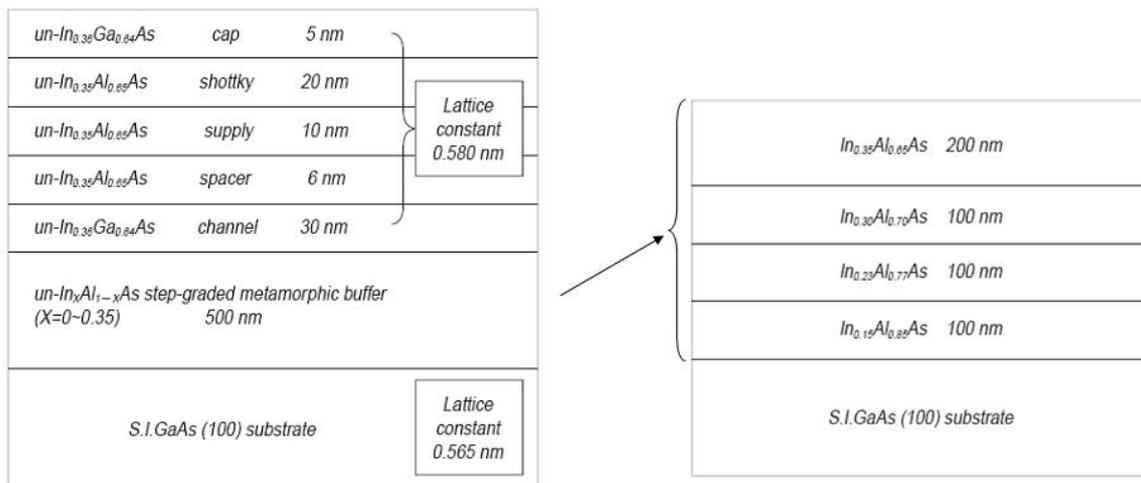


Figure 23. Exemple de couche tampon métamorphique réalisée sur substrat AsGa par HITACHI [41]

L'avantage d'une telle filière est de pouvoir faire croître des hétérostructures InAlAs/InGaAs sur un substrat GaAs (Figure 23) et ainsi obtenir des performances proches

des filières de transistors InP. Le *Tableau 7* ci-dessous fait le point sur la technologie métamorphique :

<i>AVANTAGES</i>	<i>INCONVENIENTS</i>
<ul style="list-style-type: none">• Facteur de bruit très faible• Fréquence F_{\max} élevée (>100 GHz)• Commutation rapide grâce à une résistance r_{on} faible, performance comparable aux diodes PIN.• Consommation	<ul style="list-style-type: none">• Tension de claquage beaucoup plus faible que sur les PHEMT• Basse tension d'utilisation (1 à 2 Volts)• Puissance délivrée en sortie plus faible que le PHEMT

Tableau 7. Avantages et inconvénients de la technologie métamorphique

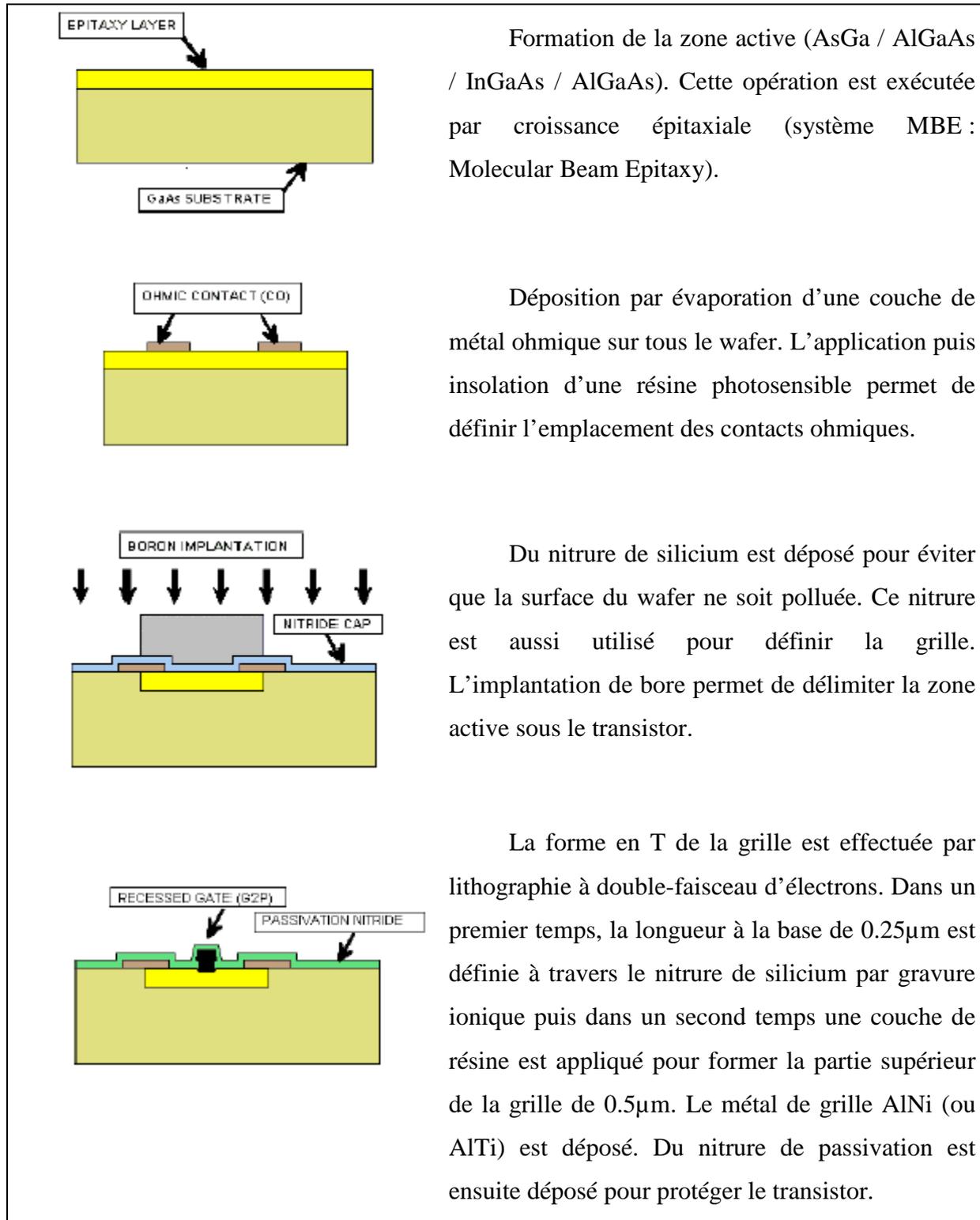
IV. Caractéristiques du PHEMT de puissance

Notre étude se porte sur un transistor PHEMT de longueur de grille $0.25\mu\text{m}$, sa structure est plus complexe que celle des transistors HEMTs classique vues précédemment, de plus, de nombreux effets parasites perturbent son fonctionnement comme les pièges ou les effets thermiques.

La filière qui fait l'objet de ce travail est destinée aux applications de puissance, elle possède des caractères qui la distinguent des procédés faibles bruits, nous mettrons en évidence leurs différences.

A. Le processus technologique du PHEMT de puissance

La *Figure 24* présente les différentes étapes de réalisation d'un transistor PHEMT. Ce procédé de fabrication laisse apparaître des caractéristiques technologiques spécifiques à ce type de FET.



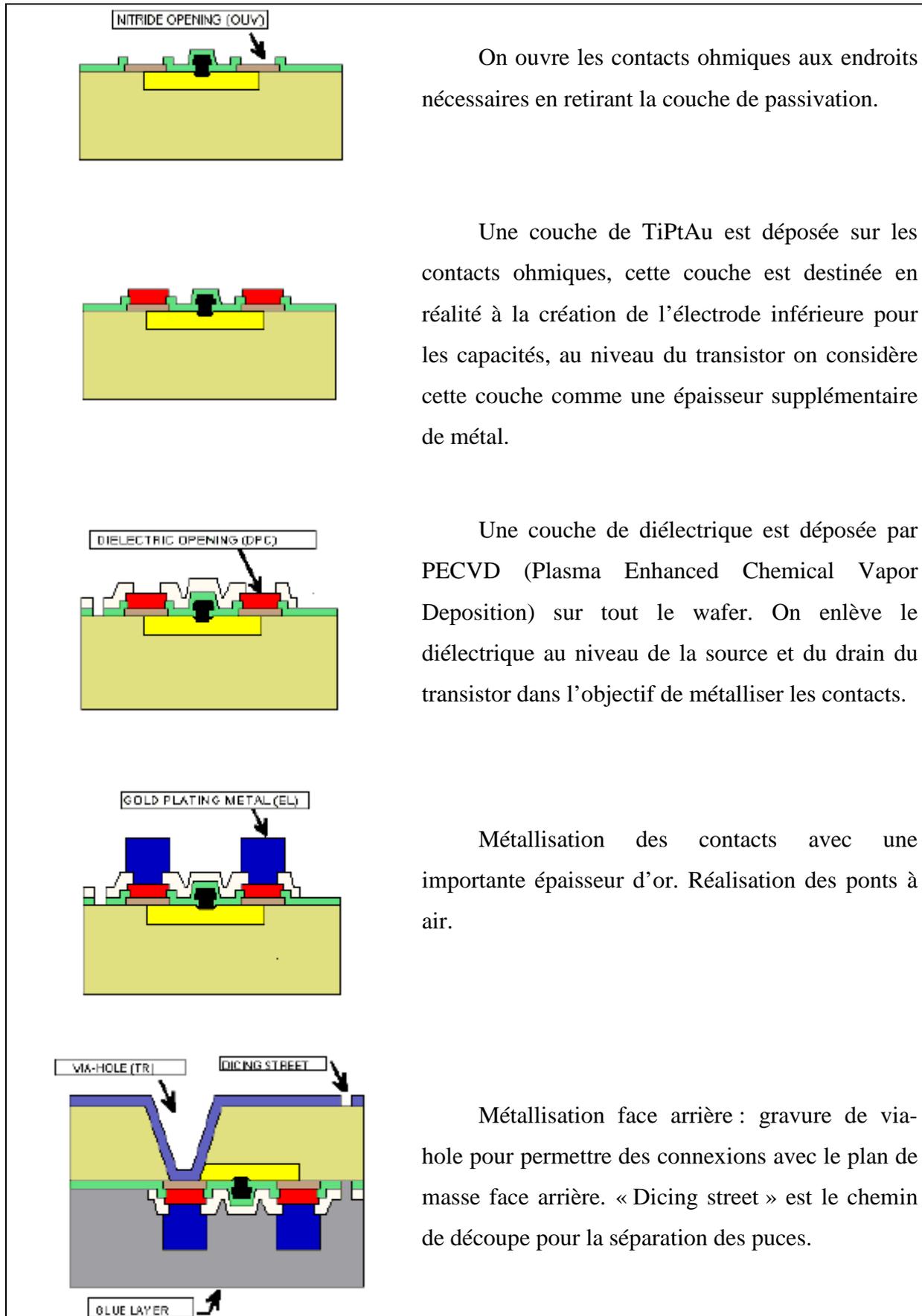
Formation de la zone active (AsGa / AlGaAs / InGaAs / AlGaAs). Cette opération est exécutée par croissance épitaxiale (système MBE : Molecular Beam Epitaxy).

Déposition par évaporation d'une couche de métal ohmique sur tous le wafer. L'application puis insolation d'une résine photosensible permet de définir l'emplacement des contacts ohmiques.

Du nitrure de silicium est déposé pour éviter que la surface du wafer ne soit polluée. Ce nitrure est aussi utilisé pour définir la grille. L'implantation de bore permet de délimiter la zone active sous le transistor.

La forme en T de la grille est effectuée par lithographie à double-faisceau d'électrons. Dans un premier temps, la longueur à la base de $0.25\mu\text{m}$ est définie à travers le nitrure de silicium par gravure ionique puis dans un second temps une couche de résine est appliqué pour former la partie supérieur de la grille de $0.5\mu\text{m}$. Le métal de grille AlNi (ou AlTi) est déposé. Du nitrure de passivation est ensuite déposé pour protéger le transistor.

Figure 24. Procédé de fabrication du PHEMT AsGa (1^{ère} partie)



On ouvre les contacts ohmiques aux endroits nécessaires en retirant la couche de passivation.

Une couche de TiPtAu est déposée sur les contacts ohmiques, cette couche est destinée en réalité à la création de l'électrode inférieure pour les capacités, au niveau du transistor on considère cette couche comme une épaisseur supplémentaire de métal.

Une couche de diélectrique est déposée par PECVD (Plasma Enhanced Chemical Vapor Deposition) sur tout le wafer. On enlève le diélectrique au niveau de la source et du drain du transistor dans l'objectif de métalliser les contacts.

Métallisation des contacts avec une importante épaisseur d'or. Réalisation des ponts à air.

Métallisation face arrière : gravure de via-hole pour permettre des connexions avec le plan de masse face arrière. « Dicing street » est le chemin de découpe pour la séparation des puces.

Figure 25. Procédé de fabrication du PHEMT AsGa (2^{ème} partie)

B. Caractéristiques géométriques de la structure PHEMT destinée aux applications de puissances

Le cœur du PHEMT est complètement décrit par l'hétérojonction, le puits quantique qui en découle et la jonction Schottky grille semi-conducteur. Néanmoins, pour réduire les phénomènes parasites, plusieurs améliorations ont été apportées à la structure du PHEMT classique. Ces modifications sont devenues communes maintenant et depuis l'arrivée de nouvelles technologies comme le GaN ou le SiC, la géométrie de la structure PHEMT AsGa n'a presque pas évolué.

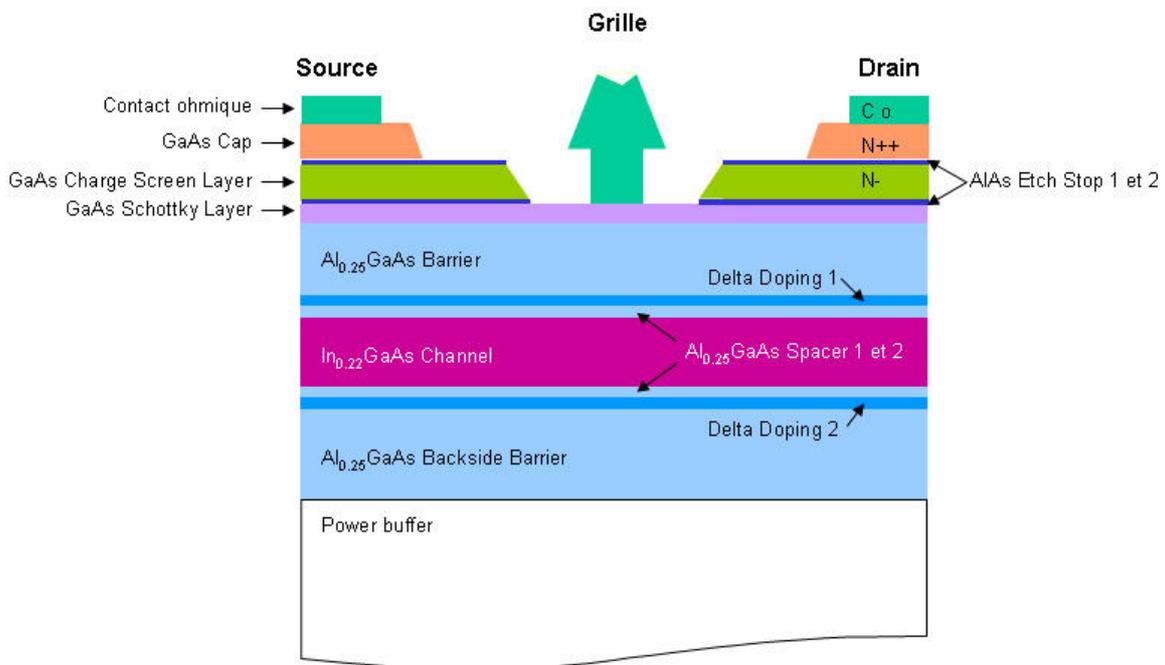


Figure 26. Coupe schématique de la structure de base d'un transistor PHEMT développé pour les applications de puissances par UMS

a. Les contacts ohmiques de drain et de source

[42]

Pour éviter l'apparition d'une jonction Schottky parasite sur les contacts de drain ou de source, on insère sous les plots métalliques une couche fortement dopée N++ puis une couche N- appelée « Charge Screen Layer » afin de réaliser un contact ohmique et ainsi diminuer les

résistances parasites série. Celles-ci, notamment la résistance de source sont responsables d'une chute de gain du transistor.

b. Les couches d'arrêts « Etch-Stop »

Pour obtenir le double recess sous la grille, on fait appel à la gravure réactive d'ion et à la gravure chimique. Afin d'obtenir la même profondeur de recess sur la plaque c'est à dire une plus grande uniformité des performances dans le procédé, on utilise des couches d'arrêts « Etch-Stop » qui empêchent les gravures d'aller plus loin dans le composant.

c. Le recess de grille

Le recess de grille consiste à réduire l'épaisseur de la couche barrière sous la grille. Dans des conditions optimales de fonctionnement, la couche ternaire doit être complètement déplétée et aucun courant parasite à celui du canal ne doit y circuler. En pratique, et pour des tensions V_{gs} suffisamment positives, il y subsiste toujours un courant parasite. Le recess est avant tout responsable du contrôle de la tension de pincement des transistors. Les résistances parasites de source et de drain sont optimisées par le choix d'épaisseur des couches de contact N^{++} et N^- , de la couche Schottky AsGa et de la barrière non creusée. Elles sont définies comme la mise en série des résistances des contacts ohmiques du drain et de la source, et des résistances des régions du canal qui ne sont ni sous les contacts ohmiques ni sous contrôle de la tension V_{gs} . La diminution des résistances de contact s'obtient par une meilleure densité de charge dans les régions d'accès. On utilise ici un double recess, ce qui nous permet d'avoir une tension de claquage V_{bds} plus grande sans perdre le contrôle de la tension de pincement ainsi la répartition du champ électrique dans l'espace grille-drain est optimisée pour un fonctionnement en puissance. De plus ce double creusement a l'avantage de s'affranchir de certains phénomènes de surface qui perturbent le fonctionnement des transistors mais les dimensions du recess peuvent faire apparaître plus ou moins des effets de pièges en surface.

d. La grille en forme de « T » ou en champignon

En supposant une distribution bidimensionnelle continue des électrons dans le puits quantique dans le sens d'écoulement du courant, la proportion d'électrons arrivant à l'électrode de sortie suite à un signal de commande sur la grille dépend de leur vitesse. Macroscopiquement, cela se mesure par la fréquence de coupure du transistor F_t . A matériau

identique, donc mobilité identique, la fréquence de coupure est déterminée par la longueur de grille. De ce fait, on aboutit à des structures mettant en oeuvre des grilles de plus en plus courtes. D'un autre côté, on définit une résistance d'accès à la grille intrinsèque. Elle représente toutes les parties métalliques d'accès à la jonction Schottky. De ce fait, plus la surface d'une section de grille et ses accès sont larges (pour des grilles longues), moins élevée est la valeur de cette résistance. Comme nous le verrons par la suite, cette résistance est responsable de l'affaiblissement du signal à l'entrée et d'une diminution de la fréquence de coupure. L'optimisation de ces deux paramètres a aboutit à des grilles en champignon ou en « T » : ainsi, la résistance d'accès est diminuée car les sections des accès sont plus larges, et le temps de transit diminué car la grille (le pied du champignon) est courte.

e. La jonction Schottky

Sous l'effet d'une tension inverse appliquée à la grille, les électrons passent du semi-conducteur vers le métal créant ainsi une zone de déplétion (ZCE). La profondeur de cette zone est directement liée à la hauteur de barrière ϕ_B , on rajoute donc une couche AsGa sous la grille pour réduire la barrière Schottky et ainsi contrôler au mieux le courant passant dans le canal.

f. Le double plan de dopage

Le transistor de puissance possède en réalité une double hétérojonction, en effet on réalise deux plans de dopage afin d'obtenir deux puits de potentiel (deux canaux) ou un puit plus large (transistor ouvert), cela a pour conséquence l'augmentation de la densité de courant pour une même tension de claquage, on a donc une puissance plus importante en sortie.

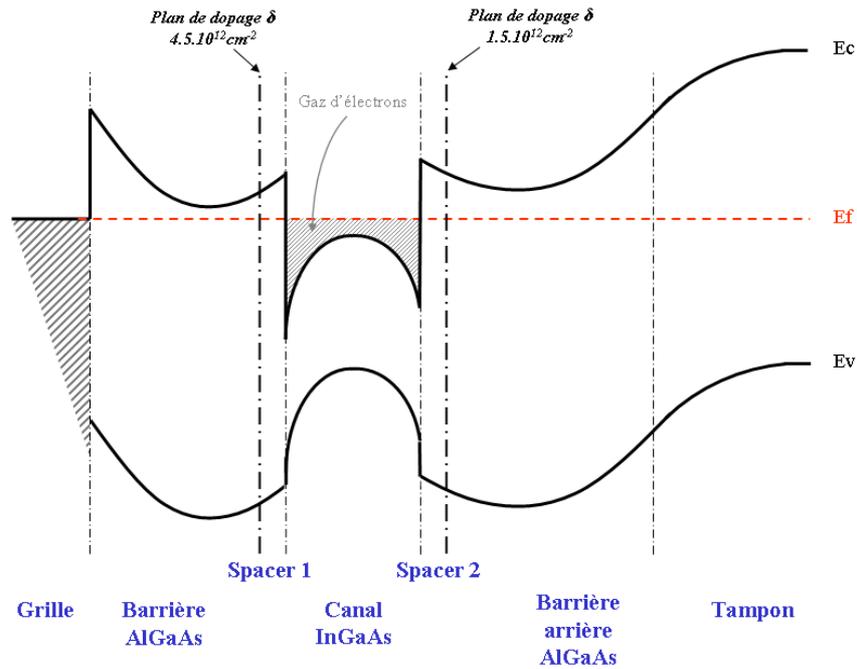


Figure 27. Diagramme d'énergie de la double hétérojonction du transistor de puissance PPH25X

La différence de profondeur entre les deux plans de dopage implique un écart de tension de pincement entre les deux canaux, on voit alors apparaître un plateau au niveau de la forme de la transconductance G_m du transistor.

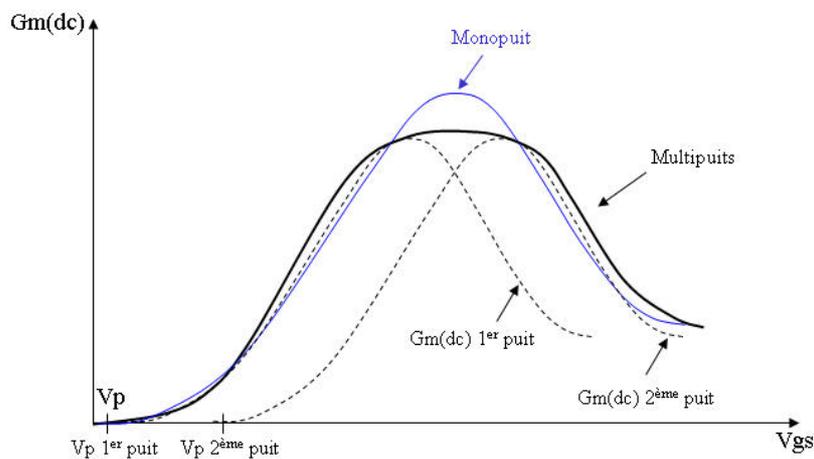


Figure 28. Profil des transconductances statique : procédé à simple hétérojonction (en bleu) et double hétérojonction (en noir épais)

La transconductance G_m du transistor de puissance étudié, dont l'allure est donnée Figure 28, voit apparaître un maximum qui s'étend sur une plage plus grande de V_{gs} , cet effet est bénéfique aux performances du composant car il aboutit à une meilleure linéarité.

C. Critères de performance électrique du transistor de puissance

Jusqu'à présent, notre propos concernant les paramètres technologiques des matériaux permet de faire un choix raisonné de la technologie en fonction de sa propre application. Nous allons maintenant considérer les critères des performances électriques des transistors pour des applications de puissance.

1. Fonctionnement petit signal

L'évaluation des performances d'un transistor, et plus généralement d'un amplificateur microonde en régime linéaire (*Figure 29*), se fait à partir des paramètres $[S]$. Ceux-ci permettent de déterminer différents critères du dispositif micro-onde étudié.

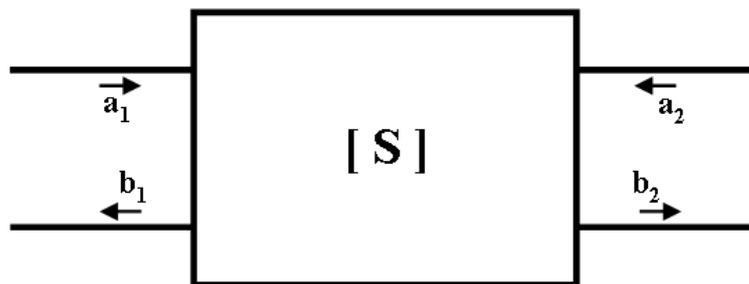


Figure 29. Quadripôle associé à sa matrice $[S]$

i. Gain en courant, fréquence de transition

- On définit le gain en courant (noté β ou $|H_{21}|$) comme le rapport du courant de sortie sur le courant d'entrée lorsque la tension de sortie est court-circuitée :

$$\beta = \left. \frac{I_2}{I_1} \right|_{V_2=0} = \left| \frac{Y_{21}}{Y_{11}} \right| = |H_{21}| = \left| \frac{-2 \cdot S_{21}}{(1 - S_{11})(1 + S_{22}) + S_{12} \cdot S_{21}} \right| \quad (\text{I-9})$$

. Où I_1 et I_2 sont respectivement les courants d'entrée et de sortie du quadripôle, Y_{ij} sont les paramètres $[Y]$ de la matrice admittance, et S_{ij} sont les paramètres de la matrice $[S]$.

- La fréquence de transition (notée F_T) représente la fréquence pour laquelle le gain en courant est égal à 1 :

$$|H_{21}|_{F_t} = \left| \frac{-2.S_{21}}{(1-S_{11})(1+S_{22})+S_{12}.S_{21}} \right| = 1 \quad (\text{I-10})$$

Pour illustrer ces propos, nous traçons le gain en courant en fonction de la fréquence (*Figure 30*) du transistor PHEMT AsGa de 0.8mm de développement de grille, pour $V_{gs}=-0,4$ V, $V_{ds}=8$ V et $I_d=125$ mA, ce qui correspond à une polarisation en classe AB. Nous en déduisons une fréquence de transition ($|H_{21}|_{F_t} = 1$) environ égale à 22 GHz.

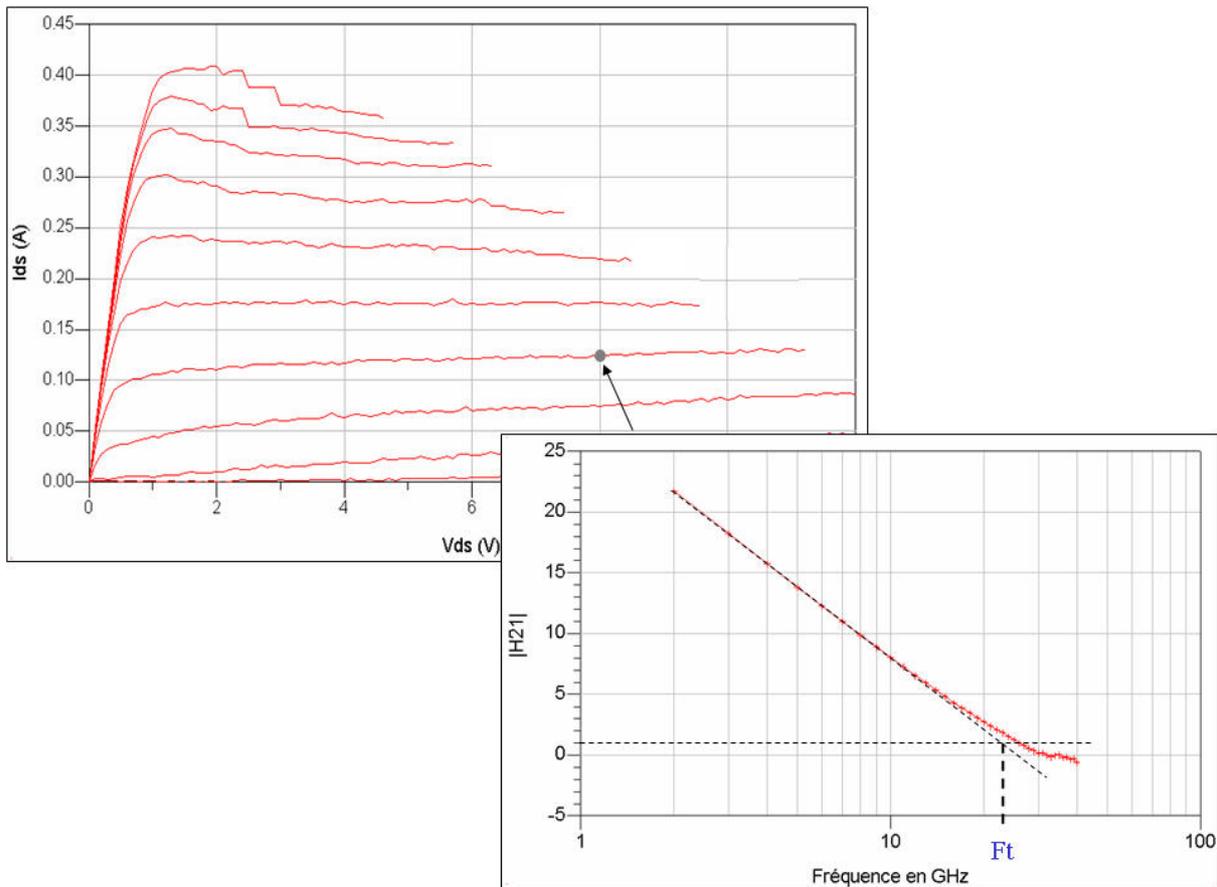


Figure 30. Gain en courant en fonction de la fréquence d'un PHEMT AsGa de longueur de grille 0.25 μ m pour $V_{ds}=8$ V et $I_d=125$ mA

La fréquence de transition pour un transistor à effet de champ, en fonction des éléments du schéma petit signal, est donnée par la relation suivante :

$$F_T = \frac{g_m}{2.\pi.(C_{gs} + C_{gd})} \quad (\text{I-11})$$

Attention il ne faut pas se limiter à la formule (I-11) dans notre cas, en effet l'importance de la conductance de sortie G_d pour les HEMT à grille courte oblige à rajouter les termes correspondants :

$$F_T = \frac{g_m}{2\pi \cdot \left[(C_{gs} + C_{gd}) \left(1 + \frac{R_s + R_d}{R_{ds}} \right) + C_{gd} \cdot g_m \cdot (R_s + R_d) + \tau \cdot g_m \right]} \quad [43] \quad (I-12)$$

L'expression de F_T est donnée en fonction des éléments du schéma petit signal représenté à la *Figure 31*.

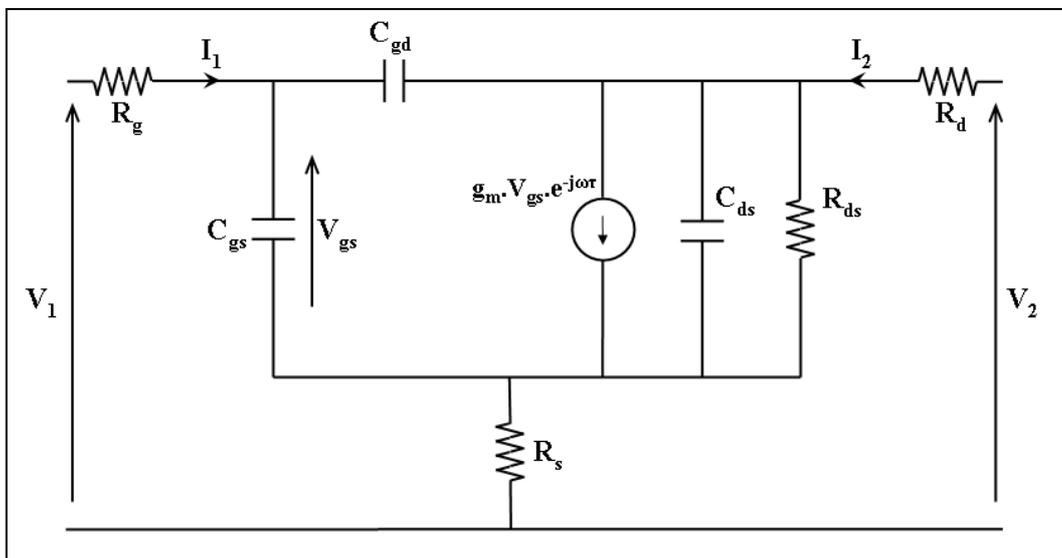


Figure 31. Modèle petit signal simplifié d'un transistor HEMT

ii. Gain maximum disponible, fréquence maximale d'oscillation, gain en puissance unilatéral.

- Le gain maximum disponible G_M (*Maximum Available Gain*) représente le gain maximum que peut avoir l'amplificateur à bas niveau :

$$G_M = \frac{S_{21}}{S_{12}} \left(K - \sqrt{K^2 - 1} \right) \quad (I-13)$$

où K est le facteur de stabilité de Rollet.

Ce gain ne peut être calculé que si $K > 1$. Si $K < 1$, on définit alors le gain maximum stable (*Maximum Stable Gain*) :

$$G_{MSG} = \frac{S_{21}}{S_{12}} \quad (I-14)$$

De plus, si $|S_{12}| = 0$, alors on définit le gain maximum unilatéral $|S_{21}|$.

- La fréquence maximale d'oscillation (notée F_{max}) représente la fréquence pour laquelle le module du gain maximum disponible est égal à 0 dB :

$$|G_M (dB)|_{F_{max}} = 10 \cdot \log \left(\frac{S_{21}}{S_{12}} \left(K - \sqrt{K^2 - 1} \right) \right) = 0 \text{ dB} \quad (\text{I-15})$$

Pour le même transistor que précédemment au même point de fonctionnement, nous traçons le gain maximum disponible en fonction de la fréquence (*Figure 32*). Nous en déduisons une fréquence maximale d'oscillation ($|G_M|_{F_{max}} = 0 \text{ dB}$) d'environ 45 GHz.

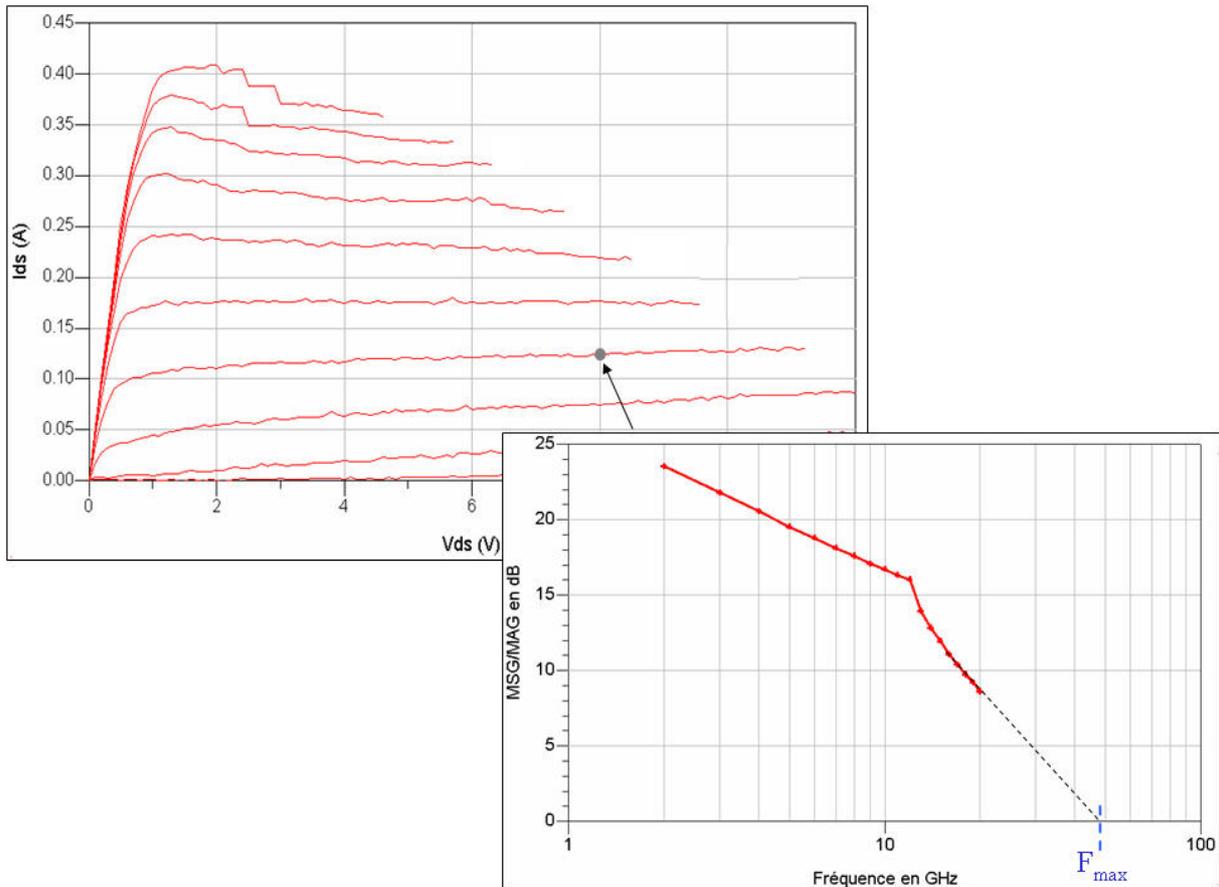


Figure 32. Gain maximum disponible en fonction de la fréquence d'un PHEMT AsGa de 0.8mm de développement de grille pour $V_{ds}=24 \text{ V}$ et $I_d=255 \text{ mA}$

De nouveau, dans le cas où l'on considère un transistor HEMT dont le modèle petit signal est représenté à la *Figure 31*, la fréquence maximale d'oscillation est alors égale à :

$$F_{max} = \frac{F_T}{2 \sqrt{\left(2 \cdot \pi \cdot F_T \cdot R_g \cdot C_{gd} + \frac{R_g}{R_{ds}} \right)}} \quad (\text{I-16})$$

- On peut aussi définir la fréquence maximale d'oscillation à partir du gain en puissance unilatéral (noté *UPG* pour *Unilateral Power Gain*). La fréquence maximale d'oscillation est alors égale à la valeur de la fréquence pour laquelle le module du gain en puissance unilatéral ($|S_{12}| = 0$) est à 0 dB :

$$|UPG(dB)|_{F_{max}} = 10 \cdot \log \left(|S_{21}|^2 \cdot \frac{1}{1 - |S_{11}|^2} \cdot \frac{1}{1 - |S_{22}|^2} \right) = 0dB \quad (I-17)$$

2. Fonctionnement grand signal

Lorsque l'amplificateur fonctionne en régime non-linéaire, de nouveaux paramètres d'évaluation grand signal sont à considérer. Les différentes définitions qui vont être données par la suite sont référencées par rapport à la *Figure 33*.

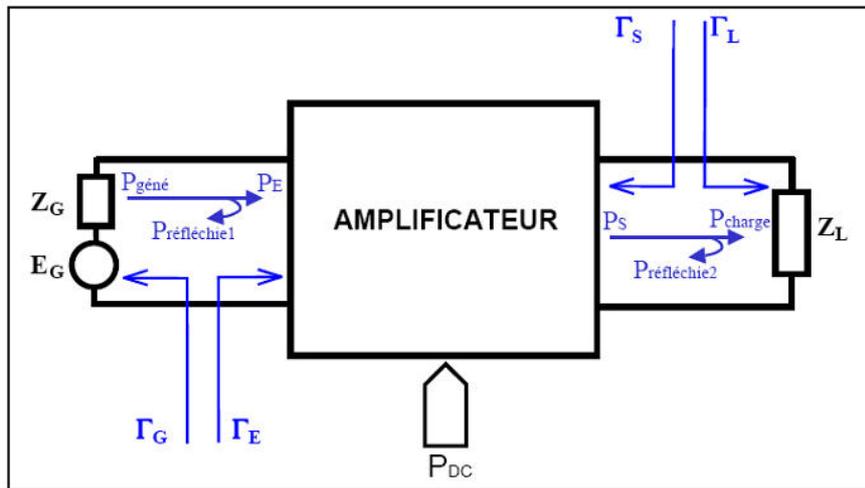


Figure 33. Synoptique d'un amplificateur en grand signal

i. La densité de puissance

La densité de puissance représente la puissance de sortie par unité de largeur de grille du transistor. Elle s'exprime en général en W/mm et permet ainsi une comparaison aisée entre transistors de développements différents.

ii. La puissance de sortie

On définit la puissance de sortie (notée P_s) d'un transistor comme :

$$P_s = \frac{1}{2} \cdot \text{Re}(V \cdot I^*) \quad (I-18)$$

A titre d'exemple, la puissance de sortie maximale, pour une polarisation en classe A, a pour valeur :

$$P_{S_{max}} = \frac{I}{8} \cdot I_{max} \cdot (V_{max} - V_{min}) \quad (I-19)$$

où V_{max} représente la tension de claquage, V_{min} la tension de déchet et I_{max} le courant maximum dans le transistor.

iii. Le gain en puissance

Le gain en puissance (noté G_P) est défini par le rapport de la puissance de sortie P_S fournie à la charge sur la puissance d'entrée P_E :

$$G_P = \frac{P_S}{P_E} \text{ d'où } (G_P)_{dB} = (P_S)_{dBm} - (P_E)_{dBm} \quad (I-20)$$

iv. Le rendement en puissance ajoutée

Le rendement en puissance ajoutée (noté PAE pour *Power Added Efficiency*) exprime le pourcentage de puissance de polarisation DC apportée au composant converti en puissance RF (noté η_{PAE}) :

$$\eta_{PAE} = \frac{P_S - P_E}{P_{DC}} \quad (I-21)$$

v. L'adaptation

Pour qu'un transistor soit à même de générer une puissance maximale, il faut maximiser le produit de la tension par le courant de sortie dans les limites de fonctionnement du transistor. Dans le cas d'une polarisation en classe A, la puissance de sortie sera maximale (*Figure 34*) si l'impédance de charge est optimale, soit :

$$Z_{L_{opt}} = \frac{(V_{max} - V_{min})}{I_{max}} \quad (I-22)$$

Or, la puissance de sortie maximale est égale à :

$$P_{S_{max}} = \frac{I}{8} \cdot I_{max} \cdot (V_{max} - V_{min}) \quad (I-23)$$

A partir des deux formules précédentes (I-22) et (I-23), on obtient :

$$Z_{L_{opt}} = \frac{I}{8} \cdot \frac{(V_{max} - V_{min})^2}{P_{S_{max}}} \quad (I-24)$$

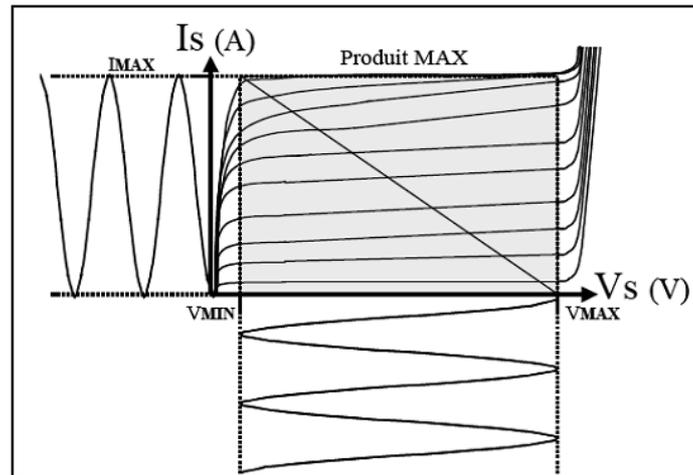


Figure 34. Maximisation de la puissance de sortie

On voit donc que pour une P_{Smax} donnée, le niveau d'impédance sera d'autant plus élevé que la tension V_{max} sera importante. Par conséquent, l'adaptation en sera grandement facilitée (Z_{Lopt} proche de 50Ω).

D. Conclusion

Nous avons passé en revue au début de ce chapitre les différentes filières de puissances et on peut constater qu'à l'heure actuelle les transistors sur substrat AsGa restent les leaders incontestables pour les applications demandant un compromis puissance/fréquence en soulignant toutefois les bonnes performances de la technologie HEMT GaN qui n'est pas encore tout à fait maîtrisée notamment en termes de reproductibilité. Le PHEMT AsGa reste le seul composant qui propose une très bonne linéarité avec un fort rendement et une densité de puissance convenable.

Dans ce chapitre, nous avons détaillé le principe de fonctionnement des transistors à effet de champs en étudiant plusieurs types de composants unipolaires. La compréhension de l'effet transistor et l'étude de la structure du composant sont les points de départ de la modélisation c'est-à-dire de la mise en équations des phénomènes linéaires et non linéaires qui apparaissent en fonctionnement hyperfréquence.

En effet, la conception de circuits amplificateurs de puissance basée sur la filière PHEMT AsGa d'UMS passe par la création d'un modèle de transistor pour la CAO (Conception Assistée par Ordinateur). Ce modèle doit prendre tous les phénomènes physiques mis en jeu lors d'un régime petit ou grand signal afin de reproduire les critères de

performance électrique du transistor de puissance (cf. paragraphe précédent) lors d'une simulation.

Le chapitre suivant va s'attacher à expliquer la méthode d'extraction d'un modèle classique non linéaire puis on déterminera les paramètres sensibles de celui-ci.

Bibliographie

[1]. **C.T. Kirk**

IEEE transactions on Electron Devices ED 9, 164 (1962)

[2]. **N. Jiang, Z. Ma, G. Wang, P. Ma, and M. Racanelli**

“3-W SiGe power HBTs for wireless applications”

Elsevier Sci.: Mater. Sci. Semicond. Process., vol. 8, no. 1–3, pp. 323–326, 2005

[3]. **G. Wang; H-C. Yuan; Z. Ma**

“Ultrahigh-performance 8-GHz SiGe power HBT”

Electron Device Letters, IEEE, Volume 27, Issue 5, May 2006 Page(s):371 - 373

[4]. **Z. Griffith, E. Lind, M.J.W. Rodwell, X-M. Fang, D. Loubychev, Y. Wu, J.M. Fastenau, A.W.K. Liu**

“Sub-300 nm InGaAs/InP Type-I DHBTs with a 150 nm collector, 30 nm base demonstrating 755 GHz f_{max} and 416 GHz fT ”

2007 International Conference on Indium Phosphide and Related Materials, Conference Proceedings, 19th IPRM 14-18, May 2007 Matsue, Japan

[5]. **Y. Betser, D. Scott, D. Mensa, S. Jaganathan, T. Mathew, M. J. Rodwell**

“InAlAs/InGaAs HBTs with simultaneously high values of fT and f_{max} for mixed analog/digital applications”

IEEE Electron Dev. Lett., Vol. 22, pp. 5658, 2001

[6]. **M. J. W. Rodwell, M. Urteaga, T. Mathew, D. Scott, D. Mensa, Q. Lee, J. Guthrie, Y. Betser, S. C. Martin, R. P. Smith, S. Jaganathan, S. Krishnan, S. I. Long, R. Pullela, B. Agarwal, U. Bhattacharya, L. Samoska, M. Dahlstrom**

“Submicron scaling of HBTs”

IEEE Trans. Electron Dev., vol. 48, pp. 26062624, 2001

[7]. J. Li, C. Cismaru, P. Zampardi, A. Wu, E. Babcock, M. Sun, K. Stevens, R. Ramanathan

“Development of High Breakdown Voltage InGaP/GaAs DHBTs”

CS MANTECH Conference, May 14-17, 2007, Austin, Texas, USA

[8]. H. Blanck, G. Jonsson, L. Favede, G. Pataut, M. Bonnet, D. Floriot

“Industrial GaInP/GaAs high Power HBT Process for S-Band and L-Band Applications”

CS MANTECH Conference, May 14-17, 2007, Austin, Texas, USA

[9]. A.G Baca, P.C Chang, F.H. Klem et Al

“Vertical AlGaAs/GaAs heterojunction bipolar transistors with 106V breakdown”

Solid-State Electronic (2001): pp 721-725

[10]. H. Xing, P.M. Chavarkar, S. Keller, S.P. DenBaars, U.K. Mishra

“Very High Voltage Operation (>330 V) With High Current Gain of AlGaIn/GaN HBTs”

IEEE Electron Device Letters, VOL. 24, NO. 3, March 2003

[11]. Site Internet

www.freescale.com

[12]. H.G. Henry, G. Augustine, G.C. DeSalvo, R.C. Brooks, R.R. Barron, J.D. Oliver, Jr., A.W. Morse, B.W. Veasel, P.M. Esker, R.C. Clarke,

“S-Band Operation of SiC Power MESFET With 20 W (4.4 W/mm) Output Power and 60% PAE”

IEEE Transactions on Electron Devices, Vol. 51, No. 6, Juin 2004

[13]. R.A. Sadler, S.T. Allen, W.L. Pribble, T.S. Alcorn, J.J. Sumakeris, J.W. Palmour

“SiC MESFET hybrid amplifier with 30-W output power at 10 GHz”

2000 IEEE/Cornell Conference on High Performance Devices proceedings, 2000, pp. 173-177

[14]. Site Internet

www.cree.com/wireless

[15]. C. Charbonniaud

“Caractérisation et modélisation électrothermique non linéaire de transistors à effet de champ GaN pour l’amplification de puissance micro-onde”

Thèse de doctorat, Discipline : Electronique des Hautes Fréquences et Optoélectronique, spécialité : Télécommunications, Université de Limoges, Octobre 2005

[16]. E. Mitani, M. Aojima, A. Maekawa, S. Sano

“An 800-W AlGaIn/GaN HEMT for S-band High-Power Application”

CS MANTECH Conference, May 14-17, 2007, Austin, Texas, USA

[17]. R. Behtash, H. Tobler, P. Marschall, A. Schurr, H. Leier, Y. Cordier, F. Semond, F. Natali, J. Massies

“AlGaIn/GaN HEMTs on Si(111) with 6.6W/mm output power density”

IEE Electronics Letters, 39 (7), 2003

[18]. R. Therrien, S. Singhal, J.W. Johnson, W. Nagy, R. Borges, A. Chaudhari, A.W. Hanson, A. Edwards, J. Marquart, P. Rajagopal, C. Park, I.C. Kizilyalli, K.J. Linthicum

“A 36mm GaN-on-Si HFET Producing 368W at 60V with 70% Drain Efficiency”

Paper presented at the 2005 IEEE International Electron Devices Meeting (IEDM), Washington, DC

[19]. D.C. Dumka, C. Lee, H.Q. Tserng, P. Saunier, M. Kumar

“AlGaIn/GaN HEMTs on Si substrate with 7 W/mm output power density at 10 GHz”

Electronics Letters Volume 40, Issue 16, 5 Aug. 2004 Page(s):1023 – 1024

[20]. F. van Raay, R. Quay, R. Kiefer, W. Fehrenbach, W. Bronner, M. Kuri, F. Benkhelifa, H. Massler, S. Muller, M. Mikulla, M. Schlechtweg, G. Weimann

“A Microstrip X-Band AlGaIn/GaN Power Amplifier MMIC on s.i. SiC Substrate”

13th Gallium Arsenide and other Compound Semiconductors Application Symposium, Paris, France, pp. 233-236, October 2005

[21]. **Y-F. Wu, M. Moore, A. Saxler, T. Wisleder, P. Parikh**

“40-W/mm Double Field-plated GaN HEMTs”

Device Research Conference, 2006 64th June 2006 Page(s):151 - 152

[22]. **K. Matsunaga, K. Ishikura, I. Takenaka, W. Contrata, A. Wakejima, K. Ota, M. Kanamori, M. Kuzuhara**

“A Low-Distortion 230W GaAs Power FPHFET Operated at 22V for Cellular Base Station”

2000 IEDM Technical Digest, pp. 393-396

[23]. **N. Sakura, K. Matsunaga, K. Ishikura, I. Takenaka, K. Asano, N. Iwata, M. Kanamori, M. Kuzuhara**

“100W L-Band GaAs Power FP-HFET Operated at 30V”

2000 IEEE MTT-S Digest, pp. 1715-1718

[24]. **K.Inoue et al.**

“A High Gain L-band GaAs FET Technology for 28V operation”

IMS2004

[25]. **A.M. Darwish, K. Boutros, B. Luo, B. Huebschman, E. Viveiros, H.A. Hung**

“4-Watt Ka-Band AlGaIn/GaN Power Amplifier MMIC”

Microwave Symposium Digest, 2006. IEEE MTT-S International

[26]. **A. Wakejima, T. Nakayama, K. Ota, Y. Okamoto, Y. Ando, N. Kuroda, M. Tanomura, K. Matsunaga, H. Miyamoto**

“Pulsed 0,75kW output single-ended GaN-FET amplifier for L=S band applications”

ELECTRONICS LETTERS 9th November 2006 Vol. 42 No. 23

[27]. **P. Schuh, R. Leberer, H. Sledzik, M. Oppermann, B. Adelseck, H. Brugger, R. Behtash, H. Leier, R. Quay, R. Kiefer**

“20W GaN HPAs for Next Generation X-Band T/R-Modules”

Microwave Symposium Digest, 2006. IEEE MTT-S International

[28]. R.S. Pengelly, C.W. Janke

“A 1 to 2 GHz, 50 Watt Push-Pull Power Amplifier Using SiC MESFETs”

June 2006 High Frequency Electronics

[29]. J. Andrews, J.D. Cressler, M. Mitchell

“A High-Gain, Two-Stage, X-Band SiGe Power Amplifier”

Microwave Symposium Digest, 2007. IEEE MTT-S International

[30]. R. Lai, P. Huang, R. Grundbacher, D. Farkas, A. Cavus, P.H. Liu, P. Chin, Y.C. Chou, M. Barsky, R. Tsai, R. Raja, A. Oki

“0.07 μm InP HEMT MMIC Technology for G-band Power Amplifiers”

Indium Phosphide and Related Materials Conference Proceedings, 2006 International Conference on

[31]. A-M. Couturier, S. Heckmann, V. Serru, T. Huet, P. Chaumas, J J. Fontecave, M. Camiade, J.P. Viaud, S. Piotrowicz

“A Robust 11W High efficiency X-band GaInP HBT amplifier”

Microwave Symposium Digest, 2007. IEEE MTT-S International

[32]. F.Y. Colomb, A. Platzker

“A 3-Watt Q-Band GaAs pHEMT Power Amplifier MMIC For High Temperature Operation”

Microwave Symposium Digest, 2006. IEEE MTT-S International

[33]. C-K. Chu, H-K. Huang, H-Z. Liu, C-H. Lin, C-H. Chang, C-L. Wu, C-S. Chang, Y-H. Wang

“A 9.1–10.7 GHz 10-W, 40-dB Gain Four-Stage PHEMT MMIC Power Amplifier”

IEEE Microwave and Wireless Components Letters, Vol. 17, no. 2, FEBRUARY 2007

[34]. Site Internet

www.ums-gaas.com

Catalogue des produits

[35]. W. Shockley

“A unipolar field effect transistor”

Proc. Of the IRE, Vol. 40, pp. 1365, 1952

[36]. C. A. Mead

“Schottky barrier gate field effect transistor”

Proc. IEEE, Vol. 59, pp. 307-308, 1966

[37]. W. Baechtold, K. Daetwyler, T. Forster, T. O. Mohr, W. Walter, P. Wolf

“Si and GaAs 0.5 μ m gate Schottky-barrier field-effect transistors”

Electron. Lett., Vol. 9, pp. 232-234, 1973

[38]. D. Delagebeaudeuf, P. Delescluse, M. Laviron, J. Chaplart, N. T. Linh

“Two-dimensional electron gas m.e.s.f.e.t. structure”

Electronics Letters, Vol 16, pp. 667-668, Août 1980

[39]. T. Mimura, S. Hiyamizu, T. Fujii, K. Nanbu

“A new field-effect transistor with selectively doped GaAs/n-Al_xGa_{1-x}As heterojunctions”

Jpn. J. Appl. Phys., n. 19, L.225-7, 1980

[40]. D. Delagebeaudeuf, N. T. Linh

“Metal-(n) AlGaAs-GaAs Two-Dimensional Electron Gas FET”

IEEE Transactions on Electron Devices, Vol. ED-29, No. 6, Juin 1982

[41]. M. Washima, T. Tanaka, T. Hashimoto

“MOVPE Grown Metamorphic HEMT Epitaxial Wafers”

HITACHI CABLE REVIEW No.20 (August 2001)

[42]. C. Méliani

“Circuits intégrés amplificateurs à base de transistors HEMT pour les transmissions numériques à très haut débit (≥ 40 Gbit/s)”

Thèse de doctorat, Discipline : Électronique, Université Paris VII Denis Diderot, Juin 2003

[43]. **P.J Tasker, B. Hughes**

“Importance of Source and Drain Resistance to the Maximum f_T of Millimeter-Wave MODFET's”

IEEE Electron Device Letters, Vol. 10, n° 7, July 1989

CHAPITRE II : MODELISATION NON LINEAIRE DES PHEMTS ASGA

I. Introduction : les besoins en terme de modélisation

La conception de circuits intégrés monolithiques hyperfréquences non linéaires tels que les mélangeurs, les oscillateurs ou encore, comme l'application visée dans notre étude, d'amplification de puissance, nécessite l'utilisation d'une description grand signal du transistor à effet de champ pseudomorphique (PHEMT). Cette description doit refléter le comportement du composant de façon générale quels que soient son environnement et sa configuration. En effet, puisqu'il ne sera pas possible d'ajuster un circuit après sa réalisation, le concepteur doit être en mesure de simuler ce circuit entièrement pour optimiser ses performances.

Pour minimiser l'écart possible entre simulations et mesures, il faut disposer pour chacun des éléments du circuit (capacités, inductances, transistors, etc.), des modèles les plus précis et « compréhensibles » possible tout en gardant une certaine simplicité d'utilisation et une souplesse dans une éventuelle évolution du modèle. Malgré l'évolution des capacités de calcul des stations ou des ordinateurs qui utilisent les outils de CAO, la complexité des circuits à concevoir impose aux modèles de prendre en compte les temps de calcul en les réduisant et de ne pas dégrader la convergence du simulateur en minimisant les risques de divergence.

La demande croissante de circuits de plus en plus performants en termes de puissance et de fréquence, incite à la connaissance parfaite des limites du composant et aboutit à la réalisation de modèles plus complexes. Par exemple dans les PHEMT AsGa, les effets de pièges et d'avalanche dû à l'ionisation par impact, sont des phénomènes à prendre en compte aujourd'hui dès la phase de conception dans les modèles de transistors destinés à des applications de puissance hyperfréquences.

La diversité des domaines d'application des circuits microondes : l' « automotive » (secteur automobile), le spatial ou encore le domaine militaire par exemple, implique la prise en compte de certains effets dus à l'environnement du circuit. L'état thermique qui résulte de la température ambiante et de l'auto-échauffement du composant en est le principal effet devant être pris en compte dans les modèles. Ainsi un modèle fiable et précis permettra de réduire les temps de cycle de la conception à la fabrication en supprimant quelques étapes de test qui restent toujours coûteuses.

On distingue deux grandes familles de modèles qui chacune se subdivise en d'autres sous familles. Ces deux familles sont les modèles que l'on qualifiera de génériques, et les modèles connus sous le nom de comportementaux.

Les modèles comportementaux [44] sont plutôt dédiés à une utilisation au niveau système. Ils sont généralement extraits sous des conditions particulières d'impédance de charge, de polarisation, de fréquence... qui font que ces modèles sont spécifiques à une utilisation donnée. On peut donner deux exemples de sous famille de modèles comportementaux : les modèles utilisant les séries de Volterra ou encore les réseaux de neurones. Leur utilisation principale est l'intégration d'un sous système fini dans un système plus complet que l'on simulera afin d'en évaluer l'impact sur ses fonctions globales. Comme exemple nous citerons l'intégration d'un amplificateur de puissance dans une chaîne de transmission (en émission, *Figure 35*, ou en réception).

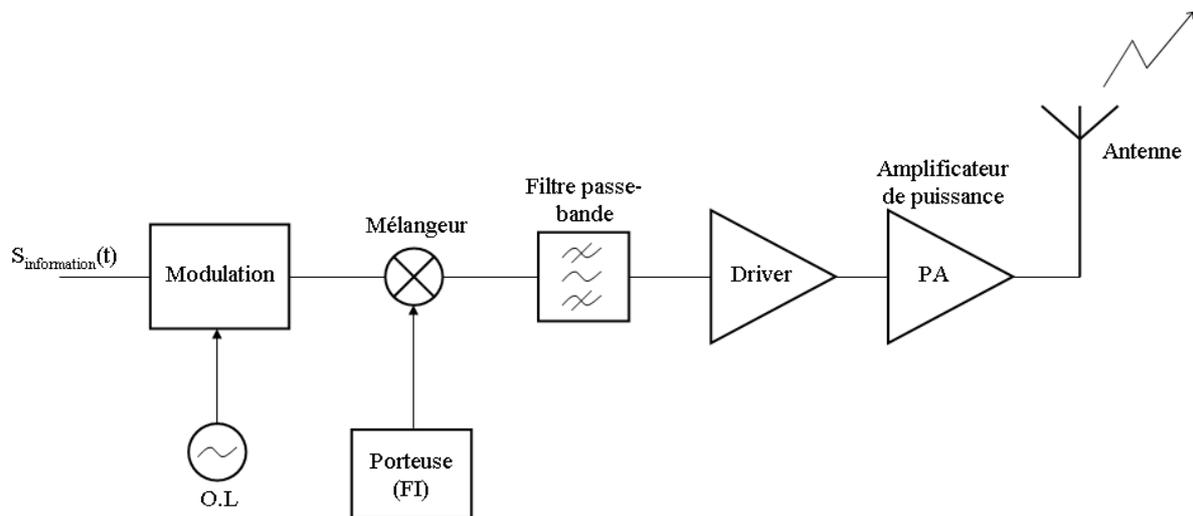


Figure 35. Exemple d'un système électronique: chaîne d'émission RF

Les modèles génériques quant à eux peuvent répondre, de part leur constitution, à tous les types de sollicitation de la part de l'utilisateur et du simulateur de circuit. Ils peuvent prédire des comportements aussi divers que complexes sans être pour autant spécifiés pour une utilisation particulière. Leur utilisation principale est la conception de circuits tels que les amplificateurs, les oscillateurs et autres mélangeurs.

Parmi ces circuits les amplificateurs de puissance demeurent parmi les plus difficiles à maîtriser et nécessitent de disposer, dès la phase de conception, de modèles avancés. C'est pourquoi le travail réalisé dans cette thèse est entièrement dévolu à la modélisation des transistors pour ces circuits.

Les objectifs de précision et de convergence sont difficiles à concilier et de nombreux modèles ont été étudiés pour prévoir le fonctionnement non-linéaire du transistor [45]. Dans un premier temps, ce chapitre passe en revue les différents types de modélisations génériques puis dans un second temps nous allons nous intéresser à la modélisation dite « classique » d'un transistor PHEMT de puissance, c'est-à-dire sans prendre en compte les effets parasites (thermiques, pièges). L'idée étant de cibler les éléments, linéaires ou non linéaires, les plus sensibles du modèle. Enfin, une validation du modèle sera effectuée à partir de mesures de puissance d'un transistor seul et d'un amplificateur à trois étages conçu par UMS.

II. Les différents types de modélisations génériques [46][47]

Afin de placer le travail de modélisation qui a été effectué dans son contexte, cette partie propose de faire un tour d'horizon des différents types de modélisations non linéaire des transistors à effet de champs en générale. Quatre types de modélisations génériques peuvent être distingués :

- Les modèles physiques analytiques,
- Les modèles physiques numériques,
- Les modèles phénoménologiques,
- Les modèles tabulaires.

A. Les modèles physiques analytiques

Ces modèles sont basés sur des expressions analytiques et nécessitent la connaissance des paramètres technologiques et géométriques du composant. Dans ce type de modèle physique, la première tâche est de poser les hypothèses nécessaires à la résolution du système d'équations physiques qui décrivent le comportement du composant : équation de continuité du courant, équation décrivant le transport des électrons dans le canal, etc. La résolution complète des équations est menée de manière analytique. La plupart de ces modèles sont basés sur une analyse quasi unidimensionnelle inspirée de celle de Shockley [48], à deux régions (avant et après le pincement du canal). L'un des modèles les plus cités est celui de

Pucel & al [49], utilisé pour des simulations en régime petit signal et pour étudier le comportement du TEC en bruit.

Pour des structures simples de transistors, ces modèles physiques présentent l'avantage d'être relativement simples. Les calculs deviennent rapidement plus complexes lorsqu'il s'agit de modéliser des composants avec des matériaux implantés (implantation de Bore pour les PHEMT) où l'hypothèse de dopage uniforme ne peut être appliquée. De plus, aucun des modèles ne prend en considération les phénomènes de dynamique électronique non stationnaire c'est-à-dire lorsque l'on admet que les variations de l'énergie ne peuvent pas suivre instantanément les variations du champ électrique.

B. Les modèles physiques numériques

Le système des équations fondamentales du transport des charges dans les semi-conducteurs est résolu numériquement, en choisissant des conditions aux limites appropriées. Les variantes de ces modèles sont nombreuses suivant la méthode numérique utilisée et les approximations effectuées. Deux types de modélisations peuvent cependant être distingués :

- Les modèles macroscopiques, qui résolvent numériquement (et non par des expressions analytiques, comme au paragraphe précédent) les équations de transport dans les semiconducteurs couplées à l'équation de Poisson,
- Les modèles microscopiques ou particuliers, qui consistent à suivre l'évolution de chaque électron dans l'espace et dans le temps.

La modélisation numérique de la dynamique des porteurs libres dans les composants semi-conducteurs repose sur la résolution de l'équation de transport de Boltzmann [50] :

$$\frac{\partial f}{\partial t} + \frac{q \cdot \vec{E}}{\hbar} \cdot \overrightarrow{\text{grad}}_k(f) + \vec{v} \cdot \overrightarrow{\text{grad}}_r(f) = \left(\frac{\partial f}{\partial t} \right)_c \quad (\text{II-1})$$

Cette équation régit l'évolution de la fonction de distribution f , qui est la probabilité de présence d'une particule au point (\vec{r}, \vec{k}) de l'espace des phases à l'instant t . Le second terme rend compte de la force de Coulomb dans un champ \vec{E} . Le troisième terme représente les forces de diffusion résultant des gradients de concentration. Le second membre rend compte des collisions avec le réseau cristallin. L'équation de Boltzmann est valable tant que n'interviennent pas les effets quantiques, c'est-à-dire pour des composants ayant des zones actives suffisamment épaisses.

1. Les modèles macroscopiques

Les modélisations en deux dimension de Kennedy et O'Brien [51] ont permis de mettre en évidence le mécanisme d'accumulation-déplétion dans le canal du coté drain. Leurs travaux montrent que la saturation du courant drain est principalement due à la saturation de la vitesse des porteurs dans le GaAs, et non pas, comme on le supposait auparavant [48], causée par le pincement partiel du canal produit par une augmentation de la tension drain-source V_{ds} .

A l'heure actuelle, les modèles macroscopiques visent plus à étudier le comportement du composant qu'à simuler des circuits intégrés hyperfréquences ou qu'à optimiser ses paramètres géométriques et technologiques.

Les simulations à partir de modèles macroscopiques sont fondées sur l'intégration de l'équation de Boltzmann dans l'espace des \vec{k} et sur l'approximation du temps de relaxation pour rendre compte phénoménologiquement des termes de collision. Après intégration et simplification, on aboutit à un jeu de trois équations macroscopiques traduisant la conservation des porteurs, de l'énergie moyenne et du moment des porteurs. Couplé à l'équation de Poisson, plusieurs modèles sont possibles :

- Un modèle dérive-diffusion où seul est prise en compte la conservation des porteurs. Il permet de décrire des structures simple à une dimension ce qui permet une bonne approximation du fonctionnement d'un transistor bipolaire. Mais ce modèle est insuffisant dans le cas de composants où interviennent des effets non stationnaires.
- Un modèle Energie qui est un modèle dérive-diffusion avec en plus la prise en compte des équations de conservation de l'énergie moyenne des porteurs. Celui-ci rend donc compte des effets non stationnaires, tels que la survitesse, dus à la relaxation de l'énergie moyenne des porteurs. Il ne tient néanmoins pas compte de la relaxation du moment.
- Un modèle hydrodynamique ou modèle Energie-Moment qui correspond à un modèle Energie amélioré puisqu'il prend en compte la conservation de la quantité de mouvement (moment). Dans le cas d'un champ électrique fort et d'une forte densité des impuretés, les deux modèles précédents restent insuffisants. Le modèle acceptable dans ce cas est le modèle hydrodynamique

Si les méthodes macroscopiques sont moins rigoureuses, les temps de calcul sont également moins importants.

2. Les modèles microscopiques ou particuliers

Il s'agit de résoudre l'équation de transport de Boltzmann. Cette équation ne peut être résolue directement, les simulations de type Monté-Carlo sont utilisées. Elles offrent la possibilité de décrire le déplacement des électrons soumis à un champ électrique. Ces simulations donnent les probabilités pour qu'un électron rentre en collision ou en interaction avec d'autres particules (impuretés, phonons acoustiques ou optiques, etc.). Ces phénomènes sont quantifiés en fonction de l'énergie d'un électron et sont intégrés au simulation de type Monté-Carlo. On connaît alors la vitesse, l'énergie et donc la position après un instant donné de l'électron. Un grand nombre de tirages permet ainsi d'obtenir de façon statistique les densités de porteurs dans une structure sous contrainte de champs électriques.

Les modélisations microscopiques nécessitent des ressources informatiques (place mémoire, temps de calcul) considérables et incompatibles avec une utilisation exhaustive d'un modèle. Néanmoins elles permettent d'avoir une description rigoureuse des phénomènes physiques à la condition de connaître parfaitement les caractéristiques des matériaux de même que leurs imperfections.

C. Les modèles phénoménologiques

Cette catégorie regroupe les modèles qui utilisent un circuit électrique équivalent qui comportera des éléments linéaires et non linéaires. Ces éléments non-linéaires sont décrits par des expressions mathématiques les plus simples possibles pour ne pas altérer la convergence et le temps de calculs des simulateurs. Les expressions mathématiques sont représentatives du fonctionnement global, elles peuvent avoir une signification physique ou pas, on emploie alors le terme d'expression ou de modèle *empirique*. Ce type de modèle présuppose de réaliser des composants avant de les modéliser car les paramètres des expressions sont déterminés à partir de mesures électriques de ces mêmes composants.

Comme le montre la *Figure 36*, l'analyse en coupe de la structure du transistor à effet de champ (ou d'un PHEMT) permet de faire apparaître les éléments localisés d'un schéma équivalent électrique simple en petit signal :

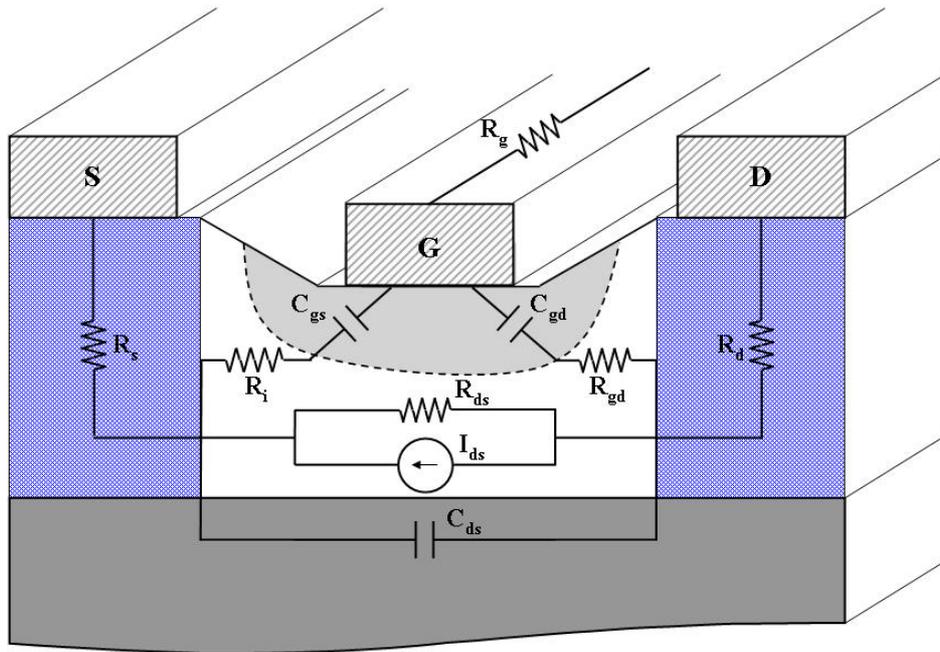


Figure 36. Origine physique du schéma équivalent d'un transistor à effet de champ

Le fonctionnement du transistor en régime grand signal, c'est-à-dire avec l'application à son entrée d'une puissance conséquente, nécessite l'introduction dans son schéma équivalent d'éléments non linéaires, comme la source de courant I_{ds} ou les capacités C_{gs} et C_{gd} , qui dépendent des tensions drain-source et grille-source. La Figure 37 montre le schéma classique non linéaire d'un transistor à effet de champ.

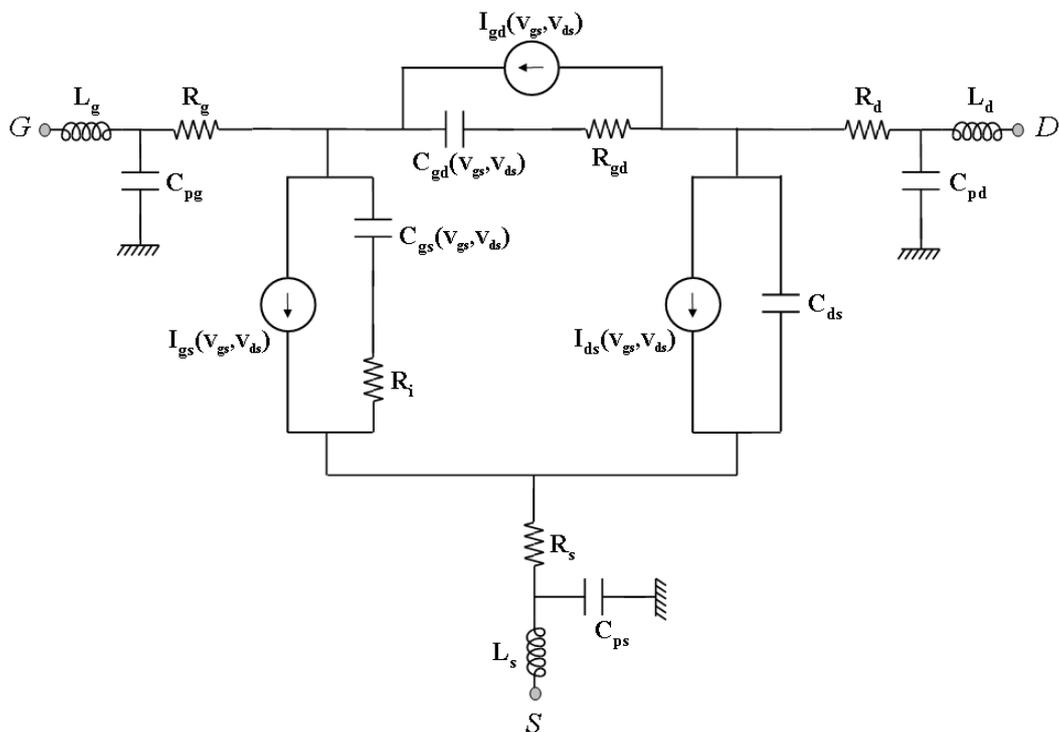


Figure 37. Schéma équivalent non linéaire classique d'un TEC

1. La source de courant I_{ds}

La source de courant I_{ds} est l'élément non linéaire pour lequel le nombre d'expressions analytiques proposées est le plus important. En 1968, Shichman et Hodges [52] proposent l'un des premiers modèles de source de courant pour les transistors à effet de champ :

$$\begin{aligned} I_{ds}(V_{gs}, V_{ds}) &= 0 && \text{Pour } V_{gs} < V_T, \text{ au pincement} \\ I_{ds}(V_{gs}, V_{ds}) &= \beta \cdot (V_{gs} - V_T)^2 \cdot (1 + \lambda \cdot V_{ds}) && \text{Pour la zone saturée} \\ I_{ds}(V_{gs}, V_{ds}) &= \beta \cdot V_{ds} [2 \cdot (V_{gs} - V_T) - V_{ds}] \cdot (1 + \lambda \cdot V_{ds}) && \text{Pour la zone ohmique} \end{aligned}$$

En 1978, Taki [53] propose le premier la description de la totalité de la caractéristique par une seule équation en utilisant une fonction tangente hyperbolique :

$$I_{ds}(V_{gs}, V_{ds}) = I_{DSS} \cdot \left(1 - \frac{V_{gs}}{V_P}\right)^2 \cdot \tanh\left[\alpha \cdot \left|\frac{V_{ds}}{(V_P - V_{gs})}\right|\right] \quad (\text{II-2})$$

Curtice [54] s'inspire des équations précédentes pour développer son modèle :

$$I_{ds}(V_{gs}, V_{ds}) = \beta \cdot (V_{gs} - V_T)^2 \cdot (1 + \lambda \cdot V_{ds}) \cdot \tanh(\alpha \cdot V_{ds}) \quad (\text{II-3})$$

Ce modèle est utilisé pour modéliser les transistors MESFETs, mais aussi les HEMTs [55]

Materka et Kacprzak modifient la formule de Taki pour tenir compte de la variation de la tension de pincement V_P avec la tension de polarisation V_{ds} [56][57] :

$$I_{ds}(V_{gs}, V_{ds}) = I_{DSS} \cdot \left(1 - \frac{V_{gs}}{V_P}\right)^2 \cdot \tanh\left(\alpha \cdot \frac{V_{ds}}{(V_P - V_{gs})}\right) \quad (\text{II-4})$$

$$\text{avec } V_P = V_{P0} + \gamma \cdot V_{ds}$$

En 1981, Tajima et al introduisent une expression assez complexe avec 8 paramètres qu'ils appliqueront à un oscillateur à contre-réaction grille-drain simulés à la fréquence fondamentale [58]. Puis en 1984, les mêmes auteurs modifient l'expression du courant I_{ds} pour l'appliquer à la simulation d'un amplificateur de puissance large bande [59] :

$$I_{ds}(V_{gs}, V_{ds}) = I_{DSS} \cdot F_G \cdot F_D + G_{D0} \cdot V_{ds} \quad (\text{II-5})$$

avec

$$F_G = \frac{I}{k} \left[V_{gsn} - \frac{(1 - \exp(-m \cdot V_{gsn}))}{m} \right]$$

$$F_D = 1 - \exp\left(-\left(V_{dsn} + a \cdot V_{dsn}^2 + b \cdot V_{dsn}^3\right)\right)$$

$$V_{gsn} = 1 + \frac{V_{gs}}{V_P}$$

$$V_{dsn} = \frac{V_{ds}}{\left(V_{dsp} \cdot \left(1 + \frac{w \cdot V_{gs}}{V_P} \right) \right)}$$

$$V_P = V_{P0} + p \cdot V_{ds}$$

$$k = 1 - \frac{1 - \exp(-m)}{m}$$

En 1985, Curtice et Ettenberg publient une autre expression empirique, cette fois ci les auteurs préfèrent mettre la source de courant sous la forme d'une fonction polynomiale [60] et l'appellent modèle « Curtice cubique » :

$$I_{ds}(V_{gs}, V_{ds}) = (A_0 + A_1 \cdot V_I + A_2 \cdot V_I^2 + A_3 \cdot V_I^3) \cdot \tanh(\alpha \cdot V_{ds}(t)) \quad (\text{II-6})$$

$$\text{avec } V_I = V_{gs}(t - \tau) \cdot [1 + \beta \cdot (V_{ds0} - V_{ds}(t))]$$

On peut encore citer les travaux de Statz et al en 1987 [61] qui introduisent une équation en deux parties :

$$I_{ds}(V_{gs}, V_{ds}) = \frac{\beta \cdot (V_{gs} - V_T)^2}{1 + b \cdot (V_{gs} - V_T)} \cdot \left[1 - \left(1 - \frac{\alpha \cdot V_{ds}}{3} \right)^3 \right] \cdot (1 + \lambda \cdot V_{ds}) \quad (\text{II-7})$$

$$\text{pour } 0 < V_{ds} < \frac{3}{\alpha}$$

$$\text{et } I_{ds}(V_{gs}, V_{ds}) = \frac{\beta \cdot (V_{gs} - V_T)^2}{1 + b \cdot (V_{gs} - V_T)} \cdot (1 + \lambda \cdot V_{ds}) \quad (\text{II-8})$$

$$\text{pour } V_{ds} \geq \frac{3}{\alpha}$$

La première équation contient en fait une approximation d'une fonction tangente hyperbolique par un polynôme, elle est en fait une variante de l'expression proposée par Curtice. La tangente hyperbolique serait plus lente en termes de temps de calcul. On peut dire que de nos jours les ordinateurs réduisent très fortement cette différence.

En 1990, S. Maas [62] montre que modéliser uniquement la source de courant ne suffit pas et qu'il faut s'intéresser également aux dérivées pour prédire les phénomènes de distorsions d'intermodulations :

$$gm(V_{gs}, V_{ds}) = \frac{\partial I_{ds}(V_{gs}, V_{ds})}{\partial V_{gs}} \quad \text{et} \quad gd(V_{gs}, V_{ds}) = \frac{\partial I_{ds}(V_{gs}, V_{ds})}{\partial V_{ds}} \quad (\text{II-9})$$

J.P. Teyssier et J.P. Viaud modifient en 1994 le modèle de la source de courant de Tajima pour l'adapter aux caractéristiques I(V) des transistors à hétérojonction [63]. Pour ce faire, les auteurs introduisent des paramètres supplémentaires pour modéliser la décroissance du Gm pour les valeurs positives de V_{gs} . De plus, ils proposent une topologie de modèle prenant en compte les phénomènes d'avalanche.

I. Angelov et al. proposent en 1992 un nouveau modèle empirique qui rejoint la réflexion précédente de Maas. Il se sert des modèles de Curtice et de Statz mais introduit un polynôme d'ordre n tel que l'extraction des paramètres du courant et de la transconductance, qui est la dérivée du courant par rapport à V_{gs} , soit obtenu à partir des caractéristiques DC mesurées [64] :

$$I_{ds}(V_{gs}, V_{ds}) = I_{pk} \cdot (1 + \tanh(\psi))^2 \cdot (1 + \lambda \cdot V_{ds}) \cdot \tanh(\alpha \cdot V_{ds}) \quad (\text{II-10})$$

avec $\psi = P_1 \cdot (V_{gs} - V_{pk}) + P_2 \cdot (V_{gs} - V_{pk})^2 + P_3 \cdot (V_{gs} - V_{pk})^3 + \dots$ et $V_{pk} = V_{pk0} + \gamma \cdot V_{ds}$

L'auteur montre dans son article que pour le MESFET et le HEMT étudiés, seul P_1 et P_3 sont non nuls. Ce modèle est appelé « Chalmers Model » car les auteurs appartiennent au département de physique appliquée de l'Université de technologie de Chalmers à Göteborg (Suède). En 1996, Angelov améliore le modèle Chalmers pour prendre en compte les effets dispersifs [65], puis en 2005, il l'adapte pour les composants à grand gap : le HEMT AlGaIn/GaN et le MESFET SiC [66].

Au début des années 90, David E. Root [67] propose un modèle avec une configuration qui ne permet pas d'accéder aux éléments internes. Il est le plus souvent constitué d'équations empiriques qui déterminent pour des tensions d'alimentation données les valeurs de charges et de courants à chaque accès du modèle.

Une approche de modélisation par tables d'interpolation, utilisant le mode de caractérisation pulsée, est appliquée sur un transistor de type LDMOS par J.M. Collantes et J.J. Raoux en 1998. La modélisation des mesures pour toutes les régions de fonctionnement du transistor est donc possible par le régime pulsé, en plus cette modélisation est quasi

immédiate grace au système tabulaire. Ce modèle tabulaire est facilement implantable dans les simulateurs de circuit et supprime la phase longue et délicate d'optimisation mais ne permet pas un paramétrage facile du modèle en fonction de la taille du composant actif.

2. Les capacités non linéaires C_{gs} et C_{gd}

Les expressions proposées dans la littérature pour modéliser les capacités non linéaires C_{gs} et C_{gd} sont beaucoup moins nombreuses que pour le courant I_{ds} . On utilise pour les transistors plutôt simples, l'expression de la capacité d'une jonction Schottky :

$$C_{gs}(V_{gs}) = \frac{C_{gs0}}{\left(1 - \frac{V_{gs}}{\varphi}\right)^{\frac{1}{2}}} \quad (\text{II-11})$$

pour $V_{gs} < \varphi$

Citons tout de même le travail de Takada et al [69] :

$V_{gs} < V_a$ après le pincement :

$$C_{gs}(V_{gs}) = FC \cdot \arctan \left[\frac{(V_{bi} - V_{T0})}{(V_{T0} - V_{gs})} \right]^{\frac{1}{2}} \quad (\text{II-12})$$

$V_a < V_{gs} < V_b$ région de transition :

$$C_{gs}(V_{gs}) = FC \cdot \arctan \left(\frac{V_{bi} - V_{T0}}{V_{tr2}} \right)^{\frac{1}{2}} + \frac{V_{gs} - V_a}{V_{tr1} + V_{tr2}} \cdot \left[\frac{FC \cdot \pi}{2} + \frac{C_{gs0}}{\left(1 - \frac{V_b}{V_{bi}}\right)^{\frac{1}{2}}} - FC \cdot \arctan \left(\frac{V_{bi} - V_{T0}}{V_{tr2}} \right)^{\frac{1}{2}} \right] \quad (\text{II-13})$$

$V_{gs} > V_b$ région avant pincement :

$$C_{gs}(V_{gs}) = \frac{C_{gs0}}{\left(1 - \frac{V_{gs}}{V_{bi}}\right)^{\frac{1}{2}}} + \frac{FC \cdot \pi}{2} \quad (\text{II-14})$$

avec V_{T0} = tension de seuil, V_{bi} = tension de barrière, $V_a = V_{T0} - V_{tr2}$, $V_b = V_{T0} - V_{tr1}$ et

$$FC = \varepsilon \cdot W_{grille}$$

Une expression équivalente est donnée pour la capacité C_{gd} , il suffit de remplacer V_{gs} par V_{gd} et C_{gs0} par C_{gd0} .

Un autre modèle physique analytique a été proposé par Chen et Shur [70].

Le modèle de Statz et al [61] permet d'inverser les rôles du drain et de la source, et donc les tensions V_{gs} et V_{gd} . Pour régler le problème de singularité qui se pose quand la zone désertée tend vers 0 et de la capacité C_{gs} qui tend vers une capacité résiduelle au pincement, les auteurs ont particulièrement bien étudié l'implantation numérique des expressions mathématiques dans le simulateur. Les relations établies sont les suivantes :

$$V_{new} = \frac{\left(V_{eff} + V_T + \sqrt{(V_{eff} - V_T)^2 + \delta^2} \right)}{2} \quad (II-15)$$

$$V_{eff} = \frac{\left(V_{gs} + V_{gd} + \sqrt{(V_{gs} - V_{gd})^2 + \Delta^2} \right)}{2} \quad (II-16)$$

$$C_{gs}(V_{gs}, V_{gd}) = \frac{C_{gs0}}{4 \cdot \left(I - \frac{V_{new}}{V_B} \right)^{\frac{1}{2}}} \cdot \left[I + \frac{V_{eff} - V_T}{\left((V_{eff} - V_T)^2 + \delta^2 \right)^{\frac{1}{2}}} \right] \cdot \left[I + \frac{V_{gs} - V_{gd}}{\left((V_{gs} - V_{gd})^2 + \Delta^2 \right)^{\frac{1}{2}}} \right] + \frac{C_{gd0}}{2} \cdot \left[I - \frac{V_{gs} - V_{gd}}{\left((V_{gs} - V_{gd})^2 + \Delta^2 \right)^{\frac{1}{2}}} \right] \quad (II-17)$$

avec V_B = tension de barrière.

Hwang propose des expressions plus simples [71][72] :

$$[71] \quad C_{gs}(V_{gs}) = \frac{C_{gs0}}{\left(I - \frac{V_{gs}}{V_{bi}} \right)^{\frac{1}{2}}} + C_{sp} \quad (II-18)$$

et

$$C_{gd}(V_{gd}) = \frac{C_{gd0}}{\left(I - \frac{V_{gs}}{V_{bi}} \right)^{\frac{1}{2}}} \cdot \left(I - \frac{V_{ds}}{V_{sat}} \right) + C_{dp} \quad \text{si } V_{ds} < V_{sat} \quad \text{sinon } C_{gd}(V_{gd}) = C_{dp} \quad (II-19)$$

$$[72] \quad C_{gs}(V_{gs}, V_{ds}) = \frac{C_0}{\left(1 - \frac{V_{gs}}{V_b} \right)^r} \cdot (1 + b \cdot V_{ds}) + d \quad (II-20)$$

Brazil et al [73] ont modifié l'équation de la jonction Schottky afin d'éviter les discontinuités et ils mettent les éléments sous forme de charges dans leur modèle pour les implanter plus facilement dans les simulateurs.

D. Les modèles par tables

On peut le désigner comme le plus simple et le plus rapide à mettre au point puisqu'il ne nécessite pas d'étapes d'optimisations. Les valeurs des mesures des composants intrinsèques sont directement stockées dans des tables paramétrées suivant plusieurs entrées (V_{gs} , V_{ds} , température ...).

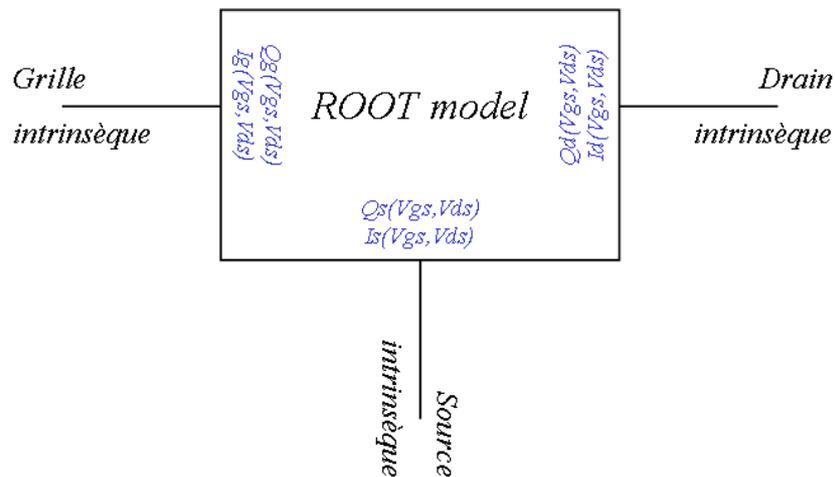


Figure 38. Schéma équivalent du modèle de Root

Pour trouver la valeur du courant pour le point de polarisation $V_{gs}=-0.1V$ et $V_{ds}=3.7V$ à partir de la table ci-dessus, les valeurs dans la zone grisée du tableau sont exploitées par des outils mathématiques d'interpolations sous forme de routine informatique. Ces outils sont nombreux, on citera la famille des Splines [74] ou les polynômes par morceaux (par exemple RungeKutta).

E. Choix du modèle

Les modèles analytiques ne suffisent pas pour décrire les phénomènes au sein de structures complexes comme les PHEMT's et les modèles numériques représentent de façon précise le comportement physique interne du composant, par contre ils exigent des temps de

calcul très importants et des ressources informatiques conséquentes pour l'étude du régime grand signal.

Le modèle de Root est très facile à extraire et à utiliser, mais son principal inconvénient souvent cité est qu'il ne peut être extrait qu'à une seule fréquence voire à un seul point de polarisation. Ce n'est pas le cas du modèle par table de Collantes-Raoux qui utilise la caractérisation pulsée pour définir avec précision chaque partie du réseau $I(V)$. De cette manière, le modèle peut inclure les zones d'avalanche et la zone où la puissance dissipée est élevée ; une simulation en puissance sera donc possible.

Les modèles par tables constituent un bon compromis calcul-précision-facilité de mise en œuvre, mais il faut réaliser un modèle par transistor et de plus le modèle est valide uniquement dans la zone mesurée car l'extrapolation du modèle peut-être inexacte.

Les transistors mis en avant dans cette étude sont destinés à des applications de puissance. A UMS, les composants sont d'abord modélisés puis leur modèle est implanté dans le logiciel de simulation ADS d'Agilent. Les concepteurs utilisent ces modèles dans leurs topologies d'amplificateurs mais ils sont amenés quelque fois à modifier le modèle pour se retrouver dans la configuration technologique adéquate. C'est pourquoi le type de modélisation retenu est le modèle phénoménologique. Ces modèles nécessitent des caractérisations spécifiques de composants déjà existants. Ces méthodes de caractérisations seront expliquées plus loin dans ce chapitre.

III. Principe de la caractérisation en impulsions

A. Introduction

La propriété fondamentale du transistor PHEMT est le contrôle du courant de sortie à l'aide de la tension d'entrée ; la conception d'un circuit fonctionnant en régime non linéaire ne peut donc se faire sans une modélisation précise des caractéristiques courant-tension, ou $I(V)$, du transistor. Cette caractérisation doit se faire sur tout le domaine de fonctionnement, il faut donc bien connaître au préalable l'application visée.

Les techniques classiques de mesure employées aussi bien pour les transistors bipolaires que pour les transistors à effet de champ sont basées sur l'application de tensions **continues** aux accès des transistors et sur la mesure des courants **continus** résultants. Sur des appareils tels que les traceurs de caractéristiques il est possible de réaliser des balayages et d'appliquer des impulsions de polarisations dont la durée est généralement **de l'ordre de la milliseconde**.

Ces techniques ne permettent pas de s'affranchir des deux problèmes posés par la détermination des caractéristiques $I(V)$ des transistors utilisés en microondes :

- le problème de l'auto-échauffement du transistor,
- le problème des pièges dans les transistors à effet de champ.

Afin de s'affranchir de ces problèmes, [80], [81] et [82] ont présenté des réalisations de bancs de mesures plus complexes et automatisés assurant des mesures non linéaires convectives ($I=f(V)$) en pilotant par impulsions simultanément la grille et le drain des transistors à effet de champ. Depuis, de nombreuses publications dédiées à la caractérisation et/ou modélisation des transistors microondes font état de mesures en impulsions.

B. La caractérisation convective

Le banc de mesure par impulsions repose sur le principe de l'application de brèves impulsions rectangulaires (typiquement 300 ns) autour d'un point de polarisation DC. Durant ces brèves impulsions, un oscilloscope numérique de précision métrologique mesure les grandeurs électriques tensions et courants aux deux accès du transistor. Les impulsions doivent balayer tout le domaine des tensions acceptables par le transistor en cours de caractérisation, et donc décrire point par point un réseau de caractéristiques (*Figure 39*).

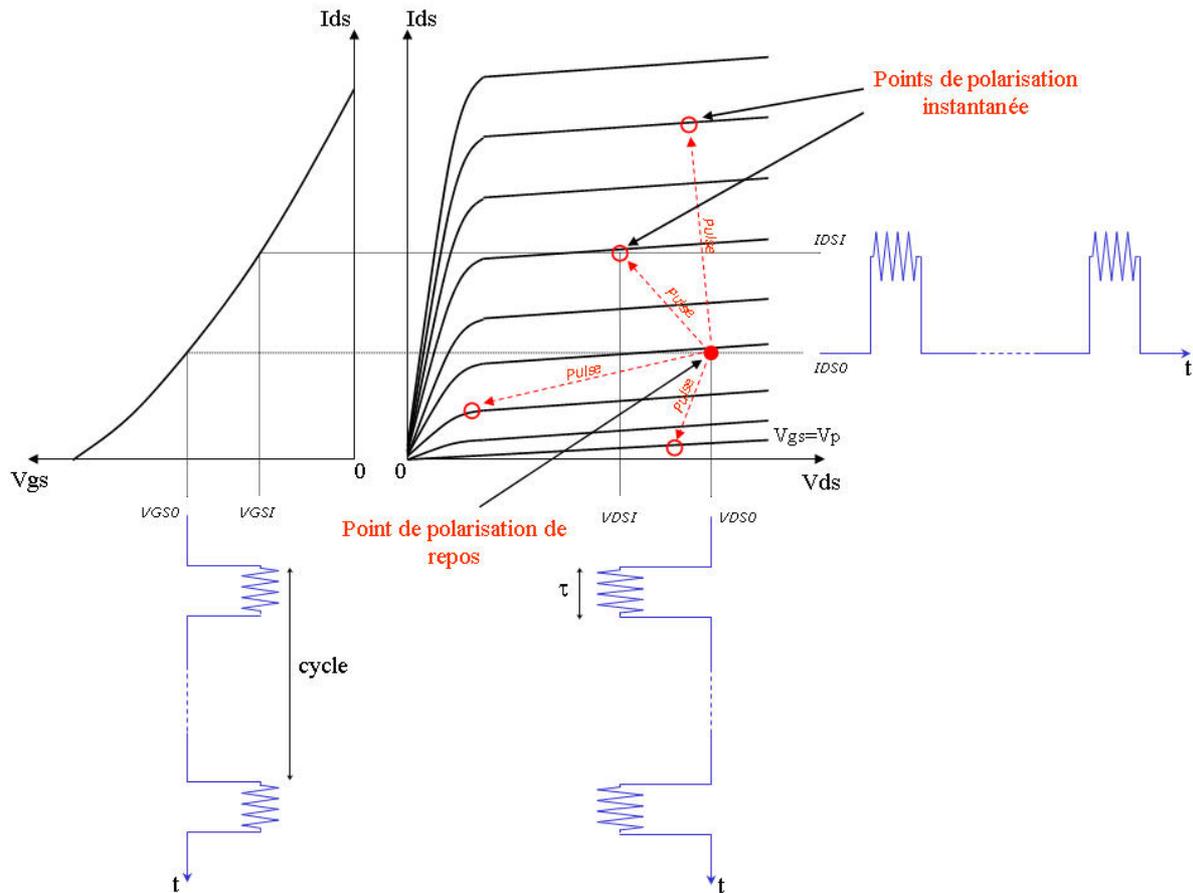


Figure 39. Principe des mesures en impulsion

Ce type de banc de mesure a vu le jour dans les années 80, avec les travaux de Piaggi [82] qui décrivaient les caractéristiques non linéaires du courant de drain en appliquant dans un premier temps des impulsions sur la commande de grille. Par la suite, nombreux sont les chercheurs qui ont peaufiné cette technique en décrivant des bancs de mesures en impulsions plus complexes et automatisés permettant l'acquisition des caractéristiques convectives des transistors [83][84][85][86].

L'intérêt fondamental est que ce réseau de caractéristiques est décrit à une température qui est quasiment celle correspondant à l'échauffement du point DC additionné à la température d'ambiance. Ceci est cohérent avec une utilisation RF du transistor, car, durant son cycle RF, celui-ci ne change pas de température, sa température est fonction du bilan de l'intégrale des puissances électriques de polarisation et RF.

Les impulsions doivent satisfaire à plusieurs critères :

- Leur durée doit être inférieure à la constante de temps thermique du transistor afin de maintenir une température constante du composant pendant que l'impulsion est appliquée.

- La durée doit être suffisamment importante pour atteindre le régime établi et assurer une mesure précise des tensions et courants.
- Le rapport cyclique des impulsions $\frac{\tau}{T}$ doit être assez faible pour permettre d'imposer l'état thermique.

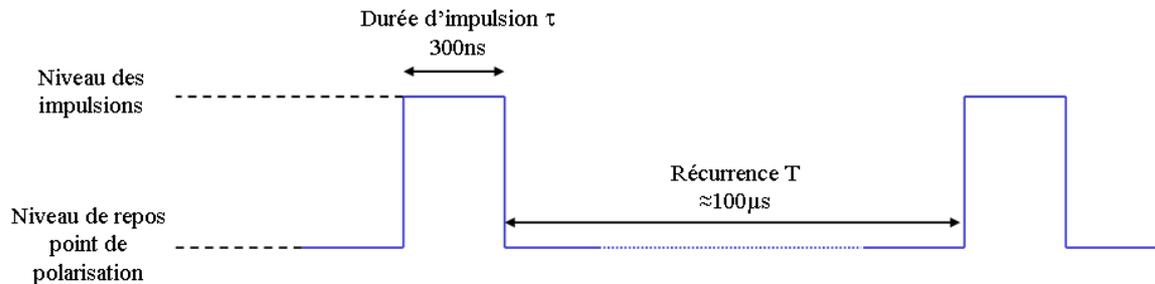


Figure 40. Principe de mesure des caractéristiques $I(V)$ isothermes

Les caractéristiques non linéaires convectives sont ensuite directement utilisables pour constituer un modèle non linéaire pour la CAO RF ; en effet, les paramètres qui constituent les expressions des générateurs de courant seront optimisés pour que mesure et simulation se superposent.

C. La caractérisation hyperfréquence :

On superpose, aux impulsions décrites précédemment, un petit signal RF, dont la fréquence varie de 0.5 à 40 GHz et qui peut être injecté sur l'entrée ou la sortie du composant. Ceci donne accès à des paramètres [S] représentatifs du transistor. Ces paramètres [S] sont disponibles pour chaque point d'impulsion et donc pour la température du point de polarisation instantané.

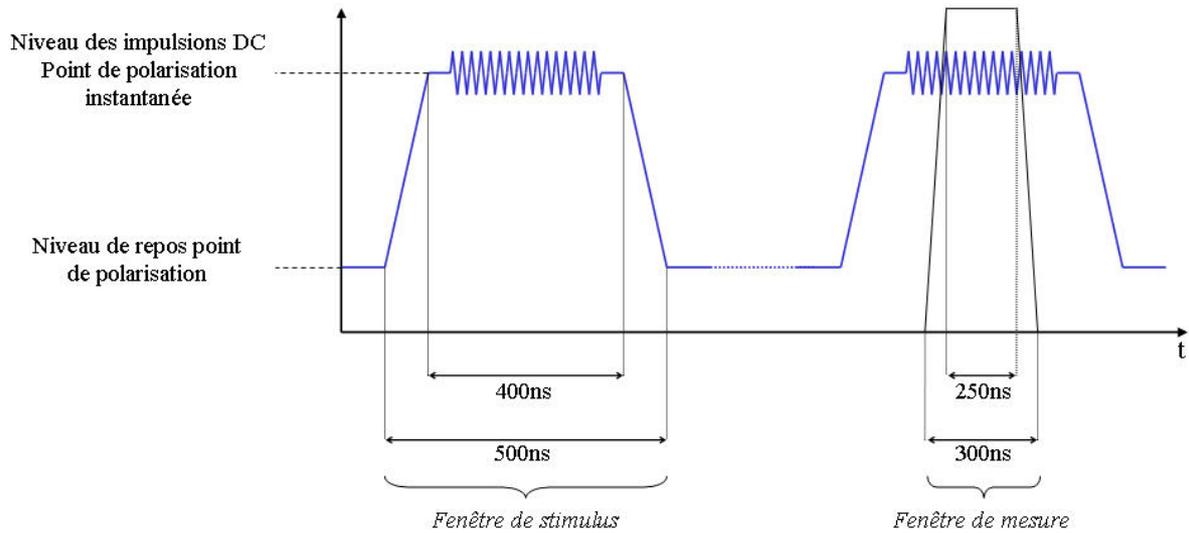


Figure 41. Principe de mesure des paramètres [S]

En utilisant la technique d'extraction des éléments intrinsèques du schéma petit signal, on pourra déterminer les éléments du schéma qui dépendent des tensions V_{ds} et V_{gs} , et ainsi les modéliser.

D. Mesures thermiques

Comme nous venons de le voir, les mesures en impulsions permettent de s'affranchir des problèmes de chauffe du transistor. Ainsi, en première approximation, la température de jonction (T_j) du transistor est fonction de sa puissance dissipée moyenne (P_{diss}) et de la température ambiante (T_a).

$$T_j = T_a + R_{th} \times P_{diss} \quad (\text{II-21})$$

R_{th} étant la résistance thermique du transistor et de son support de test.

Le banc en impulsion se sert de cette double dépendance pour proposer deux configurations de mesures afin de contrôler la température de jonction du transistor. La première solution, classique, consiste à jouer sur la puissance dissipée via le point de polarisation, en maintenant la température ambiante à celle de la pièce. La deuxième solution contrôle simultanément la puissance dissipée du transistor et la température ambiante par le biais d'un plateau (« chuck ») à régulé en température (-60 à +200°C typiquement). Ce deuxième cas de figure offre des possibilités de mesure très intéressantes. Par exemple, si le transistor est polarisé à froid, soit $P_{diss} = 0$, et si on a attendu assez longtemps pour que sa

température de jonction atteint celle du « chuck », les mesures effectuées avec de brèves impulsions (donc quasi sans échauffement) permettent de caractériser le transistor pour une température de jonction égale à celle du plateau (allant de -65 °C à $+200\text{ °C}$).

Cette manipulation nous permet donc d'ajouter une troisième dimension à notre modèle : la *Température T*.

IV. Description du modèle non linéaire du PHEMT AsGa

Dans cette partie, nous allons décrire la démarche pour établir un modèle non linéaire d'un PHEMT AsGa de longueur de grille $0.25\mu\text{m}$. La modélisation hyperfréquence non linéaire grand signal commence par la détermination d'un schéma équivalent petit signal constitué d'éléments localisés (résistances, capacités, etc.).

A. Détermination du schéma électrique équivalent petit signal

L'analyse de la structure d'un transistor à effet de champ classique fait apparaître un schéma équivalent petit signal à éléments localisés comme sur la *Figure 36*, pour les PHEMT's le schéma est le même. Le modèle petit signal correspond au fonctionnement du transistor dans la zone saturée.

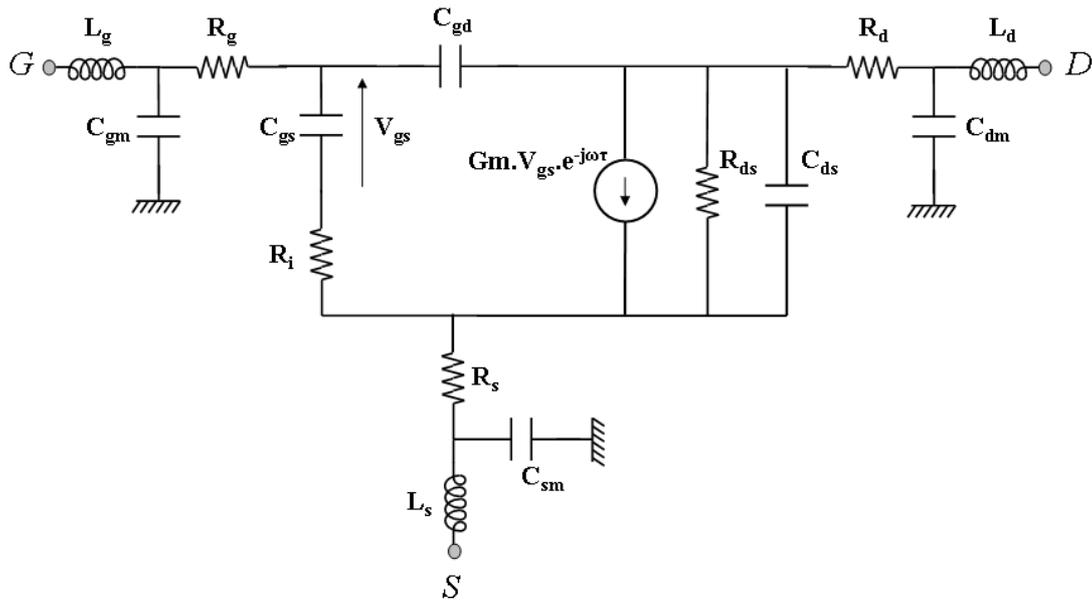


Figure 42. Schéma équivalent petit signal du PHEMT

Ce schéma est communément utilisé dans les simulateurs microondes, il est composé de deux parties distinctes : une partie intrinsèque et une partie extrinsèque. La partie extrinsèque correspond aux éléments parasites aux accès du PHEMT et ils sont considérés indépendants du point de polarisation, par contre les éléments intrinsèques dépendent de la polarisation du transistor. Cette hypothèse est la base de la procédure d'extraction.

1. Les éléments intrinsèques

- La transconductance G_m et la conductance G_d traduisent l'effet fondamental du transistor en petit signal :

$$G_m = \left. \frac{\partial I_d}{\partial V_{gs}} \right|_{V_{ds}=cte} \quad \text{et} \quad G_d = \left. \frac{\partial I_d}{\partial V_{ds}} \right|_{V_{gs}=cte} \quad (\text{II-22})$$

G_m correspond au mécanisme de contrôle du courant dans le canal par la tension de grille, on associe à cette transconductance un retard τ . La conductance G_d , représentée par la résistance R_{ds} dans le schéma, traduit les effets d'injection des électrons dans le canal sous influence d'une tension V_{gs} constante.

- La résistance R_i représente la résistance du canal coté grille.
- La capacité C_{ds} représente la part de la capacité drain source interne au composant.
- Les variations de charges accumulées sous la grille sous l'effet des tensions V_{gs} et V_{gd} sont représentées respectivement par C_{gs} et C_{gd} .

$$C_{gs} = \left. \frac{\partial Q_g}{\partial V_{gs}} \right|_{V_{gd}=cte} \quad \text{et} \quad C_{gd} = \left. \frac{\partial Q_g}{\partial V_{gd}} \right|_{V_{gs}=cte} \quad (\text{II-23})$$

2. Les éléments extrinsèques

La partie extrinsèque est constituée des éléments parasites suivants :

- L_g et C_{gm} représentent les éléments équivalents à la métallisation de la grille.
- R_g est la résistance de métallisation de la grille qui constitue le contact Schottky.
- L_d et C_{dm} représentent les éléments localisés équivalents à la métallisation du drain du transistor.
- L_s et C_{sm} représentent respectivement l'inductance et la capacité associées aux trous (via holes) de sources.
- R_d et R_s représentent les résistances parasites dues aux contacts ohmiques et aux zones conductrices inactives du canal entre les métallisations drain et source, et la limite de la zone déserte.

Remarque : ces éléments sont dit parasites car ils interviennent plus ou moins sur l'effet transistor alors qu'ils se situent hors de la zone où est localisé le phénomène.

B. Détermination des éléments parasites extrinsèques du modèle

Les éléments parasites sont extraits à partir de la méthode du « transistor froid » [75], excepté les résistances R_s , R_d et R_g qui sont déduits des mesures statiques sous différentes conditions de polarisation.

1. Méthode d'extraction

Pour extraire les éléments extrinsèques, on se place dans un premier temps dans la configuration suivante :

- Le transistor en montage source commune.
- V_{gs} au dessous de la tension de pincement c'est-à-dire $V_{gs} \approx -1.5V$ dans notre cas et V_{ds} égale à 0 d'où le nom de « transistor froid ».

- A basse fréquence (2-12 GHz) pour laquelle on peut négliger l'impédance des inductances d'accès.
- On considère à $V_{ds}=0$ que la répartition des charges sous la grille est uniforme donc $C_{gs}=C_{gd}=C_b$.
- Le schéma équivalent est alors le suivant :

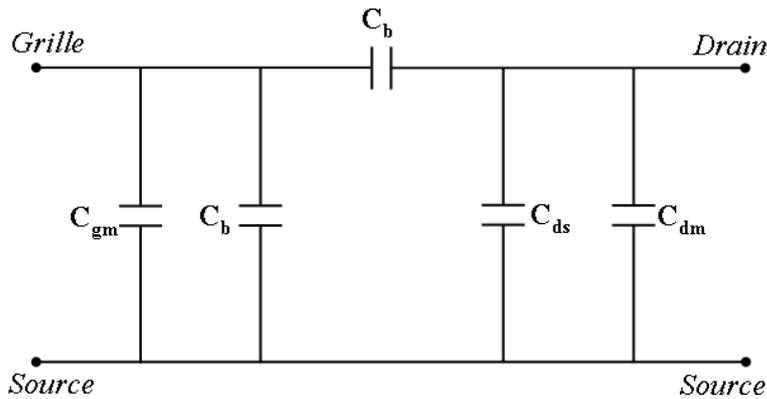


Figure 43. Modèle source commune en régime pincé et en basse fréquence

On transforme la matrice $[S]$, mesurée à $V_{gs} = -1.5V$ et $V_{ds} = 0V$, en matrice de paramètres $[Y]$ pour les fréquences les plus basses (2-12 GHz). La matrice $[Y]$ calculée à partir du schéma de la Figure 43 donne les relations suivantes :

$$\text{Im}[Y_{12}] = -C_b \cdot \omega$$

$$\text{Im}[Y_{11}] = \omega \cdot (C_{gm} + 2C_b)$$

$$\text{Im}[Y_{11}] + 2 \cdot \text{Im}[Y_{12}] = C_{gm} \cdot \omega$$

$$\text{Im}[Y_{22}] = \omega \cdot (C_{dm} + C_b + C_{ds})$$

$$\text{Im}[Y_{22}] + \text{Im}[Y_{12}] = \omega \cdot (C_{dm} + C_{ds})$$

Dans les deux dernières équations on s'aperçoit qu'on ne peut distinguer C_{dm} de C_{ds} . De plus, C_{sm} n'apparaît pas dans le schéma équivalent.

C'est pour ces raisons que dans un second temps on utilise le transistor en montage série c'est-à-dire avec la grille à la masse. Le schéma équivalent, basse fréquence à $V_{ds}=0$ lorsque le transistor est pincé, devient (Figure 44.a) :

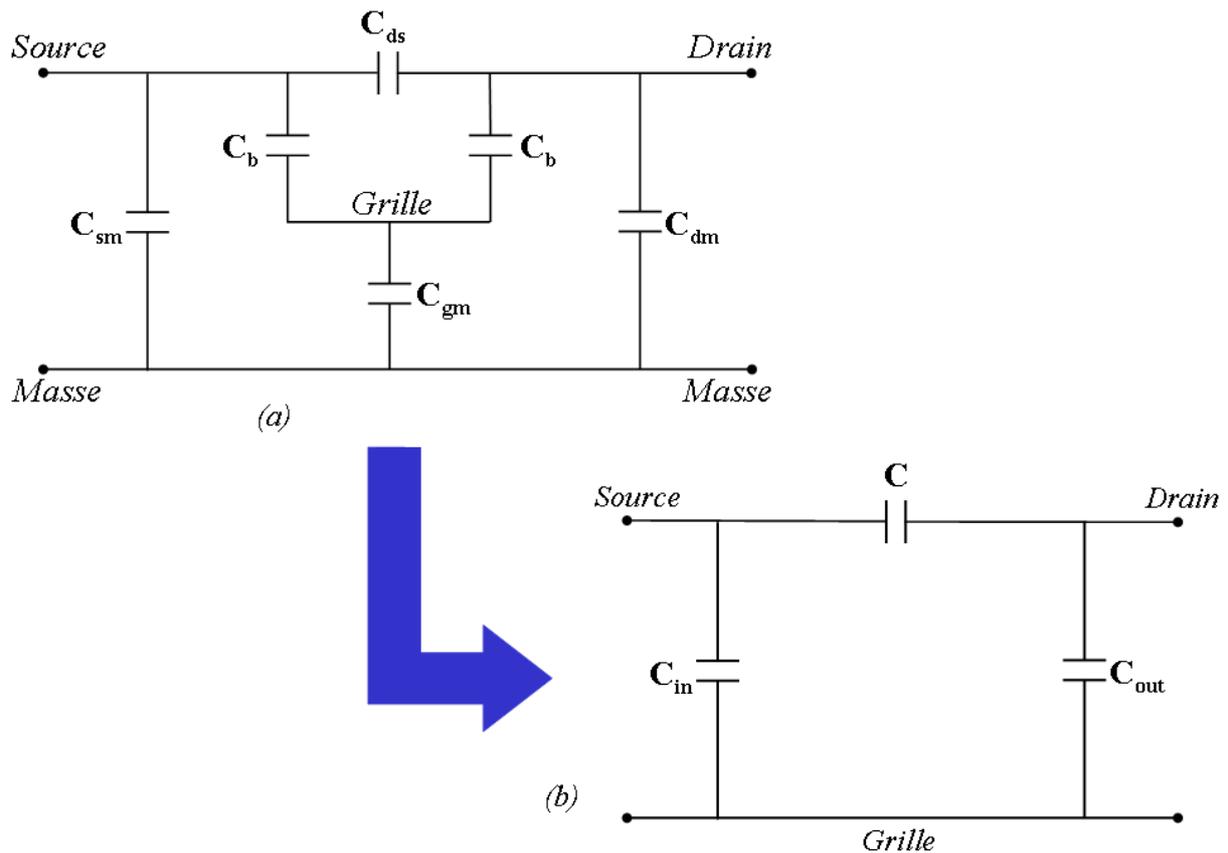


Figure 44. a) Modèle en T en grille commune à basse fréquence et b) Modèle en π équivalent

En transformant le modèle en T de la Figure 44.a en un modèle en π (Figure 44.b), on trouve les relations suivantes :

$$C_{ds} = C - \frac{C_b^2}{2 \cdot C_b + C_{gm}} ; C_{dm} = C_{out} - \frac{C_b \cdot C_{gm}}{2 \cdot C_b + C_{gm}} ; C_{sm} = C_{in} - \frac{C_b \cdot C_{gm}}{2 \cdot C_b + C_{gm}}$$

C_{ds} , C_{sm} et C_{dm} sont extraits de l'optimisation des paramètres C , C_{in} et C_{out} pour coller aux parties imaginaires des paramètres $[Y]$ mesurés.

Pour déterminer les inductances d'accès L_s , L_g et L_d [75], il faut garder la configuration de transistor froid c'est-à-dire à V_{ds} nul mais avec la grille en directe (à V_{gs} positif tel que la conduction de la jonction Schottky se déclenche). Dans ce cas les éléments série parasites inductance deviennent prédominants. Ainsi la matrice impédance globale $[Z]$ du transistor s'écrit :

$$\begin{cases} Z_{11} = R_s + R_g + \frac{R_c}{3} + \frac{n \cdot k \cdot T}{q \cdot I_g} + j \cdot \omega \cdot (L_s + L_g) \\ Z_{21} = Z_{12} = R_s + \frac{R_c}{2} + j \cdot \omega \cdot L_s \\ Z_{22} = R_d + R_s + R_c + j \cdot \omega \cdot (L_s + L_d) \end{cases}$$

R_c est la résistance du canal et $\frac{n \cdot k \cdot T}{q \cdot I_g}$ est la résistance différentielle de diode

Schottky.

Nous pouvons alors extraire L_s de $\text{Im}(Z_{12})$, L_g de $\text{Im}(Z_{11})$ et L_d de $\text{Im}(Z_{22})$.

Les résistances parasites sont quant à elle issues de mesures statiques de motifs de test.

2. Analyse de sensibilité

L'analyse de la sensibilité des éléments extrinsèques se fait avec le logiciel ADS d'Agilent de la manière suivante : à 10 GHz, on relève l'écart en pourcent sur S_{11} , S_{21} et S_{22} (en module et en phase) lorsqu'on augmente successivement chaque élément de 1% de sa valeur d'origine.

La méthode est utilisée pour tous les éléments parasites. On obtient les résultats suivants :

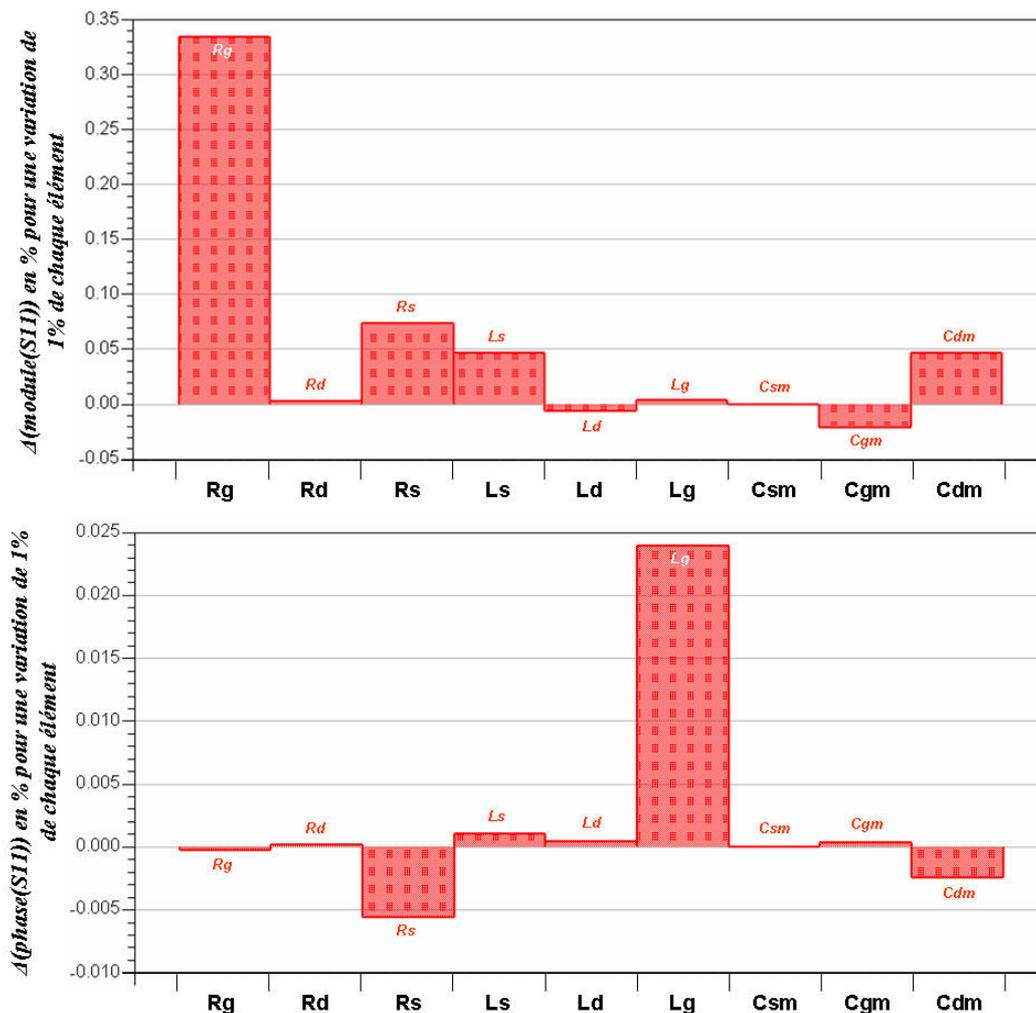


Figure 45. Sensibilité des éléments extrinsèques sur le module et la phase du paramètre S_{11} à 10 GHz

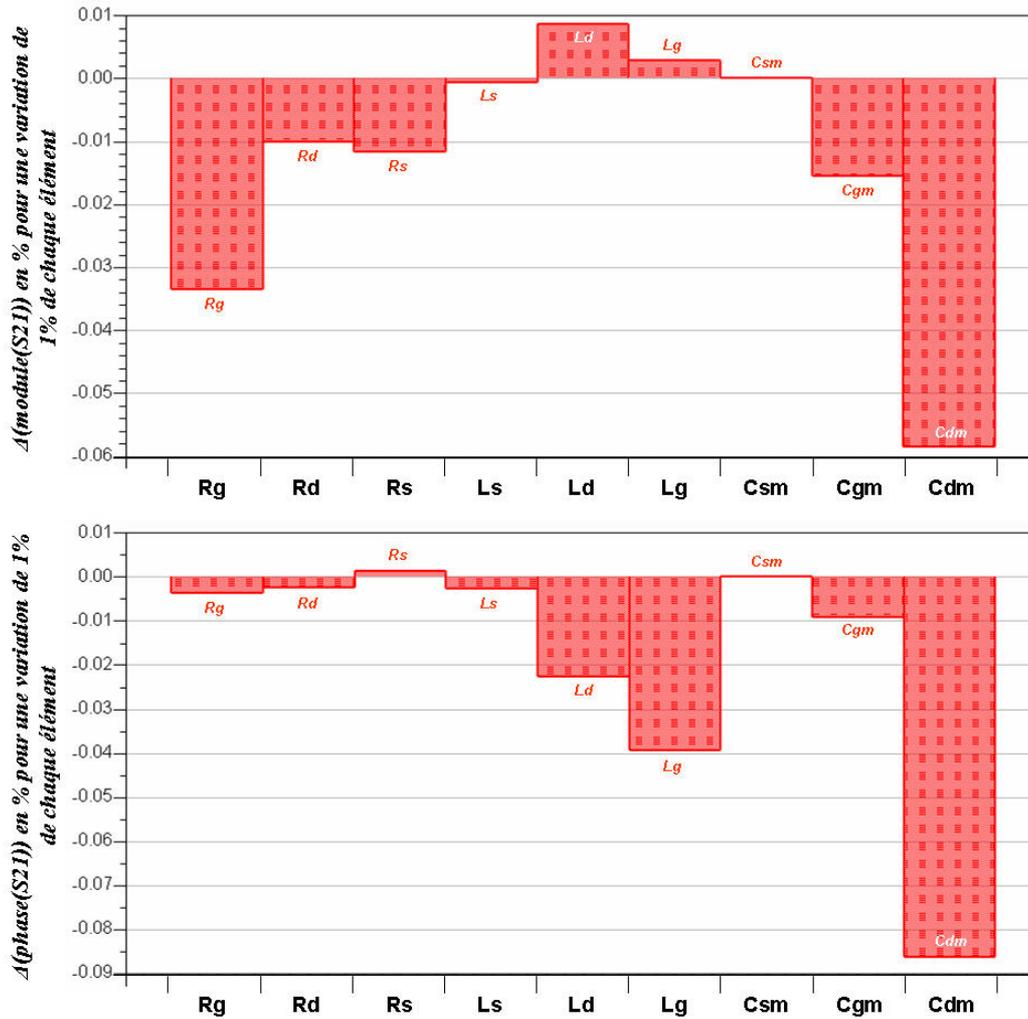


Figure 46. Sensibilité des éléments extrinsèques sur le module et la phase du paramètre S_{21} à 10 GHz

On peut remarquer Figure 46 que C_{dm} et R_g vont beaucoup jouer sur le paramètre S_{21} .

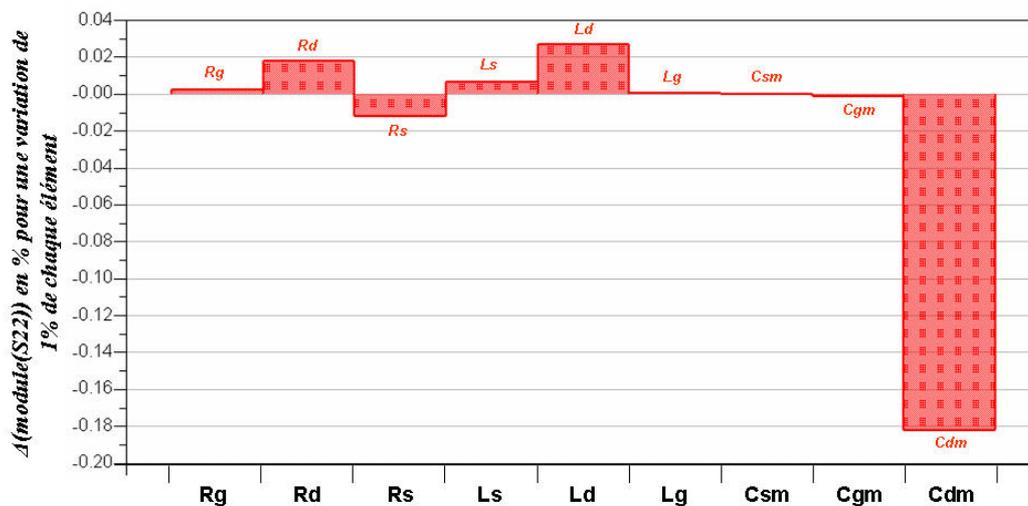


Figure 47. Sensibilité des éléments extrinsèques sur le module du paramètre S_{22} à 10 GHz

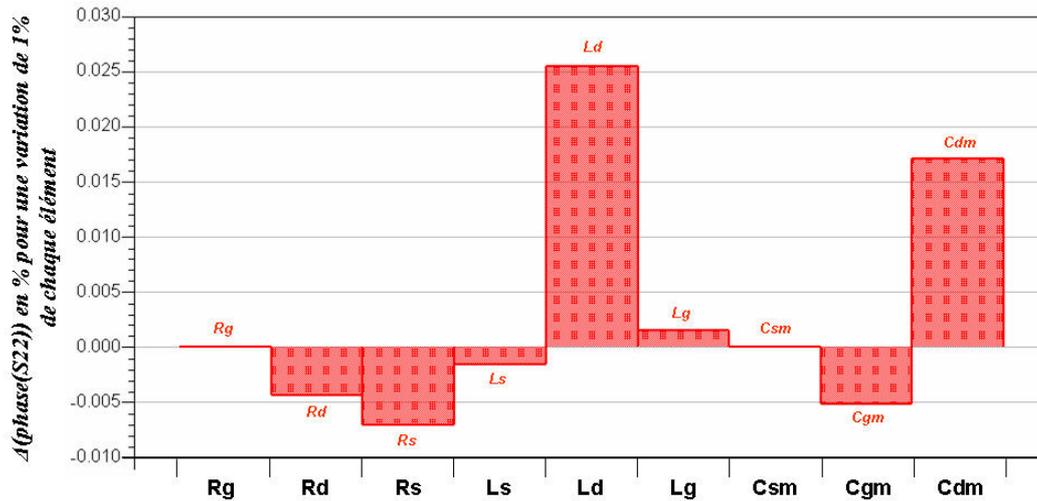


Figure 48. Sensibilité des éléments extrinsèques sur la phase du paramètre S_{22} à 10 GHz

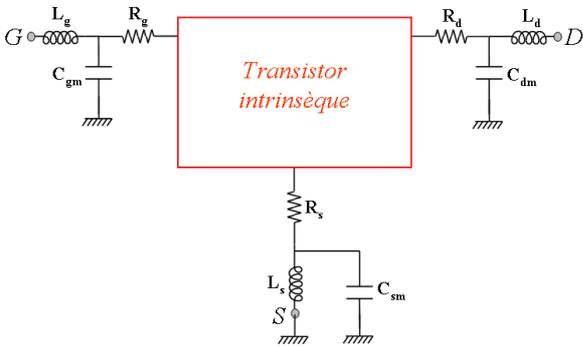
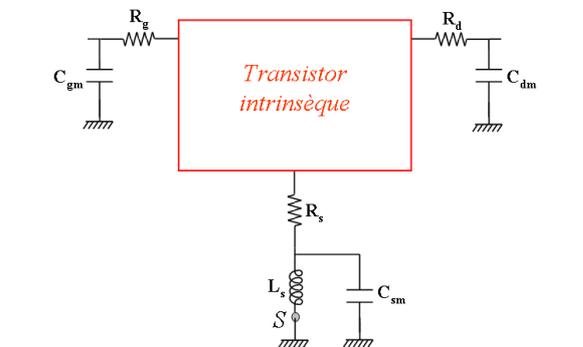
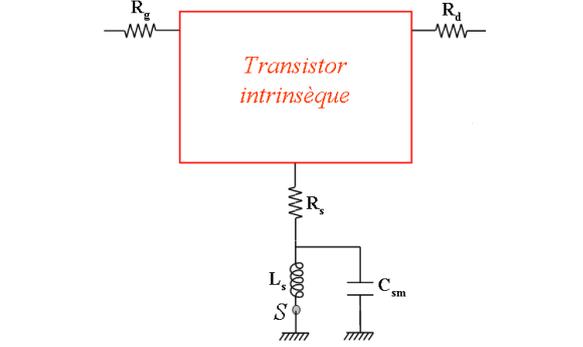
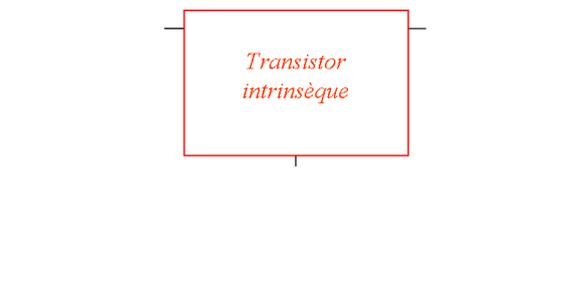
Cette analyse nous permet de mettre en évidence le rôle joué par chaque élément et ainsi cibler l'optimisation sur les éléments sensibles.

C. Extraction des éléments intrinsèques

1. Méthode d'extraction

Nous pouvons déduire, par de simples transformations matricielles, les éléments intrinsèques du schéma équivalent ; pour cela il faut connaître les éléments extrinsèques du schéma (cf. paragraphe précédent) et mesurer les paramètres [S] du transistor dans les zones de fonctionnement normales.

On s'affranchi des éléments extrinsèques de la manière suivante :

<p>(1^{ère} étape)</p> 	$\begin{bmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{bmatrix}$ <p>Transformation de cette matrice [S] en matrice [Z]</p> <p style="text-align: center;">↓</p>
<p>(2^{ème} étape)</p> 	$[Z'] = \begin{bmatrix} Z_{11} - j \cdot \omega \cdot L_g & Z_{12} \\ Z_{21} & Z_{22} - j \cdot \omega \cdot L_d \end{bmatrix}$ <p>Transformation de la matrice [Z'] obtenue en matrice [Y]</p> <p style="text-align: center;">↓</p>
<p>(3^{ème} étape)</p> 	$[Y'] = \begin{bmatrix} Y_{11} - j \cdot \omega \cdot C_{gm} & Y_{12} \\ Y_{21} & Y_{22} - j \cdot \omega \cdot C_{dm} \end{bmatrix}$ <p>Transformation de la matrice [Y'] obtenue en matrice [Z]</p> <p style="text-align: center;">↓</p>
<p>(4^{ème} étape)</p> 	$[Z'] = \begin{bmatrix} Z_{11} - R_g - Z_s & Z_{12} - Z_s \\ Z_{21} - Z_s & Z_{22} - R_d - Z_s \end{bmatrix}$ <p>avec $Z_s = R_s + j \cdot \frac{L_s \cdot \omega}{1 - L_s \cdot C_{sm} \cdot \omega^2}$</p> <p>Transformation de la matrice [Z'] obtenue en matrice [Y]</p>

Après chaque opération, on transforme la matrice obtenue pour l'opération suivante, on remonte ainsi jusqu'à la matrice [Y] du modèle intrinsèque. Si on considère la résistance R_{gd} très faible, la *Figure 42* devient le schéma équivalent suivant :

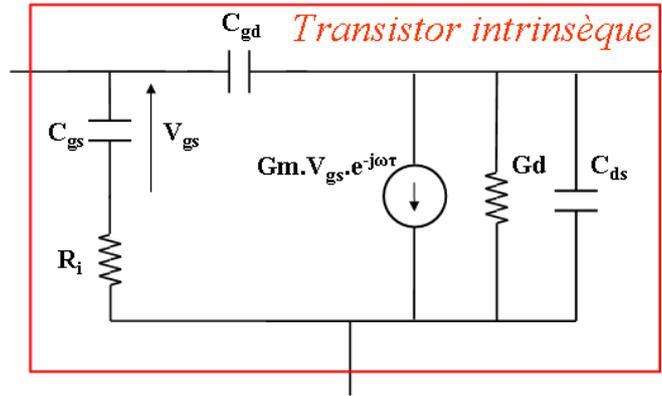


Figure 49. Schéma équivalent intrinsèque petit signal du PHEMT

La matrice [Y] nous permet donc de déduire les éléments intrinsèques par l'intermédiaire des relations ci-dessous :

$$C_{gs} = \frac{C}{\omega} \cdot \left[1 + \left(\frac{Re(Y_{11}) + Re(Y_{12})}{C} \right)^2 \right] \quad (\text{II-24})$$

$$C_{gd} = -\frac{Im(Y_{12})}{\omega} \cdot \left[1 + \left(\frac{Re(Y_{12})}{Im(Y_{12})} \right)^2 \right] \quad (\text{II-25})$$

$$Gd = Re(Y_{12}) + Re(Y_{22}) \quad (\text{II-26})$$

$$Gm = \sqrt{(B^2 + A^2) \cdot \left[1 + (R_i \cdot C_{gs} \cdot \omega)^2 \right]} \quad (\text{II-27})$$

$$C_{ds} = \frac{1}{\omega} \cdot (Im(Y_{12}) + Im(Y_{22})) \quad (\text{II-28})$$

$$R_i = (Re(Y_{11}) + Re(Y_{12})) \cdot \left[1 + \left(\frac{Re(Y_{11}) + Re(Y_{12})}{C} \right)^2 \right] \cdot \frac{1}{(\omega \cdot C_{gs})^2} \quad (\text{II-29})$$

$$\tau = -\frac{1}{\omega} \cdot \arctan \left(\frac{B + A \cdot R_i \cdot C_{gs} \cdot \omega}{A - B \cdot R_i \cdot C_{gs} \cdot \omega} \right) \quad (\text{II-30})$$

Avec $A = Re(Y_{21}) - Re(Y_{12})$; $B = Im(Y_{21}) - Im(Y_{12})$ et $C = Im(Y_{11}) + Im(Y_{12})$

2. Analyse de sensibilité

De la même manière que pour les éléments extrinsèques, On effectue une analyse de sensibilité sur tous les éléments du modèle petit signal. La simulation est réalisée à 10 GHz.

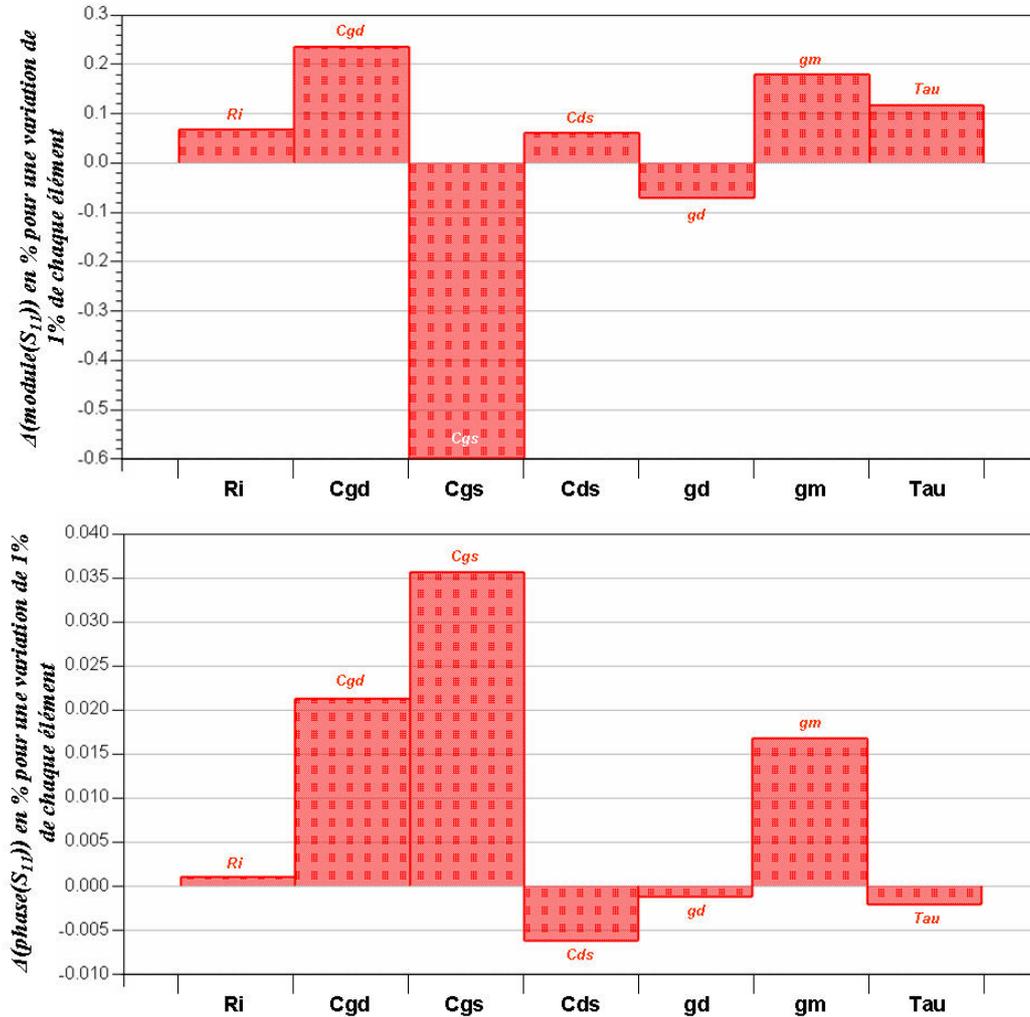


Figure 50. Sensibilité des éléments intrinsèques sur le module et la phase du paramètre S_{11} à 10 GHz

On peut remarquer sur les Figure 50, Figure 51, Figure 52 et Figure 53, l'importance des capacités C_{gs} et C_{gd} sur les paramètres [S]. Ces éléments sont très sensibles à bas niveau. En fonctionnement grand signal, C_{gs} et C_{gd} sont considérés comme non linéaires par rapport aux tensions V_{gs} et V_{gd} , le comportement du transistor en puissance sera alors extrêmement sensible aux modèles utilisés pour décrire ces capacités.

La même remarque peut être faite pour le paramètre G_m , à fort niveau, il sera modélisé au travers de la source de courant I_{ds} .

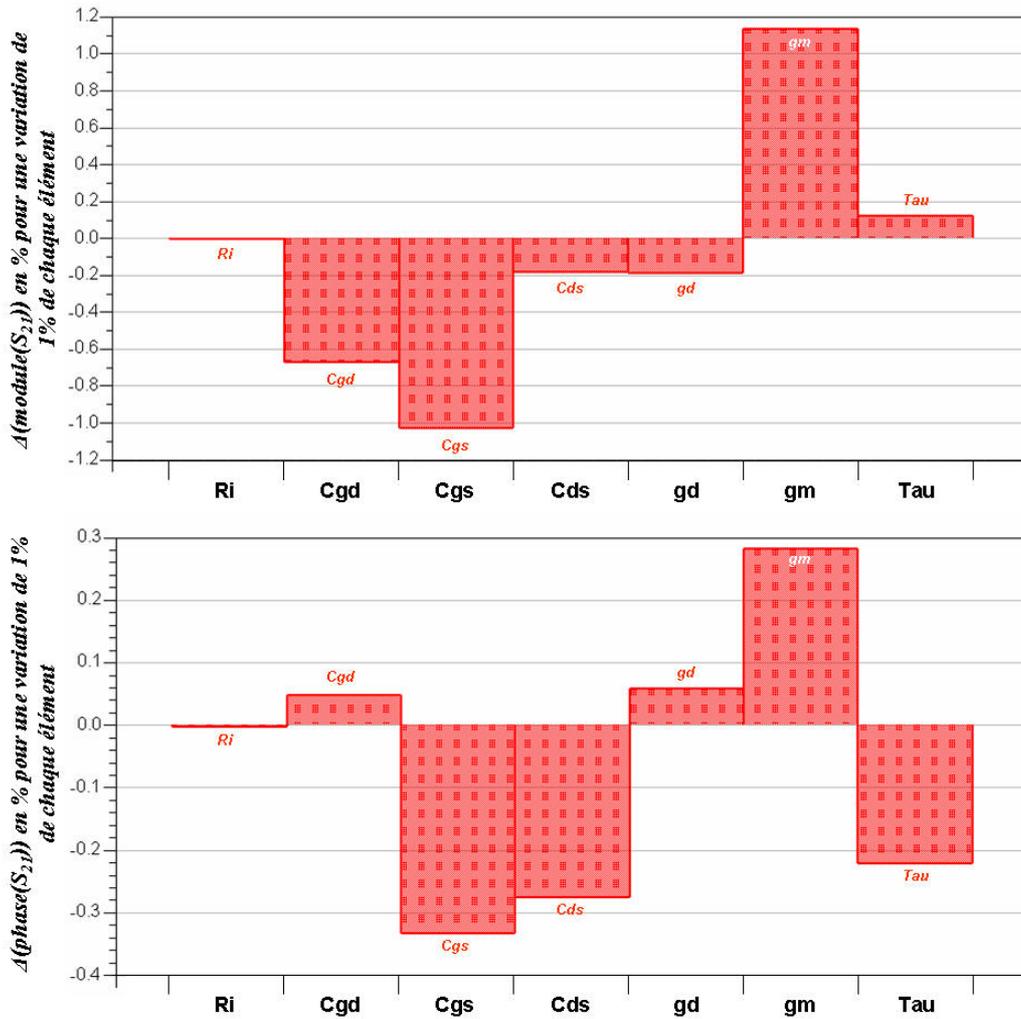


Figure 51. Sensibilité des éléments intrinsèques sur le module et la phase du paramètre S_{21} à 10 GHz

La résistance Ri en série avec la capacité C_{gs} entre les ports de grille et de source, semble avoir peu d'influence sur les paramètres [S] et donc sur le fonctionnement en régime petit signal.

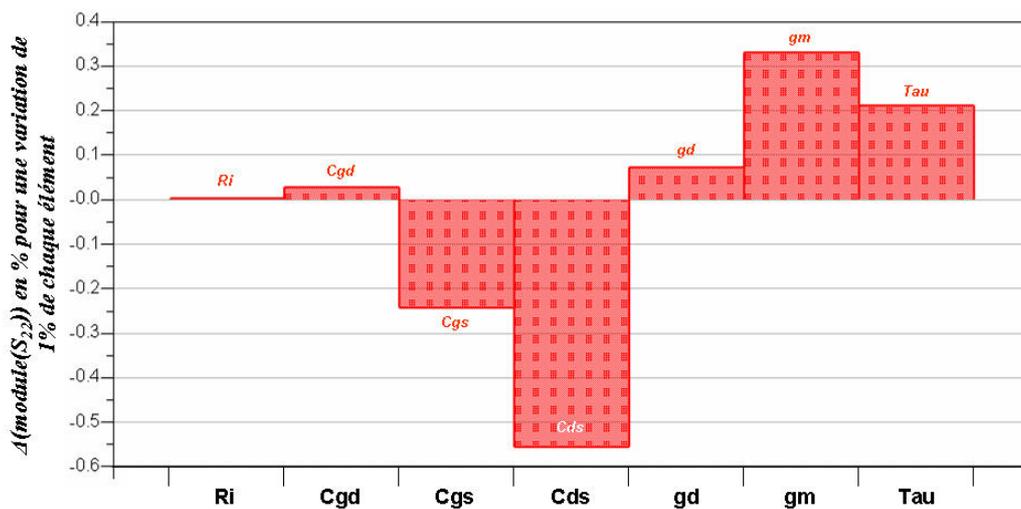


Figure 52. Sensibilité des éléments intrinsèques sur le module du paramètre S_{22} à 10 GHz

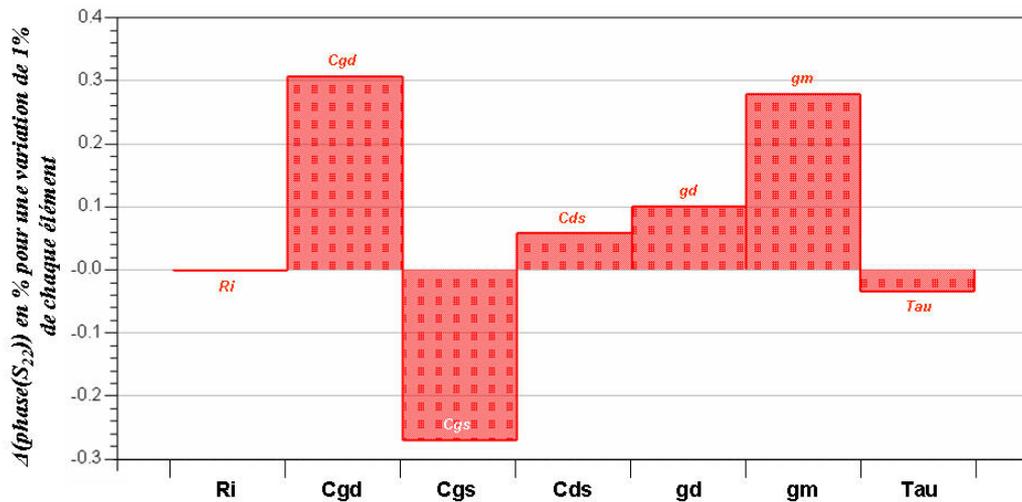


Figure 53. Sensibilité des éléments intrinsèques sur la phase du paramètre S_{22} à 10 GHz

D. Exemple de modélisation petit signal avec la filière PPH25X d'UMS

Le transistor qui a servi de support pour cette modélisation appartient à la filière de puissance PPH25X (Figure 54) qui a pour particularité d'avoir une longueur de grille de 0.25 μm et les via-holes (connexion à la masse par un trou métallisé) sous les plots de source.

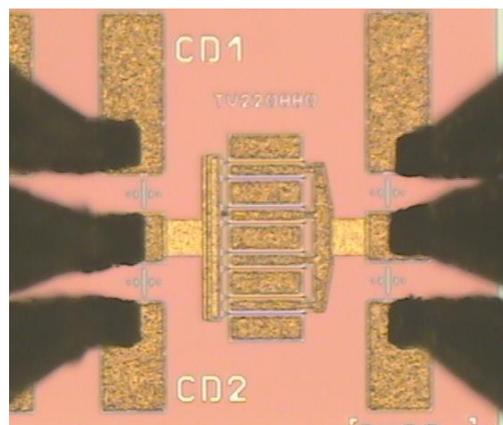


Figure 54. Photographie d'un transistor de la filière PPH25X à 8 doigts de grille

Le *transistor de référence* possède 12 doigts de grille, chacun d'une largeur de 100 μm , soit un développement total de 1200 μm . Les mesures ont été directement réalisées sur

plaque, le banc de mesures de paramètres [S] pulsés de XLIM nous permet d'extraire à l'aide de la méthode décrite dans le *Chapitre II :IV.B.1*, les éléments extrinsèques :

$R_g (\Omega)$	$L_g (pH)$	$C_{gm} (fF)$	$R_d (\Omega)$	$L_d (pH)$	$C_{dm} (fF)$	$R_s (\Omega)$	$L_s (pH)$	$C_{sm} (fF)$
1.083	28.925	37.754	0.521	24.453	63.436	0.521	2.847	67.086

Tableau 8. Valeurs des éléments extrinsèques du transistor PPH25X-1200 μ m

Puis par la méthode d'extraction directe expliquée dans le *Chapitre II :IV.C*, en utilisant les éléments extrinsèques du tableau ci-dessus, on optimise les éléments localisés intrinsèques au point de polarisation $V_{ds} = 8V$, $V_{gs} = -0.4V$ et $I_{ds} = 145mA$.

$C_{gs} (pF)$	$C_{gd} (pF)$	$Gm (S)$	$Gd (S)$	$C_{ds} (pF)$	$R_i (\Omega)$	$T_{au} (ps)$
2548	103.3	0.446	0.01	205.2	0.338	3.71

Tableau 9. Valeurs des éléments intrinsèques du transistor PPH25X-1200 μ m au point de polarisation $V_{ds} = 8V$, $V_{gs} = -0.4V$ et $I_{ds} = 145mA$

Pour le même point de polarisation, on peut considérer que les éléments extrinsèques sont indépendants de la fréquence, comme le prouve ci-dessous la comparaison mesures-modèle en fonction de la fréquence.

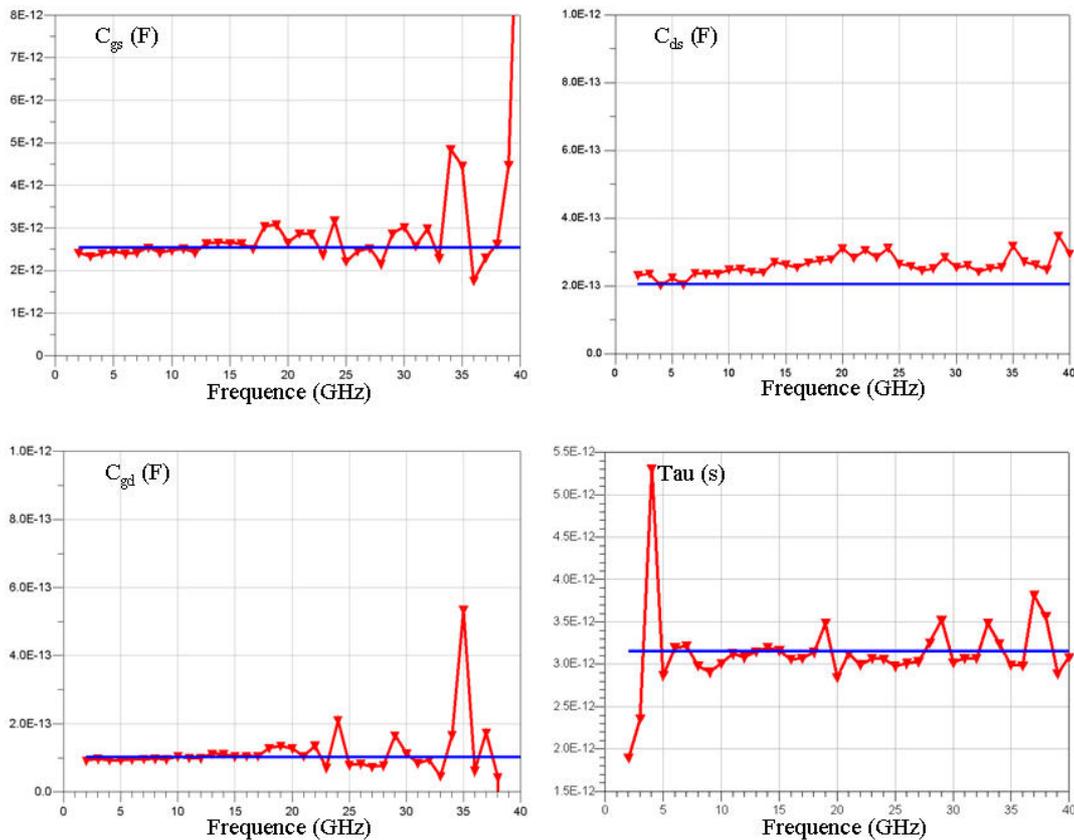


Figure 55. Extraction des paramètres extrinsèques au point de polarisation $V_{ds} = 8V$, $V_{gs} = -0.4V$ et $I_{ds} = 145mA$, en fonction de la fréquence de 2 à 40 GHz (1^{ère} partie)

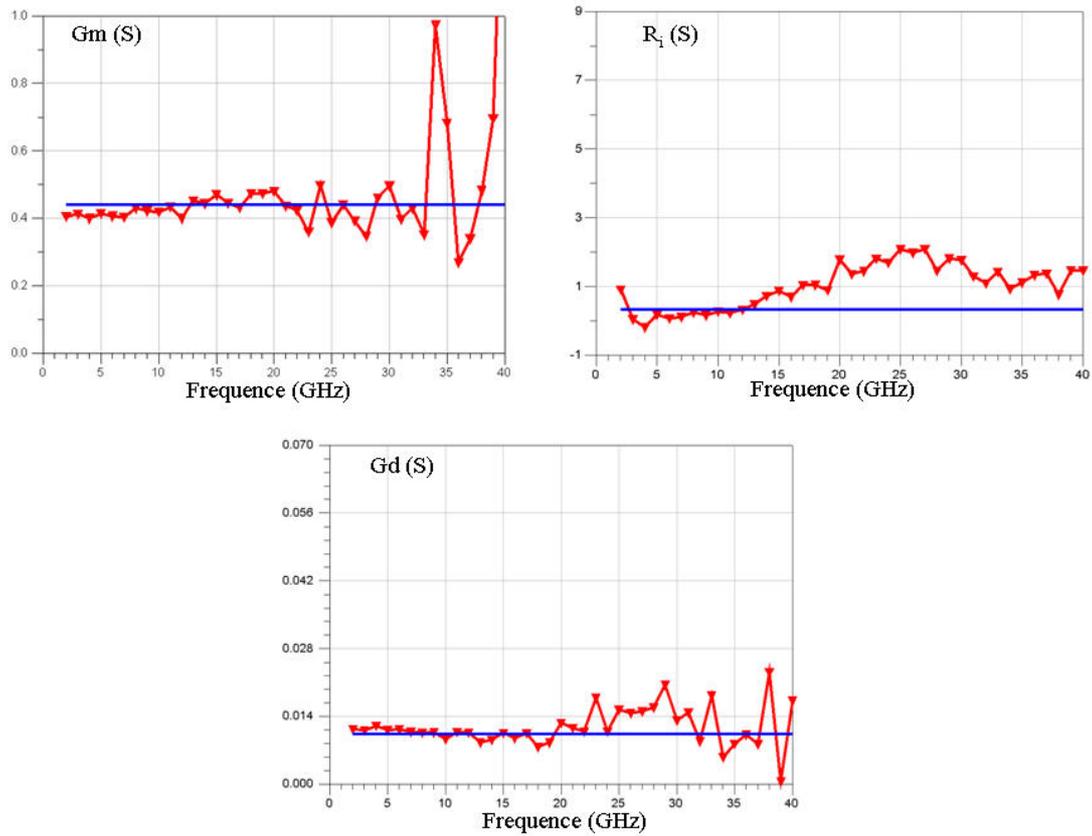


Figure 56. Extraction des paramètres extrinsèques au point de polarisation $V_{ds} = 8V$, $V_{gs} = -0.4V$ et $I_{ds} = 145mA$, en fonction de la fréquence de 2 à 40 GHz (2^{ème} partie)

Nous vérifions à la Figure 58 l'allure des paramètres [S] du transistor 12x100µm pour valider le modèle petit signal au même point de polarisation. La bande de fréquence d'analyse est toujours de 2-40 GHz.

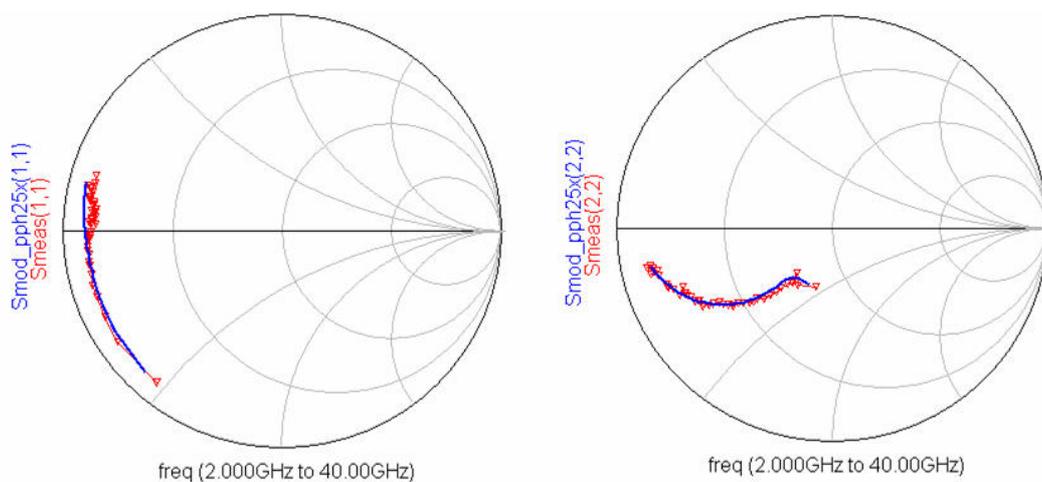


Figure 57. Comparaison mesures (—□—)-modèle (—) des paramètres [S] au point de polarisation $V_{ds} = 8V$, $V_{gs} = -0.4V$ et $I_{ds} = 145mA$, en fonction de la fréquence de 2 à 40 GHz (1^{ère} partie)

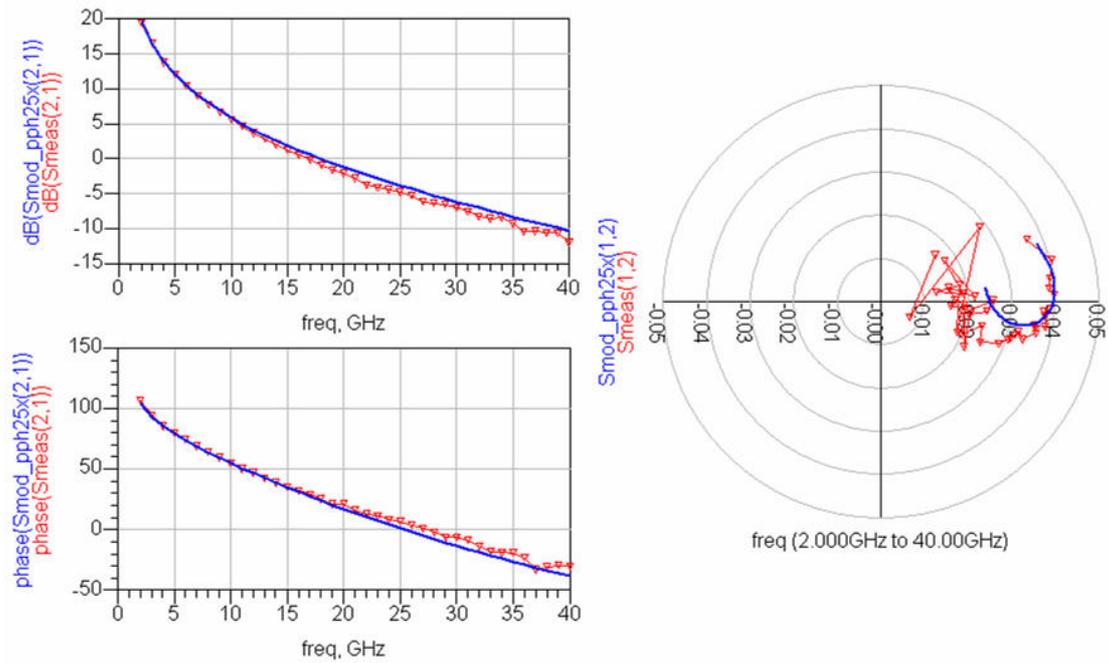


Figure 58. Comparaison mesures (—□—)-modèle (—) des paramètres [S] au point de polarisation $V_{ds} = 8V$, $V_{gs} = -0.4V$ et $I_{ds} = 145mA$, en fonction de la fréquence de 2 à 40 GHz (2^{ème} partie)

Sur le banc de Xlim, Les paramètres [S] sont mesurés en chaque point du réseau I(V) pulsé, on peut alors extraire les éléments pour tous les couples de tensions (V_{gs} ; V_{ds}). Ainsi, on cible les éléments qui varient de façon significative en fonction des deux tensions de polarisation. Figure 60, nous mettons en évidence la non linéarité des éléments C_{gs} , C_{gd} , Gd et Gm pour 3 tensions de commandes V_{gs} (-1.4V, -0.4V et 0.6V) pour une tension V_{ds} variant de 0 à 8.5V.

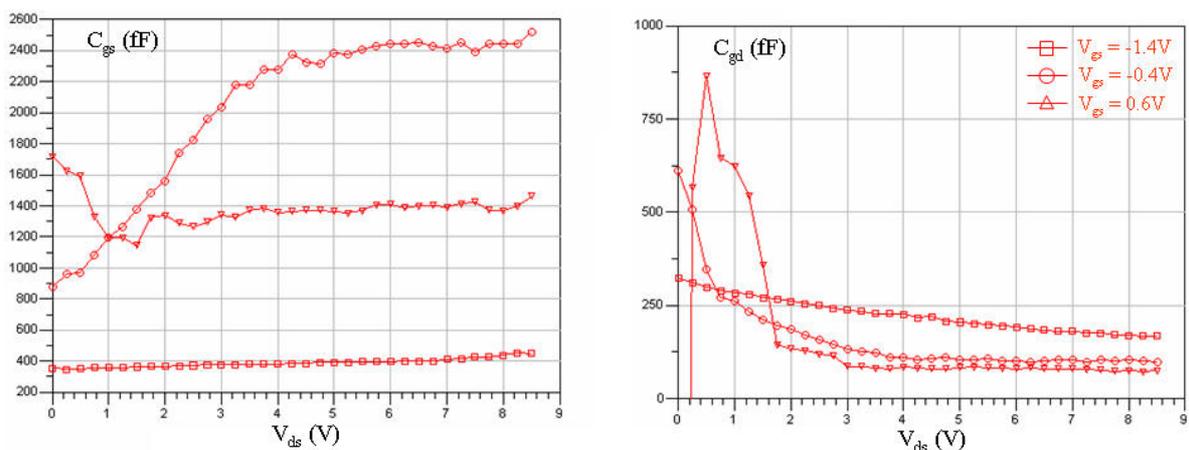


Figure 59. Variations des capacités C_{gs} et C_{gd} en fonction des tensions de polarisations instantanées

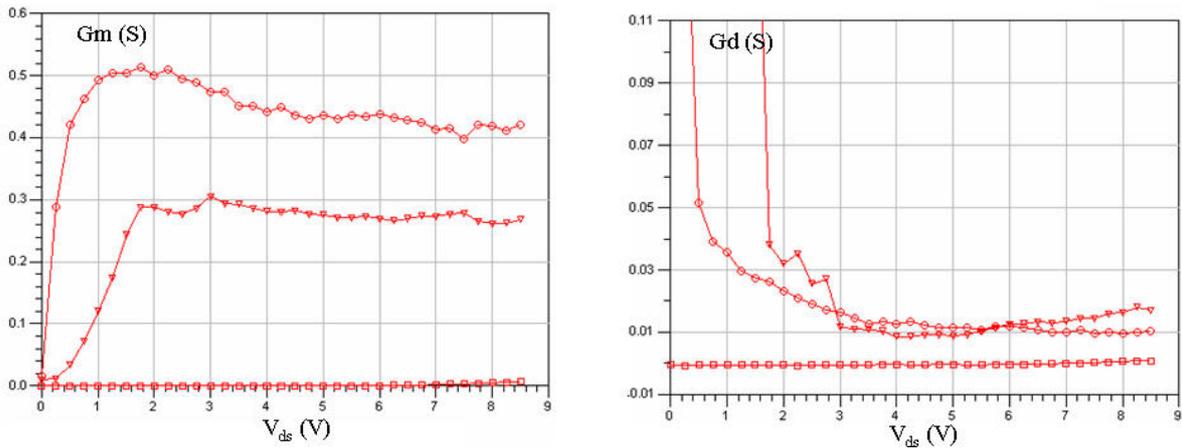


Figure 60. Variations de la transconductance G_m et de la conductance de sortie G_d en fonction des tensions de polarisations instantanées

Remarque : les tensions V_{ds} et V_{gs} mentionnées ci-dessus sont des tensions de polarisations instantanées parce que nous sommes dans une configuration de mesure pulsée pour s'affranchir des effets liés à l'échauffement du transistor. Le point de repos des mesures se trouve à $V_{gs0}=-0.4V$ et $V_{ds0}=8V$ (voir *Chapitre II :III.B*).

La résistance R_i , la capacité C_{ds} et le retard τ seront considérés comme constants dans la suite de cette étude, même si ces éléments varient légèrement avec la polarisation (surtout à V_{ds} faible), cette approximation simplifie le modèle sans changement notable du comportement de celui-ci à fort niveau.

E. Modélisation non linéaire des caractéristiques $I(V)$

La topologie du modèle non linéaire des caractéristiques $I(V)$ est présentée à la *Figure 61*. Il est aussi appelé modèle convectif. Pour un point de polarisation de repos donné, ce modèle permet une description complète du comportement statique à l'aide de l'ensemble des éléments suivants :

- R_g, R_d, R_s : résistances d'accès,
- I_{ds} : modèle de la source de courant,
- $I_{av_{dg}}, I_{av_ion_{ds}}$ et $I_{av_ion_{dg}}$: générateurs d'avalanche,
- ID_{gs}, ID_{gd} : diodes d'entrée.

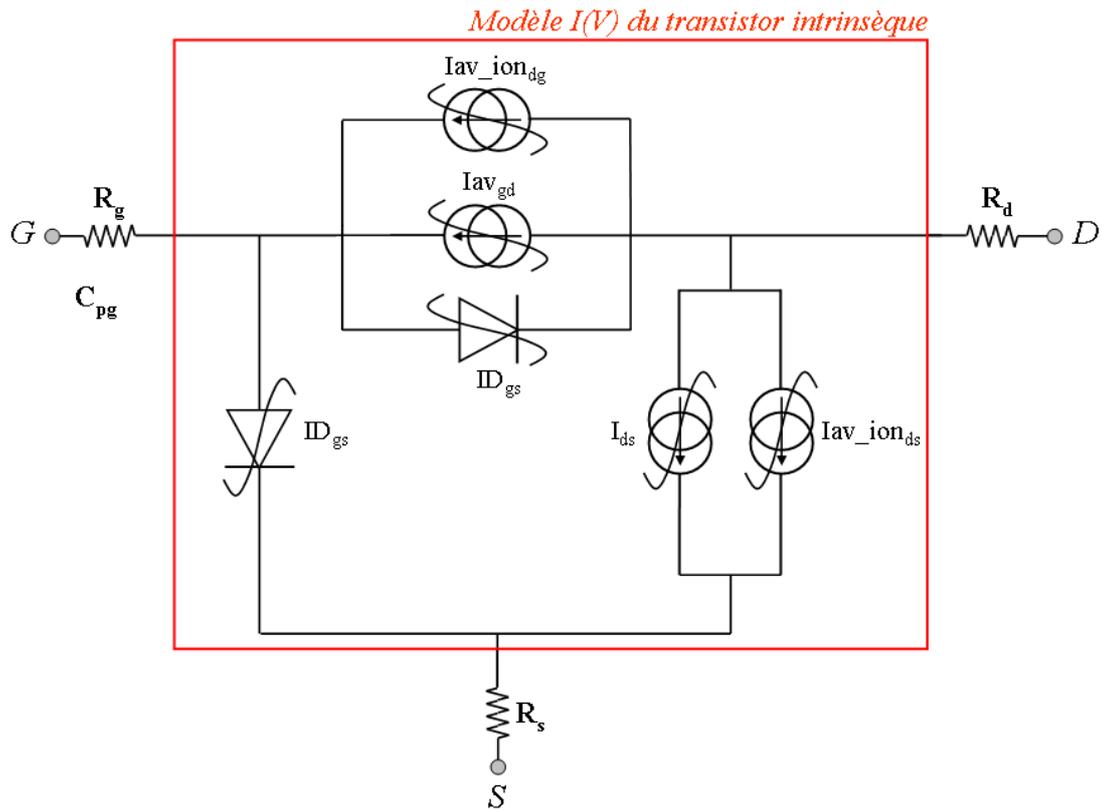


Figure 61. Modèle non linéaire des caractéristiques I(V) du PHEMT

L'effet fondamental du transistor à effet de champ est décrit par une source de courant non linéaire commandée par les tensions V_{gs} et V_{ds} . Il existe une grande variété de possibilité pour modéliser les PHEMTs, nous avons décrit la plupart de ces modèles dans le *Chapitre II :II*. Nous avons choisi un modèle phénoménologique dont la source de courant est inspirée du modèle COBRA proposé par Brazil et al [78][79].

1. La modélisation du courant de drain I_{ds}

La source de courant I_{ds} est l'élément principal de la modélisation convective. Pour reproduire au mieux le comportement non linéaire de cette source, nous avons décidé d'utiliser un modèle qui permet une représentation complète de toutes les zones de fonctionnement. Le modèle de Tajima était le modèle de base des transistors PHEMT à UMS, néanmoins, cette étude fut l'occasion d'utiliser d'autres expressions notamment pour rendre compte de l'impact du modèle de la source de courant sur une simulation en Harmonic Balance. L'objectif est donc de montrer si oui ou non le choix de l'équation pour exprimer la source de courant est prépondérant lors d'une simulation grand signal (HB).

a. La source de courant I_{ds} : source de courant COBRA (modifié)

L'équation de la source de courant du modèle COBRA [79], proposé par T. J. Brazil, a été modifiée par I. Kallfass en 2004 pour correspondre aux transistors à hétérojonction [87]. L'expression de base qui a servi pour modéliser les transistors pseudomorphiques de puissance PPH25X est la suivante :

$$I_{ds} = \beta \cdot V_{eff}^{num} \cdot \tanh[\alpha \cdot V_{ds} \cdot (I + \zeta \cdot V_{eff})]$$

$$num = \frac{\lambda}{I + \mu \cdot V_{ds}^2 + \xi \cdot V_{eff}^2}$$

$$V_{eff} = \frac{I}{2} \cdot \left[V_{gs} - V_{t1} + \sqrt{(V_{gs} - V_{t1})^2 + \delta^2} \right]$$

$$V_{t1} = (I + \beta^2) \cdot V_{to} - \gamma \cdot V_{ds}$$

Les 10 paramètres sont optimisés pour faire correspondre le modèle aux mesures sur plaque réalisées sur le Banc I(V) pulsé DIVA d'Accent à UMS et sur le Banc XLim. Le résultat est correct dans la zone de la caractéristique où le transistor est ouvert, toutefois il nous a paru judicieux de modifier le terme *num* pour corriger la zone où le transistor est pincé et de rajouter le terme *corzlin* en facteur dans l'expression I_{ds} pour corriger la zone linéaire tel que :

$$num = \frac{\lambda}{I + \mu \cdot V_{gs} \cdot V_{ds}^2 + \xi \cdot V_{eff}^2}$$

et

$$I_{ds} = corzlin \cdot \beta \cdot V_{eff}^{num} \cdot \tanh[\alpha \cdot V_{ds} \cdot (I + \zeta \cdot V_{eff})]$$

$$corzlin = \frac{I}{2} \left\{ I + \tanh[a \cdot (V_{ds} - V_{cor}(V_{gs}))] \right\}$$

$$V_{cor}(v) = b + c \cdot v$$

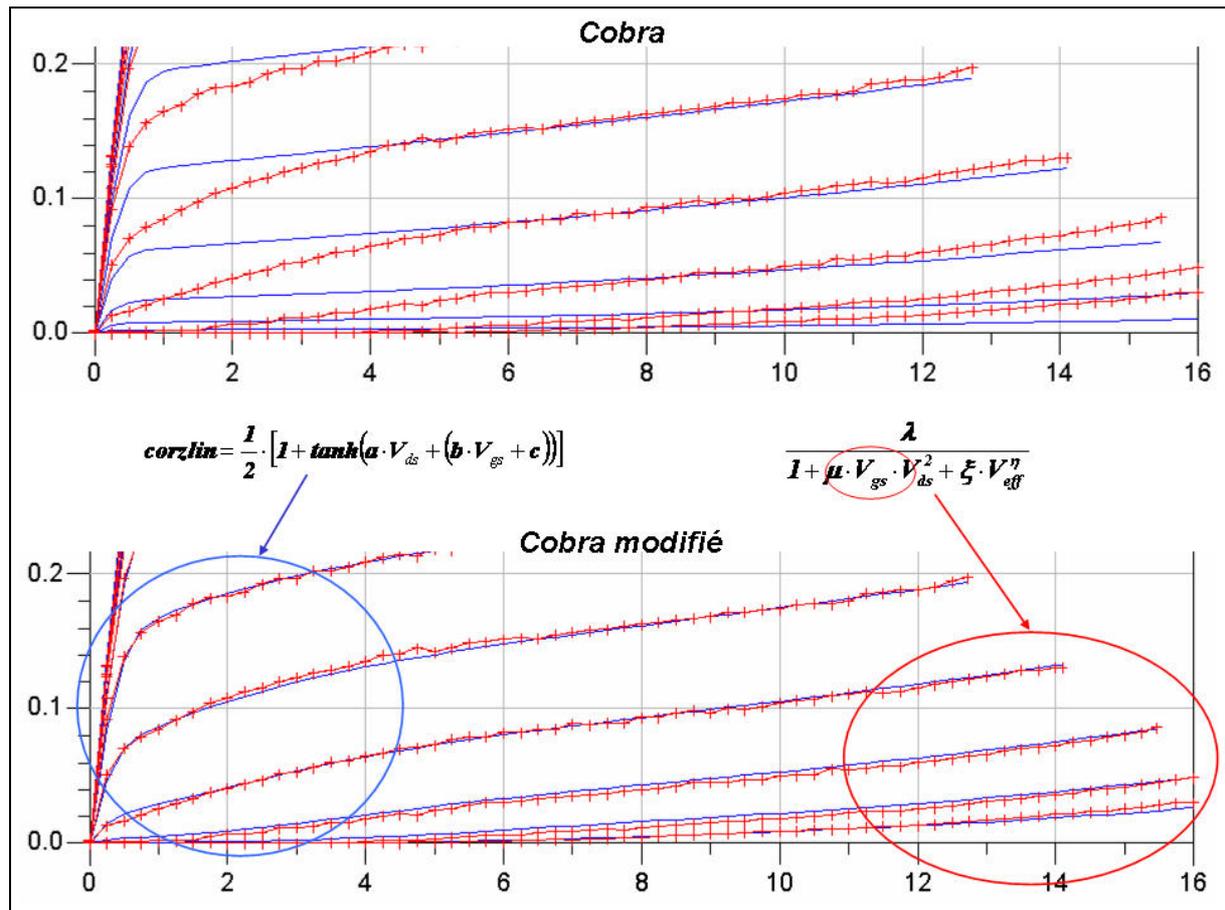


Figure 62. Résultats des modifications sur le modèle par rapport aux mesures

b. Rôle des paramètres de la source de courant de type COBRA

La description et la signification physique des paramètres du modèle COBRA sont données par [87] et listées dans le *Tableau 10* suivant :

Paramètres	Unités	Description
α	V ⁻¹	Dans la zone résistive (ou linéaire), Le composant se comporte comme une résistance contrôlée par la grille, α ajuste la pente de la caractéristique dans cette zone
β	S	Détermine la transconductance maximale
γ	Sans unité	Détermine la conductance de sortie
δ	V	Règle la tension de pincement
ζ	V ⁻¹	Introduit une dépendance en V_{ds} dans α
ξ	V ⁻¹	Depart de la compression du gm
η	Sans unité	Pente de la compression de gm
μ	V ⁻²	Courant d'ionisation par impact, remarque : le courant modélisé par μ est insuffisant pour nos transistors, on rajoute à I_{ds} un courant d'ionisation

V_{to}	V	Tension grille source où la transconductance est maximale
λ	Sans unité	Introduit une dépendance en V_{ds} dans V_{to}

Tableau 10. Paramètres de l'équation et leur rôle dans le modèle Cobra

2. Les diodes d'entrées ID_{GS} et ID_{GD}

Les diodes d'entrées représentent des générateurs de courant non linéaires permettant de modéliser le courant positif de grille mesuré pour les fortes valeurs positives des tensions V_{gs} et V_{gd} . Les expressions utilisées pour modéliser ce courant sont les suivantes :

$$ID_{gs} = Isgs \cdot \exp(\alpha_{gs} \cdot V_{gs}) \quad (II-31)$$

$$ID_{gd} = Isgd \cdot \exp(\alpha_{gd} \cdot V_{gd}) \quad (II-32)$$

3. La modélisation des phénomènes d'avalanche

La modélisation du courant d'avalanche est très importante puisqu'elle permet de limiter l'excursion de la tension V_{ds} . Contrairement à une caractérisation classique souvent destructrice, la technique de mesures en impulsion permet de caractériser les courants d'avalanche sans détérioration du composant. Par conséquent, une étude approfondie du phénomène a été réalisée sur plusieurs transistors PHEMT qui a aboutit au développement d'un modèle non linéaire $I(V)$ prenant en compte les différents phénomènes d'avalanche.

a. Avalanche standard : drain - grille

Lorsque le transistor est pincé et qu'il est soumis à un champ électrique de drain important, apparaît alors un courant, circulant du drain vers la grille, qui augmente exponentiellement avec le champ électrique. Dans ce cas, la totalité du courant négatif mesuré sur la grille se retrouve en positif sur le drain et aucun courant ne circule du drain vers la source. Ce premier phénomène d'avalanche est modélisé par le générateur de courant $I_{av_{dg}}$ situé entre le drain et la grille. Nous avons mis au point l'équation II-33 suivante, elle à l'avantage d'être plutôt simple et elle permet de décrire correctement ce phénomène.

$$I_{av_{dg}} = Idg \cdot \exp(A(V_{gs}) + \alpha_{avdg} \cdot V_{ds}) \quad (II-33)$$

avec $A(v) = AG + BG \cdot \tanh[CG \cdot (v + DG)]$

b. Avalanche due à l'ionisation par impact : drain - source

Ce type d'avalanche apparaît pour les tensions V_{gs} relativement élevées lorsque le transistor est soumis à un fort champ de drain. Celui-ci provoque une ionisation par impact, c'est à dire l'accélération des électrons accumulés dans le canal. Les conséquences sur les caractéristiques $I(V)$ de ce phénomène sont : l'augmentation du courant de sortie I_{ds} et l'apparition d'un courant négatif sur la grille (Cf. chapitre IV). La modélisation de ce comportement d'avalanche est proche de celui de l'avalanche standard, par contre un premier générateur $I_{av_ion_{ds}}$ est placé entre le drain et la source et un second ($I_{av_ion_{dg}}$) entre le drain et la grille pour modéliser la partie du courant de trous qui part vers la grille. La description de ce comportement reste classique avec l'expression analytique suivante utilisée pour les deux générateurs [77] :

$$I_{av_ion_{ds}} = IF \cdot \exp(AF \cdot V_{ds} + BF \cdot V_{gs}^4 + CF \cdot V_{gs}^3 + DF \cdot V_{gs}^2 + EF \cdot V_{gs}) \quad (\text{II-34})$$

$$I_{av_ion_{dg}} = \frac{I_{av_ion_{ds}}}{80} \quad (\text{II-35})$$

La modélisation du phénomène d'avalanche due à l'ionisation par impact sur le courant de grille par une fonction en exponentielle, provoque la dépolarisation du transistor lors de simulation en Harmonic Balance à forte puissance d'entrée. Il faut donc être vigilant et réduire l'ordre d'interpolation de l'exponentielle ou supprimer la fonction si la simulation ne converge pas.

4. Détermination des paramètres des éléments non linéaires du modèle

Le modèle $I(V)$ complet est composé du générateur de courant COBRA modifié, des générateurs d'avalanche et des diodes d'entrée, ce modèle comprend 28 paramètres à optimiser sur les caractéristiques $I_{ds}(V_{ds})$ et $I_{gs}(V_{ds})$.

Les figures suivantes présentent les mesures d'un transistor PPH25X de 300 μm de développement soit 4 doigts de grille de 75 μm de largeur. Les mesures sont effectuées en mode pulsé pour un point de polarisation à $V_{gs0}=-0.4\text{V}$ et $V_{ds0}=8\text{V}$ c'est-à-dire dans le mode de fonctionnement typique pour cette filière, la tension V_{gs} varie de -2.4V à 1V par pas de 0.1V. Avec ces mesures, on peut bien séparer les différentes non linéarités.

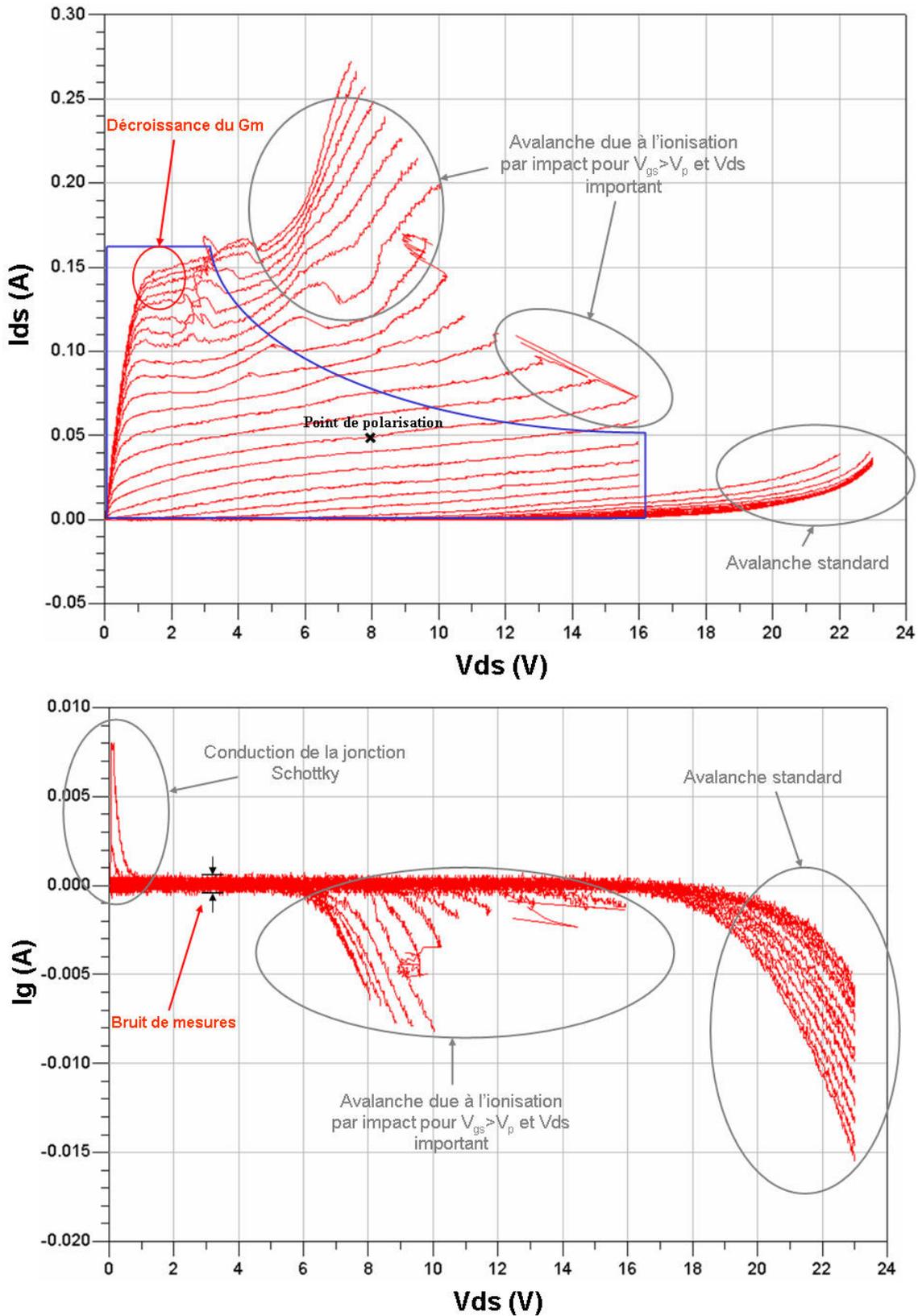


Figure 63. $I_{ds}(V_{ds})$ et $I_g(V_{ds})$ d'un transistor $4 \times 75 \mu\text{m}$ PPH25X Mesurés sur le banc DIVA pulsé

L'optimisation des paramètres en fonction de la zone de fonctionnement du transistor est assurée dans un premier temps par le logiciel d'extraction IC-CAP (Integrated Circuit

Characterization and Analysis Program) d'Agilent, puis le modèle est implémenté dans ADS (Advanced Design System) pour le vérifier, car c'est le logiciel de conception utilisé par les concepteurs à UMS.

Les résultats du modèle comparés aux mesures de notre transistor de référence (12x100µm), toujours au point de polarisation typique ($V_{gs0} = -0.4V$; $V_{ds0} = 8V$) sont présentés aux figures ci-dessous.

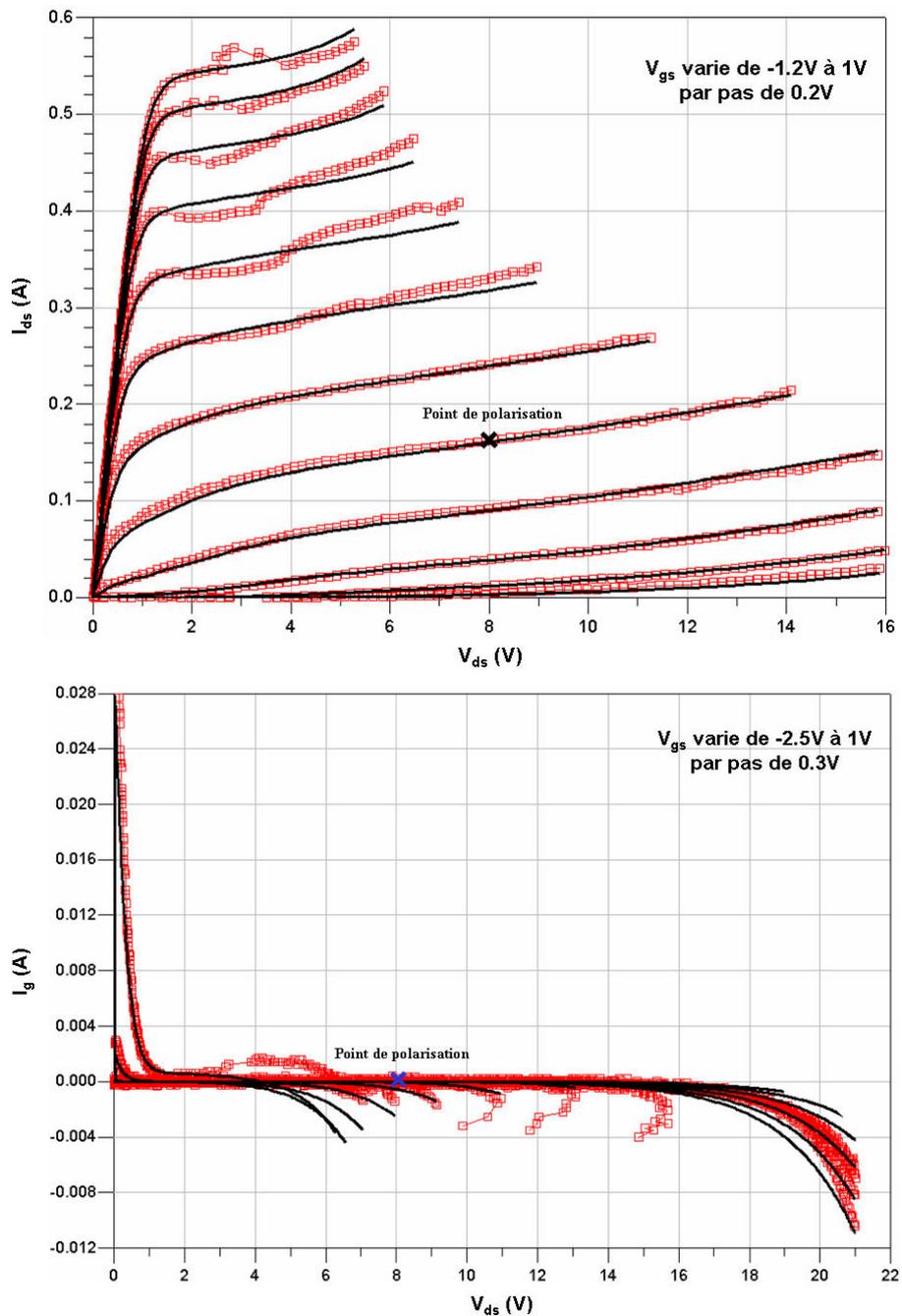


Figure 64. Comparaison mesures (—□—)-modèle (—) du courant de sortie et du courant d'entrée en fonction de la tension V_{ds}

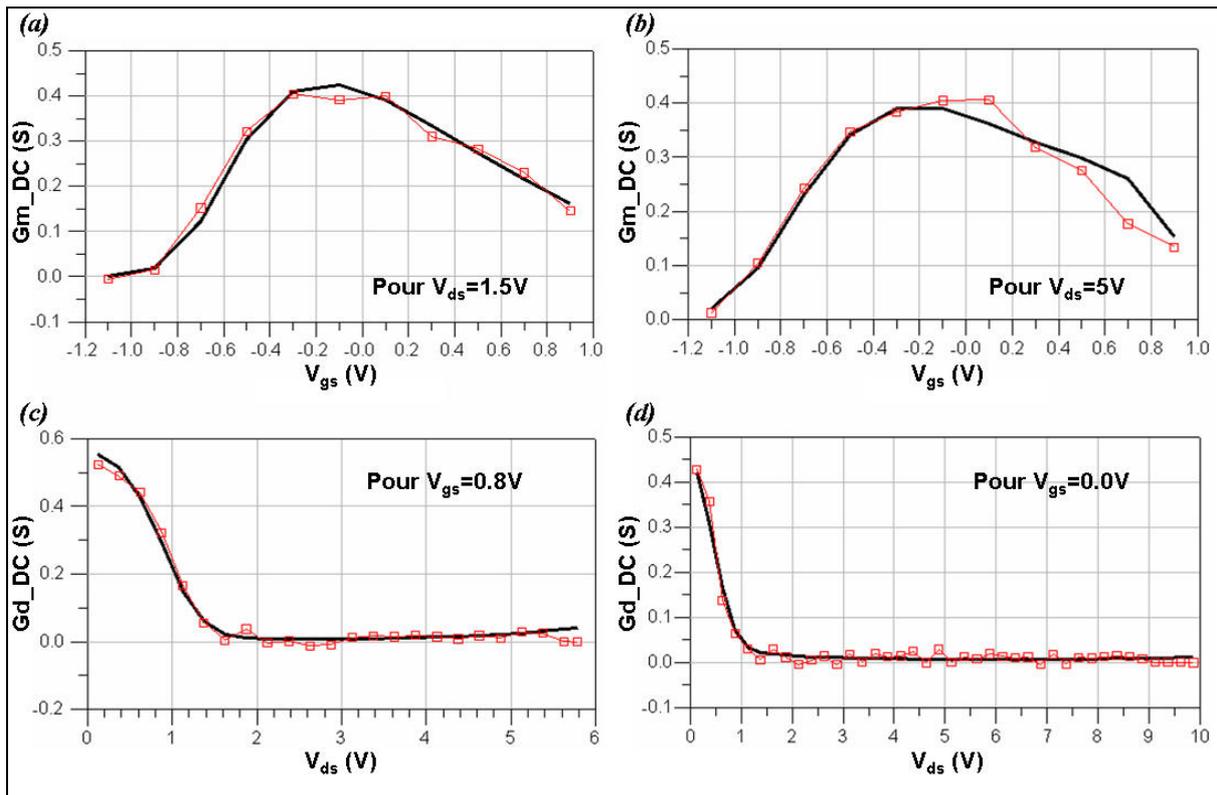


Figure 65. Comparaison mesures (—□—)-modèle (—) de la transconductance (G_m) et de la conductance de sortie (G_d) respectivement en fonction de la tension V_{gs} et de la tension V_{ds} pour un V_{gs} et un V_{ds} constant

F. Les capacités non linéaires C_{gs} et C_{gd}

[88]

La plupart des modèles cités précédemment (voir *Chapitre II :II.C.2*) utilisent l'expression de la capacité d'une jonction Schottky données par :

$$C_{gs} = \frac{C_{gs0}}{\sqrt{1 - \frac{V_{gs}}{V_\phi}}} \text{ pour } V_{gs} < V_\phi \text{ et } C_{gd} = \frac{C_{gd0}}{\sqrt{1 - \frac{V_{gd}}{V_\phi}}} \text{ pour } V_{gd} < V_\phi$$

Cette équation ne suffit pas pour le transistor étudié.

1. Méthode d'extraction à partir des paramètres [S]

Un cycle de charge idéal est tracé sur les mesures du réseau I(V), il doit être représentatif d'un fonctionnement en puissance du transistor.

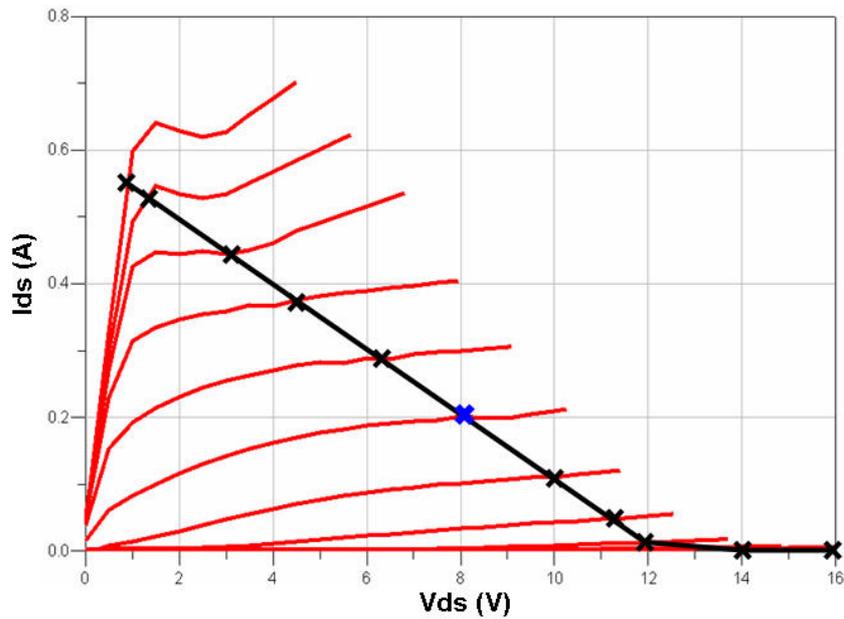


Figure 66. Cycle de charge choisi dans le réseau I(V) pour représenter un fonctionnement en puissance du transistor. L'extraction des valeurs des deux capacités non-linéaires C_{gs} et C_{gd} est seulement faite le long du cycle de charge représenté

Seuls les paramètres [S] le long de ce cycle sont utilisés, les éléments capacitifs intrinsèques sont extraits avec la méthode décrite dans le *Chapitre II :IV.C*. Utiliser les points appartenant à ce cycle de charge nous permet d'obtenir des capacités non linéaires à une dimension $C_{gs}(V_{gs})$ et $C_{gd}(V_{gd})$ ce qui facilite grandement leur intégration dans les simulateurs circuits. En effet, si l'on ne prend pas de précautions, des courants continus apparaissent dans les capacités non linéaires à deux dimensions lors de simulations grand signal.

La *Figure 67* et la *Figure 68* montrent la variation des capacités C_{gs} et C_{gd} extraites sur l'ensemble du réseau I(V) (capacités à deux dimensions) et la variation des capacités C_{gs} et C_{gd} à une dimension extraites le long du cycle de charge estimé. Ce sont ces dernières que nous allons modéliser.

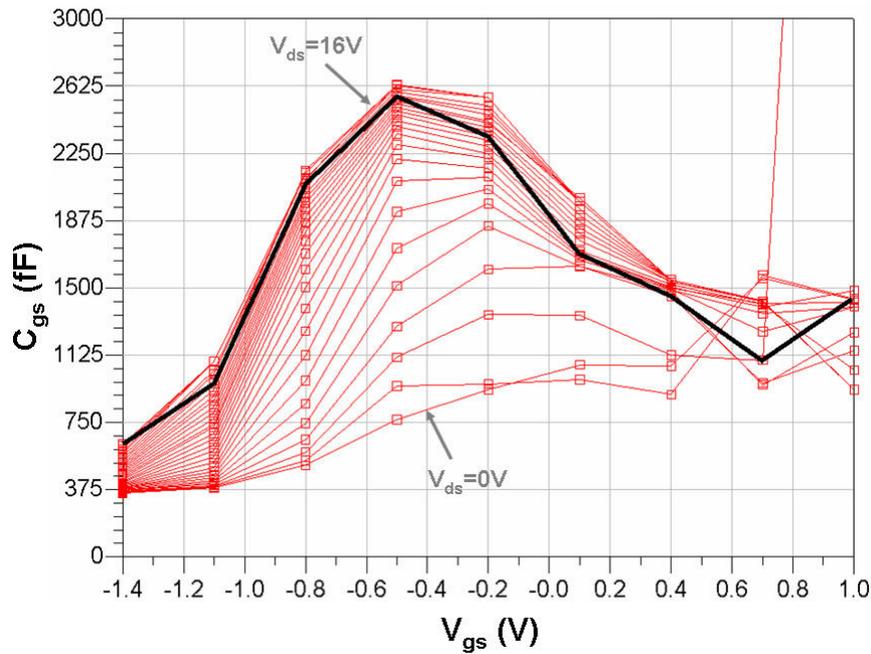


Figure 67. Valeurs de la capacité C_{gs} extraites sur l'ensemble du réseau $I(V)$ (—□—) et suivant les valeurs obtenues le long du cycle de charge (—)

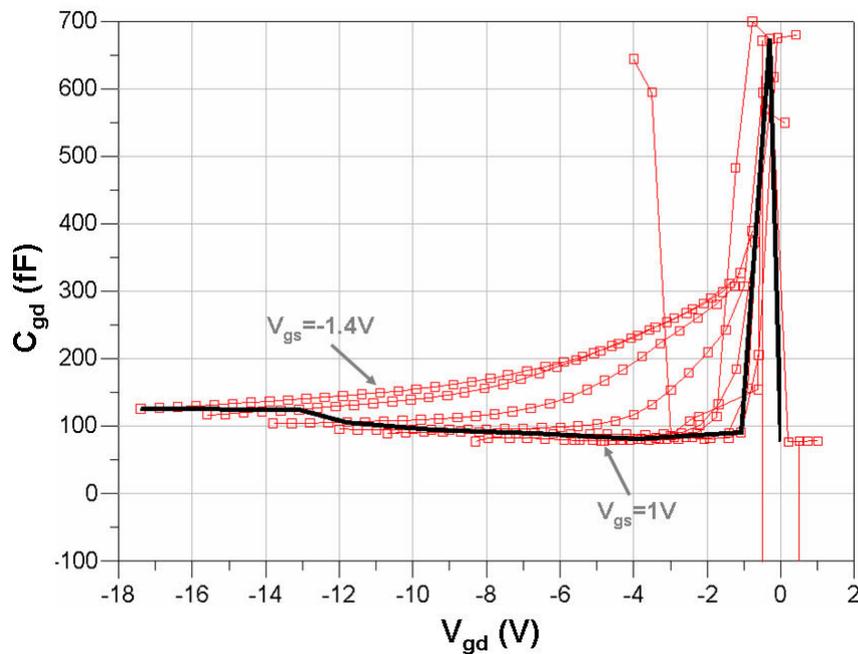


Figure 68. Valeurs de la capacité C_{gd} extraites sur l'ensemble du réseau $I(V)$ (—□—) et suivant les valeurs obtenues le long du cycle de charge (—)

Des travaux menés à l'IEMN de Lille [89] montrent que le phénomène de décroissance de la capacité C_{gs} est dû, à la fois aux longueurs de grille devenant plus petites ($0,25\mu\text{m}$ dans notre cas) mais aussi dû à l'écartement entre le plot de drain et celui de la grille. Les

technologies utilisant un double recess, comme dans notre cas pour PPH25X, voient pour des tensions V_{ds} proches de l'avalanche une répartition non uniforme des porteurs de charge dans leur canal [90].

2. Le modèle à une seule variable

Les équations utilisées pour la modélisation des capacités $C_{gs}(V_{gs})$ et $C_{gd}(V_{gd})$ sont issues de travaux réalisés à Xlim [91] :

$$C_{gs}(V_{gs}) = C0_{gs} + \frac{C1_{gs} - C0_{gs}}{2} \{1 + \tanh[a_{gs} \cdot (V_{gs} + Vm_{gs})]\} - \frac{C2_{gs}}{2} \{1 + \tanh[b_{gs} \cdot (V_{gs} + Vp_{gs})]\} \quad (\text{II-36})$$

et

$$C_{gd}(V_{gd}) = C0_{gd} + \frac{C1_{gd} - C0_{gd}}{2} \{1 + \tanh[a_{gd} \cdot (V_{gd} + Vm_{gd})]\} - \frac{C2_{gd}}{2} \{1 + \tanh[b_{gd} \cdot (V_{gd} + Vp_{gd})]\} \quad (\text{II-37})$$

$C0_{gs}$, $C1_{gs}$, $C2_{gs}$, $C0_{gd}$, $C1_{gd}$, $C2_{gd}$, a_{gs} , b_{gs} , a_{gd} , b_{gd} , Vm_{gs} , Vm_{gd} , Vp_{gs} et Vp_{gd} représentent les différents paramètres à optimiser.

Une première optimisation a été réalisée avec le logiciel d'extraction IC-CAP, puis une vérification est faite en introduisant la fonction et ses paramètres dans le logiciel ADS.

La *Figure 70* présente la comparaison mesures-modèle des capacités C_{gs} et C_{gd} extraites le long du cycle de charge estimé suivant :

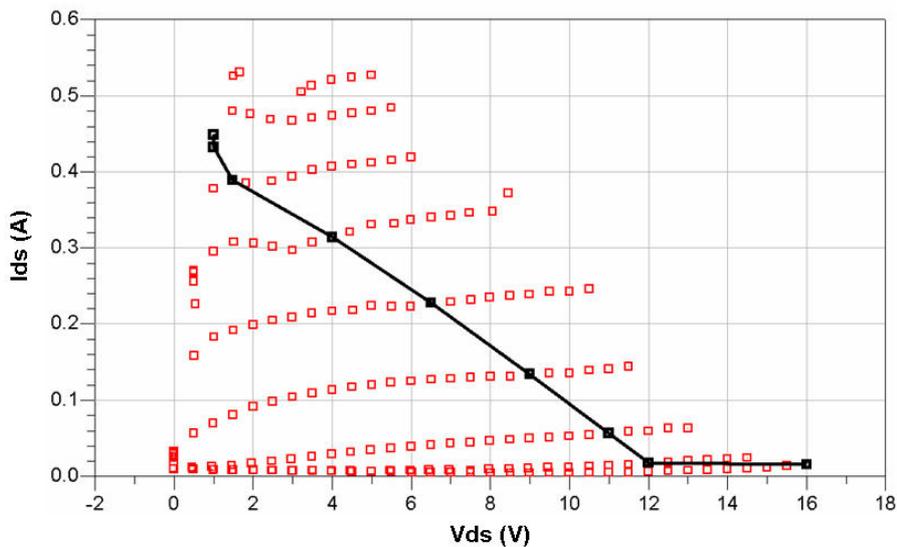


Figure 69. Cycle de charge estimé pour modéliser le transistor PPH25X

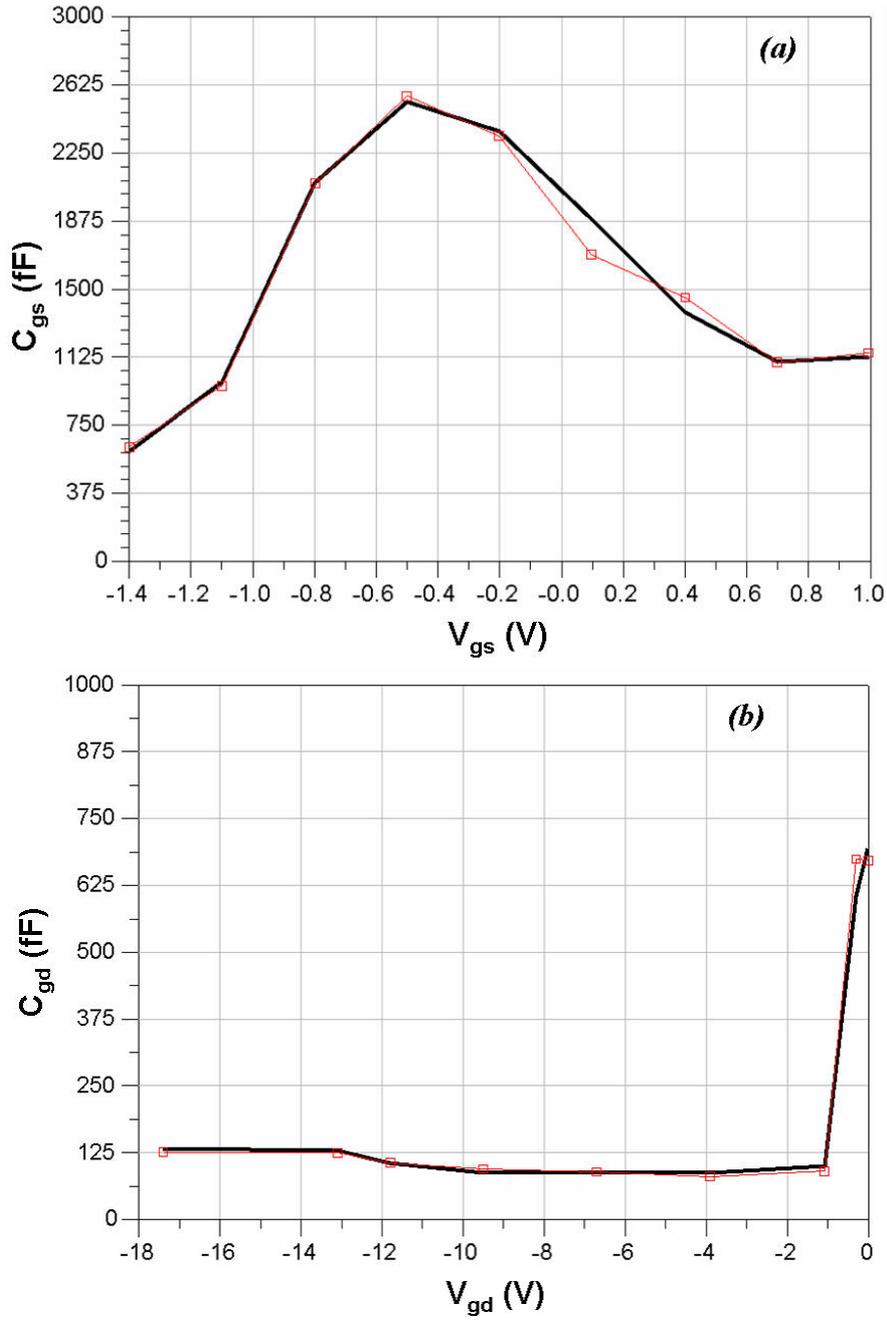


Figure 70. Comparaison mesures (\square)-modèle (—) des capacités C_{gs} (a) et C_{gd} (b) extraites le long du cycle de charge

Les paramètres des capacités non linéaires sont donnés dans le *Tableau 11* ci-dessous.

$C0gs$	$C1gs$	$C2gs$	ags	bgs	$Vmgs$	$Vpgs$
$4.606e^{-16}$	$2.323e^{-15}$	$1.503e^{-15}$	3.97	2.485	0.932	$64.33e^{-3}$
$C0gd$	$C1gd$	$C2gd$	agd	bgd	$Vmgd$	$Vpgd$
$1.104e^{-16}$	$6.277e^{-16}$	$3.735e^{-17}$	3.47	1.155	-0.309	11.98

Tableau 11. Valeurs des paramètres de $C_{gs}(V_{gs})$ et de $C_{gd}(V_{gd})$

3. Les modèles à deux variables

L'idéal pour modéliser au mieux le comportement grand signal du transistor serait de trouver des équations qui dépendraient des deux tensions de polarisation. Cependant il est primordial de vérifier la condition de conservation de charge [92], elle se présente de la façon suivante :

$$\frac{\partial(C_g)}{\partial V_{ds}} + \frac{\partial(C_{gd})}{\partial V_{gs}} = 0 \text{ où } C_g \equiv C_{gs} + C_{gd}$$

On évite ainsi l'apparition d'un courant continu de grille au niveau du modèle. En effet la démonstration est simple si on prend des expressions simples à deux variables susceptibles de modéliser C_{gs} et C_{gd} :

$$C_{gs} = C_{gs0} + C_{gs1} \cdot V_{gs} + C_{gs2} \cdot V_{ds} + f(V_{gs}^2, V_{ds}^2, V_{gs} \cdot V_{ds}) \quad (\text{II-38})$$

et

$$C_{gd} = C_{gd0} + C_{gd1} \cdot V_{gs} + C_{gd2} \cdot V_{ds} + f(V_{gs}^2, V_{ds}^2, V_{gs} \cdot V_{ds}) \quad (\text{II-39})$$

Où C_{gs0} , C_{gs1} , C_{gs2} , C_{gd0} , C_{gd1} et C_{gd2} sont des constantes.

Supposons que les tensions varient sous les formes suivantes :

$$V_{gs}(t) = A \cdot \cos(\omega \cdot t) \quad (\text{II-40})$$

$$\text{et } V_{ds}(t) = A \cdot \sin(\omega \cdot t) \quad (\text{II-41})$$

Le courant $I_g(t)$ s'écrit :

$$I_g(t) = C_{gs}(V_{gs}(t), V_{ds}(t)) \cdot \frac{d}{dt} V_{gs}(t) + C_{gd}(V_{gs}(t), V_{ds}(t)) \cdot \frac{d}{dt} V_{gd}(t) \quad (\text{II-42})$$

En remplaçant, dans l'équation du courant de grille (II-42), les tensions et les capacités par les expressions (II-38), (II-39), (II-40) et (II-41) ci-dessus, on en déduit un signal $I_g(t)$ dont la transformée dans le domaine fréquentiel à l'allure suivante :

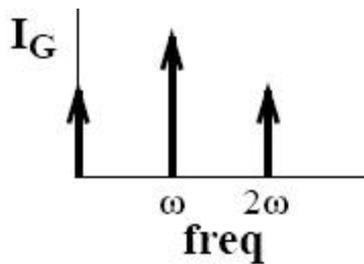


Figure 71. Transformée de Fourier de $I_g(t)$

Avec $\overline{I_g(t)} = -\frac{A^2 \cdot \omega}{2} (C_{gs2} + C_{gd1} + C_{gd2})$, ce courant continu va fausser la représentation du fonctionnement en grand signal du transistor sauf si $C_{gs2} + C_{gd1} + C_{gd2} = 0$.

Dans notre exemple $\frac{\partial}{\partial V_{ds}}(C_{gs} + C_{gd}) = C_{gs2} + C_{gd2}$ et $\frac{\partial}{\partial V_{gs}}(C_{gd}) = C_{gd1}$ donc on retrouve la condition énoncée précédemment :

$$\frac{\partial}{\partial V_{ds}}(C_{gs} + C_{gd}) + \frac{\partial}{\partial V_{gs}}(C_{gd}) = 0 \quad (\text{II-43})$$

Des auteurs proposent des modèles empiriques à 2 dimensions [87][93] pour des transistors MESFET, HEMT ou PHEMT (à simple recess de grille). Dans notre cas, PPH25X est une filière de puissance avec une grande tension de claquage due à son double recess de grille, il apparaît un phénomène de décroissance sur l'allure de la capacité C_{gs} à forte tension de grille. Les expressions trouvées dans la littérature ne nous permettent pas de modéliser les capacités en régime grand signal ; de plus, si on trouve des expressions mathématiques qui modélisent C_{gs} , la modélisation de C_{gd} s'avère compliquée du fait de la condition de conservation de la charge.

Une alternative, proposée par D.E. Root [67], est d'utiliser un modèle tabulé mais celui-ci n'est seulement précis que dans la zone de caractérisation.

G. Loi d'échelle

1. Le courant de drain

Dans la plupart des cas, les lois d'échelle sur le courant de drain sont supposées linéaires et de la forme :

$$I_{ds} = \frac{W \times N}{W_{ref} \times N_{ref}} \cdot I'_{ds}$$

avec W la largeur de grille (en μm)

N le nombre de doigt

W_{ref} la largeur de grille du transistor de référence en μm (100)

N_{ref} le nombre de doigt du transistor de référence (12)

I'_{ds} la valeur du courant pour le transistor de référence (en A)

Pour vérifier cette loi d'échelle (Scaling en anglais), nous nous sommes attardés à mesurer 12 tailles de transistor. Le plus petit développement étant un $4 \times 50 \mu\text{m}$ et le plus long un $12 \times 150 \mu\text{m}$. Pour comparer mesures et simulations, nous nous plaçons à $V_{gs}=0.7\text{V}$ et $V_{ds}=2.5\text{V}$ et nous comparons les courants mesurés et simulés en ce point.

Appelons I_{ds}^+ le point à $V_{ds}=2,5\text{V}$ et $V_{gs}=0.7\text{V}$. Les deux graphiques suivants montrent la comparaison du I_{ds}^+ mesuré et simulé en fonction du développement de grille *Figure 72*, ainsi que l'erreur Δ en % *Figure 73*, tel que :

$$\Delta = \frac{I_{ds}^+ mes - I_{ds}^+ sim}{I_{ds}^+ mes}$$

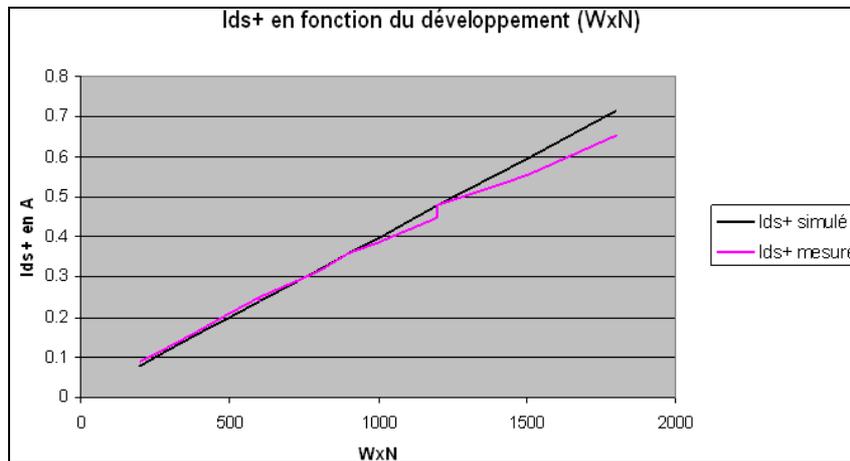


Figure 72. I_{ds}^+ en fonction du développement des transistors

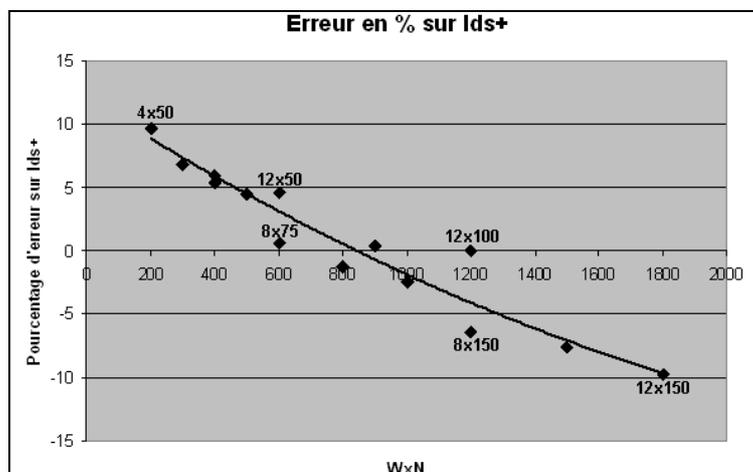


Figure 73. Erreur en % entre la simulation et la mesure de I_{ds}^+

On peut constater que sur la *Figure 73* que le modèle est pessimiste sur les petites tailles mais qu'il est optimiste sur les transistors à fort développement. Cet écart est en grande partie lié aux effets thermiques, dans les modèles électriques classiques cet effet n'est pas pris en compte, il nous a donc paru judicieux de transformer la loi d'échelle.

$$I_{ds} = F_{scale} \cdot I'_{ds} \text{ avec } F_{scale} = A(N) \cdot W^2 + B(N) \cdot W + C(N)$$

avec W la largeur de grille (en μm)

N le nombre de doigts

F_{scale} est le facteur d'échelle

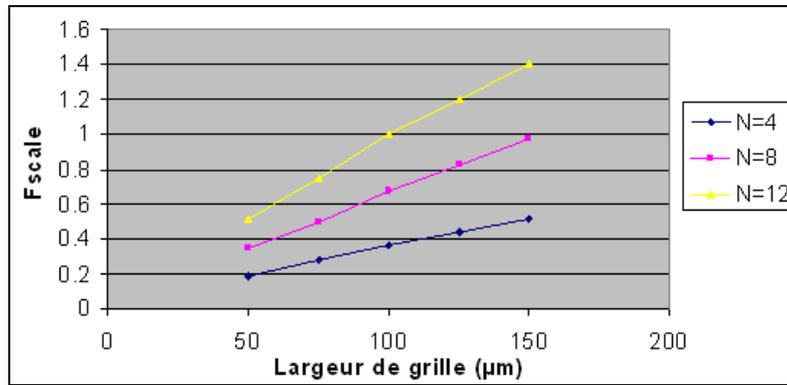


Figure 74. Facteur d'échelle F_{scale} en fonction de la largeur de grille

2. Les capacités non linéaires

Pour les capacités non linéaires, 6 tailles de transistors ont été étudiées (*Figure 75 et Figure 76*), on reste sur une loi d'échelle classique avec $Cg_{s,d} = \frac{W \times N}{W_{ref} \times N_{ref}} \cdot C'g_{s,d}$, par contre les paramètres d'optimisation des capacités sont réajustés légèrement pour que la simulation soit en accord avec les mesures.

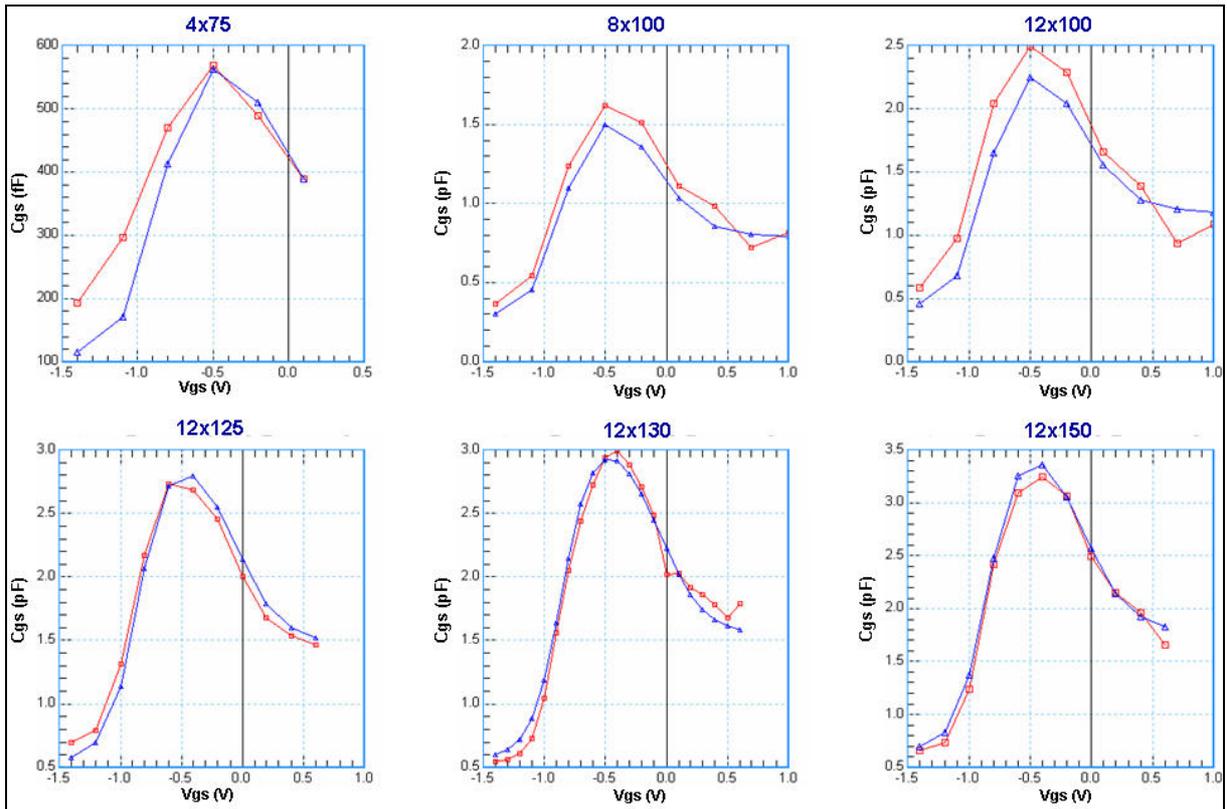


Figure 75. Comparaison mesures (—□—)-modèle (—△—) des capacités C_{gs} extraites le long du cycle de charge pour 6 transistors de taille différente

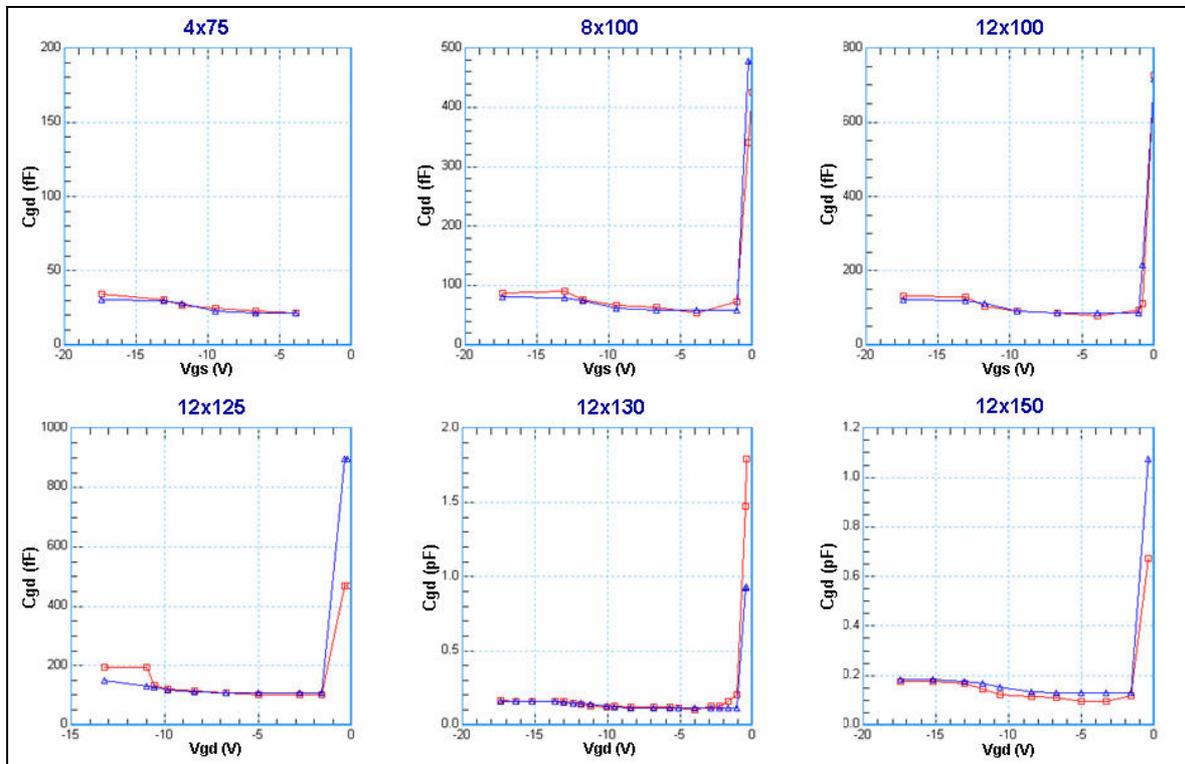


Figure 76. Comparaison mesures (—□—)-modèle (—△—) des capacités C_{gd} extraites le long du cycle de charge pour 6 transistors de taille différente

3. Les générateurs d'avalanches

La modélisation des phénomènes d'avalanche se fait grâce à une fonction exponentielle. On sait que les tensions de claquage dépendent uniquement de la topologie (recess) et de l'épitaxie du transistor. Sur les transistors étudiés, on s'aperçoit qu'il est préférable de ne pas mettre de facteur d'échelle pour éviter de déplacer les tensions de claquage. Pour toutes les tailles, on prend donc la même expression, celle du transistor de référence (12 doigts de 100 μm).

Exemple avec la mesure I(V) pulsée d'un transistor 12 doigts de 150 μm .

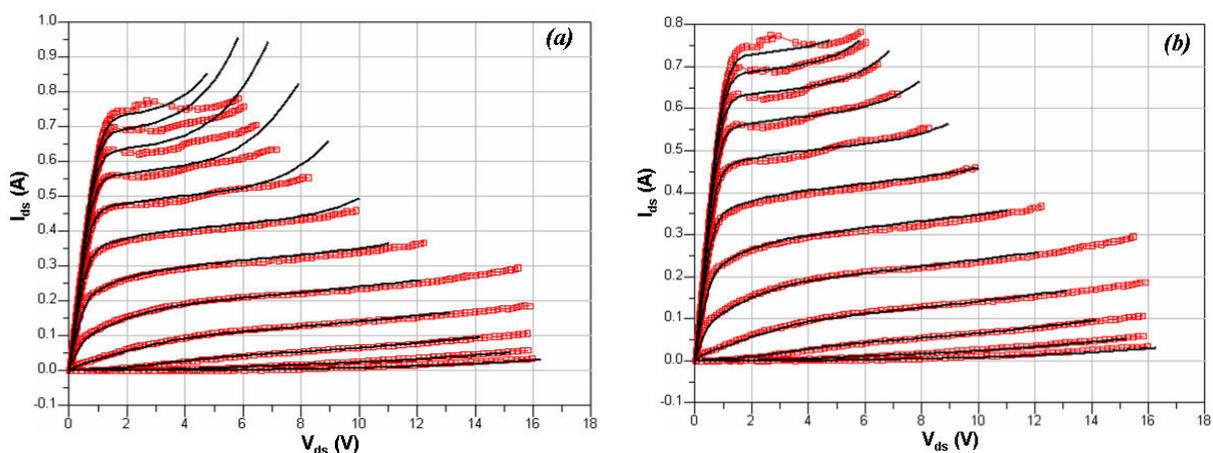


Figure 77. Comparaison mesures (\square)-modèle (—) du courant de drain I_{ds} d'un transistor 12x150 avec une avalanche drain-source à l'échelle d'un 12x150 (a) et avec l'avalanche du transistor de référence (b)

H. Validation du modèle

1. Validation du modèle en régime grand signal

a. Le banc de mesure «load-pull»

Le banc de mesure «load-pull» vectoriel, qui nous a servi à valider le modèle non linéaire du transistor 12x100 PPH25X, permet d'optimiser les conditions d'adaptation, puis d'effectuer des mesures de puissance. On observe alors les performances du composant en

fonction des impédances de charges présentées et du niveau de puissance du signal d'excitation.

Ce banc nous donne la possibilité de calculer le rendement en puissance ajoutée (*PAE*) grâce aux mesures précises : du coefficient de réflexion en entrée du dispositif Γ_e , du gain en puissance et de la puissance de sortie. Le rendement en puissance ajoutée est alors donné par l'expression suivante :

$$PAE = \frac{P_S - P_{dispo} \cdot (1 - |\Gamma_e|)}{P_{DC}} \quad \text{où } P_{dispo} \text{ est la puissance disponible délivrée par le}$$

générateur

Remarque : Ce banc permet également d'observer l'évolution de la phase du gain complexe (AM/PM) du transistor sous test en fonction de la puissance d'entrée du dispositif. Ce dernier critère permet d'obtenir des informations importantes sur les composants en termes de linéarité.

b. Mesures de puissance en mono-porteuse

Une analyse du comportement fort signal en mono-porteuse sur deux tailles de transistor, à la fréquence de 10 GHz, a été effectuée pour un point de polarisation de repos égale à $V_{gs0} = -0.4V$ et $V_{ds0} = 8V$.

L'impédance de charge à la fréquence fondamentale correspond à l'impédance de charge présentée au transistor pour obtenir un compromis entre puissance et rendement en puissance ajoutée.

- Le transistor 12x100 :

L'impédance de charge est la suivante : $Z_{load}(f_0) = (15.5 + j \cdot 5.37)\Omega$

Les résultats obtenus sont présentés à la *Figure 78*. La valeur à 3dB de compression de la puissance de sortie est de 30.1 dBm (pour $P_{entrée} = 17.5$ dBm). Le rendement en puissance ajoutée correspondant à cette puissance de sortie est de 58.2% avec un gain en puissance associé de 12.5 dB.

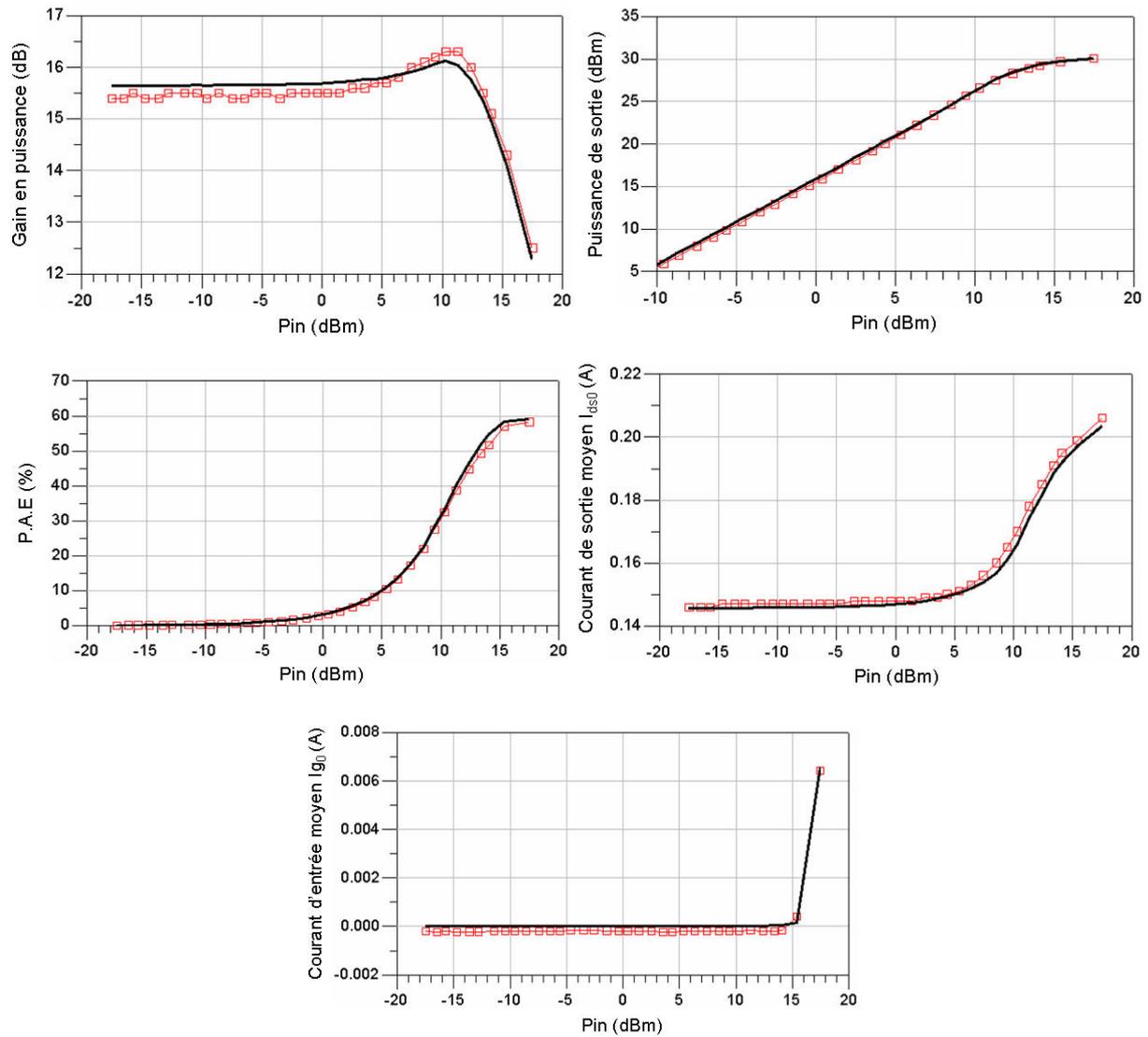


Figure 78. Comparaison mesures (—□—)-modèle (—) grand signal CW à 10 GHz du transistor 12x100µm

- Le transistor 4x75 :

Le transistor est chargé sur une impédance Z_{load} qui à $f_0 = 10GHz$ est égale à $(54.6 + j \cdot 50.1)\Omega$.

La Figure 79 rassemble les principaux critères de performances électriques obtenu pour un transistor 4x75µm à un point de repos égal à $V_{gs0} = -0.4V$ et $V_{ds0} = 8V$.

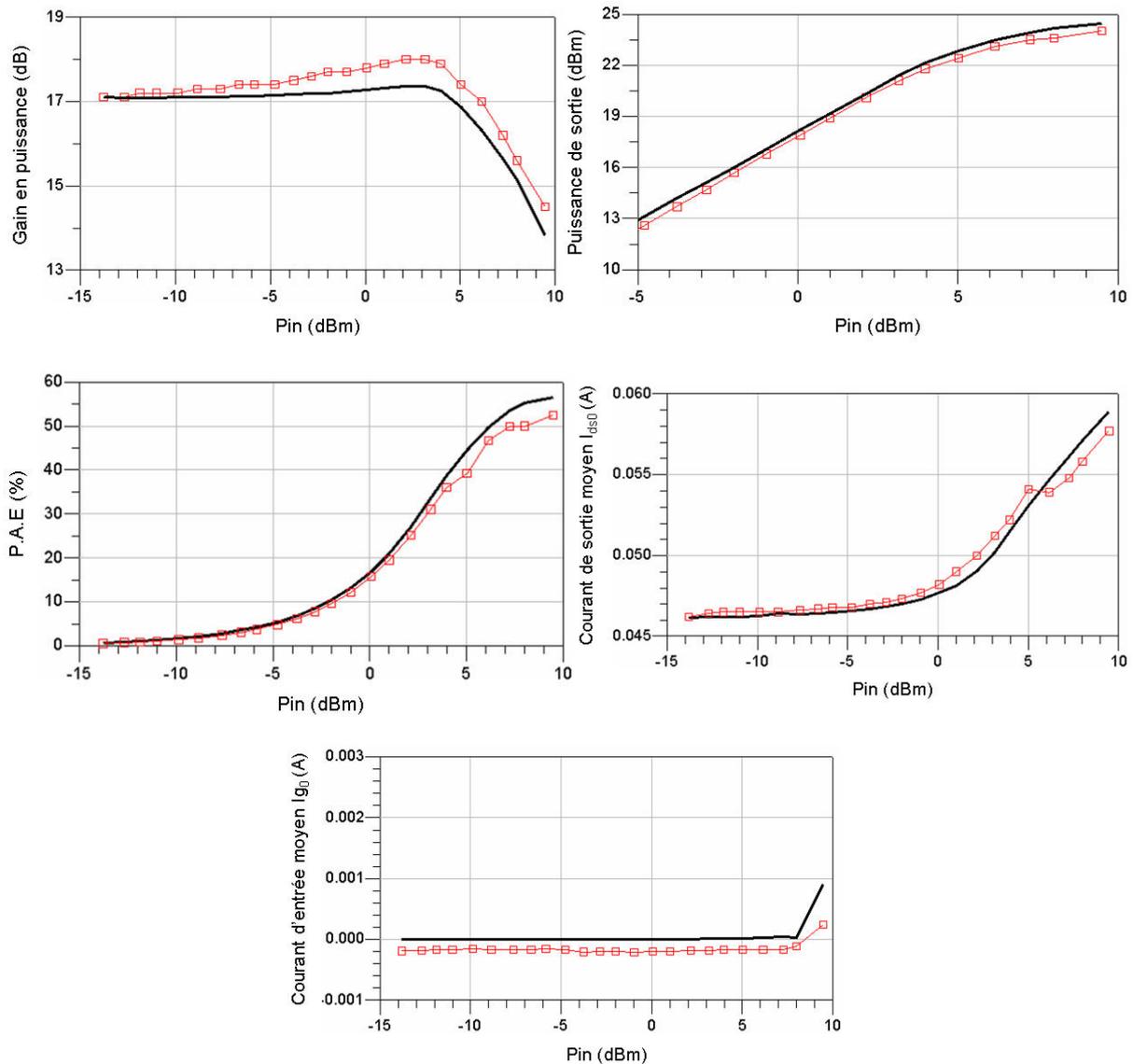


Figure 79. Comparaison mesures (—□—)-modèle (—) grand signal CW à 10 GHz du transistor $4 \times 75 \mu\text{m}$

Le modèle présenté s'avère valable pour plusieurs tailles de transistors. La comparaison du modèle par rapport aux mesures de puissance constitue la première étape de la validation du modèle.

2. Validation du modèle au travers de l'amplificateur de puissance MILEA

Il est important de valider maintenant le modèle dans une structure amplificatrice. Le circuit MILEA (voir Figure 80 et Figure 81) est un amplificateur de puissance (HPA : High Power Amplifier) destiné à fonctionner en bande Ku (12 à 18 GHz). Avec 3 étages,

l'amplificateur doit délivrer 1W en sortie. Deux tailles de transistor sont présentes dans le schéma ce qui va nous permettre de vérifier la loi d'échelle de notre modèle.

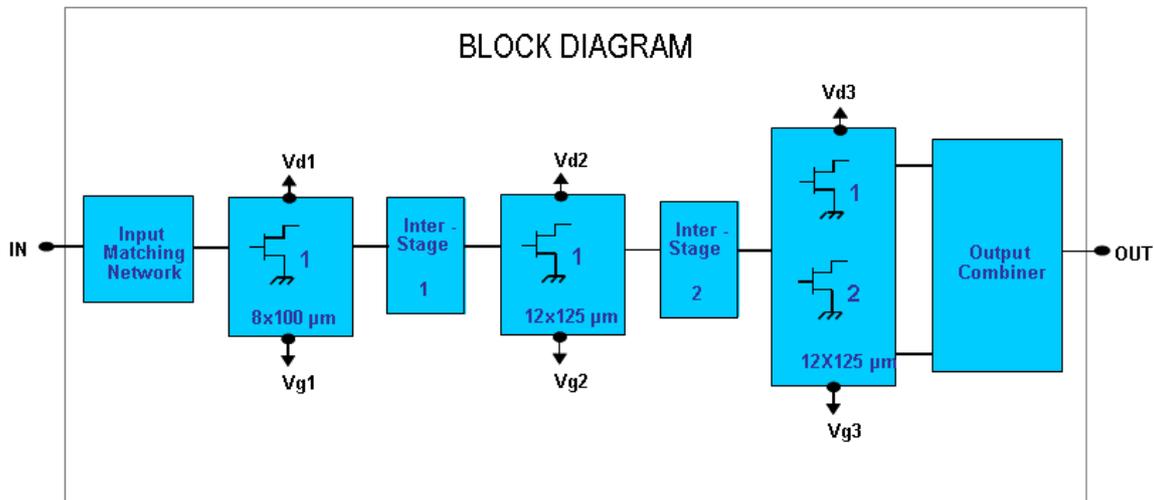


Figure 80. Architecture de l'amplificateur MILEA

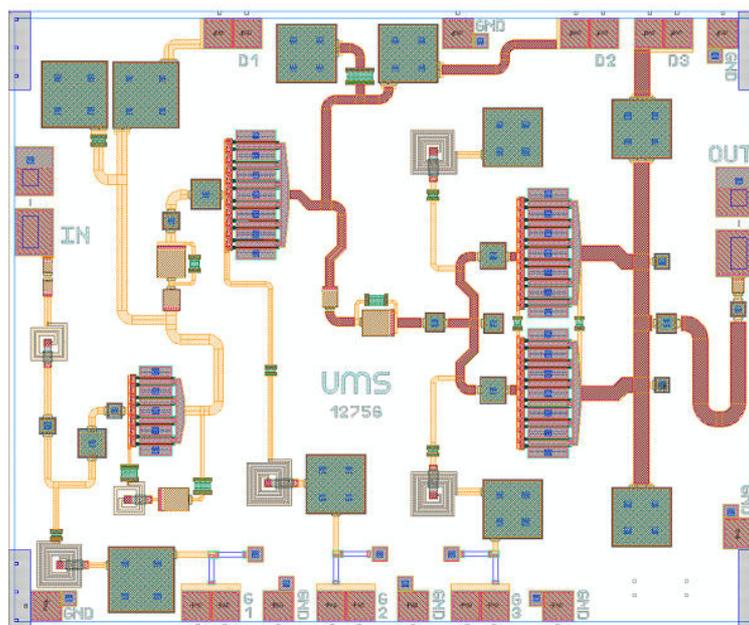


Figure 81. Dessin de l'amplificateur MILEA 1W

Remarque : le modèle décrit précédemment a été réalisé à partir d'une plaque aux critères de fabrication différents du wafer où se trouve l'amplificateur MILEA. La filière PPH25X étant en développement et en cours de qualification pendant la durée de ce travail. Nous avons donc réajusté les paramètres du modèle pour correspondre aux performances de MILEA.

a. Paramètres [S]

La mesure des paramètres [S] de l'amplificateur a été effectuée à UMS de 2 à 40 GHz. Ces mesures sont comparées aux simulations obtenues en intégrant dans la schématique le modèle non linéaire multi taille et aux simulations réalisées en remplaçant les modèles de transistors par les mesures de paramètres [S] qui leur correspondent.

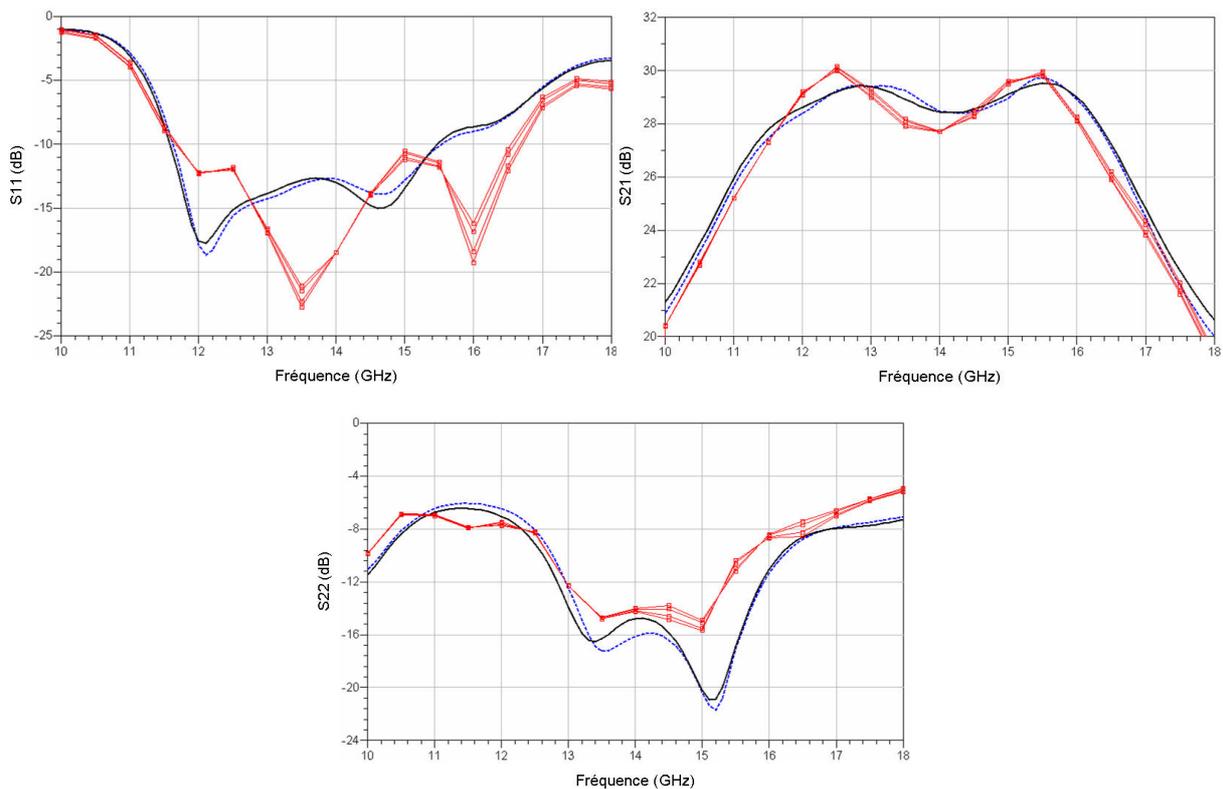


Figure 82. Comparaison des paramètres [S] de l'amplificateur : mesurés (\square), simulés avec le modèle (—) et avec la mesure des paramètres [S] du transistor injecté dans la simulation (---)

Sur les paramètres [S] représentés dans la bande Ku (Figure 82), On peut remarquer que le comportement de l'amplificateur simulé avec le modèle est très proche de la simulation à l'aide des mesures de paramètres [S] de transistor. On peut donc déduire que le léger écart avec les mesures de MILEA n'est pas dû au modèle non linéaire du transistor.

b. Mesures de puissance

Les mesures de puissance ont été réalisées pour des fréquences allant de 11 à 17 GHz et pour une puissance injectée variant de -15 à 10dBm. La comparaison, entre le modèle PPH25X de la bibliothèque ADS de composants UMS, notre modèle et les mesures, est présentée ci-dessous. Le modèle de la bibliothèque UMS est issu d'une caractérisation sur des

plaques moins récentes et la technologie PPH25X a évoluée depuis ; deplus le générateur de courant I_{ds} utilise l'expression de Tajima (modifié) et ce modèle ne prend pas en compte le phénomène d'ionisation par impact.

Le gain en puissance, la puissance de sortie, le rendement en puissance ajouté et le courant de sortie moyen total, sont tout d'abord tracés en fonction de la fréquence, à bas niveau (-15dBm) et à forte compression (10dBm) (*Figure 83*). Puis, à la fréquence centrale, les performances de l'amplificateur sont données en fonction de la puissance injectée (Pin) (*Figure 84*).

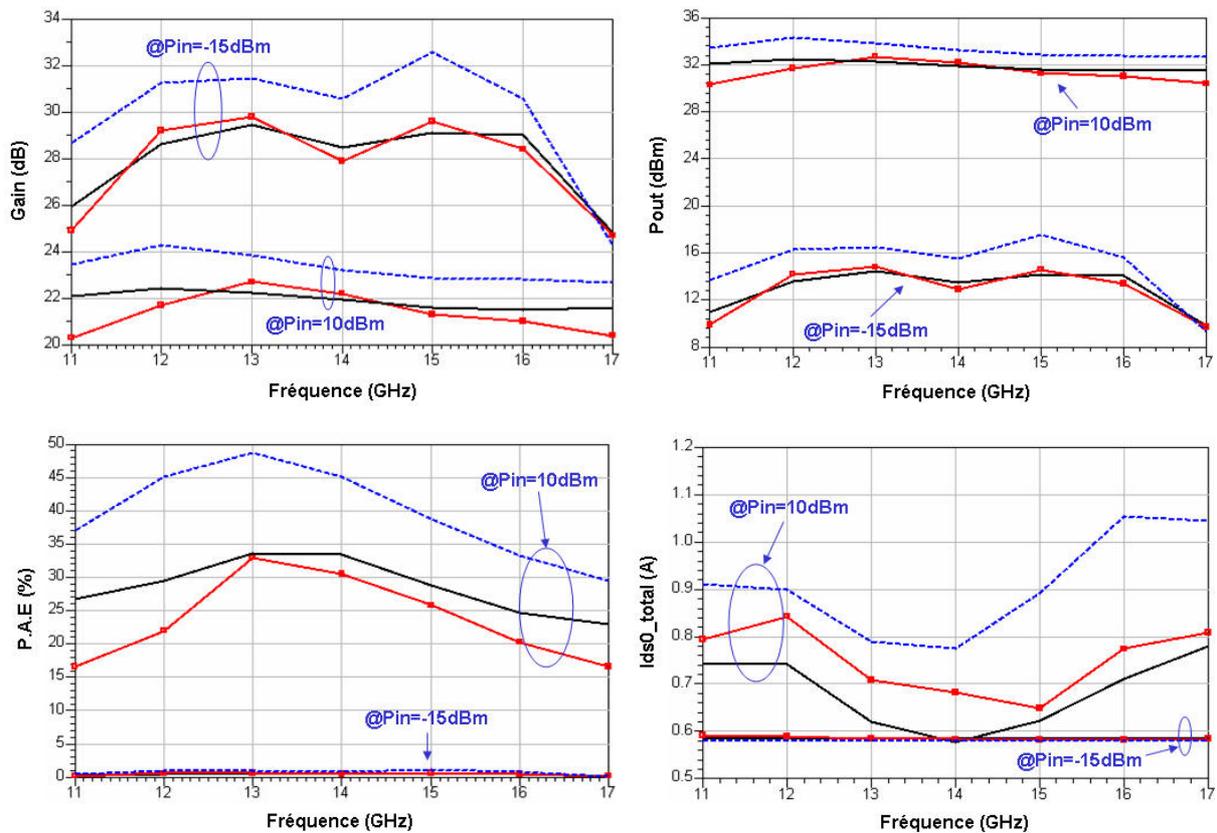


Figure 83. Comparaison mesures (—□—), simulation avec notre modèle (—) et avec le modèle PPH25X de la bibliothèque UMS (— · —) en fonction de la fréquence

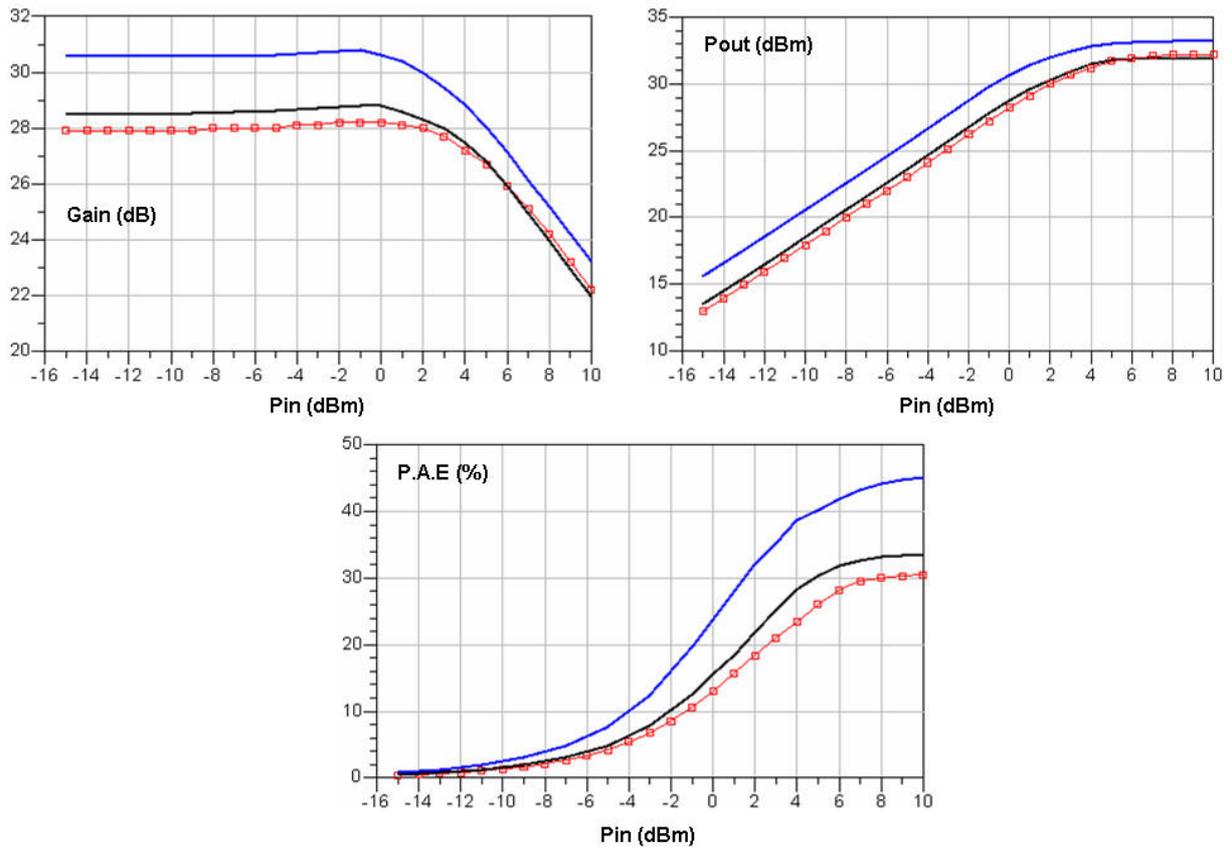


Figure 84. Comparaison mesures (\square), simulation avec notre modèle (—) et avec le modèle PPH25X de la bibliothèque UMS (—), en fonction de la puissance d'entrée à 14 GHz

On peut constater que notre modèle est plus précis que le modèle issue de la bibliothèque UMS et cela quelque soit la fréquence dans la bande de fonctionnement de l'amplificateur (Figure 83).

V. Conclusion

Ce chapitre fait le point sur les méthodes et les principales étapes de la modélisation. En effet, nous avons développé un modèle non linéaire complet de PHEMT en Arséniure de Gallium. Ce modèle est extrait à partir des mesures en impulsion des caractéristiques convectives ($I(V)$) et hyperfréquences (paramètres $[S]$). La topologie de notre modèle, basé sur des schémas équivalents électriques et des équations analytiques qui restent simples, lui confère rapidité et robustesse dans un environnement de CAO.

Notre modèle a été validé avec succès par des comparaisons simulations-mesures mettant en œuvre : des simulations en équilibrage harmonique (HB) et un amplificateur de puissance à 3 étages.

Toutefois, à l'heure d'aujourd'hui, il n'est plus possible de se contenter de modèles qui ne prennent pas en compte la dynamique des phénomènes de pièges et de thermiques. Le chapitre suivant mettra en évidence la présence de ces phénomènes dispersifs dans les transistors et nous expliquerons leurs provenances. Ensuite, nous proposerons un modèle électrothermique pour la filière PPH25X après avoir ciblé les éléments dépendants de la température.

Bibliographie

[44]. F.J.C. Reinares

«Techniques de Réduction d'Ordre des Modèles de Circuits Haute Fréquence Faiblement Non Linéaires»

Thèse de doctorat, Discipline : Electronique des Hautes Fréquences et Optoélectronique, spécialité : Télécommunications, Université de Limoges, 2004

[45]. D. Estreich

“Nonlinear modeling for MMIC's”

1987 IEEE MTT-S Digest, pp. 85-88

[46]. I. Telliez

“Contribution à la modélisation non linéaire de TEC en GaAs, application à la conception d'un amplificateur arborescent 1W bande C en technologie monolithique”

Thèse de doctorat, Spécialité : Electronique, Université des sciences et techniques de Lille Flandres Artois, Décembre 1991

[47]. V. Magnin

“Contribution à l'étude et à l'optimisation de composants optoélectroniques”

Thèse de doctorat, Spécialité : Electronique, Université des sciences et technologies de Lille, Octobre 1998

[48]. W. Shockley

“A unipolar Field-Effect Transistor”

Proc.IRE, Vol. 40, November 1952, pp. 1365-1376

[49]. R.A. Pucel, H.A. Haus, H. Statz

“Signal and noise properties of gallium arsenide microwave Field Effect Transistors”

Advances in Electronics and Electron Physics, L MARTON Ed., Vol. 38, NY, Academic 1975, pp. 195-265

[50]. R. Castagné, J.P. Duchemin, M. Gloanec, C. Rumelhard

“Circuits intégrés en Arséniure de Gallium : Physique, technologie et règle de conception”

Collection technique et scientifique des télécommunications, MASSON, 1989

[51]. D.P. Kennedy, R.R. O’Brien

“Computer aided two-dimensional analysis of the junction Field-Effect Transistor”

IBM J.RES.DEVELOP., March 1970, pp. 95-116

[52]. M. Shichman, A. Hodges

“Modeling and simulation of insulated gate field effect transistor switching circuits”

IEEE Journal of Solid-State Circuits, Vol. SC-3, September 1968, pp. 285-289

[53]. T. Taki

“Approximation of junction Field-Effect transistor characteristics by a hyperbolic function”

IEEE Journal of Solid-State Circuits, Vol. SC-13, October 1978, pp. 724-726

[54]. W.R. Curtice

“A MESFET model for use in the design of GaAs integrated circuits”

IEEE Transactions on Microwave Theory and Techniques, Vol. 28, N°5, May 1980, pp. 448-456

[55]. Q.Z. Liu

“An accurate and simple large signal model of HEMT”

1989 IEEE MTT-S Digest, pp. 463-466

[56]. A. Materka, T. Kacprzak

“Computer calculation of large-signal GaAs FET amplifier characteristics”

IEEE Transactions on Microwave Theory and Techniques, Vol. MTT-33, N°2, February 1985, pp. 129-135

[57]. T. Kacprzak, A. Materka

“Compact DC mode of GaAs FET’s for large-signal computer calculation”

IEEE Journal of Solid-State Circuits, Vol. SC-18, N°2, April 1983, pp. 211-213

[58]. Y. Tajima, B. Wrona, K. Mishima

“GaAs FET large-signal model and its application to circuit designs”

IEEE Transactions on Electron Devices, Vol. ED-28, N°2, February 1981, pp. 171-175

[59]. Y. Tajima, P.D. Miller

“Design of broad-band power GaAs FET amplifiers”

IEEE Transactions on Microwave Theory and Techniques, Vol. 32, N°3, March 1984, pp. 261-267

[60]. W.R. Curtice, M. Ettenberg

“A nonlinear GaAs FET model for use in the design of output circuits for power amplifiers”

IEEE Transactions on Microwave Theory and Techniques, Vol. MTT-33, N°12, December 1985, pp. 1383-1394

[61]. H. Statz, P. Newman, I.W. Smith, R.A. Pucel, H.A. Haus

“GaAs FET device and circuit simulation in SPICE”

IEEE Transactions on Electron Devices, Vol. ED-34, N°2, February 1987, pp. 160-169

[62]. S.A. Maas, D. Neilson

“Modeling MESFET’s for Intermodulation Analysis of Mixers and Amplifiers”

IEEE Transactions on Microwave Theory and Techniques, Vol. 38, N°12, December 1990, pp. 1964-1971

[63]. J.P. Teyssier, J.P. Viaud, R. Quéré

“A new nonlinear I(V) model for FET devices including breakdown effects”

IEEE Microwave and Guided Wave Letters, Vol. 4, pp. 104-106, 1994

[64]. I. Angelov, H. Zirath, N. Rorsman

“A new empirical model for HEMT and MESFET devices”

IEEE Transactions on Microwave Theory and Techniques, Vol. 40, December 1992, pp. 2258-2268

[65]. I. Angelov, L. Bengtsson, M. Garcia

“Extensions of the Chalmers nonlinear HEMT and MESFET model”

Microwave Theory and Techniques, IEEE Transactions on, Vol. 44, October 1996, pp. 1664-1674

[66]. I. Angelov, V. Desmaris, K. Dynefors, P.Å. Nilsson, N. Rorsman, H. Zirath

“On the large-signal modelling of AlGaIn/GaN HEMTs and SiC MESFETs”

13th GAAS[®] Symposium-Paris, 2005

[67]. D.E. Root, S. Fan, J. Meyer

“Technologie independent large signal non quasi-static FET models by direct construction from automatically characterized device data”

Proc. 21st European Microwave Conf., Vol. 2, September 1991, pp. 927-932

[68]. J.M. Collantes, J.J. Raoux, R. Quéré, A. Suarez

“New measurement-based technique for RF LDMOS nonlinear modeling”

IEEE Microwave and Guided Wave Letters, Vol. 8, pp. 345-347, 1998

[69]. T. Takada, K. Yokoyama, M. Ida, T. Sudo

“A MESFET variable-capacitance model for GaAs integrated circuit simulation”

IEEE Transactions on Microwave Theory and Techniques, Vol. 30, N°5, May 1982, pp. 719-724

[70]. T-H. Chen, M.S. Shur

“A capacitance model for GaAs MESFET’s”

IEEE Transactions on Electron Devices, Vol. ED-32, N°5, May 1985, pp. 883-891

[71]. V.D. Hwang, T. Itoh

“An efficient approach for large-signal modelling and analysis of the GaAs MESFET”

IEEE Transactions on Microwave Theory and Techniques, Vol. 35, N°4, April 1987, pp. 396-402

[72]. V.D. Hwang, Y-C. Shih, H. Minh Le, T. Itoh

“Non linear modelling and verification of MMIC amplifiers using the waveform balance method”

IEEE Transactions on Microwave Theory and Techniques, Vol. 37, N°12, December 1989, pp. 2125-2133

[73]. T.J. Brazil, P. O’Connell, N. O’Flaherty

“Modeling the gate capacitance nonlinearity in GaAs MESFET’s”

18th European Microwave Conference proceedings, Stockholm 1988, pp. 237-242

[74]. J.A. Barby, J. Vlach, K. Singhal

“Polynomial Splines for MOSFET Model Approximation”

IEEE Transactions of Computer-Aided Design, Vol. 7, N°5, pp. 557-566, May 1988.

[75]. G. Dambrine, A. Cappy, F. Heliodore, E. Playez

“A new method for determining the FET small-signal equivalent circuit”

Microwave Theory and Techniques, IEEE Transactions on Volume 36, Issue 7, Date: Jul 1988, Pages: 1151 - 1159

[76]. G. Dambrine

“Caractérisation des transistors à effet de champ : mesure précise de la matrice de répartition et détermination directe du schéma équivalent”

Thèse de doctorat, Spécialité : Electronique, Université des sciences et techniques de Lille Flandres Artois, Mars 1989

[77]. J.P. Teyssier, J.P. Viaud, R. Quéré

“A new Nonlinear I(V) model for FET devices including Breakdown Effects”

IEEE Microwave and Guided Wave Letters, Vol. 4, N°5, pp. 104-106, April 1994.

[78]. T.J. Brazil

“A universal large-signal equivalent circuit model for GaAs MESFET”

In Proc. 21st EuMC, Stuttgart, Germany, 1991, pp. 921-926

[79]. V.I. Cojocaru, T.J. Brazil

"A Scalable General-Purpose Model for Microwave FET's Including DC/AC Dispersion Effects"

IEEE Transactions on Microwave Theory and Techniques, Vol. 45, N°12, December 1997, pp. 2248-2255

[80]. J.P. Teyssier, M. Campovecchio, R. Sommet, J. Portilla, R. Quéré

"A Pulsed S-parameters Measurement Setup for the Nonlinear characterization of FETs and Bipolar Power Transistors"

EuMC Digest, pp 489-494, Madrid 1993

[81]. J. Scott, M. Sayed, P. Schmitz, A. Parker

"Pulsed-bias/Pulsed RF device measurement system requirements"

EuMC, pp 951-961, Cannes, France, 1994

[82]. M. Paggi, P.H. Williams, J.M. Borrego

"Nonlinear GaAs MESFET Modelling using Pulsed Gate Measurements"

IEEE MTT-S Digest, pp. 229-231, 1988

[83]. A. Platzker, A. Palevsky, S. Nash, W. Struble, Y. Tajima

"Characterization of GaAs Devices by a Versatile Pulsed I-V Measurement System"

IEEE MTT-S Digest, pp. 1137-1140, 1990

[84]. J.F. Vidalou, F. Grossier, M. Camiade, J. Obregon

"On-Wafer Large Signal Pulsed Measurements"

MTT Symp., pp. 95-99, 1991

[85]. J.P. Teyssier, R. Quéré, J. Obregon

"Accurate Non-linear Characterization of Microwave Semi-Conductor Devices Using Pulse Measurement Technique"

IEEE MTT Workshop, pp. 208-212, Ratingen (Germany), 1991

[86]. J. Scott, M. Sayed, P. Schmitz, A. Parker

"Pulsed-bias/Pulsed RF device measurement system requirements"

EMC, pp 951-961, Cannes, France, 1994

[87]. I. Kallfass, C. Schick, H. Schumacher, T. J. Brazil

"A Universal Large-Signal Model for Hetero Field-Effect Transistors"

Proc. 12th GaAs Symposium, European Microwave Week, Amsterdam, Netherlands, October 2004

[88]. S. Forestier

"Gestion dynamique de la génération de puissance en hyperfréquence pour des modulations numériques : application à l'optimisation des performances d'un amplificateur millimétrique"

Thèse de doctorat, Discipline : Electronique des Hautes Fréquences et Optoélectronique, spécialité : Télécommunications, Université de Limoges, Octobre 2003

[89]. J. Hedoire

"Simulation hydrodynamique bidimensionnelle de transistors de type HEMT pseudomorphique. Analyse physique et optimisation pour l'amplification de puissance hyperfréquence"

Thèse de doctorat, Spécialité : Electronique, Université des sciences et techniques de Lille, n° :2051, 1997

[90]. C. Gaquiere, F. Bue, P. Delemotte, Y. Crosnier, B. Carnez, D. Pons

"Effects on the Linearity in Ka Band of Single or Double Recess PHEMT's"

IEEE Microwave and Guided Wave Letters, Vol. 10, N°7, July 2000

[91]. S. Forestier, T. Gasseling, Ph. Bouysse, R. Quere, J.M. Nebus

"A New Nonlinear Capacitance Model of Millimeter Wave Power PHEMT for Accurate AM/PM AM/PM Simulations"

Microwave and Wireless Components Letters, June 2003

[92]. D.E. Root

“Elements of Measurement-Based Large-Signal Device Modeling”

IEEE Radio and Wireless Conference (RAWCON) Workshop on Modeling and Simulation of Devices and Circuits for Wireless Communication Systems, Colorado Springs, August 1998

[93]. C-J. Wei, Y.A. Tkachenko, D. Bartle

“An Accurate Large-Signal Model of GaAs MESFET Which Accounts for Charge Conservation, Dispersion, and Self-Heating”

IEEE Transactions on Microwave Theory and Techniques, Vol. 46, N°11, November 1998, pp. 1638-1644

CHAPITRE III : LES EFFETS THERMIQUES DANS LES PHEMTS ASGA

I. Introduction

Nous avons vu au cours du chapitre II la modélisation phénoménologique classique d'un transistor PHEMT AsGa. On sait aujourd'hui que ce type de modélisation ne suffit plus à décrire les composants de forte puissance. En effet, la demande croissante en terme de performances hyperfréquences a vu l'apparition de nouvelle filière de transistors comme les PHEMT de puissance, les HBT ou encore plus récemment les composants SiC et GaN.

Les fortes générations de puissance délivrées par ces types de transistors entraînent un échauffement conséquent des composants, la mobilité et par conséquent la vitesse de saturation des porteurs diminuent à leur tour entraînant une chute des puissances de sortie et des fréquences de transition jusqu'à atteindre un état établi.

Ce chapitre a pour objectif de présenter les effets thermiques dans les transistors PHEMT AsGa.

Nous ne traiterons pas de manière détaillée les notions théoriques fondamentales des phénomènes de transfert de la chaleur qui peuvent influencer les ensembles électroniques, elles ont été de nombreuses fois abordées dans d'autres thèses [94][95].

La suite de ce chapitre exposera les différentes techniques de mesure et de simulation utilisées pour l'étude thermique des transistors de notre filière PPH25X.

Les phénomènes liés à la thermique se répercutent sur le fonctionnement électrique du transistor, bien isoler les dépendances en température du TEC permettra d'introduire un modèle thermique qui réagira en fonction de l'état électrique du transistor.

L'analyse numérique s'est imposée comme une alternative incontournable pour réaliser une étude thermique de composants de taille micronique. Elle offre plusieurs techniques de résolution parmi lesquelles on peut citer la méthode des éléments finis. Cependant, l'analyse des problèmes thermiques nécessite une puissance de calcul et de stockage importantes. Ainsi, la réalisation de simulations couplées électrique-thermique intégrant une analyse thermique en éléments finis semble actuellement difficile.

En revanche, de nombreuses techniques de réduction permettent de diminuer la taille des problèmes en éléments finis, tout en conservant une bonne précision. Parmi les différentes méthodes existantes, nous retiendrons la technique de réduction par vecteurs de Ritz [94]. Cette réduction offre l'avantage de diminuer la taille des problèmes à traiter et de permettre

l'intégration d'un modèle réduit dans le simulateur électrique ADS. Cette technique de réduction a été traduite sous la forme d'un module informatique par l'XLIM [110].

II. Problématique

A. Pourquoi est-il important de connaître la température d'un composant ?

L'obtention de dispositifs microondes capables de générer de fortes densités de puissance constitue un enjeu majeur dans la conception de système électronique de pointe. Dans ce but, ont émergé de nombreuses technologies de composants parmi lesquelles on trouve les transistors à technologie HEMT pseudomorphique qui laissent entrevoir de fortes potentialités dans ce domaine. La recherche de l'accroissement de la densité de puissance fait que les effets thermiques dans ces transistors sont susceptibles d'induire des dérives de gain et de phase sur la composante RF. Cette dérive doit être maîtrisée pour une prise en compte éventuelle à la conception. Par ailleurs, la connaissance de la valeur de la température dite de jonction d'un composant est une donnée essentielle dans la prévision du vieillissement des composants, et donc, dans l'estimation de sa durée de vie. Dans certains cas critiques, cette valeur T est nécessaire pour le dimensionnement des dispositifs thermiques et pour l'établissement du compromis performances-fiabilité.

B. Mise en évidence de l'auto-échauffement dans les PHEMTs AsGa

L'impact de la température de jonction sur le comportement du transistor est facilement démontrable en réalisant une mesure en continu du courant de sortie I_{ds} en fonction de V_{ds} lorsque l'on module la tension d'entrée V_{gs} . A chaque point de ce réseau correspond une température. En effet, le produit courant-tension correspond à une puissance que le transistor va devoir dissiper sous forme de chaleur. Plus la puissance est élevée plus la température augmente, sur la figure suivante on remarque que plus cette température est importante plus le

courant de sortie diminue. Autrement dit, la mobilité des électrons décroît avec l'augmentation de la température du canal.

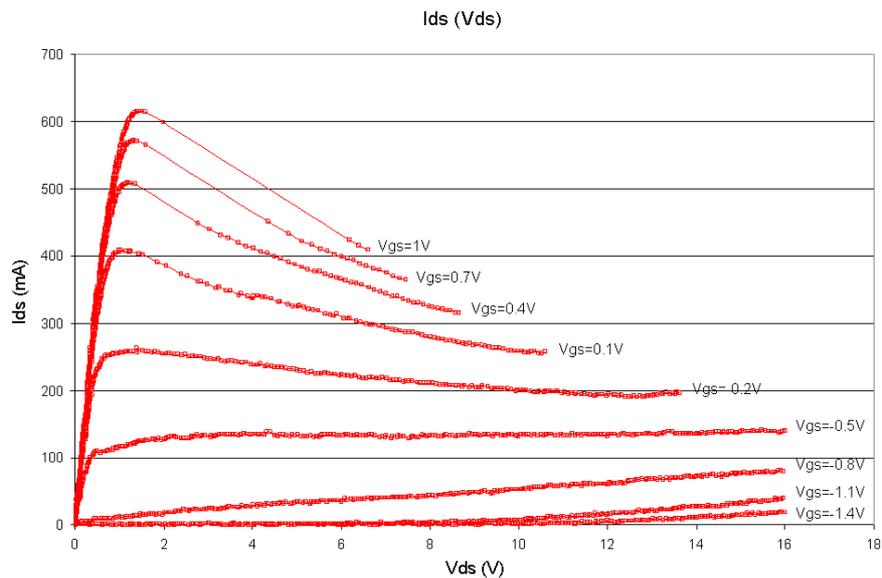


Figure 85. Caractéristiques de sortie d'un PHEMT PPH25X 8x100 avec auto-échauffement

La décroissance du courant de drain lorsque V_{ds} augmente entraîne une chute de la transconductance de sortie (G_m). La température aura donc une influence sur les performances hyperfréquences.

III. Méthodes de détermination de la température de jonction des composants MMICs

Il existe différents moyens de mesures pour évaluer avec plus ou moins de précision la température au sein d'un transistor [96][97][98] mais il est également possible de passer par le biais de simulations thermiques pour extraire la résistance thermique des composants. Nous allons décrire ces méthodes qui nous ont permis de caractériser la partie thermique de notre modèle pour le transistor PHEMT de la filière PPH25X provenant de la fonderie UMS. Plusieurs développements de transistor ont été nécessaire à notre étude mais nous avons essayé de normaliser nos résultats par rapport à notre transistor de référence : 12 doigts de grille de 100 μ m de largeur.

A. Définition de la résistance thermique

Dans les circuits électroniques, l'évacuation de la chaleur générée au sein des composants (essentiellement vers la face arrière) s'effectue principalement par conduction. C'est le cas que nous retiendrons pour la suite de cette étude.

Dans de nombreux cas, la définition de la chaleur dans un matériau bi ou tri-dimensionnel peut être simplifiée à un système à une dimension. Le transfert de chaleur est assimilé au flux à travers une surface définie. La combinaison de la conductivité thermique, de l'épaisseur du matériau et de la surface permet de définir la résistance thermique (notée R_{th}) de la couche. L'équation de diffusion de la chaleur devient alors en régime établi :

$$q = \frac{l}{R_{th}} \cdot \frac{\Delta T}{\Delta x} \quad (\text{III-1})$$

si l'on intègre cette équation par rapport à la surface, on obtient :

$$P = \frac{\Delta T}{R_{th}} \quad (\text{III-2})$$

où P est la puissance dissipée en Watts.

Cette équation de la chaleur « simplifiée » nous donne accès à la température du composant.

Remarque : La résistance thermique est de façon générale une grandeur non linéaire en fonction de la température [95]. Dans notre étude nous la considérons indépendante de la température pour faciliter la modélisation du phénomène.

B. Mesures électriques de la résistance thermique [99]

Les mesures électriques de la résistance thermique ont été réalisées à UMS, le banc pulsé DIVA permet de mesurer en mode impulsionnel et en mode continu. Les transistors sont d'abord montés en boîtier de type BMH60 (*Figure 86*) provenant de chez *NTK Technologies* puis ils sont placés dans un dispositif de test (*Figure 87*) pour être mesuré par le banc.

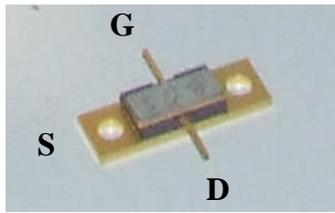


Figure 86. Transistor monté dans un boîtier de type BMH60



Figure 87. Cellule de test pour BMH60 reliée au banc DIVA

Ce montage nous donne la possibilité, au sein même d'UMS, d'appliquer une température ambiante par l'intermédiaire d'une centrale thermique (Figure 88). Une cloche, située au bout d'un bras télescopique, est placée sur le composant, de cette manière on crée une enceinte dont l'hermétisme est assuré par des morceaux de mousse isolante. La centrale thermique, appelée plus familièrement « girafe » de par sa forme, est capable d'appliquer une température dans l'enceinte de -80°C à 250°C . Pour être plus précis une sonde reliée à un thermomètre nous donne la température au plus près du transistor, dans le dispositif de test.

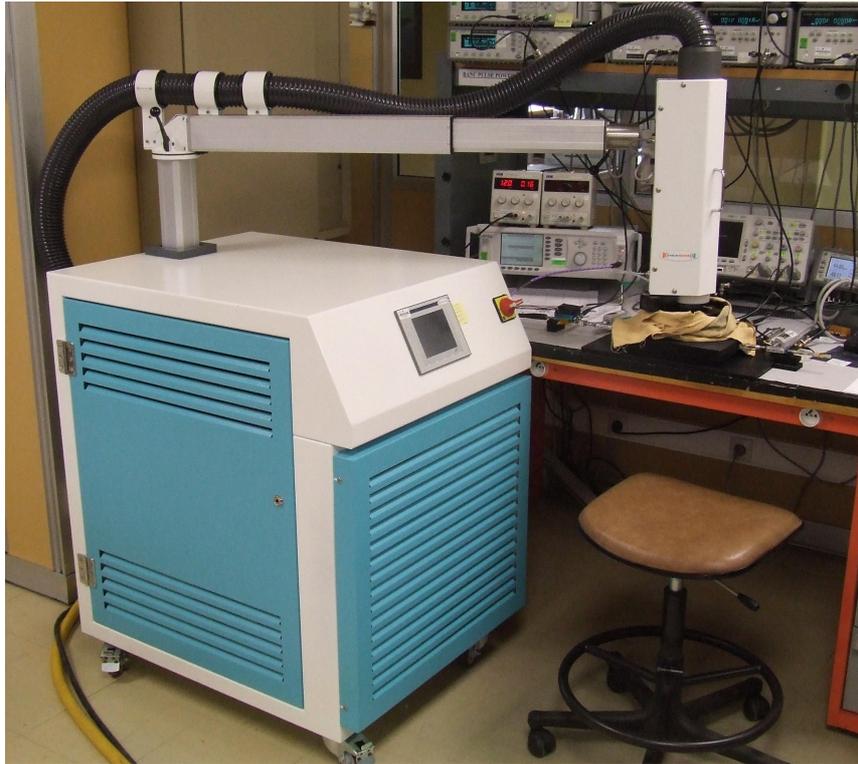


Figure 88. La centrale thermique applique une température pouvant aller de -80°C à 250°C

1. Méthode du courant de grille

La résistance thermique d'un transistor R_{th} , exprimée en $^{\circ}\text{C}/\text{W}$, permet de caractériser l'élévation de température du composant par rapport à la température ambiante lorsque celui-ci est soumis à une excitation électrique.

Le principe de la mesure de la résistance thermique est basé sur la variation de la tension de seuil de la jonction Schottky avec la température [100]. Dans un premier temps, c'est cette méthode que nous allons employer pour déterminer la résistance thermique d'un transistor PPH25X 4x75.

Nous commençons par calibrer ce « thermomètre électrique » en température par une mesure en mode pulsé (Figure 89) du courant de grille pour deux températures ambiantes différentes (22 et 100°C). Les tensions de polarisation de repos V_{gs0} et V_{ds0} sont fixées à 0 V ; la durée des pulses de tension de grille est de 200 ns avec une récurrence de 500 μs . Nous mesurons alors le rapport $\left| \frac{\Delta T}{\Delta V_{gs}} \right|$ pour un fort courant de grille, de façon à se placer dans la

zone où les courbes de diode sont parallèles, et nous obtenons alors pour $I_g=50\text{mA}$:

$$\left| \frac{\Delta T}{\Delta V_{gs}} \right| = \frac{78}{0.07136} = 1093 \text{ } ^\circ\text{C} / \text{V} .$$

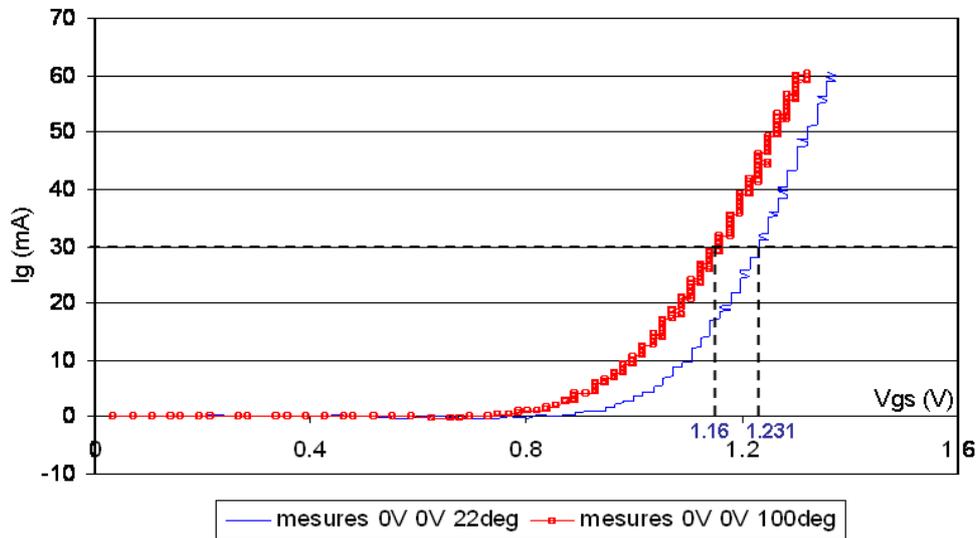


Figure 89. Mesure du courant de grille en fonction de la température ambiante pour $P_{diss}=0W$

Ensuite, nous fixons la température de socle à 22°C . Nous recommençons la même opération mais avec deux polarisations de repos différentes, donc deux puissances dissipées différentes (Figure 90). Nous mesurons alors le rapport $\left| \frac{\Delta V_{gs}}{\Delta P_{diss}} \right|$ pour le même courant

$$I_g=50\text{mA} \text{ et nous obtenons : } \left| \frac{\Delta V_{gs}}{\Delta P_{diss}} \right| = 0.203584 \text{ V} / \text{W}$$

Nous en déduisons ainsi la valeur de la résistance thermique par la formule suivante :

$$R_{th}(4 \times 75) = \left| \frac{\Delta T}{\Delta V_{gs}} \right| \cdot \left| \frac{\Delta V_{gs}}{\Delta P_{diss}} \right| = 222.5 \text{ } ^\circ\text{C} / \text{W}$$

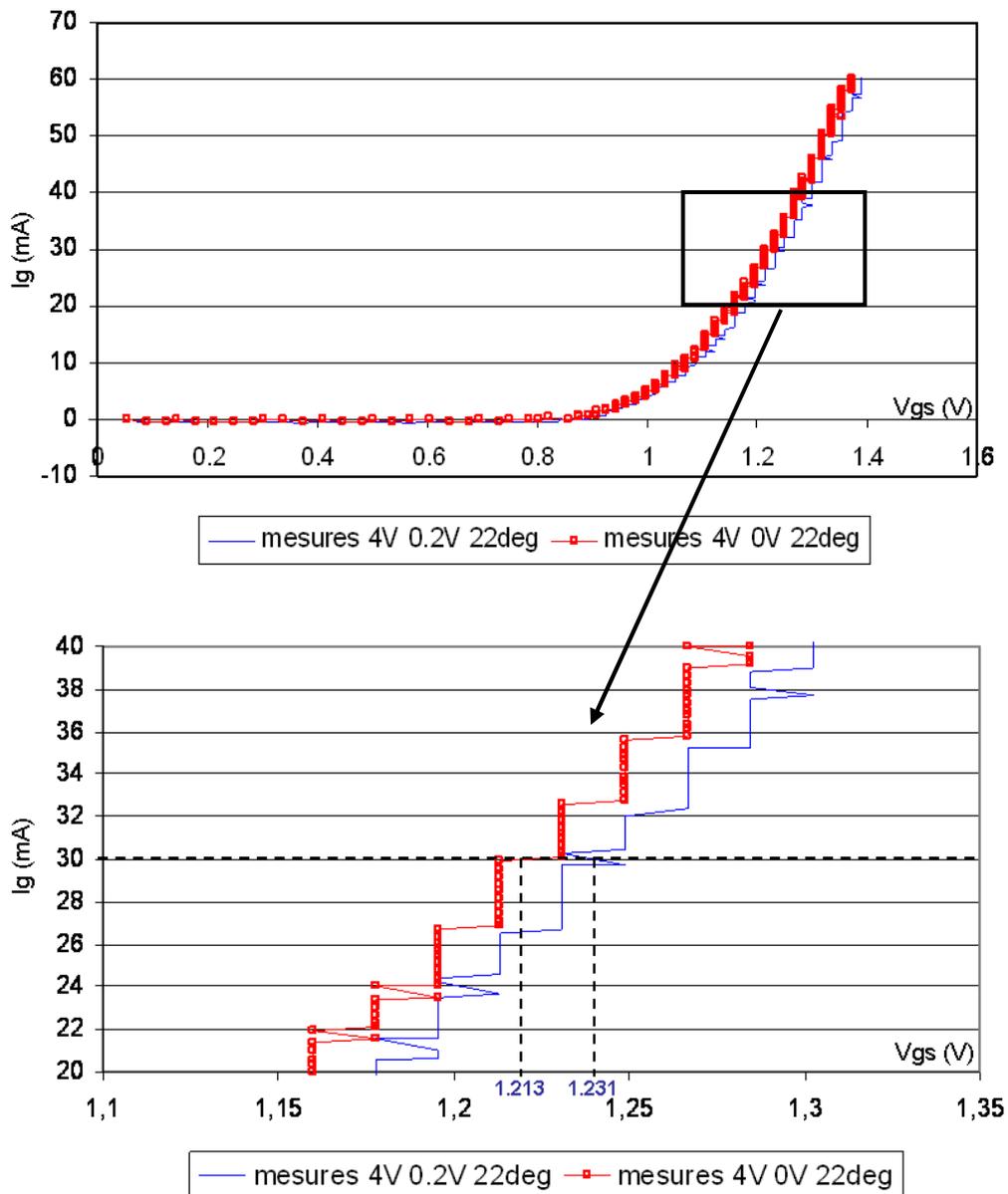


Figure 90. *Mesure du courant de grille en fonction de la puissance dissipée pour une même température ambiante (22°C)*

On peut remarquer que la mesure est délicate du fait de la faible précision de mesure du banc DIVA sur le courant de grille.

2. Méthode du courant de drain

Cette technique est basée sur la chute du courant dans le canal, due au fait que la mobilité (et donc la vitesse de saturation) des porteurs diminue lorsque la température augmente.

Pour mettre en place cette expérience, nous réalisons deux jeux de mesures dans des conditions de polarisation différentes avec deux températures ambiantes différentes sur un transistor à 8 doigts de grille de 100µm de largeur.

La première mesure est effectuée en mode continu avec la température de l'enceinte fixée 25°C, et la seconde en mode impulsionnel avec une température égale à 157°C. Pour les mesures en régime pulsé, il faut choisir des durées d'impulsions brèves (200 ns) et séparer les impulsions par un temps très long de 50ms (récurrence importante de manière à faire des mesures les plus isothermes possibles).

Lorsque nous superposons les deux réseaux ainsi obtenus, les points d'intersection de la courbe en mode continu et de la courbe en mode pulsé désignent l'endroit du réseau pour lesquels la température est identique (*Figure 91*).

Au point d'intersection pour la courbe mesurée en mode continu :

$\Delta T = T_{jonction_dc} - T_{ambiante_dc} = R_{th} \cdot P_{diss}$, avec $T_{ambiante_dc} = 25^\circ C$ et $T_{jonction_dc}$ est la température de jonction du transistor en mode continu.

Au point d'intersection pour la courbe mesurée en mode pulsé :

$\Delta T = T_{jonction_pulse} - T_{ambiante_dc} = R_{th} \cdot P_{diss}$ mais $T_{jonction_pulse} - T_{ambiante_dc} = 0^\circ C$ aux points d'intersections et $T_{jonction_pulse} = 157^\circ C$ car on suppose les mesures quasi-isothermes, c'est-à-dire que $T_{jonction_pulse} = T_{ambiante_pulse}$.

Comme la température de jonction aux points d'intersections est identique sur les deux courbes :

$$T_{jonction_pulse} = T_{jonction_dc}$$

$$\text{On a donc : } R_{th} = \frac{T_{jonction_pulse} - T_{ambiante_dc}}{P_{diss}}$$

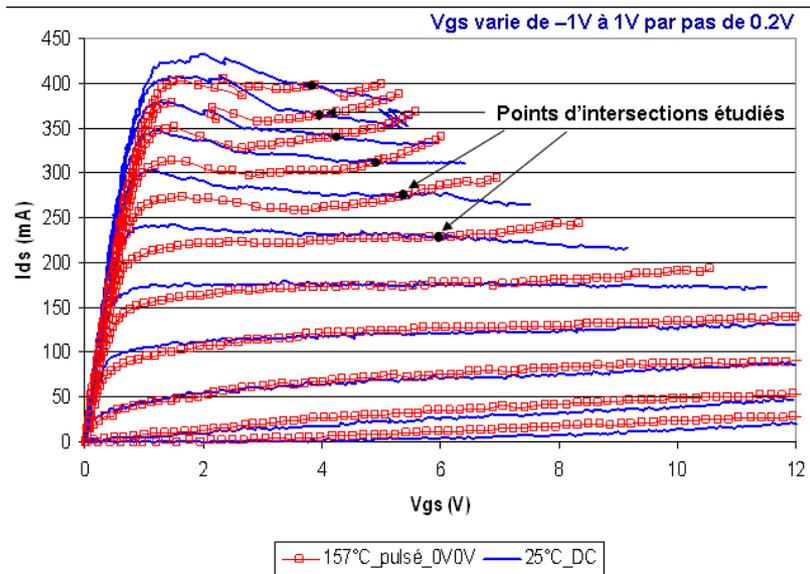


Figure 91. Superposition du réseau I(V) mesuré en continu avec le réseau pulsé à 157°C

Le Tableau 12 présente le calcul de la résistance thermique pour les points d'intersections entre les deux réseaux.

V_{gs}	P_{diss}	R_{th} ($^{\circ}C/W$)
1v	1.54880973	85.226737
0.8v	1.49692003	88.1810633
0.6v	1.46530419	90.0836844
0.4v	1.55329371	84.9807084
0.2v	1.50244064	87.8570484
0v	1.42202297	92.8255048
Moyenne R_{th} (8x100)		88.1924577

Tableau 12. Calcul de R_{th} pour les valeurs de V_{gs} où se croisent les caractéristiques I(V)

Remarque 1 : nous n'avons pas pu mesurer le même transistor à cause de la difficulté à réunir tous les éléments du montage, les quatre centrales thermiques disponibles à UMS étant en priorité utilisées pour la mesure des circuits, ce qui prouve l'intérêt que suscite un modèle qui prédit l'effet thermique. Néanmoins une comparaison pourra être faite si on considère la loi d'échelle standard appliquée à la résistance thermique tel que $R_{th} = \frac{W \times N}{W_{ref} \times N_{ref}} \cdot R'_{th}$.

Remarque 2 : les points d'intersection se trouvent dans une zone où la puissance dissipée dans l'impulsion est assez élevée, un risque d'auto-échauffement du transistor peut créer une erreur sur la mesure de R_{th} . De plus, les points qui permettent de calculer la résistance thermique se trouvent dans une partie du réseau où les phénomènes de pièges et le phénomène d'ionisation par impact se mélangent.

C. Méthode de mesures par spectroscopie Raman

La spectroscopie Raman est une méthode très répandue d'analyse physique, en chimie, en physique des solides ou de la matière molle. Elle exploite le phénomène de diffusion inélastique de la lumière par l'analyse du champ diffusé d'un semi-conducteur, sous l'action d'une source monochromatique.

D'un point de vue théorique, cette méthode permet d'étudier les phénomènes de décalage de la longueur d'onde d'une source excitatrice réfléchi par un semi-conducteur. En effet, sous l'influence des vibrations du réseau cristallin qui dépendent de la température, la lumière diffusée présente des décalages de leur longueur d'onde par rapport à la source excitatrice incidente. De ce fait en réalisant une droite d'étalonnage, il est possible d'associer le décalage d'un des pics du spectre Raman à la température du semi-conducteur.

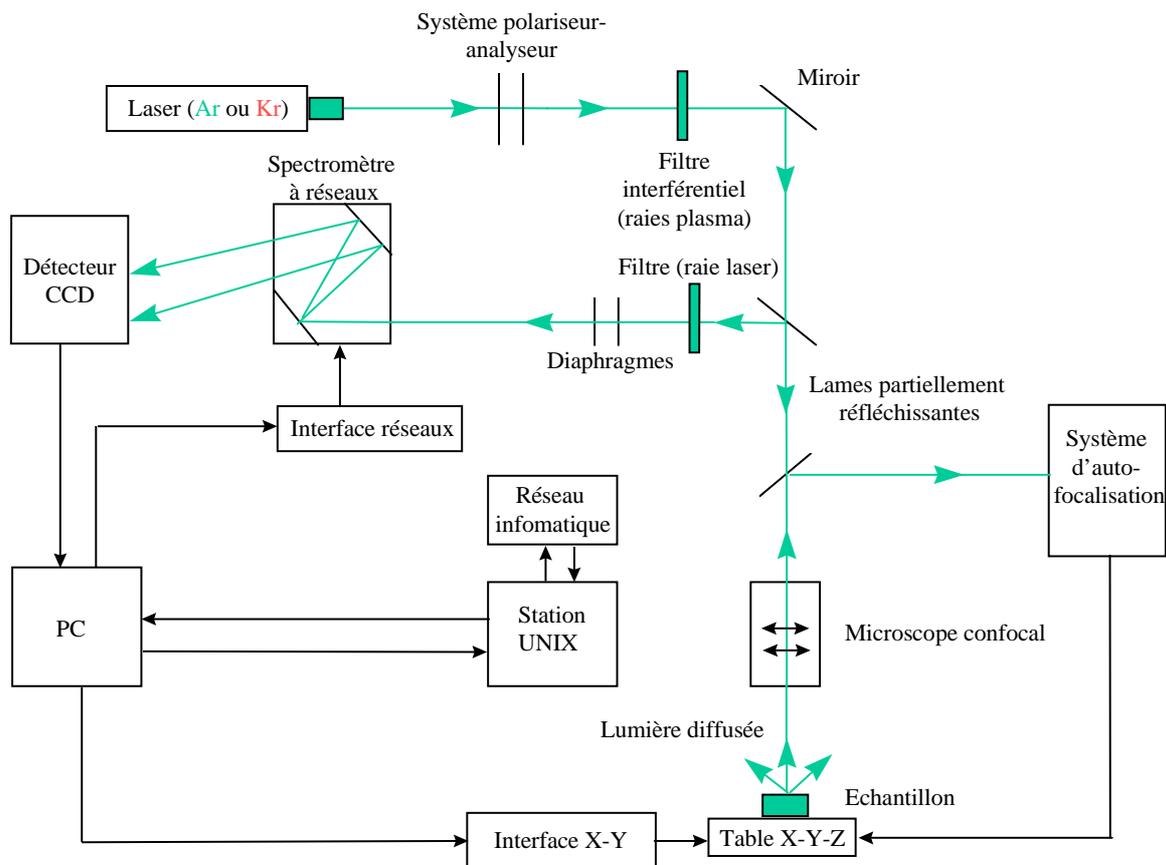


Figure 92. Schéma du dispositif expérimental

La société de caractérisation MC2 implantée à Lille, a menée une étude expérimentale pour UMS [101] dont l'objectif était la détermination de la température de jonction du transistor PPH25X. Les mesures ont été réalisées sur un transistor de développement 12x100μm et la longueur d'onde du faisceau laser utilisé pour les mesures Raman est centrée autour de 632nm.

On retiendra de cette étude que pour un point de polarisation $V_{gs0}=-0.4V$ et $V_{ds0}=8V$ soit une puissance dissipée égale à 1.66W, la température relevée est de 96.5°C sur les doigts du centre du transistor (c'est la valeur moyenne obtenue sur les deux doigts). On calcule la résistance thermique de la manière suivante :

$$R_{th} = \frac{T_{mesurée} - T_{ambiante}}{P_{diss}} = \frac{96.5 - 25}{1.66} = 43.1^{\circ}C/W$$

La même mesure a été effectuée au centre de chaque doigt où le faisceau a été focalisé dans l'espace grille-drain (*Figure 93*).

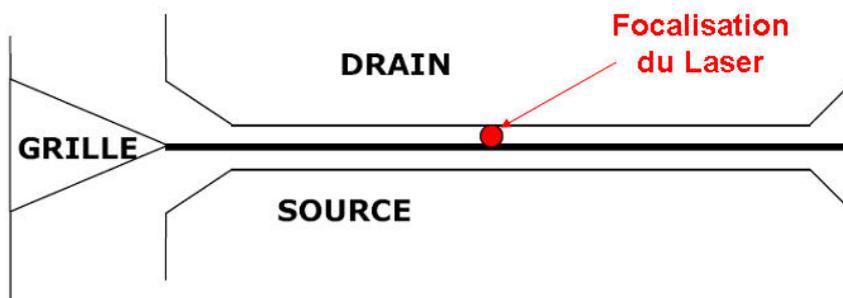


Figure 93. Agrandissement de la zone mesurée par le Raman

Le graphique ci-dessous présente l'évolution de la température mesurée obtenue pour la puissance dissipée de notre point de polarisation en fonction du numéro des doigts (les doigts 6 et 7 étant ceux situés au centre du transistor).

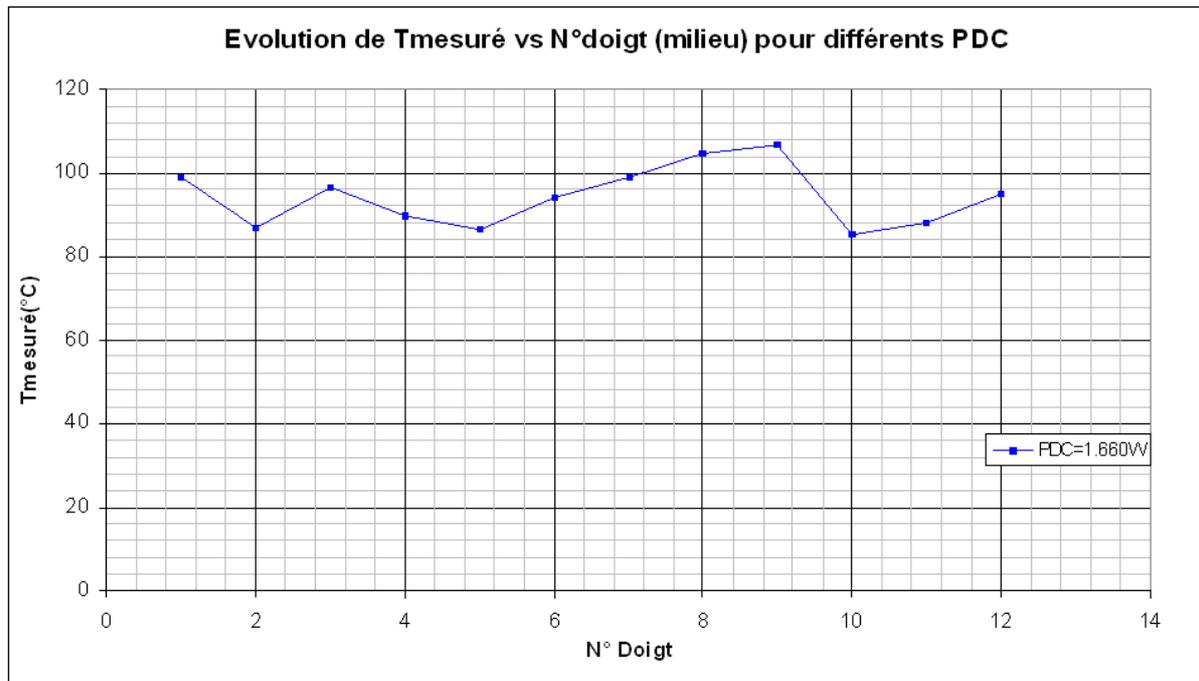


Figure 94. Evolution de la température mesurée en fonction du numéro des doigts

On s'attend à trouver les doigts extérieurs du transistor nettement moins chauds que les doigts du centre, ce n'est pas le cas ici, cette imprécision est sans doute due à la résolution du faisceau. De plus, il est difficile d'observer des différences de température entre chaque doigt étant donné que les valeurs de température sont données à $\pm 10^{\circ}\text{C}$.

D. Simulation thermique de transistors

1. Introduction

Afin d'établir un modèle multi-doigts rigoureux de notre transistor PHEMTs PPH25X, il est nécessaire de connaître précisément l'état thermique de chacun des doigts et donc de faire appel à la simulation thermique 3D. Cette simulation repose sur la résolution de l'équation de diffusion de la chaleur.

Cette équation [94], définie par Fourier en 1807, permet de déterminer la température instantanée en tout point du matériau considéré. Dans le cas d'un simple cube, ou barreau, de semi-conducteur les calculs sont relativement simples à effectuer. Mais dans le cas de structures plus complexes tel qu'un transistor dont les sources de chaleur se situent au niveau

des jonctions Drain-Grille, des phénomènes de couplage thermique compliquent grandement les calculs.

Dans notre cas avec le logiciel de simulation ANSYS, Le calcul de l'ensemble des champs, des potentiels et des gradients de température à l'intérieur du modèle est effectué en utilisant la méthode des éléments finis. Cette méthode nécessite la discrétisation de notre structure (maillage) afin d'obtenir un modèle composé par un assemblage d'éléments finis qui possèdent des formes et des tailles variées. Le principe de cette méthode consiste à résoudre le système d'équations compris dans le domaine de l'élément fini puis regrouper toutes les solutions associées à chaque élément fini pour obtenir une solution unique pour la structure globale. Pour permettre l'analyse du dispositif, le modèle en éléments finis contient un certain nombre d'informations telles que :

- La géométrie discrétisée en éléments finis.
- Les contraintes imposées au dispositif.
- Les excitations du dispositif.
- Les matériaux composant le dispositif.

La *Figure 95* montre un exemple de géométrie discrétisée en éléments finis.

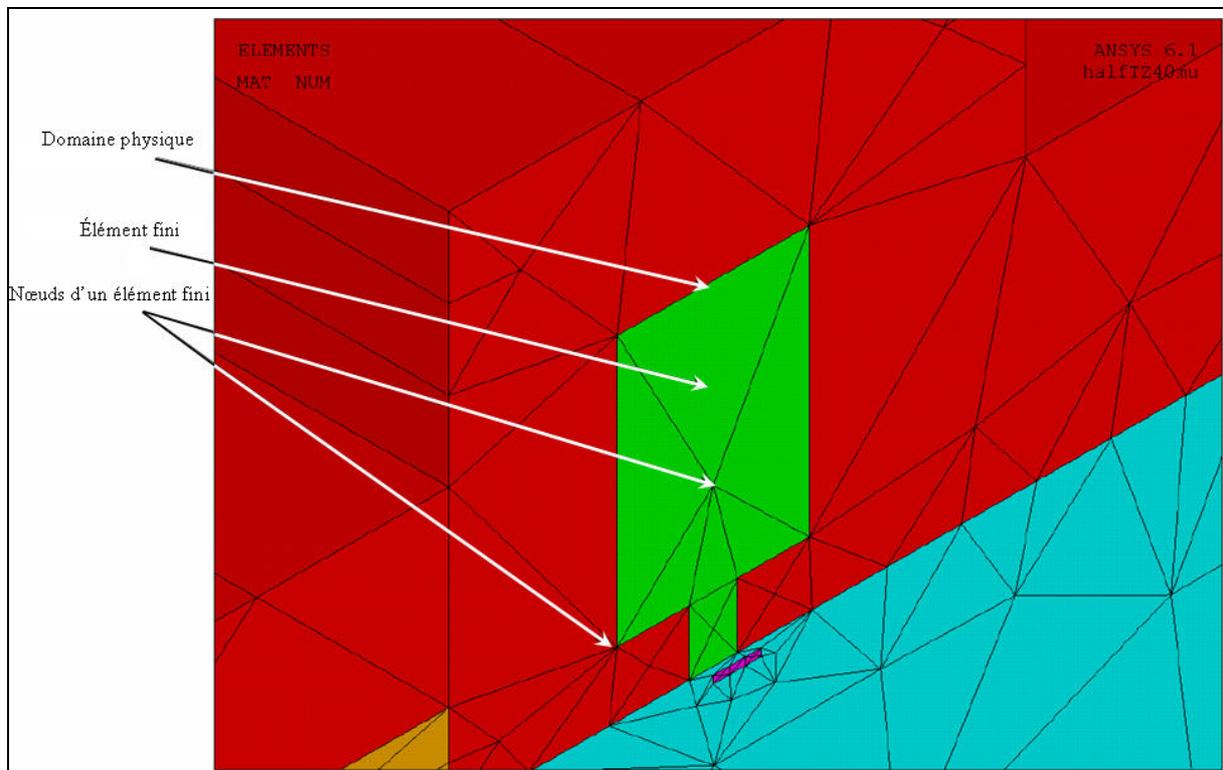


Figure 95. Exemple de discrétisation appliquée à la modélisation d'un transistor de type PHEMT

La décomposition de la structure en sous domaines simples (éléments finis) est automatiquement gérée par le simulateur. Celui-ci réalise un maillage adapté à la structure étudiée, pour nous par exemple le maillage sera plus fin au niveau du canal d'InGaAs car c'est une couche très fine par rapport au substrat AsGa.

2. La simulation 3D ANSYS de la structure PPH25X

a. Introduction

La structure 3D d'un transistor PPH25 et son maillage ont été réalisés par Mr Raphaël Sommet, chargé de recherche au CNRS, dans le cadre d'une étude thermique de transistors PHEMT de puissance UMS.

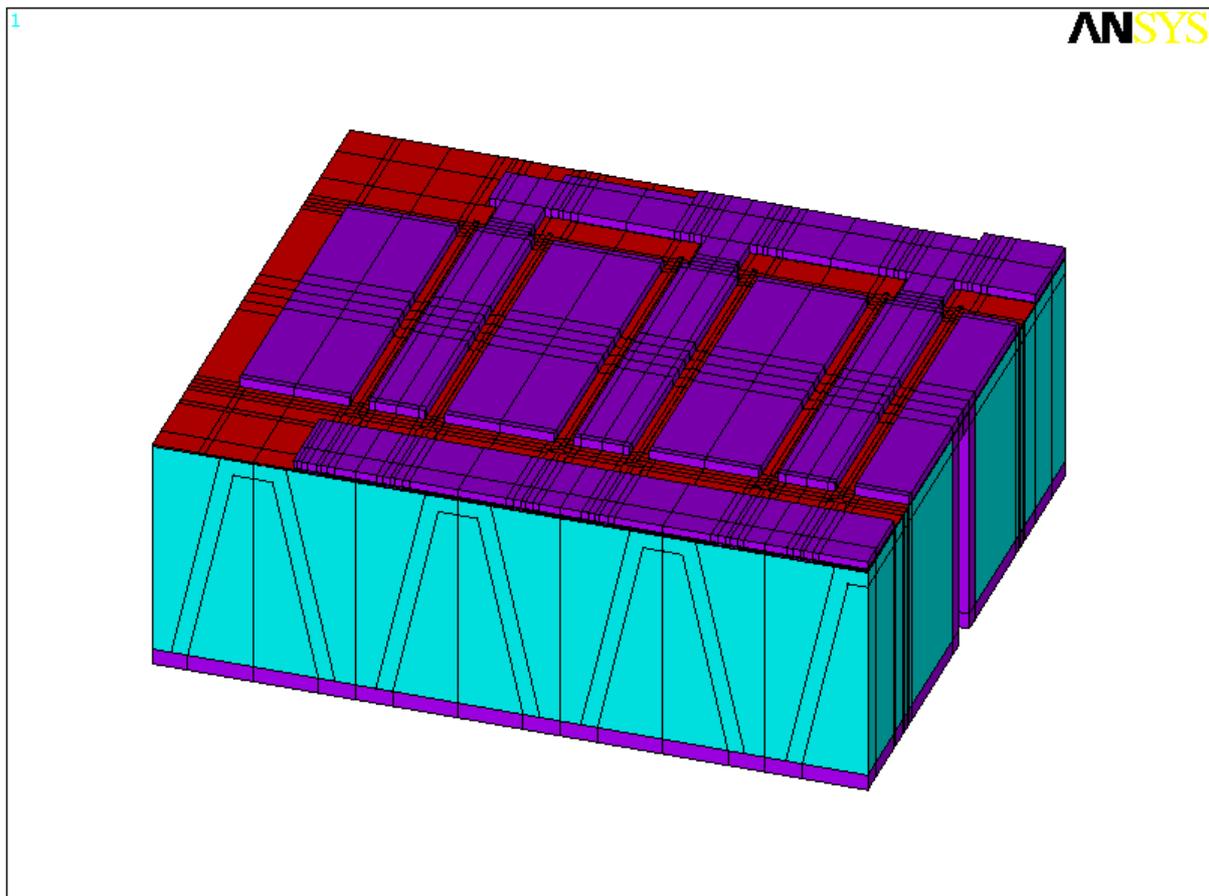


Figure 96. Structure 3D du PPH25

Notre objectif est de réutiliser le travail et la structure 3D du PPH25 déjà réalisé pour une structure PPH25X sans avoir à refaire la structure complète et le maillage. Les deux

filières, PPH25 et PPH25X, se différencient l'une de l'autre seulement par leur couche « buffer » (qui apparaît entre la couche barrière arrière et le substrat).

Le buffer PPH25 est constitué d'un super réseau de type AlAs sous la forme d'une séquence 15 x (AlAs 3nm / GaAs 4nm) en plus d'une couche de 500 nm d'AlGaAs en partant du haut vers le bas. Par contre le super réseau PPH25X est de type AlGaAs et la séquence est 15 x (AlGaAs 18.5nm/ GaAs 1.5nm) plus une couche de 300 nm de GaAs en partant du haut vers le bas.

b. Composition de la structure

Pour simplifier la structure sous la grille, sur les couches formées de plusieurs matériaux, une moyenne est réalisée sur les constantes thermiques au prorata des dimensions de chacun des matériaux constituant la couche. Cette approximation reste réaliste si les couches de matériaux ne sont pas trop fines.

Par contre, pour le super réseau du transistor PPH25X dont les dimensions de ces couches sont inférieures au libre parcours moyen des phonons dans le réseau cristallin, les propriétés de conductivité thermique des matériaux ne peuvent pas s'interpréter par la simple moyenne des conductivités thermiques. Nous avons utilisé pour les conductivités thermiques les résultats issus de la littérature [102],[103],[107]. Cependant il faut noter que la conductivité thermique de super réseaux est dans tous les cas inférieure à la conductivité respective des matériaux utilisés. De plus cette conductivité dépend très fortement des phénomènes de dispersion existant aux interfaces entre les couches du super réseau, et donc des états de surfaces.

L'étude se porte sur le transistor de la filière PHEMT PPH25X constitué de 12 doigts de grille de 100 μ m de largeur. La masse remonte jusque dans chacune des sources du transistor par l'intermédiaire de trou métallisé (via hole), comme le montre la représentation suivante.

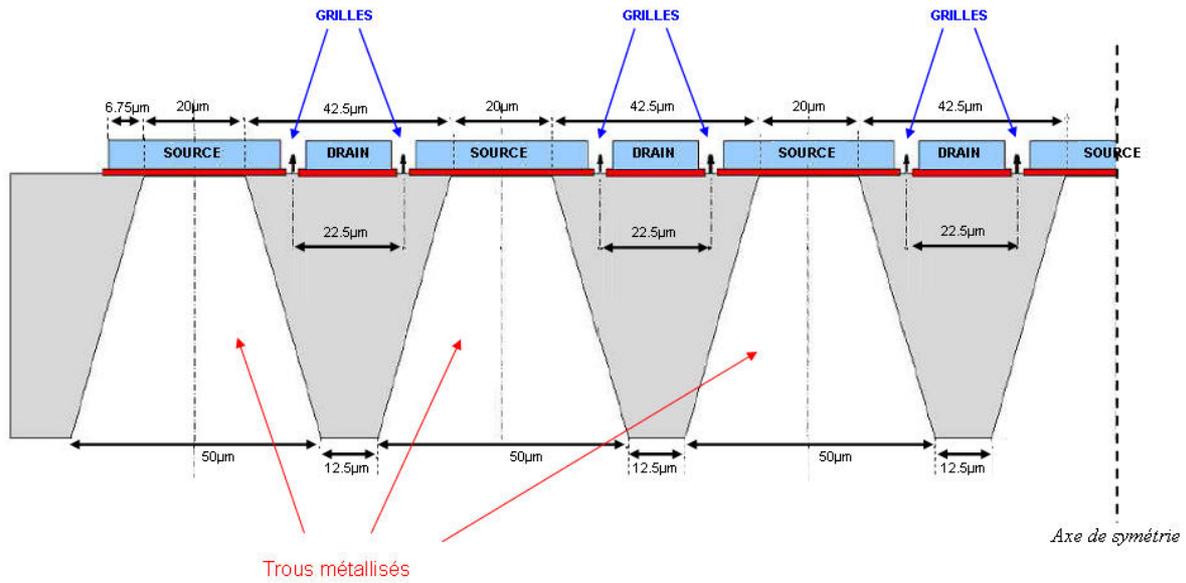


Figure 97. Section et cotation de la moitié d'un transistor 12x100 PPH25X

La moitié du transistor est modélisé dans le logiciel, mais on applique une condition de symétrie au niveau de l'axe.

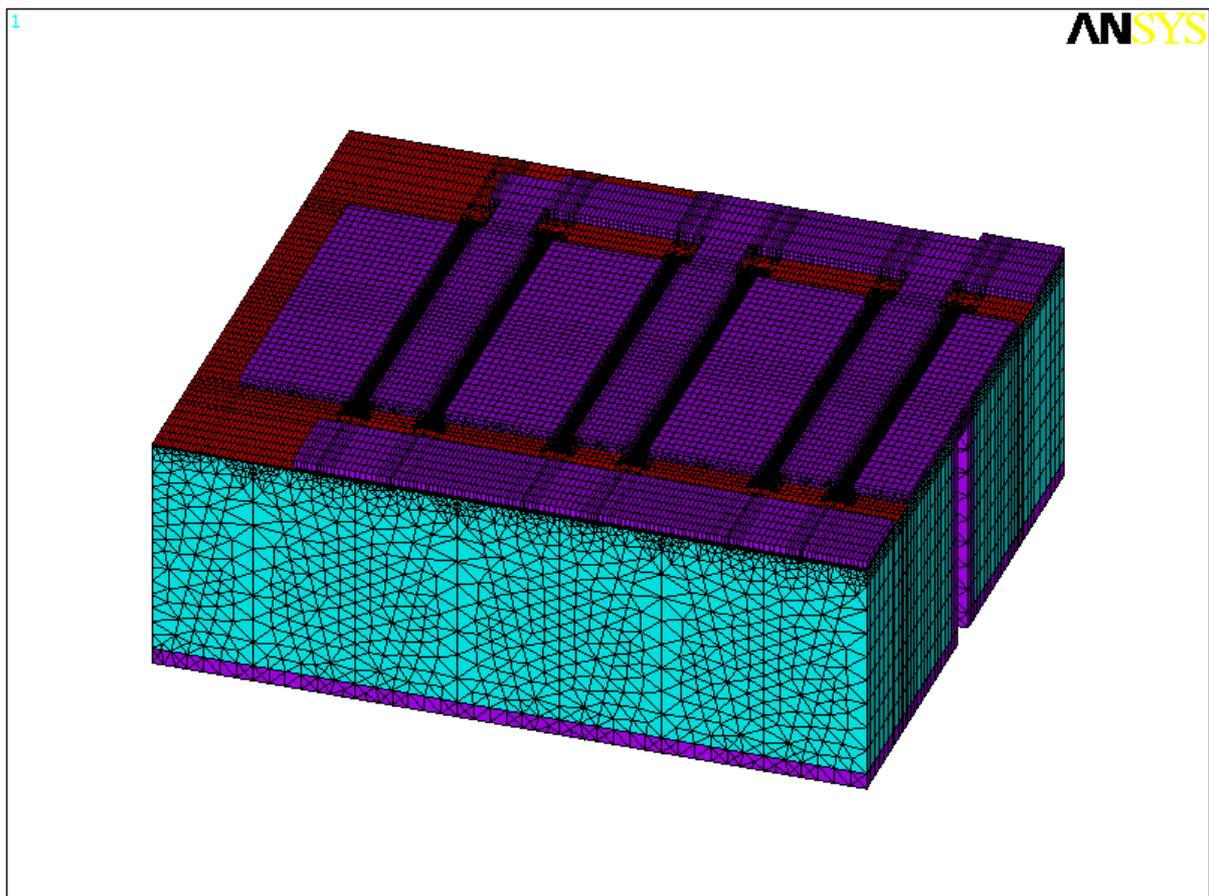


Figure 98. Maillage 3D de la structure PPH25X 12x100

La figure ci-dessus montre le maillage de la structure PPH25X modélisé dans le logiciel de simulation thermique. Cette structure complexe est composée d'environ 500000 nœuds de maillage.

La *Figure 99* permet de visualiser les trous métallisés (« via hole ») qui remonte le potentiel de la face arrière vers les plots de source.

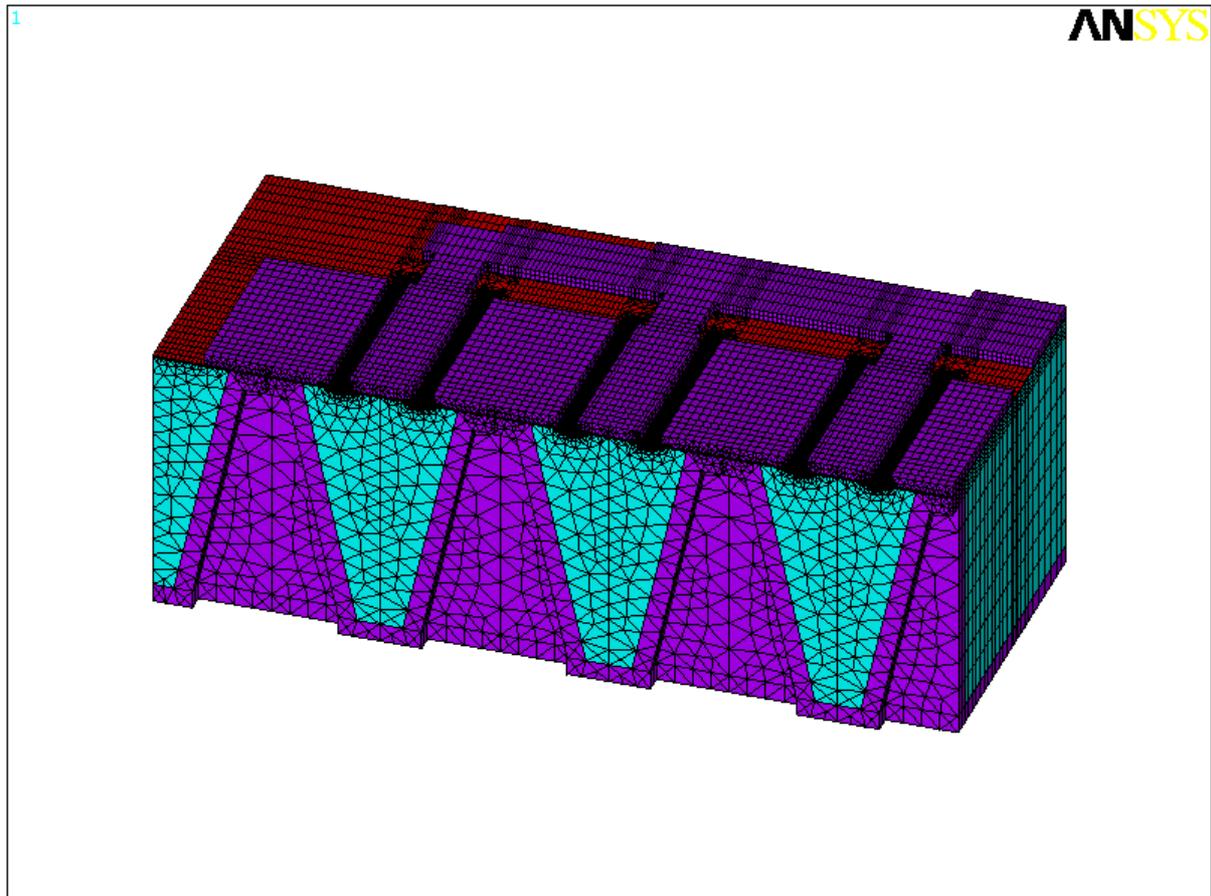


Figure 99. Vue en coupe de la demi-structure maillée

La zone de dissipation de la chaleur (*Figure 100*) pour la structure PPH25X est prise dans le canal entre grille et drain et sur toute la largeur du doigt en accord avec les simulations physiques [108].

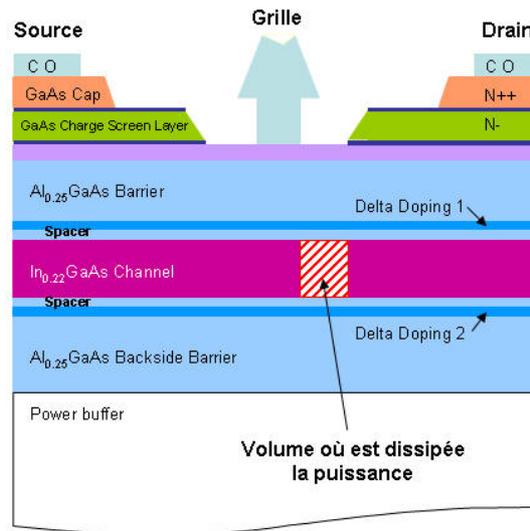


Figure 100. Zone de dissipation de la chaleur

La densité de puissance appliquée sous chaque doigt de grille est de 0.833W/mm et la température imposée sur le fond de la puce est de 27°C.

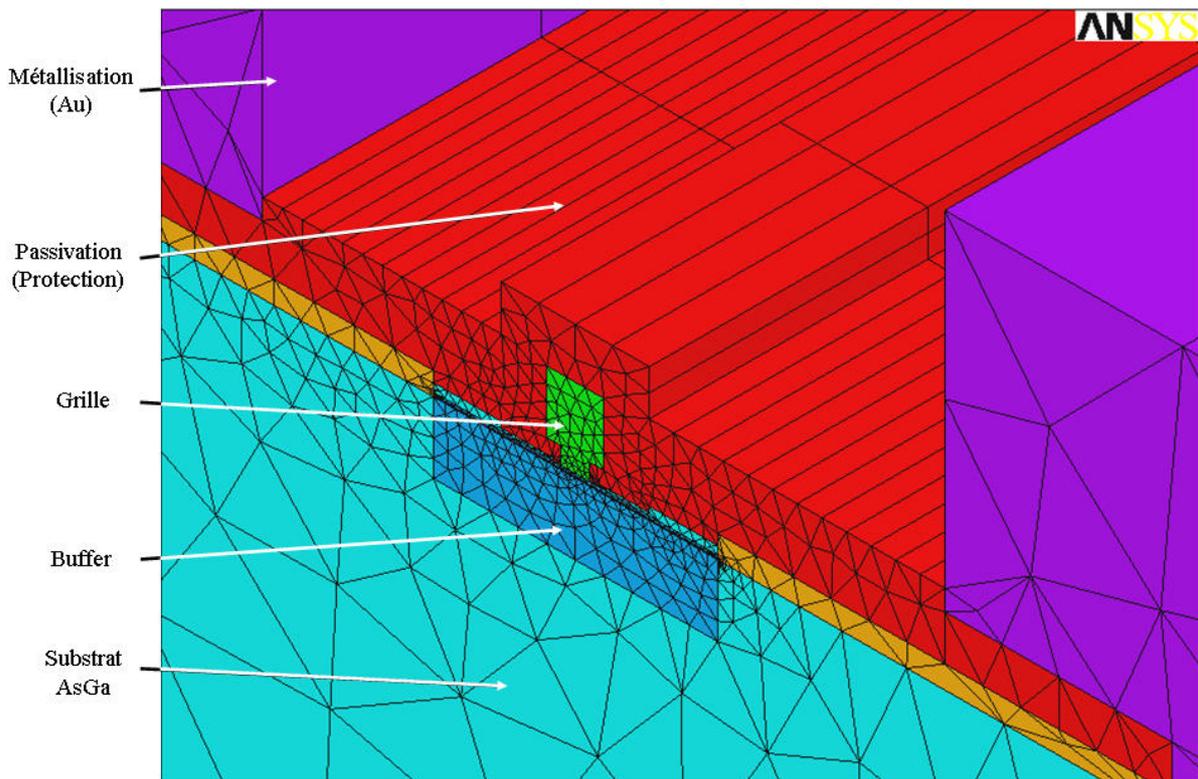


Figure 101. Zoom sur la vue en coupe d'un doigt du transistor

c. Résultat de l'analyse 3D du transistor

Lorsque tous les doigts sont alimentés, il est possible de donner une résistance thermique équivalente du transistor qui le caractérise vis à vis de la puissance injectée et de l'élévation de température.

$$R_{th} = \frac{\Delta T}{P_{diss}} \quad (\text{III-3})$$

Si on injecte une puissance totale dans la structure égale à 1W (soit une densité de puissance de 0.833 W/mm dans chaque doigt), alors la température relevée au point le plus chaud de la structure moins la température de socle, nous donne la résistance thermique équivalente.

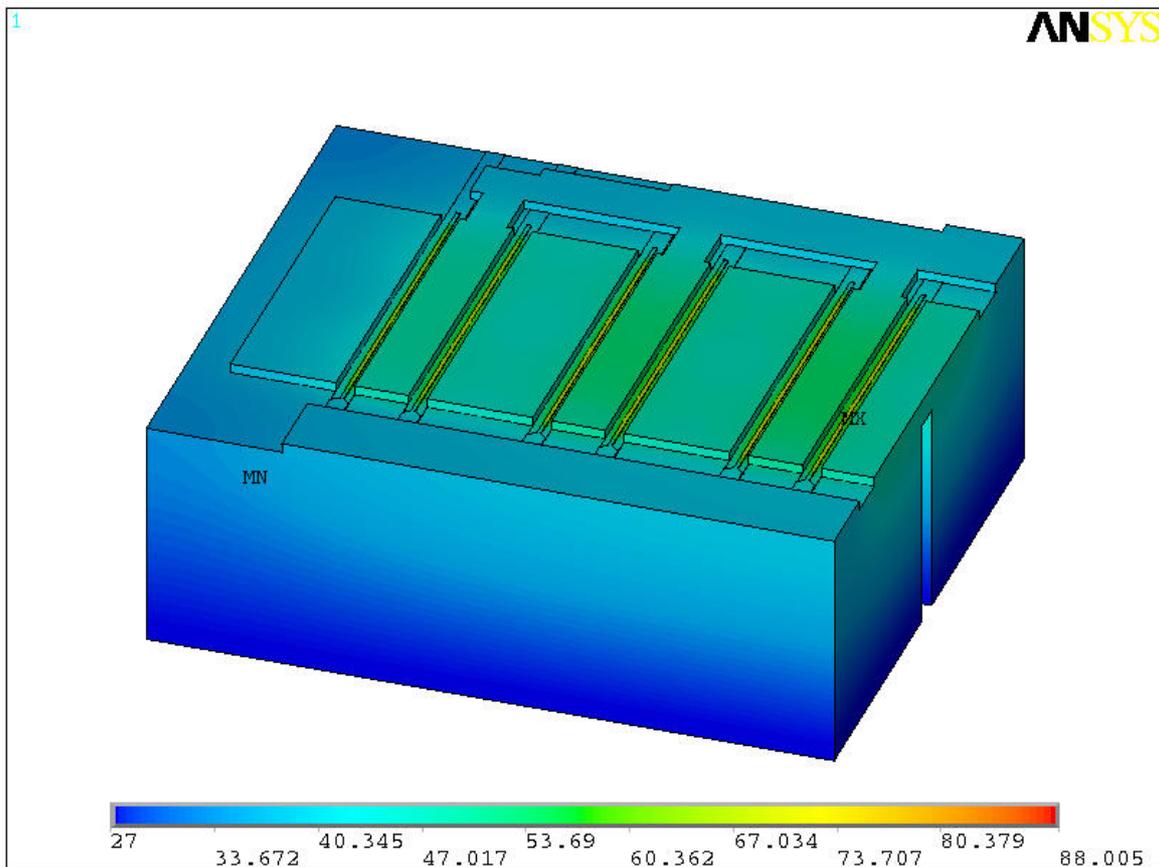


Figure 102. Répartition de la chaleur dans la structure TV 12x100, avec $T_{sole} = 27^{\circ}\text{C}$

La résistance thermique équivalente du transistor qui le caractérise vis-à-vis de la puissance injectée et de l'élévation de température, est alors donnée par la relation suivante :

$$R_{th} = \frac{88.005 - 27}{12 \cdot 100 \cdot 0.833e^{-3}} = 61.005^{\circ}\text{C} / \text{W} \quad (\text{III-4})$$

Remarque1 : il est également possible de récupérer les données par type de matériaux, ce qui nous permet mettre en avant la variation de température dans les vias et dans les doigts de drain et de source (*Figure 103*).

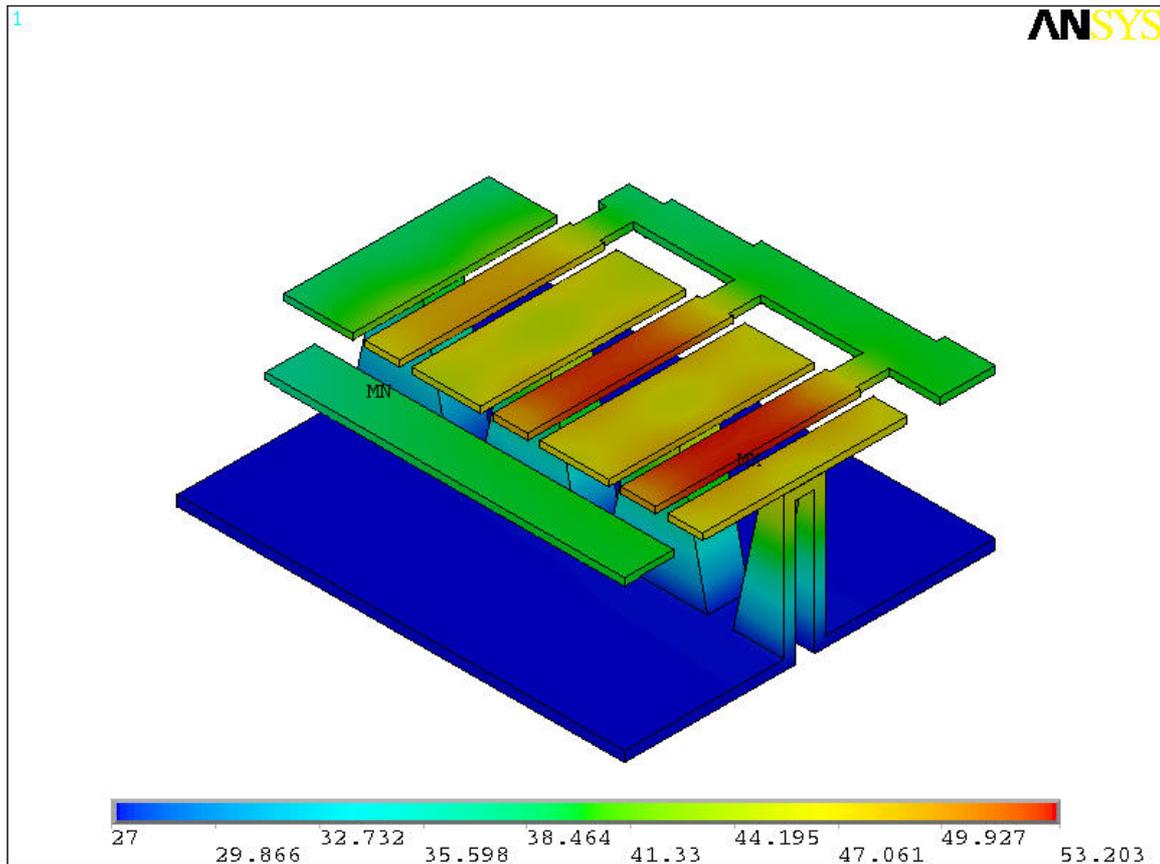


Figure 103. Température sur l'or du transistor

Remarque2 : Le logiciel de simulation est aussi capable d'extraire le temps que met le canal à atteindre la température de jonction imposée par la puissance dissipée injectée. On peut donc définir les constantes de temps d'un circuit thermique RC, mais on peut également se servir des données d'ANSYS pour extraire un circuit équivalent de type SPICE.

E. Comparaison des différentes techniques de détermination de R_{th}

Les techniques utilisées et présentées précédemment n'ont pas été appliquées sur une même taille de transistor. Pour comparer ces résultats, nous considérons une loi d'échelle linéaire pour le passage d'une taille à une autre. Toutes les résistances thermiques sont normalisées par rapport à un transistor 12x100. Par exemple, pour la mesure électrique avec le

courant de grille : on a $Rth_{8 \times 100} = 88.2 \text{ } ^\circ\text{C} / \text{W}$ pour trouver la résistance thermique d'un 12x100, on utilise la relation suivante :

$$Rth_{12 \times 100} = \frac{8 \times 100}{12 \times 100} \cdot Rth_{8 \times 100} \text{ soit } Rth_{12 \times 100} = 58.8 \text{ } ^\circ\text{C} / \text{W} .$$

Le tableau suivant récapitule les différents résultats obtenus :

Méthodes	Courant de grille	Courant de drain	Diffusion Raman	Simulation ANSYS
$Rth_{12 \times 100}$	55.625 $^\circ\text{C} / \text{W}$	58.8 $^\circ\text{C} / \text{W}$	43.1 $^\circ\text{C} / \text{W}$	61.005 $^\circ\text{C} / \text{W}$

Tableau 13. Comparaison des résistances thermiques pour le transistor 12x100 PPH25X suivant les différentes techniques d'analyse thermique

La méthode de diffusion Raman semble être difficile à mettre en oeuvre, de plus la taille du faisceau laser reste encore trop grande par rapport à la dimension de l'espace grille-drain.

La méthode par la simulation thermique avec le logiciel ANSYS est cohérente avec les autres techniques de mesure. Néanmoins il faut noter que la température issue de la méthode ANSYS est la température du point le plus chaud, situé au milieu du canal central, alors que la méthode électrique représente à priori la température moyenne de la zone active, cependant la discussion reste à l'heure actuelle ouverte sur cette hypothèse.

L'avantage de la simulation est la possibilité d'extraire un modèle thermique distribué qui va permettre de dissocier les doigts des un des autres.

Il existe d'autres méthodes de détermination de la résistance thermique, on peut citer la méthode de thermographie à cristaux liquides dont la mise en oeuvre reste délicate, la thermographie infrarouge ou encore la photoréflectance [104][105].

IV. Les modèles thermiques

A. Le modèle thermique multi-cellules RC

1. Analogie thermique-électrique

Grâce au principe d'analogie des grandeurs thermiques et des grandeurs électriques, le modèle thermique est représenté par une impédance thermique, mise sous la forme d'un circuit RC parallèle, excitée par la puissance dissipée représentée par une source de courant.

En effet, si on part du principe que la conductivité thermique K correspond à la conductivité électrique σ d'un barreau semi-conducteur de surface S et d'épaisseur d ; alors il existe une analogie entre la différence de potentiel aux bornes de celui-ci et la différence de température entre ces mêmes bornes lorsque la puissance dissipée P ou le courant électrique I le traverse (Figure 104).

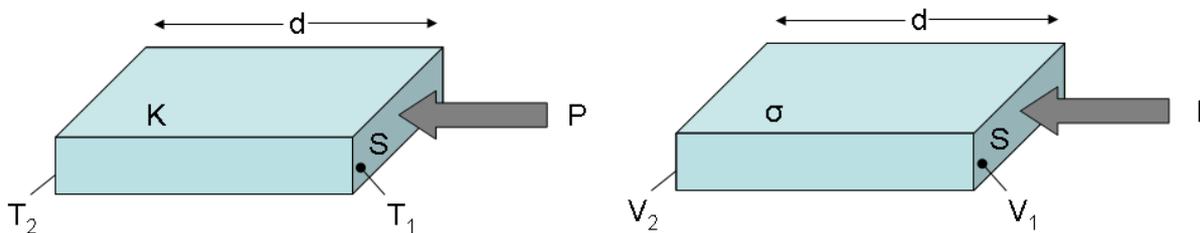


Figure 104. Analogie thermique – électrique

Le Tableau 14 donne l'équivalence complète entre les grandeurs thermiques et électriques et le Tableau 15 montre les relations entre les grandeurs physiques et donne la représentation du circuit d'impédance thermique équivalente.

Grandeurs thermiques			Grandeurs électriques		
T	Température	$^{\circ}\text{C}$	V	Tension	V
J	Flux de chaleur	W/m^2	J	Densité de courant	A/m^2
P	chaleur	W	I	Courant	A
Q	Quantité de chaleur	Joule ou W/s	Q	Charge	Coulomb ou A/s
K	Conductivité	$\text{W}/(^{\circ}\text{C}.\text{m})$	σ	Conductivité	$1/(\Omega.\text{m})$
R_{th}	Résistance	$^{\circ}\text{C}/\text{W}$	R	Résistance	Ω
C_{th}	Capacité	$\text{W}.\text{s}/^{\circ}\text{C}$	C	Capacité	$\text{A}.\text{s}/\text{V}$ ou F

Tableau 14. Définition de l'équivalence des grandeurs thermiques et électriques

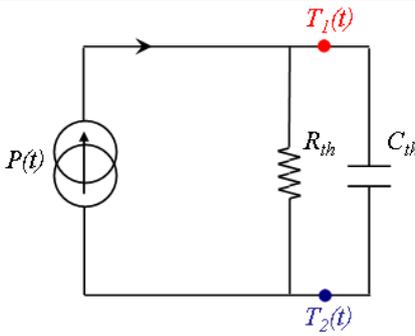
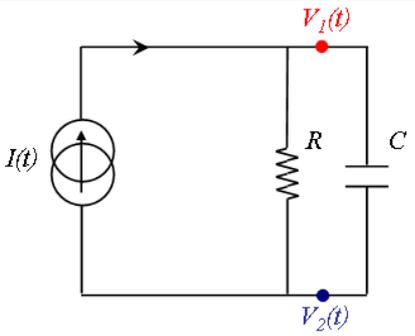
Grandeurs thermiques	Grandeurs électriques
$C_{th} = \frac{dQ}{dT}$	$C = \frac{dQ}{dV}$
$C_{th} = c \cdot \rho \cdot d \cdot S$	$C = \epsilon \cdot \frac{S}{d}$
$R_{th} = \frac{d}{K \cdot S}$	$R = \frac{d}{\sigma \cdot S}$
$Q(t) = \int_0^t P(t) \cdot dt$	$Q(t) = \int_0^t I(t) \cdot dt$
	
$P(t) = \frac{T_1(t) - T_2(t)}{R_{th}} + C_{th} \cdot \frac{d}{dt} (T_1(t) - T_2(t))$	$I(t) = \frac{V_1(t) - V_2(t)}{R} + C \cdot \frac{d}{dt} (V_1(t) - V_2(t))$

Tableau 15. Relations entre les grandeurs physiques et représentation du circuit d'impédance thermique équivalente

2. Détermination de la capacité thermique

La capacité thermique d'un composant de puissance est une donnée importante pour les applications radars par exemple. En effet, les performances des transistors PHEMT se dégradent avec l'augmentation de la température. Sa valeur permet d'évaluer le temps d'échauffement du dispositif au cours des impulsions et de connaître son impact sur les performances du circuit.

Les capacités thermiques sont extraites de la mesure temporelle du courant I_{ds} lors d'une mesure en impulsion.

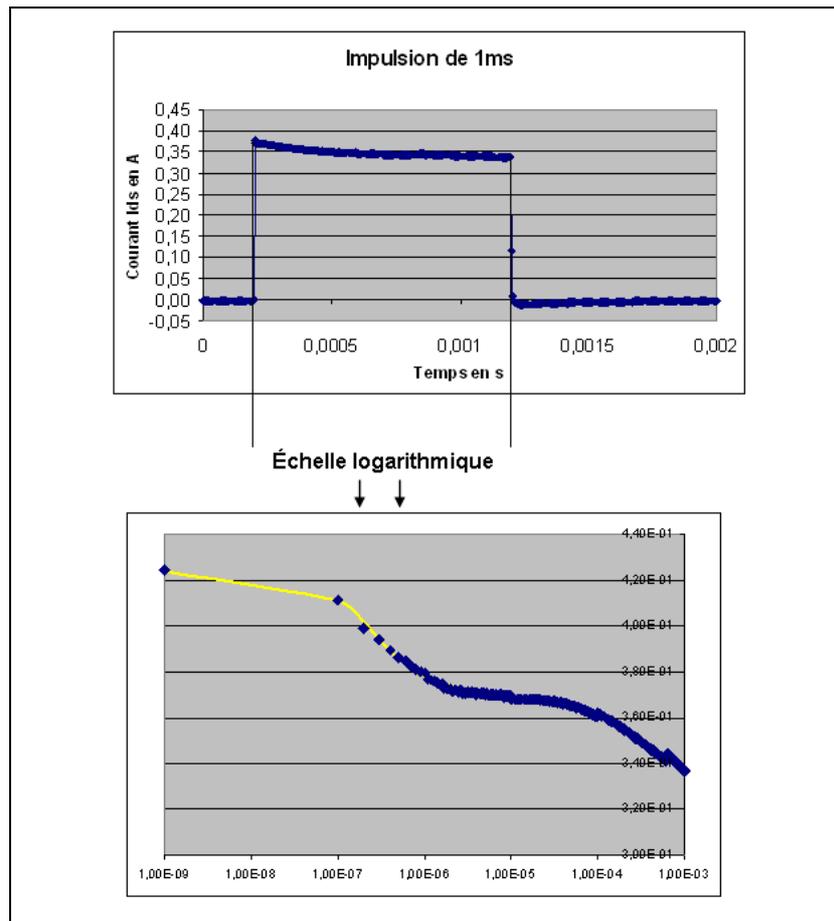


Figure 105. Forme temporelle d'une impulsion du courant I_{ds} lors de la caractérisation d'un transistor en régime dynamique (pulsé)

La mesure exploitée est mise sous la forme logarithmique pour pouvoir facilement déduire les constantes de temps thermiques. En effet, une manière de représenter l'allure du courant de sortie dans le pulse est une fonction à exponentielle négative de la forme :

$$i(t) = I_0 - \sum_{i=1}^n I_i \cdot \left(1 - \exp\left(\frac{-t}{\tau_i}\right) \right) \quad (\text{III-5})$$

Où i correspond au nombre de constantes de temps nécessaires à la modélisation de $i(t)$, I_0 correspond à la valeur du courant au début de l'impulsion, et I_i correspond à la valeur de la décroissance du courant pendant le temps t_i .

Le temps t_i correspond au temps que met le courant I_i pour atteindre son régime établi ($t_i > \tau_i$).

A première vue sur le graphe Figure 105, on peut s'attendre à trouver au moins quatre constantes de temps ; néanmoins dans l'optique d'un compromis précision/simplicité, nous avons estimé que seulement deux constantes de temps étaient nécessaires et suffisaient dans

notre cas afin de déterminer au mieux l'évolution transitoire des performances de notre transistor.

I_0 (A)	I_1 (A)	I_2 (A)
0.424	0.0525	0.04
	τ_1 (s)	τ_2 (s)
	$0.41e^{-6}$	$4e^{-4}$

Tableau 16. Valeurs des différentes constantes de temps

Comme on connaît la résistance thermique, on trouve aisément la ou les capacités thermiques qui collent au comportement transitoire du transistor, grâce à la relation :

$$\tau_{th} = R_{th} \cdot C_{th} \quad (III-6)$$

3. Le modèle multi-cellules dans le simulateur circuit

a. La Température au point de repos :

On remarque pour des réseaux I(V) tracés à plusieurs températures (par exemple sur la *Figure 125*) que le point de polarisation va varier avec la température ambiante. Le point de repos correspond à une puissance dissipée $P_{diss} = I_{ds0} \cdot V_{ds0}$ or le courant de repos évolue avec la température ambiante T_a (*Figure 106*).

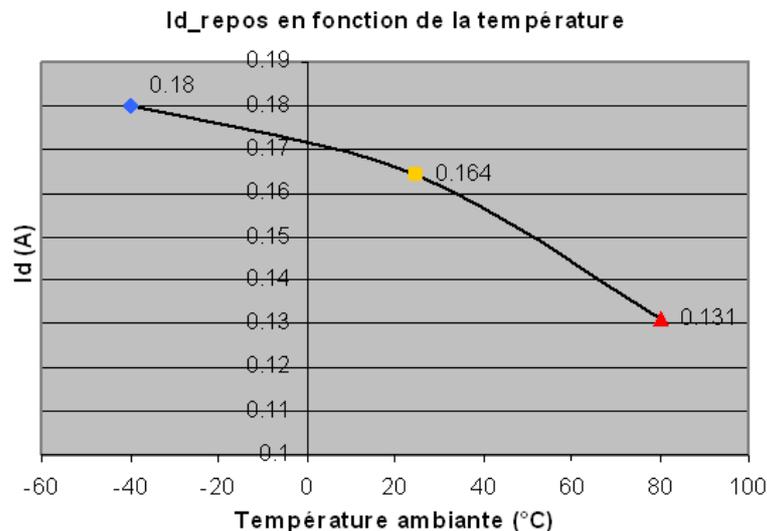


Figure 106. Courant de repos mesuré en fonction de la température ambiante pour un transistor 12x100

Il faut donc prendre en considération cette variation du courant moyen dans le calcul de la température de jonction :

$$T_j = T_a + \Delta T \text{ avec } \Delta T = R_{th} \cdot P_{diss}(T_a) \text{ et } P_{diss}(T_a) = I_{ds0}(T_a) \cdot V_{ds0}$$

Pour nous $I_{ds0}(T_a)$ est un polynôme de degré 2.

b. Le circuit thermique

Le modèle électrique qui représente le comportement thermique d'une succession de couches semiconductrices est donné sous la forme suivante :

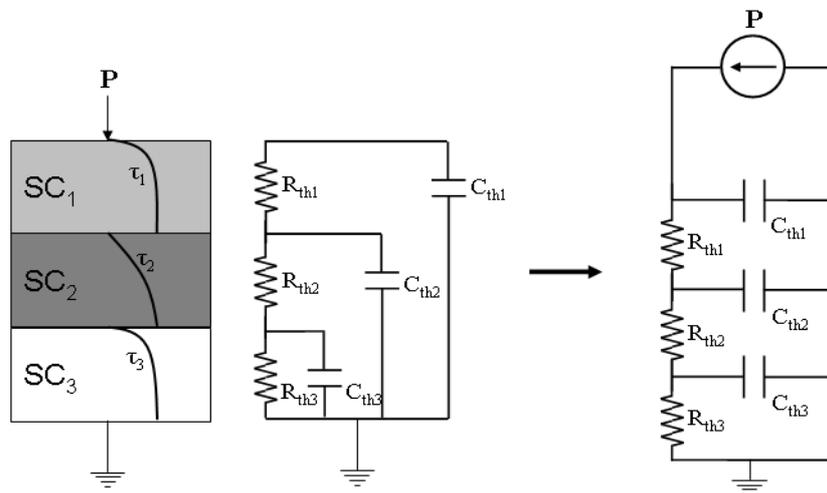


Figure 107. Circuit Electrothermique équivalent pour un dispositif électronique constitué de trois matériaux semiconducteur

Ce schéma équivalent peut être mis sous la forme de cellule RC en série. Cette architecture en cellule n'est pas une représentation **physique** du problème, néanmoins elle présente l'intérêt d'être extraite facilement car les éléments R_{th} et C_{th} sont donnés directement par les mesures réalisées précédemment. En effet, la résistance thermique est extraite par la méthode électrique du courant de drain et les deux constantes de temps thermiques sont déduites de l'allure temporelle de l'impulsion (celles-ci nous permettent de choisir les capacités adéquates). Dans notre cas, on retiendra un schéma électrothermique composé de deux cellules RC en série.

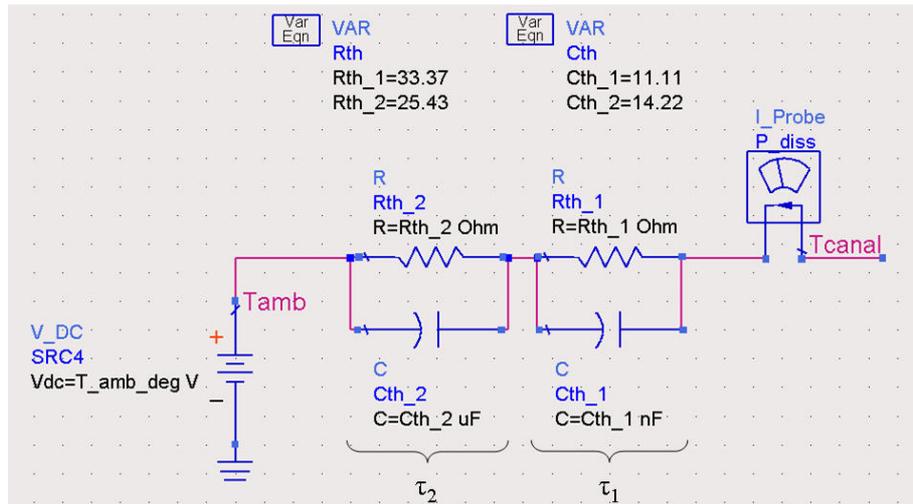


Figure 108. Circuit thermique ADS pour le transistor PPH25X

Le paramètre d'entrée du circuit est la puissance dissipée, le paramètre de sortie est la température de jonction (appelée aussi température de canal).

La température du canal sera alors prise en compte dans les équations des éléments dépendant de la température dans le schéma équivalent du transistor.

B. Le modèle thermique réduit distribué

Les simulations 3D avec le logiciel ANSYS ont fait apparaître une différence de température entre les doigts. Quantifier cette différence dans les logiciels de CAO permettrait d'évaluer la différence de performance entre chaque doigt et vérifier l'impact de cet écart au sein des composants MMIC (Microwave Monolithique Integrated Circuit).

Cette analyse passe par la transformation du modèle physique complet généré par la méthode des éléments finis en un modèle beaucoup plus simple. En effet, le modèle physique extrait par ANSYS nécessitent un maillage relativement dense ce qui engendre des systèmes matriciels d'ordre élevé difficilement implantables directement dans les simulateurs de circuits électriques. Il faut donc réduire l'ordre des matrices en conservant une bonne précision des résultats. La méthode utilisée est la technique de réduction des vecteurs de Ritz.

1. Technique de réduction

a. Principe [110]

Les méthodes de réduction se basent sur l'expression d'un système de dimension réduite m (sous-espace) par rapport au système originel de dimension n en conservant la précision des phénomènes décrit au sein du composant [112][113]. L'équation de la chaleur discrétisée d'un système s'exprime sous la forme matricielle suivante :

$$M \cdot \dot{T} + K \cdot T = F \quad (\text{III-7})$$

M est la matrice de masse.

K est la matrice de rigidité ou de raideur.

F est le vecteur de flux d'injection de puissance et de flux sur les surfaces.

T est le vecteur des températures.

Les matrices M et K sont supposées indépendantes de la température. L'équation de la chaleur discrétisée (III-7) est alors considérée linéaire comme un système du premier ordre.

Le passage vers le sous-espace s'effectue par une projection du vecteur des températures T de dimensions $(n \times 1)$ de l'espace originel sur le vecteur des températures T_r de dimensions $(m \times 1)$ dans l'espace réduit. Cette projection s'effectue grâce une base de vecteurs de Ritz Φ_m de dimension $(n \times m)$ telle que $m \ll n$.

$$T = \Phi_m \cdot T_r \quad (\text{III-8})$$

Les vecteurs de Ritz sont des vecteurs orthogonaux mais non orthogonaux aux vecteurs d'excitation de manière à ne pas perdre de modes importants faisant partis de la réponse du système [114][115].

En remplaçant T par $\Phi_m \cdot T_r$, l'équation de la chaleur peut se mettre sous la forme :

$$M_r \cdot \dot{T}_r + K_r \cdot T_r = F \quad (\text{III-9})$$

avec $M_r = M \cdot \Phi_m$ et $K_r = K \cdot \Phi_m$.

La transformée de Fourier permet d'exprimer l'équation (III-9) dans le domaine fréquentiel puis de définir l'impédance thermique réduite Z_{th} associée telle que :

$$T(\omega) = Z_{th}(\omega) \cdot F(\omega) \quad (\text{III-10})$$

b. Procédure de génération de l'impédance thermique réduite équivalente

L'implantation de l'impédance thermique réduite Z_{th} peut s'effectuer par l'intermédiaire d'un fichier netlist de type SPICE généré par une routine créé par le laboratoire Xlim [116][117].

En premier lieu, les matrices M , K et F sont extraites sous forme de deux fichiers binaires à partir du logiciel ANSYS [118] :

- Un fichier « model.full » : ce fichier binaire stocke les informations de charge (densité de puissance dissipée), les conditions de Dirichlet (température de fond de socle), toutes les équations de contraintes et la matrice de rigidité K .
- Un fichier « model.emat » : ce fichier binaire stocke toutes les composantes du système matriciel non considérées par le fichier « model.full ».

Remarque : la taille de ces fichiers nécessite une capacité de stockage importante surtout pour le fichier « model.emat » qui considère tous les degrés de libertés du système à tous les nœuds. Dans notre cas, la complexité de la demi-structure PPH25X implique la génération de fichiers dont la capacité totale se situe autour de 1,5Go.

De plus, un assemblage des matrices est nécessaire afin d'appliquer la procédure de réduction des vecteurs de Ritz sur le système d'équations différentielles. Ces fichiers sont assemblés autour de nœuds sélectionnés grâce à l'application Mor4ansys [119] qui extrait les matrices M , K et F du système linéaire de l'équation de la chaleur.

Le programme de réduction (développé par Xlim) génère ensuite un fichier « netlist » incluant l'impédance thermique réduite normalisée par rapport au vecteur d'excitation F .

c. Ordre de réduction du modèle

Cette étape consiste à définir le nombre de vecteurs de Ritz permettant une modélisation suffisamment fine des performances en régimes établi et transitoire. Plus le nombre de vecteurs est grand, plus le comportement transitoire du modèle sera précis, mais en contre partie, le modèle sera gourmand en termes de ressources et de temps de calcul. Un modèle à un vecteur de Ritz suffit à prendre en compte le régime établi.

Le modèle réduit choisi est celui à 10 vecteurs de Ritz.

d. Intégration du modèle sous ADS

La procédure de réduction permet de créer un fichier « netlist » définissant l'impédance thermique réduite $Z_{th,r}$ normalisée. L'importation de ce fichier sous ADS génère automatiquement une « boîte » dans laquelle se trouve le schéma de circuit équivalent SPICE (*Figure 109*).

Ce modèle prend en compte le couplage thermique entre les différents doigts du transistor. Les variables d'entrée sont les puissances dissipées par chaque doigt et la température de socle appliqué au fond de la puce. En sortie, le modèle est capable de nous donner les températures de jonction (au niveau du canal, là où la puissance dissipée est la plus élevée) pour chacun des doigts.

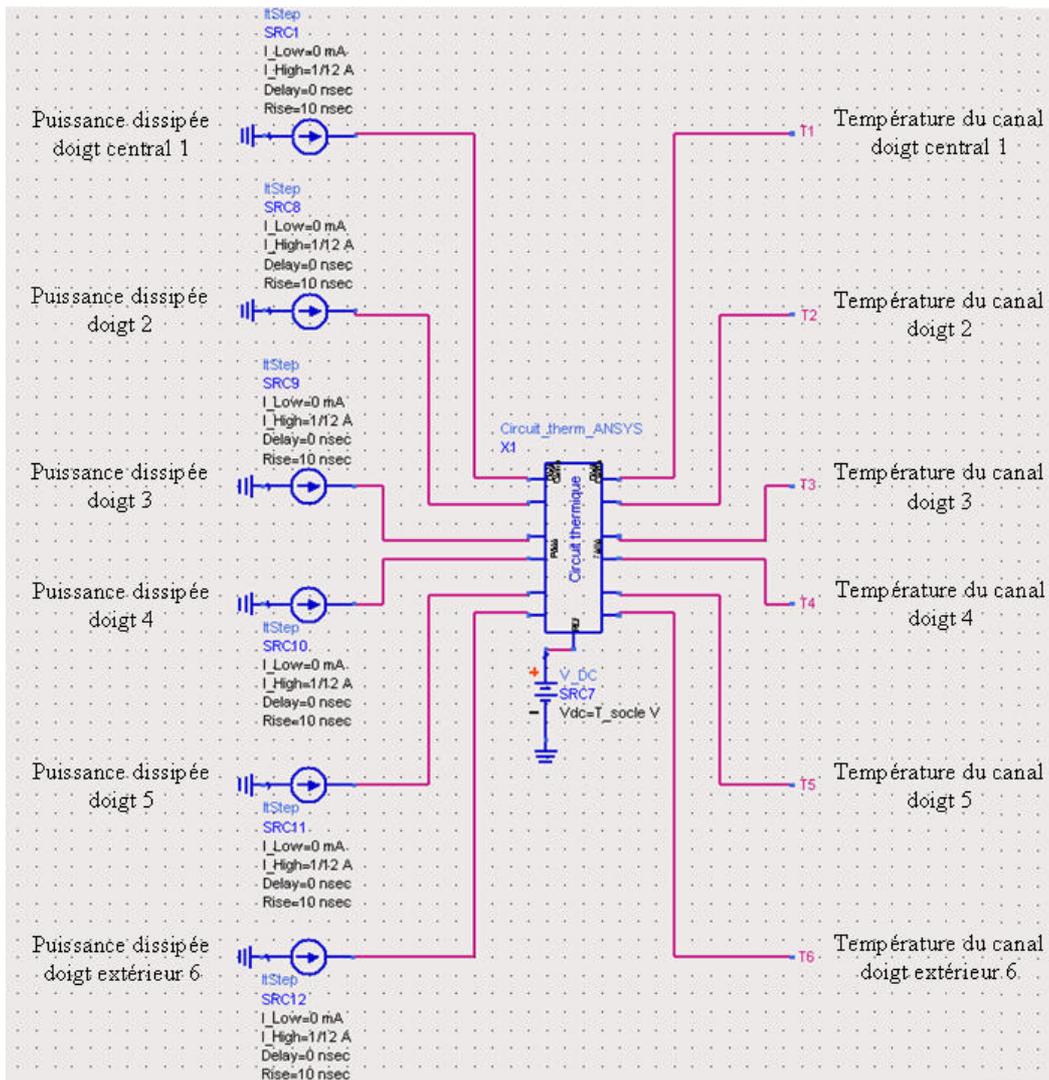


Figure 109. Simulation en transitoire du réseau thermique distribué

L'intérêt est donc de modéliser simplement la répartition de la température dans le transistor lorsque celui-ci est en fonctionnement ainsi que son comportement transitoire. La Figure 110 montre le comportement thermique du circuit lorsqu'une puissance dissipée globale de 1W est appliquée au transistor. La simulation est réalisée avec une température de socle de 25°C.

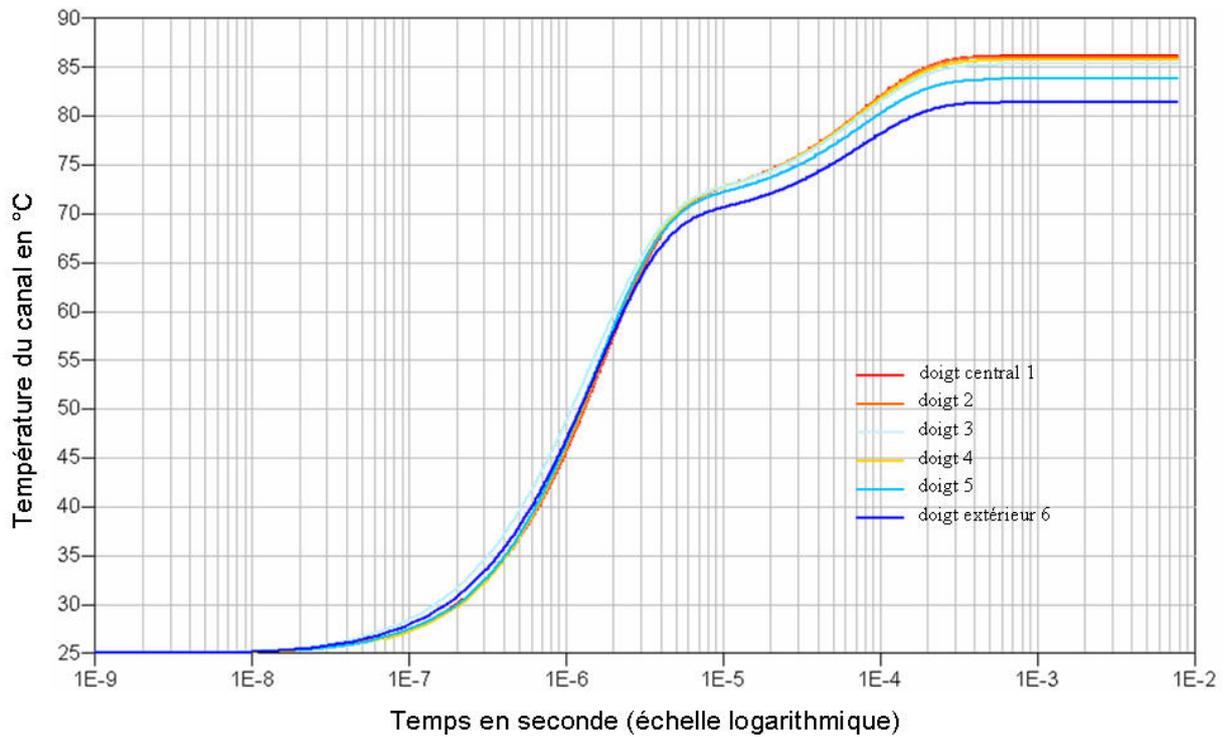


Figure 110. Comportement thermique du modèle lorsqu'on applique la même puissance sur chaque doigt correspondant à une puissance dissipée globale de 1W

Dans le logiciel de simulation thermique ANSYS, graphiquement le couplage entre les doigts du transistor est visible (Figure 111). Le modèle réduit extrait de ces simulations prend donc naturellement en compte ces phénomènes.

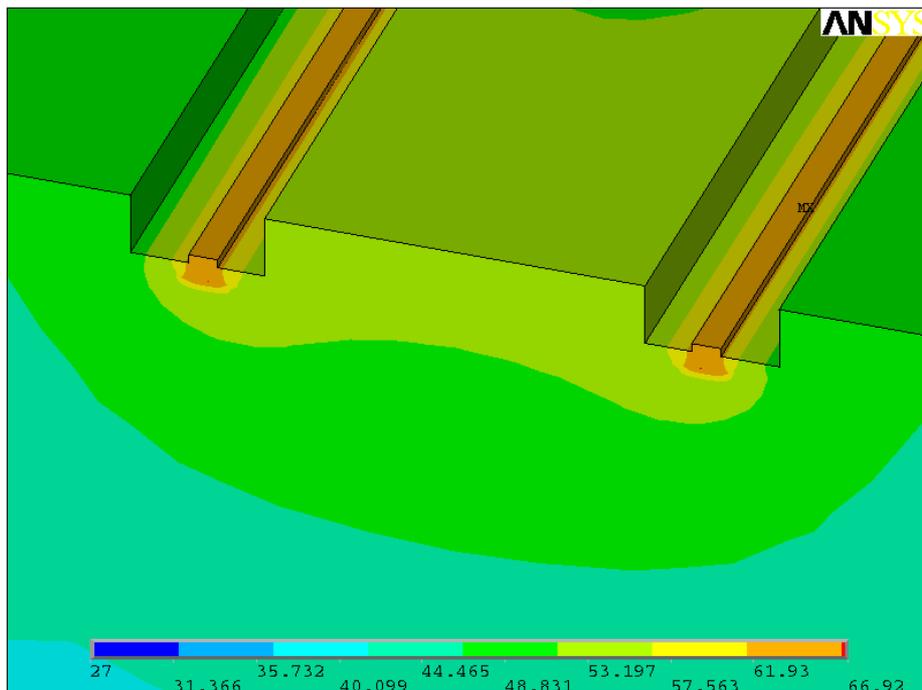


Figure 111. Mise en évidence du couplage entre les doigts dans ANSYS

2. Distribution du modèle

La distribution dans la modélisation de transistor a deux objectifs majeurs :

- Une meilleure compréhension du fonctionnement interne du transistor. Cet aspect s'appuie généralement sur **une modélisation physique** faisant intervenir les lois propres aux semi-conducteurs, à la **thermique**, à l'électromagnétisme et à la physique quantique. Cette approche fournit également une aide aux technologues.
- Une meilleure prédiction des performances électriques du transistor. Elle tire profit d'un plus grand nombre de phénomènes physiques pris en compte ou bien mieux modélisés. Il s'agit principalement de topologies électriques dans lesquelles, parfois, certains aspects électromagnétiques sont intégrés. Ce type de modélisation est plus destiné au concepteur de circuit. Cette meilleure prédiction se fait souvent au détriment de la complexité du processus d'extraction ainsi que par une diminution de la souplesse d'utilisation en C.A.O.

Nous ne cherchons pas ici à obtenir un modèle plus précis sur le plan électrique, par contre la distribution de notre modèle va nous permettre de savoir la température associée à chacun des doigts.

Pour ce faire, nous devons connaître la puissance dissipée pour chacun des douze doigts. Il faut donc disposer en parallèle 12 transistors de 1 doigt et les relier au modèle thermique réduit. De plus, il est nécessaire de s'assurer de la bonne distribution des selfs modélisant les « via hole » c'est-à-dire les trous sous la source qui ramène la masse en montage source commune.

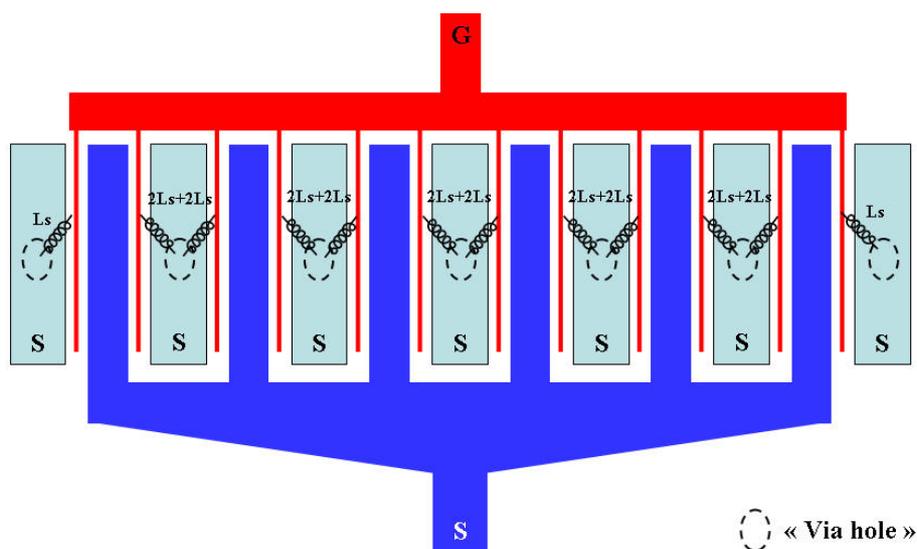


Figure 112. Représentation de la distribution des selfs de via

Dans notre étude, seuls les doigts extérieurs ont leur propre trou. Les doigts intérieurs se partagent les selfs de via par groupe de deux (*Figure 112*).

Le modèle complet distribué dans ADS est représenté ci-dessous.

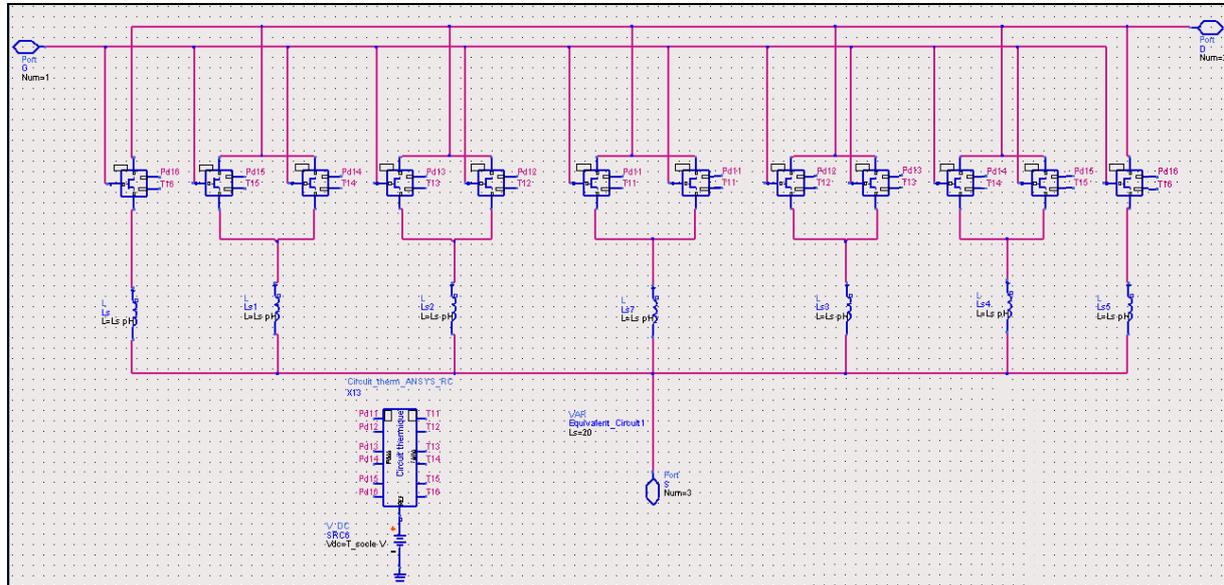


Figure 113. Modèle distribué dans ADS du transistor 12x100 PPH25X

Avec ce modèle on connaît la température correspondante à chacun des doigts.

V. Caractérisation de la dépendance thermique des éléments du modèle

Cette caractérisation est effectuée à partir de mesures I(V) et de Paramètres [S] pulsés mesurés à différentes températures sur le banc DIVA disponible à UMS et sur le banc de caractérisation du laboratoire de recherche Xlim à Brive-la-gaillarde. La tension de repos choisie est la tension typiquement utilisée pour cette filière, $V_{gs0} = -0.4V$ et $V_{ds0} = 8V$. Pour un transistor 12x100 par exemple, ce point de repos correspond à une puissance dissipée de 1.3W et donc un ΔT d'environ $78^{\circ}C$ qu'il faudra prendre en compte dans le modèle.

A. Objectif de la caractérisation

Cette caractérisation a pour objectif la modélisation des PHEMTs de puissance de type PPH25X en température, c'est à dire trouver des éléments qui pourraient varier en fonction de

la température dans ces transistors et modéliser cette dépendance par des équations en relation avec la température de jonction donnée par le circuit thermique.

B. Extraction des éléments intrinsèques à partir des paramètres [S] mesurés en température

Les mesures se sont portées sur un transistor 12x100 et sur un transistor 4x75. Pour mettre en évidence les variations des paramètres en fonction de la température, les transistors sont mesurés à un V_{dsi} constant égal à 6V et un V_{gsi} qui varie de -1.6V à 0.8V par pas de 0.1V, pour 5 températures différentes : -25, 0, 25, 50 et 75°C. Les paramètres [S] sont mesurés pour des fréquences variant de 2 GHz à 40 GHz.

Nous décidons de présenter les résultats obtenus sur le plus petit des transistors (4x75).

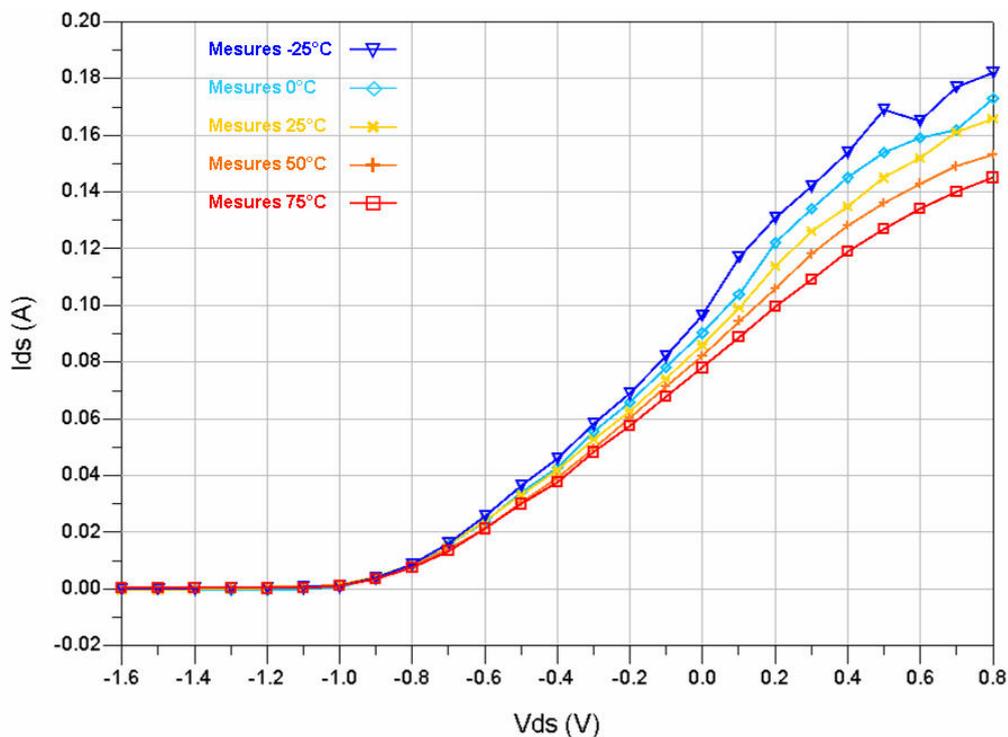


Figure 114. Comparaison du courant de drain à différentes températures

Le courant de drain aux différentes températures de chuck est représenté Figure 114. Nous constatons l'absence de dérive au niveau de la valeur de la tension de pincement et l'augmentation de l'amplitude du courant lorsque la température diminue.

L'extraction des éléments du modèle linéaire a été réalisée à la fréquence 4 GHz, selon la méthode de « l'extraction directe » dont le principe est exposé dans le chapitre précédent. Les éléments sont donnés ci-dessous en fonction de la température :

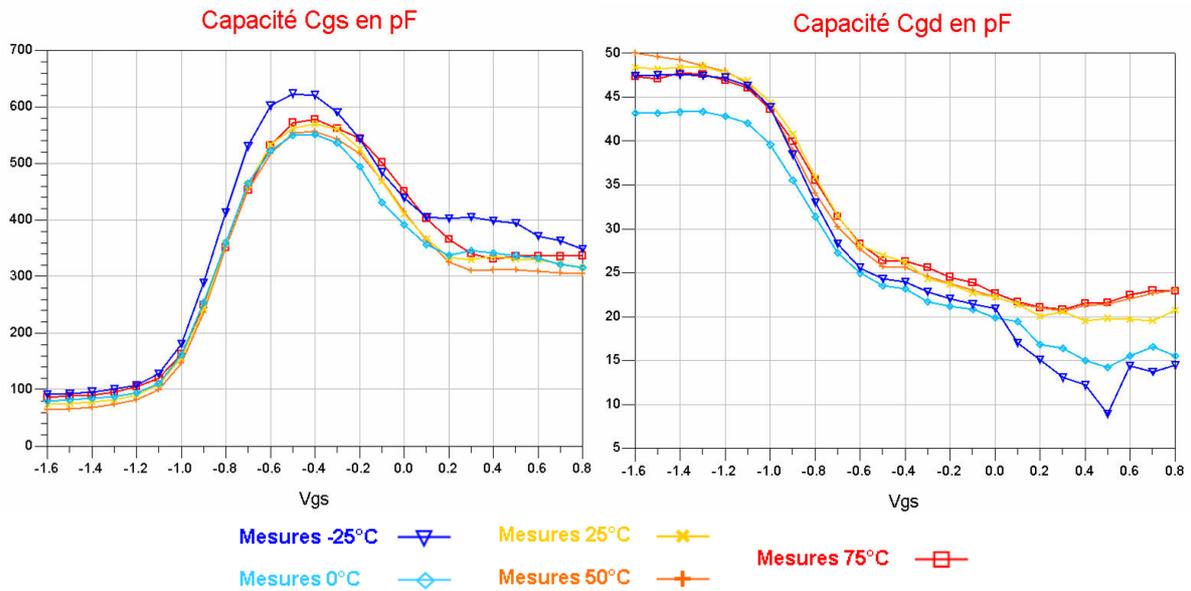


Figure 115. Extraction des paramètres intrinsèques C_{gs} et C_{gd} , en fonction de la température

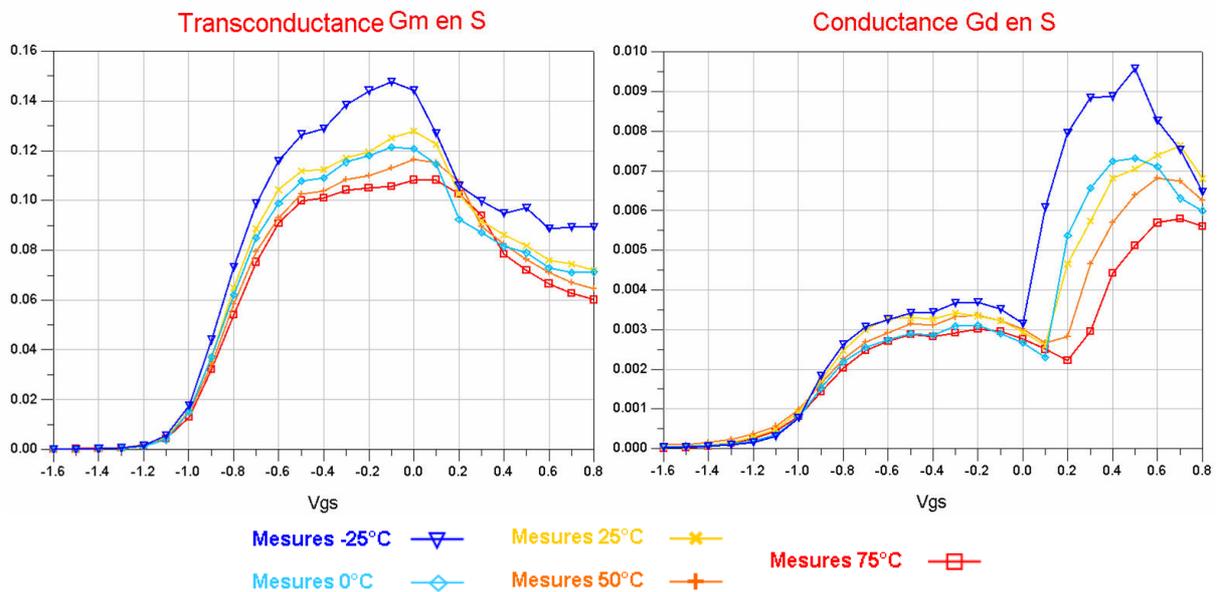


Figure 116. Extraction des paramètres intrinsèques G_m et G_d , en fonction de la température

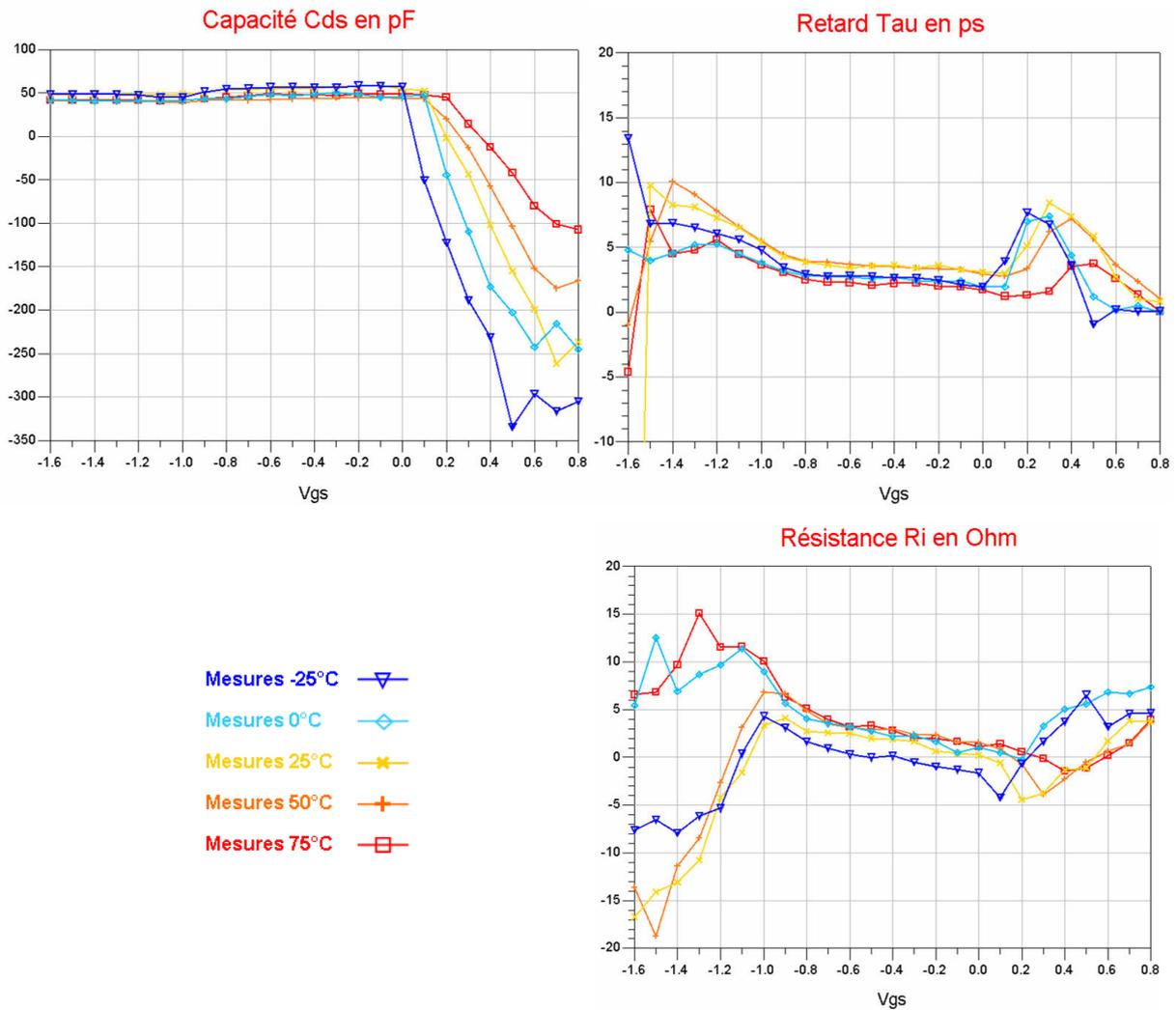


Figure 117. Extraction des paramètres intrinsèques C_{ds} , τ (Tau) et R_i , en fonction de la température

On peut remarquer qu'il n'y a pas vraiment d'impact de la température sur les capacités non-linéaires C_{gs} et C_{gd} , mais aussi sur R_i , τ et C_{ds} , en effet les variations observées sont inférieures à 10%. Par contre sur la conductance G_d et la transconductance G_m , c'est-à-dire les dérivées de I_{ds} , une variation logique avec la température semble apparaître.

Les paramètres [S] sont mesurés le long des courbes à $V_{ds} = 6\text{V}$. C'est-à-dire que lorsque on se place à $V_{ds} = 6\text{V}$ pour un $V_{gs} > 0.4\text{V}$ nous nous trouvons dans la zone où se déclenche l'avalanche due à l'ionisation par impact (Figure 118).

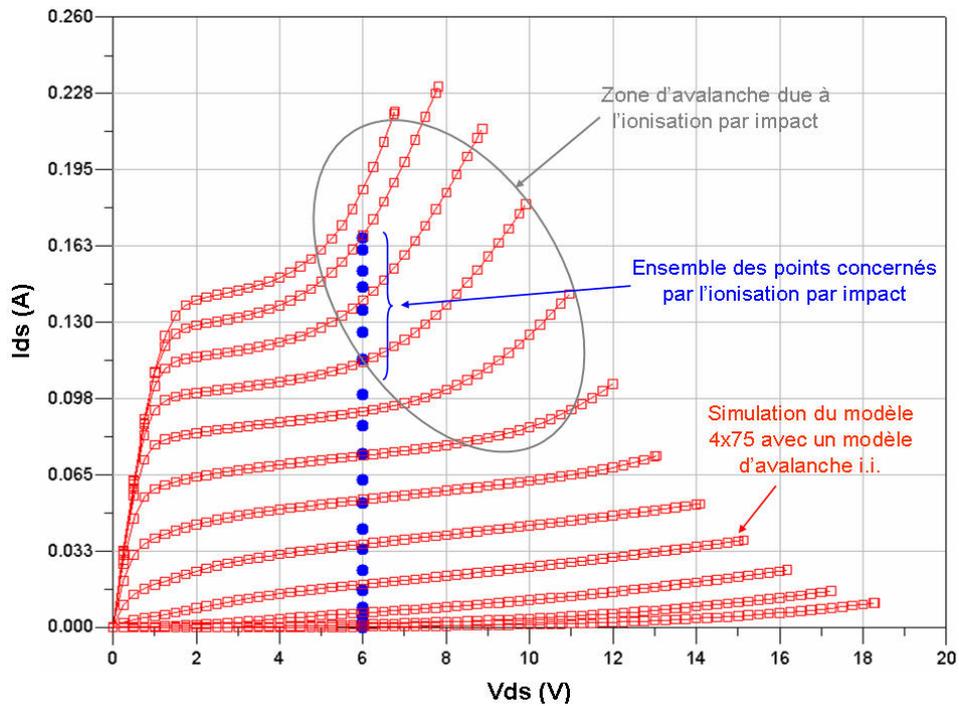


Figure 118. Superposition d'un modèle prenant en compte l'avalanche par ionisation par impact avec les points de notre étude où sont mesurés les paramètres [S]

Lorsqu'on se trouve dans cette zone, théoriquement si la pente des courbes du réseau I(V) augmente brutalement comme c'est le cas ici, cela se traduit lors de l'extraction à partir

des paramètres [S] par l'augmentation de la conductance de sortie $Gd = \left. \frac{\partial I_{ds}}{\partial V_{ds}} \right|_{V_{gs}=cte}$ (Figure

119).

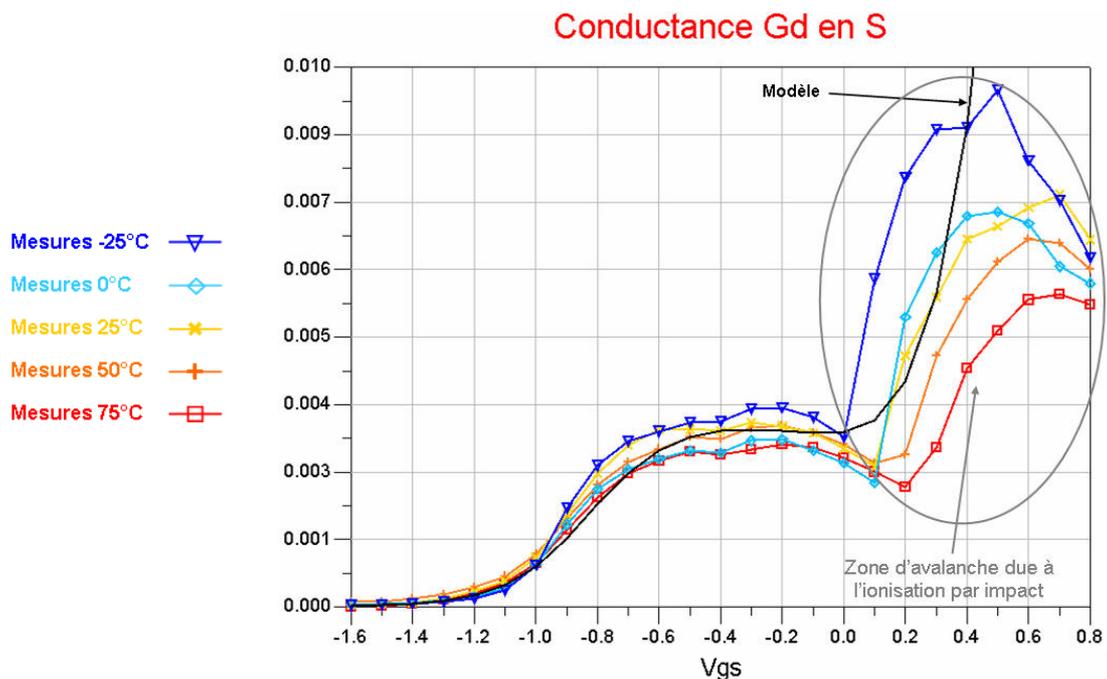


Figure 119. Comparaison mesures en température/modèle avec avalanche (à 25°C) au niveau du Gd

On peut remarquer sur la figure ci-dessus l'augmentation du Gd, l'ionisation par impact semble varier en température.

On peut noter à la *Figure 117* et ci dessous, le comportement de la capacité C_{ds} en opposition avec celui de Gd. En effet, la décroissance de C_{ds} se déclenche au même endroit que l'augmentation de Gd.

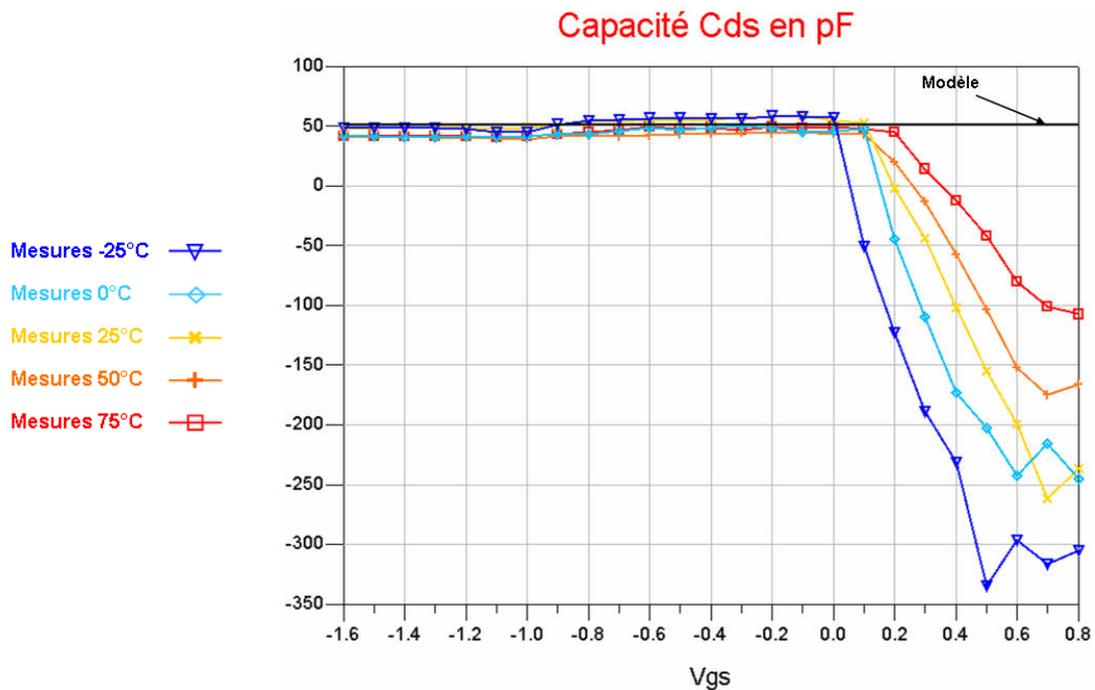


Figure 120. Comparaison mesures en température/modèle avec avalanche (à 25°C) au niveau de C_{ds}

Le modèle avec avalanche ne représente pas cette décroissance, nous déduisons dans un premier temps que la méthode ou les équations qui permettent l'extraction ne sont peut-être pas valables lorsqu'on est en présence de l'avalanche due à l'ionisation par impact.

C. Influence de la température sur la fréquence de transition et sur la fréquence maximale d'oscillation

Comme pour les éléments intrinsèques, la fréquence de transition et la fréquence maximale d'oscillation sont extraits de la mesure de paramètres [S] au point de repos $V_{gs0} = -0.4V$ et $V_{ds0} = 8V$ et au point de polarisation instantanée $V_{gsi} = -0.3V$ et $V_{dsi} = 6V$ pour 5

températures de socle : -25, 0, 25, 50 et 75°C. Nous représentons dans un premier temps la variation du gain en courant $|H_{21}|$ et du gain maximum stable G_{MSG} en fonction de la température de socle à la fréquence de 10 GHz, puis dans un second temps ces mêmes paramètres sont tracés en fonction de la fréquence sur une échelle logarithmique pour toutes les températures afin de déterminer la fréquence de transition et maximale d'oscillation.

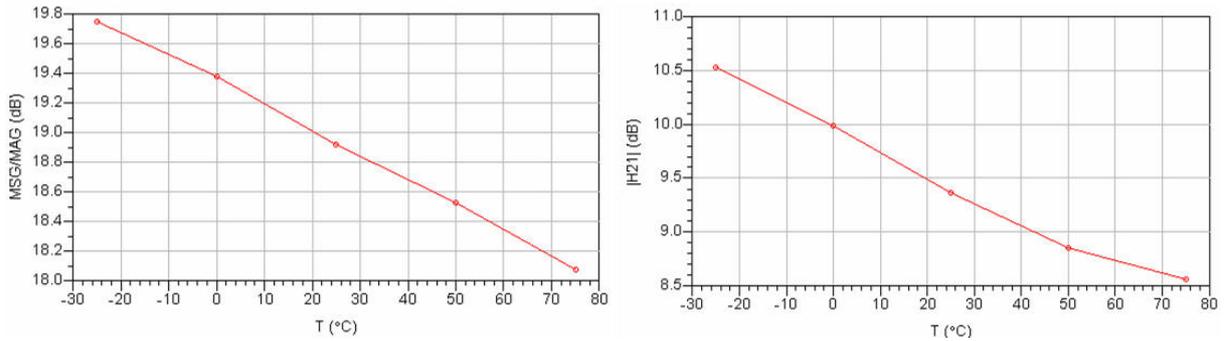


Figure 121. Paramètres G_{MSG} et $|H_{21}|$ à 10 GHz en fonction de la température de socle

On peut remarquer que la variation de ces paramètres en fonction de la température s'avère plutôt linéaire.

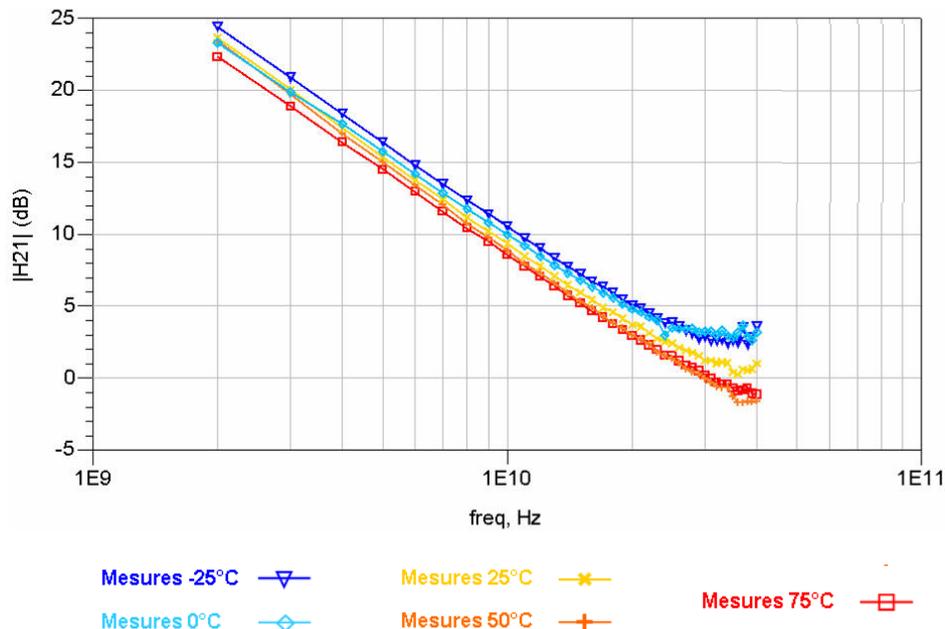


Figure 122. Influence de la température sur la fréquence de transition

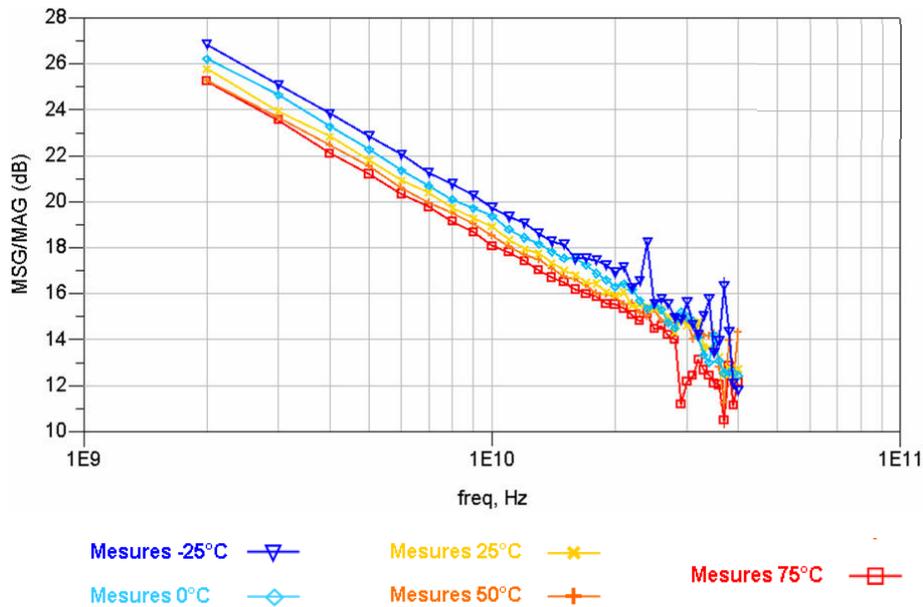


Figure 123. Influence de la température sur la fréquence maximale d'oscillation

La fréquence de transition F_t obtenue quand $|H_{21}|_{F_t} = 1$ a tendance à diminuer lorsque la température augmente. Cette baisse de la valeur de F_t est bien conforme à la théorie, car la fréquence de transition est proportionnelle à la vitesse de saturation des porteurs. Or, celle-ci décroît lorsque la température augmente.

La conséquence directe de cette baisse de valeur de la fréquence de transition est la diminution du gain en courant.

On peut estimer en regardant la Figure 123 que la fréquence maximale d'oscillation obéit à la même loi que F_t . Cette baisse de la valeur de la fréquence maximale d'oscillation est une nouvelle fois conforme à la théorie, car la fréquence maximale d'oscillation est proportionnelle à la racine carrée de la fréquence de transition. Donc, si la fréquence de transition chute quand la température augmente, la fréquence maximale d'oscillation fait de même. En conséquence, la diminution de la fréquence maximale d'oscillation lorsque la température augmente entraîne une chute du gain maximum disponible.

D. Etude des paramètres [S] en fonction de la température

Nous allons présenter les paramètres S_{11} , S_{21} et S_{22} pour le point de polarisation instantanée à $V_{gsi} = -0.3V$, afin de déterminer si les éléments extrinsèques du transistor dépendent de la température.

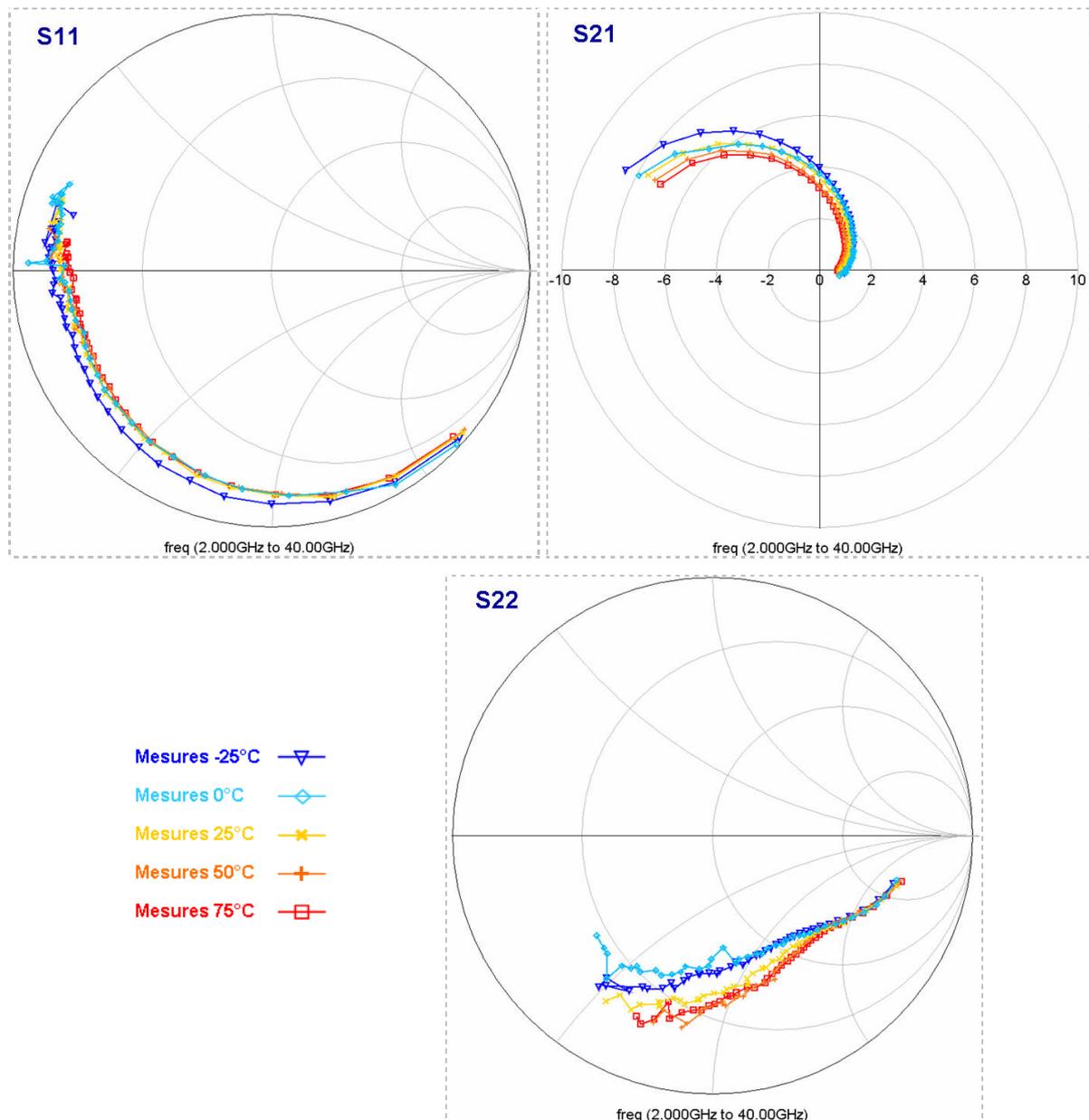


Figure 124. Paramètres [S] au point (-0.3V ; 6V) en fonction de la température

On ne peut déduire des mesures du 4x75 mais aussi du transistor 12x100 qui n'est pas présenté ici, une dépendance thermique notable des éléments du schéma équivalent, autre que G_d et G_m .

E. Dépendance en température des caractéristiques I(V)

Cette partie concerne l'étude du comportement en température des caractéristiques : $I_{ds}(V_{ds})$, $I_g(V_{gs})$ et $I_g(V_{ds})$. A partir de ces caractéristiques on peut analyser l'impact de la température sur les diodes d'entrée mais aussi sur les phénomènes de claquage par avalanche.

La figure suivante montre la dégradation du courant de drain lorsque la température augmente. La mesure a été effectuée pour un transistor 8x100 à trois températures au point de repos typique de la filière PPH25X : $V_{gs0} = -0.4V$ et $V_{ds0} = 8V$.

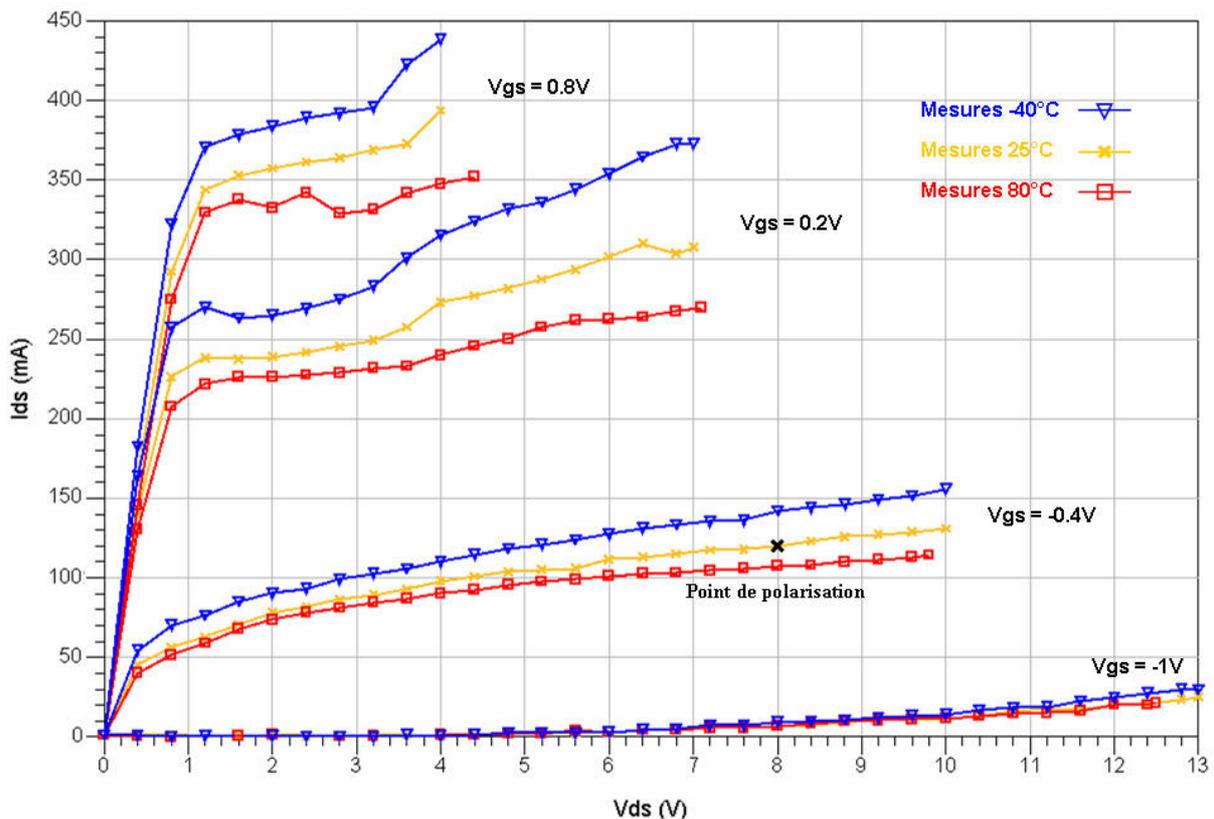


Figure 125. $I(V)$ pulsés à trois températures différentes (-40° , 25° et $80^\circ C$) mais pour le même point de repos $V_{gs0} = -0.4V$ et $V_{ds0} = 8V$

On peut remarquer également Figure 125 l'apparition plus rapide du phénomène d'ionisation par impact dans les transistors AsGa lorsque la température diminue [120]. Aux fortes tensions de grille, Le phénomène est aussi visible sur le courant de grille Figure 126. La mobilité et la vitesse des porteurs diminuant avec l'augmentation de la température, il faudra donc plus d'énergie à l'électron « chaud » et donc une tension plus grande aux bornes du composant pour que celui-ci déclenche une avalanche.

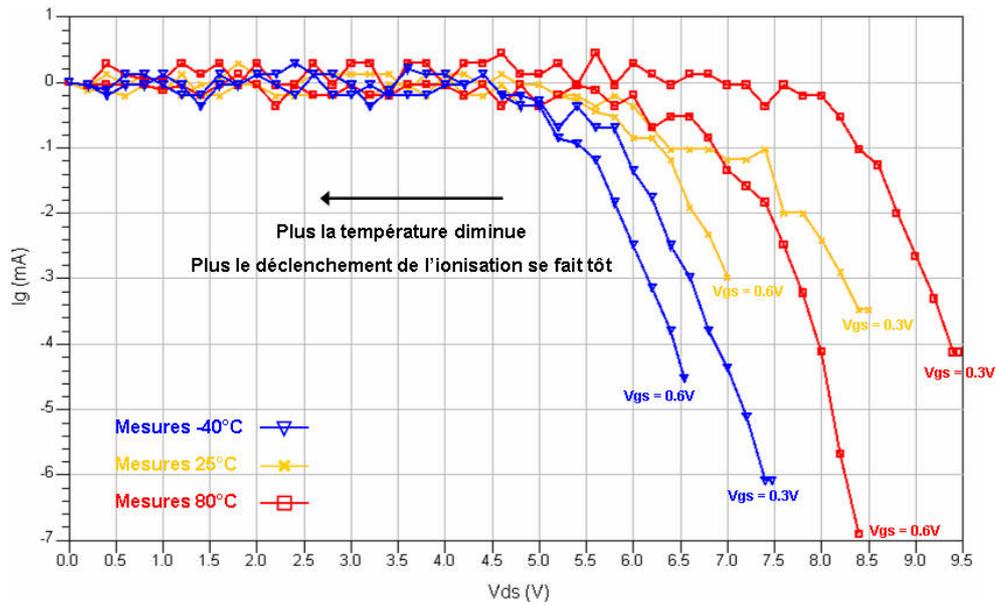


Figure 126. Courant de grille mesuré en mode pulsé pour trois températures, dans la zone d'ionisation par impact

C'est le même comportement thermique qui se produit sur le régime de claquage « off state » ou standard. En effet, lorsque la température diminue, le porteur « froid » aura plus de vitesse et accumulera plus rapidement la quantité suffisante d'énergie pour traverser la barrière électrostatique et provoquer le claquage du canal. La Figure 127 nous montre le comportement de ce phénomène en fonction de la température.

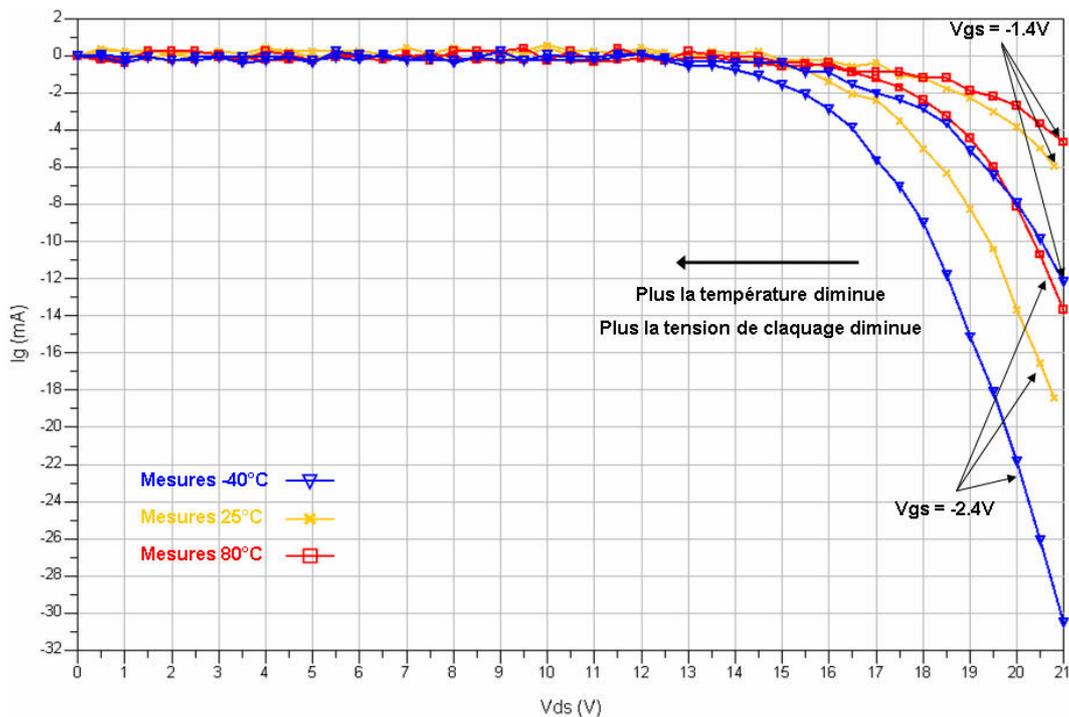


Figure 127. Mesure du courant grille en fonction de V_{ds} pour $V_{gs} = -1.4V$ et $V_{gs} = -2.4V$, à -40° , 25° et $80^\circ C$

A V_{ds} nul, Le comportement du courant de grille, en fonction de la température, est représenté sur la caractéristique ci-dessous :

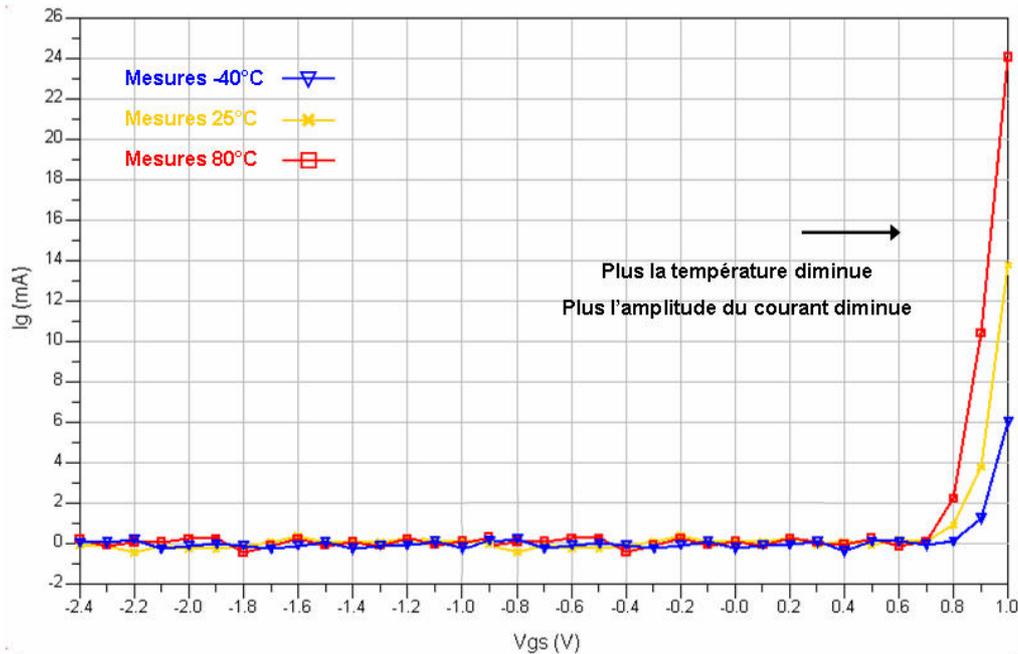


Figure 128. Mesure du courant grille en fonction de V_{gs} pour $V_{ds} = 0V$, à -40° , 25° et $80^\circ C$

Nous pouvons remarquer que l'amplitude du courant à fort V_{gs} est plus élevée mais que la tension de seuil ne change pas lorsque la température est élevée.

VI. Modélisations des effets thermiques dans le transistor

Les mesures de réseaux $I(V)$ précédentes à trois températures différentes (-40 , 25 et $80^\circ C$) et pour le même point de repos ($V_{gs0} = -0.4V$; $V_{ds0} = 8V$) vont nous servir à modéliser les effets thermiques dans le transistor.

Après avoir optimisé le modèle pour la température ambiante (cf. chapitre précédent), le passage entre deux réseaux de courbes à deux températures différentes s'effectue par la modification d'un minimum de paramètres dans les équations du modèle.

Remarque : Le nombre de pièges ionisés est fixé par la polarisation de repos (on admet dans ce cas que la température a une faible influence sur les constantes de temps des pièges).

A. Modélisation des sources de courant

Dans la source de courant du modèle COBRA [87], on peut considérer que seule la variation du paramètre appelé β suffit à faire correspondre le modèle en température. Les paramètres I_{dg} et IF , respectivement les facteurs des équations modélisant les phénomènes d'avalanches au pincement et le phénomène d'ionisation par impact (cf. chapitre précédent), vont varier eux aussi avec température.

Les paramètres nominaux sont les paramètres extraits dans le *Chapitre II* : à partir des mesures à température de socle égale à 25°C (température ambiante) et pour le point de repos typique à $V_{ds0} = 8V$ pour $V_{gs0} = -0.4V$. T_j est la température de jonction tel que :

$$T_j = \Delta T + T_{\text{ambiante}} = Rth \cdot (V_{ds0} \cdot I_{ds0} + V_{gs0} \cdot I_{gs0}) + T_{\text{ambiante}} \quad (\text{III-11})$$

Les variations en température sont intégrées dans le modèle de la manière suivante :

$$\beta(T_j) = \beta_{\text{nom}} \times (\beta' \cdot T_j + \beta'') \quad (\text{III-12})$$

avec $\beta' = -1.846e^{-3}$ et $\beta'' = 1.203$

$$I_{dg}(T_j) = I_{dg\text{nom}} \times (I'_{dg} + I''_{dg} \cdot T_j + I'''_{dg} \cdot T_j^2) \quad (\text{III-13})$$

avec $I'_{dg} = 4.62$, $I''_{dg} = -36.9e^{-3}$ et $I'''_{dg} = 8.36e^{-5}$

$$IF(T_j) = IF_{\text{nom}} \times (1 + IF' \cdot T_j)^{IF''} \quad (\text{III-14})$$

avec $IF' = 6.914e^{-3}$ et $IF'' = -5$

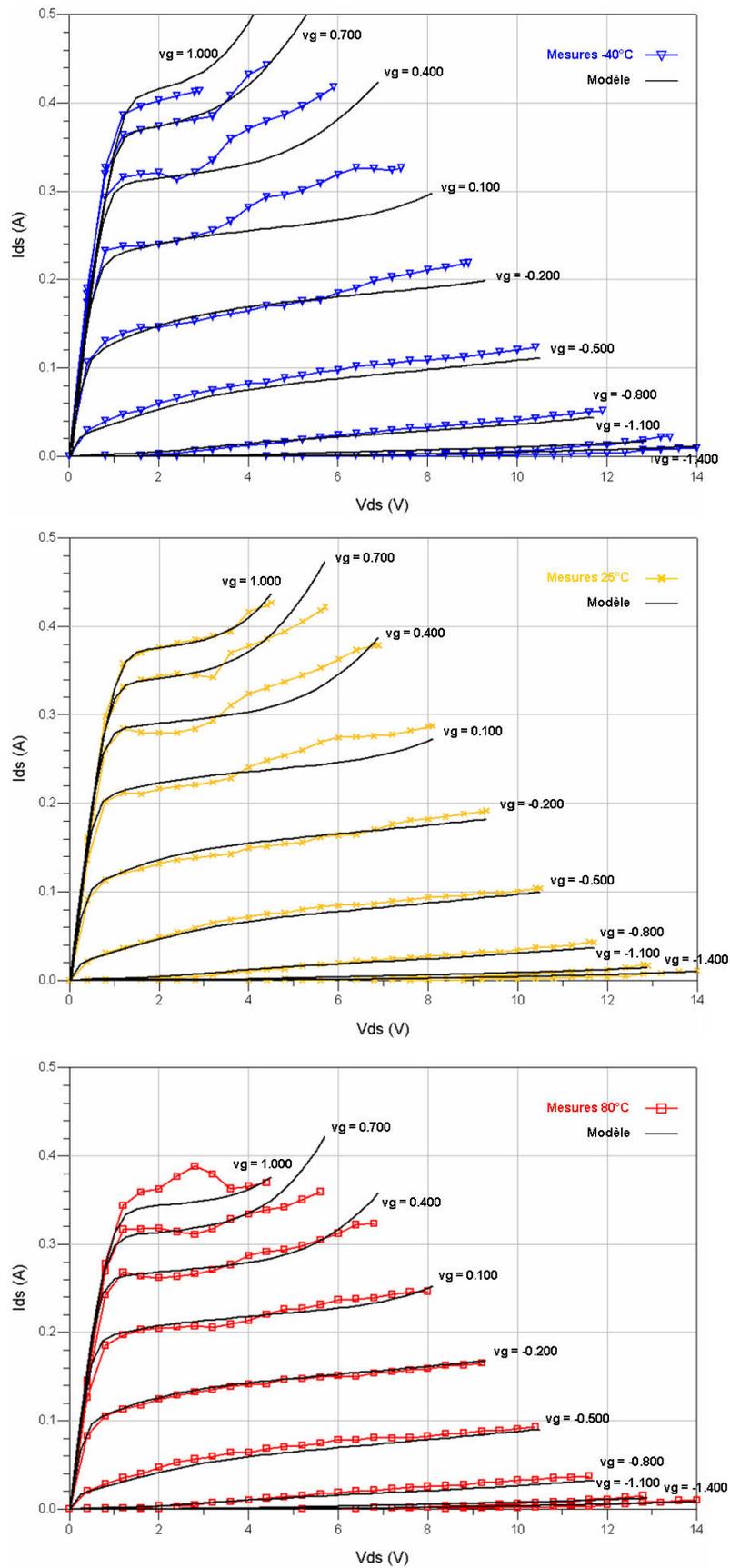


Figure 129. Comparaison mesures-modèle sur le réseau de caractéristiques de sortie $I_{ds}(V_{gs}, V_{ds})$ à trois températures différentes

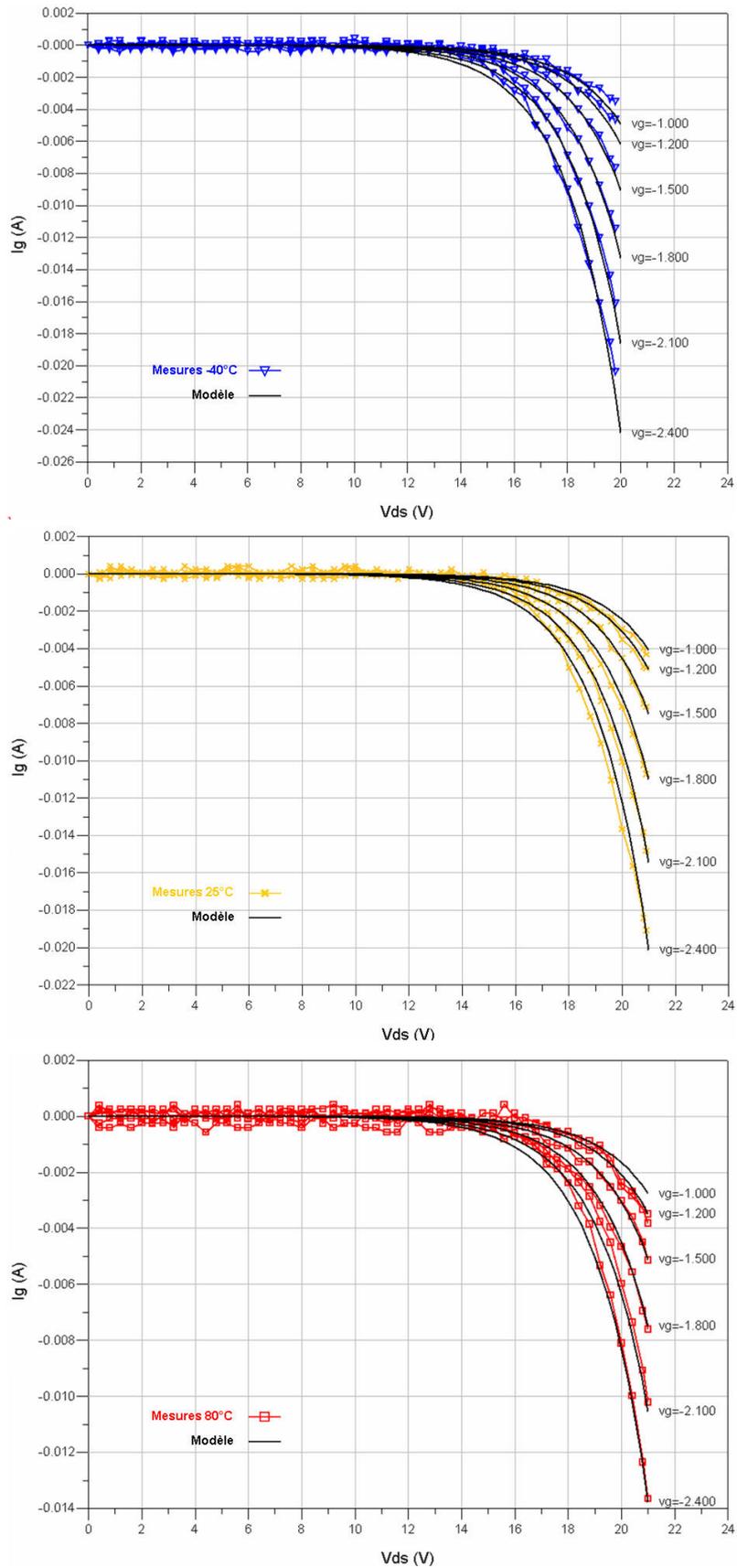


Figure 130. Comparaison mesures-modèle sur le courant de grille lorsque le canal est pincé à trois températures différentes

B. Modélisation des diodes

Les diodes d'entrées représentent des générateurs de courant non linéaires permettant de modéliser le courant positif de grille mesuré pour les fortes valeurs positives des tensions V_{gs} et V_{gd} .

$$\begin{aligned} ID_{gs} &= Isgs \cdot \exp(\alpha_{gs} \cdot V_{gs}) \\ ID_{gd} &= Isgd \cdot \exp(\alpha_{gd} \cdot V_{gd}) \end{aligned} \quad (III-15)$$

où $\alpha_{gs,gd} = \frac{q}{N_{gs,gd} \cdot k \cdot T}$

Les paramètres de diodes $Isgs$, $Isgd$, N_{gd} et N_{gs} varient avec la température :

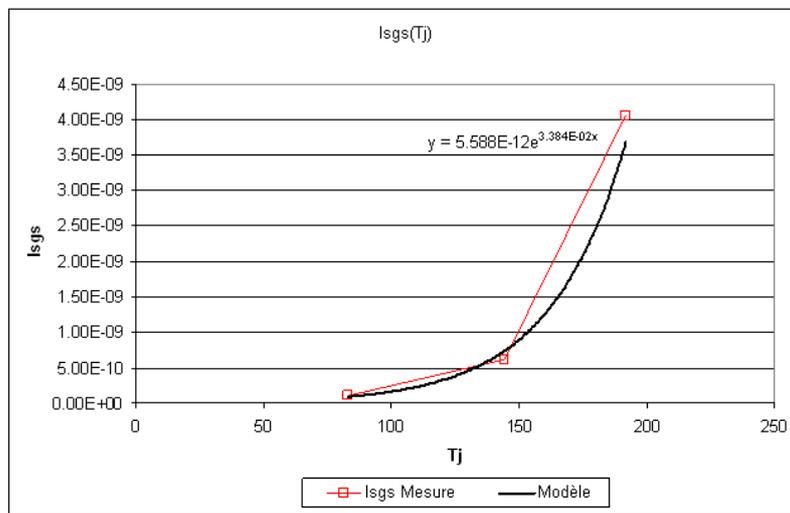


Figure 131. Evolution de $Isgs$ en température, comparaison mesure-modèle

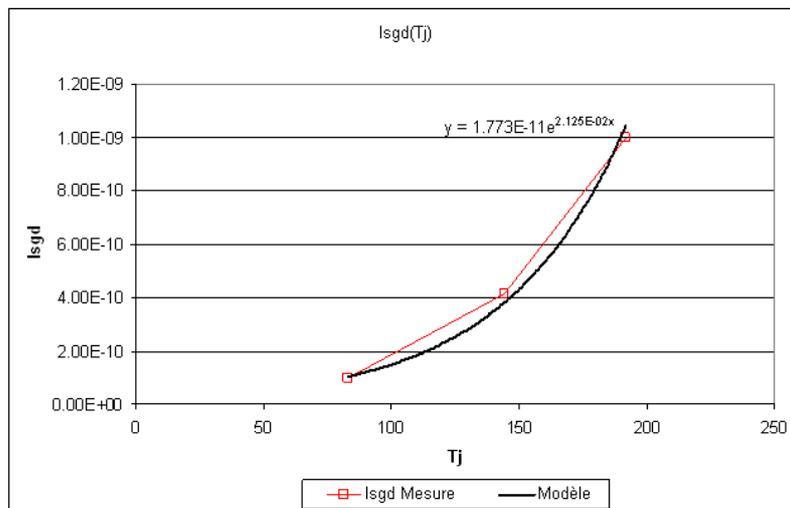


Figure 132. Evolution de $Isgd$ en température, comparaison mesure-modèle

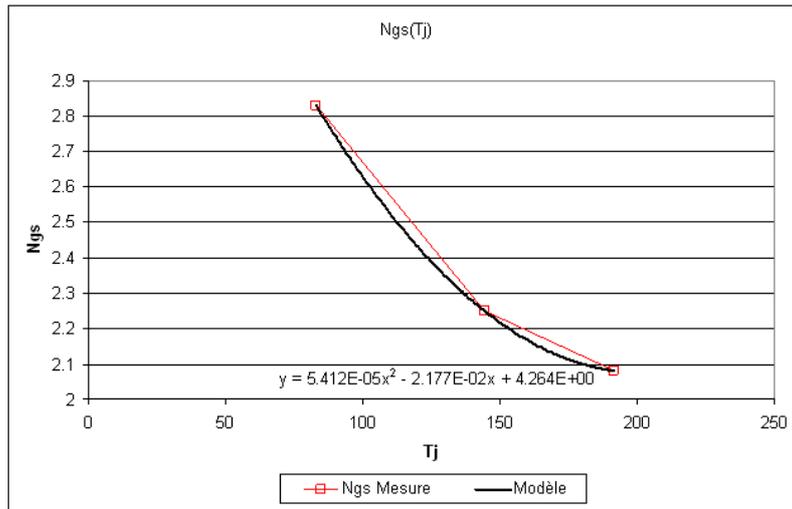


Figure 133. Evolution de N_{gs} en température, comparaison mesure-modèle

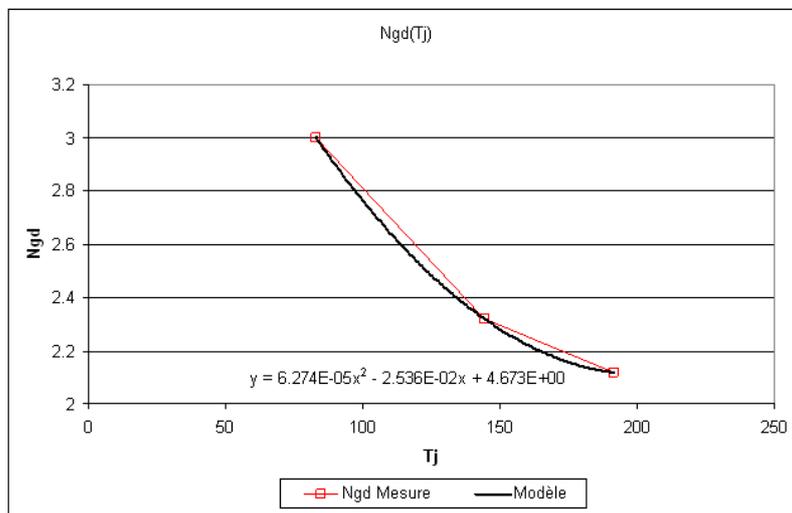


Figure 134. Evolution de N_{gd} en température, comparaison mesure-modèle

On introduit alors dans l'équation (III-69) les relations suivantes :

$$Isgs(T_j) = Isgs' \cdot \exp(Isgs'' \cdot T_j) \text{ avec } Isgs' = 5.59e^{-12} \text{ et } Isgs'' = 33.8e^{-3}$$

$$Isgd(T_j) = Isgd' \cdot \exp(Isgd'' \cdot T_j) \text{ avec } Isgd' = 1.77e^{-11} \text{ et } Isgd'' = 21.25e^{-3}$$

$$N_{gs}(T_j) = N'_{gs} \cdot T_j^2 + N''_{gs} \cdot T_j + N'''_{gs} \text{ avec } N'_{gs} = 5e^{-5}, N''_{gs} = -21.8e^{-3} \text{ et } N'''_{gs} = 4.26$$

$$N_{gd}(T_j) = N'_{gd} \cdot T_j^2 + N''_{gd} \cdot T_j + N'''_{gd} \text{ avec } N'_{gd} = 6.3e^{-5}, N''_{gd} = -25e^{-3} \text{ et } N'''_{gd} = 4.7$$

C. Récapitulatif des valeurs des paramètres du modèle non linéaire électrothermique

Nous avons donc constaté une dépendance en température sur la source de courant drain-source, sur les générateurs d'avalanche et sur les diodes d'entrées, dans notre cas les autres paramètres du modèle restent inchangés avec la prise en compte des effets thermiques. Les valeurs des paramètres du modèle non linéaire électrothermique, pour un transistor 12x100 μm , sont récapitulées dans les tableaux suivants :

La source de courant I_{ds} COBRA modifiée									
α	$\beta(T_j) = \beta_{nom} \times (\beta' \cdot T_j + \beta'')$	γ	δ	ζ	ξ	η	μ	V_{to}	λ
4.6	$\beta_{nom} = 360e^{-3}$ $\beta' = -1.85e^{-3}$ $\beta'' = 1.2$	$21e^{-3}$	$274.5e^{-3}$	-0.3	1.32	$690e^{-3}$	$-2.48e^{-3}$	-0.8	2.38

Tableau 17. Paramètres de la source de courant I_{ds} COBRA modifiée

La capacité non linéaire C_{gs}						
$C0gs$	$C1gs$	$C2gs$	a_{gs}	b_{gs}	Vm_{gs}	Vp_{gs}
$4.606e^{-16}$	$2.323e^{-15}$	$1.503e^{-15}$	3.97	2.485	0.932	$64.33e^{-3}$

Tableau 18. Paramètres de la capacité non linéaire C_{gs}

La capacité non linéaire C_{gd}						
$C0gd$	$C1gd$	$C2gd$	a_{gd}	b_{gd}	Vm_{gd}	Vp_{gd}
$1.104e^{-16}$	$6.277e^{-16}$	$3.735e^{-17}$	3.47	1.155	-0.309	11.98

Tableau 19. Paramètres de la capacité non linéaire C_{gd}

Générateur représentant l'avalanche standard					
$I_{dg}(T_j) = I_{dg nom} \times (I'_{dg} + I''_{dg} \cdot T_j + I'''_{dg} \cdot T_j^2)$	α_{avdg}	AG	BG	CG	DG
$I_{dg nom} = 7.21e^{-8}$ $I'_{dg} = 4.62$ $I''_{dg} = -36.9e^{-3}$ $I'''_{dg} = 8.36e^{-5}$	0.512	1.6	1.514	-0.88	1.54

Tableau 20. Paramètres de la source de courant représentant l'avalanche standard

Générateur représentant l'avalanche due à ionisation par impact					
$IF(T_j) = IF_{nom} \times (1 + IF' \cdot T_j)^{IF''}$	IAF	BF	CF	DF	EF
$IF_{nom} = 2.75e^{-5}$ $IF' = 6.914e^{-3}$ $IF'' = -5$	1.2	0	$1e^{-3}$	-12.11	13.9

Tableau 21. Paramètres de la source de courant représentant l'avalanche due à ionisation par impact

Paramètres extrinsèques								
$R_g (\Omega)$	$L_g (pH)$	$C_{gm} (fF)$	$R_d (\Omega)$	$L_d (pH)$	$C_{dm} (fF)$	$R_s (\Omega)$	$L_s (pH)$	$C_{sm} (fF)$
1.083	28.925	37.754	0.521	24.453	63.436	0.521	2.847	67.086

Tableau 22. Valeurs de paramètres extrinsèques

<i>Paramètres intrinsèques</i>		
C_{ds} (pF)	R_i (Ω)	T_{au} (ps)
205.2	0.338	3.71

Tableau 23. Valeurs de paramètres intrinsèques

VII. Les modèles thermiques en simulation

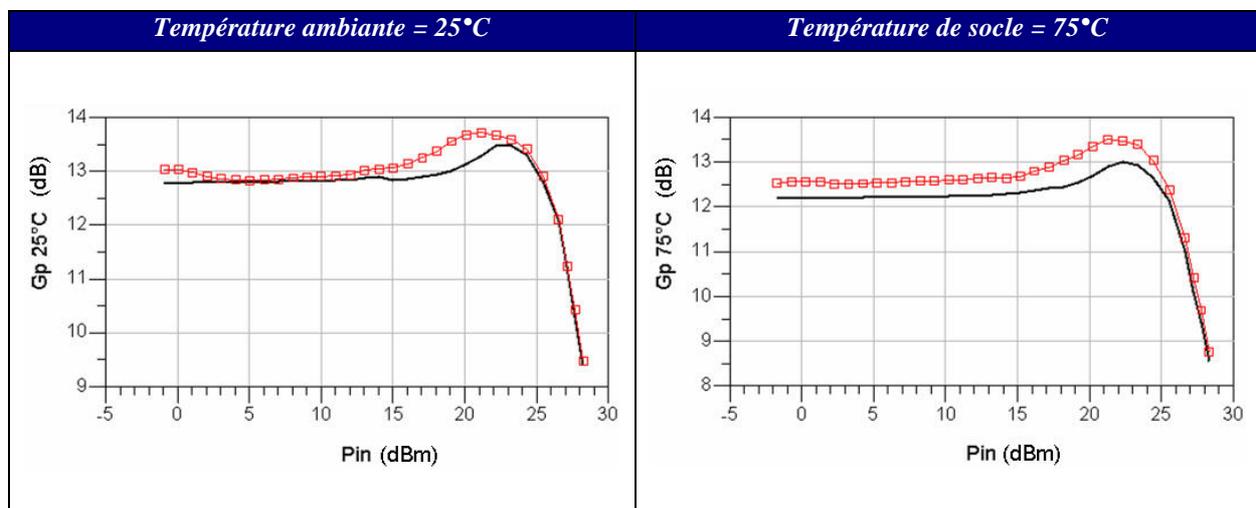
A. Validation du modèle thermique à cellules RC

1. Vérification sur un transistor PPH25X

Un transistor PPH25X 12x130 a été mesuré à 10 GHz en grand signal mono-porteuse au point de repos $I_{ds0} = 150\text{mA}$; $V_{ds0} = 8\text{V}$ par le sous-traitant de mesures MC2.

Les mêmes mesures sont réalisées à température ambiante (25°C) et à 75°C (température de socle).

En prenant soin de simuler dans les mêmes conditions dans lesquelles se sont déroulées les mesures, on peut vérifier notre modèle.



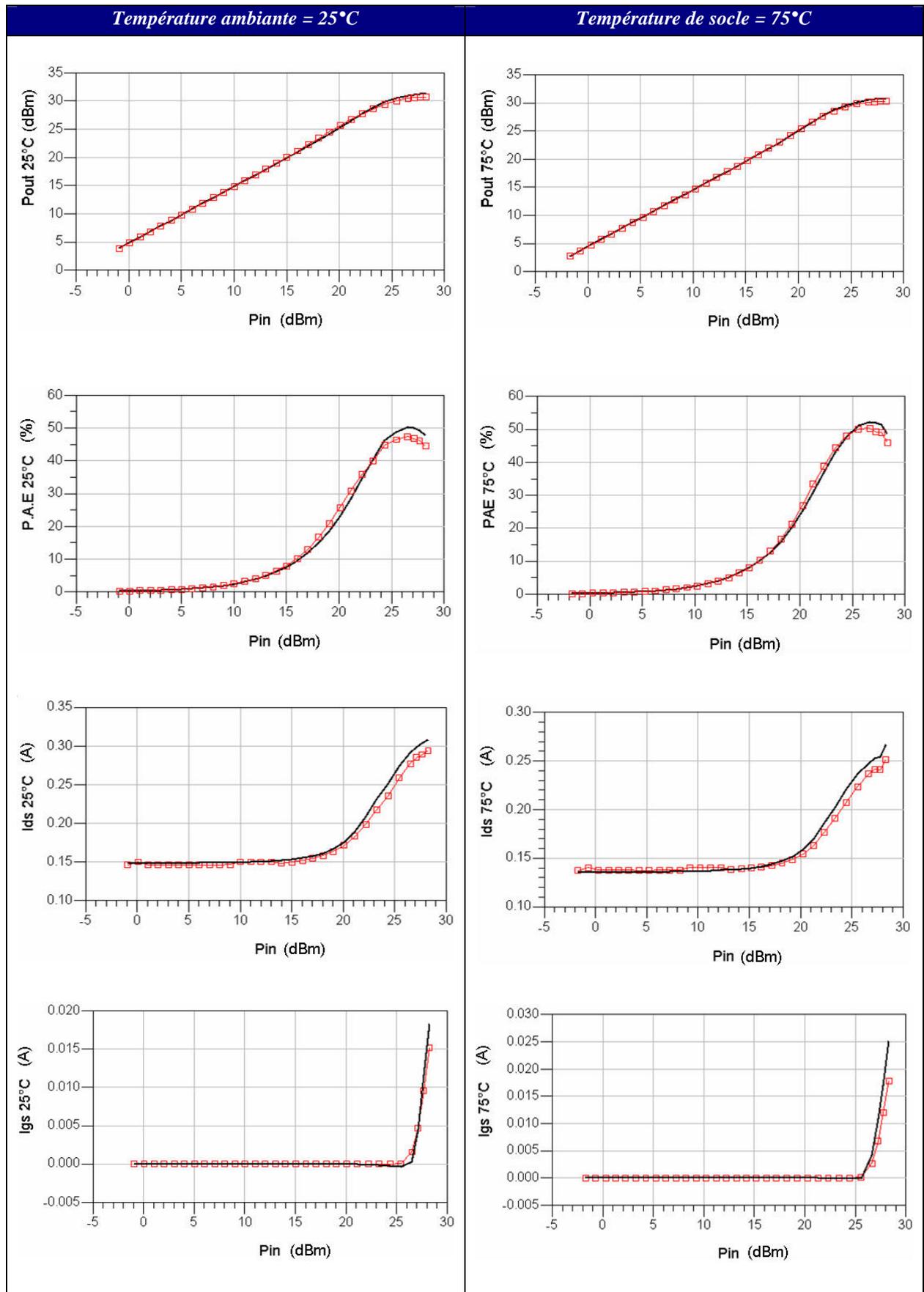


Figure 135. Comparaison mesures (—□—)-modèle (—) des critères de performance en puissance d'un transistor 12x130 μm de développement à deux températures différentes

2. Amplificateur MILEA : comparaison mesure-simulation à différentes températures

Des mesures de paramètres [S] à cinq températures ont été effectuées à UMS sur l'amplificateur MILEA (cf chapitre précédent). Les mesures du gain bas niveau (S_{21}) sont comparées aux simulations obtenues en intégrant dans la schématique le modèle non linéaire électrothermique multi-taille (*Figure 136*).

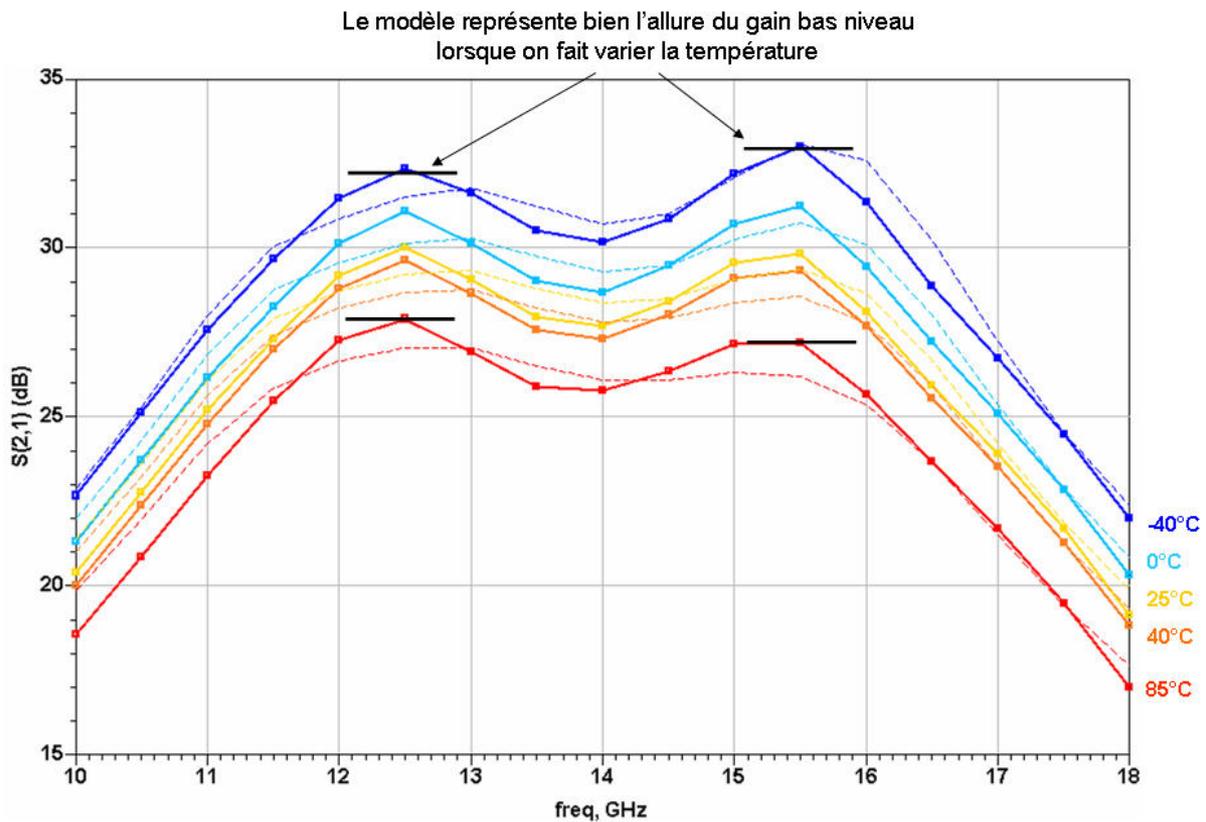


Figure 136. Comparaison mesures (traits pleins)–modèles (traits en pointillé) sur le paramètre S_{21} de l'amplificateur mesuré en température

Le paramètre S_{21} est le seul paramètre à varier significativement avec la température ambiante. On remarque que le modèle reproduit la mesure quelque soit la température appliquée.

B. Intérêt du modèle thermique réduit

1. Comparaison des deux circuits thermiques

Il s'agit ici de valider le modèle réduit extrait de la simulation sur ANSYS. Le *Tableau 24* donne les températures finales de canal fournies par le modèle, pour une puissance injectée total de 1 Watt et une température de socle de 0°C. D'un point de vue statique, le modèle réduit offre peu de différence avec le modèle thermique RC.

<i>T_{canal finale en °C}</i>	<i>T_{j 1} Doigt central</i>	<i>T_{j 2}</i>	<i>T_{j 3}</i>	<i>T_{j 4}</i>	<i>T_{j 5}</i>	<i>T_{j 6} Doigt extérieur</i>
Modèle thermique	61.09	61.01	60.68	60.24	58.72	56.37

Tableau 24. Valeurs finales des températures de canal pour chaque doigt du transistor

La réponse des deux modèles à un échelon de puissance dissipée est reportée sur la *Figure 137*.

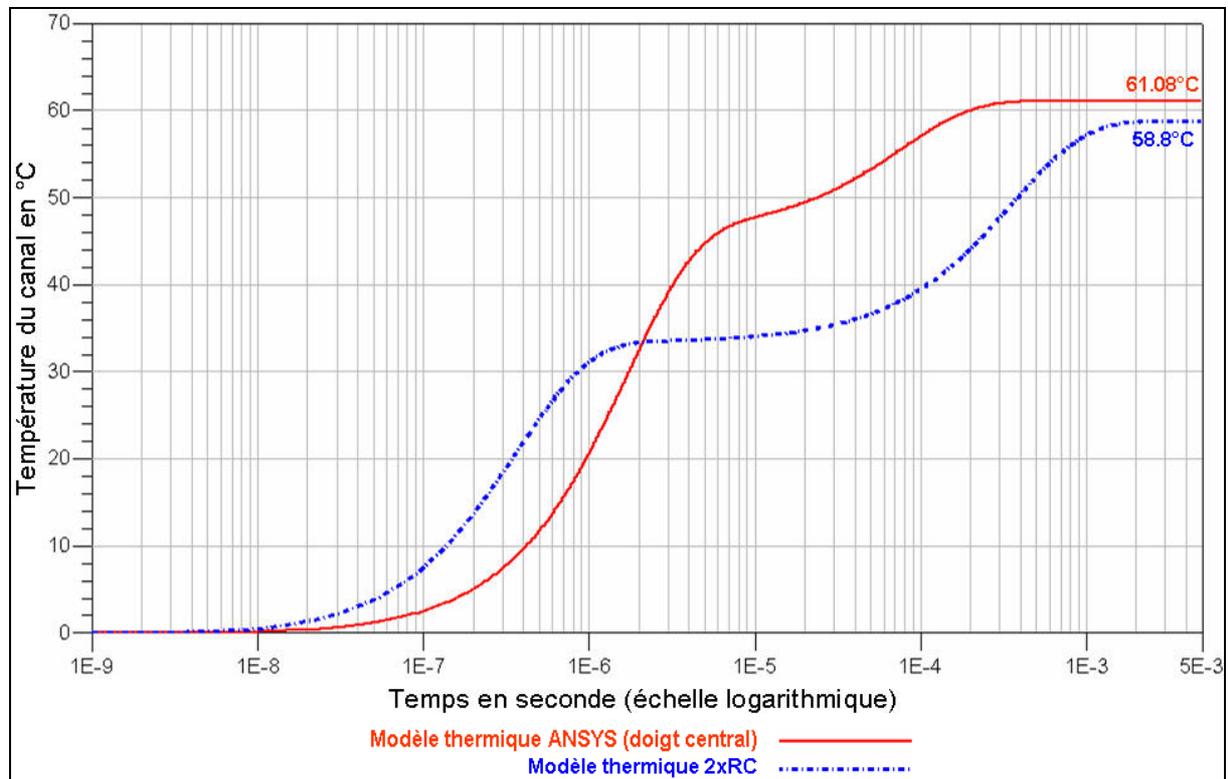


Figure 137. Comparaison du comportement transitoire de la température du doigt central pour le modèle ANSYS avec le comportement transitoire de la température obtenue avec le modèle thermique à deux cellules RC

Le comportement transitoire des deux modèles est très différent, le modèle réduit est considéré comme relativement précis car il est issu d'une simulation thermique assez proche de la réalité. Le modèle thermique constitué de deux cellules RC s'avère trop approximatif, l'utilisation de deux constantes de temps uniquement semble être insuffisante.

2. Profil de température sur le transistor 12x100

La réduction et la distribution du modèle nous permettent de connaître la répartition de la température de jonction sur les doigts du transistor.

On détermine ci-dessous le profil de température lors d'une simulation de puissance, le transistor est polarisé à $V_{gs0} = -0.4V$ et $V_{ds0} = 8V$, la fréquence du signal autour de ce point de repos est fixée à 10 GHz. L'impédance vue en sortie par le transistor est choisie de manière à obtenir le maximum de puissance en sortie.

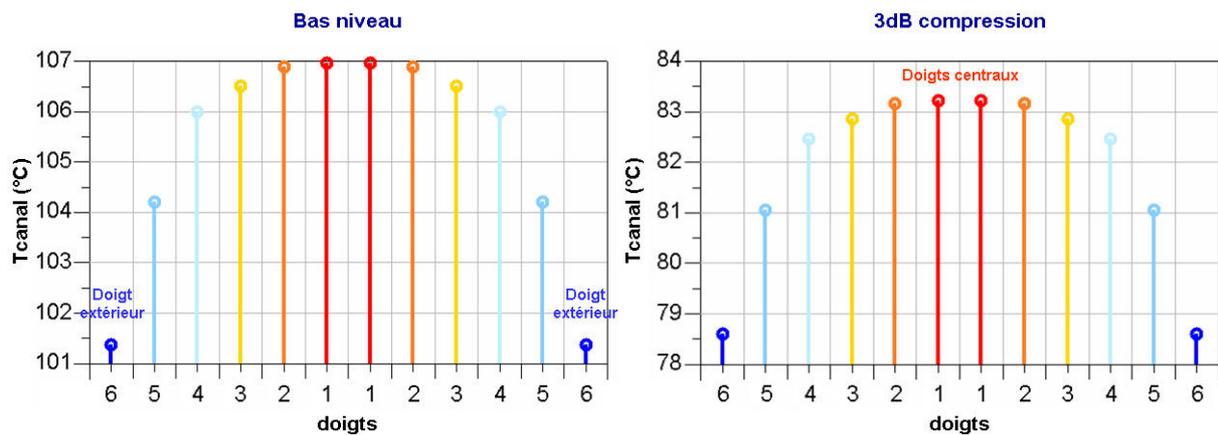


Figure 138. Profil de température sur le transistor 12x100 lors d'une simulation en puissance pour une charge de sortie optimale et pour une fréquence de 10 GHz

La différence de température entre un fonctionnement à bas niveau et en saturation s'explique par la présence d'un rendement plus élevé à fort niveau et donc d'une moins grande puissance à dissipée.

Sur les figures ci-dessous, sont représentés les cycles de charge à bas niveau et en fort signal pour le doigt du centre et le doigt extérieur.

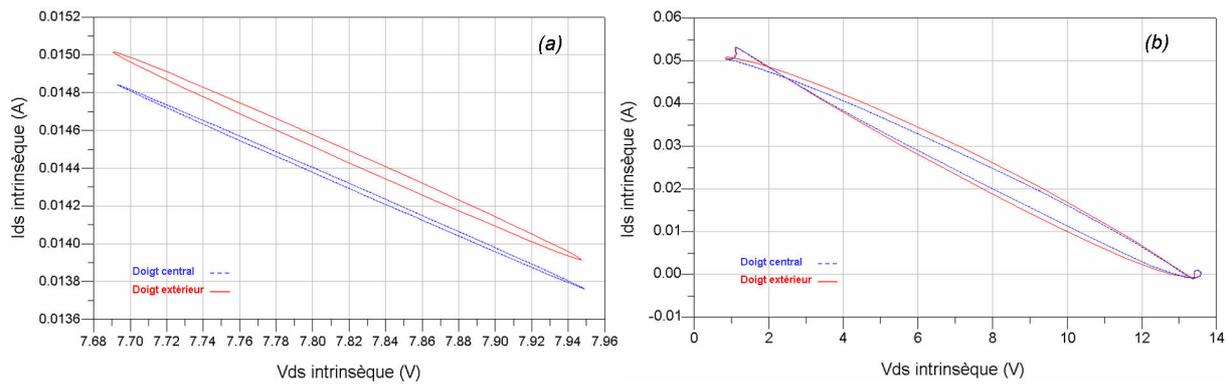


Figure 139. Comparaison entre les cycles de charge intrinsèque du doigt extérieur et du doigt central à bas niveau (a) et à 1dB de compression (b)

La différence de comportement grand signal entre les doigts extérieurs considérés comme les plus froids et les doigts centraux plus chauds, paraît donc négligeable pour les transistors PHEMTs.

VIII. Conclusion

Ce chapitre développe une méthode pour la création d'un modèle thermique et présente les principes des échanges thermiques et les lois mathématiques associées.

Les besoins récents en termes d'évaluation de la température dans les systèmes et l'augmentation des puissances mises en jeu, rendent l'analyse thermique des composants indispensable.

Deux modèles thermiques ont été extraits par l'intermédiaire de deux méthodes différentes :

- Un modèle introduisant des cellules RC à partir de mesures électriques
- Un modèle réduit à partir de simulation numérique
- Concernant la simulation numérique, la difficulté a consisté à réduire près de 500000 éléments utilisés pour la discrétisation (maillage), afin d'intégrer un modèle plus « réduit » dans le simulateur électrique, tout en restant cohérent et précis avec la simulation numérique.

La modélisation et la caractérisation thermique complète du transistor de la filière PPH25X ont été réalisées dans ce chapitre. A UMS, la prise en compte de la thermique dans les modèles était réservée jusqu'à présent aux transistors bipolaires à hétérojonction.

Bibliographie

[94]. D. Lopez

"Intégration d'un modèle électrothermique de transistor bipolaire à hétérojonction issu de simulations thermiques tridimensionnelles dans un environnement de simulation circuit"

Thèse de doctorat, Discipline : Electronique des Hautes Fréquences et Optoélectronique, spécialité : Télécommunications, Université de Limoges, 2002

[95]. C. Chang

"Amélioration de modèles électrothermiques de composants de puissance de type TBH ou pHEMT et application à la conception optimale de modules actifs pour les radars"

Thèse de doctorat, Discipline : Electronique des Hautes Fréquences et Optoélectronique, spécialité : Télécommunications, Université de Limoges, 2004

[96]. R. Aubry, C. Dua, J.C. Jacquet, F. Lemaire, P. Galtier, B. Dessertenne, Y. Cordier, M.A. DiForte-Poisson, S.L. Delage

"Temperature measurement by micro-Raman scattering spectroscopy in the active zone of AlGaIn/GaN high-electron-mobility transistors"

Eur. Phys. J. Appl. Phys. 27, 293–296 (2004)

[97]. D. Pogany, S. Bychikhin, M. Litzenberger, E. Gornik, G. Groos, M. Stecher

"Extraction of spatio-temporal distribution of power dissipation in semiconductor devices using nanosecond interferometric mapping technique"

Appl. Phys. Lett., vol. 81, no.15, pp.2881-2883, (2002)

[98]. D. Pogany, V. Dubec, S. Bychikhin, C. Fürböck, M. Litzenberger, G. Groos, M. Stecher, E. Gornik

"Single-shot thermal energy mapping of semiconductor devices with the nanosecond resolution using holographic interferometry"

IEEE Electron. Dev. Lett., vol. 23, no. 10, pp.606-608, (2002)

[99]. C. Charbonniaud

“Caractérisation et modélisation électrothermique non linéaire de transistors à effet de champ GaN pour l’amplification de puissance micro-onde”

Thèse de doctorat, Discipline : Electronique des Hautes Fréquences et Optoélectronique, spécialité : Télécommunications, Université de Limoges, Octobre 2005

[100]. Z. Ouarch

“Caractérisation et modélisation des effets de pièges et thermiques des transistors à effet de champ sur AsGa : Application à la simulation de la dynamique lente des circuits nonlinéaires micro-ondes”

Thèse de doctorat, Université de Limoges, Janvier 1999

[101]. N. Vellas

“Rapport de mesures Raman dédiées à la détermination de la température de jonction des transistors HEMT de la filière GaAs”

Rapport de synthèse, MC2

[102]. G. Chen, C. Tien, X. Wu, J. Smith

“Thermal diffusivity measurement of gaas/algaas thin-film structures”

in Journal of Heat Transfer, vol. 116, ASME, 1994

[103]. T. Yao

“Thermal properties of alas/gaas superlattices”

in Appl. Phys. Lett., no. 51, pp. 1798–1800, 1987

[104]. D. G. Cahill, K. Goodson, A. Majumdar

“Thermometry and Thermal Transport in Micro/Nanoscale Solid-State Devices and Structures”

in Journal of Heat Transfer, vol. 124, pp. 223–241, ASME, April 2002

[105]. D. Fournier, G. Tessier et J.P. Roger

“Mesures thermiques submicroniques, Microscopie à Thermoréfectance”

[106]. Advanced Micro Devices

“CPU Thermal Management”

Août 1995

[107]. W. Capinski, H. Harris, T. Ruf, M. Cardoma, K. Ploog, D. Katzer

“Thermal conductivity measurements of gaas/algaas superlattices using a picosecond optical pump-and probe technique”

in Phys. Rev. B, vol. 59, pp. 8105–8113, 1999

[108]. C. Moglestue

“A Self-Consistent Monte Carlo Particle Model to Analyze Semiconductor Microcomponents of any Geometry”

IEEE Transactions on computer-aided design, Vol. CAD-5, no. 2, pp.326-345, april 1986

[109]. J. Mazeau

“Modélisation électrothermique comportementale dynamique d'amplificateurs de puissance microonde pour les applications radar”

Thèse de doctorat, Discipline : Electronique des Hautes Fréquences et Optoélectronique, spécialité : Télécommunications, Université de Limoges, Septembre 2007

[110]. Site Internet sur la technique de réduction d'ordre

http://www.brive.unilim.fr/raph/doku.php?id=research:model_order_reduction

[111]. Site Internet sur mor4ansys

<http://www.imtek.de/simulation/mor4ansys/>

[112]. E.L. Wilson, M.W. Yuan

“Dynamic analysis by direct superposition of Ritz vectors”

Earthquake Eng. Structural dynamics, vol.10, n°6, pp.813-821, nov. 1982

[113]. R.R. Craig, A.L. Hale

“Block-Krylov component synthesis method for structural model reduction”

Journal Guid. Control Dyn., vol.11, pp.562-570, 1988

[114]. K.J. Joo, E.L. Wilson, P. Leger

“Ritz vectors and generation criteria for mode superposition analysis”

Earthquake Eng. and Struct. Dyn., 1989, vol. 18, pp. 149-167

[115]. J.T. Hu, L. Vu-Quoc

“A rational formulation of thermal circuit models for electrothermal simulation”

IEEE Trans. Circ. and Syst., vol. 43, pp. 721-732, Sept. 1996

[116]. D. Lopez, R. Sommet, R. Quéré

“Spice thermal subcircuit of multifinger HBT derived from Ritz vector technique of 3D thermal simulation for electrothermal modeling”

9^e GaAs Conf., Londres, 2001

[117]. R. Sommet, D. Lopez, R. Quéré

“From 3D thermal simulation of HBT devices to their thermal model integration into circuit simulators via Ritz vectors reduction technique”

in Thermal and Thermomechanical Phenomena in Electronic Systems, IThERM 2002, the 8th Intersociety Conf., San Diego, CA, pp.22-28, Jun. 2002

[118]. ANSYS, Inc. Theory Reference

ANSYS release 9, 002114, nov. 2004

[119]. E.B. Rudnyi, J. Lienemann, A. Greiner, J.G Korvink

“Mor4ansys: Generating compact models directly from ANSYS models”

Tech. Proc. Nanotechnology Conf., Nanotech 2004, Boston, MA, USA, Mar. 2004

[120]. Y.J. Chang, S.M. Sze

“Temperature dependence of ionization rates in GaAs”

J. Appl. Phys., Vol. 40, pp. 5392-5394, 1970

[121]. I. Kalfass, C. Schick, H. Schumacher, T. J. Brazil

“A Universal Large-Signal Model for Hetero Field-Effect Transistors”

Proc. 12th GaAs Symp., European Microwave Week, Amsterdam, Netherlands, Oct. 2004

CHAPITRE IV : LES EFFETS PARASITES DANS LES PHEMTS ASGA

I. Introduction

Les phénomènes d'avalanche font partie des effets limitatifs des transistors hyperfréquences. Analyser leur comportement permet de limiter la zone d'utilisation des composants. Leurs variations avec la température sont étudiées, grâce aux mesures en impulsion dans le chapitre précédent. L'avalanche due à l'ionisation par impact a fait l'objet d'une étude particulière.

La technologie récente des transistors PHEMTs à double recess n'est pas sans défaut. Cela se traduit par les effets de pièges qui affectent considérablement la puissance de sortie des transistors (gate-lag, drain-lag). Nous étudierons ces phénomènes dans un deuxième temps. Lors des nombreuses campagnes de mesures effectuées, différentes tailles de transistors ont été caractérisés, un effet « kink » important apparaît dans la zone de forte tension de drain et de fort courant de drain. L'étude de ce phénomène conclura la partie dédiée aux phénomènes de pièges.

L'optimisation des performances des transistors passe par la connaissance des effets limitatifs regroupant les phénomènes thermiques, d'avalanches et de pièges. La bonne compréhension de ces phénomènes passe par la mise au point de nouvelles méthodes de caractérisation afin de les modéliser au mieux et ainsi prédire leurs comportements. La troisième grande partie de ce chapitre montrera les résultats obtenus sur la filière PPH25X par ces nouveaux types de bancs de mesures.

II. Les effets de pièges dans les transistors PHEMTs AsGa de puissance

A. Présentation du phénomène

La demande de circuits intégrés performants pour les applications de puissance en régime hyperfréquence implique la nécessité de concevoir des transistors avec des épitaxies complexes et des structures adaptées. En effet, on peut citer deux exemples comme la diminution des longueurs de grille tout en éloignant les plots de source et de drain par rapport

à la grille (simple et double recess), et l'augmentation de la taille des canaux avec des hétérojonctions (simple ou pseudomorphiques), ces évolutions ont rendu difficile la maîtrise des processus technologiques de fabrication.

La présence d'impuretés ou de défauts dans le réseau cristallin et en surface, due à la réalisation non idéale des transistors, génère des états énergétiques qui peuvent être occupés par des porteurs dans la bande interdite du matériau semi-conducteur. Ces porteurs sont alors retenus pendant un temps t dans ces niveaux d'énergie, et ne peuvent pas participer à la conduction. Ce sont les phénomènes de pièges.

B. Les différents phénomènes de pièges

Les effets de pièges peuvent être regroupés en trois catégories : les effets de « self-backgating », de « gate-lag » et de « sidegating ».

Les effets de « Sidegating » et « Backgating »

Les phénomènes de capture et d'émission d'électrons dus à la proximité de différents composants lors d'une conception dans un environnement MMIC sont regroupés sous le terme « sidegating ». En effet, la proximité de transistors à effet de champ peut les rendre non indépendants les uns des autres ; c'est à dire qu'un potentiel appliqué en un point du circuit peut venir modifier celui présent sur le composant.

D'autres effets parasites dépendent de la technologie employée par le fondeur et du niveau d'impureté du substrat. Tous ces phénomènes sont regroupés sous les termes de « sidegating » et de « backgating » [124][125][126]. Il en résulte des règles de dessin sur les dimensions géométriques des MMICs afin de limiter les conséquences de ces phénomènes.

Le phénomène de « Gate-lag »

Les pièges de surface sont à l'origine de ce phénomène. Ils apparaissent lorsque la commande de grille passe d'un état de pincement à un état de conduction, ce qui se traduit par des états transitoires sur le courant de drain. Ce phénomène affecte surtout les circuits numériques fonctionnant à grande vitesse.

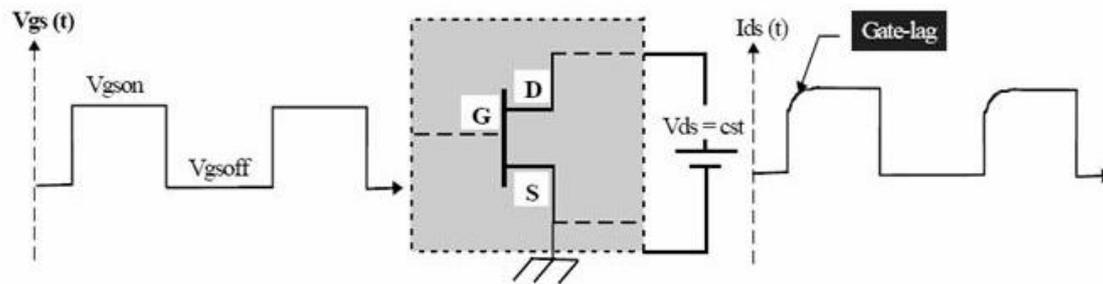


Figure 140. Mise en évidence du phénomène de « gate-lag »

Le phénomène de « Self-backgating » ou « Drain lag »

La cause principale du « Self-backgating » est due aux impuretés présentes dans le substrat semi-isolant.. Lors d'une variation rapide du champ électrique entre le drain et la source, les électrons provenant du canal peuvent être piégés rapidement dans le substrat. Le substrat proche du canal devient alors chargé négativement. Ces électrons peuvent être ensuite re-émis avec des constantes de temps plus longues. L'équilibrage des charges implique alors l'apparition d'une zone chargée positivement à l'interface canal substrat dans le canal. Le canal est alors momentanément pincé par une deuxième grille au niveau de cette interface d'où le terme de « self-back-gating ». C'est le phénomène le plus présent dans les PHEMTs AsGa. Le principal effet du « self-backgating » se traduit par la réponse transitoire du courant I_{ds} .

C. Impact des pièges sur les PHEMTs AsGa

1. Mise en évidence des pièges dans les transistors PHEMTs AsGa

Les phénomènes de pièges capturent puis libèrent les porteurs (électrons) qui participent au courant dans le canal. Ces effets sont plus ou moins prédominants en fonction de la filière (MESFET, PHEMT ou HEMT GaN), la quantité de pièges dans les PHEMTs AsGa est relativement moins limitative que dans le GaN de part sa maturité technologique et sa plus grande malléabilité.

Néanmoins, dans les PHEMTs AsGa, ces effets de pièges altèrent considérablement les performances des transistors. La technique de mesures en mode pulsé permet de séparer les effets des pièges des effets thermiques, et ainsi, de voir l'influence des pièges sur le

comportement électrique des transistors PHEMTs. En mesurant trois réseaux I(V), pour trois points de repos différent dissipant tous les trois la même quantité de chaleur, on peut mettre en avant la présence d'un phénomène parasite qui fait varier l'allure du réseau suivant la position du point de polarisation.

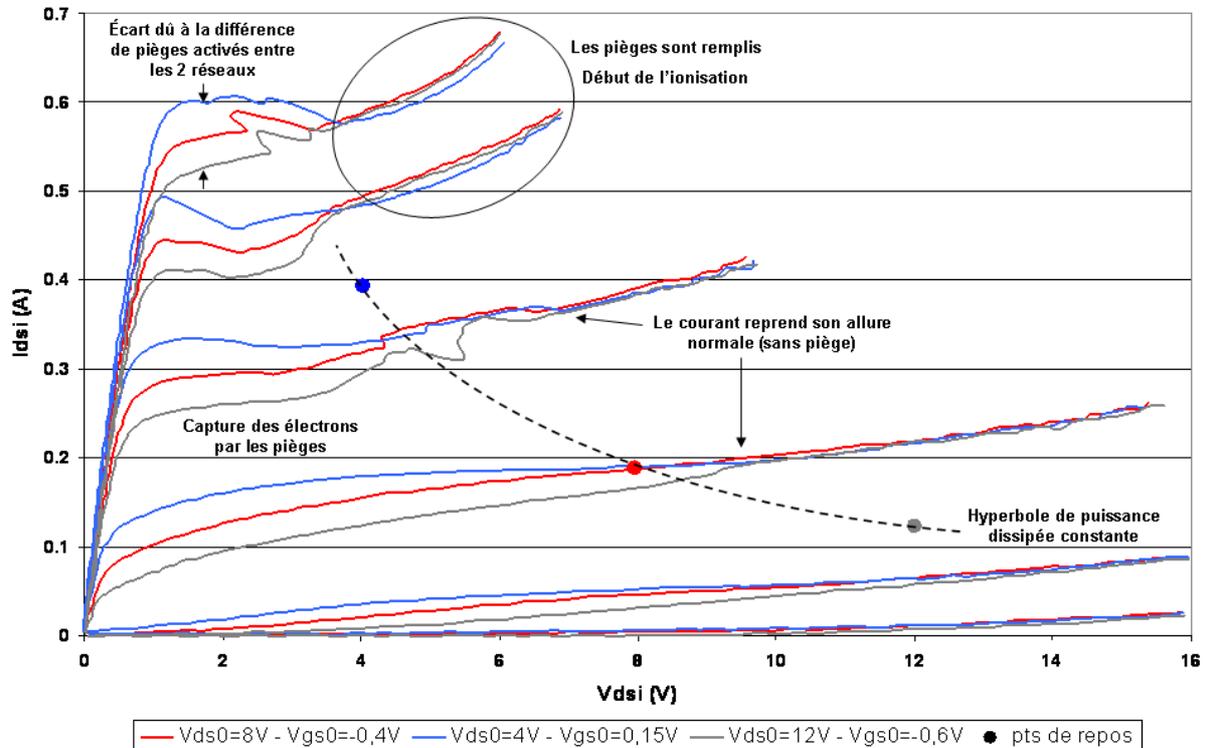


Figure 141. Mise en évidence des pièges dans les transistors PHEMT

La Figure 141 montre la différence entre les trois réseaux pulsés à puissance dissipée identique, on peut voir également que lorsque tous les pièges sont ionisés, les caractéristiques se rejoignent.

2. Influence de la tension de polarisation V_{ds0} sur les effets des pièges (« drain-lag »)

Le terme « drain lag » est utilisé pour décrire le phénomène transitoire du courant de drain lorsque la tension de drain est pulsée de l'état OFF ($V_{ds}=0$) à l'état ON ($V_{ds}>0$) pour une tension de grille constante. On observe alors une décroissance du courant I_{ds} durant cette impulsion, si celle-ci est suffisamment longue. En fait, ce phénomène correspond aux effets dispersifs de pièges du substrat semi-isolant dus au champ électrique de sortie généré par la commande V_{ds} (« Self-backgating »).

Pour mettre en évidence, l'impact du phénomène de drain-lag sur les performances des transistors PHEMTs AsGa, nous réalisons trois jeux de mesures différentes à puissance dissipée nulle sur un transistor PPH25X 8x100.

Pour commencer, nous réalisons une première série de mesures pour lesquelles le transistor est polarisé de la manière suivante : $V_{gs0} = -1.4V$ et $V_{ds0} = 0V$; puis nous polarisons ce même transistor à $V_{ds0} = 4V$ puis à $V_{ds0} = 8V$. La durée et la période des impulsions sont respectivement de 500 ns et 1 ms afin de minimiser l'auto-échauffement.

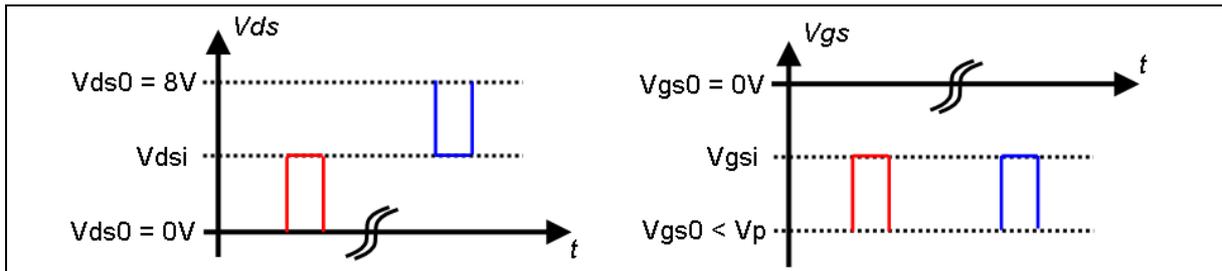


Figure 142. Méthode de caractérisation pour la mise en évidence des effets de drain-lag

Lorsque nous superposons les trois réseaux de sortie (Figure 143) obtenus à partir des mesures pulsées décrites précédemment, nous constatons une diminution importante du courant dans la zone de piège. Cette baisse du courant de sortie entraîne une diminution de l'excursion du cycle de charge, et par voie de conséquence, une baisse significative de la puissance de sortie.

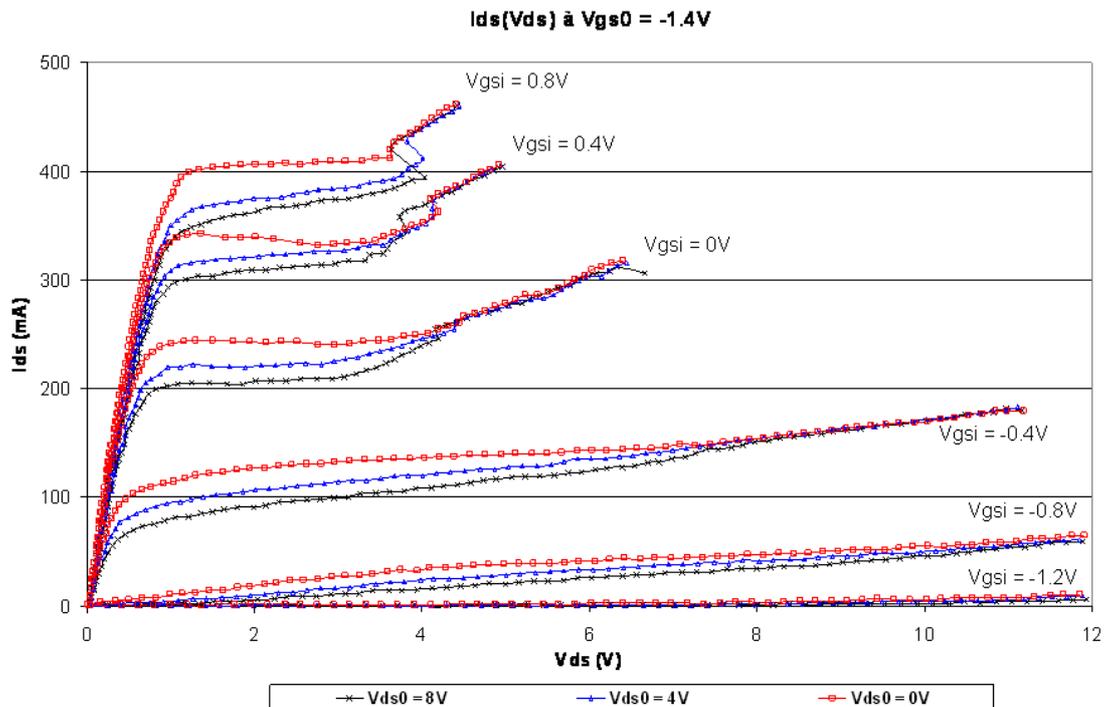


Figure 143. Influence de la tension de drain sur un transistor PHEMT AsGa 8x100µm, avec une puissance dissipée nulle

3. Influence de la tension de polarisation V_{gs0} sur les effets des pièges (« gate-lag »)

Agissant sur le même principe de caractérisation que le phénomène de « drain-lag », On réalise trois nouveaux jeux de mesures toujours sur le même transistor et à puissance dissipée nulle. On fixe maintenant la tension de polarisation V_{ds0} à 0V et on fait varier la tension de grille (*Figure 144*). Comme précédemment, la durée et la période des impulsions sont choisies pour limiter l'auto-échauffement.

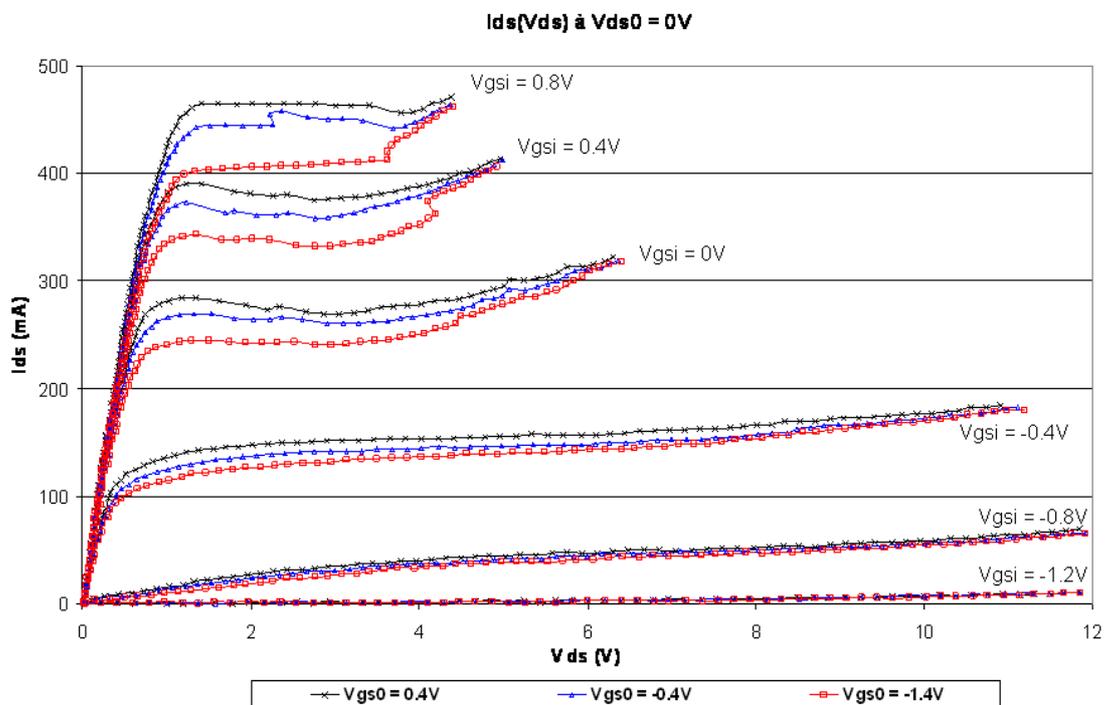


Figure 144. Influence de la tension de grille sur un transistor PHEMT AsGa $8 \times 100 \mu\text{m}$, avec une puissance dissipée nulle

On peut remarquer un plus grand écart entre le réseau polarisé à $V_{gs0} = -1.4V$ ($< V_p$) et les deux autres réseaux $V_{gs0} = -0.4V$ et $V_{gs0} = 0.4V$ à fort courant I_{ds} . Ce comportement peut être expliqué de la manière suivante : lorsque V_{gs} est égale à 0.4V le canal est légèrement déplété sous la grille. Ainsi la densité ionisée des accepteurs profonds varie peu entre les états OFF et ON de V_{gs} . Dans ce cas, le phénomène de « gate-lag » est faible. En revanche, lorsque $V_{gs0} = -1.4V$, le canal est entièrement déplété de la source vers le drain et la densité ionisée des accepteurs profonds varie beaucoup entre les états OFF ($V_{gs} = -1.2V$) et ON de V_{gs} c'est-à-dire entre $V_{gs} = -1.2V$ et $V_{gs} = 0.8V$.

Autrement dit, lorsqu'on génère une impulsion sur la grille à partir d'un régime où le transistor est pincé, le courant de drain reste faible jusqu'à ce que la zone de déplétion commence à capturer ou à émettre des porteurs pour que sa densité ionisée change et ainsi laisse passer le courant sous la grille. Cela se traduit par des transitoires du courant I_d plus importants et des réseaux $I(V)$ pulsés dégradés. Ceci provient du fait que l'accepteur profond agit comme un piège à trou.

4. L'effet « kink »

L'effet « kink » représente une augmentation soudaine du courant de drain pour une certaine valeur de tension de drain, entraînant ainsi l'augmentation de la conductance de drain G_d et la compression de la transconductance G_m , dégradant alors les performances des transistors à effet de champ [128]. Plusieurs auteurs mettent en avant le lien direct entre l'ionisation par impacts et les effets de pièges pour expliquer l'effet kink [129][130][131][132][133].

Afin de constater si ce phénomène existe dans les transistors PPH25X, on se place dans les conditions suivantes :

- $V_{gs0} = -1.4V$, pour s'affranchir de l'effet thermique car le courant I_{ds0} est nul (transistor pincé).
- $V_{ds0} = 8V$, car la quantité de pièges ionisés dans le cas de cette polarisation est très importante. En effet, les pièges de surface et les pièges de substrat/buffer sont mis à contribution.

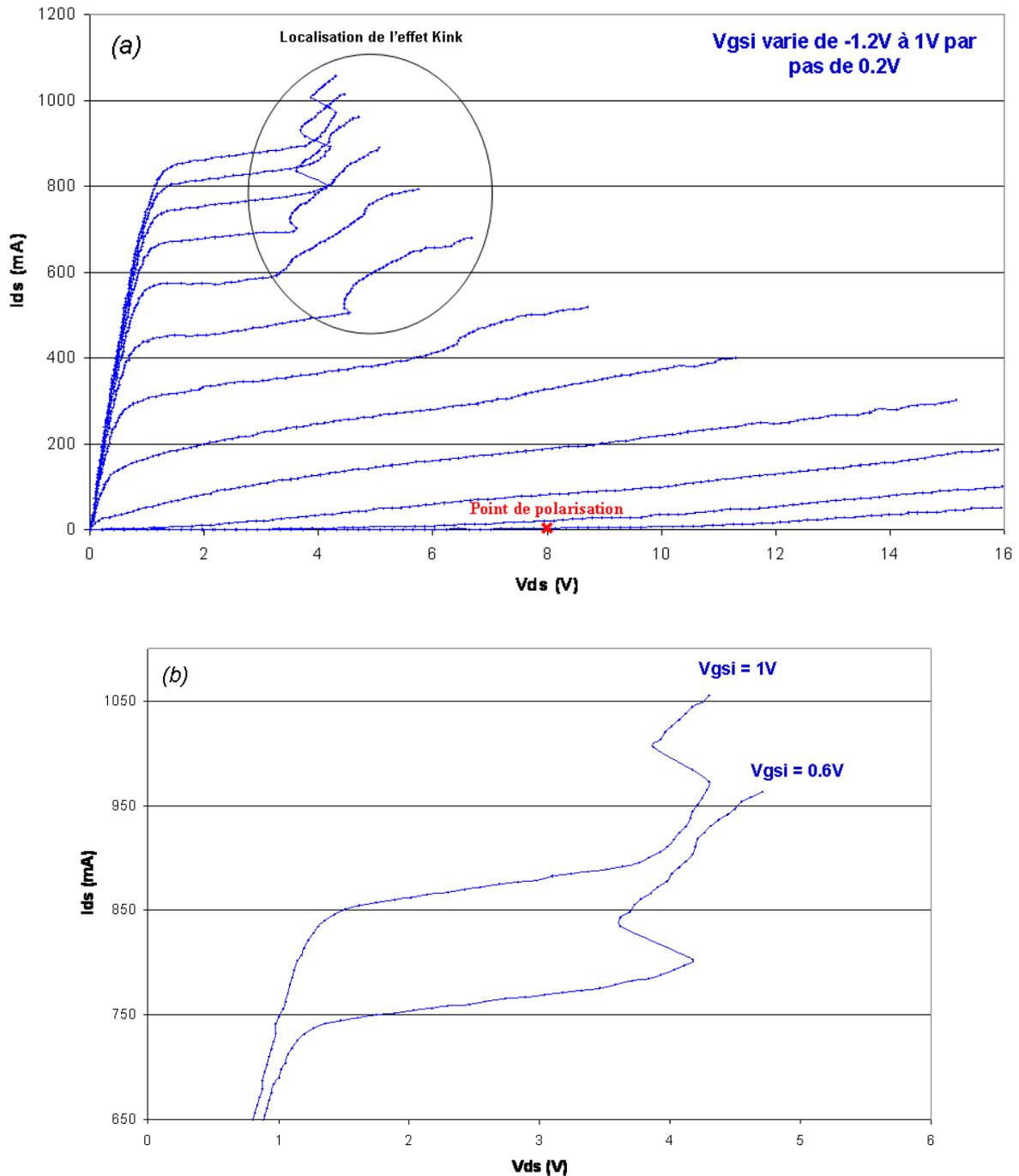


Figure 145. Mesure $I_{ds}(V_{ds})$ d'un transistor 12x150 au point de polarisation $V_{gs0} = -1.4V$ et $V_{ds0} = 8V$:
 (a) réseau entier ; (b) zoom sur l'effet kink sur les courbes à $V_{gsi} = 1V$ et $V_{gsi} = 0.6V$

L'effet kink se remarque par un recul de la tension de drain lorsque se produit un saut de courant. Une explication théorique est donnée par C. Charbonniaud [127]. L'auteur met en évidence un phénomène d'hystérésis qui correspond à l'interaction « pièges/ionisation par impact » vue par l'appareil de mesure. Il introduit également des équations de transport reliant les phénomènes d'ionisation par impact et de pièges sous la forme d'un système différentiel

non linéaire. La solution de ce système peut présenter des phénomènes de sauts tels que ceux observés expérimentalement (*Figure 145*).

D. Conclusion

L'étude des effets des pièges a montré clairement leur implication dans la réduction de l'excursion du cycle de charge, et donc dans la diminution de la puissance de sortie.

Il faut savoir qu'il existe des méthodes de caractérisation [134][135] qui ont permis d'extraire des modèles pour prédire les effets de pièges [136][137][138].

III. Les phénomènes de claquage par avalanche

A. Pourquoi les analyser ?

La compréhension des phénomènes de claquage par avalanche dans les transistors à effet de champ est nécessaire pour décrire les limites d'utilisation. En effet, l'analyse en fonctionnement grand signal des TECs montre une nette saturation de la puissance de sortie de ceux-ci à partir d'un certain niveau de puissance d'entrée. Cette saturation est due à une combinaison de deux effets différents : la conduction de la grille lorsqu'elle se trouve polarisée en direct, mais aussi l'effet de l'avalanche grille-drain.

L'analyse des phénomènes de claquage est aussi importante pour améliorer les structures des composants destinés à l'amplification de puissance hyperfréquence, par exemple la présence d'une grille plus ou moins profonde par rapport aux plots de drain et de source (recess) permet d'augmenter ou de diminuer la tension pour laquelle se déclenche le claquage.

Les travaux de R.E.Leoni [122] ont montré les effets de la dégradation progressive de l'avalanche grille-drain qui se produit souvent en fonctionnement à fort rendement des transistors PHEMTs de puissance. En effet, dans des conditions de stress accéléré, la tension d'avalanche augmente et le courant inverse de grille peut atteindre des valeurs relativement

considérables après 24h entraînant la dégradation des performances en puissance large signal du composant. Ces résultats ont permis d'affirmer que l'excursion du cycle de charge en zone d'avalanche affecte la fiabilité des transistors. Bien modéliser les phénomènes d'avalanche s'avère donc également essentiel pour étudier la robustesse des transistors PPH25X.

Nous allons voir que ses effets limitatifs sont principalement dus à des effets de claquage soit au niveau de la grille, soit dans le canal. On distingue deux principaux phénomènes qui sont pris en compte dans notre modèle : l'avalanche due à l'ionisation par impact (appelé aussi claquage « on state ») et l'avalanche dite standard (ou aussi appelé claquage « off state ») qui apparaît lorsque le transistor est pincé.

B. L'avalanche au pincement

L'application d'une forte polarisation inverse sur la grille Schottky (c'est-à-dire que le transistor est pincé) lorsque la tension V_{ds} est grande, entraîne l'augmentation du champ électrique dans la zone dépeuplée permettant aux quelques porteurs présents dans cette zone d'acquérir une énergie suffisante pour provoquer un claquage. L'avalanche se produit alors au niveau des bords de l'électrode de grille côté drain, ce phénomène entraîne l'augmentation rapide du courant de drain et l'apparition d'un courant de trous se déplaçant vers la grille, c'est le phénomène *d'avalanche standard*.

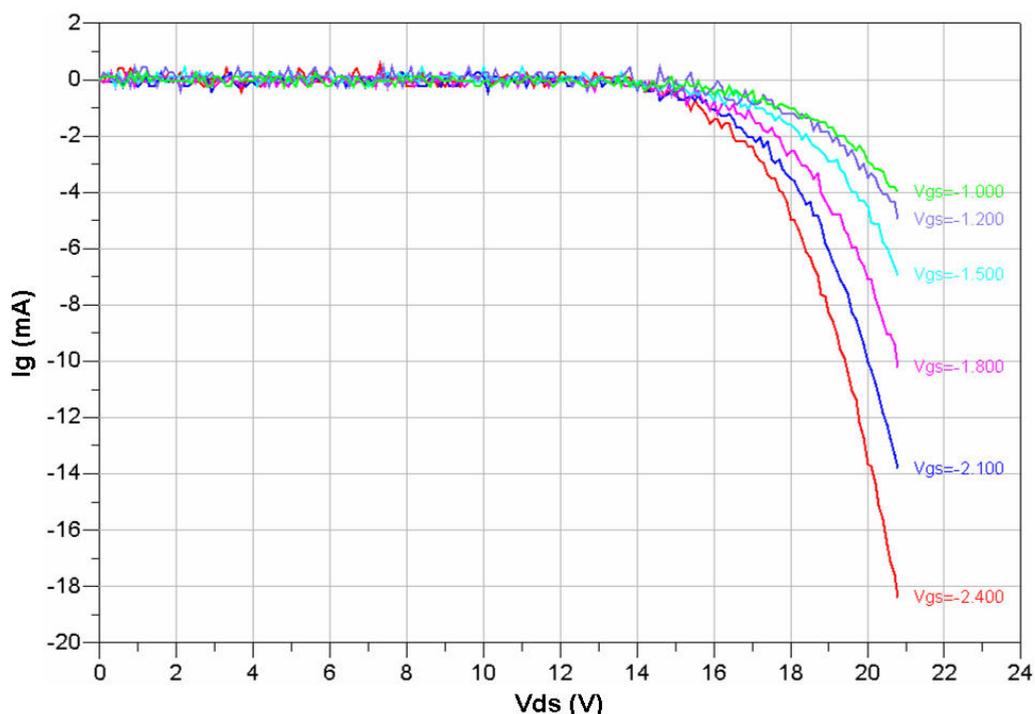


Figure 146. Avalanche standard du transistor PPH25X

Le phénomène d'avalanche standard peut être repoussé vers des tensions V_{ds} plus grandes en modifiant la géométrie en coupe du transistor par la technologie du « recess », c'est-à-dire du creusement de la grille, ce qui permet de diminuer le champ électrique entre les électrodes de drain et de grille et donc de s'éloigner de la valeur critique de champ électrique d'avalanche.

C. L'ionisation par impact [123]

1. Le phénomène

Elle résulte de la collision des porteurs de haute énergie avec les atomes du réseau cristallin. Les électrons incidents transfèrent une partie de leur énergie aux particules percutées. Lorsque cette énergie est suffisante, on aura une succession de création de paires électrons-trous : C'est le phénomène d'*ionisation par impact*.

Dans les transistors à effet de champ, le mécanisme d'ionisation se produit dans le canal entre la grille et le drain, là où existent les plus forts champs électriques (*Figure 147*).

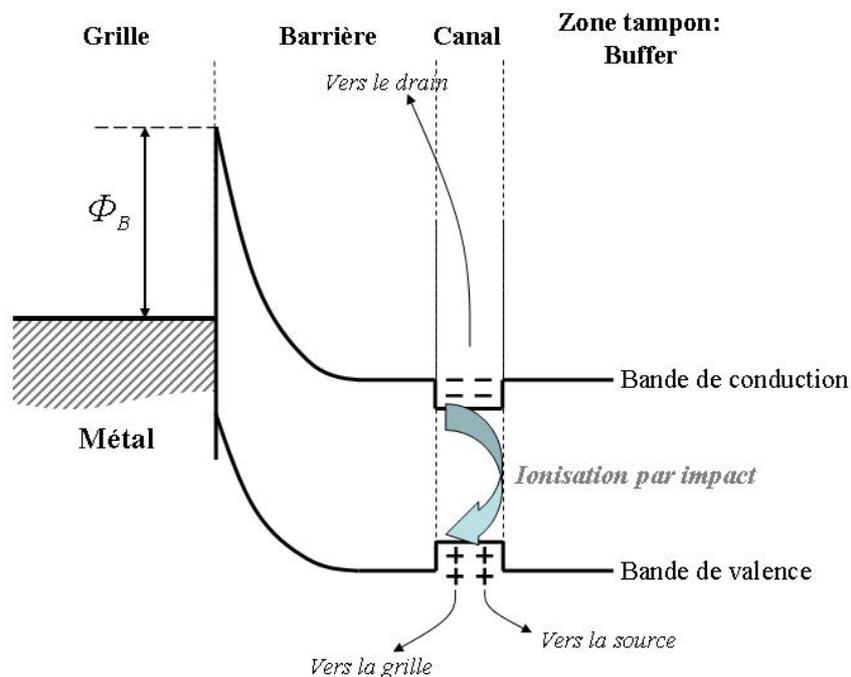


Figure 147. Franchissement de la barrière due à l'hétérojonction par les trous et origine de trois courants : un courant positif d'électrons vers le drain et deux courants de trous négatifs vers la source et la grille.

En polarisant le transistor entre drain et source, le champ électrique peut devenir suffisamment intense pour provoquer l'ionisation par impact. Les électrons ainsi créés participent au courant drain (*Figure 148*) tandis que les trous générés vont soit franchir la barrière due à l'hétérojonction supérieure et remonter vers la grille, soit être collectés par la source.

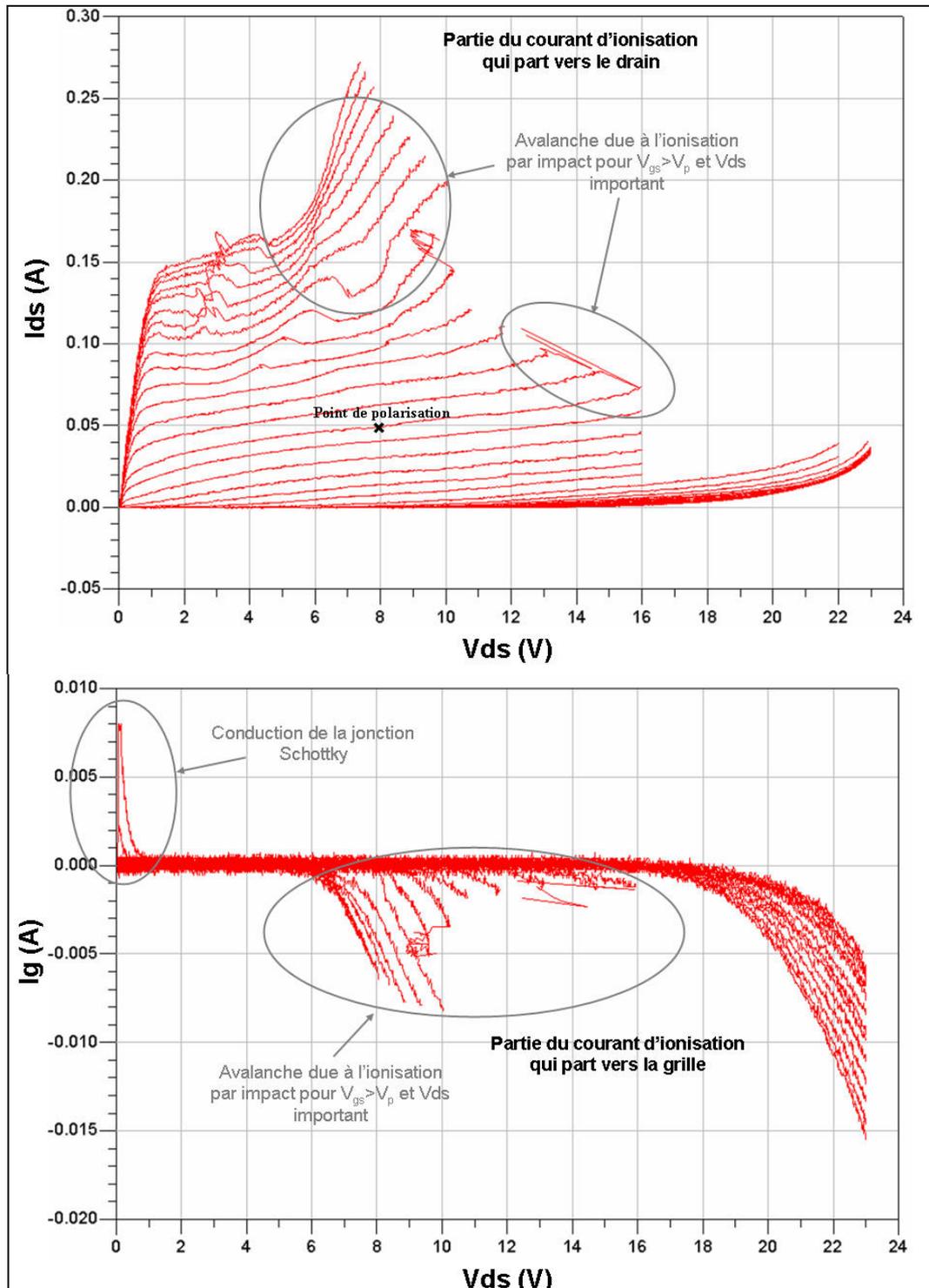


Figure 148. Mise en évidence du phénomène d'avalanche par ionisation par impact dans un PHEMT AsGa par des mesures en impulsion

L'augmentation du courant de grille en régime d'ionisation par impact fait apparaître des courbes en forme de cloche sur les caractéristiques $I_g(V_{gs})$ représentées sur la *Figure 149* suivante :

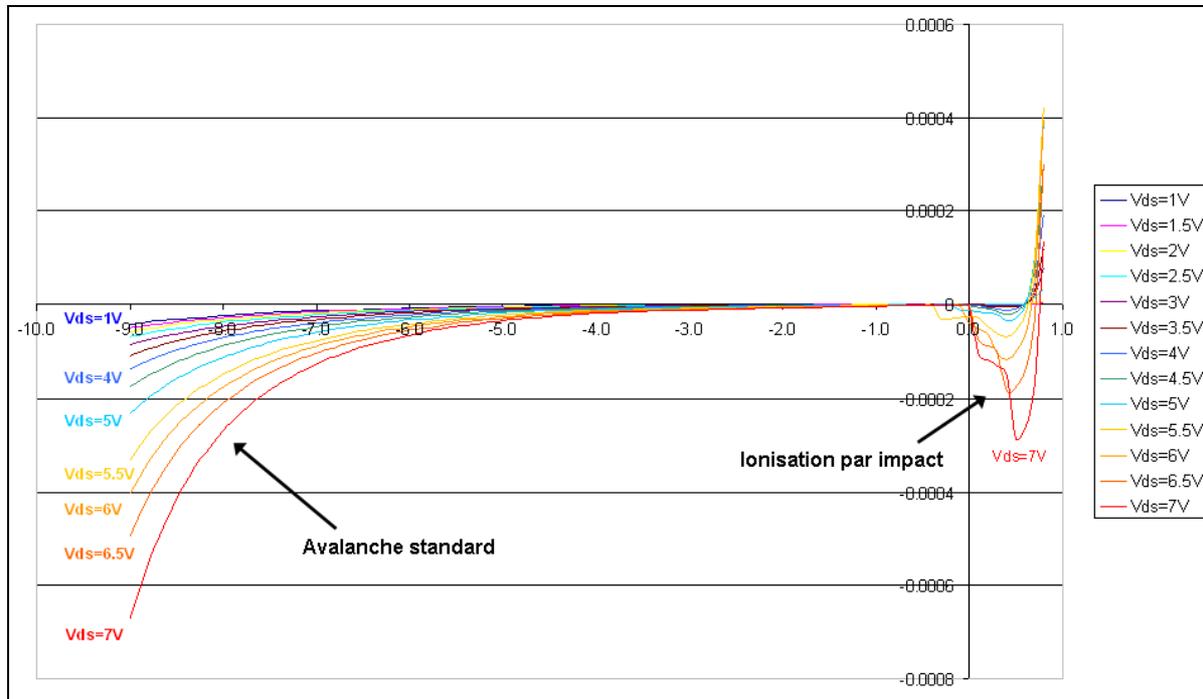


Figure 149. Caractéristiques $I_g(V_{gs})$ d'un PHEMT à double recess de grille et à deux plans de dopage

2. Le modèle

Le modèle présenté dans le chapitre II nous a permis d'estimer entre 80 et 100 (selon les transistors mesurés) le rapport entre la valeur du courant partant dans le drain et la valeur du courant partant vers la grille.

$$80 < \frac{I_{av_ion_{ds}}}{I_{av_ion_{dg}}} < 100$$

La simulation du modèle intégrant l'expression $I_{av_ion_{dg}}$, c'est l'expression du courant de trou partant vers la grille, nous donne les caractéristiques $I_g(V_{gs})$ ci-dessous pour un transistor 8x100.

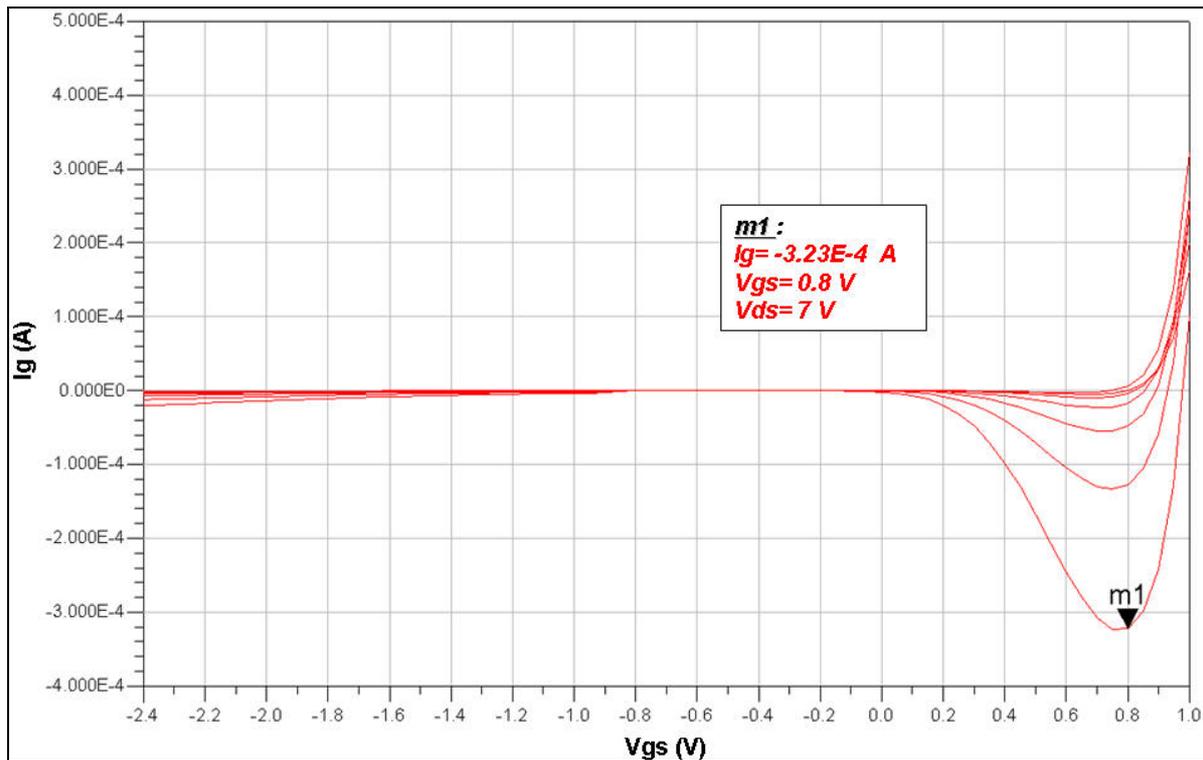


Figure 150. Courbes en cloche simulées avec le modèle

Nous pouvons remarquer que ce résultat est en accord avec la mesure, néanmoins le modèle intégrant l'avalanche due à l'ionisation par impact entre la grille et le drain introduit des risques de non convergence au niveau du simulateur comme nous l'avons précisé dans le chapitre précédent. L'exponentielle trop violente présente sur la grille dépolarise le transistor. Cette dépolarisation du transistor apparaît en simulation mais ne se produit pas en mesure. Il faut donc être vigilant sur l'utilisation de cette équation.

IV. L'ionisation par impact dépend elle de la fréquence ?

A. Mise en évidence du comportement en fréquence de l'ionisation par impact

Le point de départ de cette analyse est l'extraction des éléments du modèle linéaire réalisée à plusieurs températures (voir Chapitre III). Lors de la caractérisation thermique nous

avons pu voir qu'à V_{dsi} constant et lorsque V_{gsi} varie jusqu'à atteindre la zone où est localisée l'ionisation par impact, la conductance Gd augmentait pour les V_{gs} élevés (ce qui est normal puisque Gd est la pente des courbes du réseau $I(V)$). L'extraction était alors réalisée à 4 GHz. Nous nous sommes donc intéressés aux comportements du paramètre Y_{22} (intrinsèque) en fonction de la fréquence.

Nous rappelons que :

$$Gd = Re(Y_{12}) + Re(Y_{22}) \quad (IV-1)$$

et

$$C_{ds} = \frac{1}{\omega} \cdot (Im(Y_{12}) + Im(Y_{22})) \quad (IV-2)$$

Avec $Re(Y_{12}) = 0$ car il n'y a pas de résistance Rgd entre drain et source dans notre modèle.

Pour vérifier notre hypothèse, nous avons mesuré en mode pulsé, pour s'affranchir des effets thermiques, les paramètres $[S]$ d'un transistor 12x125. La mesure est effectuée au point de repos $V_{gs0} = -0.4$ et $V_{ds0} = 8V$ et à température ambiante. Les paramètres $[S]$ sont mesurés de 0.5 GHz à 20 GHz par pas de 0.25 GHz pour avoir le maximum de précision sur les mesures. Des paramètres $[S]$ nous pouvons extraire les paramètres $[Y]$.

Les caractéristiques suivantes montrent l'évolution de l'allure des courbes $Re(Y_{22})(f)$ et $Im(Y_{22})(f)$ en fonction du point de polarisation instantanée lorsque V_{dsi} est constant ($=7V$).

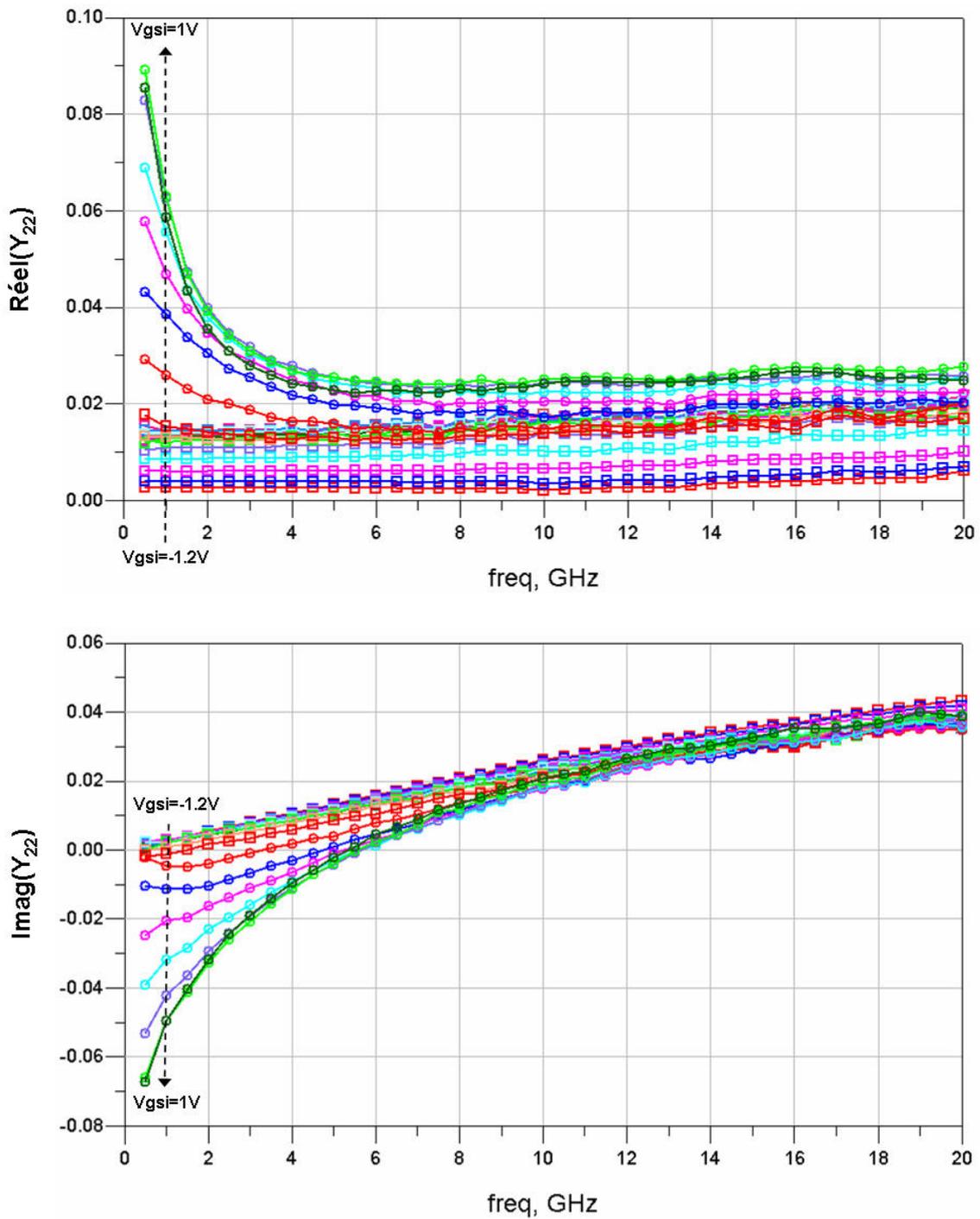


Figure 151. Partie réelle et imaginaire du paramètre Y_{22} intrinsèque en fonction de la fréquence pour V_{dsi} fixé à 7V et V_{gsi} qui varie de -1.2V à 1V par pas de 0.1V

On peut remarquer qu'à basse fréquence les parties réelle et imaginaire varient plus fortement avec la position du point de polarisation, qu'aux hautes fréquences.

La conductance de sortie G_d statique extraite à partir du réseau I(V) pulsé, c'est-à-dire la dérivée du courant par rapport à V_{ds} , est donnée ci-dessous pour un $V_{gsi} = 1V$.

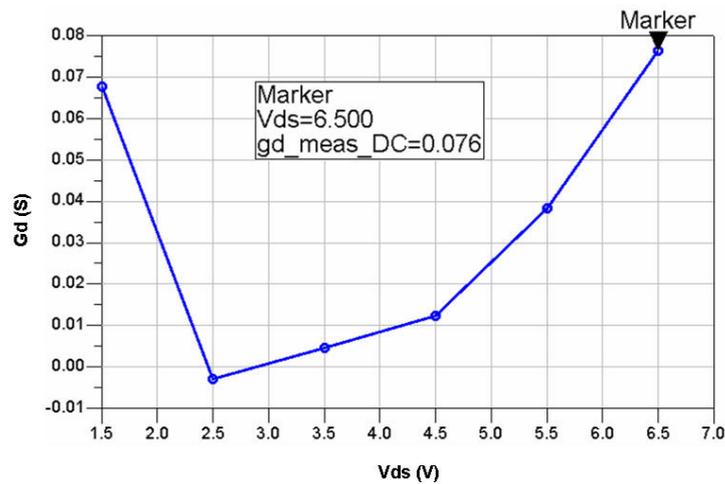


Figure 152. Conductance G_d statique d'un transistor 12x125 à $V_{gs} = 1V$ en fonction de V_{ds}

On peut voir qu'à $V_{dsi} = 6.5V$ dans la zone d'ionisation par impact, G_d vaut 76mS en statique, autrement dit à 0 GHz. A partir des paramètres [Y], toujours dans la même zone, G_d vaut environ 80 mS à 0.5 GHz. En revanche pour des fréquences supérieures à 6 GHz la conductance de sortie n'est plus que de 25 mS. Qui plus est pour des valeurs de la tension grille source plus faibles (c'est-à-dire en dehors de la zone d'ionisation) cette conductance reste constante en fonction de la fréquence.

Ce raisonnement nous fait penser que l'effet dû à l'ionisation par impact ne se perçoit pas aux hautes fréquences.

B. Détermination d'une fréquence de coupure et des éléments de filtrage

Nous nous plaçons le plus loin possible dans la zone où est localisé le phénomène d'ionisation par impact à $V_{gsi} = 1V$ et $V_{dsi} = 7V$.

Nous appliquerons notre raisonnement uniquement sur le courant d'avalanche drain-source $I_{av_ion_ds}$.

Si on suppose que le courant d'ionisation est coupé à haute fréquence, il faut modifier le schéma équivalent de notre modèle. Les deux alternatives possibles sont : court-circuiter la commande de la source d'avalanche ou ouvrir en HF la branche où se trouve le générateur $I_{av_ion_ds}$ par l'intermédiaire d'une inductance placée en série agissant comme un filtre passe-bas (Figure 153).

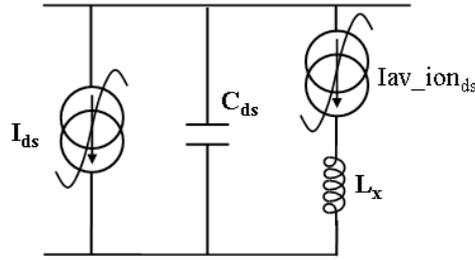


Figure 153. Schéma équivalent grand signal impliquant le filtrage de l'ionisation à haute fréquence

On choisit de filtrer le courant avec l'inductance L_x en série, le schéma petit signal à $V_1=0$ pour calculer Y_{22} est le suivant :

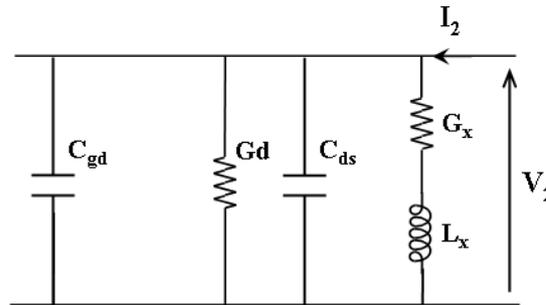


Figure 154. Schémas équivalents petit signal (BF) pour calculer Y_{22}

G_x est la conductance correspondant au courant d'ionisation. Si on recalcule Y_{22} , on a :

$$Y_{22} = G_d + jC_{ds}\omega + jC_{gd}\omega + \frac{I}{R_x + jL_x\omega} \quad (\text{IV-3})$$

avec $R_x = \frac{I}{G_x}$

On en déduit :

$$\text{Re}(Y_{22}) = G_d + \frac{R_x}{R_x^2 + L_x^2\omega^2} \quad (\text{IV-4})$$

$$\text{Im}(Y_{22}) = \left(C_{gd}\omega + C_{ds}\omega - \frac{I}{L_x\omega + \frac{R_x^2}{L_x\omega}} \right) \quad (\text{IV-5})$$

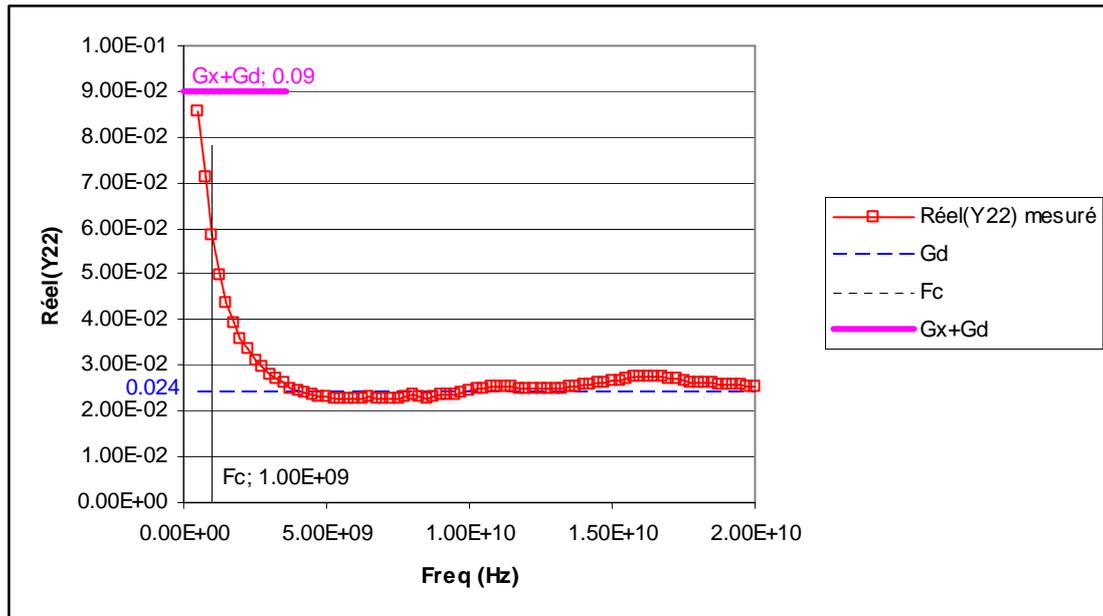


Figure 155. Partie réelle de Y_{22} à $V_{gsi} = 1V$ et $V_{dsi} = 7V$ en fonction de la fréquence

Lorsque ω est grand, $Re(Y_{22})$ tend vers G_d , graphiquement on retient $G_d = 24 \text{ mS}$ (Figure 155). G_x est égale à : $Re(Y_{22})|_{f=0} - G_d$ soit 66 mS . On estime la fréquence de coupure graphiquement également, F_c est aux alentours de 1 GHz . On peut maintenant déduire une approximation de l'inductance qui va nous permettre de couper le phénomène d'ionisation par impact. La fréquence de coupure pour un circuit RL série est définie par la relation :

$$F_c = \frac{R_x}{2\pi.L_x} \quad (\text{IV-6})$$

Avec $R_x = \frac{1}{G_x} = 15\Omega$ et $\omega_c = 2\pi.F_c = 2\pi.10^9$

On a alors $L_x = \frac{R_x}{\omega_c} = 2.4 \text{ nH}$

Au delà de l'amélioration de la modélisation apportée par ce nouveau circuit, cette étude doit être confirmée par de nouvelles techniques de caractérisation en grand signal. Cette amélioration doit aussi permettre de mieux évaluer les performances du circuit dans des conditions de fonctionnement extrêmes : forte compression, forte désadaptation.

C. Résultats Mesures-Modèles au point $V_{gsi} = 1V$ et $V_{dsi} = 7V$

En introduisant l'inductance, estimée précédemment, en série avec le générateur de courant d'ionisation, on estime que le phénomène est supposé présent uniquement à basse fréquence (< 1 GHz). Les caractéristiques mesurées et simulées du paramètre Y_{22} en fonction de la fréquence sont tracées ci-dessous pour deux tailles de transistor 12x125 et 4x75.

Transistor 12x125 :

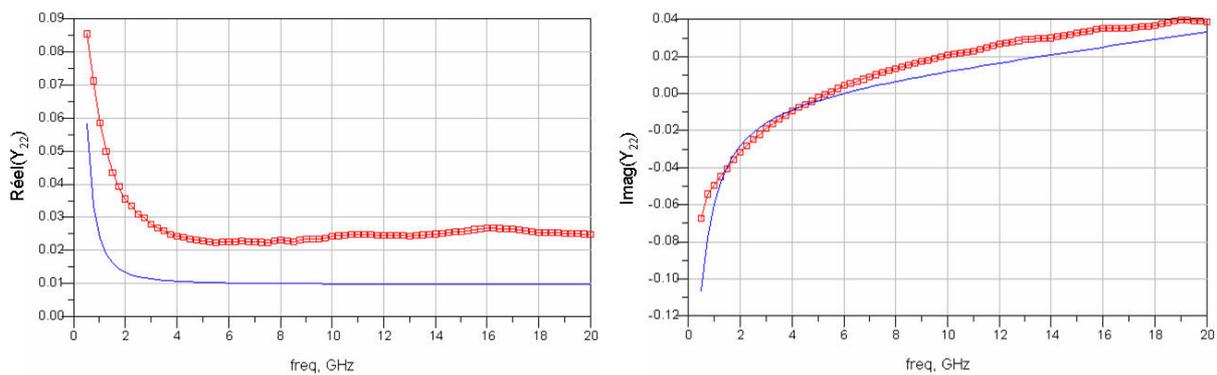


Figure 156. Comparaison mesures (—□—), simulation avec le modèle (—) pour un transistor PPH25X 12x125 μm

La différence entre le modèle et la mesure sur la partie réelle de Y_{22} peut s'expliquer par la différence qu'il existe entre le Gd_{RF} extrait des paramètres [S] et le Gd_{DC} issue de la dérivée du courant de drain.

Transistor 4x75 :

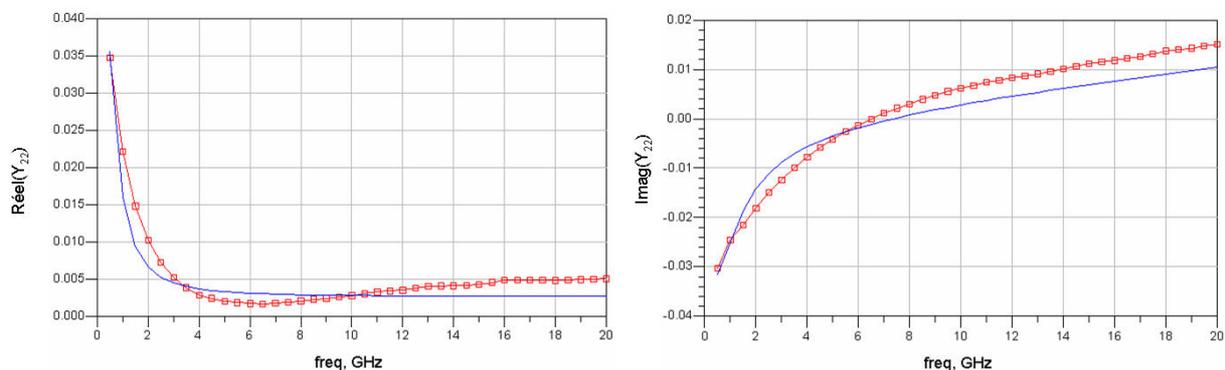
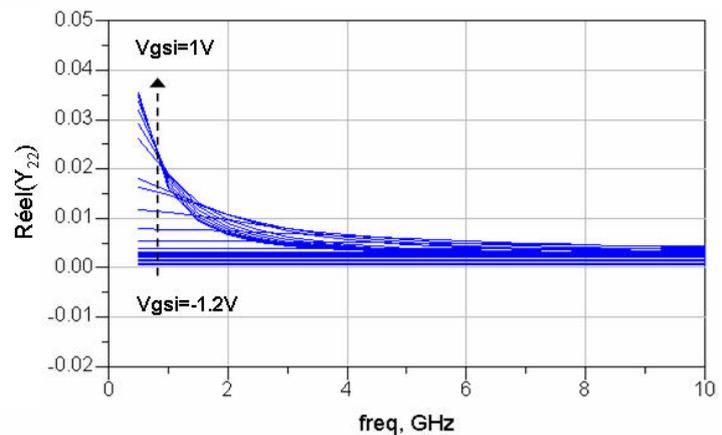
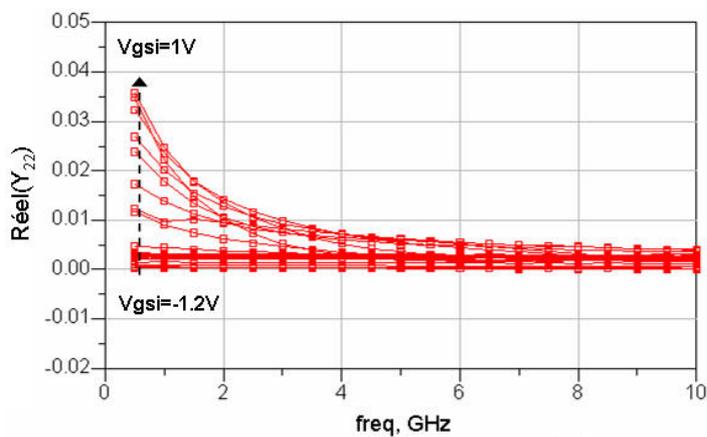


Figure 157. Comparaison mesures (—□—), simulation avec le modèle (—) pour un transistor PPH25X 4x75 μm

Les mesures sont réalisées à température ambiante. On peut remarquer que l'allure de Y_{22} dans la zone d'ionisation par impact est très proche du modèle avec l'inductance en série avec le générateur de courant $I_{av_ion_ds}$.

D. Résultats Mesures-Modèles à V_{dsi} constant

Avec les caractéristiques suivantes on peut mettre en évidence notre idée en étudiant comment évolue l'allure de Y_{22} lorsqu'on se déplace, par l'intermédiaire du point de polarisation, vers l'ionisation par impact.



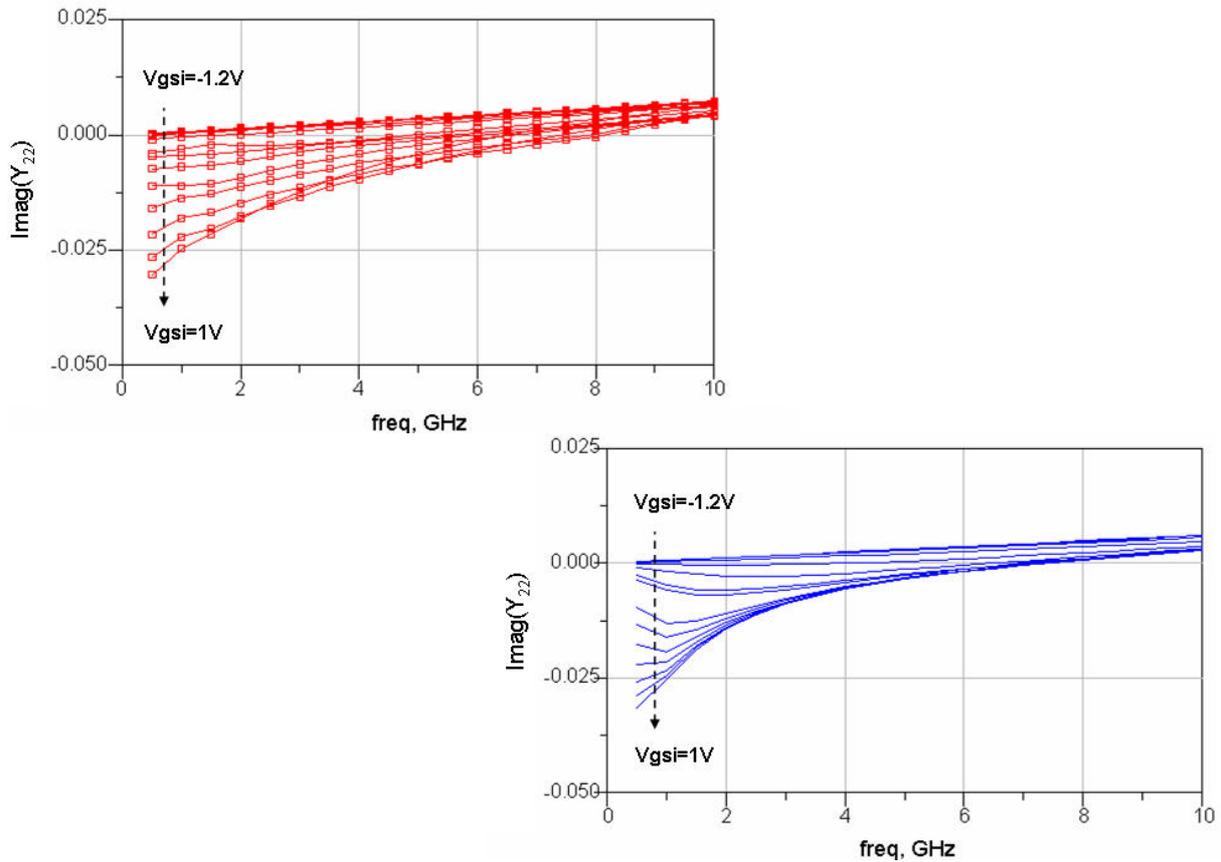


Figure 158. Comparaison mesures (—□—)-simulation avec le modèle (—) pour un transistor PPH25X 4x75 μm

La Figure 158 représente la comparaison mesures-simulation à 25°C jusqu'à 10 GHz ; ces mesures confortent notre idée que le phénomène concerne les basses fréquences.

E. Comportement du phénomène en fonction de la température

Dans ce chapitre, nous avons caractérisé l'avalanche due à l'ionisation par impact en fonction de la température. On sait que plus la température de jonction est faible, plus l'avalanche se déclenche tôt sur les caractéristiques. On doit pouvoir constater cet effet sur le paramètre Y_{22} , en se plaçant sur un point du réseau appartenant à la zone d'ionisation. Le modèle électrothermique ajouté au modèle d'avalanche doit retranscrire la variation de Y_{22} en fonction de la température de socle (Figure 159).

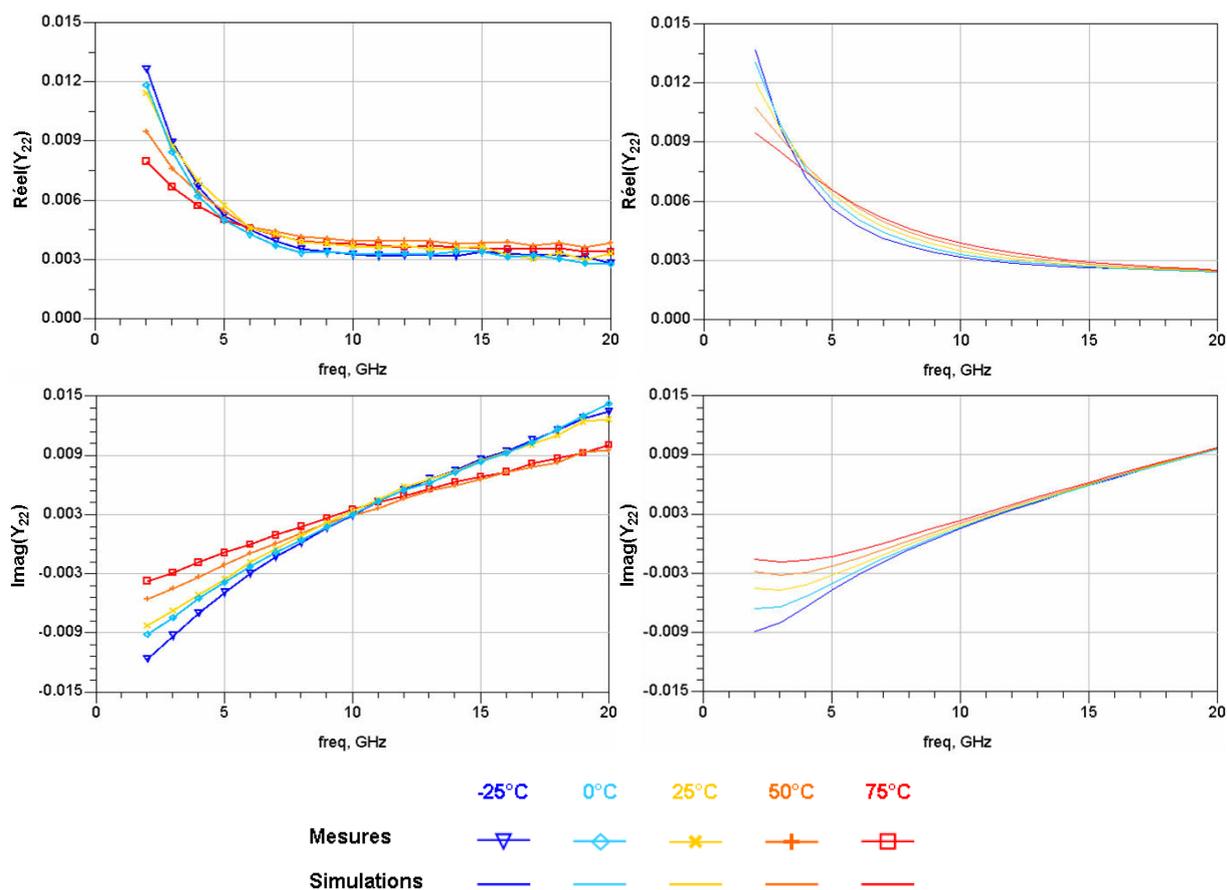


Figure 159. Variation de Y_{22} en fonction de la température de socle au point $V_{gsi} = 1V$ et $V_{dsi} = 6V$

Cette variation en température de Y_{22} aux basses fréquences illustre l'idée que le phénomène d'ionisation par impact est BF (Basse Fréquence).

F. Conclusion

Nous avons mis au point un modèle qui permet de supprimer l'ionisation par impact à haute fréquence, cependant il n'a pas pour objectif d'être précis mais il nous donne une idée sur le comportement du phénomène. Si notre hypothèse est vraie, en basse fréquence, la conductance G_d doit retrouver sa valeur obtenue lors d'une mesure statique. Pour comprendre ces phénomènes les méthodes de caractérisation classique ne suffisent plus. Nous allons voir dans la suite de ce chapitre de nouvelles perspectives de caractérisation.

V. Validation en régime de grand signal RF

A. Introduction

Les contraintes en termes de performance et de fiabilité impliquent la connaissance exacte du comportement en régime grand signal dans toutes les zones de fonctionnement. Le transistor de puissance PPH25X est généralement utilisé en classe de fonctionnement AB, mais il est souvent demandé de tester les amplificateurs de puissance à plusieurs niveaux de compression et sur différentes adaptations de sortie.

B. Comportement du cycle de charge dans les zones d'avalanche : mesures sur le banc LPT [139]

L'acronyme LPT (Load Pull Temporel) désigne le banc de mesure de type load pull permettant de mesurer les formes d'ondes temporelles aux accès des transistors, en introduisant dans l'architecture des bancs load pull classique, un instrument récepteur RF appelé LSNA.

Le système LSNA (Large Signal Network Analyser) est un outil très utile permettant la mesure des ondes temporelles des tensions/courants aux accès des transistors, en fonctionnement grand signal et en une seule acquisition. Le LSNA permet aussi de caractériser la dynamique du cycle de charge extrinsèque.

1. Description du banc de mesure

La structure du banc LPT a été élaborée par Fabien De Groote dans le cadre de ses travaux de thèse avec le laboratoire XLIM [139]. L'élément principal de ce banc est le LSNA pour la mesure des formes d'ondes temporelles mais la structure du banc permet de garder toutes les possibilités d'un banc load pull classique.

Les autres éléments qui constituent le banc sont :

- un tuner d'entrée
- un tuner de sortie
- un tube à ondes progressives pour alimenter en puissance RF des transistors de puissance ou très désadaptés
- une source RF avec option de puissance, pour fournir jusqu'à 25 dBm
- des alimentations continues jusqu'à 50 V sur le drain

La figure suivante donne le schéma du banc de mesure de transistors tel qu'il est utilisé pour les mesures réalisées sur les transistors PPH25X.

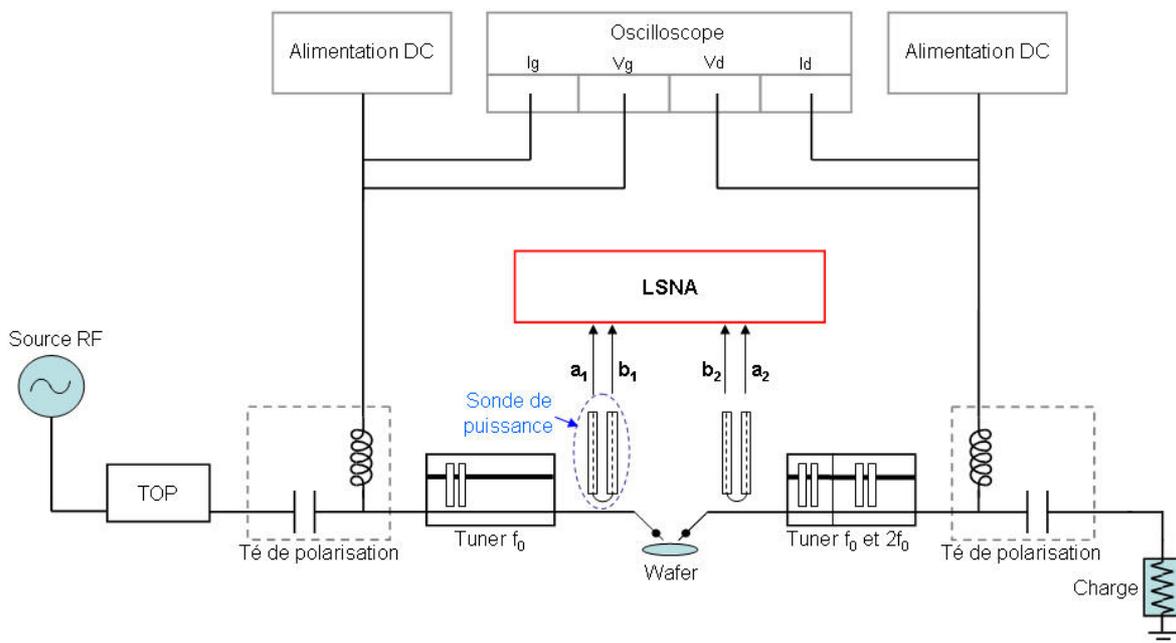


Figure 160. Banc de mesure LPT XLIM Brive

Les mesures présentées sont réalisées avec des tensions de polarisations continues (CW) et des fréquences fondamentales de 2 GHz ou 4 GHz.

Remarque : Le banc de mesure est limité en fréquence à 20 GHz par le matériel utilisé, notamment par les câbles et les connecteurs. Or pour reconstituer au mieux les formes d'ondes, il est préférable d'avoir le maximum de fréquences harmoniques associées à la fréquence fondamentale ($2f_0, 3f_0, \dots, nf_0$). C'est pour cette raison qu'il n'a pas été possible de mesurer les transistors PPH25X à de plus hautes fréquences où ils sont généralement utilisés.

Lors de nos manipulations à 2 et 4 GHz, le nombre de fréquences harmoniques associées est respectivement de 9 et 5.

2. Caractérisation de composants PHEMT AsGa

Le principe de cette caractérisation est l'observation du comportement des transistors PPH25X sur l'allure des formes d'ondes tensions/courants. Les mesures présentées dans cette partie sont parmi les premières réalisées sur ce type de composants. Dans un premier temps, notre étude sur le banc LPT a consisté à évaluer nos transistors, c'est-à-dire à analyser leurs réactions en appliquant différentes conditions de mesures et ainsi nous éclairer sur la façon d'utiliser au mieux le banc, car pour nous, l'objectif prépondérant de ces manipulations est l'analyse des phénomènes limitatifs et tout particulièrement l'influence de l'ionisation par impact sur le cycle de charge.

De l'évaluation précédente, plusieurs manipulations nous ont semblé pertinentes dans le cadre de notre objectif :

- Réaliser des mesures de cycle de charge en faisant varier la partie réelle de impédance de charge mais en gardant la partie imaginaire nulle.
- Etudier le cas de l'avalanche standard en polarisant le transistor au plus près de la zone de claquage.
- Appliquer une impédance de sortie telle que la forme du cycle de charge atteigne le lieu où est localisé le phénomène d'ionisation par impact.

Grâce à ces manipulations, nous avons pu aussi comparer nos différents modèles et ainsi commenter nos hypothèses.

Remarque : les mesures des ondes tensions-courants nous donnent les cycles de charge extrinsèques c'est-à-dire dans le plan des pointes de mesures. Les modèles équivalents aux lignes d'accès du transistor seront introduits lors des simulations.

a. Mesures à 2 GHz de cycles de charge avec des impédances de charge à partie imaginaire nulle

i. Présentation de la méthode de mesure

Les mesures sont réalisés à $V_{gs0} = -0.4V$ et $V_{ds0} = 8V$. Deux tailles de transistor ont été mesurées : un transistor de 4 doigts de $75\mu m$ de largeur de grille et un transistor de 10 doigts de $125\mu m$ de largeur de grille. Le principe est de faire varier la partie réelle de l'impédance de

charge en fixant la partie imaginaire à 0. En pratique la partie réelle est presque nulle et le tuner de sortie ne peut imposer qu'une partie réelle de 10 Ω au minimum. La figure ci-dessous montre les cycles de charge extrinsèques obtenus sur les transistors PPH25X mesurés à 2 GHz CW avec neuf autres fréquences harmoniques.

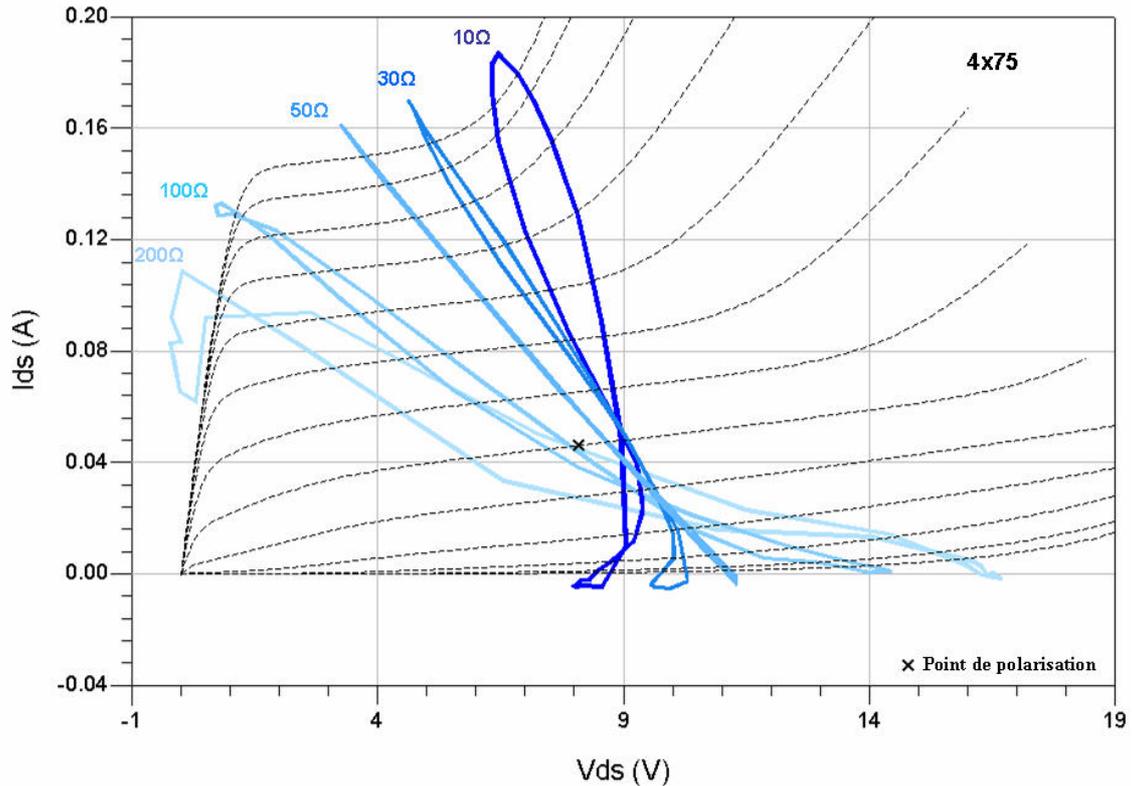


Figure 161. Mesures du transistor $4 \times 75 \mu\text{m}$ à 3dB de compression pour différentes valeurs d'impédance de charge

En arrière plan est tracé le réseau I(V) pour mieux localiser la position du cycle de charge.

On applique une puissance d'entrée élevée pour essayer de bien définir le contour de la zone de saturation. On peut remarquer sur la Figure 161 que cette façon de mesurer les transistors nous permet d'atteindre le lieu de l'ionisation par impact. Nous allons donc pouvoir comparer nos modèles à ces mesures par la suite.

Ce procédé de mesure peut être également utile pour délimiter le coude entre la zone ohmique et la zone de saturation dans les PHEMTs (Figure 162). On peut ainsi imaginer qu'avec un grand nombre de valeurs de partie réelle sur l'impédance de charge, on pourrait délimiter avec précision la zone de fonctionnement RF utile pour la modélisation de composant de puissance.

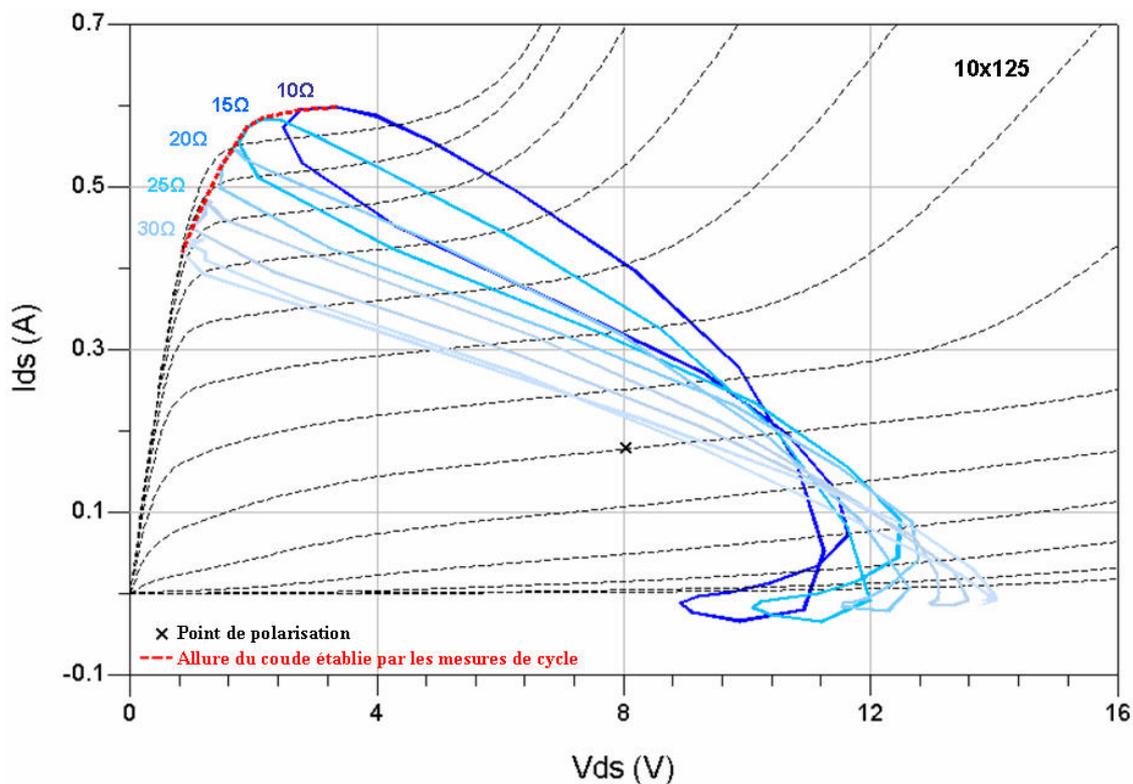


Figure 162. Mesures du transistor $10 \times 125 \mu\text{m}$ à 3dB de compression pour différentes valeurs d'impédance de charge

ii. Comparaison Mesures-Modèles

Nous comparons les mesures réalisées sur le transistor $4 \times 75 \mu\text{m}$ à 3dB de compression pour des impédances de charge de 10Ω , 30Ω , 50Ω , 100Ω et 200Ω , avec trois modèles simulés au plus proche des conditions de mesures. Ces trois modèles ont en fait pour base le même modèle grand signal issue de la caractérisation décrite dans le *Chapitre II* sans la prise en compte de la thermique pour alléger notre étude et parce que les transistors sont polarisés au point de repos typique de la filière PPH25X. La différence entre chaque modèle se situe au niveau de la modélisation du phénomène d'ionisation par impact.

Le premier modèle (*Figure 163*) ne prend pas en compte le phénomène d'I.I (Ionisation par Impact), entre drain et source réside uniquement la source de courant I_{ds} du modèle COBRA [140].

Dans le deuxième modèle (*Figure 164*) la source de courant d'ionisation est activée **en parallèle** avec la source de courant COBRA.

Le troisième modèle (*Figure 165*) quant à lui reprend l'hypothèse écrite dans la partie *IV.B* de ce chapitre et utilise donc la topologie qui consiste à filtrer l'I.I avec la mise en série d'une inductance pour désactiver l'effet aux hautes fréquences.

Il faut rappeler qu'on observe les cycles de charge extrinsèques en mesure, donc il faut prendre en compte les lignes d'accès dans les simulations pour pouvoir comparer mesures-simulations dans des conditions proches.

Le réseau I(V) relatif au modèle est tracé en arrière plan sur chaque figure.

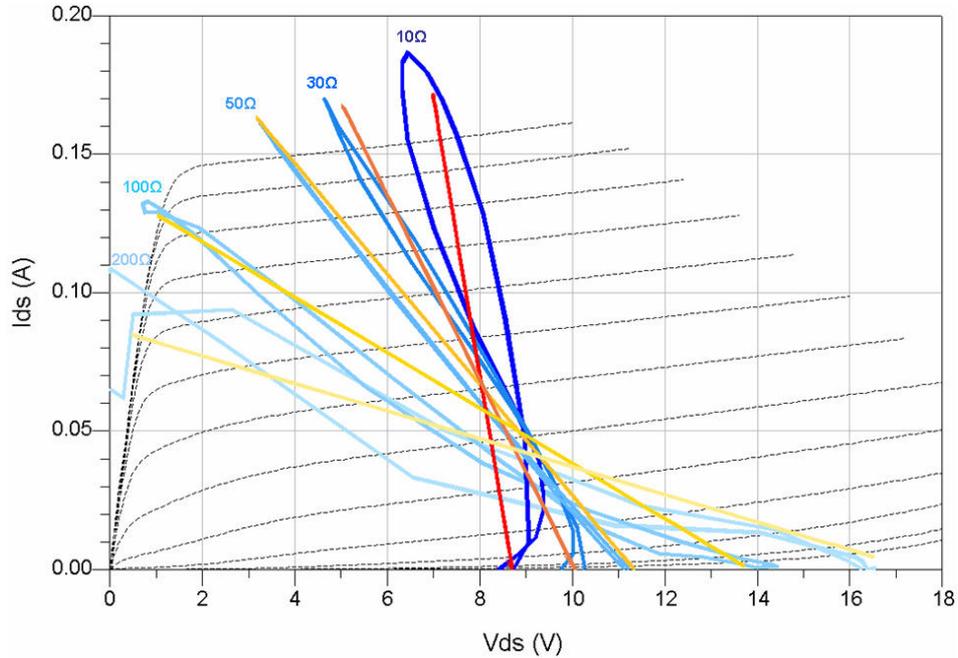


Figure 163. Comparaisons à 2 GHz des mesures (en bleu) par rapport au modèle sans ionisation par impact

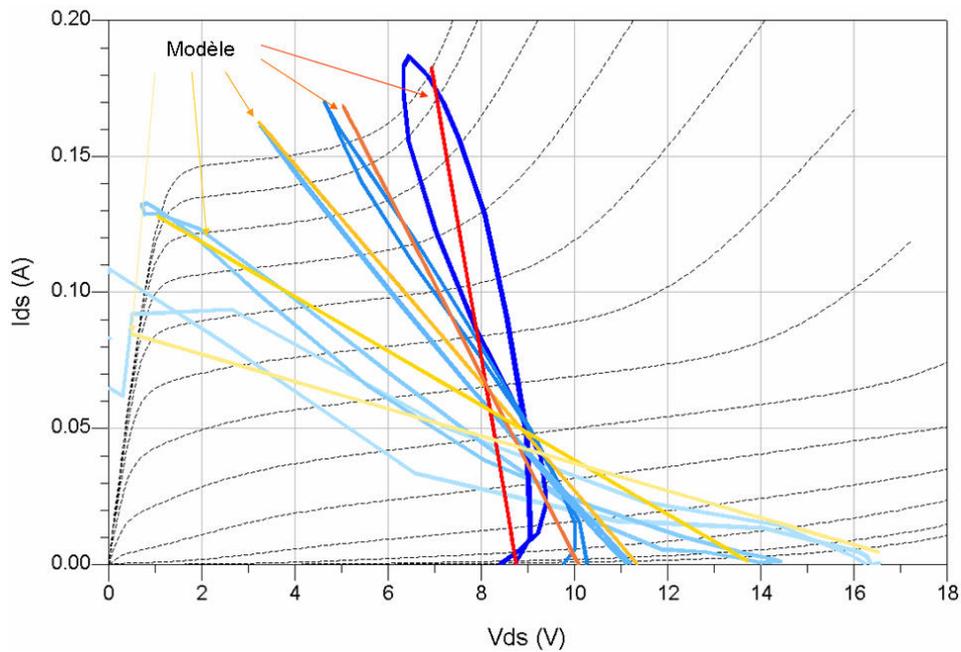


Figure 164. Comparaisons à 2 GHz des mesures (en bleu) par rapport au modèle avec ionisation par impact

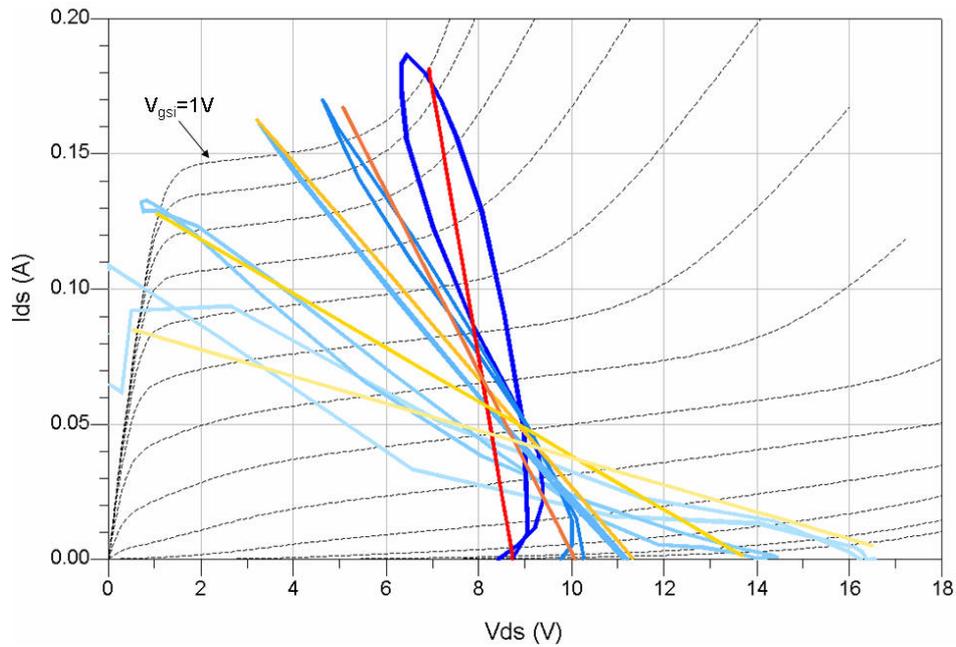


Figure 165. Comparaisons à 2 GHz des mesures (en bleu) par rapport au modèle avec la self en série sur la source I.I

La partie la plus intéressante pour nous se situe au niveau du cycle de charge à $Z_{ch}=10\Omega$, parce que celui-ci pénètre dans la zone où est localisé l'I.I.

En reliant les points d'amplitude maximale pour chaque cycle (exemple sur la Figure 166-a), on peut plus facilement mettre en évidence la différence entre les mesures et les modèles.

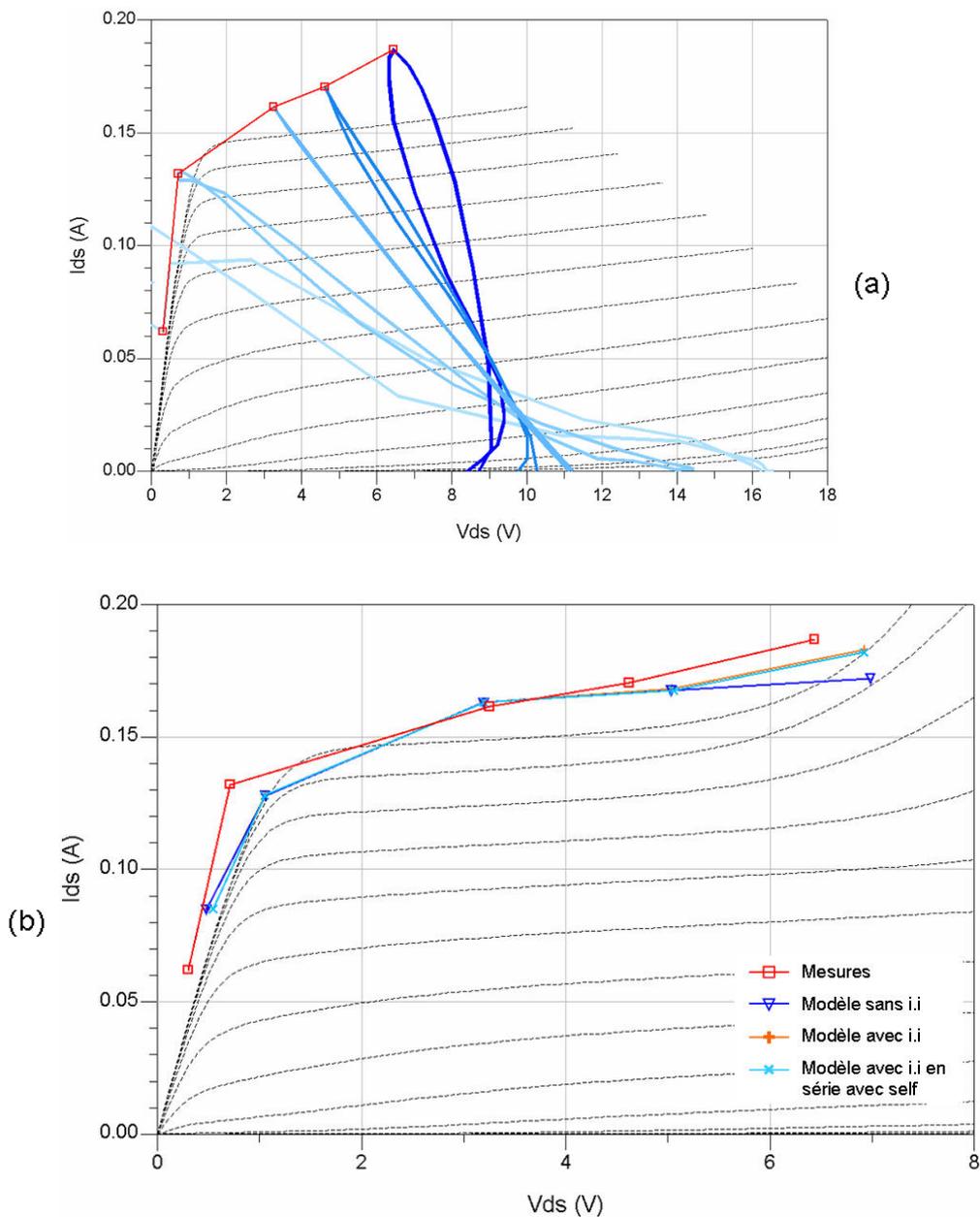


Figure 166. Lieu des points d'amplitude maximale pour chaque cycle mesuré et simulé pour une fréquence de 2 GHz

On peut remarquer sur la *Figure 166-b*, le très faible écart entre le modèle avec I.I et le modèle avec I.I filtré, il est dû à la fréquence de coupure du filtre qui se situe aux alentours de 1-2 GHz. Néanmoins on peut constater que se sont ces deux modèles qui sont les plus proches de la réalité des mesures.

Cependant, il serait intéressant de réaliser une mesure identique à celle-ci à une fréquence plus élevée, ce dont nous n'avons pas été en mesure de réaliser pour l'instant par manque de disponibilité du banc et de transistors.

b. Avalanche standard vue par le cycle de charge

Il est possible avec le banc LPT d'explorer les zones limites d'utilisation des transistors PHEMT. En effet, le cycle de charge est également un très bon outil pour étudier l'avalanche off-state (au pincement). Les méthodes temporelles ont déjà été utilisées pour mesurer celle-ci [141].

L'avantage prépondérant de cette méthode reste la possibilité de polariser le transistor loin de l'avalanche comme pour des mesures avec un banc I(V) en impulsion sauf que le passage dans la zone d'avalanche se fait aux fréquences RF et non plus en continu sous forme d'impulsions d'une centaine de nanoseconde. L'exploration de cette zone se fait donc de manière très brève réduisant le risque de destruction du composant lors de la mesure.

Ci-dessous, la mesure du cycle de charge à 2 GHz d'un transistor PHEMT PPH25X 12x100 μm , est superposée au réseau I(V) modélisé de ce même transistor.

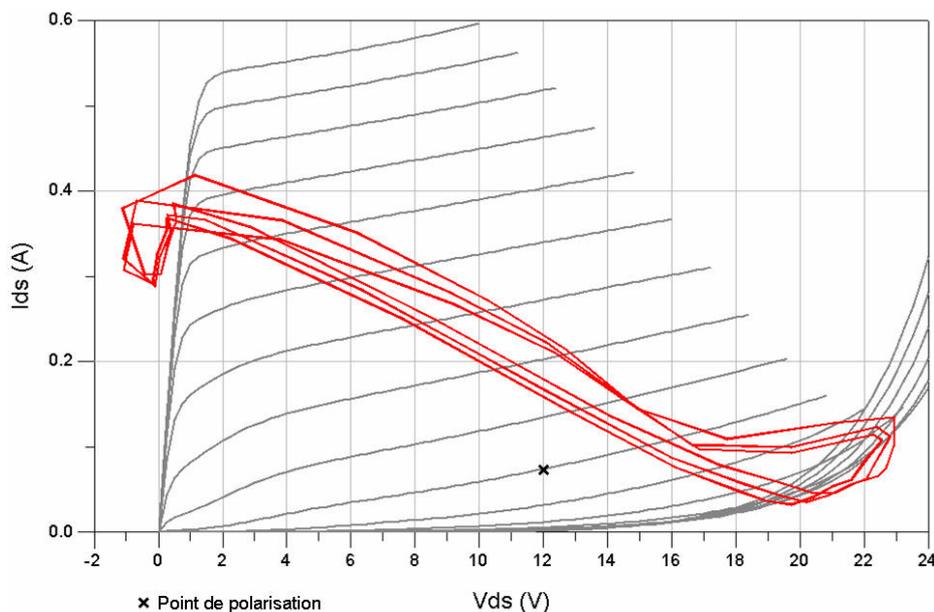


Figure 167. Mesure d'un cycle de charge traversant les trois zones de fonctionnement (zone ohmique, zone saturée et zone d'avalanche)

Le transistor est polarisé à $V_{ds0}=12\text{V}$, donc avec une marge de tension par rapport à la tension d'avalanche théorique de la filière, autour de 18V. L'impédance de sortie est choisie de manière à incliner suffisamment le cycle pour atteindre la zone d'avalanche.

On constate sur la Figure 167 qu'en injectant une puissance d'entrée importante, le cycle de charge vient buter dans la zone ohmique en haut à gauche du réseau et dans la zone d'avalanche en bas à droite. Les lieux d'avalanche correspondent bien entre la mesure et le modèle qui est lui déterminé par des mesures sur le banc I(V) en impulsions.

c. Etude du phénomène d'ionisation par impact par la mesure de cycles de charge ouverts

i. Présentation de la méthode de mesure

Le principe est de trouver une charge à appliquer au transistor afin d'obtenir un cycle de charge déformé qui atteint la zone d'ionisation par impact et ainsi vérifier notre hypothèse comme quoi l'I.I (ionisation par impact) dépendrait de la fréquence. Cette manipulation sera réalisée pour les deux fréquences fondamentales disponibles sur le banc, c'est-à-dire 2 GHz avec neuf fréquences harmoniques et 4 GHz avec cinq fréquences harmoniques.

Le point de polarisation est fixé à $V_{gs0} = -0.4V$ et $V_{ds0} = 8V$ et l'impédance de charge choisie est $Z_{ch} = 8-j30 \Omega$.

Nous comparons ci-dessous les trois modèles (sans I.I, avec I.I et modèle avec filtre) par rapport aux mesures en injectant en mesure et en simulation la même puissance d'entrée au transistor.

ii. Comparaison Mesures-Modèles

Il faut noter que le modèle n'est pas optimisé pour fonctionner avec des impédances de sortie de la sorte. Pour effectuer une comparaison précise, il serait nécessaire d'extraire les capacités non linéaires C_{gs} et C_{gd} sur tout le réseau et non plus sur un cycle de charge adapté pour les applications de puissance.

Cependant, pour vérifier notre hypothèse, la modélisation du transistor est suffisante. En effet, nous voulons voir une éventuelle déformation du cycle dans la zone d'avalanche due à l'ionisation par impact.

Mesures à 2 GHz

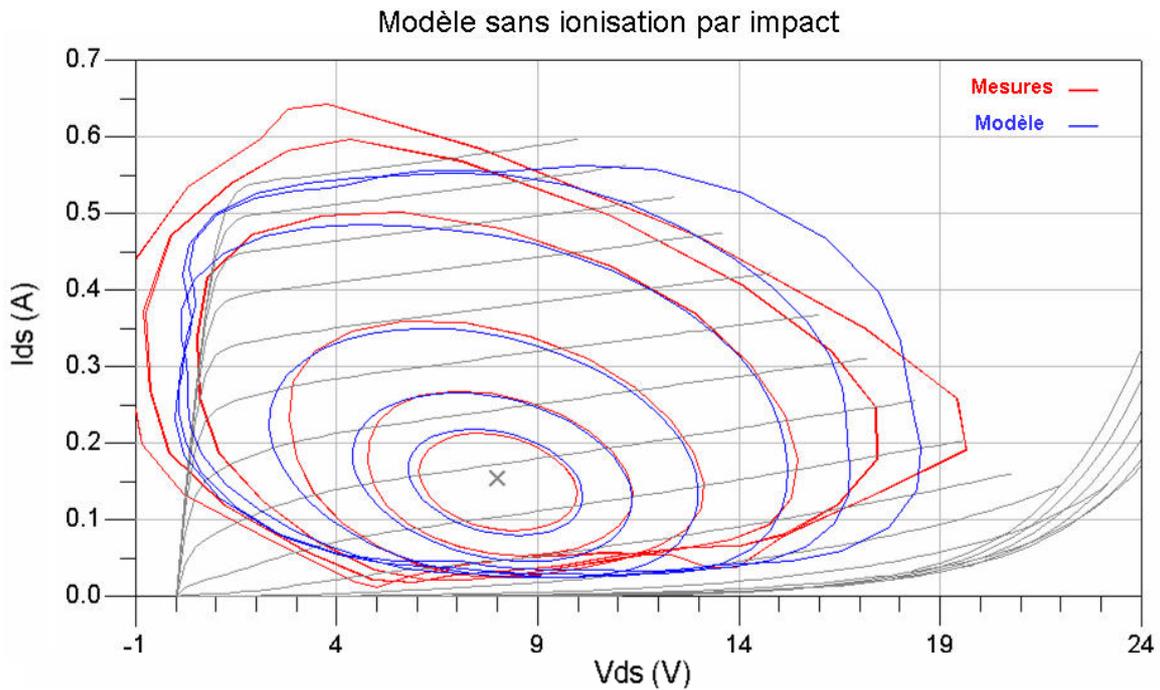


Figure 168. Comparaison à 2 GHz des mesures (en rouge) par rapport au modèle (en bleu) sans la source I.I

Les cycles tracés ici sont recomposés à partir des ondes tension-courant mesurées par le banc dans le plan des pointes hyperfréquences, ce sont donc les cycles de charges extrinsèques.

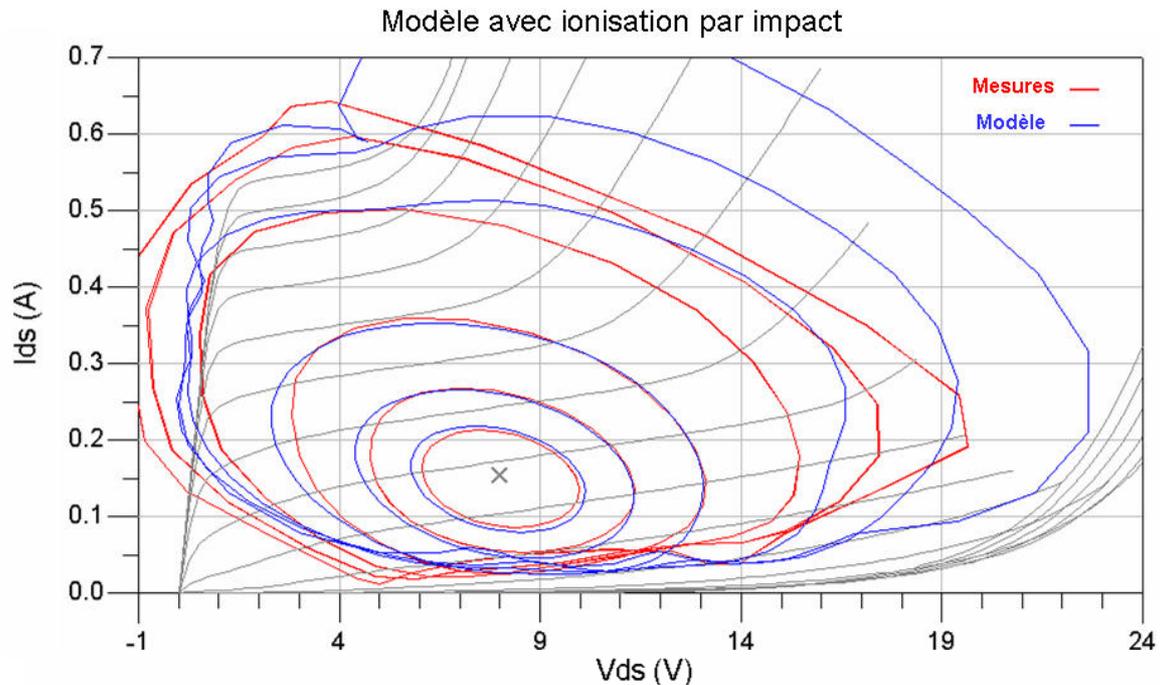


Figure 169. Comparaison à 2 GHz des mesures (en rouge) par rapport au modèle (en bleu) avec la source I.I en parallèle

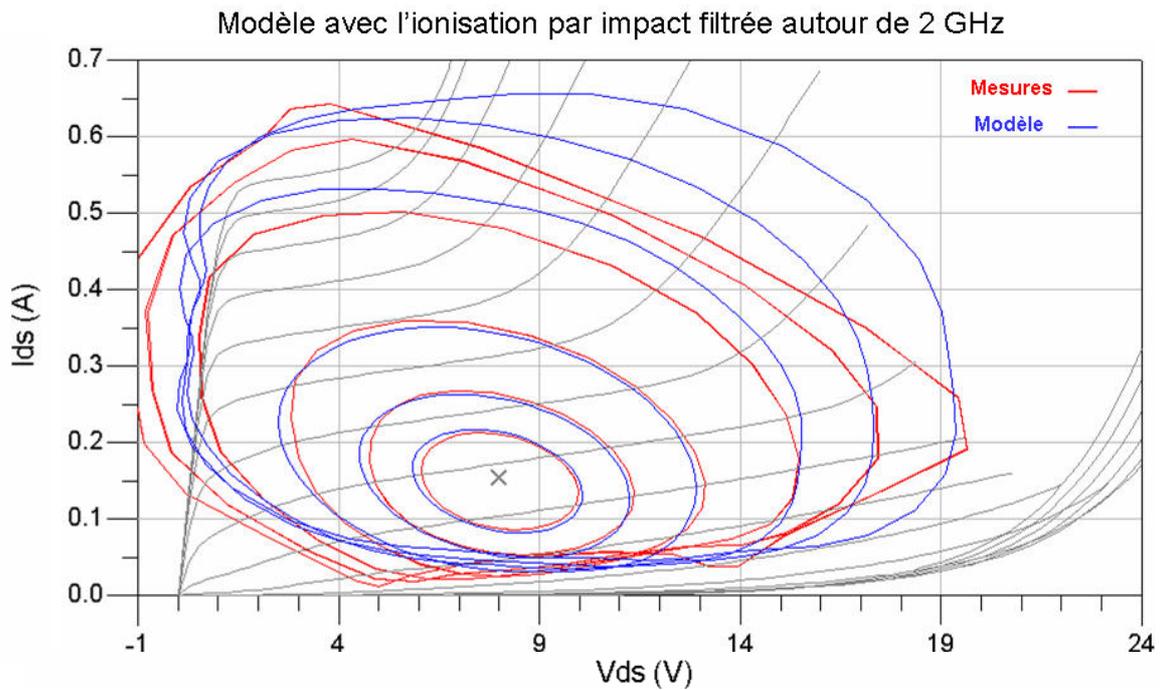


Figure 170. Comparaison à 2 GHz des mesures (en rouge) par rapport au modèle (en bleu) avec la self en série sur la source I.I

On sait qu'à 2 GHz, selon notre supposition, nous sommes dans la zone de transition du phénomène. De plus, le modèle du transistor n'est pas optimisé pour être simulé sur des impédances de charge qui donnent des cycles aussi ouverts. Néanmoins, les trois modèles sont proches des mesures à bas niveau, par contre on constate que le modèle avec la source de courant d'ionisation en parallèle est trop optimiste dans la zone d'avalanche.

Le fonctionnement du banc LPT est comparable au banc de mesure LoadPull, il est donc possible d'utiliser les ondes relevées par le LSNA pour reconstituer les performances en puissance du dispositif.

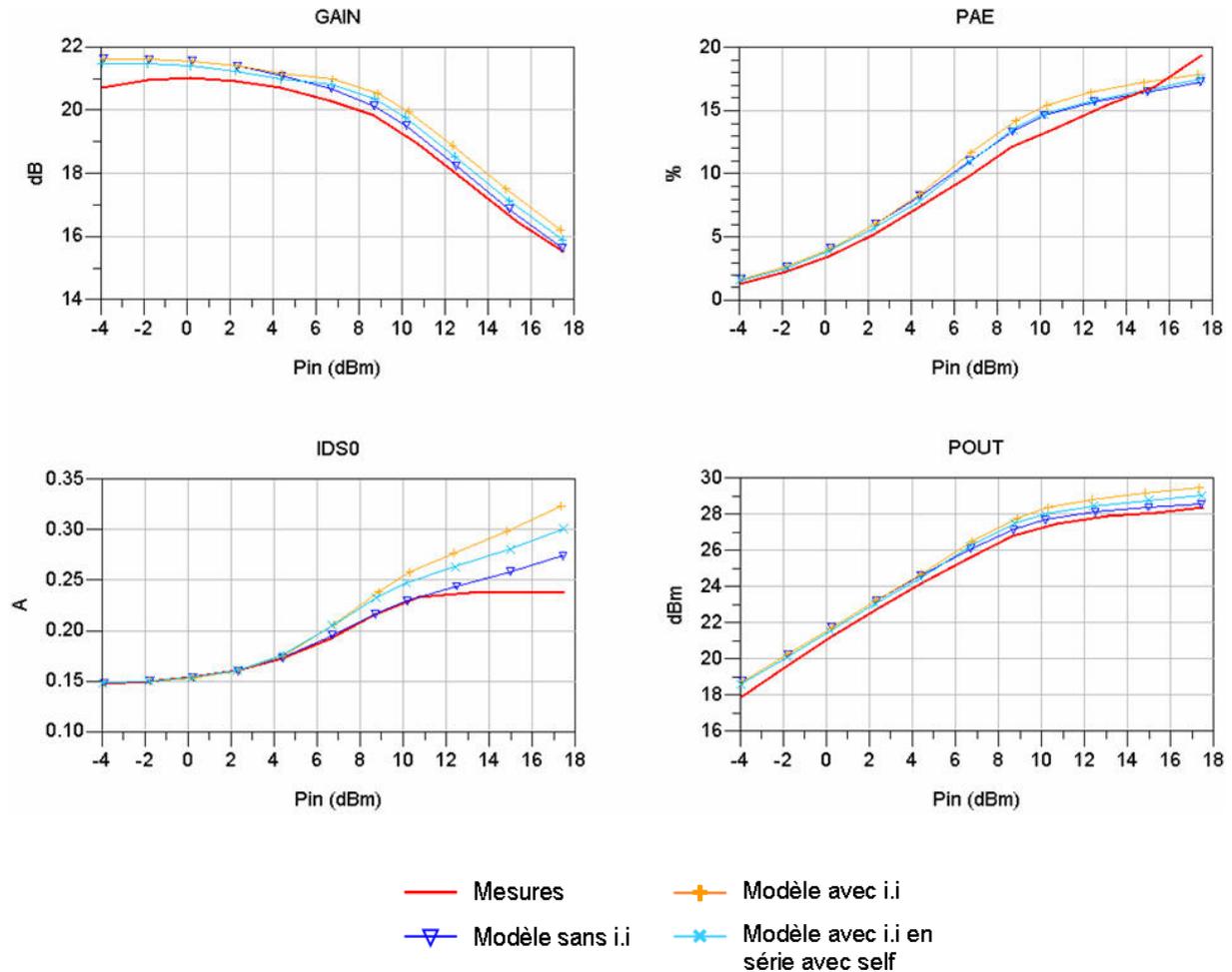


Figure 171. Performance en puissance des mesures et des trois modèles simulés à 2 GHz sur l'impédance de charge 8-30j Ohm

On constate un écart entre chaque modèle et la mesure sur le courant moyen I_{ds0} qui correspond aux différentes façons de modéliser le courant circulant entre drain et source. Cependant dans l'ensemble des mesures de puissance à 2 GHz, on remarque très peu de différences entre simulations et mesures.

Mesures à 4 GHz

Nous nous plaçons dans des conditions identiques aux manipulations à 2 GHz, la même impédance de charge est appliquée sur le même transistor et nous comparons également les mesures aux trois modèles décrit précédemment (modèle sans I.I, avec I.I et modèle avec filtre). Par contre, la fréquence de mesure est considérée maintenant comme supérieure à notre fréquence de coupure F_c .

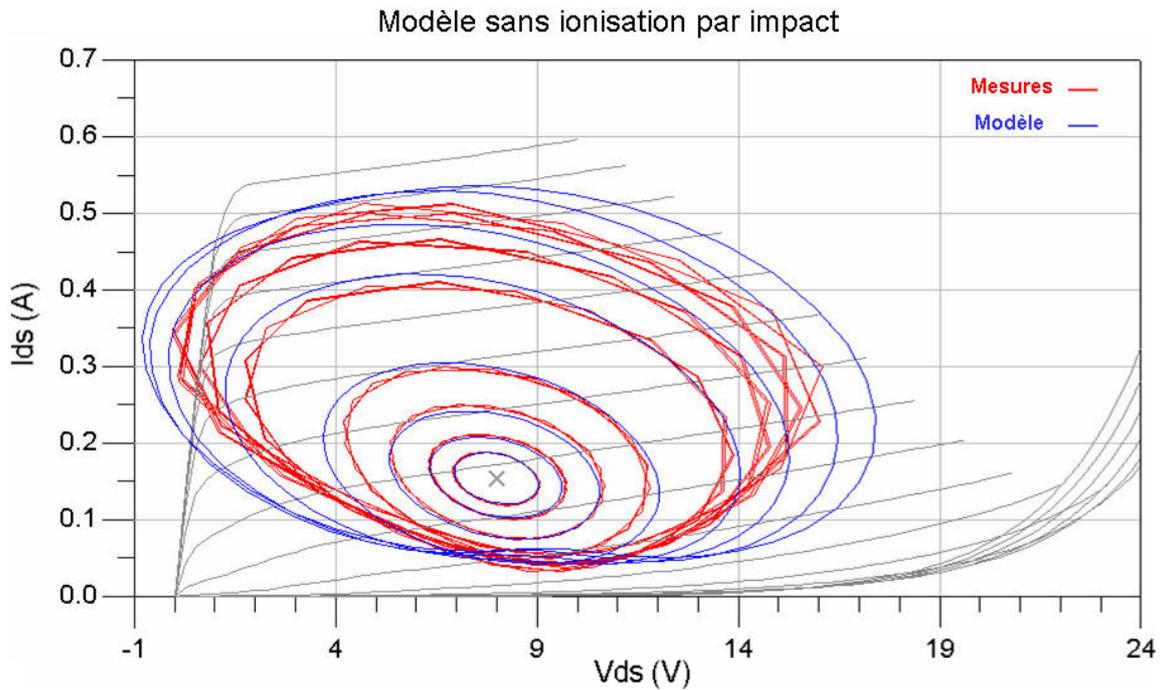


Figure 172. Comparaison à 4 GHz des mesures (en rouge) par rapport au modèle (en bleu) sans la source I.I

Nous pouvons remarquer la légère imprécision au niveau de la reconstitution des cycles de charge mesurés, causé par le faible nombre d'harmoniques disponibles.

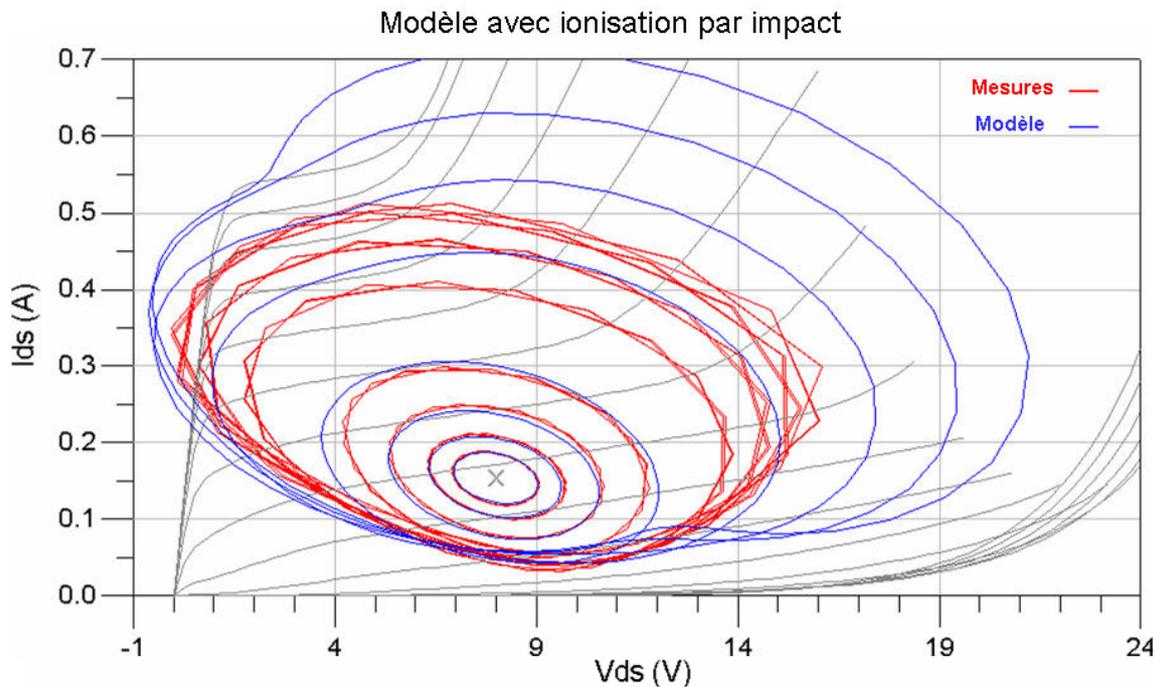


Figure 173. Comparaison à 4 GHz des mesures (en rouge) par rapport au modèle (en bleu) avec la source I.I en parallèle

Comme pour les cycles de charge à 2 GHz, la simulation avec l'ionisation par impact semble beaucoup trop optimiste à 4 GHz. On peut affirmer à la vue de la Figure 173 que la

façon de modéliser l'ionisation par impact en ajoutant une source de courant dédiée en parallèle au courant drain source « classique », n'est pas appropriée au fonctionnement des transistors de puissance PHEMTs.

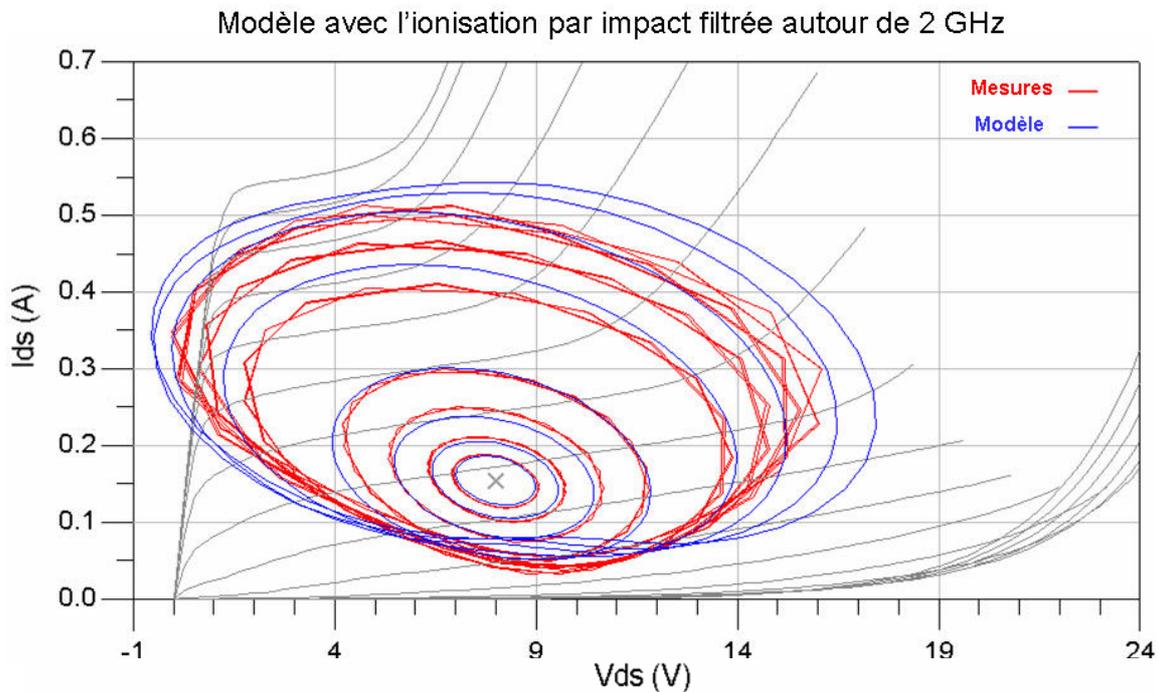


Figure 174. Comparaison à 4 GHz des mesures (en rouge) par rapport au modèle (en bleu) avec la self en série sur la source I.I

A 4 GHz (Figure 174), pratiquement tout le phénomène d'ionisation est filtré, on se rapproche du fonctionnement sans ionisation.

En traçant les performances en puissance du transistor à cette fréquence, on se rend également compte que le modèle avec l'ionisation par impact est faux à puissance d'entrée élevée.

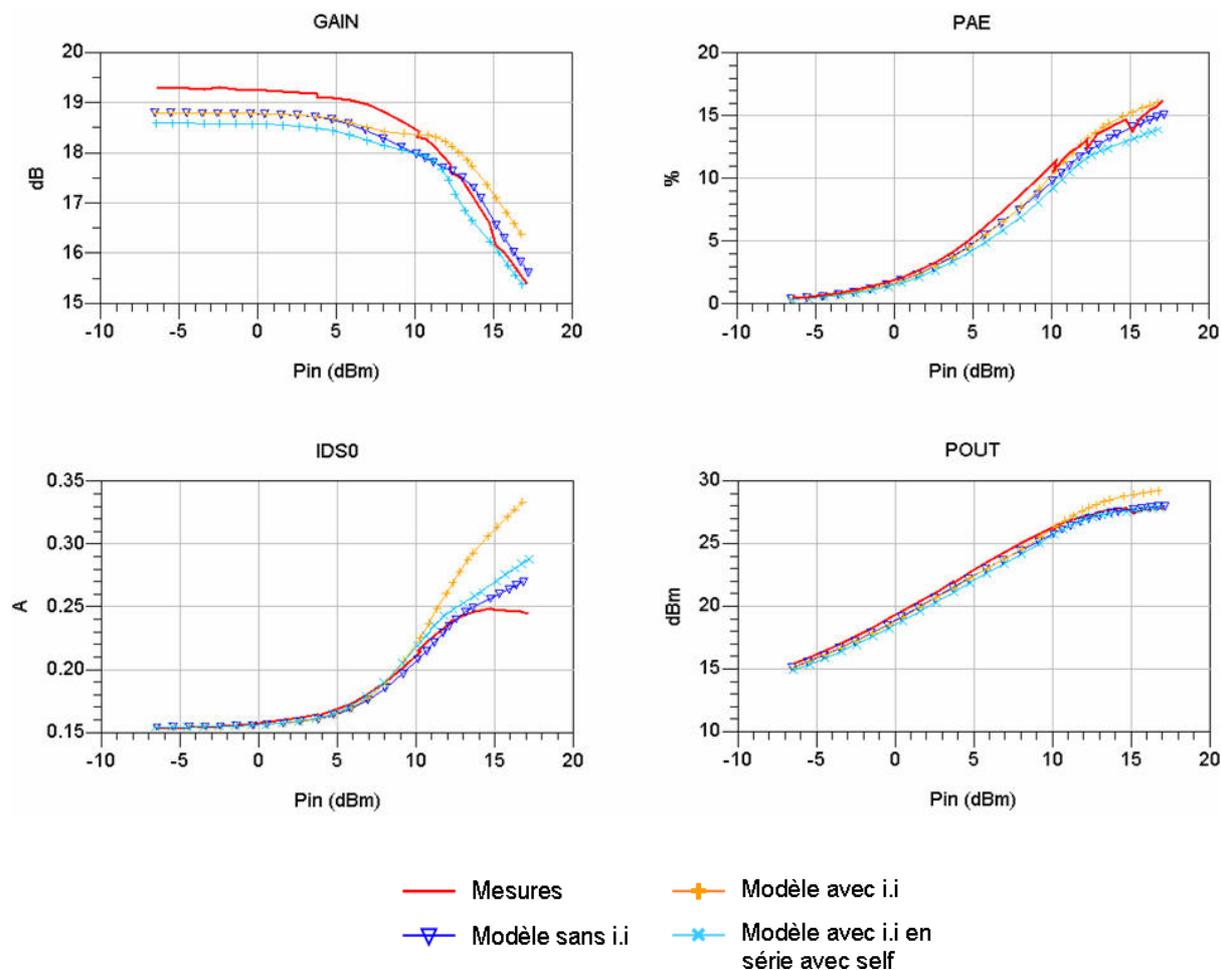


Figure 175. Performance en puissance des mesures et des trois modèles simulés à 4 GHz sur l'impédance de charge 8-30j Ohm

On peut noter une différence très nette au niveau de la puissance de sortie à saturation. Le tableau ci-dessous regroupe les valeurs maximales de P_{out} :

	Mesures	Modèle sans i.i	Modèle avec i.i	Modèle avec i.i filtrée par la self
P_{out} (dBm)	27.8	28.1	29.2	27.8

Tableau 25. Comparaison des valeurs maximales de P_{out} à 4 GHz

3. Conclusion

La mesure des cycles de charge est un outil encore très peu exploité dans la modélisation des composants hyperfréquences par contre cette technique peut être utilisée pour vérifier un modèle ou explorer les zones inaccessibles avec les bancs en impulsion.

De nombreuses manipulations sont envisageables en utilisant cet outil, nous avons pu montrer les perspectives pour étudier les phénomènes d'avalanche dans les PHEMTs. Citons également la possibilité d'étudier les effets de pièges [139] qui n'a pas été utilisée dans cette partie.

Dans le cadre de nos travaux, le banc de mesure LPT nous a permis de mettre en évidence le comportement fréquentiel du phénomène d'ionisation par impact, et ainsi de confirmer une hypothèse importante introduite dans ce chapitre : la présence d'une fréquence de coupure de l'avalanche autour de 2 GHz.

Sur la base d'une caractérisation à l'aide des cycles de charge, des mesures complémentaires restent à entreprendre :

- La mesure d'un transistor monodoigt sur plusieurs impédances de charge. Les petites tailles de composants nous ont paru plus sensibles aux phénomènes d'ionisation par impact.
- La mesure d'un cycle de charge ouvert pour une fréquence fondamentale très supérieure à la fréquence de coupure. Actuellement, les instruments de mesure nous limitent dans cette perspective.
- Par ailleurs la réalisation des mesures précédentes en impulsion avec la reconstitution des formes d'ondes d'impulsion à impulsion apporterait d'autres informations sur la dynamique des pièges, de la thermiques et de l'ionisation par impact.

C. Perspectives pour une meilleure modélisation

Pour améliorer la précision des modèles, il faut se tourner vers de nouvelles méthodes de caractérisation. Nous avons présenté dans ce chapitre une nouvelle approche pour étudier l'ionisation par impact, pour finaliser ce travail d'autres moyens de mesures ont été envisagés :

- La mesure de paramètres [S] basses fréquences qui nous permettrait d'observer le plateau qui pourrait apparaître sur le paramètres Y_{22} et ainsi concevoir un modèle de filtre plus précis pour couper l'ionisation par impact. Cependant, il faudra être vigilant car les mesures sont réalisées avec une polarisation continue, on sait que dans la zone d'avalanche, la puissance dissipée peut être grande et entraîner l'auto échauffement du transistor.

- Les mesures convectives avec des largeurs d'impulsions réduites (une dizaine de nanosecondes). Somerville[142] montre sur un transistor HEMT InAlAs/InGaAs la disparition de l'effet kink (mélange d'ionisation par impact et d'effets de piège) lorsque on diminue la durée des impulsions lors de la caractérisation.

VI. Conclusion

Nous avons pu remarquer l'importance de l'effet thermique dans les PHEMTs AsGa dans le chapitre précédent. Dans cette dernière partie de notre étude, nous nous sommes intéressé aux autres effets dispersifs, également appelés effets parasites, présents dans nos composants.

La quantité de pièges est importante dans les transistors PHEMTs de puissance avec une structure à double recess. En réalisant des mesures de drain-lag et de gate-lag, nous avons mis en évidence les effets de piège sur le réseau I(V) et donc de leurs impacts sur les performances des transistors. De plus, nous avons pu constater l'apparition d'un saut de courant dans la zone de transition entre les effets de piège et le phénomène d'ionisation par impact : appelé l'effet kink.

Beaucoup de travaux ont déjà été réalisés sur les effets de pièges, mais encore peu sur la caractérisation et la modélisation du phénomène d'ionisation par impact en hyperfréquence. La demande croissante de performance en termes de puissance et de fiabilité, implique une connaissance totale des limites du composant. Grâce aux bancs de mesure disponibles à Xlim, nous avons mis en évidence la présence de l'effet d'avalanche « on-state » dans nos transistors PPH25X, puis en employant un modèle simple qui rend compte du comportement aux hautes fréquences de ce phénomène, nous avons déterminé une fréquence de coupure de l'ionisation par impact.

Bibliographie

[122]. **R.E. Leoni, J.C.M. Hwang**

"Effects of Reverse Gate-Drain Breakdown on Gradual Degradation of Power PHEMTs"

IEEE GaAs IC Symp, pp. 31-33, 1996

[123]. **M. Elkhou**

"Modélisation hydrodynamique bidimensionnelle de transistors à effet de champ. Analyse physique des limitations et des performances des filières pHEMT sur GaAs et HEMT sur GaN pour l'amplification de puissance"

Thèse de doctorat, Spécialité : Electronique, Université des sciences et techniques de Lille, Juillet 2004

[124]. **D. Schulman, L. Young**

"a.c. Sidegating in GaAs MESFETs"

Solid-State Electronics, Vol. 34, No 11, 1991, pp. 1281-1287

[125]. **P. George, K. Hui, P.K. Ko and C. Hu**

"The Reduction of Backgating in GaAs MESFETs by Impact Ionisation"

IEEE Electron Devices Letters, Vol. 11, No 10, Oct. 1990, pp. 434-462

[126]. **H.L. Kwork**

"Modelling of the Sidegating and the Backgating Effets in GaAs MESFETs"

IEE Proceedings, Vol. 137, No 6, Dec. 1990, pp. 459-462

[127]. **C Charbonniaud**

"Caractérisation et modélisation électrothermique non linéaire de transistors à effet de champ GaN pour l'amplification de puissance micro-onde"

Thèse de doctorat, Discipline : Electronique des Hautes Fréquences et Optoélectronique, spécialité : Télécommunications, Université de Limoges, Octobre 2005

[128]. A. Siligaris, G. Dambrine, F. Danneville

“Non-Linear Modeling of the Kink Effect in Deep Sub-micron SOI MOSFET”

12th GAAS Symposium-Amsterdam, 2004

[129]. T. Zimmer, D.O. Bodi, J.M. Dumas, N. Labat, A. Touboul and Y. Danto

“Kink effect in HEMT structures: A trap-related semiquantitative model and an empirical approach for SPICE simulation”

Solid State Electron., vol. 35, no. 10, pp. 1543–1548, 1992

[130]. W. Kruppa and J.B. Boos

“Examination of the kink effect in In-AlAs/InGaAs/InP HEMT’s using sinusoidal and transient excitation”

IEEE Trans. Electron Devices, vol. 42, pp. 1717–1723, 1995

[131]. R.T. Webster, S. Wu and A.F.M. Anwar

“Impact Ionization in InAlAs/InGaAs/InAlAs HEMT’s”

IEEE Electron Device Letters, vol. 21, no. 5, May 2000

[132]. M.H. Somerville and al

“Direct Correlation Between Impact Ionization and the Kink Effect in InAlAs/InGaAs HEMT’s”

IEEE Electron Device Letters, vol. 17, no. 10, October 1996

[133]. K. Horio, A. Wakabayashi

“Numerical Analysis of Surface-State Effects on Kink Phenomena of GaAs MESFETs”

IEEE Transactions on Electron Devices, vol. 47, no. 12, December 2000

[134]. Z. Ouarch, J.M. Collantes, J.P. Teyssier, R. Quere

“Measurement based nonlinear electrothermal modeling of GaAs FET with dynamical trapping effects”

Microwave Symposium Digest, 1998 IEEE MTT-S International, vol.2, no.pp.599-602, 7-12 Jun 1998.

[135]. **C. Charbonniaud, S. De Meyer, R. Quere, J.P. Teyssier**

“Electrothermal and Trapping Effects Characterization”

GAAS 2003, 6-7 Oct, 2003 Munich

[136]. **Z. Ouarch**

“Caractérisation et modélisation des effets de pièges et thermiques des transistors a effet de champ sur AsGa : Application à la simulation de la dynamique lente des circuits nonlinéaires micro-ondes”

Thèse de doctorat, Université de Limoges, Janvier 1999

[137]. **K. Horio, Y. Fuseya**

“Two-dimensional simulations of drain current transients in GaAs MESFET's with semi-insulating substrates compensated by deep levels”

IEEE Transactions on Electron Devices, vol.41, no.8, Aug. 1994, pp.1340-1346

[138]. **O. Jardel, F. De Groote, C. Charbonniaud, T. Reveyrand, J. P. Teyssier, R. Quere, D. Floriot**

“A Drain-Lag Model for AlGaIn/GaN Power HEMTs”

IEEE MTT-S Digest, pp. 601-604, 2007

[139]. **F. Degroote**

“Mesures de formes d’ondes temporelles en impulsions : application à la caractérisation de transistors micro-ondes de forte puissance”

Thèse de doctorat, Université de Limoges, Octobre 2007

[140]. **I. Kallfass, C. Schick, H. Schumacher, T. J. Brazil**

“A Universal Large-Signal Model for Hetero Field-Effect Transistors”

Proc. 12th GaAs Symp., European Microwave Week, Amsterdam, Netherlands, Oct. 2004

[141]. **J. Verspecht, D. Schreurs**

“Measuring transistor dynamic loadlines and breakdown currents under large-signal high-frequency operating conditions”

Microwave Symp. Digest, 1998 IEEE MTT-S International, vol.3, no.pp.1495-1498, Jun 1998

[142]. M.H. Somerville and al

“A Physical Model for the Kink Effect in InAlAs/InGaAs HEMT’s”

IEEE Transactions on Electron Devices, vol.47, no.5, May. 2000, pp.922-930

CONCLUSION GENERALE

L'utilisation de matériaux grand gap, et tout particulièrement l'emploi du nitrure de gallium semble être une solution intéressante pour la génération de puissance aux fréquences microondes. Malgré une activité importante autour de ces nouvelles technologies, leurs utilisations ne sont pas encore exhaustives et la production de grands volumes se fait attendre. De plus, les transistors de type PHEMT AsGa plus matures possèdent toujours le meilleur rapport performances en puissance/fréquence élevée.

La présence des effets dispersifs liés aux variations thermiques, aux pièges et aux phénomènes d'avalanche rend difficile la conception de circuits hyperfréquences destinés aux applications de puissance, de linéarité ou encore radar par exemple. La simulation précise de telles applications exige des modèles non linéaires complets et capables de prédire le comportement électrique d'un circuit quelles que soient la fréquence de fonctionnement et les conditions de polarisations. Pour cela, les modèles ne doivent pas négliger les effets parasites intrinsèques des transistors.

Le processus de génération d'un modèle est très long, avec de nombreuses mesures à réaliser et à stocker, de nombreuses optimisations à mener, et une vérification d'ensemble lourde. Par ailleurs, une analyse en petit signal sur la sensibilité des éléments extrinsèques et intrinsèques a été réalisée en marge de cette modélisation. Toute cette démarche était indispensable pour arriver à une compréhension globale du fonctionnement de ce transistor et à une modélisation de bonne qualité. Nous avons obtenu, dans un premier temps, un modèle de transistor PHEMT AsGa qui semble être satisfaisant pour la CAO des circuits.

Dans le milieu industriel, on observe une forte demande pour la détermination de la résistance thermique des composants. Cette demande est liée à l'augmentation des puissances mises en jeu dans les circuits MMICs et aux domaines d'application (spatial, automobile, militaire...).

Dans la première partie du chapitre consacré aux effets thermiques, nous nous sommes préoccupés à comparer les différentes méthodes de détermination de la résistance thermique mise à notre disposition. Puis dans un second temps, nous avons effectué une analyse détaillée des effets de la température sur le fonctionnement des transistors, ce qui a permis de montrer que l'élévation de température due à l'autoéchauffement dans des conditions normales de fonctionnement avait des répercussions sur le courant de sortie (donc sur la puissance de sortie), mais aussi sur les performances en fréquence. Afin de prendre en compte facilement

l'effet de la température dans un modèle CAO de transistor, deux modèles thermiques ont été réalisés : le premier est constitué de deux cellules RC et le deuxième est un modèle distribué extrait à partir de simulation physique thermique.

A l'heure actuelle, les forts niveaux de puissance générés provoquent un échauffement important des transistors et la caractérisation thermique s'avère inévitable.

Dans le dernier chapitre, nous avons présenté une description rapide du mécanisme physique des pièges existant dans les transistors à effet de champ AsGa. La modélisation des pièges est un travail compliqué et demande de connaître chaque niveau de piège. Cette étude implique une méthode de caractérisation bien particulière. De plus, la reproductibilité de ces phénomènes est difficile entre les plaques et même entre les transistors d'un même wafer. C'est pour ces raisons que nous avons décidé de ne pas entreprendre la réalisation d'un modèle dédié aux effets de pièges. Il existe cependant de nombreux modèles de pièges disponibles dans la littérature.

Nous avons mis en évidence l'effet kink par des mesures en mode pulsé. Cet effet résulte de l'interaction entre les pièges et l'avalanche par ionisation par impact. Cette dernière est un phénomène qui peut entraîner une dérive du courant et de la tension de sortie à fort niveau. Autrement dit, l'ionisation par impact engendre une variation non contrôlée de la puissance de sortie lorsqu'on applique une forte puissance en entrée. Les amplificateurs de puissance constituent les produits les plus sensibles à mettre en œuvre pour les concepteurs, de ce fait il est impératif de connaître avec exactitude l'impact de l'avalanche lors de fonctionnement sous des conditions réalistes.

Les mesures temporelles à l'aide du banc LPT sont très utiles pour vérifier le mode de fonctionnement d'un transistor dans un milieu proche de la réalité. La vérification mesures/modèles des formes d'ondes est un outil récent qui permet d'estimer la qualité des modèles. Nous avons conclu de cette vérification, que la façon dont nous modélisons **l'ionisation par impact** jusqu'à aujourd'hui s'avérait inexacte aux fréquences RF. En effet, nous avons déterminée une **fréquence de coupure** à partir des mesures pulsées de paramètres [S]. Cette hypothèse nous a menés vers un modèle qui représente le phénomène et qui coïncide lors de la vérification sur les formes des cycles de charge.

Résumé

Le principal objectif de ce travail est la modélisation précise d'une filière de transistor PHEMTs fabriquées à UMS. Notre modèle se base sur une démarche de caractérisation complète et il est facilement intégrable dans les simulateurs de circuit CAO afin de le rendre utilisable dans un contexte industriel.

Dans le domaine des télécommunications, la génération de fortes puissances va entraîner un échauffement du transistor, il est donc important de prendre en compte les effets thermiques lors de la conception des circuits. Plusieurs méthodes sont étudiées pour déterminer la résistance thermique, à partir de cette étude deux modèles thermiques ont été mis au point : le premier est constitué de cellules RC et le deuxième est un modèle distribué extrait à partir de simulations physiques thermiques 3D.

Comme les effets de pièges, les phénomènes d'avalanche font partie des effets parasites présents dans les PHEMTs AsGa. Analyser leur comportement permet de limiter la zone d'utilisation de ces composants. Nous nous sommes attardés à étudier et modéliser l'avalanche due à l'ionisation par impact. La comparaison mesures/modèles des cycles de charges et des mesures de paramètres [Y] pulsées nous ont permis de déterminer une fréquence de coupure pour le phénomène d'ionisation par impact.

Mots clés : PHEMT AsGa, modélisation, modèle thermique, effets parasites, fréquence de coupure de l'ionisation par impact.

Contribution to the modeling of non-linear power devices in pseudomorphic HEMT technologies on GaAs substrate: Analysis of the dispersive effects

Abstract

The main objective of this work is the accurate modeling of UMS PHEMTs transistors process. Our model is based on extensive characterizations and can be easily integrated into nonlinear simulators that make it possible to use it in an industrial context.

For telecommunication applications such as power amplifier, dissipated high power often leads to the increase of the internal of device temperature and hence to device performance degradation. the Design of MMICs based on GaAs PHEMTs process requires transistor models which take into account thermal effects. In this study, several methods are investigated to determinate thermal resistance and two thermal models are developed: the first consists of RC cells and the second is a distributed model extracted from 3D thermal simulations.

As trap effects, breakdown phenomena are a part of dispersive effects in microwave transistors. Their behavior analysis gives limits of these components. We have specially studied impact ionization modeling. Measurements and simulations of load cycles and pulsed Y-parameters have been compared to determinate a cutoff frequency for impact ionization phenomenon.

Keywords : PHEMT GaAs, modeling, thermal model, dispersive effects, cutoff frequency for impact ionization phenomenon.