

UNIVERSITÉ DE LIMOGES
ÉCOLE DOCTORALE Science – Technologie – Santé
FACULTÉ DES SCIENCES ET TECHNIQUES

Année : 2008

Thèse N° X

Thèse

pour obtenir le grade de

DOCTEUR DE L'UNIVERSITÉ DE LIMOGES

Discipline : Électronique des Hautes Fréquences et Optoélectronique

présentée et soutenue par

Olivier Jardel

le 10 avril 2008

**Contribution à la Modélisation des
Transistors pour l'Amplification de
Puissance aux Fréquences Microondes.
Développement d'un nouveau Modèle
Électrothermique de HEMT AlGa_N/Ga_N
incluant les Effets de Pièges**

Thèse dirigée par Raymond Quéré, Didier Floriot et Jean-Pierre Teyssier

JURY :

Nathalie Labat	Professeur, Université de Bordeaux I	Rapporteur
Angel Mediavilla	Professeur, Université de Santander	Rapporteur
Jean-Michel Dumas	Professeur, Université de Limoges	Examineur
Raymond Quéré	Professeur, Université de Limoges	Examineur
Jean-Pierre Teyssier	Maître de Conférences, Université de Limoges	Examineur
Didier Floriot	Ingénieur, United Monolithic Semiconductors	Examineur
Jean Russat	Ingénieur, CEA/DAM Bruyères-le-Châtel	Examineur
Pierre Burgaud	Ingénieur DGA - CELAR Rennes	Examineur
Stéphane Piotrowicz	Ingénieur Alcatel-Thales III-V lab	Invité

“Si je passe mon temps à prendre un autre modèle comme modèle, comment veux-tu que ce modèle puisse modeler dans la bonne ligne?”

Jean-Claude Van Damme

À ma famille et mes amis,

Remerciements

Ces travaux de doctorat se sont déroulés au sein du laboratoire MITIC, entité commune entre le laboratoire XLIM de l'Université de Limoges et Alcatel-Thales III-V Lab à Marcoussis.

Je tiens à remercier Messieurs Pierre Guillon et Dominique Cros de m'avoir permis d'effectuer ces travaux au sein du laboratoire XLIM, ainsi que Monsieur le Professeur Raymond Quéré de m'avoir accueilli dans l'équipe Circuits Composants Signaux Systèmes qu'il dirige, et d'avoir supervisé mes travaux en tant que directeur de thèse. Je lui témoigne toute ma reconnaissance pour ses qualités humaines, techniques, et pour l'aide qu'il a pu m'apporter durant ces quatre années.

Je tiens aussi à remercier Messieurs Dominique Pons et Sylvain Delage, pour m'avoir accueilli dans leur équipe au III-V lab, et je les remercie de l'intérêt qu'ils ont porté à mon travail en me proposant de continuer l'aventure GaN avec eux.

Ma reconnaissance va également au à Monsieur Jean-Pierre Teyssier, pour avoir encadré ces travaux, ainsi que pour ses conseils et sa grande connaissance de la mesure.

Je tiens aussi à remercier Monsieur Didier Floriot, pour m'avoir apporté une vision plus industrielle des choses, et pour la confiance qu'il m'a témoigné au cours de ces travaux.

Enfin, je remercie Messieurs Jean Russat et Yves Hourmand, pour m'avoir permis d'effectuer ces travaux dans le cadre d'un contrat avec le CEA.

Que Madame Nathalie Labat, Professeur de l'Université de Bordeaux I, ainsi que Monsieur Angel Mediavilla, Professeur de l'Université de Santander, trouvent ici l'expression de ma considération, ainsi que mes remerciements sincères pour avoir accepté de rapporter ce travail.

Je désire exprimer ma gratitude à Messieurs Jean-Michel Dumas, Professeur de l'Université de Limoges, Pierre Burgaud, Ingénieur au CELAR de Rennes, et Stéphane Piotrowicz, Ingénieur à Alcatel-Thales III-V lab, d'avoir pris part au jury de cette thèse.

Je souhaite également saluer tous mes camarades thésards de Brive, de Limoges ou de Marcoussis. Aux adeptes de la mesure ("Pour qui sonne le GlaN"), du café et du Freeman. Je remercie enfin très sincèrement tous ceux qui m'ont permis de faire progresser cette étude, dont l'aide m'a été précieuse. Enfin, merci à Hélène, Marie-Claude et Pascale pour leur assistance et leur gentillesse.

Table des matières

Table des matières	1
Table des figures	6
Liste des tableaux	16
Introduction générale	18
Chapitre 1 : Étude comparée des potentialités de la filière HEMT AlGaN/GaN pour des applications en bande X	21
1.1 Introduction	22
1.2 Potentialités du Nitrure de Gallium - Caractéristiques comparées	22
1.2.1 Influence des paramètres des matériaux sur les caractéristiques électriques des composants	23
1.2.1.1 Hauteur de la bande interdite	23
1.2.1.2 Mobilité des porteurs	24
1.3 Phénomènes thermiques	26
1.3.1 Dissipation thermique dans les composants	26
1.3.2 Ordres de grandeurs	27
1.3.3 Influence de la température sur les caractéristiques des semi-conducteurs	28
1.3.3.1 Hauteur de la bande interdite	28
1.3.3.2 La mobilité	28
1.3.3.3 La conductivité thermique	29
1.4 Synthèse	30
1.5 Les effets de pièges	30
1.5.1 Constantes de temps des pièges, énergie d'activation	31
1.5.2 Connaissance des pièges - problématique du GaN	32
1.6 Fiabilité des HEMTs AlGaN/GaN	33
1.6.1 Le phénomène d'ionisation par impacts	33
1.6.2 Exemples de dégradations observées dans les HEMTs GaN	34
1.7 Réduction des effets de pièges - Passivations	35
1.8 Amélioration du claquage et diminution des phénomènes d'ionisation par impacts dans les HEMTs - Ajout de plaques de champ	35
1.9 État de l'art des performances en amplification en bande X	37
1.10 Conclusion	40
Chapitre 2 : Modélisation des transistors bipolaires à hétérojonction InGaP/AsGa de puissance	41
2.1 Introduction	42
2.2 Principe du fonctionnement des transistors bipolaires à hétérojonction, limites en puissance au fonctionnement RF	42
2.2.1 Principe du transistor bipolaire, avantage de l'hétérojonction	42
2.2.2 Limites au fonctionnement RF des TBH	46
2.2.2.1 Limites à l'excursion en courant, effet Kirk	47
2.2.2.2 Limites à l'excursion en tension	49

2.2.2.3	Les effets thermiques	50
2.3	Conclusion	50
2.4	Modélisation des TBH InGaP/AsGa	51
2.4.1	Introduction	51
2.4.2	Topologie du modèle complet	51
2.4.3	Modèle petit-signal	52
2.4.3.1	Description du modèle petit-signal	52
2.4.3.2	Extraction du modèle petit-signal	57
2.4.4	Les sources de courants	58
2.4.4.1	Modélisation des sources de courants	58
2.4.4.2	Extraction des paramètres des sources de courants.	60
2.4.5	Les capacités non-linéaires	62
2.4.5.1	Modélisation des capacités non-linéaires	62
2.4.5.2	Extraction des capacités non-linéaires	68
2.4.6	Modélisation thermique, extraction de l'impédance thermique	71
2.4.7	Expression des paramètres du modèle en fonction du développement du transistor - Mise à l'échelle du modèle	73
2.4.7.1	Mise à l'échelle des paramètres des capacités	73
2.4.7.2	Mise à l'échelle des paramètres des sources de courants	73
2.4.7.3	Mise à l'échelle des éléments extrinsèques et de la résistance thermique	73
2.5	Validation des modèles à partir de mesures	74
2.5.1	Validation des paramètres des sources de courant	74
2.5.2	Validation sur des mesures petit-signal	75
2.5.3	Validation sur des mesures grand-signal	76
2.5.4	Validation sur un HPA bande X	78
2.5.4.1	Simulations grand-signal	78
2.5.4.2	Simulations grand-signal à différentes températures	78
2.6	Conclusion	80

Chapitre 3 : Les moyens de mesures nécessaires à la caractérisation de HEMTs AlGa_N/Ga_N 81

3.1	Introduction	82
3.2	Les différents moyens nécessaires à la caractérisation complète des composants.	83
3.3	Le banc de mesures en impulsions	85
3.3.1	Introduction	85
3.3.2	Mode de fonctionnement I(V)	86
3.3.2.1	Gestion des effets thermiques	86
3.3.3	Mise en évidence des effets de pièges	88
3.3.3.1	Impact des pièges sur le courant	88
3.3.3.2	Méthodes de caractérisation des pièges	89
3.3.3.3	Limitations du banc sur la mise en évidence des pièges - problématique des constantes de temps	92
3.3.4	Mesure des paramètres [S] en impulsions	96
3.3.4.1	Intérêt de la mesure des paramètres [S] en impulsions	96

3.3.4.2	Technique de mesure des paramètres [S] lors d'impulsions courtes	98
3.3.4.3	Mise en œuvre du banc de mesure	99
3.3.5	Conclusion	101
3.4	Le banc load-Pull	102
3.4.1	Principe de la mesure Load-Pull	102
3.4.2	Étalonnage du banc	102
3.4.2.1	Étalonnage en puissance	102
3.4.2.2	Étalonnage de l'ARV	103
3.4.2.3	Étalonnage du tuner	104
3.4.3	Organisation du banc	104
3.4.4	Limitations des mesures Load-Pull	105
3.5	Le banc LSNA	105
3.5.1	Principe du LSNA	105
3.5.2	Intérêts du LSNA par rapport aux autres appareils disponibles	105
3.5.2.1	Organisation du banc de mesures Load-Pull temporel	107
3.5.3	Étalonnage du banc	107
3.5.4	Limitations du banc de mesures Load-Pull temporel	108
3.6	Conclusion	109

Chapitre 4 : Modélisation électrique des HEMTs

	AlGaN/GaN	110
4.1	Introduction	111
4.2	Principe de fonctionnement des HEMT AlGaN/GaN, application à leur modélisation électrique pour des applications de puissance	112
4.2.1	Principe de fonctionnement	112
4.2.1.1	Origine des électrons dans le canal	113
4.2.1.2	Calcul de la densité de porteurs dans le canal	114
4.2.2	Représentation électrique d'un HEMT GaN	120
4.2.3	Limitations au fonctionnement d'un HEMT AlGaN/GaN	120
4.2.3.1	Augmentation du courant maximum	120
4.2.3.2	Diminution de la tension de coude	121
4.2.3.3	Limitation fréquentielle à l'excursion du cycle vers des tensions de drain faibles et des courants élevés	122
4.2.3.4	Limitation en tension due à l'avalanche	122
4.2.3.5	Voies d'amélioration de la tension de claquage	123
4.2.3.6	Problèmes de fiabilité en tension, influence sur la modélisation	126
4.2.3.7	Autres effets limitatifs en terme de puissance : les phénomènes thermiques	126
4.2.3.8	Autres effets limitatifs en terme de puissance : les phénomènes de pièges	130
4.3	Modèle électrothermique incluant les effets de pièges d'un HEMT GaN	136
4.4	Les différentes phases d'extraction d'un modèle	137
4.5	Procédures de modélisation des composants	139
4.5.1	Modèle petit signal/modèle linéaire	139

4.5.1.1	Méthode de détermination des éléments extrinsèques/intrinsèques	139
4.5.1.2	Détermination des éléments extrinsèques et intrinsèques du transistor 8x75 μm AEC1148	140
4.5.2	Modélisation des sources de courants et extraction des paramètres associés	142
4.5.2.1	Modélisation des sources de courants	142
4.5.2.2	Variante proposée au modèle de Tajima modifié et aux modèles de diodes idéales	144
4.5.2.3	Détermination des paramètres des sources de courant du transistor 8x75 μm AEC 1148	149
4.5.3	Modélisation des capacités non-linéaires C_{gs} et C_{gd}	152
4.5.3.1	Capacités non-linéaires à une dimension	152
4.5.3.2	Détermination des paramètres des capacités non-linéaires à une dimension	154
4.5.3.3	Modélisation des capacités à deux dimensions	154
4.5.3.4	Erreurs sur les valeurs des capacités extraites à 1 et 2 dimensions	155
4.5.3.5	Conclusion : 1D ou 2D ?	157
4.5.4	Extraction des paramètres thermiques	158
4.5.4.1	Dépendance thermique des paramètres	158
4.5.4.2	Circuit thermique et paramètres associés	159
4.5.4.3	Représentation électrique de la température en fonction de la puissance dissipée	160
4.5.4.4	Dépendance thermique des paramètres du modèle	160
4.5.5	Modélisation des effets de pièges	162
4.5.5.1	Fonctionnement des circuits de pièges du modèle	162
4.5.5.2	Influence des pièges sur les autres éléments du schéma électrique	166
4.5.5.3	Extraction des paramètres associés au modèles de pièges	167
4.6	Validation du modèle	169
4.6.1	Validation en régime petit-signal	169
4.6.2	Validation du modèle grâce à des mesures IV en impulsions et continues	170
4.6.2.1	Validation des modèles de pièges	170
4.6.3	Validation du modèle thermique	171
4.6.4	Validation du modèle par des mesures Load-Pull sur plusieurs points d'impédance à 10 GHz	172
4.6.4.1	Mesures Load-Pull à différentes impédances de charge	172
4.6.5	Validation du modèle grâce à des mesures Load-Pull LSNA à 5 GHz	175
4.6.5.1	Mesures LSNA à différentes impédances de charge	175
4.7	Conclusion	178
	Conclusion Générale	179
	Bibliographie	195
	Publications et communications relatives à ce travail	196

Table des figures

1.1	Lois de variation de la mobilité des électrons et des trous dans l'AsGa. . .	25
1.2	Variation de la vitesse de dérive des électrons dans le GaN et l'AsGa en fonction du champ électrique.	26
1.3	Vitesse de dérive des porteurs dans les semi-conducteurs GaN et GaAs en fonction du champ électrique pour différentes températures.	29
1.4	Variations des conductivités thermiques du SiC, du GaN et de l'AsGa en fonction de la température.	29
1.5	Schéma d'une transition d'état d'un électron de la bande de valence ($E3, k3$) vers la bande de conduction ($E2, k2$) par le mécanisme d'ionisation par impact initié par un électron passant de l'état (Ei, ki) à l'état ($E1, k1$).	34
1.6	Schéma de la structure d'un HEMT avec une plaque de champ au dessus de la grille, et comparaison des performances entre deux composants différant seulement par la présence ou non d'une plaque de champ.	36
1.7	Comparaison des performances RF à 10 GHz de transistors HEMTs AlGaN/GaN avec et sans plaque de champ.	37
1.8	Comparaison des performances RF en bande X d'amplificateurs HEMTs GaN, PHEMTs AsGa, TBH AsGa et MESFETs AsGa.	39
2.1	Schéma de la structure de NPN d'un transistor bipolaire. Les conventions utilisées en courant sont données ici.	43
2.2	Diagramme des bandes d'un transistor bipolaire NPN décrivant l'origine des courants d'émetteur, de base et de collecteur.	44
2.3	Intérêt de l'hétérojonction sur la diminution du courant de trous de la base vers l'émetteur, permettant l'augmentation du gain en courant.	45
2.4	Exemple d'épitaxie d'un transistor HBT GaInP/GaAs.	46
2.5	Limites en excursion du cycle de charge idéal dans un transistor HBT. Le trait en noir représente la droite de charge idéale, les zones grisées les limites au fonctionnement RF du transistor.	47
2.6	Distribution du champ électrique au niveau de la jonction base-collecteur pour différentes densités de courant. (a) A faible densité de courant, (b) le courant augmente : le dopage effectif du collecteur est nul $N_{ceff} = 0$, (c) le dopage effectif s'inverse $N_{ceff} < 0$, $Ic = Ik$, (d) la base s'étend dans le collecteur $Ic > Ik$. $Wicb$ correspond à la largeur de l'extension de la base dans le collecteur.	48
2.7	Topologie du modèle complet d'un transistor TBH	52
2.8	Topologie du modèle petit-signal d'un transistor TBH	53
2.9	Détermination de la matrice admittance intrinsèque du quadripôle	54
2.10	Modèle petit-signal simplifié d'un transistor TBH dit modèle de Giacoletto. Il donne une représentation du comportement du transistor valide en régime actif direct.	56
2.11	Comparaison mesures/modèles au point AH4 ($Vce = 8V$, $Ic = 8,25 kA/cm^2$) pour le transistor T10260 R12 (croix : mesures, lignes continues : modèle.	57
2.12	Schéma d'injection d'Ebers et Moll statique incluant les composantes de fuites.	58

2.13	Exemple de l'impact de l'implémentation du modèle d'avalanche sur des simulations grand-signal où le cycle de charge atteint ce régime pour le transistor T10260 R12 (croix : mesures, lignes grises : sans modèle d'avalanche, lignes noires : avec le modèle d'avalanche).	60
2.14	Dépendance du gain en courant mesuré et modélisé pour un transistor T1245 R16 (1x2x45 μm) bande X. (points : mesures, ligne grise : modèle affine, ligne noire : modèle utilisé (<i>cf</i> eq. (2.23))).	61
2.15	Comparaison mesure/modèle des caractéristiques impulsionnelles mesurées pour une température ambiante de 20°C, pour le transistor T1245 R12 (en noir : mesures, en gris : modèle).	61
2.16	Exemple des différents modèles des capacités de déplétion pour la capacité $C_{be_{DEP}}$: en gris, la formule physique, qui est discontinue pour $V_{be} = \phi_{be}$, en pointillés noirs : la formule utilisée dans le modèle BK2, limitée mais avec une dérivée discontinue pour $V_{be} = \phi_{be}$, et en ligne noire continue, la formule issue du modèle MEXTRAM, qui est limitée au voisinage de $V_{be} = \phi_{be}$ avec une transition douce.	64
2.17	Tension V_{be} intrinsèque simulée en grand-signal à 10 GHz pour un transistor T10260 R12 à 8 dB de compression de gain.	65
2.18	Modèles des capacités de déplétion extraits à partir de courbes à courant nul (losanges : valeurs extraites, lignes grises : modèles).	69
2.19	Forme du temps de transit τ_c en fonction de la densité de courant de collecteur pour différentes valeurs de V_{ce} déterminé selon la méthode proposée (croix : valeurs extraites, lignes grises : modèle).	70
2.20	Comparaison entre les mesures et le modèle du gain maximum pour des fréquences de 2 et de 10 GHz pour un transistor T10260 R12 (lignes+croix : valeurs extraites, lignes grises : modèle).	70
2.21	Schéma de montage du banc de mesures d'impédances basses fréquences afin de déterminer l'impédance thermique des TBH.	72
2.22	Comparaison mesures/modèle des caractéristiques I(V) d'un transistor T1245 R16, pour $V_{ce}=4$ V, à différentes températures ambiantes (0, 22, 50, 75 et 100°C) (en noir : modèle, en pointillés gris : mesures).	75
2.23	Comparaison mesures/modèle des paramètres [S] pour un courant de 100 mA (8,5 kA/cm^2) et pour différentes valeurs de V_{ce} , pour le transistor T10260 R12 (en noir : mesures, en gris : modèle).	75
2.24	Comparaison mesures/modèle des paramètres [S] pour un courant de 400 mA (33 kA/cm^2) et pour différentes valeurs de V_{ce} , pour le transistor T10260 R12 (en noir : mesures, en gris : modèle).	76
2.25	Différentes impédances présentées au transistor T10230 R16 lors des mesures Load-Pull à 10,24 GHz en cw.	76
2.26	Comparaison mesure/modèle sur l'impédance présentée n°1, correspondant à l'optimum en PAE d'un transistor T10230 R16 (croix : mesures, lignes : modèle).	77
2.27	Comparaison mesure/modèle sur les différentes impédances de charge présentées numérotées de 2 à 10, pour un transistor T10230 R16 (croix : mesures, lignes : modèle).	77

2.28	Comparaison mesure/modèle sur l'amplificateur bande X utilisant des transistors de l'építaxie R16, à deux polarisations de collecteur $V_{ce} = 8 V$ et $V_{ce} = 9 V$, pour différentes fréquences de 9,2 à 10,6 GHz et pour différentes puissances d'entrée (lignes avec cercles : mesures, lignes : simulations).	79
2.29	Comparaison mesure/modèle sur l'amplificateur bande X à une polarisation de collecteur $V_{ce} = 9 V$ et à différentes températures ambiantes de $-40^{\circ}C$, $25^{\circ}C$ et $80^{\circ}C$ (cercles : mesures, lignes : simulations)	79
3.1	Synoptique des différents moyens de caractérisation permettant d'explorer toute la gamme fréquentielle de fonctionnement des transistors.	85
3.2	Chronogramme d'un train d'impulsions typique utilisé lors des mesures. Le niveau instantané de tension est nommé V_{INST} , et le niveau de repos est nommé V_0	86
3.3	Mise en évidence des phénomènes d'auto-échauffement grâce à des mesures impulsionnelles (en gris : mesures en impulsions, en noir : mesures en continu).	87
3.4	Mise en évidence des phénomènes de gate-lag (à gauche) et de drain-lag (à droite) lors d'impulsions en tensions (respectivement V_{gs} et V_{ds}) pour un HEMT $8 \times 75 \mu m$ AEC 1148. Sur la courbe de gauche, $V_{ds} = 10 V$ et V_{gs} passe de -6 à $-4,8 V$; sur la courbe de droite, $V_{gs} = -5 V$ et V_{ds} passe de 22 à $18 V$. Les variations des courants et des tensions sont suffisamment faibles pour pouvoir négliger les effets thermiques, et les transitoires mesurés sont donc révélateurs des effets de pièges uniquement. On note que les constantes de temps de ces effets sont très différentes (la durée des impulsions n'étant pas la même lors des deux mesures).	89
3.5	Mise en évidence des phénomènes de gate-lag grâce aux choix des polarisations de repos (en gris : mesures à une polarisation de repos $V_{gs_0} = 0 V$, $V_{ds_0} = 0 V$, en noir : mesures à une polarisation de repos $V_{gs_0} = -8 V$, $V_{ds_0} = 0 V$). $V_{pincement} = -8 V$ ici.	91
3.6	Schéma décrivant la différence entre la mesure du courant I_{ds} lors d'une impulsion de la tension de drain soit positive soit négative. Le réseau en gris foncé est mesuré pour une polarisation de repos $V_{gs_0} = V_{pincement}$ et $V_{ds_0} = 0V$, le réseau en gris clair pour une polarisation de repos $V_{gs_0} = V_{pincement}$ et $V_{ds_0} = 25 V$. Le cas n°1 de l'encart correspond à une impulsion de tension de drain positive, et le cas n°2 à une impulsion négative.	91
3.7	Simulation du banc de mesures en impulsions dans le cas de la mise en évidence du phénomène de gate-lag, en ne considérant qu'un seul niveau de piège défini par une constante de temps de capture de $10 ns$ et une constante de temps d'émission de $2 \mu s$. Les deux graphiques à gauche correspondent au courant simulé pour le point à polarisation instantanée $V_{gs_{INST}} = -4 V$, $V_{ds_{INST}} = 20 V$, et le graphique à droite montre les réseaux $I(V)$ simulés dans le cas où les pièges sont en mode d'émission (en noir) et dans le cas où les pièges sont en mode de capture (en gris).	93
3.8	Simulation du banc de mesures en impulsions dans le cas de la mise en évidence du phénomène de gate-lag, en ne considérant qu'un seul niveau de piège défini par une constante de temps de capture de $10 ns$ et une constante de temps d'émission de $100 \mu s$	94

3.9	Simulation du banc de mesures en impulsions dans le cas de la mise en évidence du phénomène de gate-lag, en ne considérant qu'un seul niveau de piège défini par une constante de temps de capture de 10 ns et une constante de temps d'émission de 300 ns.	95
3.10	Simulation du banc de mesures en impulsions dans le cas de la mise en évidence du phénomène de gate-lag, en ne considérant qu'un seul niveau de piège défini par une constante de temps de capture de 10 ns et une constante de temps d'émission de 300 ns.	96
3.11	Schéma décrivant la problématique de l'aspect dynamique des états de pièges lors de l'application du signal RF de forte amplitude en entrée. En fonctionnement RF, le point A est déterminé par l'état des pièges du point C, qui correspond au point d'excursion maximale du cycle de charge. Lors de mesures dc, l'état des pièges au point A est déterminé par les tensions V_{gs} et V_{ds} de ce point. Lors de mesures en impulsions, l'état des pièges au point A est déterminé par les tensions V_{gs} et V_{ds} du point B, qui correspond au point de polarisation de repos.	97
3.12	Principe de la mesure des paramètres [S] associés à chaque point de mesure.	98
3.13	Organisation du banc de mesures.	99
3.14	Organisation de la partie RF du banc de mesures Load-Pull	103
3.15	Organisation interne du LSNA.	106
3.16	Organisation de la partie RF du banc de mesures Load-Pull temporel.	107
3.17	Schéma décrivant l'étalonnage du LSNA.	108
4.1	Schéma de la structure d'un HEMT AlGa _N /Ga _N classique. Les dimensions reportées sont typiques des transistors prévus pour des applications en bande X.	112
4.2	Orientation favorable des effets de polarisations dans un HEMT AlGa _N /Ga _N .	113
4.3	Répartition des charges, du champ électrique et diagramme d'énergie d'une structure HEMT AlGa _N /Ga _N simple.	115
4.4	Variation de la hauteur de la bande de conduction en fonction de la polarisation de grille, vue en coupe sous la grille. Pour $V_{gs} = 0 V$, le canal est formé, pour $V_{gs} = -4 V$, il n'y a quasiment plus de puits de potentiel et le transistor est donc quasi pincé (la jonction grille/AlGa _N est située en $y = 0$, et l'interface AlGa _N /Ga _N en $y = 22 nm$).	118
4.5	Variation de la densité de porteurs dans le canal en fonction de x_{Al} à gauche, et de l'épaisseur de la couche d'AlGa _N (d_{AlGaN}) à droite, calculée pour un HEMT simple avec $d_{AlGaN} = 25 nm$ à gauche, $x_{Al} = 25\%$ à droite, et $V_{gs} = 0 V$ dans les deux cas.	119
4.6	Origine physique des éléments du circuit équivalent d'un MESFET, applicable à un HEMT.	120
4.7	Délimitation de la zone d'excursion maximale des cycles de charge sur la caractéristique courant-tension d'un HEMT AlGa _N /Ga _N . Le trait épais représente la droite de charge optimale, permettant d'obtenir une puissance maximale.	121
4.8	Représentation du trajet des porteurs générés par le phénomène d'ionisation par impacts dans le canal d'un HEMT, et diagramme d'énergie associé (en coupe au point d'impact). Les trous générés peuvent se recombiner avec des électrons du canal ou transiter vers la grille.	123

4.9	Simulations du champ électrique longitudinal dans le canal en fonction des polarisations de grille et de drain pour un HEMT AlGa _N /Ga _N . Un pic de champ électrique se situe à l'extrémité de la grille du côté du drain, et le claquage apparaît donc prioritairement dans cette zone.	124
4.10	Tensions de claquage grille-drain mesurées à l'état OFF en fonction de la densité de charges libres dans le canal, pour un courant de drain maximum de 1 mA/mm (à gauche) et de 2 mA/mm (à droite). Les lignes pointillées représentent la prédiction théorique donnée par le modèle de Wemple, pour différentes longueurs efficaces de grille L_{eff}	125
4.11	Simulation des profils de champ électrique longitudinal pour des composants avec et sans plaque de champ.	126
4.12	Simulations par éléments finis de l'échauffement au cours du temps et pour différentes puissances dissipées (en noir) pour un transistor 8x125 μm , et comparaison avec une des courbes décrivant l'échauffement comme proportionnel à la puissance dissipée (en gris).	127
4.13	Simulations par éléments finis de l'augmentation de la résistance thermique en fonction de la température ambiante pour un transistor 8x125 μm , pour une puissance dissipée de 5 W/mm.	128
4.14	Simulations par éléments finis du flux de chaleur dans la zone active centrale d'un transistor 8x125 μm pour une durée de 500 ns après l'application de la puissance.	128
4.15	Simulations par éléments finis de la température au point chaud des différentes zones actives d'un transistor 8x125 μm en fonction du temps.	129
4.16	Influence d'un changement de la polarisation de drain sur les bandes d'énergies en présence de pièges de buffer. Les phénomènes de capture et d'émission sont montrés successivement.	132
4.17	Schéma montrant le rétrécissement de la section du canal due aux pièges dans le cas d'un MESFET. La polarisation de grille contrôle l'ouverture du canal, ainsi que les pièges en présence d'un champ électrique dû à la polarisation du drain.	132
4.18	Explication probable du mécanisme de gate-lag dans les HEMTs. A gauche, le composant est pincé et ne présente pas de piège chargé en surface. Si les donneurs profonds de surface peuvent piéger des électrons fuyant de la grille, ils ne se déchargent alors que très lentement et induisent, lorsque le composant est mis en conduction (à droite), une diminution de la densité du gaz d'électrons par compensation des charges.	134
4.19	Mesure de transitoires du courant de sortie d'un HEMT 8x75 μm AEC 1148 pour une tension de grille proche du pincement et une impulsion de V_{ds} de 30 à 15 V, mettant en évidence l'effet des pièges situés dans le buffer, pour différentes températures. Le comportement des pièges ne semble pas régi par les lois d'Arrhénius, et les phénomènes d'émission n'induisent pas de contribution exponentielle sur les transitoires.	135
4.20	Structure du modèle non-linéaire présenté incluant les effets de pièges et les effets thermiques.	138
4.21	Les différentes phases de modélisation afin d'obtenir des modèles électrothermiques grands signaux. Les différents paramètres extraits puis corrigés sont montrés pour chaque étape.	138

4.22	Modèle équivalent petit signal d'un transistor HEMT.	139
4.23	Comparaison mesures/modèle petit signal du transistor HEMT 8x75 μm AEC1148 au point M4 (points : mesures, lignes continues : modèle petit signal).	141
4.24	Valeurs de C_{gs} , C_{gd} , g_m et g_d obtenues par extraction multi-polarisations pour le transistor 8x75 μm AEC1148, mesuré en impulsions à une polarisation de repos $V_{gs_0} = -4\text{ V}$, $V_{ds_0} = 25\text{ V}$, à partir des valeurs des éléments extrinsèques obtenus au point M4.	141
4.25	Modèle non-linéaire convectif d'un transistor HEMT.	142
4.26	Modélisation du courant de grille à partir des équations idéales de diodes (cf eq. 4.53) pour des tensions V_{ds} négatives, et $V_{gs}=+2$ à -18 V . La modélisation est correcte pour la courbe à $V_{gs}=2\text{ V}$ (c'est la diode grille- source qui intervient), mais elle est fautive pour des valeurs inférieures de V_{gs} (pour lesquelles c'est la diode grille-drain qui entre en conduction). De nouvelles formes analytiques sont nécessaires, en particulier pour modéliser la conduction de la diode grille-drain (lignes+croix : mesures, lignes grises : modèle).	145
4.27	Recours aux simulations physiques afin d'obtenir la forme du courant pour des tensions de drain fortement négatives.	146
4.28	Continuité des dérivées d'ordre 1 à 3 de I_{ds} par rapport à V_{ds} au voisinage de $V_{ds} = 0\text{ V}$	148
4.29	Comparaison mesure/modèle des réseaux $I(V)$ en impulsions, en utilisant le modèle de Tajima modifié, montrant l'impact du modèle d'avalanche sur les caractéristiques $I(V)$ simulées. On note un léger effet thermique lors des mesures (croix : mesure, lignes continues : modèle).	151
4.30	Comparaison mesure/modèle des réseaux $I(V)$ en impulsions, en utilisant le modèle GAMM, et montrant l'impact des modèles d'avalanche sur les caractéristiques $I(V)$ simulées, pour $V_{gs}=-18$ à $+2\text{ V}$ (croix : mesure, lignes continues : modèle).	151
4.31	Cycle de charge choisi dans le réseau $I(V)$ pour représenter un fonctionnement en puissance. L'extraction des capacités non-linéaires C_{gs} et C_{gd} est faite le long du cycle de charge représenté.	153
4.32	Comparaison extraction/modèle des capacités C_{gs} et C_{gd} en fonction de V_{gs} et V_{gd} extraites le long du cycle de charge du HEMT 8x75 μm AEC 1148 (points : extraction, lignes continues : modèle).	154
4.33	Comparaison extraction/modèle des variations de C_{gs} en fonction de V_{gs} à différentes valeurs de V_{ds} , et de C_{gd} en fonction de V_{gd} à différentes valeurs de V_{gd} (points : extraction multi-polarisations, lignes continues : modèle).	155
4.34	Erreur commise sur la valeur extraite des capacités C_{gs} (à gauche) et C_{gd} (à droite) lors d'une modélisation à 1 dimension pour le transistor HEMT 8x75 μm AEC 1148. Les différents niveaux de gris indiquent différentes plages d'erreurs, et la zone hachurée correspond approximativement à l'aire pour laquelle l'erreur de modélisation est inférieure à 4%.	156

4.35	Différences entre les résultats de simulation grand signal en classe AB à 10 GHz entre un modèle comprenant des capacités C_{gs} et C_{gd} à 1 dimension et un modèle comprenant des capacités C_{gs} et C_{gd} à 2 dimensions pour le transistor 8x75 μm AEC 1148 (croix : mesures, lignes noires continues : capacités 1D , lignes grises pointillées : capacités 2D).	157
4.36	Évolution simulée grâce au modèle par éléments finis du transistor 8x75 μm AEC 1148 de la température du composant pour une température ambiante de 30°C et une puissance dissipée de 7 W/mm en fonction du temps (losanges : simulations 3D, ligne grise : Modèle R-C).	159
4.37	Circuit modélisant la température du composant en fonction de la puissance dissipée et du temps.	160
4.38	Evolution des paramètres des sources de courants en fonction de la température ambiante du 8x75 μm AEC1148.	161
4.39	Schéma du modèle de drain-lag.	162
4.40	Forme de k_n en fonction de la tension V_{gs}	164
4.41	Exemple de l'impact du modèle de drain-lag sur la tension de commande lors de l'application d'une impulsion de tension de drain de 30 à 10 V, pour $k = 0,01$	165
4.42	Schéma du modèle de gate-lag.	166
4.43	Dispersion des valeurs des capacités extraites en fonction du point de polarisation de V_{ds0} , et donc de l'état de charge des pièges associés au drain-lag.	166
4.44	Évolution du courant de sortie en fonction du temps lors d'une impulsion de la tension de drain de 35 à 25 V, pour une tension de grille proche de la tension de pincement. Les paramètres associés au modèle de drain-lag sont extraits en modélisant cette courbe (croix : mesures, lignes continues : simulations).	168
4.45	Comparaison mesure/modèle des paramètres [S] pour un point proche du point de polarisation de repos et pour le modèle de transistor grand-signal. (points : mesures, lignes continues : simulations).	169
4.46	Comparaison mesures/modèle des réseaux IV (pour V_{gsi} variant de -8 à +1 V) à deux polarisation de repos différentes : à gauche : $V_{gs0} = 0$ V, $V_{ds0} = 0$ V, à droite : $V_{gs0} = -8$ V, $V_{ds0} = 20$ V (lignes continues : mesure, symboles : simulations).	170
4.47	Comparaison du courant de drain mesuré et simulé pour des impulsions de 400 ns/10 μs , pour $V_{gsINST} = 0$ V, $V_{dsINST} = 15$ V pour des températures ambiantes variant de 0 à 150°C (en noir : mesure, en gris : simulations, en pointillés gris : erreur en %).	171
4.48	Comparaison mesure/modèle des caractéristiques I(V) du transistor en polarisation dc, où les effets dus à l'auto-échauffement sont notables (croix : mesures, lignes continues : simulations).	171
4.49	Impédances mesurées et simulées à 10 GHz sur le transistor 8x75 μm AEC 1148.	172
4.50	Courant moyen de sortie mesuré et simulé sur l'impédance optimale en ne prenant pas en compte les effets de pièges, en prenant en compte le gate-lag seulement, le drain-lag seulement, et en prenant en compte le drain-lag et le gate-lag (croix : mesures, lignes continues : simulations).	172

4.51	Caractéristiques de puissance mesurées et modélisées (Gain, puissance de sortie, PAE, module et phase du coefficient de réflexion en entrée) en fonction de la puissance d'entrée, pour l'impédance optimale (croix : mesures, lignes continues : simulations).	173
4.52	Comparaison mesures/modèle (avec pièges) pour les impédances numérotées de 2 à 6 (pour des TOS de 2,5 sauf l'impédance n°4 où le TOS=1,6) (croix : mesures, lignes continues : simulations du modèle incluant les effets de pièges, lignes pointillées : simulations du modèles sans pièges). . .	174
4.53	Impédances de charges présentées lors des mesures LSNA à 5 GHz sur un transistor 8x75 μm AEC 1147. Le cercle de stabilité à 5 GHz simulé est montré sur la figure.	175
4.54	Comparaison entre les mesures et les simulations (avec et sans modèles de pièges) sur l'impédance optimale $Z = 47,7 + j \cdot 43,5$. Les formes d'ondes temporelles présentées correspondent à un point à 5 dB de compression. (points : mesures, lignes noires : simulations avec modèles de pièges, lignes grises : simulations sans modèle de pièges).	176
4.55	Comparaison entre les mesures et les simulations (avec et sans modèles de pièges) des cycles de charges extrinsèques d'entrée et de sortie aux impédances de charges n°2 ($Z = 130 + j \cdot 125$) à 4,6 dB de compression, et n°3 ($Z = 27 + j \cdot 84$) à 7 dB de compression (points : mesures, lignes noires : simulations avec modèles de pièges, lignes grises : simulations sans modèle de pièges).	176
4.56	Comparaison entre les mesures et les simulations (avec et sans modèles de pièges) à l'impédance de charge n°4 ($Z = 48,1 + j \cdot 9,6$). Le graphique de gauche montre la forme du courant moyen de sortie en fonction de la puissance d'entrée, le graphique de droite montre le cycle de charge de sortie à 8 dB de compression (points : mesures, lignes noires : simulations avec modèles de pièges, lignes grises : simulations sans modèle de pièges). .	177

Liste des tableaux

1.1	Paramètres donnant les propriétés électriques et thermiques des composants de puissance fabriqués à partir des matériaux présentés.	23
1.2	Paramètres de dépendance thermique de la hauteur de barrière	28
1.3	Paramètres de dépendance thermique de la conductivité thermique	29
2.1	Évolution de la tension d’avalanche à courant ib constant BV_{ce_0} en fonction de l’épaisseur et du dopage de collecteur.	50
2.2	Valeurs des paramètres du modèle petit signal au point AH4 ($V_{ce} = 8V$, $I_c = 8,25 \text{ kA/cm}^2$) pour un transistor T10260 R12. Les valeurs des extrinsèques sont conservées pour tous les points de polarisation.	57
2.3	Valeurs des paramètres relatifs à la modélisation des sources de courants et de l’avalanche du transistor T1245 R16.	62
2.4	Valeurs des paramètres des capacités de déplétion d’un transistor T10260 R12.	69
2.5	Valeurs des paramètres relatifs à la modélisation des temps de transits τ_c et τ_k	70
2.6	Récapitulatif des temps de simulations sur l’amplificateur à $V_{ce} = 9V$ (<i>cf</i> figure 2.28) avec différents modèles et nombre d’harmoniques. La partie thermique est déconnectée s’il est précisé “OFF”, elle est dite simplifiée si elle correspond à celle des modèles BK2 et PUG, et complète si tous les paramètres thermiques sont implémentés, y compris les pertes dans les résistances (possible avec les modèles UCSD et HICUM).	78
4.1	Valeurs des paramètres extrinsèques et intrinsèques extraits au point de polarisation M4 du transistor $8 \times 75 \mu\text{m}$ AEC1148.	142
4.2	Valeurs des paramètres de la source de courant du transistor $8 \times 75 \mu\text{m}$ AEC 1148, en utilisant le modèle de Tajima modifié.	150
4.3	Valeurs des paramètres des diodes idéales du transistor $8 \times 75 \mu\text{m}$ AEC 1148.	150
4.4	Valeurs des paramètres du générateur d’avalanche grille-drain du transistor $8 \times 75 \mu\text{m}$ AEC 1148.	150
4.5	Valeurs des paramètres de la source de courant principale du modèle GAMM pour le transistor $8 \times 75 \mu\text{m}$ AEC 1148.	152
4.6	Valeurs des paramètres des diodes (modèle GAMM) du transistor $8 \times 75 \mu\text{m}$ AEC 1148.	152
4.7	Valeurs des paramètres des générateurs d’avalanche (modèle GAMM) du transistor $8 \times 75 \mu\text{m}$ AEC 1148.	152
4.8	Valeurs des paramètres des capacités 1D du transistor $8 \times 75 \mu\text{m}$ AEC 1148.	154

Introduction générale

Les besoins en amplification de puissance à des fréquences élevées sont de plus en plus importants. Dans le domaine civil, le marché des télécommunications sans fil a littéralement explosé ces dernières années, et la réduction des coûts de mise en place et de maintenance passe par la réalisation d'amplificateurs de plus en plus puissants afin de réduire le nombre de relais hertziens.

Les besoins sont plus variés dans le domaine militaire : l'intérêt porté à des moyens de communication fiables et performants est grand, mais il y a aussi un besoin d'amplificateurs extrêmement performants destinés aux applications de détection tels que les systèmes RADAR.

Enfin, les domaines spatiaux, civils ou militaires, utilisent de nombreux moyens de télécommunications entre les satellites et les stations au sol, ainsi qu'éventuellement de systèmes RADAR pour cartographier des zones ou pour des applications météorologiques.

La réalisation de systèmes d'amplification performants répondant aux divers cahiers des charges nécessite deux choses : la première est d'utiliser des technologies performantes, en particulier en ce qui concerne les transistors ; la deuxième est de disposer de circuits optimisés pour une technologie donnée. Ce dernier point requiert la disponibilité de modèles précis des éléments utilisés car la conception des circuits est actuellement réalisée à l'aide de logiciels dédiés et est basée sur des simulations électriques.

La recherche de technologies performantes a fait émerger les transistors à haute mobilité électronique (HEMTs) sur nitrure de gallium (GaN), dont les premiers ont été commercialisés très récemment.

Ils ont de grandes potentialités pour l'amplification de puissance aux fréquences microondes, et dans tous les domaines précédemment cités. Pour les applications en bandes L, S et C de fortes et très fortes puissances, ils rivalisent principalement avec les transistors LDMOS, mais ont des difficultés à s'imposer étant donné leur prix de revient plus élevé et leurs problèmes de fiabilité, inhérents à leur relative immaturité. Cependant, ils ont des avantages certains, tels que de plus grandes facilités d'adaptation en puissance et de gestion thermique ; ils arriveront très certainement à s'imposer comme une solution viable dans un avenir proche.

En bande X, les HEMTs GaN montrent aussi de fortes potentialités pour l'amplification de puissance. Les LDMOS ne pouvant fonctionner à de telles fréquences, les principales technologies à état solide utilisées sont celles des PHEMTs AlAsGa/InAsGa/AsGa, des MESFETs AlAsGa/AsGa, et des TBH InGaP/AsGa. Dans cette bande de fréquence, les applications sont essentiellement militaires, mais le marché civil commence à s'y développer (RADARs d'approche d'aéroports, appareils médicaux, etc.). La recherche de performance des amplificateurs est encore un facteur critique (alors que c'est davantage le prix de revient au Watt qui détermine l'utilisation d'un composant

dans les bandes plus basses), et ces nouveaux composants à base de GaN sont en passe de redéfinir de nouvelles limites à ces performances.

Cependant, à l'heure actuelle, le développement de ces transistors est focalisé sur la recherche d'une meilleure fiabilité et sur la diminution des effets de pièges.

Le deuxième besoin montre l'intérêt porté aux modèles électriques de transistors : plus ils sont précis, plus les phases de conception sont réduites en temps et plus les retours en conception après les premières mesures des prototypes peuvent être évités.

C'est dans ce contexte que les travaux présentés ici se situent, et ils ont été axés sur les applications en bande X. Ce manuscrit va ainsi traiter des potentialités des transistors utilisés dans cette bande de fréquence et en particulier des potentialités des HEMTs AlGa_N/Ga_N. De plus, une contribution à l'élaboration de modèles électriques de deux technologies de transistors, les TBH GaInP/GaAs et les HEMTs AlGa_N/Ga_N, sera présentée. Ces modèles, optimisés en termes de précision et de rapidité lors de simulations, ont contribué à l'élaboration d'amplificateurs à l'état de l'art.

Chapitre 1 :

Étude comparée des potentialités de la filière HEMT AlGa_N/Ga_N pour des applications en bande X

1.1 Introduction

Nous étudierons dans cette partie les propriétés physiques et électriques du matériau GaN en le comparant à l'AsGa, qui est l'autre matériau utilisé pour la conception de transistors de puissance en bande X. Les performances exceptionnelles des transistors à base de GaN sont en effet dues en grande partie aux propriétés électriques et thermiques de ce matériau, et elles seront donc détaillées dans la suite.

Nous évoquerons aussi de façon succincte la problématique des dégradations des performances des HEMTs GaN, car la recherche de fiabilité peut être parfois à l'origine d'une limitation volontaire des performances en puissance des amplificateurs. De la même manière, nous introduirons une autre problématique, celle des effets de pièges et de leur impact sur les performances électriques des composants.

Afin de limiter ces effets de pièges et de dégradations, des moyens technologiques ont été développés, et ils sont si souvent employés qu'ils sont devenus un standard dans ces composants. Nous présenterons ces différents moyens dans cette partie, sans toutefois détailler leur principe physique, mais en se limitant ici à étudier leur impact sur les potentialités en puissance des transistors. Leurs principes physiques seront décrits dans les parties suivantes, avec une approche orientée vers la modélisation des composants.

Enfin, nous présenterons les principaux résultats de la littérature concernant les performances des différentes technologies utilisées en bande X. Ils permettront de mettre en avant les potentialités du GaN pour les applications de puissance à ces fréquences.

1.2 Potentialités du Nitrure de Gallium - Caractéristiques comparées

Les semiconducteurs à grande largeur de bande interdite et particulièrement les composés III-N tels que le GaN et ses alliages sont, par leurs propriétés physiques et chimiques, de bons candidats pour la réalisation de composants de puissance aux fréquences microondes. En effet, leurs structures cristallographiques leur confèrent des propriétés telles qu'une haute conductivité thermique, un fort champ de claquage, et de grandes vitesses de dérive des porteurs libres, qui sont des paramètres essentiels pour ces applications.

Le tableau 1.1 présente les principales caractéristiques électriques et thermiques du GaN et de l'AsGa, et nous détaillerons l'influence de ces paramètres sur les performances des composants dans la suite. Les valeurs des paramètres associés aux propriétés

thermiques du SiC et du Si sont aussi présentées, car les HEMTs AlGa_N/Ga_N sont habituellement fabriqués sur des substrats de ce type. Ces matériaux ne participent donc pas d'un point de vue électrique au fonctionnement des composants, mais ils contribuent par contre à définir leurs caractéristiques thermiques.

Paramètres électriques				
	AsGa	GaN		
E_G (eV)	1,43	3,39		
ϵ_r	12,5	9		
n_i (cm^{-3})	$1,8 \cdot 10^6$	$1,9 \cdot 10^{-10}$		
μ_n ($cm^2/V \cdot s$)	8500	1300		
$\nu_{sat}(\nu_{pic})$ ($10^7 cm/s$)	1 (2,1)	1,5 (2,7)		
Paramètres thermiques				
	AsGa	GaN	Si	SiC
K_{300K} ($W/cm \cdot K$)	0,45	1,9	1,5	4,2
T_{max} ($^{\circ}C$)	300	700	300	600

TAB. 1.1 – Paramètres donnant les propriétés électriques et thermiques des composants de puissance fabriqués à partir des matériaux présentés.

1.2.1 Influence des paramètres des matériaux sur les caractéristiques électriques des composants

1.2.1.1 Hauteur de la bande interdite

La hauteur de bande interdite, notée E_G , correspond à la différence d'énergie entre la hauteur minimale de la bande de conduction et la hauteur maximale de la bande de valence. Elle représente donc l'énergie que doit avoir un porteur de la bande de valence pour passer dans la bande de conduction et participer au passage d'un courant. Ce paramètre est bien plus élevé dans le GaN que dans l'AsGa, et ainsi le GaN est classé dans la famille des matériaux dits à grand gap. Cette propriété lui confère des propriétés tout à fait intéressantes, qui sont détaillées ici :

- La hauteur de barrière détermine le champ électrique à partir duquel intervient le claquage (le champ de claquage est noté E_C), selon la relation :

$$E_C \propto E_G^{\frac{3}{2}} \quad (1.1)$$

Ce champ de claquage détermine lui-même la tension maximale acceptable dans les composants, et il est donc directement lié à la puissance maximale qu'ils peuvent fournir.

- L'utilisation de couples de matériaux à grande bande interdite permet aussi de créer des hétérojonctions avec de fortes discontinuités de bandes. Dans les HEMTs, cela a un impact sur la densité de porteurs dans le canal (habituellement proche de $1.10^{13} \text{ cm}^{-2}$ dans les HEMTs Ga_N et de $3.10^{12} \text{ cm}^{-2}$ dans les PHEMTs AsGa), et donc sur les densités de courant.

Ces deux premiers points montrent que le seul paramètre E_G détermine en grande partie les potentialités en puissance des composants. Mais il y a d'autres intérêts à utiliser un matériau à gap important :

- Une forte valeur de la bande interdite signifie que la densité de porteurs intrinsèques reste faible même à haute température, ce qui permet de limiter les courants de fuites dans les composants.

- Enfin, la hauteur de bande interdite est aussi un indicateur de la robustesse des composants : plus elle est élevée et plus les liaisons interatomiques sont courtes (le paramètre de maille est d'environ $3,2 \text{ \AA}$ pour le Ga_N et $5,6 \text{ \AA}$ pour l'AsGa). L'énergie de cohésion des cristaux augmentant quand les atomes sont proches, le matériau est donc beaucoup plus stable chimiquement et thermiquement [1]. En contrepartie, la grande stabilité chimique du Ga_N par rapport à l'AsGa rend la fabrication des composants plus difficile, les temps de croissance étant plus longs et les gravures plus difficiles à réaliser.

1.2.1.2 Mobilité des porteurs

Lorsqu'un champ électrique est appliqué à un semi-conducteur, les porteurs de charges libres, électrons et trous, sont entraînés avec une vitesse ν qui est proportionnelle au champ électrique quand il est faible, et qui atteint un niveau de saturation pour des champs plus importants (les interactions des porteurs avec le réseau entraînant une diminution de leur mobilité). La vitesse s'écrit donc :

$$\vec{\nu} = \pm\mu(E) \cdot \vec{E} \quad (1.2)$$

Et à faible champ électrique :

$$\vec{\nu} = \pm\mu_0 \cdot \vec{E} \quad \text{avec} \quad \mu_0 = \frac{q \cdot \tau}{m^*} \quad (1.3)$$

où τ est le temps de relaxation, m^* la masse effective des porteurs et μ_0 la mobilité pour des champs faibles (en cm^2/Vs).

La mobilité dans les matériaux massifs a été donnée dans le tableau 1.1. Cependant, les HEMTs utilisent une hétérojonction afin de confiner les porteurs dans un puits de potentiel, et de cette façon, leur mobilité est considérablement augmentée. Dans le cas du GaN, elle est par exemple d'environ 1500 à 2000 cm^2/Vs dans le puits de potentiel, alors qu'elle n'est que de 900 cm^2/Vs dans le matériau épitaxié sans hétérojonction.

De plus, elle est liée au libre parcours moyen des porteurs dans le semi-conducteur. Toute modification du réseau cristallin entraîne alors sa variation. Par exemple, elle diminue lorsque des atomes dopants sont ajoutés.

Or les HEMTs ont un canal non dopé, permettant d'atteindre une mobilité maximale des porteurs. A contrario, les porteurs dans les TBH transitent dans des couches dopées. L'évolution de la mobilité des électrons et des trous dans l'AsGa en fonction du dopage est donnée à la figure 1.1 (compilation de données selon [2]).

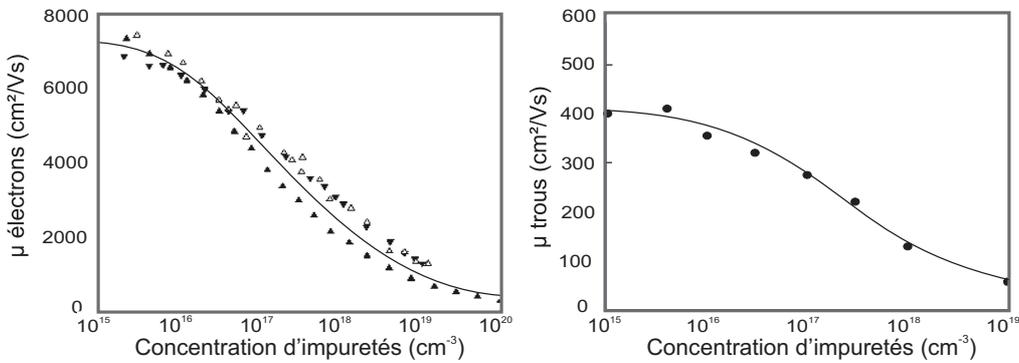


FIG. 1.1 – Lois de variation de la mobilité des électrons et des trous dans l'AsGa.

La loi de variation de la mobilité par rapport au champ électrique varie en fonction des matériaux, et il en est donc de même pour la vitesse des porteurs ν . La figure 1.2 [3] montre son évolution en fonction du champ électrique. Les pics de survitesse, caractéristiques des matériaux III-V, interviennent pour un champ de 5 kV/cm pour l'AsGa et environ 200 kV/cm pour le GaN.

La vitesse des porteurs est 2 à 3 fois plus élevée dans le GaN que dans l'AsGa, et en particulier pour des forts champs électriques. Ceci implique que les densités de courant, étant proportionnelles à cette vitesse, sont bien plus élevées dans les transistors à base de GaN que dans ceux à base d'AsGa.

De plus, la vitesse de saturation (notée ν_{sat}) élevée des porteurs dans les transistors à base de GaN en fait de bons candidats pour les applications à hautes fréquences, car elle détermine la fréquence de transition des composants selon la formule :

$$F_t \approx \frac{\nu_s}{2\pi L_{eff}} \quad (1.4)$$

où L_{eff} est la longueur de grille effective.

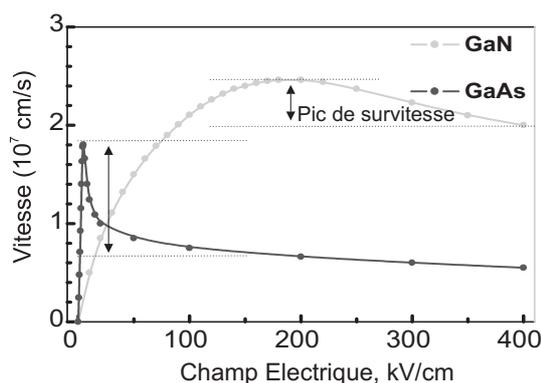


FIG. 1.2 – Variation de la vitesse de dérive des électrons dans le GaN et l'AsGa en fonction du champ électrique.

Il y a cependant quelques réserves à émettre sur le comportement de la vitesse en fonction du champ électrique dans les transistors HEMTs (où les porteurs participant au courant sont situés près d'une interface AlGa_N/Ga_N). Oxley [4] a montré pour des HEMTs GaN que l'observation des pics de survitesse n'était possible que pour une tension proche du pincement, quand la densité d'électrons dans le canal est faible. Il a attribué cet effet à la génération de phonons chauds par les électrons, en accord avec [5]. De plus, il mesurait une vitesse de saturation plus basse que celle attendue, et proche de $1,1 \cdot 10^7 \text{ cm/s}$. Deng [6] considère pour sa part qu'en présence d'un champ électrique intense, les électrons atteignent une énergie suffisante pour être transférés dans la couche d'AlGa_N (real space transfert), et qu'ils se comportent alors comme un gaz 3D avec une mobilité bien plus faible que celle d'un gaz 2D.

Enfin, les résistances d'accès dans les HEMTs dépendent de la mobilité des porteurs. Elles sont d'autant plus faibles que la mobilité est élevée, donnant un avantage aux transistors à base d'AsGa sur ce point.

1.3 Phénomènes thermiques

1.3.1 Dissipation thermique dans les composants

Les composants de puissance sont soumis à des effets thermiques importants lors de leur fonctionnement, une partie de la puissance étant dissipée par effet Joule. La puissance dissipée peut être exprimée à partir de la puissance fournie en polarisation dc et du rendement en puissance du transistor en fonctionnement RF, selon la formule suivante.

$$P_{DISS} = P_{dc}(1 - PAE) \quad (1.5)$$

avec :

$$PAE = \frac{P_{OUT} - P_{IN}}{P_{dc}} \quad (1.6)$$

Divers phénomènes permettent à la chaleur de se dissiper. Étant donné les faibles surfaces des composants en comparaison des densités de puissance qu'ils dissipent, le phénomène de conduction thermique est prédominant. Il est régi par la loi de Fourier, qui énonce que dans le cas d'un milieu homogène et isotrope, le flux de chaleur conductif par unité de surface (q) est dépendant de la conductivité thermique (K) et du gradient de température local.

$$q = -K(T) \cdot \nabla T \quad (1.7)$$

La conductivité thermique d'un matériau définit donc sa capacité à évacuer la chaleur. Cependant, si elle est une grandeur habituellement utilisée quand on parle des matériaux, on lui préfère la résistance thermique, qui lui est inversement proportionnelle, quand on se place d'un point de vue électrique. Elle associe la température d'un composant à la puissance qu'il dissipe, et est ainsi égale à :

$$R_{th} = \frac{\Delta T}{P_{DISS}} \quad (1.8)$$

où ΔT est l'élévation de température en °K.

La conductivité thermique est bien plus élevée dans le GaN que dans l'AsGa, et encore plus dans le SiC. Ce constat est important car, comme nous l'avons dit, la plupart des composants à base de GaN sont épitaxiés sur des substrats en SiC, en particulier pour les applications à forts niveaux de puissances.

1.3.2 Ordres de grandeurs

La technologie et l'épitaxie d'un composant, ainsi que l'épaisseur du substrat, déterminent très fortement sa résistance thermique. Pour des composants typiques utilisés pour les applications en bande X avec des développements de 1 mm, les résistances thermiques habituellement mesurées *sur plaque* sont proches de 10 à 20°C/W pour un HEMT GaN et de 50°C/W pour un TBH AsGa avec un pont thermique (qui est une métallisation épaisse supérieure aux doigts d'émetteurs permettant de dissiper et de répartir la chaleur entre les différentes zones actives) [7][8]. Les HEMTs AsGa ont des résistances thermiques plus élevées que les TBH, car le pont thermique de ces derniers leur permet de dégager approximativement un tiers de la chaleur vers le haut. Il faut insister sur le fait que ce sont des approximations très grossières, mais elles montrent le

net avantage du GaN sur SiC par rapport à l'AsGa. Cependant, même si la conductivité thermique des HEMTs GaN est bien meilleure, celle-ci peut être masquée par les densités de puissance bien plus élevées que dans les HEMTs AsGa, et les problèmes de gestion thermique sont alors assez similaires. Ainsi, beaucoup de solutions ont été envisagées pour améliorer l'évacuation de chaleur, comme l'amincissement des substrats, les reports flip-chip sur diamant [9], ou encore le dépôt de couches de passivations avec de bonnes propriétés thermiques [10]. La plupart de ces solutions tendent donc soit à permettre à la chaleur de s'évacuer à travers des matériaux de meilleure conductivité thermique, soit d'offrir des chemins de dissipations supplémentaires.

1.3.3 Influence de la température sur les caractéristiques des semi-conducteurs

1.3.3.1 Hauteur de la bande interdite

La hauteur de la bande interdite étant inversement proportionnelle à la longueur des mailles, il en résulte que celle-ci diminue quand la température augmente, car le matériau est alors plus dilaté. Elle dépend de la température selon la formule suivante [11] :

$$E_G(T) = E_G(0) - \alpha \frac{T^2}{T + \beta} \quad (1.9)$$

où la température T est exprimée en Kelvins. Les paramètres de cette équation pour le GaN et l'AsGa sont donnés dans le tableau 1.2.

	AsGa	GaN
$E_G(0)$ (eV)	1.52	3.47
α (eV/K)	$5.405 \cdot 10^{-4}$	$7.7 \cdot 10^{-4}$
β (K)	204	600

TAB. 1.2 – Paramètres de dépendance thermique de la hauteur de barrière

La hauteur de la bande interdite diminue donc avec la température. Les bandes interdites de l'AlGa_N et de l'AsGa diminuent d'environ 0,1 eV quand la température passe de 25 à 250°C. Ceci signifie que la tension de claquage diminue quand la température augmente.

1.3.3.2 La mobilité

L'élévation de la température crée des perturbations dans le réseau cristallin qui affectent la mobilité des porteurs. Celle-ci diminue donc quand la température augmente, causant ainsi une diminution du courant dans les transistors. La figure 1.3 montre la diminution de la vitesse des électrons dans le GaN et l'AsGa quand la température augmente, mesurée par Shur [12].

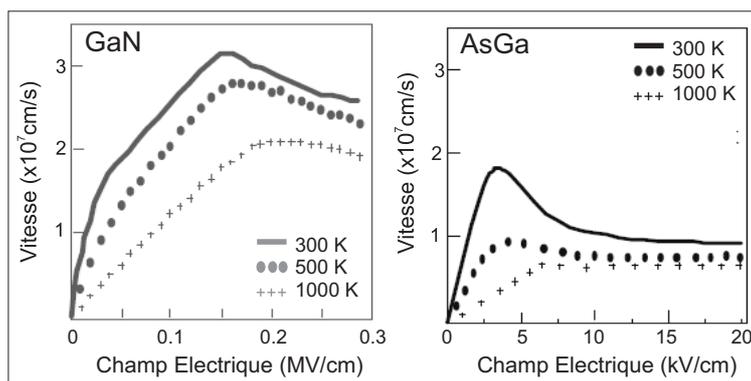


FIG. 1.3 – Vitesse de dérive des porteurs dans les semi-conducteurs GaN et GaAs en fonction du champ électrique pour différentes températures.

1.3.3.3 La conductivité thermique

Elle varie sensiblement en fonction de la température dans le GaN, l’AsGa et le SiC (cf fig. 1.4), et peut être obtenue grâce à la formule suivante.

$$K(T) = K_0 \cdot \left(\frac{T}{300}\right)^a \quad (1.10)$$

Le tableau 1.3 donne les paramètres de cette équation pour les différents matériaux.

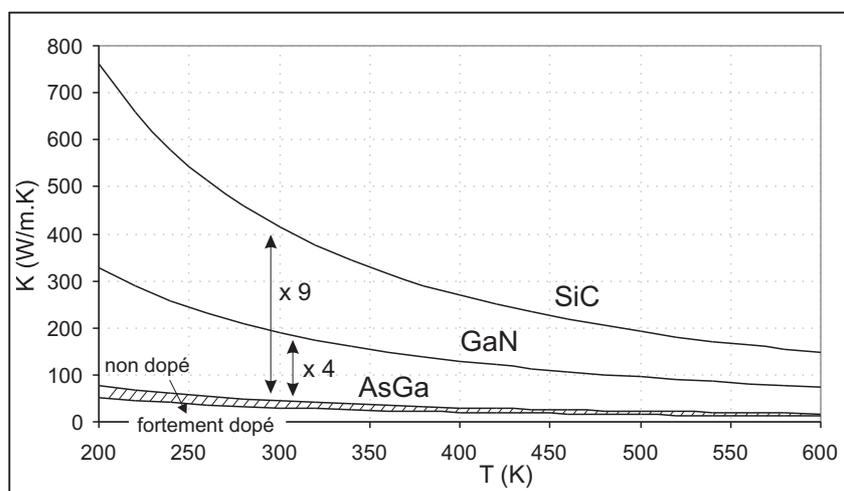


FIG. 1.4 – Variations des conductivités thermiques du SiC, du GaN et de l’AsGa en fonction de la température.

	AsGa non dopé	AsGa fortement dopé	GaN	SiC
K_0 (W/m.K)	45	30	190	414
a	-1,35	-1,35	-1,35	-1,5

TAB. 1.3 – Paramètres de dépendance thermique de la conductivité thermique

1.4 Synthèse

Cette étude comparative des matériaux a permis de montrer le net avantage du GaN pour la réalisation de composants de puissance à hautes fréquences. Cela est dû pour beaucoup à sa grande hauteur de bande interdite, qui permet de polariser les composants à des tensions élevées et qui implique, dans le cas des HEMTs, de fortes densités de porteurs et donc de courant.

De plus, les transistors en GaN, en particulier lorsqu'ils sont fabriqués sur des substrats en SiC, ont des conductivités thermiques bien meilleures que les composants fabriqués à base d'AsGa. Mais, le rapport des conductivités thermiques étant du même ordre que celui des densités de puissances, les problèmes de gestion thermique sont sensiblement équivalents dans les deux technologies.

Cependant, les composants à base de GaN sont sujets à divers effets, inhérents au matériau et à sa faible maturité, qui sont susceptibles de limiter leurs caractéristiques électriques. Ils seront évoqués dans la suite.

1.5 Les effets de pièges

Les différents types de défauts présents dans l'épitaxie sont à l'origine des effets de pièges, et en particulier la présence d'impuretés dans le réseau cristallin, la présence de densités élevées de dislocations, qui sont des défauts cristallographiques, ou l'existence de liaisons pendantes aux surfaces libres des transistors.

D'un point de vue électrique, ces impuretés génèrent des états énergétiques situés dans la bande interdite du matériau semiconducteur qui peuvent être occupés par des porteurs libres (on appelle alors énergie d'activation le niveau d'un piège par rapport à la bande de conduction ou de valence, selon les conventions). Ces porteurs sont alors retenus pendant un temps donné dans ces niveaux d'énergie ; d'où le nom de pièges donné à ces états. On distingue deux types de pièges : les donneurs et les accepteurs. Un piège de type donneur peut être soit positif soit neutre. Un piège de type accepteur peut être soit négatif soit neutre.

- Un piège de type donneur est chargé positivement (ionisé) lorsqu'il est vide, et neutre quand il est rempli. Un donneur rempli (neutre) peut émettre un électron ou capturer un trou. Un donneur vide (positif) peut capturer un électron ou émettre un trou.

- Un piège de type accepteur est neutre quand il est vide, et chargé négativement quand il est rempli d'un électron. Un accepteur plein peut émettre un électron ou capturer un trou. Un accepteur vide peut capturer un électron ou émettre un trou.

On peut considérer, en première approximation, que les TBH AsGa ne sont pas

sensibles aux effets de pièges. Les différentes couches qui les constituent étant dopées, et les concentrations de dopants étant considérablement supérieures aux concentrations de pièges potentiellement présents, ces derniers sont alors masqués par le dopage.

La situation est différente dans les HEMTs, ou les électrons transitent dans des couches non dopées, et en particulier dans le GaN, matériau souffrant encore de défauts importants. Les HEMTs à base d'AsGa, plus matures, sont moins affectés par les effets de pièges.

Or ils altèrent considérablement les performances électriques des composants. Les défaillances électriques proviennent du fait que ces pièges peuvent capturer ou émettre des charges avec des constantes de temps bien plus lentes que les signaux appliqués.

Ainsi, si par exemple des électrons du canal sont capturés, ils ne participent plus au courant de sortie qui diminue donc, avec une forme transitoire due à la constante de temps de capture.

De même, si des électrons sont émis vers le canal, le courant augmente jusqu'à son niveau établi, et le transitoire de courant observé est caractéristique de la constante de temps d'émission des pièges. Une partie des charges du canal ne réagit plus immédiatement aux tensions appliquées, mais réagit aux pièges avec leurs constantes de temps propres.

On a alors :

$$I_{ds} = f(V_{gs}, V_{ds}, \text{état des pièges}) \quad (1.11)$$

Les pièges ajoutent donc des composantes basses fréquences aux fonctionnements RF, et c'est pourquoi on parle de dispersion RF pour traduire leurs effets.

1.5.1 Constantes de temps des pièges, énergie d'activation

Les constantes de temps (τ) de capture et d'émission sont très différentes, et la capture d'un porteur libre par un piège est normalement bien plus rapide que l'émission. Elles dérivent habituellement de la loi d'Arrhénius, qui établit leur relation avec l'énergie d'activation du piège qui leur est associé et la température :

$$\frac{1}{\tau} = \Gamma \sigma T^2 \cdot e^{-E_A/kT} \quad (1.12)$$

où Γ est une constante, σ est la section de capture du piège (en cm^2), et E_A est son énergie d'activation (en eV).

Cette loi montre que les constantes de temps des pièges sont très fortement dépendantes de la température.

1.5.2 Connaissance des pièges - problématique du GaN

L'effet des pièges sur les performances électriques [13] est connu depuis de nombreuses années, en particulier grâce à l'expérience vécue sur les transistors en technologie AsGa (HEMT ou MESFET) quand ils étaient au même niveau de maturité que les transistors en GaN actuel, soit dans les années 80-90. Les pièges avaient pu être caractérisés grâce au développement de méthodes électriques (DLTS, DLFS, relaxation isotherme...), qui avaient permis d'en donner une description détaillée [14],[15], [16], [17]. Ainsi, les différents pièges habituellement présents dans les transistors AsGa sont aujourd'hui bien connus (pièges DX, EL, HL etc.).

Cependant, il existe deux grandes différences entre le GaN et l'AsGa :

- La première est la densité de dislocations, qui peut être 10^6 fois plus importante dans les HEMTs GaN que dans les HEMTs AsGa.

- La deuxième est la hauteur de bande interdite. Les pièges présents dans le GaN peuvent être beaucoup plus profonds que dans l'AsGa [18] et ont alors des constantes de temps d'émission et de capture qui peuvent être extrêmement lentes (*cf* eq. 1.12). Par exemple, les constantes de temps d'émission valent $3,9 \cdot 10^{-5}$ s pour un piège donneur avec une énergie d'activation de 0,5 eV sous la bande de conduction, $9,8 \cdot 10^3$ s pour 1 eV et $3,9 \cdot 10^{16}$ s pour 1,75 eV [19] !

Cela implique deux choses très importantes dans la compréhension du fonctionnement des transistors et dans leur caractérisation :

- Il est parfois difficile de discerner les dégradations irrémédiables des composants avec les effets dus aux pièges, ce qui ne facilite pas la compréhension des phénomènes de pièges et de dégradations.

- Les transistors ont parfois des caractéristiques qui évoluent lentement en fonction du temps, impliquant alors une non reproductibilité des mesures.

De plus, il a été observé au cours de cette étude que les transitoires de courant dus aux pièges dans le GaN ne sont pas de forme exponentielle en fonction du temps, montrant qu'ils ne suivent pas la loi d'Arrhénius, et invalidant la plupart des méthodes permettant de les caractériser. Ceci peut être dû au fait que certains pièges sont situés sur des niveaux d'énergie et ne sont donc pas déterminés par un état d'énergie discret [20], que l'effet Poole-Frenkel (courbure de la bande de conduction au voisinage d'un piège) peut apparaître [21], ou encore que les pièges d'une énergie donnée peuvent avoir plusieurs états de charges (+,0,- ou 0,-,2-) [22]...

Sur le sujet, voir aussi [23].

Ces dernières considérations permettent d'expliquer pourquoi les énergies d'activation des pièges sont encore mal connues dans le Ga_N, ainsi que leurs origines (type d'impuretés, dislocations, défauts natifs, etc.). Il est ainsi plus difficile de réduire leur présence lors des épitaxies, tel que cela a pu être fait pour les composants à base d'AsGa.

1.6 Fiabilité des HEMTs AlGa_N/Ga_N

Les HEMTs Ga_N sont sujets à des problèmes de fiabilité importants, comme les technologies HEMT ou HBT AsGa ont pu l'être à leurs débuts. La fiabilité est donc aujourd'hui le point clé dans leur développement, car ils ont déjà su montrer des performances électriques inégalées.

Les principaux mécanismes de dégradation sont dus à la création d'électrons chauds et au phénomène d'ionisation par impact, d'autant que certaines dégradations qu'ils induisent peuvent les accentuer [24].

1.6.1 Le phénomène d'ionisation par impacts

Ce phénomène apparaît lorsque le champ électrique devient suffisamment intense pour fournir aux porteurs une énergie très supérieure à l'énergie thermique du réseau (ce porteur est alors dit chaud). Lors d'un impact avec un atome du réseau, il pourra éventuellement lui arracher un électron, créant ainsi une paire électron-trou et ionisant cet atome. Dans un semi-conducteur, cela se traduit en terme d'énergie du passage d'un électron de la bande de valence à la bande de conduction, comme on le voit sur le schéma donné à la figure 1.5).

Un électron dans l'état (E_3, k_3) de la bande de valence passe dans l'état (E_2, k_2) de la bande de conduction sous l'effet d'un électron chaud dans l'état (E_i, k_i) de la bande de conduction qui, délivrant une partie de son énergie, passe alors dans l'état (E_1, k_1) [25]. La valeur de l'énergie seuil est dépendante du type de porteur, du schéma de bande, de l'orientation cristalline du semi conducteur [26], de son dopage, et de la fraction molaire dans les matériaux composés. Cependant, comme nous l'avons vu et en première approximation, on peut considérer que cette énergie est définie par la largeur de la bande interdite du matériau. Ainsi, plus le gap du matériau sera élevé, plus le champ électrique pourra être important sans que le phénomène d'ionisation par impact n'intervienne.

Le phénomène d'avalanche dans les composants correspond à un cas extrême d'ionisation par impacts. Il intervient quand les électrons créés lors d'ionisations par impacts ont eux-mêmes suffisamment d'énergie pour initier de nouvelles ionisations par impacts. Leur nombre augmente alors exponentiellement jusqu'à la destruction du composant.

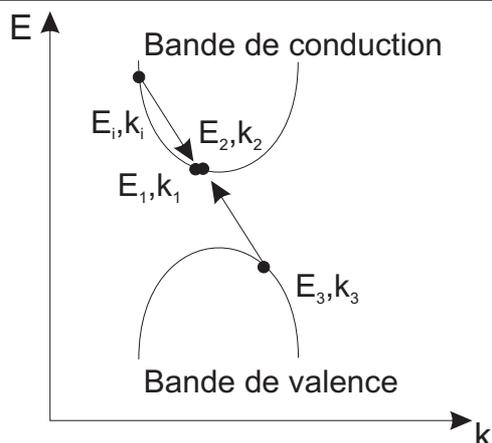


FIG. 1.5 – Schéma d’une transition d’état d’un électron de la bande de valence (E_3, k_3) vers la bande de conduction (E_2, k_2) par le mécanisme d’ionisation par impact initié par un électron passant de l’état (E_i, k_i) à l’état (E_1, k_1) .

1.6.2 Exemples de dégradations observées dans les HEMTs GaN

Par exemple, la dégradation du contact Shottky de grille influence directement les paramètres électriques (saturation du courant de drain, claquage inverse, capacité d’entrée). Et comme l’explique Sozza [24], des changements chimiques et/ou structuraux peuvent apparaître à son niveau, et la hauteur de barrière peut varier localement. Cela peut provoquer des pics de champ électrique qui génèrent des courants de fuite et induisent un échauffement local, accélérant les transformations chimiques et morphologiques à la surface et facilitant le déclenchement de l’ionisation par impacts lors de l’augmentation de la tension de drain. Des défauts de lithographie peuvent avoir le même effet, menant à des dégradations catastrophiques lorsque les composants sont polarisés à des tensions de drain importantes.

Sozza a aussi montré que des niveaux de pièges pouvaient être créés lorsque ces mécanismes entrent en jeu [27]. De même, [28] a montré qu’un électron chaud injecté dans une couche de passivation SiN peut détruire des liaisons pendantes, générant un nouveau centre K_0 . Ces dégradations irréversibles donnent lieu à des modifications des caractéristiques électriques, en particulier une dégradation du gain RF, appelé en anglais “power slump”, par opposition au “power drift” réversible.

Il est donc important d’éviter au mieux ce phénomène d’ionisation par impacts. Or il peut intervenir bien avant le phénomène d’avalanche, qui représente la limite électrique en tension au fonctionnement des transistors. C’est pourquoi il arrive fréquemment que les HEMTs GaN soient sous-polarisés (c’est-à-dire qu’ils ne sont pas polarisés à la moitié de la tension d’avalanche), mais avec des conséquences en termes de diminution de leur

puissance de sortie.

Par exemple, des dégradations rapides des performances en puissance ont été observées à partir de polarisations de drain de 50V pour des transistors bande S ayant des tensions d'avalanche de plus de 150 V.

1.7 Réduction des effets de pièges - Passivations

La passivation des surfaces libres grille-source et grille-drain est effectuée en déposant des couches de SiO_2 , SiN ou Si_3N_4 au dessus de la couche d'AlGa_N [29] et après réalisation de la grille. Cette couche masque donc les surfaces libres des composants. Des mesures en impulsions sur des transistors avant et après passivation effectuées par C. Charbonniaud [30] ont montré une nette réduction des effets de gate-lag, et Vertiatckikh [31] a obtenu le même résultat en notant la réduction du pic de signature d'un niveau de piège en DLTS après une passivation à base de SiN.

1.8 Amélioration du claquage et diminution des phénomènes d'ionisation par impacts dans les HEMTs - Ajout de plaques de champ

La technologie des plaques de champs (field-plates) est connue depuis 1969 [32] et a été utilisée avec succès pour augmenter la tension de claquage de plusieurs composants, incluant les transistors à effet de champ. Cette technique a été utilisée pour la première fois par Ando [33] en 2003 pour les HEMTs AlGa_N/Ga_N, et a permis d'augmenter sensiblement les performances en puissance des transistors [34]. Des améliorations ont pu être apportées par la suite, comme la mise en place par Xing [35] de plusieurs plaques de champs superposées, permettant de repousser les tensions de claquage à 900 V.

Elles sont en fait des parties métalliques déportées au-dessus de l'espace grille drain et mises au potentiel de la grille (ou de source [36]). Elles ne sont pas en contact avec la zone active, mais en induisant un étalement du champ le champ électrique dans l'espace grille-drain et en diminuant ainsi le pic de champ de sortie de grille, elles permettent d'augmenter les tensions de claquage de façon significative et de réduire les pièges de surface à champs élevés, permettant des performances accrues des transistors [37], [38].

D'après les résultats donnés dans la littérature, l'utilisation de cette solution semble cependant limitée à des composants prévus pour fonctionner à des fréquences jusqu'en

bande X au mieux. Cela provient sûrement du fait que l'ajout de plaques de champ provoque l'augmentation des capacités grille-drain et/ou grille source, et donc une diminution du gain en puissance des composants.

La figure 1.6 montre le schéma [37] de la structure d'un HEMT avec une plaque de champ.

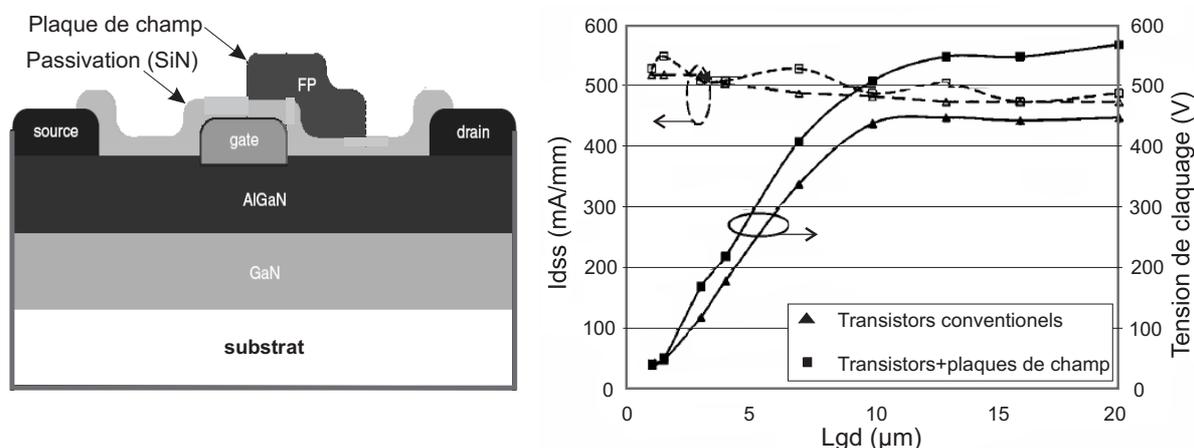


FIG. 1.6 – Schéma de la structure d'un HEMT avec une plaque de champ au dessus de la grille, et comparaison des performances entre deux composants différant seulement par la présence ou non d'une plaque de champ.

Thompson [39] a fait une étude comparative entre un transistor HEMT GaN conventionnel et un transistor de technologie identique mais avec une plaque de champ sur la grille. Pour ces composants dont le développement total était de $150\ \mu\text{m}$, les caractéristiques en puissance étaient mesurées à 10 GHz, pour des tensions de polarisation de drain variant de 15 à 60 V.

Deux résultats en particulier sont intéressants :

- Premièrement, la puissance de sortie pour le composant traditionnel était limitée à $9,8\ \text{W/mm}$ à une tension de polarisation de drain de 45 V, alors que pour le composant muni d'une plaque de champ, la puissance augmentait linéairement avec cette dernière, atteignant $16,5\ \text{W/mm}$ à 60 V (à 6 dB de compression).

- Deuxièmement, la PAE passait de 57 à 32% pour une tension de polarisation de drain variant de 15 à 45 V pour le composant traditionnel, alors que pour le composant avec plaque de champ elle était maximale pour une tension de polarisation de drain de 20 V et restait supérieure à 50% pour des tensions de drain inférieures à 50 V.

De plus, cette PAE chutait plus doucement, atteignant alors 47% à 60 V (*cf* fig. 1.7 [39]).

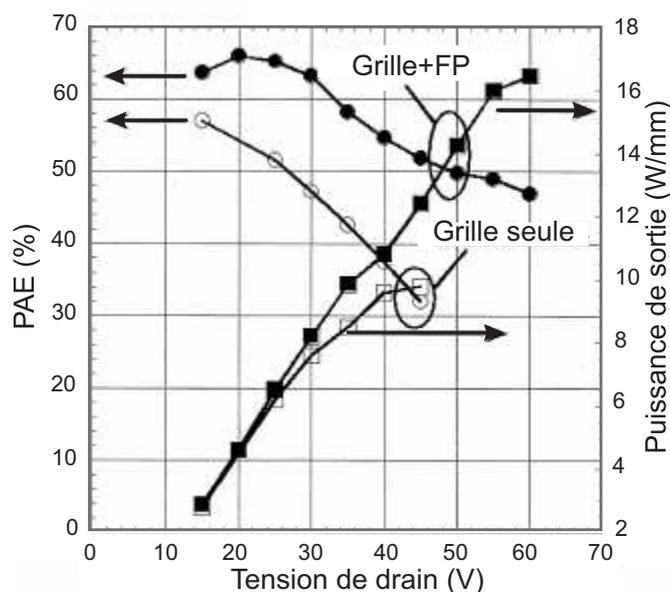


FIG. 1.7 – Comparaison des performances RF à 10 GHz de transistors HEMTs AlGa_N/Ga_N avec et sans plaque de champ.

1.9 État de l'art des performances en amplification en bande X

En tant que candidats prometteurs pour la prochaine génération de transistors de puissance, les HEMTs AlGa_N/Ga_N, grâce à leurs avantages inhérents tels que des fortes tensions de polarisation et des fortes puissances, ont fait l'objet d'une recherche intense ces dernières années. Il y a beaucoup de résultats concernant les caractéristiques de puissance en bandes L et S [40] incluant les applications pour les stations de base de la téléphonie sans fil ; et la bande C, comme par exemple les systèmes de communications satellites et les systèmes fixes de relais sans fil [41].

Il y en a moins pour ce qui concerne la bande X, le marché étant de bien moindre importance. Pourtant, les HEMTs Ga_N sont très attractifs dans ce domaine de fréquences et même au-delà, au vu de la vitesse de saturation élevée des électrons et des densités de puissance qu'ils permettent d'atteindre.

En effet, une densité de puissance importante est un grand avantage pour atteindre de hautes puissances à des fréquences élevées car les dimensions physiques des boîtiers sont limitées à cause de leurs fréquences de résonance. De ce fait, il y a une limitation à l'obtention de puissance en bande X avec des technologies à base d'AsGa.

A l'heure actuelle, un seul transistor en Ga_N pour des applications en bande X est

disponible dans le commerce. Il s'agit d'un transistor Toshiba [42], vendu en boîtier adapté de 11x12.9 mm (dimensions internes), et qui délivre 50 W dans la bande 8,5-9,6 GHz, avec un gain linéaire de 9 dB, une PAE de 35%, à une tension de polarisation de 24 V. Fait révélateur du potentiel du Ga_N, le même fabricant propose, en technologie PHEMT AsGa et dans le même boîtier, un amplificateur délivrant 15 W (31% PAE, Gain : 7 dB, V_{ds}=9 V). L'élévation de température proche de 100°C lors du fonctionnement est identique pour les deux amplificateurs.

Nous présenterons dans la suite les principaux résultats d'amplificateurs en bande X publiés à ce jour pour les HEMTs Ga_N, que nous comparerons avec des résultats publiés ou commerciaux dans les autres technologies à base d'AsGa. Il y a de très nombreux résultats concernant des densités de puissance importantes obtenues en bande X avec des transistors unitaires qui sont intéressants pour évaluer les potentialités maximales des HEMTs Ga_N [43][39][44][45], mais les rendements de fabrication, la fiabilité et autres paramètres déterminants ne sont que très rarement évoqués. C'est pourquoi cette synthèse se limite aux puissances obtenues sur des amplificateurs. Leur fabrication nécessitant un meilleur contrôle des procédés de fabrication, cela permet en quelque sorte d'effectuer un tri des résultats publiés. On remarquera par ailleurs que les densités de puissance atteintes avec des transistors unitaires n'ont souvent pas de commune mesure avec celles des transistors dans les amplificateurs...

Le tableau de la figure 1.8 résume les principales caractéristiques obtenues sur des amplificateurs à base de HEMTs Ga_N, qui peuvent être comparés avec quelques résultats obtenus avec les technologies TBH ou PHEMT AsGa.

Le premier point important est qu'il y a peu d'amplificateurs MMIC en technologie AsGa qui dépassent 25 W.

Le rendement en puissance ajoutée des amplificateurs à base de transistors Ga_N est sensiblement identique à celui des amplificateurs à base de PHEMTs AsGa, mais reste plus faible que celui des amplificateurs à base de TBH. Ceci est révélateur d'une diminution importante des effets de pièges dans les HEMTs Ga_N au cours des dernières années, car ils ont une influence très importante sur ce paramètre. Cela peut aussi éventuellement signifier que les amplificateurs à base de Ga_N sont parfois sous-polarisés (la PAE étant meilleure à basse tension de polarisation), permettant ainsi de conserver une fiabilité correcte.

Enfin, la densité de puissance développée par les amplificateurs en fonction du développement des transistors, et donc incluant les pertes dans les circuits passifs, est proche de 3 à 6 W/mm pour les HEMTs Ga_N, 0,5 W/mm pour les PHEMTs AsGa, et 2 à 3 W/mm dans les HBTs AsGa.

GaN	HEMT											
	Ps W	Dév. Etage puis. mm	Ps/dév. W/mm	Puce mm ²	Ps/puce W/mm ²	PAE %	Gain dB	Mode Pulsé/cw	Vpolar V	Fréquence à Ps donnée	Type	Remarques
[42]	50	nc		11x12,9*	*Boîtier	35	6	cw	24	9,5 GHz	Boîtier	Commercial
[46]	81,3	23,04	3,53	11x12,9*	*Boîtier	34	9,5	cw	30	9,5 GHz	Boîtier	Non commercial
[47]	13,4	4	3,35	4,5x3	1,0	25	20	nc/10%	35	10 GHz	MMIC	Rendement wafer 35%
[48]	17	4	4,25	4x3	1,4	36,5	18,5	100µs/10%	30	9,5 GHz	MMIC	
[48]	23	4	5,75	nc	*HYB	29,2	8	50µs/10%	35	10 GHz	HYB	9,25-11,25 GHz
[49]	25	11,4	2,2	3x4,5	1,8	21	15	50µ/10%	30	10 GHz	MMIC	20W sur 8-10,5 GHz à 24V
[50]	8	1,6	5,00	6,3x4	0,3	33,8	7	cw	30	10 GHz	MMIC	
[50]	5,24	1,6	3,28	6,3x4	0,2	36,7	7	cw	20	10 GHz	MMIC	
[51]	40,7	12	3,39	nc	*HYB	20	10,8	20µs/500µs	55	10 GHz	HYB	
[52]	14,1	4	3,53	7,1x4,8	0,4	25	4,5	cw	25	8 GHz	MMIC	Flip-Chip
[53]	7,8	1,5	5,20	1,8x2,2	2,00	44	7,7	cw	20	8 GHz	MMIC	
[53]	16,1	3	5,36	2,2x3,3	2,2	30	15,2	cw	28	8 GHz	MMIC	
[54]	11,1	2,4	4,63	2x1,1	5,00	nc	5,5	100µs/10%	30	9,7 GHz	MMIC	9,4-10,6 GHz
02/2008	58,6	8,96	6,74	18	3,25	38,2	14,7	5µs/500µs	32	10 GHz	MMIC	
AsGa	PHEMT											
[42]	15	nc		11x12,9*	*Boîtier	31	7	cw	9	10 GHz	Boîtier	Commercial
[55]	20	nc		8,3x5,2	0,46	30	26	cw	10	9 GHz	MMIC	Commercial 8-10 GHz
[56]	6,3	nc		3,52x2,61	0,69	40	20	cw	9	10 GHz	MMIC	Commercial 9-10,5 GHz
[56]	8	16,1	0,5	20	0,4	30	18	1µs/10%	nc	10 GHz	MMIC	9GHz-11GHz
[57]	9	16,8	0,54	10,92	0,82	34	13,7	cw	9	10 GHz	MMIC	9-10,5 GHz
[58]	5	10	0,5	nc		55	10	cw	7		MMIC	7,5-10,5 GHz
[59]	4,9	8	0,61	16	0,3	25	15	cw	7,5	10 GHz	MMIC	9-11,5 GHz
[60]	12,3	32,4	0,38	18,3x18,2*	*HYB	40,8	7,2	cw	nc		HYB	8,5-10,6 GHz
[61]	12	20	0,6	21	0,6	40	22	cw	10	9,5 GHz	MMIC	8,5-10,5 GHz
AsGa	HBT											
[62]	5	2,92	1,71	2,92x4,57	0,4	48	13	pulsé (nc)	7,5	10 GHz	MMIC	8,5-10,5 GHz
[63]	11	nc		5x3,68	0,6	43	16	100µs/15%	9	10 GHz	MMIC	8,8-10,6 GHz
[64]	8,7	3,84	2,27	3,91x2,31	1,0	38	nc	1,6µs/10%	8,5	8,9 GHz	MMIC	
[64]	11,2	3,84	2,91	5x2,6	0,9	42,3	12,5	1,6µs/10%	10	10 GHz	MMIC	9,2-10,2 GHz
[65]	10	3,2	3,125	nc		35	13	80µs/30%	9	10 GHz	MMIC	8,4-10,4 GHz
AsGa	MESFET											
[66]	7	nc	nc	22	0,3	40	9,3	10µs/100µs	9	8,8 GHz	MMIC	7,8-10,6 GHz
[66]	4	nc	nc	9	0,4	43	nc	10µs/100µs	9	10,6 GHz	MMIC	8-11,3 GHz

FIG. 1.8 – Comparaison des performances RF en bande X d'amplificateurs HEMTs GaN, PHEMTs AsGa, TBH AsGa et MESFETs AsGa.

1.10 Conclusion

Pour les applications en bande X, les HEMTs Ga_N montrent des densités de puissance environ 4 à 7 fois plus élevées que les PHEMTs AsGa, permettant ainsi une compacité accrue des amplificateurs. Par rapport au TBH AsGa, ils ont aussi un avantage en termes de densités de puissance, mais ils présentent surtout des impédances en sortie bien plus élevées, facilitant leur adaptation en puissance.

Le gros avantage des TBH AsGa sur les autres technologies réside dans meilleure maîtrise de leur fabrication, et leur meilleure reproductibilité par rapport aux HEMTs, PHEMTs et MESFETs, ces derniers nécessitant des moyens lithographiques lourds, et étant plus sensibles aux variations technologiques [67]. De plus leurs problèmes de fiabilité ont été résolus ces dernières années et ils représentent aujourd'hui une solution intéressante permettant de coupler des densités de puissance importantes avec des PAE élevées.

Cependant, les HEMTs Ga_N sont plus robustes en termes de tenue en compression, en désadaptation, en fonctionnement à hautes températures et/ou en environnements agressifs. Ils ont donc des potentialités très intéressantes pour les applications de puissance, notamment en bande X mais aussi en large bande [68], [69]. Ainsi il ne faut pas douter que si leurs problèmes de fiabilité et de pièges, inhérents à la relative jeunesse de la filière, sont résolus d'ici peu, ils feront alors une apparition massive sur ce marché.

Au point que L'ITRS (International Technology Roadmap for Semiconductors) a annoncé que les HEMTs Ga_N sont appelés à devenir les remplaçants de toutes les technologies actuelles opérant jusqu'à 40 GHz.

Nous décrivons dans les parties suivantes comment modéliser les TBH GaInP/GaAs, ainsi que les HEMTs AlGa_N/Ga_N. Ces derniers étant commercialisés, il y a aujourd'hui un besoin de modèles électriques pour la CAO, d'autant plus précis que la réalisation d'amplificateurs MMIC ne permet pas de modifications des circuits d'adaptations comme c'est le cas, dans une certaine mesure, pour les montages hybrides.

Chapitre 2 :

Modélisation des transistors bipolaires à hétérojonction InGaP/AsGa de puissance

2.1 Introduction

Nous avons décrit dans la partie précédente l'intérêt des transistors bipolaires à hétérojonction à base d'AsGa pour l'amplification de puissance aux fréquences microondes, et comparé leurs caractéristiques avec d'autres filières technologiques adaptées à la bande X.

Nous allons ici présenter leur modélisation telle qu'elle est effectuée au laboratoire XLIM, et tout particulièrement notre contribution au modèle utilisé depuis plusieurs années dans l'équipe [70][71][72]. L'objet de ce travail était de modéliser plus finement certains phénomènes physiques, et d'améliorer ses propriétés de convergence et de temps de simulations sous les différentes conditions d'utilisations habituellement souhaitées par les designers.

Tout d'abord, une présentation du fonctionnement du composant nécessaire à l'élaboration de modèles analytiques sera donnée. En se basant sur l'explication des limites électriques à l'excursion des cycles de charges, elle indiquera les phénomènes qu'il est nécessaire de prendre en compte dans le modèle d'un composant.

Le modèle analytique sera ensuite décrit et des résultats de simulations seront comparés avec des mesures de transistors de la filière HB20P d'UMS afin de valider sa description ainsi que les méthodes proposées d'extraction des paramètres.

2.2 Principe du fonctionnement des transistors bipolaires à hétérojonction, limites en puissance au fonctionnement RF

2.2.1 Principe du transistor bipolaire, avantage de l'hétérojonction

Le transistor bipolaire est un transistor à structure verticale. Il est constitué de deux jonctions PN placées tête-bêche, constituant ainsi un composant à trois électrodes qui sont l'émetteur, la base et le collecteur. En mode d'amplification de puissance, ces transistors sont montés en émetteur commun, et la base sert de commande basse puissance alors que le collecteur constitue l'électrode de puissance. La figure 2.1 présente schématiquement la structure d'un tel composant, et donne la convention habituellement utilisée pour le sens des courants. Il s'agit ici d'un transistor NPN : deux régions dopées N de dopages N_{de} pour l'émetteur et N_{dc} pour le collecteur entourent une région P dopée N_a qui constitue la base.

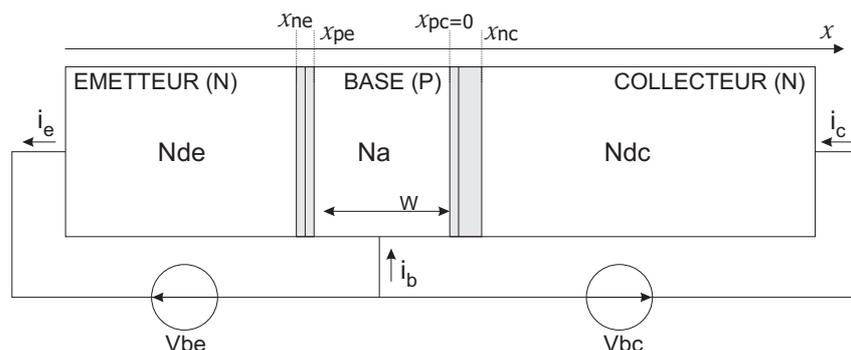


FIG. 2.1 – Schéma de la structure de NPN d'un transistor bipolaire. Les conventions utilisées en courant sont données ici.

Dans les conditions normales de fonctionnement, la diode base-émetteur est polarisée en direct ($V_{be} > 0$), et la diode base-collecteur en inverse ($V_{bc} < 0$). Ainsi, le courant dans le collecteur est un courant inverse d'une diode PN et correspond à l'extraction de porteurs minoritaires de la base, et il est habituellement faible. L'idée du transistor bipolaire est d'injecter massivement des porteurs minoritaires dans la base via la jonction base-émetteur. Ceci permet un contrôle du courant de collecteur grâce à la polarisation de la jonction base-émetteur. On peut donc décrire le fonctionnement de ce type de transistor en trois phases :

- 1) l'injection d'électrons de l'émetteur dans la base via la jonction base-émetteur polarisée en direct ;
- 2) le transit des électrons dans la base ;
- 3) le passage de ces électrons dans le collecteur via la jonction base-collecteur polarisée en inverse.

Cela montre pourquoi la base doit être fine, afin d'éviter autant que possible une recombinaison des électrons (minoritaires) dans la base avec les trous (majoritaires) lors de leur transit. Cependant, cette recombinaison n'est malgré tout pas complètement évitable et elle contribue à l'existence d'un courant de base i_b . Ainsi, le cas idéal où l'on aurait $i_c = i_e$ et $i_b = 0$ n'existe pas, et on peut donc définir un gain en courant (qui constitue un facteur de mérite de ce type de composants), qui est noté β .

On a donc :

$$\beta = \frac{i_c}{i_b} \quad (2.1)$$

Un autre mécanisme est prépondérant dans l'existence du courant i_b : il s'agit du courant créé par le passage de trous de la base vers l'émetteur. La figure 2.2 montre le schéma des bandes d'un transistor bipolaire en fonctionnement direct auquel sont superposées des flèches symbolisant le transit des porteurs et donc les différents courants présents. Le courant de recombinaison est noté I_r , et le courant de trous est noté I_p .

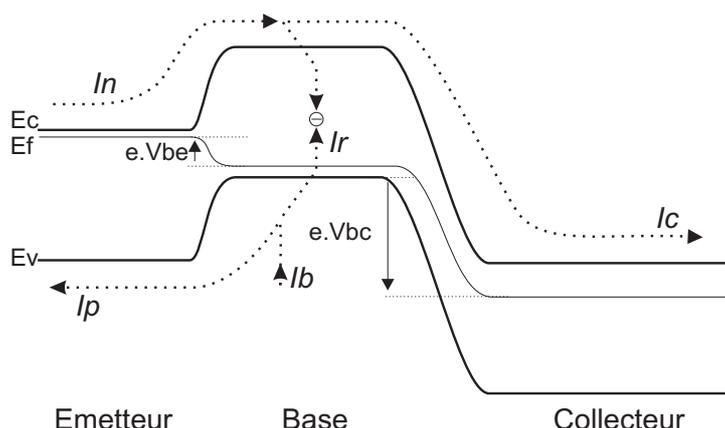


FIG. 2.2 – Diagramme des bandes d'un transistor bipolaire NPN décrivant l'origine des courants d'émetteur, de base et de collecteur.

On a ainsi les relations suivantes :

Le courant de collecteur I_c est égal à :

$$I_c = I_n + I_r \quad (2.2)$$

Le courant d'émetteur I_e est égal à :

$$I_e = I_n + I_p \quad (2.3)$$

Le courant de base I_b est égal à :

$$I_b = I_p + I_r \quad (2.4)$$

Le gain en courant est alors donné par la relation :

$$\beta = \frac{I_c}{I_b} = \frac{I_n + I_r}{I_p + I_r} \quad (2.5)$$

Nous avons dit que le gain en courant β représente un facteur de mérite de ces composants. En effet, la recherche d'un gain en puissance maximum (défini par le rapport de la puissance sortante par la puissance entrante) passe par la recherche d'un gain en courant maximum, étant donné que les tensions de polarisation sont définies par le type de matériau utilisé.

Ainsi, il est possible de jouer sur trois paramètres afin d'obtenir un gain en courant maximum :

- diminuer les effets de recombinaison dans la base,
- augmenter le courant I_n ,
- diminuer le courant de trous I_p de la base vers l'émetteur.

La première solution consiste à minimiser I_r , c'est-à-dire soit à créer une base la plus fine possible, afin que les électrons transitent à travers la base plus rapidement et subissent moins de recombinaisons, soit à diminuer le dopage de la base pour qu'il y ait moins de trous qui puissent être à l'origine de ces mêmes recombinaisons. Mais ces solutions ont des limites : si la largeur de la base est trop diminuée, le contrôle du courant devient plus difficile, et si la base est faiblement dopée, le régime de forte injection est plus rapidement atteint, limitant ainsi le courant de sortie du transistor.

La deuxième solution consiste à doper fortement l'émetteur, impliquant un courant I_n important, mais cette solution est elle aussi limitée par l'apparition de l'effet de réduction de la hauteur de barrière (band gap narrowing) à dopage très élevé.

La dernière solution passe par la réalisation d'une hétérojonction : l'idée est de diminuer l'injection de trous dans l'émetteur (diminuer I_p) en augmentant la hauteur de gap de la bande de valence. La figure 2.3 schématise la distribution des porteurs au niveau de la jonction base-émetteur, dans le cas d'une homojonction à gauche et d'une hétérojonction à droite. L'injection de trous est diminuée dans le deuxième cas grâce à l'augmentation de la différence de hauteur de barrière au niveau de la bande de valence.

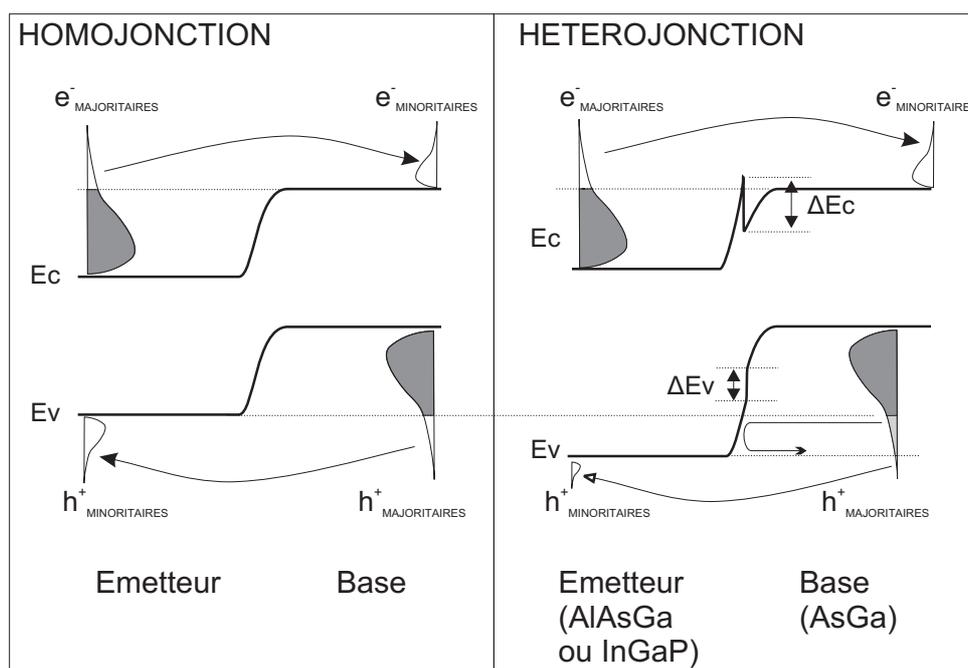


FIG. 2.3 – Intérêt de l'hétérojonction sur la diminution du courant de trous de la base vers l'émetteur, permettant l'augmentation du gain en courant.

Il devient alors possible de réaliser des transistors à base très dopée, ce qui permet d'utiliser des bases plus fines tout en gardant un bon contrôle du courant. De plus, la finesse de la base détermine la fréquence de transition car le temps de transit est alors réduit. Enfin, la résistance de base peut être réduite, grâce aussi au fort dopage de base.

Ainsi, en proposant un gain en courant élevé et des fréquences de transition ft importantes, les TBH sont des candidats idéaux pour les applications hyperfréquences. De plus, le matériau utilisé dans notre cas étant l'AsGa, dans lequel les porteurs ont une grande mobilité, les courants sont plus importants que dans les transistors bipolaires classiques à base de silicium. Ce dernier point en fait de bons candidats pour les applications de puissance.

La figure 2.4 montre la structure épitaxiale d'un TBH à base d'arséniure de gallium (comportant un ballast dans l'émetteur). On distingue les trois régions principales qui forment l'émetteur, la base et le collecteur. Les composants de puissance de ce type sont constitués de cette même structure répétée plusieurs fois et dont les électrodes sont reliées. On définit ainsi le développement total de ces composants par le produit de la longueur W et du nombre de doigts N d'émetteurs, ainsi que par leur largeur, cette dernière déterminant le rapport entre les densités de courant et les courants réels mesurés.

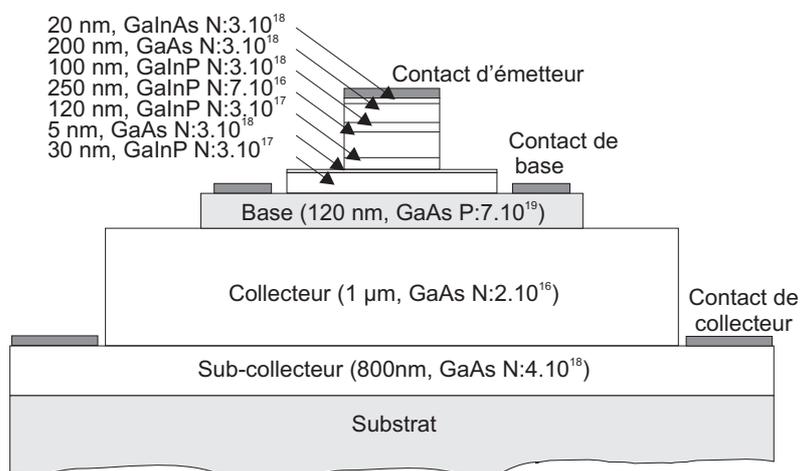


FIG. 2.4 – Exemple d'épitaxie d'un transistor HBT GaInP/GaAs.

2.2.2 Limites au fonctionnement RF des TBH

En régime d'amplification, le cycle de charge en sortie d'un transistor est limité en excursions en tension et en courant. Ceci vaut pour tous les transistors et nous allons détailler ici quelles sont ces limitations dans le cas des TBH.

La figure 2.5 schématise un cycle de charge optimal et définit ses limites en excursions. Il est superposé au réseau de caractéristiques $I(V)$ tracé pour différentes valeurs de i_b .

La limitation maximale du courant est l'effet Kirk, qui correspond à un régime de forte injection. Pour ce qui est de la tension V_{ce} , les bornes limites sont la tension de coude (V_{COUDE}) et celle à partir de laquelle le régime d'avalanche ($V_{ce_{max}}$) est atteint. On peut ajouter à cela les effets thermiques qui peuvent devenir destructeurs si une trop grande quantité de puissance est dissipée.

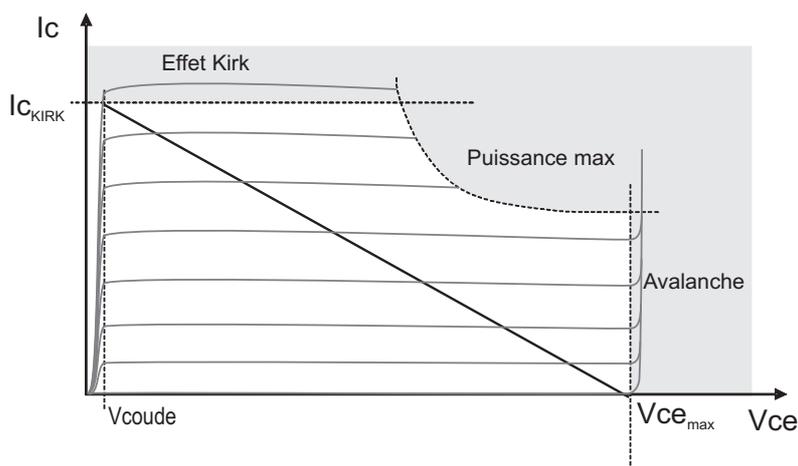


FIG. 2.5 – Limites en excursion du cycle de charge idéal dans un transistor HBT. Le trait en noir représente la droite de charge idéale, les zones grisées les limites au fonctionnement RF du transistor.

2.2.2.1 Limites à l'excursion en courant, effet Kirk

Le régime de forte injection est atteint lorsque la concentration de porteurs minoritaires injectés n'est plus négligeable par rapport à celle des atomes dopants. Ceci est à l'origine, quand il intervient au niveau de la base dans les transistors bipolaires classiques, d'une chute du gain en courant. La base étant très fortement dopée dans les TBH, le régime de forte injection intervient en premier lieu au niveau du collecteur et non de la base. Ainsi, la saturation du courant de sortie n'est pas observée dans ce type de composants, et c'est l'apparition du régime de forte injection au niveau du collecteur qui est à l'origine de la saturation des cycles de charge en courant. Cet effet est appelé effet Kirk (qui est le premier à l'avoir expliqué [73]), ou effet de "base-pushout", ou encore, terme plus parlant, "current induced base widening".

Il est donc particulièrement important de bien décrire cet effet dans les modèles de transistors, car il est une des causes de la saturation du gain en puissance et constitue même une limitation de premier ordre à la puissance de sortie des amplificateurs.

Ce mécanisme est schématisé à la figure 2.6. Quand le courant est important, la charge due aux électrons injectés dans le collecteur n'est plus négligeable devant le dopage, et ainsi le dopage effectif du collecteur $N_{c_{eff}}$ diminue. Il est égal à :

$$N_{c_{eff}} = Nd - \frac{Jc}{(q \cdot \nu e(x))} \quad (2.6)$$

Où Nd est la concentration de dopants dans le collecteur, Jc la densité de courant de collecteur et $\nu e(x)$ la vitesse des électrons au point x , qui dépend du champ électrique. En

supposant que les porteurs ont atteint leur vitesse de saturation, l'équation se simplifie :

$$N_{ceff} = Nd - \frac{Jc}{q \cdot \nu_{sat}} \quad (2.7)$$

Si le courant est élevé (cas (b), le cas (a) correspondant à un fonctionnement à faible courant), le dopage effectif devient nul et la distribution du champ ressemble alors à celle d'une diode PIN. La jonction se décale alors vers le sub-collecteur. Puis, le courant augmentant encore, il atteint un niveau critique noté Ik (qui est le courant seuil de l'effet Kirk), et le dopage effectif du collecteur s'inverse (cas (c)).

Une valeur de ce courant limite est donnée par :

$$Jk_0 = q \cdot \mu_n \cdot Nd \frac{V_{cb}}{W_c} \quad (2.8)$$

où W_c correspond à la l'épaisseur du collecteur.

Si le courant augmente au-delà de ce seuil, tout se passe alors comme si la base s'étendait d'une largeur W_{icb} dans le collecteur (cas (d)), cette extension de la base ayant une influence sur le temps de transit τ des porteurs, et donc sur la fréquence de transition ft .

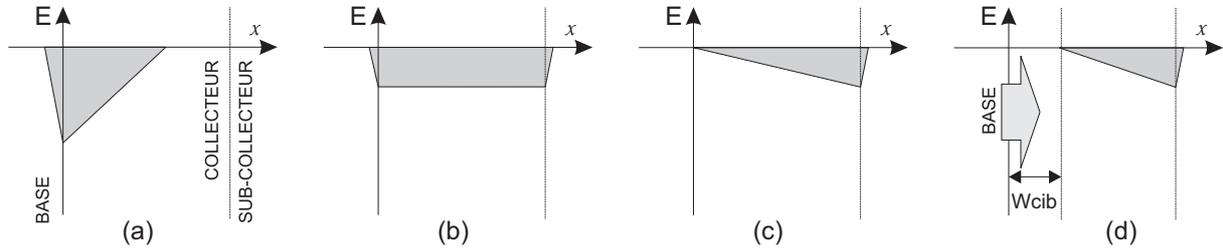


FIG. 2.6 – Distribution du champ électrique au niveau de la jonction base-collecteur pour différentes densités de courant. (a) A faible densité de courant, (b) le courant augmente : le dopage effectif du collecteur est nul $N_{ceff} = 0$, (c) le dopage effectif s'inverse $N_{ceff} < 0$, $Ic = Ik$, (d) la base s'étend dans le collecteur $Ic > Ik$. W_{icb} correspond à la largeur de l'extension de la base dans le collecteur.

On voit d'après l'équation (2.8) que si la largeur de collecteur augmente, cet effet intervient à plus faible courant, alors qu'il est repoussé si le dopage du collecteur augmente. De plus, il dépend de la tension V_{bc} , ce qui sera à prendre en compte lors de sa modélisation.

L'effet Kirk peut donc être assimilé à une augmentation importante du temps de transit τ , et pourra ainsi être pris en compte comme tel dans le modèle électrique. Cette augmentation sera effective au-delà d'un courant noté Ik_0 , qui dépend de la tension V_{bc} . Typiquement, il apparaît pour des niveaux de courant de 40 à 50 kA/cm^2 (à faible tension de collecteur) sur les TBH bande X de puissance.

2.2.2.2 Limites à l'excursion en tension

- *La tension de coude*

Lorsque les deux diodes base-émetteur et base-collecteur sont polarisées en direct, le transistor est alors équivalent à une résistance proche de $Re + Rc$ et on dit qu'il fonctionne en régime de saturation (à l'inverse de transistors à effet de champ).

Lorsque la tension Vbc devient négative, la jonction base-collecteur est polarisée en inverse et le courant sature, ne dépendant plus de Vbc , et le régime de fonctionnement est alors dit "régime actif direct".

Le passage d'un régime de fonctionnement à l'autre intervient pour une tension Vce dite tension de coude.

Elle est proche de $2V$ sur les TBH AsGa.

- *L'avalanche*

Les phénomènes d'ionisation par impacts, à l'origine de l'avalanche, apparaissent dans les zones où le champ électrique est important, c'est-à-dire au niveau de la jonction base-collecteur en régime de fonctionnement direct (car $|Vbc| > |Vce|$). Le champ électrique au niveau de cette jonction peut être calculé à partir de l'intégration de l'équation de Poisson de part et d'autre de la jonction, et l'on trouve alors que :

$$E_{max} = \frac{q}{\epsilon} Na \cdot W_{ZCEbase} = -\frac{q}{\epsilon} Nd \cdot W_{ZCEcoll} \quad (2.9)$$

En supposant que le collecteur est entièrement déplété ($W_{ZCEcoll} = W_{coll}$), on obtient alors la formule approximée :

$$V = W_{coll} \cdot E_{max} - \frac{1}{2} q \cdot W_{coll}^2 \cdot \frac{Nd}{\epsilon} \quad (2.10)$$

Cette équation montre que l'amélioration de la tension de claquage nécessite l'augmentation de l'épaisseur du collecteur, et la diminution de son dopage. Cependant, l'augmentation de l'épaisseur du collecteur implique l'augmentation de la résistance d'accès Rc et provoque l'apparition plus précoce de l'effet Kirk, tout comme la diminution du dopage.

Le tableau 2.1 [74] donne un exemple des tensions de claquage mesurées en fonction de l'épaisseur et du dopage de collecteur. Il montre qu'il y a un compromis à trouver entre la fréquence d'utilisation et la tension d'avalanche, cette fréquence dépendant aussi de l'épaisseur du collecteur.

Pour des transistors destinés à des applications en bande X, la tension $BVce0$ est typiquement de l'ordre de 16 à 20 V.

Collecteur		Tension d'avalanche
<i>Epaisseur</i> (μm)	<i>Dopage</i> (cm^{-3})	$BV_{ce_0}(V)$
1	$2 \cdot 10^{16}$	13
2,8	$2 \cdot 10^{16}$	18
2,8	$8 \cdot 10^{15}$	26
2,8	$6 \cdot 10^{15}$	33
2,8	$4 \cdot 10^{15}$	41

TAB. 2.1 – Évolution de la tension d'avalanche à courant i_b constant BV_{ce_0} en fonction de l'épaisseur et du dopage de collecteur.

2.2.2.3 Les effets thermiques

Les effets thermiques sont importants dans ces transistors, étant donné les densités de puissances mises en jeu et la faible conductivité thermique de l'AsGa.

Ils influent sur le gain en courant qui diminue quand la température augmente, et peuvent surtout devenir destructeurs. Ceci est d'autant plus vrai que les courants augmentent lorsque la température augmente (le courant de saturation d'une diode est donné par la relation : $I_s = I_{s_0} \cdot \exp(-T_s/T)$); ainsi le transistor peut être sujet à un emballement thermique, le courant (et donc la puissance dissipée) augmentant quand la température augmente et vice-versa. Des solutions existent pour limiter cet emballement thermique, comme par exemple l'ajout de ballasts, dont le principe est donné en [75]. Ce sont des résistances en série sur l'émetteur (ou la base), et ils sont donc pris en compte dans les valeurs de R_e (ou R_b) dans les modèles.

Cependant, on comprend que ces effets thermiques ne peuvent pas être négligés lors de la réalisation de modèles, car ils ont une influence importante sur les caractéristiques électriques.

2.3 Conclusion

Le fonctionnement des TBH a été décrit rapidement, et les différents phénomènes physiques qu'il est important de prendre en compte dans les modèles afin d'obtenir des représentations convenables de leur fonctionnement ont été mis en exergue. Nous avons vu que les TBH AsGa sont des composants destinés aux applications de puissance à haute fréquence, et nous allons proposer dans la prochaine partie une topologie de modèle analytique permettant de décrire leur fonctionnement pour de telles applications.

2.4 Modélisation des TBH InGaP/AsGa

2.4.1 Introduction

Au cours de nombreux travaux de thèses [76] [77] [72], des méthodes de modélisation des TBH GaInP/GaAs ont été développées dans le laboratoire. Le travail présenté ici a consisté, dans le cadre d'un contrat avec la société UMS, à établir un modèle précis de transistors TBH AsGa, en s'inspirant très largement des travaux antérieurs et du modèle dit BK2.

Dans un premier temps, une modélisation plus fine de l'effet Kirk a été ajoutée à ce modèle BK2, et dans un deuxième temps, certaines équations ont été reformulées, afin d'améliorer ses propriétés de convergence et les temps de simulations ; ceci sur une plus grande plage de fonctionnement. La topologie choisie (nommée modèle PUG) sera présentée dans cette partie et des simulations seront comparées avec des mesures de transistors bande X.

Cette topologie a aussi été retenue pour la modélisation de transistors en bande S et L, en décrivant bien plus précisément les effets thermiques [78], [79] que dans le cas des transistors bande X, étant donné les puissances dissipées très importantes par ces transistors de grands développements.

Enfin, nous décrirons les méthodes permettant d'extraire la plupart des paramètres de ce modèle à partir de différentes mesures.

2.4.2 Topologie du modèle complet

La figure 2.7 présente le modèle complet grand-signal d'un TBH.

Son architecture est basée sur le modèle de Gummel-Poon statique incluant les fuites et comprend donc quatre diodes et une source de courant commandée. Les diodes D_{cc} et D_{ec} commandent cette source de courant avec des gains respectifs β_r et β_f , et les deux diodes D_{fc} et D_{fe} permettent de modéliser les courants de fuites. Enfin, la partie statique comprend une source de courant I_{bk} permettant de modéliser l'avalanche.

Le modèle grand-signal intrinsèque inclut aussi la description des charges, séparées en deux composantes : q_{be} et q_{bc} . Leur répartition dans le composant impliquera de décrire q_{be} en fonction de la tension V_{be} , et q_{bc} en fonction de V_{be} et V_{bc} , comme nous le verrons par la suite.

Nous détaillerons ici les méthodes d'extraction des différents paramètres du modèle. La procédure d'extraction d'un modèle grand-signal complet de ce type de transistor ne nécessite pas d'être effectuée dans un ordre précis -si ce n'est que la connaissance des éléments extrinsèques est préliminaire à tout- car les méthodes de mesures et d'extraction permettent d'isoler les différents éléments et donc de modéliser leurs

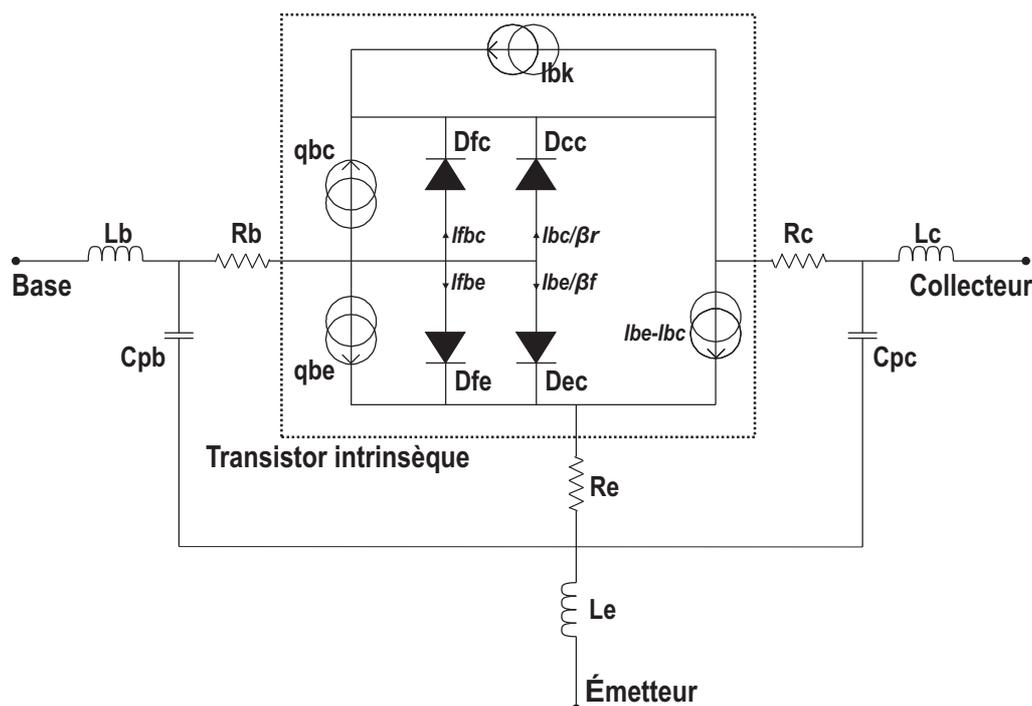


FIG. 2.7 – Topologie du modèle complet d'un transistor TBH

variations indépendamment des autres. Nous présenterons donc ici le modèle et les différentes phases d'extraction dans l'ordre communément adopté dans la littérature, qui permet plus ou moins de partir de la représentation la plus simple pour en arriver à celle la plus fine.

Ainsi, nous décrirons en premier lieu le modèle petit-signal, puis le modèle convectif, et enfin les capacités non-linéaires, dans lesquelles est incluse la description de l'effet Kirk. Enfin, nous nous attacherons à détailler plus précisément les améliorations apportées au modèle BK2, en particulier en termes de convergence et de gain en temps de simulations.

2.4.3 Modèle petit-signal

2.4.3.1 Description du modèle petit-signal

Le modèle est décrit autour d'une architecture en π (pour des raisons historiques car le modèle de Gummel-Poon était un modèle en π ...), et sa représentation est donnée à la figure 2.8 :

Ce schéma complet est celui qui est implanté dans le logiciel d'extraction et de modélisation développé en interne. Il est relativement simple en comparaison des modèles que l'on trouve dans la littérature [80][81][82][83]. En particulier, on ne considère pas de résistance intrinsèque variable et les résistances d'accès R_e , R_b et R_c sont donc considérées comme des éléments extrinsèques dont la valeur est fixée. Ceci est une simplification [76] qu'il faut mettre en balance avec les capacités de convergence et la facilité d'extraction

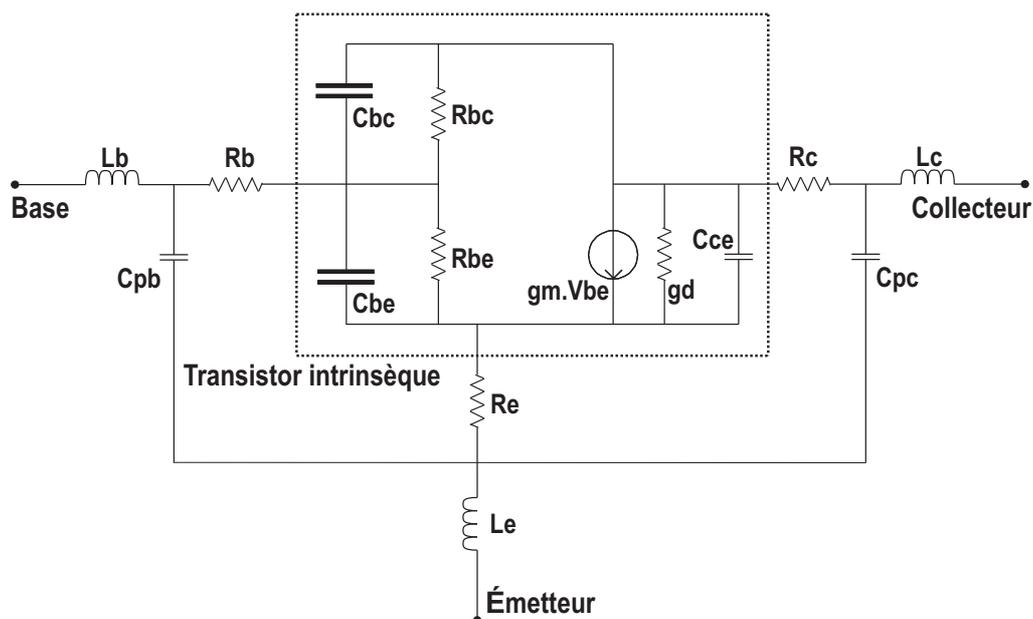


FIG. 2.8 – Topologie du modèle petit-signal d'un transistor TBH

du modèle.

La première étape de la modélisation consiste à extraire les valeurs des éléments extrinsèques, grâce à ce logiciel.

- *Logiciel d'extraction petit-signal multi polarisations*

Basé sur un algorithme de calcul développé au sein du laboratoire, et associé à une procédure d'optimisation, il permet de rechercher les valeurs des éléments extrinsèques jusqu'à ce que tous les paramètres intrinsèques soient indépendants de la fréquence [84] [85]. L'objectif du moteur d'optimisation est donc de minimiser l'écart entre les éléments mesurés et les éléments du modèle petit-signal pour chaque point de fréquence. Il permet de s'affranchir de problèmes de minimums locaux néfastes à la recherche de la solution optimale, car il est basé sur la méthode du recuit simulé. Contrairement aux méthodes classiques d'optimisation qui retiennent seulement les solutions permettant de diminuer la valeur de la fonction objectif, il permet, sous certaines contraintes, d'accepter des solutions intermédiaires pour lesquelles la valeur de la fonction objectif peut être supérieure à celle obtenue précédemment.

Le principe de la méthode d'extraction directe consiste à extraire la matrice admittance intrinsèque $[Y]_{INT}$ à partir des paramètres $[S]$ mesurés. A partir de la matrice admittance intrinsèque, l'ensemble des paramètres intrinsèques du modèle est ensuite extrait par calcul analytique. La matrice $[Y]_{INT}$ est obtenue par transformations successives de la matrice $[S]_{MESURE}$ (cf figure 2.9).

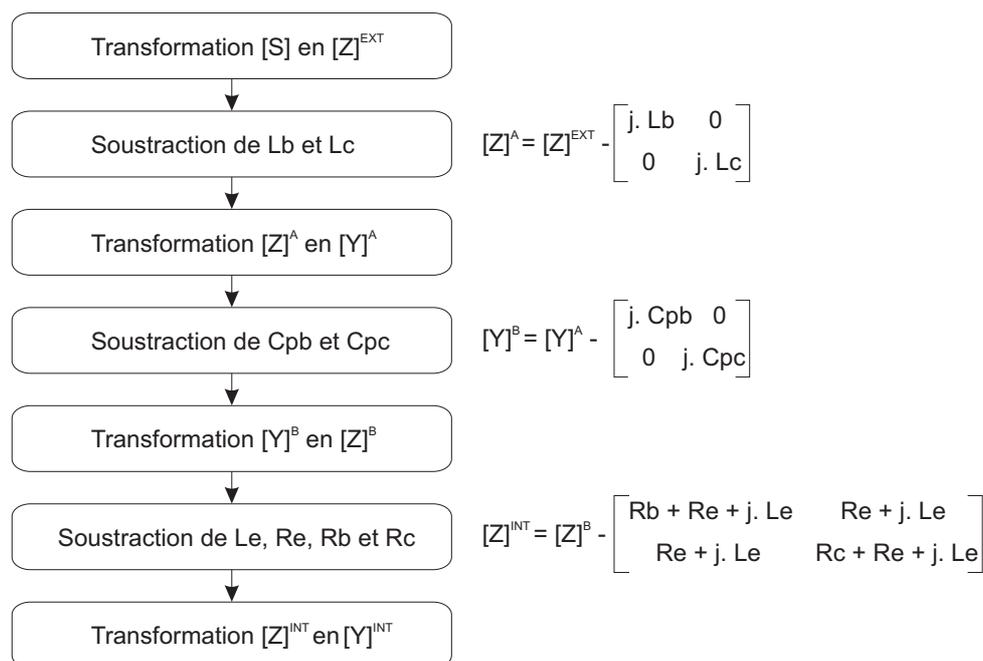


FIG. 2.9 – Détermination de la matrice admittance intrinsèque du quadripôle

- *Inconvénients du schéma en π - méthodes de simplifications de l'extraction des paramètres*

Cependant, si cet algorithme est très adapté pour certaines topologies de modèles (nous verrons qu'il peut être pleinement utilisé pour l'extraction automatique des éléments des modèles de HEMTs GaN), il ne l'est pas dans le cas du schéma en π utilisé ici. En effet, les éléments intrinsèques ne sont pas indépendants de la fréquence [86] et le logiciel peut commettre une erreur importante en les fixant.

Ainsi, pour extraire les valeurs des éléments extrinsèques pour un point de polarisation, il faut connaître les valeurs des intrinsèques, ou alors il devient nécessaire de les ajouter dans la boucle d'optimisation. Il existe des méthodes permettant d'extraire les valeurs des éléments extrinsèques, en choisissant des points de polarisation bien définis [87].

Cependant, étant donné les simplifications que nous avons choisi de faire sur les résistances, il est préférable de les extraire pour un point de polarisation proche de celui de l'application visée, afin d'obtenir une bonne modélisation à bas niveau de puissance lors de simulations grand-signal.

Afin de faciliter cette tâche, les valeurs des différents éléments intrinsèques peuvent être ajoutées à l'optimisation dans des bornes relativement serrées, et certains éléments intrinsèques peuvent même être négligés pour des points de polarisation en régime actif direct. L'explication qui va suivre détaille ce point.

1) Il n'y a pas de C_{ce} dans les bipolaires : contrairement aux transistors à effet de champ, les effets d'un changement de la tension de collecteur sur les concentrations d'électrons sous l'émetteur sont masqués par la base, et en conséquence il n'y a pas de capacité intrinsèque collecteur-émetteur analogue à C_{ds} dans les transistors à effet de champ.

Il peut arriver que la modélisation des paramètres [S] nécessite d'inclure cependant une capacité C_{ce} (très faible), mais celle-ci semble être due à des éléments extérieurs au transistor intrinsèque et peut être la cause d'un "deembedding" peu précis des accès du transistor. Il est alors préférable de la fixer car elle ne doit pas dépendre des tensions de commande.

2) G_d est nul : La conductance de sortie dans les transistors bipolaires à homojonction est due à l'effet Early. Il correspond physiquement à la modulation de la largeur effective de la base par la tension V_{bc} : en effet, la largeur de la base effective est réduite de chaque côté (par rapport à la base métallurgique) par la présence des zones de charge d'espace des jonctions base-émetteur et base-collecteur. En régime de fonctionnement normal, la jonction base-émetteur est polarisée en direct et la zone de déplétion est négligeable. La jonction base-collecteur est par contre polarisée en inverse et donc la zone de déplétion peut s'étendre dans la base. Cela a pour conséquence de provoquer une augmentation quasi-linéaire du courant de collecteur en fonction de la tension V_{ce} .

Cependant, la base étant fortement dopée dans les TBH, l'extension de la zone de déplétion du côté de la base est négligeable et cet effet est donc peu susceptible d'apparaître.

3) R_{bc} est quasi infinie : en régime de conduction directe, la jonction base-collecteur est polarisée en inverse et donc la diode D_{cc} est bloquée. Ainsi, $1/R_{bc} = 0$.

Toutes ces considérations permettent de déterminer un nouveau schéma petit-signal simplifié, dont la topologie est présentée à la figure 2.10. Il est appelé schéma en π de Giacoletto.

Les paramètres intrinsèques de ce modèle sont donc g_m , R_{be} , τ , C_{be} et C_{bc} . Les quelques calculs rapides suivants permettent de définir des valeurs approximatives pour certains, afin de faciliter la procédure d'optimisation :

1) τ vaut typiquement de l'ordre de quelques picosecondes (approximativement entre 2 et 8) pour les transistors bande X, et il augmente quand les composants sont prévus pour des applications à plus basse fréquence.

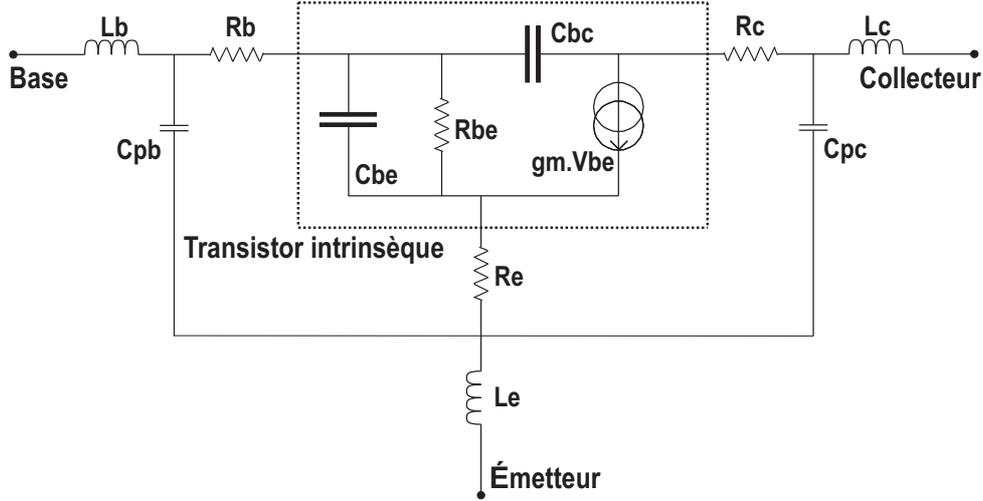


FIG. 2.10 – Modèle petit-signal simplifié d'un transistor TBH dit modèle de Giacoletto. Il donne une représentation du comportement du transistor valide en régime actif direct.

2) $1/R_{be}$ doit être proche de gm/β .

En effet,

$$gm = \frac{\partial I_c}{\partial V_{be}} = \frac{\partial I_c}{\partial (I_b \cdot R_{be})} \approx \frac{\beta}{R_{be}} \quad (2.11)$$

3) gm doit être proche de $\frac{I_c}{vt}$ (soit $\approx 35 \times I_c$ à température ambiante). En effet :

$$gm = \frac{\partial I_c}{\partial V_{be}} \quad (2.12)$$

Or, on a :

$$I_c = I_{se} \left[e^{\frac{q \cdot V_{be}}{N_e \cdot k \cdot T}} - 1 \right] - I_{sc} \left[e^{\frac{q \cdot V_{bc}}{N_c \cdot k \cdot T}} - 1 \right] \quad (2.13)$$

En régime actif direct, on peut négliger le deuxième terme devant le premier (V_{bc} est négative) et de même, l'exponentielle du premier terme est très grande devant le 1. De plus, le coefficient d'idéalité N_e est proche de 1.

On peut donc simplifier la formule précédente à :

$$I_c \approx I_{se} \left[e^{\frac{q \cdot V_{be}}{N_e \cdot k \cdot T}} \right] \approx I_{se} \left[e^{\frac{V_{be}}{N_e \cdot vt}} \right] \approx I_{se} \left[e^{\frac{V_{be}}{vt}} \right] \quad (2.14)$$

avec :

$$vt = \frac{k \cdot T}{q} \approx 28mV \quad \text{à température ambiante} \quad (2.15)$$

Donc :

$$gm = \frac{\partial I_c}{\partial V_{be}} \approx \frac{I_{se}}{vt} \cdot \left[e^{\frac{V_{be}}{vt}} \right] \approx \frac{I_c}{vt} \quad (2.16)$$

2.4.3.2 Extraction du modèle petit-signal

La procédure décrite précédemment a été appliquée à un transistor HB20P T10260 R12 de 10 doigts d'émetteurs de $60 \mu\text{m}$ de long chacun et de $2 \mu\text{m}$ de large. Les valeurs trouvées au point de polarisation $V_{ce} = 8\text{V}$, $I_b = 2 \text{mA}$, $I_c = 99 \text{mA} = 8,25 \text{kA/cm}^2$ (référéncé AH4) sont données dans le tableau 2.2.

Paramètres extrinsèques							
$R_e(\Omega)$	$L_e(pH)$	$R_b(\Omega)$	$L_b(pH)$	$C_{pb}(pF)$	$R_c(\Omega)$	$L_c(pH)$	$C_{pc}(pF)$
0,45	3,7	0,35	107	0,19	0,5	129	0,21
Paramètres intrinsèques							
$g_m(S)$	$\tau(ps)$	$1/R_{be}(S)$	$C_{be}(pF)$	$C_{bc}(pF)$			
2,83	4,0	$6,1 \cdot 10^{-2}$	27,2	0,50			

TAB. 2.2 – Valeurs des paramètres du modèle petit signal au point AH4 ($V_{ce} = 8\text{V}$, $I_c = 8,25 \text{kA/cm}^2$) pour un transistor T10260 R12. Les valeurs des extrinsèques sont conservées pour tous les points de polarisation.

Le modèle petit signal en ce point est comparé avec les mesures à la figure 2.11. On note que l'ajustage doit être très précis afin d'obtenir des valeurs des éléments extrinsèques les plus justes possibles. D'une part, la qualité de la modélisation des capacités non-linéaires en dépend ; d'autre part, les résultats donnés par le modèle grand-signal y sont extrêmement sensibles étant donné les faibles impédances d'entrée et de sortie de ces transistors.

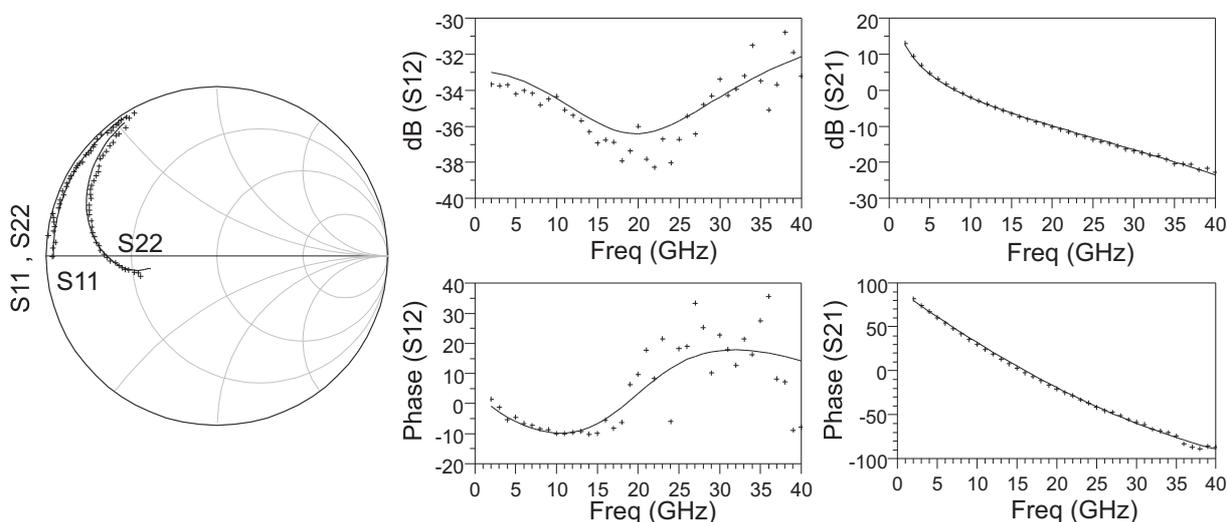


FIG. 2.11 – Comparaison mesures/modèles au point AH4 ($V_{ce} = 8\text{V}$, $I_c = 8,25 \text{kA/cm}^2$) pour le transistor T10260 R12 (croix : mesures, lignes continues : modèle).

2.4.4 Les sources de courants

2.4.4.1 Modélisation des sources de courants

- *Modélisation des courants de diodes*

Le modèle dc utilisé est issu du modèle d'injection d'Ebers et Moll statique auquel sont ajoutées les composantes de fuites (deux diodes D_{fe} et D_{fc} de courants respectifs I_{fbe} et I_{fbc}), qui permettent de prendre en compte la diminution du gain en courant β à faible niveau de courant. Le schéma de ce modèle est montré à la figure 2.12.

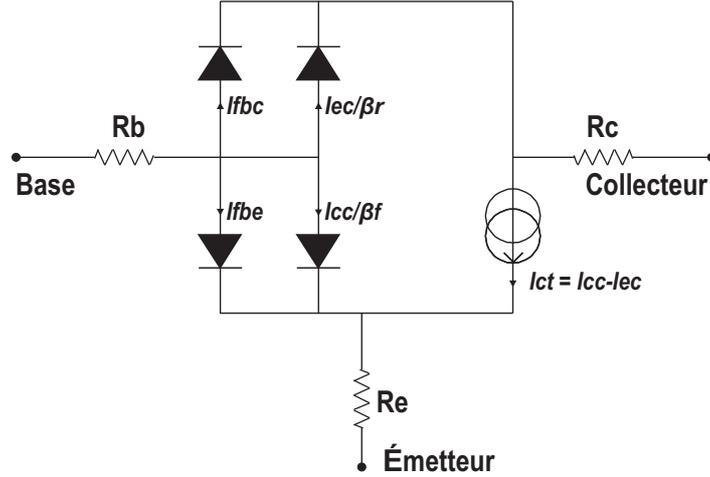


FIG. 2.12 – Schéma d'injection d'Ebers et Moll statique incluant les composantes de fuites.

Les courants sont régis par les équations suivantes :

$$\begin{aligned}
 I_{ec} &= I_{scT} \cdot \left[e^{\frac{q \cdot V_{bc}}{N_c \cdot k \cdot T}} - 1 \right] \\
 I_{cc} &= I_{seT} \cdot \left[e^{\frac{q \cdot V_{be}}{N_e \cdot k \cdot T}} - 1 \right] \\
 I_{fbc} &= I_{sfcT} \cdot \left[e^{\frac{q \cdot V_{bc}}{N_{fc} \cdot k \cdot T}} - 1 \right] \\
 I_{fbe} &= I_{sfeT} \cdot \left[e^{\frac{q \cdot V_{be}}{N_{fe} \cdot k \cdot T}} - 1 \right]
 \end{aligned} \tag{2.17}$$

Avec :

$$\begin{aligned}
 I_{scT} &= I_{sc} \cdot e^{\frac{-T_{sc}}{T}} \\
 I_{seT} &= I_{se} \cdot e^{\frac{-T_{se}}{T}} \\
 I_{sfcT} &= I_{sfc} \cdot e^{\frac{-T_{sfc}}{T}} \\
 I_{sfeT} &= I_{sfe} \cdot e^{\frac{-T_{sfe}}{T}}
 \end{aligned} \tag{2.18}$$

Le courant à la sortie de la source contrôlée est :

$$I_{ct} = I_{cc} - I_{ec} \tag{2.19}$$

On a donc les relations suivantes :

$$\begin{aligned}
 I_c &= I_{ct} - \frac{I_{ec}}{\beta_r} - I_{fbc} \\
 I_e &= I_{ct} + \frac{I_{cc}}{\beta_f} + I_{fbe} \\
 I_b &= \frac{I_{ec}}{\beta_r} + \frac{I_{cc}}{\beta_f} + I_{fbc} + I_{fbe}
 \end{aligned} \tag{2.20}$$

Cependant, cette formulation n'est pas très adaptée en termes de convergence dans les simulateurs électriques : les courants de saturation sont très faibles dans ces composants (de l'ordre de 10^{-20} A) et leur multiplication avec le terme exponentiel peut mener à un "overflow numérique" lors des calculs effectués par les simulateurs électriques pour des fortes tensions. Ceci est d'autant plus vrai que la température diminue, et le cas est souvent critique aux alentours de $T = -40^\circ C$.

Pour cela, la formulation suivante est plus adaptée :

$$I_x = I_{sx} \cdot e^{\left[\frac{q \cdot (V_{bx} - V_{gx})}{N_x \cdot k \cdot T}\right]} - I_{sx} \cdot e^{\left[\frac{-q \cdot V_{gx}}{N_x \cdot k \cdot T}\right]} \tag{2.21}$$

avec :

$$V_{gx} = \frac{N_x \cdot k \cdot T_x}{q} \tag{2.22}$$

où x remplace dans les deux équations précédentes e , c , fe , ou fc .

La dépendance en température du gain en courant β est linéaire dans les plages de températures habituellement utilisées. On pourrait donc modéliser sa variation thermique avec une fonction affine, mais il est préférable d'utiliser la formule donnée à l'eq. (2.23), qui tend vers 0 quand la température tend vers l'infini, permettant d'éviter d'éventuelles incohérences et des problèmes de convergence à hautes températures. Cette fonction reste très proche d'une droite dans les gammes de températures usuelles.

$$\beta_{fT} = \frac{\beta f_0}{1 - X_{rtb1} \left[1 - \left(\frac{T_j}{T_0} \right)^{X_{tb1}} \right]} \tag{2.23}$$

Avec :

$$T_j = T_0 + Dt \tag{2.24}$$

où T_0 représente la température ambiante, T_j la température de jonction, et Dt l'échauffement du transistor. Les températures sont données en Kelvins dans le modèle.

- *Modélisation de l'avalanche*

La modélisation fine de l'avalanche est importante car les TBH GaInP/GaAs sont polarisés à des tensions proches de la moitié de la tension d'avalanche. Il est donc tout à fait possible que les cycles de charges puissent atteindre ce régime.

Le modèle d'avalanche utilisé a été développé par S. Heckmann et détaillé dans sa thèse [76]. Il prend en compte l'impact de la température sur le déclenchement de l'avalanche. Ce modèle possède de bonnes capacités de convergence, et en particulier lors de simulations en grand-signal. La figure 2.13 montre un exemple de son impact lors d'une simulation sur un transistor T10260 R12 : il permet de simuler correctement la remontée de la tension V_{be} et la diminution du courant I_b lorsque le cycle de charge atteint la zone d'avalanche, ce qui n'est pas possible quand la source d'avalanche est déconnectée. On note que le cycle RF peut entrer dans la zone d'avalanche ($V_{ce} > BV_{ce0}$) sans pour autant entraîner de dégradation du composant, comme c'est le cas ici [88].

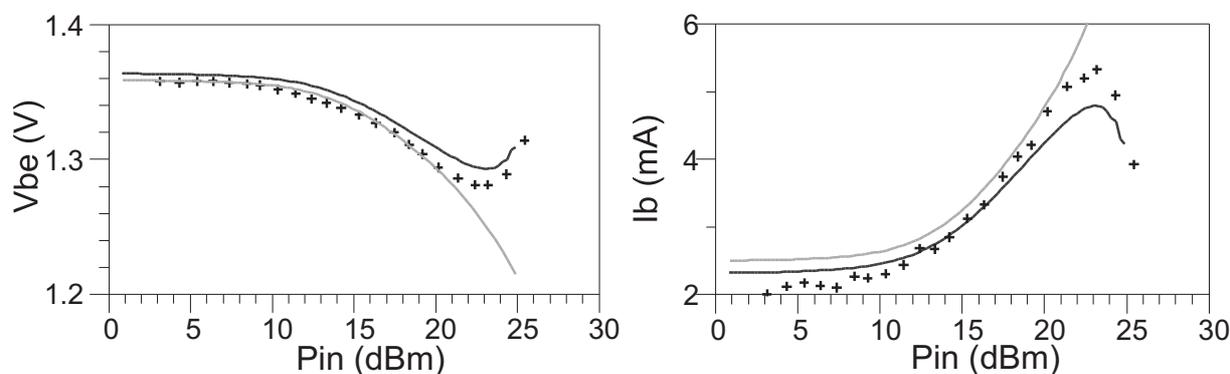


FIG. 2.13 – Exemple de l'impact de l'implémentation du modèle d'avalanche sur des simulations grand-signal où le cycle de charge atteint ce régime pour le transistor T10260 R12 (croix : mesures, lignes grises : sans modèle d'avalanche, lignes noires : avec le modèle d'avalanche).

La modélisation de l'avalanche a nécessité de modifier le schéma du modèle en passant d'une représentation en π à une représentation en T , sans pour autant avoir d'impact sur les valeurs des paramètres [76].

2.4.4.2 Extraction des paramètres des sources de courants.

Le modèle $I(V)$ est obtenu à partir des mesures en impulsions (quasi-isothermiques) effectuées à différentes températures ambiantes. Les équations du modèle $I(V)$ étant issues des équations des diodes dans lesquelles interviennent les facteurs de dépendance thermique des courants de saturation, il est important de modéliser les réseaux $I(V)$ mesurés à différentes températures simultanément, sous peine d'obtenir des jeux de valeurs qui peuvent être valides pour une température seulement. Un logiciel interne permet d'obtenir les valeurs par optimisation des paramètres.

La variation du gain en courant β en fonction de la température peut être modélisée avant l'optimisation des autres paramètres, ce qui permet de connaître ses valeurs pour toutes les températures et de ne pas l'ajouter dans la boucle d'optimisation.

La courbe 2.14 montre sa variation en fonction de la température, pour un transistor HB20P T1245 R16 (1x2x45 μm).

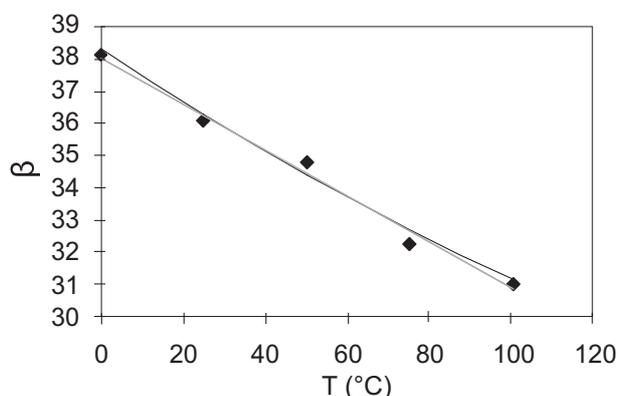


FIG. 2.14 – Dépendance du gain en courant mesuré et modélisé pour un transistor T1245 R16 (1x2x45 μm) bande X. (points : mesures, ligne grise : modèle affine, ligne noire : modèle utilisé (cf eq. (2.23))).

La figure 2.15 montre l'ajustement obtenu par modélisation des sources de courants sur des caractéristiques I(V) mesurées en impulsions à une température ambiante de 25°C d'un transistor T1245 R16.

L'augmentation du courant modélisé pour des fortes tensions de collecteur correspond à l'impact du modèle d'avalanche; et sa légère diminution sur les courbes mesurées est liée à l'auto-échauffement du transistor lors des mesures I(V) en impulsions.

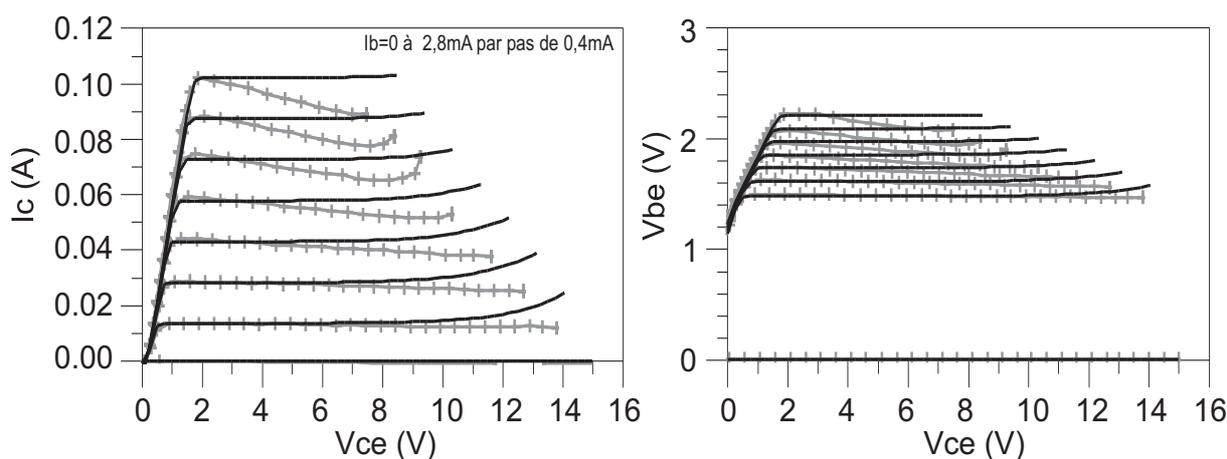


FIG. 2.15 – Comparaison mesure/modèle des caractéristiques impulsionnelles mesurées pour une température ambiante de 20°C, pour le transistor T1245 R12 (en noir : mesures, en gris : modèle).

Les paramètres du modèle I(V) et du modèle d'avalanche obtenus sont récapitulés dans les tableaux 2.3 pour un transistor T1245 R16 (1x2x45 μm).

Sources de courants				Avalanche		
I_{sc}	I_{se}	I_{sfc}	I_{sfe}	BV_{ce0}	BV_{bc0}	η
2, 115.10 ⁻¹	209,7	387,9	231,8	20	27	5
N_c	N_e	N_{fc}	N_{fe}			
1, 11	1, 11	2, 2	2, 1			
T_{sc}	T_{se}	T_{sfc}	T_{sfe}			
17850	17850	11000	12750			
β_{f0}	X_{rtb1}	X_{tb1}	β_r			
39	0, 55	1.1	1 (non mesuré)			

TAB. 2.3 – Valeurs des paramètres relatifs à la modélisation des sources de courants et de l'avalanche du transistor T1245 R16.

2.4.5 Les capacités non-linéaires

2.4.5.1 Modélisation des capacités non-linéaires

La modélisation des capacités non-linéaires C_{be} et C_{bc} permet de représenter les phénomènes physiques qui dépendent de la fréquence aux bornes des jonctions base-émetteur et base-collecteur. Elles sont principalement dues à la contribution de deux facteurs qui sont décrits ici.

- *Les capacités de déplétion*

Les capacités de déplétion sont issues de la variation de la charge des dopants non neutres de la zone de charge d'espace d'une jonction PN. L'épaisseur de cette ZCE variant avec la tension aux bornes de la jonction, il y a donc en régime transitoire une modulation de la charge en fonction de la tension aux bornes de la jonction, ce qui se traduit par une capacité. Les capacités de déplétion base-émetteur et base-collecteur notées $C_{be_{DEP}}$ et $C_{bc_{DEP}}$ sont modélisées en utilisant les formules classiques des jonctions PN :

$$Q_{DEP}(V) = -\frac{C_0 \cdot \phi b}{1 - m} \cdot \left[1 - \frac{V}{\phi b} \right]^{1-m} + K \quad (2.25)$$

où K permet de forcer la charge à 0 pour $V = 0$ mais n'a pas d'influence sur la capacité.

Donc :

$$C_{DEP}(V) = \frac{\partial Q_{DEP}(V)}{\partial V} = \frac{C_0}{\left[1 - \frac{V}{\phi b} \right]^m} \quad (2.26)$$

Malheureusement, cette équation physique possède un pôle pour $V = \phi b$, ce qui peut être néfaste à la convergence du modèle. La solution employée dans le modèle BK2 était d'utiliser une fonction exponentielle limitée (par le biais d'une fonction logarithme ln_{soft}), mais elle possède une forme conditionnelle qui peut nuire à la convergence.

$$Q_{DEPBK2}(V) = -\frac{C_0 \cdot \phi b}{1 - m} \cdot e^{[ln_{soft}(1 - \frac{V}{\phi b}) \cdot (1 - m)]} \quad (2.27)$$

$$C_{DEPBK2}(V) = \frac{\partial Q_{DEPBK2}(V)}{\partial V} = C_0 \cdot e^{[-m \cdot ln_{soft}(1 - \frac{V}{\phi b})]} \quad (2.28)$$

Avec :

$$ln_{soft}(x) = \begin{cases} min_{ln} & si \ x < e^{-min_{ln}} \\ ln(x) & sinon \end{cases} \quad (2.29)$$

$$min_{ln} = -5 \quad (2.30)$$

Cette formulation a été remplacée dans le modèle présenté par une formule avec une limitation de type exp/log empruntée dans le modèle MEXTRAM [80]. Les capacités sont limitées en polarisation directe afin de ne pas dépasser leur valeur quand la tension V aux bornes de la jonction est de 0,98 fois la tension de diffusion ϕb .

$$Q_{DEPMextram}(V) = \frac{-C_0 \cdot \phi b}{1 - m} \left[1 - \frac{V_{lim}}{\phi b} \right]^{1 - m} + \frac{C_0}{(1 - lim)^m} \cdot (V - V_{lim}) + K \quad (2.31)$$

$$C_{DEPMextram}(V) = \frac{C_0 \cdot dvlm}{(1 - \frac{V_{lim}}{\phi b})^m} + \frac{C_0 \cdot (1 - dvlm)}{(1 - lim)^m} \quad (2.32)$$

Avec :

$$V_{lim}(V, \phi b) = V - \phi b(1 - lim) \cdot \ln \left[1 + e^{\frac{V - lim \cdot \phi b}{\phi b - lim \cdot \phi b}} \right] \quad (2.33)$$

$$dvlm(V, \phi b) = \frac{1}{1 + e^{\frac{V - lim \cdot \phi b}{\phi b - lim \cdot \phi b}}} \quad (2.34)$$

$$lim = 0,98 \quad (2.35)$$

La figure 2.16 montre les trois formes obtenues grâce aux équations décrites précédemment. On remarque que la courbe décrivant le modèle classique est discontinue pour $V = \phi b$ (en gris), alors que les deux autres formes sont limitées. Cependant, pour l'équation de type MEXTRAM, la transition au passage de ϕb est douce, alors qu'elle est abrupte avec une dérivée discontinue dans le cas de l'équation donnée par le modèle BK2.

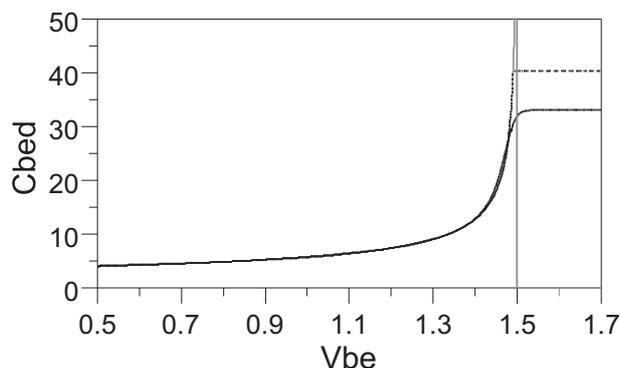


FIG. 2.16 – Exemple des différents modèles des capacités de déplétion pour la capacité $C_{be_{DEP}}$: en gris, la formule physique, qui est discontinue pour $V_{be} = \phi b$, en pointillés noirs : la formule utilisée dans le modèle BK2, limitée mais avec une dérivée discontinue pour $V_{be} = \phi b$, et en ligne noire continue, la formule issue du modèle MEXTRAM, qui est limitée au voisinage de $V_{be} = \phi b$ avec une transition douce.

Le fait de limiter ces fonctions n'a qu'un faible impact sur les résultats de simulation, car les tensions de jonctions V (intrinsèques) peuvent difficilement atteindre la valeur de ϕb . De plus, il est peu probable que les capacités puissent réellement augmenter à l'infini, et Laux [89] a montré qu'elles peuvent même diminuer quand la tension aux bornes des jonctions est supérieure à la ϕb ...

Il est donc important que les paramètres choisis pour modéliser les capacités permettent de bien reproduire leur forme pour des tensions inférieures à ϕb , alors que la modélisation est très peu importante au-delà. Cependant, cette tension peut être approchée pour des très forts niveaux de compression lors de simulations grand-signal. Dans ce cas, seule la représentation donnée par le modèle MEXTRAM permet au modèle de converger parmi les trois formulations proposées.

La figure 2.17 montre l'excursion simulée de V_{be} intrinsèque en fonction du temps lors d'une simulation grand-signal à 10 GHz sur un transistor T10260 R12 (10x2x60 μm). Pour une compression de gain de 8 dB, la tension maximale mesurée est de 1,42 V, alors que la tension ϕb est ici de 1,5 V.

La forme de la capacité C_{bc} est légèrement différente : elle tient compte d'une valeur $C_{bc_{p}}$ minimale, qui sert à modéliser simplement l'effet de "reach-through" (qui correspond

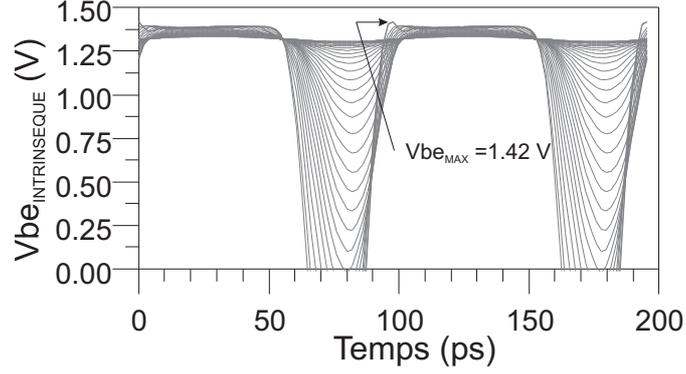


FIG. 2.17 – Tension V_{be} intrinsèque simulée en grand-signal à 10 GHz pour un transistor T10260 R12 à 8 dB de compression de gain.

à l'extension de la zone de charge d'espace dans toute la base pour des polarisations très négatives, donc tendant vers $-\infty$). On a donc :

$$Q_{be_{DEP}} = Q_{DEP_{mextram}}(C_{be0_{DEP}}, V_{be}, \phi_{be}, m_{je}) \quad (2.36)$$

$$C_{be_{DEP}} = C_{DEP_{mextram}}(C_{be0_{DEP}}, V_{be}, \phi_{be}, m_{je}) \quad (2.37)$$

Et :

$$Q_{bc_{DEP}} = Q_{DEP_{mextram}}(C_{bc0_{DEP}}, V_{bc}, \phi_{bc}, m_{jc}) + C_{bcp} \cdot V_{bc} \quad (2.38)$$

$$C_{bc_{DEP}} = C_{DEP_{mextram}}(C_{bc0_{DEP}}, V_{bc}, \phi_{bc}, m_{jc}) + C_{bcp} \quad (2.39)$$

- *Les capacités de diffusion*

Elles décrivent le passage de l'excès de porteurs minoritaires dans les régions neutres. La tension aux bornes d'une jonction PN modifie la distribution de ces porteurs minoritaires et induit un courant. En régime transitoire, leur charge est donc modulée par la tension aux bornes de la jonction, ce qui est à l'origine d'une capacité, dite de diffusion.

En mode de fonctionnement actif direct, la diode base-collecteur est toujours polarisée en inverse, et ainsi le phénomène de diffusion n'apparaît pas dans la plage d'excursion du cycle de charge. C'est pourquoi on ne modélise pas la capacité de diffusion base-collecteur.

Du côté de la jonction base-émetteur : la concentration des électrons dans la base du côté du collecteur est égale au courant de collecteur, et ainsi la charge des électrons qui transitent à travers la jonction base-émetteur est proportionnelle au courant de collecteur.

On peut donc définir la capacité de diffusion base-émetteur à partir de l'équation

suivante (quand l'effet Kirk n'apparaît pas) :

$$dQ_{DIFF} = \tau f_{REEL} \cdot dIc \quad (2.40)$$

Où τf_{REEL} correspond au temps de transit des charges dans le collecteur [90]. Son évolution a été déduite de façon empirique à partir de mesures petit-signal (sur différents transistors). Elles montrent qu'il peut s'exprimer sous la forme suivante, c'est-à-dire variant linéairement en fonction du courant Ic et de la tension Vbc :

$$\tau f_{REEL} = \tau f_0 \cdot (1 - Vbc_{inv} \cdot Vbc) (1 - Icinv \cdot Ic) \quad (2.41)$$

où Vbc_{inv} et $Icinv$ sont des paramètres du modèle.

Dans le modèle grand-signal, la charge Q_{DIFF} vaut alors :

$$Q_{DIFF} = \int_0^{Ic} \tau f_{REEL} \cdot dIc \quad (2.42)$$

Ce qui revient à écrire, d'après les équations 2.42 et 2.41 :

$$Q_{DIFF} = \left[\tau f_0 \cdot (1 - Vbc_{inv} \cdot Vbc) \left(1 - \frac{Icinv}{2} \cdot Ic \right) \right] \cdot Ic \quad (2.43)$$

Définissant alors un temps de transit équivalent τf égal à :

$$\tau f = \tau f_0 \cdot (1 - Vbc_{inv} \cdot Vbc) \left(1 - \frac{Icinv}{2} \cdot Ic \right) \quad (2.44)$$

Ce temps équivalent est implémenté dans le modèle, permettant d'extraire directement le paramètre $Icinv$ à partir de mesures petit-signal.

Des précautions sont prises, en utilisant des fonctions limitantes douces, afin que ce temps ne puisse pas devenir négatif.

- *Modélisation de l'effet Kirk*

Nous avons décrit dans la première partie l'origine et l'impact de l'effet Kirk, que l'on peut considérer comme une augmentation du temps de transit dans le collecteur, et ainsi il peut être modélisé comme une contribution à la capacité de diffusion base-émetteur. On définit donc le temps de transit τk , qui vient s'ajouter au temps de transit τf quand le seuil de courant Ik est atteint. On a ainsi :

$$dQ_{KIRK} = \tau k_{REEL} \cdot dIc \quad (2.45)$$

Que l'on peut écrire :

$$Q_{KIRK} = \tau k \cdot I_C \quad (2.46)$$

Avec :

$$\tau k = \tau k_0 \cdot Fik^2 \quad (2.47)$$

$$Fik = \frac{x^2 + A\tau k}{1 + \sqrt{1 + A\tau k}} \quad (2.48)$$

où $A\tau k$ est un paramètre du modèle.

$$x = 1 - \frac{Ik}{I_C + 10^{-6}} \quad (2.49)$$

Selon la formulation empruntée au modèle HICUM [81].

Nous avons vu que le courant seuil de l'effet Kirk dépend de la tension Vbc (cf eq. (2.8)), ce qui est modélisé par une loi linéaire :

$$Ik = Ik_0 \cdot (1 - Vbcinvk \cdot Vbc) \quad (2.50)$$

où $Vbcinvk$ est un paramètre du modèle.

Malgré que cela ne soit pas probable lors de simulations grand-signal, des précautions sont prises pour que le produit $Vbcinvk \cdot Vbc$ soit inférieur à 1.

- *Dépendance thermique des capacités*

La description du temps de transit ayant une forte influence sur les résultats donnés par le modèle, il est déterminé en fonction de la température. En effet, celui-ci augmente quand la température augmente. Il en est de même pour le temps de transit associé à l'effet Kirk, et la même loi linéaire est utilisée pour les deux.

$$\begin{aligned} \tau f_T &= \tau f \cdot (1 - K\tau T \cdot T) \\ \tau k_T &= \tau k \cdot (1 - K\tau T \cdot T) \end{aligned} \quad (2.51)$$

- *Les transcapacités*

Le modèle quasi-statique de Gummel-Poon considère que la redistribution des porteurs est instantanée. Ceci est une simplification, et ainsi le calcul de la distribution des charges dans le transistor nécessite de prendre en compte des effets non quasi-statiques, qui correspondent au temps de redistribution des charges de l'émetteur et de la base quand elles sont soumises à des variations de tension. Une méthode simple consiste à calculer la capacité de diffusion base-émetteur Cbe_{DIFF} en ne tenant compte que d'une partie des charges contenues dans la base [91]. L'autre partie est prise en compte dans le calcul de la

charge Q_c . Cette représentation consiste à créer une transcapacité Cbc_{TRANS} qui dépend des variations de la tension Vbe .

La capacité de diffusion totale s'écrit donc :

$$Cbe_{DIFF} = C_{DIFF} \cdot (1 - Fcd) \quad (2.52)$$

$$Cbc_{Trans} = C_{DIFF} \cdot Fcd \quad (2.53)$$

Où Fcd est la proportion de la capacité de diffusion prise en compte en tant que transcapacité et vaut donc entre 0 et 1.

Concrètement, le fait de ne pas considérer de transcapacité peut impliquer une saturation brutale du courant à fort niveau d'autopolarisation lors de simulations grand-signal [77], la diode base-collecteur entrant en régime de conduction directe.

2.4.5.2 Extraction des capacités non-linéaires

La modélisation des éléments intrinsèques, et en particulier des capacités non-linéaires Cbe et Cbc , est basée sur la connaissance de leurs valeurs en chaque point de la caractéristique $I(V)$ décrite par le cycle de charge. Elle nécessite donc une extraction multi-polarisations, qu'il n'est pas possible de faire automatiquement, étant donné les problèmes d'extraction des éléments intrinsèques (inhérents à l'utilisation d'un schéma en π) que nous avons évoqués.

Il faut donc extraire point par point ces différentes valeurs. Un choix judicieux des points utiles, comme cela sera présenté dans la suite, est donc important.

- *Capacités de déplétion*

Nous avons vu que la charge de diffusion dépend du courant. La capacité de diffusion est donc nulle au pincement. Ainsi, l'extraction des capacités de déplétion se fait à courant nul. De plus, cela implique que les tensions extrinsèques mesurées sont égales aux tensions intrinsèques commandant les capacités, limitant ainsi l'erreur qui peut être commise sur les valeurs des tensions aux jonctions dans le cas d'une modélisation simplifiée des résistances d'accès, comme c'est le cas ici.

L'extraction des paramètres de Cbe_{DEP} est réalisée à partir de la mesure d'une courbe où Vbe varie en partant d'une valeur négative et augmentant jusqu'à ce qu'elle soit égale à la tension de seuil de la diode, qui entre alors en régime de conduction. Afin de faciliter l'extraction, Vbc est fixée à 0 V, ce qui permet de conserver une valeur de Cbc constante pour tous les points mesurés, facilitant ainsi l'extraction de Cbe . On obtient ainsi les valeurs de $Cje0_{DEP}$, ϕ_{be} et Mje .

L'extraction des paramètres de Cbc_{DEP} est réalisée en faisant varier Vbc de valeurs

négatives à la valeur de la conduction de la diode, pour $V_{be} = 0V$. Il n'y a donc pas de courant. On obtient ainsi les valeurs de $C_{jc0_{DEP}}$, C_{jcp} , ϕ_{bc} et M_{jc} .

La figure 2.18 montre les valeurs extraites et la modélisation obtenue avec les paramètres donnés dans le tableau suivant, pour un transistor T10260 R12 (10x2x60 μm), et les valeurs obtenues des paramètres sont données dans le tableau 2.4.

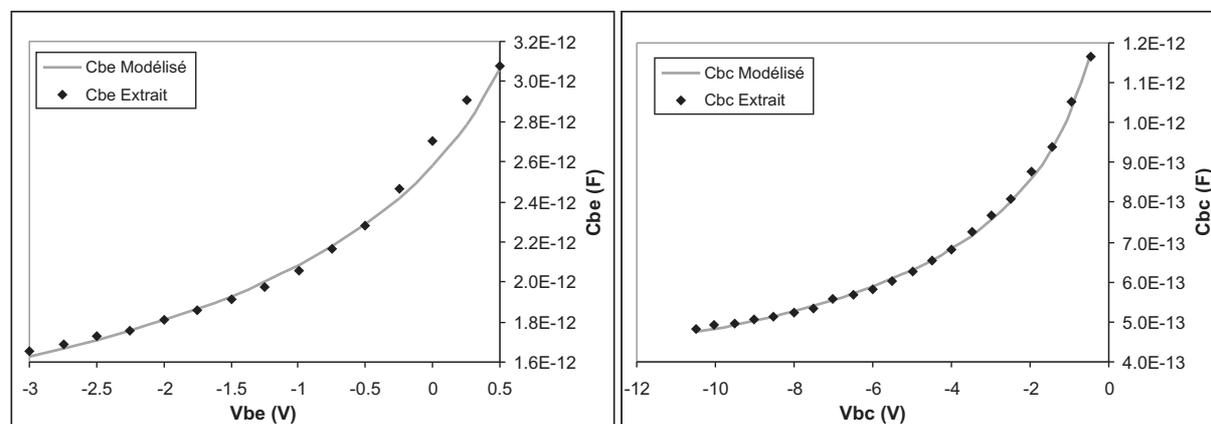


FIG. 2.18 – Modèles des capacités de déplétion extraits à partir de courbes à courant nul (losanges : valeurs extraites, lignes grises : modèles).

$C_{be_{DEP}}$		$C_{bc_{DEP}}$	
$C_{be0_{DEP}}(F)$	$2,58 \cdot 10^{-12}$	$C_{bc0_{DEP}}(F)$	$1,31 \cdot 10^{-12}$
M_{je}	0,42	M_{jc}	0,5
$\phi_{be}(V)$	1,5	$\phi_{bc}(V)$	1,18
		$C_{bc_{cp}}(F)$	$5,76 \cdot 10^{-14}$

TAB. 2.4 – Valeurs des paramètres des capacités de déplétion d'un transistor T10260 R12.

- *Capacités de diffusion*

La modélisation de la capacité de diffusion nécessite la connaissance du temps de transit des charges mobiles dans le collecteur. Une méthode proposée ici consiste à extraire la valeur de C_{be} sur une plage de courant sur différentes courbes à tension V_{ce} constante. Sachant que $Q_{DIFF} = I_c \cdot \tau_c$, on a donc $C_{DIFF} = G_m \cdot \tau_c$.

On peut donc extraire les valeurs de τ_c en divisant la valeur de C_{be} extraite par g_m extrait. Cette méthode constitue une approximation car il n'est pas tenu compte de la contribution de $C_{be_{DEP}}$ à la capacité C_{be} totale, ceci pour des facilités d'extraction. De plus, il n'est pas tenu compte non plus de la proportion de la capacité de diffusion attribuée à la transcapacité. Elle fournit cependant un jeu de valeurs pour les paramètres associés au temps de transit qui permet d'obtenir des résultats assez corrects. La figure 2.19 montre une telle extraction sur un transistor T10260 (10x2x60 μm). L'effet Kirk qui

induit une augmentation du temps de transit se distingue pour des densités de courant supérieures à 45 kA/cm^2 . Les paramètres obtenus sont donnés dans le tableau 2.5.

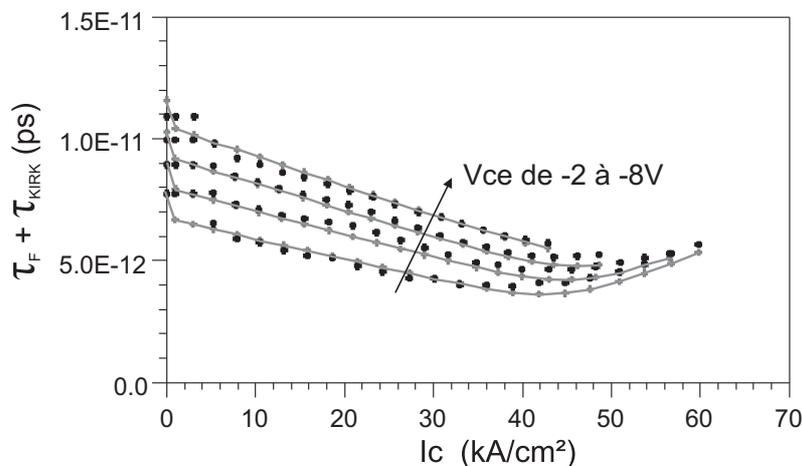


FIG. 2.19 – Forme du temps de transit τc en fonction de la densité de courant de collecteur pour différentes valeurs de V_{ce} déterminé selon la méthode proposée (croix : valeurs extraites, lignes grises : modèle).

τf_0	τk_0	$Vbcinv$	$Icinv/2$	$Vbcink$	$Atauk$
5,6ps	32ps	0,11	0,9	0,1	0,12

TAB. 2.5 – Valeurs des paramètres relatifs à la modélisation des temps de transits τc et τk .

La figure 2.20 montre une comparaison entre le gain maximum petit-signal mesuré et celui modélisé en fonction du courant en conservant ce jeu de valeurs, aux fréquences de 2 et 10 GHz. Les valeurs obtenues grâce à la méthode précédente permettent donc une modélisation relativement correcte de ce gain qui décroît fortement lorsque l'effet Kirk intervient (à partir d'un courant de 45 kA/cm^2) et en constitue donc un bon indicateur.

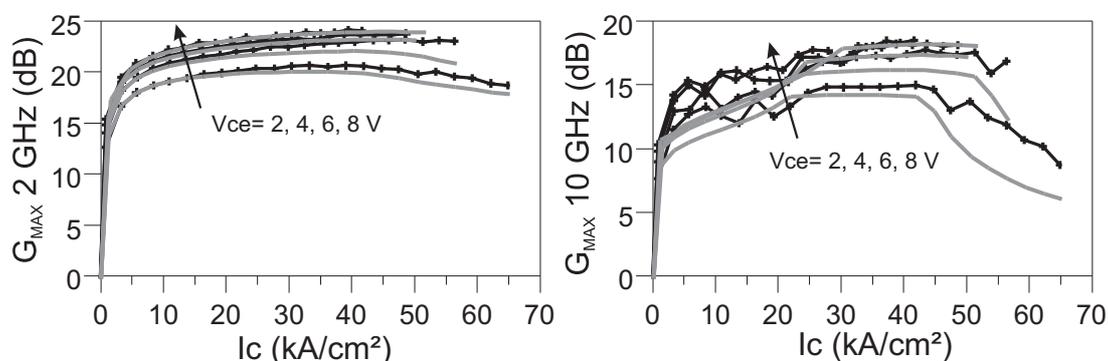


FIG. 2.20 – Comparaison entre les mesures et le modèle du gain maximum pour des fréquences de 2 et de 10 GHz pour un transistor T10260 R12 (lignes+croix : valeurs extraites, lignes grises : modèle).

- *Transcapacité*

La proportion de la capacité de diffusion dédiée à C_{be} est fixée arbitrairement à 0,7 et donc à 0,3 pour C_{bc} . Il en est de même pour la transcapacité associée à l'effet Kirk. Il n'y a pas de méthode spécifique pour déterminer ces proportions.

2.4.6 Modélisation thermique, extraction de l'impédance thermique

Afin que le modèle soit complètement électrothermique, il faut connaître la dépendance des paramètres en fonction de la température, ce qui a été fait précédemment grâce aux mesures impulsionnelles quasi-isothermiques. On rappelle que les paramètres thermiques choisis dans le modèle sont les courants de saturation des diodes (I_{se} , I_{sc} , I_{sfe} et I_{sfc}), et les temps de transit (τ_f et τ_k).

Il reste donc à connaître la variation de la température en fonction de la puissance dissipée. Pour cela, on peut avoir recours à des simulations par éléments finis donnant la température pour chaque nœud d'un volume modélisé représentant le composant, et ce en fonction du temps. Cette méthode, relativement complexe, est utile dans le cas d'une modélisation très détaillée des effets thermiques [79].

Une autre méthode consiste à extraire la température en fonction de la puissance dissipée à partir de mesures électriques. Cette méthode, détaillée en [77], permet d'obtenir une température qui représente l'échauffement global du composant et ne permet donc qu'une représentation très simplifiée de la distribution thermique dans le composant. Par exemple, la température de chaque doigt d'émetteur n'étant pas connue, il ne sera pas possible de simuler l'emballement thermique d'un composant en fonctionnement.

Cependant, cette méthode est relativement rapide : il s'agit de mesurer en impulsions courtes, donc de façon quasi-isothermique, la caractéristique $I(V)$ de la diode d'entrée à différentes températures ambiantes. La tension de seuil de la diode diminuant avec la température, on obtient un réseau de courbes différentes. Si l'on mesure cette même caractéristique en dc, la température variant au cours de la mesure en fonction de la puissance dissipée, cette courbe va donc croiser celles précédemment mesurées. A chaque point de croisement, on connaît donc la puissance dissipée P_{diss} (donnée par la courbe dc) et l'élévation de température ΔT (donnée par la courbe mesurée en impulsions). On obtient donc la température en fonction de la puissance dissipée, et donc la résistance thermique qui vaut :

$$R_{th} = \frac{\Delta T}{P_{diss}} \quad (2.54)$$

Cette méthode doit être complétée par la mesure d'un transitoire de courant long

pour permettre l'évaluation des constantes de temps thermiques.

Enfin, une méthode a été développée au sein du laboratoire par A. De Souza [92]. Elle consiste à déterminer l'impédance thermique (c'est-à-dire la résistance et les constantes de temps thermiques) à partir de mesures de l'impédance d'entrée du transistor à basse fréquence. En effet, l'impédance thermique peut être déterminée à partir de l'impédance d'entrée grâce à la relation suivante :

$$Z_{be} = R_{be} + h_{21} \cdot \Phi \cdot (V_{ce0} - R_0 \cdot I_{c0}) \cdot Z_{th} \quad (2.55)$$

Avec :

$$\Phi = \frac{N_e \cdot k}{q} \cdot \ln \left(\frac{I_b}{I_{se}} \right) + \frac{\partial V_{ge}}{\partial T} \approx 1,4mV \quad (2.56)$$

La mise en oeuvre de la mesure est simple, et l'obtention des données ne nécessite qu'une seule mesure et est très précise. La figure 2.21 décrit le schéma du montage du banc utilisé.

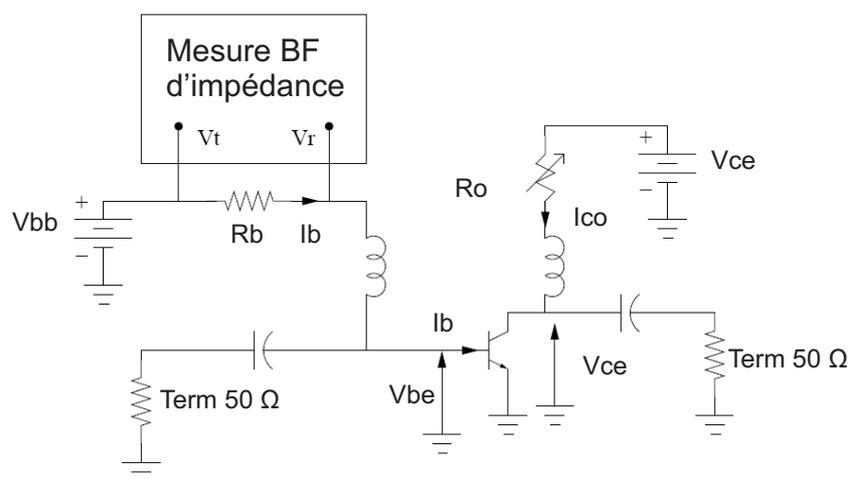


FIG. 2.21 – Schéma de montage du banc de mesures d'impédances basses fréquences afin de déterminer l'impédance thermique des TBH.

Cette méthode a été utilisée pour déterminer l'impédance thermique des différents transistors présentés ici.

Pour le transistor T10245 R16, la valeur de la résistance thermique obtenue est de $66^{\circ}C/W$, et une seule constante de temps a été choisie : elle est fixée à $3,3 \mu s$.

2.4.7 Expression des paramètres du modèle en fonction du développement du transistor - Mise à l'échelle du modèle

2.4.7.1 Mise à l'échelle des paramètres des capacités

Les capacités peuvent être données en valeur unitaire et dépendent de l'aire totale d'émetteur :

- Les équations des capacités de déplétion (*cf* eq. (2.37) et (2.39)) sont issues du calcul de capacités planes. Elles sont donc proportionnelles à la surface totale des jonctions, donc à la surface complète des doigts d'émetteurs.

- La capacité de diffusion (incluant la contribution de l'effet Kirk) dépend du courant total, donc de la densité de courant par la surface de la jonction, c'est-à-dire la surface complète des doigts d'émetteurs. De même, le courant seuil de l'effet Kirk (I_{k0}) peut être exprimé en densité de courant.

2.4.7.2 Mise à l'échelle des paramètres des sources de courants

Toutes les équations précédentes concernant les courants de diodes (*cf* eq. (2.17) et (2.18)) peuvent être exprimées en densité de courant. Il est alors nécessaire de multiplier les valeurs des courants de saturation des diodes par le développement total du transistor, soit par la longueur des doigts d'émetteurs et leur nombre.

2.4.7.3 Mise à l'échelle des éléments extrinsèques et de la résistance thermique

Les valeurs des éléments extrinsèques et de la résistance thermique variant aussi en fonction du développement des transistors, il faut donc déterminer leurs lois de variations en fonction du développement des transistors. Ces variations sont déterminées de façon empirique, à partir de mesures sur différentes topologies.

Un bilan des éléments "scalables" et un exemple des lois d'échelles utilisées pour les éléments extrinsèques et la résistance thermique sont donnés ici, en fonction des paramètres N et W qui représentent respectivement la longueur des doigts d'émetteurs en μm leur nombre.

Pour les courants :

$$\begin{aligned} I_{se} &= I_{se_u} \cdot W \cdot N \\ I_{sc} &= I_{sc_u} \cdot W \cdot N \\ I_{sfe} &= I_{sfe_u} \cdot W \cdot N \\ I_{sfc} &= I_{sfc_u} \cdot W \cdot N \end{aligned} \tag{2.57}$$

Pour les capacités :

$$\begin{aligned}
 Cbe0_{DEP} &= Cbe0_{DEP_u} \cdot W \cdot N \\
 Cbc0_{DEP} &= Cbc0_{DEP_u} \cdot W \cdot N \\
 Cbc_p &= Cbc_{p_u} \cdot W \cdot N \\
 Ik0 &= Ik0_u \cdot W \cdot N
 \end{aligned} \tag{2.58}$$

Pour les éléments extrinsèques (HB20P) :

$$\begin{aligned}
 Re &= \frac{Re_u}{W \cdot N} \\
 Rc &= \frac{Rc_u}{W \cdot N} \text{ ou } \frac{Rc_u}{W \cdot N} + Rc0 \\
 Rb &= \frac{Rb_u}{W \cdot N} \text{ ou } \frac{Rb_u}{W \cdot N} + Rb0
 \end{aligned} \tag{2.59}$$

$$\begin{aligned}
 Lb &= \frac{Lb_u \cdot W}{N} + Lb0 \\
 Lc &= Lc_u \cdot N + Lc0 \\
 Le &= \frac{Le_u}{N^A \cdot W^B} + Le0
 \end{aligned} \tag{2.60}$$

$$\begin{aligned}
 Cpc &= Cpc_u \cdot N \cdot W + Cpc0 \\
 Cpb &= Cpb_u \cdot N \cdot W + Cpb0
 \end{aligned} \tag{2.61}$$

Pour la résistance thermique (HB20P) :

$$Rth = Rth_u(C \cdot W)^{\frac{D-T_0}{N}} \tag{2.62}$$

2.5 Validation des modèles à partir de mesures

2.5.1 Validation des paramètres des sources de courant

La figure 2.22 montre une comparaison mesure/modèles des caractéristiques I(V) mesurées sur un transistor T1245 R16 (1x2x45 μm), pour une tension $V_{ce}=4$ V, et à différentes températures. La modélisation correcte valide les valeurs trouvées pour les paramètres associés au modèle des sources de courants, pour les paramètres de variation du gain en courant β en fonction de la température ($Xrtb1$ et $Xtb1$), ainsi que les paramètres de variations thermiques des courants de saturation des diodes Tse , Tsc , $Tsfe$, et $Tsfc$.

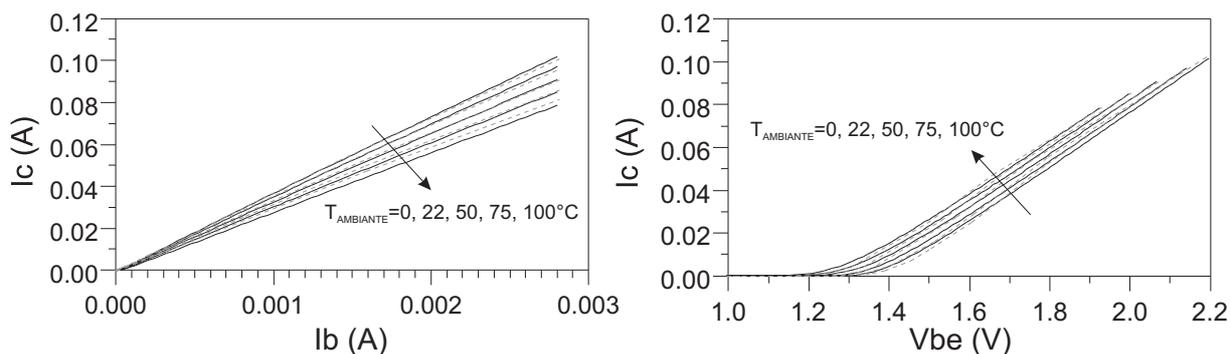


FIG. 2.22 – Comparaison mesures/modèle des caractéristiques $I(V)$ d'un transistor T1245 R16, pour $V_{ce}=4$ V, à différentes températures ambiantes (0, 22, 50, 75 et 100°C) (en noir : modèle, en pointillés gris : mesures).

2.5.2 Validation sur des mesures petit-signal

Des simulations ont été effectuées à différentes polarisations et différents courants à partir du modèle complet grand-signal. Les figures 2.23 et 2.24 montrent quelques résultats pour un courant de 100 mA (soit $8,5 \text{ kA/cm}^2$) pour des tensions V_{ce} égales à 2, 4, 6 et 8 V, et des simulations pour un courant de 400 mA (soit 33 kA/cm^2) pour les mêmes tensions. Le modèle donne de bons résultats sur toute la plage de tension pour les deux courants différents, ce qui valide les valeurs trouvées pour les éléments extrinsèques, et les capacités non-linéaires.

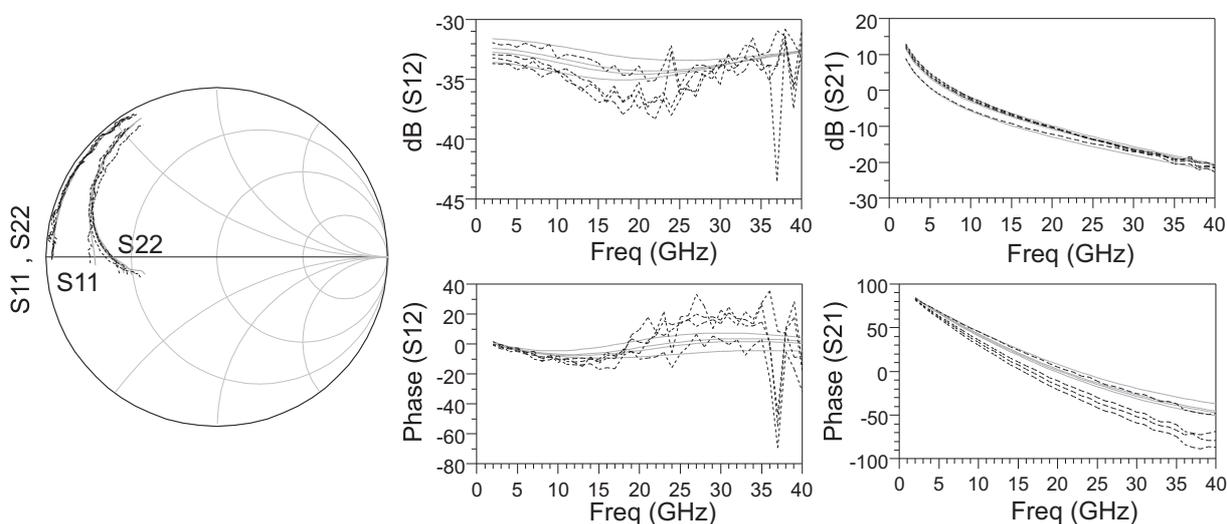


FIG. 2.23 – Comparaison mesures/modèle des paramètres [S] pour un courant de 100 mA ($8,5 \text{ kA/cm}^2$) et pour différentes valeurs de V_{ce} , pour le transistor T10260 R12 (en noir : mesures, en gris : modèle).

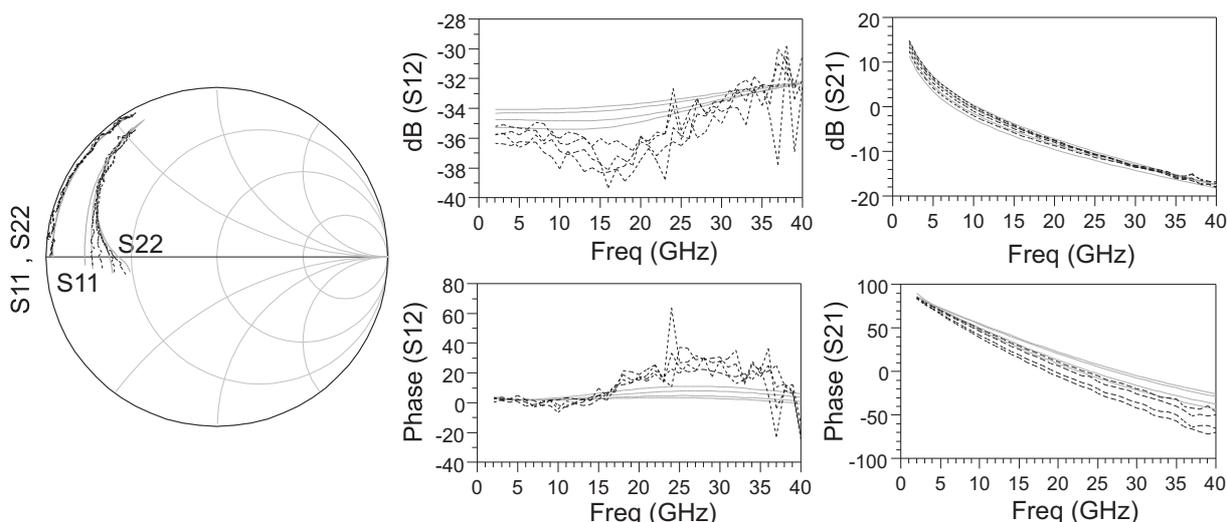


FIG. 2.24 – Comparaison mesures/modèle des paramètres [S] pour un courant de 400 mA (33 kA/cm^2) et pour différentes valeurs de V_{ce} , pour le transistor T10260 R12 (en noir : mesures, en gris : modèle).

2.5.3 Validation sur des mesures grand-signal

Des mesures grand-signal d'un transistor T10230 R16 ($10 \times 2 \times 30 \text{ }\mu\text{m}$) ont été réalisées en cw à une tension $V_{ce} = 8,5 \text{ V}$ et à une fréquence de 10,24 GHz sur différentes impédances de charge données à la figure suivante.

Elles sont numérotées de 1 à 10 (*cf* fig. 2.25). L'impédance de charge n°1 représente l'optimum en PAE ; et l'impédance n°5 l'optimum en puissance. Les impédances n° 2 à 10 correspondent à un TOS égal à 2 par rapport à l'impédance n°1. La figure 2.26 montre

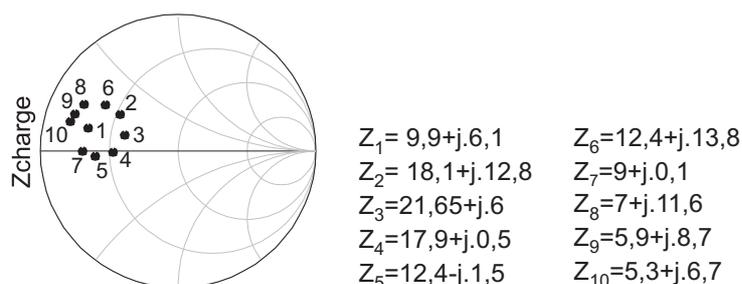


FIG. 2.25 – Différentes impédances présentées au transistor T10230 R16 lors des mesures Load-Pull à 10,24 GHz en cw.

les résultats de simulations obtenus sur l'impédance n°1, qui correspond à l'optimum en PAE, et la figure 2.27 montre les résultats de simulations pour les autres impédances de charges mesurées (n°2 à 10).

On note une très bonne corrélation entre les mesures et le modèle sur toutes les impédances de charge présentées, ce qui valide la topologie utilisée pour le modèle sur une plage d'impédances à des rapports d'ondes d'au moins 2. Cela est décisif pour la conception

d'amplificateurs robustes dont on pourra simuler le comportement en situations non optimales.

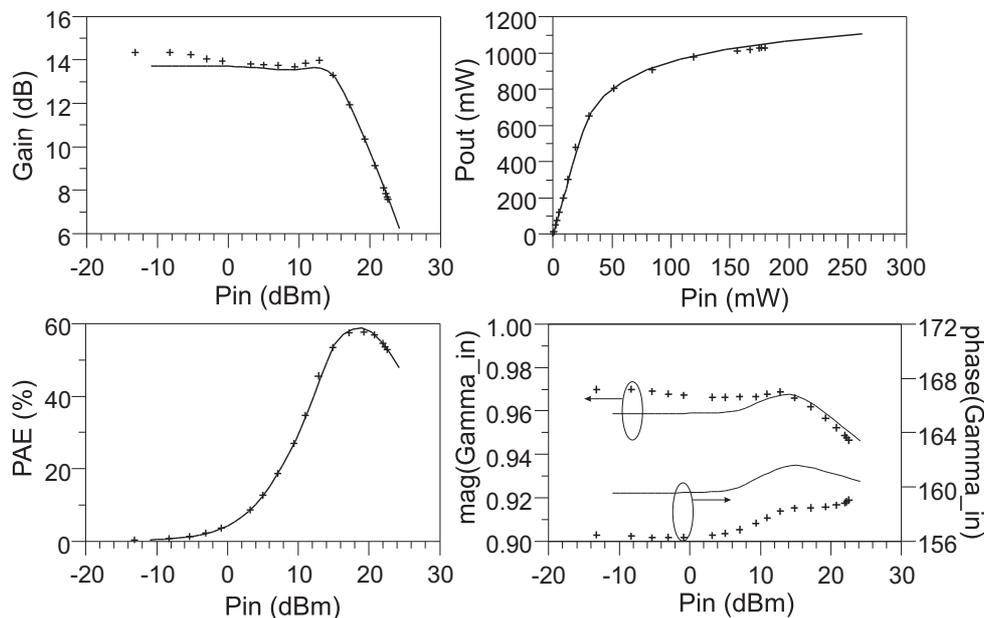


FIG. 2.26 – Comparaison mesure/modèle sur l'impédance présentée n°1, correspondant à l'optimum en PAE d'un transistor T10230 R16 (croix : mesures, lignes : modèle).

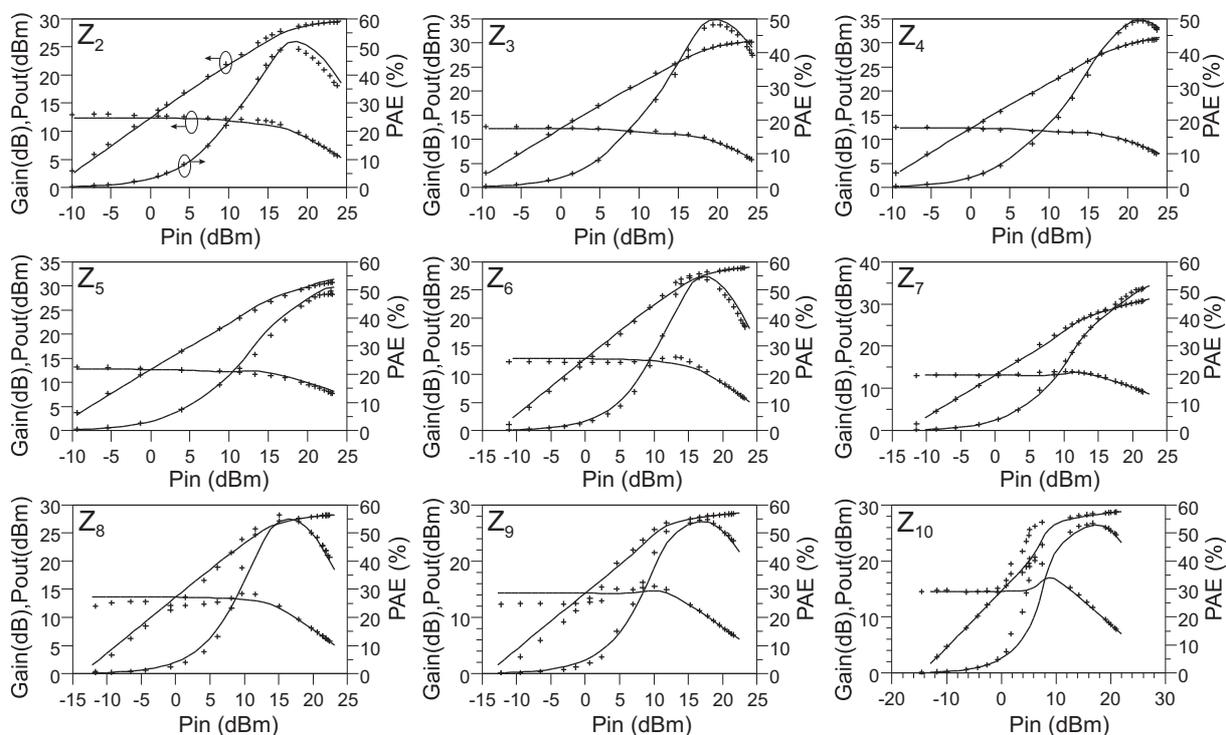


FIG. 2.27 – Comparaison mesure/modèle sur les différentes impédances de charge présentées numérotées de 2 à 10, pour un transistor T10230 R16 (croix : mesures, lignes : modèle).

2.5.4 Validation sur un HPA bande X

2.5.4.1 Simulations grand-signal

Un amplificateur bande X à deux étages a été réalisé à UMS en utilisant des transistors de l'épitaxie R16 de différents développements.

Il contient 20 transistors dont 4 pour le premier étage de puissance et 8 pour le deuxième étage. Huit transistors sont utilisés pour les fonctions de polarisation.

Des résultats de simulations pour une polarisation $V_{ce} = 8V$ et $V_{ce} = 9V$, comparés à des mesures effectuées sont présentés à la figure 2.28, pour différents points de puissance d'entrées et à des fréquences allant de 9,2 à 10,6 GHz. Ces simulations donnent de bons résultats en termes de précision, et elles sont surtout rapides en comparaison d'autres modèles testés.

Le tableau 2.6 donne quelques résultats de temps de simulations sur cet amplificateur en utilisant différents modèles et différents nombres d'harmoniques. Le modèle proposé (PUG) est plus rapide que le précédent (BK2), et surtout beaucoup plus rapide que les modèles UCSD et HICUM.

		PUG	BK2	UCSD	HICUM
Nb d'harmoniques	Thermique	Temps de simulations (sec)			
5	simplifiée	x1 (87 sec)	x1,2		Ne converge pas
8	simplifiée	x2	x2,8	x3,4	Ne converge pas
9	OFF	x2,5	x2,9		x7
9	simplifiée	x3,5	x3,3	x3,9	x10,8
9	complète	N'existent pas			x12,8

TAB. 2.6 – Récapitulatif des temps de simulations sur l'amplificateur à $V_{ce} = 9 V$ (*cf* figure 2.28) avec différents modèles et nombre d'harmoniques. La partie thermique est déconnectée s'il est précisé "OFF", elle est dite simplifiée si elle correspond à celle des modèles BK2 et PUG, et complète si tous les paramètres thermiques sont implémentés, y compris les pertes dans les résistances (possible avec les modèles UCSD et HICUM).

2.5.4.2 Simulations grand-signal à différentes températures

Des mesures ainsi que des simulations grand-signal ont été effectuées à différentes températures ambiantes sur l'amplificateur (*cf* fig. 2.29).

Outre le bon accord des résultats des mesures avec les simulations, le modèle peut surtout converger pour des températures allant de $-120^{\circ}C$ à bien plus de $200^{\circ}C$, ce qui n'était pas possible avec le modèle BK2 qui ne convergeait pas pour des températures inférieures à $-40^{\circ}C$. Ceci est dû en particulier à la reformulation des expressions des courant des diodes donnée par les équations (2.21) et (2.22).

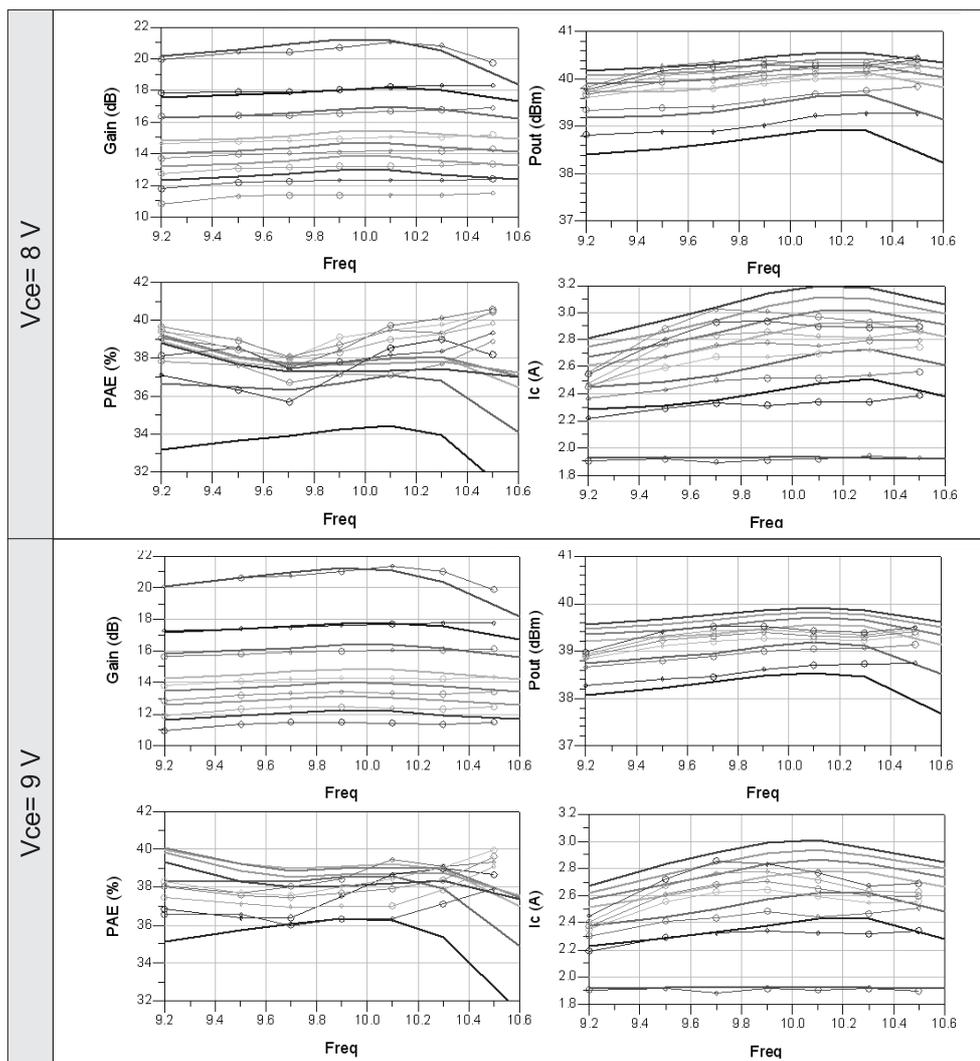


FIG. 2.28 – Comparaison mesure/modèle sur l’amplificateur bande X utilisant des transistors de l’épitaxie R16, à deux polarisations de collecteur $V_{ce} = 8 V$ et $V_{ce} = 9 V$, pour différentes fréquences de 9,2 à 10,6 GHz et pour différentes puissances d’entrée (lignes avec cercles : mesures, lignes : simulations).

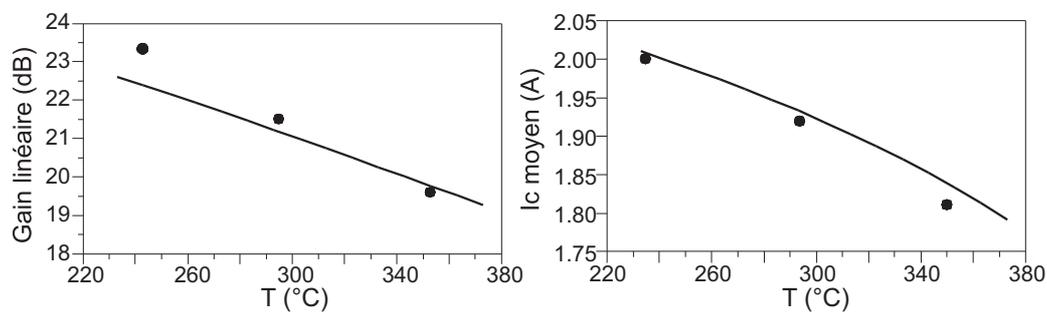


FIG. 2.29 – Comparaison mesure/modèle sur l’amplificateur bande X à une polarisation de collecteur $V_{ce} = 9 V$ et à différentes températures ambiantes de $-40^{\circ}C$, $25^{\circ}C$ et $80^{\circ}C$ (cercles : mesures, lignes : simulations)

2.6 Conclusion

Nous avons présenté ici un modèle pour les transistors TBH InGaP/AsGa dérivé du modèle BK2 utilisé antérieurement au laboratoire. La topologie présentée reprend pour une grosse part les équations de ce modèle mais propose une nouvelle formulation pour décrire la capacité de diffusion, et en particulier l'effet Kirk. Enfin, il a été optimisé en termes de temps de calculs et de convergence pour une large plage d'utilisation, grâce à une reformulation de plusieurs équations. Ce modèle reste simple en comparaison des autres modèles proposés dans la littérature, mais est dédié en contrepartie à des applications de forte puissance. Il comporte en tout 45 paramètres en comptant une résistance et une capacité thermique (98 pour le modèle UCSD, 65 pour le modèle FBH), ce qui permet de réduire la phase de modélisation pour un composant. De plus, il est entièrement redimensionnable et un même modèle peut donc être utilisé pour plusieurs topologies d'un même process.

Chapitre 3 :
Les moyens de mesures nécessaires à
la caractérisation de HEMTs
AlGa_N/Ga_N

3.1 Introduction

Nous présenterons dans cette partie les différents moyens nécessaires à la caractérisation de HEMTs AlGa_N/Ga_N, qui permettent d'une part de connaître leurs performances électriques, et d'autre part d'obtenir toutes les informations utiles pour leur modélisation. Ces différents moyens n'ont naturellement pas à l'origine été dédiés à la caractérisation de transistors à base de Ga_N, et ils ont été par exemple utilisés intensivement afin de caractériser et d'extraire les modèles de HBTs GaInP/GaAs présentés précédemment. Cependant, les HEMTs AlGa_N/Ga_N, sont à l'origine d'une véritable rupture technologique, nous l'avons vu en première partie. Et de fait, ils sont aussi à l'origine d'une rupture dans les méthodes de caractérisation connues et habituellement utilisées, étant donné les densités de puissance qu'ils sont capables de supporter.

Ainsi, de nouvelles précautions sont à prendre quant à la caractérisation de ces transistors avec les moyens connus. Ceci porte sur deux aspects en particulier : les excursions en tensions et courants sont plus importantes que pour la plupart des composants discrets des technologies précédentes, et les fortes puissances ainsi dissipées provoquent des échauffements importants des composants sous test lors des caractérisations. De plus, certains effets électriques comme les effets de pièges, qui existent et sont bien connus dans les technologies HEMTs à base d'AsGa par exemple, sont exacerbés par la faible maturité de la technologie Ga_N, nécessitant une vérification de leur impact sur les résultats de mesures.

Enfin, les méthodes de caractérisation ont évolué parallèlement aux technologies de composants, et des méthodes de caractérisations nouvelles qui ont été développées récemment se révèlent très utiles pour la caractérisation des HEMTs Ga_N. Nous pensons au banc de mesure Load-Pull temporel, dont la pièce maîtresse est le LSNA (Large Signal Network Analyser), et dont nous étudierons les principaux aspects et les avantages dans la suite.

L'objectif du discours qui va suivre est donc triple : tout en présentant les différents bancs à disposition (leur fonctionnement dans le principe, leur montage et leurs réglages), nous essayerons de répondre à deux questions : quelles informations peuvent-ils apporter sur les caractéristiques électriques des composants mesurés, et quelles sont leurs limitations en termes de caractérisation ou d'exploitation des résultats pour les HEMTs Ga_N ?

3.2 Les différents moyens nécessaires à la caractérisation complète des composants.

Les transistors que l'on cherche à caractériser sont prévus pour fonctionner à des fréquences élevées, de l'ordre de plusieurs GHz. Mais leur fonctionnement à ces fréquences est à l'origine de divers effets électriques basses et moyennes fréquences. L'échauffement intervient dès que le composant est polarisé et dissipe une certaine quantité de puissance, mais il nécessite plusieurs millisecondes pour se stabiliser, ce qui est à l'origine de transitoires de courant.

De même, dans le cas des transistors à effet de champ, les effets de pièges, dépendant des tensions appliquées, sont à l'origine de transitoires de courant lents (quelques millisecondes), voire très lents (plusieurs heures), comme cela a été évoqué en première partie.

On peut donc séparer le courant en deux contributions, l'une basse fréquence et l'autre haute fréquence, et utiliser une fonction passe-bas pour séparer ces deux effets [93], comme le montre l'équation 3.1, pour le cas d'un transistor à effet de champ.

$$I_{ds}(V_{gs}, V_{ds}) = H(\omega) \cdot I_{ds_{BF}} + [1 - H(\omega)] \cdot I_{ds_{RF}} \quad (3.1)$$

Cette relation montre toute la problématique des caractérisations. Pour être complètes, elles doivent permettre de mettre en évidence tous ces phénomènes et leur impact sur les caractéristiques électriques, ce qui implique de pouvoir les dissocier les uns des autres.

Le banc de mesures I(V) en impulsions est un outil particulièrement approprié pour cela : idéalement, il est suffisamment rapide pour figer, lors de la mesure d'un composant, les états thermiques et de pièges, permettant ainsi de ne caractériser que $I_{ds_{RF}}$.

De plus, des méthodes ont été mises en place pour fixer l'état des pièges et l'état thermique à des valeurs voulues, permettant ainsi de mettre en évidence les effets des pièges ou encore de se placer dans des conditions de fonctionnement proches de celles des applications pour lesquelles les composants sont destinés. Ces méthodes seront décrites, et nous détaillerons leur intérêt pour la caractérisation de HEMTs GaN, ainsi que les éventuelles réserves à porter aux résultats lors de mesures de tels composants.

En complément des mesures I(V) en impulsions, les mesures grand-signal sont nécessaires à la caractérisation des transistors, car elles permettent d'évaluer directement leur performances en puissance. Pour cela, deux bancs de mesures sont à disposition. Il s'agit du banc Load-Pull, et du banc LSNA.

Les mesures Load-Pull consistent à caractériser les composants dans des conditions les plus proches possibles de celles de leur fonctionnement réel. Elles sont donc sujettes à tous les effets basses fréquences, mais permettent de recueillir les informations dans le domaine RF. Ces mesures sont souvent utilisées pour vérifier la justesse des modèles des transistors.

Les mesures issues du banc Load-Pull temporel, basé autour d'un LSNA, et dont la mise en place a été l'objet de la thèse de F. De Groote [94], permettent d'obtenir elles aussi des informations sur les performances en puissance des transistors. Cependant, ce banc de mesure possède divers avantages, et il permet en particulier de concilier deux aspects importants dans la problématique des caractérisations : les mesures sont beaucoup plus précises quand elles sont effectuées dans le domaine fréquentiel, les appareils de mesure ayant alors une dynamique importante, et en contrepartie, les mesures temporelles sont "visuelles". Nous voulons dire par là qu'il est beaucoup plus naturel pour une personne d'interpréter un signal temporel que sa reproduction dans le domaine fréquentiel, et l'analyse des caractérisations plus aisée permet de mettre en évidence et de comprendre divers phénomènes électriques et physiques.

Le LSNA est un appareil qui effectue des mesures dans le domaine fréquentiel, et donc avec une précision importante. Par contre, il permet, à la différence d'un banc de mesures Load-pull classique, de mesurer la relation de phase entre le signal fondamental et ses harmoniques. Ainsi, la reconstruction des signaux dans le domaine temporel est réalisable, et le traitement des données de mesures peut être fait comme tel.

Nous avons évoqué des mesures permettant d'obtenir les caractéristiques électriques soit complètes, soit décorrélées des effets basses fréquences. Mais il faut aussi pouvoir caractériser ces effets basses fréquences. Les moyens de mesures dc ou quasi-dc (traceurs rapides) permettent souvent de les mettre en évidence qualitativement, mais leur caractérisation complète peut être obtenue à partir de mesures en impulsions longues, et nous verrons alors que le banc de mesures en impulsions est adapté pour ce type de caractérisation.

Une autre méthode est en développement depuis peu de temps au laboratoire XLIM. Elle consiste à mesurer les paramètres $[S]$ dans les plages de fréquences typiques de ces effets dispersifs, ce qui permet d'avoir une dynamique de mesure très importante, et donc d'avoir des signaux d'amplitudes suffisamment faibles pour ne pas modifier l'état (choisi) des pièges ou de la thermique.

La figure 3.1 décrit les différents bancs présentés sur un diagramme fréquentiel.

Nous décrirons dans la suite l'utilisation de ces bancs et leurs limitations pour la caractérisation de HEMTs GaN.

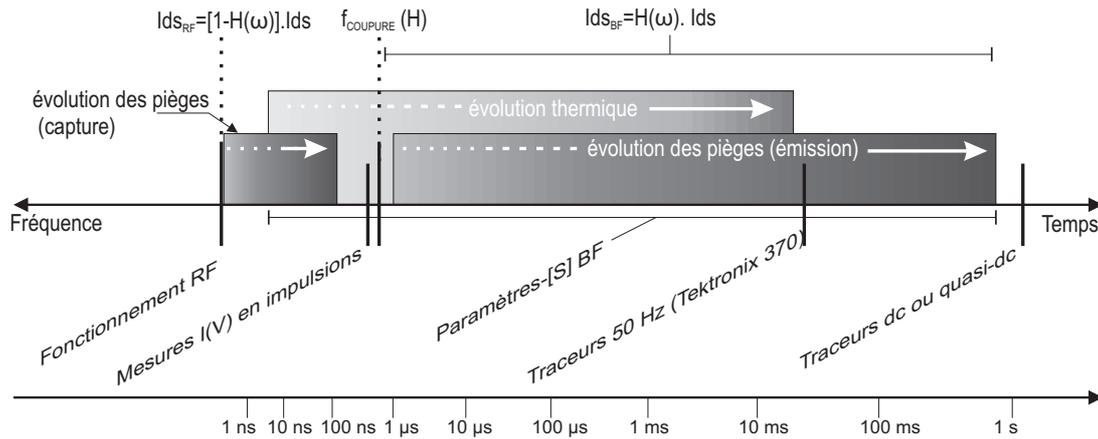


FIG. 3.1 – Synoptique des différents moyens de caractérisation permettant d’explorer toute la gamme fréquentielle de fonctionnement des transistors.

3.3 Le banc de mesures en impulsions

3.3.1 Introduction

La mesure des caractéristiques I(V) et des paramètres [S] en impulsions est un outil indispensable pour la caractérisation des transistors micro-ondes : elle permet de s’affranchir en grande partie des problèmes d’auto-échauffement, de mettre en évidence les phénomènes électriques dus aux pièges en comparant les caractéristiques I(V) pour différents états de pièges choisis ; et surtout de pouvoir séparer les deux phénomènes afin de pouvoir les analyser finement, sous certaines restrictions que nous évoquerons.

De plus, elle est moins contraignante pour les composants quand il s’agit de sonder des zones où leur fonctionnement induit des dégradations et parfois leur destruction. Nous pensons en particulier aux zones d’avalanche et de forte conduction de grille, même si l’avalanche s’est avérée tout de même très délicate à mesurer pour les HEMTs AlGa_N/Ga_N que nous avons pu caractériser. Cette possibilité de mesurer en impulsions des zones qu’il ne serait pas possible de mesurer en continu est utile pour modéliser des composants sur une plage de courants et de tensions qui atteint les limites de leur fonctionnement normal.

Ainsi, grâce à ce banc I(V) et paramètres [S] en impulsions, des modèles très élaborés de transistors peuvent être réalisés. C’est pourquoi il a été développé au laboratoire XLIM il y a une quinzaine d’années, ce qui a donné lieu à de nombreuses thèses et publications [95][96][97][98].

Le fonctionnement de ce banc peut être séparé en deux parties distinctes. La première consiste en la mesure des caractéristiques I(V) des composants, la deuxième en la mesure des paramètres [S] au cours de ces impulsions.

3.3.2 Mode de fonctionnement I(V)

3.3.2.1 Gestion des effets thermiques

Afin de s'affranchir des effets thermiques, la durée des impulsions pendant laquelle le composant est polarisé et dissipe une certaine puissance doit être la plus courte possible. De plus, le temps d'attente entre deux impulsions doit être suffisamment long pour que le composant refroidisse et que la température se stabilise à celle qui est déterminée par sa puissance dissipée au point de repos.

Cependant, la durée minimale des impulsions est limitée par la capacité des générateurs utilisés à produire des impulsions courtes, et au temps d'acquisition minimum des mesures. Typiquement, la durée limite des impulsions est d'environ 400 ns. Un temps de repos de quelques microsecondes est suffisant pour permettre le retour de la température à son état d'équilibre pour de telles impulsions. La figure 3.2 schématise un train d'impulsions, et la figure 3.3 montre l'impact de l'auto-échauffement sur les caractéristiques de sortie d'un transistor HEMT AlGaN/GaN de $8 \times 75 \mu\text{m}$.

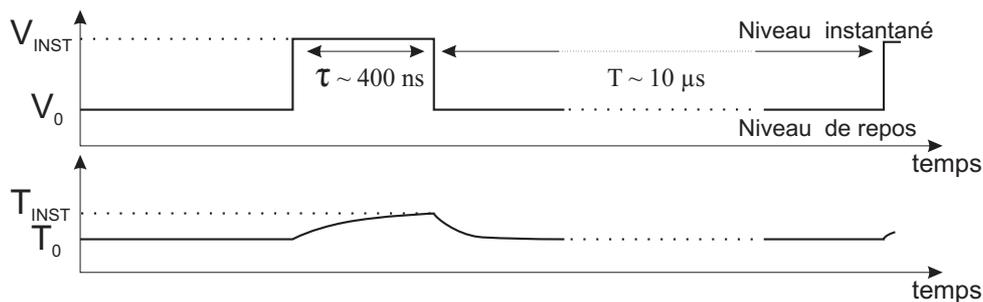


FIG. 3.2 – Chronogramme d'un train d'impulsions typique utilisé lors des mesures. Le niveau instantané de tension est nommé V_{INST} , et le niveau de repos est nommé V_0 .

- *Choix de la température de repos*

La température du composant au repos (et donc sur toute la caractéristique I(V) mesurée si l'on considère qu'il n'y a pas d'échauffement au cours des impulsions) peut être choisie de plusieurs façons :

- soit par le choix de la puissance dissipée au point de repos. Par exemple, un HEMT AlGaN/GaN d'un développement de 1 mm et ayant une résistance thermique de $12^\circ\text{C}/\text{W}$ polarisé au repos à une tension de drain de 25 V et un courant de sortie de 400 mA à une température ambiante de 25°C aura une température de :

$$\begin{aligned}
 Temp &= R_{th} \cdot P_{DISS} + T_{AMBIANTE} & (3.2) \\
 &= 12 \cdot 25 \cdot 0,4 + 25 \\
 &= 145^\circ\text{C}
 \end{aligned}$$

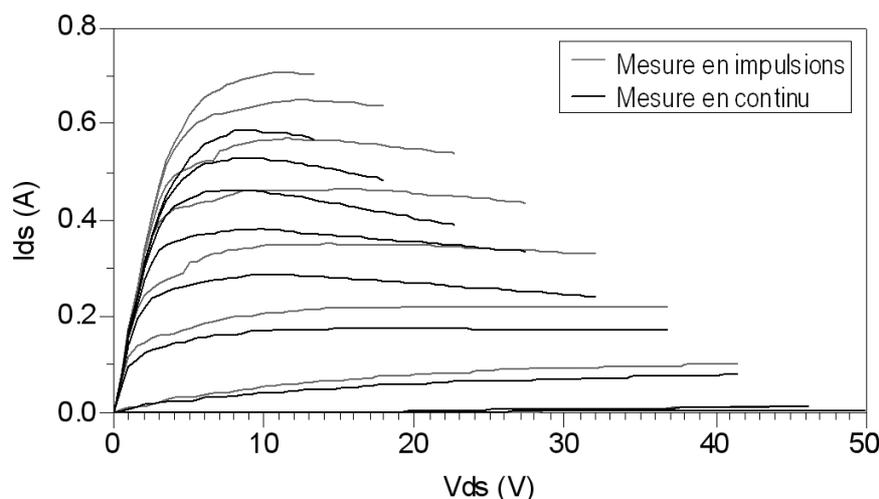


FIG. 3.3 – Mise en évidence des phénomènes d’auto-échauffement grâce à des mesures impulsives (en gris : mesures en impulsions, en noir : mesures en continu).

- soit par le réglage de la température de fond de puce qui est rendue possible par l’utilisation d’un chuck thermique régulé en température sur une plage de -65°C à 200°C .
- soit par une combinaison des deux possibilités précédentes.

• *Problèmes d’échauffement lors des mesures en impulsions*

Sur des transistors HEMTs AlGaN/GaN, qui dissipent des puissances importantes, il convient d’être prudent quant à considérer que la température varie si peu au cours des impulsions que l’auto-échauffement devient négligeable. Ainsi, les mesures ne sont pas totalement isothermiques, et en particulier pour des composants comme les HEMTs GaN qui dissipent des densités de puissance importantes.

Des simulations 3D par éléments finis sur ANSYS ont montré que la température du point chaud évolue très rapidement après l’établissement d’une polarisation et que l’auto-échauffement n’est plus négligeable après quelques centaines de nanosecondes [99]. Il est légèrement supérieur à un tiers de sa valeur finale au bout d’une durée typique d’impulsions de 400 ns.

Des mesures temporelles de transitoires de courant à puissance dissipée identique effectuées par C. Charbonniaud ne donnent cependant pas les mêmes conclusions [30]. Elles montrent en augmentation beaucoup plus lente de la température. L’échauffement serait alors plus proche de 20% de sa valeur finale au bout de 400 ns.

De telles différences peuvent s’expliquer ainsi : l’évolution de la température prise en compte en simulation est celle du point chaud du transistor, c’est-à-dire celle du point au centre du canal, d’où part le flux de chaleur.

La température mesurée est issue de la décroissance du courant, donc correspond plus

à la température moyenne du canal où sont répartis les électrons participant au courant. Si l'on fait une moyenne des températures simulées par éléments finis dans la zone active du transistor, l'échauffement au cours de la première microseconde est alors effectivement plus lent et correspond mieux à celui qui est mesuré. Ainsi, l'échauffement mesuré correspond à une grandeur plus macroscopique, contrairement à l'échauffement simulé du point chaud qui atteint très rapidement une température importante.

Par contre, la mesure du courant, permettant d'obtenir l'échauffement, était peu précise pour des durées inférieures à 150 ns, et la tension de drain a légèrement varié au cours de la mesure présentée en [30].

Ainsi, l'échauffement, même s'il est dur à quantifier, n'est tout de même pas négligeable pour des impulsions classiques de 400 ns.

3.3.3 Mise en évidence des effets de pièges

3.3.3.1 Impact des pièges sur le courant

Nous avons vu en première partie que les transistors HEMTs AsGa ou GaN sont soumis à des effets de pièges. Deux effets se distinguent, par leur mécanisme physique mais aussi par leur mode d'activation : il s'agit du gate-lag et du drain-lag. Nous décrirons leur mécanisme physique dans la prochaine partie, dans laquelle le fonctionnement d'un HEMT GaN sera détaillé. Du point de vue des mesures, les deux phénomènes sont différents dans le sens où le gate-lag intervient lors d'une variation de la tension de grille, alors que le drain-lag apparaît lors d'une variation de la tension de drain. Ces deux phénomènes ont cependant le même impact sur les mesures : ils induisent un temps d'établissement du courant plus lent que la variation des tensions, et sont donc à l'origine de transitoires de courant dont les constantes de temps dépendent des niveaux de pièges sollicités.

- *Le phénomène de gate-lag.*

Il peut être mis en évidence lors d'une impulsion de V_{gs} . La figure 3.4 montre le transitoire de courant induit par ce phénomène lors d'une telle impulsion. Celle-ci est d'une amplitude choisie suffisamment faible pour que l'état thermique du composant ne soit pas sensiblement modifié par rapport au point de repos.

- *Le phénomène de drain-lag.*

Il intervient lors d'une variation de la tension de drain, et peut donc être mis en évidence lors d'une impulsion de V_{ds} . La figure 3.4 montre le transitoire de courant induit par ce phénomène lors d'une telle impulsion, pour une tension de grille proche de la tension de pincement et donc à faible puissance dissipée.

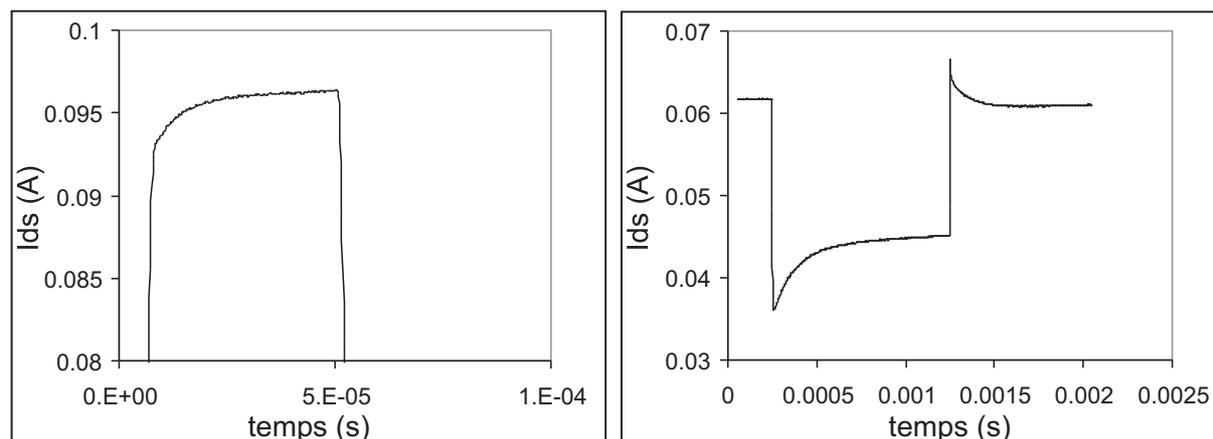


FIG. 3.4 – Mise en évidence des phénomènes de gate-lag (à gauche) et de drain-lag (à droite) lors d’impulsions en tensions (respectivement V_{gs} et V_{ds}) pour un HEMT $8 \times 75 \mu\text{m}$ AEC 1148. Sur la courbe de gauche, $V_{ds} = 10 \text{ V}$ et V_{gs} passe de -6 à $-4,8 \text{ V}$; sur la courbe de droite, $V_{gs} = -5 \text{ V}$ et V_{ds} passe de 22 à 18 V . Les variations des courants et des tensions sont suffisamment faibles pour pouvoir négliger les effets thermiques, et les transitoires mesurés sont donc révélateurs des effets de pièges uniquement. On note que les constantes de temps de ces effets sont très différentes (la durée des impulsions n’étant pas la même lors des deux mesures).

3.3.3.2 Méthodes de caractérisation des pièges

Des méthodes ont été mises au point pour pouvoir quantifier l’impact des pièges sur les caractéristiques $I(V)$ des composants, et même pour séparer les effets de gate-lag des effets de drain-lag. Elles s’appuient sur l’hypothèse que l’émission de charges par les pièges est bien plus lente que leur capture, et que la durée des impulsions se situe entre les deux. Cette hypothèse, validée sur les technologies précédentes (c’est-à-dire sur des technologies à base de matériaux à faible gap), peut s’avérer être une source d’erreurs pour les transistors à base de GaN.

Ainsi, de façon simplifiée, les pièges ont le temps de capturer des charges lors d’une impulsion, mais n’ont pas le temps d’en émettre.

- *Quantification des effets de lag.*

Trois configurations de mesures sont possibles afin de discerner les effets de gate-lag et de drain-lag. Cette méthode a été présentée en [100]. Dans ces trois configurations, la puissance dissipée au repos est maintenue nulle et ainsi le composant est dans un état thermique comparable pour chaque cas (et défini par la température ambiante).

1) En choisissant une polarisation de repos $V_{gs_0} = 0 \text{ V}$ et $V_{ds_0} = 0 \text{ V}$, la description d’un réseau $I(V)$ classique implique que les impulsions de V_{gs} seront négatives, et que

les impulsions de V_{ds} seront positives. Ainsi, les pièges associés au gate-lag comme ceux associés au drain-lag vont capturer des charges. Ce phénomène est rapide et sera donc terminé lors de la prise de mesure. L'état des pièges lors de la mesure sera donc déterminé par les polarisations des impulsions.

2) En choisissant une polarisation de repos $V_{gs_0} = V_{pincement}$ et $V_{ds_0} = 0 V$, la description d'un réseau $I(V)$ classique implique que les impulsions de V_{gs} et de V_{ds} seront positives. Ainsi, les pièges réagissant à la polarisation de grille vont émettre des charges au cours de l'impulsion, et ceux réagissant à la polarisation de drain vont en capturer. Le phénomène d'émission étant lent comparé à la durée des impulsions, les pièges associés au gate-lag seront, lors de la prise de la mesure, quasiment dans le même état qu'au début de l'impulsion et à fortiori qu'avant l'impulsion. Leur état sera donc donné par la polarisation de repos V_{gs_0} .

3) En choisissant une polarisation de repos $V_{gs_0} = V_{pincement}$ et $V_{ds_0} = 25 V$ par exemple, la partie du réseau $I(V)$ où V_{ds} est inférieure à $25 V$ montre la diminution du courant due aux effets de drain-lag. En effet, la mesure des points à $V_{ds} < 25 V$ implique que les impulsions de V_{ds} sont négatives par rapport au point de polarisation et c'est alors l'émission de pièges qui prédomine. Ce phénomène d'émission étant lent devant les longueurs typiques d'impulsions, le courant mesuré est inférieur au courant à l'état établi. Pour les points mesurés au-delà de $V_{ds} = 25 V$, les phénomènes de capture prédominent et ceux-ci étant rapides devant les durées typiques d'impulsions, le courant mesuré est quasi-identique à celui obtenu à l'état établi. C'est pourquoi on observe un changement de pente significatif de l'impact des pièges de drain sur les courbes à V_{gs} constant quand V_{ds} dépasse $25 V$.

La figure 3.5 montre deux réseaux $I(V)$ mesurés permettant de mettre en évidence le phénomène de gate-lag. Le schéma de principe donné à la figure 3.6 montre l'impact des pièges sur la forme des impulsions et donc sur le courant mesuré, dans le cas de la mise en évidence du phénomène de drain-lag. Dans l'encart à droite, le premier cas correspond à la mesure du courant lors d'une impulsion de la tension de drain d'un point de repos V_{ds_0} à une valeur instantanée $V_{ds_{INST2}}$. Le courant mesuré passe alors de I_{ds_0} à $I_{ds_{INST2}}$. Les pièges capturent en effet des charges, et ce phénomène est suffisamment rapide pour que le courant atteigne son niveau établi lors de la prise de la mesure (soit au bout de $350 ns$ environ). Le deuxième cas correspond à la mesure du courant lors d'une impulsion de la tension de drain négative, de V_{ds_0} à $V_{ds_{INST1}}$. Dans ce cas, les pièges émettent des charges lentement, et le courant atteint un niveau $I_{ds_{INST1}}$ au bout de $350 ns$, alors qu'il devrait continuer à évoluer jusqu'à son établissement, à la valeur $I_{ds_{INST1}}$. La différence

que l'on observe sur le réseau I(V) est donc due au fait que les pièges n'ont pas eu le temps d'émettre leurs charges avant que la mesure n'ait eu lieu.

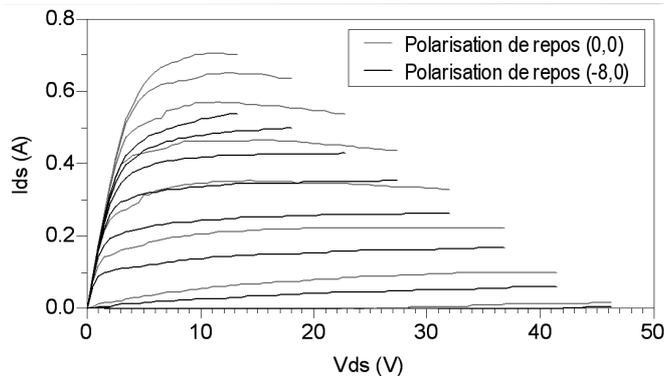


FIG. 3.5 – Mise en évidence des phénomènes de gate-lag grâce aux choix des polarisations de repos (en gris : mesures à une polarisation de repos $V_{gs_0} = 0 V$, $V_{ds_0} = 0 V$, en noir : mesures à une polarisation de repos $V_{gs_0} = -8 V$, $V_{ds_0} = 0 V$). $V_{pincement} = -8 V$ ici.

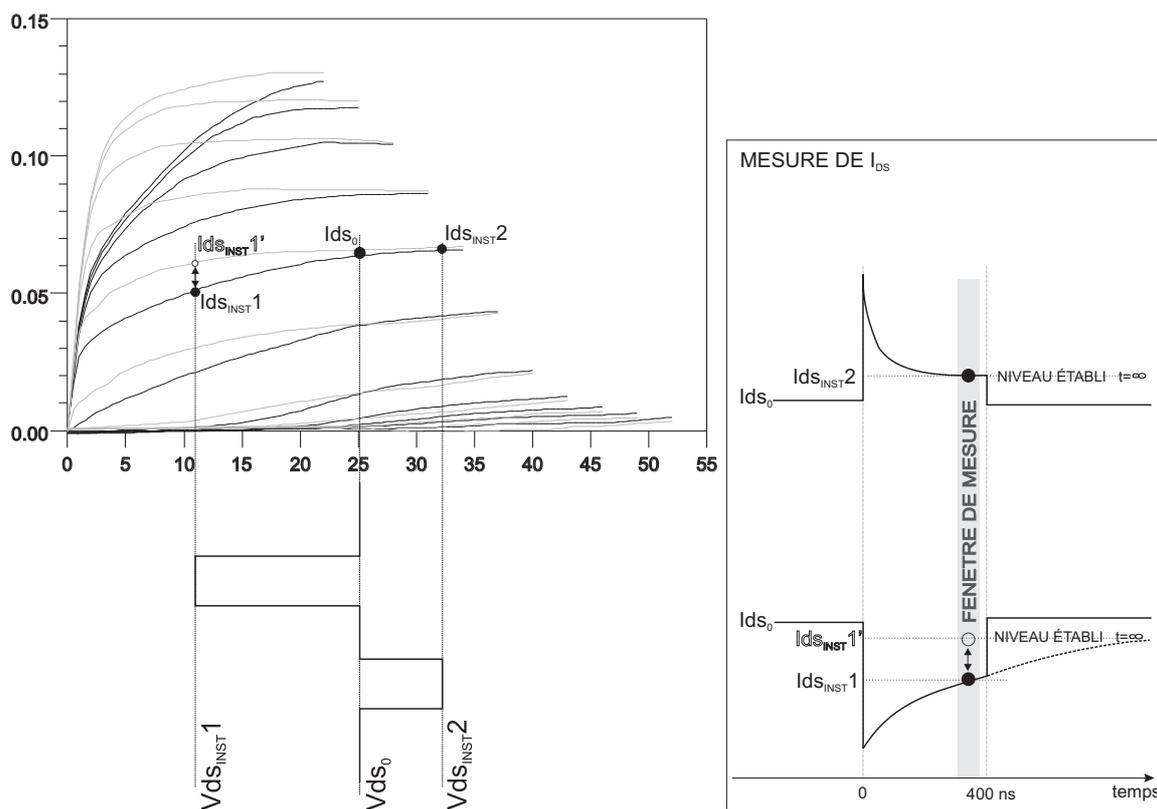


FIG. 3.6 – Schéma décrivant la différence entre la mesure du courant I_{ds} lors d'une impulsion de la tension de drain soit positive soit négative. Le réseau en gris foncé est mesuré pour une polarisation de repos $V_{gs_0} = V_{pincement}$ et $V_{ds_0} = 0V$, le réseau en gris clair pour une polarisation de repos $V_{gs_0} = V_{pincement}$ et $V_{ds_0} = 25 V$. Le cas n°1 de l'encart correspond à une impulsion de tension de drain positive, et le cas n°2 à une impulsion négative.

3.3.3.3 Limitations du banc sur la mise en évidence des pièges - problématique des constantes de temps

La mise en évidence des pièges étant rendue possible par la dissociation du phénomène de capture du phénomène d'émission de charges, elle est donc correcte si la durée des impulsions est suffisamment grande pour que la capture de charges ait eu lieu et soit achevée lorsque la mesure est prise, et par contre suffisamment rapide pour que l'émission n'ait pas eu le temps de commencer. Il est légitime de se demander si cela est toujours le cas quand on utilise des impulsions typiques de 400 ns. En effet, trois cas sont possibles qui pourraient jouer en défaveur d'une quantification correcte de l'impact des pièges :

- La capture est plus lente que la prise de mesure.
- L'émission est plus rapide que la prise de mesure.
- Les pièges n'ont pas le temps de revenir à leur état initial (c'est-à-dire leur état défini par le point de repos) au bout du temps prévu entre deux impulsions.

• *Simulations permettant de mettre en évidence des erreurs éventuelles de quantification des effets de pièges.*

Un banc de mesures virtuel a été monté et des simulations transitoires ont été effectuées avec un modèle de HEMT GaN incluant les effets de pièges, qui sera décrit dans la prochaine partie. Toutes les simulations qui vont être présentées concernent le phénomène de gate-lag, mais le raisonnement s'applique au drain-lag. Le modèle ne tient donc pas compte du drain-lag et des effets thermiques, et un seul niveau de piège est considéré pour le gate-lag (une seule constante de temps de capture et une seule d'émission).

Les figures 3.7, 3.8, 3.9 et 3.10 illustrent les divers cas présentés par la suite montrent les réseaux obtenus (pour $V_{gs} = -8$ à $+1$ V), correspondant à une polarisation de repos $V_{gs_0} = 0$ V, $V_{ds_0} = 0$ V pour le réseau gris, et $V_{gs_0} = -8$ V, $V_{ds_0} = 0$ V pour le réseau noir. Les valeurs données en haut des réseaux sont les valeurs simulées du courant pour le point de polarisation instantanée $V_{gs_{INST}} = -4$ V, $V_{ds_{INST}} = 20$ V, avec des durées typiques d'impulsion et de temps de repos de respectivement 400 ns et 10 μ s. La prise de mesure est effectuée en fin d'impulsion, pour une durée de 350 ns. Enfin, les deux graphiques à gauche de chaque figure correspondent aux signaux temporels partant d'un des deux niveaux de repos $V_{gs_0} = -8$ V, $V_{ds_0} = 20$ V en haut et $V_{gs_0} = 0$ V, $V_{ds_0} = 20$ V en bas, pour des impulsions à des niveaux de polarisation instantanée $V_{gs_{INST}} = -4$ V, $V_{ds_{INST}} = 20$ V

Le cas qui semblerait idéal est donc :

La capture est très rapide : $\tau_{capture} = 10$ ns. L'émission est lente devant la durée des impulsions mais suffisamment rapide pour que le courant ait le temps de revenir à son

état établi pendant le temps de repos : $\tau_{\text{émission}}=2 \mu\text{s}$.

On voit (*cf* fig. 3.7) que la constante d'émission est suffisamment rapide pour que l'état du courant soit établi avant la deuxième impulsion. Par contre, elle est aussi suffisamment rapide pour que l'émission de charges ait commencé durant l'impulsion de 400 ns (pour la mesure en mode d'émission), et les pièges ne sont donc pas totalement figés. La mesure donne alors 170 mA, alors qu'elle donnerait 160 mA si les pièges étaient totalement figés.

Cela montre donc qu'il est difficile, en conservant des temps d'impulsion et de repos de respectivement 400 ns et $10 \mu\text{s}$, de figer totalement les pièges en émission tout en voulant une stabilisation du courant au bout du temps correspondant au temps de repos.

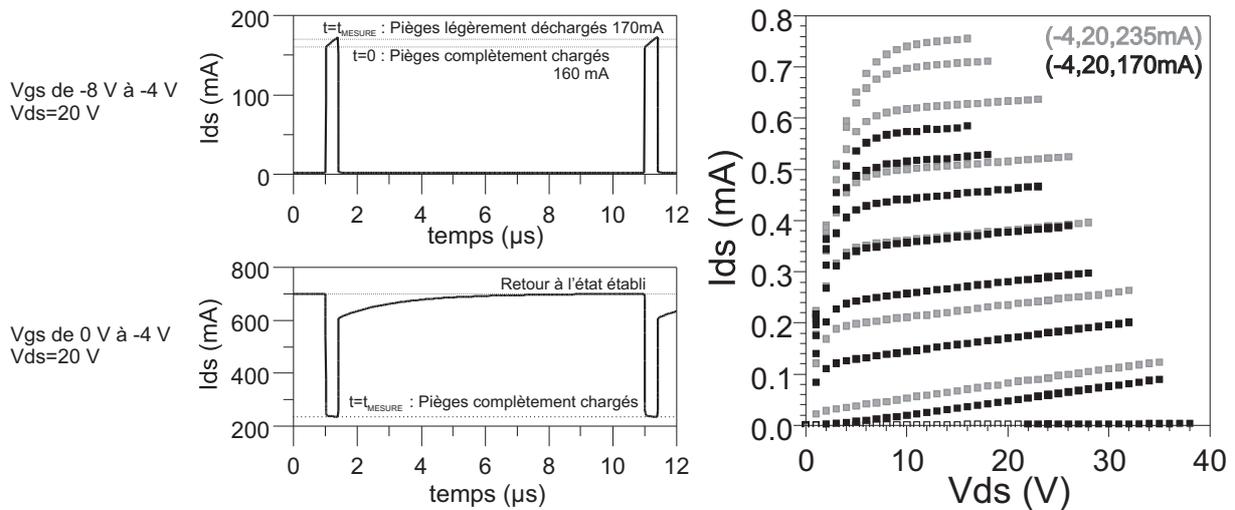


FIG. 3.7 – Simulation du banc de mesures en impulsions dans le cas de la mise en évidence du phénomène de gate-lag, en ne considérant qu'un seul niveau de piège défini par une constante de temps de capture de 10 ns et une constante de temps d'émission de $2 \mu\text{s}$. Les deux graphiques à gauche correspondent au courant simulé pour le point à polarisation instantanée $V_{gs_{INST}} = -4 \text{ V}$, $V_{ds_{INST}} = 20 \text{ V}$, et le graphique à droite montre les réseaux $I(V)$ simulés dans le cas où les pièges sont en mode d'émission (en noir) et dans le cas où les pièges sont en mode de capture (en gris).

Mais que se passerait-il si le courant n'avait pas le temps de se stabiliser avant la deuxième impulsion ?

Ce cas est montré à la figure 3.8, où la constante de temps de capture est rapide (10 ns) par rapport à la durée des impulsions, et où la constante de temps d'émission est très lente ($100 \mu\text{s}$) par rapport à la durée de l'impulsion et au temps de repos.

Les pièges restent effectivement complètement chargés lors de l'impulsion en mode d'émission, et le courant mesuré dans l'impulsion est plus faible que dans le cas précédent. Par contre, le courant n'a absolument pas le temps de revenir à son état établi avant le début de la deuxième impulsion.

Ainsi, si cette configuration de pièges peut paraître gênante, le courant dans la deuxième impulsion n'est en rien modifié par rapport à la première, car la capture de charges est très rapide et l'état des pièges se stabilise très rapidement dans la deuxième impulsion.

Ce cas est donc le plus favorable, car il permet de mettre en évidence au mieux les différences de courant dues au gate-lag, et la mesure reste juste si les constantes de temps d'émission sont plus lentes que le temps de repos.

Ce constat est très important car il peut y avoir des pièges à constantes de temps très longues dans les transistors en GaN.

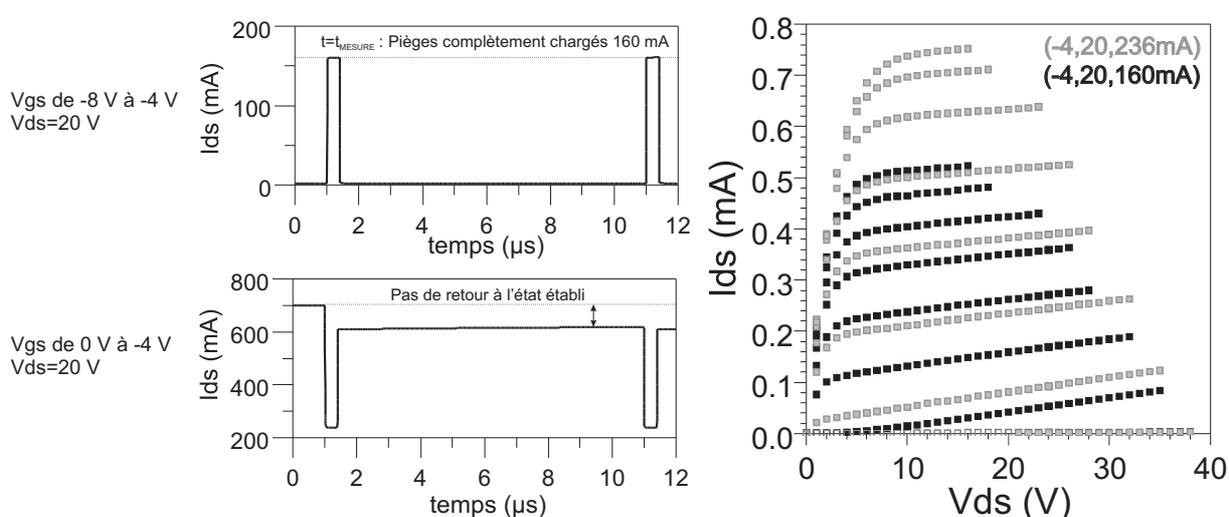


FIG. 3.8 – Simulation du banc de mesures en impulsions dans le cas de la mise en évidence du phénomène de gate-lag, en ne considérant qu'un seul niveau de piège défini par une constante de temps de capture de 10 ns et une constante de temps d'émission de 100 μ s.

Un troisième cas simulé (*cf* fig. 3.9) correspond à une capture très rapide (10 ns), et une émission rapide elle aussi par rapport à la durée de l'impulsion (300 ns). On remarque alors que les pièges, n'étant absolument pas figés lors de l'impulsion en mode d'émission, il n'y a donc presque pas de différence entre les deux réseaux simulés, ce qui ne permet pas de mettre le phénomène de gate-lag en évidence (les deux réseaux sont quasi-identiques).

Que se passerait-il maintenant dans le cas d'une capture lente par rapport à la durée des impulsions ?

Une simulation a été effectuée en choisissant une constante de temps de capture de 1 μ s, et une constante d'émission lente, de 100 μ s (*cf* fig. 3.10). On remarque que le cas de l'émission de pièges ne pose pas de problème : l'émission est très lente et les pièges sont donc effectivement figés. Par contre la capture étant lente, le courant n'a pas le temps de

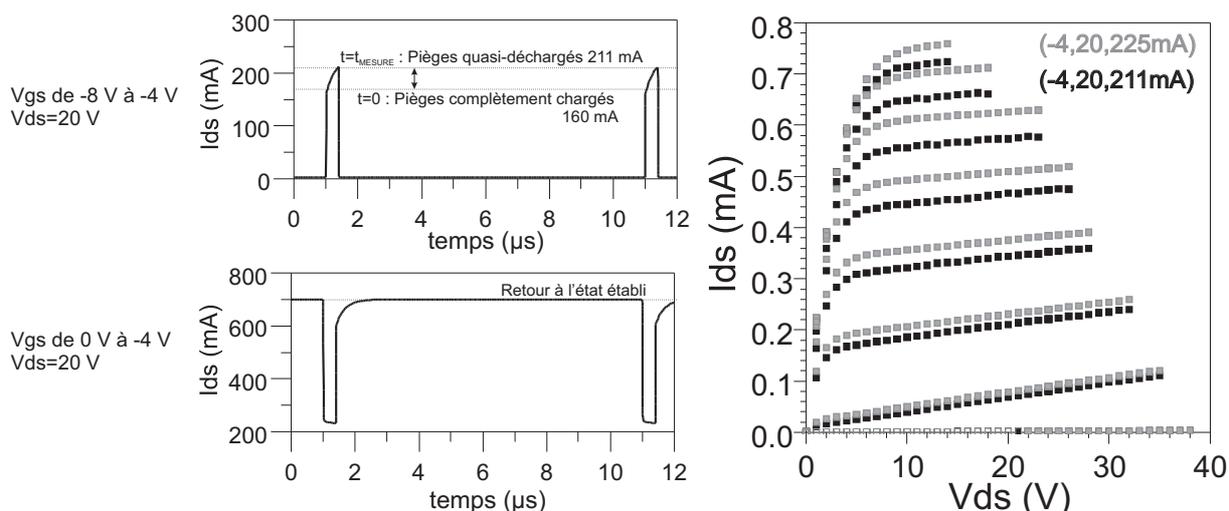


FIG. 3.9 – Simulation du banc de mesures en impulsions dans le cas de la mise en évidence du phénomène de gate-lag, en ne considérant qu’un seul niveau de piège défini par une constante de temps de capture de 10 ns et une constante de temps d’émission de 300 ns.

se stabiliser lors de l’impulsion, ni n’a le temps de revenir à son état initial lors du temps de repos. Ceci est à l’origine d’une dérive lente du courant, dont la constante de temps dépend à la fois du temps caractéristique de capture et de celui d’émission.

Cette constante de temps de dérive peut devenir très longue si la constante de temps de capture est très proche de la durée de l’impulsion, toute en restant supérieure. Dans ce cas, l’instant auquel est effectué la mesure détermine la valeur du courant mesuré : cela signifie en d’autres termes qu’un banc de mesure qui serait rapide et mesurerait la première impulsion donnerait des résultats différents qu’un banc qui mesurerait la n -ième impulsion.

Cela peut expliquer en partie les différences observées lors des mesures sur différents bancs en impulsions.

Ces quelques exemples ont montré quels peuvent être les problèmes rencontrés lors des caractérisations permettant la mise en évidence des effets de pièges.

Bien sûr, il n’y a jamais qu’un seul niveau de piège dans un transistor, et tous ces effets sont susceptibles de pouvoir intervenir en même temps. De plus, la raideur des impulsions ou la présence de surtensions en début d’impulsions peuvent être des éléments déterminants dans la précision des mesures. Par exemple, si l’on imagine une constante de temps de capture de 10 ns et un pic de surtension durant 5 ns, ce qui est tout à fait probable, les pièges pourront alors se charger en partie au niveau du pic et non plus au niveau du signal voulu.

Des phénomènes de capture avec des constantes de temps supérieures à $1 \mu\text{s}$ sont régulièrement mis en évidence sur des HEMTs GaN, et ainsi le quatrième cas présenté

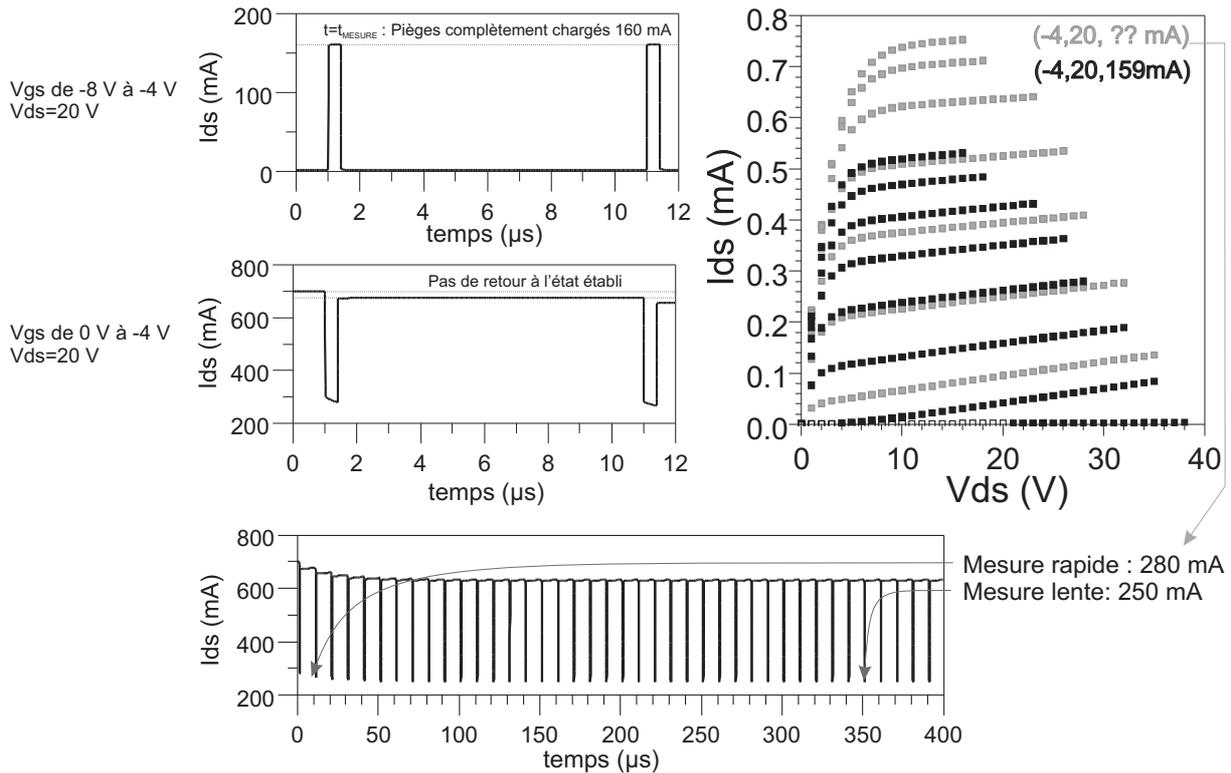


FIG. 3.10 – Simulation du banc de mesures en impulsions dans le cas de la mise en évidence du phénomène de gate-lag, en ne considérant qu’un seul niveau de piège défini par une constante de temps de capture de 10 ns et une constante de temps d’émission de 300 ns.

peut avoir lieu. Le cas le plus rarement observé, mais qui a valeur d’exemple, est celui où l’émission serait très rapide. Lors de diverses mesures effectuées, nous n’avons observé que très peu de phénomènes d’émission commençant avant 1 μ s.

3.3.4 Mesure des paramètres [S] en impulsions

La mesure des paramètres [S] est nécessaire pour modéliser les composants. Ils peuvent être mesurés simultanément aux caractéristiques I(V) en superposant un signal RF de faible puissance aux tensions de commandes lors de chaque impulsion. Cette méthode permet d’obtenir les paramètres [S] associés à chaque point du réseau I(V). Ainsi, de la même manière que pour les caractéristiques I(V), ils dépendent des polarisations instantanées ($V_{gs_{INST}}$, $V_{ds_{INST}}$) mais aussi de l’état thermique et de pièges définis par le point de repos (V_{gs_0} , V_{ds_0}) [30].

3.3.4.1 Intérêt de la mesure des paramètres [S] en impulsions

L’approche faite en introduction (*cf* eq. 3.1) montre deux difficultés quant à la détermination de $I_{ds_{RF}}$.

La première est que la transconductance et la conductance de sortie (gm et gd), quand elles sont déterminées à partir des mesures des paramètres $[S]$ en un point de polarisation dc, dépendent de l'état de pièges de ce point de polarisation. Ainsi, leurs valeurs, mesurées de cette façon, peuvent être très différentes de celles que “verrait” un cycle de charge RF qui passerait en ce point de façon très rapide. Une solution *intermédiaire* consiste donc à mesurer ces paramètres $[S]$ lors d'impulsions de tensions permettant de se polariser en ce point. Si ces impulsions sont suffisamment rapides, l'état des pièges est alors fixé par le point de polarisation de repos (quand les variations de tensions induisent l'émission de charges). En fixant ce point de polarisation de repos à celui de l'application visée, les valeurs alors extraites de gm et de gd sur la caractéristique $I(V)$ sont plus proches de celles que voit le cycle de charge.

Cependant, le véritable état des pièges pour un point de la caractéristique traversé par un cycle de charge n'est pas celui du point de polarisation, mais est déterminé par les tensions Vgs et Vds maximales que peut atteindre ce cycle, les pièges se chargeant rapidement mais n'ayant pas le temps de se décharger. Ces tensions atteintes dépendent de la puissance d'entrée du transistor, et il en est alors de même de l'état de charge des pièges.

La figure 3.11 illustre ces différents aspects.

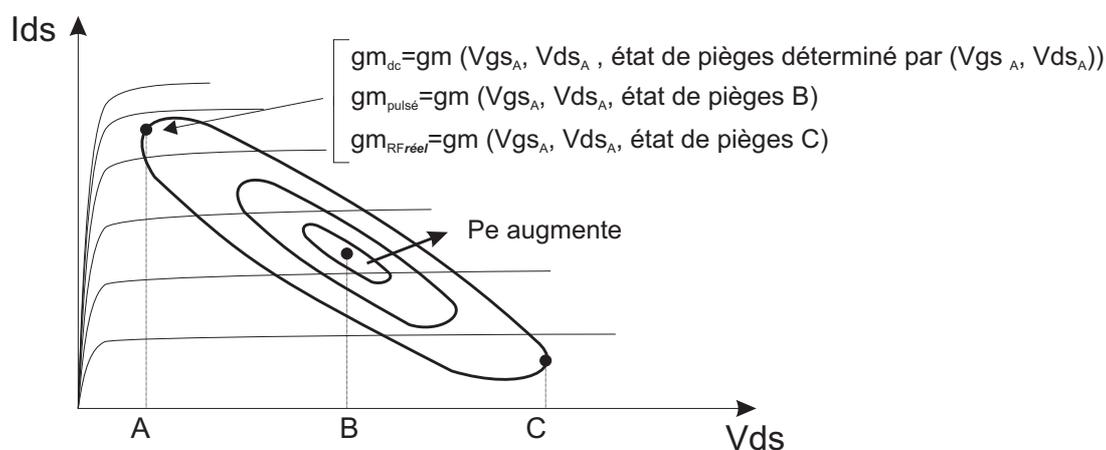


FIG. 3.11 – Schéma décrivant la problématique de l'aspect dynamique des états de pièges lors de l'application du signal RF de forte amplitude en entrée. En fonctionnement RF, le point A est déterminé par l'état des pièges du point C, qui correspond au point d'excursion maximale du cycle de charge. Lors de mesures dc, l'état des pièges au point A est déterminé par les tensions Vgs et Vds de ce point. Lors de mesures en impulsions, l'état des pièges au point A est déterminé par les tensions Vgs et Vds du point B, qui correspond au point de polarisation de repos.

La mesure des paramètres $[S]$ lors d'impulsions permet donc de se rapprocher des conditions réelles de fonctionnement en RF du transistor. Cependant, elle ne permet pas de se placer exactement dans le même état de pièges. C'est pourquoi nous avons parlé

d'une solution *intermédiaire* par rapport à la mesure des paramètres [S] sur des signaux dc. Cependant, l'état des pièges lors du fonctionnement en puissance d'un transistor étant dynamique, il est très difficile de se placer dans les mêmes conditions. Ainsi, cette méthode de caractérisation est très certainement la meilleure possible afin d'évaluer les caractéristiques I(V) des transistors proches du fonctionnement RF.

Cependant, ceci justifie que des corrections pourront être apportées aux modèles issus de mesures en impulsions suite à des mesures Load-Pull, et justifie donc l'implémentation de modèles de pièges que nous présenterons dans la prochaine partie.

3.3.4.2 Technique de mesure des paramètres [S] lors d'impulsions courtes

Le schéma de la figure 3.12 décrit la méthode de mesure :

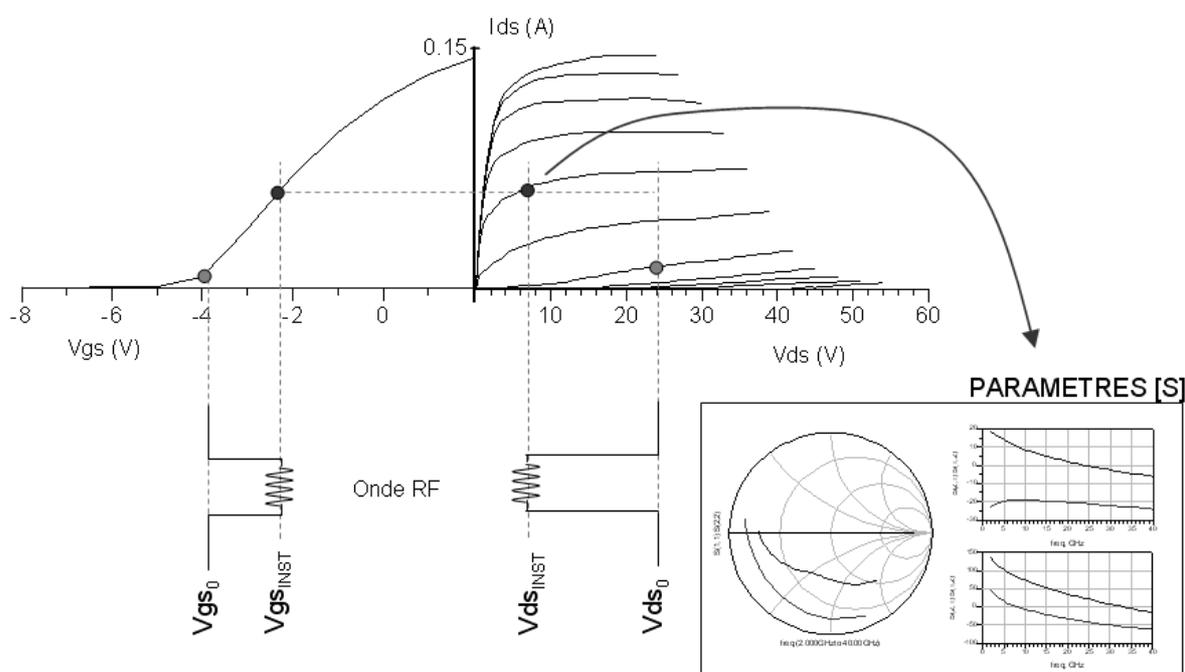


FIG. 3.12 – Principe de la mesure des paramètres [S] associés à chaque point de mesure.

La largeur minimale de la fenêtre RF est définie par l'Analyseur de Réseaux Vectoriels (ARV) et est d'environ 250 ns. Ainsi, on choisit typiquement des impulsions de tension d'au moins 400 ns, car il faut tenir compte des pics de surtensions et/ou des temps d'établissement des générateurs. La période des impulsions ne peut guère dépasser 10 μ s, afin de conserver une puissance RF moyenne à l'entrée de l'ARV supérieure à son plancher de bruit.

3.3.4.3 Mise en œuvre du banc de mesure

- Organisation du banc de mesures

La figure 3.13 schématise le câblage du banc de mesures en impulsions. Les deux chemins (dc et RF) ne se rejoignent qu'au niveau des tés de polarisation, c'est-à-dire au plus près du composant.

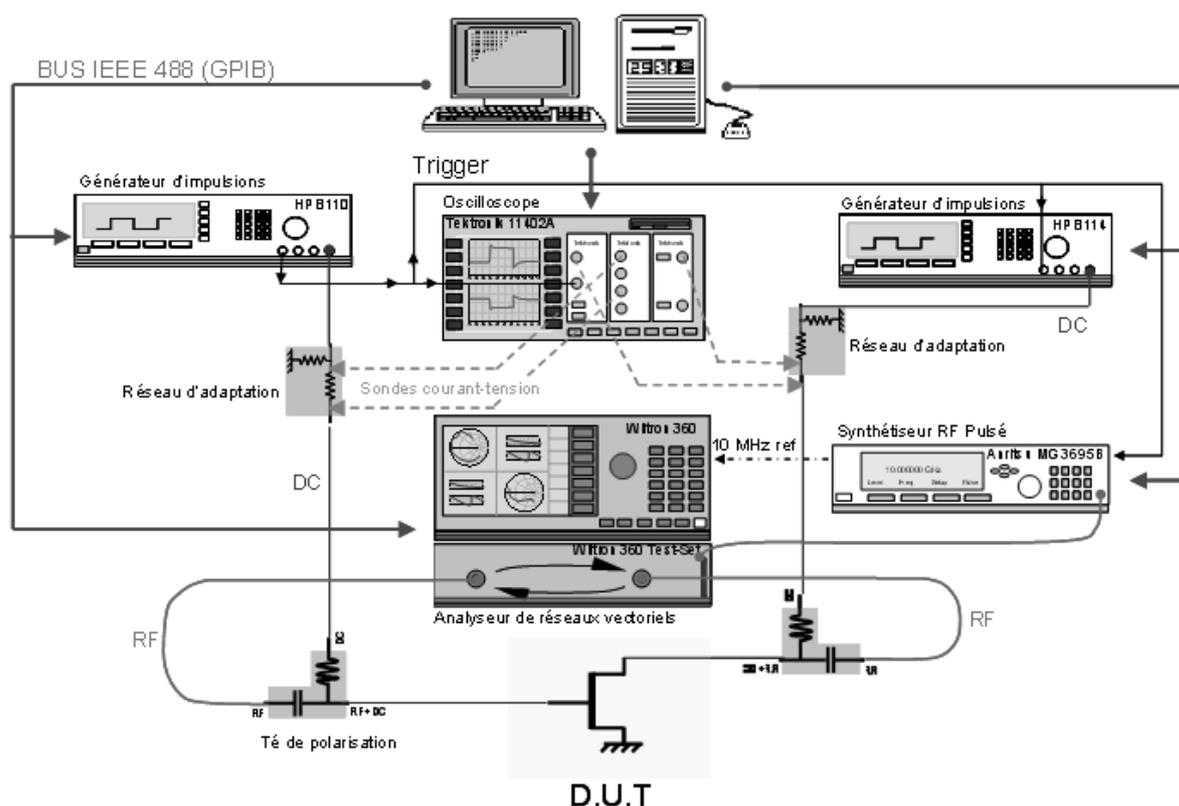


FIG. 3.13 – Organisation du banc de mesures.

La partie dc est constituée par les deux générateurs d'impulsions. Ils sont connectés au composant sous pointes par le biais de réseaux d'adaptation puis de tés de polarisation.

Les réseaux d'adaptation, qui sont composés de ponts de résistances, ont trois fonctions :

- Permettre de limiter l'excursion de courant aux bornes du composant en lui imposant une droite de charge (en sortie), car les rétroactions (logicielles) des générateurs sont trop lentes par rapport aux composants et ne peuvent remplir ce rôle efficacement .
- Permettre d'augmenter la résolution des générateurs dans le cas de mesures très fines.
- Permettre de mesurer les courants grâce à des sondes différentielles.

La partie RF est constituée par un synthétiseur RF qui envoie les ondes de très faible puissance aux bornes du composant en test par l'intermédiaire du test-set de l'ARV et

des tés de polarisation. La mesure des paramètres $[S]$ est effectuée par l'ARV.

Tous les appareils sont gérés par un programme d'automatisation développé dans l'équipe [96]. La synchronisation des appareils est gérée par le générateur d'entrée qui déclenche le générateur de sortie, le synthétiseur RF et l'oscilloscope.

- *Caractéristiques des différents appareils utilisés.*

Les générateurs d'impulsions :

Un générateur HP8110 est utilisé en entrée. Il permet de générer des impulsions de plus ou moins 20 V avec des flancs de montée très raides (de l'ordre de 30 ns avec environ 1 m de câbles coaxiaux). Le générateur de sortie utilisé est un HP8114. Il s'agit d'une version forte puissance du précédent, et il peut générer des impulsions à l'intérieur d'une droite de charge 2 A-100 V grâce à une sortie amplifiée. Il constitue parfois une limitation pour les composants de développements importants qui ont des courants de sortie supérieurs à 2 A et en particulier pour les HEMTs AlGaN/GaN dont les densités de courant sont typiquement de l'ordre de 0,7 à 1,2 A/mm. Il peut alors être remplacé par des alimentations pulsées par commutateurs de forte puissance, mais qui ont deux inconvénients : ils provoquent des pics de surtension importants au début des impulsions, et ont souvent des temps de commutations plus lents.

L'oscilloscope :

Il s'agit d'un Tektronix 11402A numérique avec une résolution verticale de 14 bits avant moyennage. Ceci permet de mesurer des courants avec une précision de l'ordre du milliampère en utilisant une sonde pouvant supporter 15 A et en choisissant des calibres appropriés.

Les sondes de mesure :

On utilise généralement des sondes différentielles aux bornes de la résistance en série du réseau d'adaptation pour mesurer le courant de grille. Pour le courant de drain, on préfère utiliser une sonde à effet Hall, qui ne nécessite pas de résistance en série, et permet donc d'exploiter toute la puissance du générateur pour alimenter le composant. Ce type de sonde est moins précis (de l'ordre du milliampère) que les sondes différentielles mais permet de mesurer des courants plus importants. Les tensions sont mesurées grâce à des sondes haute impédance.

L'analyseur de réseaux vectoriel en mode impulsionnel :

L'analyseur de réseaux vectoriel pouvant fonctionner en impulsions conserve la même structure qu'un analyseur de réseaux vectoriel standard avec une différence majeure au niveau de l'unité de test (mode récepteur). Cet ARV Wiltron 360B permet d'effectuer

des mesures petit signal dans la bande 0.5-40 GHz (en deux bandes : 0,5-20 GHz et 2-40 GHz) avec une dynamique de 65 dB. Cette dynamique relativement réduite est cependant compensée en partie par une maîtrise affinée de la puissance RF injectée.

Les tés de polarisation :

La mesure des paramètres [S] en impulsions devant être faite en chaque point du réseau I(V), le banc de mesure est relié à l'analyseur de réseau vectoriel grâce aux tés de polarisation qui doivent laisser passer les impulsions dc. Les tés de polarisation HP 11612A conviennent car ils présentent en bande passante de 0 à 150 MHz sur l'accès de polarisation dc. De plus, ils peuvent supporter des courants et des tensions supérieurs aux maximums des alimentations.

La table sous pointes avec enceinte thermique :

Le chuck de la table peut être régulé en température entre -65 et 200°C, ce qui permet d'effectuer des mesures à différentes températures ambiantes. Il est utile pour caractériser le fonctionnement des transistors en fonction de la température et pour en extraire les modèles thermiques.

Le logiciel de contrôle :

Il permet d'effectuer des mesures automatiquement grâce à la commande séquentielle des appareils et à la gestion de la récupération des données de mesures. Les appareils sont interfacés par une liaison GPIB.

3.3.5 Conclusion

Ce banc de caractérisations en impulsions I(V) et de paramètres [S] est un outil qui permet d'explorer le fonctionnement des composants dans de larges plages de fonctionnement, et de séparer les effets dispersifs tels que les phénomènes de pièges ou d'auto-échauffement. Le choix des polarisations de repos permet de mesurer les paramètres [S] sur la plage de courant et de tension balayée par les cycles de charges lors du fonctionnement en puissance des composants en figeant leur état thermique et l'état de charge des pièges. Cela permet de pouvoir dissocier, dans une certaine mesure, les phénomènes RF des effets basses fréquences, et ainsi de pouvoir obtenir des informations intéressantes pour la modélisation des composants, comme nous le verrons dans la prochaine partie.

Enfin, ce banc de mesures permet aussi de mettre les effets de pièges en évidence, en s'appuyant cependant sur l'hypothèse que les constantes de temps de capture des pièges sont très rapides et les constantes de temps d'émission sont très lentes par rapport

à la durée typique des impulsions. Cette hypothèse peut ne pas être systématiquement vraie dans le cas des HEMTs GaN et peut nécessiter d'être vérifiée. Cela est vrai en particulier lorsqu'il s'agit d'effectuer des comparaisons sur l'importance des effets de pièges entre différents transistors, les résultats pouvant être influencés par la densité des pièges présents, mais aussi par leurs constantes de temps caractéristiques.

3.4 Le banc load-Pull

3.4.1 Principe de la mesure Load-Pull

Le principe de base de la mesure Load-Pull [101] [102] est de mesurer la puissance de sortie d'un composant pour une puissance d'entrée et une adaptation de sortie donnée. Une telle mesure peut être réalisée de façon grâce à des wattmètres et un tuner pour adapter le composant.

Le banc Load-Pull de Limoges [103] [104] [105] est beaucoup plus complet : il est monté autour d'un ARV fonctionnant en mode récepteur qui mesure les 4 ondes a_1 , b_1 et a_2 , b_2 (en fait, la référence de phase est choisie sur une des ondes (a_1) et ainsi b_1 , a_2 et b_2 sont des rapports d'ondes). La connaissance des 4 ondes permet d'obtenir des informations complémentaires lors des mesures comme la puissance d'entrée, le gain, le rendement en puissance ajoutée, le coefficient de réflexion en entrée (Γ_{IN}), etc.

De plus, le tuner de sortie peut être remplacé par une boucle active, qui consiste à réinjecter de la puissance vers la sortie du composant sous test pour modifier le coefficient de réflexion en sortie du transistor et donc son adaptation en impédance. Cette méthode permet de synthétiser des impédances de charges beaucoup plus faibles (voire même négatives) qu'en utilisant un tuner passif.

Enfin, la polarisation des composants peut être effectuée en impulsions comme dans le cas du banc $I(V)$ pulsé, ainsi que l'injection de puissance RF. Cela permet de se placer dans des conditions proches du fonctionnement réel des systèmes, comme par exemple lors de mesures de transistors destinés à des applications RADAR.

Le schéma de la figure 3.14 décrit le montage du banc, en se limitant à la partie RF.

3.4.2 Étalonnage du banc

3.4.2.1 Étalonnage en puissance

Il sert à obtenir la relation entre le plan 1 et le plan 0, qui sont définis sur le schéma de la figure 3.14. Le plan 1 représente l'entrée du composant (plan des pointes), et le plan 0 le plan de mesure des ondes d'entrée.

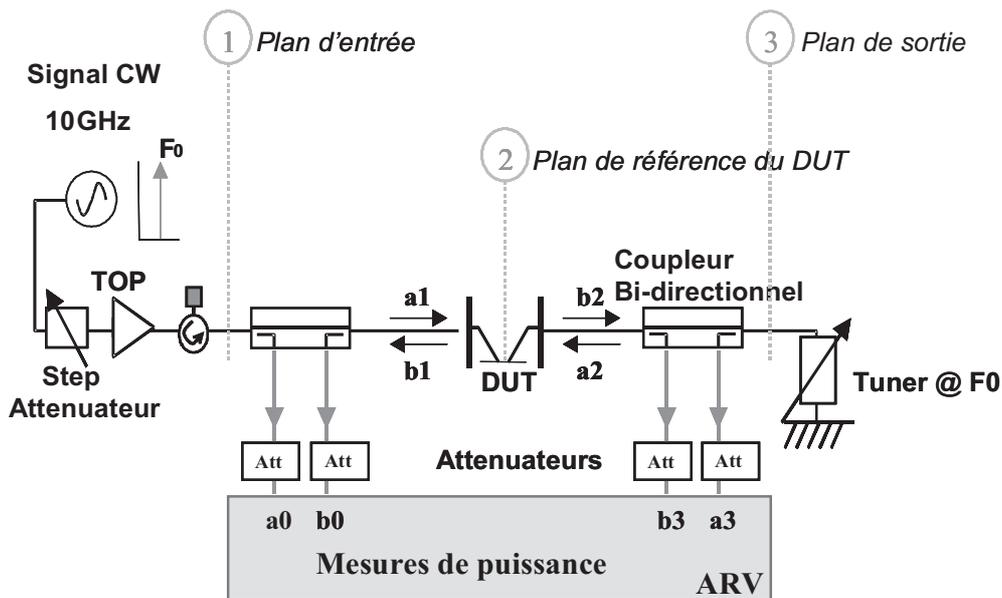


FIG. 3.14 – Organisation de la partie RF du banc de mesures Load-Pull

Il consiste premièrement à injecter de la puissance en inverse (sur a_2) en plaçant une ligne d'impédance caractéristique 50Ω entre les pointes, et un wattmètre dans le plan coaxial 1. En mesurant b_0 en absolu, on connaît alors la différence entre ce qui est mesuré au wattmètre et ce qui est mesuré en b_0 . Si de plus un étalonnage SOL (Short Open Load) est effectué dans le plan coaxial 1, la connaissance de 4 termes d'erreurs donne la relation entre le plan 0 et le plan 1.

3.4.2.2 Étalonage de l'ARV

Il consiste à faire un étalonnage SOLT (ou LRM) sous pointes pour connaître la relation entre le plan 1 et le plan 2.

Si l'on fait l'hypothèse de la réciprocité des ensembles coupleurs+pointes ($S_{21} = S_{12}$) de chaque côté du DST (dispositif sous test), on peut déduire de ces deux étalonnages les paramètres $[S]$ de l'ensemble et ainsi connaître les puissances dans les plans des pointes (1 et 2), en les mesurant dans les plans de l'ARV (0 et 3).

Ainsi, la mesure brute peut être corrigée pour obtenir les ondes entrantes et sortantes du composant dans ses plans de référence, c'est-à-dire a_1 , b_1/a_1 , b_2/a_1 et a_2/a_1 , si l'on choisit a_1 comme référence de phase.

De ces quatre ondes sont déduits les tensions et courants entrants et sortants V_1 , I_1 , V_2 , et I_2 , qui permettent d'obtenir toutes les caractéristiques de puissance.

Dans la convention utilisée, les relations liant les ondes de puissance aux tensions et

courants sont :

$$V1 = a1 + b1 \quad (3.3)$$

$$V2 = a2 + b2 \quad (3.4)$$

$$I1 = \frac{a1 - b1}{Z0} \quad (3.5)$$

$$I2 = \frac{a1 - b1}{Z0} \quad (3.6)$$

3.4.2.3 Étalonnage du tuner

Le tuner permet de synthétiser une impédance présentée au DST. Son étalonnage a deux objectifs :

- Automatiser le déplacement du tuner en indiquant dans son programme de commande le coefficient de réflexion (Γ_{sortie}) que l'on veut avoir à la sortie du DST.
- Vérifier l'étalonnage du banc.

Il est effectué en utilisant le programme interne du tuner automatique Focus. Celui-ci utilise un étalonnage interne de l'ARV sur un port et récupère la mesure du coefficient de réflexion du tuner pour toutes les positions de celui-ci.

Si à la suite de cet étalonnage (des positions du tuner par rapport au coefficient de réflexion entré dans le logiciel) on replace le tuner dans le montage, le coefficient de réflexion que l'on mesure dans le plan a1 en utilisant l'étalonnage du banc et en remplaçant le DST par une simple ligne doit être, au déphasage induit par la ligne près, celui qui est entré dans le programme. Ceci permet de vérifier que l'étalonnage du banc est correct, car on retrouve autrement dit les mêmes valeurs de coefficients de réflexion :

- À la sortie du tuner pour un calibrage 1-port interne à l'ARV.
- Dans le plan a1 pour le calibrage du banc, ceci au déphasage de la ligne près.

3.4.3 Organisation du banc

Le banc est constitué d'une partie RF dont nous avons vu le montage à la figure 3.14 et d'une partie dc (ou pulsée) pour la polarisation des composants. La partie dc est similaire au banc de mesure I(V) en impulsions et est gérée par le même programme. De la même façon, des tés de polarisations proches des pointes permettent de coupler la polarisation dc et les ondes RF.

3.4.4 Limitations des mesures Load-Pull

En dehors des limitations inhérentes au banc de mesure qui sont :

- La perte de dynamique de mesure lors de caractérisations en RF en impulsions.
- La largeur du filtre IF de l'ARV qui ne permet pas d'utiliser des impulsions avec des temps de repos trop importants,

il n'y a pas de limitations spécifiques à la mesure de HEMTs GaN sous pointes, si ce n'est que :

- Ils peuvent avoir des impédances d'entrée et de sortie faibles, nécessitant alors l'insertion de préadaptations au plus près des accès du composant (ce phénomène est encore plus critique sur les TBH).

- Leurs puissances de sortie peuvent être trop importantes pour pouvoir effectuer des mesures sous pointes.

3.5 Le banc LSNA

3.5.1 Principe du LSNA

Le Large Signal Network Analyser ou LSNA est un instrument de mesure permettant l'acquisition de signaux micro-ondes. Parmi les types d'appareils de mesure disponibles dans ce domaine de fréquences, il est particulièrement adapté aux mesures dites temporelles, à savoir l'acquisition de l'information d'amplitude absolue et de phase relative à une onde prise en référence pour une fréquence fondamentale donnée et les fréquences harmoniques accessibles dans sa bande de fonctionnement.

3.5.2 Intérêts du LSNA par rapport aux autres appareils disponibles

Les oscilloscopes ne possèdent pas directement de capacité d'acquérir des informations d'étalonnage qui permettent de connaître l'amplitude et la phase des signaux utiles directement dans les plans désirés, idéalement dans les plans stricts du DST.

Il en est de même pour l'analyseur de spectre, qui ne donne pas d'information de phase. Le MTA (Microwave Transition Analyser) ne possède que deux accès, contre quatre ondes à mesurer simultanément.

Enfin, l'analyseur de réseau vectoriel est très répandu pour mesurer des ondes de tension-courant incidentes et réfléchies aux accès d'un dispositif. Pourtant, son fonctionnement utilise le théorème de superposition et le formalisme des paramètres $[S]$: dès que l'on veut mesurer un composant en régime de saturation, ce formalisme implique la perte de

l'information des fréquences harmoniques.

Le LSNA apporte des réponses satisfaisantes à toutes ces exigences : un système à quatre ports permettant quatre acquisitions simultanées de signaux RF large-bande avec le signal fondamental et les raies harmoniques acquis de manière simultanée et synchrone, une dynamique d'environ 65 dB, et un étalonnage prévu pour s'assurer de la validité des mesures en amplitude et en phase, à partir d'un wattmètre et d'un générateur de phase de référence (HPR : Harmonic Phase Reference). Grâce à cette dernière information, toutes les phases sont positionnées relativement à celle de la fréquence fondamentale. L'ensemble des mesures des harmoniques est donc cohérent.

La figure 3.15 donne la description interne du LSNA. Un synthétiseur appelé FracN génère une fréquence très précise, et est relié aux quatre voies d'acquisition RF via une diode SRD (Step Recovery Diode) qui génère les harmoniques de la fréquence du FracN. Ainsi, le mélange des signaux effectué au niveau des échantillonneurs RF permet de donner une image du fondamental mais aussi les harmoniques dans une bande intermédiaire (IF), en conservant les relations de phase entre les raies.

De plus, les quatre voies sont synchronisées. Cette bande intermédiaire est limitée à 10MHz pour ce LSNA car le traitement des signaux (en bande intermédiaire) est alors effectué par convertisseurs analogiques-numériques ayant une bande passante de 25 MHz (ils possèdent une résolution verticale importante de 14 bits).

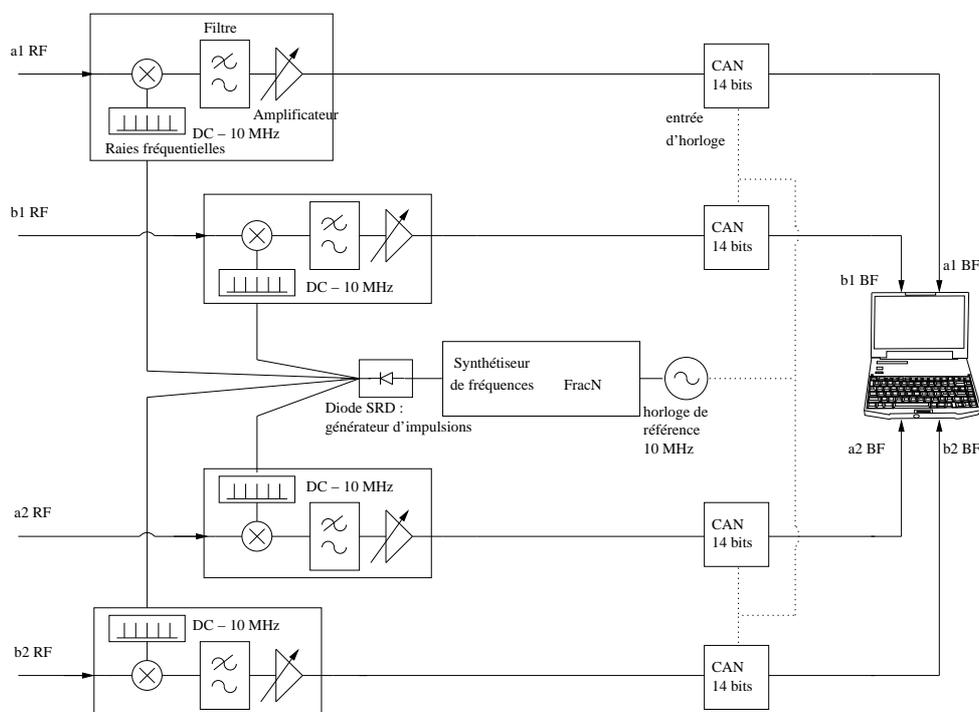


FIG. 3.15 – Organisation interne du LSNA.

3.5.2.1 Organisation du banc de mesures Load-Pull temporel

Le banc de mesure Load-Pull temporel utilise le LSNA pour acquérir les informations RF et le schéma est donné à la figure 3.16.

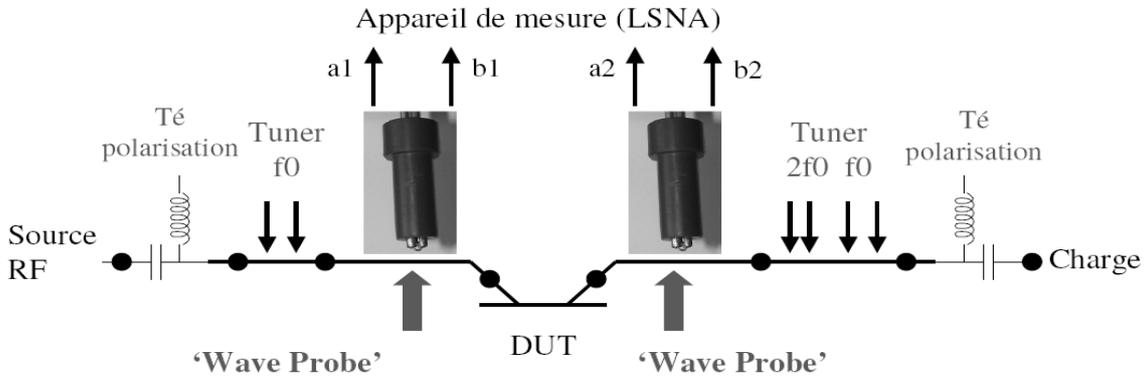


FIG. 3.16 – Organisation de la partie RF du banc de mesures Load-Pull temporel.

Le banc est équipé de tuners en entrée et en sortie, d'alimentations de polarisation continues ou en impulsions, et de sondes de puissance (“wave probes” sur la figure 3.16) qui remplacent les coupleurs plus traditionnels [106]. Elles permettent de mesurer les ondes entrantes et sortantes au plus près du composant sans perdre en capacité d'adaptation des composants avec les tuners. La source RF choisie peut travailler en impulsions et peut être couplée à un TOP si les mesures nécessitent de forts niveaux de puissance. Dans la configuration actuelle, la fréquence maximale pour le banc est d'environ 20 GHz, ce qui le rend adapté pour la caractérisation de transistors à des fréquences inférieures à 6 GHz, si l'on cherche à mesurer les deux premiers harmoniques au moins.

3.5.3 Étalonnage du banc

La figure 3.17 [107] décrit le chemin RF du banc LSNA. L'étalonnage s'effectue dans les plans des pointes de mesure, grâce à l'algorithme LRRM (Line Reflect Reflect Match). Comme les coupleurs sont près de ces pointes, les changements d'impédance présentés par les tuners pendant la mesure n'annulent ou n'obligent pas à corriger l'étalonnage. Une partie de l'étalonnage se fait comme pour un ARV classique, et le facteur K dans les expressions données à la figure 3.17 provient de la partie supplémentaire propre au LSNA : un calibrage absolu en puissance à chaque fréquence considérée et une relation de phase connue par rapport à une onde de référence.

LSNA Calibration

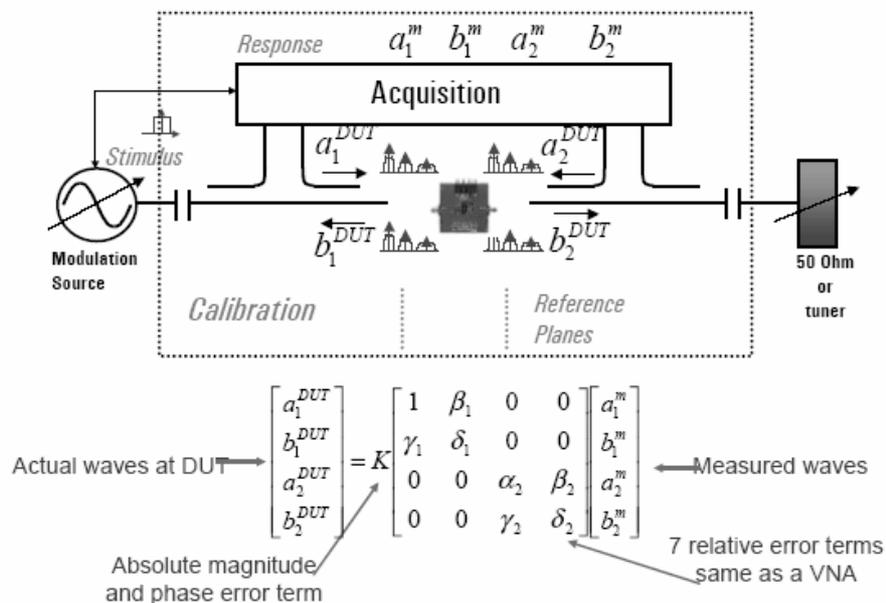


FIG. 3.17 – Schéma décrivant l'étalonnage du LSNA.

3.5.4 Limitations du banc de mesures Load-Pull temporel

Contrairement au Load-Pull classique monté autour d'un ARV, la dynamique des mesures du LSNA ne dépend pas du rapport cyclique des signaux lors de mesures en impulsions, comme l'a montré F. De Groote [108]. Il est donc possible d'effectuer des mesures en impulsions avec des rapports cycliques très faibles. Ceci peut être intéressant lors de mesures permettant de mettre en évidence des effets électriques dus aux pièges, car ils peuvent être stabilisés pendant un temps important avant une prochaine prise de mesure. Le banc ayant une bande passante actuelle de 20 GHz, des pointes supportant une puissance de 50 W ont été montées, permettant de caractériser sur plaque des composants de grands développements [109]. Sa principale limitation actuelle est ainsi sa bande passante, qui ne permet de recueillir que le fondamental et le premier harmonique lors de mesures en bande X. Cependant, dans un but de vérification d'un modèle de transistor, même bande X, des mesures peuvent être effectuées à plus basse fréquence. Cet aspect sera montré dans la prochaine partie.

Sur le sujet, voir aussi [110][111][112][113][114] .

3.6 Conclusion

Nous avons présenté dans cette partie les différents bancs de mesures utilisés pour l'extraction et la validation des modèles électriques de composants, tout en faisant un point sur la problématique de la caractérisation des HEMTs GaN.

Lors d'une phase de modélisation d'un composant, c'est le banc de mesures en impulsions qui permet d'obtenir toutes les informations nécessaires à l'extraction des modèles, mais il faut garder à l'esprit qu'il ne permet que de se rapprocher de l'état que les pièges ont lors d'un fonctionnement en puissance. Les bancs de mesures Load-Pull permettent eux de vérifier l'extraction des modèles en donnant la possibilité de comparer les caractéristiques grand-signal avec des simulations effectuées dans les mêmes conditions.

Enfin, le banc Load-Pull temporel permet d'obtenir des renseignements très intéressants sur le comportement des transistors. Par exemple, la reconstitution de la tension de drain permet d'obtenir la tension de coude réelle vue par un cycle RF, permettant de régler finement les modèles $I(V)$ et les modèles de pièges, comme cela sera détaillé dans la prochaine partie.

Chapitre 4 :

Modélisation électrique des HEMTs

AlGa_N/Ga_N

4.1 Introduction

Nous avons décrit dans la première partie l'intérêt croissant porté à la technologie des HEMTs AlGa_N/Ga_N, car ils sont très prometteurs en termes de performances électriques à des fréquences micro-ondes. Dans la partie précédente, nous avons montré que ces composants sont si différents de ceux des technologies précédentes que les moyens de caractérisation pouvaient montrer des limites rarement atteintes auparavant, en particulier en termes de puissance pour les bancs de mesures grand-signal, et d'excursion en courant-tension pour le banc de mesures en impulsions. De plus, étant donné la faible maturité de la technologie des HEMTs Ga_N, des effets de pièges exacerbés, par rapport aux PHEMTs AsGa en particulier, justifiaient de remettre en question certaines méthodes pourtant validées depuis de nombreuses années.

Nous allons présenter dans cette partie des méthodes de modélisation des HEMTs Ga_N, et particulièrement notre contribution aux travaux précédents [30], [115], [116], [95]. Une part importante de ce travail a consisté à développer et mettre en place un modèle de pièges, ce qui a eu des effets importants sur l'augmentation du domaine de validité des modèles lors de simulations en grand-signal.

L'influence des pièges sur les caractéristiques en puissance des transistors a été décrite en première partie, et la problématique de leur caractérisation dans le but d'extraire des modèles en troisième partie. Nous verrons finalement dans cette partie comment prendre en compte ces effets de pièges afin de les intégrer à la description électrique de ces transistors de puissance.

Mais tout d'abord, une présentation du fonctionnement du composant nécessaire à l'élaboration de modèles analytiques sera donnée. De la même manière que dans la partie présentant les modèles de TBH InGaP/AsGa, elle se basera sur l'explication des limites à l'excursion des cycles de charges sur les caractéristiques courant-tension, et tentera de définir tous les phénomènes qu'il est nécessaire de prendre en compte dans la description du fonctionnement d'un transistor par son modèle.

Le modèle analytique sera ensuite décrit en détails, et des résultats de simulations seront comparés avec des mesures d'un transistor bande X 8x75 μm AEC1148 fabriqué conjointement par Alcatel-Thales III-Vlab et l'IEMN (Tiger), afin de valider sa description ainsi que les méthodes proposées d'extraction des paramètres.

4.2 Principe de fonctionnement des HEMT AlGa_N/Ga_N, application à leur modélisation électrique pour des applications de puissance

4.2.1 Principe de fonctionnement

Les transistors à haute mobilité électronique, ou HEMTs, sont des transistors à effet de champ et ont une structure horizontale (contrairement aux TBH). Ils possèdent trois électrodes : la source, la grille et le drain. En mode d'amplification de puissance, ils sont montés en source commune. L'électrode de grille sert alors de commande basse puissance, et celle de drain sert de commande de puissance. En effet, la tension grille-source contrôle la densité de porteurs dans le canal, et donc contrôle le courant de drain.

Le schéma physique d'un HEMT AlGa_N/Ga_N basique est présenté à la figure 4.1.

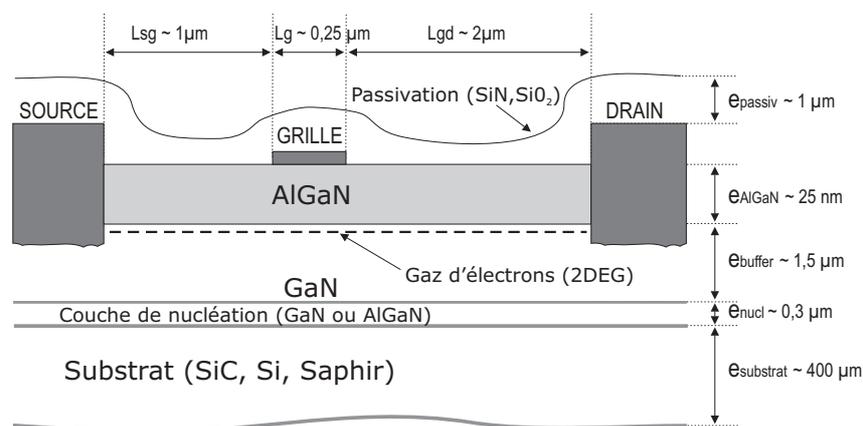


FIG. 4.1 – Schéma de la structure d'un HEMT AlGa_N/Ga_N classique. Les dimensions reportées sont typiques des transistors prévus pour des applications en bande X.

Il est constitué, dans sa partie active, d'une couche fine ($\approx 20\text{-}30$ nm) d'AlGa_N reposant sur une couche de Ga_N. La différence de hauteur de barrière entre les deux matériaux permet de créer une hétérojonction à l'interface, qui crée un puits de potentiel et donc une zone de confinement des électrons libres (elle n'a donc pas le même intérêt que dans les TBH).

Les charges, qui sont confinées sur quelques nanomètres de profondeur à la surface du Ga_N, constituent un gaz d'électrons à deux dimensions et ont un comportement quantique : cela signifie qu'elles sont situées sur des niveaux d'énergie discrets dans le puits de potentiel. Elles ont ainsi une mobilité bien plus élevée que dans le Ga_N massif. C'est pourquoi on appelle ces composants "transistors à haute mobilité électronique" ("High Electron Mobility Transistors").

4.2.1.1 Origine des électrons dans le canal

Dans le cas des transistors HEMT AlGa_N/Ga_N, la couche d'AlGa_N placée au-dessus du canal n'est pas nécessairement dopée (à la différence de la couche AlGaAs dopée N^+ dans les HEMTs AlGaAs/GaAs). L'accumulation des électrons dans le canal est le résultat de l'effet cumulé de la polarisation spontanée présente dans les matériaux AlGa_N et Ga_N et de la polarisation piézoélectrique dans l'AlGa_N.

- *Polarisation spontanée, polarisation piézoélectrique*

Les phénomènes de polarisation proviennent de la nature intrinsèque des matériaux nitrure, à savoir un décalage spatial des charges créant des dipôles. Une polarisation, dite polarisation spontanée, est donc naturellement présente. Elle est orientée vers le substrat - cas favorable - dans le cas d'une croissance avec une polarité gallium.

Ce décalage des charges dans le matériau peut être renforcé par une contrainte mécanique extérieure, qui est dans ce cas la compression ou l'extension de la maille de l'AlGa_N lorsqu'il est accolé au Ga_N, et qui induit une polarisation piézoélectrique. Elle est orientée (favorablement) vers le substrat lorsque le cristal d'AlGa_N est contraint.

La figure 4.2 [117] montre la répartition des charges dans le cristal et le sens des polarisations dans un HEMT AlGa_N/Ga_N, permettant la création du gaz 2D d'électrons.

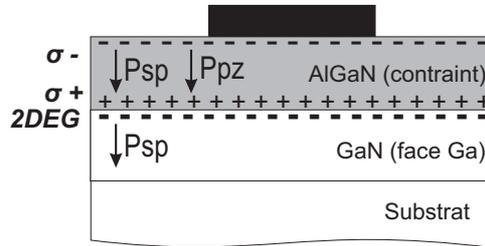


FIG. 4.2 – Orientation favorable des effets de polarisations dans un HEMT AlGa_N/Ga_N.

La charge de polarisation totale en fonction de la fraction x_{Al} d'aluminium à l'interface AlGa_N/Ga_N s'écrit [117] :

$$|\sigma| = |P_{SPAlGaN}(x_{Al}) + P_{PZAlGaN}(x_{Al}) - P_{SPGaN}| \quad (4.1)$$

où :

$$P_{SPGaN}(x_{Al}) = -0,029 \text{ (C/m}^2\text{)} \quad (4.2)$$

$$P_{SPAlGaN}(x_{Al}) = (-0.052 \cdot x_{Al} - 0.029) \text{ (C/m}^2\text{)} \quad (4.3)$$

$$P_{PZAlGaN}(x_{Al}) = 2 \cdot \frac{a - a_0(x_{Al})}{a_0(x_{Al})} \left[e_{31}(x_{Al}) - e_{33}(x_{Al}) \frac{C_{13}(x_{Al})}{C_{33}(x_{Al})} \right] \text{ (C/m}^2\text{)} \quad (4.4)$$

avec :

$$a = 3,189 \text{ (\AA)} \quad (4.5)$$

$$a_0(x_{Al}) = (-0.077 \cdot x_{Al} - 3.189) \text{ (\AA)} \quad (4.6)$$

$$e_{31}(x_{Al}) = (-0.11 \cdot x_{Al} - 0.49) \text{ (C/m}^2\text{)} \quad (4.7)$$

$$e_{33}(x_{Al}) = (0.73 \cdot x_{Al} + 0.73) \text{ (C/m}^2\text{)} \quad (4.8)$$

$$C_{13}(x_{Al}) = (5 \cdot x_{Al} + 103) \text{ (GPa)} \quad (4.9)$$

$$C_{33}(x_{Al}) = (-32 \cdot x_{Al} + 405) \text{ (GPa)} \quad (4.10)$$

L'addition de tous ces champs provoque l'apparition d'un nombre important de charges positives côté AlGa_N, ainsi que la courbure des bandes d'énergie. Cette densité de charge positive devant être compensée par une densité de charge négative afin de respecter la condition de neutralité électrique, la présence d'électrons libres à l'interface AlGa_N/Ga_N dans le Ga_N est nécessaire.

4.2.1.2 Calcul de la densité de porteurs dans le canal

On considère un HEMT simple, constitué d'une couche d'AlGa_N d'épaisseur notée d accolée à une couche de Ga_N. Son schéma structurel et la répartition des charges aux interfaces sont présentés à la figure 4.3.

- *Répartition des charges*

Ces charges, dues aux effets de polarisations piézoélectrique et spontanée, sont :

$$-\sigma_{Metal/AlGaN} \quad \text{à l'interface Grille/AlGaN } (x = 0)$$

$$+\sigma_{AlGaN/GaN} \quad \text{à l'interface AlGaN/GaN } (x = x_1)$$

Ainsi, par compensation, on obtient une charge dans le canal (entre $x = x_1$ et x_2) égale à :

$$\sigma_{2DEG} = q \cdot n_s$$

- *Calcul du champ électrique*

La forme du champ électrique se déduit de cette répartition de charges en appliquant le théorème de Gauss, soit :

$$\text{div}(\epsilon \vec{E}) = \rho \quad (4.11)$$

On considère une structure unidimensionnelle, et l'équation précédente se réduit ainsi à :

$$\frac{\partial(\epsilon E)}{\partial x} = \rho \quad (4.12)$$

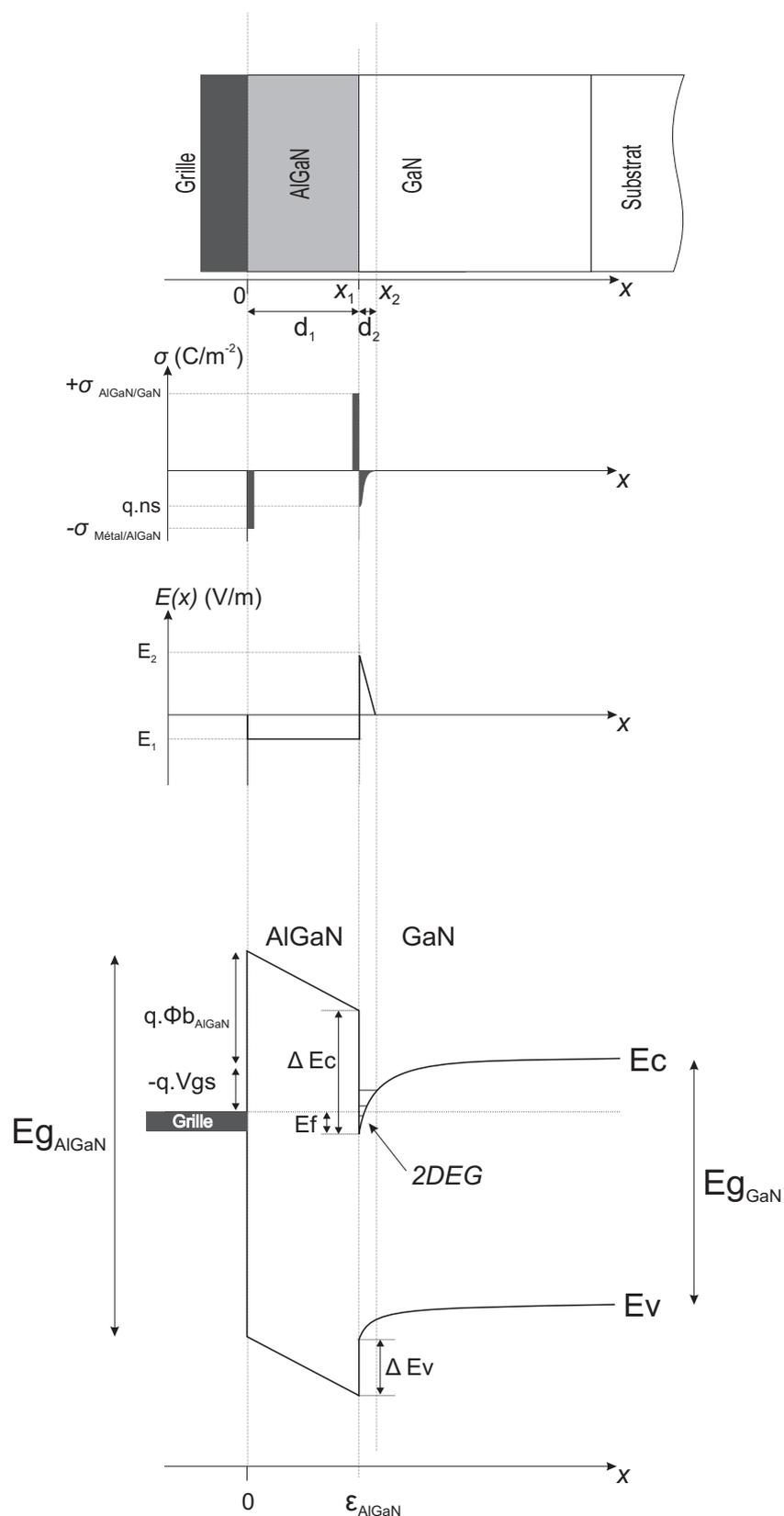


FIG. 4.3 – Répartition des charges, du champ électrique et diagramme d'énergie d'une structure HEMT AlGaN/GaN simple.

L'intégration de cette équation à la traversée d'une surface chargée avec une densité surfacique σ donne la relation entre les champs électriques dans les 2 milieux.

On a donc :

$$\begin{aligned} \epsilon_{AlGaN} \cdot E_1 &= 0 + \sigma_{Metal/AlGaN} && \text{à l'interface Grille/AlGaN } (x = 0) \\ \epsilon_{GaN} \cdot E_2 &= \epsilon_{AlGaN} \cdot E_1 + \sigma_{AlGaN/GaN} && \text{à l'interface AlGaN/GaN } (x = x_1) \\ \epsilon_{GaN} \cdot 0 &= \epsilon_{GaN} \cdot E_2 - q \cdot n_s && \text{dans le buffer GaN } (x = x_2). \end{aligned}$$

Ainsi,

$$E_1 = \frac{q \cdot n_s - \sigma_{AlGaN/GaN}}{\epsilon_{AlGaN}} \quad (4.13)$$

$$E_2 = \frac{q \cdot n_s}{\epsilon_{GaN}} \quad (4.14)$$

Le champ électrique restant constant dans les zones neutres, on peut donc dessiner le profil de champ $E(x)$, suivant le schéma donné à la figure 4.3.

- *Diagramme d'énergie*

Le diagramme d'énergie du transistor est obtenu à partir de la relation liant le champ électrique à l'énergie, soit :

$$W(x) - W(0) = q \cdot \int_0^x E(x) dx \quad (4.15)$$

En tenant compte de la discontinuité ΔEc de la bande de conduction à l'hétérojonction AlGa_N/Ga_N, on obtient le diagramme donné à la figure 4.3. L'intégration de l'équation précédente donne ici :

$$W_1 = W_0 + qE_1 \cdot d_1 \quad (4.16)$$

or :

$$W_0 = -qVgs + q\phi_{bAlGaN} \quad (4.17)$$

donc :

$$W_1 = -qVgs + q\phi_{bAlGaN} + qE_1 \cdot d_1 \quad (4.18)$$

Par ailleurs, le niveau de Fermi étant constant dans toute la structure à l'équilibre, on peut écrire que :

$$W_1 - \Delta Ec + Ef + W_0 + qVgs - q\phi_{bAlGaN} = 0 \quad (4.19)$$

donc :

$$W_0 = \Delta Ec - Ef - qE_1 \cdot d_1 \quad (4.20)$$

$$W_1 = \Delta Ec - Ef \quad (4.21)$$

Des relations précédentes, on déduit que :

$$-qV_{gs} + q\phi_{b_{AlGaN}} = \Delta Ec - Ef - \left(\frac{q \cdot d_1}{\epsilon_{AlGaN}} \right) (qn_s - \sigma_{AlGaN/GaN}) \quad (4.22)$$

donc :

$$qn_s(Ef, V_{gs}) = \frac{\epsilon_{AlGaN}}{d_1} \left[V_{gs} - \phi_{b_{AlGaN}} + \frac{\Delta Ec}{q} - \frac{Ef}{q} + \frac{\sigma_{AlGaN/GaN} \cdot d_1}{\epsilon_{AlGaN}} \right] \quad (4.23)$$

Que l'on peut écrire de la façon suivante :

$$qn_s(Ef, V_{gs}) = C_0 [V_{gs} - V_{th}] \quad (4.24)$$

avec :

$$V_{th} = \phi_{b_{AlGaN}} - \frac{\Delta Ec}{q} + \frac{Ef}{q} - \frac{\sigma_{AlGaN/GaN} \cdot d_1}{\epsilon_{AlGaN}} \quad (\text{en V}) \quad (4.25)$$

$$(4.26)$$

$$C_0 = \frac{\epsilon_{AlGaN}}{d_1} \quad (\text{en } F/m^2) \quad (4.27)$$

où V_{th} représente la tension à appliquer sur la grille pour que le canal soit déplété et correspond donc à la tension de pincement, et C_0 représente la capacité par unité d'aire entre la grille et le gaz 2D d'électrons.

Cependant l'équation (4.23) donne une expression de la densité de porteurs dans le canal n_s en fonction de la tension V_{gs} , mais aussi de la hauteur du niveau de Fermi Ef . Elle ne permet donc pas de déduire directement $n_s(V_{gs})$.

Ne pouvant avoir connaissance de $Ef(V_{gs})$, la connaissance de $n_s(V_{gs})$ nécessite ainsi d'effectuer une résolution couplée de l'équation (4.23) et de l'équation de Schrödinger donnant $n_s(Ef)$. Elle s'exprime dans ce cas, et avec l'approximation du puits triangulaire [117] :

$$n_s(Ef) = \frac{m_e}{\pi \hbar^2} \cdot kT \cdot \ln \left[\sum_0^n (1 + e^{(Ef - Ei)/kT}) \right] \quad (4.28)$$

où Ei est l'énergie de chaque sous-bande électronique dans lesquelles se trouvent les porteurs libres.

Cette méthode de résolution, détaillée en [118][117], est appelée résolution autocohérente des équations de Poisson et de Schrödinger.

- *Contrôle du courant*

En appliquant une tension entre la source et le drain, les porteurs libres du canal 2DEG sont soumis à un champ électrique et acquièrent alors une vitesse $\nu(x)$, qui dépend du champ électrique en x .

Il se crée alors un courant I_{ds} égal à :

$$I_{ds} = q \cdot n_s \nu(E) \cdot Z \quad (4.29)$$

où Z correspond au développement total du transistor.

Les équations (4.23) et (4.29) montrent que la tension V_{gs} contrôle effectivement le courant par l'intermédiaire de la densité de porteurs dans le canal. Ce courant augmente donc en fonction de la tension V_{ds} jusqu'à ce que le champ électrique atteigne la valeur pour laquelle $\nu = \nu_{SAT}$. On observe ainsi une saturation du courant.

La modulation de la densité d'électrons et donc du courant dans le canal est réalisée par le pilotage de la tension de grille (*cf* fig. 4.4) via le contact Schottky entre la grille et la couche d'AlGa_N. Lorsque la tension V_{gs} est faible et égale à la tension de pincement, la bande de conduction est au-dessus du niveau de Fermi : il n'y a pas de porteurs dans le puits de potentiel, le courant de sortie est donc nul, et le transistor est bloqué. Lorsque la tension V_{gs} augmente, le bas de la bande de conduction passe au-dessous du niveau de Fermi dans la zone non intentionnellement dopée. La profondeur du puits augmente ainsi que le nombre de porteurs dans ce puits situé sous l'hétéro-interface AlGa_N/Ga_N. On remarque que si $V_{gs} = 0$ V, n_s n'est pas nul et ainsi le transistor conduit. Les HEMTs AlGa_N/Ga_N sont donc des transistors à déplétion ou encore "normally On".

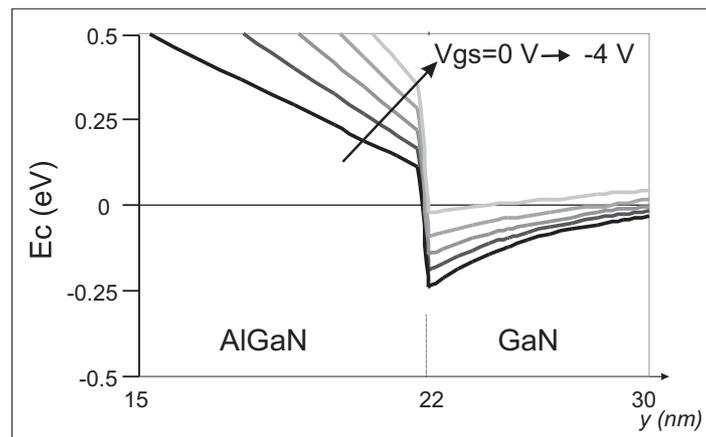


FIG. 4.4 – Variation de la hauteur de la bande de conduction en fonction de la polarisation de grille, vue en coupe sous la grille. Pour $V_{gs} = 0$ V, le canal est formé, pour $V_{gs} = -4$ V, il n'y a quasiment plus de puits de potentiel et le transistor est donc quasi pincé (la jonction grille/AlGa_N est située en $y = 0$, et l'interface AlGa_N/Ga_N en $y = 22$ nm).

• *Influence des paramètres technologiques sur la densité de porteurs libres dans le canal.*
 Un calcul simplifié de n_s (V_{gs}) a été effectué à partir de la relation donnée à l'équation (4.23) donnant $n_s(V_{gs}, Ef)$ et de l'équation de Schrödinger, en considérant que les électrons du canal sont distribués sur les trois premiers niveaux électroniques. La dépendance ainsi calculée de n_s et de la tension V_{th} en fonction de la fraction d'aluminium x_{Al} dans la couche d'AlGa_N et en fonction de l'épaisseur de cette couche, est montrée graphiquement à la figure 4.5.

Ces courbes montrent que le paramètre qui influe le plus sur la densité de porteurs dans le canal est la fraction d'aluminium dans l'AlGa_N. Cependant, une augmentation trop importante de ce paramètre (au-delà de 38%) peut entraîner une compression de la maille de Ga_N, ce qui implique une diminution des effets piézoélectriques [119].

Enfin, l'augmentation de la concentration d'aluminium peut entraîner une baisse de la mobilité du gaz d'électrons car la densité de dislocations à l'interface augmente quand la fraction d'Aluminium dans l'AlGa_N augmente.

La courbe de droite montre aussi que le fait d'augmenter l'épaisseur d'AlGa_N peut permettre d'augmenter la densité des porteurs libres, mais ceci dans une certaine limite. Au-delà d'une épaisseur de 30 nm dans cet exemple, la densité de porteurs n'augmente quasiment plus, alors que la tension de pincement continue de décroître, ce qui est néfaste au fonctionnement du transistor. En effet, à une polarisation de drain V_{ds} donnée, la tension V_{gd} augmente si V_{gs} augmente, et le régime d'avalanche est donc plus rapidement atteint. De plus, en régime de fonctionnement grand-signal, la puissance d'entrée est liée à l'excursion en tension d'entrée, et il est donc préférable de la minimiser afin d'obtenir un gain en puissance qui soit le plus grand possible.

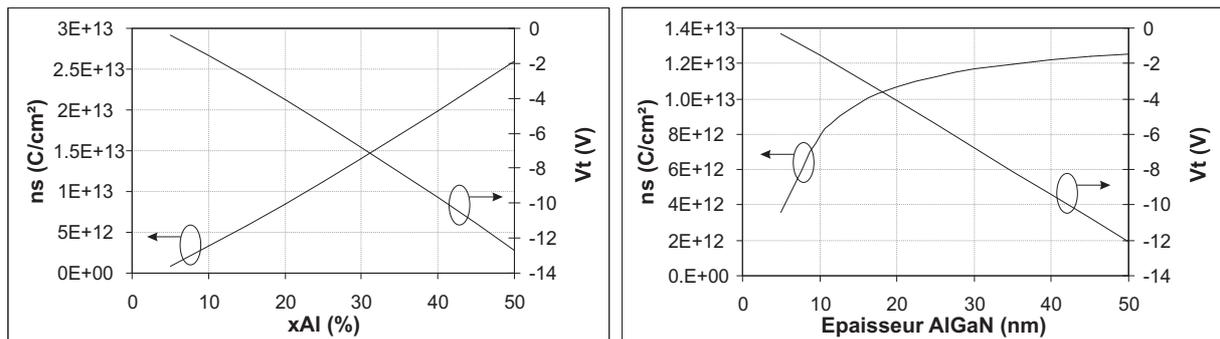


FIG. 4.5 – Variation de la densité de porteurs dans le canal en fonction de x_{Al} à gauche, et de l'épaisseur de la couche d'AlGa_N (d_{AlGaN}) à droite, calculée pour un HEMT simple avec $d_{AlGaN} = 25$ nm à gauche, $x_{Al} = 25\%$ à droite, et $V_{gs} = 0$ V dans les deux cas.

L'épaisseur typique de la couche d'AlGa_N dans les HEMTs actuels est de l'ordre de 20 à 30 nm (cela rend par contre le comportement électrique des transistors sensible à des variations technologiques de cette épaisseur, cf fig. 4.5).

- *Ordre de grandeur du courant par rapport à la densité de porteurs dans le canal*

En première approximation, on peut considérer qu'une densité de porteurs libres égale à 10^{13} cm^{-2} permet d'obtenir dans les structures standard un courant maximum proche de 1 A/mm (de développement de grille).

4.2.2 Représentation électrique d'un HEMT GaN

La figure 4.6 permet de montrer l'origine des éléments électriques dans le cas d'un HEMT, dérivée de la représentation donnée en [120] pour les MESFETs. Les valeurs des différents éléments dépendent des paramètres technologiques et du profil des porteurs dans le composant pour un point de polarisation donné.

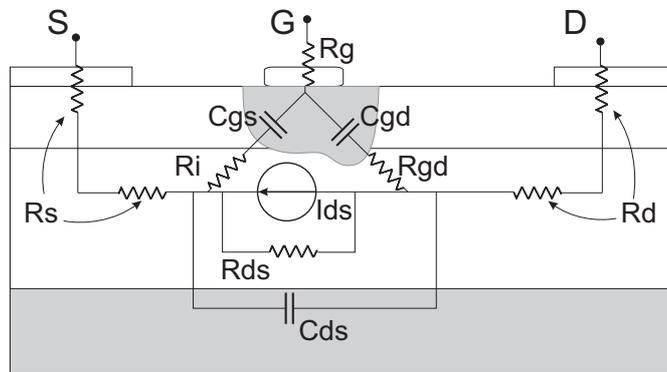


FIG. 4.6 – Origine physique des éléments du circuit équivalent d'un MESFET, applicable à un HEMT.

4.2.3 Limitations au fonctionnement d'un HEMT AlGa_N/Ga_N

La figure 4.7 montre les limites à l'excursion du cycle de charge et donc à la puissance de sortie du composant fonctionnant en mode d'amplification. Nous allons expliquer l'origine de ces limites et montrer brièvement comment les améliorer, ce qui permettra de détailler les principaux effets à prendre en compte dans un modèle reproduisant correctement les caractéristiques en puissance.

4.2.3.1 Augmentation du courant maximum

Contrairement aux TBH, le courant de sortie est limité. En effet, si V_{gs} dépasse la tension de seuil de la diode Shottky de grille (typiquement, $V_{gs} \approx +1,2 \text{ V}$), cette dernière entre en régime de conduction directe. Les électrons du canal peuvent alors traverser la barrière, et induisent ainsi un courant de grille.

Cela se traduit donc par une diminution de la transconductance quand V_{gs} augmente. Cette chute de la transconductance pour des valeurs élevées de la tension V_{gs} provoque

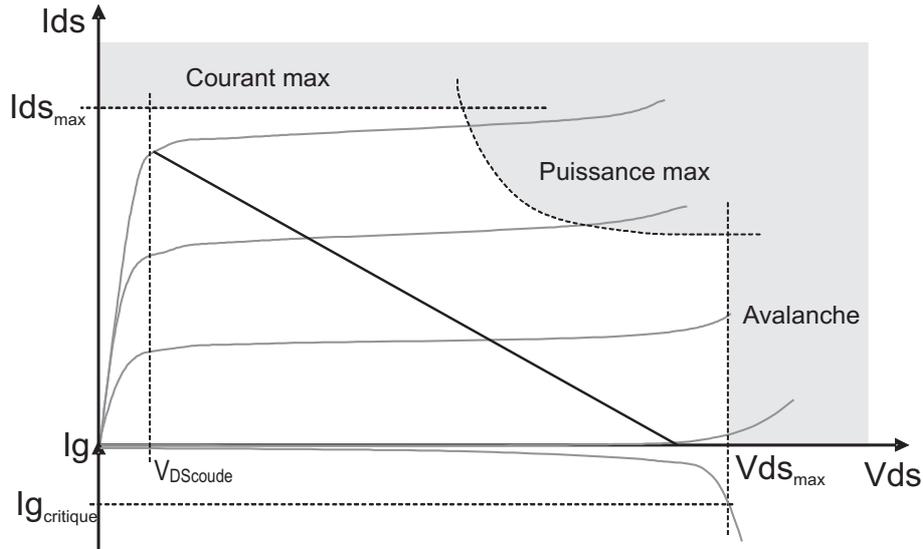


FIG. 4.7 – Délimitation de la zone d'excursion maximale des cycles de charge sur la caractéristique courant-tension d'un HEMT AlGa_N/Ga_N. Le trait épais représente la droite de charge optimale, permettant d'obtenir une puissance maximale.

une compression du gain en puissance lors d'un fonctionnement en grand-signal. De plus, ce courant de grille peut devenir destructeur s'il devient trop important.

Ainsi l'augmentation du courant est donc surtout réalisable par une augmentation de la fraction d'aluminium dans la couche d'AlGa_N, car il n'est pas possible d'augmenter la tension V_{gs} indéfiniment.

4.2.3.2 Diminution de la tension de coude

La tension de coude correspond à la tension V_{ds} pour laquelle le courant maximum est atteint, donc à la chute de potentiel due aux résistances d'accès et de canal quand $I = I_{max}$. On a donc approximativement :

$$V_{coude} = [2Rc + Rsh(Lsg + Lg + Lgd)] \cdot I_{max} \text{ (en V)} \quad (4.30)$$

où Rc est la résistance de contact ohmique et Rsh la résistance du canal à courant $I = I_{max}$. Lsg , Ls et Lgd représentent respectivement les longueurs de l'espace grille-source, de la grille et de l'espace grille-drain.

Cette résistance Rsh est donnée par :

$$Rsh = \frac{1}{qn_s\mu} \text{ (en } \Omega/\text{carré)} \quad (4.31)$$

Pour la diminuer, il faut donc augmenter n_s , mais nous avons évoqué les problèmes

que cela entraîne. Une seconde solution est de diminuer les longueurs des espaces grille-source et grille-drain L_{gs} et L_{gd} , mais nous verrons que cela a un impact sur la tension de claquage.

Une dernière solution consiste à implanter des caissons de dopage aux accès [121], ce qui permet de diminuer la valeur de R_{sh} dans les zones implantées.

Typiquement, les transistors actuels ont des résistances de contact ohmique de 0,2 à 0,4 Ω/mm , et des tensions de coude de l'ordre de 3 à 6 V.

4.2.3.3 Limitation fréquentielle à l'excursion du cycle vers des tensions de drain faibles et des courants élevés

Le courant maximum et la tension de coude définissent l'excursion maximale du cycle de charge pour de faibles valeurs de V_{ds} . Un autre effet important en fonctionnement RF est l'augmentation importante de la capacité grille-drain C_{gd} quand le champ électrique entre la grille et le drain diminue, la zone de déplétion devenant de plus en plus étroite (*cf* fig. 4.6).

Il est donc nécessaire de modéliser au mieux les valeurs de la transconductance et de la capacité C_{gd} dans cette zone, car ce sont les facteurs principaux de saturation de la puissance.

4.2.3.4 Limitation en tension due à l'avalanche

Nous avons vu en première partie que l'avalanche correspond à un cas extrême d'ionisation par impacts.

Ce phénomène se traduit de la manière suivante dans les HEMTs :

En présence de polarisation de drain, un champ électrique est créé dans le canal, et il peut, s'il est suffisamment intense, provoquer l'apparition du phénomène d'ionisation par impacts. Comme on le voit sur le schéma de principe de la figure 4.8, les électrons libres ainsi générés participent au courant de drain, tandis que les trous, qui sont attirés vers les zones de plus faible potentiel, peuvent être collectés par la grille ou les états de surface (s'ils ont assez d'énergie pour passer au-delà de la discontinuité de la bande de valence et traverser la barrière), ou encore se recombiner avec les électrons du canal. Ceci provoque la création d'un courant de grille négatif qui augmente en valeur absolue quand V_{ds} augmente, le champ électrique devenant plus intense.

Lorsque le régime d'avalanche est atteint, de nombreux électrons sont générés dans le canal, provoquant une augmentation rapide du courant de drain. Celle-ci est exponentielle, le nombre d'électrons augmentant de la même manière. Les trous créés lors des impacts qui sont attirés vers la grille provoquent une augmentation rapide du courant de grille.

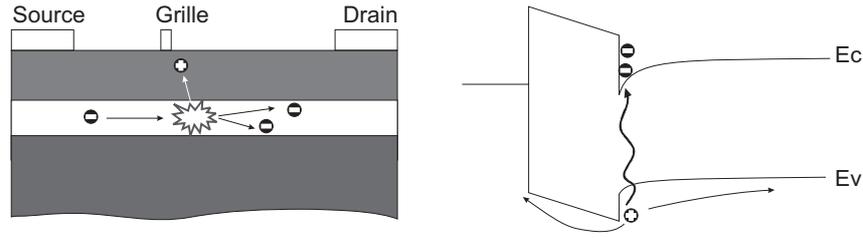


FIG. 4.8 – Représentation du trajet des porteurs générés par le phénomène d'ionisation par impacts dans le canal d'un HEMT, et diagramme d'énergie associé (en coupe au point d'impact). Les trous générés peuvent se recombiner avec des électrons du canal ou transiter vers la grille.

4.2.3.5 Voies d'amélioration de la tension de claquage

- *Augmentation de la distance grille-drain*

En fonctionnement normal, la tension V_{gd} est normalement bien plus importante que la tension V_{gs} , ce qui implique que le champ électrique dans l'espace grille-source est bien moindre que le champ dans l'espace grille-drain. Ainsi, les régimes d'avalanche ou de claquage apparaissent prioritairement dans l'espace grille-drain.

La solution la plus naturelle en vue d'augmenter la tension de claquage est d'augmenter la longueur de l'espacement grille-drain L_{gd} , afin que le champ soit plus faible pour une tension donnée.

Mais cette solution est efficace dans une certaine mesure seulement, car il faut tenir compte du fait que le champ électrique n'est pas uniforme dans l'espace grille-drain. Il est généralement admis que le claquage de la grille apparaît du côté drain de l'électrode de grille, via les phénomènes d'avalanche et d'effet tunnel assisté par la thermique [122], car un pic très important du champ électrique apparaît dans cette zone [123]. La figure 4.9 montre des résultats de simulations physiques effectuées par J.C. Jacquet, mettant en évidence cette répartition du champ et la présence d'un pic pour plusieurs polarisations de grille et de drain.

- *Diminution de la densité de porteurs dans le canal*

Wemple [124] a montré que la densité de porteurs dans le canal a un fort impact sur la tension de claquage, dans le cas des MESFETs AsGa. Il a déduit une loi liant la tension de claquage à n_s qui est :

$$V_B = \frac{1}{2} \cdot \frac{\epsilon L_{eff}}{qn_s} E_B^2 (V) \quad (4.32)$$

où L_{eff} est la longueur efficace de grille pour laquelle les lignes de champ de la zone de déplétion se rejoignent, et E_B le champ électrique critique de claquage.

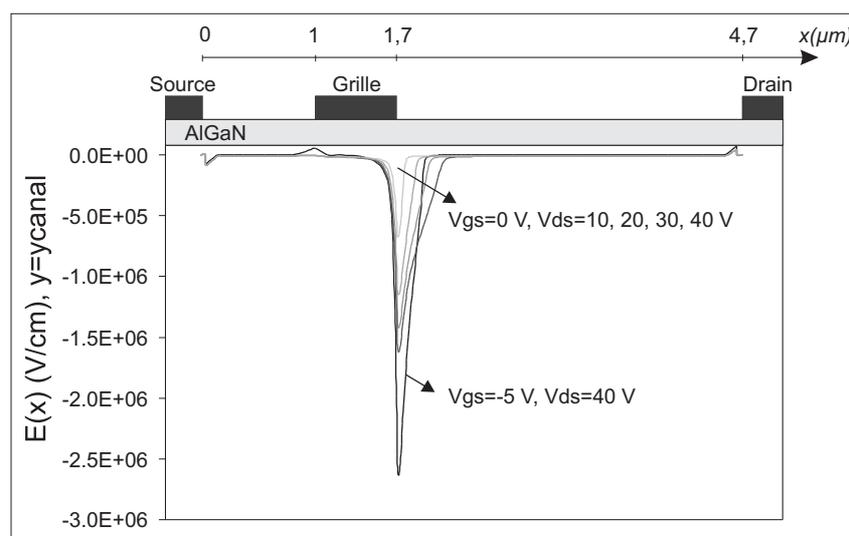


FIG. 4.9 – Simulations du champ électrique longitudinal dans le canal en fonction des polarisations de grille et de drain pour un HEMT AlGa_N/Ga_N. Un pic de champ électrique se situe à l'extrémité de la grille du côté du drain, et le claquage apparaît donc prioritairement dans cette zone.

La véracité de cette loi dans le cas de HEMTs AlGa_N/Ga_N a été vérifiée par Chini [125], qui a étudié l'impact de la fraction d'aluminium sur la tension de claquage, et il a noté que ces deux grandeurs évoluaient en sens opposé. Pour cela, il a effectué des mesures de claquage à l'état Off avec un courant maximum de drain de 2 mA/mm en fonction de la fraction d'aluminium (donc en fonction de la densité de porteurs dans le canal). La tension de claquage passait de 125 à 25 V quand la fraction d'aluminium variait de 20 à 40%, pour des HEMTs Ga_N sur saphir avec des grilles de 0,7 μm . Ses résultats expérimentaux sont résumés à la figure 4.10 [125], et montrent une bonne corrélation avec le modèle de Wemple.

Ainsi, pour maximiser la puissance, on peut chercher à obtenir un courant I_{ds} maximum élevé en augmentant la fraction d'aluminium de la couche d'AlGa_N, et à augmenter la tension de claquage en diminuant cette même grandeur. Il y a donc un compromis entre courant maximum et tension maximum, et plusieurs remarques permettent de donner une préférence pour l'augmentation de la tension de claquage :

- Nous avons vu que le fait d'augmenter la fraction d'aluminium augmente la différence de mailles entre l'AlGa_N et le Ga_N, ce qui peut être à l'origine de densités de dislocations importantes.

- Dans un amplificateur, il est préférable, à puissances de sortie égales, d'utiliser un transistor ayant une tension de polarisation importante et un courant faible, plutôt que d'utiliser un transistor ayant un courant fort et une tension de polarisation moindre, car l'adaptation en sortie est plus facilement réalisable dans le premier cas.

- Les transistors à forte proportion d'aluminium dans la couche d'AlGa_N semblent

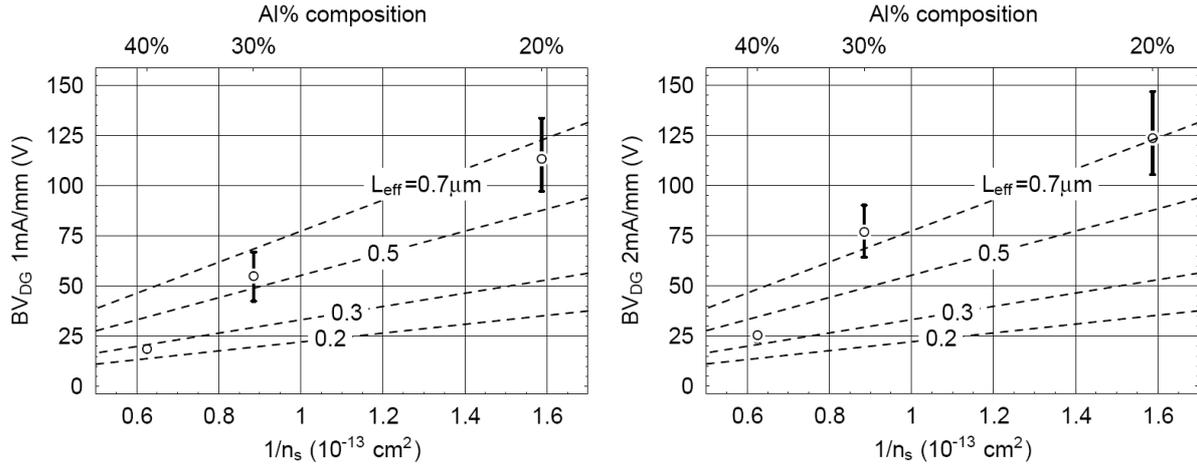


FIG. 4.10 – Tensions de claquage grille-drain mesurées à l'état OFF en fonction de la densité de charges libres dans le canal, pour un courant de drain maximum de 1 mA/mm (à gauche) et de 2 mA/mm (à droite). Les lignes pointillées représentent la prédiction théorique donnée par le modèle de Wemple, pour différentes longueurs efficaces de grille L_{eff} .

moins robustes, comme l'a remarqué Chini [125], en notant l'évolution des courants de fuite de transistors avec différentes fractions d'aluminium après des tests de claquage répétés.

Les valeurs typiques se situent autour de 15 à 25% d'aluminium, ce qui équivaut à des courants de l'ordre de 0,5 à 1 A/mm et des tensions de claquage de l'ordre de 80 à 150 V pour les transistors bande X et de plus de 200 V pour les transistors bande S.

- *Les plaques de champ*

Nous avons vu en première partie que les plaques de champ permettent d'améliorer considérablement les performances électriques des composants, en augmentant la tension de claquage et en diminuant les effets de pièges. Le champ électrique est en fait modifié sous ces plaques, et elles permettent ainsi de réduire le pic de champ en sortie de grille en l'étalant dans l'espace grille-drain. La figure 4.11 montre la modification apportée par une plaque de champ sur le profil du champ électrique longitudinal dans le canal, selon Karmalkar [38]. D'un point de vue de la modélisation, les éléments du schéma électrique (et en particulier la capacité grille-drain) sont susceptibles d'être considérablement modifiés par la présence d'une plaque de champ. Il ne semble ainsi pas possible "d'ajouter" simplement le modèle de la plaque de champ à un modèle de transistor, et une procédure complète d'extraction des paramètres est nécessaire pour passer du modèle d'un transistor simple à celui du même transistor avec une plaque de champ.

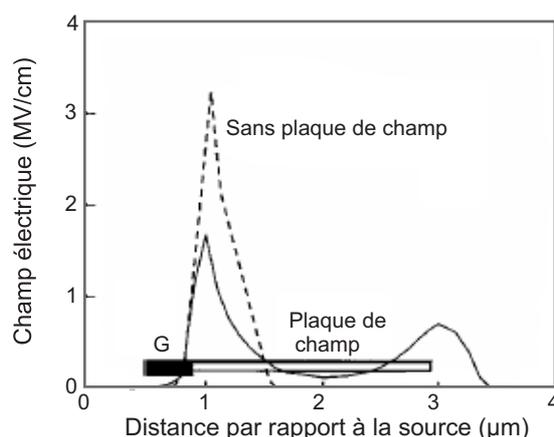


FIG. 4.11 – Simulation des profils de champ électrique longitudinal pour des composants avec et sans plaque de champ.

4.2.3.6 Problèmes de fiabilité en tension, influence sur la modélisation

La fiabilité des composants étant encore un des problèmes les plus importants pour les HEMTs Ga_N, nous avons vu que les transistors sont souvent sous-polarisés (à des tensions plus faibles que la tension maximale théorique de $V_{avalanche}/2$). Ceci implique que, *dans l'état actuel de maturité de la filière*, il est peu probable que les cycles de charges en sortie puissent atteindre le régime d'avalanche, et il y a donc peu d'intérêt à le prendre en compte dans les modèles électriques.

4.2.3.7 Autres effets limitatifs en terme de puissance : les phénomènes thermiques

La montée en température d'un HEMT AlGa_N/Ga_N, due à la dissipation de puissance par effet Joule lors de son fonctionnement, a un impact sur les paramètres physiques, et subséquemment sur les performances électriques (*cf* Partie 1). Du point de vue de la représentation électrique du composant, ces effets se traduisent par une variation de certains paramètres en fonction de la température, et donc de la puissance dissipée dans le composant. Il existe différents moyens (mesures ou simulations) pour évaluer la température d'un composant avec plus ou moins de précision [126], [127], [128]. Certains sont difficiles à mettre en œuvre et donnent souvent des résultats d'une précision qu'il est difficile de reproduire et d'intégrer dans des modèles électriques de composants.

- *Considérations sur l'échauffement d'un transistor - application à la modélisation*

Cependant, les résultats issus de ces méthodes [99] nous renseignent sur un certain nombre de points qui sont intéressants pour cette modélisation :

- La température en un point d'un composant varie de manière quasi-linéaire en fonction de la puissance dissipée en ce point, du moins sur une plage de puissance

caractéristique de ce type de composants, comme le montre la figure 4.12. L'évolution de la température en fonction du temps (simulée par éléments finis au point chaud) d'un composant de 1 mm de développement (8x125 QQ104) pour différentes puissances dissipées (de 4 W/mm à 7 W/mm) y est montrée. Ces courbes sont superposées à des courbes d'échauffement imaginées en considérant que l'échauffement est parfaitement proportionnel à la puissance dissipée. Les erreurs restent inférieures à 10% entre les températures simulées et approximées dans cette plage de puissance.

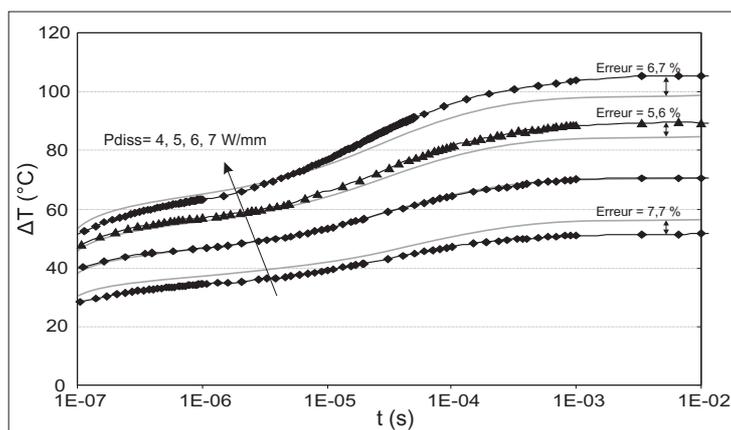


FIG. 4.12 – Simulations par éléments finis de l'échauffement au cours du temps et pour différentes puissances dissipées (en noir) pour un transistor 8x125 μm , et comparaison avec une des courbes décrivant l'échauffement comme proportionnel à la puissance dissipée (en gris).

- La figure 4.12 montre aussi que la température évolue de façon multi-exponentielle en fonction du temps. Ces différentes contributions exponentielles dépendent des matériaux traversés par le flux de chaleur et de leurs caractéristiques thermiques.

- L'échauffement varie en fonction de la température ambiante, pour une puissance dissipée donnée. Ceci est dû à la non-linéarité de la conductivité thermique des matériaux en fonction de la température. La figure 4.13 donne l'impédance thermique simulée en fonction du temps pour le même composant. On voit que celle-ci augmente quand la température ambiante augmente et passe de 8,8°C/W à 15,1°C/W pour un temps de 1 μs après l'application de la puissance.

- La température n'est pas uniforme dans tout le canal : elle est plus élevée dans la zone dans laquelle la puissance est dissipée (c'est-à-dire dans la zone où la concentration d'électrons est la plus importante), et il y a un gradient de température autour de cette zone. Par exemple, ceci signifie que la température à un instant donné au niveau des contacts ohmiques de source et de drain n'est pas la même que sous la grille. La figure suivante montre le gradient de température simulé autour de la zone de dissipation de puissance dans le cas d'un transistor de 1 mm (8x125 μm).

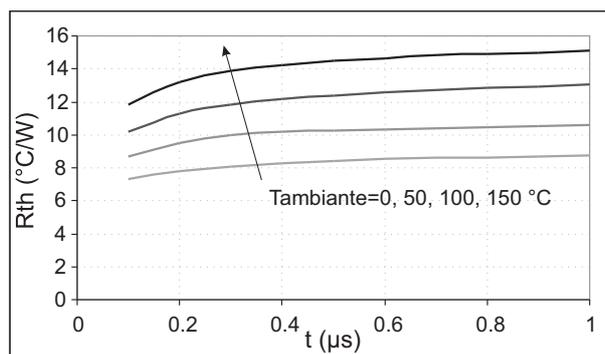


FIG. 4.13 – Simulations par éléments finis de l'augmentation de la résistance thermique en fonction de la température ambiante pour un transistor $8 \times 125 \mu\text{m}$, pour une puissance dissipée de 5 W/mm .

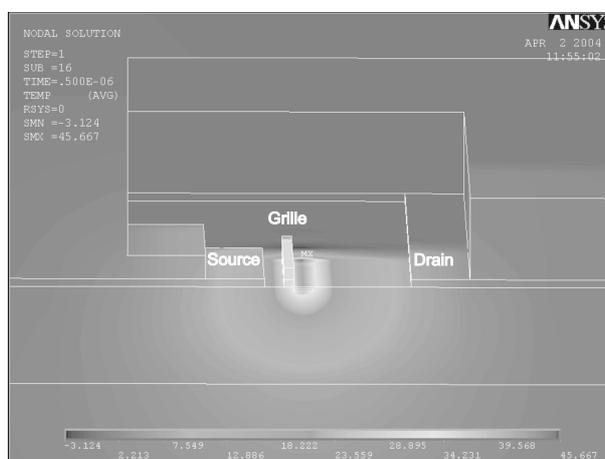


FIG. 4.14 – Simulations par éléments finis du flux de chaleur dans la zone active centrale d'un transistor $8 \times 125 \mu\text{m}$ pour une durée de 500 ns après l'application de la puissance.

- Pour la même raison, la température d'un composant n'est pas seulement fonction de la puissance dissipée : pour deux points d'une caractéristique $I(V)$ donnant une même puissance dissipée mais avec deux couples de valeurs (V_{ds} , I_{ds}) différents, les distributions du potentiel et du courant dans le canal ne sont pas identiques et ainsi la température peut être différente [10][129].

- Enfin, la température est différente dans les différents canaux dans le cas de transistors multi-doigts : la zone centrale d'un composant bénéficie de l'apport thermique des zones latérales et le milieu d'un composant est donc plus chaud que ses extrémités. La figure 4.15 montre la différence entre températures simulées par éléments finis dans les différentes zones actives d'un transistor de huit doigts ($8 \times 125 \mu\text{m}$) pour une puissance dissipée de 5 W/mm , et en fonction du temps.

Nous verrons que toutes ces considérations sont difficiles à prendre en compte dans la partie thermique du modèle, et nous considérerons davantage la température comme une grandeur macroscopique, qui serait la même en tout point du composant et ne dépendrait

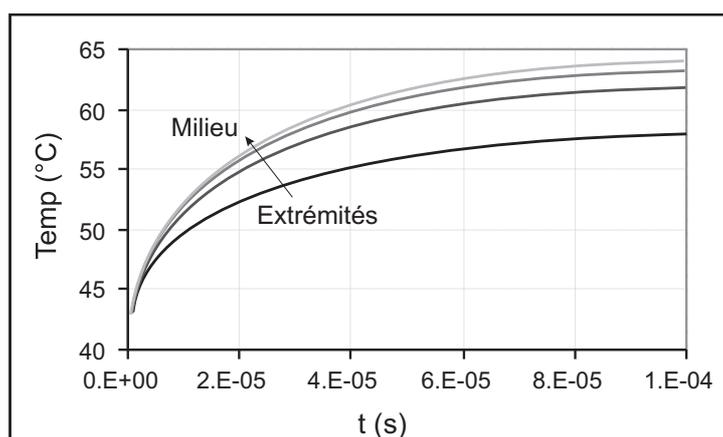


FIG. 4.15 – Simulations par éléments finis de la température au point chaud des différentes zones actives d'un transistor $8 \times 125 \mu\text{m}$ en fonction du temps.

que du temps. De plus, il sera justifié d'utiliser une relation de proportionnalité entre la puissance dissipée et la température dans le modèle, alors que la variation de la résistance thermique en fonction de la puissance dissipée est suffisamment notable pour pouvoir être prise en compte.

Enfin, nous pourrions modéliser l'échauffement par une somme de formes exponentielles.

- *Impact des effets thermiques sur les caractéristiques électriques des HEMTs*

L'impact des effets thermiques sur les paramètres associés au matériau GaN a été détaillé précédemment. L'évolution de ces paramètres entraîne principalement une diminution du courant I_{ds} quand la température augmente, et ceci montre l'intérêt des caractérisations en impulsions. Mais d'autres effets électriques sont issus de la variation de paramètres technologiques, et il peut s'avérer nécessaire de les prendre en compte dans les modèles électriques. Ils sont résumés ici.

- La résistance de certains contacts ohmiques peut varier en fonction de la température, comme l'a mis en évidence R. Aubry [10].

- L'augmentation de la température induit aussi une augmentation du courant de grille, le courant de saturation d'une diode augmentant de façon exponentielle avec la température.

- Le courant de fuite de grille augmente lui aussi, l'émission thermoionique des porteurs libres à travers la barrière étant favorisée.

- Enfin, les résistances d'accès augmentent aussi du fait en particulier de la diminution de la mobilité (cf eq. 4.31).

Ces différentes dépendances pourront donc être prises en compte dans le modèle, en fonction du degré de précision souhaité.

4.2.3.8 Autres effets limitatifs en terme de puissance : les phénomènes de pièges

L'impact des effets de pièges se traduit lors du fonctionnement des transistors en grand-signal par une diminution de la puissance et de la PAE, ainsi que des temps d'établissement lors de la commutation ou de lors de fonctionnements en impulsions. Étant donné que ces effets sont encore souvent importants dans les HEMTs GaN, il est important de pouvoir les modéliser.

Nous avons vu que la mesure des paramètres $[S]$ en impulsions permet de se rapprocher de l'état de pièges vu par le cycle de charge, en figeant celui-ci à l'état de pièges du point de polarisation.

Cependant, comme l'a illustré la figure 3.11 présentée en troisième partie, l'état effectif de charge de pièges en un point lors du fonctionnement en puissance est déterminé par l'excursion en tensions V_{gs} et V_{ds} du cycle de charge, et donc par la puissance d'entrée.

Une correction permettant de prendre en compte la différence entre les caractéristiques électriques mesurées en impulsions et les caractéristiques électriques (réelles) en fonctionnement RF est donc parfois nécessaire. Elle consiste à introduire des modèles de pièges, qui permettront de reproduire la dégradation des performances en puissance en fonction des tensions V_{gs} et V_{ds} maximale atteintes par les cycles de charge.

En effet, rappelons que le phénomène de capture est rapide (de quelques nanosecondes à quelques centaines de nanosecondes), et le phénomène d'émission est lent (de quelques microsecondes à plusieurs secondes). Les pièges se chargent donc au niveau des maxima des tensions V_{gs} et V_{ds} , mais n'ont pas le temps de se décharger ensuite. La dissymétrie temporelle entre ces deux phénomènes expliquant la dégradation observée des caractéristiques en puissance des composants en fonction de la puissance d'entrée (donc de l'excursion des cycles de charge), le courant I_{ds} pourra être modélisé non plus comme étant :

$$I_{ds} = f(V_{gs}, V_{ds}) \quad (4.33)$$

Mais :

$$I_{ds} = f(V_{gs}, V_{ds}, V_{gs_{MAX}}, V_{ds_{MAX}}) \quad (4.34)$$

- *Mécanisme physique du phénomène de drain-lag.*

Le phénomène de drain-lag est habituellement attribué aux pièges de buffer [130]. Zhang [131] suggère que la réduction du courant de sortie dans les transistors à effet de champ à base de GaN lors de l'application d'une impulsion de drain est due à l'injection d'électrons dans le buffer où ils sont piégés.

Le phénomène de drain-lag peut être expliqué en grande partie par les phénomènes de capture et d'émission des électrons dans le buffer sous le canal.

Le buffer est habituellement compensé par des concentrations relativement élevées de pièges profonds [132] [133] qui ancrent le niveau de Fermi à celui de leur énergie d'activation. Comme cela arrive dans un matériau à haute résistivité, cela provoque une concentration importante des pièges qui peuvent influencer le comportement du transistor.

- Lors d'une impulsion positive de V_{ds} , une composante du champ électrique est orientée verticalement. Les électrons répondent au champ électrique instantanément, et comme ils ne sont pas parfaitement confinés dans un gaz 2D, une concentration significative de ces électrons va être attirée vers le substrat (en particulier dans la zone de déplétion sous la grille). Ces électrons vont alors être capturés par des donneurs ou les accepteurs profonds dans le substrat, ce qui provoque la diminution du courant.

- Lorsque la tension V_{ds} diminue, les pièges qui ne sont alors plus soumis à un champ électrique réémettent les charges qu'ils avaient capturées. Ceux-ci sont alors de nouveau présents dans le canal et peuvent participer au courant. Ce phénomène est bien plus lent que celui de capture.

Dans chaque cas, la courbure des bandes du côté du buffer est déterminée par l'état de charge des pièges, qui passent au-dessus ou en dessous du niveau de Fermi. Un schéma de ce mécanisme est donné à la figure 4.16, dans le cas où la densité de donneurs profonds est supérieure à la densité d'accepteurs profonds.

- *Analogie avec le phénomène de Self-Backgating dans les MESFETs*

Une analogie intéressante peut être faite avec le cas des MESFETs afin de décrire le phénomène de drain-lag dans les modèles de HEMTs : dans ces composants, lors d'une impulsion de la tension de drain, une zone de charge d'espace se forme sous le canal. Quand les pièges de niveaux d'énergie profonds présents dans le buffer capturent les électrons, une électrode virtuelle de grille (appelée backgate) se forme et resserre le canal, réduisant ainsi le courant de drain : c'est le phénomène de self-backgating. Un schéma de principe en est donné à la figure 4.17.

Tout se passe alors comme si les effets du drain-lag sur le courant pouvaient être assimilés à une modification de la polarisation de grille, et ce avec les constantes de temps caractéristiques des pièges présents dans le buffer. Une façon de modéliser ces effets de drain-lag est donc résumée dans cette phrase, la polarisation de grille V_{gs} étant en effet le paramètre commandant la source de courant dans les modèles des transistors.

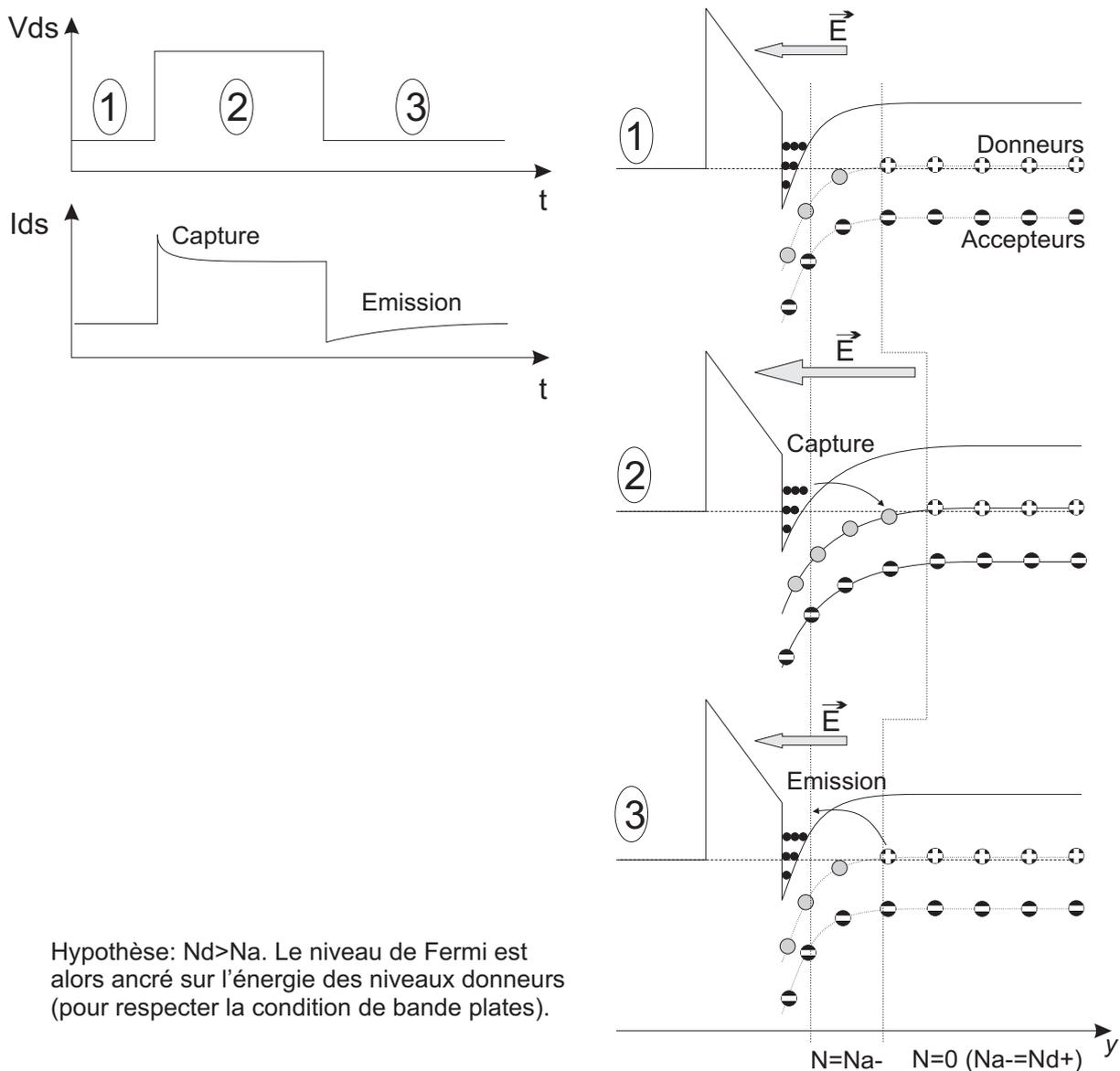


FIG. 4.16 – Influence d'un changement de la polarisation de drain sur les bandes d'énergies en présence de pièges de buffer. Les phénomènes de capture et d'émission sont montrés successivement.

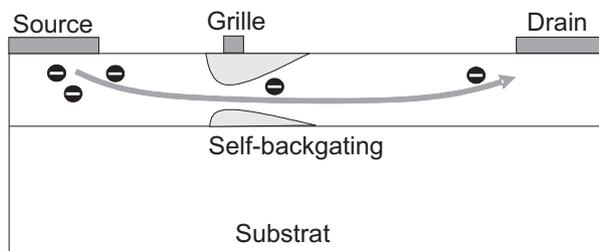


FIG. 4.17 – Schéma montrant le rétrécissement de la section du canal due aux pièges dans le cas d'un MESFET. La polarisation de grille contrôle l'ouverture du canal, ainsi que les pièges en présence d'un champ électrique dû à la polarisation du drain.

- *Réduction des effets de drain-lag, impact des pièges de buffer sur le confinement des porteurs*

La figure 4.16 montre que les pièges situés dans le buffer fixent la hauteur de la bande de conduction (à celle de leur énergie d'activation), car ils sont ancrés sur le niveau de Fermi. Ainsi, leur présence permet de confiner les porteurs du canal dans un puits de potentiel plus élevé [132], et ainsi d'obtenir une tension de pincement plus faible.

Des simulations physiques ont pu montrer qu'il est quasiment impossible de pincer le canal s'il n'y a pas de niveaux profonds dans le buffer, et Vetury [134] évoque ce point. Il n'est donc pas nécessairement bénéfique de vouloir enlever ces niveaux, et des solutions à l'étude consistent en fait à essayer de les éloigner physiquement du canal ou à les masquer en ajoutant des niveaux peu profonds.

Par exemple, l'ajout d'une couche $P+$ de GaN sous le canal pourrait avoir un intérêt dans ce sens, mais l'activation $P+$ semble difficile en MOCVD et le dopage peut introduire des pièges supplémentaires [135]. Une autre solution consiste à ajouter une barrière d'InGaIn, permettant elle aussi de mieux confiner les porteurs [135] [136].

- *Mécanisme physique du Gate-lag*

Horio [137] a suggéré que ce sont les pièges situés au niveau des surfaces libres qui ont une influence sur le gate-lag, et en particulier ceux situés entre la grille et le drain. Le fait qu'il est possible de réduire ou d'annihiler totalement ces effets grâce à des traitements de surface (passivations) semble confirmer ses résultats de simulations physiques.

Cependant, l'explication du phénomène de gate-lag n'est pas clairement établie [138] [139].

Vetury suppose que les donneurs en surface (dont la présence est nécessaire pour maintenir la présence du gaz 2D sous les surfaces libres) peuvent capturer les électrons de la grille quand la tension V_{gs} est négative. La compensation de ces donneurs réduit alors la densité de porteurs du canal. En régime de fonctionnement RF, les électrons capturés par la surface ne peuvent pas répondre car les pièges ont des constantes d'émission trop lentes, et ainsi le courant I_{ds} diminue et la résistance du canal R_{sh} augmente, à cause de la diminution de la densité de porteurs dans le canal dans la région grille-drain.

Le schéma 4.18 [139] montre ce mécanisme.

Il y a donc une modulation des états de pièges en fonction de la polarisation de grille, ces pièges impliquant une diminution du courant quand ils ont capturé des électrons. Ainsi, de même que dans le cas du drain-lag, mais de façon plus directe, l'impact du gate-lag sur les caractéristiques électriques peut être modélisé comme une variation de la tension V_{gs} , avec des constantes de temps associées à celles des pièges présents en surface.

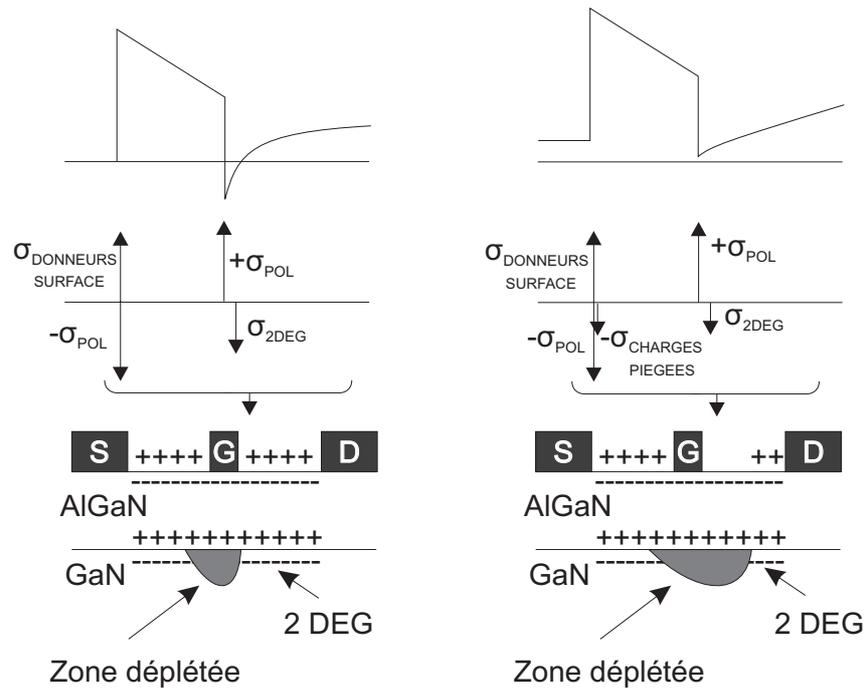


FIG. 4.18 – Explication probable du mécanisme de gate-lag dans les HEMTs. A gauche, le composant est pincé et ne présente pas de piège chargé en surface. Si les donneurs profonds de surface peuvent piéger des électrons fuyant de la grille, ils ne se déchargent alors que très lentement et induisent, lorsque le composant est mis en conduction (à droite), une diminution de la densité du gaz d'électrons par compensation des charges.

- *Réduction des effets de gate-lag*

Plusieurs publications ont démontré que les plaques de champ, en plus d'améliorer la tension de claquage, permettent aussi d'améliorer les effets de gate-lag, car elles diminuent le champ en sortie de grille et donc la possibilité pour des électrons d'être injectés dans les pièges donneurs [140], [141], [36].

La passivation des surfaces libres a été évoquée pour réduire le phénomène de gate-lag. L'explication du mécanisme de la passivation sur le comportement des pièges n'est pas clairement établie. Selon Vetury [139], une passivation de surface empêcherait la formation d'une grille virtuelle, en enterrant les donneurs de surface et les rendant ainsi inaccessibles aux électrons qui fuient depuis le métal de grille. Lu [142] avance l'hypothèse, pour expliquer l'effet bénéfique d'une passivation SiN sur le courant de sortie, que l'augmentation de la concentration des porteurs dans le canal est due à l'augmentation de charges positives à l'interface SiN/AlGa_N. Celle-ci est suffisamment importante pour neutraliser la charge de polarisation négative dans l'AlGa_N, et par conséquent, elle élimine ou diminue la zone de déplétion créée à la surface, cette dernière étant responsable de la diminution du courant de gaz d'électrons.

Cependant, certains comme Chini [125] ont remarqué que la passivation pourrait avoir

des effets néfastes sur les tensions de claquages dans les composants. Ceci s'expliquerait par le fait qu'elle empêcherait la formation d'une grille virtuelle et qu'ainsi la proportion de courant collecté par la grille serait plus importante. Le modèle de Wemple (*cf* eq.(4.32)) explique cet effet, la longueur de la grille effective diminuant avec la réduction de l'influence des pièges à la surface.

- *Influence de la température sur les constantes de temps des pièges*

Nous avons essayé au cours de cette étude de caractériser la dépendance des constantes de temps des pièges présents dans des HEMTs Ga_N en fonction de la température, à partir de mesures en relaxation isotherme [14]. Ces constantes de temps ne semblaient pas dériver de la loi d'Arrhénius, et ne diminuaient donc pas de façon exponentielle quand la température augmentait, comme le montre la figure 4.19.

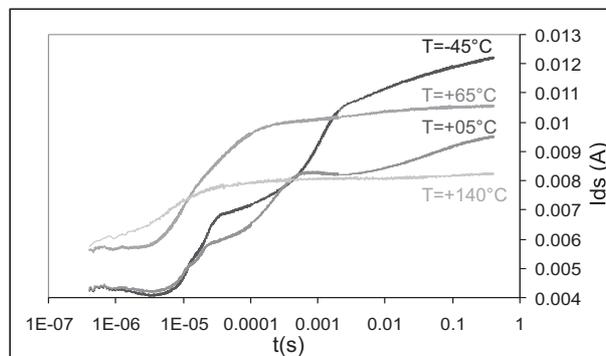


FIG. 4.19 – Mesure de transitoires du courant de sortie d'un HEMT 8x75 μm AEC 1148 pour une tension de grille proche du pincement et une impulsion de V_{ds} de 30 à 15 V, mettant en évidence l'effet des pièges situés dans le buffer, pour différentes températures. Le comportement des pièges ne semble pas régi par les lois d'Arrhénius, et les phénomènes d'émission n'induisent pas de contribution exponentielle sur les transitoires.

Cependant, la variation observée des constantes de temps de pièges reste très forte en fonction de la température, mais les pièges semblent réagir de manière complexe (voire erratique). Il est donc difficile d'une part de reproduire électriquement les constantes des pièges avec précision, celles-ci n'étant pas exponentielles, et d'autre part de reproduire les variations thermiques de ces constantes de temps.

Cela signifie que les modèles de pièges que nous développerons ne pourront pas reproduire correctement les effets transitoires du courant avec des constantes de temps précises (comme cela a pu être fait par Leoni [143] pour des PHEMTs AsGa), et le modèle proposé sera donc optimisé pour les simulations en puissance. Malgré tout, la mesure de transitoires de courant dans des conditions particulières de température nous permettra de choisir des valeurs relativement correctes des constantes de temps dans le modèle, afin de ne pas donner de résultats totalement faux lors d'éventuelles simulations transitoires.

4.3 Modèle électrothermique incluant les effets de pièges d'un HEMT Ga_N

Nous allons présenter dans cette partie les méthodes de modélisation électrique des transistors HEMTs AlGa_N/Ga_N pour des simulations de puissance, en suivant l'ordre chronologique habituellement utilisé lors de l'extraction des modèles ; partant d'une représentation basique, la représentation petit-signal, pour arriver pas à pas à une description plus complète et suffisamment détaillée donnant une représentation correcte des caractéristiques électriques dans la plage d'utilisation qui nous intéresse.

Nous discuterons de l'importance ou non de la prise en compte détaillée de certains effets physiques, certaines descriptions permettant d'améliorer la validité des modèles et leur précision, et d'autres étant superflues car ne modifiant pas sensiblement les résultats et apportant une complexité supplémentaire aux modèles.

Enfin, nous montrerons diverses comparaisons entre un modèle et les mesures d'un transistor Thalès de développement 600 μm , (soit 8 doigts de grille de 75 μm chacun), avec des longueurs de grille de 0,25 μm . Cette topologie est principalement destinée à l'amplification en bande X ou en large-bande 6-18 GHz. [68], [69]. Les différentes comparaisons entre les résultats de simulations et les mesures permettront de valider la méthode de modélisation présentée, et de définir la plage d'utilisation possible des modèles ainsi extraits.

4.4 Les différentes phases d'extraction d'un modèle

La figure 4.20 montre la topologie complète du circuit équivalent utilisé pour décrire les caractéristiques des composants.

Ce modèle est divisé en cinq parties distinctes, induisant une extraction complète d'un modèle en cinq phases. Le schéma de la figure 4.21 en présente la chronologie.

- La première phase d'une modélisation consiste à extraire le schéma petit signal du composant mesuré, grâce aux paramètres [S]. Cette étape sera détaillée dans la première partie.

Mais cette description du transistor n'est pas suffisante lors d'un fonctionnement en grand signal : certains paramètres varient de façon trop importante en fonction de la polarisation et il est nécessaire de modéliser ces variations.

Nous verrons ainsi dans la deuxième partie qu'il est nécessaire de modéliser les variations de gm et de gd grâce à la description analytique des courants I_g et I_d en fonction de V_{gs} et V_{gd} . En effet, on a par exemple pour le courant I_d :

$$gm = \frac{\partial i_d}{\partial v_{gs}} \quad \text{et} \quad gd = \frac{\partial i_d}{\partial v_{ds}} \quad (4.35)$$

Ensuite, en troisième partie, nous détaillerons la modélisation des capacités non-linéaires C_{gs} et C_{gd} , car elles ont un fort impact sur les caractéristiques grand signal, et elles varient de façon trop importante pour être gardées constantes (nous avons vu par exemple que l'augmentation de C_{gd} pour des faibles tensions de drain avait une forte influence sur la saturation en puissance).

La modélisation des variations thermiques, présentée en quatrième partie, consiste en une amélioration supplémentaire du modèle. Elle peut s'avérer utile dans le cas d'applications où la puissance dc et/ou RF est continue car l'échauffement des composants est important et a une influence non négligeable sur les performances en puissance.

Enfin, nous étudierons dans la cinquième partie les modèles de pièges, qui permettent de mieux reproduire les caractéristiques $I(V)$ en fonction de la polarisation et qui permettent ainsi d'obtenir une bien meilleure précision sur les variations de gm et gd en fonction de la polarisation dc d'une part, mais aussi en fonction de l'excursion des cycles de charge lors de l'application de signaux de puissance.

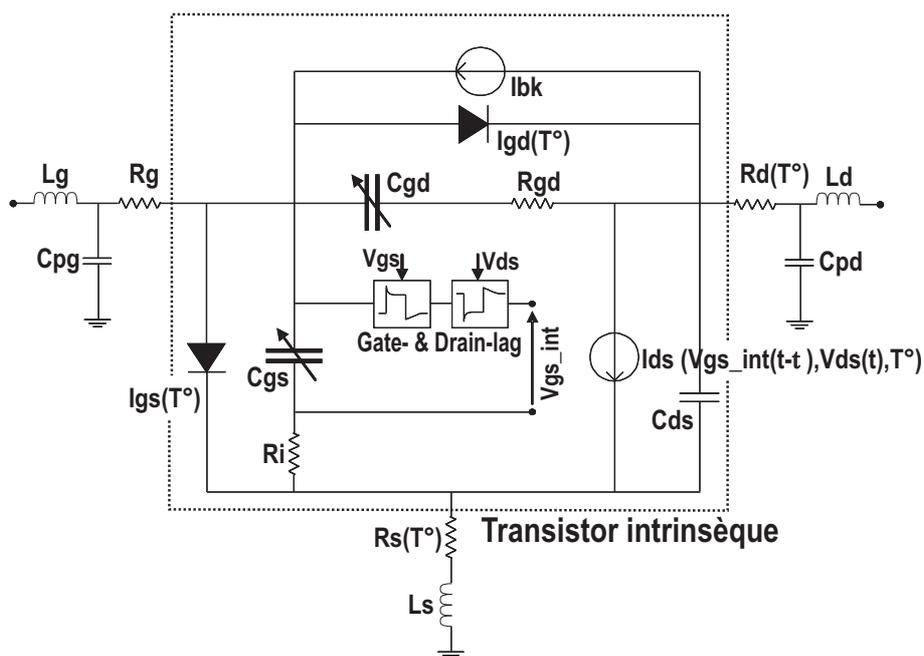


FIG. 4.20 – Structure du modèle non-linéaire présenté incluant les effets de pièges et les effets thermiques.

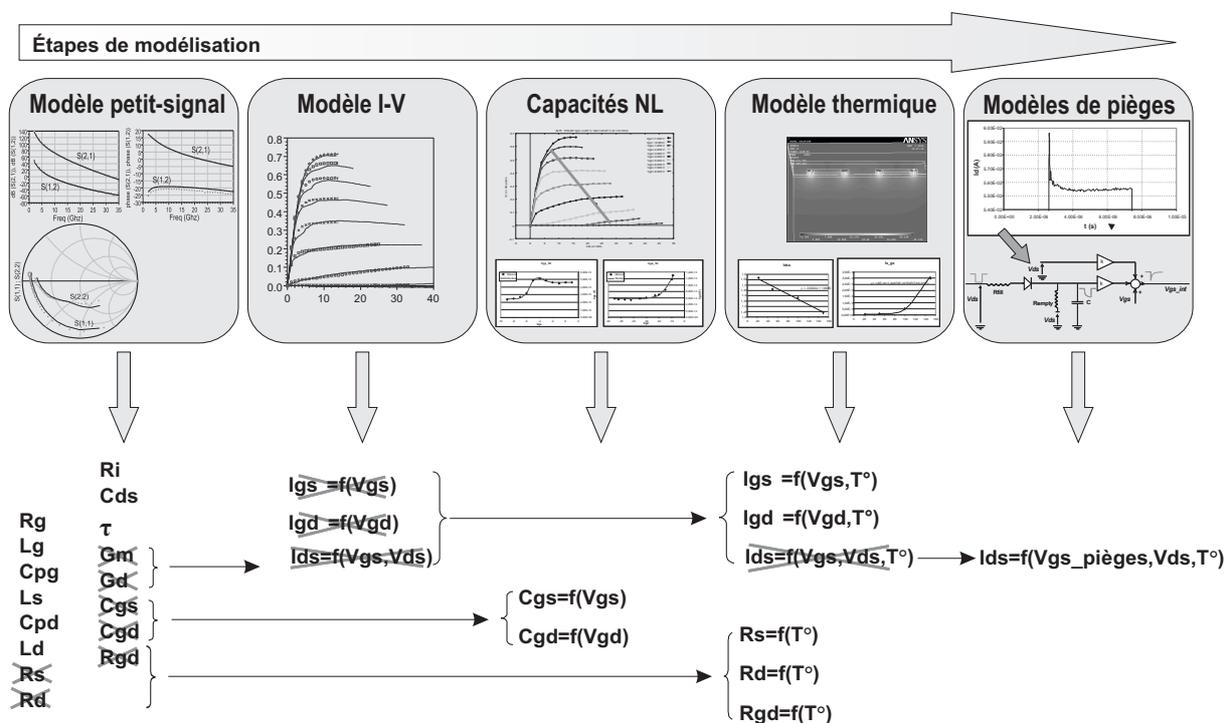


FIG. 4.21 – Les différentes phases de modélisation afin d’obtenir des modèles électrothermiques grands signaux. Les différents paramètres extraits puis corrigés sont montrés pour chaque étape.

4.5 Procédures de modélisation des composants

4.5.1 Modèle petit signal/modèle linéaire

4.5.1.1 Méthode de détermination des éléments extrinsèques/intrinsèques

Le schéma équivalent petit signal est composé de deux parties : une partie intrinsèque et une partie extrinsèque, correspondant aux éléments parasites dus aux accès du transistor (*cf* figure 4.22). L'algorithme d'extraction des éléments du schéma petit-signal

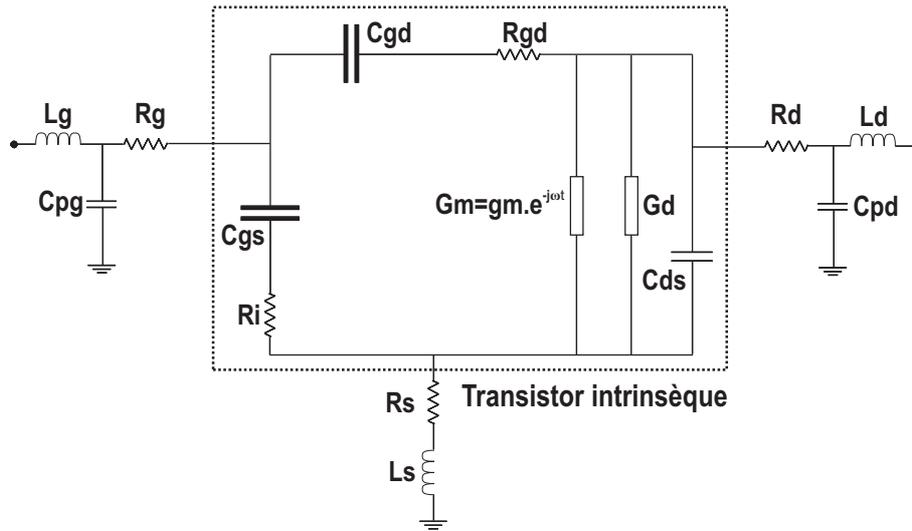


FIG. 4.22 – Modèle équivalent petit signal d'un transistor HEMT.

présenté en deuxième partie permet, avec la topologie de modèle utilisée, d'extraire automatiquement les valeurs des éléments intrinsèques sur toute la caractérisation une fois les éléments extrinsèques déterminés, ces éléments intrinsèques étant bien indépendants de la fréquence grâce à la topologie du schéma utilisé. Leurs valeurs sont données ci-dessous :

$$C_{gd} = \frac{-Im(Y_{12})}{\omega} \left[1 + \left(\frac{Re(Y_{12})}{Im(Y_{12})} \right)^2 \right] \quad (4.36)$$

$$R_{gd} = \frac{-Re(Y_{12})}{C_{gd}^2 \omega^2} \left[1 + \left(\frac{Re(Y_{12})}{Im(Y_{12})} \right)^2 \right] \quad (4.37)$$

$$C_{gs} = \frac{Im(Y_{11}) + Im(Y_{12})}{\omega} \left[1 + \left(\frac{Re(Y_{11}) + Re(Y_{12})}{Im(Y_{11}) + Im(Y_{12})} \right)^2 \right] \quad (4.38)$$

$$Gd = Re(Y12) + Re(Y22) \quad (4.39)$$

$$Cds = \frac{Im(Y12) + Im(Y22)}{\omega} \quad (4.40)$$

$$Ri = \frac{Re(Y11) + Re(Y12)}{Cgs^2\omega^2} \left[1 + \left(\frac{Re(Y11) + Re(Y12)}{Im(Y11) + Im(Y12)} \right)^2 \right] \quad (4.41)$$

$$Gm = \sqrt{(A^2 + B^2) (1 + Ri^2 Cgs^2 \omega^2)} \quad (4.42)$$

$$\tau = \frac{-1}{\omega} \cdot \text{artan} \left[\frac{B + ARiCgs.\omega}{A - BRiCgs.\omega} \right] \quad (4.43)$$

avec :

$$A = Re(Y21) - Re(Y12) \quad (4.44)$$

$$B = Im(Y21) - Im(Y12) \quad (4.45)$$

Par conséquent, les éléments résistifs extrinsèques (Rg , Rs , Rd) et les éléments réactifs extrinsèques (Lg , Ls , Ld , Cpg et Cpd) sont évalués à partir des mesures hyperfréquences.

4.5.1.2 Détermination des éléments extrinsèques et intrinsèques du transistor 8x75 μm AEC1148

Les paramètres du modèle sont extraits pour un point du réseau I(V) proche du point de polarisation de l'application visée. Ce point de repos est référencé M4, ce qui correspond à : $Vgs_{inst} = -4 \text{ V}$; $Vds_{INST} = 23 \text{ V}$; $Id_{INST} = 200 \text{ mA}$. À ce point M4 est associé un fichier de mesures contenant les paramètres [S], de 2 à 40 GHz par pas de 1 GHz.

La méthode d'extraction précédemment décrite est appliquée à ce fichier de paramètres [S], ce qui permet d'obtenir les éléments du schéma petit signal dont les valeurs sont indiquées dans le tableau 4.1. Les paramètres extrinsèques étant indépendants de la polarisation, les valeurs trouvées à ce point de polarisation seront conservées dans le modèle non-linéaire que nous réaliserons par la suite. Ce n'est pas le cas de tous les paramètres intrinsèques.

La comparaison (montrant une bonne corrélation) entre les paramètres $[S]$ mesurés à ce point et les paramètres $[S]$ issus du modèle petit signal est présentée à la figure 4.23. Il valeurs de C_{gs} , C_{gd} , g_m et g_d obtenues par extraction multi-polarisations sont montrées à la figure 4.24.

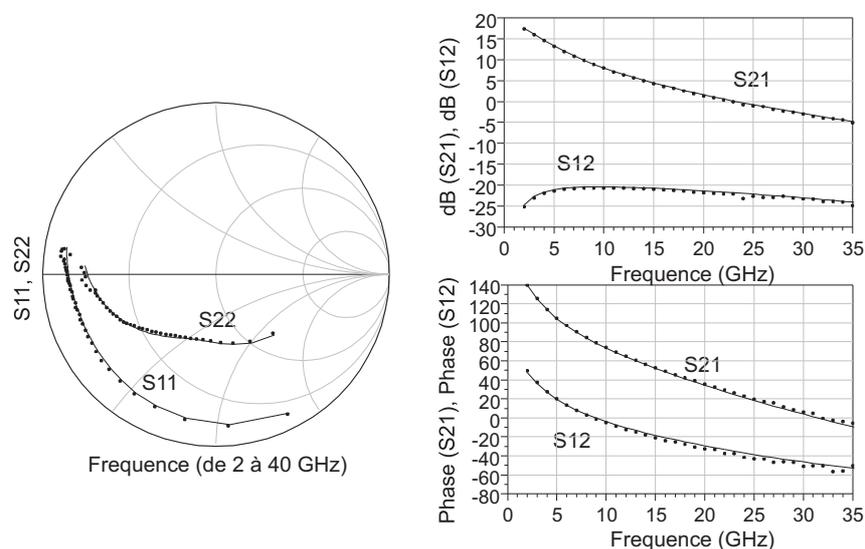


FIG. 4.23 – Comparaison mesures/modèle petit signal du transistor HEMT $8 \times 75 \mu\text{m}$ AEC1148 au point M4 (points : mesures, lignes continues : modèle petit signal).

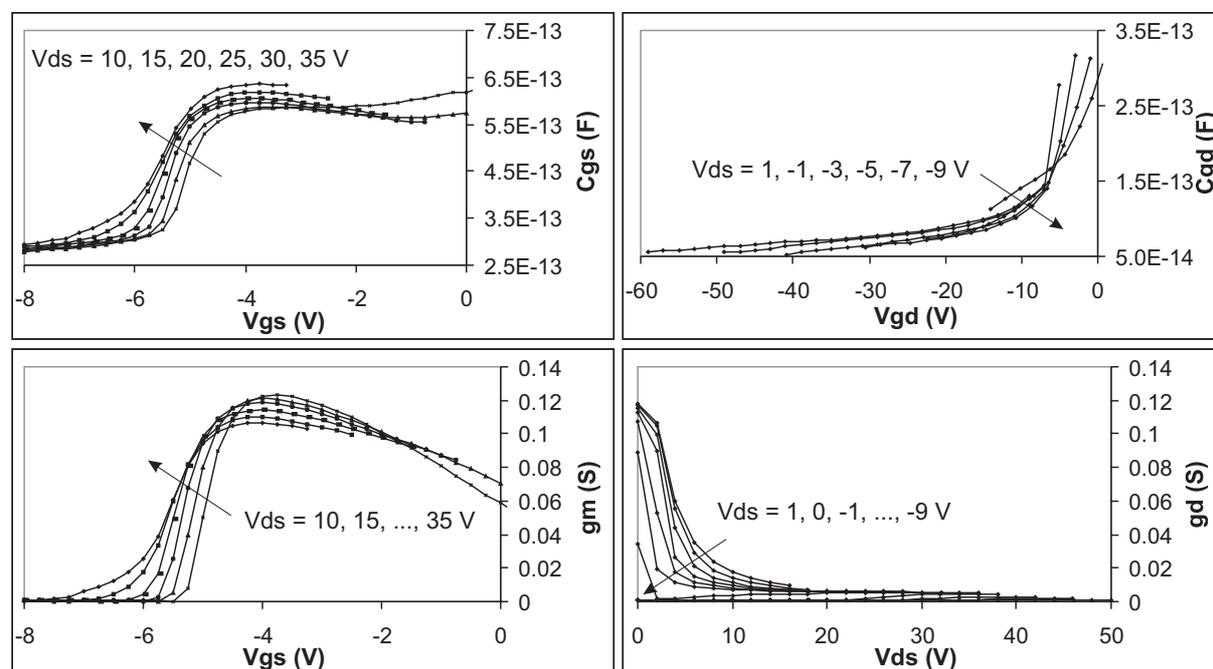


FIG. 4.24 – Valeurs de C_{gs} , C_{gd} , g_m et g_d obtenues par extraction multi-polarisations pour le transistor $8 \times 75 \mu\text{m}$ AEC1148, mesuré en impulsions à une polarisation de repos $V_{gs_0} = -4 \text{ V}$, $V_{ds_0} = 25 \text{ V}$, à partir des valeurs des éléments extrinsèques obtenus au point M4.

Paramètres extrinsèques							
R _g (Ω)	R _d (Ω)	R _s (Ω)	L _g (pH)	L _d (pH)	L _s (pH)	C _{pg} (fF)	C _{pd} (fF)
0,75	0,8	0,65	40,2	89,5	2,1	22	83
Paramètres intrinsèques au point M4							
C _{gs} (pF)	C _{gd} (pF)	R _i	R _{gd}	C _{ds} (pF)	τ (ps)	g _m (mS)	g _d (mS)
0,52	0,07	0,65	16,5	0,314	1,88	109	4,9

TAB. 4.1 – Valeurs des paramètres extrinsèques et intrinsèques extraits au point de polarisation M4 du transistor 8x75μm AEC1148.

4.5.2 Modélisation des sources de courants et extraction des paramètres associés

4.5.2.1 Modélisation des sources de courants

- *Modélisation de la source de courant principale*

Afin d'évaluer les paramètres des équations régissant le comportement des sources de courant, un moteur d'optimisation a été développé au laboratoire XLIM [84] [144]. Cependant, le nombre raisonnable de paramètres et leur lisibilité rendent l'ajustage manuel relativement aisé. La topologie du modèle I(V) que nous allons utiliser pour toute la suite de notre étude est présentée à la figure 4.25.

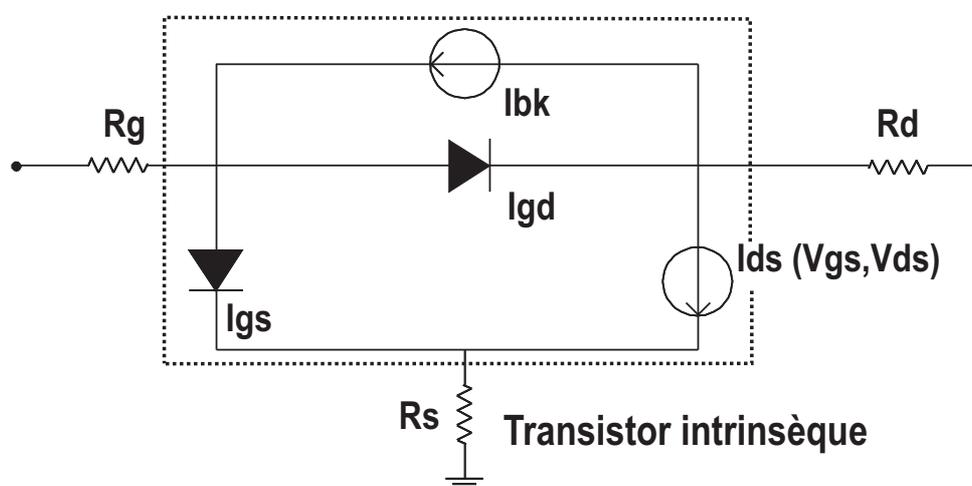


FIG. 4.25 – Modèle non-linéaire convectif d'un transistor HEMT.

Nous avons vu précédemment que les paramètres résistifs (R_g , R_d , R_s) sont extraits des mesures hyperfréquences. Cependant, les résistances R_d et R_s peuvent être obtenues à partir des mesures I(V), mais de manière moins précise. En effet, nous n'avons accès avec le réseau I(V) qu'à la somme $R_{canal} + R_d + R_s = R_{on}$. Par conséquent, il est préférable de conserver les valeurs des résistances R_d et R_s extraites avec les mesures hyperfréquences et de ne les réajuster que si nécessaire.

Cependant, nous voyons que les modélisations de la partie I(V) et de la partie hyperfréquence sont étroitement liées.

L'effet fondamental du transistor à effet de champ est décrit par une source de courant non linéaire commandée par les tensions V_{gs} et V_{ds} . Nous avons utilisé comme modèle de base celui de Tajima [145] dont le modèle de la source de courant non linéaire commandée décrit assez précisément les caractéristiques de sortie du transistor, de la zone de pincement jusqu'à la limite de la zone de conduction de grille pour les valeurs positives de V_{ds} . Un terme multiplicatif, α_{GMGD} , prenant en compte la décroissance de la transconductance gm lorsque V_{gs} augmente, et permettant de régler l'amplitude de la résistance de sortie ($R_{ds} = 1/Gd$) a été ajouté à la description du courant par les équations de Tajima. La formulation complète (souvent appelée "modèle de Tajima modifié" [95]) utilisée pour la modélisation de la source de courant est donc :

$$Id = Id_{TAJIMA} \cdot \alpha_{GMGD} \quad (4.46)$$

$$Id_{TAJIMA} = \frac{Id_{ss}}{1 - \frac{1-e^{-m}}{m}} \cdot \left[V_{gsn} - \frac{1 - e^{-m}}{m} \right] \cdot \left[1 - e^{-V_{dsn} \cdot (1 - a \cdot V_{dsn} - b \cdot V_{dsn}^2)} \right] \quad (4.47)$$

$$\alpha_{GMGD} = 1 + \beta_{gm} \cdot [V_{ds} + V_{dm}] \cdot [1 + \tanh(\alpha_{gm} \cdot (V_{gs} - V_{gm}))] \quad (4.48)$$

avec :

$$V_{gsn} = 1 + \frac{V_{gs}(t - \tau) - V_{\varphi}}{V_p} \quad (4.49)$$

$$V_{dsn} = \frac{V_{ds}}{V_{dsp} \left(1 + \omega \cdot \frac{V_{gs}(t - \tau)}{V_p} \right)} \quad (4.50)$$

et :

$$V_p = V_{p0} + P \cdot V_{dsp} + V_{\varphi} \quad (4.51)$$

- *Modélisation des courants de diodes*

Les diodes d'entrées représentent des générateurs de courant non-linéaires permettant de modéliser le courant positif de grille (courant de conduction de la diode Shottky de grille) mesuré pour les valeurs positives de V_{gs} et des valeurs de V_{ds} faibles.

Les expressions utilisées pour modéliser ce courant sont les suivantes :

$$I_{gs} = I_{sgs} \cdot \left[e^{\frac{q \cdot V_{gs}}{N_{gs} \cdot k \cdot T}} - 1 \right] \quad (4.52)$$

$$I_{gd} = I_{sgd} \cdot \left[e^{\frac{q \cdot V_{gd}}{N_{gd} \cdot k \cdot T}} - 1 \right] \quad (4.53)$$

• *Modélisation de l'avalanche*

Le régime d'avalanche est décrit simplement par une augmentation exponentielle des courants de grille (courant négatif) et de drain (courant positif) quand la tension d'avalanche BV_{gd} est atteinte. Pour des raisons de convergence, les exponentielles sont limitées à une valeur maximale (fonction e_{SOFT}).

On a ainsi :

$$I_{av} = I_{avdg} \cdot e_{SOFT}^{\alpha_{dg} \cdot V_{ds}} \quad (4.54)$$

Nous avons évoqué le fait qu'il y a peu d'intérêt à modéliser l'avalanche dans les transistors HEMTs GaN actuels. Cependant, la prise en compte de ce phénomène permet de limiter l'utilisation du modèle à des valeurs raisonnables des tensions de polarisation. Sa précision ne pourra par contre pas être évaluée, car il n'a jamais été possible au cours de cette étude de mesurer le régime d'avalanche sans dégrader les composants ou même les détruire. Nous verrons donc que les paramètres de cette source de courant sont évalués à partir de mesures (quasi-destructrices) à l'état Off avec la méthode de Bahl [146], et donneront une valeur approximative de la tension maximale possible.

4.5.2.2 Variante proposée au modèle de Tajima modifié et aux modèles de diodes idéales

Nous proposons ici une variante à la modélisation de la source de courant principale par les équations de Tajima modifiées.

- L'utilisation des équations de Tajima dans les simulateurs électriques nécessite l'utilisation d'une forme conditionnelle (si...alors...sinon) afin que le courant I_{ds} soit nul quand $V_{gs} < V_{pincement}$. Ainsi, la fonction modélisant le courant $I_{ds} = f(V_{gs}, V_{ds})$ n'est pas $C\infty$, ce qui peut être préjudiciable en termes de convergence et de résultats de simulations. Ceci ne pose cependant pas de problème dans le logiciel ADS que nous utilisons car il "adoucit" automatiquement la transition par une approche limitante de type exp/log (cf fonction above (4.67)). Cependant, la douceur de la transition n'est pas réglable et le modèle présente ainsi un paramètre caché.

- Un problème plus important encore est celui de la saturation du courant lorsque la grille entre en conduction : l'équation utilisée pour modéliser cette saturation (cf eq.

(4.48)) permet d'obtenir une transconductance gm négative, ce qui n'est pas observé en mesure. Nous proposerons donc une autre équation modélisant la saturation du courant, permettant d'obtenir une transconductance tendant asymptotiquement vers zéro sans jamais pouvoir devenir négative. Cette formulation, (cf eq.(4.60)) pourra par ailleurs remplacer la formulation utilisée (cf eq. (4.48)) dans le modèle de Tajima modifié, tout en conservant les autres formules (elles contiennent toutes les deux le même nombre de paramètres).

- Enfin, le modèle de Tajima ne fonctionne pas pour des valeurs négatives de V_{ds} . Ceci n'importe pas pour les utilisations en mode d'amplification, mais par contre rend ce modèle inutilisable pour des applications de type switch ou mélangeur. On a alors habituellement recours à des modèles splinés qui ont les inconvénients de décrire les dérivées partielles gm et gd au voisinage de $V_{ds} = 0$ V avec une forte erreur car elles sont très sensibles aux imprécisions de mesures (une sonde de courant peut mesurer un courant même faible à $V_{ds} = 0$ V et $V_{gs} = 0$ V). De plus ils ne permettent pas d'extrapoler correctement les caractéristiques $I(V)$ mesurées, ce qui peut devenir une source d'erreurs.

La recherche d'une modélisation correcte des courants pour des tensions de drain négatives nous a amené à modéliser plus finement le courant de grille I_g , car les modèles de diodes (cf eq. (4.53)) utilisés pour des tensions V_{ds} positives ne sont plus valides pour des tensions négatives (où la diode grille-drain est alors polarisée en direct), comme on peut le voir sur la figure 4.26.

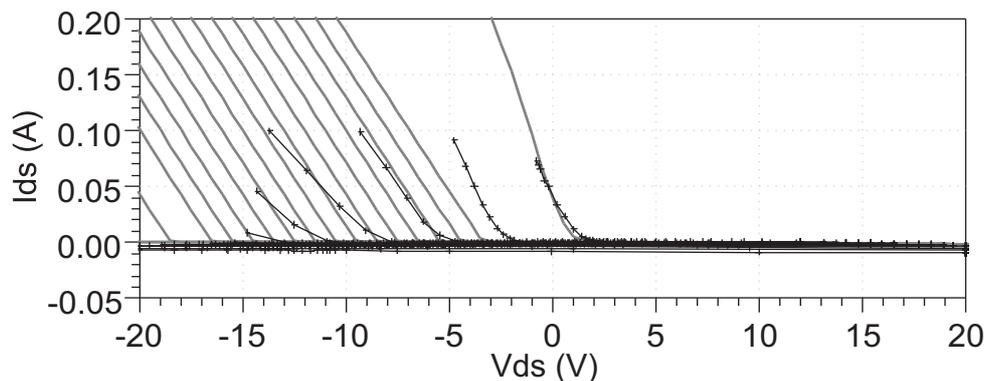


FIG. 4.26 – Modélisation du courant de grille à partir des équations idéales de diodes (cf eq. 4.53) pour des tensions V_{ds} négatives, et $V_{gs}=+2$ à -18 V. La modélisation est correcte pour la courbe à $V_{gs}=2$ V (c'est la diode grille-source qui intervient), mais elle est fautive pour des valeurs inférieures de V_{gs} (pour lesquelles c'est la diode grille-drain qui entre en conduction). De nouvelles formes analytiques sont nécessaires, en particulier pour modéliser la conduction de la diode grille-drain (lignes+croix : mesures, lignes grises : modèle).

- *Modélisation de la source de courant principale*

Nous avons cherché à remplacer les sources tabulaires [84] à cause de leur incapacité à extrapoler les mesures. Ceci pour plusieurs raisons :

- Les zones non mesurables (car destructrices) avec les moyens de mesures utilisés peuvent être parcourues par des signaux rapides sans forcément conduire à la destruction des composants.

- Le modèle proposé doit être valide pour différentes topologies de transistors et en particulier pour des topologies plus robustes qui pourraient supporter des excursions en tension et courant supérieures.

- Enfin, une étude sur l'impact de signaux perturbants de forte puissance appliqués à un composant a montré que les résultats de simulations pouvaient être très différents en fonction de l'existence ou non d'une saturation du courant de sortie pour des tensions V_{ds} très négatives, c'est-à-dire dans des zones non mesurables.

Nous nous sommes donc appuyés sur des résultats de simulations physiques pour connaître le comportement du courant dans des zones non mesurables, et en particulier pour des tensions V_{ds} très négatives. Il apparaît que le courant de sortie I_{ds} sature, et ce à la même valeur quelque soit la tension V_{gs} , comme on peut le voir sur la figure 4.27. Ainsi, des équations modélisant ce comportement ont été développées. Elles font

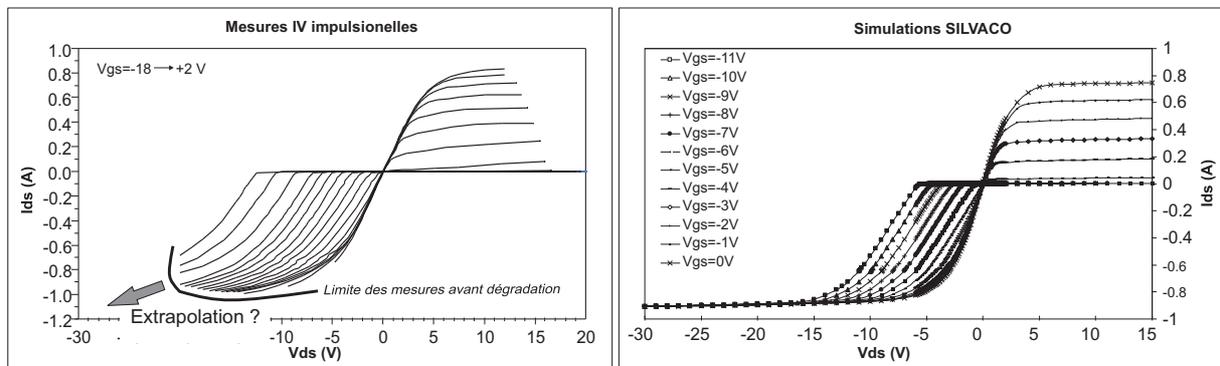


FIG. 4.27 – Recours aux simulations physiques afin d'obtenir la forme du courant pour des tensions de drain fortement négatives.

appel de nombreuses fois à des fonctions limitantes de type exp/log (*cf* fonctions above et under eq.(4.67) et (4.68)), qui permettent de représenter la forme du courant avec une formulation $C\infty$. Les dérivées d'ordre 1 à 3 du courant I_{ds} en fonction de la tension de drain V_{ds} sont montrées au voisinage de $V_{ds} = 0$ V à la figure 4.28, et ne présentent pas de problème de continuité.

La formulation complète du modèle proposé, appelé modèle GAMM est donnée ici (on note que l'équation de la source de courant principale n'est pas donnée directement, mais

elle peut être obtenue sachant que $I_{ds} = I_d + I_{gd}$:

$$I_d = I_{ds} - I_{gd} = I_{dss} \cdot dhyp[V_{dsn} + A \cdot V_{dsn}^3] \cdot V_{gsn} \quad (4.55)$$

avec :

$$V_{gsn} = V_{gs_{tin}} \cdot \left[1 + \frac{V_{p0}}{vp} \right]^N \quad (4.56)$$

$$V_{dsn} = \frac{V_{ds}}{V_{dsp} \cdot [1 + W \cdot (V_{gsn} - 1)]} \quad (4.57)$$

$$vp = V_{p0} + above[-V_{ds}, \beta_{neg}, 0] + P \cdot V_{ds} \quad (4.58)$$

$$V_{gs_{tin}} = above \left[\frac{V_{sat_{pos}} + vp}{above(V_{sat_{pos}} + vp + V_{p0}, V_{sat_{neg}}, \frac{-vp}{vp_0})}, V_{sat_{neg}}, 0 \right] \quad (4.59)$$

$$V_{sat_{pos}} = under \left[\frac{V_{gs}}{2}, S_{sat1_{pos}}, V_{sat1_{pos}} \right] + under \left[\frac{V_{gs}}{2}, S_{sat2_{pos}}, V_{sat2_{pos}} - V_{sat1_{pos}} \right] \quad (4.60)$$

$$V_{sat_{neg}} = above[\beta_{neg} \cdot under(-V_{ds}, S_{sat_{neg}}, V_{sat_{neg}}), \beta_{neg}, 0] \quad (4.61)$$

avec :

$$A = cval(A_{pos}, A_{neg}, V_{ds}, \alpha_{trval}) \quad (4.62)$$

$$W = cval(W_{pos}, W_{neg}, (V_{gs} + vp_0), \alpha_{trval}) \quad (4.63)$$

Plusieurs fonctions sont utilisées dans ces formulations. La fonction *dhyp* (eq. (4.64)) permet de reconstituer l'enveloppe du courant (elle est similaire à une tangente hyperbolique). La fonction *cval* (eq. (4.65)) permet de changer la valeur d'une variable quand la valeur du troisième paramètre V atteint 0, avec une "douceur" de transition paramétrable par α_{trval} . Enfin, les fonction *above* (eq. (4.67)) et *under* (eq.(4.68)) permettent de faire saturer une fonction aux valeurs respectives $-xn$ et xp . Elles sont donc équivalentes à :

above(x, a, xn)= si ($x < -xn$), alors $-xn$, sinon x , avec une douceur paramétrée par a .

under(x, a, xp)= si ($x < xp$), alors x , sinon xp , avec une douceur paramétrée par a .

$$dhyp(x) = \frac{x}{\sqrt{1+x^2}} \quad (4.64)$$

$$cval(x_{pos}, x_{neg}, V, \alpha_{trval}) = \frac{x_{pos} - x_{neg}}{2} \cdot \tanh(\alpha_{trval} \cdot V) + \frac{x_{pos} + x_{neg}}{2} \quad (4.65)$$

$$hypfneg(x) = \begin{cases} \frac{1}{2 \cdot (\sqrt{1+x^2} - x)} & \text{si } (x > -1) \\ -1 & \text{sinon} \end{cases} \quad (4.66)$$

$$2 \cdot x \cdot \left(1 + \sqrt{1 + \frac{1}{x^2}}\right)$$

$$above(x, a, xn) = \begin{cases} x + a \cdot hypfneg\left(\frac{-(x+xn)}{a}\right) & \text{si } (x > -xn) \\ -xn + a \cdot hypfneg\left(\frac{x+xn}{a}\right) & \text{sinon} \end{cases} \quad (4.67)$$

$$under(x, a, xp) = \begin{cases} xp - a \cdot hypfneg\left(\frac{xp-x}{a}\right) & \text{si } (x > xp) \\ x - a \cdot hypfneg\left(\frac{x-xp}{a}\right) & \text{sinon} \end{cases} \quad (4.68)$$

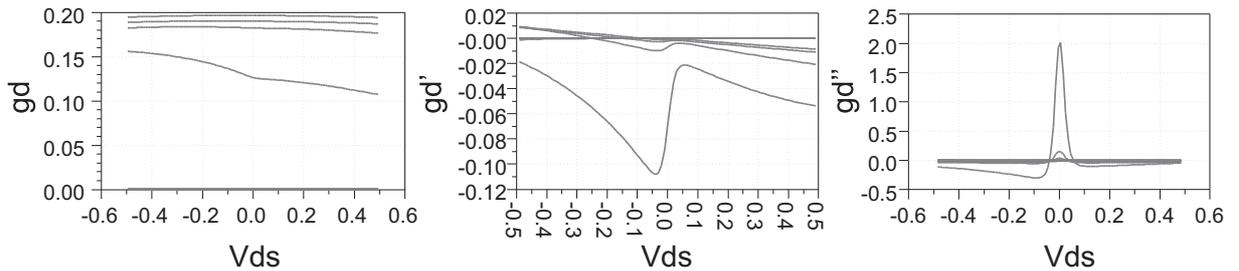


FIG. 4.28 – Continuité des dérivées d'ordre 1 à 3 de I_{ds} par rapport à V_{ds} au voisinage de $V_{ds} = 0$ V

- *Modélisation des diodes non idéales*

Seul le modèle de la diode grille-drain est modifié car le modèle classique de la diode grille-source (*cf* équation (4.53)) suffit à obtenir une bonne adéquation entre les mesures et les modèles.

La nouvelle formulation complète des diodes est donnée ici :

$$\begin{aligned} I_{gd} &= I_{sgd} \cdot \left[e^{\frac{q \cdot (V_{gd} - \alpha_{gs} \cdot (V_{gs} - V_{tgd}))}{N_{gd} \cdot k \cdot T}} - 1 \right] \\ I_{gs} &= I_{sgs} \cdot \left[e^{\frac{q \cdot V_{gs}}{N_{gs} \cdot k \cdot T}} - 1 \right] \end{aligned} \quad (4.69)$$

- *Modélisation de l'avalanche*

Le modèle permettant de reproduire les caractéristiques I(V) pour des tensions de drain positives et négatives, le régime d'avalanche a été modélisé pour des tensions V_{ds} positives et négatives. Un générateur modélisant l'avalanche grille-source a été ajouté en plus du générateur d'avalanche grille-drain.

Cette formulation permet de décrire la forme des courants sur toute la plage de fonctionnement théorique du transistor, c'est-à-dire pour des tensions de drain allant de la tension de claquage V_{ds} négative à la tension de claquage V_{ds} positive.

- *Conclusion*

Le modèle proposé (GAMM) complet nécessite 18 paramètres pour la source de courant principale, 6 pour les diodes, et 4 pour les générateurs d'avalanches. Ceci est à comparer aux 14 paramètres de la source de courant de Tajima modifiée, des 4 paramètres de diodes classiques, et des 2 paramètres du seul générateur d'avalanche grille-drain. Ce nouveau modèle permet de reproduire les caractéristiques I(V) sur toute la plage de fonctionnement d'un transistor, contrairement au modèle de Tajima modifié qui ne permet de reproduire que les courants pour des tensions de drain positives. L'amélioration apportée par ce modèle est donc conséquente, d'autant que les équations proposées pour modéliser la décroissance de la transconductance sont plus appropriées.

4.5.2.3 Détermination des paramètres des sources de courant du transistor 8x75 μm AEC 1148

Le réseau modélisé ici est le réseau à polarisation de repos $V_{gs_0} = 0 \text{ V}$, et $V_{ds_0} = 0 \text{ V}$. Il s'agit comme nous l'avons vu de celui où les effets de pièges ont le moins d'effets sur les caractéristiques de sortie. En effet, ceux-ci seront pris en compte dans des sous-circuits spécifiques de pièges, et il ne faut pas alors qu'ils soient pris en compte dans la source de courant. Il en est de même pour les effets thermiques.

- *Paramètres du modèle de Tajima modifié et des diodes idéales*

Le tableau 4.2 récapitule les valeurs des paramètres obtenues pour la source de courant

principale, le tableau 4.3 les valeurs des paramètres des diodes idéales, et le tableau 4.4 les paramètres du générateur d'avalanche grille-drain.

Source de courant						
Idss	P	V_{p0}	Vdsp	V_{φ}	A	B
1,05	0.02	5.21	1,9	0,07	0,001	0
M	W	β_{gm}	α_{gm}	Vgm	Vdm	Rfuite
50	0,7	0,9075	0,136	26,4	225	$17 \cdot 10^3$

TAB. 4.2 – Valeurs des paramètres de la source de courant du transistor 8x75 μm AEC 1148, en utilisant le modèle de Tajima modifié.

Diode Grille-Source		Diode Grille-drain	
Isgs	Ngs	Isgd	Ngd
$1 \cdot 10^{-18}$	2,132	$1 \cdot 10^{-18}$	2,053

TAB. 4.3 – Valeurs des paramètres des diodes idéales du transistor 8x75 μm AEC 1148.

Générateur d'avalanche	
Iavdg	α_{dg}
$3 \cdot 10^{-6}$	0,12

TAB. 4.4 – Valeurs des paramètres du générateur d'avalanche grille-drain du transistor 8x75 μm AEC 1148.

La tension BV_{ds} de claquage donnée par ce jeu de paramètres est proche de 90 V, comme on le voit sur la figure 4.29.

La figure 4.29 montre une comparaison entre les mesures en impulsions et les caractéristiques obtenues grâce au modèle de Tajima modifié. La corrélation est bonne entre les mesures et le modèle sauf quand l'effet d'auto-échauffement, non modélisé, devient notable sur le courant de sortie. Les simulations sont effectuées pour des tensions de drain élevées afin de visualiser la montée exponentielle du courant induite par le modèle de claquage.

- *Paramètres du modèle GAMM et des diodes non idéales*

Le tableau 4.5 récapitule les valeurs des paramètres obtenues pour la source de courant principale, le tableau 4.6 les valeurs des paramètres de diodes, et le tableau 4.7 les paramètres du générateur d'avalanche.

Ces paramètres permettent de conserver la tension de claquage BV_{ds} proche de 90 V comme sur le modèle précédent, et définissent la tension de claquage grille-source BV_{ds} à environ -60 V, comme on le voit sur la figure 4.30 (cette valeur est issue d'une mesure destructrice).

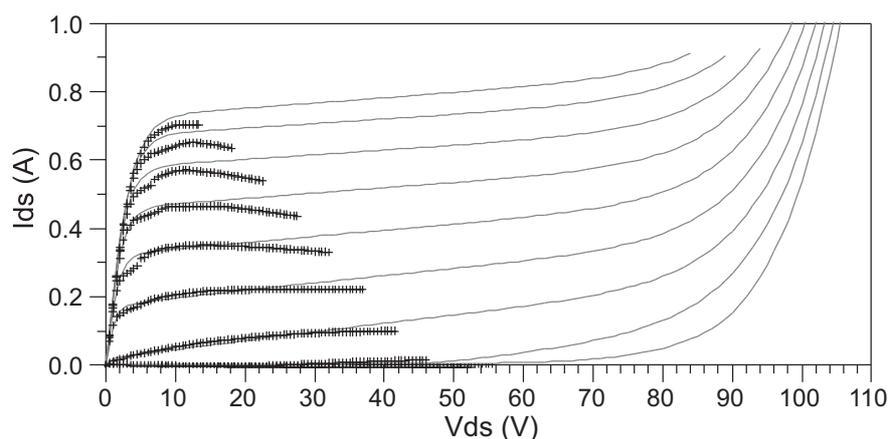


FIG. 4.29 – Comparaison mesure/modèle des réseaux I(V) en impulsions, en utilisant le modèle de Tajima modifié, montrant l'impact du modèle d'avalanche sur les caractéristiques I(V) simulées. On note un léger effet thermique lors des mesures (croix : mesure, lignes continues : modèle).

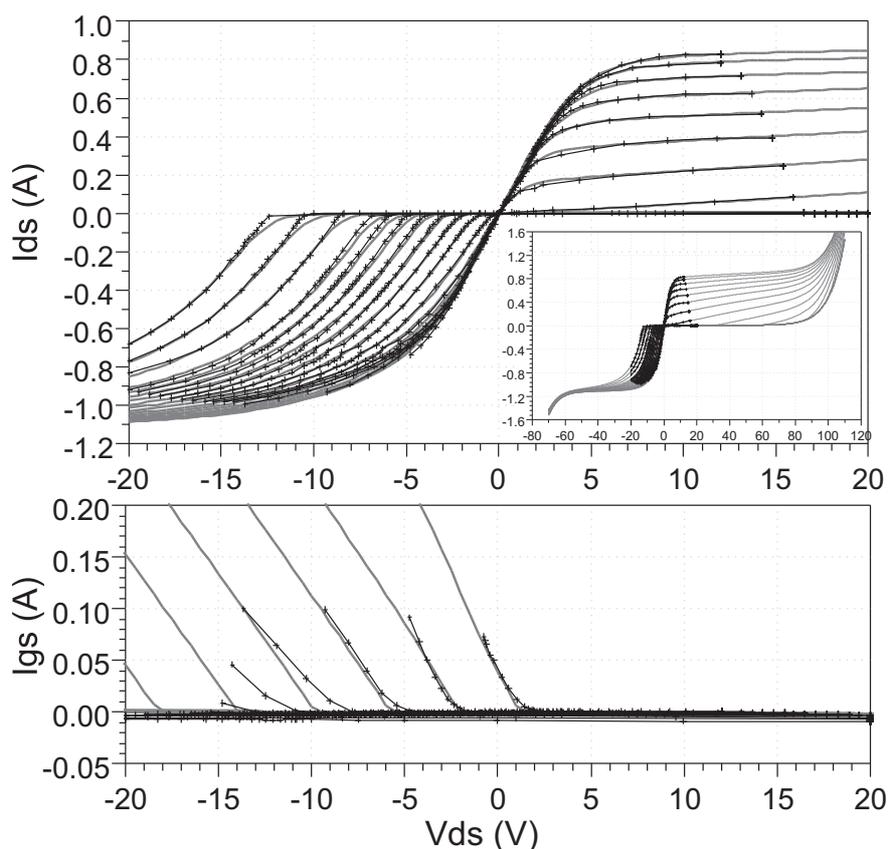


FIG. 4.30 – Comparaison mesure/modèle des réseaux I(V) en impulsions, en utilisant le modèle GAMM, et montrant l'impact des modèles d'avalanche sur les caractéristiques I(V) simulées, pour $V_{gs} = -18$ à $+2$ V (croix : mesure, lignes continues : modèle).

Source de courant principale								
Idss	V_{p0}	P	W_{neg}	W_{pos}	A_{neg}	A_{pos}	Vdsp	R_{fuite}
1,06	5,43	0,031	0	0,91	0	0,172	4,05	$17 \cdot 10^3$
$S_{sat1pos}$	$V_{sat1pos}$	$S_{sat2pos}$	$V_{sat2pos}$	β_{neg}	S_{satneg}	V_{satneg}	α_{trval}	N
1,17	-1,89	0,36	-1,36	0,03	5,28	12,9	0,92	1,33

TAB. 4.5 – Valeurs des paramètres de la source de courant principale du modèle GAMM pour le transistor 8x75 μm AEC 1148.

Paramètres des diodes					
Isgd	Ngd	α_{gs}	Vtgd	Isgs	Ngs
$1,8 \cdot 10^{-29}$	2,68	-3,315	0,9213	$1,2 \cdot 10^{-27}$	1,388

TAB. 4.6 – Valeurs des paramètres des diodes (modèle GAMM) du transistor 8x75 μm AEC 1148.

Générateurs d'avalanche			
Iavdg	α_{dg}	Iavgs	α_{gs}
$3 \cdot 10^{-6}$	0,12	$3 \cdot 10^{-6}$	0,17

TAB. 4.7 – Valeurs des paramètres des générateurs d'avalanche (modèle GAMM) du transistor 8x75 μm AEC 1148.

La figure 4.30 montre une comparaison entre les mesures en impulsions et les caractéristiques obtenues grâce au modèle de Tajima modifié. La corrélation est bonne, y compris quand V_{ds} est négative, ce qui peut rendre ce modèle utile pour des applications en switch par exemple. La saturation du courant pour des tensions V_{ds} négatives, non mesurée, est reproduite à partir des résultats de simulations physiques effectuées avec le logiciel Silvaco ATLAS.

4.5.3 Modélisation des capacités non-linéaires C_{gs} et C_{gd}

L'extraction multi-polarisations des éléments intrinsèques à partir des mesures de paramètres [S] montre que les capacités dépendent des deux tensions de commandes V_{gs} et V_{gd} . Cependant, afin de simplifier la modélisation de leurs variations, on peut réduire leur dépendance à une seule variable qui est la tension à leurs bornes. Cette méthode est détaillée dans le prochain paragraphe.

4.5.3.1 Capacités non-linéaires à une dimension

La modélisation des capacités non-linéaires C_{gs} et C_{gd} est réalisée en paramétrant une fonction apte à décrire leurs variations respectives le long d'une droite de charge idéale [147]. Ainsi, seules les valeurs des capacités extraites le long de cette droite de charge sont considérées. Par ce biais, on peut réduire la description de C_{gs} à une fonction de V_{gs}

seulement et celle de C_{gd} à une fonction de V_{gd} seulement.

Cette droite de charge est tracée sur le réseau I(V) impulsionnel mesuré avec la même polarisation de repos que celle de l'application visée. Il est en effet nécessaire d'extraire les valeurs des capacités en se plaçant dans un état thermique le plus proche possible de l'application visée car les capacités dépendent de la température [30]. Nous étudierons dans la suite l'impact des pièges sur les valeurs des capacités.

Ceci implique que la modélisation des capacités telle qu'elle est effectuée actuellement peut limiter la validité du modèle à une zone restreinte autour d'un point de polarisation donné et donc à une application donnée et prévue lors de la phase de modélisation. La portée de cette simplification sera étudiée dans le prochain paragraphe. La figure 4.31 montre la droite de charge choisie dans le cas du transistor $8 \times 75 \mu\text{m}$ AEC 1148.

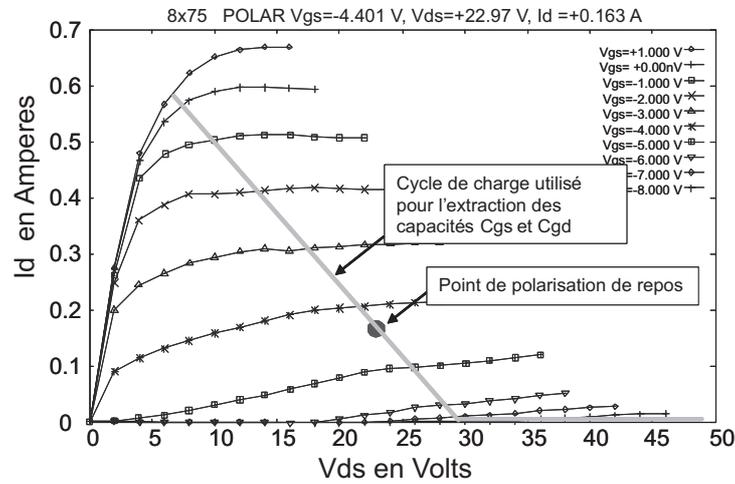


FIG. 4.31 – Cycle de charge choisi dans le réseau I(V) pour représenter un fonctionnement en puissance. L'extraction des capacités non-linéaires C_{gs} et C_{gd} est faite le long du cycle de charge représenté.

Ainsi, nous ne considérons les variations des valeurs des capacités C_{gs} et C_{gd} que le long du cycle de charge, et elles peuvent être représentées en fonction des tensions à leurs bornes (respectivement V_{gs} et V_{gd}) par une forme utilisant des tangentes hyperboliques, donnée à l'équation suivante :

$$C_{gx} = C_0 + \frac{C_1 - C_0}{2} [1 + \tanh(a(V_{gx} + V_m))] - \frac{C_2}{2} [1 + \tanh(b(V_{gx} + V_p))] \quad (4.70)$$

Où C_0 , C_1 , C_2 , a , b , V_p , et V_m représentent les différents paramètres associés à chaque capacité, et où C_{gx} et V_{gx} valent respectivement C_{gs} et V_{gs} ou C_{gd} et V_{gd} .

4.5.3.2 Détermination des paramètres des capacités non-linéaires à une dimension

Le réseau I(V) pour lequel l'extraction multi-polarisations a été effectuée a été mesuré pour une polarisation de repos $V_{gs0} = -4 \text{ V}$ et $V_{ds0} = 23 \text{ V}$ ($I_{ds0} = 200 \text{ mA}$), ce qui correspond à une polarisation en classe AB ($I_{ds0} \approx I_{dss}/4$) pour un fonctionnement en puissance du transistor (voir figure 4.31). Les valeurs des capacités non-linéaires C_{gs} et C_{gd} extraites le long de la droite de charge estimée sont montrées à la figure 4.32, ainsi que les formes permettant de les modéliser. Les valeurs des paramètres des équations sont données au tableau 4.8.

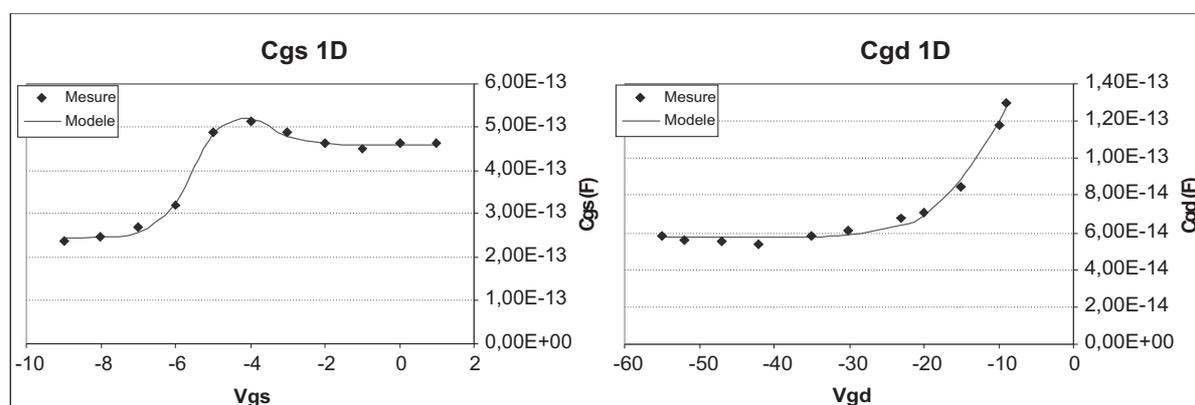


FIG. 4.32 – Comparaison extraction/modèle des capacités C_{gs} et C_{gd} en fonction de V_{gs} et V_{gd} extraites le long du cycle de charge du HEMT $8 \times 75 \mu\text{m}$ AEC 1148 (points : extraction, lignes continues : modèle).

Cgs 1D		Cgd 1D	
C0 (fF)	321	C0' (fF)	53,9
C1 (fF)	647	C1' (fF)	200
C2 (fF)	61,4	C2' (fF)	-49,8
a	1,416	a'	0,205
b	1,458	b'	0,03
Vm	5,464	Vm'	6,05
Vp	3,151	Vp'	17,84

TAB. 4.8 – Valeurs des paramètres des capacités 1D du transistor $8 \times 75 \mu\text{m}$ AEC 1148.

4.5.3.3 Modélisation des capacités à deux dimensions

Nous nous sommes intéressés à l'extraction des capacités à deux dimensions, afin de quantifier leur impact sur la précision du modèle. Ces capacités ont été extraites à l'aide des formules décrivant les capacités à une dimension, mais en ajoutant une dépendance linéaire en fonction de la deuxième tension de commande (i.e. V_{gd} pour C_{gs} et V_{gs} pour

C_{gd}) à certains paramètres. La formulation proposée n'est certainement pas une solution optimale à la modélisation des capacités 2D (elle contient beaucoup trop de paramètres, et la conservation de la charge n'est pas parfaitement respectée...), mais elle sert simplement ici à obtenir une meilleure reproduction des capacités en tout point du réseau I(V). Cela suffira pour étudier l'intérêt de modéliser ces capacités à deux dimensions.

Par exemple, la capacité C_{gs} est modélisée par la forme :

$$C_{gs} = C_0 + (C_1 - C_0) \frac{[1 + \tanh(a(V_{gs} + V_m))]}{2} - C_2 \frac{[1 + \tanh(b(V_{gs} + V_p))]}{2} \quad (4.71)$$

Avec :

$$\begin{aligned} a &= a_0 \cdot (1 + \alpha_a \cdot V_{gd_{int}}) \\ b &= b_0 \cdot (1 + \alpha_b \cdot V_{gd_{int}}) \\ V_m &= V_{m0} \cdot (1 + \alpha_{V_m} \cdot V_{gd_{int}}) \\ V_p &= V_{p0} \cdot (1 + \alpha_{V_p} \cdot V_{gd_{int}}) \end{aligned} \quad (4.72)$$

La forme de C_{gd} est analogue.

Les variations de C_{gs} en fonction de V_{gs} pour différentes valeurs de V_{ds} , et les variations de C_{gd} en fonction de V_{gd} pour différentes valeurs de V_{gs} sont montrées à la figure 4.33.

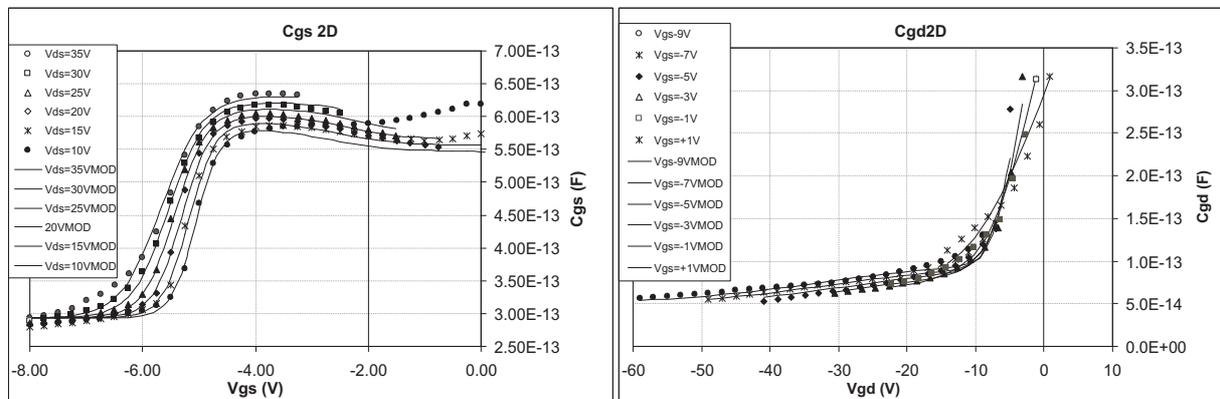


FIG. 4.33 – Comparaison extraction/modèle des variations de C_{gs} en fonction de V_{gs} à différentes valeurs de V_{ds} , et de C_{gd} en fonction de V_{gd} à différentes valeurs de V_{gs} (points : extraction multi-polarisations, lignes continues : modèle).

4.5.3.4 Erreurs sur les valeurs des capacités extraites à 1 et 2 dimensions

La figure 4.34 montre l'erreur commise en modélisant les capacités à 1 et 2 dimensions par rapport aux valeurs obtenues à partir des mesures sur l'ensemble du réseau I(V), pour C_{gs} et C_{gd} . Un zone hachurée donne approximativement l'aire dans laquelle l'erreur est

inférieure à 4%. On voit que la formulation simpliste utilisée pour la modélisation des capacités à deux dimensions est suffisante pour notre étude, car elle permet d'augmenter considérablement la zone de validité du modèle des capacités.

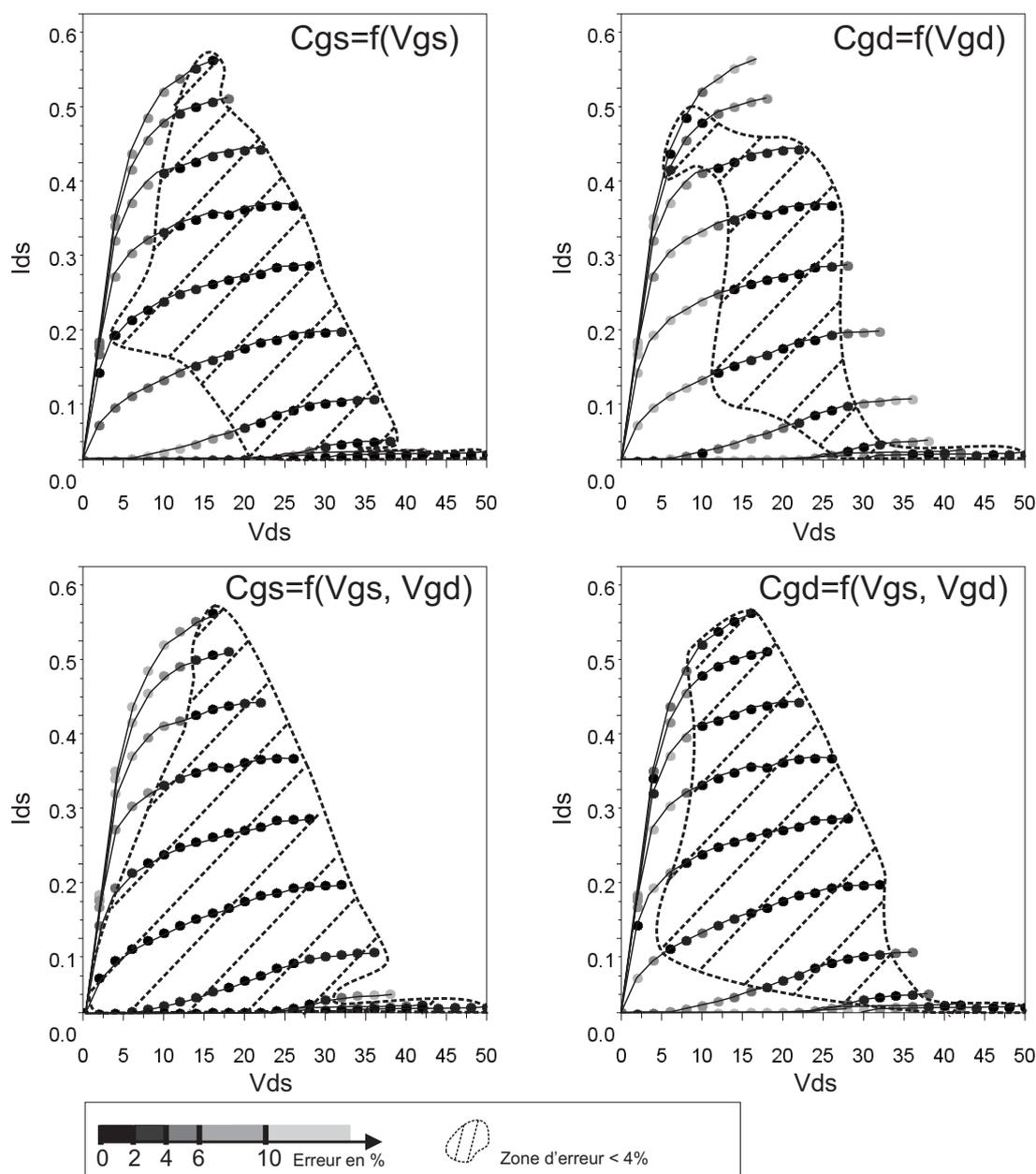


FIG. 4.34 – Erreur commise sur la valeur extraite des capacités C_{gs} (à gauche) et C_{gd} (à droite) lors d'une modélisation à 1 dimension pour le transistor HEMT $8 \times 75 \mu\text{m}$ AEC 1148. Les différents niveaux de gris indiquent différents plages d'erreurs, et la zone hachurée correspond approximativement à l'aire pour laquelle l'erreur de modélisation est inférieure à 4%.

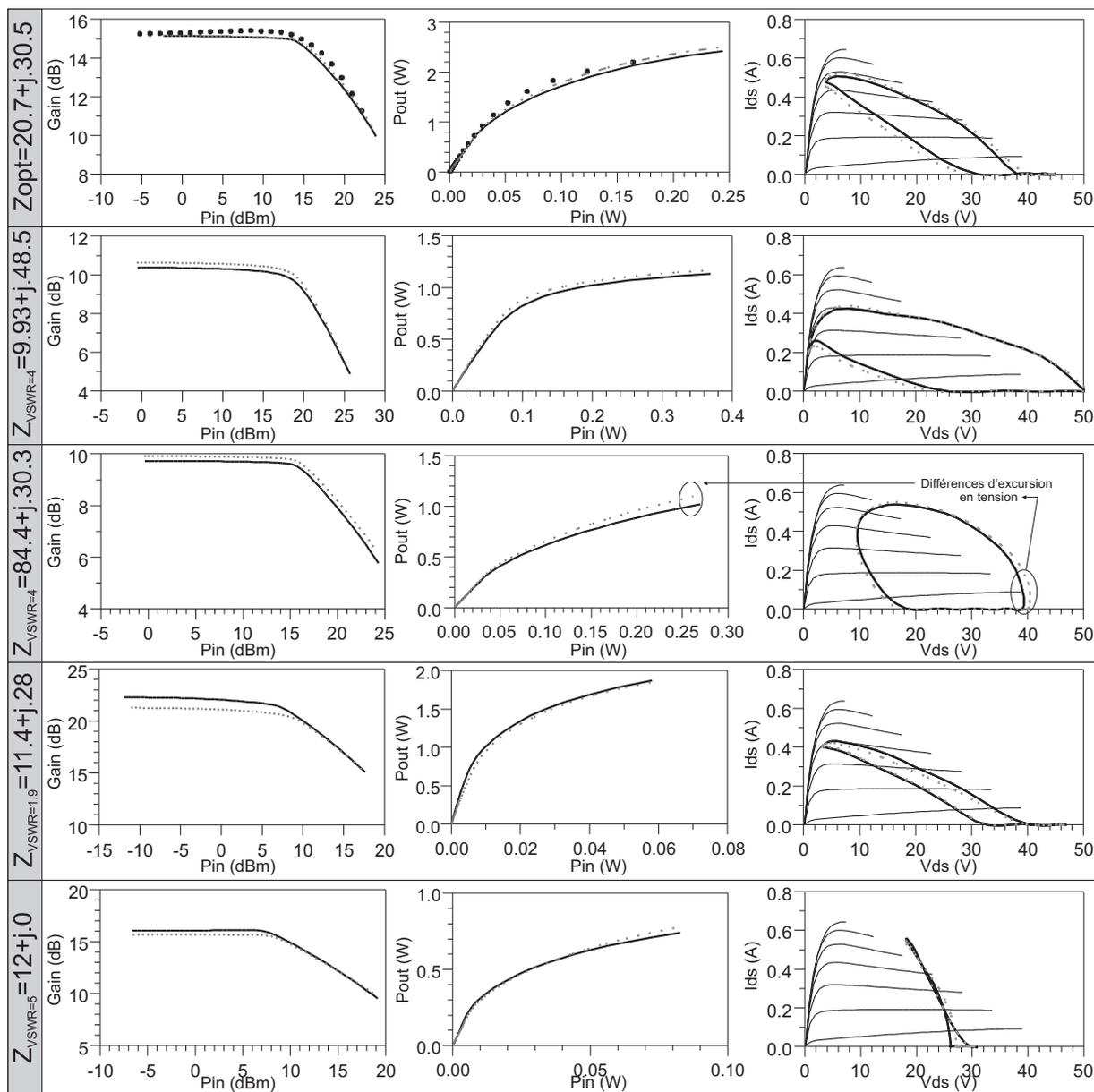


FIG. 4.35 – Différences entre les résultats de simulation grand signal en classe AB à 10 GHz entre un modèle comprenant des capacités C_{gs} et C_{gd} à 1 dimension et un modèle comprenant des capacités C_{gs} et C_{gd} à 2 dimensions pour le transistor $8 \times 75 \mu\text{m}$ AEC 1148 (croix : mesures, lignes noires continues : capacités 1D, lignes grises pointillées : capacités 2D).

4.5.3.5 Conclusion : 1D ou 2D ?

La modélisation de capacités à deux dimensions pourrait-elle être intéressante d'un point de vue d'une meilleure précision du modèle ?

Théoriquement, elle pourrait permettre de conserver un modèle valide pour plusieurs points de fonctionnement, ainsi que de mieux décrire les caractéristiques grand signal lors de fonctionnements des composants sur des facteurs de désadaptation élevés. En effet, la

forme des cycles de charges peut alors être sensiblement différente de la droite de charge optimale pour laquelle les capacités à 1 dimension ont été extraites.

Différentes simulations en grand-signal à 10 GHz sur différentes impédances de charge ont été effectuées afin de quantifier l'impact d'une modélisation 1D ou 2D des capacités. Les impédances de charges, très éloignées, ont été choisies arbitrairement afin d'obtenir des formes de cycles de charges très différentes.

La première simulation est faite sur l'optimum en puissance et comparée avec des mesures Load-Pull, afin de valider les valeurs trouvées dans les deux modèles de capacités.

On observe ces résultats sur la figure 4.35 : ils sont très similaires en de nombreux points, ce qui indique que la modélisation des capacités en fonction des deux tensions de commande V_{gs} et V_{ds} n'est pas justifiée, du moins pour les simulations en amplification de puissance à des taux de compression inférieurs à 5 dB et pour une fréquence de 10 GHz, l'influence des capacités sur les cycles augmentant quand la fréquence augmente. Ceci est d'autant plus vrai que l'extraction de modèles à deux dimensions est plus délicate. De plus, le respect de la conservation de la charge dans des équations à deux dimensions est difficile à obtenir, ce qui implique d'utiliser des formulations souvent complexes. Ce problème n'apparaît pas dans les équations à une dimension où la conservation de la charge est forcée. Les temps de calculs sont par contre similaires.

La seule différence notable que l'on remarque est la différence d'excursion en tension V_{ds} à faible courant de drain. Les impédances de charges simulées sont données sur la figure, ainsi que leur TOS par rapport à l'optimum en puissance.

Enfin, il faut alors se demander si l'éventuel gain de précision apporté par l'implémentation de capacités à deux dimensions ne serait pas noyé dans l'imprécision inhérente aux dispersions technologiques.

4.5.4 Extraction des paramètres thermiques

4.5.4.1 Dépendance thermique des paramètres

Nous avons décrit l'influence de l'échauffement sur les caractéristiques électriques des composants. Il n'est pas négligeable, les composants pouvant atteindre bien plus de 100°C lors de leur fonctionnement, et doit donc être modélisé. Cela implique deux choses :

- Savoir décrire l'élévation de la température en fonction de la puissance dissipée et du temps, et ce en utilisant des grandeurs électriques afin de pouvoir les implémenter dans un simulateur électrique.
- Connaître l'évolution des paramètres du modèle en fonction de la température. Ce sont deux étapes distinctes dans la modélisation de la dépendance thermique dans le modèle.

4.5.4.2 Circuit thermique et paramètres associés

Le circuit thermique est obtenu en modélisant l'évolution de la température du point chaud du canal par des simulations à éléments finis 3D. Les simulations ont été effectuées par J.C. Jacquet au III-V lab. Une autre méthode consiste à faire coïncider des mesures en impulsions (à température quasi-constante et judicieusement choisie) avec des mesures dc (pour lesquelles l'échauffement est stabilisé et la puissance dissipée connue) afin obtenir la résistance thermique, et d'observer la décroissance du courant en fonction du temps lors d'une impulsion de tension pour obtenir les constantes de temps d'échauffement. Cette dernière méthode a été détaillée en [30], mais n'est précise que si les effets de pièges sont faibles et le processus de capture suffisamment rapide devant les constantes de temps caractéristiques de l'échauffement.

La modélisation de l'échauffement en fonction de la température décrite comme tel constitue donc une simplification assez nette par rapport à ce qui a été montré : la résistance thermique est ici indépendante de la température, et la modélisation de la température du point chaud du composant seulement (obtenue par simulation) ne tient pas compte de la distribution de température dans le volume du composant.

Cependant, diverses simulations en grand-signal ont été faites en choisissant une résistance thermique non-linéaire en fonction de la température ou encore en tenant compte d'une température moins élevée au niveau des accès, et elles n'ont pas montrées de différences notables.

La figure 4.36 montre l'évolution de l'auto échauffement simulé d'un transistor 8x75 μm AEC 1148 brasé sur embase d'aluminium, pour une puissance dissipée de 7 W/mm.

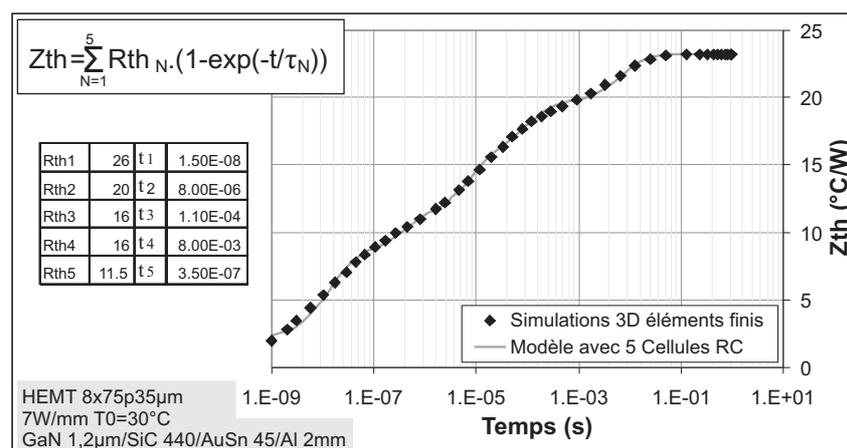


FIG. 4.36 – Évolution simulée grâce au modèle par éléments finis du transistor 8x75 μm AEC 1148 de la température du composant pour une température ambiante de 30°C et une puissance dissipée de 7 W/mm en fonction du temps (losanges : simulations 3D, ligne grise : Modèle R-C).

4.5.4.3 Représentation électrique de la température en fonction de la puissance dissipée

La température évolue de façon exponentielle en fonction du temps pour une puissance dissipée donnée. Ainsi, une représentation électrique convenable consiste à mettre en parallèle des cellules R-C qui donneront chacune une constante de temps ($\tau = RC$). La puissance dissipée qui est calculée au niveau de la source de courant constitue l'entrée du circuit et est représentée comme un courant, et l'échauffement constitue la sortie du circuit sous forme d'une tension. En y ajoutant la température ambiante (sous forme d'une tension aussi), on obtient la température du composant à chaque instant en fonction de la puissance dissipée. Un tel circuit, contenant 5 cellules R-C, est montré à la figure 4.37. La modélisation de l'échauffement en fonction du temps obtenue avec 5 constantes est montrée à la figure 4.36.

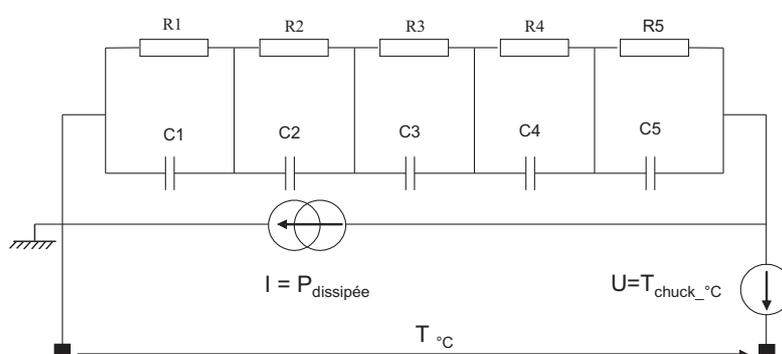


FIG. 4.37 – Circuit modélisant la température du composant en fonction de la puissance dissipée et du temps.

4.5.4.4 Dépendance thermique des paramètres du modèle

La dépendance thermique des paramètres de la source de courant est obtenue en modélisant les réseaux $I(V)$ impulsions mesurés à différentes températures ambiantes choisies. Certains paramètres du modèle doivent être modifiés (le but étant d'en modifier le moins possible), ce qui permet de déterminer leurs variations en fonction de la température. Ces variations sont montrées à la figure 4.38. On remarque que la plupart des paramètres ont une variation linéaire en fonction de la température sauf les courants de saturation des diodes Dgd et Dgs . On obtient ainsi les équations suivantes :

Pour les résistances d'accès :

$$\begin{aligned} R_s &= R_{s0} \cdot (1 + \alpha_{R_s} \cdot T) \\ R_d &= R_{d0} \cdot (1 + \alpha_{R_d} \cdot T) \end{aligned} \quad (4.73)$$

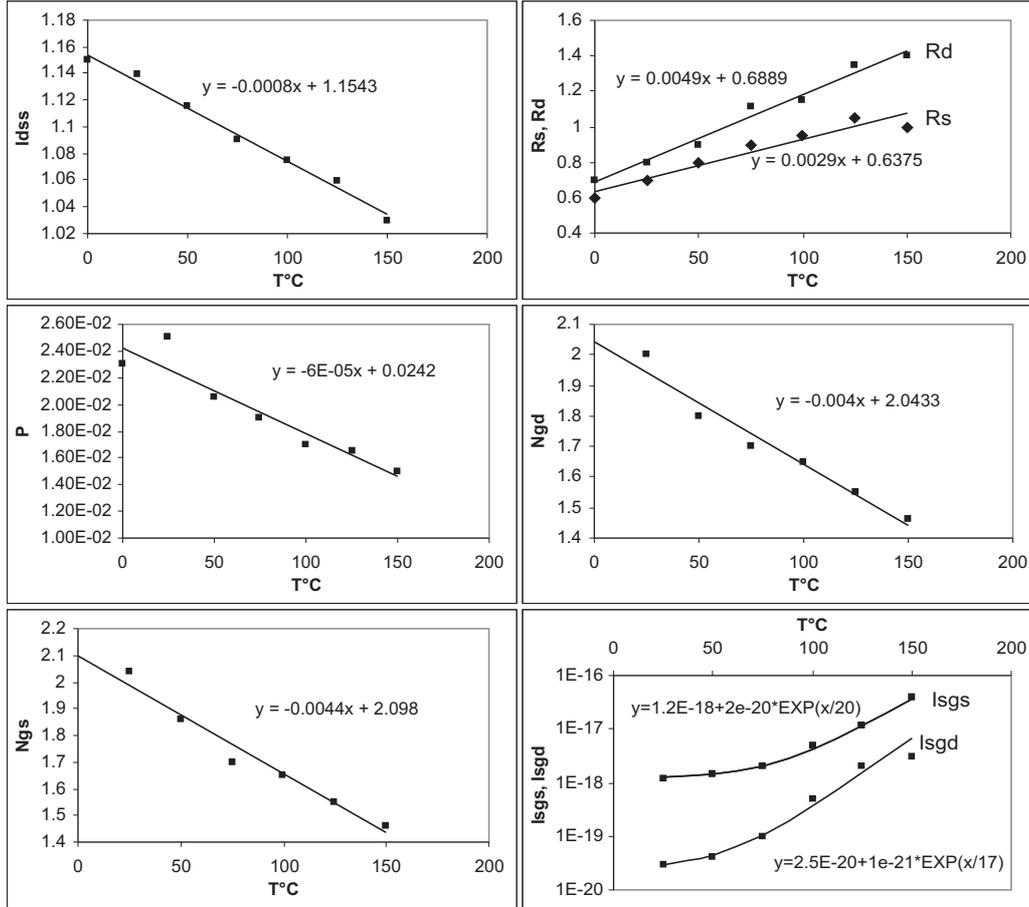


FIG. 4.38 – Evolution des paramètres des sources de courants en fonction de la température ambiante du $8 \times 75 \mu\text{m}$ AEC1148.

Pour la source de courant principale :

$$\begin{aligned} Id_{ss} &= Id_{ss0} \cdot (1 + \alpha_{Id_{ss}} \cdot T) \\ P &= P_0 \cdot (1 + \alpha_P \cdot T) \end{aligned} \quad (4.74)$$

Pour les diodes grille-source et grille-drain :

$$\begin{aligned} Ng_s &= Ng_{s0} \cdot (1 + \alpha_{Ng_s} \cdot T) \\ Is_{gs} &= Is_{gs0} + Is_{gsT} \cdot e^{\left(\frac{T}{T_{sgs}}\right)} \end{aligned} \quad (4.75)$$

$$(4.76)$$

$$\begin{aligned} Ng_d &= Ng_{d0} \cdot (1 + \alpha_{Ng_d} \cdot T) \\ Is_{gd} &= Is_{gd0} + Is_{gdT} \cdot e^{\left(\frac{T}{T_{sgd}}\right)} \end{aligned} \quad (4.77)$$

La diode de fuite a aussi été rendue dépendante de la température, permettant de modéliser l'augmentation du courant de fuite en fonction de l'échauffement. Sa dépendance

est linéaire :

$$R_{fuite} = R_{fuite0} \cdot (1 + \alpha_{Rfuite} \cdot T) \quad (4.78)$$

Les valeurs de différents paramètres sont données sur chaque courbe de la figure 4.38. Leurs variations extraites des mesures sont en accord avec les différents phénomènes physiques expliqués précédemment.

4.5.5 Modélisation des effets de pièges

Nous avons vu que les pièges pouvaient être modélisés en ajoutant leur contribution à la tension V_{gs} , qui module effectivement le courant. Les sous-circuits de pièges seront donc intercalés dans le circuit électrique entre le port de grille et la source de courant, et permettront ainsi de modifier la tension V_{gs} en y ajoutant les transitoires dus aux phénomènes de gate-lag et de drain-lag (cf fig. 4.20).

4.5.5.1 Fonctionnement des circuits de pièges du modèle

- *Le circuit de drain-lag*

Le modèle de drain-lag que nous présentons ici permet de prendre en compte les effets de capture et d'émission et surtout d'y associer des constantes de temps différentes. La topologie du modèle est montrée à la figure 4.39, si l'on ne considère qu'un seul état de pièges. Ce circuit fonctionne comme un détecteur d'enveloppe. Il a deux entrées : V_{gs} et V_{ds} . La sortie est la tension nommée V_{gs_int} , et c'est elle qui commande la source de courant principale (ou tout d'abord le circuit de gate-lag s'il est implémenté en aval du circuit de drain-lag).

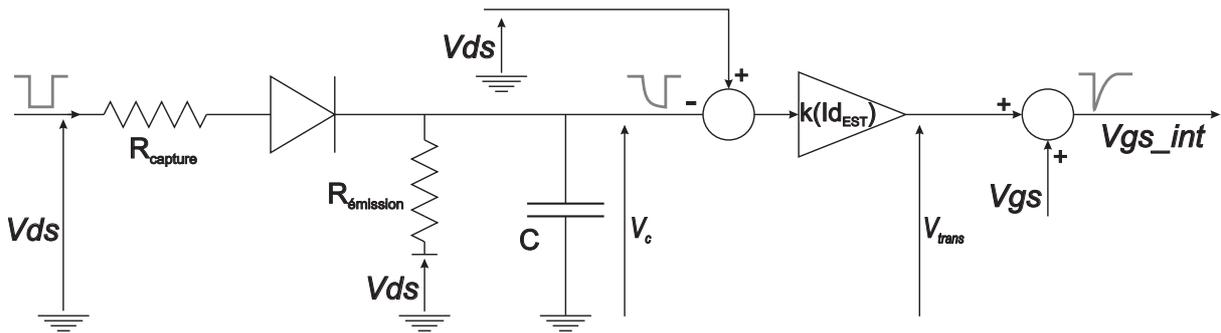


FIG. 4.39 – Schéma du modèle de drain-lag.

- *Création d'un transitoire simulant les pièges au niveau de la tension V_{gs_int}*

Lors d'une variation de la tension V_{ds} , un transitoire est créé au niveau de la capacité, et celui-ci est traité de façon à créer au niveau de V_{gs_int} un transitoire de tension qui simule les effets de pièges avec des constantes de temps différentes qu'il s'agisse d'émission ou de capture.

- Si V_{ds} augmente, le phénomène de capture de charges prévaut, et la constante de temps associée est :

$$\tau_{capture} = R_{capture} \cdot C \quad , \quad (R_{emission} \gg R_{capture}) \quad , \quad \text{car la diode est passante.}$$

- Si V_{ds} diminue, le phénomène d'émission de charges prévaut, et la constante de temps associée est :

$$\tau_{emission} = R_{emission} \cdot C \quad , \quad \text{car la diode est bloquée.}$$

On note que $R_{emission}$ n'est pas référencée à la masse, mais à V_{ds} , afin que les transitoires créés aux bornes de la capacité (et donc des transitoires de pièges) puissent dépendre de l'amplitude des variations de V_{ds} .

- *Traitement du transitoire créé aux bornes de la capacité - réglage du niveau établi.*

Nous voyons d'après le schéma de la figure 4.39 que $V_{gs_{int}}$ est la somme de la tension V_{gs} de commande et d'une tension transitoire qui n'est pas directement la tension aux bornes de la capacité. Ce traitement de la tension aux bornes de la capacité est nécessaire car il faut qu'au bout d'un temps infini $V_{gs_{int}}$ soit égal à V_{gs} , les pièges n'agissant plus. C'est pourquoi on soustrait la tension V_{ds} au transitoire créé aux bornes de la capacité.

- *Traitement du transitoire créé aux bornes de la capacités - réglage de son amplitude.*

Un transitoire avec les constantes de temps des pièges a donc été créé aux bornes de la capacité, et son niveau établi (à $t=\infty$) est de 0 V. Cependant, son amplitude est celle de la variation de la tension V_{ds} . Il faut donc corriger cette amplitude afin qu'elle devienne celle qui commandera à la source de courant sa variation due aux effets de pièges.

C'est le rôle du facteur d'amplification k .

Ce facteur est dépendant du courant total (qu'il y a à l'état établi) et il est donc décomposé en un facteur d'amplitude relatif, noté k_{rel} , et le courant. On a donc :

$$k = k_{rel} \cdot I_{ds} \tag{4.79}$$

Chaque piège considéré apportant une contribution au transitoire, ce facteur k_{rel} est donc la somme des contributions de chaque piège. Ainsi, si l'on considère n pièges, on a :

$$k_{rel} = \sum_1^n k_{rel_n} \tag{4.80}$$

et k_{rel_n} représente donc la contribution relative d'un état de piège.

Il reste donc à exprimer le courant I_{ds} . Pour cela, deux solutions sont possibles :

- La première est d'utiliser le courant fourni par la source de Tajima. Cette solution paraît naturelle, mais elle nécessite d'inclure une contre-réaction dans le modèle, les circuits de pièges commandant la source de courant, et celle-ci commandant les circuits de pièges.

- Ainsi, une autre solution a été envisagée : elle consiste à exprimer, de façon très simple par ailleurs, le courant I_{ds} estimé avant que les pièges ne l'aient affecté. Ce courant, noté $I_{ds_{EST}}$, est modélisé comme ne dépendant que de V_{gs} , et est donc exprimé pour une tension V_{ds} donnée (que l'on préférera choisir proche de celle du point de fonctionnement). Ainsi, nous avons :

$$I_{ds_{EST}} = Gm_{dc} \cdot (V_{gs} - V_{pincement}) \quad (4.81)$$

donc :

$$k = \sum_1^n krel_n \cdot Gm_{dc} (V_{gs} - V_{pincement}) \quad (4.82)$$

En fait, l'équation que nous utilisons réellement est :

$$k = \sum_1^n krel_n \cdot Gm_{dc} [above(V_{gs} - V_{pincement}, 0.1, 0)] \quad (4.83)$$

Rappelons que la fonction *above* (cf eq. (4.67)), équivaut à :

Si $V_{gs} < V_{pincement}$, alors $V_{gs} = V_{pincement}$, sinon V_{gs} ,

avec une transition souple entre les deux pentes définie par le second paramètre de la fonction, égal ici à 0,1.

La forme de k_n en fonction de V_{gs} est montrée à la figure 4.40.

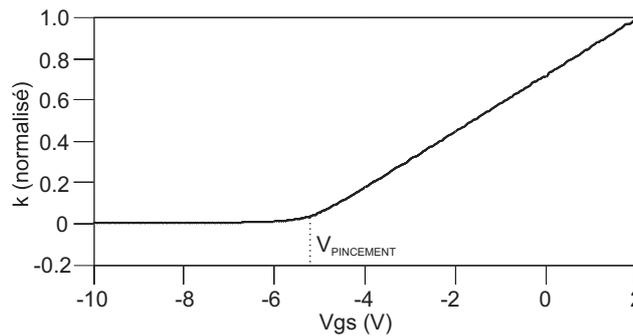


FIG. 4.40 – Forme de k_n en fonction de la tension V_{gs}

- *Chronogramme du fonctionnement du circuit de drain-lag.*

Le schéma présenté à la figure 4.41 permet d'expliquer par un exemple le fonctionnement du circuit pour une impulsion de la tension de drain négative de 30 à 10 V. C'est donc le cas d'une émission de charges. La valeur de k est ici de 0,01.

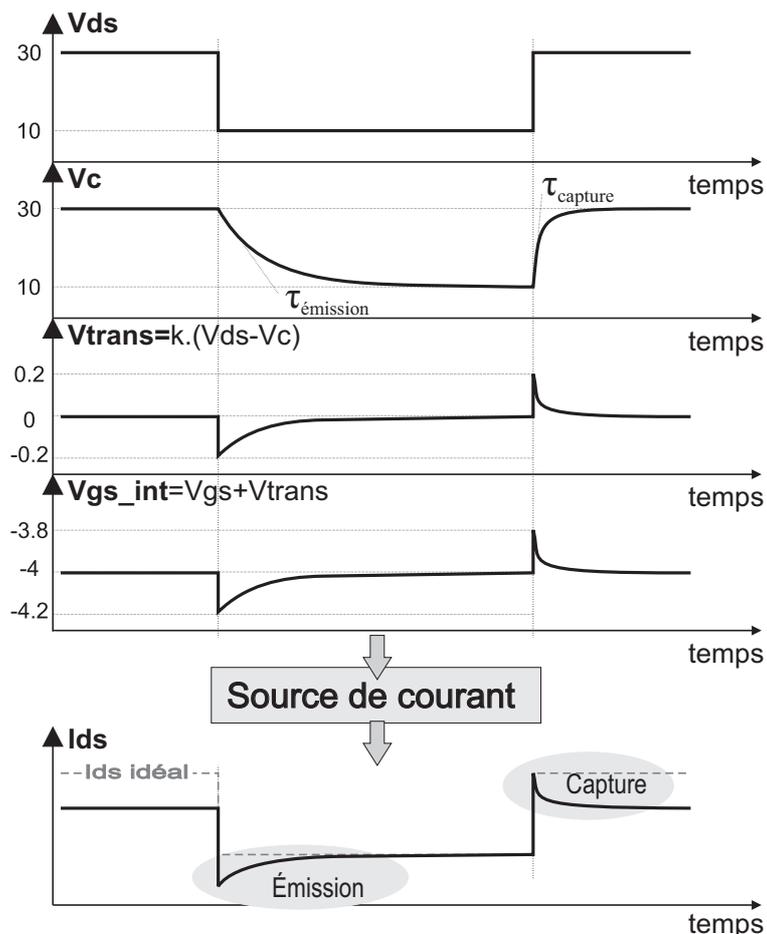


FIG. 4.41 – Exemple de l'impact du modèle de drain-lag sur la tension de commande lors de l'application d'une impulsion de tension de drain de 30 à 10 V, pour $k = 0,01$.

- *Le circuit de gate-lag.*

Il est défini exactement de la même façon que le circuit de drain-lag, en dehors du fait que la tension de commande du circuit RC n'est plus V_{ds} mais V_{gs} et que la résistance $R_{emission}$ est référencée au potentiel de V_{gs} . Ainsi, il n'y a plus qu'une entrée au circuit : V_{gs} , et une sortie : $V_{gs_{int}}$.

De plus, les phénomènes de capture et d'émission sont inversés en fonction des variations de la tension de commande :

- Si V_{gs} augmente, les pièges émettent des charges
- Si V_{gs} diminue, les pièges capturent des charges.

Ainsi il faut modifier le circuit en inversant le sens de la diode et en choisissant une amplitude k négative.

Le schéma du modèle de gate-lag est donné à la figure 4.42.

Enfin, les paramètres du circuit de gate-lag, $R_{emission}$, $R_{capture}$, C , et k sont différents

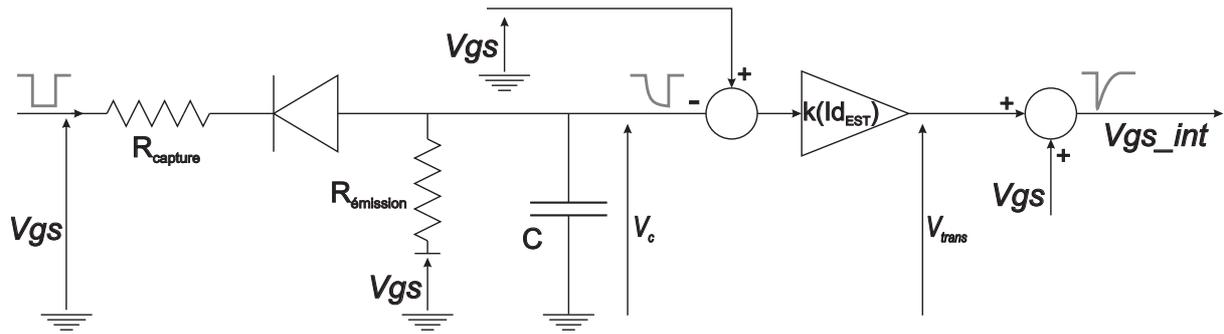


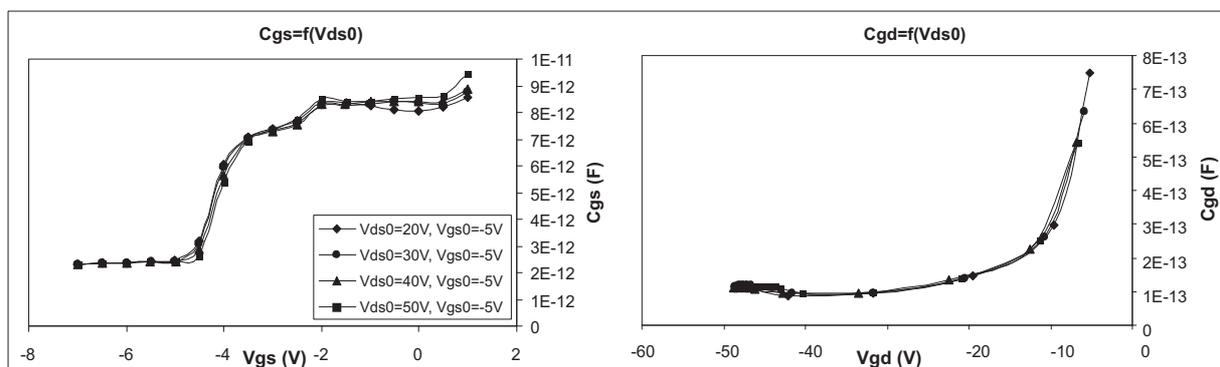
FIG. 4.42 – Schéma du modèle de gate-lag.

de celui de drain-lag. Nous allons définir dans la partie suivante les procédures de mesures en vue de leur extraction.

4.5.5.2 Influence des pièges sur les autres éléments du schéma électrique

Le modèle de pièges que nous avons présenté permet de modéliser les variations des caractéristiques $I(V)$, c'est-à-dire les variations de gm et gd , en fonction de la fréquence. Il est légitime de se demander si la modification de l'état des pièges au cours du fonctionnement du transistor n'a pas d'influence sur d'autres éléments du modèle, et en particulier sur les capacités. En effet, l'état de charge des pièges a un rôle déterminant sur les profils de champ dont dépendent les capacités.

Nous avons donc fait différentes extractions des valeurs des capacités sur un cycle de charge (sur un transistor $8 \times 400 \mu\text{m}$ adapté à des applications en bande S) en fonction de l'état de charge des pièges, c'est-à-dire du point de repos dans le cas de caractérisations en impulsions. La figure 4.43 montre une légère dispersion des valeurs extraites des capacités, mais celle-ci ne justifie en rien l'implémentation de capacités dépendant des états de pièges. Il en est de même pour les autres paramètres fréquentiels du schéma petit signal.


 FIG. 4.43 – Dispersion des valeurs des capacités extraites en fonction du point de polarisation de Vds_0 , et donc de l'état de charge des pièges associés au drain-lag.

4.5.5.3 Extraction des paramètres associés au modèles de pièges

- *Principe général*

L'extraction des paramètres est obtenue en mesurant les transitoires de courant durant des impulsions de tensions pour lesquelles les pièges émettent leurs charges, car la capture de charges est souvent trop rapide pour être mesurée. La forme de ces transitoires peut être décrite analytiquement grâce à la somme de quelques termes exponentiels. Dans le modèle du transistor 8x75 μm AEC 1148, deux termes (i.e. deux niveaux de pièges) ont été choisis pour les modèles de gate-lag et de drain-lag. Ce choix représente bien sûr un compromis entre la précision du modèle et sa complexité. Cependant, il n'est pas nécessaire de modéliser parfaitement la forme des transitoires, car les constantes de temps dépendent fortement de la température, et celle-ci n'est pas prise en compte dans le modèle présenté.

Il est par contre nécessaire d'éviter autant que possible que ces effets thermiques interviennent lors de la mesure des transitoires car leur impact sur le courant est indissociable de celui des pièges. Ceci implique que :

- L'état thermique du composant doit varier le moins possible pendant la mesure du transitoire de courant.

- Il doit être proche de celui de l'application visée, pour que les constantes de temps de pièges mesurées soient approximativement celles qui interviendront lors du fonctionnement du transistor dans l'amplificateur (même si la température varie notablement en fonction de la puissance dans cet amplificateur, on essaye de s'approcher d'une valeur moyenne de sa température de fonctionnement).

- *Mesure des transitoires de courant dus aux effets de drain-lag*

Pour éviter les effets thermiques, on applique une impulsion de tension de drain pour des tensions de grille proches du pincement, c'est-à-dire à un courant très faible, afin que l'état thermique soit très peu modifié. Pour se placer dans le même état thermique que celui du point de polarisation de l'application visée, il faut alors appliquer un échauffement au composant grâce au chuck thermique. Dans notre cas, la température du composant au point de fonctionnement est estimée à 110°C. La température de fond de puce est réglée à 110°C. Une impulsion négative de la tension V_{ds} est appliquée de façon à ce que les pièges réémettent leurs charges. On voit sur la figure 4.44 la mesure d'un transitoire de courant dans ces conditions pour une impulsion de la tension de drain de 35 à 25 V. La modélisation du transitoire de courant y est aussi montrée. Cette mesure permet donc de déterminer tous les paramètres du modèle de drain-lag associés à l'émission.

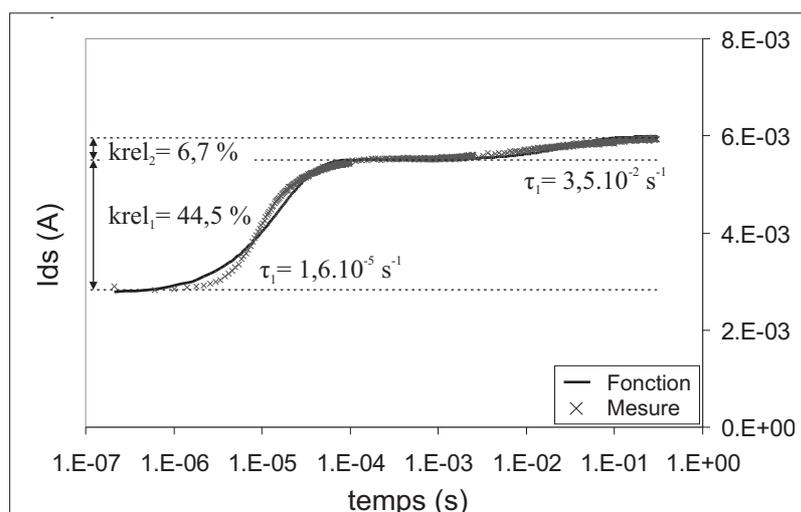


FIG. 4.44 – Évolution du courant de sortie en fonction du temps lors d’une impulsion de la tension de drain de 35 à 25 V, pour une tension de grille proche de la tension de pincement. Les paramètres associés au modèle de drain-lag sont extraits en modélisant cette courbe (croix : mesures, lignes continues : simulations).

- *Mesure des transitoires de courant dus aux effets de gate-lag*

Les constantes de temps liées au gate-lag sont obtenues de façon moins précise, car il est difficile de s’affranchir des variations thermiques au cours de la mesure. La méthode proposée consiste à appliquer une impulsion (positive) de la tension de grille V_{gs} , d’amplitude faible, choisie de façon à obtenir une variation du courant faible mais mesurable. Pour ce composant, la tension V_{ds} a été fixée à 25 V et une impulsion de tension V_{gs} de 0,1 V a été appliquée autour de la tension de polarisation (-4 V) prévue pour l’application. La température est donc, dans ce cas aussi, proche de celle de l’application visée.

- *Constantes de temps de capture*

Les constantes de temps de capture ne sont pas extraites de mesures, mais choisies arbitrairement, car elles sont trop rapides pour être mesurées dans notre cas comme dans la plupart des cas. Cependant, il est important de garder à l’esprit que le point clé pour obtenir de bons résultats en grand-signal est davantage dû à la dissymétrie entre les temps caractéristiques de capture et d’émission plutôt qu’aux valeurs absolues des constantes de temps associées à l’émission et à la capture. Les valeurs choisies pour ces constantes de temps de capture n’auront donc pas d’impact sur les résultats de simulation en équilibrage harmonique (elles en auront un dans le cas de simulations transitoires). On les fixe dans le modèle à quelques nanosecondes.

4.6 Validation du modèle

4.6.1 Validation en régime petit-signal

La première vérification du modèle consiste à simuler les paramètres $[S]$ au point de polarisation de repos de l'application visée ($V_{gs} = -4\text{ V}$, $V_{ds} = 25\text{ V}$). En effet, même si l'extraction du modèle petit-signal a été effectuée à partir de ces mêmes paramètres $[S]$, les valeurs de plusieurs paramètres ont pu être modifiées lors des phases suivantes de modélisation. On pense particulièrement aux deux capacités C_{gs} et C_{gd} qui ont été rendues non-linéaires, ainsi qu'aux dérivées partielles du courant g_m et g_d , qui sont définies maintenant à partir des équations de la source de courant, et enfin aux résistances R_s et R_d qui dépendent de la température.

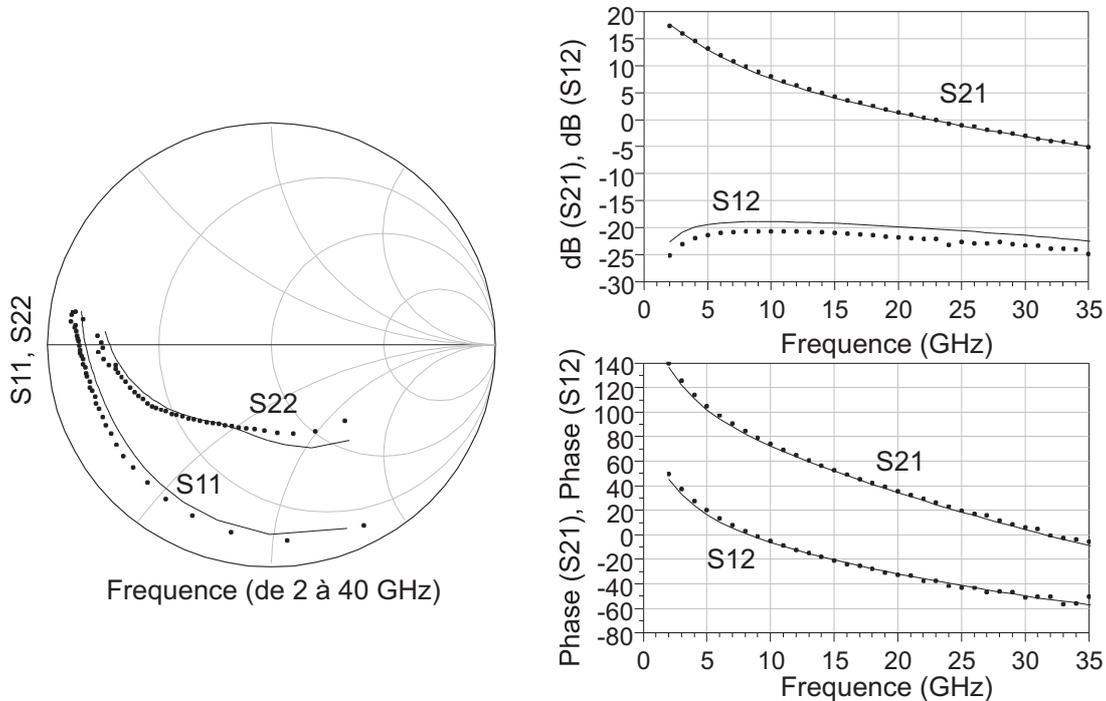


FIG. 4.45 – Comparaison mesure/modèle des paramètres $[S]$ pour un point proche du point de polarisation de repos et pour le modèle de transistor grand-signal. (points : mesures, lignes continues : simulations).

La figure 4.45 montre une superposition des paramètres $[S]$ mesurés et simulés au point M4, qui était celui choisi pour l'extraction des paramètres du modèle petit-signal. On remarque que le modèle ne reproduit plus aussi bien les caractéristiques petit-signal à ce point de mesure que le modèle petit-signal extrait précédemment (*cf* figure 4.45) pour les raisons qui ont été évoquées ci-dessus, mais que la modélisation des paramètres $[S]$ à ce point reste correcte.

4.6.2 Validation du modèle grâce à des mesures IV en impulsions et continues

4.6.2.1 Validation des modèles de pièges

Un banc I(V) en impulsions virtuel a été monté dans le logiciel ADS, utilisant des simulations transitoires. La figure 4.46 montre une comparaison entre les mesures permettant de mettre en évidence les pièges et des simulations effectuées dans les mêmes conditions, sur le transistor $8 \times 75 \mu\text{m}$ AEC 1148. Les courbes de gauche correspondent aux réseaux I(V) mesuré et simulé à une polarisation de repos $V_{gs_0} = 0 \text{ V}$ et $V_{ds_0} = 0 \text{ V}$. Dans cette configuration des polarisations de repos, les pièges associés au gate-lag comme au drain-lag capturent des charges (*cf* partie 3). Cette capture est rapide devant la longueur des impulsions (500 ns), et ainsi les modèles de pièges ne modifient pas la tension de commande, la diode étant en conduction et la capacité très rapidement chargée. $V_{gs_{int}}$ est donc égale à V_{gs} .

Les courbes de droite correspondent aux réseaux I(V) mesuré et simulé à une polarisation de repos $V_{gs_0} = -8 \text{ V}$ et $V_{ds_0} = 20 \text{ V}$. L'influence des modèles de pièges est alors visible car l'émission des charges, modélisée par la décharge de la capacité, est lente par rapport à la longueur des impulsions.

On note l'influence des effets de gate-lag sur la diminution de courant I_{ds} , et celle des effets de drain-lag sur l'augmentation de la tension de coude, en particulier pour des faibles courants sur les caractéristiques présentées.

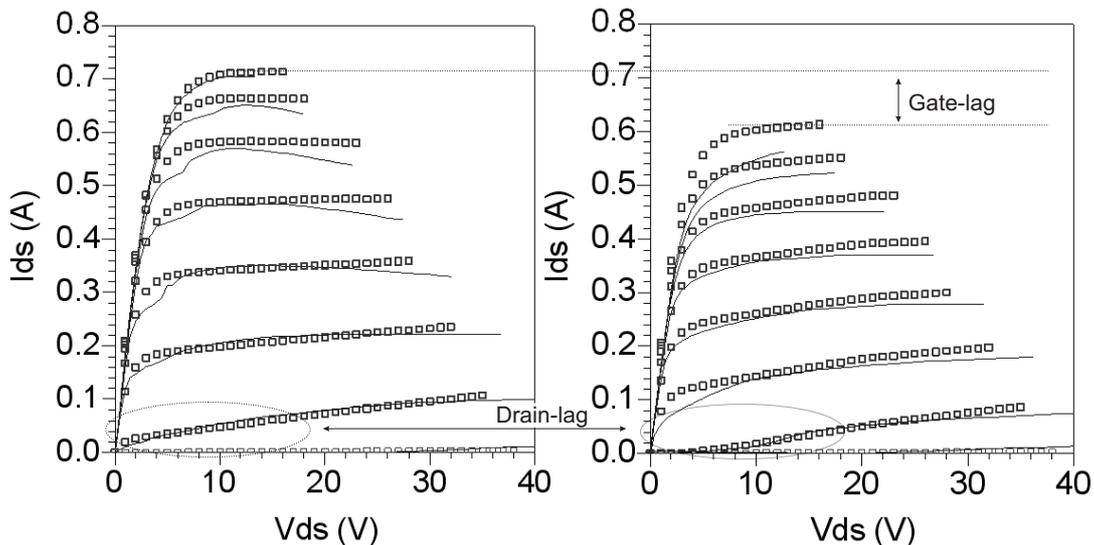


FIG. 4.46 – Comparaison mesures/modèle des réseaux IV (pour V_{gs_i} variant de -8 à $+1 \text{ V}$) à deux polarisation de repos différentes : à gauche : $V_{gs_0} = 0 \text{ V}$, $V_{ds_0} = 0 \text{ V}$, à droite : $V_{gs_0} = -8 \text{ V}$, $V_{ds_0} = 20 \text{ V}$ (lignes continues : mesure, symboles : simulations).

4.6.3 Validation du modèle thermique

La figure 4.47 montre une comparaison mesure/modèle de la décroissance du courant lors d'une caractérisation en impulsions de 400 ns sur un transistor 8x75 μm AEC 1148, pour $V_{gs0} = 0\text{ V}$, $V_{ds0} = 0\text{ V}$, et $V_{gs_{INST}} = 0\text{ V}$, $V_{ds_{INST}} = 15\text{ V}$. La décroissance du courant est due aux effets thermiques, les pièges n'intervenant pas lors de caractérisations de ce type. Le bon suivi de cette variation par le modèle montre que les paramètres thermiques du modèle des sources de courants sont correctement extraits.

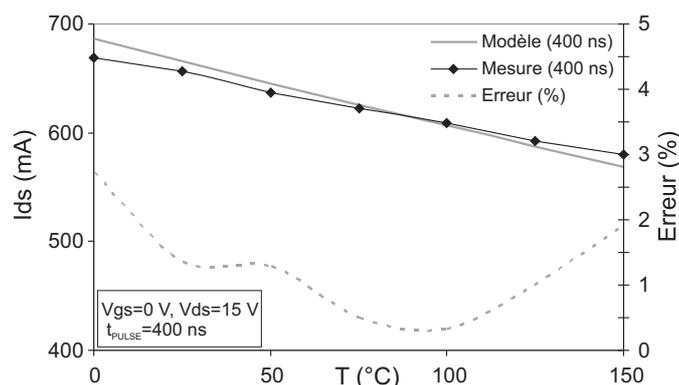


FIG. 4.47 – Comparaison du courant de drain mesuré et simulé pour des impulsions de 400 ns/10 μs , pour $V_{gs_{INST}} = 0\text{ V}$, $V_{ds_{INST}} = 15\text{ V}$ pour des températures ambiantes variant de 0 à 150°C (en noir : mesure, en gris : simulations, en pointillés gris : erreur en %).

La figure 4.48 montre une comparaison mesure/modèle des réseaux I(V) dc à une température ambiante de 25°C. La diminution du courant de sortie, sensible quand la température augmente, est relativement bien reproduite grâce au modèle thermique. Cela montre que les simplifications effectuées, tant sur la description de la température en fonction de la puissance dissipée que sur la non-variation de la résistance thermique en fonction de la température ne sont pas significatives. La température simulée atteint environ 200°C au maximum sur cette caractéristique.

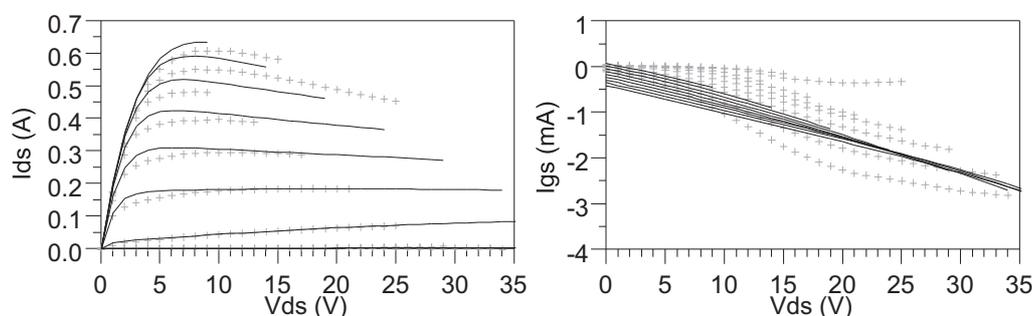


FIG. 4.48 – Comparaison mesure/modèle des caractéristiques I(V) du transistor en polarisation dc, où les effets dus à l'auto-échauffement sont notables (croix : mesures, lignes continues : simulations).

4.6.4 Validation du modèle par des mesures Load-Pull sur plusieurs points d'impédance à 10 GHz

4.6.4.1 Mesures Load-Pull à différentes impédances de charge

Des mesures ont été effectuées à une polarisation de drain de 25 V en classe AB à 10 GHz en cw pour plusieurs impédances de charge, qui sont présentées et numérotées à la figure 4.49. Le premier point correspond à l'optimum en puissance, et les autres points sont situés sur un contour à TOS=2,5 par rapport à l'optimum (excepté le point n°4 qui est à TOS=1,6, car le composant était instable au-delà).

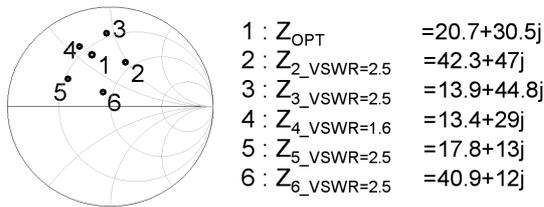


FIG. 4.49 – Impédances mesurées et simulées à 10 GHz sur le transistor 8x75 μm AEC 1148.

• Mesures sur l'impédance optimale

Des simulations ont été effectuées sur l'impédance optimale, $Z_1 = 20,7 + j \cdot 30,5$. La comparaison entre les mesures et les simulations est donnée aux figures 4.50 et 4.51. Elle montre que le modèle donne une bonne représentation des caractéristiques grand-signal. Il faut noter l'impact des pièges sur le courant moyen de sortie (*cf* fig. 4.50). Cette décroissance du courant quand la puissance d'entrée augmente est significative de la nature asymétrique des processus de capture et d'émission de charges par les pièges, leur état de charge augmentant ainsi quand la puissance d'entrée augmente. On note que les deux effets de lag ont chacun un impact sur ce courant.

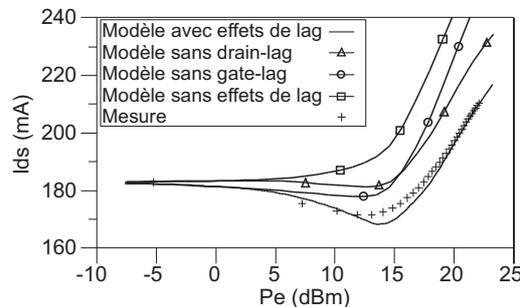


FIG. 4.50 – Courant moyen de sortie mesuré et simulé sur l'impédance optimale en ne prenant pas en compte les effets de pièges, en prenant en compte le gate-lag seulement, le drain-lag seulement, et en prenant en compte le drain-lag et le gate-lag (croix : mesures, lignes continues : simulations).

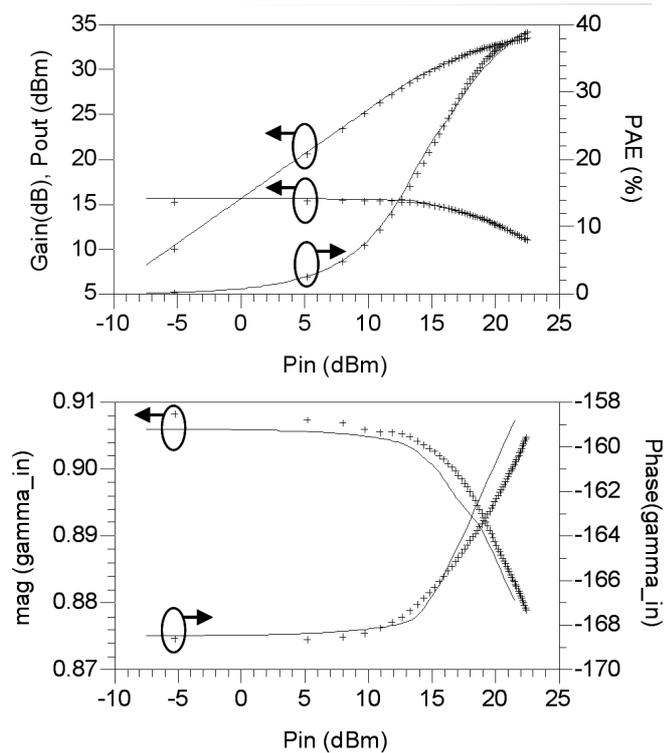


FIG. 4.51 – Caractéristiques de puissance mesurées et modélisées (Gain, puissance de sortie, PAE, module et phase du coefficient de réflexion en entrée) en fonction de la puissance d'entrée, pour l'impédance optimale (croix : mesures, lignes continues : simulations).

- *Mesures load-pull sur de fortes désadaptions.*

Les résultats de simulations sur les autres impédances de charges mesurées sont présentés ici à la figure 4.52, dans l'ordre de numérotation de la figure 4.49. L'amélioration apportée par la prise en compte des effets de pièges est particulièrement notable. Les résultats sont satisfaisants sur toutes les impédances présentées ($TOS = 2, 5$), en particulier pour ce qui est du gain et de l'impédance d'entrée du composant. La zone d'instabilité mesurée est ainsi bien reproduite par le modèle grâce à la bonne prédiction de l'impédance d'entrée.

- *Intérêt d'une modélisation précise des performances électriques sur TOS élevé.*

L'imprécision des simulations sur TOS élevé quand les effets de pièges ne sont pas pris en compte est trop importante, en particulier s'il s'agit d'utiliser les modèles pour des applications large-bande (pour lesquelles l'adaptation est réalisée la plupart du temps pour la fréquence la plus critique en termes de performances en puissance et n'est donc pas optimale pour les autres fréquences), ou si les amplificateurs sont prévus pour fonctionner dans des environnements où des retours de puissance RF peuvent avoir lieu sur la sortie, ce qui a pour effet de modifier l'impédance de sortie vue par le transistor. Ces configurations montrent l'importance qu'il y a à prédire finement les caractéristiques

grand-signal sur une grande zone autour de l'optimum, et les résultats prouvent que les modèles de pièges sont d'un grand intérêt dans ce sens.

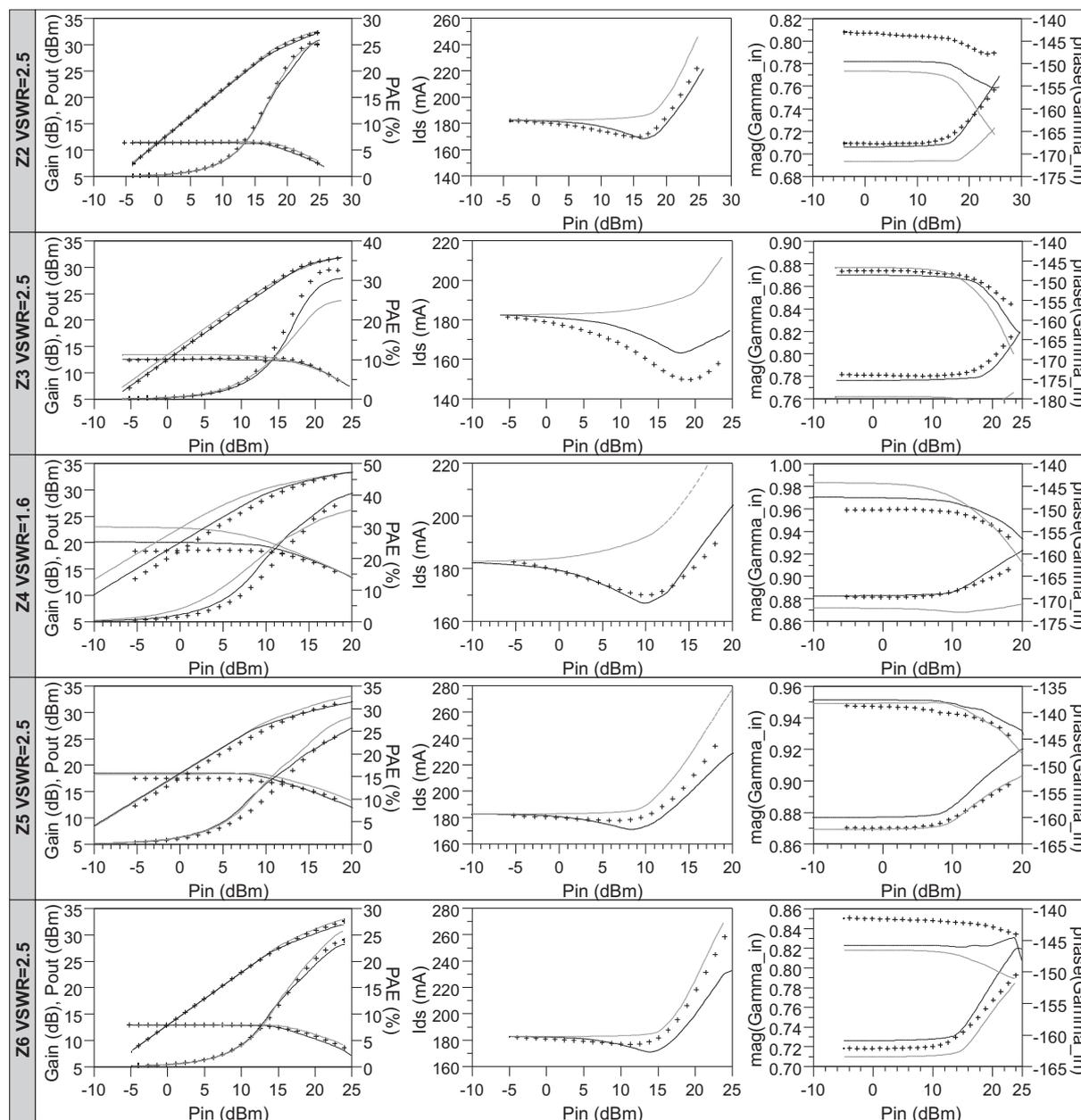


FIG. 4.52 – Comparaison mesures/modèle (avec pièges) pour les impédances numérotées de 2 à 6 (pour des TOS de 2,5 sauf l'impédance n°4 où le TOS= 1,6) (croix : mesures, lignes continues : simulations du modèle incluant les effets de pièges, lignes pointillées : simulations du modèles sans pièges).

4.6.5 Validation du modèle grâce à des mesures Load-Pull LSNA à 5 GHz

4.6.5.1 Mesures LSNA à différentes impédances de charge

Des mesures load-pull avec un LSNA ont été effectuées à 5 GHz sur un transistor $8 \times 75 \mu\text{m}$ AEC 1147 (de même technologie que le transistor $8 \times 75 \mu\text{m}$ AEC 1148, mais sur un wafer différent). Les deux transistors ayant des caractéristiques électriques très similaires, le modèle n'a aucunement été modifié. La bande passante du LSNA est de 20 GHz, et ainsi, à 5 GHz, les signaux temporels sont reconstruits à partir du fondamental et des trois premiers harmoniques supérieurs.

Les figures 4.54, 4.55 et 4.56 montrent des comparaisons mesures/simulations pour diverses impédances de charges montrées à la figure 4.53. L'optimum mesuré n'a pas pu être entouré car le composant est instable (au sens de $|\Gamma_{in}| > 1$) dans une zone délimitée par la courbe sur cette même figure, qui correspond à un arc du cercle de stabilité simulé pour une fréquence de 5 GHz.

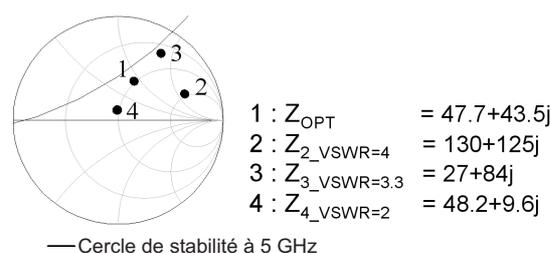


FIG. 4.53 – Impédances de charges présentées lors des mesures LSNA à 5 GHz sur un transistor $8 \times 75 \mu\text{m}$ AEC 1147. Le cercle de stabilité à 5 GHz simulé est montré sur la figure.

- *Mesures sur l'impédance de charge optimale.*

Sur l'optimum de puissance (*cf* figure 4.54), on note que les deux modèles (avec et sans effets de pièges) donnent de bons résultats, sauf pour ce qui est du courant de sortie moyen quand les pièges ne sont pas modélisés. Cependant, même si les performances en puissance sont bien modélisées sans inclure les pièges, les formes d'ondes (montrées ici à 5 dB de compression) le sont bien mieux quand ils sont pris en compte dans le modèle.

- *Mesures sur de fortes désadaptations.*

Les comparaisons sont données pour les impédances n°2 et 3 de la figure 4.53 (pour 4,6 et 7 dB de compression) à la figure 4.55. Les cycles de charges sont mieux décrits quand les pièges sont modélisés, et en particulier en ce qui concerne l'entrée, permettant une meilleure prédiction des instabilités et des charges à présenter en entrée des composants.

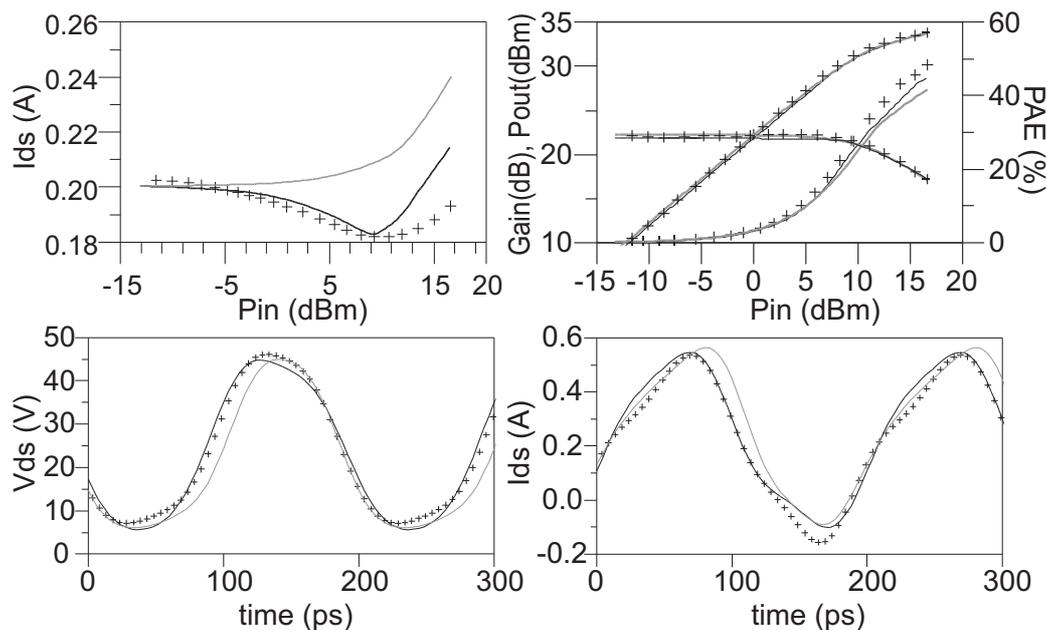


FIG. 4.54 – Comparaison entre les mesures et les simulations (avec et sans modèles de pièges) sur l'impédance optimale $Z = 47,7 + j \cdot 43,5$. Les formes d'ondes temporelles présentées correspondent à un point à 5 dB de compression. (points : mesures, lignes noires : simulations avec modèles de pièges, lignes grises : simulations sans modèle de pièges).

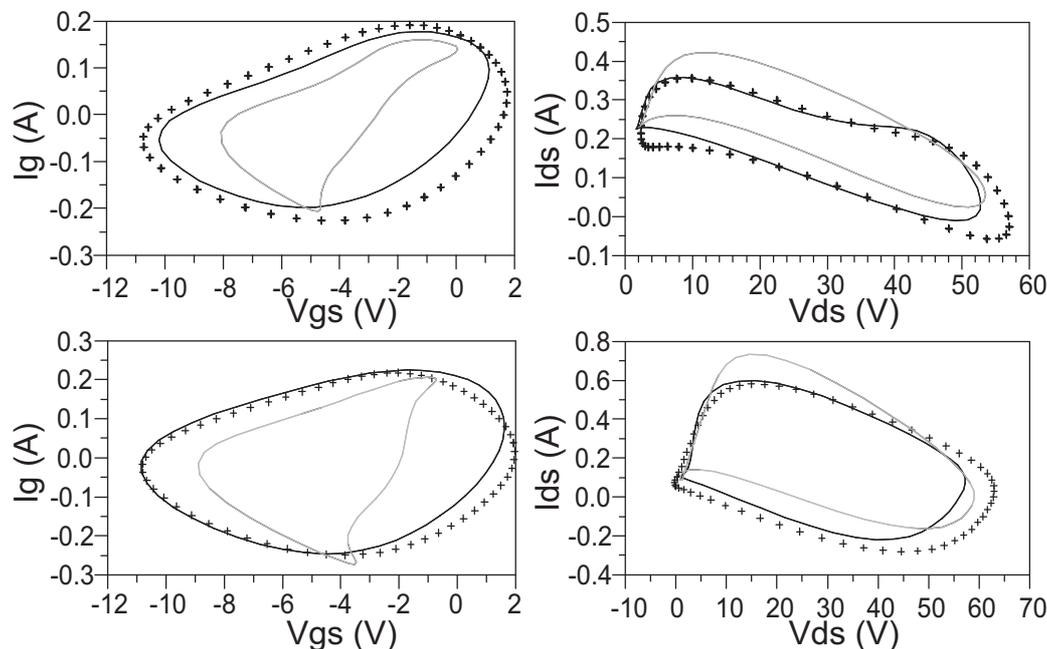


FIG. 4.55 – Comparaison entre les mesures et les simulations (avec et sans modèles de pièges) des cycles de charges extrinsèques d'entrée et de sortie aux impédances de charges n°2 ($Z = 130 + j \cdot 125$) à 4,6 dB de compression, et n°3 ($Z = 27 + j \cdot 84$) à 7 dB de compression (points : mesures, lignes noires : simulations avec modèles de pièges, lignes grises : simulations sans modèle de pièges).

Quant aux cycles de sortie, bien que mieux décrits, on voit qu'ils n'atteignent pas le maximum de tension mesurée. Ceci peut être dû à la relative imprécision des équations de la source de courant à faible courant (proche du pincement), et au fort impact des pièges sur la conduction de buffer et donc la tension de pincement quand V_{ds} augmente.

La figure 4.56 montre le courant de sortie moyen en fonction de la puissance d'entrée et le cycle de charge de sortie à fort niveau de compression (8 dB). Il est intéressant de noter que le modèle avec effets de pièges permet de reproduire la forme du courant qui diminue brutalement pour une très forte puissance injectée, ce que ne permet pas le modèle sans pièges. De plus, on voit très nettement dans ce cas l'augmentation de la tension de coude caractéristique des effets de drain-lag, ce que permet de reproduire de modèle incluant les effets de pièges.

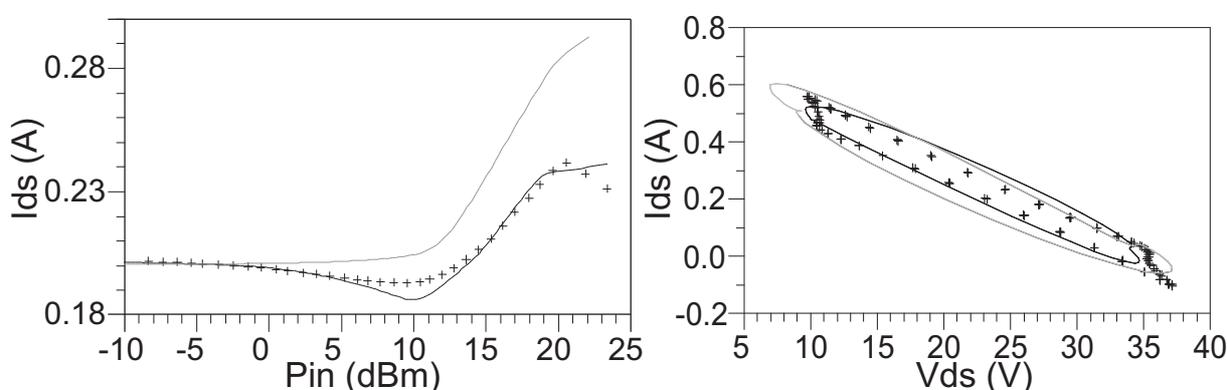


FIG. 4.56 – Comparaison entre les mesures et les simulations (avec et sans modèles de pièges) à l'impédance de charge n°4 ($Z = 48, 1 + j \cdot 9, 6$). Le graphique de gauche montre la forme du courant moyen de sortie en fonction de la puissance d'entrée, le graphique de droite montre le cycle de charge de sortie à 8 dB de compression (points : mesures, lignes noires : simulations avec modèles de pièges, lignes grises : simulations sans modèle de pièges).

4.7 Conclusion

Nous avons décrit la topologie d'un modèle prenant en compte les effets de pièges pour HEMTs AlGa_N/Ga_N fonctionnant en mode d'amplification de puissance, et présenté la méthodologie d'extraction de ses paramètres, en se basant sur le modèle d'un transistor 8x75 μm AEC 1148. Ce modèle, malgré de nombreuses simplifications, permet de reproduire les caractéristiques de sortie de ces composants pour de fortes désadaptations et de forts niveaux de compression avec suffisamment de précision pour qu'il puisse permettre d'anticiper les résultats de mesures pour d'autres impédances et/ou d'autres fréquences. Il reste perfectible, mais paraît être un bon compromis entre précision, robustesse et temps de simulations, qui sont trois critères importants de qualité d'un modèle.

Outre le gain de précision important apporté par les modèles de pièges, nous avons vu que la description des capacités par des équations à deux dimensions est de peu d'intérêt en comparaison de la difficulté qu'il y a à les extraire. De même, au vu des résultats de simulations des caractéristiques I(V) en dc, il semble que la représentation thermique est suffisante, malgré le manque de mesures en puissance à différentes températures qui permettraient de l'affirmer pleinement.

Enfin, ce modèle permet d'obtenir des temps de simulations similaires aux modèles habituellement utilisés dans l'équipe, ce qui signifie que les modèles de pièges et la dépendance des paramètres en fonction de la température n'ont pas d'impact significatif sur la convergence et les temps de simulations. Ceci s'explique, pour les modèles de pièges, du fait que le courant I_{ds} est calculé simplement et sans contre-réaction avec la source principale, et que, dans les modèles thermiques et de pièges, les dépendances utilisées sont toutes très linéaires. Afin de tester la convergence du modèle, des simulations à plus de 30 dB de compression (à 10 GHz en classe AB) ont été effectuées avec succès.

Cette topologie de modèle est donc robuste et a un spectre d'utilisation plus large que le modèle précédent, permettant ainsi d'effectuer des études à fortes surcharges et/ou à fortes désadaptations.

Conclusion générale

Nous avons présenté dans ce rapport une revue des différentes filières de composants adaptés à l'amplification de puissance en bande X, en mettant l'accent sur les HEMTs AlGa_N/Ga_N. Ces composants ont des propriétés tout à fait intéressantes grâce en particulier à la grande hauteur de bande interdite du Ga_N, qui permet d'obtenir des densités de courant élevées et des tensions de claquage importantes.

Cependant, ils souffrent encore de problème de pièges importants, qui constituent aujourd'hui une axe de recherche privilégié dans de nombreux laboratoires. Mais malgré ces effets, ils montrent déjà des potentialités bien supérieures aux technologies à base d'AsGa en termes de performances en puissance, et ils ont donc fait leur apparition très récemment sur le marché pour répondre aux besoins croissants des industries militaires et civiles.

C'est pourquoi nous avons proposé un modèle de HEMT Ga_N prenant en compte les effets de pièges. Ils nécessitent d'être modélisés pour que la précision et le domaine de validité des modèles de transistors permettent de réaliser des amplificateurs grâce à des simulations précises en CAO.

De même, les modèles doivent avoir de bonnes capacités de convergence et doivent être rapides en termes de temps de simulations.

Il existe donc ce compromis précision-temps de simulations dans tous les modèles. Nous avons fait une introduction, en se basant sur la modélisation des TBH InGaP/AsGa (qui est un exemple approprié pour évoquer les difficultés de convergences, le comportement de ces transistors étant très non-linéaire), à la problématique des qualités de robustesse d'un modèle lors de simulations en équilibrage harmonique. L'utilisation d'équations adaptées peut avoir une influence importante sur le domaine d'utilisation possible d'un modèle, et une grande attention doit être portée au choix des équations comme à la précision nécessaire et voulue des différents effets physiques. Ainsi, nous avons vu que la modification de certaines équations du modèle BK2 pouvait permettre d'améliorer sensiblement la vitesse des simulations.

Pour ce qui est des modèles de HEMTs, la convergence est un facteur moins critique que pour les modèles de TBH. Leur fonctionnement est moins sujet à des dépendances exponentielles, et les simulations en grand-signal avec les modèles utilisant la topologie proposée peuvent facilement atteindre des niveaux de compression allant bien au-delà des limites de fonctionnement réelles des transistors. Cependant, la technologie s'améliorant, les modèles demandés devront être de plus en plus précis et nécessiteront sans doute de prendre en compte plus finement certains effets électriques que le modèle actuel. Celui-ci doit donc constituer une base suffisamment robuste pour pouvoir être amélioré en conservant de bonnes qualités de convergence. C'est pourquoi, en s'appuyant sur le travail effectué sur les modèles de TBH, la formulation des équations du modèle de HEMTs et

des circuits de pièges a été optimisée.

En termes de précision, tout laisse à penser que le modèle proposé a atteint les limites de reproductibilité technologique des composants fabriqués actuellement. On peut se demander si la modélisation des effets de pièges est une solution pérenne, car ceux-ci seront sûrement diminués à l'avenir. Cependant, rien ne montre qu'ils pourront être totalement absents des transistors d'ici peu, et en particulier si l'on pense aux HEMTs en technologie AsGa qui sont encore soumis à de tels effets après presque trente ans de recherches poussées.

Un important travail de caractérisation de ces effets de pièges reste donc à faire, afin de connaître leurs origines et leurs mécanismes et ainsi d'apporter des informations importantes aux technologues. Cela représente une orientation dans le laboratoire XLIM. Un banc de mesure des paramètres $[S]$ à basses fréquences y est en cours de développement, qui permettra d'obtenir des caractérisations très précises dans la plage de fréquences dans laquelle les effets de pièges interviennent, et peut-être de comprendre les différents phénomènes électriques mis en jeu, en couplant ces résultats avec des simulations physiques.

Bibliographie

- [1] C. Kittel, *Introduction to Solid State Physics, 2nd ed.* Wiley, 1957.
- [2] V. Palankowski, “Simulation of Heterojunction Bipolar Transistors,” Ph.D. dissertation, Université de Vienne, Autriche, 2000.
- [3] F. Schwierz, “Wide Bandgap and Other Non-III-V RF Transistors : Trends and Prospects,” in *ASU Tempe*, March 2004.
- [4] C. H. Oxley, M. J. Uren, A. Coates, and D. G. Hayes, “On the Temperature and Carrier Density Dependence of Electron Saturation Velocity in an AlGa_N/Ga_N HEMT,” *IEEE Transactions on Electron Devices*, vol. 53, pp. 565–567, March 2006.
- [5] A. Matulionis, J. Liberis, L. F. Eastman, and Y. J. Sun, “Drift Velocity Saturation and Hot-Phonon Disintegration in AlGa_N/Al_N/Ga_N Channels,” in *Proc. WOCSDICE, A. Porch, R. Perks, and V. Morgan, Eds., Cardiff, U.K.*, 2005, pp. 71–72.
- [6] J. Deng, R. Gaska, M. S. Shur, M. A. Khan, and J. W. Yang, “Negative Differential Conductivity in AlGa_N/Ga_N HEMT : Real Space Charge Transfert from 2D to 3D States?” *Mrs Internet J. Nitride Semicon.*, vol. Res.5S1 W4.5, 2000.
- [7] S. L. Delage, M. A. Poisson, C. Brylinski, and H. Blanck, “Composant Semiconducteur avec Dissipateur Thermique Intégré,” 25 Juillet 1995.
- [8] D. Floriot, J. C. Jacquet, E. Chartier, J. M. Coupât, P. Eudeline, P. Auxemery, and H. Blanck, “Thermal Management of Power HBT in Pulsed Operating Mode,” in *Gallium Arsenide and Other Semiconductor Application Symposium, 2005. EGAAS 2005. European*, 3-4 Oct. 2005, p. 541.
- [9] P. M. Fabis and H. Windischmann, “Thermal Management Enhancement for GaAs Devices Using CVD Diamond Heat Spreaders in a Plastic Package Environment,” *Journal of Electronic Packaging*, vol. 122 Issue 2, pp. 92–97, 2000.
- [10] R. Aubry, “Etude des Aspects Electrothermiques de la Filière HEMT AlGa_N/Ga_N pour les Applications de Puissance Hyperfréquence,” Ph.D. dissertation, Université de Lille, France, 2001.
- [11] S. M. Sze, *Semiconductor Devices - Physics and Technology*, Wiley, Ed., 1985.
- [12] M. S. Shur, “GaN and Related Materials for High Power Applications,” in *Symposium Proceedings of Material Research Society, Symposium E*, Fall 1997.
- [13] S. C. Binari, P. B. Klein, and T. E. Kazior, “Trapping effects in wide-bandgap microwave FETs,” in *Microwave Symposium Digest, 2002 IEEE MTT-S International*, vol. 3, 2-7 June 2002, pp. 1823–1826.
- [14] P. Audren, J. M. Dumas, M. P. Favennec, and S. Mottet, “Etude des Pièges dans les Transistors à Haute Mobilité Electronique sur GaAs à l’aide de la Méthode dite de

- Relaxation Isotherme. Corrélation avec les Anomalies de Fonctionnement,” *Journal Phys. III France*, vol. 3, pp. 185–206, 1993.
- [15] A. Mittoneau, A. Mircea, G. M. Martin, and D. Pons, “Electron and hole capture cross sections at deep centers in Gallium Arsenide,” *Rev. Phys. Appli.*, vol. 14, pp. 853–861, 1979.
- [16] D. C. Look, *Electrical Characterization of GaAs Materials and Devices*, Wiley, Ed., 1989.
- [17] A. J. Valois and G. Robinson, “Characterization of Deep Levels in Modulation Doped AlGaAs/GaAs FET’s,” *IEEE Electron Device Letters*, vol. EDL4, Oct. 1983.
- [18] <http://www.ioffe.rssi.ru/SVA/NSM/Semicond>.
- [19] H. Takayanagi and H. K. Nakano, H., “Analysis of buffer-trapping effects on current reduction and pulsed I-V curves of GaN FETs,” in *European Gallium Arsenide and Other Semiconductor Application Symposium, 2005. EGAAS 2005.*, 3-4 Oct. 2005, pp. 149–152.
- [20] G. A. Umana-Membreno, S. M. R. Spaargaren, J. M. Dell, B. D. Nener, L. Faraone, G. Parish, and U. K. Mishra, “Analysis of non-exponential thermal emission transients in undoped MOCVD-grown GaN,” in *Semiconducting and Insulating Materials Conference, 2000. SIMC-XI. International*, 3-7 July 2000, pp. 23–26.
- [21] O. Mitrofanov and M. Manfra, “Poole-Frenkel electron emission from the traps in AlGaIn/GaN transistors,” *Journal of Applied Physics*, vol. 95 Issue 11, 2004.
- [22] P. Muret and A. Philippe, “Deep centres in bulk MOCVD n-type hexagonal GaN thin films and near their interface,” *Physica Status Solidi*, vol. 0, no. 3, pp. 911–915, Feb. 2003.
- [23] E. Gaubas, S. Jursenas, K. Kazlauskas, S. Miasojedovas, J. Vaitkus, and A. Zukauskas, “Photoluminescence and Photoconductivity Dynamics in Semi-Insulating Epitaxial GaN Layers,” in *Proceedings of the 12th International Symposium UFPS, Vilnius, Lithuania*, vol. 107, no. 1, 2005.
- [24] A. Sozza, “Reliability of AlGaIn/GaN HEMTs for RF and Microwave Applications,” Ph.D. dissertation, Université de Padoue, Italie, 2005.
- [25] B. Lambert, “Etude de l’Influence du Mécanisme d’Ionisation par Impact sur les Performances et la Fiabilité des Transistors à Effet de Champ sur Substrat III-V,” Ph.D. dissertation, Université de Bordeaux I, 2001.
- [26] J. Bude and K. Hess, “Thresholds of Impact Ionization in Semiconductors,” *Journal of Applied Physics*, vol. 72 Issue 8, 1992.
- [27] A. Sozza, C. Dua, E. Morvan, M. A. diForte Poisson, S. L. Delage, F. Rampazzo, A. Tazzoli, F. Danesin, G. Meneghesso, E. Zanoni, A. Curutchet, N. Malbert,

- N. Labat, B. Grimbert, and J. C. De Jaeger, "Evidence of traps creation in GaN/AlGa_N/Ga_N HEMTs after a 3000 hour on-state and off-state hot-electron stress," *Electron Devices Meeting, 2005. IEDM Technical Digest. IEEE International*, 5-7 Dec 2005.
- [28] R. E. I. Leoni, J. Bao, J. Bu, X. Du, M. S. Shirokov, and J. Hwang, "Mechanism for Recoverable Power Drift in PHEMTs," in *IEEE Trans. on Electron Devices*, vol. 47, no. 3, March 2002.
- [29] W. S. Tan, P. A. Houston, P. J. Parbrook, G. Hill, and R. J. Airey, "Comparison of Different Surface Passivation Dielectrics in AlGa_N/Ga_N HFETs," *IEEE Trans. on Electron Devices*, vol. 48, pp. 560–566, 2001.
- [30] C. Charbonniaud, "Caractérisation et Modélisation Electrothermique non-linéaire de Transistors à Effet de Champ Ga_N pour l'Amplification de Puissance Microondes," Ph.D. dissertation, Université de Limoges, France, 2005.
- [31] A. Vertiatchikh, L. F. Eastman, W. J. Schaff, and I. Prunty, "Effect of surface passivation of AlGa_N/Ga_N heterostructurefield-effect transistor," *Electronic Letters*, vol. 38, no. 8, pp. 388–389, Apr 2002.
- [32] H. R. Camenzind, B. Polata, and J. Kocsis, "ICs Break through the Voltage Barrier," in *Electronics*, no. 42, 1969, p. 90.
- [33] Y. Ando, Y. Okamoto, H. Hiyamoto, T. Nakayama, T. Inoue, and M. Kuzuhara, "10W/mm AlGa_N/Ga_N HFET with a Field Modulating Plate," in *IEEE Electron Device Letters*, vol. 24, 2003, p. 289.
- [34] A. Chini, D. Buttari, R. Coffie, L. Shen, S. Heikman, A. Chakraborty, S. Keller, and U. K. Mishra, "High performance AlGa_N/Ga_N HEMTs with a field plated gate structure," in *Semiconductor Device Research Symposium, 2003 International*, 10-12 Dec. 2003, pp. 434–435.
- [35] H. Xing, Y. Dora, A. Chini, S. Heikman, S. Keller, and U. K. Mishra, "High breakdown voltage AlGa_N-Ga_N HEMTs achieved by multiple field plates," in *IEEE Electron Device Letters*, vol. 25, no. 4, Apr. 2004, pp. 161–163.
- [36] W. Saito, Y. Takada, M. Kuragachi, K. Tsuda, I. Omura, and T. Ogura, "600V AlGa_N/Ga_N power-HEMT : design, fabrication and demonstration on high voltage DC-DC converter," in *Electron Devices Meeting, 2003. IEDM '03 Technical Digest. IEEE International*, Dec. 2003, pp. 23.7.1–23.7.4.
- [37] S. Karmalkar and U. K. Mishra, "Very High Voltage AlGa_N/Ga_N High Electron Mobility Transistor using a Field-Plate deposited on a Stepped Insulator," *Solid State Electron.*, vol. 45, pp. 1645–1652, 2001.

- [38] —, “Enhancement of breakdown Voltage in AlGa_N/Ga_N High Electron Mobility Transistor using a Field Plate,” in *IEEE Trans. on Electron Devices*, vol. 45, Aug. 2001, pp. 1515–1521.
- [39] R. Thompson, T. Prunty, and J. R. Shealy, “Performance of the AlGa_N HEMT Structure with a Gate Extension,” in *IEEE Trans. on Electron Devices*, vol. 51, no. 2, Feb. 2004.
- [40] E. Mitani, M. Aojima, and S. Sano, “A kW-class AlGa_N/Ga_N HEMT pallet amplifier for S-band high power application,” in *Microwave Integrated Circuit Conference, 2007. EuMIC 2007. European*, Oct. 2007, pp. 176–179.
- [41] T. Kikkawa and K. Joshin, “High Power Ga_N-HEMT for Wireless Base Station Applications,” *IEICE Transactions on Electronics*, vol. E89C, no. 5, pp. 608–615, 2006.
- [42] www.toshiba.com/taec/catalog.
- [43] Y.-F. Wu, M. Moore, A. Saxler, T. Wisleder, and P. Parikh, “40-W/mm Double Field-plated Ga_N HEMTs,” in *Device Research Conference, 2006 64th*, June 2006, pp. 151–152.
- [44] C. Lee, P. Saunier, and H. Q. Tserng, “High-temperature power performance of X-band recessed-gate AlGa_N/Ga_N HEMTs,” in *Compound Semiconductor Integrated Circuit Symposium, 2005. CSIC '05. IEEE*, 30 Oct.-2 Nov. 2005, pp. 157–160.
- [45] X. L. Wang, T. S. Cheng, Z. Y. Ma, G. X. Hu, H. L. Xiao, J. X. Ran, C. M. Wang, and W. J. Luo, “1-mm gate periphery AlGa_N/Al_N/Ga_N HEMTs on SiC with output power of 9.39 W at 8 GHz,” *Solid State Electronics*, vol. 51, no. 3, pp. 428–432, Mar. 2007.
- [46] K. Takagi, K. Masuda, H. Kashiwabara, Y. and Sakurai, K. Matsushita, S. Takatsuka, H. Kawasaki, Y. Takada, and K. Tsuda, “X-Band AlGa_N/Ga_N HEMT with over 80 W Output Power,” in *IEEE Compound Semiconductor Integrated Circuit Symposium*, 2006, pp. 265–268.
- [47] F. VanRaay, R. Quay, R. Kieffe, F. Benkhelifa, B. Raynor, W. Pletschen, M. Kuri, H. Massler, S. Muller, M. Dammann, M. Mikulla, M. Shlechtweg, and G. Weimann, “A Coplanar X-Band AlGa_N/Ga_N Power Amplifier MMIC on s.i. SiC Substrate,” *IEEE Microwave and Wireless Component Letters*, vol. 15, no. 7, pp. 460–462, July 2005.
- [48] P. Shuh, R. Leberer, H. Sledzik, M. Oppermann, B. Adelseck, H. Brugger, R. Behtash, H. Leier, R. Quay, and R. Kiefer, “20 W Ga_N HPAs for Next Generation X-Band T/R Modules,” in *IEEE MTT-S Digest*, 2006, pp. 726–729.

- [49] D. M. Fanning, L. C. Witkowski, C. Lee, D. C. Dumka, H. Q. Tserng, P. Saunier, E. L. Piner, K. J. Linthicum, and J. W. Johnson, “25 W X Band GaN on Si MMIC,” in *GAAS Mantech Conference*, 2005.
- [50] R. Behtash, H. Tobler, F. J. Berlec, V. Ziegler, H. Leier, B. Adelseck, T. Martin, R. S. Balmer, D. Pavlidis, R. H. Jansen, M. Neuburger, and H. Shuhmacher, “Coplanar AlGaN/GaN HEMT Power Amplifier MMIC at X-Band,” in *IEEE MTT-S Digest*, 2004.
- [51] S. T. Sheppard, W. L. Pribble, D. T. Enerson, Z. Ring, R. P. Smith, S. T. Allen, and J. W. Palmour, “High Power Demonstration at 10 GHz with GaN-AlGaN HEMT hybrid Amplifiers,” in *58th Device Research Conference Digest*, Jun. 2000, pp. 37–38.
- [52] Y. F. Wu, D. Kapolnek, J. Ibbetson, P. Parikh, B. P. Kelle, and U. K. Mishra, “4 W GaN-Based Microwave Power Amplifiers,” in *IEEE MTT-S Digest*, 2000, pp. 963–965.
- [53] H. Klockenhoff, R. Behtash, J. Wurfl, W. Heinrich, and G. Tranckle, “A Compact 16 Watt X-Band GaN-MMIC Power Amplifier,” in *IEEE MTT-S Digest*, 2006, pp. 1846–1849.
- [54] T. Chen, B. Zhang, G. Jiao, C. Ren, C. Chen, K. Shao, and Y. Naibin, “X-Band 11W AlGaN/GaN HEMT Power MMICs,” in *Proceedings of the 2nd European Microwave Integrated Circuits Conference, Munich, Germany*, Oct. 2007, pp. 162–164.
- [55] www.macom.com/DataSheets/MAAPGM0079DIE.pdf.
- [56] www.triquint.com/prodserv/types/amps/high_power_amps.cfm.
- [57] C. K. Chu, H. K. Huang, H. Z. Liu, J. C. Chiu, C. H. Lin, C. C. Hsu, C. L. Wu, C. S. Chang, and Y. H. Wang, “A Fully Matched 9W PHEMT MMIC High Power Amplifier for X-Band Phase Array Radar Applications,” in *Proceedings of the 2nd European Microwave Integrated Circuits Conference*, 2007, pp. 162–164.
- [58] R. Wang, M. Cole, L. D. Hou, P. Chu, C. D. Chang, and T. A. Midford, “A 55% Efficiency 5 W PHEMT X-Band MMIC High Power Amplifier,” in *GaAs IC Symposium Digest*, 1996, pp. 111–114.
- [59] A. Bessemoulin, R. Quay, S. Ramberger, H. Massler, and M. Schlechtweg, “A 4-W X-Band Compact Coplanar High-Power Amplifier MMIC with 18 dB Gain and 25PAE,” *IEEE Journal of Solid State Circuits*, vol. 38, no. 9, pp. 1433–1437, Sep. 2003.
- [60] B. Kraemer, R. Basset, P. Chye, D. Day, and J. Wei, “Power PHEMT Module Delivers 12 Watts, 40% P.A.E. over the 8.5 to 10.5 GHz Band,” in *IEEE MTT-S Digest*, 1994, pp. 683–686.

- [61] E. Griffin, “Invited : X-Band MMIC Size Reduction and Integration,” in *IEEE MTT-S Digest*, 2006, pp. 709–712.
- [62] M. Salib, H. K. Hahn, J. Kositz, J. Zingaro, A. Ezis, and A. Gupta, “A Novel Base Feed Design for High Power, High Frequency Heterojunction Bipolar Transistors,” in *IEEE MTT-S Digest*, 2001, pp. 1075–1078.
- [63] A. M. Couturier, S. Heckmann, V. Serru, T. Huet, P. Chaumas, J. J. Fontecave, M. Camiade, J. P. Viaud, and S. Piotrowicz, “A Robust 11W High Efficiency X-Band GaInP HBT Amplifier,” in *IEEE MTT-S International Microwave Symposium, Honolulu, USA*, Jun. 2007, pp. 813–816.
- [64] S. Piotrowicz, E. Chartier, J. C. Jacquet, D. Floriot, J. Obregon, P. Dueme, J. Delaire, and Y. Mancuso, “Ultra Compact X-Band GaInP/GaAs HBT MMIC Amplifiers : 11W, 42% of PAE on 13 mm² and 8.7W, 38% of PAE on 9 mm²,” in *IEEE MTT-S Digest*, 2006, pp. 1867–1870.
- [65] Z. Ouarch, “X-Band GaInP HBT 10W High Power Amplifier Including On-Chip Bias Control Circuit,” in *IEEE MTT-S Digest*, 2003, pp. 855–858.
- [66] F. L. M. Van Den Bogaart, A. P. De Hek, and A. De Boer, “MESFET High Power High Efficiency MMIC Amplifiers at X-Band with 30% Bandwidth,” in *Gallium Arsenide Applications Symposium, GAAS 1996, Paris, France*, Jun. 1996.
- [67] D. Floriot, “Optimisation et modélisation de transistors bipolaires à hétérojonction GaInP/GaAs. Application aux amplificateurs monolithiques de puissance, bande X.” Ph.D. dissertation, Université de Paris VI, 1995.
- [68] S. Piotrowicz, R. Aubry, E. Chartier, O. Jardel, J. C. Jacquet, E. Morvan, B. Grimbert, G. Lecoustre, S. L. Delage, J. Obregon, and D. Floriot, “Broadband Hybrid Flip-Chip 6-18 GHz AlGaIn/GaN HEMT Amplifiers,” in *Accepté à MTT-S IMS 2008, Atlanta, USA*, 2008.
- [69] A. Martin, “Etude d’une Nouvelle Filière de Composants sur Technologie Nitrure de Gallium. Conception et Réalisation d’Amplificateurs Distribués de Puissance Large-Bande à Cellules Cascodes en Montage Flip-Chip et Technologie MMIC,” Ph.D. dissertation, Université de Limoges, France, 2007.
- [70] J. P. Viaud, R. Sommet, J. P. Teyssier, D. Floriot, and R. Quéré, “Nonlinear RF Characterization and Modeling of Heterojunction Bipolar Transistors Under Pulsed Conditions,” in *European Microwave Conference, 1994. 24th*, vol. 2, Oct. 1994, pp. 1610–1615.
- [71] T. Peyretailade, M. Perez, S. Mons, R. Sommet, P. Auxemery, J. C. Lalaurie, and R. Quéré, “A Pulsed Measurement based Electrothermal Model of HBT with Thermal Stability Prediction Capabilities,” *IEEE MTT-S Int. Microwave Symp. Dig.*, pp. 1515–1518, 1997.

- [72] T. Peyretailade, “Modélisation Electrothermique des Transistors Bipolaires à Hétérojonction. Application à la Conception Non Linéaire d’Amplificateurs de Puissance à Haut Rendement,” Ph.D. dissertation, Université de Limoges, France, 1997.
- [73] C. J. Kirk, “A Theory of Transistor Cutoff Frequency Falloff at High Currents,” *IEEE Trans. on Electron Devices*, vol. ED-16, no. 1, pp. 39–57, Jan. 1962.
- [74] P. Kurpas, F. Brunner, and W. e. a. Doser, “Development and Characterization of GaInP/GaAs HBTs for High Voltage Operation,” in *GaAs Mantech*, 2001.
- [75] G. B. Gao, M. S. Unlu, H. Morkoç, and D. L. Blackburn, “Emitter Ballasting Resistor Design for, and Current Handling Capability of AlGaAs/GaAs Power Heterojunction Bipolar Transistors,” *IEEE Transactions on Electron Devices*, vol. 38, pp. 185–196, 1991.
- [76] S. Heckmann, “Contribution au développement d’une filière de transistors bipolaires à hétérojonction de très forte puissance en bandes L et S pour des applications de télécommunications civiles et radar,” Ph.D. dissertation, Université de Limoges, 2003.
- [77] J. P. Fraysse, “Modélisation Non Linéaire des Transistors Bipolaires à Hétérojonction : Application à la Conception Optimum d Amplificateurs Distribués de Puissance a Montage Cascode,” Ph.D. dissertation, Université de Limoges, France, 1999.
- [78] A. Xiong, R. Sommet, A. A. Lisboa De Souza, and R. Quéré, “Thermal Modelling and Characterization for Microwave Bipolar Transistor,” in *Soumis à Microwave Technoogy and Techniques Workshop Innovation and Challenges*, 2008.
- [79] D. Lopez, “Intégration dans un environnement de Simulation Circuit d’un Modèle Electrothermique de Transistor Bipolaire à Hétérojonction issu de Simulations Thermiques Tridimensionnelles,” Ph.D. dissertation, Université de Limoges, France, 2002.
- [80] J. C. J. Paasschens, R. v.d. Toorn, and W. Kloosterman, *The Mextram Bipolar Transistor Model level 504.6*, Koninklijke Phillips Electronics N.V. 2000/2005, March 2005.
- [81] M. Schröter, *RF-Modeling of Bipolar Transistors with HICUM*, Chair for Electron Devices and Integrated Circuits, Lausanne, University of Technology Dresden, Germany, Feb. 2000.
- [82] M. Rudolph, *Introduction to Modeling HBTs*, A. H. M. Library, Ed., 2006.
- [83] R. D. Iwamoto, M., *Agilent HBT : A Large-Signal Model for GaAs and InP HBTs*, Agilent Technologies, Oct. 2003, 60-Slide Technical Presentation.

- [84] J. J. Raoux, “Modélisation Non-linéaire des Composants Electroniques : du Modèle Analytique au Modèle tabulaire Paramétré,” Ph.D. dissertation, Université de Limoges, France, 1995.
- [85] J. J. Raoux and R. Quéré, “Application de l’optimisation par recuit simulé à la modélisation électrique des composants microondes semi-conducteurs,” in *Journées Nationales Microondes, Grenoble*, 1991.
- [86] D. A. Teeter and W. R. Curtice, “Comparison of Hybrid Pi and Tee HBT Circuit Topologies and Their Relationship to Large Signal Modeling,” in *IEEE MTT-S Digest*, 1997, pp. 375–378.
- [87] S. A. Maas and D. Tait, “Parameter-Extraction Method for Heterojunction Bipolar Transistors,” *Microwave and Guided Wave Letters, IEEE [see also IEEE Microwave and Wireless Components Letters]*, vol. 2, pp. 502–504, Dec. 1992.
- [88] S. Heckmann, R. Sommet, J. M. Nébus, J. C. Jacquet, D. Floriot, P. Auxemery, and R. Quéré, “Characterization and Modeling of Bias-Dependent Breakdown and Self-Heating in GaInP/GaAs Power HBT to Improve High Power Amplifier Design,” *IEEE Trans. Microwave Theory and Techniques*, vol. 50, no. 12, pp. 2811–2819, Dec. 2002.
- [89] S. E. Laux and K. Hess, “Revisiting the Analytic Theory of p-n Junction Impedance : Improvements Guided by Computer Simulation Leading To a New Equivalent Circuit,” *IEEE Transactions on Electron Devices*, vol. 46, no. 2, pp. 396–412, Feb. 1999.
- [90] D. E. Root, M. Iwamoto, and J. Wood, “Device Modeling for III-V semiconductors - an Overview,” in *IEEE Compound Semiconductor Integrated Circuit Symposium*, 2004.
- [91] J. G. Fossum and Veeraraghavan, “Partitioned-Charge-Based Modeling of Bipolar Transistors for Non-Quasi-Static Circuit Simulation,” *IEEE electron device letters*, vol. 7, pp. 652–654, 1986.
- [92] A. A. Lisboa de Souza, J. C. Nallatamby, M. Prigent, and R. Quéré, “Dynamic impact of self-heating on input impedance of bipolar transistors,” *Electronic Letters*, vol. 42, 2006.
- [93] D. E. Root, S. Fan, and J. Meyer, “Technology independent large-signal non quasi-static FET model by direct construction from automatically characterized device data,” in *European microwave conference digest*, 1991.
- [94] F. De Groot, “Mesures de formes d’ondes temporelles en impulsions : application à la caractérisation de transistors micro-ondes de forte puissance,” Ph.D. dissertation, Université de Limoges, 2007.

- [95] J. P. Teyssier, J. P. Viaud, and R. Quéré, “A new Nonlinear I(V) model for FET devices including Breakdown Effects,” *IEEE Microwave and Guided Wave Letters*, vol. 4, no. 4, pp. 104–106, Apr. 1994.
- [96] J. P. Teyssier, “Caractérisation en impulsions des transistors micro-ondes : application à la modélisation non-linéaire pour la CAO des circuits,” Ph.D. dissertation, Université de Limoges, 1994.
- [97] Z. Ouarch, M. Perez, J. P. Teyssier, and P. Bouysse, “Banc de caractérisation sous pointes de composants actifs en régime impulsionnel dans la bande 1-40 GHz,” in *Journées Nationales Micro-ondes, Saint-Malo*, Mai 1997, pp. 510–511.
- [98] J. P. Teyssier, P. Bouysse, Z. Ouarch, T. Peyretailade, and R. Quéré, “40 GHz/150 ns Versatile Pulsed Measurement System for Microwave Transistor Isothermal Characterization,” *IEEE Microwave Theory and Techniques*, vol. 46, no. 12, pp. 2043–2052, Dec. 1998.
- [99] O. Jardel, “Contribution à la mise en place de moyens de simulations électrothermiques non-linéaires à l aide de maillages thermiques 3D de transistors micro-ondes de puissance sur GaN,” Master’s thesis, DEA PSMC option micro et nano-électronique, Université d Aix-Marseille I, 2004.
- [100] C. Charbonniaud, S. De Meyer, R. Quéré, and J. P. Teyssier, “Electrothermal and Trapping Effects Characterization,” in *Gallium Arsenide Symposium Digest*, Munich, Germany, Oct. 2003.
- [101] D. Rytting, “An Analysis of Vector Measurement Accuracy Enhancement Techniques,” in *Proc. Hewlett Packard RF & Microwave Symposium*, 1982, pp. 976–987.
- [102] A. Ferrero and U. Pisani, “An Improved Calibration Technique for On Wafer Large-Signal Transistor Calibration,” *IEEE Trans. on Instrumentation and Measurement*, vol. 42, no. 2, pp. 360–364, 1993.
- [103] C. Arnaud, D. Barataud, J.-M. Nebus, J.-P. Teyssier, J.-P. Villotte, and D. Floriot, “An Active Pulsed RF and Pulsed dc Load-pull System for the Characterization of Power Transistors Used in Coherent Radar and Communication Systems,” in *Microwave Symposium Digest., 2000 IEEE MTT-S International*, vol. 3, 11-16 June 2000, pp. 1463–1466vol.3.
- [104] C. Arnaud, “Etude et Conception d’un Système de Caractérisation Fonctionnelle d’amplificateurs de Puissance en mode CW pulsé,” Ph.D. dissertation, Université de Limoges, France, 2001.
- [105] T. Gasseling, “Caractérisation non-linéaire avancée de Transistors de Puissance pour la Validation de leur Modèle CAO,” Ph.D. dissertation, Université de Limoges, France, 2003.

- [106] F. DeGroote, J. Verspecht, D. Barataud, and J. P. Teyssier, “An improved coupling method for time domain load-pull measurements,” in *2005 European Microwave Conference*, vol. 1, 4-6 Oct. 2005, p. 4pp.
- [107] J. Verspecht, “Calibration of a measurement system for high frequency nonlinear devices,” Ph.D. dissertation, Université de Bruxelles, 1995.
- [108] F. De Groote, O. Jardel, T. Reveyrand, J. P. Teyssier, and R. Quéré, “Very Small Duty Cycles for Pulsed Time Domain Transistor Characterization,” *Accepté à Proceedings of EUMA*, 2008.
- [109] F. De Groote, J. P. Teyssier, J. Verspecht, and J. Faraj, “High Power on Wafer Capabilities of a Time Domain Load-Pull Setup,” in *Soumis à 71th ARFTG, Atlanta, USA*, 2008.
- [110] J. Verspecht, P. Debie, A. Barel, and L. Martens, “Accurate on wafer measurement of phase and amplitude of the spectral components of incident and scattered voltage waves at the signal ports of a non-linear microwave device,” *Conference record of the IEEE Microwave Theory and Techniques Symposium, Orlando, Florida, USA*, pp. 1029–1032, May. 1995.
- [111] J. P. Teyssier, D. Barataud, C. Charbonniaud, F. De Groote, J. Verspecht, J. M. Nebus, and R. Quéré, “A transistor measurement setup for microwave high power amplifiers design,” in *AMPC 2005, Asia-Pacific Conference Proceedings*, 2005.
- [112] D. Barataud, “Etude et Conception de Systèmes de Caractérisation fonctionnelle dans le domaine temporel de transistors de Puissance Radiofréquences et Microondes,” Ph.D. dissertation, Université de Limoges, France, 1998.
- [113] T. Reveyrand, “Etude préliminaire pour la mise en place d un système de mesure de formes d ondes temporelles multi-harmonique au moyen de sondes Haute-Impédance,” Rapport d avancement Post-Doctoral no1, CNES IRCOM Agilent NMDG, Tech. Rep., Nov. 2002.
- [114] —, “Mesures de formes d ondes temporelles multi-harmoniques avec le LSNA ; mise en place expérimentale du calibrage des sondes Haute- Impédance,” Rapport d avancement Post-Doctoral no2, CNES IRCOM Agilent NMDG, Tech. Rep., Fev. 2003.
- [115] S. Augaudy, “Caractérisation et Modélisation des Transistors Microondes, Application à l’étude des Amplificateurs à Haut Rendement,” Ph.D. dissertation, Université de Limoges, France, 2002.
- [116] Z. Ouarch, “Caractérisation et Modélisation des Effets de Pièges et Thermiques des Transistors à Effet de Champ sur AsGa. Application à la simulation de la dynamique lente des Circuits non-linéaires Microondes,” Ph.D. dissertation, Université de Limoges, France, 1999.

- [117] N. Vellas, “Etudes Expérimentales de Transistors HFET de la Filière Nitrure de Gallium pour des Application de Puissance Hyperfréquences,” Ph.D. dissertation, Université de Lille, France, 2003.
- [118] R. Quéré, *Cours de Physique du Composant*, Master Circuits, Systèmes, micro et nanotechnologies pour les communications hautes fréquences et optiques, 2007.
- [119] O. Ambacher, B. Foutz, J. Smart, J. R. Shealy, N. G. Weimann, K. Chu, M. Murphy, A. J. Sierakowski, W. J. Schaff, and L. F. Eastmann, “Two-Dimensional Electron Gases Induced by Spontaneous and Piezoelectric Polarization in Undoped and Doped AlGa_N/Ga_N Heterostructures,” *Journal of Applied Physics*, vol. 87, no. 1, pp. 71–73, Jan. 2000.
- [120] C. A. Leichti, “Microwave field effect transistors - 1976,” *IEEE Transactions on Microwave Theory and Techniques*, vol. 24, pp. 279–300, 1976.
- [121] J. C. Zolper, J. Han, R. M. Biefeld, S. B. Van Deusen, W. R. Wampler, D. J. Reiger, S. J. Pearton, J. S. Williams, H. H. Tan, R. F. J. Karliceck, and R. A. Stall, “Si-implantation activation annealing of Ga_N up to 1400 deg C,” *Journal of Electronic Materials*, Apr. 1998.
- [122] R. J. Trew and U. K. Mishra, “Gate-breakdown in MESFETs and HEMTs,” *IEEE Electron Device Letters*, vol. 12, pp. 524–526, Oct. 1991.
- [123] W. R. Frensley, “Power-limiting breakdown effects in GaAs MESFETs,” *IEEE transactions on Electron Devices*, vol. ED28, Aug. 1981.
- [124] S. H. Wemple, W. C. Niehaus, H. M. Cox, J. V. Dilorenzo, and W. O. Schlosser, “Control of Gate-Drain Avalanche in GaAs MESFETs,” *IEEE Transactions on Electron Devices*, vol. 27, no. 6, pp. 1013–1018, Jun. 1980.
- [125] A. Chini, “Fabrication, Characterization and Reliability of AlGa_N/Ga_N HEMTs for power microwave applications,” Ph.D. dissertation, University of Padova, Italy, 2003.
- [126] R. Aubry, C. Dua, J. C. Jacquet, F. Lemaire, P. Galtier, B. Dessertenne, Y. Cordier, M. A. Di Forte Poisson, and S. L. Delage, “Temperature Measurement by Micro-Raman Scattering Spectroscopy in the Active Zone of AlGa_N/Ga_N High Electron Mobility Transistors,” *Eur. Phys. Journal Appl. Phys.*, vol. 27, pp. 293–296, 2004.
- [127] D. Pogany, S. Bychikhin, M. Litzenberger, E. Gornik, G. Groos, and M. Stecher, “Extraction of Spacio-temporal Distribution of Power Dissipation in Semiconductor Devices Using Nanosecond Interferometric Mapping Technique,” *Applied Physics Letters*, vol. 81, no. 15, pp. 2881–2883, 2002.
- [128] D. Pogany, V. Dubec, S. Bychikhin, C. Furbock, A. Litzenberger, G. Groos, M. Stecher, and E. Gornik, “Single-shot Thermal Energy Mapping of Semiconductor

- Devices with the Nanosecond Resolution Using Holographic Interferometry,” *Electron Device Letters, IEEE*, vol. 23, no. 10, pp. 606–608, Oct. 2002.
- [129] R. Aubry, J. C. Jacquet, J. Weaver, O. Durand, P. Dobson, G. Mills, M. A. Di Forte-Poisson, S. Cassette, and S. L. Delage, “SThM Temperature Mapping and Nonlinear Thermal Resistance Evolution With Bias on AlGa_N/Ga_N HEMT Devices,” *IEEE Trans. on Electron Devices*, vol. 54, no. 3, pp. 385–390, Mar. 2007.
- [130] C. P. Lee, S. J. Lee, and B. M. Welch, “Carrier Injection and Backgating Effect in GaAs MESFETs,” *IEEE Electron Device Letters*, vol. EDL-3, no. 4, pp. 97–98, 1982.
- [131] L. Zhang, L. F. Lester, A. G. Baca, R. J. Shul, P. C. Chang, C. G. Willison, U. K. Mishra, S. P. Denbaars, and J. C. Zolper, “Epitaxially-Grown Ga_N Junction Field Effect Transistors,” *IEEE Trans. on Electron Devices*, vol. 47, no. 3, pp. 507–511, 2000.
- [132] S. T. Bradley, A. P. Young, L. J. Brillson, M. J. Murphy, and W. J. Schaff, “Role of barrier and buffer layer defect states in AlGa_N/Ga_N HEMT structures,” *Journal of Electronic Materials*, vol. 30, no. 3, pp. 123–128, Mar. 2001.
- [133] P. B. Klein, S. C. Binari, J. J. A. Freitas, and A. E. Wickenden, “Photoionization spectroscopy of traps in Ga_N metal-semiconductor field-effect transistors,” *Journal of Applied Physics*, vol. 88, no. 5, pp. 2843–2852, Sep. 2000.
- [134] R. Vetry, “Polarization Induced 2DEG in AlGa_N/Ga_N HEMTs : On the Origins, DC and Transient Characterization,” Ph.D. dissertation, University of California, Santa Barbara, USA, 2000.
- [135] T. Palacios, A. Chakraborty, S. Heikman, S. Keller, S. DenBaars, and U. K. Mishra, “AlGa_N/Ga_N High Electron Mobility Transistors with InGa_N back-Barriers,” *IEEE Electron Device Letters*, vol. 27, no. 1, pp. 13–15, Jan. 2006.
- [136] J. Xie, J. Leach, X. Ni, M. Wu, R. Shimada, . Özgür, and H. Morkoç, “Electron Mobility in Ga_N Channel Heterostructure field Effect Transistor Structures with different Barriers,” *Applied. Physics Letters*, vol. 91, no. 26, Dec. 2007.
- [137] K. Horio and Y. Fuseya, “Two-dimensional simulations of drain current transients in GaAs MESFET’s with semi-insulating substrates compensated by deep levels,” *IEEE Transactions on Electron Devices*, vol. 41, no. 8, pp. 1340–1346, Aug. 1994.
- [138] G. Simin, A. Koudymov, A. Tarakji, X. Hu, J. Yang, M. A. Khan, M. Shur, and R. Gaska, “Induced strain mechanism and current collapse in AlGa_N/Ga_N heterostructure field-effect transistor,” *Appl. Phys. Lett.*, vol. 79, pp. 2651–2653, Oct. 2001.

- [139] R. Vetury, N. Q. Zhang, S. Kellerand, and U. K. Mishra, “The impact of surface states on the DC and RF characteristics of AlGa_N/Ga_N HFETs,” *IEEE Trans. on Electron Devices*, vol. 48, pp. 560–566, Mar. 2001.
- [140] A. Chini, D. Buttari, R. Coffie, L. Shen, S. Heikman, A. Chakraborty, S. Keller, and U. K. Mishra, “Power and Linearity Characteristics of Field-Plated Recessed-Gate AlGa_NGa_N HEMTs,” *IEEE Electron Device Lett.*, vol. 25, no. 5, p. 229, May 2004.
- [141] Y. Ando, Y. Okamoto, H. Hiyamoto, T. Nakayama, T. Inoue, and M. Kuzuhara, “10-W/mm AlGa_N/Ga_N HFET With a Field Modulating Plate,” *IEEE Electron Device Lett.*, vol. 24, p. 289, 2003.
- [142] W. Lu, V. Kumar, R. Schwindt, E. Piner, and I. Adesida, “A comparative study of surface passivation on AlGa_NGa_N HEMTs,” *Solid-State Electronics*, vol. 46, pp. 1441–1444, 2002.
- [143] R. I. Leoni, M. S. Shirokov, J. Bao, and J. C. M. Hwang, “A Phenomenologically Based Transient SPICE Model for Digitally Modulated RF Performance Characteristics of GaAs MESFETs,” *IEEE Transactions on Microwave Theory and Techniques*, vol. 49, pp. 1180–1186, 2001.
- [144] J. Portilla, M. Campoveccio, R. Quéré, and J. Obregon, “A New Coherent Extraction Method of FETs and HEMTs Models for MMIC Applications,” in *GaAs Symposium, Torino, Italy*, Apr. 1994.
- [145] Y. Tajima and P. D. Miller, “Design of Broad-Band Power GaAs FET Amplifiers,” *IEEE Trans. on Microwave Theory and Techniques*, vol. 32, no. 3, 1984.
- [146] S. R. Bahl and J. Del Alamo, “A new Drain-Current Injection Technique for the Measurement of Off-State Breakdown Voltage in FETs,” *IEEE Trans. on Electron Devices*, vol. 40, no. 8, Aug. 1993.
- [147] S. Forestier, T. Gasseling, P. Bouysse, R. Quéré, and J. M. Nebus, “A New Nonlinear Capacitance Model of Millimeter Wave Power PHEMT for Accurate AM/AM-AM/PM Simulations,” *IEEE Microwave and Wireless Components Letters*, vol. 14, no. 1, Jan. 2004.

Publications et communications relatives à ce travail

- [1] O. Jardel, F. De Groote, C. Charbonniaud, T. Reveyrand, J.P. Teyssier, R. Quéré, D. Floriot, “A Drain-lag Model for AlGa_N/Ga_N Power HEMTs”, *IEEE MTT-S Int. Microwave Symp.*, Honolulu, USA, Jun. 2007.
- [2] O. Jardel, F. De Groote, T. Reveyrand, C. Charbonniaud, J.P. Teyssier, D. Floriot, R. Quéré, “An Electrothermal Model for AlGa_N/Ga_N Power HEMTs Including Trapping Effects to Improve Large-Signal Simulations Results on High VSWR ”, *IEEE Trans. On Microwave Theory and Techniques*, vol.55, Issue 12, Part 2, pp. 2660-2669, dec. 2007.
- [3] O. Jardel, F. De Groote, T. Reveyrand, C. Charbonniaud, J.P. Teyssier, R. Quéré, D. Floriot, “Modélisation du drain-lag dans des modèles électriques grand-signaux de transistors HEMTs AlGa_N/Ga_N”, *15^{èmes} Journées Nationales Microondes*, Toulouse, Mai 2007.
- [4] O. Jardel, R. Quéré, S. Heckmann, H. Bousbia, D. Barataud, E. Chartier, D. Floriot, “An Electrothermal Model for GaInP/GaAs Power HBTs with Enhanced Convergence Capabilities”, *European Microwave Integrated Circuits Conference 2006*, pp. 296-299, Manchester, England, 10-13 sept. 2006.
- [5] F. De Groote, O. Jardel, J. Verspecht, D. Barataud, J.P. Teyssier, R. Quéré, “Time Domain Harmonic Load-Pull of an AlGa_N/Ga_N HEMT”, *66th ARFTG*, Washington DC, USA, Dec. 2005.
- [6] F. De Groote, O. Jardel, T. Reveyrand, C. Charbonniaud, J.P. Teyssier, R. Quéré, “Technique de mesure en impulsions pour de très faibles rapports cycliques appliquée aux transistors ”, *15^{èmes} Journées Nationales Microondes*, Toulouse, Mai 2007.
- [7] F. De Groote, O. Jardel, T. Reveyrand, C. Charbonniaud, J.P. Teyssier, R. Quéré, “Mesures de cycles de charge non linéaires pour la caractérisation de transistors microondes Ga_N ”, *15^{èmes} Journées Nationales Microondes*, Toulouse, Mai 2007.
- [8] F. De Groote, O. Jardel, J.P. Teyssier T. Gasseling J. Verspecht, V. Malette, C. Tsironis, “On wafer time domain load pull optimization of transistor load cycle with the new Multi-Harmonic MPT Tuner”, *69th ARFTG*, Honolulu, USA, Jun. 2007.
- [9] N. Sarazin, O. Jardel, E. Morvan, R. Aubry, M. Laurent, M. Magis, M. Tordjman, M. Oualli, O. Drisse, J. Di Persio, M.A. Di Forte Poisson, S.L. Delage, N. Vellas, C.

- Gacqui re, D. Theron, “X-Band power characterization of AlInN/AlN/GaN HEMT grown on SiC substrate”, *Electronic Letters*, vol.43, Issue 23, Nov. 2007.
- [10] F. De Groote, O. Jardel, T. Reveyrand, J. P. Teyssier, R. Qu r , “Very Small Duty Cycles for Pulsed Time-Domain Transistor Characterization, *Accept    Proceedings of EUMA*, 2008.
- [11] S. Piotrowicz, R. Aubry, E. Chartier, O. Jardel, J.C. Jacquet, E. Morvan, B. Grimbert, G. Lecoustre, S.L. Delage, J. Obregon, D. Floriot, “Broadband Hybrid Flip-Chip 7-17 GHz AlGaIn/GaN HEMT Amplifiers”, *Accept    IMS 2008*, Atlanta, USA.
- [12] C. Lagarde, J.P. Teyssier, P. Bouysse, R. Qu r , C. Charbonniaud, O. Jardel, H. Bousbia, “A new nonlinear electrothermal 3D spline model with charge integration for power FETs”, *European Microwave Conference*, vol.2, Oct. 2005, Paris, France.
- [13] F. De Groote, O. Jardel, J.P. Teyssier, T. Reveyrand, R. Qu r , E. Morvan, R. Aubry, “20 Watts-on wafer time domain characterization of a HEMT GaN at 2 GHz”, *Soumis   Electronic Letters*.

**Contribution à la Modélisation des Transistors pour l'Amplification de
Puissance aux Fréquences Microondes. Développement d'un nouveau
Modèle Électrothermique de HEMT AlGaN/GaN incluant les Effets de
Pièges**

Résumé : Ce document traite de la modélisation de transistors de puissance microondes TBH InGaP/AsGa et HEMTs AlGaN/GaN pour des applications en bande X. Les HEMTs AlGaN/GaN ont été commercialisés récemment et il y a par conséquent un besoin de modèles précis permettant de décrire leurs caractéristiques électriques, afin de concevoir des amplificateurs. Le modèle proposé inclut une description dynamique des effets des pièges sur les caractéristiques électriques et des phénomènes thermiques, permettant d'augmenter la précision des modèles classiques ainsi que leur domaine de validité.

Mots clés : Bande X, modélisation, caractérisation I(V) + paramètres [S] en impulsions, HEMT AlGaN/GaN, TBH InGaP/AsGa, effets de pièges, drain-lag, gate-lag.

**Contribution to the Modeling of Power Transistors for Microwave
Applications. Development of a new Electrothermal Model for
AlGaN/GaN HEMTs including Trapping Effects**

Abstract : This report deals with the modeling of microwave power transistors, and particularly GaInP/GaAs HBTs and AlGaN/GaN HEMTs for X-band applications. AlGaN/GaN HEMTs have been commercialized recently, hence there is a need for accurate models allowing to describe their electrical characteristics in order to design power amplifiers. The model proposed for AlGaN/GaN HEMTs includes a description of the electrothermal effects and the trapping effects, to improve the accuracy and the validity range of the classical models.

Keywords : X-band, modeling, pulsed I-V + [S]-parameters characterization, AlGaN/GaN HEMT, GaInP/GaAs HBT, trapping effects, drain-lag, gate-lag.

XLIM - UMR CNRS n°6172
123, avenue Albert Thomas - 87060 LIMOGES CEDEX