

UNIVERSITE DE LIMOGES
ECOLE DOCTORALE Science – Technologie – Santé
Faculté des Sciences et Techniques de Limoges

Année 2007

Thèse N° xx-2007

THESE

Pour obtenir le grade de

DOCTEUR DE L'UNIVERSITE DE LIMOGES

Discipline : Electronique des Hautes Fréquences et Optoélectronique

Présentée et soutenue par

Floria BLANCHET

Le 13 juin 2007

| |
|--|
| <p>Analyse et caractérisation des performances en puissance de transistors bipolaires à hétéro-jonction SiGe:C pour des applications de radiocommunications portables</p> |
|--|

Thèse en collaboration avec STMicroelectronics à Crolles
dirigée par Jean-Michel NEBUS, Denis BARATAUD, Denis PACHE et Caroline ARNAUD

JURY :

| | | |
|-----------------------------|---|------------|
| Monsieur Raymond QUERE | Professeur à l'Université de Limoges | Président |
| Monsieur Yann DEVAL | Professeur à l'Université de Bordeaux | Rapporteur |
| Monsieur Jean-Marie PAILLOT | Professeur à l'Université de Poitiers | Rapporteur |
| Monsieur Jean-Michel NEBUS | Professeur à l'Université de Limoges | Examineur |
| Monsieur Denis BARATAUD | Maître de Conférences à l'Université de Limoges | Examineur |
| Monsieur Denis PACHE | Ingénieur à STMicroelectronics | Examineur |
| Madame Caroline ARNAUD | Ingénieur à STMicroelectronics | Examineur |
| Monsieur Didier CELI | Ingénieur à STMicroelectronics | Invité |

A ma mère et à mon père

Remerciements

Le travail présenté dans cette thèse a été effectué à l'Institut de Recherche Xlim de l'Université de Limoges, en collaboration avec la société STMicroelectronics à Crolles. Je remercie Monsieur le Professeur Pierre GUILLON, Directeur d'Xlim, ainsi que Monsieur Alain CHION, responsable du service IC-C&D à STMicroelectronics à Crolles, de m'avoir accueilli dans leurs équipes.

J'exprime mes sincères remerciements à Monsieur le Professeur Raymond QUERE de m'avoir accueilli au sein de son département C²S² « Composants Circuits Signaux et Systèmes Hautes-Fréquences » à Xlim et pour l'honneur qu'il m'a fait en acceptant de présider le jury de cette thèse.

Je tiens également à exprimer mes sincères remerciements à Monsieur le Professeur Yann DEVAL de l'Université de Bordeaux et Monsieur le Professeur Jean-Marie PAILLOT de l'Université de Poitiers pour l'intérêt qu'ils ont porté à ces travaux en acceptant de les rapporter.

Je témoigne toute ma gratitude et ma reconnaissance à Monsieur le Professeur Jean-Michel NEBUS et Monsieur Denis BARATAUD (Maître de Conférence) pour avoir dirigé mes travaux de thèse de Doctorat. Je les remercie pour leur encadrement, leurs expériences, leur disponibilité, leur aide, leur soutien et leurs conseils précieux et avisés tout au long de cette thèse. Je tiens également à les remercier pour leur accueil chaleureux lors de mes campagnes de mesure à Limoges et pour leurs encouragements. Vive le téléphone et le mail qui ont su amenuiser la distance entre Limoges et Grenoble.

Je tiens à remercier Madame Caroline ARNAUD et Monsieur Denis PACHE pour leur encadrement industriel au sein de STMicroelectronics à Crolles. Toute ma gratitude pour la confiance et la liberté accordées lors de l'amélioration du banc load-pull passif et pour leurs précieux conseils en simulations. Je remercie également Monsieur Christos TSIRONIS et Monsieur Vince MALLETTE de la société Focus Microwaves, ainsi que Monsieur Claude MAYOUSSE de la société Celti, pour leur soutien et leur aide lors de la mise en place de la nouvelle méthode d'étalonnage du banc load-pull passif. Je tiens à leur exprimer mes plus vifs remerciements pour l'honneur qu'ils m'ont fait en m'invitant à présenter mes travaux lors de leur séminaire utilisateur aux MTTs 2006.

Remerciements

Je remercie Monsieur Didier CELI pour avoir accepté de participer à ce jury en tant qu'invité et pour son aide apportée lors de la compréhension du modèle bipolaire.

Je tiens aussi à exprimer toute ma reconnaissance à Madame Marie-Claude LEROUGE, secrétaire du laboratoire C²S², pour son aide administrative précieuse, sa présence et sa gentillesse lors de mes différents séjours à Limoges.

Je remercie ensuite toutes les personnes de STMicroelectronics à Crolles avec lesquelles j'ai eu la joie de travailler et plus particulièrement Bertrand SZELAG, Dorothée MULLER, Alexandre GIRY et Hélène BECKRICH-ROS. Et bien sûr, toute l'équipe RF qui a su rendre ces trois années inoubliables et agréables. Merci donc à Jeff, Boito, Christian, Pruno, Guigui, Valérie, Rabeb, Jérôme, Willy, VK1 et tous ceux qui se reconnaîtront.

Je remercie également tous les thésards et permanents côtoyés à l'Université de Limoges. Merci pour leur accueil chaleureux, leurs discussions et leur soutien. Je tiens à remercier particulièrement Hind et Mohammed avec lesquels j'ai eu la chance de travailler sur le banc actif ainsi que Tony, Tibo et Guillaume. Je remercie ensuite Virginie, Roshy, Chaka, Aumer et Grégoire pour tous les bons moments partagés ensemble. J'exprime un très sincère remerciement à Philippe pour avoir été là et notamment pour son soutien à distance lors de la phase de rédaction. Merci beaucoup. A tous, je vous souhaite une bonne continuation.

Enfin, je remercie mes parents Bozenna et Eugène pour leur amour, leur écoute et leur soutien tout au long de mes études. Je remercie également mon frère Frédéric, mes sœurs Fabienne et Flavie.

Le dernier remerciement est adressé au Professeur Serge LANTERNIER. Merci pour son intervention qui m'as permis d'en arriver là. Comme à mes parents, cette thèse lui est dédiée.

SOMMAIRE

| | |
|---|-----------|
| INTRODUCTION GENERALE | 1 |
| CHAPITRE I Contexte de l'étude et description de la technologie Si/SiGe:C de STMicroelectronics | 5 |
| I. L'amplificateur de puissance dans les téléphones portables: intégration dans les modules Radio-Fréquences « front-end » (tête de réception) | 7 |
| I.1. Circuit d'émission/réception d'un téléphone portable | 8 |
| I.1.1. Exemple d'une architecture 3G : place de l'amplificateur de puissance | 8 |
| I.1.2. Enjeux de l'amplification de puissance..... | 10 |
| I.2. Evolution des systèmes de communications mobiles sans fil..... | 10 |
| I.3. Spécifications des différents standards de télécommunication | 13 |
| I.4. Vers l'intégration « System on Chip » | 15 |
| II. Le transistor bipolaire hétéro-jonction (TBH) Si/SiGe | 17 |
| II.1. Historique du transistor bipolaire homo-jonction au silicium..... | 17 |
| II.1.1. Description de la structure planaire du transistor bipolaire..... | 18 |
| II.1.1.a. Réalisation technologique..... | 18 |
| II.1.1.b. Evolutions technologiques: épitaxie et triple diffusion | 19 |
| II.1.2. Vers de nouvelles structures : règle de mise à l'échelle..... | 20 |
| II.1.3. Le transistor bipolaire conventionnel | 21 |
| II.1.3.a. Description technologique du transistor conventionnel Circa d'IBM..... | 21 |
| II.1.3.b. Limitations technologiques..... | 22 |
| II.1.4. Genèse du transistor bipolaire avancé..... | 22 |
| II.1.4.a. Transistors de forte miniaturisation : structure de type auto-alignée..... | 22 |
| II.1.4.b. Description technologique..... | 23 |
| II.1.4.c. Définition des principales caractéristiques du transistor bipolaire | 25 |
| II.1.4.c.i. Gain en courant statique | 26 |
| II.1.4.c.ii. Densité de courant de collecteur..... | 26 |
| II.1.4.c.iii. Tension d'Early | 27 |
| II.1.4.c.iv. Tension de claquage | 27 |
| II.1.4.c.v. Temps de transit direct..... | 28 |
| II.1.4.c.vi. Fréquence de transition..... | 30 |
| II.1.4.c.vii. Fréquence maximale d'oscillation..... | 30 |
| II.1.4.c.viii. Relation entre tension de claquage et fréquence de transition..... | 31 |
| II.1.4.d. Influence des facteurs de mérite sur l'amélioration des performances..... | 32 |
| II.1.4.e. Limites technologiques | 33 |
| II.2. Introduction du Germanium dans la base : réalisation du Transistor Bipolaire à Hétéro-jonction SiGe..... | 33 |
| II.2.1. Rôle et intérêt de l'hétéro-jonction..... | 33 |
| II.2.2. Diagramme de bandes du TBH SiGe | 35 |
| II.2.2.a. Description de l'hétéro-jonction base/émetteur..... | 35 |
| II.2.2.b. Diagramme de bandes du transistor bipolaire à hétéro-jonction SiGe | 38 |
| II.2.3. Description du profil de Germanium | 40 |
| II.2.3.a. Principaux types de profils de germanium | 40 |
| II.2.3.b. Techniques de quantification du germanium de la base SiGe..... | 41 |

| | | |
|--|--|-----------|
| II.2.3.c. | Influence du profil sur les performances des TBH | 42 |
| II.2.4. | Formation technologique des bases SiGe et SiGe:C | 44 |
| II.2.4.a. | Croissance de la base SiGe | 45 |
| II.2.4.a.i. | Croissance par faisceau moléculaire : MBE | 45 |
| II.2.4.a.ii. | Dépôt par vapeur Chimique : CVD | 46 |
| II.2.4.b. | Avancée technologique..... | 47 |
| II.2.5. | Comparaison des performances du TBH Si/SiGe avec le TBJ Si..... | 47 |
| II.3. | Introduction du Carbone dans la base : TBH Si/ SiGe:C | 49 |
| II.3.1. | Impact du carbone sur le profil de dopage de la base | 49 |
| II.3.2. | Comparaison des TBH SiGe et SiGe:C..... | 50 |
| II.4. | Prise en compte de la thermique | 52 |
| III. | Pourquoi la technologie BiCMOS SiGe ? | 53 |
| III.1. | Principe..... | 53 |
| III.2. | Réalisation technologique | 55 |
| III.3. | Coupe technologique..... | 56 |
| IV. | Technologie BiCMOS de STMicroelectronics..... | 56 |
| IV.1. | Evolution des technologies SiGe BiCMOS et des TBH | 56 |
| IV.2. | Coupe technologique et réalisation | 58 |
| IV.2.1. | Coupe technologique du TBH SiGe en BiCMOS 0.35 μ m | 59 |
| IV.2.2. | Coupe technologique du TBH SiGe:C en BiCMOS 0.25 μ m..... | 59 |
| IV.3. | Profil de germanium..... | 62 |
| IV.3.1. | Comparaison des profils entre le TBH SiGe et le TBH SiGe:C | 62 |
| IV.3.2. | Profil retenu dans le TBH SiGe:C étudié | 63 |
| IV.3.3. | Utilisation du germanium dans l'émetteur | 64 |
| IV.4. | Prise en compte de la thermique : résistance de ballast | 66 |
| IV.4.1. | Illustration de l'influence de la résistance de ballast..... | 67 |
| IV.5. | Caractéristiques du TBH SiGe:C | 69 |
| IV.5.1. | Comparaison TBH SiGe avec TBH SiGe:C | 69 |
| IV.5.2. | Bilan des caractéristiques du TBH SiGe:C | 70 |
| V. | Conclusion..... | 71 |
| | Références bibliographiques du chapitre I..... | 72 |
| CHAPITRE II Description du transistor bipolaire à hétéro-jonction | | |
| étudié - Simulations électriques grand signal..... 81 | | |
| I. | Introduction | 83 |
| II. | Description du modèle utilisé | 83 |
| II.1. | Présentation du modèle HICUM (High Current Model)..... | 84 |
| II.2. | Méthodes d'extraction des paramètres de modèle | 88 |
| II.3. | Description du réseau thermique du transistor..... | 90 |
| III. | Description du transistor bipolaire à hétéro-jonction étudié..... | 96 |
| III.1. | Aide à la compréhension de la conception du transistor | 96 |
| III.2. | Caractéristiques dimensionnelles | 97 |
| III.3. | Premières simulations du transistor..... | 99 |
| III.3.1. | Réseau I/V | 100 |

| | | |
|--------------|---|------------|
| III.3.2. | Influence de la température | 104 |
| III.3.3. | Paramètres S | 105 |
| III.3.4. | Cercles de stabilité | 106 |
| III.3.4.a. | Cercles de stabilité en charge | 107 |
| III.3.4.b. | Cercles de stabilité en source | 110 |
| IV. | Simulations des performances en CW fort signal | 111 |
| IV.1. | Description des conditions de simulation et des paramètres analysés | 112 |
| IV.2. | Schéma de simulation..... | 113 |
| IV.3. | Optimisation CW en rendement en puissance ajoutée | 116 |
| IV.3.1. | Principe de l'optimisation en charge..... | 116 |
| IV.3.2. | Point de polarisation $V_{BE0} = 0.70V$ ($I_C = 2.5mA$) | 120 |
| IV.3.3. | Point de polarisation $V_{BE0} = 0.73V$ ($I_C = 6.5mA$) | 125 |
| IV.3.4. | Point de polarisation $V_{BE0} = 0.78V$ ($I_C = 30mA$) | 128 |
| IV.3.5. | Point de polarisation $V_{BE0} = 0.97V$ ($I_C = 300mA$) | 132 |
| IV.3.6. | Remarque importante sur l'optimisation des harmoniques en charge | 137 |
| IV.3.6.a. | Influence de l'harmonique 2 | 137 |
| IV.3.6.b. | Influence de l'harmonique 3 lorsque l'harmonique 2 est au pire cas | 138 |
| IV.3.6.c. | Influence de l'harmonique 3 | 139 |
| IV.3.7. | Comparaison des optimisations réalisées | 140 |
| IV.4. | Influence des impédances de source aux harmoniques | 142 |
| V. | Simulations des performances en linéarité | 144 |
| V.1. | Description de la simulation HB 2-tons | 144 |
| V.1.1. | Description des signaux 2-tons utilisés | 144 |
| V.1.2. | Schéma de simulation utilisé..... | 146 |
| V.1.3. | Influence de l'écart fréquentiel | 147 |
| V.2. | Résultats de simulation avec les impédances optimales CW..... | 147 |
| V.2.1. | Comparaison des points de polarisation avec un écart fréquentiel de 10kHz | 147 |
| V.2.2. | Influence des impédances de source et de charge aux harmoniques..... | 149 |
| V.2.2.a. | Influence de l'impédance de source autour de $2f_0$ | 149 |
| V.2.2.b. | Influence de l'impédance de charge à Δf | 150 |
| V.2.2.c. | Influence de l'impédance de source à Δf | 151 |
| VI. | Simulations d'ACPR (Adjacent Channel Power Ratio)..... | 152 |
| VI.1. | Résultats de simulation..... | 154 |
| VI.2. | Comparaison des performances 2-tons et multi-tons | 155 |
| VII. | Evaluation de la robustesse des transistors de puissance | 157 |
| VII.1. | Pourquoi et comment évaluer la robustesse des transistors de puissance ? | 157 |
| VII.2. | Résolution mathématique des cercles à TOS constants | 159 |
| VII.2.1. | Résolution avec hypothèses | 160 |
| VII.2.2. | Résolution sans hypothèses..... | 162 |
| VII.2.2.a. | Résolution avec Gamma complexe..... | 163 |
| VII.2.2.b. | Résolution avec Gamma complexe conjugué..... | 164 |
| VII.2.2.c. | Détermination du lieu correct des points | 166 |
| VII.2.3. | Comparaison des résolutions avec et sans hypothèses..... | 169 |
| VIII. | Conclusion..... | 171 |
| | Références bibliographiques du chapitre II | 172 |

| | |
|--|------------|
| CHAPITRE III Mesures et évaluation du potentiel des transistors de puissance à l'aide d'outils de caractérisation fonctionnelle de type load-pull multi-harmonique..... | 177 |
| I. Introduction | 179 |
| II. Description du système de caractérisation de type load-pull passif | 179 |
| II.1. Description du banc de mesure : synthèse d'impédances à l'aide des tuners | 180 |
| II.1.1. Principe de fonctionnement des tuners fondamentaux..... | 181 |
| II.1.2. Principe de fonctionnement du tuner harmonique | 182 |
| II.2. Application : mesure de robustesse de transistors NLD MOS et bipolaires | 183 |
| II.2.1. Méthodologie pour évaluer la robustesse..... | 183 |
| II.2.2. Résultats de mesures sur un NLD MOS..... | 185 |
| II.2.3. Résultats de mesures sur un bipolaire | 188 |
| II.3. Mise en évidence du problème de reproductibilité des mesures | 189 |
| II.3.1. Identification du problème : mesures non reproductibles | 189 |
| II.3.2. Description de l'étalonnage utilisé..... | 192 |
| II.3.3. Mise en place d'une nouvelle méthode de vérification de l'étalonnage : identification de la source d'erreur..... | 195 |
| II.4. Résolution du problème : mise en place d'une nouvelle méthode d'étalonnage du système de mesure..... | 198 |
| III. Description du système de caractérisation de type load-pull actif..... | 202 |
| III.1. Description du premier banc utilisé (approche fréquentielle avec l'ARV)..... | 202 |
| III.1.1. Principe de fonctionnement de la boucle active..... | 202 |
| III.1.2. Etalonnage du système de mesure..... | 203 |
| III.1.3. Comparaison mesures / simulations | 204 |
| III.1.3.a. Mesure CW d'optimisation en rendement à $V_{CE0} = 3.85V$ | 204 |
| III.1.3.b. Mesure CW d'optimisation en rendement à $V_{CE0} = 5.25V$ | 209 |
| III.2. Description du second banc utilisé (approche temporelle avec le LSNA)..... | 213 |
| III.2.1. Etalonnage du système de mesure..... | 215 |
| III.2.2. Comparaison des résultats de mesures et simulations en CW | 216 |
| III.2.3. Comparaison des résultats de mesures et simulations en 2-tons..... | 223 |
| III.2.3.a. Ecart fréquentiel 200kHz..... | 223 |
| III.2.3.b. Ecart fréquentiel 3MHz..... | 225 |
| IV. Conclusion..... | 227 |
| Références bibliographiques du chapitre III..... | 228 |
| Liste des publications personnelles..... | 232 |
| CONCLUSION GENERALE | 235 |

INTRODUCTION GENERALE

Durant ces dix dernières années, le secteur des systèmes de communications mobiles a connu une croissance sans précédent. L'évolution des systèmes de communications sans fil a engendré une complexité croissante et de rapides changements dans les formats de modulation. Ainsi la modulation à enveloppe constante pour le standard GSM (génération 2G) a été remplacée par une modulation à enveloppe non-constante pour les standards EDGE (génération 2.5G) et W-CDMA (génération 3G). Le développement et l'amélioration des modules de transmission et de réception radio-fréquences (RF) apparaissent alors comme le point crucial et la clé de la réussite dans le déploiement des futures générations et nécessitent des évolutions technologiques.

Ces évolutions sont orientées par les attentes des consommateurs. En effet, ils souhaitent des téléphones de petite taille, légers, à prix réduit et surtout avec une autonomie de plusieurs jours. Dès lors, les concepteurs doivent concevoir une architecture de transmetteur/récepteur répondant à ces attentes : la miniaturisation et l'intégration de plus en plus poussée des différentes fonctions les orientent vers l'intégration sur une seule puce (approche SoC, System On Chip). Toutes les fonctions sont intégrables à ce jour sur la même puce, excepté l'amplificateur de puissance. Cet élément apparaît alors comme un élément crucial et essentiel des modules RF. Ainsi, il est l'objet de nombreuses recherches pour améliorer ses performances. En effet, pour répondre à toutes les spécifications imposées par les nouveaux standards de téléphonie mobile, l'amplificateur de puissance doit être fortement linéaire, délivrer une forte puissance de sortie (de l'ordre de 24dBm), et présenter un ACPR performant. C'est dans ce contexte que s'inscrit ce travail de thèse, en proposant une étude approfondie des transistors de puissance, conçus en technologie BiCMOS. Cette technologie, dont l'idée clé est d'associer les caractéristiques des transistors bipolaires haute-vitesse, avec celles des transistors CMOS faible consommation, le tout sur une même puce, se révèle particulièrement bien adaptée aux besoins des circuits de radio-communications mobiles.

Dès lors, ce manuscrit s'intéressera particulièrement à la technologie à base de silicium, avec en particulier, la description des transistors bipolaires à hétéro-jonction SiGe issus des fonderies de STMicroelectronics. Le chapitre I sera donc consacré à la description technologique de ces derniers. Il retracera l'historique du transistor bipolaire, marqué par trois évolutions majeures, que sont l'utilisation de la structure de type auto-alignée, l'introduction du germanium dans la base et enfin l'utilisation du carbone dans cette dernière.

Le chapitre II sera, quant à lui, consacré aux simulations grand signal de ce transistor. Il permettra de mettre en évidence la nécessité d'utiliser des modèles robustes, permettant une description correcte des phénomènes physiques. Ainsi, le modèle utilisé pour les simulations est le modèle HICUM, choisi par STMicroelectronics pour décrire les transistors bipolaires. Au cours de ce chapitre, trois types de simulations seront abordées. Les premières s'intéresseront à l'optimisation CW en rendement en puissance ajoutée. Ensuite, le compromis rendement / linéarité sera abordé par les simulations 2-tons. Les simulations multi-tons corroboreront cet aspect avec le critère d'ACPR. Enfin, une étude théorique portant sur l'évaluation de la robustesse sera proposée.

Le chapitre III s'intéressera à la caractérisation expérimentale des transistors de puissance, précédemment simulés. Il permettra d'introduire la nécessité de disposer d'outils de validation grand signal appropriés. La technique du load-pull apparaît alors la mieux adaptée pour les transistors de puissance. Ainsi, la version industrielle sera présentée, avec le banc présent à STMicroelectronics Crolles, utilisant des tuners électromécaniques fournis par Focus Microwaves. Puis deux configurations complémentaires de type laboratoires académiques seront présentées. Il s'agit des versions fréquentielle et temporelle (utilisant un analyseur vectoriel large signal, ou LSNA) de la technique des boucles actives, présent au laboratoire universitaire Xlim. Ce chapitre permettra une comparaison entre les mesures et les simulations, réalisées au cours du second chapitre.

CHAPITRE I
Contexte de l'étude et description de la
technologie Si/SiGe:C de
STMicroelectronics

I. L'amplificateur de puissance dans les téléphones portables: intégration dans les modules Radio-Fréquences « front-end » (tête de réception)

Les progrès constants des technologies de l'information et, plus particulièrement, de l'électronique sont devenus indispensables dans un secteur aussi concurrentiel que les radio-télécommunications. L'accélération de ces progrès permet de lever les verrous technologiques successifs, qui doivent être franchis dans le développement d'une technologie. En ce qui concerne l'électronique numérique, et l'électronique en général, l'augmentation des performances est très directement liée à la capacité des concepteurs et des technologues à réaliser des circuits de plus en plus petits, rapides, économes en énergie, et à faible coût. Par ailleurs, l'intégration des fonctions numériques et analogiques devient un enjeu de plus en plus important.

Concernant les téléphones portables, leur évolution a engendré, en Europe plus particulièrement, plusieurs générations de téléphones mobiles :

→ la première en date correspond à la génération 1G qui utilise le standard GSM (900MHz): seule la voix est transmise,

→ la génération 2G correspond aux standards GSM (900MHz) et DCS (1800MHz) : seule la voix est transmise,

→ la génération 2.5G correspond au standard GPRS (900MHz et 1800MHz) : la voix et des données sont transmises.

→ la génération 3G correspond au standard UMTS (aux alentours de 2000MHz) : la voix, des données mais aussi de la vidéo sont transmises. Cette génération 3G est actuellement commercialisée. Le standard s'appuie sur le W-CDMA.

Le paragraphe I.2 détaille ces différentes générations.

Actuellement le nombre d'utilisateurs de ces services, et donc des produits de télécommunication, ne cesse d'augmenter. De plus, les nouvelles fonctions disponibles sur les mobiles (images, photos, Internet...) renforcent constamment l'engouement des consommateurs. Dès lors, les terminaux sont devenus multi-standards. Ils intègrent de plus en plus de fonctions, mais leur taille doit rester constante, ce qui constitue un véritable défi pour les concepteurs de mobiles. En effet, comment augmenter le nombre de fonctions tout en conservant la même taille?

Trois solutions sont envisageables. La première consiste à réduire la taille des composants passifs qui occupent plus de 80% de la place de la partie émetteur/récepteur radio-fréquence d'un téléphone mobile. La deuxième consiste à supprimer le besoin en composants passifs en traitant de façon numérique les chaînes de transmission et de réception, c'est-à-dire à réduire le traitement analogique réalisé jusqu'ici. Cette solution impose de nouvelles architectures qui abandonnent celles déjà existantes (mais il y a aussi des contreparties en terme de consommation, etc...). Et enfin, la troisième solution consiste à intégrer tous les composants passifs et actifs sur une même puce: dans ce cas, il s'agit d'intégration « monochip above IC ». Les passifs sont au-dessus des circuits actifs, d'où la dénomination above IC (au-dessus des circuits intégrés). Les systèmes obtenus se nomment alors System on Chip ou SoC, pour système sur une seule puce. L'avantage d'une telle solution réside dans une réduction des coûts. Mais pour pouvoir réaliser cette solution, un véritable défi technologique doit être résolu : il consiste en l'intégration des différentes fonctions actives sur la même puce, et notamment celle de l'amplification en puissance.

I.1. Circuit d'émission/réception d'un téléphone portable

I.1.1. Exemple d'une architecture 3G : place de l'amplificateur de puissance

Le circuit de réception d'un téléphone portable correspond au module radio-fréquence (RF) « front-end » et est composé, quelle que soit l'architecture utilisée, d'une chaîne de réception et d'une chaîne d'émission, comme indiqué par la figure I.1 extraite de la référence [1]. L'exemple choisi présente une architecture de troisième génération, car ce travail de thèse s'intéresse aux transistors de puissance, constituants fondamentaux des amplificateurs de puissance, destinés au marché 3G.

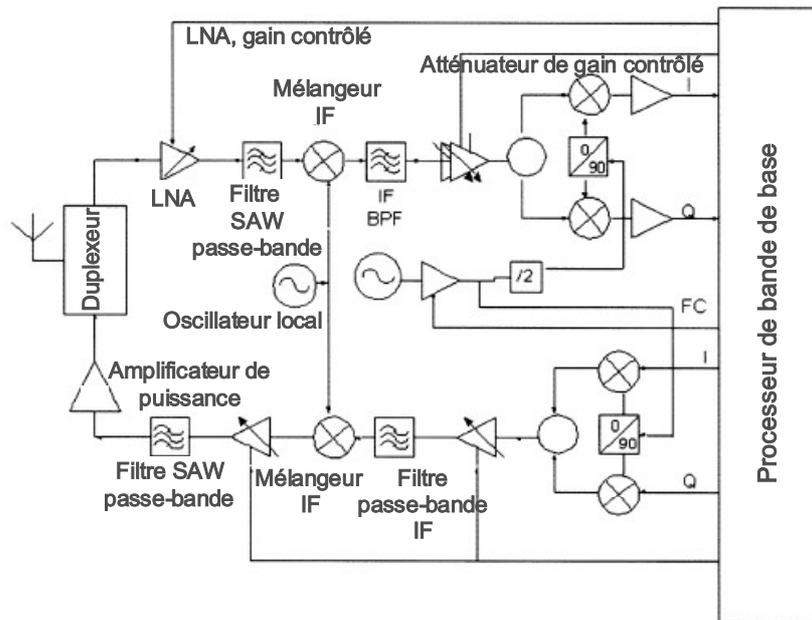


Figure I.1 : Diagramme d'un circuit d'émission/réception pour les communications mobiles 3G

Ce circuit d'émission/réception utilise un duplexeur. Ce composant permet de séparer la bande de réception de la bande d'émission (il joue donc le rôle de filtre). En effet, dans tous les standards, ces deux bandes présentent des gammes de fréquences différentes. Par exemple, pour le GSM, la bande d'émission s'étend en Europe de 880MHz à 915MHz, tandis que la bande de réception s'étend de 925MHz à 960MHz. Et pour le standard W-CDMA, toujours en Europe, la bande d'émission s'étend de 1920MHz à 1980MHz, tandis que la bande de réception s'étend de 2110MHz à 2170MHz.

La chaîne de réception, représentée par la chaîne du haut de la figure I.1, correspond à l'amplification faible bruit du signal RF par un LNA (Low Noise Amplifier), puis au décalage vers les basses fréquences du signal RF. Ce décalage est réalisé à l'aide d'un synthétiseur de fréquence (une PLL (Phase Locked Loop) associée à un VCO (Voltage Controlled Oscillator)). Le signal, ainsi décalé vers les basses fréquences, est numérisé pour être traité par le processeur de bande de base.

La chaîne de transmission, représentée par la chaîne du bas de la figure I.1, est constituée quant à elle d'un modulateur I/Q, d'un circuit de décalage vers les hautes fréquences et d'un amplificateur de puissance ou PA (Power Amplifier). C'est justement cet élément qu'il convient d'intégrer et qui constitue un défi pour les technologues et les concepteurs. Les différentes étapes de caractérisation de celui-ci font l'objet de ce travail de thèse.

1.1.2. Enjeux de l'amplification de puissance

L'amplificateur de puissance est un élément crucial du circuit d'émission/réception RF et pour répondre aux exigences des standards de communications mobiles de nombreuses contraintes en terme de rendement, gain, linéarité et robustesse doivent être respectées. Le paragraphe suivant s'intéresse brièvement à l'évolution des différents standards dans le domaine, en perpétuel changement, que constitue la téléphonie mobile.

I.2. Evolution des systèmes de communications mobiles sans fil

L'évolution des systèmes de communications sans fil a engendré une complexité croissante et de rapides changements entre les différentes générations ainsi qu'entre les diverses applications possibles. La référence [1] s'intéresse particulièrement à l'évolution des technologies et des circuits dédiés à la téléphonie mobile. Durant ces dix dernières années, ce secteur a connu une croissance sans précédent. La première génération de mobiles utilisait des systèmes de communication analogiques conçus, comme précisé précédemment, pour assurer seulement la transmission de la voix. Cette génération 1G a rapidement montré ses limites face à la croissance rapide du nombre d'utilisateurs et d'abonnés. Pour répondre à l'évolution du marché, il a fallu innover et proposer de nouvelles solutions, notamment de multiplexage. C'est ainsi que la génération 2G est apparue. Les systèmes de communication s'appuyant sur cette seconde génération utilisent la technique de l'accès multiple tels que le TDMA (Time Division Multiple Access), qui consiste en un multiplexage temporel, ou le CDMA (Code Division Multiple Access), qui correspond à un multiplexage par utilisation de code. Par ailleurs, cette seconde génération utilise toujours le standard GSM (Global System for Mobile Communications) auquel des améliorations ont été apportées par rapport à la première génération. Afin d'accroître la capacité des systèmes et de proposer de nouveaux services, tels la transmission d'images ou la connexion à l'Internet via le téléphone portable, la génération 3G s'est imposée progressivement, pour être actuellement commercialisée.

Les systèmes de communication sans fil 3G sont homologués par l'IMT (International Mobile Telecommunications) depuis 2000. Selon la région dans laquelle ces réseaux de télécommunications 3G sont implantés, il existe plusieurs appellations pour les nommer : il s'agit d'UMTS (Universal Mobile Telecommunication System) en Europe, de FOMA (Freedom of Mobile Multimedia Access) au Japon et d'UTRAN (UMTS Terrestrial Radio Access Network) aux Etats-Unis. Ces systèmes 3G ont poursuivi l'évolution des systèmes 2G

en proposant des techniques d'accès multiple de plus en plus performantes. Dès lors, en Europe et au Japon, le W-CDMA (Wide-band CDMA) a été adopté. Ce standard offre un débit de données plus important que les précédentes techniques et a vu sa largeur de bande-passante augmenter. Le W-CDMA permet alors la transmission de voix, d'images, de données et de communications vidéo avec un débit supérieur à 2Mb/s pour un réseau local et à 384kb/s pour un réseau étendu. Les signaux réceptionnés, qui correspondent aux signaux d'entrée, sont numérisés et traités à l'aide d'un code spécifique à étalement de spectre sur une bande passante de 5MHz autour de 2GHz. Aux Etats-Unis, c'est le standard CDMA-2000 qui est utilisé. Il bénéficie d'une bonne efficacité spectrale et d'un bon contrôle de puissance.

Le passage de la génération 2G à la génération 3G a nécessité de lourds investissements en terme d'amélioration des infrastructures déjà existantes et a dû surmonter de nombreuses limitations technologiques des dispositifs. C'est dans ce contexte que des solutions technologiques intermédiaires et transitoires ont été proposées, constituant la génération 2.5G. Ainsi, le standard GPRS (General Packet Radio Service) a été introduit afin d'augmenter le débit de transmission des données vocales. Ensuite, le standard historique GSM s'est vu progressivement remplacé par l'EDGE (Enhanced Data rate through GSM Evolution). Ce standard offre des taux de transmission plus importants et occupe la même bande de fréquence que le standard GSM. Cette réutilisation fréquentielle se traduit par le fait que les opérateurs de téléphonie mobile créent des sites de transmission de stations de base, fonctionnant avec les standards GSM et EDGE en utilisant les mêmes commutateurs et les mêmes contrôleurs de site pour les deux applications. Le déploiement de l'EDGE a ainsi permis de tripler la capacité du GPRS et, grâce au gain financier réalisé par la réutilisation des équipements de la génération 1G, l'évolution des télécommunications vers la 3G a pu se faire en douceur. L'EDGE apparaît alors comme un standard complémentaire et indissociable du W-CDMA.

En s'intéressant concrètement à la couche physique des communications mobiles, les auteurs de la référence [1] constatent que différents circuits et composants sont primordiaux pour garantir une implémentation correcte du système. C'est le cas notamment du contrôleur d'accès au média ou MAC (Media Access Controller), du processeur de bande de base et surtout des modules RF, encore appelés RF « front-ends ». En effet, le développement et l'amélioration de ces modules RF sont le point crucial et la clé de réussite dans le déploiement des futures générations des communications sans fil. A titre d'exemple, il est possible d'affirmer que cette quête d'amélioration des performances a engendré une évolution des

formats de modulation. Ainsi la modulation à enveloppe constante pour le standard GSM a été remplacée par une modulation à enveloppe non-constante pour le standard EDGE et W-CDMA. Dès lors, pour bénéficier d'une faible erreur vectorielle ou EVM (Error Vector Magnitude), les amplificateurs, ainsi que les modulateurs, ont vu leurs caractéristiques en terme de linéarité et de bruit s'améliorer dans le but de maintenir une bonne intégrité des signaux. A ces contraintes se sont ajoutées celles de réduction de consommation de puissance et des coûts de fabrication. Dès lors, la conception d'amplificateurs de puissance se révèle être le point crucial quant à la réussite de l'évolution des communications mobiles.

Les performances radio-fréquences des circuits de transmission sont devenues la priorité des nouveaux formats de modulation pour les générations futures (3.5 G et 4G). Ces futures générations proposent des innovations pour les architectures des systèmes ainsi que pour l'allocation spectrale. Le but est de révolutionner les réseaux sans fil et filaires de transmission de voix et de données, afin de permettre, par exemple, des communications sans fil avec un débit supérieur au giga bit, ainsi que des communications multimédia et des échanges de données en « temps réel ». Pour ces transmissions de données de plus en plus importantes en terme de taille, la bande fréquentielle allouée serait celle comprise entre 2 et 8GHz. Dès lors, la bande passante et l'utilisation des canaux seraient optimisées. Mais le développement de ces systèmes de communications sans fil à haut débit et à grande vitesse nécessite encore de nombreuses recherches sur les transmetteurs et récepteurs RF. Leur succès s'appuie alors sur le développement et l'innovation des technologies engendrant des circuits semi-conducteurs répondant à de nouvelles spécifications et de nouvelles exigences, encore plus contraignantes.

En effet, en s'intéressant aux technologies des semi-conducteurs utilisés pour la conception des modules RF, il apparaît clairement que ces dernières sont le cœur même des circuits de transmission et de réception des systèmes de communications sans fil. La référence [1] constate que ces circuits s'appuient sur une technologie, soit à base de silicium, soit à base de semi-conducteurs de la famille des composés III/V. Tout d'abord, les circuits à base de silicium utilisent les CMOS au silicium, les transistors bipolaires à hétéro-jonction SiGe et les MOS à double diffusion latérale ou LDMOS (Laterally Double-diffused Metal Oxide Semiconductor). Ensuite, les circuits à base des composés III/V utilisent les transistors à effet de champ à base d'AsGa que sont les MESFET (Metal Semiconductor Field Effect Transistor), ainsi que les HFET (Heterostructure Field Effect Transistor), les p-HEMT (Pseudomorphic High Electron Mobility Transistor) et les transistors bipolaires à hétéro-

jonction AsGa. Mais de nouvelles technologies émergent. C'est le cas notamment des transistors bipolaires à hétéro-jonction et les p-HEMT à base d'InP et les switches MEMS RF. Si toutes ces technologies co-existent c'est parce qu'elles ont toutes trouvé une application dans les différents circuits conçus. Et surtout, c'est parce qu'il n'existe pas de solution universelle à base d'une seule technologie pour la réalisation des modules de transmission et de réception RF. Dès lors, ce manuscrit s'intéressera particulièrement à la technologie à base de silicium, avec en particulier, la description des transistors bipolaires à hétéro-jonction SiGe issus des fonderies de STMicroelectronics.

I.3. Spécifications des différents standards de télécommunication

Par définition, les modules RF de transmission et de réception des systèmes de télécommunications sans fil assurent le transfert et l'échange de la voix et des données à travers l'espace libre. Les spécifications et les allocations fréquentielles, pour les différentes générations des communications sans fil, déterminent la topologie du système ainsi que la faisabilité ou non d'une technologie semi-conducteur pour la conception du module RF. Chaque technologie semi-conducteur possède son propre compromis coût/performances ainsi que ses propres applications.

Le tableau I.1, extrait de [1], regroupe les principales caractéristiques des différents standards de télécommunication pouvant être déployés dans un système 3G.

| Standard | GSM (DSC 900) | GSM (DCS 1800) | CDMA (IS-95) | PHS | CDMA-2000 | W-CDMA |
|--|------------------|-------------------|-----------------|-------------------------|-------------|----------------------------|
| Accès multiple | TDMA /FDMA | TDMA /FDMA | CDMA /FDMA | TDMA /FDMA | CDMA | CDMA |
| Modulation | GMSK | GMSK | BPSK / QPSK | QPSK | QPSK / BPSK | QPSK |
| Bande de fréquence de réception (MHz) | 935 / 960 | 1805 / 1880 | 869 / 894 | 1895 / 1917 (77 canaux) | - | 2110 / 2170 |
| Bande de fréquence de transmission (MHz) | 890 / 915 | 1710 / 1785 | 824 / 849 | 1895 / 1907 | - | 1920 / 1980 |
| Taux de transmission (kbps) | 270 | 270 | 14.4 | 64 / 384 | 384 | 8 / 384 (ext) / 2000 (int) |
| Bande passante du canal (kHz) | 200 | 200 | 1250 | 300 | 3.75 | 5000 |

Tableau I.1 : Spécifications pour différents systèmes de téléphonie mobile, d'après [1]

Chaque standard possède une combinaison différente de bandes de fréquences, de format de modulation et de débits spécifiques. Dans ce qui suit, les caractéristiques du standard W-CDMA sont détaillées de façon précise. Sa bande de transmission s'étend de 1.92 à 1.98GHz et sa bande de réception de 2.11 à 2.17GHz. Ce standard permet une transmission de données à un taux de 2Mb/s avec une bande passante de 5MHz. La bande passante de l'étalement spectral est fixée à 4.997MHz. De plus, la puissance de sortie maximale admissible est comprise entre 29 et 33dBm. Le contrôle de la puissance de sortie doit se réaliser avec une dynamique de 70dB. Dès lors, la puissance de sortie minimale qui doit être détectable est comprise entre - 41 et - 37dBm. Les bandes fréquentielles de ce standard se divisent en 60 canaux. La densité de puissance des canaux adjacents ne doit pas interférer avec celle du canal principal. Pour ce faire, des contraintes en termes d'ACPR (Adjacent Channel Power Ratio) doivent être respectées, à savoir que l'ACPR à +/- 5MHz de la porteuse ne doit pas dépasser 33dBc et l'ACPR à +/- 10MHz de la porteuse doit rester inférieur à 43dBc. Enfin, pour répondre à toutes les spécifications imposées par ce standard, l'amplificateur de puissance doit être fortement linéaire, délivrer une forte puissance de sortie, et présenter un ACPR performant. Dès lors, il apparaît bien comme un élément crucial et essentiel des modules RF.

Enfin, ce tableau I.1 permet de préciser que la principale différence des formats de modulation entre les standards GSM et W-CDMA entraîne de sévères contraintes en terme de linéarité pour les circuits fonctionnant avec le W-CDMA. En effet, comme stipulé précédemment, le GSM utilise une modulation à enveloppe constante, le GMSK (Gaussian Minimum Shift Keying), tandis que le W-CDMA s'appuie sur une modulation numérique de phase filtrée de type QPSK (Quadrature Phase Sift Keying) qui est, par conséquent, à enveloppe variable, imposant des contraintes de linéarité très fortes.

Pour conclure sur les spécifications des différents standards de communication sans fil, la référence [2] précise que les terminaux, à savoir les téléphones portables, sont actuellement multi-standards et multi-bandes : les modules RF doivent donc être désormais adaptatifs. En effet, un téléphone portable se doit de pouvoir fonctionner sur une plate-forme 2G (en GSM par exemple) mais aussi en 2.5G (via l'EDGE ou le GPRS) ainsi qu'en 3G (transmissions en W-CDMA). Le tableau I.2 résume les principales caractéristiques de ces différentes générations.

| Génération | Standard | Bande de fréquence MHz | Bande passante du canal MHz | Modulation | Taux de transmission |
|------------|-------------|------------------------|-----------------------------|------------------|----------------------|
| 2 | GSM | 900 | 0.2 | GSMK | 9.6 kbps |
| | DCS | 1800 | | | |
| | PCS | 1900 | | | |
| | CDMA | 900 | | | |
| 2.5 | GPRS | partagé entre GSM/DCS | 0.2 | GMSK (multislot) | 115 kbps |
| | EDGE | | | 8-PSK | 384 kbps |
| | CDMA IS-95B | 900/1900 | | | |
| 3 | W-CDMA | 1900 - 2200 | 5 | HPSK | 384 kbps / 2Mbps |
| 3.5 | W-CDMA + | - | | | 2 Mbps |
| | Packet Data | - | | | 10 Mbps |
| 4 | MC-CDMA | - | | | 100 Mbps |

Tableau I.2 : Evolution des générations des systèmes sans fil, d'après [2]

La forte demande concernant l'augmentation de la vitesse des taux de transmission est à l'origine des générations 3.5G et 4G, qui ne sont pas encore commercialisées, mais qui constitueront les futurs standards de communications sans fil. Le but est de fournir des taux de transmission de 100Mbps afin de permettre un accès rapide à l'Internet par exemple, ainsi que le téléchargement et l'échange d'images ou de vidéos, via le téléphone portable, comme l'attestent les références [3] et [4].

Enfin, les attentes des consommateurs orientent ces évolutions. En effet, ils souhaitent des téléphones de petite taille, légers, à prix réduit et surtout avec une autonomie de plusieurs jours. Dès lors, les concepteurs doivent concevoir une architecture de transmetteur/récepteur répondant à ces attentes : la miniaturisation et l'intégration de plus en plus poussée des différentes fonctions les orientent vers l'intégration sur une seule puce, plus communément appelée SOC (pour System On Chip).

I.4. Vers l'intégration « System on Chip »

Suite à ce qu'il vient d'être énoncé et comme l'expliquent les références [5] et [6], le marché des systèmes électroniques ne cesse d'évoluer et les besoins des téléphones portables deviennent de plus en plus nombreux. Ils doivent en effet pouvoir offrir plus de fonctionnalités, être plus rapides en augmentant la puissance de calcul, tout en réduisant la consommation de puissance, les dimensions géométriques et, bien évidemment, le coût. Leur conception doit se faire rapidement, afin de permettre une mise sur le marché le plus tôt possible, avec un réel souci d'évolutivité pour suivre les normes, qui sont elles aussi, soumises à une évolution continue.

Face à ces besoins, les concepteurs ont réalisé des progrès technologiques considérables, comme l'attestent les références [7] à [14]. Dès lors, les pertes des performances dans les circuits et dispositifs sont maintenant dues au temps de propagation dans les interconnexions. Les conditions de propagation d'onde nécessitent en effet d'adapter les différents circuits entre eux, afin d'optimiser le transfert de puissance et la rapidité des circuits. Sur la même puce, les distances à parcourir sont courtes et les capacités de jonction sont faibles. Dès lors, ces problèmes n'existent pas. Mais s'il faut réaliser un échange de données avec d'autres composants situés sur d'autres puces, les ordres de grandeur de temps de propagation, de puissance etc... changent alors et se heurtent aux limites. Par conséquent, les performances potentielles des dispositifs sont limitées et freinent l'évolution des systèmes.

C'est dans ce contexte que les concepteurs ont imaginé de concevoir sur une même puce tous les circuits donnant ainsi naissance, au début des années 2000, à la conception SoC (System on Chip). La conception des systèmes de téléphonie mobile peut alors se décomposer en deux temps. Premièrement, il faut construire une architecture matérielle qui se compose de blocs logiques standards (processeurs, mémoires), de blocs logiques spécifiques et de bus de communication. Dans un deuxième temps, il faut développer les ressources logicielles. L'optimisation du système global consiste alors, à adapter les ressources matérielles et logicielles, en vue d'optimiser les besoins spécifiques. Grâce à l'approche SoC, il est possible de faire cohabiter ces ressources sur une même puce et de considérer le système de façon globale dans ses réalisations matérielles et logicielles.

D'un point de vue technologique, l'approche SoC s'appuie sur la technologie BiCMOS (Bipolar Complementary Metal-Oxide-Semiconductor) qui utilise à la fois des dispositifs bipolaires et CMOS. Cette technologie est détaillée en troisième partie de ce chapitre. Aujourd'hui, l'approche SoC répond aux besoins de performances et d'intégration, mais elle est peu adaptée à l'évolutivité des systèmes, c'est-à-dire que chaque nouveauté et amélioration nécessitent de concevoir de nouvelles puces SoC. Par conséquent, elle reste réservée aux grands volumes de production, élément renforcé par le fait que leur production et leur test sont des étapes longues et coûteuses. Dès lors, l'approche SoPC (System on Programmable Chip) peut être une alternative aux inconvénients qui viennent d'être énoncés. Cette approche s'appuie sur la programmation reconfigurable des systèmes via un FPGA. Son développement, ainsi que son prototypage, sont rapides et permettent d'obtenir des composants reconfigurables en quelques millisecondes et à volonté. Néanmoins, cette

approche souffre elle aussi d'inconvénients, à savoir que la densité d'intégration est moindre qu'en approche SoC, la consommation est plus importante et les performances sont moindres.

En guise de conclusion, il faut retenir qu'il reste encore beaucoup à faire pour intégrer au mieux les différentes fonctions des systèmes de téléphonie mobile. Mais l'avenir reste prometteur et s'annonce porteur de réelles innovations qui seront le résultats de tous les défis technologiques relevés, auxquels se trouvent de nos jours confrontés les concepteurs de circuits et les technologues.

II. Le transistor bipolaire hétéro-jonction (TBH) Si/SiGe

Avant d'introduire le concept de l'hétéro-jonction SiGe, il convient de présenter brièvement le transistor bipolaire classique silicium, nommé TBJ pour Transistor Bipolaire homo-Jonction (ou BJT pour Bipolar Junction Transistor). Ensuite, le Transistor Bipolaire à Hétéro-jonction (TBH) Si/SiGe (ou HBT pour Heterojunction Bipolar Transistor) sera présenté, ainsi que ses améliorations en utilisant du carbone dans la base.

II.1. Historique du transistor bipolaire homo-jonction au silicium

Le transistor bipolaire a été inventé en 1947 [15] et a immédiatement connu un développement rapide dans les années 1950 et 1960, avec entre autres, l'idée d'utiliser une hétéro-jonction à la place de l'homo-jonction dans la base [16]. Dès lors, au milieu des années 1970, il a été admis que la technologie bipolaire silicium était mature, alors même que de nombreuses possibilités restaient à explorer afin d'améliorer les performances et les applications du transistor bipolaire au silicium. Devant le manque de publications internationales sur le sujet et face aux nombreux programmes de recherche destinés au transistor MOSFET (Metal Oxide Semiconductor Field Effect Transistor), un groupe basé au centre de recherche T. J. Watson d'IBM s'est constitué en 1977 afin de lancer un vaste projet d'étude pour explorer les performances du transistor bipolaire. Toutes les études ont été menées sur la technologie bipolaire au silicium d'IBM et la principale avancée de ce groupe réside dans la fabrication du transistor bipolaire auto-aligné à double polysilicium. La structure de ce transistor standard ou planaire va être introduite maintenant.

II.1.1. Description de la structure planaire du transistor bipolaire

II.1.1.a. Réalisation technologique

Cette structure date des années 1960 et se rencontre aujourd'hui dans les circuits bipolaires analogiques lents et à faible niveau d'intégration. Comme l'indique la référence [17], elle a consisté en une véritable révolution dans la fabrication des circuits intégrés monolithiques, en réunissant, sur une même plaquette de silicium, parfois plusieurs dizaines de diodes, de transistors et de résistances. La dénomination planaire vient du fait que les surfaces de semi-conducteurs impliquées dans la constitution du transistor sont planes. La figure I.2 décrit les différentes étapes de fabrication d'un tel transistor.

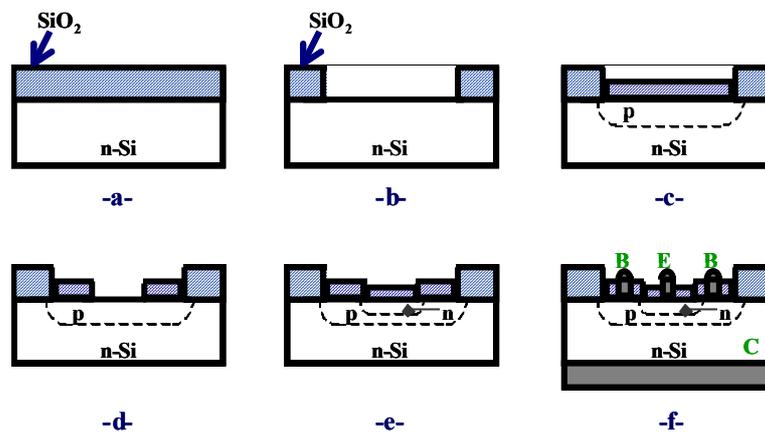


Figure I.2 : Les divers stades de fabrication d'un transistor planaire, d'après [17]

La réalisation d'un transistor bipolaire planaire utilise une plaquette de silicium de type n, revêtue d'une couche protectrice d'oxyde de silicium SiO_2 (étape a). Le silicium de type n constitue le collecteur du transistor bipolaire. Ensuite, au moyen d'une attaque chimique, une fenêtre est pratiquée (étape b) par laquelle du bore B est diffusé, pour créer une zone p. Le bore est le dopant utilisé pour réaliser la base du dispositif. La jonction p-n ainsi créée vient à la surface à un endroit où cette dernière se trouve encore protégée par la couche d'oxyde de silicium, si bien qu'il n'y a, à aucun moment, contact avec l'atmosphère environnante. Cette particularité est indiquée dans l'étape c qui montre également qu'il est procédé un nouveau revêtement d'oxyde de silicium avant d'y pratiquer une nouvelle fenêtre (étape d), par laquelle une diffusion de phosphore P est effectuée. Une nouvelle zone n (qui est celle de l'émetteur) est ainsi créée. Comme précédemment, elle s'étend un peu en-dessous

du revêtement protecteur, si bien que la jonction n'entre en aucun point en contact avec l'atmosphère. Pour créer cette zone n, du phosphore est utilisé. En effet, il est le dopant le plus couramment utilisé pour l'émetteur, mais il existe des bipolaires utilisant de l'arsenic As pour doper l'émetteur. Après la mise en place d'une nouvelle couche de protection (étape e), de nouvelles fenêtres sont ouvertes pour recevoir les connexions d'émetteur et de base (étape f). Pour arriver à une résistance de base réduite, le contact de base peut être dédoublé. Les contacts de base et d'émetteur sont réalisés par évaporation d'or ou d'aluminium et les fils de connexion y sont ensuite fixés par thermocompression. Le contact de collecteur est, quant à lui, réalisé en dessous de la couche n. C'est une des limites de la technologie planaire, qui sera résolue par l'utilisation du puits collecteur et par les tranchées d'isolation, qui permettront de ramener le contact collecteur en surface, comme il le sera vu par la suite.

Pour conclure sur cette structure planaire, il convient de préciser que lorsque l'épaisseur de base est relativement réduite, ce transistor montre de bonnes propriétés hautes-fréquences. Pour cette raison, la structure planaire est à la base des transistors radio-fréquences utilisés actuellement.

II.1.1.b. Evolutions technologiques: épitaxie et triple diffusion

Afin de réduire la capacité entre la base et le collecteur pour permettre la montée en fréquence et tolérer une tension de collecteur élevée, il faut utiliser un semi-conducteur faiblement dopé pour le collecteur. Dans la structure planaire décrite précédemment, le collecteur possède une épaisseur relativement grande, si bien qu'il oppose au courant de collecteur une résistance d'autant plus forte qu'il est faiblement dopé. Avec une résistance de collecteur élevée, la dissipation, donc la perte d'énergie, est non négligeable. Par ailleurs, l'utilisation en commutation est difficile, car la tension de collecteur ne pourra pas devenir pratiquement nulle. Une résistance de collecteur élevée est donc un inconvénient pour le transistor : il faut donc s'attacher à la réduire. La solution qui peut être proposée consiste à débiter la fabrication du transistor par un semi-conducteur fortement dopé, sur la surface duquel, est évaporée une mince couche de silicium monocristallin à faible teneur en impuretés. La plaquette de départ ne sert alors que de support, et c'est dans la couche dite « épitaxiale » (rapportée), que les impuretés destinées à créer les zones de base et d'émetteur sont diffusées. Dans la figure I.3, le résultat d'un tel procédé de fabrication a été schématisé pour le cas d'un transistor « planar épitaxial ». Une variante à cette technique consiste à utiliser une couche de collecteur à résistivité variable, en partant d'un semi-conducteur

faiblement dopé dans lequel sont diffusées, sur la surface destinée à recevoir ultérieurement la connexion de collecteur, des impuretés supplémentaires. Deux autres diffusions étant nécessaires par la suite pour créer les zones de base et d'émetteur : ces composants sont appelés alors transistors à triple diffusion.

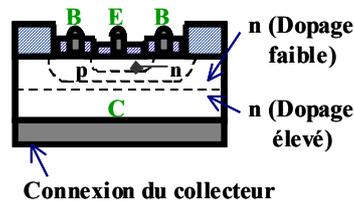


Figure I.3 : Transistor épitaxial en technologie planaire , d'après [17]

Grâce à ces évolutions technologiques, les transistors épitaxiaux et à triple diffusion se distinguent essentiellement par une faible résistance série de collecteur. Ils sont donc utilisés dans les étages de puissance ou dans les applications de commutation.

En guise de conclusion sur la structure planaire, la référence [18] explicite les facteurs sur lesquels il faut agir pour optimiser différentes performances du transistor bipolaire. Tout d'abord, pour une optimisation en rapidité, il convient d'utiliser de faibles épaisseurs et de faibles capacités, dans le but de réduire le nombre de dopants de la base. Ensuite, pour une optimisation en tension de saturation, il faut des collecteurs peu profonds et fortement dopés (d'où l'utilisation des couches épitaxiales). Enfin, l'optimisation en tenue en tension est réalisée grâce à des collecteurs épais faiblement dopés.

II.1.2. Vers de nouvelles structures : règle de mise à l'échelle

Pour améliorer les performances du TBJ, la structure planaire a dû évoluer vers d'autres structures qui permettent la miniaturisation. Cette miniaturisation implique que les dimensions horizontales et verticales soient réduites de façon coordonnée afin de conserver au transistor un fonctionnement équilibré: ceci est réalisé grâce aux règles dites de « scaling », c'est-à-dire de mise à l'échelle.

D'une manière générale, la miniaturisation des structures s'accompagne toujours d'un accroissement des dopages de base et de collecteur et par conséquent d'une diminution de la

tenue en tension du transistor (d'où la tendance à réduire les tensions d'alimentation des circuits). En utilisant un puits collecteur afin de ramener le contact de collecteur au niveau des contacts de base et d'émetteur, ainsi que des tranchées d'isolation, le transistor bipolaire conventionnel Circa d'IBM a vu le jour dans les années 1970.

II.1.3. Le transistor bipolaire conventionnel

II.1.3.a. Description technologique du transistor conventionnel Circa d'IBM

La référence [15] détaille la fabrication du transistor conventionnel Circa, créé au début des années 1970 par IBM. La figure I.4 en propose une coupe technologique.

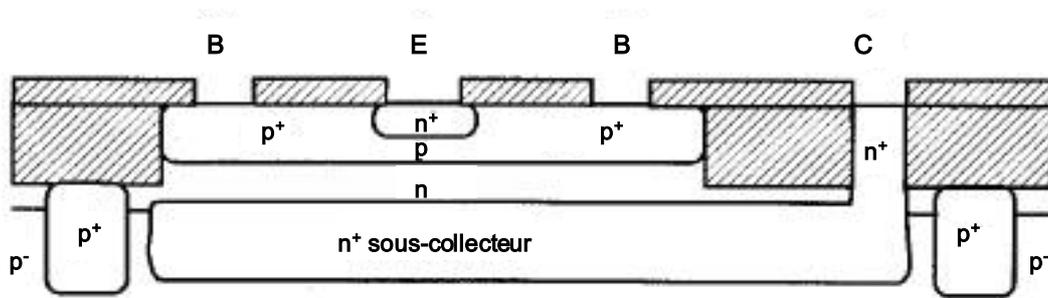


Figure I.4 : Coupe schématique du transistor bipolaire conventionnel, d'après [15]

Les principales différences avec la structure planaire sont l'utilisation du puits collecteur, ainsi que la réalisation des régions dopées p^+ assurant l'isolation du dispositif : ce sont les prémices des tranchées d'isolation, qui seront détaillées dans la suite.

L'émetteur possède une surface de $3 \times 7 \mu\text{m}^2$ soit $21 \mu\text{m}^2$, ce qui donne un ordre d'idée des dimensions du transistor ainsi constitué. Les contacts de base sont réalisés de part et d'autre de celui de l'émetteur afin de réduire la résistance de base. Le collecteur, grâce à la technique de l'épitaxie, est réalisé dans une couche de silicium fortement dopé n^+ , ce qui permet de réduire la résistance de collecteur. Le contact est rapporté au niveau de la surface via le puits. Enfin, les régions fortement dopées p^+ permettent l'isolation du transistor réalisé, vis-à-vis des autres dispositifs susceptibles d'être créés sur la même plaquette de silicium. L'aire de la jonction base/collecteur vaut $284 \mu\text{m}^2$ tandis que l'aire totale du transistor réalisé incluant l'isolation est de $945 \mu\text{m}^2$. L'épaisseur de l'émetteur est de 500nm et celle de la base intrinsèque (région p^+) est de 250nm.

II.1.3.b. Limitations technologiques

A partir du milieu des années 1970, les limitations du transistor bipolaire conventionnel sont devenues de plus en plus apparentes et difficilement surmontables. Malgré les techniques d'implantation ionique qui permettent de réaliser de faibles épaisseurs d'émetteur et de base, il n'était pas possible de réduire à moins de 300nm celle de l'émetteur. En effet, à cause des effets de surface, le courant de base devenait trop élevé, dégradant le gain en courant du transistor. Par ailleurs, la résistance de base devenait trop forte. Force était donc de constater que la structure conventionnelle du transistor bipolaire ne pouvait pas atteindre des épaisseurs de base et d'émetteur fortement réduites. Pour continuer à améliorer les performances du transistor bipolaire, une nouvelle structure a vu le jour en 1977 dans le centre de recherche d'IBM précédemment cité.

II.1.4. Genèse du transistor bipolaire avancé

En 1977, le centre de recherche d'IBM a conçu un transistor bipolaire à hautes performances avec de très petites dimensions : le transistor bipolaire auto-aligné double polysilicium à tranchées d'isolation est né. Avant de décrire en détail sa réalisation technologique, il convient de s'intéresser à la révolution que constitue l'auto-alignement dans la conception des transistors : en effet, grâce à cette nouvelle technique, la forte miniaturisation des dispositifs est devenue réalité.

II.1.4.a. Transistors de forte miniaturisation : structure de type auto-alignée

Comme indiqué précédemment, la structure de type auto-alignée a consisté en une véritable révolution au cours des années 1980, comme le précise la référence [18]. Elle a permis l'élaboration de dispositifs de plus en plus avancés en miniaturisant toujours plus les dispositifs réalisés. De par son évolution, elle est actuellement utilisée pour la réalisation des fonctions actives, et notamment des amplificateurs de puissance.

Cette technique a été permise par le transfert au transistor bipolaire d'innovations technologiques, développées initialement au bénéfice du MOSFET (prémices de la technologie BiCMOS). Cette évolution a conduit à une réduction drastique des dimensions latérales (les largeurs d'émetteurs sont en train de devenir sub-microniques), à une réduction en harmonie des dimensions verticales (les épaisseurs de bases sont de quelques dizaines de

nanomètres), ainsi qu'à la nécessité d'un sérieux renforcement de l'isolation du fait du foisonnement élevé des transistors dans les circuits. Le résultat est l'élaboration de transistors appelés « avancés ». Les caractéristiques communes des structures bipolaires avancées sont les suivantes. Tout d'abord, la réalisation des motifs les plus critiques font appel aux techniques d'auto-alignement. L'auto-alignement a pour but un positionnement sans lithographie de la base et de l'émetteur sous leurs contacts respectifs. Il utilise une structure réalisée à une étape de fabrication, pour conduire à une étape suivante sans lithographie et donc sans introduire de gardes d'alignement. Ensuite, il y a toujours la présence d'un contact d'émetteur en polysilicium (imposée par l'extrême finesse de l'émetteur monocristallin). La base extrinsèque est, quant à elle, très fortement dopée de façon à minimiser les effets parasites du transistor extrinsèque, dont l'importance relative est de plus en plus grande. Enfin, l'isolation est réalisée à l'aide de tranchées dites d'isolation qui sont de deux types: DTI (Deep Trench Isolation) pour une isolation en profondeur et STI (Shallow Trench Isolation) pour une isolation surfacique.

II.1.4.b. Description technologique

Grâce aux projets de recherche, le groupe de travail d'IBM a proposé plusieurs innovations technologiques qui ont permis d'aboutir à la structure présentée par la figure I.5 extraite de la référence [15].

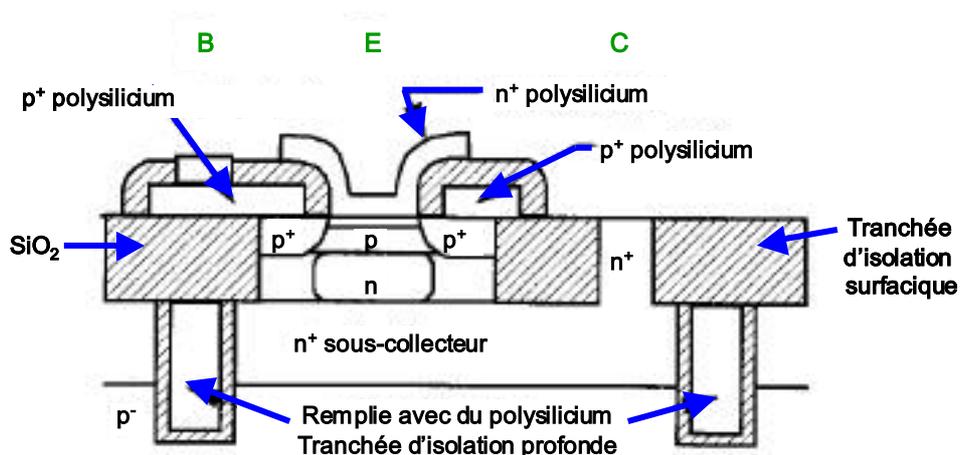


Figure I.5 : Coupe schématique du transistor bipolaire auto-aligné double polysilicium à tranchées d'isolation, d'après [15]

Tout d'abord, l'émetteur a vu son épaisseur se réduire de façon spectaculaire grâce à l'utilisation du polysilicium dopé, découvert fortuitement. L'auto-alignement de la base et de l'émetteur a permis de réduire le rapport entre l'aire de la jonction base/collecteur et l'aire de l'émetteur : ceci a favorisé la réduction des dimensions. Par ailleurs, l'isolation du dispositif a été renforcée par l'utilisation des tranchées. Les zones fortement dopées p^+ ont donc été abandonnées. Enfin, la formation du collecteur exploite la technique de l'épitaxie. La concentration en dopants du collecteur est fortement élevée directement au-dessus du substrat (zone n^+ sous-collecteur) et devient ensuite plus faible (zone n) afin de minimiser la capacité de jonction base/collecteur. Tous les éléments de ce transistor avancé ont été réalisés par une lithographie de $1.25\mu\text{m}$.

Comme il vient d'être précisé, l'émetteur polysilicium a été découvert de façon fortuite lors d'études expérimentales, visant à étudier l'impact de l'implantation et de la diffusion d'émetteurs surfaciques. Dès lors, cette découverte a révolutionné l'élaboration des transistors bipolaires au silicium. En effet, grâce à l'émetteur polysilicium, il est maintenant possible de réaliser des jonctions base/émetteur très fines (l'épaisseur de l'émetteur peut atteindre sans aucun problème des dimensions de 30nm). Cette technique permet la miniaturisation des dispositifs réalisés. C'est ainsi, que depuis 1981, les transistors bipolaires d'IBM ont un émetteur polysilicium.

Lors de l'auto-alignement des contacts de base et d'émetteur, l'équipe d'IBM a décidé d'utiliser du polysilicium p^+ pour former la base extrinsèque et réaliser le contact avec l'émetteur. Dès lors, la structure proposée présente plusieurs avantages qui sont tout d'abord une faible capacité de jonction base/émetteur. Par ailleurs, la base se décompose en une base intrinsèque (zone p^+) et une base extrinsèque (zone polysilicium p^+) permettant une optimisation de la composition de cette dernière. Enfin, la fenêtre d'ouverture dans le polysilicium p^+ , pour l'implantation de l'émetteur, offre une protection naturelle pour l'implantation ionique du polysilicium n^+ destiné à l'émetteur.

La concentration en impuretés du collecteur dans cette structure avancée est optimisée afin d'obtenir un gain en courant le plus élevé possible. Les règles de mise à l'échelle sont également largement employées pour optimiser les performances finales du transistor créé. En effet, la théorie de mise à l'échelle constitue une aide précieuse pour la compréhension des potentialités et des limites des transistors bipolaires à dimensions réduites. A titre d'exemple, la vitesse du transistor est améliorée d'un facteur d'échelle k lorsque la densité en courant du

collecteur, ainsi que sa concentration en dopants, augmentent avec la proportion de k^2 . Pour augmenter la concentration en dopants du collecteur et minimiser la capacité de jonction base/collecteur, le collecteur a été conçu en forme de puits. Sa réalisation utilise la technique d'implantation auto-alignée ou SIC (Self-aligned Implanted Collector).

Pour conclure sur la structure avancée du transistor bipolaire, il convient de s'intéresser à l'isolation de ce dernier. Dans la structure conventionnelle, l'isolation était assurée par les zones fortement dopées p^+ . Elles nécessitaient beaucoup de place afin de limiter les diffusions latérale et verticale des impuretés, ce qui allait à l'encontre de la démarche de miniaturisation des transistors. Par ailleurs, afin de minimiser la capacité de jonction collecteur/substrat silicium, ces isolations ne devaient pas être trop proches du sous-collecteur n^+ . En conséquence, ce type d'isolation n'est pas approprié au transistor avancé et il a fallu utiliser une autre technique pour assurer l'isolation : l'isolation par tranchées. Comme indiqué sur la figure I.5 et comme stipulé précédemment, il existe deux types de tranchées : des tranchées profondes (ou DTI) et des tranchées surfaciques (ou STI). Par rapport à la structure conventionnelle, l'aire dédiée aux tranchées d'isolation est deux fois plus petite. De plus, ces tranchées délimitent directement la zone de sous-collecteur, qui par conséquent, n'a pas besoin d'une fenêtre de réalisation spécifique. La capacité de jonction collecteur/substrat silicium est également réduite de façon significative. Par conséquent, les profondeurs de ces tranchées d'isolation répondent à des règles usuelles de lithographie. Les tranchées profondes sont réalisées en premier grâce à une étape de gravure de la plaquette de silicium. Ces tranchées sont ensuite remplies par un mélange d'oxyde de silicium et de polysilicium. La planéité des tranchées est enfin assurée par une étape de polissage mécanico-chimique.

II.1.4.c. Définition des principales caractéristiques du transistor bipolaire

Pour évaluer les performances du transistor destiné à l'amplification de puissance haute-fréquence et pour quantifier les comportements hautes-fréquences de ce dernier, différentes caractéristiques et facteurs de mérite sont utilisés. Le but de ce paragraphe est de définir brièvement les principaux facteurs utilisés.

II.1.4.c.i. Gain en courant statique

La première caractéristique la plus utilisée est le gain en courant statique β , qui a pour expression :

$$\beta = \frac{I_C}{I_B} = \frac{D_n W_E N_e}{D_p W_B N_b} \quad (1.1)$$

- avec D_n, D_p : constantes de diffusion respectives des électrons et des trous,
- W_E, W_B : largeur de l'émetteur et largeur de la base,
- N_e, N_b : concentrations respectives des dopants dans l'émetteur et dans la base.

Pour augmenter le gain afin d'assurer un fonctionnement en puissance, il convient de maximiser le dopage de l'émetteur N_e et de réduire celui de la base N_b . Par ailleurs, en jouant sur les dimensions, il est souhaitable d'avoir une épaisseur de base W_B la plus fine possible, tandis que celle de l'émetteur, W_E , doit être maximisée. Enfin, le dopage du collecteur, bien qu'il n'apparaît pas dans la définition, a une influence sur le gain, comme le précise la référence [19]. Il ne faut pas qu'il soit trop élevé sous peine de réduire le gain. Il apparaît donc clairement que des compromis doivent être réalisés, afin d'optimiser le gain mais aussi les autres caractéristiques et facteurs de mérite décrits dans ce qui suit, car les différentes caractéristiques du transistors (niveaux de dopage, dimensions, etc...) influent sur plusieurs paramètres à la fois.

II.1.4.c.ii. Densité de courant de collecteur

La densité de courant de collecteur, J_C , donne une indication quant à la tenue en courant du transistor. Cette dernière, définie par la référence [20], a pour expression :

$$J_C = \frac{q}{\int_0^{W_B} \frac{N_b(x) dx}{D_{nb}(x) n_{ib}^2(x)}} \left[\exp\left(\frac{qV_{BE}}{kT}\right) - 1 \right] \quad (1.2)$$

- avec q : charge élémentaire d'un électron,
- k : constante de Boltzmann,
- T : température en degrés Kelvin,

- $\frac{kT}{q}$: tension thermique,
- N_b : concentration des dopants dans la base à la position effective x ,
- D_{nb} : constante de diffusion des électrons minoritaires dans la base à la position effective x ,
- n_{ib} : concentration intrinsèque dans la base à la position effective x .

Pour augmenter la densité de courant, nécessaire pour un fonctionnement en puissance des transistors, il faut minimiser le niveau de dopage dans la base N_b tout en maximisant la concentration intrinsèque n_{ib} dans cette dernière.

II.1.4.c.iii. Tension d'Early

Ensuite, la référence [20] définit la tension d'Early V_A . Cette tension est obtenue par extrapolation de la caractéristique de sortie linéaire, I_C en fonction de V_{CE} , tracée en mode émetteur commun à polarisation fixée. Elle permet d'évaluer la tenue en tension du transistor et se définit selon (1.3) :

$$V_A = \left(\frac{\partial J_C}{\partial V_{CB}} \Big|_{V_{BE}} \right)^{-1} \quad (1.3)$$

La tension d'Early est un paramètre fortement utilisé par les concepteurs des circuits. Il est souhaitable qu'elle soit la plus grande possible, afin d'avoir une linéarité en tension importante. Néanmoins, sa valeur dépend du type d'application visée. Dans le cas de la téléphonie mobile, il est souhaitable d'avoir des valeurs supérieures à 100V.

II.1.4.c.iv. Tension de claquage

Pour compléter la caractérisation de tenue en tension du transistor, la tension de claquage en base ouverte BV_{CE0} (BV pour Breakdown Voltage) est utilisée. Cette dernière se mesure à l'aide d'un montage en émetteur commun lorsque la tension de base/émetteur V_{BE} est nulle. Elle est reliée à la tension de claquage en base court-circuitée, BV_{CB0} , par la relation (1.4) :

$$BV_{CE0} = \frac{BV_{CB0}}{\beta^n} \quad (1.4)$$

- avec β : gain en courant du transistor,
- n : paramètre expérimental compris entre 3 et 4.

Afin que le transistor fonctionne sur une grande plage de tension, les concepteurs cherchent à augmenter cette tension de claquage. Mais il sera vu par la suite, qu'un compromis est nécessaire avec les autres caractéristiques, afin de répondre au mieux aux applications pour lesquelles le transistor est destiné. En effet, pour augmenter cette tension de claquage, il convient d'avoir un collecteur faiblement dopé. Or, doper faiblement un collecteur est incompatible avec une fréquence de transition f_T de valeur élevée, car cela crée une capacité de jonction parasite base/collecteur.

II.1.4.c.v. Temps de transit direct

Avant d'introduire les deux facteurs de mérite fréquentiels, il est intéressant de définir le temps de transit direct, t_{tot} , qui donne une indication quant à la rapidité du transistor étudié. Il est composé de quatre termes, définis d'après les références [18] et [21] par :

$$t_{tot} = t_E + t_B + t_C + t_{ZTE} \quad (1.5)$$

- avec t_E : retard d'émetteur, correspondant au temps de renouvellement des électrons en excès dans l'émetteur,
- t_B : temps de transit des électrons dans la base,
- t_C : retard de collecteur,
- t_{ZTE} : temps de transit dans la zone de transition base/émetteur.

Les expressions respectives des différents termes sont les suivantes :

$$t_E = (C_{jE} + C_{jC}) \frac{nkT}{qI_C} \quad (1.5.1)$$

$$t_B = \frac{W_B^2}{2D_n} \quad (1.5.2)$$

$$t_C = (R_E + R_C) C_{jC} \quad (1.5.3)$$

$$t_{ZTE} = \frac{W_{dep}}{2v_{sat}} \quad (1.5.4)$$

- avec C_{jE} : capacité de jonction d'émetteur,
- C_{jC} : capacité de jonction de collecteur,
- n : facteur idéal de courant,
- W_B : largeur de base,
- R_E, R_C : résistances respectives d'émetteur et de collecteur,
- W_{dep} : profondeur de la zone de déplétion,
- v_{sat} : vitesse de saturation.

Il convient de réduire au minimum ces temps de transit en agissant de la manière suivante. Tout d'abord, la réduction du temps de transit dans la base, t_B , s'obtient, comme le précise la référence [19], en combinant différents paramètres qui sont :

- la minimisation de l'épaisseur de la base,
- la réduction du dopant de la base (le bore) grâce à l'utilisation du carbone. Le principe sera décrit dans le paragraphe II.3,
- enfin, il convient d'augmenter la pente du profil de germanium afin d'accélérer les électrons, en provenance de l'émetteur, à travers la base. Là aussi, des explications détaillées seront fournies dans le paragraphe II.2.3.

Le retard du collecteur, t_C , se minimise en utilisant un collecteur fortement dopé. D'ores et déjà, il apparaît clairement qu'un compromis doit être trouvé entre ce retard et le gain du transistor.

La capacité de jonction de collecteur, C_{jC} , se minimise en augmentant le courant de collecteur, donc la densité de courant de collecteur. Pour ce faire, il convient d'intervenir sur la base, comme précisé précédemment au paragraphe II.1.4.c.ii. Par ailleurs, il est souhaitable d'avoir un collecteur faiblement dopé, mais ceci va à l'encontre de l'augmentation de la tension de claquage BV_{CE0} . Des compromis doivent donc être réalisés.

La capacité de jonction d'émetteur C_{jE} est réduite si le dopage de l'émetteur est élevé.

Enfin la résistance d'émetteur, R_E , est quant à elle minimisée lorsque la profondeur de la jonction émetteur/base est faible.

II.1.4.c.vi. Fréquence de transition

La fréquence de transition, f_T , est un facteur de mérite important pour quantifier les performances hautes-fréquences des transistors. Elle se définit à partir du temps de transit direct et correspond à la fréquence de coupure pour laquelle le module du gain en courant dynamique est unitaire (c'est-à-dire égal à 0dB). Son expression, définie par [20], est donnée

par (1.6) :

$$f_T = \frac{1}{2\pi t_{tot}} \quad (1.6)$$

D'après la définition, la fréquence de transition f_T est maximale si le temps de transit total, t_{tot} , est réduit. Les critères qui minimisent t_{tot} sont donc les mêmes que ceux qui maximisent f_T . Dans les applications de téléphonie mobile, où la montée en fréquence est de plus en plus primordiale, il est souhaitable que cette fréquence de transition, notamment son pic, soit le plus élevé possible.

II.1.4.c.vii. Fréquence maximale d'oscillation

La fréquence maximale d'oscillation, f_{max} , est le second facteur de mérite utilisé pour évaluer le comportement haute-fréquence du transistor. Elle correspond à la fréquence pour laquelle le gain en puissance unilatéral est unitaire. f_{max} se définit à partir de f_T , comme

l'indique [21] par :

$$f_{max} = \sqrt{\frac{f_T}{8\pi R_B C_{jBC}}} \quad (1.7)$$

- avec R_B : résistance de base,
- C_{jBC} : capacité de jonction collecteur/émetteur.

Là aussi, il est préférable que cette fréquence soit la plus élevée possible. Dès lors, il convient d'augmenter la résistance de base R_B ainsi que la capacité de jonction C_{jBC} en augmentant l'épaisseur de la base. Néanmoins, là aussi des compromis sont à réaliser, sous peine de dégrader le temps de transit dans la base et par conséquent la fréquence de transition.

II.1.4.c.viii. Relation entre tension de claquage et fréquence de transition

La tension de claquage et la fréquence de transition ne sont pas indépendantes l'une de l'autre. Elles sont reliées par la limite, dite limite de Johnson. La figure I.6 illustre cette relation.

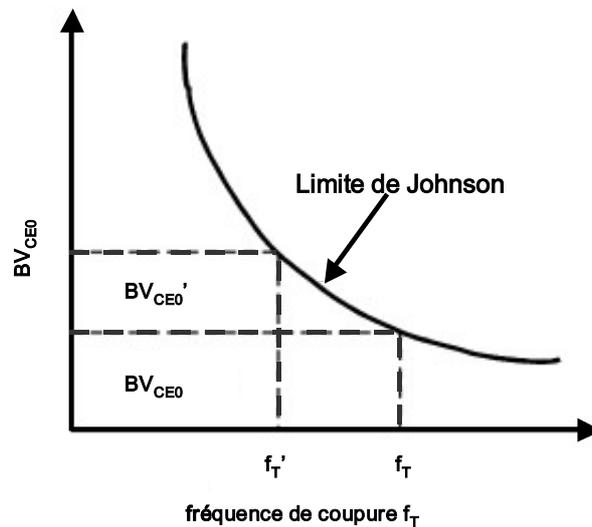


Figure I.6 : Relation entre BV_{CE0} et f_T , plus connue sous le nom de limite de Johnson, d'après [22]

Les couples (f_T, BV_{CE0}) et (f_T', BV_{CE0}') sont liés par la relation (1.8) :

$$\frac{BV_{CE0}'}{BV_{CE0}} = \frac{f_T}{f_T'} \quad (1.8)$$

Les transistors bipolaires à hétéro-jonction SiGe répondent à cette limite. Cela signifie que pour avoir une forte fréquence de transition, la tension de claquage sera faible. Il faut donc trouver un compromis entre f_T et BV_{CE0} afin de répondre au mieux aux applications visées. C'est la raison pour laquelle, les technologues conçoivent souvent deux types de TBH. Le premier est destiné aux applications, dites faible tension, et correspond, par exemple au couple (f_T', BV_{CE0}') . Il est obtenu en dopant plus fortement le collecteur. Le second est destiné à fonctionner à haute tension et correspond alors au couple (f_T, BV_{CE0}) . Il existe donc clairement un dilemme entre ces deux critères et le défi des technologues et des concepteurs consiste à concilier les caractéristiques des TBH (dans ce cas, il s'agit principalement du dopage du collecteur) avec leurs performances.

II.1.4.d. Influence des facteurs de mérite sur l'amélioration des performances

Afin de répondre aux besoins de plus en plus exigeants en matière de performances, les règles de réduction d'échelle ont largement été utilisées pour les transistors bipolaires. Comme l'indique la référence [23], chaque élément constitutif des transistors (à savoir, collecteur, base, émetteur et isolation, entre autres) ont fait l'objet de plusieurs optimisations pour concevoir la structure avancée qui vient d'être présentée. Mais les techniques de lithographie et les différents procédés technologiques utilisés ont permis d'atteindre les performances maximales des transistors. La rapidité des circuits créés dépend, certes de la rapidité des dispositifs et de la fréquence de transition, mais à cela s'ajoutent toutes les autres caractéristiques des dispositifs. Dès lors, un compromis doit être trouvé afin d'obtenir la meilleure réalisation technologique et les meilleures performances possibles. La figure I.7 illustre parfaitement ce propos. En effet, la référence [23] a évalué l'impact du temps de transit dans la base sur le retard total, ainsi que de la capacité de jonction et la résistance parasite de cette dernière. Les auteurs remarquent que la capacité de jonction et la résistance parasite dépendent du régime de fonctionnement choisi. Par exemple, si le transistor est destiné à fonctionner à de faibles puissances, ce qui revient donc à fonctionner avec un courant de travail faible, la réduction de la capacité parasite s'avère essentielle. Toute la difficulté consiste donc à concilier l'impact des caractéristiques de la structure en vue d'optimiser les performances pour l'application dédiée.

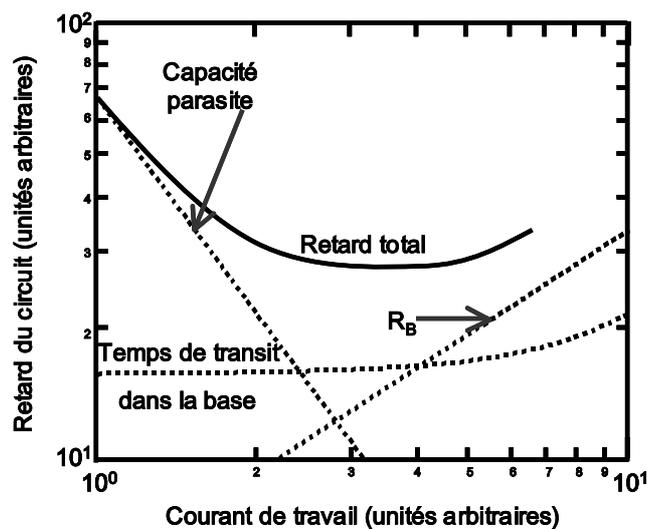


Figure I.7 : Impact des différentes caractéristiques sur le retard global du transistor, d'après [23]

II.1.4.e. Limites technologiques

La structure avancée homo-jonction qui vient d'être présentée a rapidement été confrontée à des limitations technologiques. En effet, pour améliorer la densité du courant de collecteur, l'avalanche de la jonction base/collecteur, la densité de courant du dispositif final, ainsi que la résistance série de l'émetteur, il n'est plus possible de réduire les dimensions du transistor. Les limites technologiques ont été atteintes. De nouvelles structures ont dû être proposées et, c'est dans ce contexte, que le transistor bipolaire à hétéro-jonction a pu s'imposer afin de poursuivre l'évolution des transistors bipolaires.

II.2. Introduction du Germanium dans la base : réalisation du Transistor Bipolaire à Hétéro-jonction SiGe

En introduisant du germanium Ge dans la base du transistor bipolaire au silicium, deux hétéro-jonctions SiGe sont obtenues. La première se situe entre la base et l'émetteur et la seconde est celle entre la base et le collecteur. Le transistor ainsi réalisé est un transistor bipolaire à hétéro-jonction (TBH). Ce paragraphe est consacré à la description de l'hétéro-structure SiGe. Pour ce faire, le diagramme de l'hétéro-jonction base/émetteur sera présenté, puis le diagramme de bandes du transistor bipolaire à hétéro-jonction. Ensuite, les différents profils de germanium utilisés feront l'objet d'une description succincte. Une comparaison des performances entre le transistor bipolaire à homo-jonction (TBJ) au silicium et le transistor bipolaire à hétéro-jonction SiGe confirmera l'intérêt de l'hétéro-structure. Ceci permettra de s'intéresser à la formation technologique de la base SiGe et d'introduire les évolutions de la base, avec notamment l'utilisation du carbone associée à l'alliage SiGe.

II.2.1. Rôle et intérêt de l'hétéro-jonction

Par définition, et comme le précise la référence [16], une hétéro-jonction est obtenue lorsque deux matériaux semi-conducteurs différents sont associés. Sa réalisation s'effectue par croissance cristalline d'un matériau sur l'autre et nécessite l'utilisation de semi-conducteurs ayant des propriétés cristallines voisines (la taille des atomes doit notamment être assez proche). Selon le type de dopage utilisé pour les semi-conducteurs, deux hétéro-

jonctions se distinguent. Les premières sont les hétéro-jonctions isotopes, pour lesquelles les deux semi-conducteurs sont de même type de dopage. Les secondes sont les hétéro-jonctions anisotypes, pour lesquelles les deux semi-conducteurs sont dopés différemment. La conception de transistors bipolaires à hétéro-jonction utilise des hétéro-jonctions anisotypes et par définition, ils associent un premier semi-conducteur de grand gap pour l'émetteur et un second semi-conducteur de gap plus faible pour la base. L'intérêt principal de l'hétéro-jonction est de modifier l'énergie des bandes et, par conséquent, de favoriser la mobilité des électrons, permettant ainsi une amélioration des performances des dispositifs créés.

Les transistors bipolaires à hétéro-jonctions se nomment de la façon suivante : semi-conducteur pour l'émetteur puis semi-conducteur pour la base. Le transistor AlAsGa(n)/AsGa(p) est le bipolaire à hétéro-jonction « historique », formé à partir de semi-conducteurs des familles III/V. Mais, ce travail de thèse s'intéresse aux transistors bipolaires à hétéro-jonction à base de silicium, c'est-à-dire que l'émetteur est constitué de silicium dopé n et la base d'un alliage de silicium dopé p associé à du germanium : ces transistors utilisent des semi-conducteurs de la famille IV.

Avant de présenter en détail le transistor bipolaire à hétéro-jonction silicium, il convient de rappeler que ce dernier est apparu dans les années 1980, et qu'il a pris une importance majeure en quelques années seulement. Son succès réside principalement sur le fait que ses performances, en rapidité notamment, sont proches de celles obtenues par les transistors III/V. Par ailleurs, le silicium possède de nombreux avantages sur les semi-conducteurs III/V, dont les principaux sont les suivants :

- tout d'abord, l'oxyde naturel du silicium, SiO_2 , possède d'excellentes propriétés diélectriques et mécaniques,
- ensuite, le silicium a une conductivité thermique plus élevée que celle de l'arséniure de gallium (d'un facteur 3, d'après la référence [1]),
- enfin la technologie silicium bénéficie d'une grande maturité, fruit de plus de 40 ans de développement. Les dispositifs réalisés présentent une grande fiabilité, un rendement élevé et surtout un faible coût, critère des plus importants en vue d'une production de masse.

Par conséquent, la technologie bipolaire SiGe supplante désormais la technologie bipolaire au silicium dans les circuits analogiques denses et rapides du domaine des télécommunications. Elle est presque toujours exploitée en configuration BiCMOS, comme le décrit la partie III.

II.2.2. Diagramme de bandes du TBH SiGe

Avant de débiter la description du transistor bipolaire à hétéro-jonction SiGe, il est bon de noter que ce transistor est réalisé à partir du transistor bipolaire homo-jonction silicium avancé, qui vient d'être présenté en II.1. Comme le précise la référence [15], ce TBH SiGe utilise la même technique d'auto-alignement et la même isolation par tranchées que le TBJ Si.

La conséquence de l'utilisation de l'alliage SiGe dans la base provoque une modification dans le diagramme des bandes du transistor.

II.2.2.a. Description de l'hétéro-jonction base/émetteur

La figure I.8 représente le diagramme de l'hétéro-jonction base/émetteur du TBH SiGe.

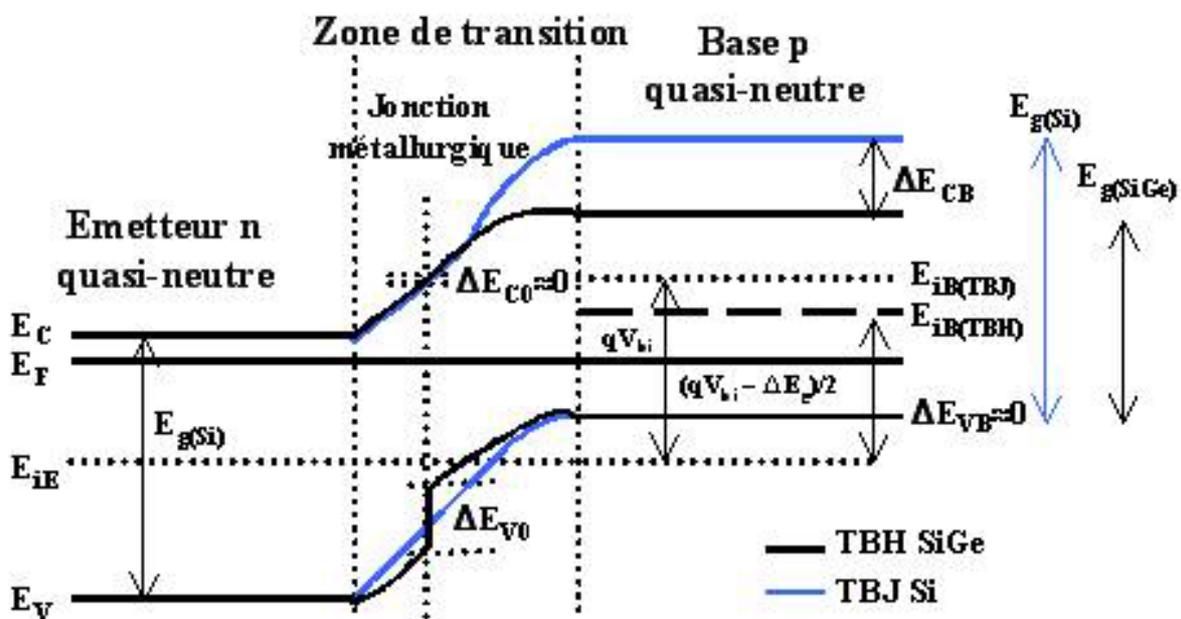


Figure I.8 : Schéma de bandes à l'équilibre thermique de la jonction base-émetteur d'un TBH SiGe à profil rectangulaire de germanium – Comparaison avec le schéma de bandes du TBJ Si équivalent, d'après [16]

Sa construction utilise l'expression simplifiée de l'écart ΔE_g entre le bandgap du silicium et celui de l'alliage SiGe de base, en fonction de la composition en germanium de cet alliage. Pour une construction complète et pertinente, cette seule donnée ne suffit pas. Il faut

en effet connaître, en plus, les décalages ΔE_C et ΔE_V des bandes de conduction et de valence, engendrés dans la base, par le changement de matériau et qui sont tels que $\Delta E_C + \Delta E_V = \Delta E_g$. Les données intéressantes sont ΔE_{CB} et ΔE_{VB} dans la base quasi-neutre et ΔE_{C0} et ΔE_{V0} au niveau de l'hétéro-jonction base/émetteur.

Les décalages ΔE_{CB} et ΔE_{VB} dans la base quasi-neutre, c'est-à-dire loin de l'hétéro-jonction métallurgique ont été déterminés à l'aide d'un profil rectangulaire de germanium. Le raisonnement développé dans la référence [16] s'appuie sur les trois étapes suivantes : tout d'abord la détermination de l'expression de la concentration intrinsèque n_i dans le SiGe, puis celle de l'expression de la différence entre les niveaux intrinsèques de base E_{iB} d'un TBH SiGe avec un TBJ Si équivalent. Et enfin celle de l'expression des décalages ΔE_{CB} et ΔE_{VB} .

A l'équilibre thermique, les concentrations en électrons et en trous dans les régions quasi-neutres sont données par les relations (1.9) et (1.10), avec pour hypothèse, qu'il s'agit d'une étude unidimensionnelle, de sorte que, toutes les grandeurs sont implicitement fonction de la variable d'espace x :

$$n = N_C \exp\left(\frac{q(\varphi_C - \varphi_F)}{kT}\right) \quad (1.9)$$

$$p = N_V \exp\left(\frac{q(\varphi_F - \varphi_V)}{kT}\right) \quad (1.10)$$

Le produit np égal à l'équilibre à n_i^2 , déduit des relations précédentes en identifiant $q(\varphi_V - \varphi_C)$ au bandgap E_g , est donné par (1.11) :

$$np = n_i^2 = N_C N_V \exp\left(-\frac{E_g}{kT}\right) \quad (1.11)$$

Une expression reliant la concentration intrinsèque $n_{i(SiGe)}$ dans la base avec la concentration intrinsèque $n_{i(Si)}$ dans l'émetteur et l'écart $E_g = E_{g(Si)} - E_{g(SiGe)} > 0$ entre le bandgap de l'émetteur et celui de la base est alors déduite :

$$n_{i(SiGe)} = n_{i(Si)} \sqrt{\frac{N_C N_{V(SiGe)}}{N_C N_{V(Si)}}} \exp\frac{\Delta E_g}{2kT} \quad (1.12)$$

Le positionnement global des bandes d'énergie et par conséquent, des potentiels intrinsèques dans l'émetteur et dans la base par rapport au niveau de Fermi est fixé par le dopage. Si N_{aB} et N_{dE} représentent les dopages de la base et de l'émetteur supposés uniformes, alors les potentiels intrinsèques ϕ_{iE} dans l'émetteur quasi-neutre et ϕ_{iB} dans la base quasi-neutre sont donnés par les relations (1.13) et (1.14) :

$$\phi_{iE} - \phi_F = \frac{kT}{q} \ln\left(\frac{N_{dE}}{n_{i(Si)}}\right) \quad (1.13)$$

$$\phi_F - \phi_{iB} = \frac{kT}{q} \ln\left(\frac{N_{aB}}{n_{i(SiGe)}}\right) \quad (1.14)$$

Dès lors, il vient :

$$\phi_{iB} - \phi_{iE} = -V_{bi(Si)} - \frac{kT}{q} \ln\left(\frac{n_{i(Si)}}{n_{i(SiGe)}}\right) \quad (1.15)$$

où $V_{bi(Si)}$ représente la barrière de potentiel d'équilibre de l'homo-jonction au silicium équivalente, donnée par (1.16) :

$$V_{bi(Si)} = \frac{kT}{q} \ln\left(\frac{N_{aB} N_{dE}}{n_{i(Si)}^2}\right) \quad (1.16)$$

Par conséquent, l'écart entre les niveaux d'énergie intrinsèques de la base et de l'émetteur s'exprime par (1.17) :

$$E_{iB} - E_{iE} = q V_{bi(Si)} + kT \ln\left(\sqrt{\frac{(N_C N_V)_{(Si)}}{(N_C N_V)_{(SiGe)}}}\right) - \frac{\Delta E_g}{2} \quad (1.17)$$

Le terme en kT peut être négligé car les différences faibles entre les densités effectives d'états N_C et N_V du silicium et de l'alliage SiGe sont fortement atténuées par la fonction logarithmique. Ainsi, les niveaux intrinsèques se placent au milieu des bandes interdites. Par conséquent, l'écart entre les niveaux intrinsèques de base d'un TBH SiGe et d'un TBJ Si équivalent est donné par (1.18) :

$$E_{iB(TBH)} - E_{iB(TBJ)} \approx - \frac{\Delta E_g}{2} \quad (1.18)$$

Pour les deux transistors, à homo-jonction TBJ et à hétéro-jonction TBH, les niveaux intrinsèques E_{iB} sont reliés aux niveaux des bandes de conduction E_{CB} et de valence E_{VB} dans la base quasi-neutre par les relations (1.19) à (1.22) :

$$E_{CB(TBJ)} = E_{iB(TBJ)} + \frac{E_g}{2} \quad (1.19)$$

$$E_{CB(TBH)} = E_{iB(TBH)} + \frac{E_g}{2} - \frac{\Delta E_g}{2} \quad (1.20)$$

$$E_{VB(TBJ)} = E_{iB(TBJ)} - \frac{E_g}{2} \quad (1.21)$$

$$E_{VB(TBH)} = E_{iB(TBH)} - \frac{E_g}{2} + \frac{\Delta E_g}{2} \quad (1.22)$$

Les décalages ΔE_{CB} et ΔE_{VB} des niveaux E_{CB} et E_{VB} , consécutifs à la présence de germanium dans la base, sont donnés par (1.23) et (1.24) :

$$\Delta E_{CB} = E_{CB(TBJ)} - E_{CB(TBH)} \approx \Delta E_g \quad (1.23)$$

$$\Delta E_{VB} = E_{VB(TBJ)} - E_{VB(TBH)} \approx 0 \quad (1.24)$$

II.2.2.b. Diagramme de bandes du transistor bipolaire à hétéro-jonction SiGe

En résumé, la figure I.9, issue de la référence [20], représente le diagramme de bande simplifié du TBH SiGe ainsi que le profil de germanium associé. Le report de la totalité du décalage ΔE_g sur la bande de conduction dans la base engendre une augmentation de la densité du courant de collecteur du TBH SiGe sur celle du TBJ équivalent. Le profil graduel de germanium introduit un quasi-champ électrique dans la base qui se manifeste par la pente dans la bande de conduction dans la base. Ce champ accélère les porteurs à travers la base. Enfin, la référence [24] précise que le profil graduel de SiGe améliore le gain en courant DC, diminue le temps de transit dans la base et augmente la tension d'Early du TBH.

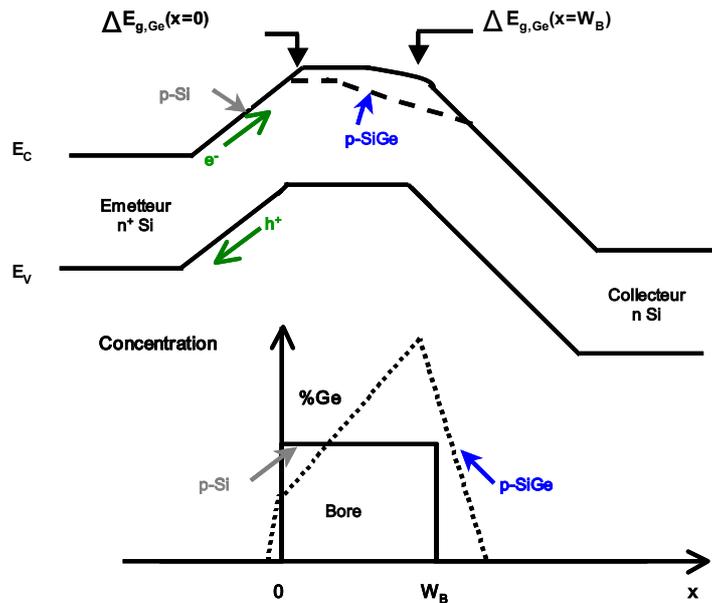


Figure I.9 : Comparaison des diagrammes de bandes du TBJ Si et du TBH SiGe, d'après [20]

Par ailleurs, puisque la bande de valence n'est affectée ni dans l'émetteur, ni dans la base, les deux transistors ont la même densité de courant de base. En d'autres termes, cela signifie que pour la comparaison des courbes de Gummel obtenues pour un TBH SiGe et pour un TBJ Si de même géométrie, de même structure et de même profil de dopage, les courants de base seront identiques alors que les courants de collecteur seront différents. La figure I.10, extraite de la référence [25], le confirme.

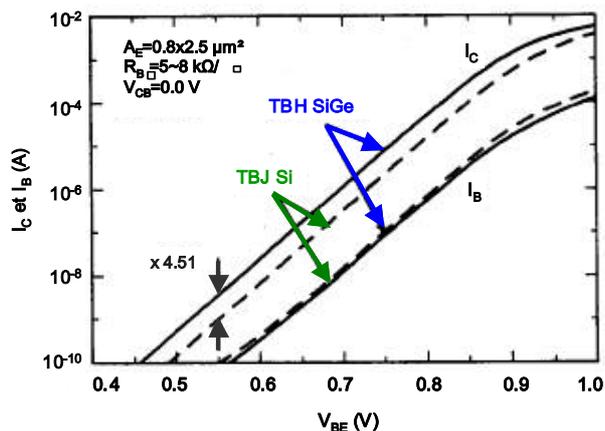


Figure I.10 : Comparaison des courbes de Gummel du TBJ Si et TBH SiGe, d'après [25]

Les deux transistors présentent la même barrière de potentiel vis-à-vis du passage des trous vers l'émetteur, car leurs émetteurs sont dopés de la même manière. Ainsi, une même tension de polarisation V_{BE} donne un même courant de base. Par contre, vis-à-vis des

électrons injectés de l'émetteur vers la base, le TBH SiGe présente un abaissement de barrière de potentiel par rapport au TBJ Si, qui se traduit par une augmentation du courant de collecteur. Ainsi, les deux transistors ont le même courant de base mais des courants de collecteur différents. En d'autres termes et comme le précise la référence [15], le TBH SiGe n'est pas un « vrai » transistor bipolaire à hétéro-jonction car l'hétéro-jonction n'est pas réalisée à partir d'un émetteur de grand gap. En effet, en comparant un TBJ avec un « vrai » TBH, une baisse du courant de base aurait été obtenue. Les différences de comportement observées entre les TBH SiGe (qui sont donc des transistors bipolaires à gap de base graduelle) et les « vrais » TBH, réalisés à partir des matériaux semi-conducteurs III-V, résultent de la conception même des TBH SiGe.

II.2.3. Description du profil de Germanium

L'introduction du germanium dans la base entraîne une modification du diagramme de bandes du transistor réalisé, comme il vient d'être vu. Ce dernier est alors constitué de deux hétéro-jonctions car, comme précisé précédemment, le collecteur et l'émetteur sont constitués de silicium. La base, quant à elle, est réalisée à partir d'un alliage de silicium et de germanium, noté $\text{Si}_{1-y}\text{Ge}_y$. Pour déterminer la concentration de germanium, le coefficient de substitution y (ou fraction molaire, compris entre 0 et 1) est utilisé : $100 \times y$ représente alors le pourcentage en atomes de germanium contenus dans la base. Le bandgap de cet alliage est inférieur à celui du silicium de la quantité ΔE_g . La référence [16] donne une expression empirique (équation (1.25)) de ce bandgap, valable pour de faibles valeurs de y ($y < 0.2$) :

$$\Delta E_g \text{ (eV)} = 0.74 y \quad (1.25)$$

II.2.3.a. Principaux types de profils de germanium

Selon l'évolution de la quantité de germanium dans l'alliage de la base, trois principaux types de profils de germanium se distinguent : ce sont le profil rectangulaire (appelé aussi box), le profil trapézoïdal (le plus utilisé en pratique) et enfin le profil triangulaire. La figure I.11 représente la concentration de germanium en fonction de l'abscisse x correspondant à la profondeur de la base. L'origine des abscisses est prise à la limite côté émetteur de la base quasi-neutre, c'est-à-dire pratiquement à la jonction métallurgique base-

émetteur. Quel que soit le profil utilisé, l'écart de bandgap ΔE_g varie linéairement d'une extrémité à l'autre de la base quasi-neutre (d'épaisseur W_B) puisqu'il est une fonction linéaire du coefficient de substitution y , lequel est lui-même une fonction linéaire de l'abscisse. Dès lors, il est possible d'écrire :

$$\Delta E_g(x) = \Delta E_g(0) + \Delta E_g(\text{grade}) \frac{x}{x_B} \quad (1.26)$$

où $\Delta E_g(\text{grade}) = \Delta E_g(W_B) - \Delta E_g(0)$

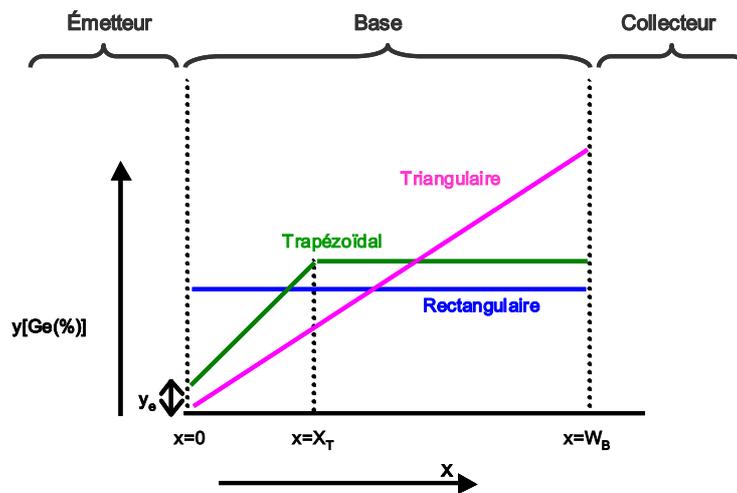


Figure I.11 : Les trois principaux types de profils de germanium, d'après [20]

Au vu de cette figure et de la relation (1.26), force est de constater que selon la quantité de germanium, il existe plusieurs variantes de chaque profil. Dès lors, plusieurs dopages et profils de germanium ont été comparés pour déterminer la structure optimale et ont fait l'objet de nombreuses études, comme l'atteste la référence [26]. Avant de dresser les principales conclusions, il convient de s'intéresser à la manière utilisée pour quantifier le germanium contenu dans la base SiGe.

II.2.3.b. Techniques de quantification du germanium de la base SiGe

D'après la référence [27], l'introduction de la couche SiGe dans la base du TBH apporte des améliorations importantes notamment en terme de vitesse et rapidité. Dès lors, les TBH SiGe sont concurrents des TBH AsGa pour les applications sans fil. L'hétéro-jonction

SiGe a fait naître de nouveaux besoins, notamment celui de contrôler précisément la quantité de germanium introduite. Différentes techniques ont alors été élaborées pour caractériser ce profil de germanium.

La première technique est la mesure des ions secondaires par spectroscopie de masse ou SIMS (Secondary Ion Mass Spectroscopy). Elle permet d'obtenir la composition totale du profil de germanium, mais elle est lente, destructrice et coûteuse. Elle a donc été remplacée par la diffraction par rayons X ou XRD (X-Ray Diffraction) qui est la seconde technique possible. Cette dernière est beaucoup utilisée pour caractériser la couche SiGe dans les phases de recherche et développement. A l'origine, cette technique XRD a été élaborée pour caractériser les matériaux III/V. Avec l'émergence du SiGe, de nouveaux défis ont dû être relevés. Tout d'abord, l'analyse XRD doit être capable de caractériser une base SiGe fine (souvent inférieure à 40nm) avec une composition graduelle. En effet, la concentration de germanium peut varier de 15% à la jonction collecteur/base pour atteindre 0% à la jonction émetteur/base. La technique XRD fournit une mesure absolue et non ambiguë du profil de germanium. Elle constitue donc une méthode très précise pour déterminer la composition et l'épaisseur des couches graduelles de SiGe. Néanmoins, elle n'est pas capable de mesurer le profil du dopant bore, ainsi que les paramètres du wafer (telle que l'épaisseur du substrat, etc...). Par conséquent et comme le précise la référence [27], cette technique est difficilement adaptable à un environnement de production, car elle nécessite beaucoup de temps. De nouvelles techniques sont alors proposées, comme l'analyse analytique, qui permet d'extraire rapidement et de façon fiable l'épaisseur de la couche SiGe, la quantité de germanium ainsi que son profil. Enfin, selon le besoin et l'environnement de travail, les technologues utilisent la technique appropriée.

II.2.3.c. Influence du profil sur les performances des TBH

La référence [20] propose une comparaison de différents types de profils de germanium pour lesquels la concentration de germanium varie. Dans le tableau I.3, les quatre premières lignes correspondent à des profils pour lesquels la concentration de germanium est de 3% à la jonction émetteur/base et varie de 8 à 33% pour la jonction collecteur/base. Ces profils s'apparentent donc à des profils triangulaires. En analysant les performances des TBH, il vient que la tension d'Early V_A , le gain en courant et le courant de saturation I_S augmentent lorsque le gradient de germanium croît. En revanche, le temps de transit dans la base ζ_B ainsi que le temps de transit total ζ_{total} chutent, conséquence de l'augmentation de la fréquence de

transition f_T et de la fréquence maximale d'oscillation f_{max} . Pour conserver la même pente que le profil de la quatrième ligne, avec une concentration de germanium de 10% à la jonction émetteur/base, la quantité à la jonction collecteur/base a du être ajustée à 40%, et les résultats sont présentés dans la dernière ligne du tableau. La tension d'Early V_A dépend uniquement de la pente du profil de germanium, alors que tous les autres paramètres mesurés dépendent à la fois de la pente et de la quantité de germanium présente dans la base SiGe.

| Profil de Ge | V_A (V) | Gain en courant | I_S (A) | ζ_B (ps) | ζ_{total} (ps) | f_T (GHz) | f_{max} (GHz) |
|--------------|-----------|-----------------|-------------------------|----------------|----------------------|-------------|-----------------|
| 3% - 8% | 49.53 | 149.1 | 2.34×10^{-18} | 0.64 | 2.36 | 67.3 | 127.7 |
| 3% - 15% | 199.12 | 296.7 | 4.64×10^{-18} | 0.37 | 2.1 | 76 | 135.6 |
| 3% - 22% | 984.90 | 477 | 7.45×10^{-18} | 0.24 | 1.97 | 80.8 | 139.8 |
| 3% - 33% | 15 231.92 | 786.9 | 12.32×10^{-18} | 0.15 | 1.88 | 84.9 | 143.35 |
| 10% - 44% | 15 231.92 | 6 269.1 | 98.2×10^{-18} | 0.13 | 1.86 | 85.6 | 144 |

Tableau I.3 : Influence du profil de Ge sur les performances du TBH SiGe, d'après [20]

Au vu de ce tableau et en conclusion de leur étude, les auteurs de la référence [20] affirment qu'en général le profil de germanium utilisé est de type trapézoïdal et que les deux cas extrêmes sont les profils rectangulaire et triangulaire. En étudiant l'impact du profil sur les performances du TBH, les auteurs ont démontré que le gain en courant et le temps de transit total chutent lorsque le profil passe du type rectangulaire à triangulaire, alors que la tension d'Early, la fréquence de transition et la fréquence maximale d'oscillation croissent. Par ailleurs, pour un même type de profil, les caractéristiques fréquentielles augmentent avec la quantité de germanium introduite. Enfin, lorsque seules les performances RF importent, le profil triangulaire s'avère être le meilleur choix. Si maintenant il convient d'optimiser les performances RF ainsi que le gain en courant, alors le profil qui s'impose est celui de type trapézoïdal. En effet, il est le seul à pouvoir contrôler la position du pic de germanium ainsi que la quantité totale de germanium contenue dans la base SiGe.

Il convient maintenant de s'intéresser aux TBH destinés à être utilisés dans les étages des amplificateurs de puissance, qui est le cadre dans lequel cette thèse a été menée. Pour de tels transistors de puissance, il convient de caractériser leur linéarité et leur distorsion harmonique. Les références [28] à [30] étudient l'influence du profil de germanium sur leurs performances et se proposent de trouver le profil de germanium optimal pour les applications radio-fréquences. Au cours de ces investigations, les auteurs ont démontré qu'il est possible d'ajuster le profil de germanium des TBH SiGe de façon à obtenir des fréquences de transition élevées tout en minimisant le bruit. Par ailleurs, pour réduire la distorsion

harmonique, il est souhaitable d'utiliser une forte concentration de germanium à la jonction émetteur/base. Mais le profil de germanium n'est pas le seul facteur sur lequel il convient de jouer pour améliorer les performances. En effet, le profil de dopage du collecteur intervient également. Avec un profil de dopage non-uniforme du collecteur, il est possible de réduire la distorsion harmonique tout en favorisant la tension de claquage BV_{CE0} . Un compromis entre la tension de claquage BV_{CE0} et les propriétés à fort courant, c'est-à-dire le pic de la fréquence de transition f_T et les effets de distorsion dus à la capacité de jonction base/collecteur, C_{BC} , doit donc être réalisé.

En conclusion, il est possible d'affirmer que la forme et la concentration du profil de germanium sont importantes pour un fonctionnement faible et fort courants des TBH.

II.2.4. Formation technologique des bases SiGe et SiGe:C

Les applications auxquelles les TBH SiGe sont dédiées dépendent largement de la croissance du matériau SiGe, notamment du contrôle de la surface de réaction, de la formation des défauts ou dislocations et de la rugosité de surface. La référence [31] dresse le bilan des techniques de fabrication des hétéro-structures SiGe et montre l'intérêt de soigner particulièrement cette étape de fabrication, car les performances des TBH réalisés en dépendent.

Dans le cadre de son étude, la référence [31] rappelle que la croissance des couches SiGe qui croissent sur un substrat silicium ont une latence de 4.2% au maximum, lorsque la couche de germanium est pure. Cette latence introduit une contrainte dans le film SiGe et de l'énergie élastique de contrainte s'accumule au fur et à mesure que la couche croît. Cela se manifeste de deux façons. La première est une déformation élastique, c'est-à-dire une déformation de la surface du film. Dans ce cas, il s'agit de ségrégation de surface car l'hétéro-surface entre le silicium et le germanium n'est pas abrupte et plate au niveau atomique. La seconde correspond à une déformation plastique qui se manifeste par des dislocations (défauts de la structure cristalline). L'épaisseur à partir de laquelle les dislocations apparaissent est appelée épaisseur critique. Une solution pour s'affranchir de ces déformations est d'introduire du carbone dans le film SiGe. En effet, l'introduction du carbone a connu un réel intérêt croissant pour les applications électroniques et optoélectroniques utilisant des semi-conducteurs du groupe IV. En raison des différents rayons covalents du silicium, du

germanium et du carbone (0.117, 0.122 et 0.077nm respectivement) les atomes de carbone comblent les latences qui existent dans le film SiGe et, de ce fait, réduisent le paramètre de latence et les contraintes des couches SiGe. La génération de dislocations est prévenue et la structure cristalline, ainsi que la fiabilité des dispositifs, s'en trouvent améliorées. Par ailleurs, et comme il le sera précisé dans la suite, l'incorporation de carbone peut supprimer de façon significative la diffusion du dopant bore hors de la couche de type p de la base. Néanmoins, le carbone ne règle pas tous les problèmes et une incorporation excédant quelques pourcentages est très difficile à réaliser. Une des principales raisons à cette difficulté est l'équilibre thermique entre les solubilités des atomes de carbone et de germanium dans le silicium. En effet, les propriétés structurales des films $\text{Si}_{1-x-y}\text{Ge}_x\text{C}_y$ sont très sensibles à la fraction de carbone. La référence [31] indique que la qualité des films se dégrade lorsque la fraction de carbone croît et engendre des morphologies non planes, des précipités SiC et une augmentation des dislocations. La compréhension du mécanisme fondamental de l'évolution des films d'alliage SiGe:C à l'échelle atomique débute juste et l'introduction d'une forte concentration de carbone dans le SiGe reste une défi entier à relever.

II.2.4.a. Croissance de la base SiGe

Au cours de l'évolution des TBH SiGe, différentes techniques de formations technologiques ont été élaborées pour la croissance de la base SiGe. Deux grandes familles de procédés de fabrication se distinguent, à savoir la croissance par faisceau moléculaire et le dépôt par vapeur chimique. Une présentation succincte est donnée dans ce qui suit.

II.2.4.a.i. Croissance par faisceau moléculaire : MBE

La croissance par faisceau moléculaire ou MBE (Molecular Beam Epitaxie) est utilisée pour déposer des matériaux semi-conducteurs ou métalliques afin de former un film fin ou une multi-couche.

Dans le cadre de cette thèse, c'est-à-dire pour la croissance des films de silicium par MBE, un faisceau moléculaire de silicium est irradié pour nettoyer une surface de substrat de silicium dans une chambre exempte de toute contrainte où la pression est réduite jusqu'à atteindre un vide ultra-poussé UHV (Ultra High Vacuum) de l'ordre de 10^{-10} Torr. Un évaporateur à canon à électrons est généralement utilisé pour une source solide de silicium afin d'obtenir la bonne pression pour la croissance. L'évaporation du germanium peut être réalisée par une cellule conventionnelle Knudsen (communément appelée K-cell), laquelle est

immergée dans un liquide nitrogéné glacé afin de condenser les évaporations parasites et d'améliorer le vide dans la région concernée. La cellule K-cell est aussi utilisée pour l'évaporation des matériaux dopants. L'autre solution consiste à utiliser des sources gazeuses de silicium et de germanium, telles que SiH_4 , Si_2H_6 ou GeH_4 , dans le même type de chambre à vide ultra poussé : il s'agit alors de croissance par source gazeuse ou GSMBE (Gas Source MBE). Le principal avantage de cette technique réside dans la possibilité de pouvoir réaliser une croissance sélective sur un masque de SiO_2 sur substrat de silicium, c'est-à-dire de pouvoir choisir précisément la zone de croissance.

II.2.4.a.ii. Dépôt par vapeur Chimique : CVD

Le dépôt par vapeur chimique ou CVD (Chemical Vapor Deposition) est utilisé pour la croissance de films semi-conducteurs, de métal et d'isolant pour les dispositifs en phase de production. Selon la valeur de la pression utilisée, cette technique CVD se répartit en différentes catégories qui sont explicitées par la suite. Le point commun à toutes ces techniques est qu'elles utilisent un réacteur à murs chauds ou froids qui pompe et contrôle le débit des gaz utilisés, afin d'alimenter exactement les substrats utilisés en réactifs gazeux pour la croissance des films Si, SiGe et SiGe:C. Les sources gazeuses les plus utilisées sont SiH_4 , SiH_2Cl_2 , SiH_3CH_3 , GeH_4 , CH_4 et SiCH_6 . Pour le dopage, des sources de PH_3 (dopage par le phosphore) et de B_2H_6 (dopage par le bore) sont utilisées.

La CVD se répartit donc entre les trois techniques suivantes :

- UHV-CVD (Ultra High Vacuum CVD) : cette technique a été la première à être utilisée pour la croissance de films SiGe sur substrat de silicium,
- LP-CVD (Low Pressure CVD) et RP-CVD (Reduced Pressure CVD) : ce sont les procédés les plus commercialisés pour lesquels la pression est comprise entre 1 Torr et quelques dizaines de Torrs,
- et AP-CVD (Atmospheric Pressure CVD).

II.2.4.b. Avancée technologique

La référence [32] précise que de nombreuses études ont montré le potentiel des TBH en terme de performances hautes fréquences et que leur intégration en technologie BiCMOS est nécessaire pour leur commercialisation. Néanmoins, il ne faut pas que le procédé technologique dégrade les performances du dispositif. En raison de leur taille toujours plus petite, la caractérisation physique des défauts est difficile à réaliser. Les technologues et les concepteurs s'aident alors du procédé technologique et de la simulation des dispositifs basée sur des modèles physiques, pour étudier l'influence et l'impact d'une certaine étape du procédé. Les techniques de caractérisation des défauts (dont, par exemple, les mesures spectroscopiques transitoires) apportent des informations importantes sur les mécanismes mis en jeu dans la création de ces derniers lors des différentes étapes de fabrication.

En résumé, d'énormes progrès ont été réalisés dans la croissance des films SiGe, comme en témoigne la référence [24]. La croissance initiale de la base utilisait la technique MBE. Elle a été remplacée par une technique plus performante, la CVD, fournissant des films SiGe de meilleure qualité. A ce jour, la possibilité et la maîtrise de pouvoir doper des films de SiGe avec du bore, ainsi que l'introduction du carbone, ont étendu l'utilisation des films SiGe et contribuent à l'amélioration des performances des TBH.

II.2.5. Comparaison des performances du TBH Si/SiGe avec le TBJ Si

La comparaison du transistor bipolaire à hétéro-jonction SiGe avec le transistor bipolaire à homo-jonction Si a fait l'objet de nombreux articles, car il est intéressant d'observer l'amélioration des performances apportées par l'hétéro-structure. La référence [15] quantifie l'amélioration du gain en courant β (équation 1.27), de la tension d'Early V_A (équation 1.29) et du temps de transit dans la base t_B (équation 1.30), lorsque le profil de germanium utilisé est graduellement linéaire. Dans les formules suivantes, la quantité $\Delta E_{g,SiGe}$ correspond au bandgap maximal obtenu dans la région de la base SiGe.

$$\frac{\beta(SiGe)}{\beta(Si)} = \frac{\frac{\Delta E_{g,SiGe}}{kT}}{1 - \exp\left(-\frac{\Delta E_{g,SiGe}}{kT}\right)} \quad (1.27)$$

La référence [15] établit, par ailleurs, que le rapport des gains en courant est du même ordre de grandeur que celui des densités de courant de collecteur (équation 1.28).

$$\frac{\beta(\text{SiGe})}{\beta(\text{Si})} \simeq \frac{J_c(\text{SiGe})}{J_c(\text{Si})} \quad (1.28)$$

$$\frac{V_A(\text{SiGe})}{V_A(\text{Si})} = \frac{kT}{\Delta E_{g,\text{SiGe}}} \left[\exp\left(\frac{\Delta E_{g,\text{SiGe}}}{kT}\right) - 1 \right] \quad (1.29)$$

$$\frac{t_b(\text{SiGe})}{t_b(\text{Si})} = \frac{2kT}{\Delta E_{g,\text{SiGe}}} \left[1 - \frac{kT}{\Delta E_{g,\text{SiGe}}} \left\{ 1 - \exp\left(-\frac{\Delta E_{g,\text{SiGe}}}{kT}\right) \right\} \right] \quad (1.30)$$

Enfin, puisque la fréquence maximale d'oscillation est, au facteur 2π près, assimilable au temps de transit de la base, la référence [16] montre que les fréquences maximales d'oscillation sont proportionnelles au rapport donné par l'équation (1.31) :

$$\frac{f_{\max}(\text{SiGe})}{f_{\max}(\text{Si})} \propto \frac{t_b(\text{Si})}{t_b(\text{SiGe})} \quad (1.31)$$

La figure I.12 compare les fréquences de transition obtenues avec des TBJ Si et des TBH SiGe. En terme de rapidité, les TBH SiGe sont 50% plus rapides que les TBJ Si. A titre d'exemple, en 1995, la fréquence de transition atteignable par le TBH SiGe était de 110GHz et celle du TBJ Si était d'environ 73GHz, ce qui correspond bien à une augmentation de 50%.

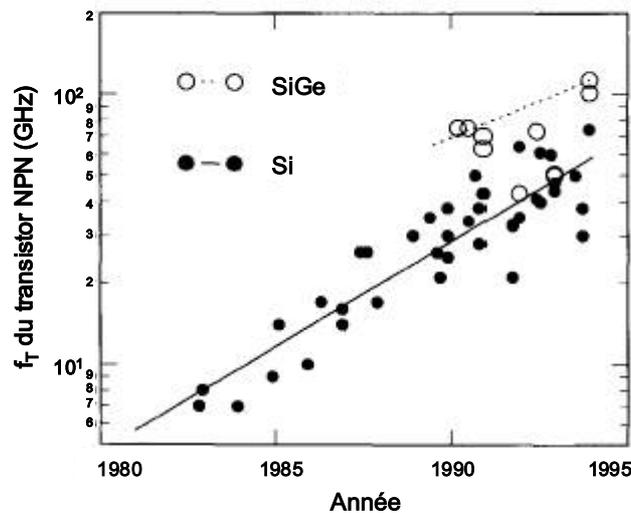


Figure I.12 : Evolution des f_T du TBJ Si et du TBH SiGe, d'après [23]

La référence [25] compare alors la fréquence de transition f_T en fonction du courant de collecteur, pour un petit TBH SiGe (l'aire active de l'émetteur est de $0.5 \times 2.5 \mu\text{m}^2$) avec un profil de germanium triangulaire (la quantité de germanium passe de 0 à 13%), avec celle d'un TBJ Si de même conception technologique. La figure I.13 montre les résultats obtenus.

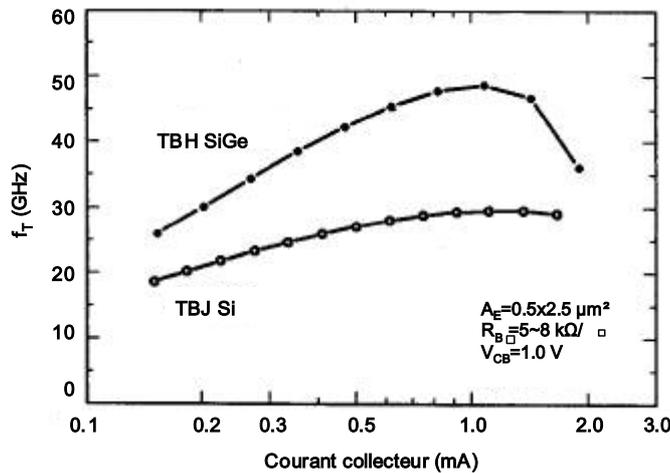


Figure I.13 : Comparaison des f_T du TBJ Si et du TBH SiGe, d'après [25]

Le pic de f_T pour le TBJ Si est à 30GHz tandis que celui du TBH SiGe se situe à 49GHz. Grâce à l'introduction du germanium, la fréquence de transition a été multipliée par un facteur 1.6, améliorant, par conséquent, la rapidité du TBH SiGe.

II.3. Introduction du Carbone dans la base : TBH Si/ SiGe:C

Comme stipulé précédemment, l'introduction du carbone dans la base SiGe diminue la latence entre les atomes de silicium et de germanium, ce qui réduit les contraintes du SiGe sur le substrat silicium. Par ailleurs, le carbone permet de limiter la diffusion du bore, dopant de la base. Ceci permet alors d'affiner l'épaisseur de la base SiGe:C et par conséquent une montée en fréquence et en rapidité des TBH Si/SiGe:C. Cette avancée technologique a fait l'objet de nombreuses publications, comme l'attestent les références [34] à [41].

II.3.1. Impact du carbone sur le profil de dopage de la base

La figure I.14 représente les profils de germanium et de bore dans la base SiGe (donc sans introduction de carbone (courbe de gauche)) et dans la base SiGe:C (courbe de droite). Dans les deux cas, le profil de germanium est représenté par l'aire pleine. Le profil de bore est quant à lui représenté dans deux situations : les courbes pointillées correspondent aux profils

de bore réalisés lors du dépôt et les courbes pleines correspondent aux profils obtenus lorsque la conception est terminée. Les profils de bore lors du dépôt, avec et sans carbone, ont la même allure. La comparaison du profil de bore obtenu lors du dépôt avec celui en phase finale indique qu'il y a une différence entre ces deux profils, lorsque la base ne contient pas de carbone. Le bore a diffusé dans la base, preuve en est l'élargissement du profil de bore. Pour limiter, voire éliminer cette diffusion, l'introduction du carbone est la solution (la quantité de carbone introduite est de l'ordre de 10^{20} atomes par cm^3). En effet, les atomes de carbone ont un rayon beaucoup plus faible que ceux du silicium et du germanium. Ainsi, les atomes de carbone viennent combler les latences entre les atomes de silicium et de germanium, ce qui empêche la diffusion du dopant bore dans la structure cristalline SiGe:C de la base. La conséquence est le maintien du profil de bore entre le dépôt et la phase finale de réalisation du TBH. Ainsi, la concentration en dopant bore reste élevée (de l'ordre de 10^{19} atomes par cm^3) et la profondeur reste faible : ces deux facteurs participent à la réduction du facteur de bruit NF (Noise Figure) du transistor réalisé.

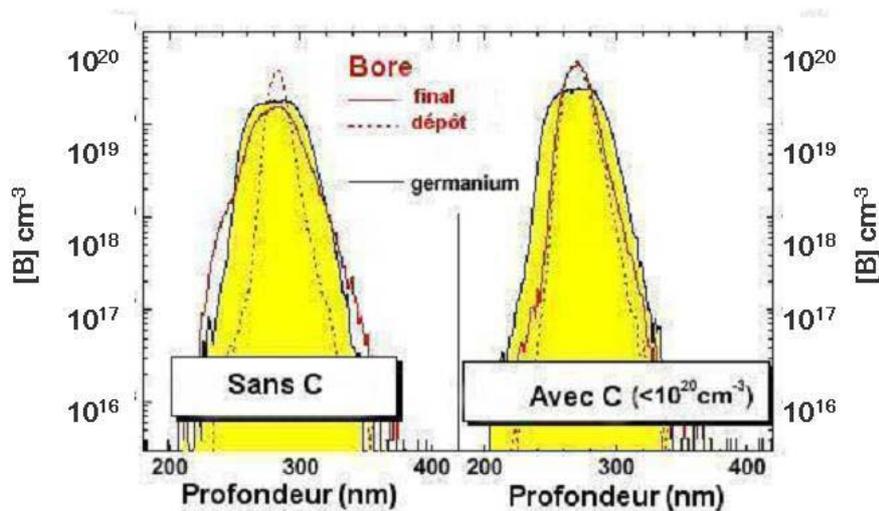


Figure I.14 : Profil de Ge dans la base SiGe avec (droite) et sans (gauche) carbone, d'après [42]

II.3.2. Comparaison des TBH SiGe et SiGe:C

Suite à ce qui vient d'être mentionné, il est intéressant d'analyser l'influence du carbone sur le diagramme de bandes de transistors réalisés. La figure I.15, extraite de la référence [42], représente le diagramme de bandes du TBH SiGe (figure de gauche) et celui du TBH SiGe:C (figure de droite) pour une tension base/émetteur, V_{BE} , de 0.7V et une tension

collecteur/émetteur, V_{CE} , de 1V. Le profil du dopant bore, mesuré par SIMS, est représenté par la forme triangulaire. La densité des électrons n est représenté par les profils en pointillé. Les deux lignes verticales pointillées délimitent la base, de composition $Si_{0.8}Ge_{0.2}$.

Pour le TBH SiGe, l'élargissement et l'affaissement du profil de bore indique que ce dernier diffuse. Cette diffusion engendre la formation d'une barrière de potentiel parasite, qui a pour effet une réduction du gain du transistor, de sa rapidité et de sa tension d'Early, comme le précise la référence [42]. Par ailleurs, cette barrière freine le flux de la base vers le collecteur des électrons émis par l'émetteur. S'ensuit alors une accumulation d'électrons dans la base, comme en témoigne la stagnation de la densité des électrons sur le graphique. Par conséquent, la fréquence de transition est fortement affectée, ce qui dégrade les performances RF du TBH SiGe.

Grâce au carbone, la diffusion du bore est réduite et comme indiqué sur le graphique de droite du TBH SiGe:C, le profil du bore reste confiné dans la base. Par ailleurs, les électrons ne s'accumulent plus dans cette dernière, ce qui permet d'obtenir des fréquences de transition plus élevées qu'en SiGe.

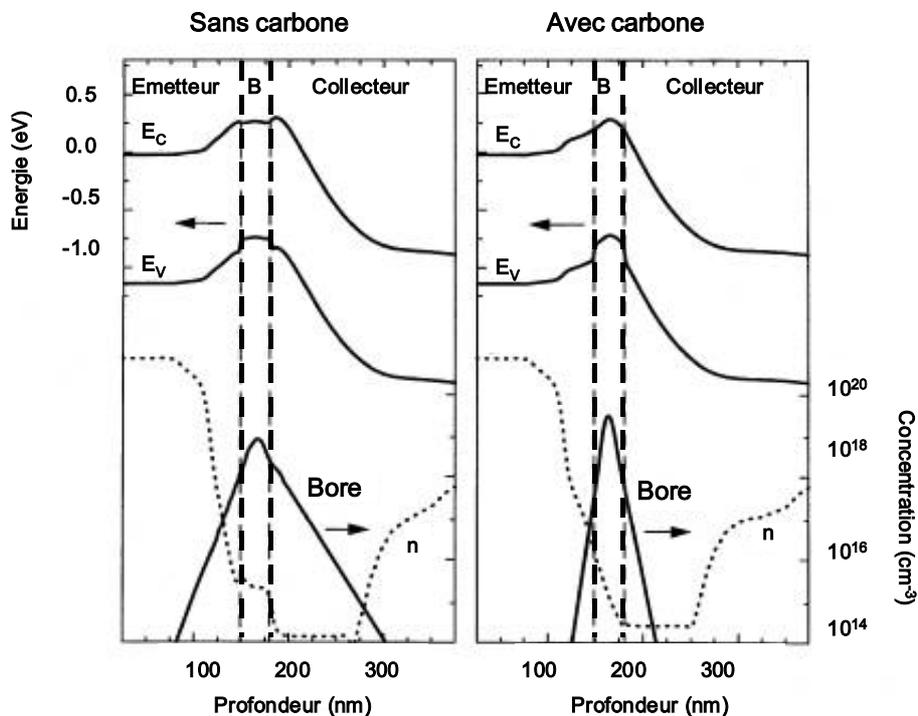


Figure I.15 : Comparaison des profils de dopage et des diagrammes de bandes avec et sans carbone, d'après [42]

Ce phénomène est illustré à l'aide de la figure I.16. Elle compare les fréquences de transition obtenues pour le TBH SiGe et le TBH SiGe:C de même type.

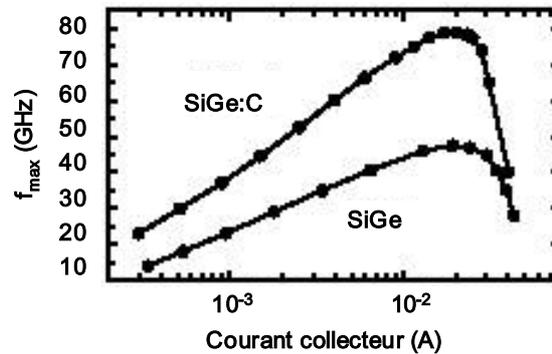


Figure I.16 : Comparaison des f_T du TBH SiGe et du TBH SiGe:C, d'après [42]

Il apparaît que le pic de f_T pour le SiGe se situe à 50GHz, alors que celui obtenu avec le SiGe:C est de 80GHz. En conclusion, pour les applications RF, l'utilisation du TBH SiGe:C s'avère être, actuellement, la seule solution qui s'impose en technologie silicium.

II.4. Prise en compte de la thermique

Avant d'aborder la suite de ce chapitre avec la présentation de la technologie BiCMOS SiGe, il convient d'évoquer brièvement la prise en compte de la thermique dans les transistors bipolaires à hétéro-jonction. En effet, et comme l'indique la référence [43], les TBH sont conçus pour délivrer des puissances de sortie importantes (de l'ordre de 24dBm pour les applications de téléphonie mobile) et ceci, pour un fonctionnement à hautes fréquences. Ainsi, ils doivent être capables de supporter des densités de puissance élevées, tout en évitant l'emballement thermique. Les considérations thermiques constituent à l'heure actuelle la principale limitation de leurs performances.

Les nombreuses études menées, pour passer outre ces limitations, témoignent de l'intérêt et de la pertinence de comprendre les phénomènes thermiques dans les TBH. Les références [19] et [43] à [46] traitent de ce sujet et apportent les conclusions suivantes. L'emballement thermique et l'auto-échauffement dégradent la densité de courant de collecteur, le gain en puissance et les pics des fréquences de transition f_T et maximale d'oscillation f_{max} . La référence [44] indique qu'une élévation trop importante de température augmente le temps de transit dans la base en raison de la réduction de la mobilité des électrons

dans la jonction collecteur/base. Les solutions proposées à ce jour sont peu nombreuses car l'emballage thermique, n'est pas complètement compris et maîtrisé. Dès lors, la principale solution employée consiste à utiliser des résistances de ballast sur l'émetteur afin d'éviter une augmentation trop forte et trop rapide du courant d'émetteur, comme l'indique la référence [43]. Enfin, cette prise en compte des phénomènes thermiques nécessite l'évolution des modèles des transistors comme en témoignent les références [47] à [52].

III. Pourquoi la technologie BiCMOS SiGe ?

III.1. Principe

Comme il vient d'être évoqué, la technologie silicium est, depuis plus de trente ans, au cœur des systèmes électroniques et microélectroniques et est sujette à de nombreuses innovations. Depuis 1980, la densité des dispositifs sur les puces de silicium a doublé tous les deux ans comme le précise la référence [53]. Cette amélioration de la densité d'intégration est due à la combinaison des progrès en lithographie associés aux innovations des technologies. Concernant ces dernières, plusieurs directions ont été prises, donnant ainsi naissance à différentes plates-formes technologiques silicium, dont les principales sont illustrées à l'aide de la figure I.17.

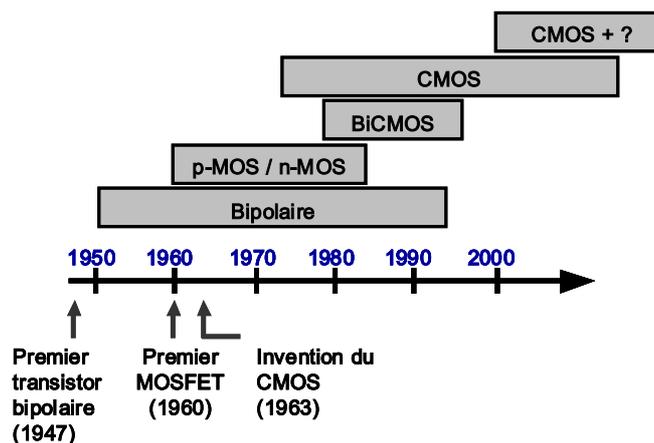


Figure I.17 : Evolution des plates-formes silicium, d'après [53]

D'après la figure I.17, il apparaît que les plates-formes technologiques CMOS demeurent dominantes car elles offrent un bon compromis entre la puissance dissipée, la réduction des dimensions et le coût. Néanmoins, toutes les technologies présentées ont leur

limites propres, qui peuvent se révéler gênantes selon le type d'applications visé. Concernant la technologie CMOS, la montée en fréquence se révèle difficile, ce qui est problématique pour les applications de radio-communications mobiles. Dès lors, la technologie BiCMOS a pu s'imposer progressivement. Cette technologie s'est développée à partir de la fin des années 1970 jusqu'au début des années 1990. Actuellement, la technologie BiCMOS est mature et ne subit plus que des innovations, c'est-à-dire qu'elle n'est plus au stade de mise au point ou de développement. L'idée clé de cette technologie est d'associer les caractéristiques des transistors bipolaires haute-vitesse, donc SiGe, avec celles des transistors CMOS faible consommation, le tout sur une même puce. En combinant les avantages du bipolaire pour les applications analogiques et hautes-fréquences avec ceux du CMOS pour les applications numériques, la technologie BiCMOS SiGe répond bien aux besoins des circuits de radio-communications mobiles. En effet, d'après la référence [2], elle est particulièrement bien adaptée aux applications qui nécessitent des performances RF élevées, c'est-à-dire avec une grande dynamique fréquentielle (aspect multi-standards des terminaux) et une faible consommation de puissance (faible consommation en courant). Concernant cette problématique, la référence [2] précise que la consommation du module transmetteur d'un téléphone portable résulte principalement de celle de l'amplificateur de puissance. Ainsi, pour minimiser cette dernière, il faut concevoir des amplificateurs de puissance très performants en terme de consommation, de puissance et de dissipation de chaleur. Ces contraintes imposent des technologies spécifiques et c'est la raison pour laquelle, aujourd'hui, l'amplificateur de puissance est conçu sur une puce séparée du reste du module RF. La minimisation de consommation de puissance, ainsi que la complexité de plus en plus croissante des standards, sont les deux défis que se doivent de relever les concepteurs d'architectures de modules RF. C'est dans ce contexte que la technologie BiCMOS SiGe s'avère un choix judicieux pour l'intégration SoC.

En résumé, la technologie BiCMOS SiGe est bien adaptée aux modules RF 3G des mobiles car elle offre l'opportunité d'optimiser, pour ces standards, la consommation de puissance, les performances analogiques et la sélection de la technologie. En effet, elle utilise des dispositifs actifs CMOS et bipolaires, ainsi que des composants passifs. Le niveau d'intégration n'est certes pas le plus élevé possible. Il est bien en dessous de celui atteignable par une technologie purement CMOS. Mais elle est la seule, à ce jour, à pouvoir répondre aux attentes évolutives des standards de communication.

Les travaux de cette thèse présenteront des résultats et des performances concernant des transistors de puissance, utilisant la technologie BiCMOS SiGe:C développée chez STMicroelectronics.

III.2. Réalisation technologique

La réalisation technologique des dispositifs BiCMOS SiGe se fonde sur celle des dispositifs CMOS. L'un des plus grands défis, auxquels ont été confrontés les technologues, a consisté en la croissance de la base SiGe des transistors bipolaires. En effet, la solution qui est utilisée consiste à partir d'un procédé purement CMOS d'ajouter plusieurs étapes spécifiques aux bipolaires, afin de créer en même temps des dispositifs CMOS et bipolaires. Cette solution, illustrée à l'aide de la figure I.18, minimise les coûts de production ainsi que le temps de réalisation.

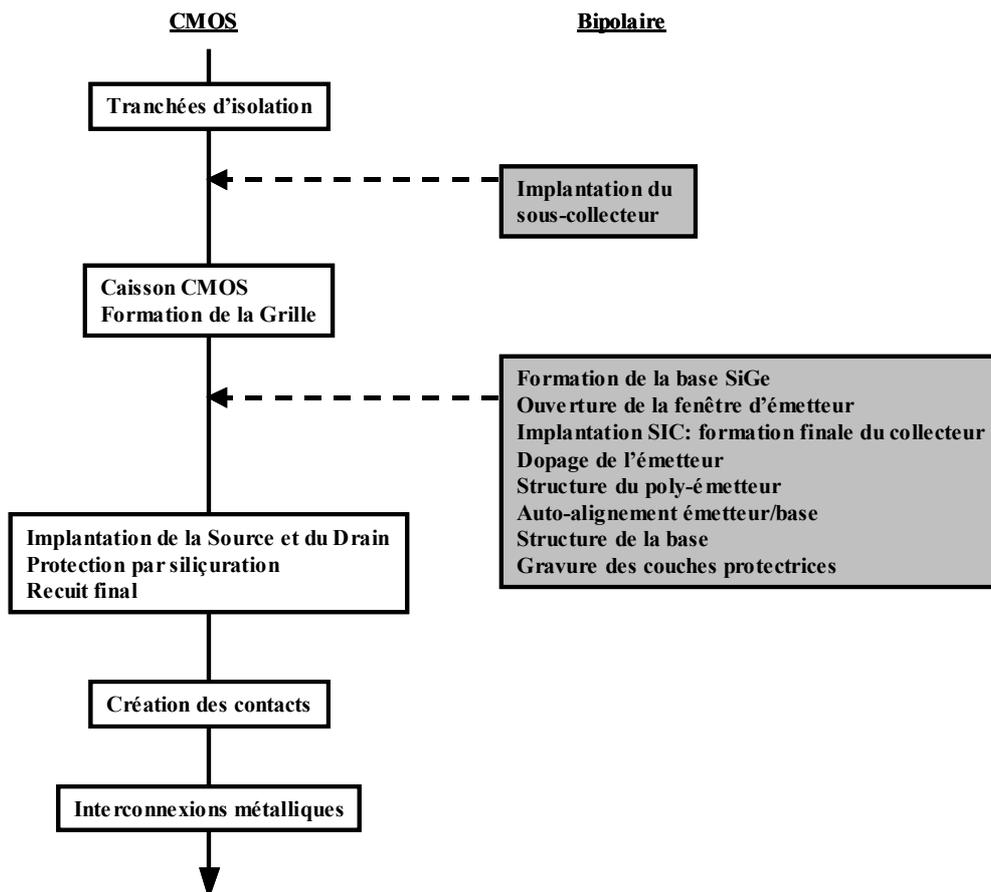


Figure I.18 : Détail des étapes du procédé BiCMOS, d'après [54]

III.3. Coupe technologique

La coupe technologique de la structure BiCMOS, extraite de la référence [55], est illustrée à l'aide de la figure I.19. Le bipolaire, qui est un TBH SiGe à double couche de polysilicium, est intégré sur la même puce que les transistors NMOS et PMOS.

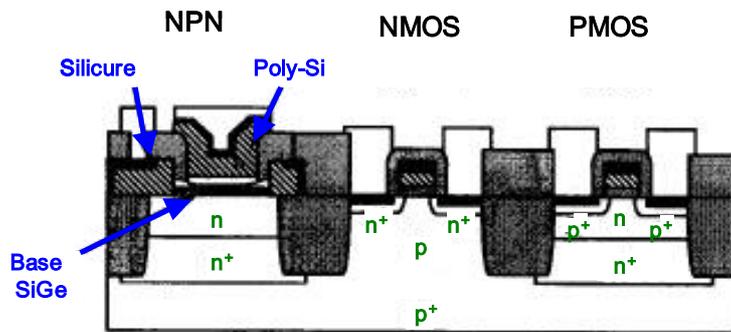


Figure I.19 : Exemple de coupe de transistors NPN, NMOS et PMOS dans une technologie BiCMOS

Il y a coexistence des transistors bipolaires et MOS sur la même puce. Cette proximité permet de réaliser en même temps des fonctions numériques (à base de MOS) et des fonctions analogiques (à base de bipolaires). C'est le principal avantage et intérêt de la technologie BiCMOS.

IV. Technologie BiCMOS de STMicroelectronics

Le dernier paragraphe de ce premier chapitre est consacré à la technologie BiCMOS de STMicroelectronics.

IV.1. Evolution des technologies SiGe BiCMOS et des TBH

Pour être présent sur le marché des transistors bipolaires à hétéro-jonction SiGe, destinés aux applications de communications mobiles et des systèmes de communications optiques fonctionnant avec un débit de 40Gb/s, STMicroelectronics a développé, en 2001, une structure de transistor bipolaire à hétérojonction SiGe à double polysilicium avec une largeur d'émetteur égale à 0.25 μ m, comme l'explique la référence [56]. Ensuite, en introduisant du carbone dans la base, STMicroelectronics a réussi à réaliser un TBH SiGe:C avec une f_T de

117GHz et une f_{\max} de 100GHz. Dès lors, ces dispositifs peuvent fonctionner à très hautes fréquences et répondent aux besoins du marché. Mais avant d'en arriver à de tels résultats, la technologie du TBH SiGe a subi diverses évolutions, comme le retrace le tableau I.4. La première génération de TBH SiGe présente une largeur d'émetteur de $0.35\mu\text{m}$ (technologie nommée BiCMOS $0.35\mu\text{m}$). La seconde génération a vu sa largeur d'émetteur réduite à $0.25\mu\text{m}$ (technologie BiCMOS $0.25\mu\text{m}$).

| Principales caractéristiques technologiques | BiCMOS $0.35\mu\text{m}$ | BiCMOS $0.25\mu\text{m}$ |
|---|-----------------------------------|--|
| Isolation | LOCOS | Tranchées superficielles (shallow) et profondes (deep) |
| Epitaxie de la base SiGe | Non sélective | Non sélective |
| Architecture émetteur/base | Poly simple Quasi auto-alignée | Poly double Quasi auto-alignée |
| Poly émetteur | Par implantation | Dopé in-situ |

Tableau I.4 : Evolution des technologies SiGe BiCMOS de STMicroelectronics, d'après [56]

Comme l'indique le tableau I.4, les deux structures sont assez similaires et leurs principales différences sont les suivantes. Tout d'abord, les deux TBH utilisent une architecture d'émetteur/base de type quasi auto-alignée. Dans le cas de la technologie BiCMOS $0.35\mu\text{m}$, l'émetteur est constitué d'une simple couche de polysilicium dopée par implantation ionique, tandis qu'en BiCMOS $0.25\mu\text{m}$, il est constitué d'une double couche de polysilicium, dopée in-situ, c'est-à-dire au cours de la croissance de cette dernière. La conséquence est la réduction de la quantité de dopage en bore de la base, ainsi que la réduction de la largeur d'émetteur : en effet, cette dernière est passée de $0.35\mu\text{m}$ à $0.25\mu\text{m}$. La croissance de la base SiGe est non sélective dans les deux cas, c'est-à-dire que cette épitaxie est réalisée sur la totalité de la plaquette (wafer). Ensuite, grâce aux étapes de gravure et de lithographie, la zone utile pour le TBH est délimitée. L'isolation de type LOCOS (LoCal Oxidation Of Silicon) en BiCMOS $0.35\mu\text{m}$ a été remplacée par une isolation par tranchées superficielles (STI) et profondes (DTI), ce qui confère une meilleure isolation. La conséquence de ces changements est l'amélioration des performances hautes-fréquences des TBH. Ces performances s'évaluent en mesurant les principales caractéristiques statiques et dynamiques du transistor bipolaire à hétéro-jonction, réalisé dans les différentes technologies. Pour que la comparaison soit pertinente, l'aire d'émetteur doit être identique. A titre d'exemple, la référence [56] propose une comparaison avec une aire d'émetteur de $0.25 \times 5.85\mu\text{m}^2$. Les résultats sont regroupés dans le tableau I.5. Avant de le commenter, il est bon de

noter que la technologie BiCMOS 0.25 μ m a ensuite évolué grâce à l'introduction du carbone dans sa base SiGe, afin de permettre une montée en fréquence des TBH. La conséquence est la technologie nommée BiCMOS 0.25 μ m SiGe:C. La seule différence entre le TBH en BiCMOS 0.25 μ m et le TBH en BiCMOS 0.25 μ m SiGe:C est l'introduction du carbone. La largeur d'émetteur dans les deux cas est en effet toujours de 0.25 μ m. Les dispositifs répertoriés dans le tableau I.5 correspondent aux TBH les plus rapides réalisables dans les technologies indiquées.

| Paramètre | BiCMOS 0.35 μ m SiGe | BiCMOS 0.25 μ m SiGe | BiCMOS 0.25 μ m SiGe:C |
|-------------------------------------|-----------------------------|-----------------------------|-------------------------------|
| A_{Emin} (μ m ²) | 0.4 x 0.8 | 0.25 x 0.65 | 0.25 x 0.65 |
| Gain en courant | 100 | 100 | 250 |
| BV_{CE0} (V) | 3.6 | 2.6 | 1.9 |
| Tension d'Early (V) | 60 | 50 | 100 |
| f_T (GHz) @ 1.5V | 45 | 70 | 120 |
| f_{max} (GHz) @ 1.5V | 60 | 90 | 100 |

Tableau I.5 : Evolution des générations de TBH SiGe de STMicroelectronics, d'après [56]

Une première remarque peut-être faite au vu de la première ligne A_{Emin} . Elle correspond à l'aire d'émetteur minimum du transistor élémentaire, donc il est normal de ne pas avoir les mêmes valeurs pour les trois transistors. En effet, pour obtenir un dispositif avec une aire de 0.25x5.85 μ m² soit 1.4625 μ m², 5 TBH en BiCMOS 0.35 μ m ont été cascades et 9 TBH en BiCMOS 0.25 μ m et BiCMOS 0.25 μ m SiGe:C ont été cascades.

La suite de ce tableau compare les caractéristiques statiques, à savoir le gain en courant, la tension de claquage BV_{CE0} et la tension d'Early. Avec le TBH SiGe:C ces caractéristiques sont bonnes et intéressantes (gain de 250, BV_{CE0} de 1.9V et V_A de 100V), malgré une base étroite et un collecteur fortement dopé, comme il le sera précisé dans la suite. Concernant les caractéristiques dynamiques (f_T et f_{max}), là aussi l'amélioration est impressionnante. En effet, la fréquence de transition atteint 120GHz et la fréquence maximale d'oscillation est de 100GHz et ceci pour une structure épitaxie non sélective.

IV.2. Coupe technologique et réalisation

Ce paragraphe a pour objectif de présenter et de décrire succinctement les procédés technologiques qui permettent de réaliser les transistors bipolaires à hétéro-jonction en technologie BiCMOS 0.35 μ m et en BiCMOS 0.25 μ m SiGe:C, qui est le TBH caractérisé au

cours de cette thèse. Par conséquent, sa description sera plus approfondie. Néanmoins, il est intéressant de décrire le procédé du BiCMOS 0.35 μm car il permet de constater les défis et les évolutions technologiques qu'a su relever STMicroelectronics.

IV.2.1. Coupe technologique du TBH SiGe en BiCMOS 0.35 μm

La figure I.20 présente la coupe technologique du transistor bipolaire à hétéro-jonction réalisé en technologie BiCMOS 0.35 μm . La référence [57] décrit les principales étapes de sa réalisation.

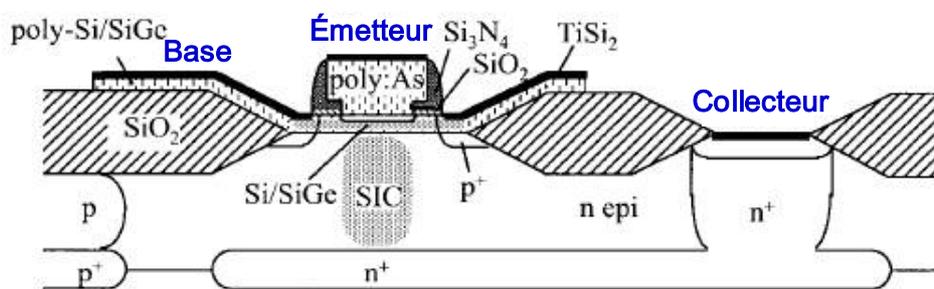


Figure I.20 : Coupe schématique du TBH SiGe de STMicroelectronics, d'après [57]

Ce TBH possède une largeur d'émetteur de 0.35 μm et est réalisé sur une plaquette de silicium de 200mm. Le dispositif est isolé grâce aux zones SiO₂ encore appelées LOCOS. La base SiGe est déposée de façon non sélective, ce qui permet au contact de la base d'être pris sur l'oxyde de silicium, réduisant ainsi l'aire active du dispositif, ainsi que les capacités parasites. Le profil de germanium est semi-graduel, c'est-à-dire trapézoïdal. Comme stipulé précédemment, la structure d'émetteur/base est de type quasi auto-alignée avec un émetteur en polysilicium. La fabrication de l'émetteur est réalisée immédiatement après celle de la base SiGe et représente l'étape la plus critique qu'il convient de soigner particulièrement.

IV.2.2. Coupe technologique du TBH SiGe:C en BiCMOS 0.25 μm

La figure I.21 présente la coupe technologique du TBH SiGe:C de la technologie BiCMOS 0.25 μm SiGe:C. Le but de ce paragraphe est de donner les principales étapes de sa réalisation technologique, explicitées par les références [56] et [58].

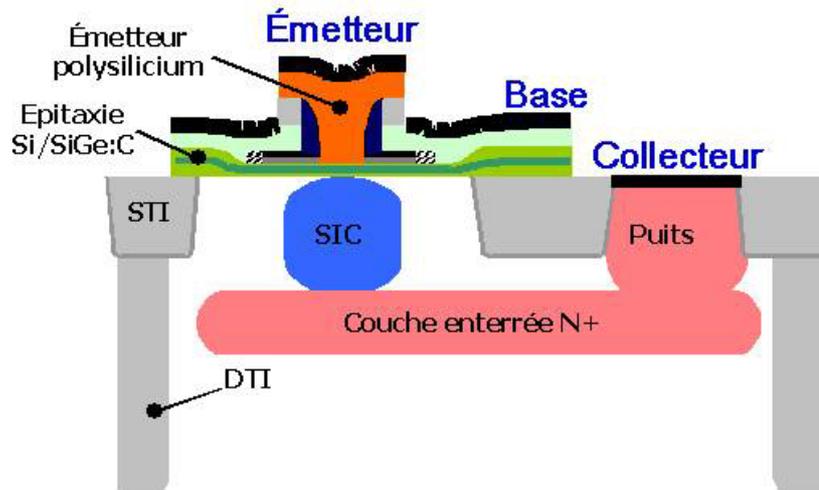


Figure I.21 : Coupe schématique du TBH SiGe:C de STMicroelectronics

Ce TBH possède une largeur d'émetteur de $0.25\mu\text{m}$ et est réalisé sur une plaquette de silicium de 200mm . Dans les fonderies de STMicroelectronics Crolles, ces TBH sont aussi réalisées sur des plaquettes de 300mm . La réalisation technologique débute par la formation des couches enterrées n^+ et p^+ sur le substrat silicium de type p. Ces couches sont utilisées pour la réalisation des dispositifs MOS, car ils sont réalisés en technologie BiCMOS. Ensuite, la couche d'épitaxie, de type n, est formée pour constituer le collecteur du TBH. Avant de terminer le collecteur, les tranchées d'isolation profondes (DTI) sont créées et remplies d'oxyde de silicium et de polysilicium. Elles assurent l'isolation des dispositifs entre eux et réduisent la capacité parasite entre le collecteur et le substrat. Cette capacité est de l'ordre de $0.2\text{fF}/\mu\text{m}$. Ensuite, les tranchées d'isolation superficielles (STI) sont réalisées. A ce stade, il convient de terminer la formation du collecteur. Pour ce faire, deux implantations ioniques de dopant phosphore sont effectuées. La première conduit à la formation de la couche enterrée n^+ et la seconde correspond à l'implant SIC (Selectively Implanted Collector). Cet implant SIC est utilisé dans le but de réduire la résistance série du collecteur. Le puits est ensuite réalisé afin de ramener le contact du collecteur à la surface du TBH. Il est à noter que, de par ces différentes couches constitutives et implantations, le collecteur possède un profil de dopage en phosphore graduel. Une fois terminé, la formation du module base/émetteur peut débuter. Tout d'abord, une couche d'oxyde de silicium est déposée sur le collecteur afin de réaliser les différentes zones actives (ou fenêtres) de la base et de l'émetteur par plusieurs étapes de lithographie et gravure. La base SiGe:C, dopée à l'aide du bore, croît selon une épitaxie non sélective. Le profil utilisé de germanium sera décrit précisément dans le paragraphe IV.3. Pour délimiter la zone active de la base, sur laquelle va être déposé l'émetteur, une nouvelle

couche d'oxyde de silicium est déposée puis gravée de manière appropriée. L'émetteur correspond alors à une structure polysilicium à double couche. L'émetteur et la base sont quasi auto-alignés, c'est-à-dire que les contacts de la base sont utilisés pour positionner l'émetteur. Le dopant utilisé pour l'émetteur est l'arsenic. Les contacts du collecteur, de la base et de l'émetteur sont réalisés grâce à la dernière couche de métallisation et terminent ainsi la structure.

La figure I.22 offre une photo au microscope électronique à balayage (MEB) du transistor bipolaire à hétéro-jonction SiGe:C réalisé à STMicroelectronics.

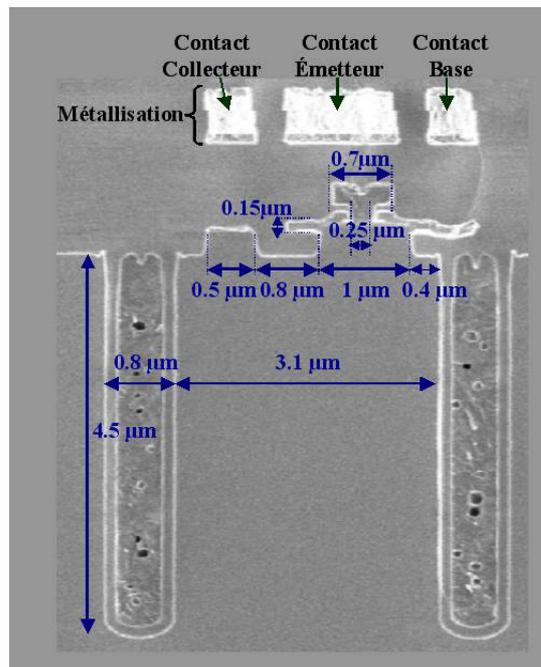


Figure I.22 : Coupe MEB du TBH SiGe:C de STMicroelectronics, avec dimensions des différentes sections

Comme indiqué, les tranchées d'isolation profondes (DTI) ont une largeur de $0.8\mu\text{m}$ pour une profondeur de $4.5\mu\text{m}$. Elles sont distantes de $3.1\mu\text{m}$, qui est la largeur totale sur laquelle le transistor est réalisé. Les tranchées d'isolation superficielles (STI) ont une largeur de $0.4\mu\text{m} \times 2 + 0.8\mu\text{m}$, soit $1.6\mu\text{m}$. La zone active du collecteur possède une largeur égale à $0.5\mu\text{m}$. La base SiGe:C possède une épaisseur de $0.15\mu\text{m}$, ce qui est extrêmement étroit. Enfin, l'émetteur possède une largeur de $0.7\mu\text{m}$ pour une fenêtre effective de $0.25\mu\text{m}$. C'est cette dimension qui est donnée pour caractériser la technologie.

En résumé, le transistor bipolaire à hétéro-jonction SiGe:C de STMicroelectronics utilise une structure de type quasi auto-alignée à double couche de polysilicium et à isolation

par tranchées superficielles et profondes. Les dopants des différentes zones sont les suivants : phosphore pour le collecteur, bore pour la base et arsenic pour l'émetteur.

IV.3. Profil de germanium

La principale amélioration des générations de TBH de STMicroelectronics a été d'introduire du carbone dans la base SiGe pour permettre la montée en fréquence des dispositifs. Il est donc intéressant de présenter les profils des différents éléments dans le TBH SiGe et le TBH SiGe:C. Cette comparaison fera l'objet du premier paragraphe de cette partie. Pour ce faire, les TBH utilisés ont une largeur d'émetteur de $0.25\mu\text{m}$, c'est-à-dire qu'ils sont réalisés en technologie BiCMOS $0.25\mu\text{m}$ et BiCMOS $0.25\mu\text{m}$ SiGe:C. Dans le second paragraphe, le profil de germanium retenu pour le TBH SiGe:C étudié au cours de cette thèse sera présenté en détail.

IV.3.1. Comparaison des profils entre le TBH SiGe et le TBH SiGe:C

Les profils de dopants de la base (bore) et de l'émetteur (arsenic) ainsi que des éléments constitutifs de la base (germanium et/ou carbone) sont présentés grâce aux figures I.23 et I.24. Ils ont été mesurés par spectroscopie de masse des ions secondaires (SIMS).

La figure de gauche correspond aux profils du TBH SiGe. La référence [56] explique que de nombreux profils de germanium ont été utilisés et comparés. La comparaison principale a porté sur l'influence d'un profil graduel (c'est-à-dire trapézoïdal) par rapport à un profil non graduel, donc constant (rectangulaire). Les meilleurs résultats en terme de performances du TBH ont été obtenus avec un profil graduel, qui se décompose de la façon suivante : le profil de germanium proche de la jonction métallurgique émetteur/base est plat et sa concentration augmente à l'approche du collecteur. Il est spécifié qu'avec un tel profil, le gain en courant est facilement contrôlable et la tension d'Early élevée (supérieure à 50V).

La figure de droite correspond aux profils du TBH SiGe:C. L'introduction du carbone dans la base a pour conséquence de limiter la diffusion du bore à travers la base et permet d'augmenter le dopage de cette dernière. En effet, une comparaison des deux figures montrent que le bore occupe une profondeur (ou épaisseur) de 100nm dans le TBH SiGe contre une profondeur de 50nm environ dans le TBH SiGe:C. En comparant les concentrations de

dopants entre les deux structures, il apparaît que la concentration de bore passe de 1×10^{19} atomes/cm³ en SiGe pour dépasser cette valeur en SiGe:C. La conséquence de la réduction de la diffusion du bore se ressent sur la profondeur de base ($W_B = 50\text{nm}$ en SiGe contre $W_B = 30\text{nm}$ en SiGe:C). Cette réduction est bénéfique, car avec une base plus petite, le temps de transit dans cette dernière est réduit, permettant une montée en fréquence des transistors réalisés. Preuve en est, pour un V_{CE} de 1.5V, f_T passe de 70GHz en SiGe à 120GHz en SiGe:C.

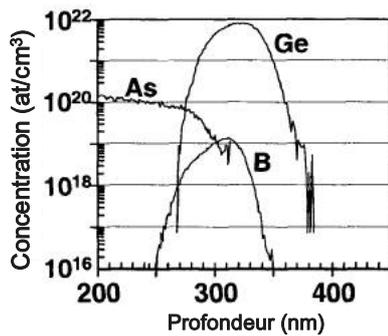


Figure I.23 :

Profils des dopants pour le TBH SiGe, d'après [56]

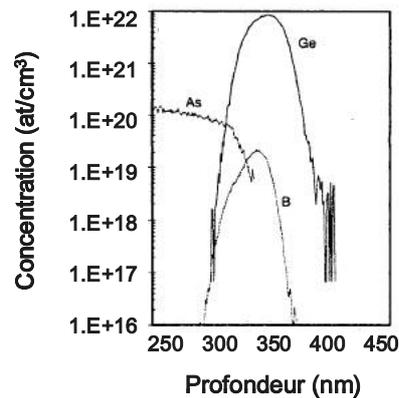


Figure I.24 :

Profils des dopants pour le TBH SiGe:C, d'après [56]

L'influence de l'implant SIC pour le dopage du collecteur, a été étudié par l'auteur de [59]. Les conclusions apportées sont qu'avec l'implant SIC, la base est mieux délimitée, car le carbone de cette dernière supprime la diffusion du bore induite par l'implant SIC. La base ainsi réalisée est plus fine, ce qui permet de réduire le temps de transit dans cette dernière, favorisant la montée en fréquence et l'utilisation du TBH SiGe:C pour les applications hautes-fréquences.

IV.3.2. Profil retenu dans le TBH SiGe:C étudié

Le profil de germanium utilisé dans le transistor bipolaire à hétéro-jonction SiGe:C qui fait l'objet de cette étude de thèse, est présenté à l'aide de la figure I.25. Ce graphique se lit de la droite vers la gauche, car la base croît à partir du collecteur. La zone grisée de 10nm correspond à du silicium seul, correspondant à la première couche constitutive de la base.

STMicroelectronics a fait le choix d'utiliser un profil de germanium trapézoïdal, c'est-à-dire que la concentration de germanium décroît d'un pourcentage P1 à P2 de façon graduelle. Le dopant bore de la base est diffusé sur 15nm seulement, avec une concentration de 1×10^{19} atomes/cm³. Grâce au carbone qui est introduit sur 45nm, le bore ne diffuse pas, ce qui permet d'avoir une base d'épaisseur effective relativement fine (15nm). En effet, l'épaisseur totale de la base est de 90nm. L'intérêt d'une base effective fine est, comme il l'a déjà été stipulé, la montée en fréquence des TBH ainsi réalisés.

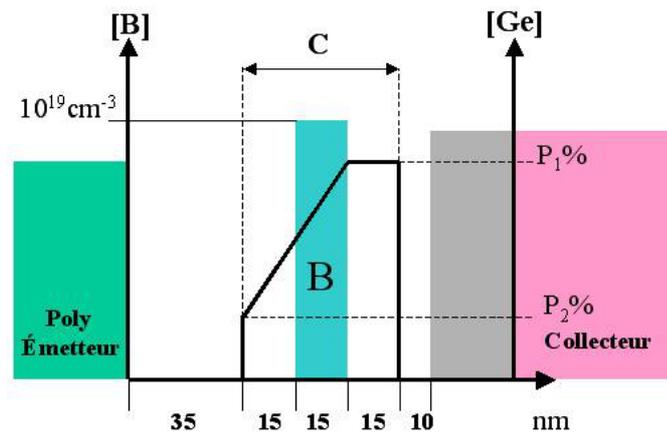


Figure I.25 : Profil de germanium dans la base du TBH SiGe:C retenu pour la technologie BiCMOS
0.25 μ m SiGe:C

IV.3.3. Utilisation du germanium dans l'émetteur

Une étude originale décrite par la référence [60] a été menée en 2002 à STMicroelectronics et consiste à introduire du germanium, non plus uniquement dans la base SiGe:C, mais aussi dans l'émetteur. L'impact sur les performances statiques (gain en courant et BV_{CE0}) et dynamiques (f_T et temps de transit dans l'émetteur) a été analysé à l'aide de trois TBH pour lesquels la concentration de germanium varie. Le premier transistor contient 0% de germanium (c'est donc le TBH SiGe:C classique qui vient d'être présenté), le second en contient 10% et le troisième 20%. La tableau I.5 offre une comparaison des principaux paramètres électriques pour un TBH avec une aire effective d'émetteur de $0.25 \times 6 \mu\text{m}^2$.

| | 0% de Ge | 10% de Ge | 20% de Ge |
|----------------------------------|----------|-----------|-----------|
| $I_B @ V_{BE}=0.75V$ (nA) | 143 | 357 | 666 |
| $I_C @ V_{BE}=0.75V$ (μA) | 71 | 83 | 72 |
| BV_{CE0} (V) | 1.88 | 2.01 | 2.24 |
| V_A (V) | 80 | 60 | 72 |
| $f_T @ V_{CE}=0.1.5V$ (GHz) | 128 | 116 | 99 |
| $f_{max} @ V_{CE}=0.1.5V$ (GHz) | 134 | 114 | 91 |
| $f_T * BV_{CE0}$ (GHz*V) | 241 | 233 | 222 |
| C_{jE} (fF) | 14.7 | 20.6 | 19.2 |
| C_{jC} (fF) | 15.9 | 15.9 | 15.9 |
| R_E (Ω) | 8.5 | 12.4 | 12.6 |

Tableau I.5 : Principaux paramètres électriques des 3 types de TBH SiGe:C, d'après [60]

Les conclusions obtenues lors de cette étude sont les suivantes.

- Tout d'abord, l'introduction du germanium dans l'émetteur affecte le courant de base (augmentation avec le pourcentage de germanium) et, par conséquent, le gain en courant ainsi que la tension de claquage BV_{CE0} .

- Par ailleurs, la capacité de jonction émetteur/base C_{jE} augmente (elle passe de 14.7fF à 19.2fF) ainsi que la résistance d'émetteur R_E (elle passe de 8.5 Ω à 12.6 Ω) : ceci confirme donc, que plus la quantité de germanium introduite dans l'émetteur est importante, plus la jonction base/émetteur est profonde. Les paramètres dynamiques, ainsi que les performances radio-fréquences, sont tous dégradés lorsque le pourcentage de germanium dans l'émetteur augmente. A titre d'exemple, il est pertinent de remarquer que la fréquence de transition f_T chute de 12GHz puis de 29GHz lorsque le pourcentage de germanium passe de 0 à 10% et de 0 à 20%. D'après la référence [60], il est précisé que cette chute est due à la réduction du gain en courant. En effet, tous les paramètres statiques, exceptés le courant de base et la tension de claquage BV_{CE0} , sont identiques quelle que soit la quantité de germanium introduite. Les profils SIMS de dopage d'émetteur et de base sont eux aussi identiques pour les trois dispositifs.

En guise de conclusion de cette étude, le produit BV_{CE0} par f_T a été étudié. Il a été montré que sa décroissance est plus rapide que celle de f_T . Ceci permet d'affirmer que l'introduction du germanium dans l'émetteur n'est pas une solution appropriée pour améliorer les performances radio-fréquences. Par conséquent, les TBH ainsi réalisés ne sont pas adaptés aux applications nécessitant une vitesse élevée. Néanmoins, cette étude a permis de mettre en évidence que le gain en courant influe sur la rapidité du transistor (donc sur f_T)

ainsi que sur sa tenue en tension BV_{CE0} . Pour terminer, les références [61] à [64] offrent des compléments sur la technologie BiCMOS propre à STMicroelectronics.

IV.4. Prise en compte de la thermique : résistance de ballast

La dissipation de puissance du transistor bipolaire à hétéro-jonction peut se faire soit par le substrat silicium soit par les métallisations. Deux phénomènes thermiques existent dans les transistors bipolaires, comme le rappelle l'auteur de la référence [65].

Le premier consiste en l'emballage thermique. Il est dû à la pente négative de la courbe $V_{BE}(T)$ à I_B constant. Cette pente est de -1.3mV/deg pour la technologie BiCMOS $0.25\mu\text{m SiGe:C}$ et de -2mV/deg pour les transistors classiques. Ce phénomène se traduit par une augmentation du courant collecteur et, par conséquent, de la puissance dissipée. Le risque est, bien évidemment, la dégradation ou destruction du transistor. Une polarisation adaptée du transistor permet de contrôler cet emballement.

Le second phénomène thermique présent dans les transistors bipolaires est appelé second claquage. Il est lié à :

- la pente négative de la courbe $V_{BE}(T)$ à I_B constant,
- à la non-uniformité des résistances thermiques des doigts, qui sont les constituants de l'émetteur du transistor. A titre d'exemple, le transistor bipolaire étudié comprend 4 fois 8 doigts d'émetteurs,
- et à la contribution, pour la température d'un doigt, de l'ensemble du transistor.

Il faut savoir que, de par la disposition géométrique des doigts du transistor, la résistance thermique des doigts de bord est plus faible que celle des doigts centraux. Par ailleurs, la température d'un doigt dépend de la puissance dissipée, de la résistance thermique associée au doigt et de la puissance dissipée par les autres doigts. Elle utilise donc les résistances thermiques mutuelles. Tous ces éléments font que la répartition du courant n'est pas homogène et que le courant est concentré dans les doigts centraux. En effet, si la puissance à dissiper devient trop importante, les doigts centraux vont devoir supporter une plus grande puissance que les doigts extérieurs. Les doigts centraux seront donc endommagés

avant : c'est la manifestation du second claquage. Ainsi, pour éviter ce problème, il convient d'homogénéiser le courant dans le transistor bipolaire. Deux solutions peuvent être envisagées. La première consiste à placer une résistance en série sur la base du transistor (figure de gauche de I.26). La seconde consiste, quant à elle, à mettre une résistance en série avec l'émetteur (figure de droite de I.26). Ces résistances sont appelées résistance de ballast et elles ont pour but d'aider à la dissipation de la puissance thermique en contrant l'emballement thermique local.

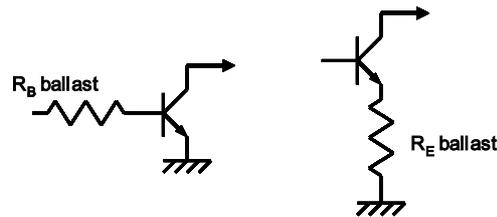
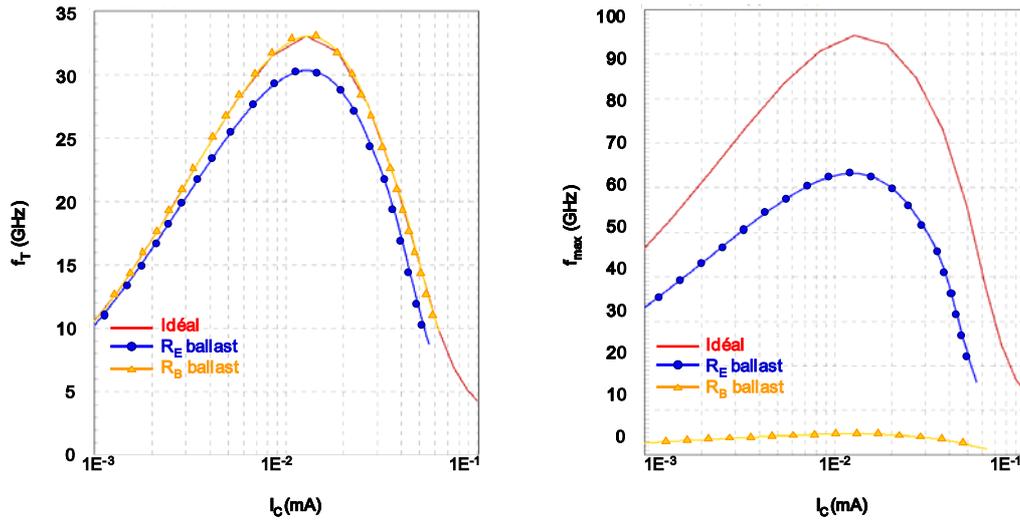


Figure I.26 : Deux possibilités pour la résistance de ballast

Pour assurer un fonctionnement correct de ces techniques, ces résistances doivent être distribuées sur le transistor de puissance. Pour obtenir les mêmes effets, les valeurs de ces deux résistances sont liées par le gain en courant du transistor (selon $R_B = \text{gain} \times R_E$). Avec un gain en courant moyen de 150 du TBH SiGe:C étudié, R_B ballast varie de 4500 à 7500 Ω et R_E ballast varie de 30 à 50 Ω . Le choix de l'une ou l'autre solution est fait en fonction d'autres paramètres électriques, tels que la tenue en tension du transistor, la figure de bruit ou les performances en puissance et en linéarité.

IV.4.1. Illustration de l'influence de la résistance de ballast

La figure I.27 montre l'évolution de la fréquence de transition f_T et de la fréquence maximale d'oscillation f_{max} pour un transistor idéal ou seul (courbes lisses) et deux transistors ballastés soit sur la base (courbes avec les marqueurs triangles) soit sur l'émetteur (courbes avec les marqueurs ronds). Le transistor qui a été utilisé est le transistor unitaire haute tension de la technologie BiCMOS 0.25 μm SiGe:C, c'est-à-dire qu'il est composé de 8 doigts d'émetteurs. Ces doigts sont distants de 3.6 ou 5.3 μm , leur largeur est de 0.4 μm et leur longueur de 13.4 μm .


 Figure 1.27 : Influence de la résistance de ballast sur f_T et f_{max} , d'après [65]

D'après le graphique de gauche, il vient que la fréquence de transition f_T n'est pas affectée par la résistance de ballast et reste égale à celle obtenue pour le transistor seul. Néanmoins une légère diminution est observée dans le cas de la résistance d'émetteur : f_T passe de 33GHz à 31.2GHz. Cette diminution correspond, au premier ordre, à la réduction de la transconductance apparente du transistor.

La fréquence maximale d'oscillation f_{max} dépend, quant à elle, fortement de la résistance de ballast, comme l'illustre le graphique de droite. f_{max} peut s'exprimer de façon approchée par l'équation (1.32) :

$$f_{max} \simeq \sqrt{\frac{R_0}{R_B}} f_T \quad (1.32)$$

avec R_0 : résistance de sortie du transistor, $R_0 = \frac{I_C}{V_A}$ (V_A : tension d'Early)

En ajoutant une résistance de ballast sur la base, R_B augmente, donc f_{max} diminue. Il est donc tout à fait normal que f_{max} soit plus faible avec une résistance de ballast sur la base.

Puisque l'étude de cette thèse porte sur l'utilisation haute-fréquence des transistors bipolaires, la solution qui a été retenue pour contrôler le second claquage est d'utiliser une résistance de ballast sur l'émetteur, car c'est cette solution qui offre le meilleur compromis, homogénéisation du courant/valeurs de f_T et f_{max} .

IV.5. Caractéristiques du TBH SiGe:C

Ce paragraphe a pour objectif de donner les principales caractéristiques du TBH SiGe:C utilisé au cours de cette thèse, que ce soit en simulations (chapitre II) et en caractérisation (chapitre III).

IV.5.1. Comparaison TBH SiGe avec TBH SiGe:C

La référence [59] s'est attachée à décrire les principales caractéristiques statiques et dynamiques obtenues en faisant varier certains éléments du procédé technologique des TBH SiGe et SiGe:C. Pour les besoins de la comparaison, les deux transistors ont les mêmes profils de dopage. La seule différence est donc l'introduction ou non du carbone. Les TBH possèdent une base de 40nm d'épaisseur. La concentration de germanium du côté de la jonction émetteur/collecteur est graduelle de façon à minimiser le temps de transit dans la base et d'augmenter la fréquence de transition f_T . Le niveau de dopage du bore est de l'ordre de 2×10^{19} atomes/cm³, de façon à maintenir une résistance de base faible malgré une épaisseur d'environ 30nm. Enfin, le dopage du collecteur, et plus particulièrement l'implant SIC, est ajusté de façon à minimiser le temps de transit dans le collecteur ainsi que la capacité de jonction base/collecteur. Dès lors, avec un tel profil, il existe un bon équilibre entre la fréquence de transition f_T , la fréquence maximale d'oscillation f_{max} et les paramètres statiques, comme l'illustre la figure I.28. Les ronds clairs correspondent aux différents essais menés sur le TBH SiGe tandis que les ronds noirs sont relatifs au TBH SiGe:C.

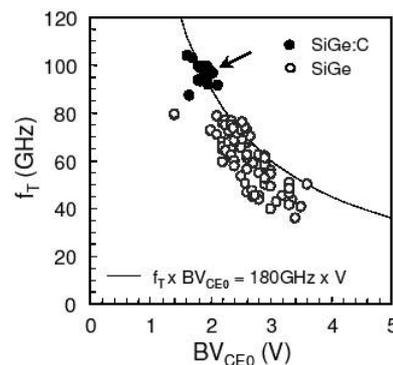


Figure I.28 : f_T et BV_{CE0} pour les TBH SiGe et SiGe:C, d'après [59]

Force est de constater que la fréquence de transition du TBH SiGe:C est améliorée par rapport au TBH SiGe. L'utilisation du carbone est donc bénéfique quant à l'amélioration des performances RF des TBH.

Concernant les performances statiques, la référence [58] propose une comparaison des courbes de Gummel obtenues pour les TBH SiGe:C en technologie 0.25 μ m. Comme il l'a déjà été stipulé, les concepteurs et les technologues conçoivent généralement deux types de TBH pour assurer un fonctionnement basse tension et haute tension. Ainsi, les tracés présentés par la figure I.29 sont obtenus pour un premier TBH SiGe:C fonctionnant à $V_{CE}=2.5V$ (basse tension), nommée TBH 2.5V dans la suite, et un second TBH SiGe:C fonctionnant à $V_{CE}=5V$ (haute tension), nommé TBH 5V. L'aire de l'émetteur de ces deux transistors est de $0.25 \times 5.85\mu m^2$. Les courbes foncées sont relatives au TBH faible tension et les courbes claires correspondent au TBH haute tension.

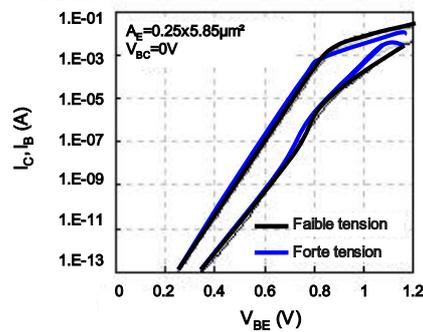


Figure I.29 : Courbes de Gummel pour les transistors NPN SiGe:C 2.5V et 5V, d'après [58]

Les courants de base et de collecteur ont un comportement similaire pour les deux transistors. Néanmoins, le principal problème rencontré par le TBH 5V est l'augmentation du courant de base à fort V_{BE} (régime de forte injection). Pour limiter ce effet, il convient d'optimiser le profil de germanium à la jonction collecteur/base.

IV.5.2. Bilan des caractéristiques du TBH SiGe:C

Le bilan des caractéristique des TBH faible tension et forte tension de STMicroelectronics est résumé dans le tableau I.6.

| Paramètres des TBH SiGe:C (FT/HT) | Valeur |
|-------------------------------------|-----------|
| Gain | 200 |
| BV_{CE0} (V) | 2.6 / 6.3 |
| Tension d'Early (V) | 200 |
| Max f_T @ $V_{ce}=1.5V$ (GHz) | 65 / 31 |
| Max f_{max} @ $V_{ce}=1.5V$ (GHz) | 99 / 71 |

Tableau I.6 : Bilan des paramètres des TBH SiGe:C en technologie BiCMOS 0.25 μ m, d'après [66] et [58]

Les performances statiques sont données par les trois premières lignes. Le gain est de l'ordre de 200 ce qui est intéressant. La tension de claquage BV_{CE0} est de 2.6V pour le TBH faible tension et de 6.3V pour le TBH haute tension. La tension d'Early est très bonne car elle atteint 200V. Cela est la conséquence du dopage élevé de la base. Les performances RF sont également très satisfaisantes et laissent présager une belle évolution et une utilisation très importante de ces TBH SiGe:C pour les applications de téléphonie mobile. En effet, les fréquences de transition f_T sont respectivement de 65GHz et 31GHz pour le TBH faible tension et le TBH haute tension. Par ailleurs, les fréquences maximales d'oscillation f_{max} sont respectivement de 99GHz et 71GHz.

V. Conclusion

Ce chapitre a présenté les enjeux de l'amplification de puissance pour les systèmes de communications mobiles. La solution d'intégration SoC est de plus en plus présente. De ce fait, les transistors de puissance, qui sont de type bipolaire, sont voués à être intégrés dans les modules « front-end ». Ce chapitre s'est alors intéressé à ces derniers, en retraçant l'historique du transistor bipolaire, marquée par trois évolutions majeures. La première consiste en la miniaturisation, qui a été rendue possible grâce à la structure de type auto-alignée. Ensuite, l'introduction du germanium dans la base a permis la réalisation du TBH SiGe, transistor particulièrement bien adapté pour les applications de puissance. Enfin, l'utilisation du carbone dans la base a permis une montée en fréquence significative et une diminution toujours plus grande des dimensions, répondant parfaitement aux attentes et aux avancées technologiques actuelles.

Ce chapitre a ainsi montré que la technologie silicium est particulièrement bien adaptée pour les applications de puissance de téléphonie mobile. L'intégration du TBH passe alors par la technologie BiCMOS. Les références [67] à [71] montrent son intérêt. Dès lors, une description de cette dernière, avec le cas concret de STMicroelectronics, a été présenté. Les références [72] à [82], qui traitent des performances de TBH réalisés en technologie BiCMOS 0.25 μ m SiGe:C, permettent de conclure que STMicroelectronics est bien placé sur le marché mondial.

Références bibliographiques du chapitre I

- [1] Milton Feng, Shyh-Chiang Shen, David C. Caruth et al., “**Device Technologies for RF Front-End Circuits in Next-Generation Wireless Communications**”, *Proceedings of the IEEE, Vol. 92, Issue 2, p. 354-375, February 2004*
- [2] John R. Long, “**SiGe Radio Frequency ICs for Low-Power Portable Communication**”, *Proceedings of the IEEE, Vol. 93, Issue 9, p. 1598-1623, September 2005*
- [3] Rik Jos, “**Technology Developments Driving an Evolution of Cellular Phone Power Amplifiers to Integrated RF Front-End Modules**”, *IEEE Journal of Solid-State Circuits, Vol. 36, n°9, p. 1382-1389, September 2001*
- [4] Jeffrey B. Johnson, Alvin J. Joseph, David C. Sheridan et al., “**Silicon-Germanium BiCMOS HBT Technology for Wireless Power Amplifier Applications**”, *IEEE Journal of Solid-State Circuits, Vol. 39, n°10, p. 1605-1614, October 2004*
- [5] Pierre Leray, Jacques Weiss, “**Technologie SOC**”, *Equipe de recherche ETSN, Supélec Campus de Rennes, Février 2002, <http://www.rennes.supelec.fr/renrdsceethesesjournee/recherche2002pl/jwosc/jwindex.htm>*
- [6] Wai Tung Ng, I-Shan Michael Sun, Huaping Edward Xu et al., “**SiGe HBTs for System on Chip Applications**”, *International Symposium on New Paradigm VLSI Computing, 12-14 December 2002*
- [7] Ian Rippke, Jon Duster, Kevin Kornegay, “**A Fully Integrated, Single-Chip Handset Power Amplifier in SiGe BiCMOS for W-CDMA Applications**”, *IEEE Radio Frequency Integrated Circuits Symposium, p. 667-670, 8-10 June 2003*
- [8] Jeng-Hang Tsai, Tian-Wei Huang, “**A Novel SiGe BiCMOS Variable-Gain Active Predistorter Using Current Steering Topologies**”, *IEEE Radio Frequency Integrated Circuits Symposium, Digest of Papers, p. 559-562, 6-8 June 2004*
- [9] Craig Gaw, T. Arnold, R. Martin, et al., “**Evaluation of SiGe:C HBT intrinsic reliability using conventional and step stress methodologies**”, *Microelectronics Reliability, article in press, 2006*

- [10] David C. Ahlgren, Greg Freeman, Basanth Jagannathan et al., **“Silicon-germanium HBTs for 40 Gb/s and beyond”**, *III-Vs Review, The Advanced Semiconductor Magazine, Vol. 14, n°6, August 2001*
- [11] Mark Telford, **“SiGe slips into main fabs”**, *III-Vs Review, The Advanced Semiconductor Magazine, Vol. 17, n°2, March 2004*
- [12] Marc Rocchi, **“State of the art and trends in III/V ICs for commercial applications”**, *Microelectronics Journal, Vol. 28, p. 587-594, 1997*
- [13] Roy Szweda, Keith Gurnett, **“Philips takes on GaAs for phones with new generation silicon bipolars”**, *III-Vs Review, Vol. 10, n°2, 1997*
- [14] Glenn Watanabe, Jeff Ortiz, Rick Holbrook, **“High performance rf front end circuits using SiGe:C BiCMOS + copper technologies”**, *Applied Surface Science, Vol. 224, p. 405-409, 2004*
- [15] Tak H. Ning, **“History and future perspective of the modern silicon bipolar transistor”**, *IEEE Transactions on Electron Devices, Vol. 48, Issue 11, p. 2485-2491, Nov. 2001*
- [16] Philippe Cazenave, **“Modélisation du transistor bipolaire intégré – Volume 2: Dispositifs à hétérojonctions”**, *Hermès (Traité EGEM), 2004-2005*
- [17] H. Schreiber, **“Technique et applications des transistors”**, *Société des Editions Radio, Septième édition revue et augmentée, pp. 5-46, 1970*
- [18] Philippe Cazenave, **“Formation Physique du transistor – INPG- Physique et technologie du transistor bipolaire intégré”**, *15-19 mai 2006*
- [19] Greg Freeman, Jae-Sung Rieh, Zhijian Yang et al., **“Reliability and performance scaling of very high speed SiGe HBTs”**, *Microelectronics reliability, Vol. 44, Issue 3, p. 397-410, March 2004*
- [20] Mukul K. Das, N. R. Das, P. K. Basu, **“Effect of Ge content and profile in the SiGe base on the performance of a SiGe/Si heterojunction bipolar transistor”**, *Microwave and Optical Technology Letters, Vol. 47, n°3, November 5 2005*

- [21] Onur Esame, Yasar Gurbuz, Ibrahim Tekin et al., **“Performance comparison of state-of-the-art heterojunction bipolar devices (HBT) based on AlGaAs/GaAs, Si/SiGe and InGaAs/InP”**, *Microelectronics Journal*, Vol. 35, p. 901-908, 2004
- [22] Steven H. Voldman, Brian Ronan, Patrick A. Juliano et al., **“Silicon germanium heterojunction bipolar transistor electrostatic discharge power clamps and the Johnson Limit in RF BiCMOS SiGe technology”**, *Journal of Electrostatics*, Vol. 56, p. 341-362, 2002
- [23] James D. Warnock, **“Silicon bipolar device structures for digital applications: technology trends and future directions”**, *IEEE Transactions on Electron Devices*, Vol. 42, Issue 3, p. 377-389, March 1995
- [24] D. L. Hame, S. J. Koester, G. Freeman et al., **“The revolution in SiGe: impact on device electronics”**, *Applied Surface Science*, Vol. 224, p. 9-17, 2004
- [25] D. L. Hame, J. H. Comfort, J. D. Cressler et al., **“Si/SiGe epitaxial-base transistors-Part I: materials, physics, and circuits”**, *IEEE Transactions on Electron Devices*, Vol. 42, Issue 3, p. 455-468, March 1995
- [26] Salvatore A. Lombardo, Vittorio Privitera, Angelo Pinto et al., **“Band-Gap Narrowing and High-Frequency Characteristics of Si/Ge_xSi_{1-x} Heterojunction Bipolar Transistors Formed by Ge Ion Implantation in Si”**, *IEEE Transactions on Electron Devices*, Vol. 45, n°7, p. 1531-1537, July 1998
- [27] Tom Ryan, **“Process control of Si/SiGe heterostructures by X-ray diffraction”**, *Materials Science in Semiconductor Processing*, Vol. 4, p. 229-231, 2001
- [28] B. G. Malm, M. Östling, **“Mixed mode circuit and device simulation of RF harmonic distortion for high-speed SiGe HBTs”**, *Solid-State Electronics*, Vol. 46, p. 1567-1571, 2002
- [29] M. J. Martin-Martinez, S. Pérez, D. Pardo et al., **“High injection effects on noise characteristics of Si BJTs and SiGe HBTs”**, *Microelectronics Reliability*, Vol. 41, p. 847-854, 2001

- [30] Michael Schroter, Hung Tran, Wolfgang Kraus, “**Germanium profile design options for SiGe LEC HBTs**”, *Solid-State Electronics*, Vol. 48, p. 1133-1146, 2004
- [31] Yasuhiro Shiraki, Akira Sakai, “**Fabrication technology of SiGe heterostructures and their properties**”, *Surface Science Reports*, Vol. 59, p. 153-207, 2005
- [32] O. De Barros, A. Souifi, B. Le Tron et al., “**Characterization of Si/SiGe heterojunction bipolar transistors by deep level transient spectroscopy**”, *Thin Solid Films*, Vol. 294, p. 271-273, 1997
- [33] D. L. Hareme, J. H. Comfort, J. D. Cressler et al., “**Si/SiGe epitaxial-base transistors-Part II: process integration and analog applications**”, *IEEE Transactions on Electron Devices*, Vol. 42, Issue 3, p. 469-482, March 1995
- [34] F. Gao, D. D. Huang, J. P. Li et al., “**In situ doping control for growth of n-p-n Si/SiGe/Si heterojunction bipolar transistor by gas source molecular beam epitaxy**”, *Journal of Crystal Growth*, Vol. 273, p. 381-385, 2005
- [35] D. Gruber, M. Mühlberger, T. Fromherz et al., “**Fourier-transform infrared investigations of Si_{1-y}C_y structures for hetero bipolar transistor applications**”, *Materials Science and Engineering*, Vol. B89, p. 97-100, 2002
- [36] Bernd Tillack, Yuji Yamamoto, Dieter Knoll et al., “**High performance SiGe:C HBTs using atomic layer base doping**”, *Applied Surface Science*, Vol. 224, p. 55-58, 2004
- [37] D. J. Meyer, D. A. Webb, M. G. Ward et al., “**Applications and processing of SiGe and SiGe:C for high-speed HBT devices**”, *Materials Science in Semiconductor Processing*, Vol. 4, p. 529-533, 2001
- [38] A. St. Amour, L. D. Lanzerotti, C. L. Chang et al., “**Optical and electrical properties of Si_{1-x-y}Ge_xC_y thin films and devices**”, *Thin Solid Films*, Vol. 294, p. 112-117, 1997
- [39] Christian Brylinski, “**Silicon carbide for microwave power applications**”, *Diamond and Related Materials*, Vol. 6, p. 1405-1413, 1997

- [40] D. Knoll, B. Heinemann, K. -E. Ehwald et al., “**Comparison of SiGe and SiGe:C heterojunction bipolar transistors**”, *Thin Solid Films*, Vol. 369, p. 342-346, 2000
- [41] I. Z. Mitrovic, O. Buiu, S. Hall et al., “**Review of SiGe HBTs on SOI**”, *Solid-State Electronics*, Vol. 49, p. 1556-1567, 2005
- [42] H. J. Osten, D. Knoll, H. Rücker, “**Dopant diffusion control by adding carbon into Si and SiGe: principles and devices application**”, *Materials Science and Engineering*, Vol. B87, p. 262-270, 2001
- [43] Yuchun Chang, Guotong Du, Junfeng Song et al., “**The effect of vertical emitter ballasting resistors on the emitter current crowding effect in heterojunction bipolar transistors**”, *Solid-State Electronics*, Vol. 46, Issue 11, p. 1997-2000, November 2002
- [44] R. Sampathkumaran, K. P. Roenker, “**Effect of self-heating on the microwave performance of SiGe HBTs**”, *Solid-State Electronics*, Vol. 49, Issue 8, p. 1292-1296, August 2005
- [45] S. P. McAlister, W. R. McKinnon, S. J. Kovacic et al., “**Self-heating in multi-emitter SiGe HBTs**”, *Solid-State Electronics*, Vol. 48, Issue 10-11, p. 2001-2006, October-November 2004
- [46] P. Mushini, K. P. Roenker, “**Simulation study of high injection effects and parasitic barrier formation in SiGe HBTs operating at high current densities**”, *Solid-State Electronics*, Vol. 44, Issue 12, p. 2239-2246, December 2000
- [47] K. P. Roenker, D. Todorova, A. Breed, “**Analysis of parasitic barriers formed at SiGe/Si heterojunctions due to p-n junction displacement**”, *Solid-State Electronics*, Vol. 46, p. 1473-1483, 2002
- [48] S. Fregonese, D. Celi, T. Zimmer et al., “**A scalable substrate network for compact modelling of deep trench insulated HBT**”, *Solid-State Electronics*, Vol. 49, p. 1623-1631, 2005
- [49] V. Palankovski, S. Selberherr, “**The state-of-the-art in simulation for optimization of SiGe-HBTs**”, *Applied Surface Science*, Vol. 224, p. 312-319, 2004

- [50] R. Jonsson, Q. Wahab, S. Rudner et al., “**Computational load pull simulations of SiC microwave power transistors**”, *Solid-State Electronics*, Vol. 47, p. 1921-1926, 2003
- [51] A. Issaoun, F. M. Ghannouchi, A. B. Kouki, “**An accurate and compact large signal model for III-V HBT devices**”, *Solid-State Electronics*, Vol. 49, p. 1909-1916, 2005
- [52] Ammar Issaoun, Ammar B. Kouki, Fadhel M. Ghannouchi, “**A simple large signal model for III-V HBT devices exceeding VBIC performances**”, *International Journal of Electronics and Communications (AEÜ)*, Vol. 60, p. 367-375, 2006
- [53] T. H. Ning, “**Why BiCMOS and SOI BiCMOS ?**”, <http://www.research.ibm.com/journal/rd/462/ning.html>
- [54] Alvin J. Joseph, David L. Hareme, Basanth Jagannathan et al., “**Status and Direction of Communcation Technologies – SiGe BiCMOS and RFCMOS**”, *Proceedings of the IEEE*, Vol. 93, Issue 9, p. 1539-1558, September 2005
- [55] Tohru Nakamura, Hirotaka Nishizawa, “**Recent progress in bipolar transistor technology**”, *IEEE Transactions on Electron Devices*, Vol. 42, Issue 3, p. 390-398, March 1995
- [56] H. Baudry, B. Martinet, C. Fellous et al., “**High performance 0.25µm SiGe and SiGe:C HBTs using non selective epitaxy**”, *Proceeding of the 2001 Bipolar/BiCMOS Circuits and Technology Meeting*, p. 52-55, 30 Sept.-2 Oct. 2001
- [57] Sébastien Jouan, Richard Planche, Hélène Baudry et al., “**A high-speed low 1/f noise SiGe HBT technology using epitaxially-aligned polysilicon emitters**”, *IEEE Transactions on Electron Devices*, Vol. 46, Issue 7, p. 1525-1531, July 1999
- [58] H. Baudry, B. Szelag, F. Deléglise et al., “**BiCMOS7RF : a highly-manufacturable 0.25-µm BiCMOS RF-applications-dedicated technology using non selective SiGe:C epitaxy**”, *Proceeding of the 2003 Bipolar/BiCMOS Circuits and Technology Meeting*, p. 207-210, 28-30 Sept. 2003

- [59] B. Martinet, H. Baudry, O. Kermarrec et al., “**100GHz SiGe:C HBTs using non selective base epitaxy**”, *Proceeding of the 31st European Solid-State Device Research Conference*, p. 97-100, 11-13 September 2001
- [60] B. Martinet, F. Romagna, O. Kermarrec et al., “**An investigation of the static and dynamic characteristics of high speed SiGe:C HBTs using a poly-SiGe emitter**”, *Proceeding of the 2002 Bipolar/BiCMOS Circuits and Technology Meeting*, p. 147-150, 29 Sept.-1 Oct. 2002
- [61] Sébastien Jouan, Hélène Baudry, Didier Dutartre et al., “**Suppression of Boron Transient-Enhanced Diffusion in SiGe HBTs by a buried Carbon layer**”, *IEEE Transactions on Electron Devices*, Vol. 48, Issue 8, p. 1765-1769, 2001
- [62] E. de Berranger, S. Bodnar, A. Chantre et al., “**Integration of SiGe heterojunction bipolar transistors in a 200 mm industrial BiCMOS technology**”, *Thin Solid Films*, Vol. 294, p. 250-253, 1997
- [63] S. Bodnar, C. Morin, J. L. Regolini, “**Single-wafer Si and SiGe processes for advanced ULSI technologies**”, *Thin Solid Films*, Vol. 294, p. 11-14, 1997
- [64] J. L. Regolini, J. Pejnefors, T. Baffert et al., “**Epitaxial growth of SiGe layers for BiCMOS applications**”, *Materials Science in Semiconductor Processing*, Vol. 1, p. 317-323, 1998
- [65] Denis Pache, “**Transistors bipolaires BiCMOS7RF pour les applications amplificateur de puissance**”, *Document interne à STMicroelectronics*, Septembre 2004
- [66] B. Szelag, H. Baudry, D. Muller et al., “**Integration and optimisation of a high performance RF Lateral DMOS in an advanced BiCMOS technology**”, *33rd Conference on European Solid-State Device Research, ESSDERC'03*, p. 39-42, 16-18 Sept. 2003
- [67] Paolo Crippa, Simone Orcioni, Francesco Ricciardi et al., “**A DC-5 GHz NMOSFET SPDT T/R switch in 0.25- μ m SiGe BiCMOS technology**”, *Applied Surface Science*, Vol. 224, p. 434-438, 2004

[68] W. Winkler, J. Borngräber, B. Heinemann et al., “**Circuit applications of high-performance SiGe:C HBTs integrated in BiCMOS technology**”, *Applied Surface Science*, Vol. 224, p. 297-305, 2004

[69] Armin T. Tilke, Steffen Rothenhäüßer, Markus Rochel et al., “**Quarter micron BiCMOS technology platform with implanted-base- or SiGe-bipolar transistor for wireless communication ICs**”, *Solid-State Electronics*, Vol. 48, p. 2243-2249, 2004

[70] Hsien-Ku Chen, Hsien-Jui Chen, Ying-Zong Juang et al., “**Design tradeoff for SiGe 0.35- μm BiCMOS low-power and high figure-of-merit LNA**”, *Microwave and Optical Technology Letters*, Vol. 47, n°1, p. 65-68, October 5 2005

[71] Alvin Joseph, Mattias Dahlstrom, Qizhi Liu et al., “**SiGe HBT BiCMOS technology for millimetre-wave applications**”, *Physica Status Solidi*, Vol. 3, issue 3, p. 448-451, March 2006

[72] D. Behammer, J. N. Albers, O. König et al., “**Si/SiGe HBTs for Application in Low Power ICs**”, *Solid-State Electronics*, Vol. 39, n°4, p. 471-480, 1996

[73] C. Fellous, F. Romagna, D. Dutartre, “**Thermal and chemical loading effects in non selective Si/SiGe epitaxy**”, *Materials Science and Engineering*, Vol. B89, p. 323-327, 2002

[74] L. K. Bera, Shajan Mathew, N. Balasubramanian et al., “**Analysis of carrier generation lifetime in strained-Si/SiGe heterojunction MOSFETs from capacitance transient**”, *Applied Surface Science*, Vol. 224, p. 278-282, 2004

[75] J. Weller, H. Jorke, K. Strohm et al., “**Assessment of transport parameters for the design of high speed Si/SiGe HBTs with compositionally graded base**”, *Thin Solid Films*, Vol. 336, p. 137-140, 1998

[76] S. T. Chang, C. W. Liu, S. C. Lu, “**Base transit time of graded-base Si/SiGe HBTs considering recombination lifetime and velocity saturation**”, *Solid-State Electronics*, Vol. 48, p. 207-215, 2004

[77] Albert Wang, Xiaokang Guan, Haigang Feng et al., “**A 2.4GHz Fully Integrated Class-A Power Amplifier in 0.35 μ m SiGe BiCMOS Technology**”, *6th International Conference on ASIC* 2005, Vol. 1, p. 360-363, 24-27 October 2005

[78] A. Schüppen, S. Gerlach, H. Dietrich et al., “**1-W SiGe PowerHBT’s for Mobile Communication**”, *IEEE Microwave and Guided Wave Letters*, Vol. 6, n°9, p. 341-343, September 1996

[79] H. Rücker, B. Heinemann, R. Barth et al., “**High-frequency SiGe:C HBTs with elevated extrinsic base regions**”, *Materials Science in Semiconductor Processing*, Vol. 8, p. 279-282, 2005

[80] Greg D. U’Ren, “**Lateral scaling challenges for SiGe NPN BiCMOS process integration**”, *Materials Science in Semiconductor Processing*, Vol. 8, p. 313-317, 2005

[81] B. Senapati, C. K. Maiti, “**Performance of SiGe-HBTs and its amplifiers**”, *Solid-State Electronics*, Vol. 45, p. 1905-1908, 2001

[82] E. Richter, F. Brunner, S. Gramlich et al., “**Assessment of layer structures for GaInP/GaAs-heterojunction bipolar transistors**”, *Materials Science and Engineering*, Vol. B66, p. 162-173, 1999

[83] Sandra Heim, Robert Wanner, Mathieu Stoffel et al., “**Resonance phase operation of a SiGe HBT**”, *Materials Science in Semiconductor Processing*, Vol. 8, p. 319-322, 2005

CHAPITRE II

Description du transistor bipolaire à hétéro- jonction étudié

-

Simulations électriques grand signal

I. Introduction

Ce chapitre a pour objectif de montrer au travers de simulations les potentialités en terme de puissance, rendement et linéarité du transistor bipolaire à hétéro-jonction SiGe:C de la technologie BiCMOS 0.25 μm de STMicroelectronics. La surface d'émetteur du composant simulé est de 1260 μm^2 . Le transistor est décrit à l'aide du modèle de transistor bipolaire HICUM, qui est un modèle non-linéaire permettant de décrire les phénomènes présents, notamment ceux lors d'un fonctionnement à fort courant. Ce modèle, supporté par l'Université de Dresde (et plus particulièrement par le Professeur Mickaël Schröter), est extrait par l'équipe de modélisation bipolaire de STMicroelectronics Crolles et fait l'objet de la première partie de ce chapitre. La seconde partie est consacrée à la description du transistor simulé. Il est à noter que toutes les simulations sont réalisées avec le logiciel ADS (Advanced Design System) d'Agilent Technologies.

Dans la troisième partie de ce chapitre, des simulations fort signal en mode CW (Continuous Wave) montrent l'impact des impédances de fermeture aux trois premiers harmoniques sur les performances en terme de gain, puissance et rendement.

Ensuite, la quatrième partie est consacrée à une analyse de linéarité en biporteuse, afin de dégager les meilleurs compromis rendement et linéarité.

Enfin, une analyse théorique de robustesse au TOS (Taux d'Onde Stationnaire) est développée en fin de ce chapitre.

II. Description du modèle utilisé

Ce paragraphe a pour but de présenter le modèle utilisé, pour les simulations du transistor bipolaire à hétéro-jonction étudié et mesuré au cours de cette thèse. Ce modèle est le modèle HICUM.

II.1. Présentation du modèle HICUM (High Current Model)

Le modèle HICUM, qui par définition signifie modèle fort courant (High Current Model), est un modèle compact pour les transistors bipolaires avancés destinés aux circuits rapides pour les communications sans fil et à fibres optiques ([1] et [2]). Ce modèle est particulièrement bien adapté pour décrire les transistors radio-fréquences, utilisés notamment en technologie BiCMOS SiGe:C, car il s'est affranchi des limitations et des faiblesses du modèle SPICE Gummel-Poon [3], qui est le modèle de base des transistors bipolaires, notamment pour la description des phénomènes intervenant à fort courant.

Comme rappelé dans la référence [2], ce modèle a vu le jour dans les années 1980 à l'université de Bochum Ruhr en Allemagne, grâce aux travaux menés par l'équipe du Professeur H. M. Rein. Le point de départ a été de décrire de façon plus précise et basée sur la physique du composant les effets forts courants pour les circuits rapides. Ainsi, en 1985, la première version complète du modèle HICUM a été implémentée dans le simulateur SPICE. Ensuite, en 1986-1987, la vérification expérimentale sur des commutateurs rapides s'est révélée prometteuse et encourageante. Dès lors, entre 1988 et 1994, de nombreuses améliorations et extensions ont été apportées dans la modélisation des transistors bipolaires à hétéro-jonction. En 1994, ce modèle a été intégré dans de nombreux simulateurs de circuits commerciaux et a commencé à être déployé dans différentes industries (telles Nortel, Rockwell, Jazz...). Par conséquent, en 1999, le modèle Hicum est passé dans le domaine public (c'est-à-dire que les équations du modèle et le code source sont accessibles de tous) et il est depuis supporté par le Professeur Mickaël Schröter de l'Université de Technologie de Dresde, au sein du laboratoire CEDIC (Chair for Electron Devices and Integrated Circuits). Il est alors implanté dans les principaux simulateurs de circuits commerciaux (tels ADS, ELDO, HSPICE, SPECTRE) et est supporté par de nombreuses industries de semi-conducteur, dont STMicroelectronics. Enfin, en 2003, le modèle HICUM a été choisi avec le modèle MEXTRAM, comme modèle standard pour le transistor bipolaire par le CMC (Compact Model Council).

La mise à jour de ce modèle aboutit à différents niveaux (ou level) et à différentes versions, de plus en plus complètes. Ceci atteste de la perpétuelle évolution du modèle HICUM et de sa pertinence, que ce soit en terme de précision et de compréhension des

phénomènes physiques. De nombreuses études sont menées sur ce modèle comme l'attestent les références [4] et [5].

Le modèle HICUM apparaît alors comme un modèle compact basé sur la physique du composant dédié aux transistors bipolaires homo-jonction et hétéro-jonction verticaux. Le cœur des équations de ce modèle est basé sur des simulations TCAD (Technology Computer-Aided Design) qui sont des outils de simulation de composants et de processus technologiques et qui permettent, contrairement aux modèles classiques, de prendre en compte les effets 1D et 2D et de reproduire les phénomènes physiques qui se produisent au sein du semi-conducteur, permettant une précision inégalée.

Ce gain de précision se manifeste sur la modélisation :

- par une grande région de polarisation, notamment celle à forts courants,
- et par une meilleure précision de simulation des performances bas niveau à haute fréquence.

Grâce à un circuit équivalent, présenté à la figure II.1, les effets physiques suivants sont modélisés :

- les effets 2D et 3D tels l'injection périmétrique du courant émetteur, le partage du courant collecteur en une partie surfacique et une autre périmétrique et la distribution intrinsèque et extrinsèque de la base sont considérés.
- Le courant d'avalanche dû au claquage de la jonction base/collecteur et le courant tunnel de la jonction base/émetteur sont modélisés.
- Le transistor parasite et l'influence du substrat via un réseau de couplage sont pris en compte.
- Les effets d'auto-échauffement et la dépendance en température sont inclus.
- Les effets non quasi-statiques des charges et des courants sont modélisés à l'aide des temps de transit.
- La variation du bandgap des TBH SiGe est considérée.
- Et enfin, les mécanismes standards de bruit sont inclus dans ce modèle.

Il convient maintenant de détailler le rôle des différents éléments constitutifs du schéma du modèle, en commençant par les courants.

- Le transistor intrinsèque est constitué d'une source de courant, nommé I_T , qui modélise le courant de transfert entre le collecteur et l'émetteur. Ce courant est la somme des courants des jonctions base/émetteur et base/collecteur. Le courant de chacune de ces jonctions se divise en un courant intrinsèque et un courant extrinsèque. Ainsi, les deux diodes, I_{BEI} et I_{BCI} , correspondent aux courants intrinsèques des jonctions respectives base/émetteur et base/collecteur et permettent de modéliser les phénomènes surfaciques. Les deux diodes, I_{BEP} et I_{BCX} , correspondent aux courants extrinsèques respectifs et permettent de décrire les phénomènes périmétriques.
- Lorsque la jonction base/émetteur est polarisée en inverse ($V_{BE} < 0$), il apparaît un courant tunnel dans la base, noté I_{BET} .
- La source de courant I_{AVL} modélise le courant d'avalanche de la jonction base/collecteur.
- Enfin, la source de courant I_{TS} est l'analogue de la source I_T pour le transistor parasite. Ce courant représente le courant des jonctions base/collecteur (I_{BCX}) et collecteur/substrat (I_{CS}).

Les différentes charges et capacités de ce schéma se répartissent en six groupes.

1- Le premier groupe, est lié aux charges fixes présentes dans les différentes jonctions et constitue les capacités de jonction ou de transition.

Ainsi, la jonction base/émetteur se modélise à l'aide d'une charge de jonction intrinsèque, Q_{JEI} . La jonction base/collecteur se modélise, quant à elle, à l'aide d'une charge intrinsèque, Q_{JCI} associée à des charges extrinsèques, Q_{JBCX1} et Q_{JBCX2} . Et enfin, la jonction collecteur/substrat est modélisée à l'aide de la charge Q_{JS} .

2- Le deuxième groupe qui correspond aux charges de diffusion, modélise l'influence des charges mobiles contenues dans les différentes jonctions.

La capacité de diffusion de la jonction base/émetteur est représentée par la charge intrinsèque Q_{DE} associée à la charge extrinsèque Q_{JEP} . De même, la jonction base/collecteur se modélise à l'aide de la charge intrinsèque Q_{DC} , associée à la charge extrinsèque Q_{DS} .

3- Pour prendre en compte les effets de modulation de la base, et plus précisément de la dépendance en fréquence de la résistance de base interne, appelée AC crowding, la capacité C_{RBI} est utilisée.

4- De part la réalisation technologique utilisée, il existe une capacité d'oxyde, C_{EOX} , entre l'émetteur et la base, résultant de la présence des « espaceurs ».

5- Ensuite, le cinquième groupe est constitué de la capacité de substrat, C_{SU} . Elle modélise l'impact des charges contenues dans le substrat.

6- Et pour terminer, les résistance et capacité thermiques, R_{TH} et C_{TH} , permettent la modélisation des phénomènes d'auto-échauffement. Une description précise de ces derniers est présentée au paragraphe II.3.

Pour terminer la description du schéma, il convient de s'intéresser aux résistances. Ainsi, R_E correspond à la résistance d'accès à l'émetteur, R_{CX} correspond à la résistance d'accès au collecteur, R_{SU} est la résistance d'accès au substrat. La résistance d'accès à la base est composée d'une partie intrinsèque, R_{BI} , variable avec la polarisation, et d'une partie extrinsèque, R_{BX} , constante.

II.2. Méthodes d'extraction des paramètres de modèle

Le modèle HICUM est basé sur des équations qui font appel à des paramètres modèle qu'il convient d'extraire. Pour ce faire, différentes mesures électriques sur une grande variété de configurations de transistor et sur des motifs spécifiques sont réalisées. Ceci dans le but d'aboutir à un modèle « paramétré », c'est-à-dire composé de paramètres unitaires indépendants de la géométrie du transistor.

A titre d'exemple, l'auteur de [1] indique les structures de test utilisées et les paramètres extraits associés. Ainsi, les résistances d'accès extrinsèques sont obtenues à partir de structures de test spécifiques, ne faisant intervenir que les résistances voulues, sur lesquelles des mesures statiques I/V sont effectuées. Par exemple, des structures en anneau de type CBEB, dites tétrodes, sont utilisées pour extraire les valeurs des résistances de base, comme l'expliquent les références [6] et [7]. Les résistances collecteur, sont à quant à elles

obtenues à partir de structures de type CBEBC, décrites par les auteurs de la référence [8]. Concernant les capacités de jonction base/émetteur, base/collecteur et collecteur/substrat, plusieurs transistors à largeur W variable sont mesurés, afin d'élaborer les lois d'échelle (communément appelées lois de « scaling ») pour ces capacités. Ensuite, les capacités de diffusion sont obtenues à partir de mesures de paramètres S de plusieurs transistors à configuration différente, polarisés en inverse et à faible niveau de courant.

Les mesures qui sont alors réalisées pour l'extraction des paramètres se regroupent en quatre catégories, listées ci-dessous. Ces mesures sont toutes réalisées pour plusieurs configurations de transistor et sous pointes.

1- Les premières mesures correspondent aux mesures DC. Les jonctions base/émetteur et base/collecteur sont polarisées en direct ou en inverse selon les paramètres à extraire.

2- La seconde catégorie regroupe les mesures de paramètres S qui permettent, entre autre, d'évaluer la dépendance en fréquence et en polarisation des paramètres extraits à l'aide de ces mesures.

3- Pour connaître la dépendance en température des paramètres sensibles à cette dernière, des mesures en température sont réalisées. Ce sont, en fait, les précédentes mesures DC et de paramètres S qui sont effectuées à des températures différentes de la température ambiante (fixée à 27°C soit 300°K).

4- Et pour terminer, des mesures de bruit à faible fréquence sont menées afin de modéliser les paramètres bruyants du modèle.

L'extraction des paramètres modèle se base sur ces différentes mesures et se déroule en plusieurs étapes. La première consiste en la préparation, c'est-à-dire en la définition des règles de dessin des structures et en l'établissement d'un format spécifique de sauvegarde des fichiers de mesures. Ensuite, les paramètres basiques (telles que les résistances par carré, les résistances de contact et les capacités de déplétion) sont extraits. Puis les paramètres modèle sont à leurs tours extraits. Enfin, la dernière étape est la plus importante dans le sens où elle correspond à la validation des paramètres du modèle HICUM. Pour ce faire, d'autres transistors sont mesurés en DC, en paramètres S , en température et en bruit afin d'obtenir les caractéristiques DC (telle la transconductance...), les caractéristiques petit signal en fonction de la fréquence et de la polarisation (tels la fréquence de transition, le gain en puissance ou les

paramètres $Y...$) et le bruit basse et haute fréquences. Le modèle sera considéré comme correct si ces caractéristiques sont cohérentes avec celles qui sont simulées et attendues.

En guise de conclusion, il est important de garder à l'esprit que l'élaboration d'un modèle de transistor nécessite des méthodes d'extraction précises afin de déterminer au mieux les paramètres descriptifs. En effet, un modèle sophistiqué sans techniques d'extraction précises peut être plus mauvais qu'un modèle approximatif avec des méthodes d'extraction précises.

II.3. Description du réseau thermique du transistor

Etablir le réseau thermique du transistor revient à calculer sa résistance thermique R_{th} et sa capacité thermique C_{th} . Le réseau thermique proposé par le modèle Hicum, composé d'une source de puissance thermique associée à une seule résistance thermique en parallèle avec une seule capacité thermique, permet une approche globale des phénomènes thermiques. Pour une description plus précise et plus réaliste de la propagation de la chaleur au sein du transistor, il est possible de complexifier ce réseau. Il convient alors de distribuer la résistance et la capacité thermiques, depuis la surface du transistor jusqu'au fond du substrat, comme l'indique la référence [9].

C'est cette idée qui a été utilisée pour établir le réseau thermique du transistor étudié. Dès lors, il a été décidé de diviser ce dernier en dix morceaux de profondeur identique, afin d'observer la propagation de la chaleur et la répartition des résistances et capacités thermiques distribuées. Puisque l'épaisseur totale du transistor jusqu'au fond du substrat est de $350\mu\text{m}$, chaque morceau a une épaisseur T de $35\mu\text{m}$. Chacun des dix morceaux possède alors une résistance et une capacité thermiques distribuées comme le montre la figure II.4. Chaque élément est alors modélisé à l'aide d'une cellule thermique CRC, illustrée à l'aide de la figure II.2. Les deux capacités thermiques de la cellule CRC sont identiques et valent la moitié de la capacité thermique totale d'un morceau. Il est évident que cette division en dix morceaux de même profondeur est une approche simplifiée, mais elle donne des ordres de grandeur des constantes thermiques tout à fait réalistes et satisfaisants. Enfin, il est bon de rappeler que l'étude des phénomènes thermiques dans les transistors bipolaires est complexe et fait l'objet de nombreuses études, comme l'atteste la référence [10]. Dès lors, ce qui importe est d'avoir

une idée cohérente du réseau thermique et pas de chercher à tout prix la précision maximale de ce dernier.

Pour continuer, il faut maintenant définir la source de chaleur, c'est-à-dire la zone à l'origine des phénomènes thermiques. Cette source est supposée infiniment plane, avec un angle de diffusion α qui vaut 45° dans les conditions de fonctionnement utilisées. Cette source a les dimensions de la jonction base/émetteur et est placée au niveau de la jonction base/collecteur, comme le rappelle l'auteur de [10]. La figure II.3, issue de la référence [9], illustre ces dimensions. Ainsi, pour le transistor étudié :

$$a = 49.2\mu\text{m} \quad \text{et} \quad b = 122.4\mu\text{m} \quad (2.1)$$

Ensuite, les dimensions A et B, ainsi que la résistance et de la capacité thermiques des différentes cellules se calculent à l'aide des formules (2.2) à (2.6). Pour ce faire, il est supposé que chaque morceau s'apparente à un conducteur parallélépipédique, illustré à l'aide de la figure II.3.

$$A = 2 \times T \times \text{tg}(\alpha) + a = 2 \times T + a \quad \text{car } \text{tg}(\alpha) = 1 \text{ avec } \alpha = 45^\circ \quad (2.2)$$

$$B = 2 \times T \times \text{tg}(\alpha) + b = 2 \times T + b \quad (2.3)$$

$$R_{\text{th}} = \rho_{\text{th}} \times \frac{T}{a \times b} \frac{\ln\left(\frac{A}{a} - \frac{b}{B}\right)}{\frac{A}{a} - \frac{B}{b}} \quad \text{en } ^\circ\text{C} \cdot \text{W}^{-1} \quad (2.4)$$

avec $\rho_{\text{th}} = 6870 \text{ deg} \cdot \mu\text{m} \cdot \text{W}^{-1}$: résistivité thermique du silicium.

$$C_{\text{th}} = \rho_{\text{Si}} \times c_p \times \text{Vol} \quad \text{en } \text{J} \cdot ^\circ\text{C}^{-1} \quad (2.5)$$

avec $\rho_{\text{Si}} = 2.33 \text{ e}^3 \text{ kg} \cdot \text{m}^{-3}$: résistivité du silicium

$c_p = 7 \text{ e}^2 \text{ m}^2 \cdot \text{s}^{-2} \cdot \text{K}^{-1}$: chaleur spécifique

$$\text{Vol} = T \left\{ a \times b + (a + b) \times T + \frac{4}{3} \times T^2 \right\} \quad (2.6)$$

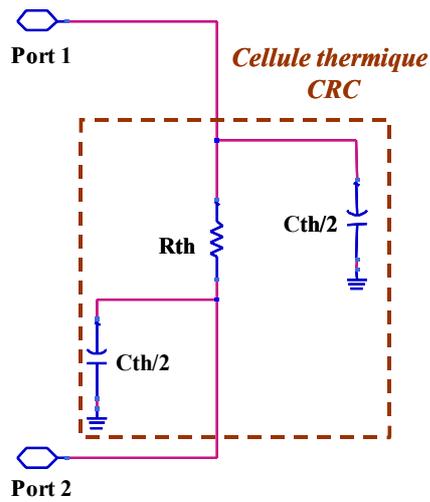


Figure II.2 : cellule thermique CRC

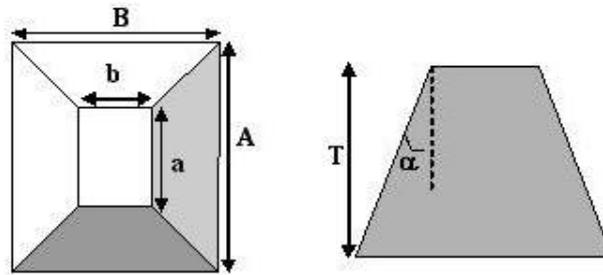


Figure II.3 : Dimensions de la source de chaleur, utiles pour le calcul de R_{th} et C_{th}

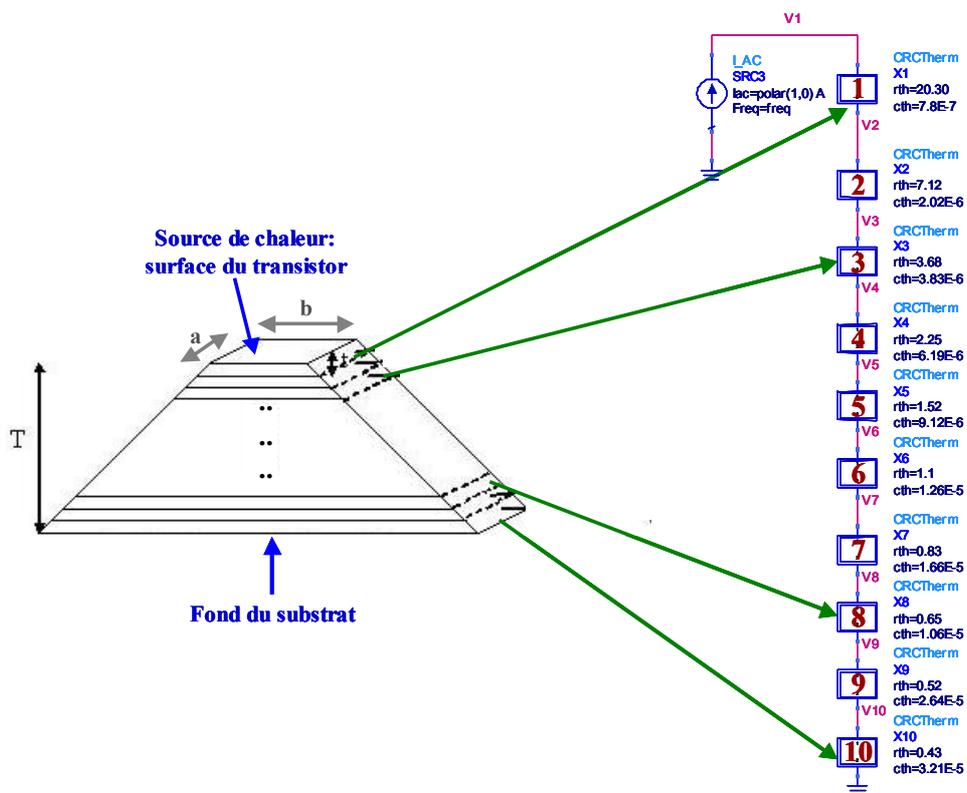
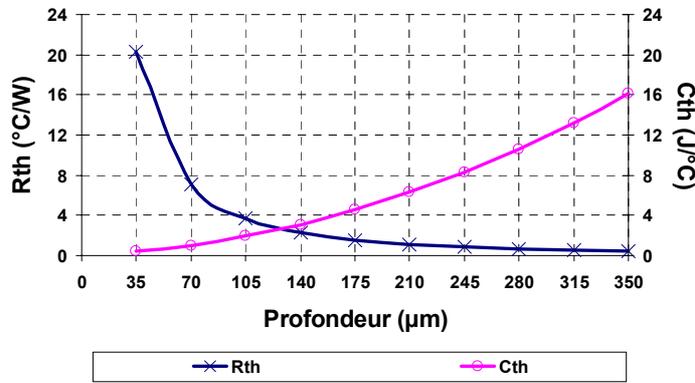


Figure II.4 : Distribution des résistances et capacités thermiques

Par itération successive, les caractéristiques des dix morceaux sont calculées. Les valeurs des résistances et capacités thermiques obtenues sont regroupées dans le tableau II.1. La figure II.5 trace l'évolution de ces deux grandeurs avec la profondeur.



| | | | |
|---------------------|--------------|---------------------|-----------------|
| R1th (°C/W) | 20,30 | C1th (J/°C) | 3,90E-07 |
| R2th (°C/W) | 7,12 | C2th (J/°C) | 1,01E-06 |
| R3th (°C/W) | 3,68 | C3th (J/°C) | 1,91E-06 |
| R4th (°C/W) | 2,25 | C4th (J/°C) | 3,10E-06 |
| R5th (°C/W) | 1,52 | C5th (J/°C) | 4,56E-06 |
| R6th (°C/W) | 1,10 | C6th (J/°C) | 6,30E-06 |
| R7th (°C/W) | 0,83 | C7th (J/°C) | 8,32E-06 |
| R8th (°C/W) | 0,65 | C8th (J/°C) | 1,06E-05 |
| R9th (°C/W) | 0,52 | C9th (J/°C) | 1,32E-05 |
| R10th (°C/W) | 0,43 | C10th (J/°C) | 1,61E-05 |

Figure II.5 : Evolution de Rth et Cth avec la profondeur

Tableau II.1 : Valeurs des Rth et Cth distribuées

D'après ce graphique, il vient que la résistance thermique se concentre en surface. La capacité thermique, quant à elle, voit sa contribution croître avec la profondeur. Ceci est attendu car, lorsque le transistor chauffe, la température augmente d'abord en surface, car c'est là que se trouve la source de chaleur. Ensuite, la chaleur se propage progressivement en profondeur jusqu'au substrat. En première approximation, il est possible d'affirmer que le temps de propagation est fonction de deux constantes de temps, dites thermiques. Comme l'expose l'auteur de la référence [9], la première constante de temps, qui est rapide, correspond à la propagation de la chaleur en surface. Et la seconde constante de temps, qui est plus lente, reflète la propagation de la chaleur en profondeur jusqu'au substrat.

Pour déterminer ces deux constantes de temps thermiques, le logiciel de simulation électrique RF Advanced Design System, plus connu sous le nom d'ADS, d'Agilent Technologies est utilisé. Deux simulations ont été menées. La première est une simulation petit signal (plus communément appelée simulation AC (Alternating Current)) : elle permet d'accéder à la fonction de transfert dans le domaine fréquentiel. La seconde simulation est de type temporel (appelée simulation transient (transitoire)). Elle permet de visualiser les signaux dans le domaine temporel.

La figure II.6 indique les schémas utilisés pour cette détermination. Tout d'abord, le réseau thermique avec ses dix cellules CRC a été simulé. C'est à partir de la forme, dans le domaine fréquentiel, de la tension V1 que les deux constantes de temps ont été extraites. En effet, son amplitude peut s'approximer par la somme de deux passe-bas, d'équation 2.7.

$$V1 = \frac{38.39}{2} \times \left(\frac{1}{1 + j \frac{f}{f_1}} + \frac{1}{1 + j \frac{f}{f_2}} \right) \quad (2.7)$$

$$\text{avec } f_1 = 19\text{kHz} \text{ soit } \tau_1 = \frac{1}{f_1} = 52.6\mu\text{s} \quad (2.8)$$

$$\text{et } f_2 = 1.9\text{kHz} \text{ soit } \tau_2 = \frac{1}{f_2} = 0.53\text{ms} \quad (2.9)$$

Les deux constantes thermiques valent alors 52.6 μ s et 0.53ms. Le signal d'entrée utilisé étant une source de courant idéale de 1A, la fonction fréquentielle trouvée correspond directement à la fonction de transfert du réseau. Dès lors, pour vérifier la pertinence des constantes trouvées, le second schéma a été simulé. A l'aide d'une boîte de paramètres Y, l'inverse de la fonction de transfert a été utilisé comme équation de cette boîte. La tension Vboite a alors été comparée, d'une part en fréquentiel (simulation AC) et d'autre part en temporel (simulation transient, avec pour signal d'entrée une impulsion de courant), avec la tension V1 du réseau. Les comparaisons obtenues sont données à l'aide des figures II.7 et II.8.

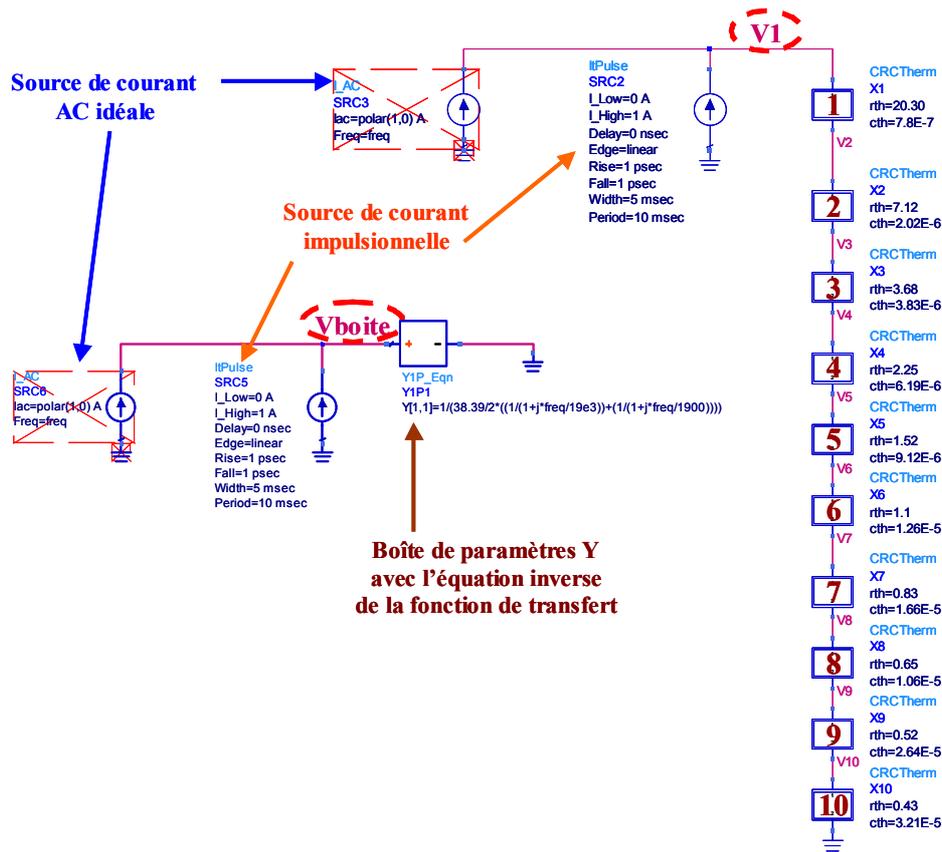


Figure II.6 : Schémas de simulation sous ADS pour déterminer les constantes de temps thermiques

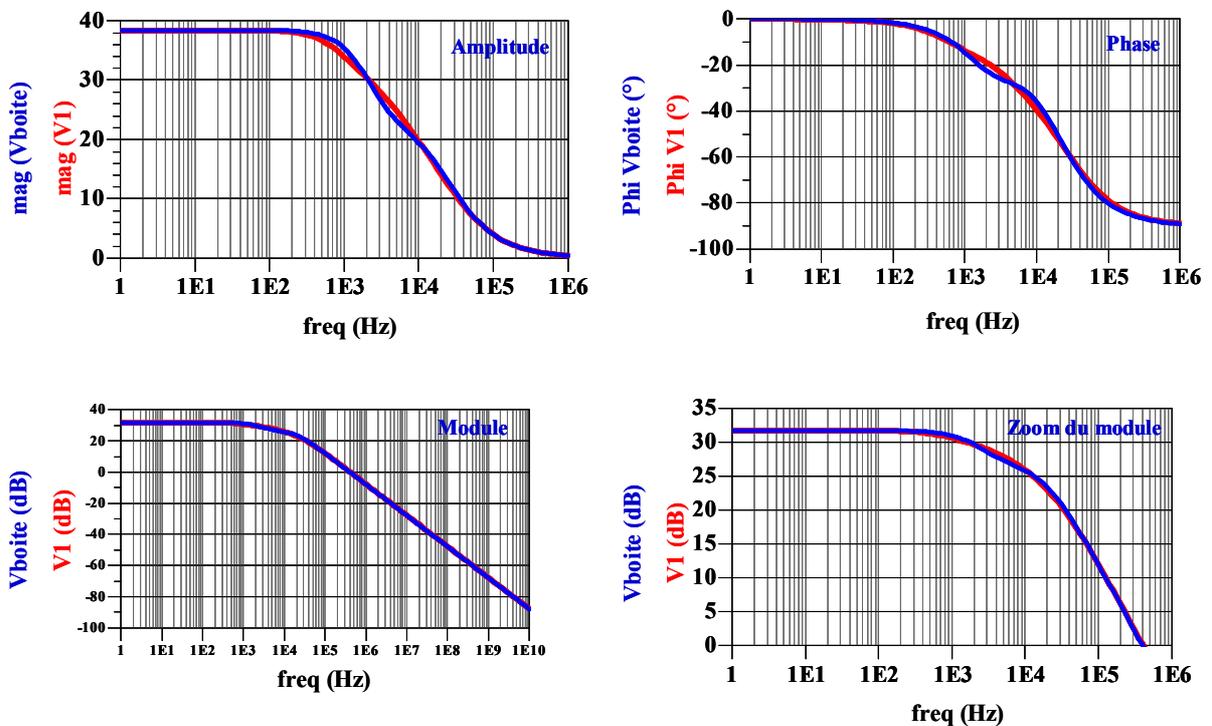


Figure II.7 : Résultats de simulation AC de la tension V1

L'approximation de la tension V1 est satisfaisante car les deux courbes ont la même allure.

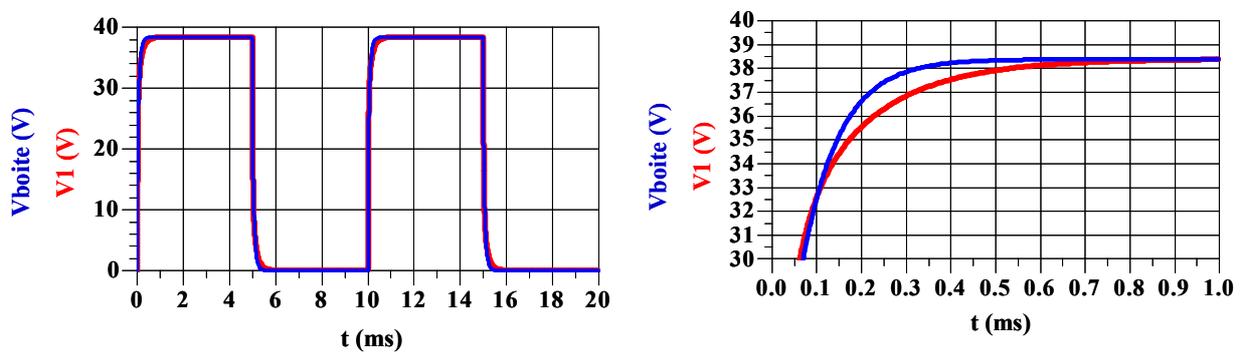


Figure II.8 : Résultats de simulation transient de la tension V1

Néanmoins, une petite remarque peut être faite concernant l'amplitude et la phase : entre 100Hz et 10kHz, les deux courbes ne sont pas tout à fait superposées. Pour une meilleure précision, il faudrait rajouter un passe-bas, donc une constante thermique. Par ailleurs, en augmentant le nombre de morceaux (par exemple, cinquante au lieu de dix), la précision obtenue serait peut-être meilleure. En analysant maintenant les performances temporelles, force est de constater que l'approximation est relativement correcte. Le zoom des tensions montre que l'allure générale est respectée. L'écart maximal est relativement faible (moins de 1V) ce qui permet de conclure que la détermination est réaliste et judicieuse.

III. Description du transistor bipolaire à hétéro-jonction étudié

III.1. Aide à la compréhension de la conception du transistor

Pour faciliter la compréhension des dessins de conception du transistor étudié, il convient de présenter brièvement le lien qui existe entre une vue en coupe et une vue de

dessus du transistor le plus simple possible, à savoir celui qui contient un seul collecteur, une seule base et un seul émetteur (encore appelé CBE).

La figure II.9, extraite de [11], représente en (a) la vue de dessus du transistor. La correspondance avec la vue en coupe est donnée en (b).

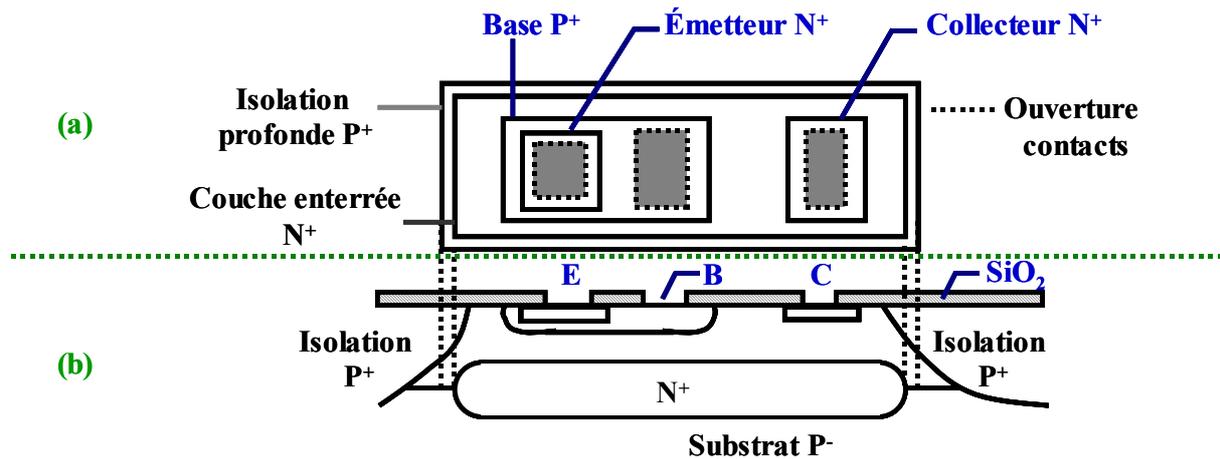


Figure II.9 : Correspondance entre la vue de dessus et la vue en coupe d'un transistor CBE, d'après [11]

III.2. Caractéristiques dimensionnelles

Le transistor bipolaire étudié est obtenu en cascade plusieurs transistors unitaires, matricés en cellules élémentaires. Un transistor unitaire est composé de huit doigts de collecteur, associés à quatre doigts de base et à huit doigts d'émetteur. En matriciant quatre de ces transistors unitaires, la cellule élémentaire est obtenue. Pour finir, le transistor étudié comprend quatre de ces cellules élémentaires. Sur la figure II.10, issue de la référence [9], les huit rectangles verticaux correspondent aux doigts de collecteur. La figure II.11, issue de la référence [9], montre le dessin de conception du transistor étudié.

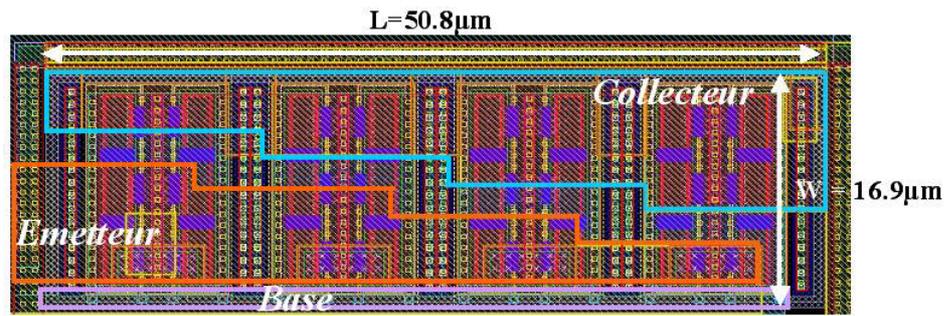


Figure II.10 : Cellule élémentaire constituée de quatre transistors unitaires

La taille d'un transistor élémentaire est de $16.9\mu\text{m} \times 50.8\mu\text{m}$. Concernant le transistor étudié, sa surface est de $(16.9\mu\text{m} \times 8 + 9.8\mu\text{m}) \times 50.8\mu\text{m}$ soit $145\mu\text{m} \times 50.8\mu\text{m}$. Les $9.8\mu\text{m}$ sont liés à la juxtaposition des 8 cellules entre elles. La surface réelle de l'émetteur du transistor étudié est donc de $1260\mu\text{m}^2$.

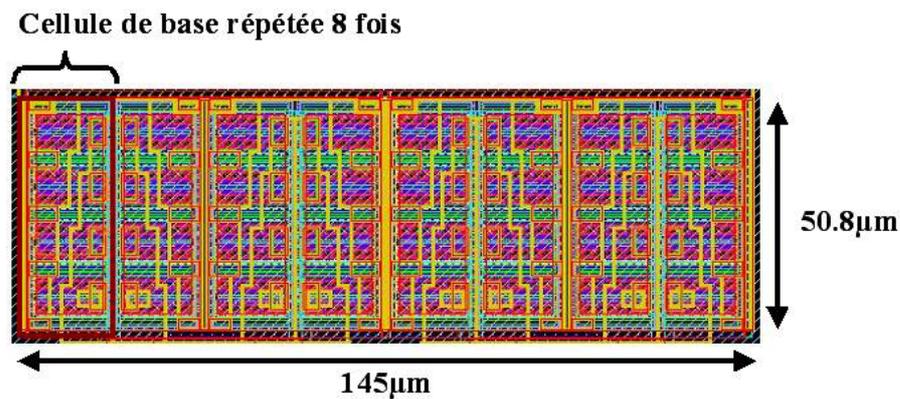


Figure II.11 : Transistor étudié obtenu en cascade huit cellules élémentaires

Pour tester et caractériser ce transistor, il faut utiliser une structure de test spécifique qui nécessite la présence de plots de contact, pour poser les pointes RF, et les lignes d'accès jusqu'au transistor. La figure II.12 montre ce motif de test. Il est à noter que le transistor est utilisé en configuration d'émetteur commun, c'est-à-dire que l'émetteur est relié à la masse.

D'après la figure, deux pointes RF GSG (pour Ground – Signal – Ground) sont utilisées en entrée et en sortie. Le schéma équivalent de l'ensemble transistor, pointes RF et câbles reliant les sources de tension de polarisation aux sondes RF, est représenté par la figure II.13. En supposant que ces câbles ont une résistance série faible, donc négligeable, les résistances R1, R1a, R2 et R2a modélisent les résistances de contact des pointes de mesure. Ces résistances ont, à fort courant, un impact important sur la précision des mesures, car une

chute de tension s’y produit, comme le confirme l’auteur de [9]. Dès lors, il faut trouver un moyen pour connaître précisément ces chutes de tension donc ces résistances de contact. Pour ce faire, il faut sonder les tensions réellement appliquées, afin que les tensions délivrées par les sources de tension soient ajustées, de façon à ce que les tensions réelles appliquées au niveau de la base et du collecteur du transistor soient égales à celles souhaitées. Le moyen qui a alors été choisi, par les concepteurs de ces transistors, consiste à utiliser des plots « sense DC ». Ainsi, la tension de base est sondée par une résistance de 500Ω (R3), la tension de collecteur par une résistance de $5k\Omega$ (R5) et la tension d’émetteur par une résistance de $5k\Omega$ (R4). La résistance R3 doit être suffisamment faible pour éliminer les éventuelles oscillations parasites (liées aux inductances parasites du té de polarisation, de la ligne d’accès, de la pointe etc...) et suffisamment forte pour ne pas être vue lors des mesures petit et grand signaux.

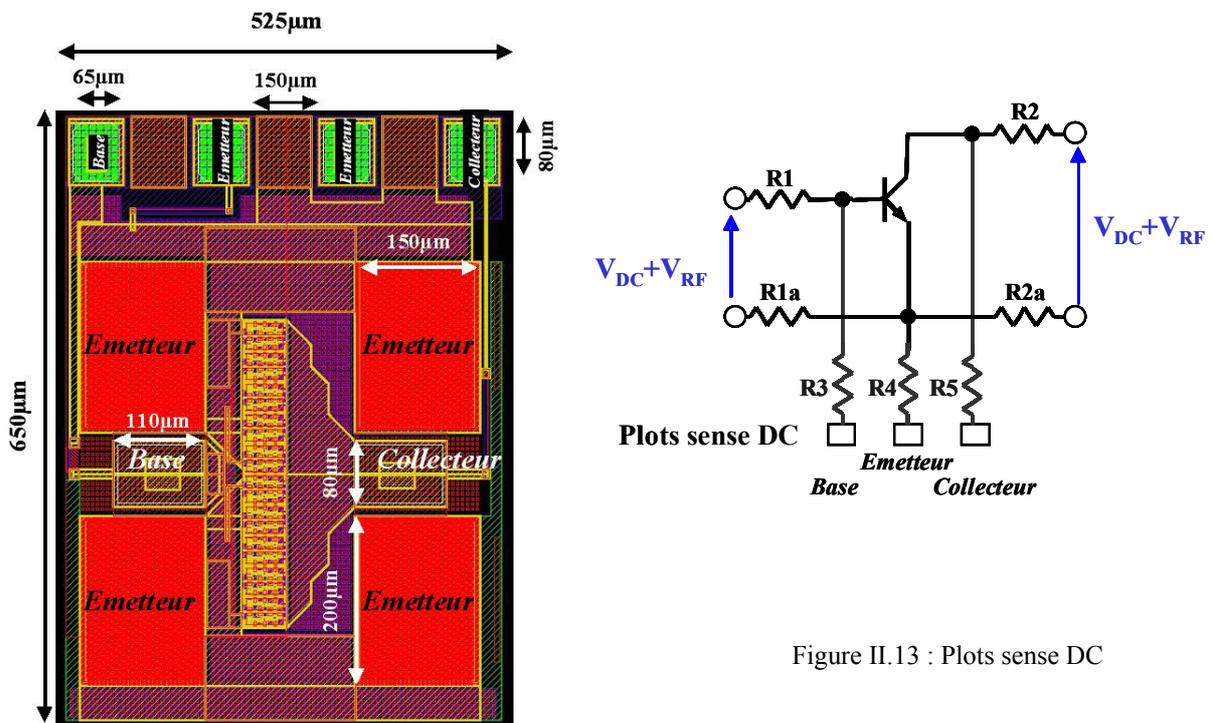


Figure II.12 : Structure de test du transistor

étudié

III.3. Premières simulations du transistor

Ce paragraphe présente les premières simulations réalisées sur le transistor bipolaire étudié. Dans un premier temps, les simulations de réseau I/V seront détaillées et permettront

d'identifier quatre points de polarisation intéressants pour l'étude menée dans ce chapitre. Ensuite, les paramètres S ainsi que les cercles de stabilité vis-à-vis des impédances de fermeture externes seront présentés. L'optimisation CW en rendement sera détaillée en partie IV de ce chapitre, tout comme les cycles de charge extrinsèques ainsi que les formes d'ondes temporelles des courants et tensions aux accès.

Pour les simulations des réseaux I/V, des paramètres S et des cercles de stabilité, un seul schéma de simulation est nécessaire. Ce schéma, présenté par la figure II.14, est constitué uniquement du transistor étudié ainsi que des deux selfs qui modélisent le retour du courant par le plan de masse (et qui font partie intégrante du transistor, conçu en émetteur commun).

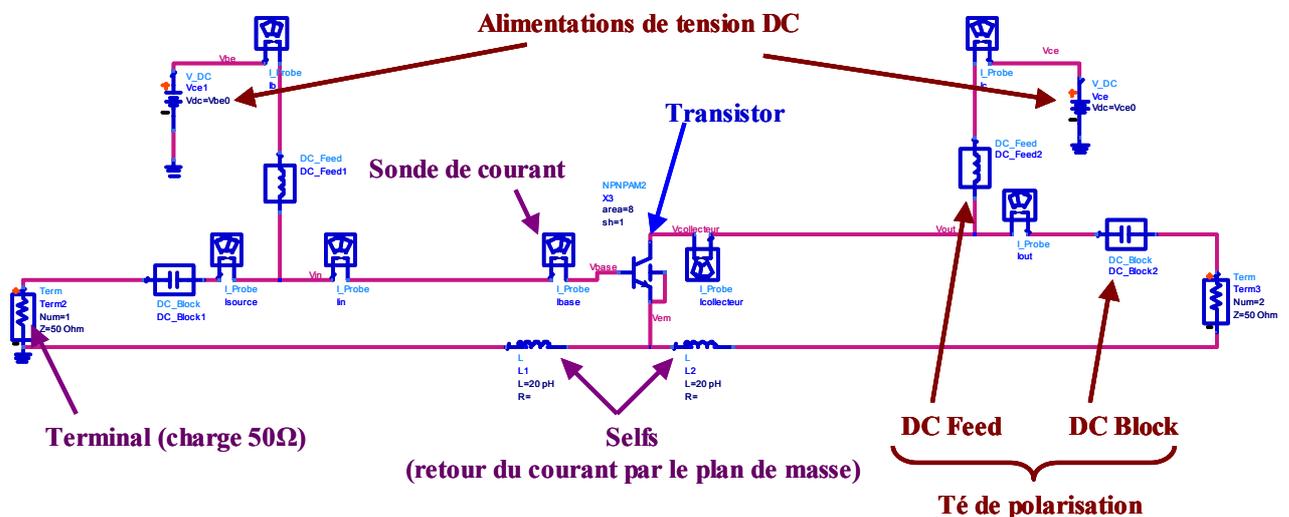


Figure II.14 : Schéma de simulation du réseau I/V, des paramètres S et des cercles de stabilité

III.3.1. Réseau I/V

Les simulations réalisées sur le TBH SiGe:C prennent en compte les effets thermiques d'auto-échauffement. Il est donc intéressant de présenter les réseaux I/V avec et sans prise en compte du réseau thermique du transistor. Pour rappel, un réseau I/V trace l'évolution du courant collecteur I_C en fonction de la tension collecteur/émetteur V_{CE} , pour une tension base/émetteur V_{BE} constante ou un courant de base I_B constant.

Pour les simulations considérées, V_{CE0} varie de 0 à 10V et V_{BE0} varie de 0 à 1.5V. Les figures II.15 à II.16 comparent les réseaux I/V obtenus. Il est à noter que, de par la nature compact du modèle utilisé, les résistances d'accès sont incluses dans ces réseaux I/V (pour information, $R_{collecteur} = 3.2\Omega$ et $R_{émetteur} = 3.7\Omega$).

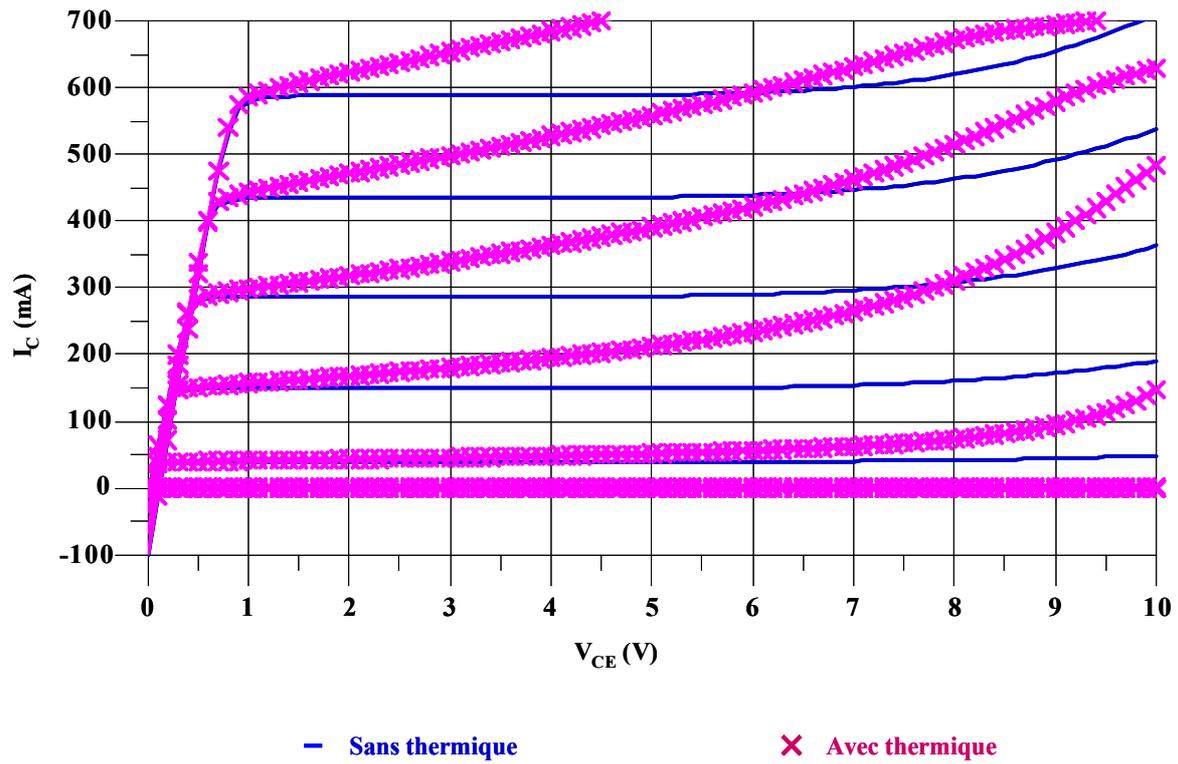


Figure II.15 : Réseau I/V à V_{BE} constant avec et sans thermique

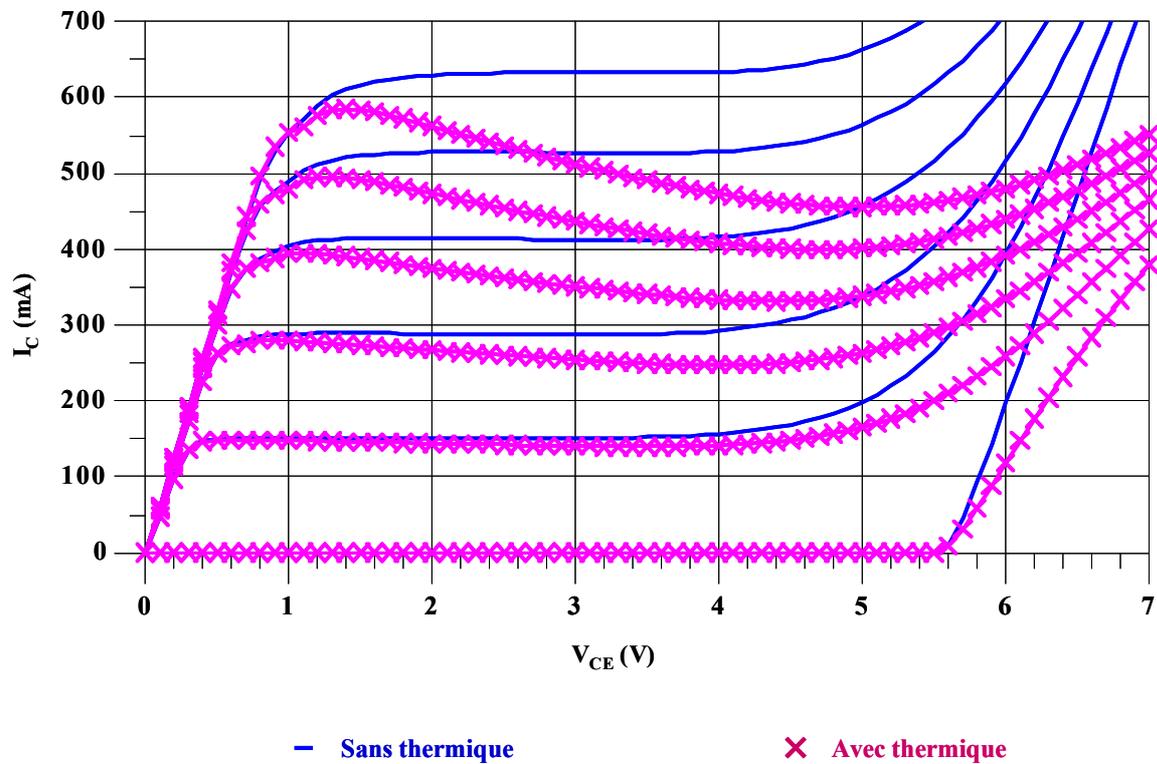


Figure II.16 : Zoom du réseau I/V à I_B constant avec et sans thermique

Les courbes avec les marqueurs croix correspondent au réseau I/V simulé avec le réseau thermique du modèle HICUM (simple réseau RC). Les effets thermiques correspondant à l'auto-échauffement du transistor ont pour conséquence d'augmenter le courant I_C pour une tension V_{BE} fixée. A I_B constant, le courant I_C diminue avec la température, d'où la pente négative observée. Par ailleurs, la tension d'avalanche diminue pour une commande de polarisation de base à courant I_B constant.

Pour la suite de l'étude, quatre points de polarisation ont été retenus. Ces points ont été choisis car ils permettent d'illustrer différentes classes de fonctionnement et, par conséquent, permettent de mener une étude assez complète des performances en puissance et rendement du transistor simulé. Pour ces quatre points, la tension d'alimentation, V_{BE0} , prend successivement les valeurs de 0.70V, 0.73V, 0.78V et 0.97V, ce qui correspond à des courants de repos collecteur I_C respectifs de 2.5mA, 6.5mA, 30mA et 300mA. La tension d'alimentation, V_{CE0} , vaut 3.72V pour ces quatre points, et permet, compte tenu des résistances d'accès des pointes, d'obtenir une tension V_{CE} au niveau du collecteur de 3.6V (qui est la valeur retenue pour les applications de téléphonie mobile) pour le point à V_{BE0} de 0.97V. Les points de repos ainsi obtenus sont résumés dans le tableau II.2.

| Valeurs des tensions et courants de repos au niveau du transistor | | | | |
|---|-------------------|-------------------|-------------------|-------------------|
| | $V_{BE0} = 0.70V$ | $V_{BE0} = 0.73V$ | $V_{BE0} = 0.78V$ | $V_{BE0} = 0.97V$ |
| V_{BE} (V) | 0.70 | 0.73 | 0.78 | 0.93 |
| I_B (mA) | 0.01 | 0.03 | 0.15 | 2.1 |
| V_{CE} (V) | 3.72 | 3.72 | 3.72 | 3.6 |
| I_C (mA) | 2.5 | 6.5 | 30 | 300 |

Tableau II.2 : Points de repos des quatre points de polarisation étudiés

Les réseaux I/V des figures II.17 à II.19 indiquent ces points de polarisation sélectionnés.

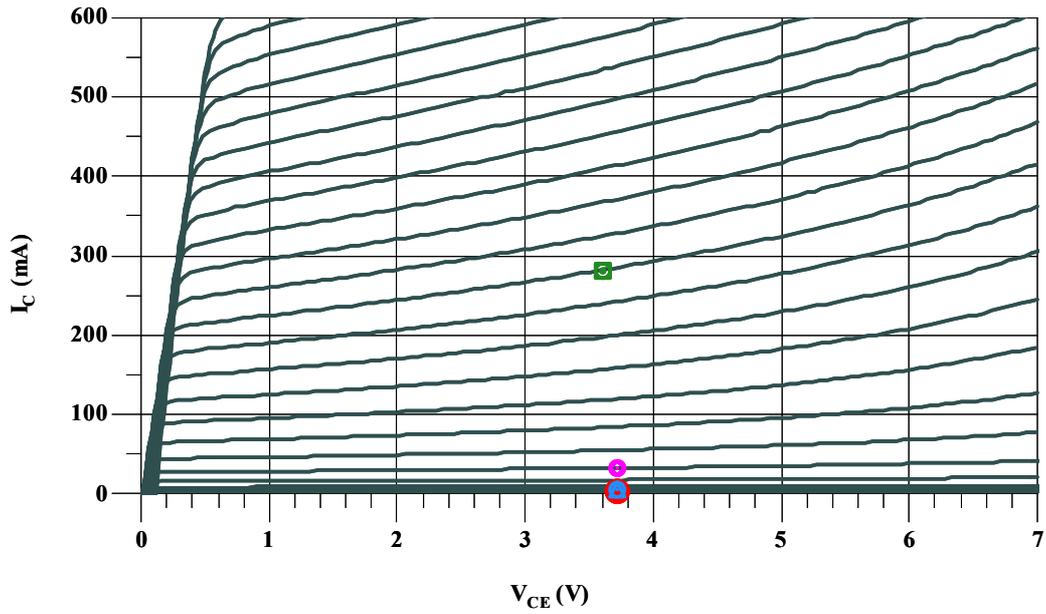


Figure II.17 : Zoom du réseau I/V à V_{BE} constant avec les quatre points polarisation

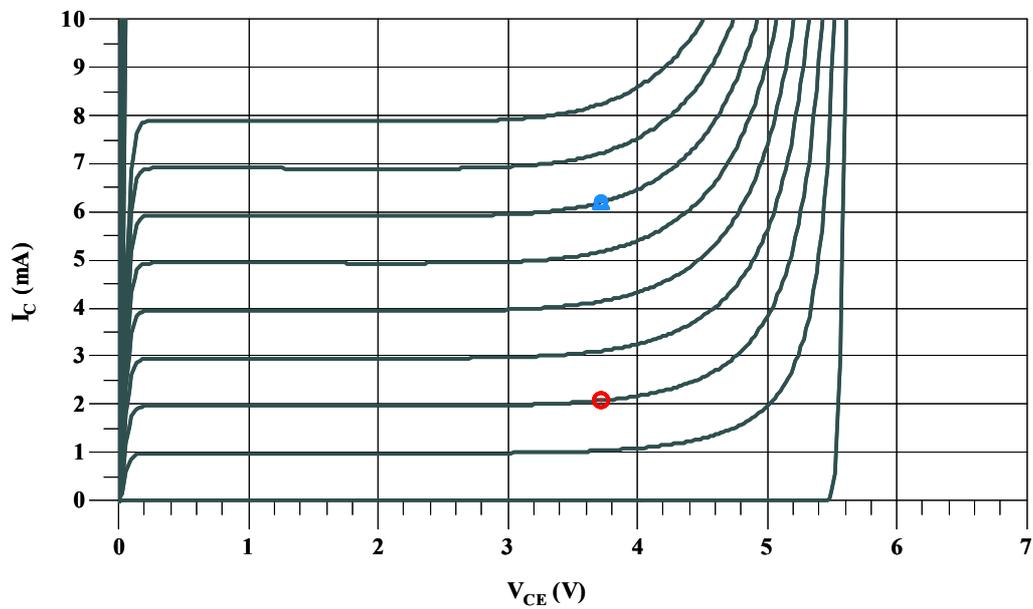


Figure II.18 : Zoom du réseau I/V à I_B constant avec $V_{BE0}=0.70$ ($I_C=2.5$ mA) et $V_{BE0}=0.73$ V ($I_C=6.5$ mA)

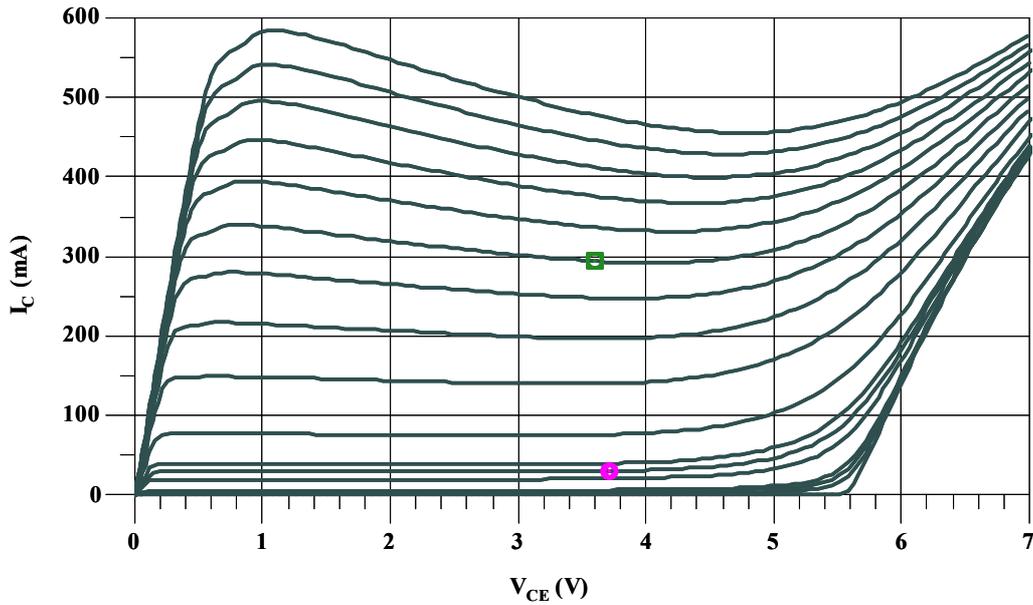


Figure II.19 : Zoom du réseau I/V à I_B constant avec $V_{BE0}=0.78$ ($I_C=30\text{mA}$) et $V_{BE0}=0.97\text{V}$ ($I_C=300\text{mA}$)

III.3.2. Influence de la température

Afin de quantifier l'impact de la température sur les caractéristiques DC du transistor, il est intéressant de tracer le courant collecteur I_C en fonction de la tension de polarisation V_{BE0} en fixant la tension V_{CE0} . Pour la figure II.20, V_{CE0} est fixée à 3.72V, la tension V_{BE0} varie de 0 à 1.4V et la température prend successivement les valeurs de 27°C (température ambiante), 50°C, 100°C et 150°C.

Le tableau II.3 regroupe les valeurs de I_C obtenus pour les quatre points de polarisation choisis, aux températures simulées.

| Température (°C) | $V_{BE0} = 0.70\text{V}$ | $V_{BE0} = 0.73\text{V}$ | $V_{BE0} = 0.78\text{V}$ | $V_{BE0} = 0.97\text{V}$ |
|------------------|--------------------------|--------------------------|--------------------------|--------------------------|
| 27°C | 2.5 mA | 6.5mA | 30mA | 300mA |
| 50°C | 7.1mA | 17.9mA | 58.5mA | 336.1mA |
| 100°C | 41.5mA | 70.3mA | 132.2mA | 405.3mA |
| 150°C | 104.8mA | 141.6mA | 208.2mA | 463.7mA |

Tableau II.3 : Valeurs simulées de I_C en fonction de la température et de V_{BE0}

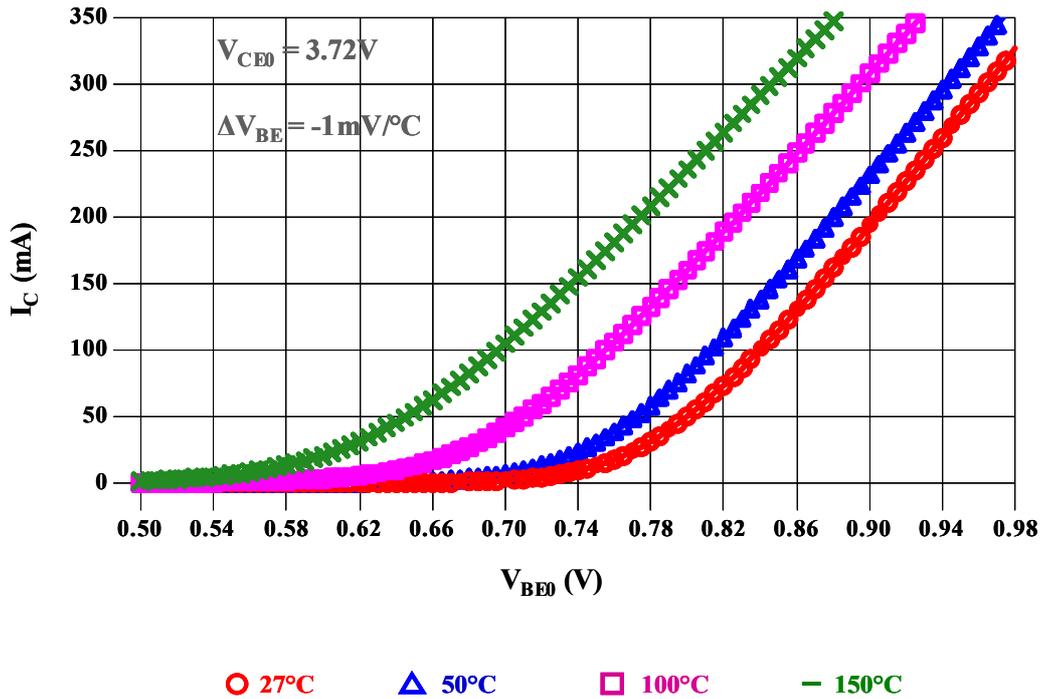


Figure II.20 : Tracé de I_C versus V_{BE0} à $V_{CE0} = 3.72V$ pour différentes températures

D'après les simulations réalisées, il vient que le recul de V_{BE} est d'environ 1mV lorsque la température croît d'un degré Celsius.

Il est à noter que toutes les simulations qui vont être présentées, au cours de ce chapitre II, ont été réalisées à 27°C.

III.3.3. Paramètres S

Les paramètres S ont été simulés de 10MHz à 10GHz. Cette gamme de fréquence a été choisie car elle inclut les trois fréquences intéressantes, à savoir les trois premiers harmoniques ($f_0 = 1.8GHz$, $2f_0 = 3.6GHz$ et $3f_0 = 5.4GHz$), correspondant aux conditions de simulations grand signal qui seront réalisées par la suite.

Les figures II.21 à II.24 s'attachent à donner les paramètres S pour les quatre points de polarisation retenus pour l'étude.

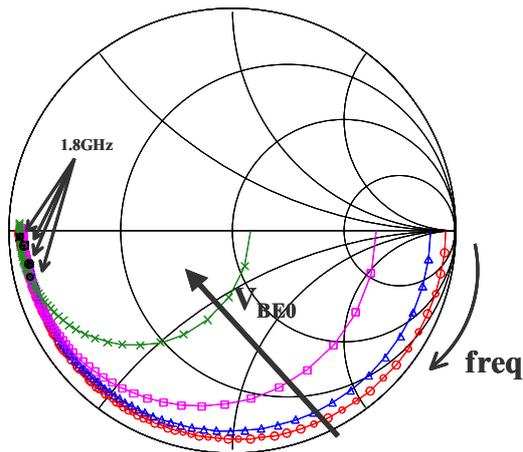


Figure II.21 : Paramètre S_{11}

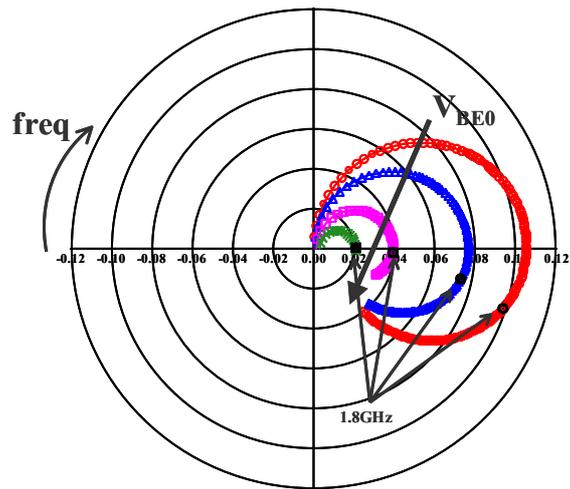


Figure II.22 : Paramètres S_{12}

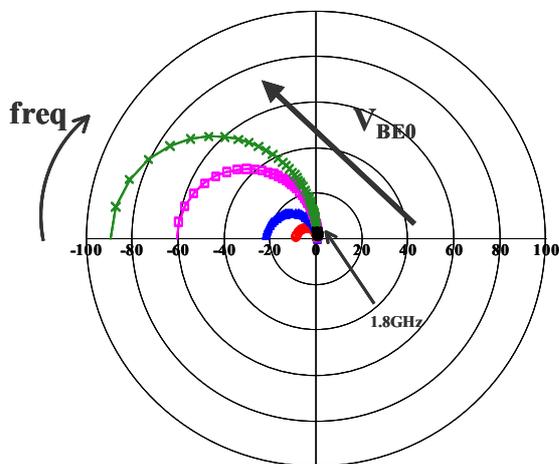


Figure II.23 : Paramètres S_{21}

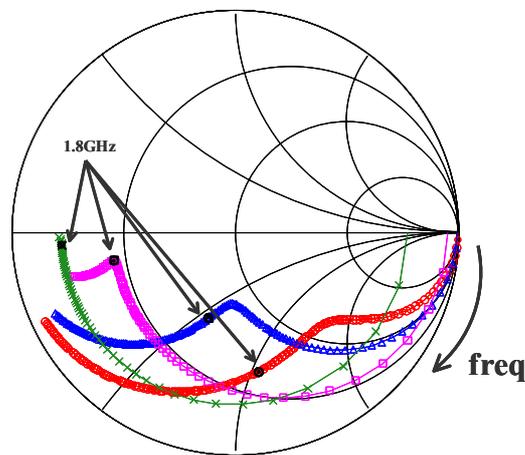


Figure II.24 : Paramètres S_{22}

○ $V_{BE0}=0.70V$ ($I_C=2.5mA$)

△ $V_{BE0}=0.73V$ ($I_C=6.5mA$)

□ $V_{BE0}=0.78V$ ($I_C=30mA$)

× $V_{BE0}=0.97V$ ($I_C=300mA$)

III.3.4. Cercles de stabilité

Les cercles de stabilité en charge ont été tracés lors de la simulation des paramètres S (simulation de 10MHz à 10GHz pour les quatre points de polarisation). L'intérêt de tracer les cercles de stabilité en charge est de prédire si le transistor sera instable ou non, selon les impédances qui lui seront présentées. Pour ce faire, les cercles de stabilité ont été tracés aux trois fréquences intéressantes ($f_0 = 1.8GHz$, $2f_0 = 3.6GHz$ et $3f_0 = 5.4GHz$). Et pour chacun des points de polarisation, les impédances optimales en charge, trouvées à ces trois fréquences

lors de l'optimisation CW en rendement en puissance ajoutée ou PAE (Power Added Efficiency), qui sera détaillée dans le paragraphe IV.3.1, sont indiquées sur l'abaque de Smith, afin de conclure sur la stabilité du transistor. Le tableau II.4 indique les valeurs de ces impédances optimales de charge, données en terme de coefficient de réflexion.

| Point de polarisation | $\Gamma_{\text{charge}@f_0}$ | $\Gamma_{\text{charge}@2f_0}$ | $\Gamma_{\text{charge}@3f_0}$ |
|---|------------------------------|-------------------------------|-------------------------------|
| $V_{\text{BE0}} = 0.70\text{V}$ ($I_{\text{C}} = 2.5\text{mA}$) | $0.43 \angle 117^\circ$ | $0.99 \angle 92^\circ$ | $1 \angle 186^\circ$ |
| $V_{\text{BE0}} = 0.73\text{V}$ ($I_{\text{C}} = 6.5\text{mA}$) | $0.41 \angle 130^\circ$ | $1 \angle 91^\circ$ | $1 \angle 186^\circ$ |
| $V_{\text{BE0}} = 0.78\text{V}$ ($I_{\text{C}} = 30\text{mA}$) | $0.50 \angle 159^\circ$ | $1 \angle 65^\circ$ | $1 \angle 184^\circ$ |
| $V_{\text{BE0}} = 0.97\text{V}$ ($I_{\text{C}} = 300\text{mA}$) | $0.78 \angle 175^\circ$ | $1 \angle 301^\circ$ | $1 \angle 148^\circ$ |

Tableau II.4 : Valeurs des Γ_{charge} optimaux des quatre points de polarisation

III.3.4.a. Cercles de stabilité en charge

Les figures suivantes illustrent les cercles de stabilité simulés. Les figures II.25 à II.28 montrent les trois cercles complets ainsi que les trois impédances optimales trouvées. Et la figure II.29 compare les quatre cercles de stabilité à f_0 tracés sur l'abaque de Smith classique (sous-entendu celle de rayon 1).

Le cercle de stabilité vis-à-vis des conditions de charge pour le premier point de polarisation ($V_{\text{BE0}} = 0.70\text{V}$ et $I_{\text{C}} = 2.5\text{mA}$) est représenté à l'aide de la figure II.25.

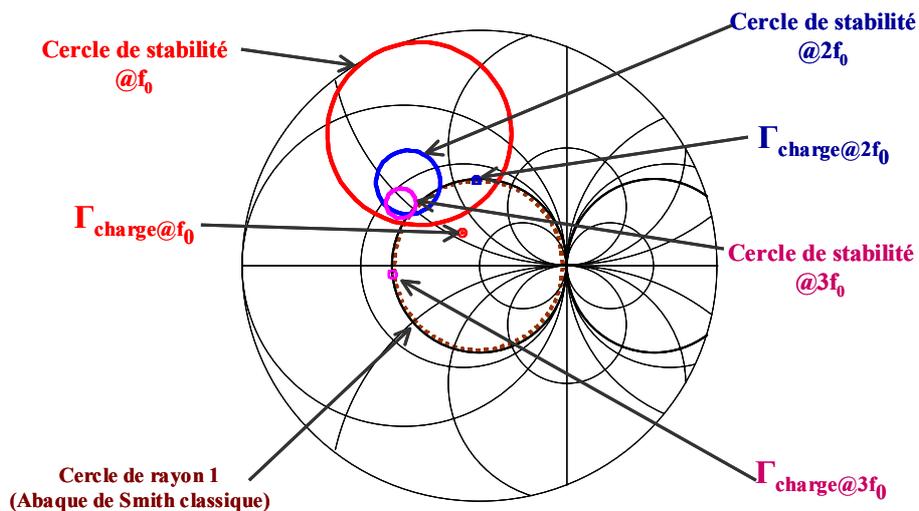


Figure II.25 : Cercles de stabilité en charge pour le point $V_{\text{BE0}} = 0.70\text{V}$ ($I_{\text{C}} = 2.5\text{mA}$)

Les trois impédances intéressantes sont hors des cercles de stabilité auxquelles elles se reportent. Pour le point de polarisation $V_{BE0} = 0.70V$, le transistor est stable pour les impédances optimales considérées.

Le cercle de stabilité vis-à-vis des conditions de charge pour le second point de polarisation ($V_{BE0} = 0.73V$ et $I_C = 6.5mA$) est représenté à l'aide de la figure II.26.

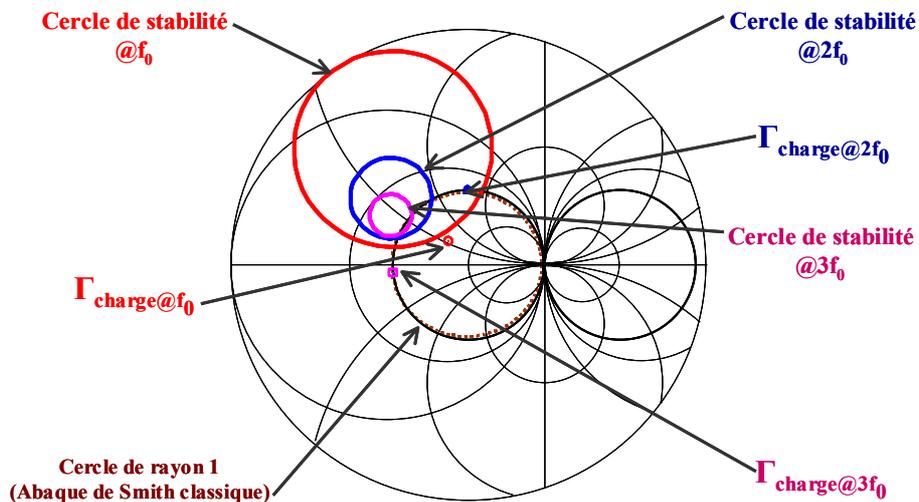


Figure II.26 : Cercles de stabilité en charge pour le point $V_{BE0} = 0.73V$ ($I_C = 6.5mA$)

Les trois impédances intéressantes sont hors des cercles de stabilité auxquelles elles se reportent. Il est alors possible de conclure que pour le point de polarisation $V_{BE0} = 0.73V$, le transistor est stable pour les impédances optimales considérées.

Le cercle de stabilité vis-à-vis des conditions de charge pour le troisième point de polarisation ($V_{BE0} = 0.78V$ et $I_C = 30mA$) est représenté à l'aide de la figure II.27.

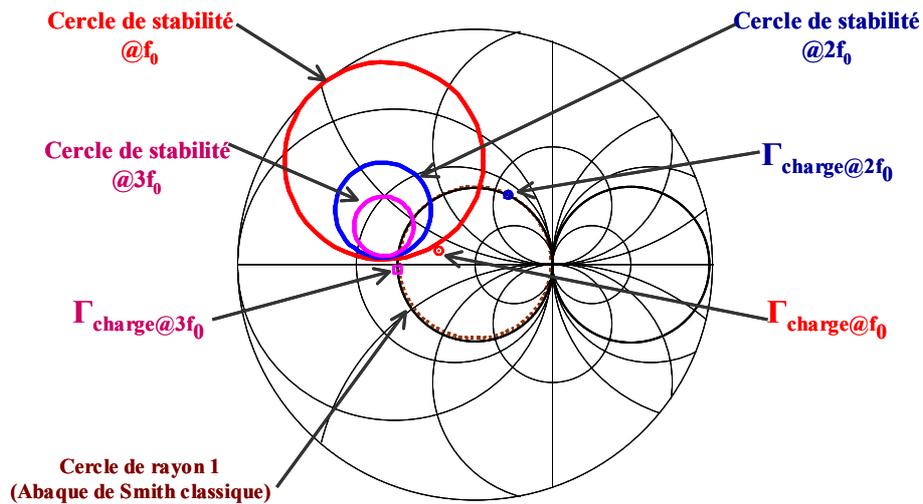


Figure II.27 : Cercles de stabilité en charge pour le point $V_{BE0} = 0.78V$ ($I_C = 30mA$)

Pour le point de polarisation $V_{BE0} = 0.78V$, le transistor est stable car les trois impédances intéressantes sont hors des cercles de stabilité auxquelles elles se reportent.

Le cercle de stabilité vis-à-vis des conditions de charge pour le quatrième point de polarisation ($V_{BE0} = 0.97V$ et $I_C = 300mA$) est représenté à l'aide de la figure II.28.

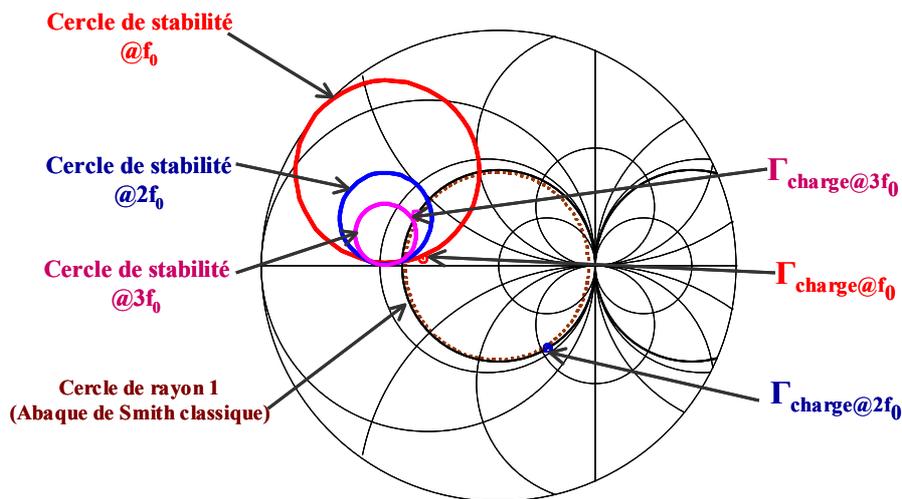


Figure II.28 : Cercles de stabilité en charge pour le point $V_{BE0} = 0.97V$ ($I_C = 300mA$)

Pour le point de polarisation $V_{BE0} = 0.97V$, le transistor est également stable, car les trois impédances intéressantes sont hors des cercles de stabilité auxquelles elles se reportent.

La figure II.29 compare les cercles de stabilité tracés à la fréquence f_0 pour les quatre points de polarisation.

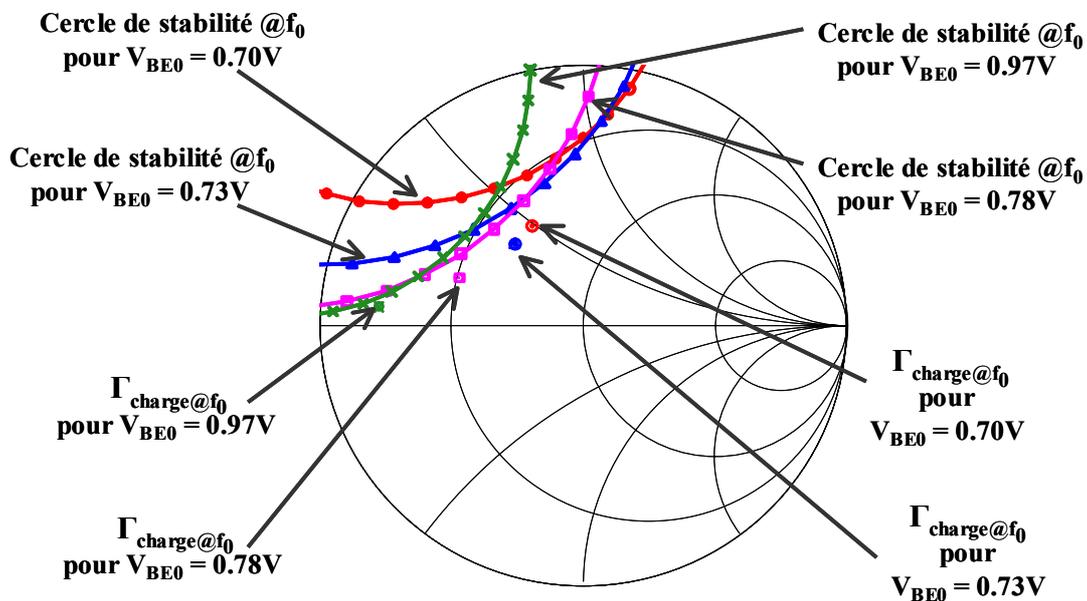


Figure II.29 : Comparaison des 4 cercles de stabilité

Au vu de cet abaque, il est possible d'affirmer que quelque soit le point de polarisation utilisé, le transistor est stable. Cependant, pour les points de polarisation $V_{BE0} = 0.78V$ ($I_C = 30mA$) et $V_{BE0} = 0.97V$ ($I_C = 300mA$), l'impédance de charge optimale à f_0 se rapproche dangereusement de la zone d'instabilité.

III.3.4.b. Cercles de stabilité en source

Les cercles de stabilité ont également été tracés en source et sont présentés à l'aide des figures II.30 à II.33.

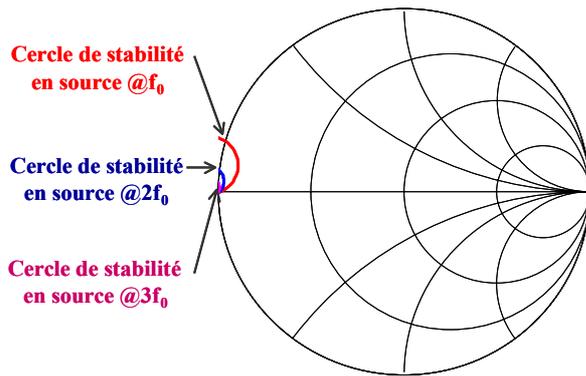


Figure II.30 : Cercles de stabilité en source pour le point $V_{BE0} = 0.70V$ ($I_C = 2.5mA$)

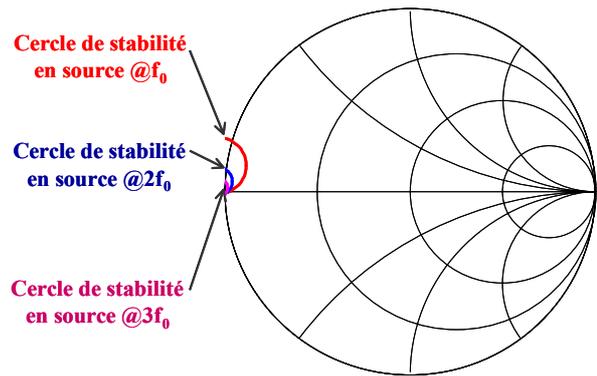


Figure II.31 : Cercles de stabilité en source pour le point $V_{BE0} = 0.73V$ ($I_C = 6.5mA$)

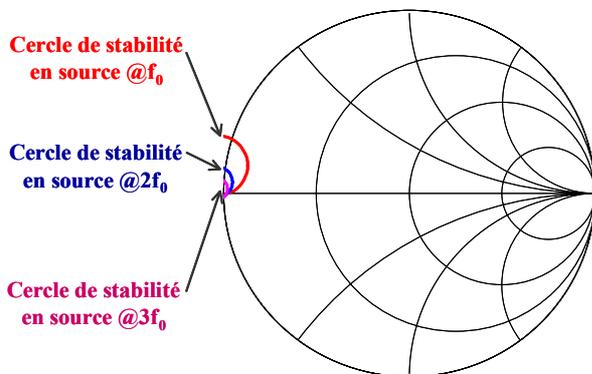


Figure II.32 : Cercles de stabilité en source pour le point $V_{BE0} = 0.78V$ ($I_C = 30mA$)

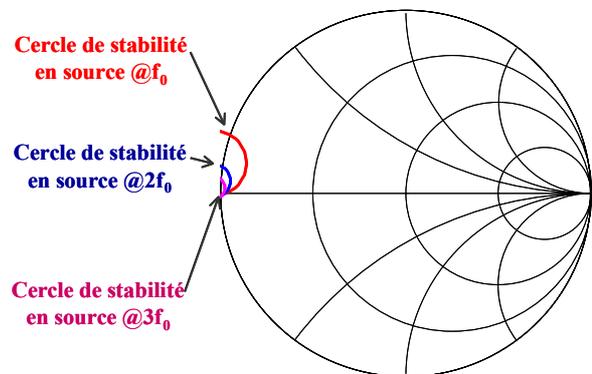


Figure II.33 : Cercles de stabilité en source pour le point $V_{BE0} = 0.97V$ ($I_C = 300mA$)

Les zones d'instabilité potentielles en source sont localisées au voisinage du court-circuit. Il faudra donc s'assurer que les impédances d'entrée du transistor polarisé, par les quatre V_{BE0} , ne soient pas dans cette zone.

IV. Simulations des performances en CW fort signal

Après avoir présenté le transistor simulé à l'aide de ses réseaux I/V, de ses paramètres S et de ses cercles de stabilité, il convient maintenant d'exciter ce transistor par un signal CW

à fréquence RF f_0 de 1.8GHz. Les simulations, de type CW fort signal, ont été réalisées de façon à maximiser le rendement en puissance ajoutée (PAE) du transistor. Elles vont permettre de montrer l'impact des impédances de fermeture en charge aux trois premiers harmoniques, sur les performances en terme de gain, puissance et rendement.

IV.1. Description des conditions de simulation et des paramètres analysés

Dans une simulation Harmonic Balance (HB), il est possible de choisir l'ordre de simulation qui correspond au nombre d'harmoniques qui vont être considérés pour reconstituer les différents signaux (par transformée de Fourier dans le domaine fréquentiel et par transformée de Fourier inverse dans le domaine temporel). Un compromis doit être trouvé, car si ce nombre est trop petit, les formes temporelles des signaux simulés n'auront pas une « belle » allure car trop peu d'harmoniques seront utilisés. Il est alors tentant d'utiliser un ordre élevé, mais à partir d'une certaine valeur, les harmoniques supérieurs n'ont que très peu d'influence sur l'allure des signaux, car les niveaux de puissance associés sont très faibles : il est alors possible de les négliger. Dès lors, pour les simulations réalisées au cours de cette thèse, l'ordre a été fixé à 8, soit de $f_0 = 1.8\text{GHz}$ à $8f_0 = 14.4\text{GHz}$.

Pour le calcul des principales caractéristiques du transistor simulé, données à l'aide des formules (2.10) à (2.15), les définitions suivantes sont utilisées:

- V_{Base} correspond à la tension appliquée entre la base et l'émetteur du transistor (sur le schéma de simulation (figure II.34) $V_{\text{Base}} = V_B - V_E$),
- $V_{\text{Collecteur}}$ correspond à la tension appliquée entre le collecteur et l'émetteur du transistor (sur le schéma de simulation (figure II.34) $V_{\text{Collecteur}} = V_C - V_E$),
- I_B correspond au courant entrant dans la base du transistor,
- I_C correspond au courant entrant dans le collecteur du transistor,
- V_{BE0} correspond à la tension DC de polarisation appliquée à l'entrée du transistor par la source d'alimentation DC. Le courant associé est I_{B0} ,

- et enfin, V_{CE0} correspond à la tension DC de polarisation appliquée à la sortie du transistor par la source d'alimentation DC. Le courant associé est I_{C0} .

Dès lors, les principales caractéristiques sont définies à l'aide des formules (2.10) à (2.15).

- Puissance d'alimentation :
$$P_{\text{alim}} = I_{B0} \times V_{BE0} + I_{C0} \times V_{CE0} \quad (2.10)$$

- Puissance d'entrée à f_0 :
$$P_{e@f_0} = \frac{1}{2} \text{Re} \left(V_{\text{Base}@f_0} \times I_{B@f_0}^* \right) \quad (2.11)$$

- Puissance de sortie à f_0 :
$$P_{s@f_0} = -\frac{1}{2} \text{Re} \left(V_{\text{Collecteur}@f_0} \times I_{C@f_0}^* \right) \quad (2.12)$$

Le signe « - » est dû à la convention qui a été prise pour le courant I_C entrant dans le transistor.

- Puissance ajoutée à f_0 :
$$P_{aj@f_0} = P_{s@f_0} \text{ (mW)} - P_{e@f_0} \text{ (mW)} \quad (2.13)$$

- Rendement en puissance ajoutée à f_0 :
$$\text{PAE} = \frac{P_{aj@f_0} \text{ (mW)}}{P_{a\text{lim}} \text{ (mW)}} \times 100 \quad (2.14)$$

- Gain (en puissance) :
$$\text{Gain} = P_{s@f_0} \text{ (dBm)} - P_{e@f_0} \text{ (dBm)} \quad (2.15)$$

IV.2. Schéma de simulation

Le schéma de simulation utilisé pour les simulations HB permettant l'optimisation des performances en puissance et rendement en mode CW est présenté à la figure II.34. Des conditions de load-pull harmonique seront simulées. L'impédance de source sera fixée à 50Ω .

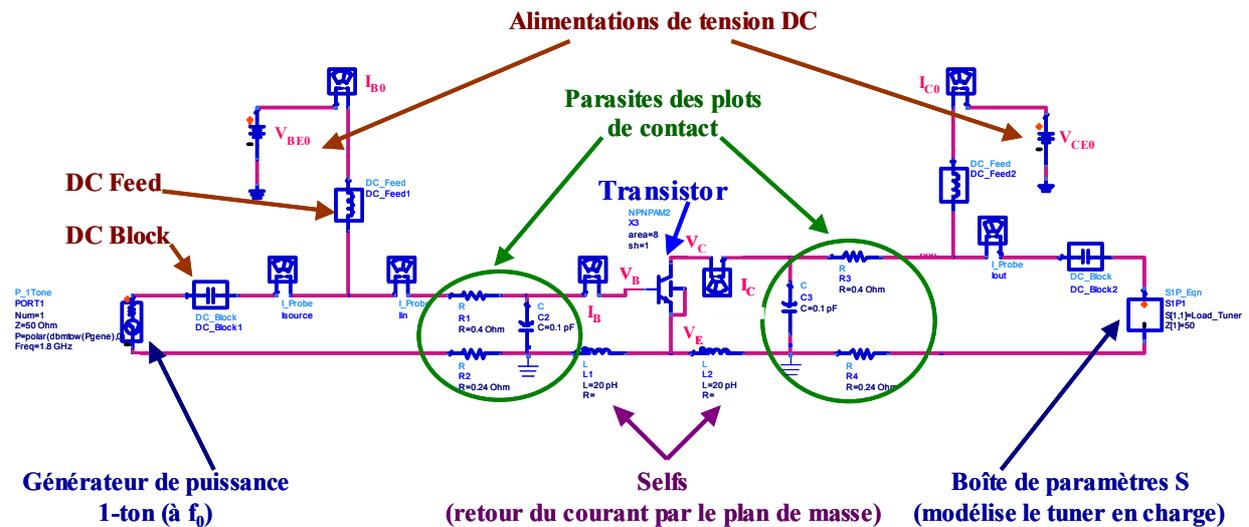


Figure II.34 : Schéma de simulation HB

La polarisation du transistor est réalisée à l'aide de deux sources de tension DC, une en entrée imposant V_{BE0} et une en sortie imposant V_{CE0} . Le signal RF est quant à lui imposé par un générateur de puissance 1-ton à la fréquence f_0 (égale à 1.8GHz). Dès lors, pour découpler les signaux RF et DC alimentant le transistor, il faut utiliser deux tés de polarisation, modélisés par un DC Block (c'est en fait une capacité idéale qui empêche le signal DC de passer à travers le générateur de puissance et la boîte de paramètres S) et un DC Feed (qui est en fait une self idéale empêchant le signal RF de passer et protégeant ainsi les sources d'alimentation DC).

La charge du transistor est modélisée à l'aide d'une boîte de paramètres S, permettant de modéliser le tuner. En effet, grâce à un bloc d'équations, les impédances aux fréquences de simulation sont accessibles, ce qui permet d'optimiser ces valeurs ou de les imposer. Enfin, les parasites sont modélisés en entrée et en sortie du transistor par les circuits entourés sur la figure II.34. La détermination de la valeur des différents éléments parasites est expliquée dans ce qui suit et s'appuie sur la figure II.35.

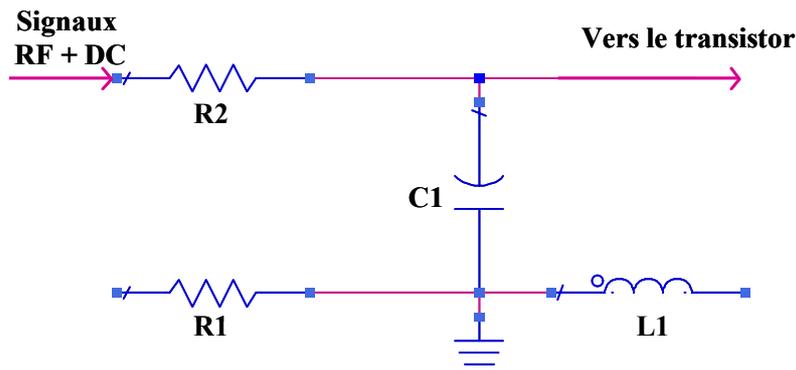


Figure II.35 : Eléments parasites

Les parasites à considérer sont dus :

- au retour de courant dans la plan de masse. Cela implique deux selfs. Leur valeur est déterminée empiriquement et vaut $L1 = 20\text{pH}$.
- au contact des sondes RF. En effet, l'étalonnage du système de mesure permet de ramener les plans de référence au niveau des sondes RF. Mais le contact des pointes sur les plots de contact du circuit engendre l'apparition de parasites qu'il convient de modéliser, grâce à une capacité et à deux résistances. La capacité, de valeur $C1 = 0.1\text{pF}$, modélise la capacité du plot de contact. Enfin, le contact des pointes engendre une résistance de pointe, appelée R_{contact} . Les pointes étant constituées de trois sondes (deux pour la masse et une pour le signal), il vient :

$R_{\text{contact}} = (R_{\text{masse}} // R_{\text{masse}}) \text{ série } R_{\text{signal}}$, soit avec les notations de la figure II.35 :

$$R_{\text{contact}} = (R_1 // R_1) \text{ série } R_2.$$

En supposant que R_{contact} vaut 0.6Ω (qui est une valeur moyenne obtenue de façon empirique) et que $R_2 = 2R_1$, il vient :

$$R_1 = \frac{2}{5} R_{\text{contact}} = 0.24\Omega, \text{ et par conséquent } R_2 = 0.48\Omega.$$

Dès lors, pour les simulations, les parasites prendront les valeurs qui viennent d'être calculées.

IV.3. Optimisation CW en rendement en puissance ajoutée

IV.3.1. Principe de l'optimisation en charge

L'optimisation est effectuée afin de maximiser le rendement en puissance ajoutée, appelé également PAE (Power Added Efficiency) du transistor simulé. Pour augmenter cette PAE, l'impédance de charge est optimisée aux fréquences f_0 , $2f_0$ et $3f_0$. Dans tout ce qui suit, les impédances seront décrites en terme de coefficient de réflexion, car elles seront visualisées sur l'abaque de Smith.

L'optimisation se déroule de la façon suivante. Au départ, l'impédance à f_0 est fixée à 50Ω (c'est-à-dire $\Gamma_{\text{charge}@f_0} = 0 \angle 180^\circ$) et les autres impédances sont toutes court-circuitées ($\Gamma_{\text{charge}@f_0} = 1 \angle 180^\circ$). Un premier balayage en puissance est réalisé par la simulation HB. La valeur optimale de $\Gamma_{\text{charge}@f_0}$, qui permet d'accroître la PAE, peut être obtenue de deux façons différentes. La première consiste à utiliser le bloc « Optimizer » associé au bloc « Goal » d'ADS. L'optimisation est réalisée automatiquement par le logiciel, en faisant varier le module et la phase de $\Gamma_{\text{charge}@f_0}$ et en ayant précisé dans l'objectif qu'il convient d'optimiser la PAE. Cette méthode est attrayante car c'est le simulateur qui gère toute l'optimisation. Néanmoins, il faut être vigilant car il peut se produire de problèmes de convergence et il est possible de rater la solution optimale lorsqu'il y a plusieurs optimums locaux. La seconde méthode consiste à réaliser un double balayage sur le module et la phase de $\Gamma_{\text{charge}@f_0}$ pour un niveau de puissance d'entrée donné (correspondant au maximum de PAE lors du balayage sur 50Ω). Cette seconde méthode est moins automatique et nécessite une intervention extérieure pour fixer, entre autres, le niveau de puissance d'entrée et rechercher ensuite la solution optimale.

Une fois que $\Gamma_{\text{charge}@f_0}$ optimal est déterminé, il convient d'optimiser $\Gamma_{\text{charge}@2f_0}$. Pour ce faire, $\Gamma_{\text{charge}@f_0}$ est fixé à sa valeur optimale et les autres Γ_{charge} aux harmoniques supérieurs restent court-circuités. L'optimisation se réalise par le double balayage en module et en phase de $\Gamma_{\text{charge}@2f_0}$. « L'optimizer » d'ADS a été utilisé mais les résultats obtenus n'étaient pas cohérents. Cet outil s'avère intéressant seulement dans le cadre de l'optimisation de $\Gamma_{\text{charge}@f_0}$.

Puis en fixant $\Gamma_{\text{charge}@2f_0}$ optimal, un double balayage en module et en phase de $\Gamma_{\text{charge}@3f_0}$ est réalisé.

A la fin de la séquence, $\Gamma_{\text{charge}@f_0}$ optimal est légèrement affiné, puis $\Gamma_{\text{charge}@2f_0}$ optimal et $\Gamma_{\text{charge}@3f_0}$ optimal.

La comparaison des deux méthodes d'optimisation, à savoir avec le bloc « Optimizer » (nommée auto) et avec le double balayage (nommée double), a été menée pour déterminer $\Gamma_{\text{charge}@f_0}$ du point de polarisation $V_{\text{BE}0} = 0.73\text{V}$ ($I_C = 6.5\text{mA}$). Par ailleurs, l'influence du réseau thermique a été évaluée sur la détermination de l'impédance optimale $\Gamma_{\text{charge}@f_0}$ trouvée. En effet, le transistor a été simulé avec le réseau thermique par défaut du modèle HICUM (simple réseau $R_{\text{th}}C_{\text{th}}$, avec $R_{\text{th}} = 46.6\text{ }^\circ\text{C/W}$) et avec le réseau thermique constitué des dix cellules $C_{\text{th}}R_{\text{th}}C_{\text{th}}$ présenté précédemment (la somme de dix résistances R_{th} série vaut $38.4\text{ }^\circ\text{C/W}$). Il est à noter que le modèle a subi une légère amélioration, entre celui utilisant le réseau par défaut $R_{\text{th}}C_{\text{th}}$, et celui permettant l'utilisation du réseau thermique composé des dix cellules $C_{\text{th}}R_{\text{th}}C_{\text{th}}$.

La figure II.36 et le tableau II.5 répertorient les valeurs optimales des $\Gamma_{\text{charge}@f_0}$ trouvés.

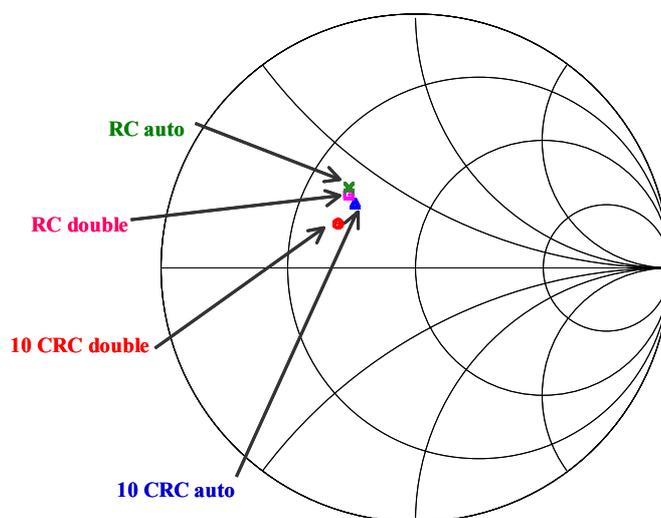


Figure II.36 : Comparaison des quatre $\Gamma_{\text{charge}@f_0}$ optimaux simulés

| | Réseau RC HICUM | | Réseau 10 cellules CRC | |
|--------------------------------------|-------------------------|-------------------------|-------------------------|-------------------------|
| | Double balayage | Automatique | Double balayage | Automatique |
| $\Gamma_{\text{charge}@f_0}$ | $0.39 \angle 132^\circ$ | $0.41 \angle 130^\circ$ | $0.35 \angle 150^\circ$ | $0.35 \angle 133^\circ$ |
| $Z_{\text{charge}@f_0}$ (Ω) | $25.3 + j 17.3$ | $24.6 + j 18.6$ | $25.4 + j 10.1$ | $27.6 + j 15.9$ |
| PAE max (%) | 68.5 | 68.4 | 68.1 | 67.5 |

Tableau II.5 : Comparaison des quatre $\Gamma_{\text{charge}@f_0}$ optimaux simulés

Les deux méthodes donnent sensiblement le même optimum et la valeur maximale de la PAE est sensiblement identique (de l'ordre de 68%) quelque soit le réseau thermique considéré. Ceci est tout à fait normal et attendu, car la résistance thermique du réseau simple $R_{th}C_{th}$ (de valeur $46.6 \text{ }^\circ\text{C/W}$) est à peu près égale à la somme des dix résistances thermique du réseau constitué des dix cellules $C_{th}R_{th}C_{th}$ (de valeur $38.4 \text{ }^\circ\text{C/W}$). En effet, en CW, seules les résistances thermiques sont prises en compte car les capacités thermiques se comportent comme des circuits ouverts. Ceci permet de conclure que quelque soit la méthode utilisée et quelque soit le réseau thermique considéré, l'optimisation de $\Gamma_{charge@f_0}$ reste la même. Cette conclusion est corroborée par la comparaison des tensions, courants, PAE, gain et puissance de sortie présentés par les figures II.37 et II.38.

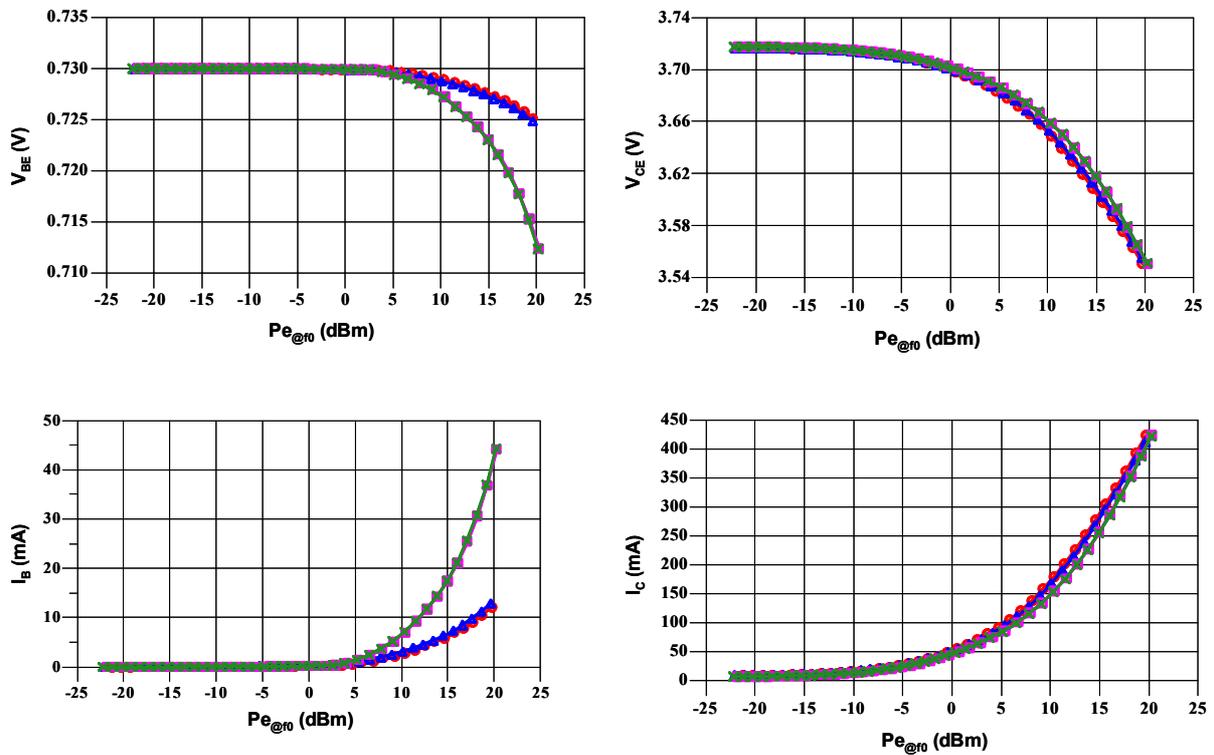


Figure II.37 : Comparaison des tensions et courants

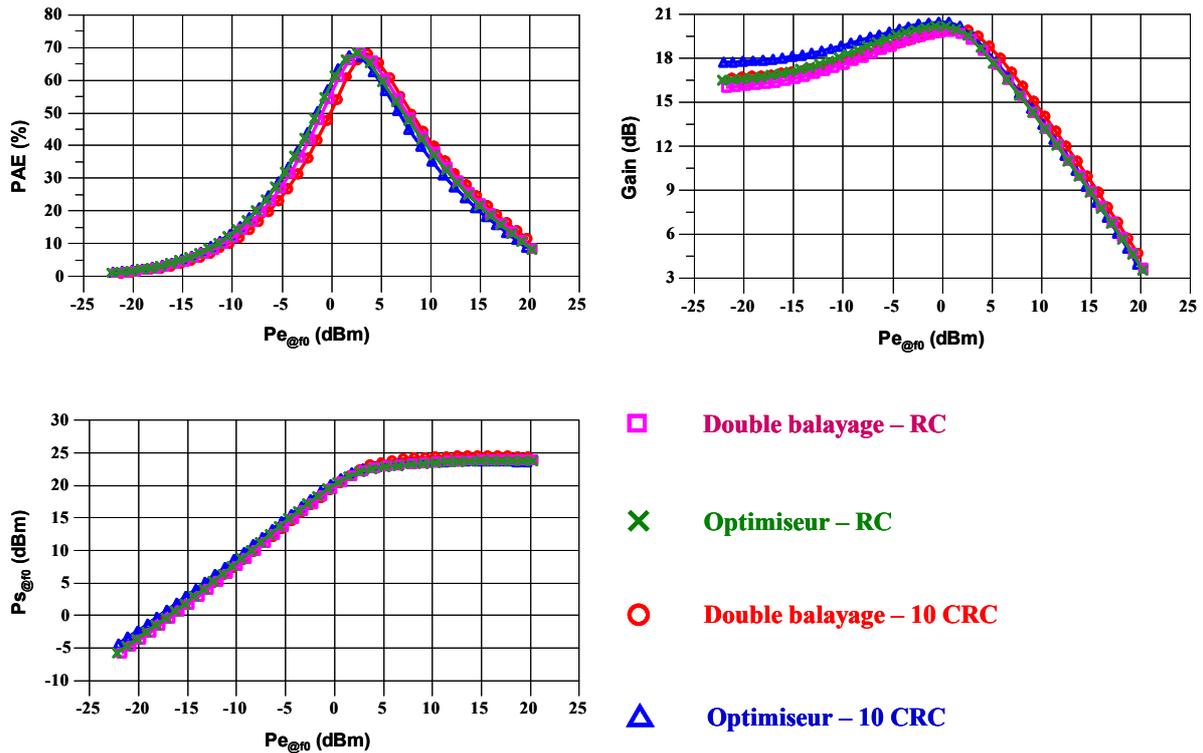


Figure II.38 : Comparaison des performances

| | Réseau RC HICUM | | Réseau 10 cellules CRC | |
|-----------------------------|-----------------|-------------|------------------------|-------------|
| | Double balayage | Automatique | Double balayage | Automatique |
| PAE max (%) | 68.5 | 68.4 | 68.1 | 67.4 |
| $P_{e@f_0}$ à PAE max (dBm) | 2.9 | 2.6 | 3.6 | 1.7 |
| $P_{s@f_0}$ à PAE max (dBm) | 22.2 | 22.1 | 23.1 | 21.9 |
| Gain à PAE max (dB) | 19.3 | 19.6 | 19.5 | 20.2 |
| Expansion de gain (dB) | 3.8 | 3.7 | 3.3 | 2.8 |

Tableau II.6 : Comparaison des performances

Les légères différences observées sur le courant base, I_B , et la tension base, V_{BE} , s'expliquent par le fait que la somme des dix résistances thermiques ne correspond pas exactement à la résistance thermique du réseau simple. Mais surtout, parce que les deux modèles sont un peu différents du fait de l'amélioration de ce dernier.

En résumé, cette comparaison a permis d'expliquer la méthodologie utilisée pour l'optimisation CW de la PAE. Le réseau thermique utilisé est celui proposé par défaut par le modèle du transistor (réseau $R_{th}C_{th}$). Enfin, les valeurs de $\Gamma_{charge@f_0}$ pour les quatre points de polarisation ont été déterminées avec le bloc « optimizer » du logiciel ADS.

Les paragraphes IV.3.2 à IV.3.5 présentent les résultats d'optimisation CW de la PAE pour les quatre points de polarisation, précédemment choisis.

Pour chacun des points de polarisation, les valeurs des impédances optimales seront explicitées. Par ailleurs, les principales caractéristiques seront comparées pour quatre conditions d'impédances de charge, répertoriées dans le tableau II.7.

| Nom du cas | $\Gamma_{\text{charge}@f_0}$ | $\Gamma_{\text{charge}@2f_0}$ | $\Gamma_{\text{charge}@3f_0}$ | $\Gamma_{\text{charge}@\text{autres_fréquences}}$ |
|-----------------------|------------------------------|-------------------------------|-------------------------------|--|
| 50Ω | 50 ohms | court-circuit | court-circuit | court-circuit |
| f₀ | optimal | court-circuit | court-circuit | court-circuit |
| 2f₀ | optimal | optimal | court-circuit | court-circuit |
| 3f₀ | optimal | optimal | optimal | court-circuit |

Tableau II.7 : Conditions d'impédances de charge : quatre cas comparés

Le but de comparer les performances pour ces quatre conditions d'impédances de charge est de visualiser l'impact de ces dernières, lorsqu'elles sont optimisées aux fréquences sélectionnées, sur les performances du transistor. Et de valider ainsi l'optimisation réalisée.

IV.3.2. Point de polarisation $V_{BE0} = 0.70V$ ($I_C = 2.5mA$)

L'optimisation CW qui a été menée, afin d'optimiser la PAE du transistor simulé, a permis de trouver les impédances de charge optimales aux trois fréquences intéressantes. Ces dernières, données en terme de coefficients de réflexion, sont les suivantes (figure II.39) :

$$\Gamma_{\text{charge}@f_0} = 0.43 \angle 117^\circ,$$

$$\Gamma_{\text{charge}@2f_0} = 0.99 \angle 92^\circ,$$

$$\Gamma_{\text{charge}@3f_0} = 1 \angle 186^\circ.$$

La figure II.40 compare les tensions et les courants. Les courbes présentées par la figure II.41 comparent les principales caractéristiques grand signal (à savoir la PAE, le gain et la puissance de sortie à la fréquence f_0) lorsque différentes conditions de charge sont présentées au transistor.

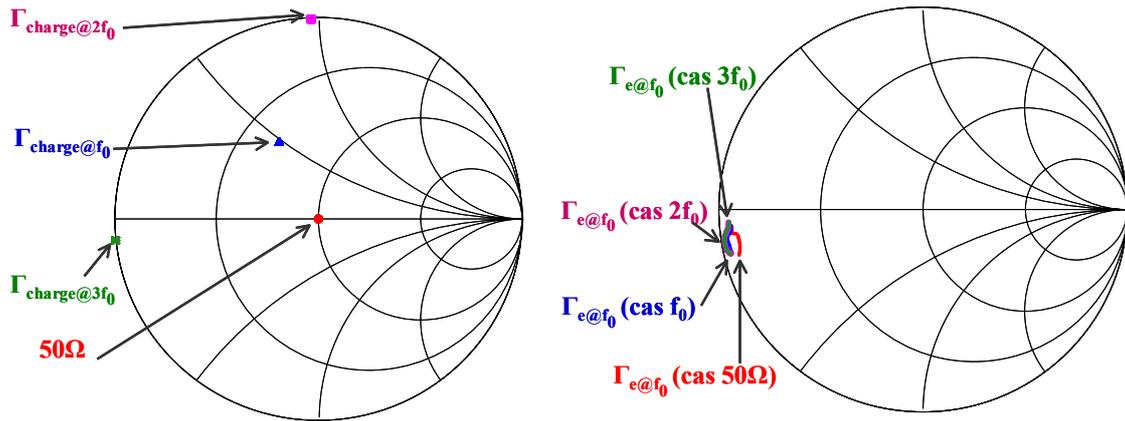


Figure II.39 : Γ_{charge} et $\Gamma_{entrée}$ pour différentes conditions de charge à $V_{BE0} = 0.70V$ ($I_C = 2.5mA$)

Au vu de la figure II.39, il apparaît que l'impédance d'entrée du transistor est proche du bord de l'abaque (de l'ordre de $0.96 \angle -174^\circ$), ce qui signifie qu'elle est de faible valeur et qu'il faut être prudent, car sous certaines conditions de polarisation, le transistor peut facilement entrer en oscillations.

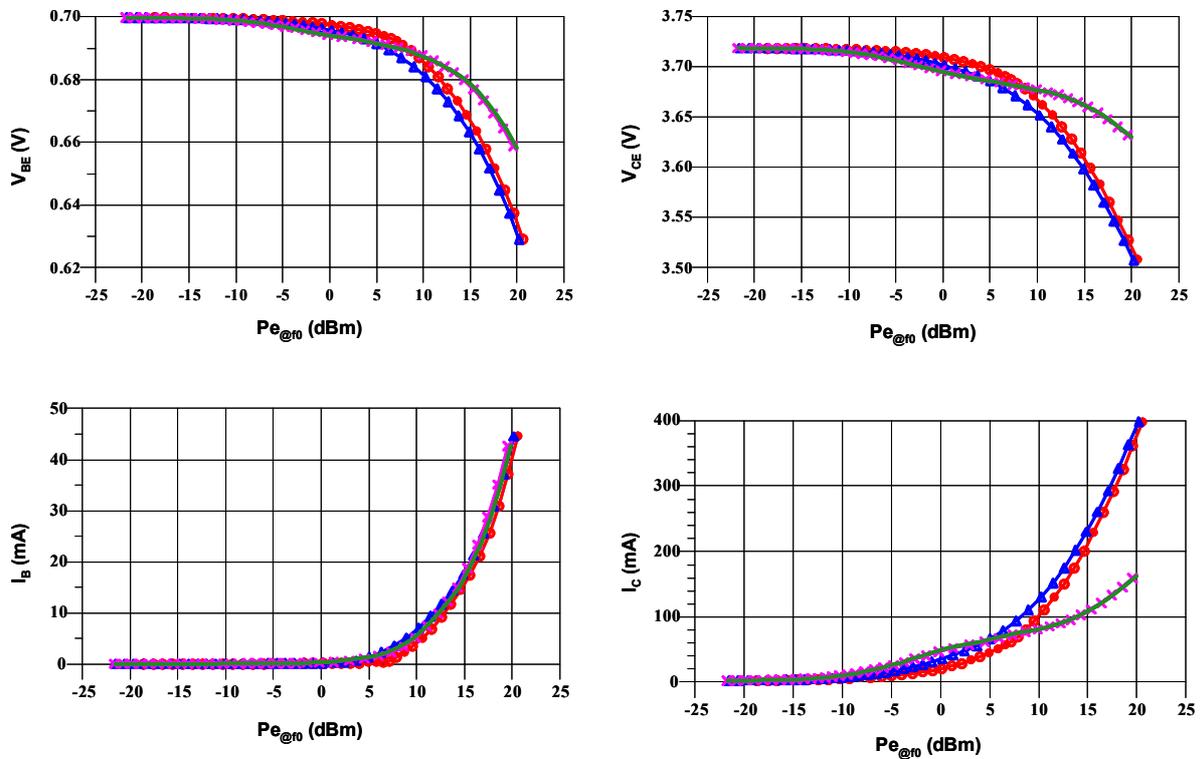


Figure II.40 : Tensions et courants pour différentes conditions de charge à $V_{BE0} = 0.70V$ ($I_C = 2.5mA$)

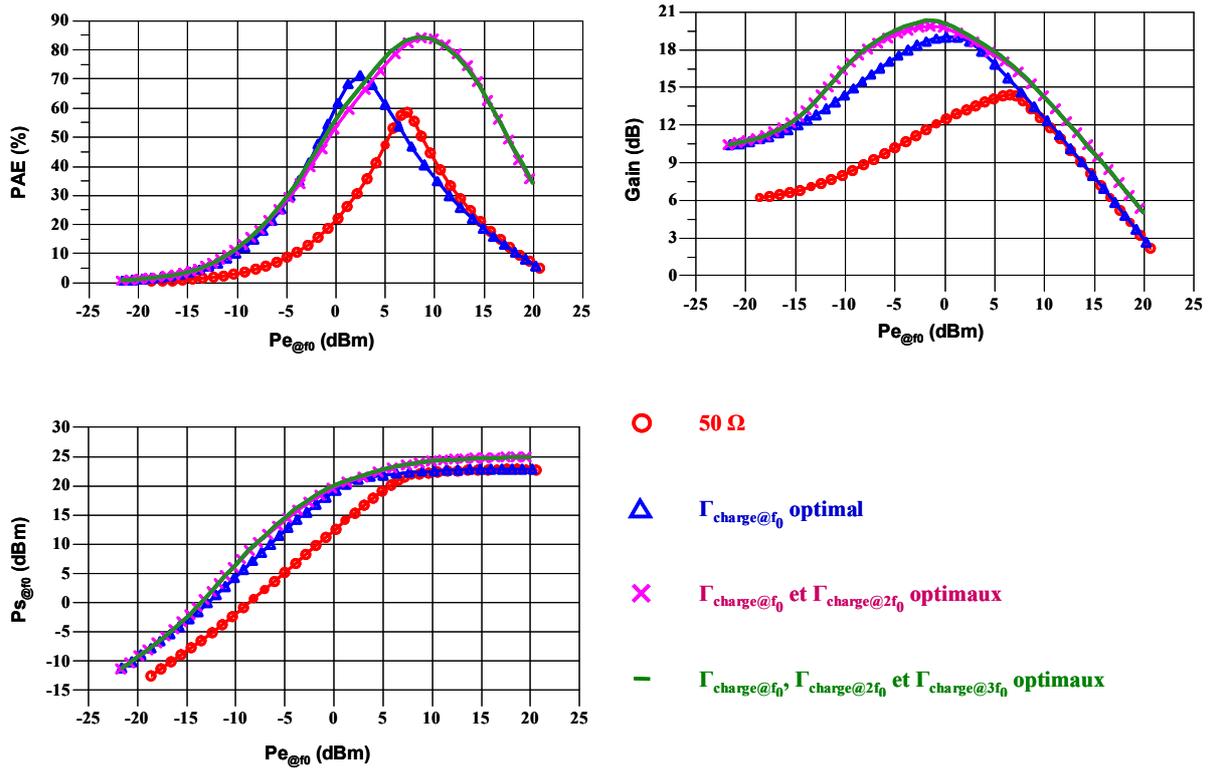


Figure II.41 : PAE, gain et Ps pour différentes conditions de charge à $V_{BE0} = 0.70V$ ($I_C = 2.5mA$)

Les figures II.40 et II.41 montrent que les caractéristiques obtenues lorsque $\Gamma_{charge@f_0}$ et $\Gamma_{charge@2f_0}$ sont optimisés sont peu différentes de celles obtenues lorsque les coefficients de réflexion sont optimisés aux trois premiers harmoniques. Il est donc possible de conclure, que dans la procédure d'optimisation utilisée, $\Gamma_{charge@3f_0}$ influence peu les caractéristiques. En effet, il sera vu au paragraphe IV.3.6, qu'en changeant les conditions initiales de $\Gamma_{charge@2f_0}$ et de $\Gamma_{charge@3f_0}$, les performances obtenues sont différentes.

Le tableau II.8 résume l'optimisation en PAE réalisée.

| | Cas 50Ω | Cas f_0 | Cas $2f_0$ | Cas $3f_0$ |
|-----------------------------|----------------|-----------|------------|------------|
| PAE max (%) | 58.7 | 71.2 | 84.2 | 84.4 |
| $Pe_{@f_0}$ à PAE max (dBm) | 7.2 | 2.4 | 8.6 | 8.3 |
| $Ps_{@f_0}$ à PAE max (dBm) | 21.4 | 21.1 | 23.9 | 23.9 |
| Expansion de gain (dB) | 7.8 | 7.4 | 7.7 | 8.1 |

Tableau II.8 : Récapitulatif des performances du point $V_{BE0} = 0.70V$ ($I_C = 2.5mA$)

D'après ce tableau, il vient que la PAE croît lorsque les différents Γ_{charge} sont optimisés. Un maximum de 84.4% est obtenu pour une puissance d'entrée à f_0 de 8.3dBm. De plus, polarisé sous $V_{\text{BE0}} = 0.70\text{V}$, ce qui correspond à une classe AB profonde (pour rappel, $I_C = 2.5\text{mA}$), le transistor présente une expansion de gain significative.

A ce stade, il est intéressant d'observer que la courbe de PAE fait apparaître deux points importants pour l'étude des formes d'ondes temporelles. Le premier correspond au maximum de la PAE lorsque seul $\Gamma_{\text{charge}@f_0}$ est optimisé (les Γ_{charge} aux autres fréquences sont court-circuités). Et le second correspond au maximum de la PAE lorsque $\Gamma_{\text{charge}@f_0}$ et $\Gamma_{\text{charge}@2f_0}$ sont optimisés. Dès lors, les formes d'ondes temporelles, calculées par transformée de Fourier inverse pour ces deux points particuliers, sont présentées à l'aide des courbes de la figure II.42. Enfin, la figure II.43 montre les cycles de charge extrinsèques associés, ainsi que l'évolution de la température. Il est à noter que, de par la nature compacte du modèle utilisé (HICUM), les nœuds internes (ou intrinsèques) du transistor ne sont pas accessibles. Par conséquent, il est impossible de tracer les cycles de charge intrinsèques, couramment utilisés en conception. Seuls les cycles de charge extrinsèques sont accessibles.

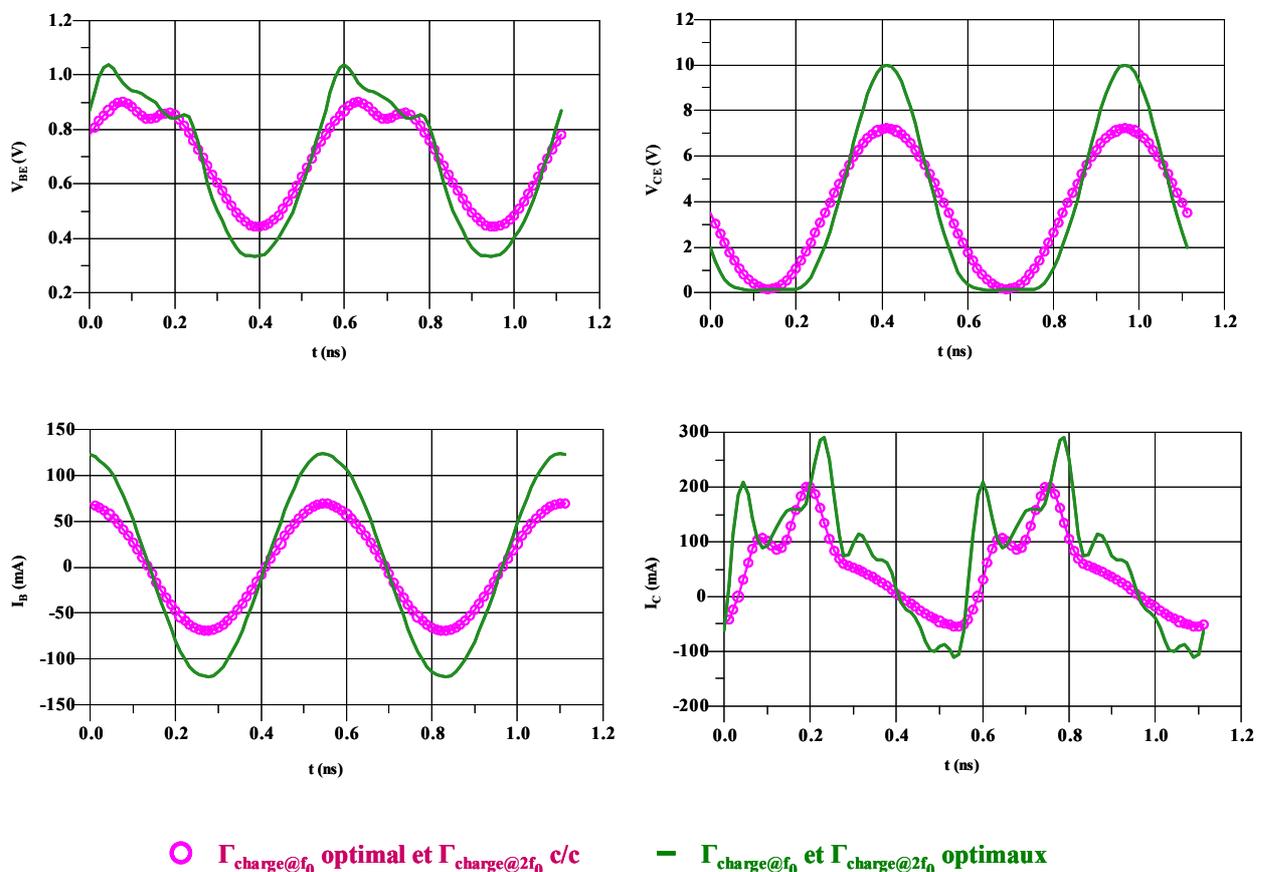


Figure II.42 : Formes d'ondes temporelles extrinsèques à $V_{\text{BE0}} = 0.70\text{V}$ ($I_C = 2.5\text{mA}$)

Les formes d'ondes temporelles obtenues étant extrinsèques, leur interprétation se révèle difficile, notamment pour le courant collecteur I_C . Néanmoins, la forme sinusoïdale du courant I_B est prévisible, comme l'indiquent les références [12] et [13]. En effet, la polarisation est assurée par une source de tension délivrant une tension V_{BE0} constante. Le générateur de puissance d'entrée est alors équivalent à un générateur Thévenin de courant 50Ω , qui présente une impédance élevée par rapport à celle du transistor. Dans ces conditions, il est normal que le courant I_B soit sinusoïdal. Par ailleurs, pour une polarisation de base à V_{BE0} constante, la tension V_{CE} atteint 10V, valeur correspondant à la limite d'avalanche, présentée par les cycles de charge. Enfin, la forme de demi-sinus de la tension V_{CE} , obtenue en optimisant les harmoniques, est une forme caractéristique permettant la minimisation de la puissance dissipée, et par conséquent, la maximisation du rendement. Elle correspond à une classe F inverse.

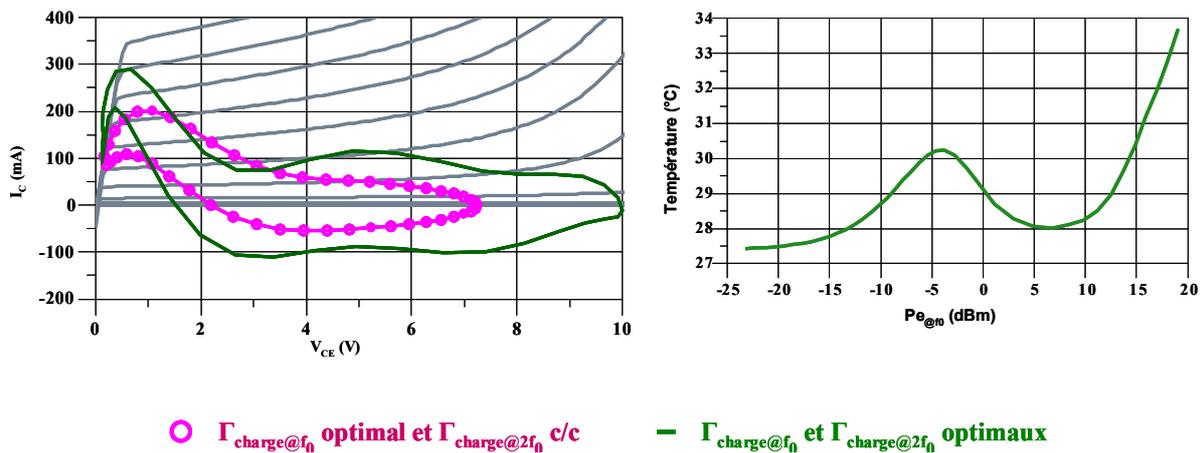


Figure II.43 : Cycle de charge extrinsèque et température à $V_{BE0} = 0.70V$ ($I_C = 2.5mA$)

Le cycle de charge extrinsèque ne constitue pas un critère de jugement très précis, car de par sa nature extrinsèque, son interprétation n'est pas aisée comme l'atteste la figure II.43. L'évolution de la température interne du transistor (par l'accès au nœud thermique) avec la puissance d'entrée à f_0 permet de mettre en évidence le phénomène d'auto-échauffement (pour rappel, la simulation est réalisée à $27^\circ C$).

En résumé, polarisé à $V_{BE0} = 0.70V$, ce qui correspond à un courant collecteur I_C de 2.5mA, le transistor présente de bonnes performances en puissance et rendement. Mais le profil de gain en fonction de la puissance d'entrée à f_0 n'est pas propice à de bonnes performances en terme de linéarité.

IV.3.3. Point de polarisation $V_{BE0} = 0.73V$ ($I_C = 6.5mA$)

Pour le second point de polarisation, l'optimisation CW de la PAE a conduit aux coefficients de réflexion en charge optimaux suivants, représentés sur l'abaque gauche de la figure II.44 :

$$\Gamma_{charge@f_0} = 0.41 \angle 130^\circ,$$

$$\Gamma_{charge@2f_0} = 1 \angle 91^\circ,$$

$$\Gamma_{charge@3f_0} = 1 \angle 186^\circ.$$

Comme pour le point à $V_{BE0} = 0.70V$, ce paragraphe s'attache à décrire l'évolution des principales caractéristiques des performances du transistor, lorsque les coefficients de réflexion aux fréquences étudiées sont successivement optimisés. Les résultats d'optimisation sont donnés à l'aide des figures II.45 et II.46.

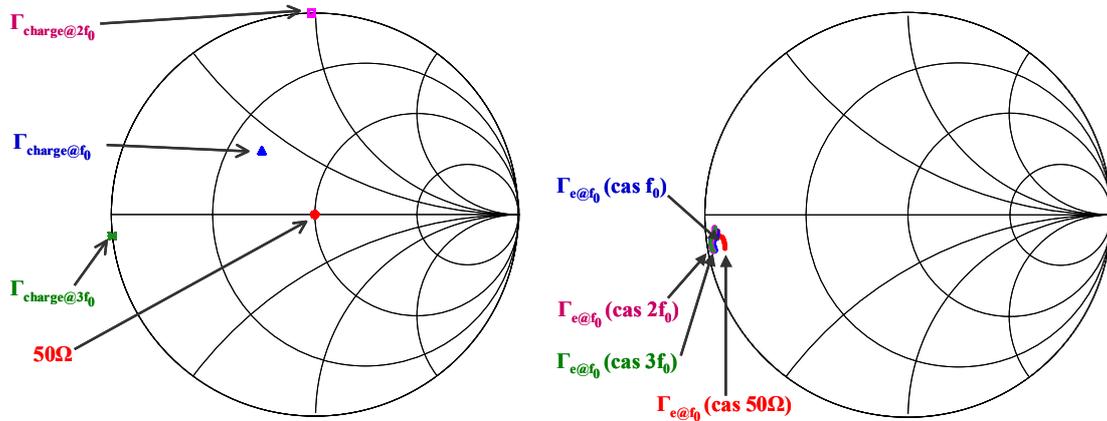


Figure II.44 : Γ_{charge} et $\Gamma_{entrée}$ pour différentes conditions de charge à $V_{BE0} = 0.73V$ ($I_C = 6.5mA$)

L'impédance d'entrée du transistor est proche du bord de l'abaque, comme indiqué sur la figure II.44.

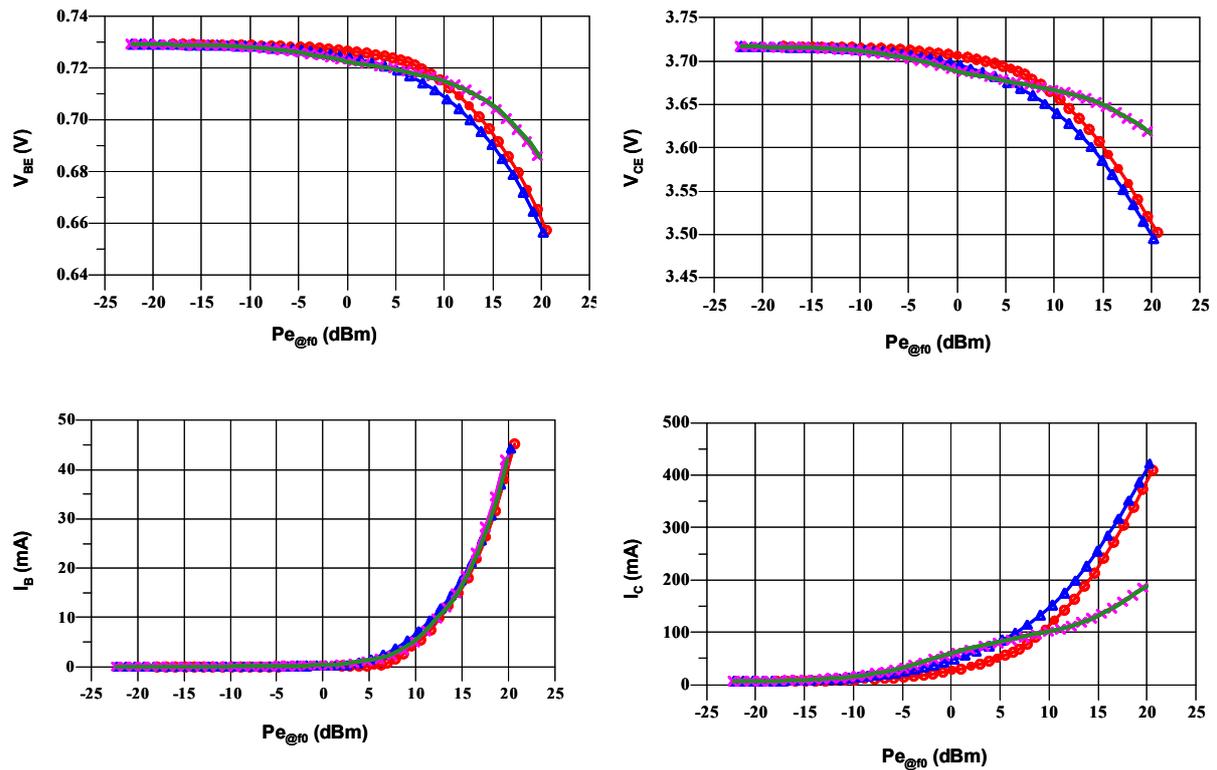


Figure II.45 : Tensions et courants pour différentes conditions de charge à $V_{BE0} = 0.73V$ ($I_C = 6.5mA$)

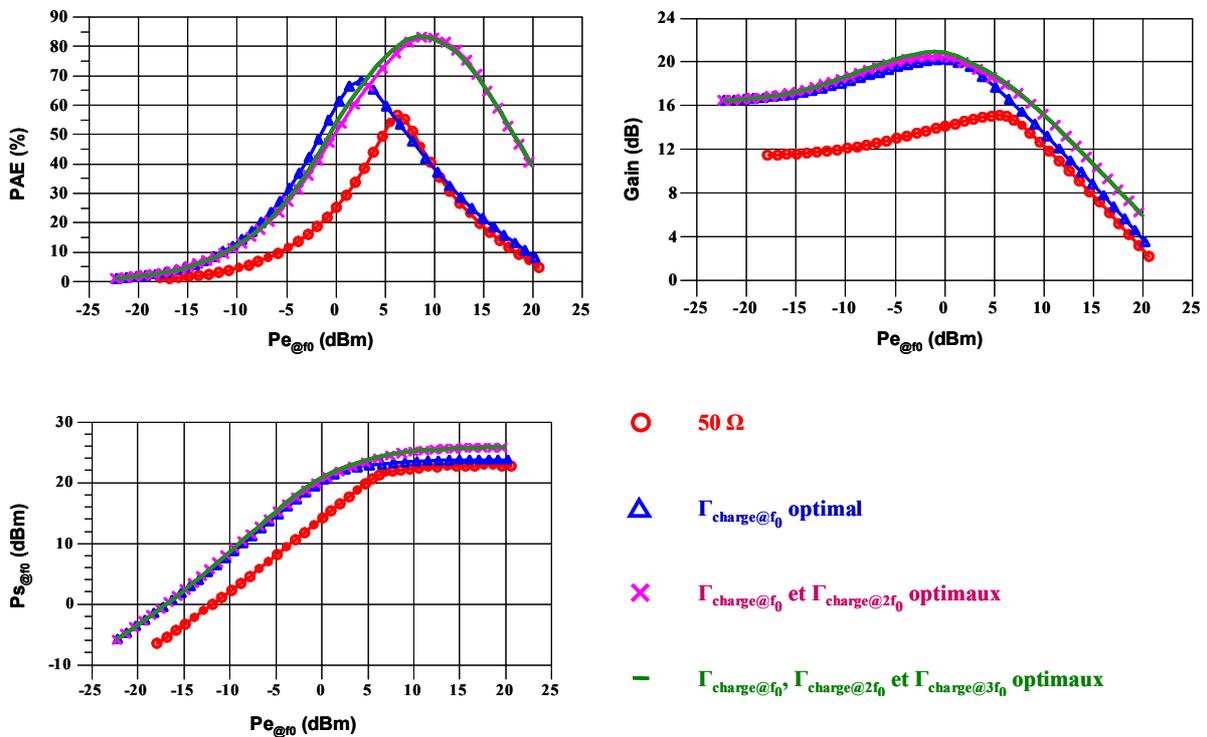


Figure II.46 : PAE, gain et P_s pour différentes conditions de charge à $V_{BE0} = 0.73V$ ($I_C = 6.5mA$)

De même qu'avec $V_{BE0} = 0.70V$, les courbes des figures II.45 et II.46 montrent que $\Gamma_{charge@3f_0}$ influence peu les performances. Ceci est corroboré par le tableau II.9.

| | Cas 50Ω | Cas f_0 | Cas $2f_0$ | Cas $3f_0$ |
|-----------------------------|----------------|-----------|------------|------------|
| PAE max (%) | 56.7 | 68.4 | 83.2 | 83.4 |
| $P_{e@f_0}$ à PAE max (dBm) | 6.3 | 2.6 | 8.7 | 8.4 |
| $P_{s@f_0}$ à PAE max (dBm) | 21.3 | 22.1 | 24.9 | 24.9 |
| Expansion de gain (dB) | 3.6 | 3.1 | 3.4 | 3.8 |

Tableau II.9 : Récapitulatif des performances du point $V_{BE0} = 0.73V$ ($I_C = 6.5mA$)

Les simulations indiquent que la PAE croît lorsque les différents Γ_{charge} sont optimisés. Un maximum de 83.4% est obtenu pour une puissance d'entrée à f_0 de 8.4dBm. Le gain présente une expansion plus faible, c'est-à-dire une meilleure platitude par rapport au cas à $V_{BE0} = 0.70V$. Cette remarque permet d'introduire la notion de compromis rendement maximal / platitude de gain pour la linéarité. L'analyse des formes d'ondes temporelles extrinsèques (figure II.47) et du cycle de charge (figure II.48) aux deux points particuliers de maximum de la PAE, conduit aux mêmes remarques que précédemment.

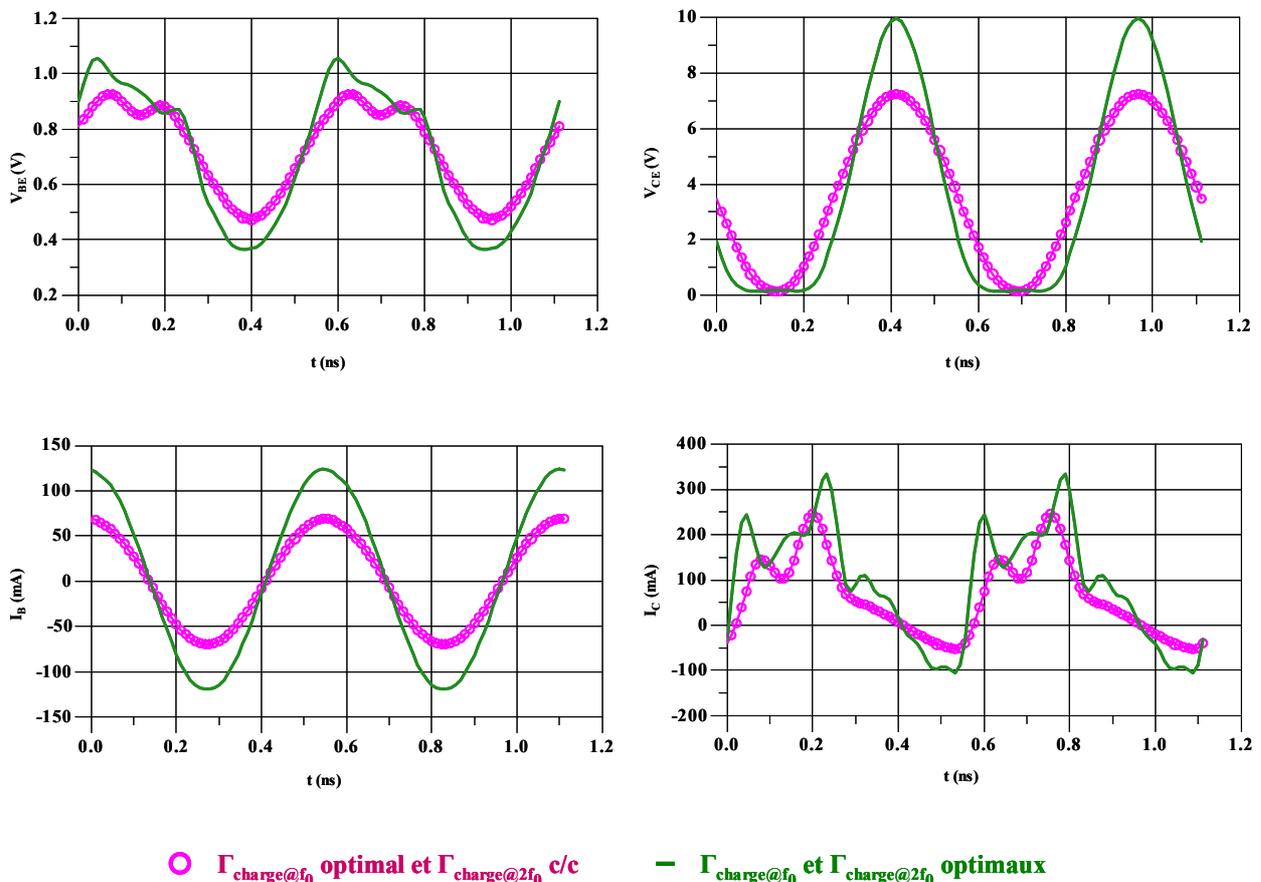


Figure II.47 : Formes d'ondes temporelles extrinsèques à $V_{BE0} = 0.73V$ ($I_C = 6.5mA$)

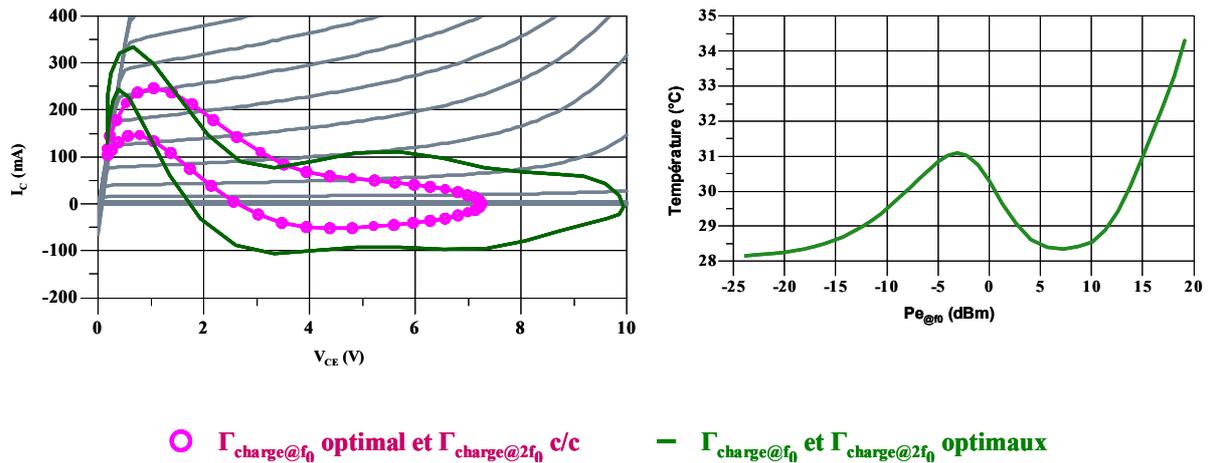


Figure II.48 : Cycle de charge extrinsèque et température à $V_{BE0} = 0.73V$ ($I_C = 6.5mA$)

Polarisé à $V_{BE0} = 0.70V$ ou $0.73V$, le transistor présente la même évolution de température interne avec $P_{\text{entrée}@f_0}$. Le transistor chauffe tout d'abord, avant de se refroidir une fois que la PAE maximale est atteinte.

IV.3.4. Point de polarisation $V_{BE0} = 0.78V$ ($I_C = 30mA$)

L'optimisation CW de la PAE pour le troisième point de polarisation conduit aux coefficients de réflexion en charge suivants, représentés sur l'abaque gauche de la figure II.49.

$$\Gamma_{\text{charge}@f_0} = 0.50 \angle 159^\circ,$$

$$\Gamma_{\text{charge}@2f_0} = 1 \angle 65^\circ,$$

$$\Gamma_{\text{charge}@3f_0} = 1 \angle 184^\circ.$$

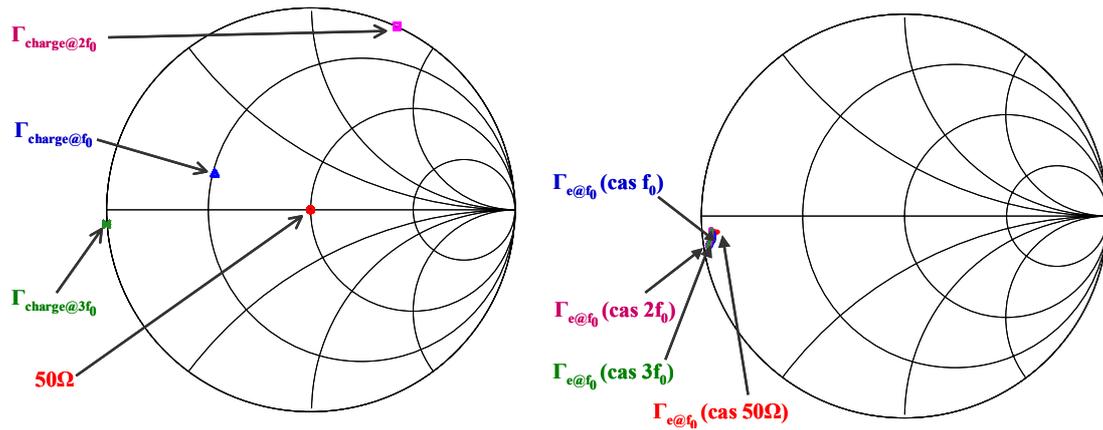


Figure II.49 : Γ_{charge} et $\Gamma_{entrée}$ pour différentes conditions de charge à $V_{BE0} = 0.78V$ ($I_C = 30mA$)

Que le transistor soit polarisé à $V_{BE0} = 0.70V$, $0.73V$ ou $0.78V$ comme c'est le cas présent, son impédance d'entrée est toujours proche du bord de l'abaque.

Les résultats d'optimisation sont donnés à l'aide des figures II.50 et II.51.

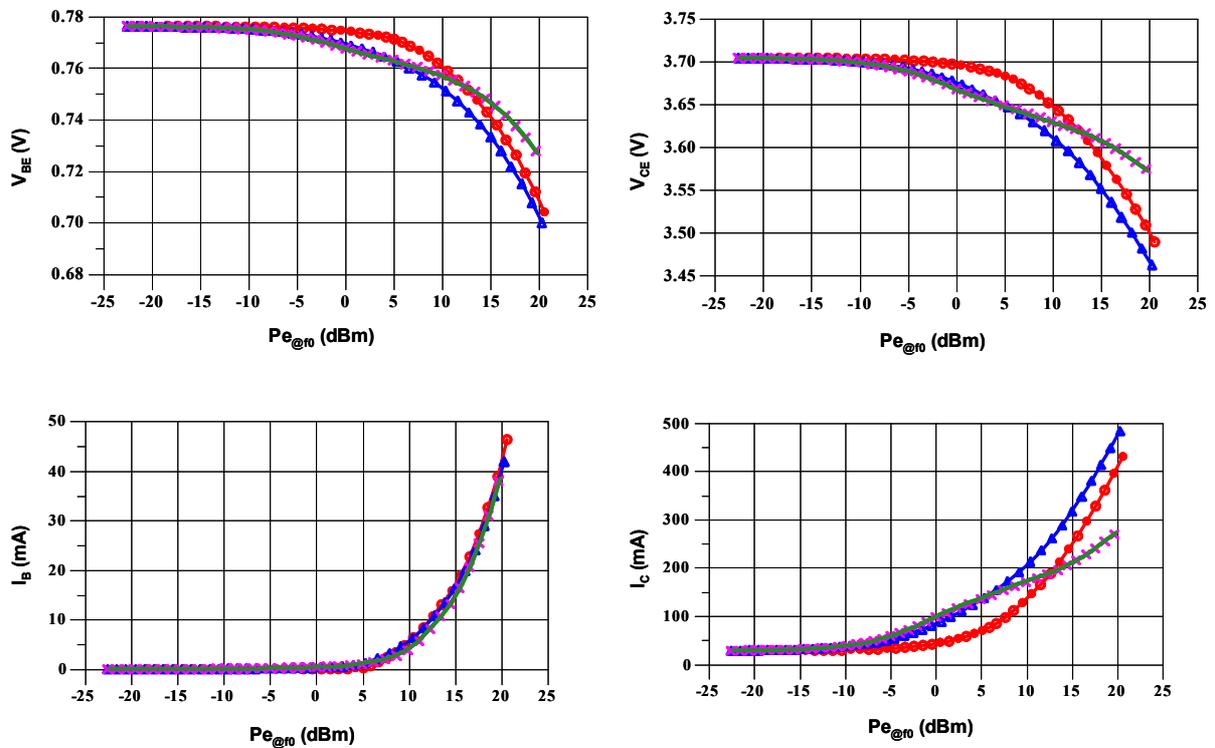


Figure II.50 : Tensions et courants pour différentes conditions de charge à $V_{BE0} = 0.78V$ ($I_C = 30mA$)

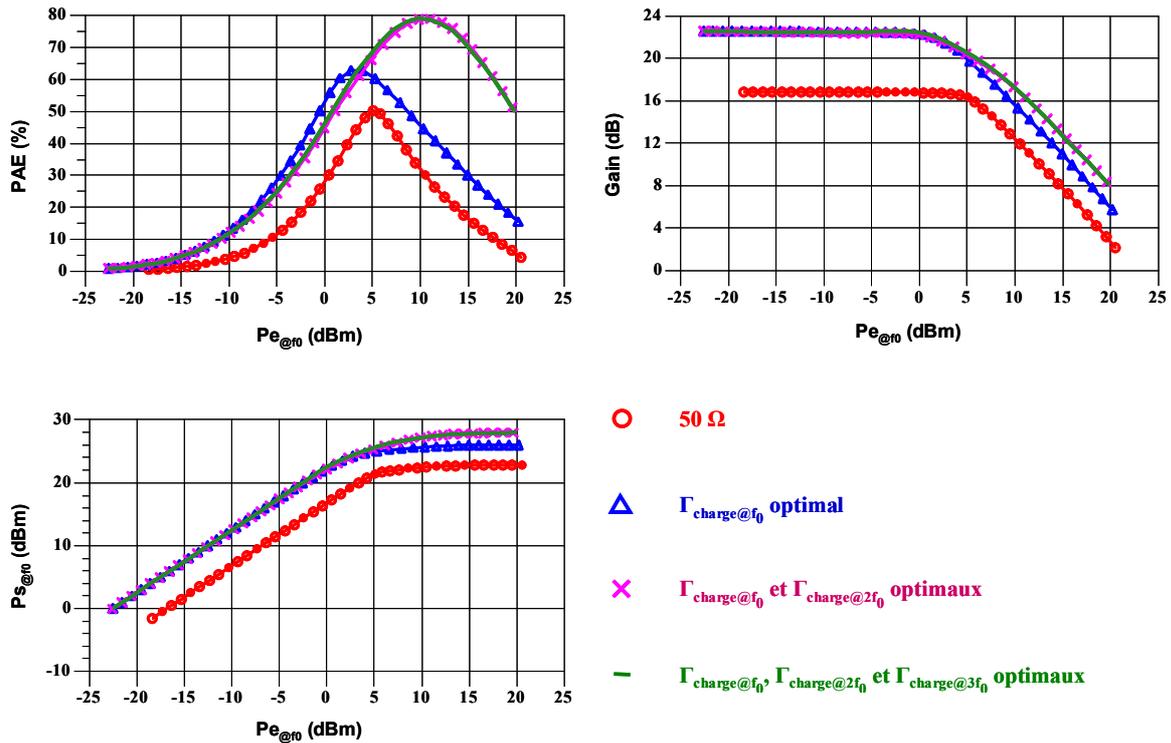


Figure II.51 : PAE, gain et Ps pour différentes conditions de charge à $V_{BE0} = 0.78V$ ($I_C = 30mA$)

Là encore, les caractéristiques laissent apparaître que $\Gamma_{charge@3f_0}$ influence peu les performances. Ceci est résumé par le tableau II.10.

| | Cas 50Ω | Cas f_0 | Cas $2f_0$ | Cas $3f_0$ |
|-----------------------------|----------------|-----------|------------|------------|
| PAE max (%) | 50.2 | 62.7 | 78.8 | 78.9 |
| $Pe_{@f_0}$ à PAE max (dBm) | 5 | 2.7 | 11 | 9.7 |
| $Ps_{@f_0}$ à PAE max (dBm) | 21.3 | 24.2 | 27.3 | 27.1 |
| Expansion de gain (dB) | / | / | / | 0.1 |

Tableau II.10 : Récapitulatif des performances du point $V_{BE0} = 0.78V$ ($I_C = 30mA$)

Polarisé à $V_{BE0} = 0.78V$, la PAE maximale est de 78.9% pour une puissance d'entrée à f_0 de 9.7dBm. Par rapport aux cas précédents, le maximum de la PAE chute mais le gain est plat. Il apparaît donc clairement qu'un compromis rendement / linéarité existe.

L'analyse des formes d'ondes temporelles extrinsèques (figure II.52) et du cycle de charge extrinsèque (figure II.53), aux deux points particuliers de maximum de la PAE est la même que précédemment.

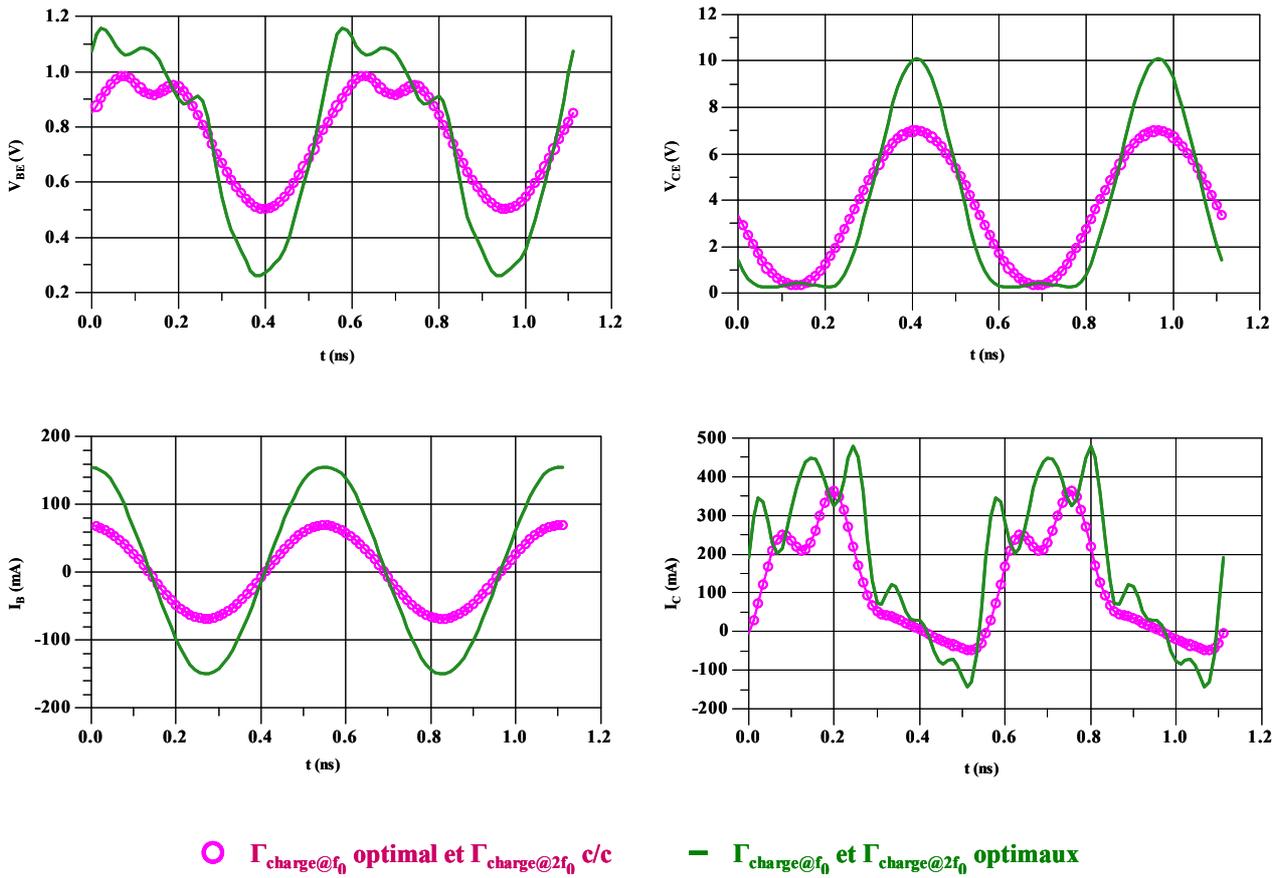


Figure II.52 : Formes d'ondes temporelles extrinsèques à $V_{BE0} = 0.78V$ ($I_C = 30mA$)

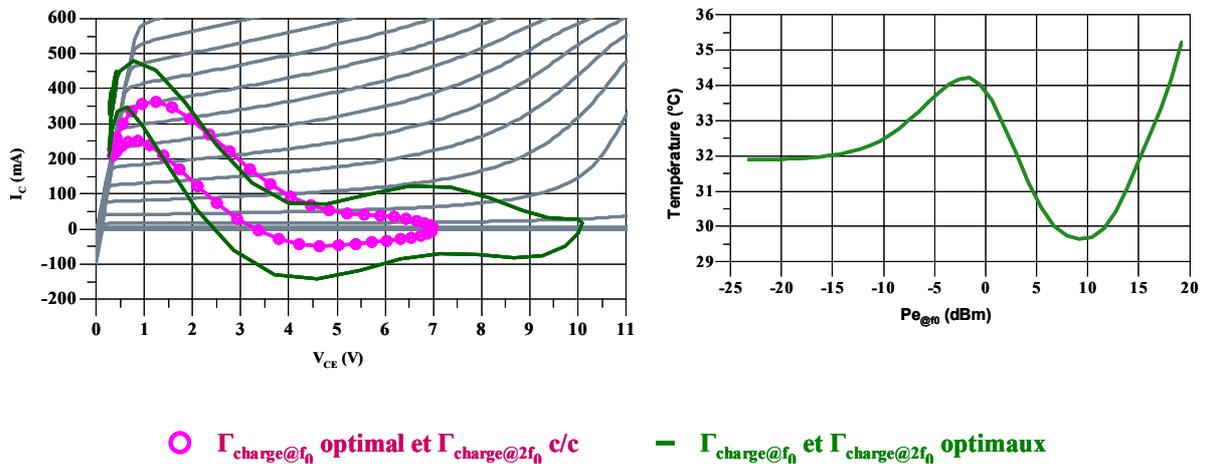


Figure II.53 : Cycle de charge extrinsèque et température à $V_{BE0} = 0.78V$ ($I_C = 30mA$)

La courbe de température interne laisse apparaître que l'élévation de cette dernière n'est pas immédiate, comme pour les deux points de polarisation précédents. En effet, à $V_{BE0} = 0.78V$ (soit $I_C = 30mA$), la polarisation passe d'une classe AB profonde à une classe AB, pour laquelle l'auto-échauffement est plus lent à démarrer.

IV.3.5. Point de polarisation $V_{BE0} = 0.97V$ ($I_C = 300mA$)

La dernière optimisation CW a été menée pour maximiser la PAE du quatrième point de polarisation. Elle a conduit aux coefficients de réflexion en charge suivants (figure II.54) :

$$\Gamma_{\text{charge}@f_0} = 0.78 \angle 175^\circ,$$

$$\Gamma_{\text{charge}@2f_0} = 1 \angle 301^\circ,$$

$$\Gamma_{\text{charge}@3f_0} = 1 \angle 148^\circ.$$

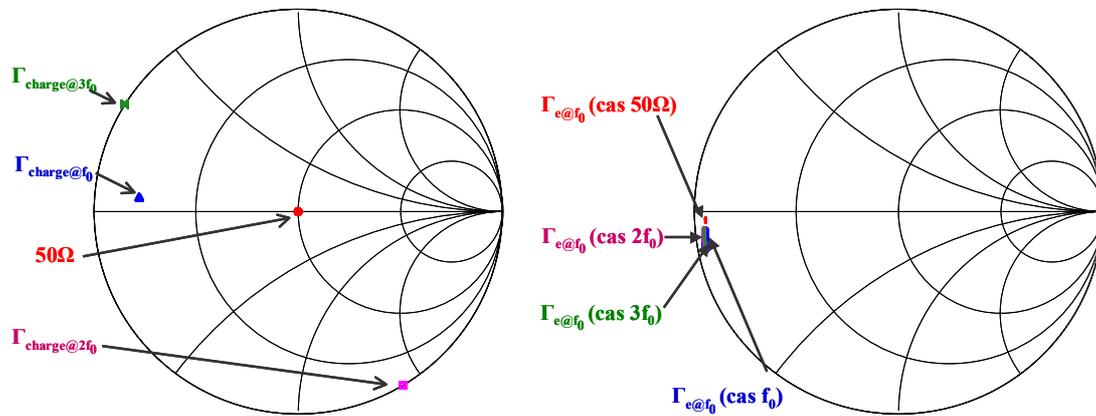


Figure II.54 : Γ_{charge} et $\Gamma_{\text{entrée}}$ pour différentes conditions de charge à $V_{BE0} = 0.97V$ ($I_C = 300mA$)

Comme précédemment, l'impédance d'entrée du transistor polarisé à $V_{BE0} = 0.97V$ est de faible valeur.

Les figures II.55 et II.56 montrent les performances du transistor obtenues lors des différentes optimisations simulées.

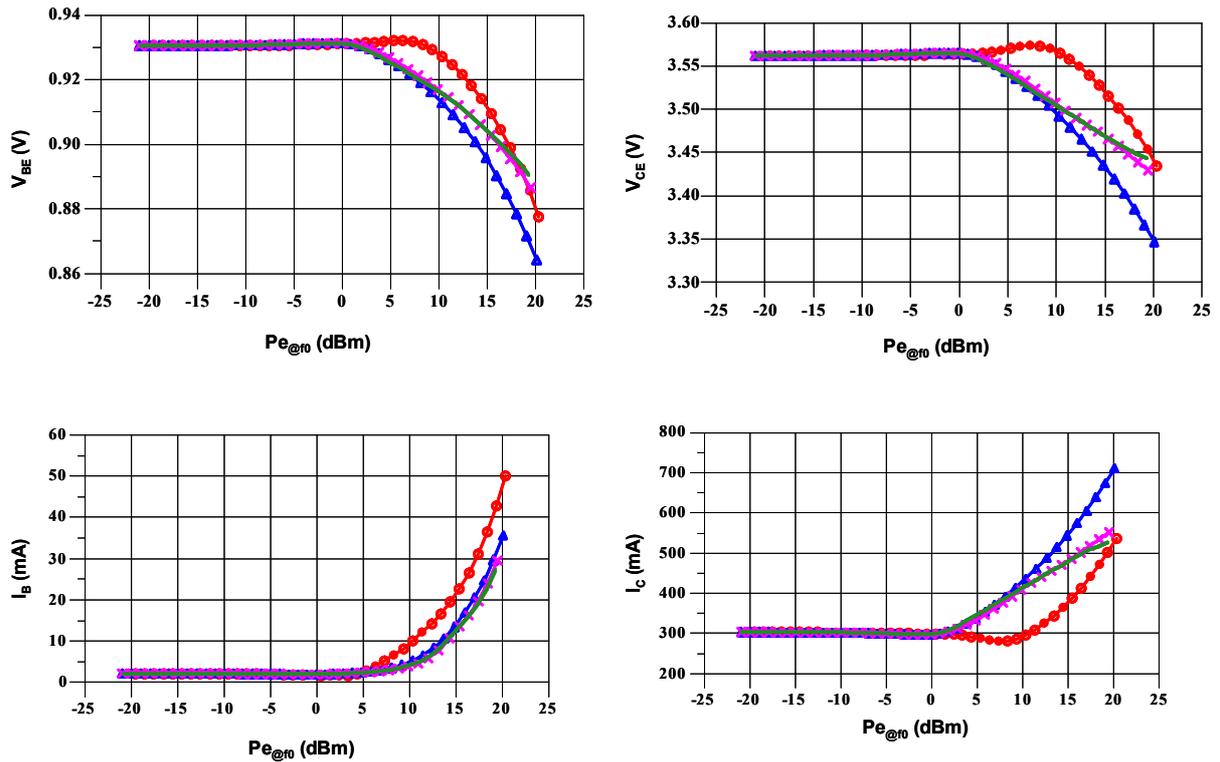


Figure II.55 : Tensions et courants pour différentes conditions de charge à $V_{BE0} = 0.97V$ ($I_C = 300mA$)

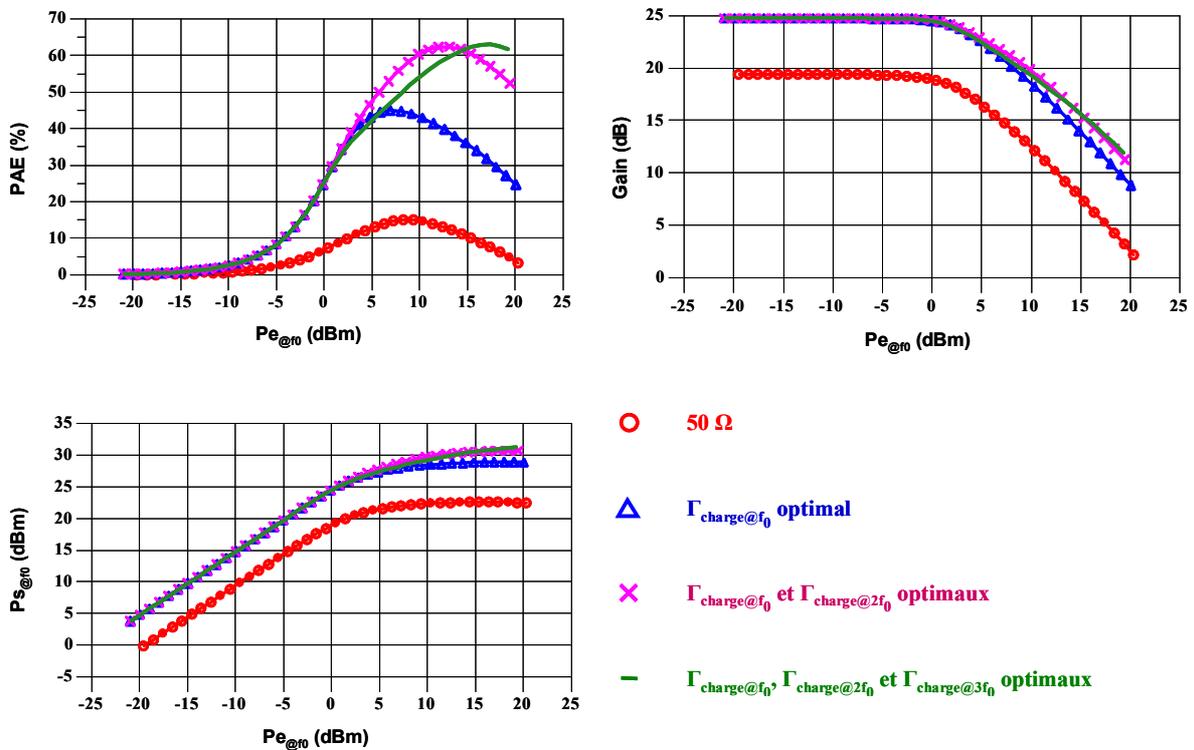


Figure II.56 : PAE, gain et P_s pour différentes conditions de charge à $V_{BE0} = 0.97V$ ($I_C = 300mA$)

Comme il l'a déjà été remarqué, $\Gamma_{\text{charge}@3f_0}$ influence peu les performances. Le tableau II.11 le confirme.

| | Cas 50Ω | Cas f_0 | Cas $2f_0$ | Cas $3f_0$ |
|-----------------------------|----------------|-----------|------------|------------|
| PAE max (%) | 15.1 | 45 | 62.3 | 63 |
| $P_{e@f_0}$ à PAE max (dBm) | 8.3 | 6.9 | 13.1 | 17.3 |
| $P_{s@f_0}$ à PAE max (dBm) | 22.2 | 28 | 30.3 | 31 |
| Expansion de gain (dB) | / | / | / | / |

Tableau II.11 : Récapitulatif des performances du point $V_{BE0} = 0.97V$ ($I_C = 300mA$)

Polarisé à $V_{BE0} = 0.97V$, la PAE maximale est de 63% pour une puissance d'entrée à f_0 de 17.3dBm. Par rapport aux cas précédents, la chute de la PAE est importante (63% contre 84.4% à $V_{BE0} = 0.70V$) et résulte du fait que la polarisation est passée d'une classe de fonctionnement AB profonde ($V_{BE0} = 0.70V$) à une classe A ($V_{BE0} = 0.97V$). Mais, la linéarité est améliorée, car le gain est bien plat sur toute la gamme de puissance d'entrée à f_0 .

L'analyse des formes d'ondes temporelles extrinsèques (figure II.57), aux deux points particuliers de maximum de la PAE, reste la même que précédemment.

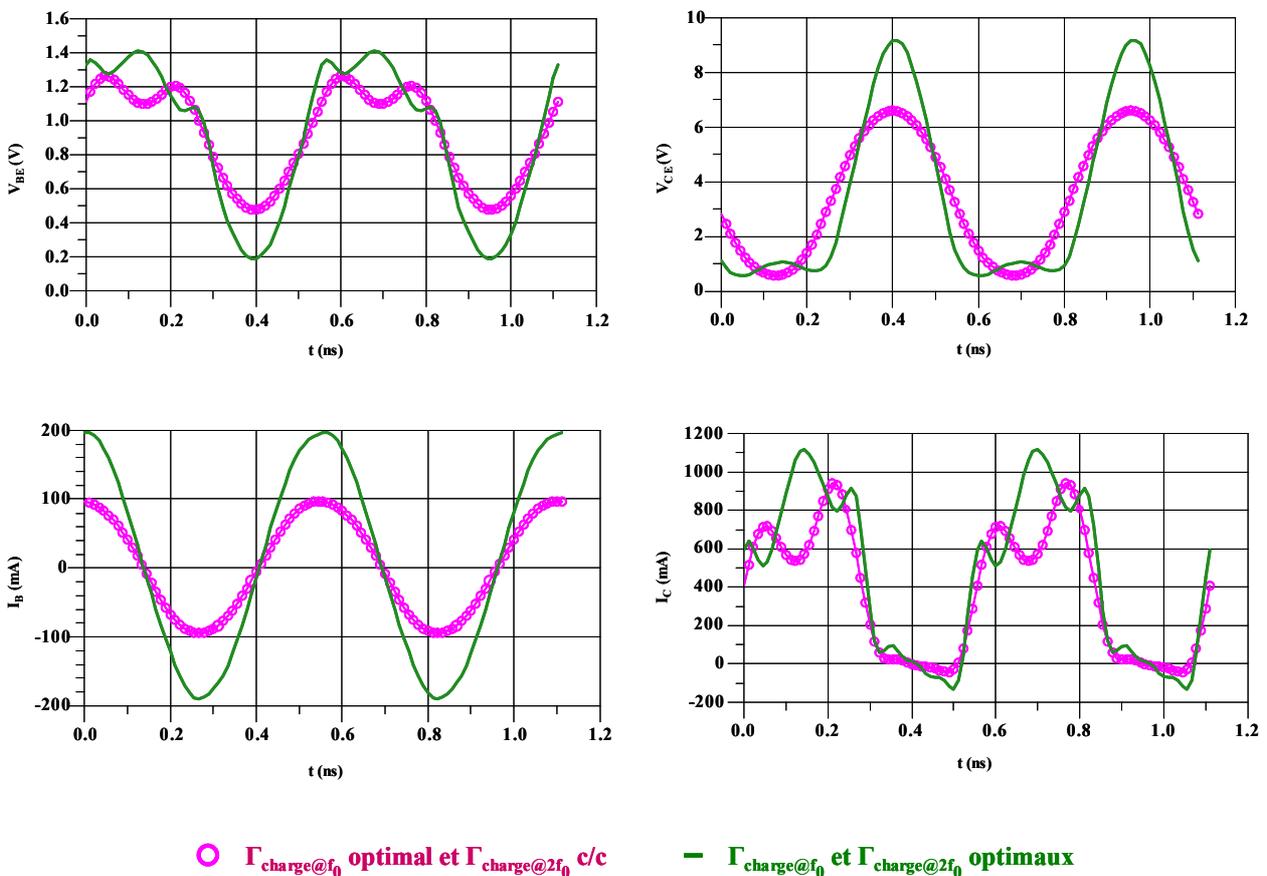


Figure II.57 : Formes d'ondes temporelles extrinsèques à $V_{BE0} = 0.97V$ ($I_C = 300mA$)

Il est intéressant de noter qu'au compromis rendement / linéarité s'ajoute la diminution de la tension d'avalanche, donc la tenue en tension du transistor, lorsque la polarisation croît vers une classe A, qui serait réalisée pratiquement avec une source de courant de polarisation de base.

Le cycle de charge extrinsèque est à nouveau donné à titre indicatif, ainsi que la courbe de température interne (figure II.58).

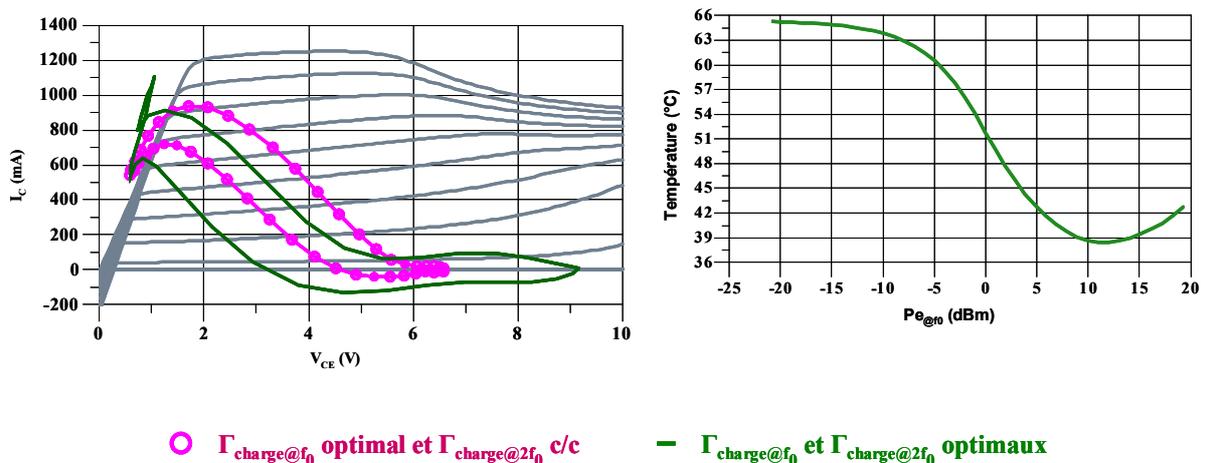


Figure II.58 : Cycle de charge extrinsèque et température à $V_{BE0} = 0.97V$ ($I_C = 300mA$)

Polarisé à $V_{BE0} = 0.97V$ ($I_C = 300mA$), c'est-à-dire en classe A, le transistor refroidit au départ, puis sa température interne croît après que le maximum de la PAE soit atteint.

Avant de passer à la suite, une dernière remarque concernant les formes d'ondes temporelles extrinsèques peut être faite.

En effet, il est apparu que les formes d'ondes temporelles extrinsèques à fort niveau ont à peu près la même allure, quelque soit le point de polarisation choisi. Ce qui change ce sont les ordres de grandeurs. Ainsi, il est intéressant de s'interroger sur les diverses remontées observées, en particulier sur le courant collecteur I_c . Les formes d'ondes temporelles

extrinsèques sont obtenues par calcul de Transformée de Fourier inverse, et en analysant ces dernières pour chacune des composantes fréquentielles, les formes finales peuvent s'expliquer facilement par sommation graphique.

A titre d'exemple, les décompositions des formes d'ondes temporelles extrinsèques pour le point de polarisation présent ($V_{BE0} = 0.97V$, $I_C = 300mA$) optimisé à f_0 et à $2f_0$ sont présentées à l'aide de la figure II.59, pour le niveau de $P_{entrée@f_0}$ correspondant à la PAE maximale. En se limitant à l'ordre 3, il est aisé de retrouver les différentes remontées spectrales.

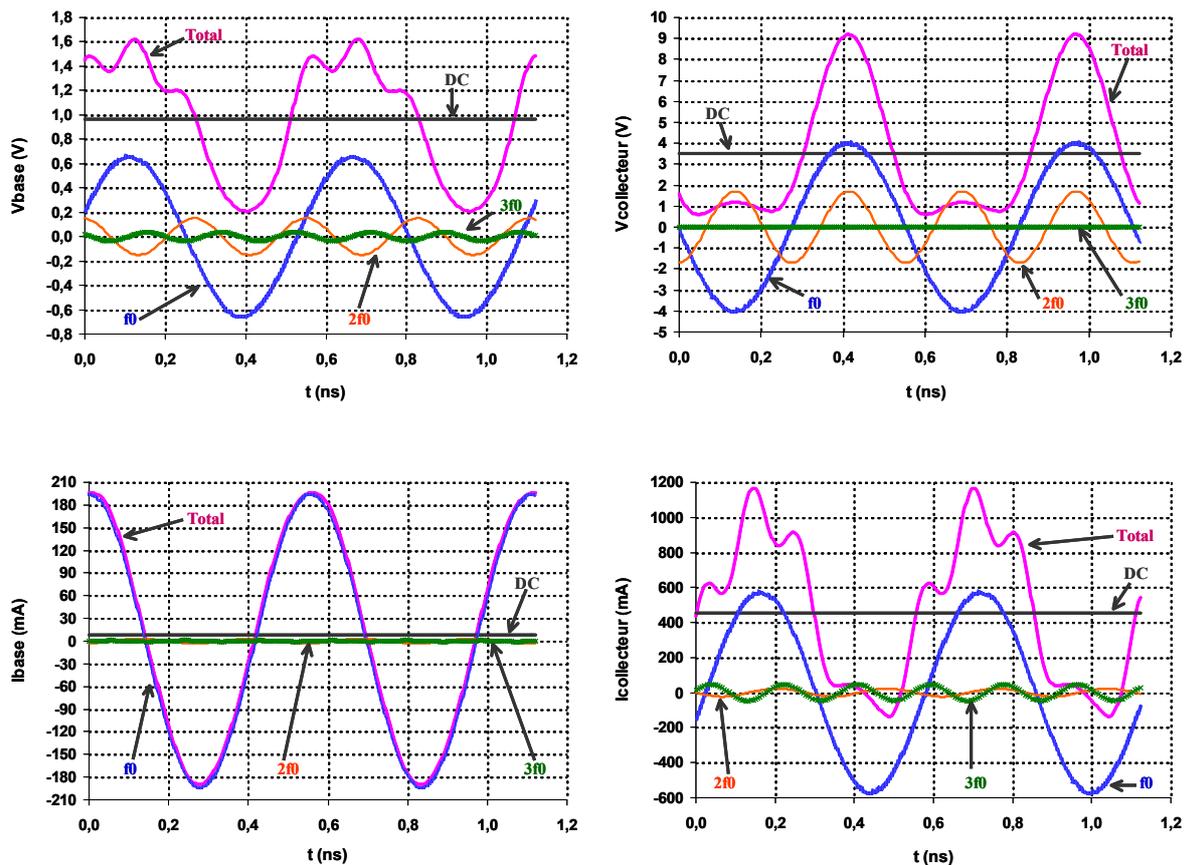


Figure II.59 : Décomposition des formes d'ondes temporelles à $V_{BE0} = 0.97V$ ($I_C = 300mA$)

IV.3.6. Remarque importante sur l'optimisation des harmoniques en charge

Ce paragraphe a pour but de montrer l'influence des coefficients de réflexion aux fréquences harmoniques $2f_0$ et $3f_0$ sur l'optimisation en rendement en puissance ajoutée. En effet, en prenant comme conditions initiales le court-circuit à ces fréquences, il est apparu que $\Gamma_{\text{charge}@3f_0}$ influence peu les performances du transistor. Seuls $\Gamma_{\text{charge}@f_0}$ et $\Gamma_{\text{charge}@2f_0}$ ont leur importance. Mais est-ce réellement le cas ? Pour ce faire, il est intéressant d'analyser l'influence de $\Gamma_{\text{charge}@2f_0}$ et $\Gamma_{\text{charge}@3f_0}$ sur les performances du transistor, polarisé à $V_{\text{BE}0}=0.73\text{V}$ ($I_{\text{C}}=6.5\text{mA}$)

IV.3.6.a. Influence de l'harmonique 2

La détermination du pire cas et du meilleur cas de $\Gamma_{\text{charge}@2f_0}$ lorsque $V_{\text{BE}0} = 0.73\text{V}$ ($I_{\text{C}}=6.5\text{mA}$), avec $\Gamma_{\text{charge}@f_0}$ fixé à sa valeur optimale et Γ_{charge} aux autres fréquences court-circuités, a conduit aux courbes de la figure II.60.

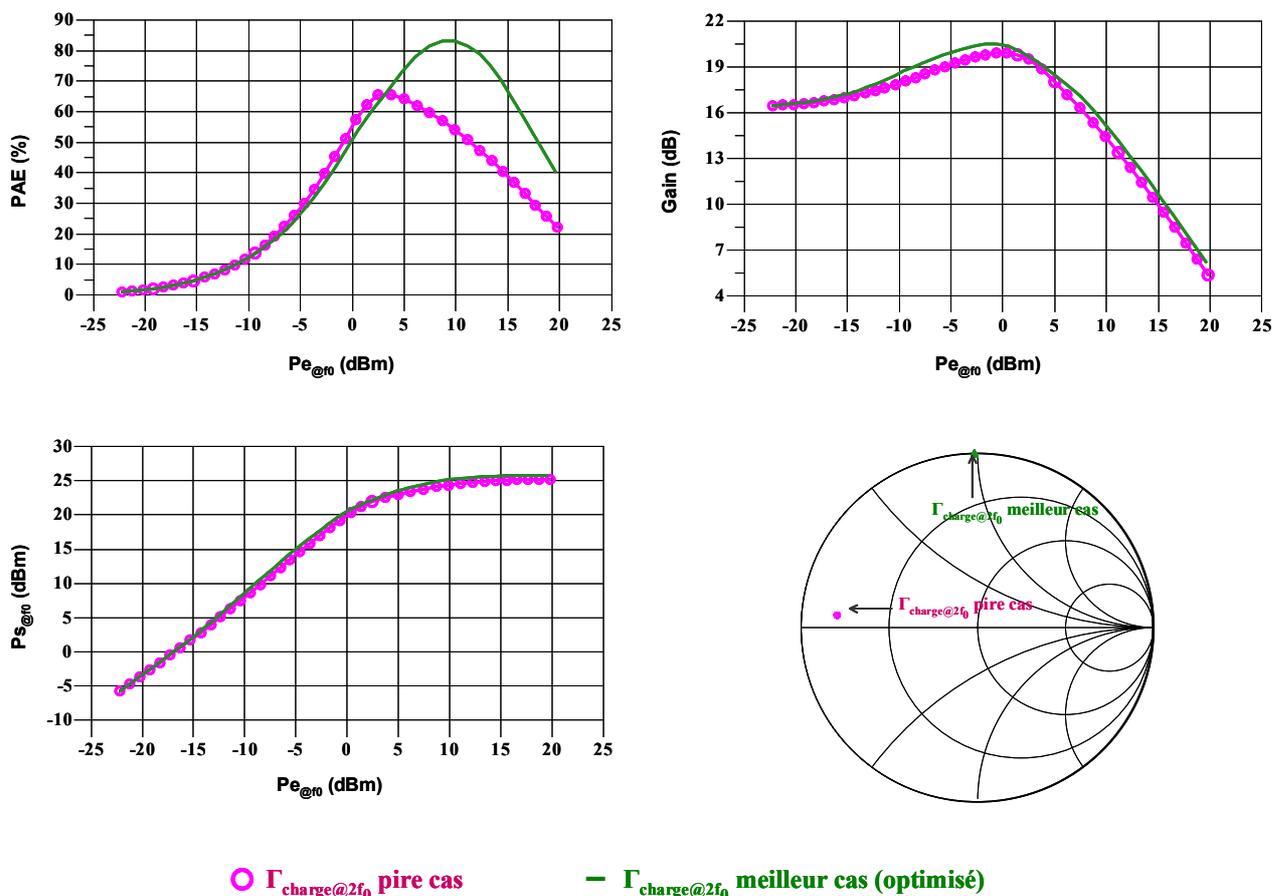


Figure II.60 : Comparaison des performances avec $\Gamma_{\text{charge}@2f_0}$ pire cas et meilleur cas (optimisé)

Le tableau II.12 montre tout l'intérêt d'optimiser $\Gamma_{\text{charge}@2f_0}$.

| | Pire cas - $\Gamma_{\text{charge}@2f_0} = 0.8 \angle 175^\circ$ | Meilleur cas - $\Gamma_{\text{charge}@2f_0} = 1 \angle 91^\circ$ |
|-----------------------------|---|--|
| PAE max (%) | 65.5 | 83.2 |
| $P_{e@f_0}$ à PAE max (dBm) | 3.7 | 8.7 |
| $P_{s@f_0}$ à PAE max (dBm) | 22.6 | 24.9 |
| Expansion de gain (dB) | 3.5 | 4 |

Tableau II.12 : Comparaison des performances avec $\Gamma_{\text{charge}@2f_0}$ pire cas et meilleur cas (optimisé)

La PAE passe en effet de 65.5% dans le pire cas, à 83.2% dans le meilleur cas. Mais le bénéfice est obtenu à une compression de gain forte (correspondant à $P_{e@f_0} = 8.7\text{dBm}$)

IV.3.6.b. Influence de l'harmonique 3 lorsque l'harmonique 2 est au pire cas

L'impact de $\Gamma_{\text{charge}@3f_0}$ sur les performances du transistor a été réalisé avec $\Gamma_{\text{charge}@2f_0}$ pris au pire cas. Les résultats d'optimisation de $\Gamma_{\text{charge}@3f_0}$ sont donnés par la figure II.61.

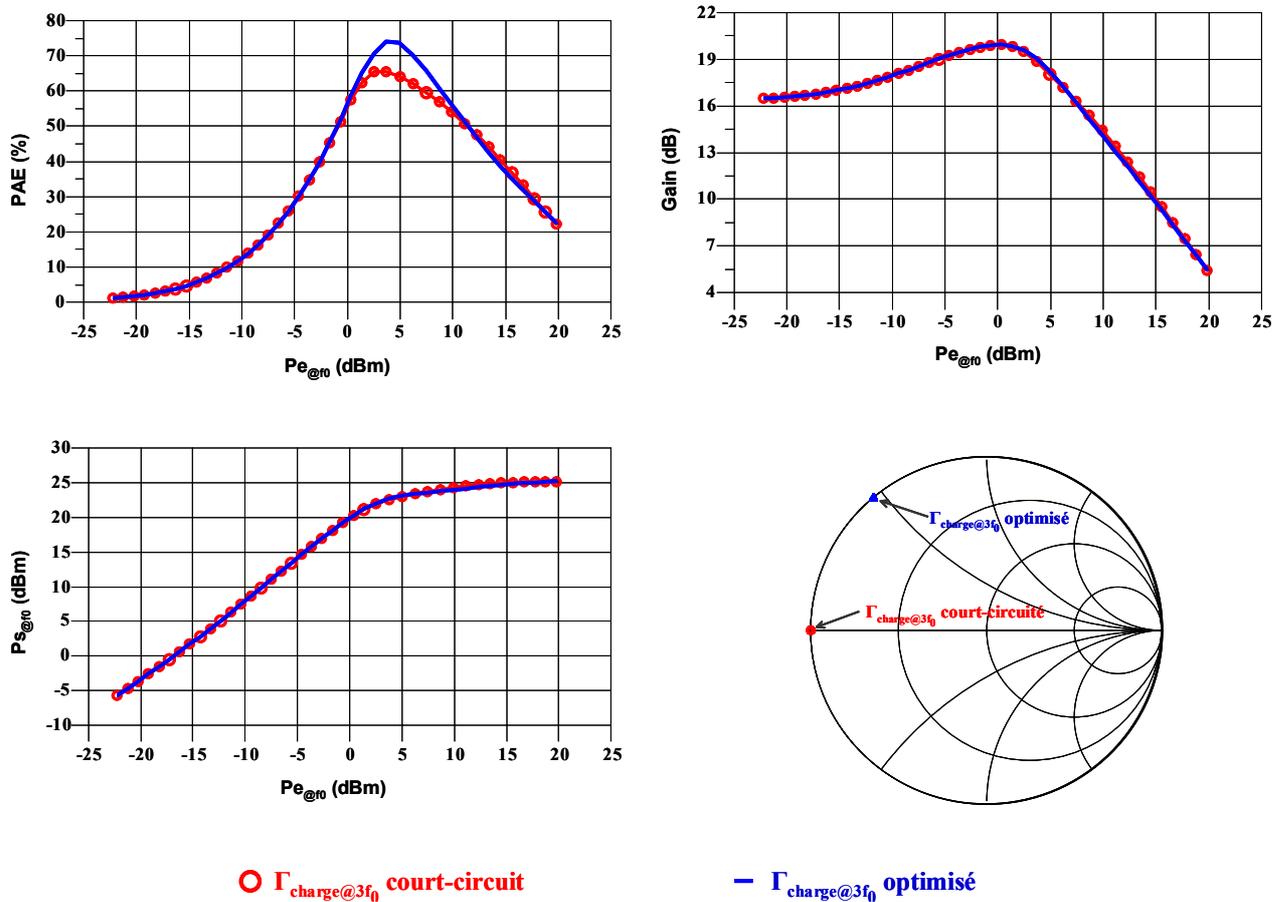


Figure II.61 : Influence de $\Gamma_{\text{charge}@3f_0}$ lorsque $\Gamma_{\text{charge}@2f_0}$ est au pire cas

Les courbes présentées montrent que l'influence de $\Gamma_{\text{charge}@3f_0}$ sur les performances du transistor (environ 8 points sur la PAE) est moindre et présente l'inconvénient d'être très localisé en rendement. Il est alors possible d'affirmer que $\Gamma_{\text{charge}@3f_0}$ influence peu les performances du transistor. Pour la suite des simulations, il sera donc fixé au court-circuit.

IV.3.6.c. Influence de l'harmonique 3

La détermination du pire cas et du meilleur cas de $\Gamma_{\text{charge}@3f_0}$ lorsque $\Gamma_{\text{charge}@f_0}$ et $\Gamma_{\text{charge}@2f_0}$ sont optimisés est illustrée par les courbes de la figure II.62.

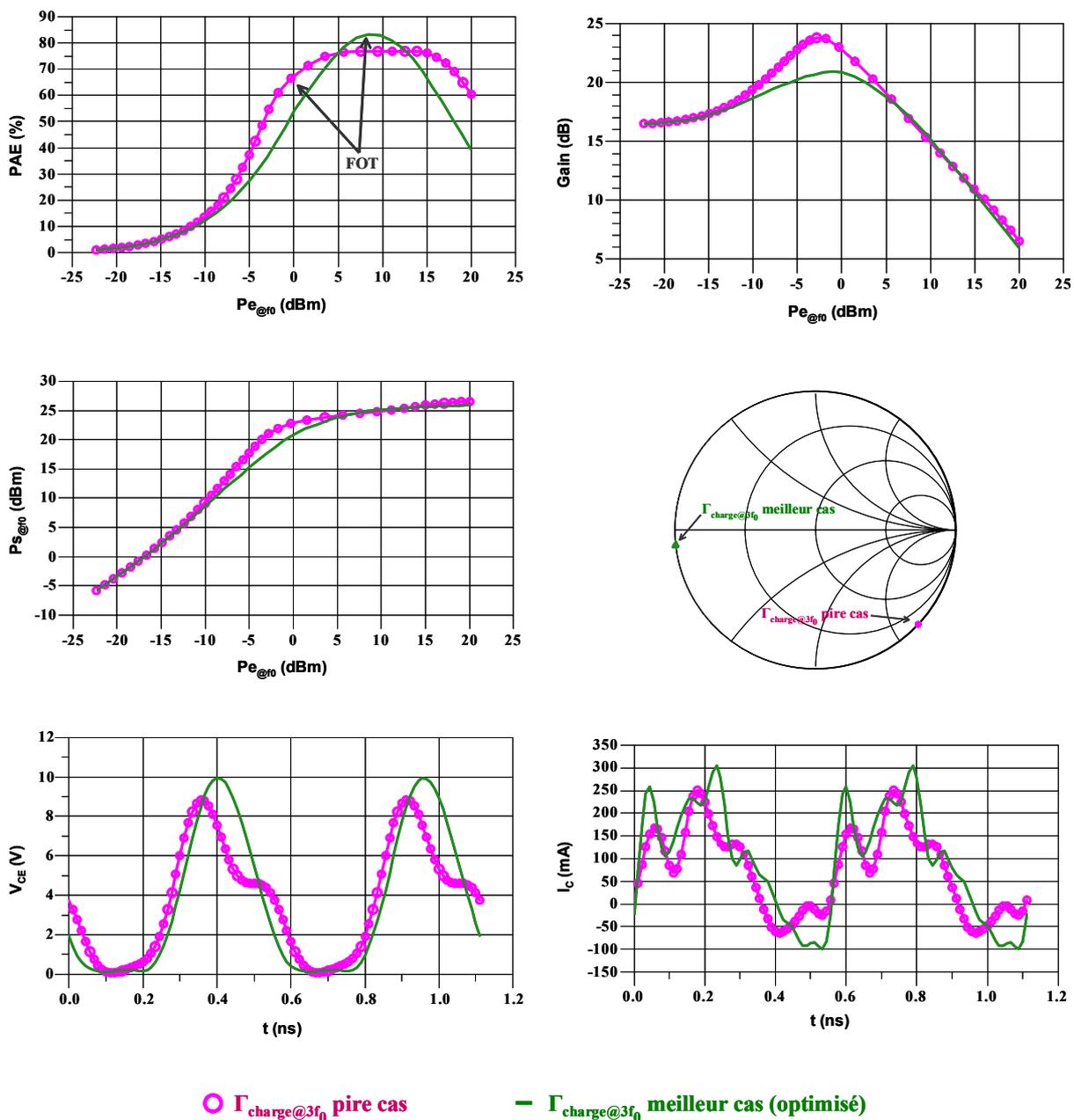


Figure II.62 : Comparaison des performances avec $\Gamma_{\text{charge}@3f_0}$ pire cas et meilleur cas (optimisé)

Ce qui est appelé ici, pire cas, peut s'avérer être le meilleur cas si le transistor est destiné à fonctionner avec du recul de puissance (« back-off »). En effet, la courbe de PAE assez particulière obtenue mériterait vraiment d'être validée en mesure. Ce qui n'a pas été fait pour l'instant. En résumé, ces courbes corroborent le fait que $\Gamma_{\text{charge}@3f_0}$ influence peu les performances du transistor simulé. Seuls $\Gamma_{\text{charge}@f_0}$ et $\Gamma_{\text{charge}@2f_0}$ ont un effet probant lors de l'optimisation de la PAE.

IV.3.7. Comparaison des optimisations réalisées

D'après ce qui vient d'être vu, il apparaît clairement que quelque soit le point de polarisation choisi ($V_{\text{BE}0} = 0.70\text{V}$, 0.73V , 0.78V ou 0.97V), la PAE est déterminée par les valeurs optimales de $\Gamma_{\text{charge}@f_0}$ et $\Gamma_{\text{charge}@2f_0}$. La charge $\Gamma_{\text{charge}@3f_0}$ influence relativement peu la PAE lorsque $\Gamma_{\text{charge}@2f_0}$ est optimisé. Ainsi, il a été convenu, pour la suite de l'étude, de le laisser fixer au court-circuit. Dès lors, afin de conclure sur l'optimisation CW en rendement en puissance ajoutée, il est judicieux de comparer les principales caractéristiques grand signal (à savoir PAE, gain, puissance de sortie à la fréquence f_0) obtenues pour les quatre points de polarisation, lorsque les impédances de charge optimales trouvées sont fixées à f_0 et à $2f_0$.

Le tableau II.13 rappelle les valeurs des coefficients de réflexion optimaux en charge $\Gamma_{\text{charge}@f_0}$ et $\Gamma_{\text{charge}@2f_0}$ pour les quatre points de polarisation, trouvés lors des optimisations CW. Ainsi, toutes les comparaisons et les simulations à venir ont été menées avec $\Gamma_{\text{charge}@f_0}$ et $\Gamma_{\text{charge}@2f_0}$ optimaux. Les impédances aux autres fréquences sont court-circuitées ($\Gamma_{\text{charge}@\text{autres_fréquences}} = 1 \angle 180^\circ$).

| Impédances de charge optimales | | | | |
|--------------------------------|---------------------------------|---------------------------------|---------------------------------|---------------------------------|
| | $V_{\text{BE}0} = 0.70\text{V}$ | $V_{\text{BE}0} = 0.73\text{V}$ | $V_{\text{BE}0} = 0.78\text{V}$ | $V_{\text{BE}0} = 0.97\text{V}$ |
| $\Gamma_{\text{charge}@f_0}$ | $0.43 \angle 117^\circ$ | $0.41 \angle 130^\circ$ | $0.50 \angle 159^\circ$ | $0.78 \angle 175^\circ$ |
| $\Gamma_{\text{charge}@2f_0}$ | $0.99 \angle 92^\circ$ | $1 \angle 91^\circ$ | $1 \angle 65^\circ$ | $1 \angle 301^\circ$ |

Tableau II.13 : Valeurs optimales de $\Gamma_{\text{charge}@f_0}$ et de $\Gamma_{\text{charge}@2f_0}$ pour les quatre points de polarisation

Les figures II.63 et II.64 correspondent aux tracés de ces impédances optimales.

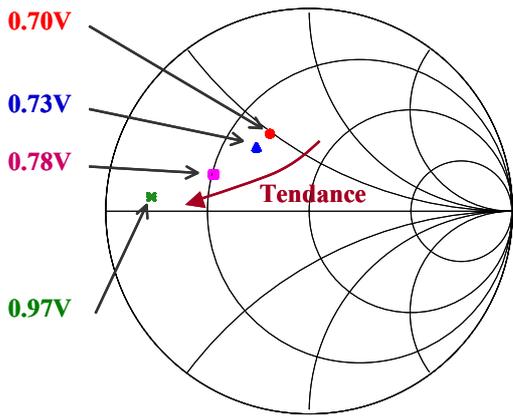


Figure II.63 : $\Gamma_{\text{charge}@f_0}$ des quatre points

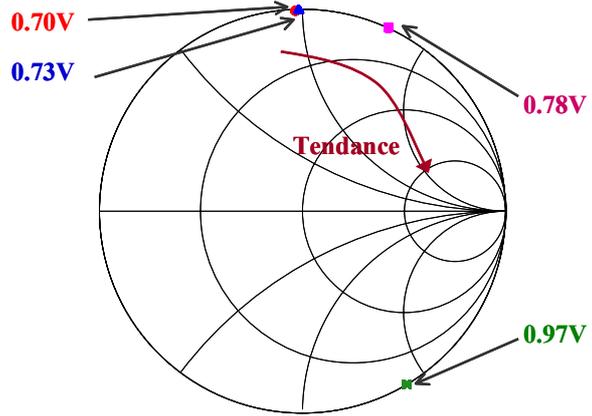


Figure II.64 : $\Gamma_{\text{charge}@2f_0}$ des quatre points

Au vu de ces deux abaques de Smith (figures II.63 et II.64), une première remarque peut être faite : plus la polarisation croît (passant des points $V_{\text{BE}0} = 0.70\text{V}$ à 0.97V), plus $\Gamma_{\text{charge}@f_0}$ se rapproche du court-circuit. Enfin, une rotation de la phase de $\Gamma_{\text{charge}@2f_0}$ optimal est observée.

Une comparaison des principales caractéristiques est donnée par la figure II.65.

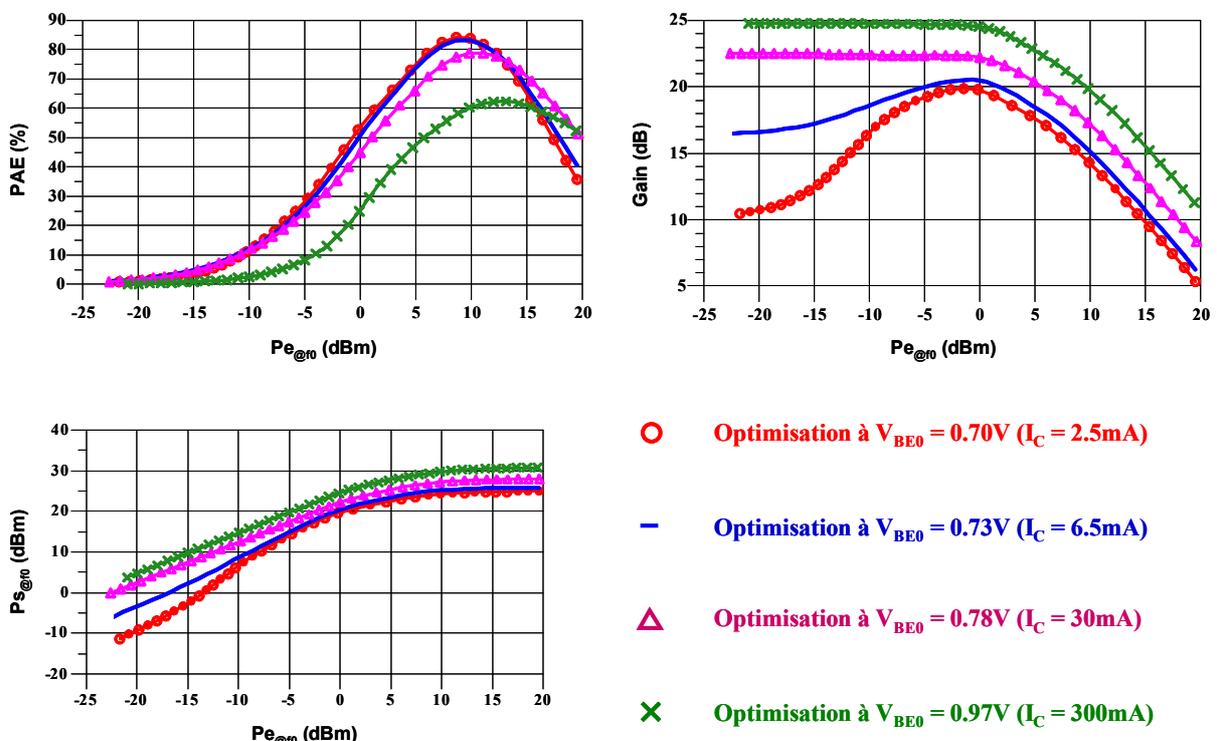


Figure II.65 : Comparaison des caractéristiques grand signal des quatre points de polarisation

Le tableau II.14 compare les performances obtenues avec ces quatre points de polarisation.

| | $V_{BE0}=0.70V (I_C=2.5mA)$ | $V_{BE0}=0.73V (I_C=6.5mA)$ | $V_{BE0}=0.78V (I=30mA)$ | $V_{BE0}=0.97V (I_C=300mA)$ |
|---|-----------------------------|-----------------------------|--------------------------|-----------------------------|
| PAE max (%) | 84.2 | 83.2 | 78.8 | 62.3 |
| $P_{e@f_0}$ à PAE max (dBm) | 8.6 | 8.7 | 11 | 13.1 |
| $P_{s@f_0}$ à PAE max (dBm) | 23.9 | 24.9 | 27.3 | 30.3 |
| Expansion de gain (dB) | 7.7 | 3.4 | / | / |

Tableau II.14 : Comparaison des performances selon la polarisation

D'après l'allure des PAE, il apparaît que plus la polarisation croît, plus la PAE diminue. Cette chute est cohérente car lorsque la polarisation croît la puissance dissipée augmente (tendance vers la classe A). De ce fait, il est normal que la meilleure PAE soit obtenue, à cette fréquence basse de 1.8GHz, sous la plus faible polarisation ($V_{BE0} = 0.70V$).

Concernant la linéarité, l'expansion de gain est un bon indicateur. Lorsque la polarisation croît, le gain petit signal (c'est-à-dire aux faibles puissances d'entrée $P_{e@f_0}$) devient de plus en plus plat. En d'autres termes, cela signifie que la linéarité est améliorée. Dès lors, avec la remarque précédente, il est évident qu'un compromis entre rendement (ou PAE) et linéarité devra être trouvé afin de satisfaire au mieux les applications auxquelles le transistor sera destiné.

IV.4. Influence des impédances de source aux harmoniques

Pour analyser l'influence des impédances de source aux harmoniques sur les performances du transistor, deux boîtes de paramètres S ont été intégrées au schéma de simulation. La première en série est appelée Sz et la seconde en parallèle est appelée Sy, comme indiqué sur la figure II.66. La boîte « Sz » présente un court-circuit à f_0 et un circuit-ouvert aux fréquences harmoniques supérieures. La boîte « Sy », quant à elle, présente un circuit-ouvert à f_0 et une impédance qu'il est possible de faire varier aux fréquences $2f_0$ et $3f_0$. Les harmoniques supérieurs sont court-circuités. De ce fait, l'impédance de source est contrôlable et permet de simuler du source-pull.

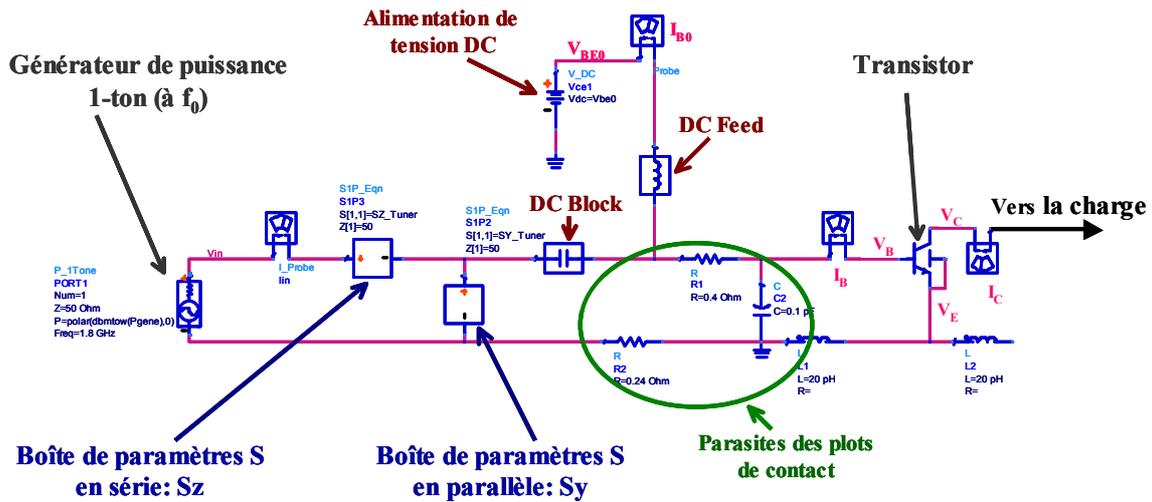


Figure II.66 : Schéma de simulation pour la prise en compte des impédances d'entrée

Les simulations menées ont fait apparaître de petites différences de performances, seulement vis-à-vis de $\Gamma_{source@2f_0}$ (pris comme un court-circuit variable, c'est-à-dire $\Gamma_{source@2f_0} = 1 \times e^{j\phi_{source@2f_0}}$). La figure II.67 donne les courbes où ces différences apparaissent sur le profil de gain en fonction de la puissance.

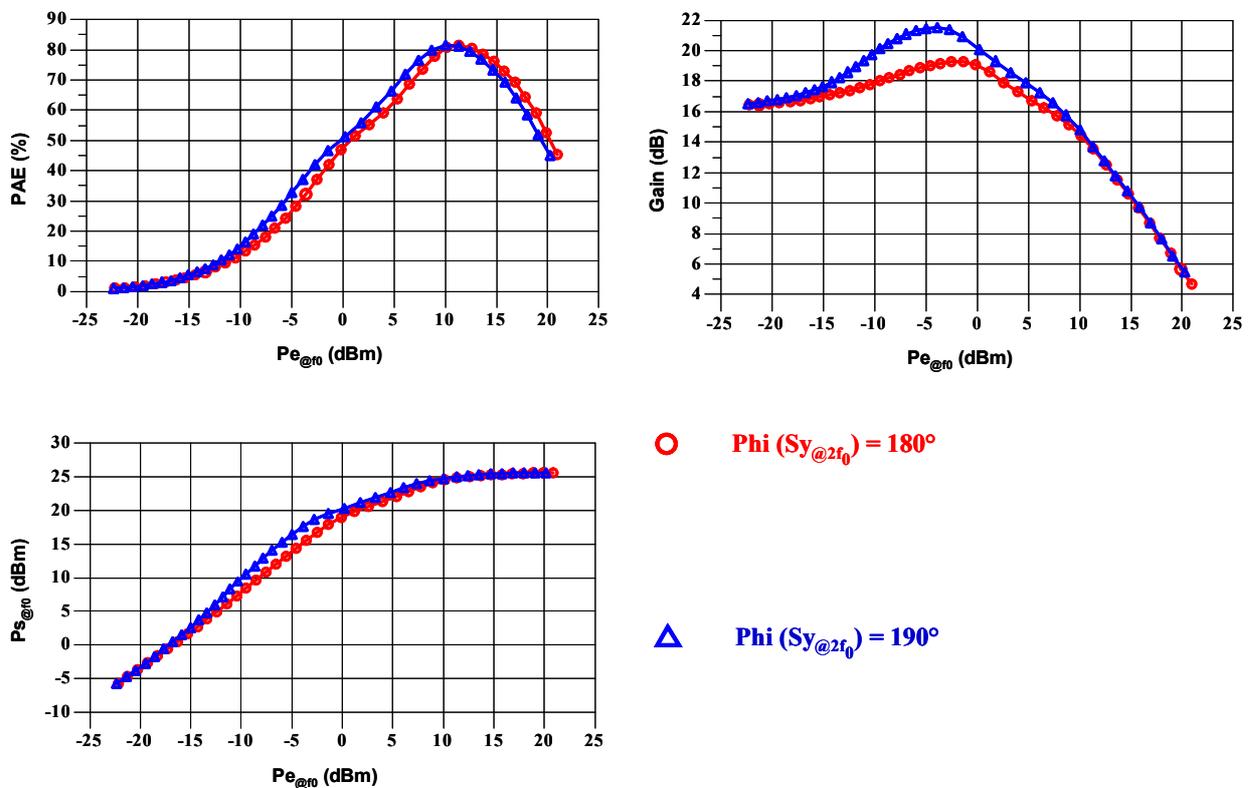


Figure II.67 : Influence de $\Gamma_{source@2f_0}$

Il est possible d'espérer un impact sur la linéarité lorsque la phase de $\Gamma_{\text{source}@2f_0}$ vaut 180° (court-circuit parfait), car l'ondulation de gain simulé est moindre (2.8dB contre 5dB lorsque la phase vaut 190°).

V. Simulations des performances en linéarité

Ce paragraphe se concentre sur les simulations de linéarité. Les références [14] à [16] montrent l'intérêt de ce type de simulations, notamment pour la recherche d'un compromis rendement / linéarité. Dans un premier temps, l'analyse des compromis rendement / linéarité sera donc menée par des simulations en biporteuse (ou 2-tons), au moyen du critère C/I3. Puis, une simulation d'ACPR, pour le meilleur cas, sera exposée.

V.1. Description de la simulation HB 2-tons

V.1.1. Description des signaux 2-tons utilisés

Dans une simulation 2-tons, le transistor est excité par la somme de deux signaux CW, aux fréquences f_1 et f_2 telles que : $f_2 - f_1 = \Delta f$. Les fréquences porteuses f_1 et f_2 sont définies de la façon suivante : $f_1 = f_c - \frac{\Delta f}{2}$ et $f_2 = f_c + \frac{\Delta f}{2}$, où f_c représente la fréquence fondamentale CW. L'intérêt des simulations 2-tons est l'analyse et l'étude des non-linéarités des dispositifs, par le biais, notamment, de l'intermodulation d'ordre 3 (ou IM3) et d'ordre 5 (ou IM5).

Comme pour la simulation HB CW (1-ton), la simulation HB 2-tons utilise un générateur de puissance, qui permet d'imposer deux signaux CW, aux fréquences f_1 et f_2 . Pour ces deux fréquences porteuses, il faut choisir un ordre d'harmoniques générés par chacune d'elles, ainsi qu'un ordre d'intermodulation maximal considéré pour les simulations. Dans le cadre de cette thèse, l'ordre d'harmoniques est fixé à 8 et l'ordre d'intermodulation à 5.

Comme pour les simulations CW, les définitions des principales caractéristiques des performances simulées sont rappelées à l'aide des équations (2.16) à (2.31). Les définitions de V_{Base} , $V_{\text{Collecteur}}$, I_B , I_C , V_{BE0} , I_{B0} , V_{CE0} et I_{C0} restent les mêmes qu'en CW. Dès lors, il vient :

• Puissance d'alimentation : $P_{\text{alim}} = I_{B0} \times V_{BE0} + I_{C0} \times V_{CE0}$ (2.16)

• Puissance d'entrée totale (autour de f_0) : $P_e = P_{e@f_1} + P_{e@f_2}$ (2.17)

avec - puissance d'entrée à f_1 : $P_{e@f_1} = \frac{1}{2} \text{Re} (V_{\text{Base}@f_1} \times I_{B@f_1}^*)$ (2.18)

- puissance d'entrée à f_2 : $P_{e@f_2} = \frac{1}{2} \text{Re} (V_{\text{Base}@f_2} \times I_{B@f_2}^*)$ (2.19)

• Puissance de sortie totale (autour de f_0) : $P_s = P_{s@f_1} + P_{s@f_2}$ (2.20)

avec - puissance de sortie à f_1 : $P_{s@f_1} = -\frac{1}{2} \text{Re} (V_{\text{Collecteur}@f_1} \times I_{C@f_1}^*)$ (2.21)

- puissance de sortie à f_2 : $P_{s@f_2} = -\frac{1}{2} \text{Re} (V_{\text{Collecteur}@f_2} \times I_{C@f_2}^*)$ (2.22)

Pour le calcul des intermodulations d'ordre 3 et 5, il faut définir les puissances de sorties des raies d'intermodulation 3 :

- puissance de sortie à $2f_1 - f_2$: $P_{s@2f_1-f_2} = -\frac{1}{2} \text{Re} (V_{\text{Collecteur}@2f_1-f_2} \times I_{C@2f_1-f_2}^*)$ (2.23)

- puissance de sortie à $2f_2 - f_1$: $P_{s@2f_2-f_1} = -\frac{1}{2} \text{Re} (V_{\text{Collecteur}@2f_2-f_1} \times I_{C@2f_2-f_1}^*)$ (2.24)

et les puissances de sortie des raies d'intermodulation d'ordre 5 :

- puissance de sortie à $3f_1 - 2f_2$: $P_{s@3f_1-2f_2} = -\frac{1}{2} \text{Re} (V_{\text{Collecteur}@3f_1-2f_2} \times I_{C@3f_1-2f_2}^*)$ (2.25)

- puissance de sortie à $3f_2 - 2f_1$: $P_{s@3f_2-2f_1} = -\frac{1}{2} \text{Re} (V_{\text{Collecteur}@3f_2-2f_1} \times I_{C@3f_2-2f_1}^*)$ (2.26)

• C/I 3 total : $C/I 3 = 10 \times \log_{10} \left(\frac{P_{s@f_1} (mW) + P_{s@f_2} (mW)}{P_{s@2f_1-f_2} (mW) + P_{s@2f_2-f_1} (mW)} \right)$ (2.27)

• C/I 5 total : $C/I 5 = 10 \times \log_{10} \left(\frac{P_{s@f_1} (mW) + P_{s@f_2} (mW)}{P_{s@3f_1-2f_2} (mW) + P_{s@3f_2-2f_1} (mW)} \right)$ (2.28)

• Puissance ajoutée totale (autour de f_0) : $P_{aj} = P_s \text{ (mW)} - P_e \text{ (mW)}$ (2.29)

• Rendement en puissance ajoutée à f_0 : $PAE = \frac{P_{aj} \text{ (mW)}}{P_{a \text{ lim}} \text{ (mW)}} \times 100$ (2.30)

• Gain (en puissance) : $\text{Gain} = P_s \text{ (dBm)} - P_e \text{ (dBm)}$ (2.31)

V.1.2. Schéma de simulation utilisé

Lors des simulations 2-tons, le réseau thermique composé des dix cellules CRC a été utilisé à la place du simple réseau thermique RC du modèle HICUM. Pour ce faire, le cinquième nœud du transistor a été rendu accessible depuis l'extérieur du transistor (nœud thermique). Dès lors, le schéma de simulation utilisé est celui représenté par la figure II.68.

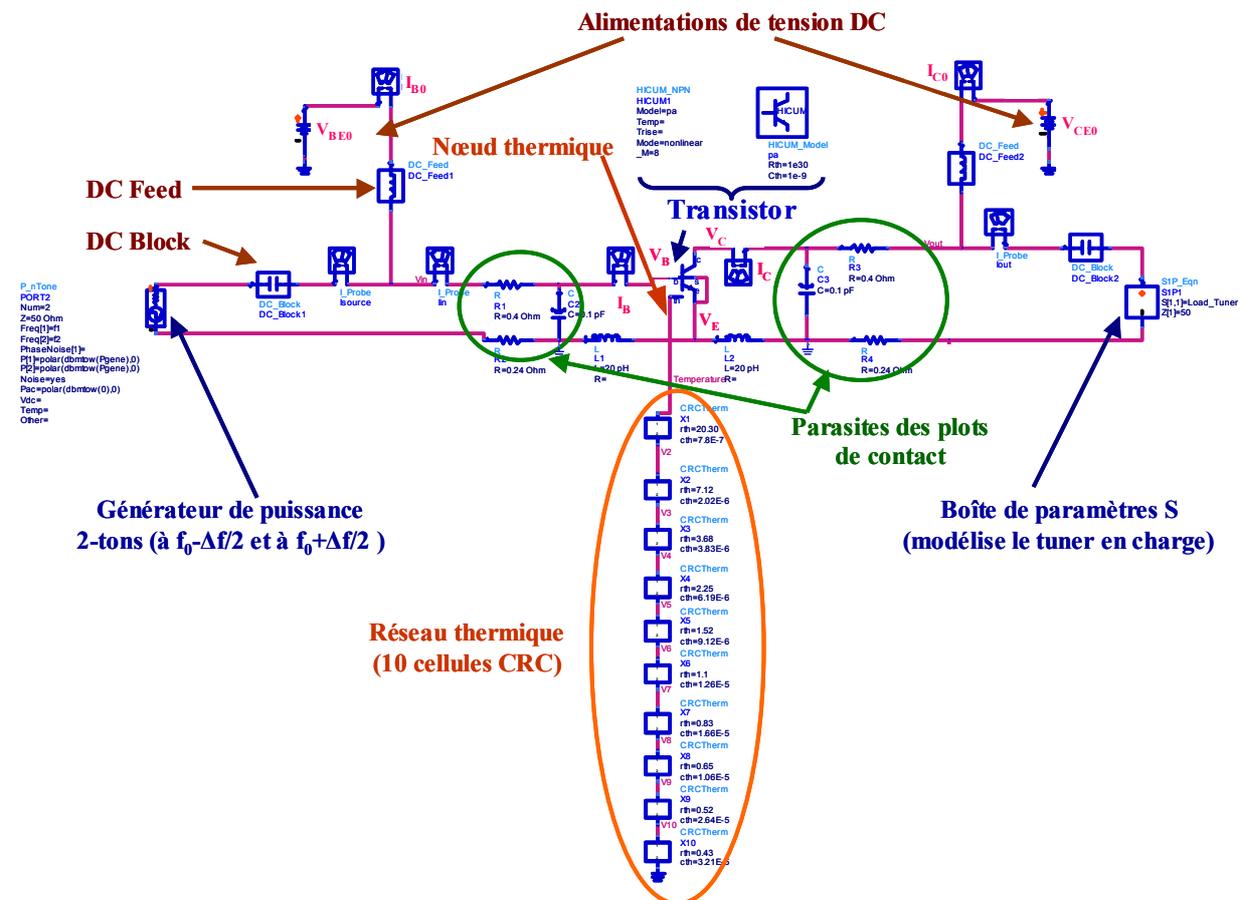


Figure II.68 : Schéma de simulation HB 2-tons

V.1.3. Influence de l'écart fréquentiel

Compte tenu de l'utilisation du réseau thermique composé des dix cellules $C_{th}R_{th}C_{th}$ présentant deux constantes de temps thermiques, définies au début de ce chapitre (pour rappel, $\tau_1 = 52.6\mu s$ et $\tau_2 = 0.3ms$), il a été décidé de faire varier l'écart Δf , pour voir si la thermique a une influence sur les performances du transistor.

Pour ce faire, les impédances de charge ont été fixées à celles déterminées lors des simulations CW. Ainsi, $\Gamma_{charge@f_0}$ optimal a été imposé aux fréquences f_1 , f_2 et aux fréquences d'intermodulation d'ordre 3 et 5 autour de f_0 . $\Gamma_{charge@2f_0}$ optimal a été imposé à la fréquence $2f_C$ et aux fréquences d'intermodulation d'ordre 2 et 4 autour de $2f_0$. Le reste des impédances, du spectre fréquentiel généré, a été court-circuité. Enfin, l'impédance de source est restée fixée sur 50Ω .

Les quatre points de polarisation, précédemment définis, ont alors été simulés avec des Δf prenant successivement les valeurs de 1kHz, 10kHz, 50kHz et 5MHz. Les résultats de simulations, que ce soit en PAE, puissance ou linéarité n'ont montré aucune différence en fonction du Δf . Dès lors, il a été décidé de travailler avec un écart Δf de 10kHz pour la suite des simulations en biporteuse.

V.2. Résultats de simulation avec les impédances optimales CW

V.2.1. Comparaison des points de polarisation avec un écart fréquentiel de 10kHz

Les simulations ont été menées avec un écart fréquentiel, Δf , de 10kHz. Les quatre points de polarisation utilisés lors des simulations CW ont été testés. Les impédances de charge optimales à f_0 et $2f_0$, déterminées lors des simulations CW, ont été imposées aux impédances autour de f_0 et de $2f_0$. Les courbes de la figure II.69 comparent la PAE, le gain, la puissance de sortie, le C/I3 et le C/I5 obtenus avec les quatre points de polarisation.

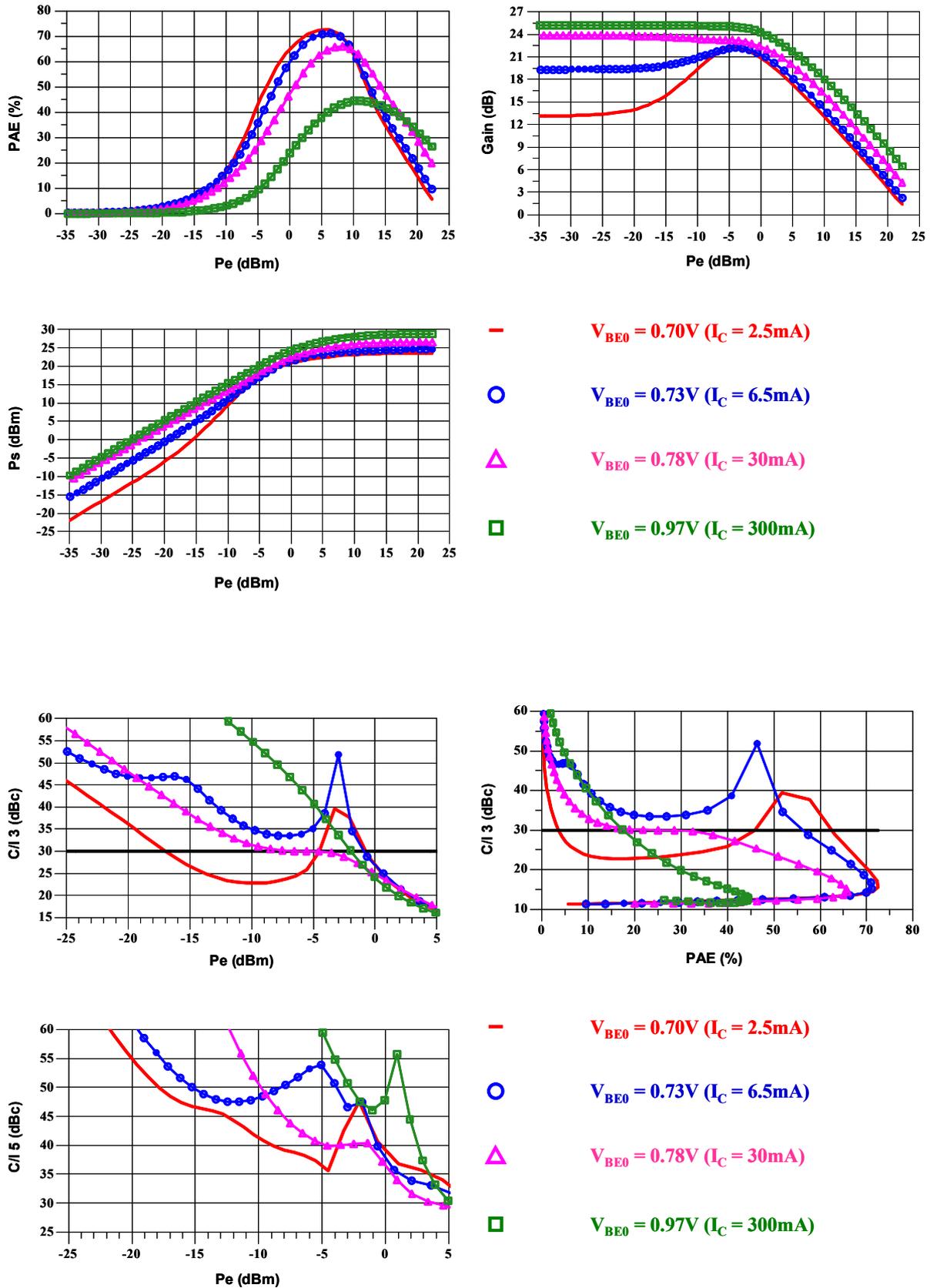


Figure II.69 : Comparaison des performances 2-tons pour les quatre points de polarisation

Ces courbes font apparaître les mêmes conclusions qu'en CW, à savoir que plus la polarisation croît, plus la PAE diminue et plus le gain perd de son expansion. Par ailleurs, les valeurs des performances simulées en 2-tons sont moindres qu'en CW. A titre d'exemple, la PAE maximale, pour le point à $V_{BE0} = 0.70V$, est passée de 84.2% en CW à 72.5% en 2-tons.

Mais le point le plus important que font apparaître ces simulations 2-tons tient dans l'analyse du C/I3. Pour satisfaire un C/I3 de 30dBc, la meilleure polarisation correspond à $V_{BE0} = 0.73V$ ($I_C = 6.5mA$). La PAE obtenue est alors de 55%, valeur bien supérieure par rapport aux autres points de polarisation. Le tableau II.15 compare les performances en fonction de la polarisation.

| | $V_{BE0}=0.70V$ ($I_C=2.5mA$) | $V_{BE0}=0.73V$ ($I_C=6.5mA$) | $V_{BE0}=0.78V$ ($I_C=30mA$) | $V_{BE0}=0.97V$ ($I_C=300mA$) |
|------------------------------------|------------------------------------|------------------------------------|-----------------------------------|------------------------------------|
| PAE max (%) | 72.5 | 71.1 | 65.9 | 44.4 |
| P_e à PAE max (dBm) | 6.1 | 6.5 | 8.3 | 11.1 |
| P_s à PAE max (dBm) | 22.5 | 23.5 | 25.7 | 28.2 |
| Expansion de gain (dB) | 9.2 | 2.9 | / | / |
| P_e où C/I 3 atteint 30dBc (dBm) | -17 | -0.9 | -6.5 | -2 |

Tableau II.15 : Comparaison des performances avec V_{BE0}

Compte tenu de ses bonnes performances en linéarité, le point de polarisation $V_{BE0}=0.73V$ ($I_C=6.5mA$) a été retenu pour présenter le reste des simulations 2-tons.

V.2.2. Influence des impédances de source et de charge aux harmoniques

L'influence des impédances de source et de charge aux harmoniques a été réalisée avec le point de polarisation $V_{BE0} = 0.73V$ ($I_C = 6.5mA$) et un écart Δf de 10kHz.

V.2.2.a. Influence de l'impédance de source autour de $2f_0$

Comme en CW, les impédances de source autour de $2f_0$ pire cas et meilleur cas ont été déterminées ($\Gamma_{source@2f_0} = 1 \times e^{j\phi_{source@2f_0}}$). Les courbes obtenues sont présentées à la figure II.70.

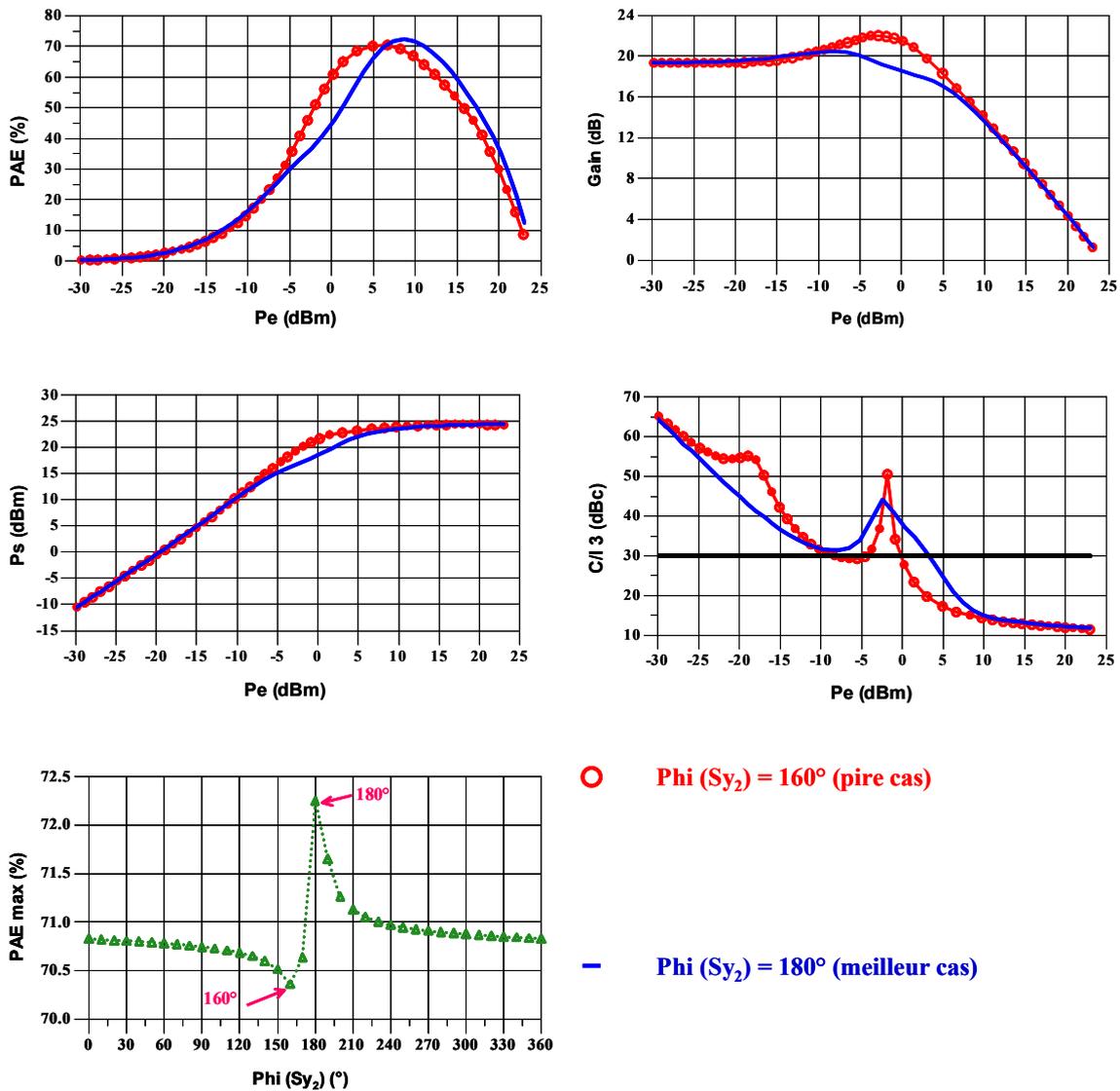


Figure II.70 : Comparaison des meilleur et pire cas pour $\Gamma_{source@2f0}$

L'impédance de source optimisée (meilleur cas) est au voisinage du court-circuit, comme en CW.

V.2.2.b. Influence de l'impédance de charge à Δf

Les simulations faisant varier l'impédance de charge aux fréquences de battement basse-fréquence (fréquences Δf et $2 \times \Delta f$) donnent les résultats de la figure II.71 (pire cas et meilleur cas). Il est à noter, qu'en raison de problèmes de convergence, le module de $\Gamma_{charge@BF}$ a été pris égal à 0.95 (et non 1).

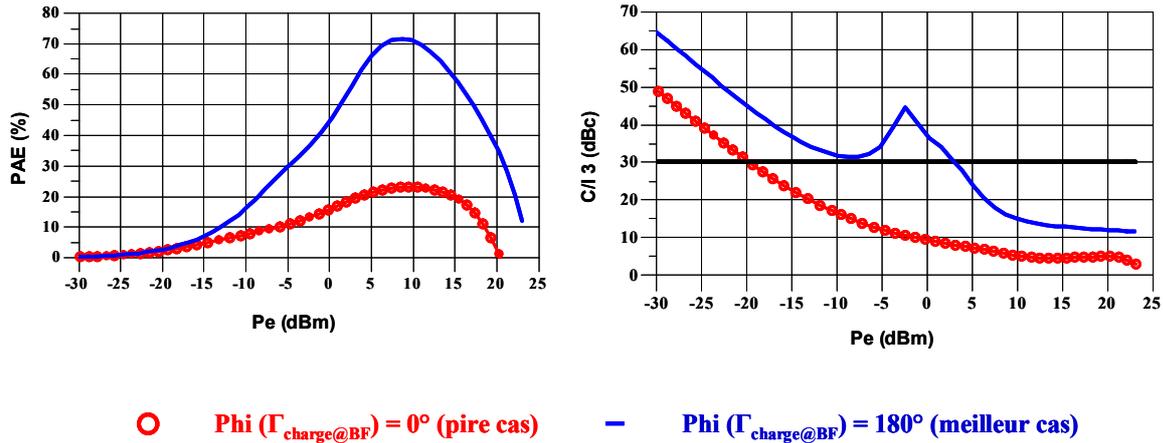


Figure II.71 : Comparaison des meilleur et pire cas pour $\Gamma_{\text{charge@BF}}$

Le meilleur cas observé correspond au court-circuit. En effet, la PAE maximale atteint 71.6% lorsque $\Gamma_{\text{charge@BF}}$ est court-circuité et chute à 23.2% lorsqu'il est proche du circuit-ouvert.

V.2.2.c. Influence de l'impédance de source à Δf

De même, l'influence de l'impédance de source aux fréquences de battement basse-fréquence (Δf et $2 \times \Delta f$) a été étudiée. Les résultats obtenus avec $\Gamma_{\text{source@BF}} = 0.85 \times e^{j\varphi_{\text{source@BF}}}$ sont indiqués à la figure II.72 (pire cas, meilleur cas et 50Ω).

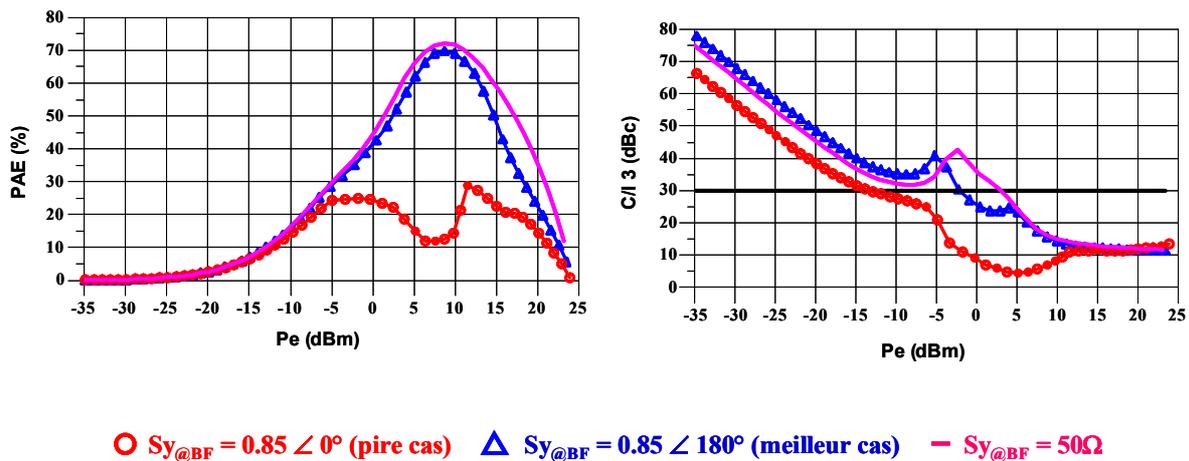


Figure II.72 : Comparaison des meilleur et pire cas pour $Sy_{@BF}$

Au vu de ces courbes, il est possible de conclure que le meilleur cas correspond à une faible impédance (court-circuit, voire quelques ohms). Cela est confirmé par le tableau II.16.

| | Pire cas $S_{y@BF} = 0.85 \angle 0^\circ$ | Meilleur cas $S_{y@BF} = 0.85 \angle 180^\circ$ | 50Ω $S_{y@BF} = 0 \angle 180^\circ$ |
|------------------------------------|--|--|---|
| PAE max (%) | 28.7 | 72.1 | 70 |
| P_c à PAE max(dBm) | 11.5 | 8.7 | 8.7 |
| P_s à PAE max(dBm) | 23.3 | 23.3 | 23.2 |
| Expansion de gain (dB) | 0.4 | 1.1 | 1 |
| P_e où C/I 3 atteint 30dBc (dBm) | - 12.8 | 2.7 | - 2.3 |

Tableau II.16 : Comparaison des meilleur et pire cas pour $\Gamma_{source@BF}$

L'étape suivante des simulations 2-tons consiste à étudier le comportement du transistor lorsqu'il est excité par un signal modulé multi-tons. Ces simulations multi-tons vont permettre d'analyser la linéarité obtenue, par le biais de l'ACPR et font l'objet du paragraphe suivant.

VI. Simulations d'ACPR (Adjacent Channel Power Ratio)

Les simulations multi-tons présentées ont été réalisées avec le point de polarisation $V_{BE0} = 0.73V$ ($I_C = 6.5mA$).

Pour les simulations d'ACPR, un circuit à éléments localisés remplace la boîte de paramètres S modélisant les impédances de charge CW et 2-tons. Ce circuit, qui est un filtre, est présenté à l'aide de la figure II.73. Il permet de synthétiser les coefficients de réflexion $\Gamma_{charge@f_0}$ et $\Gamma_{charge@2f_0}$ optimaux.

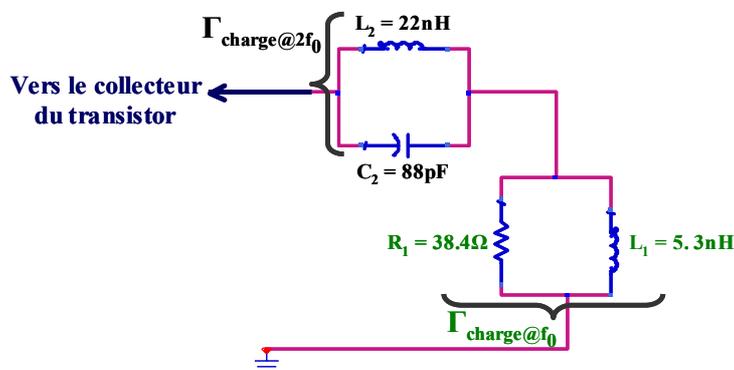


Figure II.73 : Description du circuit utilisé pour modéliser le tuner de charge

Le tableau II.17 compare les coefficients de réflexion générés par ce circuit, avec ceux obtenus lors de l'optimisation CW pour le point de polarisation $V_{BE0}=0.73V$ ($I_C=6.5mA$).

| | Boîte de paramètres S | Filtre |
|------------------------|-------------------------|-------------------------|
| $\Gamma_{charge@f_0}$ | $0.41 \angle 130^\circ$ | $0.37 \angle 130^\circ$ |
| $\Gamma_{charge@2f_0}$ | $1 \angle 91^\circ$ | $0.6 \angle 68^\circ$ |

Tableau II.17 : Comparaison des $\Gamma_{charge@f_0}$ et $\Gamma_{charge@2f_0}$

Ce tableau atteste que la synthèse d'impédances est correcte. Les courbes de la figure II.74 permettent de vérifier que les performances obtenues sont à peu près les mêmes avec la boîte de paramètres S et le circuit en éléments localisés.

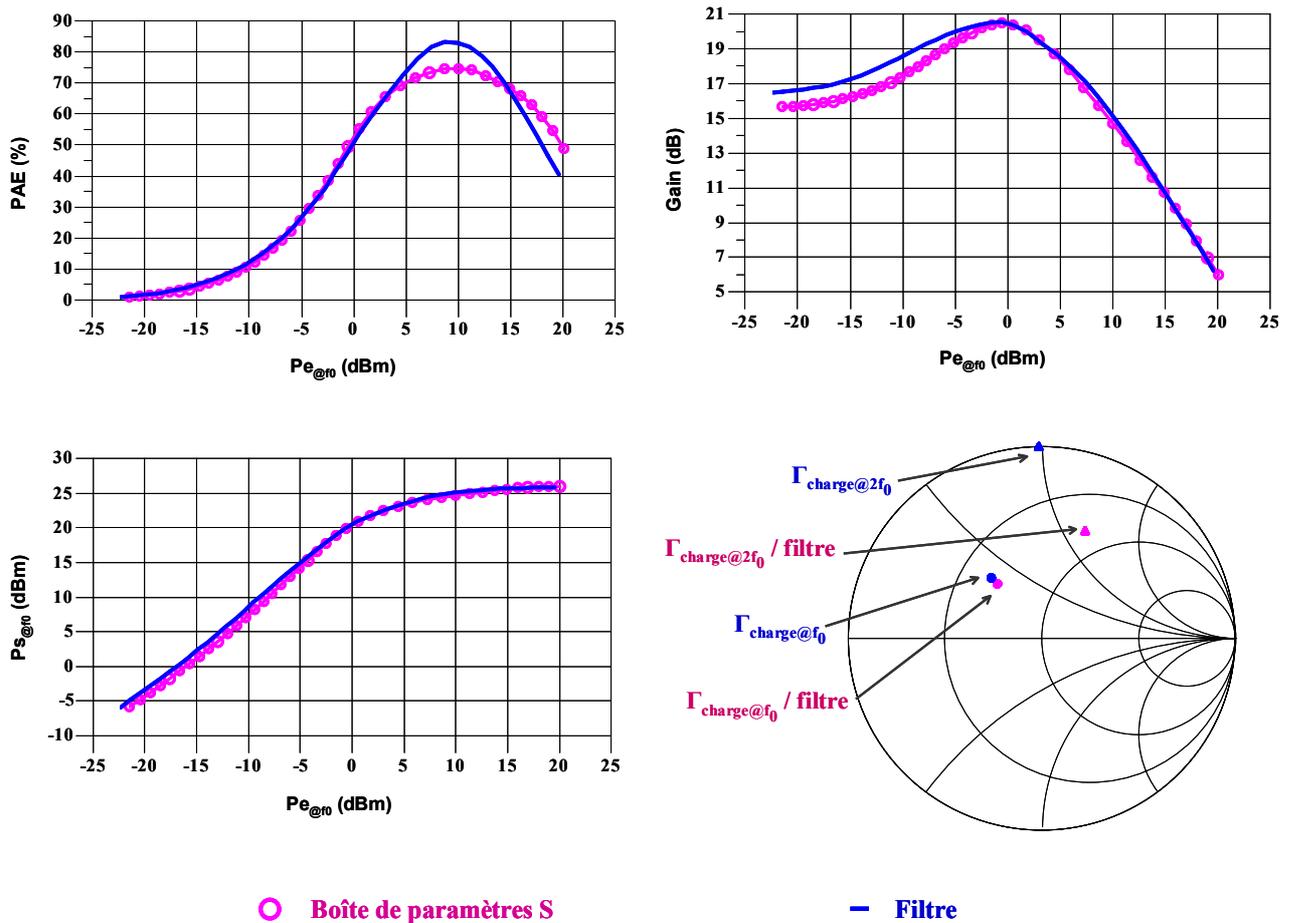


Figure II.74 : Comparaison de la boîte de paramètres S avec le circuit à éléments localisés

VI.1. Résultats de simulation

Le schéma de simulation reste le même que celui utilisé en CW et en 2-tons. La différence porte sur le signal d'entrée. Ce dernier est en effet un signal multi-tons, de type QPSK filtré, avec un débit symbole de 4MHz. Il est généré à l'aide de deux générateurs aléatoires, sommés dans un modulateur IQ, comme indiqué sur la figure II.75.

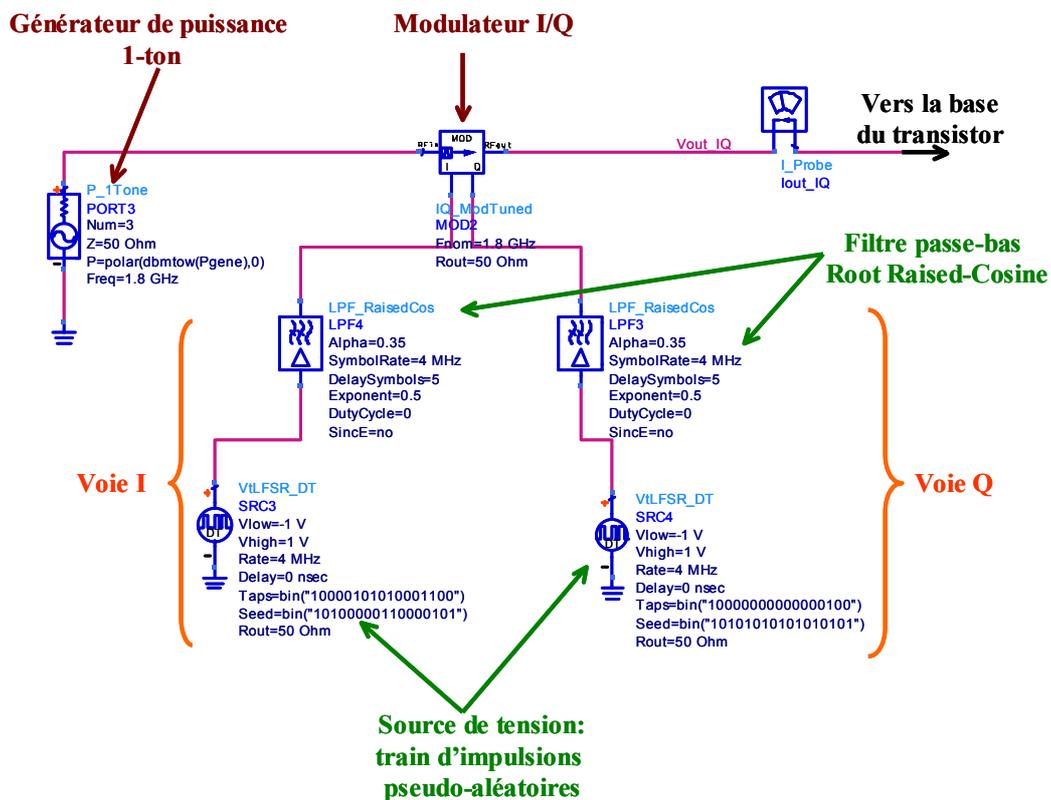


Figure II.75 : Génération du signal d'entrée pour la simulation d'ACPR

L'ACPR est calculé comme étant le rapport entre la puissance moyenne dans le canal principal, pris de bande passante égale à 4MHz, avec la somme des puissances moyennes des canaux adjacents. Ces derniers ont une bande passante de 4MHz et sont pris à +/- 5MHz de la fréquence centrale du canal principal. La courbe d'ACPR simulée est représentée à l'aide de la figure II.76. Par ailleurs, quatre spectres de sortie sont représentés, afin d'observer la remontée des canaux adjacents, témoins du comportement non-linéaire du transistor.

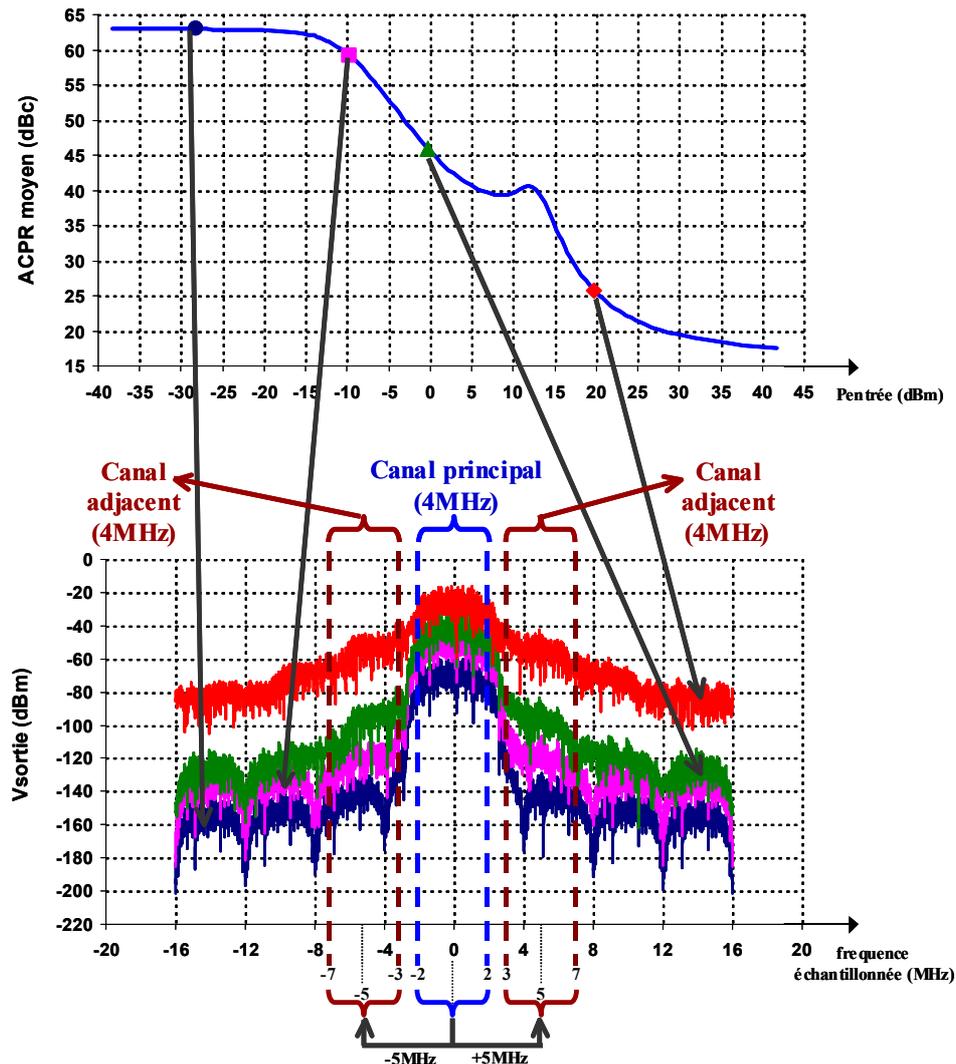


Figure II.76 : Résultats d'ACPR

Pour de faibles niveaux de puissance d'entrée, l'ACPR moyen est constant autour de 64dBc. Cette valeur plafonnée correspond au bruit des générateurs aléatoires. Puis, l'ACPR chute au fur et à mesure que les non-linéarités du transistor apparaissent.

VI.2. Comparaison des performances 2-tons et multi-tons

La comparaison de la linéarité, en 2-tons et en multi-tons, a été réalisée en fonction du niveau de la puissance délivrée par le signal d'excitation, appelée P_{eg} . Cette puissance est déterminée en connectant directement le générateur de puissance 2-tons ou le circuit de génération du signal modulé à une résistance de 50Ω , comme l'illustre la figure II.77.

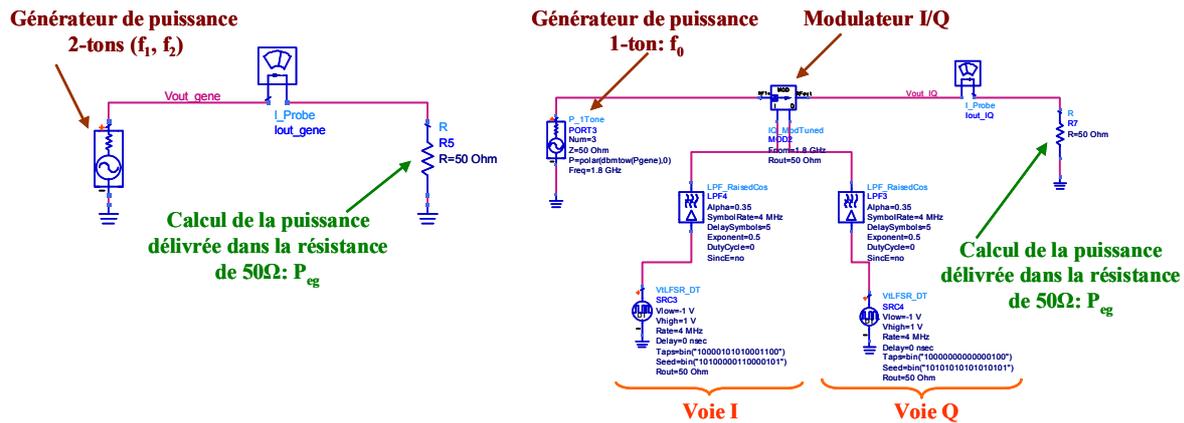


Figure II.77 : Calcul de la puissance P_{eg}

La figure II.78 compare la PAE et la linéarité obtenues dans les deux cas.

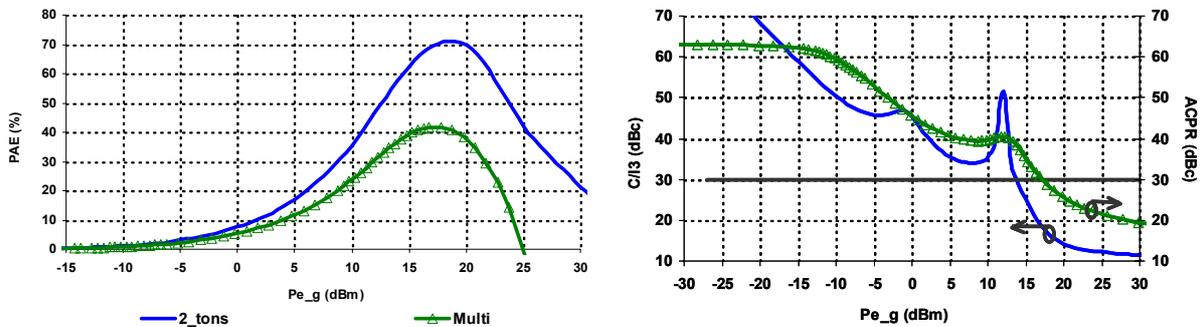


Figure II.78 : Comparaison de la PAE et du C/I3 en fonction du type de signal d'excitation

Au vu de ces courbes, il apparaît qu'en fixant une spécification de 37dBc d'ACPR, la PAE obtenue est d'environ 35%. Cela correspond à peu près à une spécification de C/I3 de 30dBc, donnant une PAE de 55% en mode biporteuse. La relation entre l'ACPR et le C/I3 n'est pas évidente à déterminer, comme l'attestent les références [23] à [25]. L'allure des courbes obtenue est tout à fait cohérent avec ce qui est attendu.

Après avoir simulé le transistor avec des signaux CW, 2-tons puis multi-tons, il est intéressant de terminer ce chapitre par une étude théorique concernant le test en robustesse des transistors. En effet, pour les transistors destinés à fonctionner en puissance, la linéarité est un critère important, de même que la robustesse. Le paragraphe suivant va donc détailler cet aspect.

VII. Evaluation de la robustesse des transistors de puissance

Comme il l'a été précisé au cours du premier chapitre, l'amplificateur de puissance est un élément important de la chaîne de transmission du module « front-end ». Ce dernier est alors soumis à de fortes contraintes, que ce soit en terme de puissance, rendement, linéarité et robustesse. Pour cette raison, il s'avère nécessaire de caractériser les amplificateurs de puissance ainsi que les transistors de puissance qui en constituent les cellules élémentaires. Ce paragraphe va donc être structuré de la façon suivante. Dans un premier temps, l'importance et l'utilité de caractériser les transistors de puissance en robustesse seront abordées. Pour ce faire, le critère d'évaluation TOS sera introduit. Ensuite, la résolution mathématique sera exposée et permettra une comparaison entre trois méthodes de résolution possibles. Enfin, la méthodologie pour évaluer concrètement la robustesse des dispositifs sera présentée dans le dernier point.

VII.1. Pourquoi et comment évaluer la robustesse des transistors de puissance ?

Les transistors de puissance constituent les cellules élémentaires des amplificateurs de puissance. En effet, un amplificateur de puissance est le résultat de la mise en parallèle de plusieurs transistors, comme l'illustre la figure II.79. Grâce aux réseaux d'adaptation 50Ω en entrée et en sortie, l'amplificateur de puissance présente une impédance de source Z_{source} et une impédance de charge Z_{charge} de 50Ω . Ce qui n'est pas le cas pour le transistor de puissance. En effet, d'une façon générale les impédances de source et de charge du transistor sont différentes de 50Ω . Dès lors, pour caractériser ces derniers, la technique la plus appropriée est la technique du load-pull.

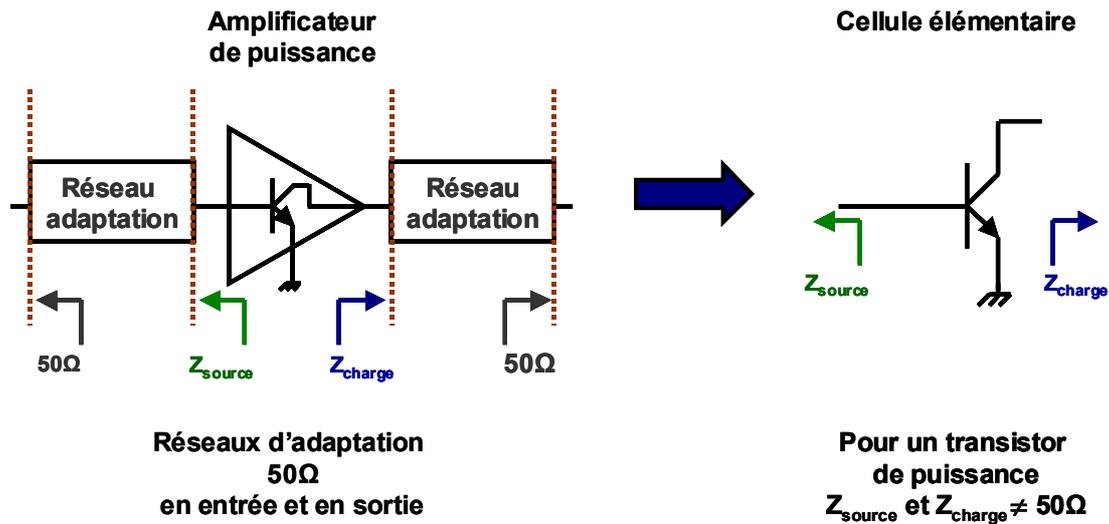


Figure II.79 : Le transistor de puissance : cellule élémentaire de l'amplificateur de puissance

La question qui se pose alors est la suivante : pourquoi et comment évaluer la robustesse des transistors de puissance ?

Tout d'abord, force est de constater que dans un téléphone mobile, l'impédance de l'antenne dépend de son environnement et varie. Lorsque cette impédance varie, l'impédance de charge de l'amplificateur de puissance varie à son tour et par conséquent celle des transistors constitutifs aussi. Dans certaines conditions, l'étage de sortie de l'amplificateur peut être endommagé voire détruit. La capacité de l'amplificateur et du transistor à supporter les changements d'impédance est appelée robustesse. Pour tester cette robustesse, un critère approprié et spécifique est utilisé : il s'agit du Taux d'Onde Stationnaire ou TOS. Par définition, le TOS se calcule de la façon suivante :

$$TOS = \frac{1 + |\Gamma_{charge}|}{1 - |\Gamma_{charge}|} \quad \text{soit} \quad |\Gamma_{charge}| = \frac{TOS - 1}{TOS + 1} = \text{constante} \quad (2.32)$$

avec Γ_{charge} : coefficient de réflexion en charge. Le paragraphe VII.2 détaille ces définitions.

Ainsi, le TOS est le moyen utilisé pour évaluer la robustesse des dispositifs. Reste maintenant à analyser la façon utilisée pour mener cette évaluation.

D'une façon générale, le TOS est mesuré autour de 50Ω mais au niveau des transistors de puissance (et non au niveau de l'amplificateur final) il est plus intéressant de le

mesurer autour de l'impédance optimale au fondamental (qui est rarement égale à 50Ω) car ceci correspond aux conditions réelles de fonctionnement. Il est donc important d'évaluer la robustesse des transistors de puissance vis-à-vis de TOS variables présentés par les antennes. Par conséquent, les mesures à TOS constants autour d'une impédance de charge optimale s'imposent. Grâce à ces mesures, il sera possible de conclure sur la robustesse, c'est-à-dire à la capacité à résister à certains stress, des transistors étudiés.

Pour arriver à ces conclusions, il convient de déterminer le lieu des points à TOS constant autour de l'impédance de charge optimale. La résolution mathématique est exposée dans le paragraphe suivant.

VII.2. Résolution mathématique des cercles à TOS constants

Lorsqu'un transistor de puissance est optimisé par la technique du load-pull, l'impédance optimale de charge à la fréquence fondamentale est souvent complexe, c'est-à-dire rarement purement réelle. Dès lors et comme il vient d'être précisé, le critère qui permet de tester la robustesse du dispositif est le TOS, dont la définition est rappelée par l'équation (2.33).

$$\text{TOS} = \frac{1 + |\Gamma|}{1 - |\Gamma|} \quad (2.33)$$

où Γ représente le coefficient de réflexion à la fréquence fondamentale.

Généralement, les spécifications de TOS de sortie sont données autour de 50Ω . Les auteurs de la publication [26] ont déterminé le lieu des points à TOS de sortie constant autour d'une impédance purement réelle et ils sont arrivés à la conclusion que ce lieu est un cercle. Dès lors, il est intéressant de poursuivre l'investigation et de déterminer le lieu des points à TOS constant autour d'une impédance complexe, représentant l'impédance de charge optimale à la fréquence fondamentale (notée $Z_{\text{ref}@f_0}$ par la suite). Ainsi, la robustesse du dispositif sera évaluée dans des conditions correspondant à un fonctionnement réel. Les publications [27] et [28] illustrent l'intérêt de cette détermination.

Pour déterminer le lieu de ces points, deux approches sont envisageables. La première est basée sur la résolution classique et utilise plusieurs hypothèses, dont certaines sont

restrictives. La seconde, quant à elle, est la solution développée au cours de cette thèse et qui a fait l'objet de deux publications ([29] et [30]). Son principal avantage est qu'elle n'utilise aucune hypothèse, donc aucune restriction. Les deux sous-paragraphes suivants développent et exposent les deux résolutions possibles. Leur comparaison est réalisée en VII.2.3.

VII.2.1. Résolution avec hypothèses

Le point de départ de la résolution classique est l'expression du coefficient de réflexion d'entrée du dispositif sous test ou réseau, dont la définition est rappelée par l'équation (2.34).

$$\Gamma_{\text{entrée}} = S_{11} + \frac{S_{12}S_{21}\Gamma_{\text{charge}}}{1 - \Gamma_{\text{charge}}S_{22}} \quad (2.34)$$

De cette expression peut être extrait le coefficient de réflexion de charge, dont l'expression est donnée par l'équation (2.35).

$$\Gamma_{\text{charge}} = \frac{S_{11} - \Gamma_{\text{entrée}}}{\Delta - \Gamma_{\text{entrée}}S_{22}} \quad (2.35)$$

Le but de la résolution consiste en la recherche du lieu des points à TOS constant. Par conséquent, le TOS a une valeur constante connue et cette dernière impose la valeur du module du coefficient de réflexion en charge, comme indiqué par l'équation (2.36).

$$|\Gamma_{\text{charge}}| = \frac{TOS - 1}{TOS + 1} = \text{cte} \quad (2.36)$$

La résolution se poursuit en calculant le module au carré du coefficient de réflexion en charge (équation (2.37)) et en posant égal à Δ le déterminant de la matrice de paramètres S du dispositif sous test (équation (2.38)).

$$|\Gamma_{\text{charge}}|^2 = \text{cte}^2 \quad (2.37)$$

$$\Delta = S_{11} S_{22} - S_{12} S_{21} \quad (2.38)$$

L'égalité (2.39) est alors obtenue.

$$\Gamma_{\text{entrée}} \Gamma_{\text{entrée}}^* - \Gamma_{\text{entrée}}^* \frac{S_{11} - cte^2 \Delta S_{22}^*}{1 - cte^2 |S_{22}|^2} - \Gamma_{\text{entrée}} \frac{S_{11}^* - cte^2 \Delta^* S_{22}}{1 - cte^2 |S_{22}|^2} = \frac{cte^2 |\Delta|^2 - |S_{11}|^2}{1 - cte^2 |S_{22}|^2} \quad (2.39)$$

Cette équation (2.39) peut s'identifier avec l'équation d'un cercle de centre Γ_c et de rayon R, dans un système de coordonnées polaires référencé à $\Gamma_{\text{entrée}}$, donnée par (2.40):

$$\Gamma_{\text{entrée}} \Gamma_{\text{entrée}}^* - \Gamma_c \Gamma_{\text{entrée}}^* - \Gamma_{\text{entrée}} \Gamma_c^* + \Gamma_c \Gamma_c^* = R^2 \quad (2.40)$$

Ainsi, le centre et le rayon du cercle solution sont donnés par l'équation (2.41).

$$\Gamma_c = \frac{S_{11} - cte^2 \Delta S_{22}^*}{1 - cte^2 |S_{22}|^2} ; \quad R^2 = \frac{cte^2 |\Delta|^2 - |S_{11}|^2}{1 - cte^2 |S_{22}|^2} + |\Gamma_c|^2 \quad (2.41)$$

Afin de pouvoir exploiter ces expressions, plusieurs hypothèses doivent être faites. La première consiste à supposer que le réseau est réciproque (équation (2.42)). Ensuite à supposer la matrice de paramètres S unitaire, ce qui revient à considérer le réseau sans pertes. Cette hypothèse implique alors les égalités des équations (2.43) à (2.45).

$$S_{12} = S_{21} \quad (2.42)$$

$$|S_{11}|^2 = |S_{22}|^2 \quad (2.43)$$

$$|S_{12}|^2 = 1 - |S_{22}|^2 \quad (2.44)$$

$$S_{11} S_{12}^* + S_{21} S_{22}^* = 0 \quad (2.45)$$

Enfin, le coefficient de réflexion d'entrée est considéré comme étant égal au coefficient de réflexion optimal (équation (2.46)).

$$\Gamma_{\text{in}} = S_{11} = \Gamma_{\text{opt}} \quad (2.46)$$

Avec les hypothèses (2.42) à (2.46), les expressions du centre et du rayon du cercle solution sont simplifiées (équation (2.47)).

$$\Gamma_c = \Gamma_{opt} \frac{1 - cte^2}{1 - cte^2 |\Gamma_{opt}|^2}; \quad R = cte \frac{1 - |\Gamma_{opt}|^2}{1 - cte^2 |\Gamma_{opt}|^2} \quad (2.47)$$

Au vu de ces expressions, la solution qui vient d'être développée est facilement applicable. Mais sa principale limite réside dans le fait qu'elle se base sur des hypothèses restrictives, qui ne sont pas toujours atteintes par les dispositifs sous test évalués. Dès lors, il apparaît important et primordial de proposer une solution qui s'affranchit de toute hypothèse. Le paragraphe suivant s'attache à présenter cette nouvelle résolution, qui a été développée et mise en place au cours du présent travail de thèse.

VII.2.2. Résolution sans hypothèses

Pour déterminer le lieu des points à TOS constant autour de l'impédance de charge optimale à la fréquence fondamentale, qui est celle de référence notée $Z_{ref@f0}$, il faut utiliser le coefficient de réflexion en charge défini à partir des paramètres S généralisés, concept détaillé par les auteurs de la publication [31]. Le coefficient de réflexion est alors défini à l'aide de l'impédance de référence complexe, comme l'indique l'équation (2.48).

$$\Gamma = \frac{Z - Z_{ref}^*}{Z + Z_{ref}} \text{ avec } Z_{ref} = Z_{optimale@f0} \quad (2.48)$$

Comme il l'a déjà été précisé, le module du coefficient de réflexion est imposé par la valeur constante du TOS. Pour la suite de la résolution, il est important de noter que le coefficient de réflexion complexe Γ ainsi que son conjugué Γ^* ont le même module, comme le rappelle l'équation (2.49) :

$$|\Gamma| = |\Gamma^*| \text{ avec } \Gamma^* = \frac{Z^* - Z_{ref}}{Z^* + Z_{ref}^*} \quad (2.49)$$

Dès lors, le lieu des points solutions peut être obtenu à partir de Γ ou de Γ^* : il existe donc deux lieux de points solution. Le développement de ces deux résolutions est exposé dans les deux sous-paragraphe suivants.

VII.2.2.a. Résolution avec Gamma complexe

La première résolution développée pour déterminer le lieu des points à TOS constant utilise le module du coefficient de réflexion complexe $|\Gamma|$. Pour ce faire, le coefficient de réflexion est écrit sous forme de parties réelle et imaginaire et sous forme de module et phase (équation (2.50)).

$$\Gamma = re + j im = |\Gamma| \exp^{j\phi} \quad (2.50)$$

Le module $|\Gamma|$ est imposé par la valeur constante et connue du TOS. De la définition (2.48) du coefficient de réflexion, qui fait intervenir l'impédance de référence complexe conjuguée, découle une astuce de calcul qui consiste à exprimer Z_{ref}^* en fonction de Z_{ref} (équation (2.51)) et ensuite d'exprimer le rapport $\frac{Z}{Z_{ref}}$ sous forme de module et phase et de parties réelle et imaginaire (équation(2.52)).

$$Z_{ref}^* = \frac{Z_{ref}^*}{Z_{ref}} Z_{ref} = \exp^{-2j\beta z_{ref}} Z_{ref} = \exp^{j\alpha} Z_{ref} \quad (2.51)$$

$$\frac{Z}{Z_{ref}} = A \exp^{jB} = R + j I \quad (2.52)$$

En remplaçant alors les équations (2.50), (2.51) et (2.52) dans l'équation (2.48), il est possible d'exprimer les parties réelle et imaginaire et le module et la phase du rapport $\frac{Z}{Z_{ref}}$ (équations (2.53) à (2.55)).

$$R = \frac{re - re^2 + \cos \alpha - re \cos \alpha - im^2 - im \sin \alpha}{(1 - re)^2 + im^2} \quad (2.53)$$

$$I = \frac{im \cos \alpha + im + \sin \alpha - re \sin \alpha}{(1 - re)^2 + im^2} \quad (2.54)$$

$$A = \sqrt{R^2 + I^2} \quad \text{et} \quad B = \arctan \left(\frac{I}{R} \right) \quad (2.55)$$

Par conséquent, le module et la phase de l'impédance Z , qui correspond au lieu des points cherchés, se déduisent de ces équations et sont définis à l'aide de l'équation (2.56) :

$$|Z| = A |Z_{ref}| \quad \text{et} \quad \varphi_Z = B + \beta_{Zref}. \quad (2.56)$$

En exprimant l'impédance Z sous forme de coefficient de réflexion Γ_{sol} grâce à la définition classique $\left(\Gamma_{sol} = \frac{Z - 50}{Z + 50} \right)$, les parties réelle et imaginaire $\text{Re}(\Gamma_{sol})$ et $\text{Im}(\Gamma_{sol})$ correspondent au lieu des points solutions, tracés dans une abaque de Smith référencée à 50Ω . Ce lieu est un cercle. Son rayon est obtenu en réalisant la demi-différence de deux points dont la différence de phase vaut 180° . Le centre, quant à lui, est égal à la demi-somme de deux points dont la différence de phase est de 180° . Le point important à noter est que le centre ne correspond pas à l'impédance de charge optimale autour de laquelle a été déterminé le lieu des points à TOS constant.

VII.2.2.b. Résolution avec Gamma complexe conjugué

Puisque le coefficient de réflexion complexe Γ ainsi que son conjugué Γ^* ont le même module, le lieu des points solutions peut être obtenu à partir de Γ ou de Γ^* . Autrement dit, la résolution se réalise soit en Z soit en Z^* . Ce paragraphe s'attache donc à décrire la résolution en Z^* qui constitue la seconde méthode proposée.

Pour ce faire, il convient d'exprimer le coefficient de réflexion complexe sous forme de parties réelle et imaginaire et de module et phase (équation (2.57)).

$$\Gamma^* = re - j im = re' + j im' = |\Gamma^*| \exp^{j\varphi'} = |\Gamma| \exp^{-j\varphi} \quad (2.57)$$

Le module $|\Gamma^*|$ est imposé par la valeur constante et connue du TOS. De la définition (2.49) du coefficient de réflexion conjugué qui fait intervenir l'impédance de référence complexe conjuguée, découle une astuce de calcul qui consiste à exprimer Z_{ref} en fonction de Z_{ref}^* (équation (2.58)) et ensuite d'exprimer le rapport $\frac{Z^*}{Z_{ref}^*}$ sous forme de module et phase et de parties réelle et imaginaire (équation (2.59)).

$$Z_{ref} = \frac{Z_{ref}}{Z_{ref}^*} Z_{ref}^* = \exp^{2j\beta_{zref}} Z_{ref}^* = \exp^{j\alpha'} Z_{ref}^* \quad (2.58)$$

$$\frac{Z^*}{Z_{ref}^*} = A' \exp^{jB'} = R' + j I' \quad (2.59)$$

En remplaçant alors les équations (2.57), (2.58) et (2.59) dans l'équation (2.49), il est possible d'exprimer les parties réelle et imaginaire et le module et la phase du rapport $\frac{Z^*}{Z_{ref}^*}$ (équations (2.60) à (2.62)).

$$R' = \frac{re' - re'^2 + \cos \alpha' - re' \cos \alpha' - im'^2 - im' \sin \alpha'}{(1 - re')^2 + im'^2} \quad (2.60)$$

$$I' = \frac{im' \cos \alpha' + im' + \sin \alpha' - re' \sin \alpha'}{(1 - re')^2 + im'^2} \quad (2.61)$$

$$A' = \sqrt{R'^2 + I'^2} \quad \text{et} \quad B' = \arctan \left(\frac{I'}{R'} \right) \quad (2.62)$$

Par conséquent, le module et la phase de l'impédance Z^* , qui correspond au lieu des points cherchés, se déduisent de ces équations et sont définis à l'aide de l'équation (2.63) :

$$|Z^*| = A' |Z_{ref}^*| \quad \text{et} \quad \varphi_{Z^*} = B' + \varphi_{Z_{ref}^*} = B' - \varphi_{Z_{ref}} \quad (2.63)$$

En exprimant l'impédance Z^* sous forme de coefficient de réflexion Γ_{sol}^* grâce à la définition classique $\left(\Gamma_{sol}^* = \frac{Z^* - 50}{Z^* + 50} \right)$, les parties réelle et imaginaire, $\text{Re}(\Gamma_{sol}^*)$ et $\text{Im}(\Gamma_{sol}^*)$, correspondent au lieu des points solutions, tracés dans une abaque de Smith référencée à 50Ω. Ce lieu est un cercle. Son rayon est obtenu en réalisant la demi-différence de deux points dont la différence de phase vaut 180°. Le centre, quant à lui, est égal à la demi-somme de deux points dont la différence de phase est de 180°. Le point important à noter est que le centre ne correspond pas à l'impédance de charge optimale autour de laquelle a été déterminé le lieu des points à TOS constant. Par ailleurs, ce lieu de points solutions est le conjugué du lieu qui

vient d'être trouvé à partir de l'impédance Z . En effet, les parties réelles et imaginaires de deux lieux sont liées par les équations suivantes : $\text{Re}(\Gamma_{sol}^*) = \text{Re}(\Gamma_{sol})$ et $\text{Im}(\Gamma_{sol}^*) = (\text{Im}(\Gamma_{sol}))^*$.

Reste maintenant à déterminer quel lieu solution est correct parmi les deux qui viennent d'être trouvés. Pour ce faire, le paragraphe suivant propose une comparaison de ces deux lieux quelque soit l'impédance de référence considérée.

VII.2.2.c. Détermination du lieu correct des points

La détermination qui est proposée est empirique, dans le sens où elle compare les lieux solutions pour six impédances de référence, représentant les impédances de charge optimales à la fréquence fondamentale autour desquelles les lieux des points à TOS constant ont été calculés. Ces six impédances ont été choisies de façon à couvrir tous les cas de calcul possibles, à savoir impédance de référence purement réelle, purement imaginaire et complexe. Pour cette détermination, le TOS a été fixé à la valeur de 10:1. Le tableau II.18 regroupe les résultats trouvés.

| Numéro de cas | Impédance $Z_{ref@f0}$ | Lieu solution avec $ \Gamma $ | Lieu solution avec $ \Gamma^* $ |
|---------------|------------------------|-------------------------------|---------------------------------|
| 1 | 10Ω | correct | correct |
| 2 | -1Ω | non sens | non sens |
| 3 | $(10 + j20)\Omega$ | <i>incorrect</i> | correct |
| 4 | $(10 - j20)\Omega$ | <i>incorrect</i> | correct |
| 5 | $j20\Omega$ | <i>incorrect</i> | correct |
| 6 | $-j20\Omega$ | <i>incorrect</i> | correct |

Tableau II.18 : Validité du lieu solution pour plusieurs impédances de charge optimales fondamentales

La figure II.80, quant à elle, compare les deux lieux solutions pour les six cas d'impédances retenus. La première solution, qui vient d'être développée en VII.2.2.a et qui utilise $|\Gamma|$, est représentée à l'aide du cercle foncé. Son centre correspond au triangle. La seconde solution, présentée en VII.2.2.b et qui utilise $|\Gamma^*|$, est représentée à l'aide du cercle clair. Son centre correspond au carré. L'impédance de référence autour de laquelle les lieux sont calculés est représentée par le rond.

Pour les cas 1 et 2, où l'impédance de référence est purement réelle (10Ω et -1Ω), les deux solutions donnent le même cercle solution. Il est bon de noter que le cas 2 pour lequel $Z_{ref}=-1\Omega$ n'a pas de sens physique, car une impédance optimale ne peut pas avoir une partie réelle négative : ce cas est juste utilisé pour son intérêt théorique.

Pour les cas 3 à 6, les deux solutions donnent des lieux de points différents. Les lieux solutions sont conjugués l'un de l'autre, ce qui confirme bien ce qui était attendu. Afin de conclure sur la solution correcte, il convient d'analyser les lieux solutions.

Tout d'abord, lorsque l'impédance de référence est complexe ($(10+j20)\Omega$ pour le cas 3 et $(10-j20)\Omega$ pour le cas 4), le cercle solution doit englober cette impédance de référence. En effet, le but de la résolution consiste à déterminer la robustesse autour de cette impédance de référence $Z_{ref@f_0}$, si bien que cette dernière ne peut pas être à l'extérieur du cercle solution. Dès lors, pour respecter cette condition, la solution qui s'impose comme correcte est la seconde.

Les cas 5 et 6 confirment cette conclusion. En effet, lorsque l'impédance de référence est purement imaginaire ($j20\Omega$ pour le cas 5 et $-j20\Omega$ pour le cas 6), il n'y a pas de cercle solution. Ce dernier est dégénéré et la solution se réduit à un seul point, qui doit correspondre à l'impédance de référence $Z_{ref@f_0}$. Par conséquent, c'est encore la seconde solution qui donne la solution correcte. Avant de conclure définitivement sur ce paragraphe, il est bon de préciser que ces cas 5 et 6 n'ont pas de sens car lorsque l'impédance est purement imaginaire, aucune puissance n'est transmise à la charge, si bien qu'il n'y a aucun intérêt technique.

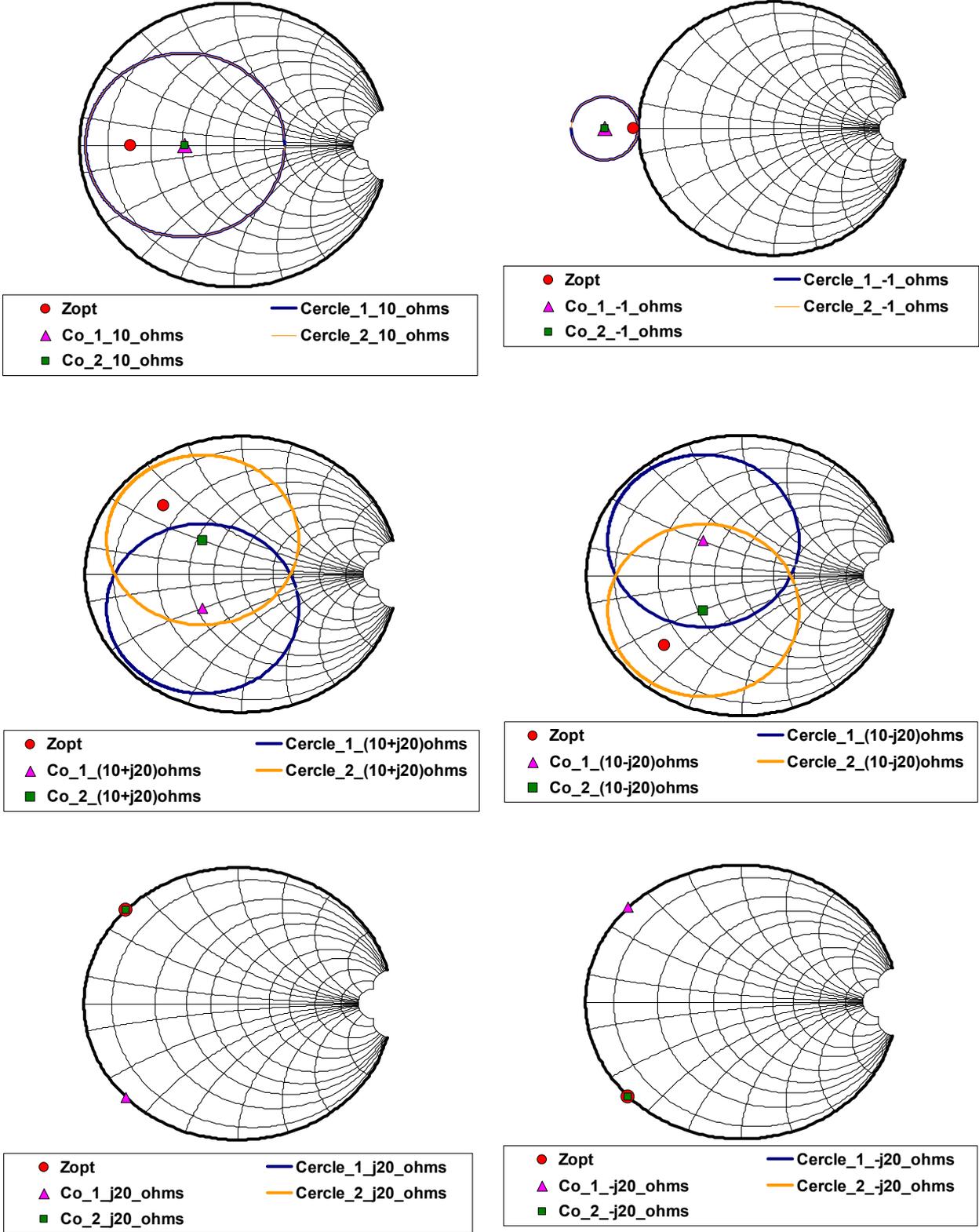


Figure II.80 : Comparaison des lieux solutions pour un TOS constant de 10:1 pour les six impédances de charge optimales retenues

En guise de conclusion, le lieu des points à TOS constant autour de l'impédance de référence $Z_{ref@f0}$ se détermine en utilisant le complexe conjugué du coefficient de réflexion $|\Gamma^*|$.

VII.2.3. Comparaison des résolutions avec et sans hypothèses

Le but de ce paragraphe est de comparer les solutions offertes par les méthodes avec et sans hypothèses. Pour ce faire, le même type de comparaison utilisé pour conclure sur la bonne résolution développée a été mené.

En effet, les lieux solutions sont comparés pour six impédances de référence avec un TOS de 10:1. Le tableau II.19 regroupe les résultats trouvés. Et la figure II.81 compare les deux lieux solutions pour les six cas d'impédances retenus. La méthode de résolution avec hypothèses est représentée à l'aide du cercle foncé. Son centre correspond au losange. La méthode de résolution sans hypothèse est, quant à elle, représentée à l'aide du cercle clair et son centre est symbolisé par le carré. L'impédance de référence autour de laquelle les lieux sont calculés est représentée par le rond.

| Numéro de cas | Impédance $Z_{ref@f0}$ | Lieu solution avec hypothèses | Lieu solution sans hypothèse |
|---------------|------------------------|-------------------------------|------------------------------|
| 1 | 10Ω | correct | correct |
| 2 | -1Ω | non sens | non sens |
| 3 | $(10 + j20)\Omega$ | correct | correct |
| 4 | $(10 - j20)\Omega$ | correct | correct |
| 5 | $j20\Omega$ | correct | correct |
| 6 | $-j20\Omega$ | correct | correct |

Tableau II.19 : Comparaison des lieux solutions résolus avec et sans hypothèses

Que l'impédance de référence soit purement réelle (cas 1 et 2), complexe (cas 3 et 4) ou purement imaginaire (cas 5 et 6), les deux méthodes aboutissent à la même solution.

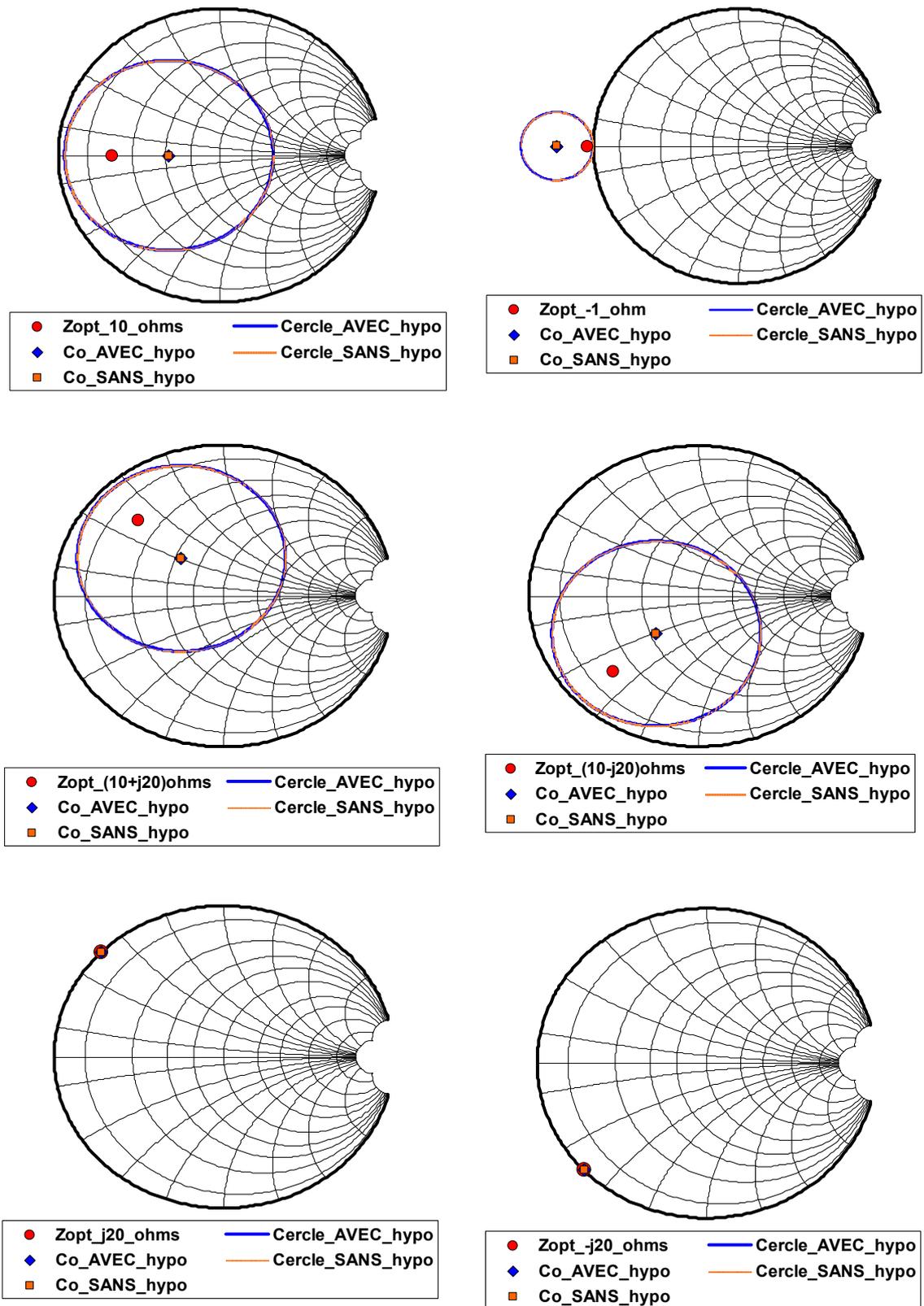


Figure II.81 : Comparaison des lieux solutions pour un TOS constant de 10:1 avec et sans hypothèses de résolution

En guise de conclusion, les deux résolutions donnent les mêmes solutions. Néanmoins, la méthode qui a été développée au cours de cette thèse est plus performante car elle ne se base sur aucune hypothèse, ce qui en fait sa force.

VIII. Conclusion

Ce chapitre a été consacré aux simulations fort signal du transistor bipolaire à hétéro-jonction en technologie BiCMOS 0.25 μ m SiGe:C propre à STMicroelectronics. La première partie a été dédiée à la description rapide du modèle utilisé (modèle HICUM). Elle a permis de montrer la nécessité de l'évolution des modèles avec les avancées technologiques, pour décrire au mieux les transistors. Ainsi, les phénomènes d'auto-échauffement sont modélisés dans ce modèle de façon satisfaisante.

Ensuite, les simulations large signal en mode CW ont permis de mettre en évidence l'importance du choix du point de polarisation pour obtenir des rendements élevés (une classe AB profonde fournira davantage de PAE qu'une classe A). Par ailleurs, l'influence des impédances de fermeture en charge a été étudiée, par des simulations de type load-pull. Il est apparu que les performances sont surtout conditionnées par l'optimisation des coefficients de réflexion $\Gamma_{\text{charge}@f_0}$ et $\Gamma_{\text{charge}@2f_0}$. L'impact des impédances de source s'est révélé moins probant sur les caractéristiques observées.

Puis les simulations 2-tons et multi-tons ont permis de mettre en évidence la nécessité du compromis rendement / linéarité, qui s'avère primordial pour les transistors de puissance destinés à fonctionner avec les modulations de type 3G. Les transistors doivent en effet présenter une bonne PAE mais délivrer un gain le plus linéaire possible. Il a ensuite été montré que les impédances de fermeture en charge et en source aux fréquences de battement Δf ont une influence notable sur les performances. Il faut alors veiller à ce qu'elles soient proches du court-circuit, sous peine de dégrader ce compromis.

Enfin, ce chapitre a abordé un autre critère essentiel pour les transistors de puissance : la tenue au TOS autour de l'impédance de charge optimale à f_0 . Une résolution mathématique originale a été proposée et s'avère pertinente, comme il le sera vu au chapitre III.

Références bibliographiques du chapitre II

- [1] Mickaël Schröter, “**RF-Modeling of bipolar transistors with Hicum**”, *CEDIC, Lausanne, 24 February 2004*
- [2] Didier Céli, “**An introduction to the Hicum model**”, *Document de formation interne à STMicroelectronics, 19 Septembre 2005*
- [3] L. W. Nagel, “**SPICE2: A computer program to simulate semiconductor circuits**”, *Electronics Research Laboratory, N° ERL-M520, University of California, Berkley, May 1975*
- [4] Nicolas Gambetta, “**Evolution du modèle du transistor bipolaire, et des techniques d’extraction de paramètres, pour la simulation de circuits intégrés logiques et analogiques hautes fréquences**”, *Thèse de Doctorat, INPG Grenoble, 6 mars 1997*
- [5] Dominique Berger, “**Etude et Validation d’un modèle de transistor bipolaire dédié aux applications hautes fréquences**”, *Thèse de Doctorat, Université de Bordeaux I, 14 juin 2004*
- [6] S. Fregonese, S. Lehmann, T. Zimmer et al., “**A computationally efficient physics-based compact bipolar transistor model for circuit design – Part II: parameter extraction and experimental results**”, *IEEE Transactions on Electron Devices, Vol. 53, Issue 2, p. 287-295, February 2006*
- [7] C. Raya, F. Pourchon, D. Céli et al., “**New test structures for extraction of base sheet resistance in BiCMOS technology**”, *IEEE International Conference on Microelectronic Test Structures, Austin Texas, USA, 6-9th March 2006*
- [8] C. Raya, N. Kauffmann, F. Pourchon et al., “**Scalable approach for external collector resistance calculation**”, *IEEE International Conference on Microelectronic Test Structures, Tokyo, Japan, 19-22nd March 2007*
- [9] Denis Pache, “**Transistors bipolaires BiCMOS7RF pour les applications amplificateur de puissance**”, *Document interne à STMicroelectronics, Septembre 2004*

[10] Hélène Beckrich-Ros, “**Contribution à la caractérisation et à la modélisation de transistors bipolaires de puissance intégrés dans une filière BiCMOS submicronique**”, *Thèse de Doctorat, Université de Bordeaux I, 27 novembre 2006*

[11] David J. Roulston, “**An introduction to the physical of semiconductor devices**”, *Oxford University Press, 1999*

[12] D. Barataud, F. Blache, A. Mallet et al., “**Measurement and control of current/voltage waveforms of microwave transistors using a harmonic load-pull system for the optimum design of high efficiency power amplifiers**”, *IEEE Transactions on Instrumentation and Measurement, Vol. 48, No. 4, p. 835-842, August 1999*

[13] D. Barataud, M. Campovecchio, J. M. Nebus, “**Optimum design of very high-efficiency microwave power amplifiers based on time-domain harmonic load-pull measurements**”, *IEEE Transactions on Microwave Theory and Techniques, Vol. 49, No. 6, p. 1107-1112, June 2001*

[14] N. Borges Carvalho, J. C. Pedro, “**Two-tone IMD asymmetry in microwave power amplifiers**”, *IEEE MTT-S Digest, p. 445-448, 2000*

[15] N. Borges Carvalho, J. C. Pedro, “**A comprehensive explanation of distortion sideband asymmetries**”, *IEEE Transactions on Microwave Theory and Techniques, Vol. 50, No. 9, p. 2090-2101, September 2002*

[16] C. Fager, J. C. Pedro, N. Borges de Carvalho et al., “**A comprehensive analysis of IMD behavior in RF CMOS power amplifiers**”, *IEEE Journal of Solid-State Circuits, Vol. 39, No. 1, p. 24-34, January 2004*

[17] Geoff Smithson, “**Introduction to Digital Modulation Schemes**”, *IEEE Colloquium on The design of digital cellular handsets, ref. n°1998/240, 1998*

[18] Nick Spencer, “**An Overview of Digital Telephony Standards**”, *IEEE Colloquium on The design of digital cellular handsets, ref. n°1998/240, 1998*

[19] <http://www.rohde-schwarz.com>, “**Measurements of Adjacent Channel Leakage Power on 3GPP W-CDMA signals with the FSP**”, *Application Note 1EF41_0E, January 2001*

- [20] <http://www.us.anritsu.com>, “**Adjacent Channel Power Ratio(ACPR)**”, *Application Note GIP_E, Revision A, February 2001*
- [21] <http://dbserv.maxim-ic.com>, “**WCDMA TX theory and measured results from Maxim’s WCDMA reference design v1.0**”, *Dallas Semiconductor MAXIM, 16 February 2004*
- [22] Rudolf Tanner, Jason Woodard, “**WCDMA – Requirements and Practical Design**”, *John Wiley and Sons, Ltd, 2004*
- [23] Laurent Lecheminoux, Martine Villegas, “**ACPR to third interception point and 1 dB compression point new relationship**”, *2000 European Conference on Wireless Technology – Paris 2000*
- [24] John F. Sevic, Robert Baeten, Gary Simpson et al., “**Automated large-signal load-pull characterization of adjacent-channel power ratio for digital wireless communication systems**”, *46th ARFTG Microwave Measurement Conference, 1995*
- [25] John F. Sevic, Michael B. Steer, Anthony M. Pavio, “**Large-signal automated load-pull of adjacent-channel power for digital wireless communications systems**”, *IEEE MTT-S Digest, Vol. 2, p. 763-766, 17-21 June 1996*
- [26] J. A. G. Malherbe, “**The locus of points of constant VSWR when renormalized to a different characteristic impedance**”, *IEEE Transactions on Microwave Theory and Techniques, Vol. 25, issue 5, p. 444-445, May 1977*
- [27] L. Carbonini, A. Manara, “**A procedure to evaluate the output VSWR of high power amplifier**”, *IEEE International Symposium on Electromagnetic Compatibility, Vol. 1, p. 241-244, 24-28 August 1998*
- [28] Floria Blanchet, Hind Bousbia, Denis Barataud et al., “**Evaluation de la robustesse de transistors NLDEMOS et bipolaire en fonction de TOS variables par variation de charge multiharmonique passive et active**”, *14^{èmes} Journées Nationales Microondes, Nantes, 11-13 mai 2005*
- [29] Floria Blanchet, Hind Bousbia, Denis Barataud et al., “**The locus of points of constant output VSWR around the load optimal impedance: evaluation of power**

transistors robustness”, 67th ARFTG Microwave Measurements Conference, Measurements and Design of High Power Devices and Systems, San Francisco CA, 16 June 2006

[30] Floria Blanchet, Denis Pache, Hind Bousbia et al., “**Comparison of calculation techniques of constant VSWR impedance circle: evaluation of power transistors robustness**”, PRIME 2nd Conference on Ph. D. Research in MicroElectronics and Electronics, Otranto (Lecce),p. 45-48, Italy, June 12-15, 2006

[31] Guillermo Gonzalez, “**Microwave transistor amplifiers – Analysis and design**”, Prentice Hall, Upper Saddle River, New Jeffrey 07458, section 1.7, p. 45-55, August 1999

CHAPITRE III

Mesures et évaluation du potentiel des transistors de puissance à l'aide d'outils de caractérisation fonctionnelle de type load-pull multi-harmonique

I. Introduction

Le but de ce chapitre est de décrire les trois systèmes de caractérisation load-pull utilisés pour la validation et la caractérisation des transistors de puissance. La première partie de ce chapitre sera consacrée à la description du banc à tuners (système de type load-pull passif) de STMicroelectronics Crolles. Puis, en seconde partie, les bancs à boucles actives (système de type load-pull actif) seront présentés, avec tout d'abord la version fréquentielle, utilisant un analyseur de réseaux vectoriel (ou ARV) et ensuite la version temporelle, utilisant un analyseur dédié grand signal, que constitue le LSNA (Large Signal Network Analyzer). Ces deux bancs sont utilisés au sein du laboratoire universitaire Xlim. Pour étayer ces descriptions, quelques résultats de mesures sur des transistors de puissance NLD MOS et bipolaires seront présentés au fur et à mesure, ainsi qu'une comparaison entre les mesures réalisées et les simulations qui viennent d'être présentées au cours du chapitre II.

II. Description du système de caractérisation de type load-pull passif

Avant de s'intéresser à la description du banc passif, il convient de rappeler brièvement le principe de la technique du load-pull. Cette technique, apparue dans les années 1970, comme le rappelle l'auteur de [1], permet la caractérisation de composants et de transistors en fonctionnement non-linéaire. Pour ce faire, les impédances de source et/ou de charge varient pour plusieurs conditions de mesure (telles que la polarisation, le niveau de puissance d'entrée, le type de signal d'excitation, etc...). Il est à noter que ces impédances de source (il s'agit alors de source-pull) et/ou de charge (dans ce cas, il s'agit de load-pull) peuvent varier à la fréquence fondamentale f_0 , mais aussi aux fréquences harmoniques ($2f_0$ et $3f_0$), pour réaliser du load-pull multi-harmonique. Lors de la caractérisation des transistors de puissance, ces impédances varient de façon à optimiser une caractéristique de sortie du transistor (par exemple, le rendement ou la puissance de sortie). Il existe deux possibilités de mettre en œuvre ce type de mesures : la première utilise des tuners électro-mécaniques,

comme ceux utilisés à STMicroelectronics Crolles, et sera développée dans le prochain paragraphe. La seconde utilise des boucles actives, et sera exposée dans la partie III de ce chapitre, avec les bancs de caractérisation présents au laboratoire Xlim de Limoges. Chacune de ces techniques présentent des avantages et des inconvénients, comme le rappellent les auteurs des publications [2] et [3], et sont complémentaires, comme il le sera montré à la fin de ce chapitre.

II.1. Description du banc de mesure : synthèse d'impédances à l'aide des tuners

Le banc de caractérisation load-pull présent à STMicroelectronics Crolles utilise des tuners électro-mécaniques passifs, fournis par Focus Microwaves, société qui produit des tuners depuis 1989, comme le retrace [4]. Le schéma de principe du banc utilisé est décrit à l'aide la figure III.1.

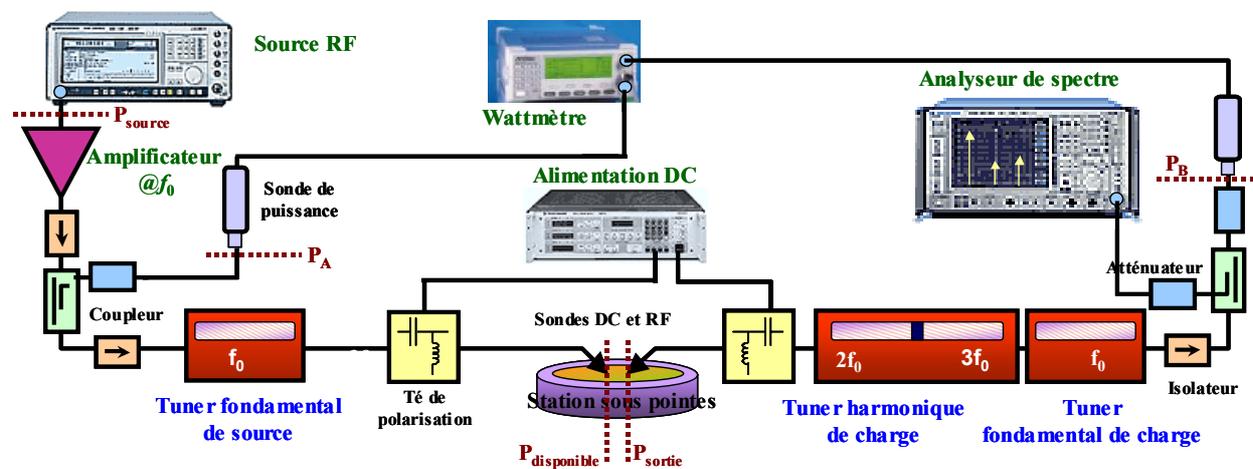


Figure III.1 : Schéma de principe du banc load-pull passif de STMicroelectronics

Dans la configuration présentée, les mesures sont réalisées sous pointes. Le tuner fondamental de source permet de contrôler $\Gamma_{source@f_0}$. Le tuner fondamental de charge assure le contrôle de $\Gamma_{charge@f_0}$ et le tuner harmonique de charge contrôle $\Gamma_{charge@2f_0}$ et $\Gamma_{charge@3f_0}$. En source, il n'y a pas de tuner harmonique car $\Gamma_{source@2f_0}$ et $\Gamma_{source@3f_0}$ influencent peu les performances des transistors de puissance, comme l'ont montré les simulations du chapitre II. Avant de détailler le principe de fonctionnement des tuners, il convient d'expliquer

brièvement le rôle des différents constituants du banc. Tout d'abord, ce schéma montre que les mesures sont effectuées à l'aide d'un wattmètre. Le bloc d'entrée (constitué des deux isolateurs, du coupleur uni-directionnel et de l'atténuateur) permet de mesurer la puissance P_A , à la fréquence f_0 . Grâce à l'étalonnage du banc, la puissance à l'entrée du dispositif sous test (DST), $P_{\text{disponible}}$ à f_0 , est déduite de P_A . Compte tenu de l'utilisation du coupleur uni-directionnel, seule la puissance transmise est mesurable. Or, cette puissance est la somme de la puissance injectée au transistor (appelée $P_{\text{entrée}@f_0}$ au chapitre II) et de la puissance réfléchie à f_0 , qui existe lorsque le transistor n'est pas parfaitement adapté (c'est-à-dire dans la majorité des cas de mesures). Ainsi, ce banc passif permet d'accéder à $P_{\text{disponible}@f_0}$, mais pas à $P_{\text{entrée}@f_0}$ (il faudrait un coupleur bi-directionnel). La source RF impose le type de signal d'excitation (CW dans le cas du schéma) et l'amplificateur est utilisé comme « driver », afin d'obtenir un niveau de puissance d'entrée suffisant. Ensuite, le bloc de sortie (constitué de l'isolateur, du coupleur uni-directionnel et des deux atténuateurs) assure la mesure de P_{sortie} à f_0 , qui est déduite de P_B . Par ailleurs, le spectre de sortie est observable grâce à l'analyseur de spectre, ce qui peut se révéler utile pour détecter, par exemple, des problèmes d'oscillations parasites. Enfin, les tés de polarisation assurent la polarisation du DST.

Les mesures load-pull réalisées à l'aide de ce banc, sont référencées par rapport à l'impédance. En effet, le principal paramètre indépendant de la mesure est, non pas la fréquence, la puissance ou la polarisation, mais les impédances de source et/ou de charge (exprimées sous forme de coefficients de réflexion) aux fréquences fondamentale et harmoniques, présentées au DST. Ces impédances sont générées par les tuners, qui sont des composants passifs permettant de synthétiser une impédance à une fréquence donnée, selon la position des composants internes. Le fonctionnement des tuners, c'est-à-dire la manière selon laquelle la synthèse d'impédance est réalisée, est expliquée dans les deux paragraphes suivants.

II.1.1. Principe de fonctionnement des tuners fondamentaux

Les tuners fondamentaux utilisés sont de type iCCMT-1808 (intelligent Computer Controlled Microwave Tuner, présentés dans les références [5] et [6]). Leur fréquence fondamentale varie entre 800MHz et 18GHz. Ces tuners, qui font partie de la dernière génération de tuners de Focus Microwaves, sont des tuners électro-mécaniques avec de l'électronique embarquée (micro-processeur pour contrôler les moteurs pas à pas et mémoire

pour le stockage des fichiers d'étalonnage), ce qui facilite leur intégration dans un banc de mesure, car ils se comportent comme des instruments indépendants. Une liaison de type TCP/IP permet leur contrôle depuis un PC, grâce au logiciel fourni par Focus Microwaves [7].

Ces tuners fondamentaux fonctionnent selon le principe suivant. Une sonde, placée dans un chariot, se déplace à l'aide de micro-moteurs pas à pas dans les directions horizontale (ce qui permet de contrôler la phase $\varphi_{@f_0}$) et verticale (pour contrôler le module $|\Gamma_{@f_0}|$) le long d'une ligne 50Ω . Outre le fait de permettre le réglage du coefficient de réflexion, ces micro-moteurs contrôlent les accélérations, les décélérations et éliminent toute vibration, rendant ces tuners très appropriés pour les mesures sous pointes. L'impédance générée par la sonde est bande-étroite, car sa valeur est constante sur environ 8% autour de f_0 , ce qui se traduit par une série de résonances lorsque cette impédance est observée en fonction de la fréquence. Etant constitué d'éléments passifs, le tuner présente des pertes inhérentes, comme le rappelle la publication [8]. Par conséquent, le module de $\Gamma_{@f_0}$ est toujours inférieur à 1. Il est, par ailleurs, très dépendant des connexions entre les pointes RF et le tuner. Ces dernières sont alors assurées par des câbles très faible perte. Dans la configuration proposée et à la fréquence f_0 de 1.8GHz, le module maximal atteignable est de l'ordre de 0.75 à 0.8.

En résumé, les tuners fondamentaux permettent de générer n'importe quelle impédance de l'abaque de Smith. Pour ce faire, un algorithme d'interpolation entre les points d'étalonnage a été développé par Focus Microwaves et sera expliqué brièvement lors de la description de l'étalonnage du banc.

II.1.2. Principe de fonctionnement du tuner harmonique

Le tuner harmonique de charge utilisé est de type iPHT-1808 (intelligent Programmable Harmonic Tuner, présenté dans la référence [9]). Il permet le contrôle de $\Gamma_{\text{charge}@2f_0}$ dans la gamme de 1.6 à 18GHz et celui de $\Gamma_{\text{charge}@3f_0}$ dans la gamme de 2.4 à 18GHz. Ce tuner harmonique utilise deux résonateurs $\frac{\lambda}{4}$ (un pour chaque fréquence harmonique) qui se déplacent le long d'une ligne 50Ω permettant la génération de $\Gamma_{\text{charge}@2f_0}$ et de $\Gamma_{\text{charge}@3f_0}$. Chaque résonateur est composé de deux sondes dont l'espacement est réglable. Les modules des coefficients de réflexion ne sont pas contrôlables et, de par la constitution des résonateurs, ils sont très élevés (de l'ordre de 0.98 à 1.6GHz et de 0.83 à 50GHz), ce qui permet de travailler en classe F ou duale-F, classes propices à l'obtention de

rendements élevés. Le tuner harmonique permet un balayage des phases de $\Gamma_{\text{charge}@2f_0}$ et de $\Gamma_{\text{charge}@3f_0}$ de 0 à 360°, avec une précision de l'ordre du degré. Il est à noter que Focus Microwaves a développé un nouveau concept de tuner harmonique, le MPT (Multi-Purpose multi-harmonic Tuner), qui permet de régler le module et la phase des coefficients de réflexion aux fréquences harmoniques.

Après avoir présenté le banc de mesure passif et expliqué la synthèse des impédances, il est intéressant de présenter une application concrète de ce dernier, avec des mesures de robustesse.

II.2. Application : mesure de robustesse de transistors NLD MOS et bipolaires

Ce paragraphe a pour but d'illustrer, par des mesures, le calcul théorique des cercles à TOS constants, développé dans le chapitre II. Pour ce faire, la méthodologie à suivre sera détaillée dans un premier temps. Puis, deux exemples de mesures réalisées sur le banc load-pull passif seront présentés. Au cours de cette thèse, deux types de transistors en technologie BiCMOS 0.25 μm spécifique à STMicroelectronics ont été caractérisés. Les premiers sont des transistors bipolaires à hétéro-jonction SiGe:C, qui constituent la trame de ce manuscrit. Mais, des transistors MOS, et plus particulièrement des NLD MOS (N-type Lateral Double Diffusion Metal Oxide Semiconductor, c'est-à-dire des N-MOS à double diffusion) ont également été testés. Ils ont, par ailleurs, permis de mettre en évidence le problème d'étalonnage du banc passif.

II.2.1. Méthodologie pour évaluer la robustesse

Ce paragraphe décrit de façon pratique la mise en œuvre des mesures de robustesse. Ce type de mesure comporte trois étapes principales qui sont les suivantes.

1- Tout d'abord il convient de fixer les conditions de travail, à savoir :

- la fréquence fondamentale de travail et le type de signal utilisé (par exemple, un signal CW à $f_0=1.8\text{GHz}$),

- la polarisation des dispositifs (tensions d'alimentation),
- et les conditions particulières d'impédances de source. Ainsi, les mesures ont été menées avec l'impédance de source fixée à 50Ω , car ce qui importe est de tester la robustesse en charge du transistor étudié, donc l'influence de la source n'est pas considérée.

2- La seconde étape consiste en la recherche de l'impédance de charge optimale à f_0 en optimisant, par exemple, le rendement de sortie ou le rendement en puissance ajoutée. Cette recherche se fait à un niveau de puissance disponible donné.

3- Une fois l'impédance de charge optimale trouvée, la mesure sous TOS peut enfin commencer.

a)- tout d'abord, un premier balayage en puissance $P_{\text{sortie}@f_0}$ versus $P_{\text{disponible}@f_0}$ avec $\Gamma_{\text{charge}@f_0}$ optimal est réalisé. Les différentes performances des transistors de puissance, telles que la $P_{\text{sortie}@f_0}$, le $\eta_{\text{sortie}@f_0}$ ou le gain à f_0 , sont relevées. Cette mesure va servir de référence pour la suite.

b)- Ensuite, une valeur de TOS est fixée ainsi qu'un niveau de puissance disponible suffisamment élevé. En effet, ce type de mesure s'effectue à forte puissance car c'est là que les dispositifs présentent les meilleures performances et la robustesse des transistors se teste dans les conditions les plus extrêmes possibles (donc à forte puissance) correspondant toujours à la réalité du fonctionnement du dispositif. La mesure à TOS constant est alors réalisée, c'est-à-dire que les performances des transistors de puissance sont relevées en faisant varier $\Gamma_{\text{charge}@f_0}$ de façon à décrire le cercle à TOS constant choisi.

c)- Pour vérifier si le dispositif n'a pas été endommagé par le test de robustesse, un balayage en puissance avec $\Gamma_{\text{charge}@f_0}$ optimal est réalisé en fin de test et les performances sont observées pour voir si elles n'ont pas été dégradées. Ainsi, si les courbes des points a) et c) sont identiques, il est possible de conclure que le transistor tient le TOS fixé.

d)- Enfin le test de robustesse est réitéré pour différentes valeurs de TOS et différentes tensions de polarisation.

La figure III.2 résume les conditions de mesure pour le test de robustesse.

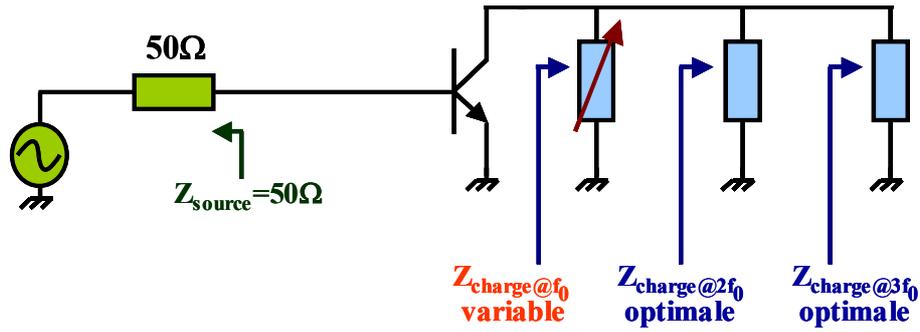


Figure III.2 : Conditions de mesure pour le test de robustesse

Les mesures réalisées sur les transistors de puissance NLD MOS et bipolaires sont présentées dans les deux paragraphes suivants.

II.2.2. Résultats de mesures sur un NLD MOS

Le NLD MOS caractérisé possède une largeur de grille (W_g) de 6mm et une longueur de grille (L_e) de 0.13mm. Ce transistor est polarisé en tension, en classe AB profonde. Le point de polarisation est le suivant : $V_{GS0}=0.66V$, $I_{G0}= 0mA$, $V_{DS0}=3.6V$ et $I_{D0}=60mA$ (correspondant à $I_{DSS}/30$).

Les mesures présentées ont été réalisées avec deux valeurs de TOS (5:1 et 15:1). Compte tenu de la configuration du banc passif, elles sont données en fonction de la puissance disponible à f_0 , $P_{dispo@f_0}$, dont la définition est la suivante :

- $P_{dispo@f_0} = \frac{1}{2} \times |a_{1@f_0}|$ où a_1 est l'onde de puissance incidente sur le transistor.

De plus, $P_{dispo@f_0}$ est liée à $P_{entrée@f_0}$ selon : $P_{dispo@f_0} = P_{entrée@f_0} + P_{réfléchie@f_0}$

Pour rappel, les tensions et courants aux accès du transistor se définissent à partir des ondes de puissances, ou « ondes de Kurokawa » ([10] et [11]), de la manière suivante :

- $a_{1@f_0} = \frac{V_{base@f_0} + Z_0 \times I_{base@f_0}}{2\sqrt{\text{Re}(Z_0)}}$
- $b_{1@f_0} = \frac{V_{base@f_0} - Z_0 \times I_{base@f_0}}{2\sqrt{\text{Re}(Z_0)}}$
- $a_{2@f_0} = \frac{V_{collecteur@f_0} + Z_0 \times I_{collecteur@f_0}}{2\sqrt{\text{Re}(Z_0)}}$
- $b_{2@f_0} = \frac{V_{collecteur@f_0} - Z_0 \times I_{collecteur@f_0}}{2\sqrt{\text{Re}(Z_0)}}$

- $Z_0 = \text{impédance caractéristique} = 50\Omega$, dans le cas présent.

Dès lors, seul le rendement de sortie est accessible. La PAE nécessitant la connaissance de $P_{\text{entrée}@f_0}$ n'est pas obtenue. Et le gain mesuré, n'est plus le gain en puissance simulé lors du chapitre II, mais le gain transductique. Les définitions de ces deux quantités sont données par les formules (3.1) et (3.2).

• Rendement de sortie à f_0 :
$$\eta = \frac{P_{\text{dispo}@f_0} (mW)}{P_{a\text{lim}} (mW)} \times 100 \quad (3.1)$$

• Gain transductique :
$$\text{Gain} = P_{s@f_0} (\text{dBm}) - P_{\text{dispo}@f_0} (\text{dBm}) \quad (3.2)$$

Les lieux des points théoriques à TOS=5:1 et 15:1, obtenus par la résolution exposée dans le chapitre II, sont présentés à la figure III.3.

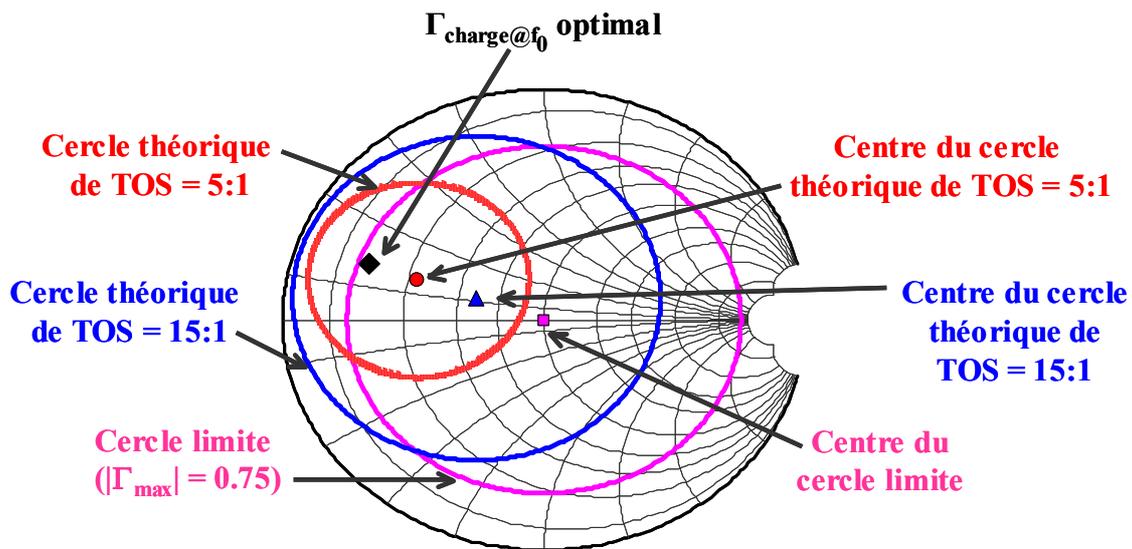


Figure III.3 : Lieux théoriques à TOS constants et cercle limite

En raison des pertes intrinsèques du banc passif, le module de $\Gamma_{\text{charge}@f_0}$ ne peut pas atteindre la valeur de 1 à la fréquence de travail, prise égale à 1.8GHz. Ce dernier est limité à 0.75. Cela signifie, qu'il n'est pas possible de générer un coefficient de réflexion avec un module supérieur à 0.75. Dès lors, tous les $\Gamma_{\text{charge}@f_0}$ synthétisables sont contenus dans le cercle limite. Par conséquent, les cercles théoriques déterminés vont être tronqués dans leur partie supérieure gauche (figure III.4). La limitation du module de $\Gamma_{\text{charge}@f_0}$ est un des principaux inconvénients du banc passif.

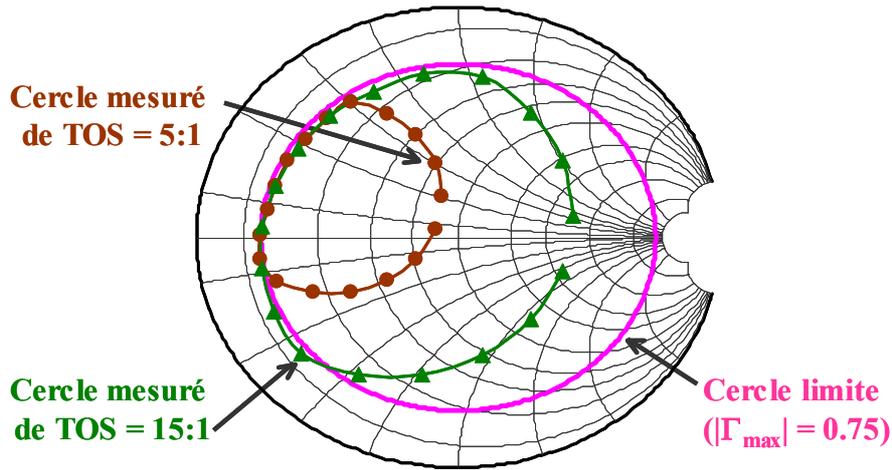


Figure III.4 : « Cercles » à TOS constants mesurés

Pour conclure quant à la robustesse du transistor testé, il convient de mesurer les performances de ce dernier avant et après chaque test, illustrées à l'aide de la figure III.5.

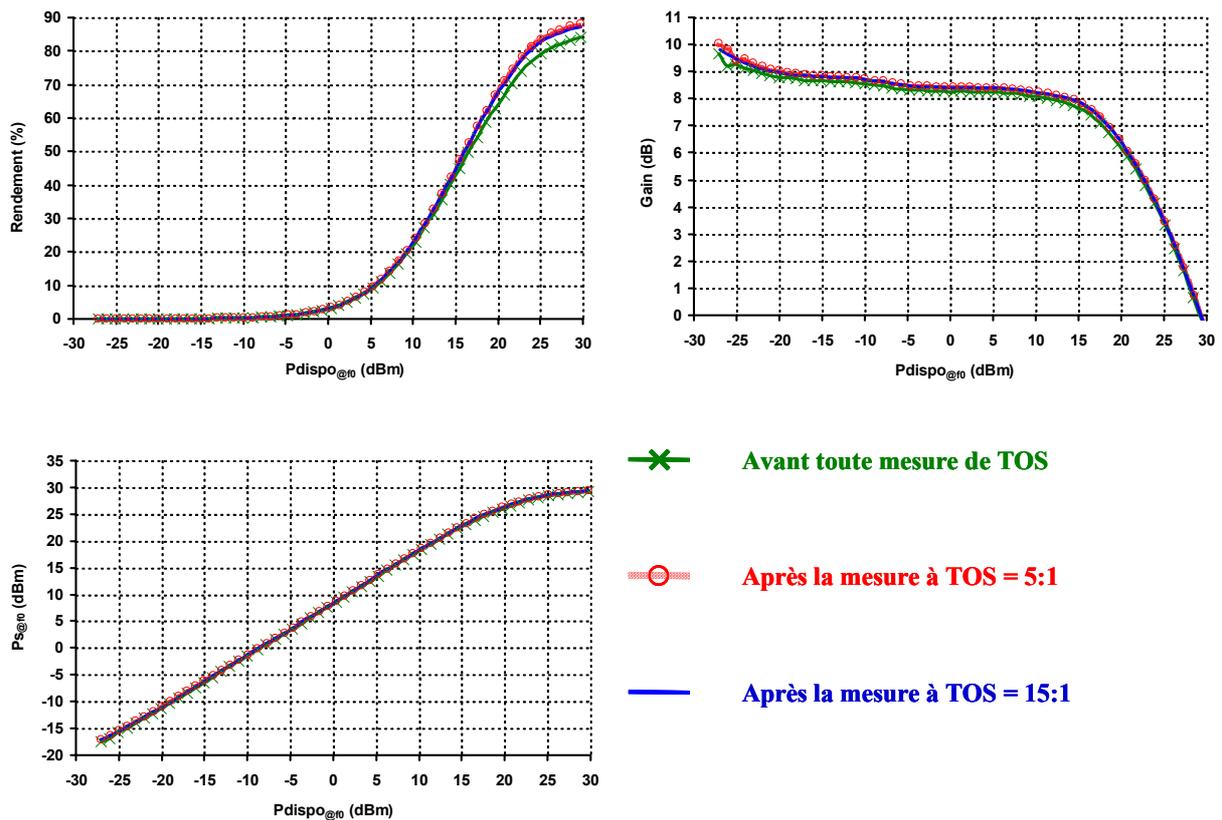


Figure III.5 : Comparaison des performances après les tests de robustesse

Au vu des courbes de rendement, il est probable que la mesure des courants continus ne soit pas assez précise, car les valeurs obtenues sont trop élevées (de l'ordre de 90%).

Malgré cela, il apparaît qu'après les tests à TOS de 5:1 et de 15:1 les performances sont conservées. Il est alors possible de conclure, qu'à $V_{DS0}=3.6V$, le transistor NLD MOS tient des valeurs de TOS de 15:1.

II.2.3. Résultats de mesures sur un bipolaire

Le transistor bipolaire testé est celui utilisé pour les simulations du chapitre II. Deux points de polarisation ont été utilisés pour ces mesures. Le premier correspond à $V_{BE0}=0.94V$, $I_{B0}=2mA$, $V_{CE0}=3.6V$ et $I_{C0}=300mA$. Le second est $V_{BE0}=0.91V$, $I_{B0}=2mA$, $V_{CE0}=5V$ et $I_{C0}=300mA$. La différence porte sur V_{CE0} . Les résultats de mesures pour différentes valeurs de TOS sont présentées à l'aide de la figure III.6.

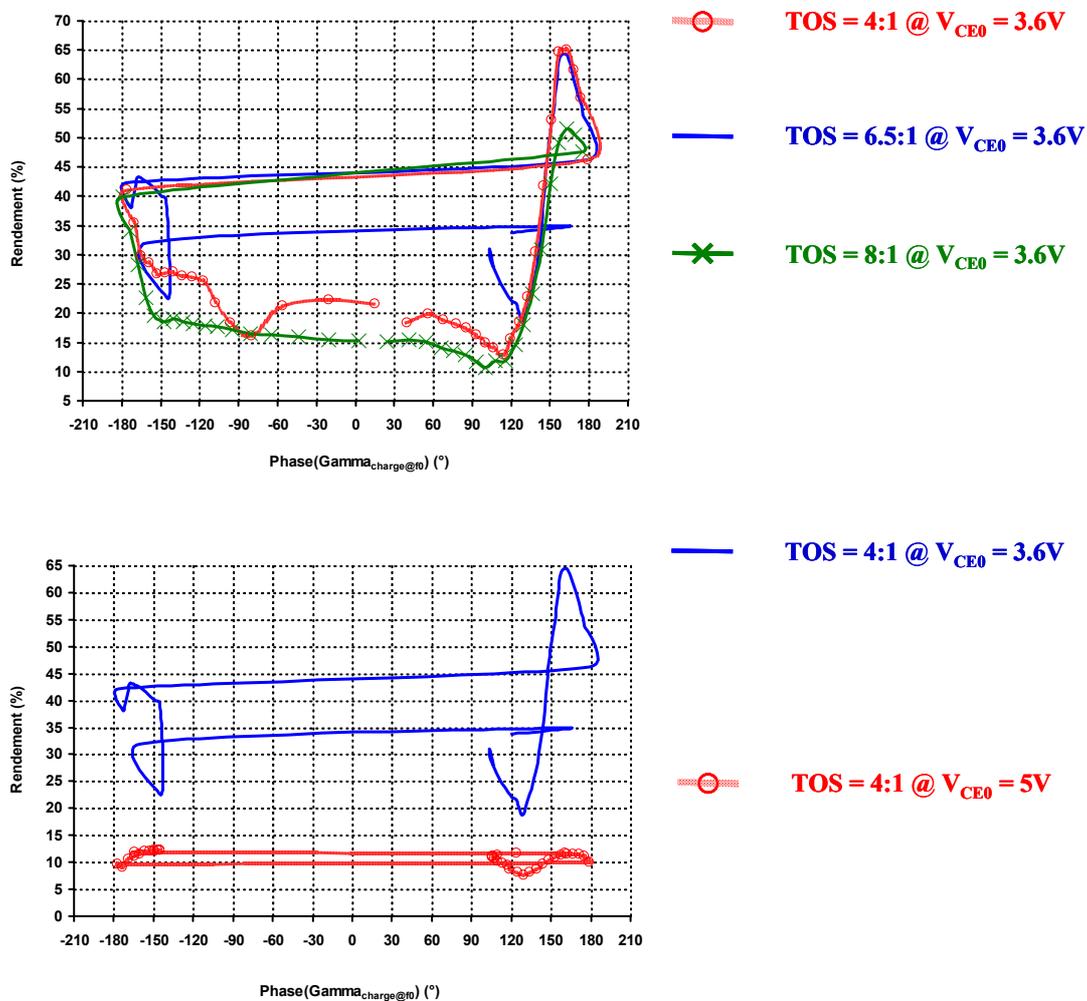


Figure III.6 : Mesures de TOS du transistor bipolaire

En visualisant le rendement de sortie en fonction de l'angle de $\Gamma_{\text{charge}@f_0}$, tracé lors du test de robustesse (les mesures sont réalisées tous les 10°), il est possible de conclure quant à la tenue en TOS du transistor. En effet, à $V_{\text{CE0}}=3.6\text{V}$, les courbes sont à peu près similaires lorsque le TOS passe de 4:1, à 6.5:1 puis à 8:1. Cela signifie que le transistor supporte des TOS de 8:1 à 3.6V.

Maintenant, en augmentant la tension de polarisation V_{CE0} à 5V, il apparaît que le rendement est dégradé lors du test à TOS= 4:1. Le transistor ne tient donc pas un TOS de 4:1 sous 5V.

II.3. Mise en évidence du problème de reproductibilité des mesures

Les mesures réalisées au cours de cette thèse ont permis de mettre en évidence un problème de reproductibilité de ces dernières. Par reproductibilité, il faut entendre qu'en mesurant un même transistor au cours de deux campagnes de mesure différentes, entre lesquelles le banc a entièrement été reconnecté (en effet, le banc utilisé n'est pas exclusivement dédié aux mesures load-pull), les performances mesurées, dans les mêmes conditions, sont différentes. Ce paragraphe a pour but de décrire la mise en évidence de ce problème grave, ainsi que son origine. La solution apportée pour le résoudre est présentée au paragraphe II.3.3.

II.3.1. Identification du problème : mesures non reproductibles

La mise en évidence du problème de reproductibilité s'est faite grâce aux mesures CW d'optimisation en rendement de puissance de sortie du transistor NLD MOS, précédemment testé en robustesse (pour rappel, $W_g=6\text{mm}$ et $L_e=0.13\text{mm}$). Ce transistor, polarisé en classe AB profonde avec $V_{\text{GS0}}=0.66\text{V}$, $I_{\text{G0}}=0\text{mA}$, $V_{\text{DS0}}=3.6\text{V}$ et $I_{\text{D0}}=60\text{mA}$, a été mesuré lors de plusieurs campagnes de caractérisation CW à $f_0=1.8\text{GHz}$. Afin de vérifier la pertinence et la précision des impédances optimales trouvées, il a été décidé d'optimiser ce transistor lors de deux campagnes, réalisées à trois mois d'intervalle, et pour lesquelles le banc de mesure a complètement été reconnecté et étalonné entre les deux. Ces campagnes sont nommées

Camp.1 et Camp.2. La figure III.7 et le tableau III.1 comparent les coefficients de réflexion optimaux trouvés.

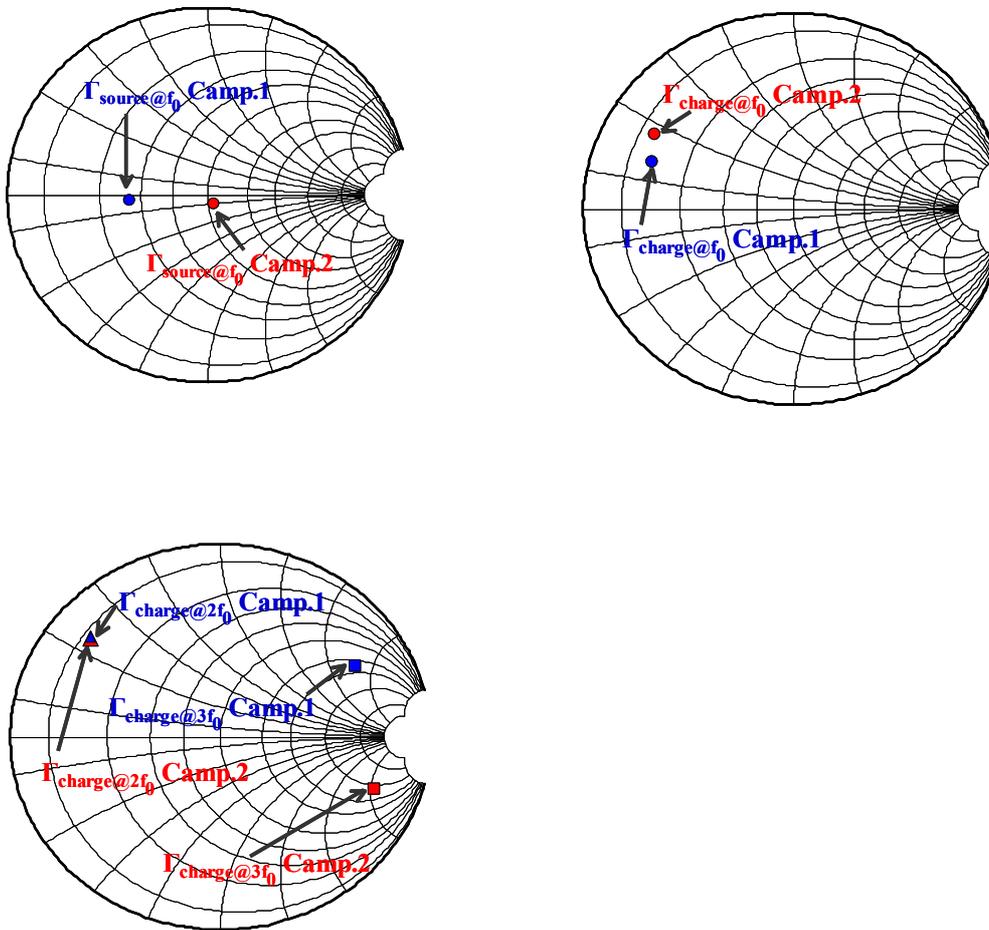


Figure III.7 : Coefficients de réflexion optimaux trouvés lors des deux campagnes de mesure

| | | Campagne 1 | | Campagne 2 | |
|--------|-----------------------|----------------|---------------------|-----------------|----------------------|
| | | Z (Ω) | Γ | Z (Ω) | Γ |
| Source | f_0 | 21.7 - j 1.4 | 0.40 \angle -176° | 52.6 - j 5.3 | 0.06 \angle -61° |
| | $2f_0$ (pas optimisé) | 23.4 + j 1.9 | 0.36 \angle 174° | 45 + j 0.3 | - 0.05 \angle 177° |
| | $3f_0$ (pas optimisé) | 56.4 - j 11.2 | 0.12 \angle -54° | 45.4 - j 5.7 | 0.08 \angle -126° |
| Charge | f_0 | 8.6 + j 8.5 | 0.71 \angle 160° | 7.1 + j 13.1 | 0.76 \angle 150° |
| | $2f_0$ | 5.8 + j 17.9 | 0.81 \angle 140° | 6 + j 17.8 | 0.81 \angle 140° |
| | $3f_0$ | 83.2 + j 138.9 | 0.74 \angle 30° | 135.5 - j 181.8 | 0.78 \angle -20° |

Tableau III.1 : Comparaison des coefficients de réflexion optimaux trouvés

Les deux campagnes étant réalisées dans les mêmes conditions de polarisation et d'excitation, avec le même banc de mesure (qui a néanmoins été reconnecté et étalonné), les coefficients optimaux trouvés devraient être les mêmes. Or, il apparaît clairement une forte disparité pour $\Gamma_{source@f_0}$, ainsi qu'une différence importante des parties imaginaires de $Z_{charge@f_0}$. Enfin, les phases de $\Gamma_{charge@3f_0}$ sont fortement distinctes. Cela n'est pas normal et traduit un réel problème de reproductibilité des mesures.

Afin de mieux cerner ce problème, une troisième campagne de mesure (nommée Camp.3) a été menée cinq mois après. Le banc a été connecté et étalonné de nouveau. Au cours de cette campagne, les impédances optimales trouvées précédemment ont été imposées sur le même transistor NLD MOS, polarisé de la même manière, afin de retrouver les performances obtenues. La figure III.8 compare le rendement de sortie, le gain et la puissance de sortie mesurés lors des trois campagnes de test.

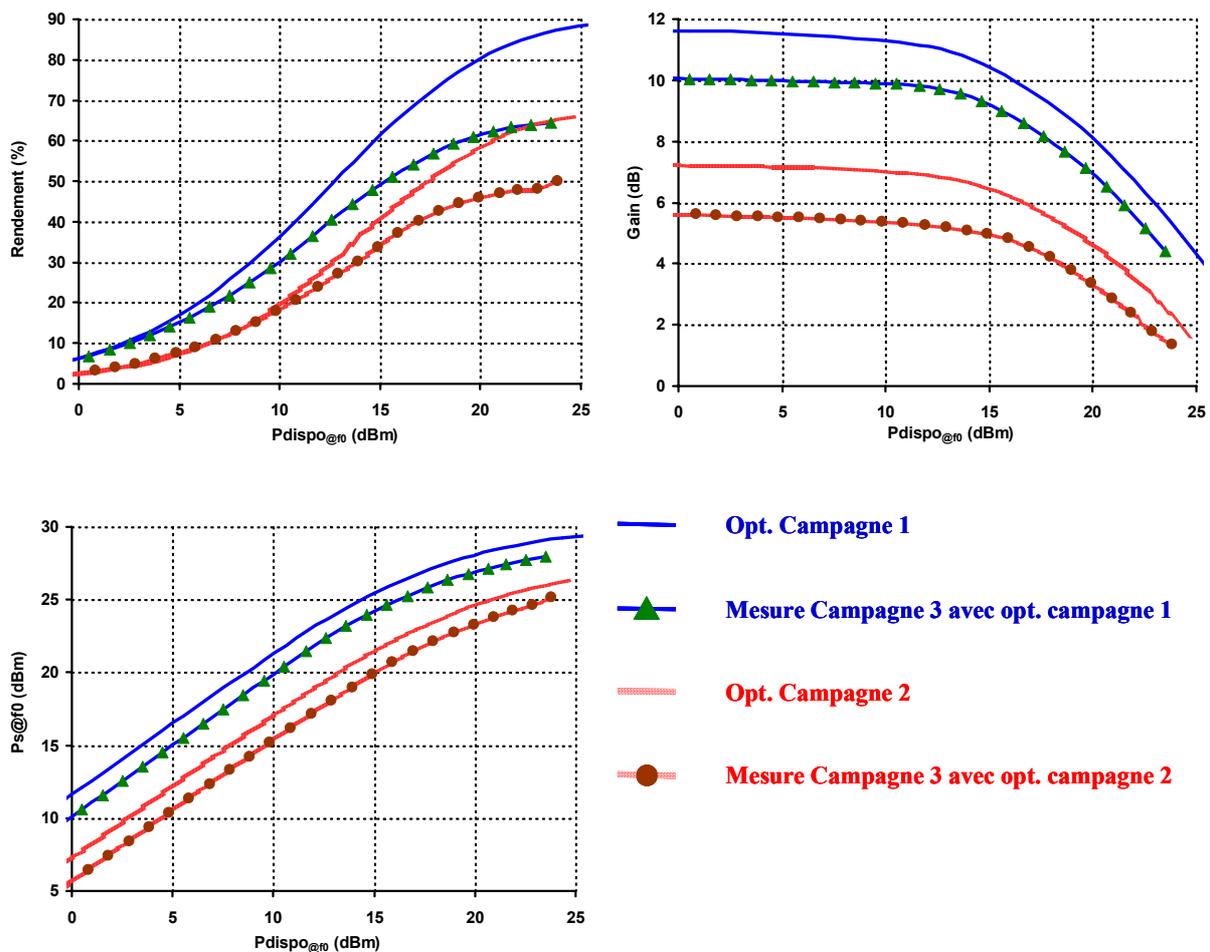


Figure III.8 : Comparaison des performances lors des trois campagnes de mesure

Les performances mesurées sont toutes différentes, ce qui n'est pas normal. Les courbes mesurées lors de la campagne 3 auraient dû être identiques à celles des campagnes 1 et 2, car le transistor est polarisé de la même manière et les impédances qui lui sont présentées sont identiques. Le tableau III.2 offre une comparaison des valeurs mesurées.

| | Rendement (%) @ $P_{\text{dispo}@f_0} = 20\text{dBm}$ | $P_{s@f_0}$ (dBm) @ $P_{\text{dispo}@f_0} = 20\text{dBm}$ | Gain petit signal (dB) |
|---------------------------------|---|---|------------------------|
| Optimisation Camp. 1 | 80.1 | 28.1 | 11.5 |
| Mesure Camp. 3 sur Opt. camp. 1 | 60.9 | 26.8 | 10 |
| Optimisation Camp. 2 | 57.5 | 24.4 | 7.5 |
| Mesure Camp. 3 sur Opt. camp. 2 | 46 | 23.3 | 5.5 |
| Variation | 34.1 | 4.8 | 6 |

Tableau III.2 : Comparaison des performances lors des trois campagnes de mesure

Les différences observées entre les campagnes 1 et 2 peuvent s'expliquer par le fait que les impédances optimales trouvées sont différentes. Néanmoins, les variations sont très importantes. En effet, le rendement présente une variation de 34.1 points, ce qui n'est absolument pas normal. La valeur obtenue lors de la campagne 1 semble trop élevée, compte tenu de la polarisation et de la taille du transistor. A priori, cette campagne est fortement entachée d'erreurs. De même, les variations de 4.8dBm sur $P_{s@f_0}$ et de 6dB sur le gain sont fortement critiques et pénalisantes, car il n'est pas possible de savoir quelle optimisation est correcte et quelles mesures sont précises. Il convient donc d'identifier la source d'erreur engendrant ce problème de reproductibilité.

II.3.2. Description de l'étalonnage utilisé

Toute mesure comprend deux phases importantes et distinctes. La première consiste en l'étalonnage du système de caractérisation et permet de définir les plans de référence. Ensuite, la seconde étape consiste en la mesure elle-même. Dans le cas présent, les mesures d'optimisation et de vérification ont été réalisées de la même manière. Dès lors, elles ne peuvent pas expliquer les différences observées. Ainsi, le problème vient peut-être d'un mauvais étalonnage du banc. Pour comprendre la non-reproductibilité des mesures, l'étalonnage du système de caractérisation a été étudié et une méthode a été proposée afin de vérifier la précision de ce dernier.

Pour ce faire, l'étalonnage qui a servi à réaliser les mesures des trois campagnes va être décrit. Comme il l'a été précisé au début de ce chapitre, le banc load-pull passif comprend plusieurs éléments. Ces derniers sont entourés sur la figure III.9 et constituent huit

blocs à étalonner séparément. De ce fait, la méthode détalonnage utilisée va être qualifiée de « bloc par bloc ».

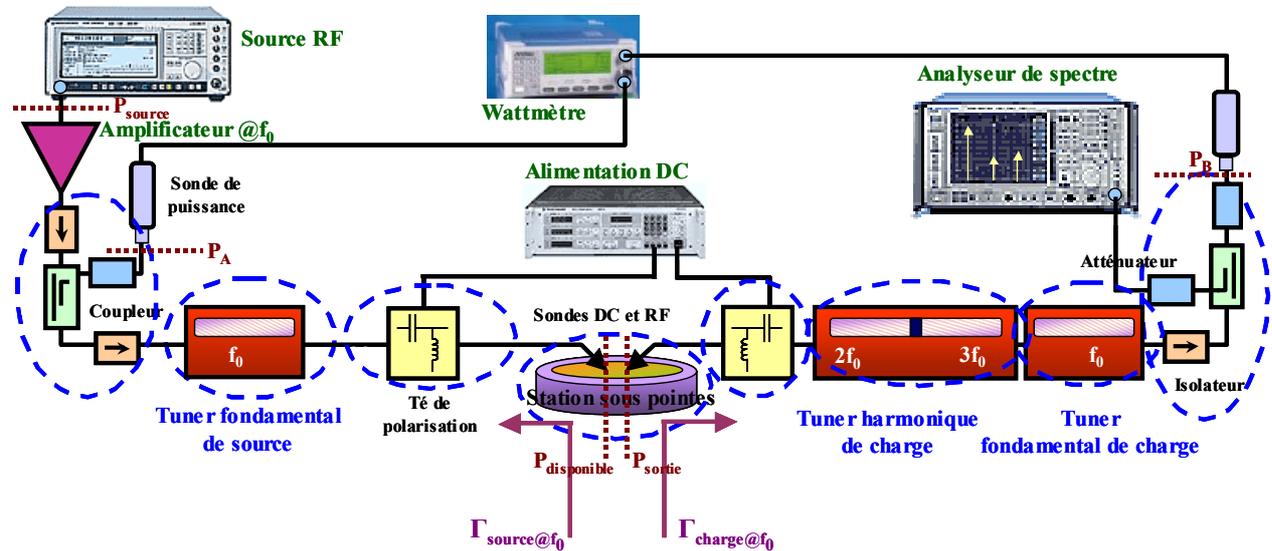


Figure III.9 : Etalonnage dit « bloc par bloc »

Le principe d'étalonnage du banc passif consiste à étalonner les différents blocs, c'est-à-dire à déterminer leurs paramètres S. Ensuite, le logiciel fourni par Focus Microwaves cascade ces différentes matrices de paramètres S, ce qui permet de ramener les plans de référence dans le plan des pointes et de déduire les caractéristiques du DST par les mesures des puissances P_A et P_B .

La première étape de l'étalonnage consiste à étalonner l'analyseur de réseaux vectoriel (ou ARV) qui va permettre la mesure des paramètres S des blocs. Cet étalonnage est réalisé sur la bande de 50MHz à 8.05GHz, afin d'inclure les trois fréquences f_0 , $2f_0$ et $3f_0$. La méthode préconisée par Focus Microwaves et qui a été utilisée est de type TRL (Thru, Reflect and Line). Cette méthode, exposée dans les références [12] à [14], permet de s'affranchir des erreurs de l'ARV et d'accéder aux paramètres S des différents blocs. Cette étape est notée 1 sur la figure III.10, qui décrit les six étapes de l'étalonnage du banc de caractérisation.

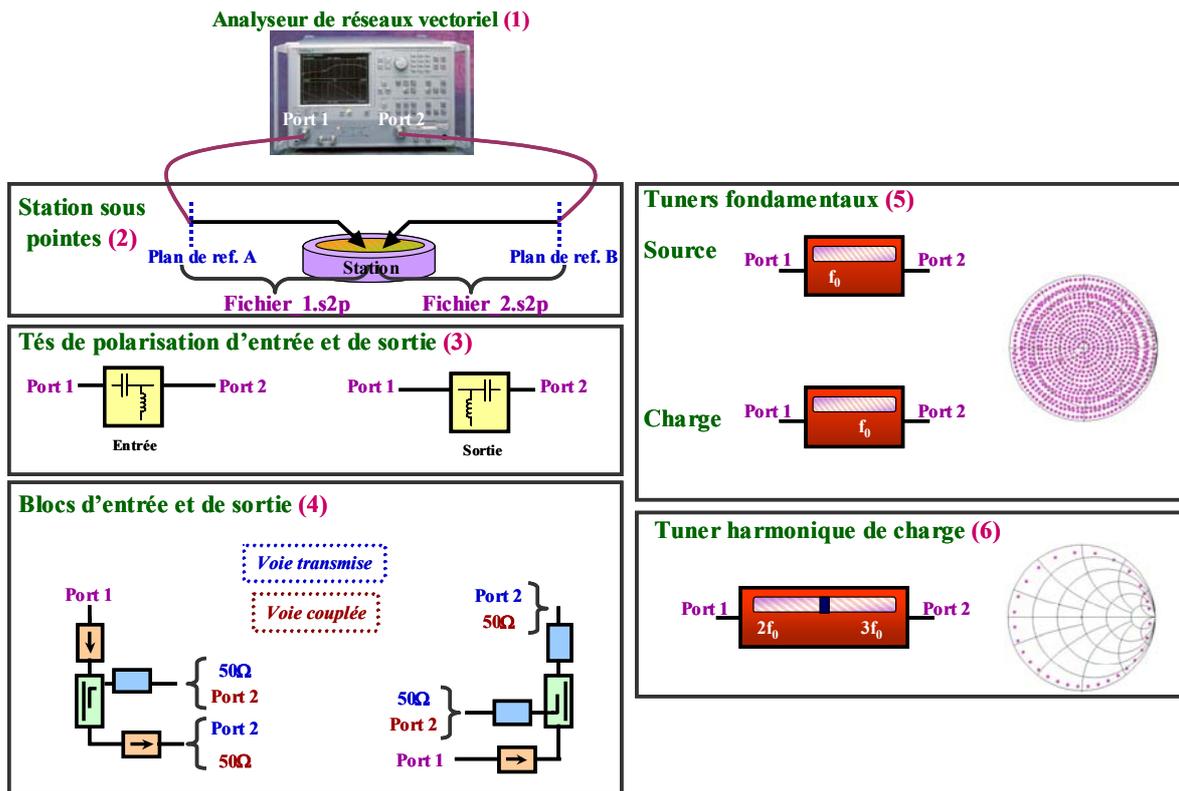


Figure III.10 : Les différentes étapes de l'étalonnage « bloc par bloc »

La seconde étape correspond à la détermination des paramètres S des points RF avec les câbles de connexion très faible perte. Un étalonnage sous pointes de type LRM (Line, Reflect and Matched) permet de déterminer les fichiers de paramètres S des deux sections (entrée et sortie), nommés Fichier_1.s2p et Fichier_2.s2p sur la figure III.10.

Ensuite, les étapes 3 et 4 correspondent à de simples mesures de paramètres S des tés de polarisation et des blocs d'entrée et de sortie utilisés pour la mesure des puissances. Ces deux blocs utilisant un coupleur uni-directionnel, il convient de les caractériser en transmission et en couplage, comme indiqué sur la figure III.10.

Reste maintenant à étalonner les tuners. Concernant les tuners fondamentaux (étape 5), l'étalonnage consiste en la détermination des paramètres S pour un nombre fixé de points d'impédances, répartis de façon équidistante sur tout l'abaque de Smith (comme le représente l'abaque de la figure III.10), et ceci à une fréquence donnée. Puisque le banc utilise un tuner harmonique, l'étalonnage est réalisé aux trois fréquences f_0 , $2f_0$ et $3f_0$. Le nombre de points d'étalonnage est sélectionné entre 180, 300 ou 800. Mais il ne faut pas croire que seuls ces points d'étalonnage sont synthétisables. En effet, n'importe quel point de l'abaque de Smith peut être synthétisé, grâce à des routines d'interpolations numériques non-linéaires

développées par Focus Microwaves, et qui sont détaillées dans la référence [15]. Brièvement, le principe d'interpolation utilisé s'appuie sur la nature même des tuners, à savoir que la phase est contrôlée par les mouvements horizontaux selon x, et le module par les mouvements verticaux selon y. A chaque fois que le tuner atteint une certaine position définie par x et y, le logiciel identifie les neuf plus proches voisins points d'étalonnage. Puis, à l'aide de deux polynômes d'interpolation de Lagrange, les paramètres S du point désiré sont déduits. Cette interpolation est très précise (l'erreur est inférieure à 50dB pour des fréquences allant jusqu'à 18GHz) et très rapide. Enfin, la dernière et sixième étape correspond à l'étalonnage du tuner harmonique de charge, aux trois fréquences f_0 , $2f_0$ et $3f_0$. La seule différence, avec les tuners fondamentaux, réside dans le fait que seule la phase est contrôlable. Le principe reste le même.

Une fois que les huit blocs sont étalonnés, le logiciel réalise l'assemblage des différents fichiers d'étalonnage. La vérification peut alors commencée.

II.3.3. Mise en place d'une nouvelle méthode de vérification de l'étalonnage : identification de la source d'erreur

Une nouvelle méthode de vérification de la qualité et de la précision de l'étalonnage a été développée durant ce travail de thèse. La vérification est réalisée par des tests de linéarité, dont le principe va être décrit dans ce qui suit. La nouveauté apportée réside dans le fait que cette vérification a été étendue à tout l'abaque de Smith et ne se contente plus d'une vérification sur 50Ω .

Un test de linéarité correspond à un balayage en puissance lorsque les sondes RF sont posées sur une ligne de transmission 50Ω (ou thru), de $200\mu\text{m}$ de long (ce qui équivaut à un retard de 1ps) avec les tuners fondamentaux conjugués entre eux ($\Gamma_{\text{charge}@f_0} = \Gamma_{\text{source}@f_0}^*$). Dans ce cas, la qualité de l'étalonnage se vérifie rapidement et facilement grâce à la mesure du gain. En effet, le gain mesuré, qui correspond au gain transductique, se définit en fonction des paramètres S du DST (ici la ligne 50Ω) et des coefficients de réflexion des tuners fondamentaux selon l'équation (3.3), rappelée dans la référence [16] :

$$G_t = \frac{P_{\text{sortie}@f_0}}{P_{\text{disponible}@f_0}} = |S_{21}|^2 \times \frac{\left(1 - |\Gamma_{\text{source}@f_0}|^2\right) \times \left(1 - |\Gamma_{\text{charge}@f_0}|^2\right)}{\left|1 - \Gamma_{\text{source}@f_0} \times S_{11}\right|^2 \times \left|1 - \Gamma_{\text{charge}@f_0} \times \Gamma_2\right|^2} \quad (3.3)$$

$$\text{avec } \Gamma_2 = S_{22} + \frac{S_{12} \times S_{21} \times \Gamma_{\text{source}@f_0}}{1 - \Gamma_{\text{source}@f_0} \times S_{11}} \quad (3.4)$$

Par définition, la ligne 50Ω (thru) ne présente pas de réflexion (donc $S_{11} = S_{22} = 0$) et permet une transmission totale des ondes de puissance (donc $S_{12} = S_{21} = 1$). Dès lors, $\Gamma_2 = \Gamma_{\text{source}@f_0}$ et le gain s'écrit alors selon l'équation (3.5) :

$$G_t = \frac{\left(1 - |\Gamma_{\text{source}@f_0}|^2\right) \times \left(1 - |\Gamma_{\text{charge}@f_0}|^2\right)}{\left|1 - \Gamma_{\text{source}@f_0} \times \Gamma_{\text{charge}@f_0}\right|^2} \quad (3.5)$$

Lorsque les tuners fondamentaux sont initialisés, ils sont sur 50Ω et ne présentent aucune réflexion (c'est-à-dire $\Gamma_{\text{source}@f_0} = \Gamma_{\text{charge}@f_0} = 0$), ce qui conduit à $G_t = 1$ soit 0dB. Maintenant, en conjuguant les deux tuners (soit $\Gamma_{\text{charge}@f_0} = \Gamma_{\text{source}@f_0}^*$) il vient, $\Gamma_{\text{charge}@f_0} \times \Gamma_{\text{source}@f_0} = |\Gamma_{\text{charge}@f_0}|^2$, ce qui conduit également à $G_t = 1$ soit 0dB. Il apparaît donc que le test de linéarité, réalisé pour plusieurs conditions d'impédances fondamentales complexes conjuguées, est un critère de jugement fiable et précis quant à la précision de l'étalonnage. En pratique, si le gain mesuré vaut 0dB +/-0.3dB (les 0.3dB correspondent aux erreurs résiduelles, telles les pertes entre les connecteurs etc..., comme le rappelle la référence [17]), alors il est possible de conclure que l'étalonnage effectué est correct. Il est à noter que puisque le gain transductique est indépendant des phases présentées par le tuner harmonique de charge, ces dernières sont quelconques durant le test de linéarité.

La figure III.11 représente les résultats des tests de linéarité réalisés lors des campagnes de mesure 1 (graphique de gauche) et 2 (graphique de droite).

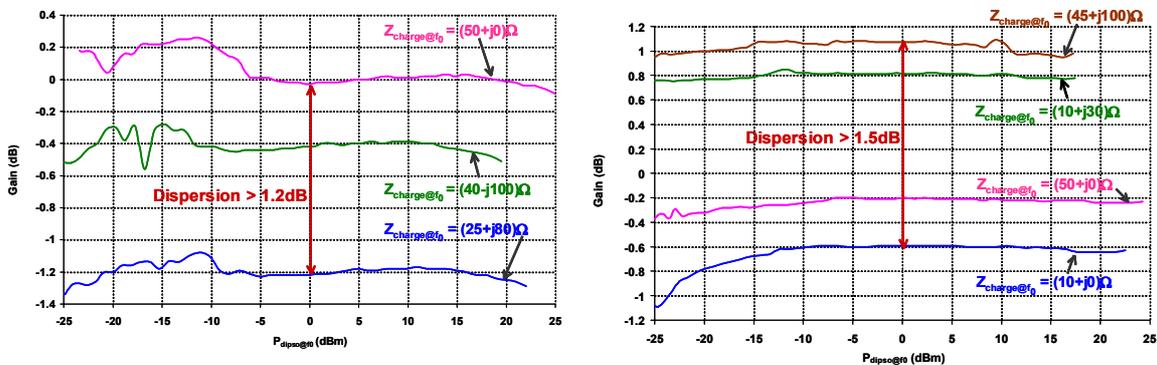


Figure III.11 : Tests de linéarité réalisés lors des campagnes 1 et 2

Sur les courbes, seules les valeurs de $Z_{charge@f_0}$ sont indiquées (celles de $Z_{source@f_0}$ sont les conjugués correspondants). Le gain présente une dispersion supérieure à 1.2dB pour l'étalonnage de la campagne 1 et supérieure à 1.5dB pour celui de la campagne 2. Les étalonnages sont donc imprécis, ce qui permet d'expliquer les mesures non-reproductibles observées précédemment.

Le banc étant constitué des plusieurs blocs, il a été décidé de les connecter un à un et de procéder à des tests de linéarité, dès qu'un nouveau bloc est inséré. Cela a permis d'identifier le bloc responsable de l'erreur d'étalonnage. En effet, la figure III.12 représente les tests de linéarité réalisés sans la station sous pointes.

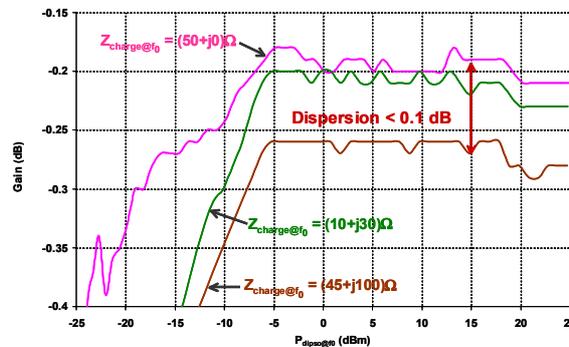


Figure III.12 : Tests de linéarité sans la station sous pointes

Il apparaît que la dispersion observée sur le gain est inférieure à 0.1dB. Ceci permet alors de conclure que la station sous pointes est le bloc responsable de la dispersion du gain observée. En effet, cette dernière est très sensible aux éventuelles erreurs de phase, qui apparaissent suite aux nombreuses manipulations des câbles de l'ARV, nécessaires pour étalonner les différents blocs. Lorsque ces câbles sont « tordus », l'étalonnage en phase de l'ARV peut être perdu, provoquant une dispersion anormale du gain lors des tests de linéarité réalisés sur des impédances complexes conjuguées. Il faudrait alors utiliser des câbles très stables en phase pour limiter cet impact.

En résumé, la méthode d'étalonnage « bloc par bloc » n'est pas adaptée aux mesures sous pointes, car l'étalonnage de la station sous pointes est trop sensible aux erreurs de phase et provoque une dispersion anormale du gain des tests de linéarité. Une nouvelle méthode d'étalonnage a alors été proposée et validée durant cette thèse. Elle fait l'objet du paragraphe suivant.

II.4. Résolution du problème : mise en place d'une nouvelle méthode d'étalonnage du système de mesure

La nouvelle méthode d'étalonnage proposée regroupe les éléments en seulement quatre blocs (figure III.13). La figure III.14 résume les étapes de l'étalonnage.

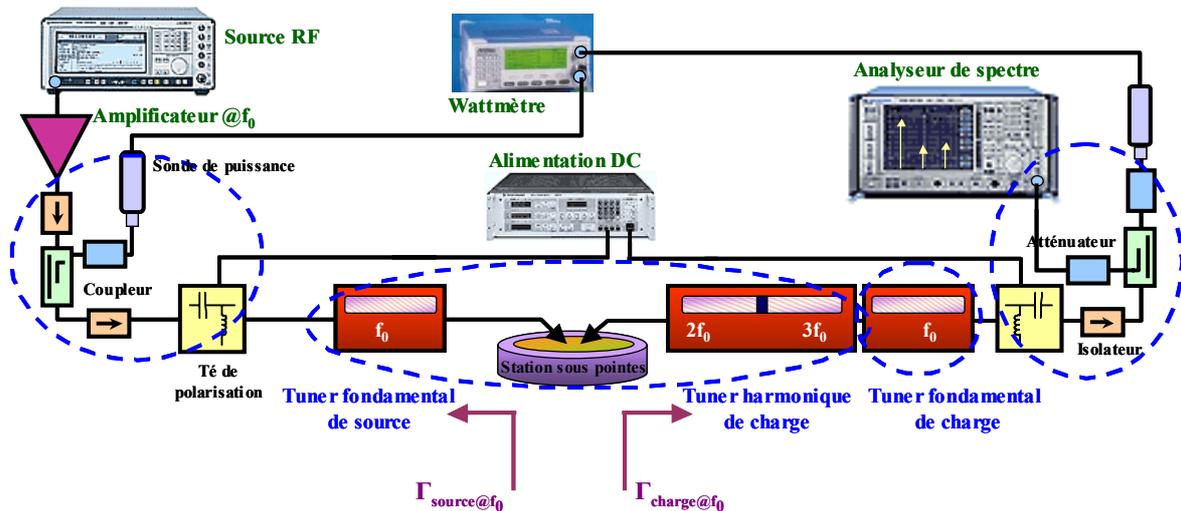


Figure III.13 : Blocs considérés dans le nouvel étalonnage

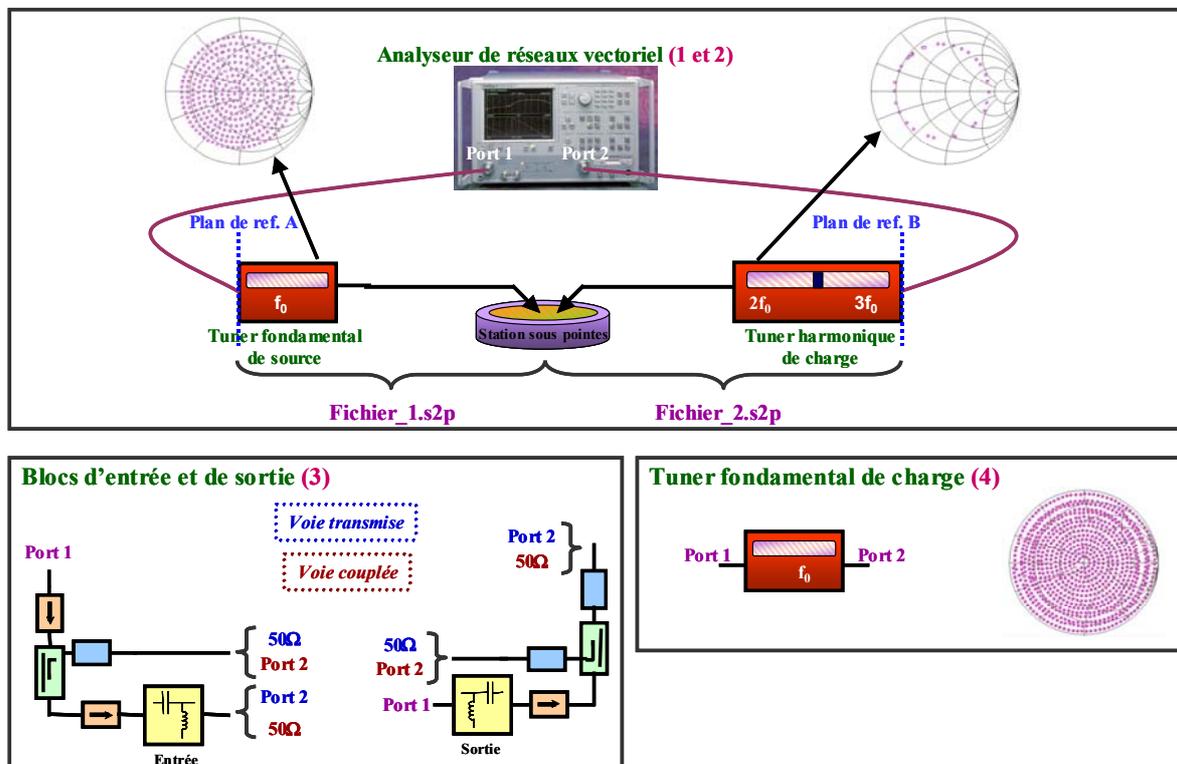


Figure III.14 : Étapes du nouvel étalonnage proposé

Afin de s'affranchir de la sensibilité de l'étalonnage de la station sous pointes, il a été décidé d'associer le tuner fondamental de source, la station sous pointes avec ses câbles de connexion vers les tuners et le tuner harmonique de charge en un seul bloc. Dès lors, cette méthode est qualifiée de « in-situ » car elle inclut les tuners à la station sous pointes. L'étalonnage du banc comprend les quatre étapes illustrées à la figure III.14.

La première étape correspond toujours à l'étalonnage de l'ARV, qui est de type TRL.

Ensuite, la seconde étape constitue la nouveauté apportée. L'étalonnage de ce bloc se décompose en quatre phases.

- La première consiste à initialiser le tuner fondamental de source (il présente alors une impédance de 50Ω) et à relever les sondes des deux résonateurs du tuner harmonique de charge, afin qu'il se comporte comme une ligne 50Ω .
- La seconde phase correspond alors à l'étalonnage de type LRM de la station sous pointes. Cela permet de déterminer les paramètres S des sections nommées Fichier_1.s2p et Fichier_2.s2p.
- Pour la troisième phase, les pointes RF sont posées sur une ligne 50Ω (thru de longueur $200\mu\text{m}$). L'étalonnage du tuner fondamental de source est réalisé en enlevant la contribution de sortie (c'est-à-dire en « de-embeddant » par le fichier de paramètres S Fichier_2.s2p). Le fichier d'étalonnage du tuner obtenu correspond alors aux paramètres S du tuner fondamental de source, associés à ceux de la pointe d'entrée et du câble de connexion, pour les points d'impédances décrivant l'abaque de Smith.
- Lors de la dernière phase, les sondes des résonateurs du tuner harmonique de charge sont remises en place. Les pointes RF étant toujours posées sur la ligne 50Ω , l'étalonnage du tuner harmonique de charge est mené, en enlevant la contribution d'entrée (« de-embedding » par le fichier Fichier_1.s2p). Le fichier d'étalonnage du tuner obtenu correspond alors aux paramètres S du tuner harmonique de charge, associés à ceux de la pointe de sortie et du câble de connexion.

Cette phase d'étalonnage permet ainsi d'inclure les sections d'entrée et de sortie de la station sous pointes dans les fichiers d'étalonnage des tuners. Et par conséquent, de s'affranchir de l'erreur de phase. C'est la nouveauté et la solution proposée.

Pour terminer l'étalonnage du banc, il convient de déterminer les paramètres S des blocs d'entrée et de sortie en transmission et en couplage (troisième étape). Et d'étalonner le tuner fondamental de charge (quatrième étape de l'étalonnage).

Le logiciel se charge alors d'assembler les différents fichiers et permet les mesures de vérification de la qualité de l'étalonnage proposé. La figure III.15 présente les résultats des tests de linéarité réalisés pour plusieurs conditions d'impédances fondamentales conjuguées.

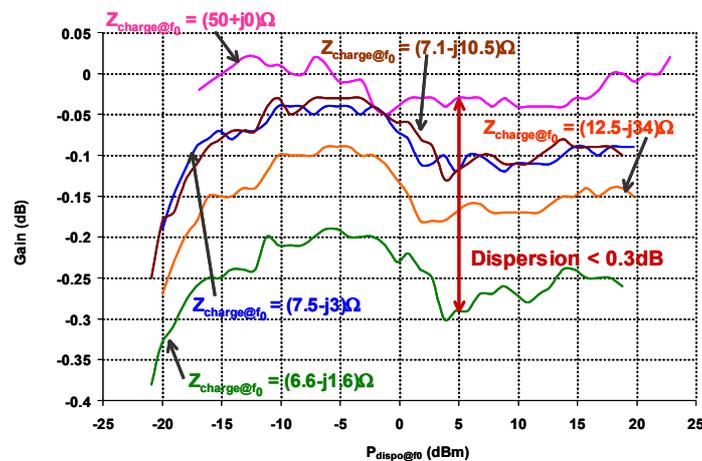


Figure III.15 : Tests de linéarité réalisés avec le nouvel étalonnage

La dispersion du gain observée est inférieure à 0.3dB, ce qui permet d'affirmer que l'étalonnage est correct. La nouvelle méthode proposée a donc amélioré la qualité et la précision de l'étalonnage du banc load-pull passif.

Avant de conclure, il convient de comparer les deux méthodes d'étalonnage présentées. Pour ce faire, le niveau de puissance disponible est fixé à 5dBm. Les impédances fondamentales décrivent tout l'abaque de Smith et le gain des tests de linéarité est mesuré puis représenté sous forme de contours load-pull, donnés par la figure III.16.

Tests de linéarité à $P_{\text{dispo}@f_0} = 5\text{dBm}$ et $Z_{\text{charge}@f_0} = Z_{\text{source}@f_0}^*$

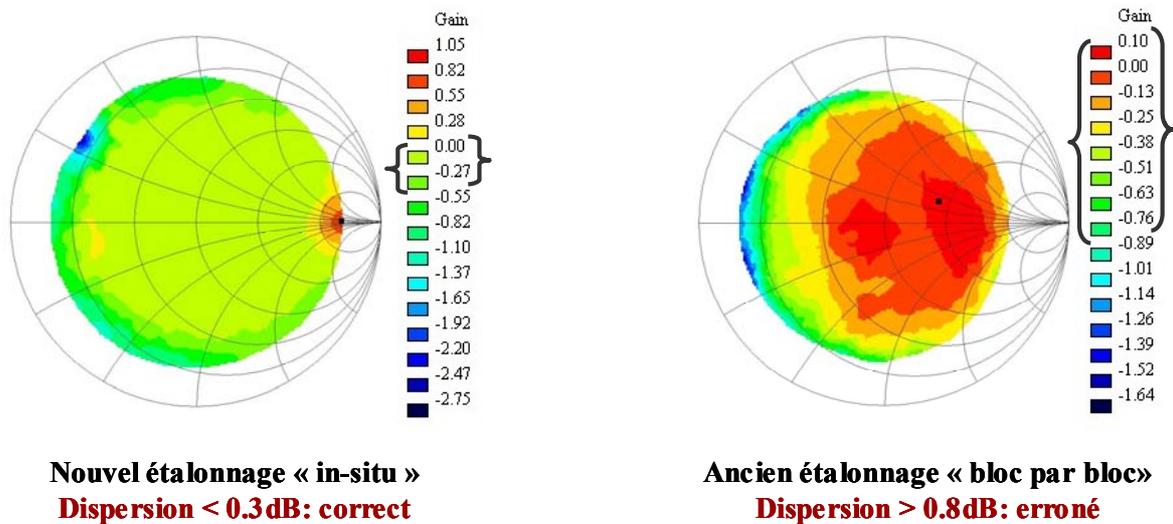


Figure III.16 : Comparaison de la précision des deux étalonnages

Il apparaît clairement que la nouvelle méthode d'étalonnage est correcte, car la dispersion du gain est inférieure à 0.3dB. En conclusion, l'étalonnage « in-situ » est préconisé pour les mesures load-pull sous pointes. Il faut enfin garder à l'esprit que l'étalonnage du banc de caractérisation est une étape cruciale dans la mesure load-pull. Un bon étalonnage permet une bonne mesure. Donc, si l'étalonnage se révèle imprécis et erroné, toutes les mesures qui seront réalisées seront entachées d'erreurs et ne seront pas reproductibles.

Avant de passer à la suite du chapitre, il convient de préciser que cette nouvelle méthode d'étalonnage, ainsi que la mise en place de la vérification de la qualité de ce dernier, par les tests de linéarité avec $\Gamma_{\text{charge}@f_0} = \Gamma_{\text{source}@f_0}^*$, a été validée par Focus Microwaves et a fait l'objet d'une présentation lors du séminaire utilisateur [18]. Elle a, de plus, été présentée lors d'un tutorial portant sur l'évaluation des incertitudes de mesures [19].

III. Description du système de caractérisation de type load-pull actif

Cette partie a pour but de décrire les deux bancs utilisant des boucles actives, installés au sein du laboratoire universitaire Xlim à Limoges. Le premier banc propose une approche fréquentielle de la caractérisation, grâce à l'utilisation de l'analyseur de réseaux vectoriel (ou ARV). Son principe de fonctionnement ainsi que celui des boucles actives seront détaillés dans un premier temps. Ensuite, des mesures CW d'optimisation en PAE pour deux points de polarisation du transistor bipolaire seront présentées et comparées avec les résultats de simulations. Dans le second point de cette partie, l'approche temporelle du banc actif, grâce à l'utilisation de l'analyseur de réseaux large signal (ou LSNA), sera présentée et détaillée brièvement. Enfin, des mesures CW d'optimisation en PAE du transistor bipolaire, avec extraction des formes d'ondes temporelles extrinsèques, seront comparées aux simulations. Ce chapitre se terminera alors par une comparaison entre mesures et simulations lorsque le transistor est excité par un signal de type biporteuse.

III.1. Description du premier banc utilisé (approche fréquentielle avec l'ARV)

III.1.1. Principe de fonctionnement de la boucle active

Ce système, décrit dans les références [20] à [24] et présenté par la figure III.17, se compose d'un analyseur vectoriel de réseaux à quatre accès et de trois boucles actives en charge, permettant une synthèse d'impédances aux trois premières fréquences harmoniques (load-pull multi-harmonique), exprimées dans la suite en terme de coefficients de réflexion. Chaque boucle active fonctionne selon le même principe et contient les mêmes éléments constitutifs. La seule différence réside dans la gamme de fréquence de ces différents éléments et dans le filtre bande étroite, qui permet de choisir la fréquence de travail de la boucle (f_0 , $2f_0$ ou $3f_0$).

Chaque boucle contient un premier coupleur bidirectionnel (ou réflectomètre) qui permet de prélever une partie de l'onde réfléchi b_2 (à la fréquence de fonctionnement de la boucle, par exemple f_0) en provenance du dispositif sous test (DST), et un second coupleur

bidirectionnel, qui assure l'injection de cette onde, $b_{2@f_0}$, modifiée par les différents éléments de la boucle, avec l'onde incidente $a_{2@f_0}$. Ainsi, l'onde $a_{2@f_0}$ est modifiée et en conséquence, le rapport $\frac{b_{2@f_0}}{a_{2@f_0}}$, qui est en fait le coefficient de réflexion du DST à f_0 , est modifié et contrôlable. En effet, le module du coefficient de réflexion est contrôlé par l'amplificateur associé à l'atténuateur variable de la boucle active. La phase, quant à elle, se contrôle à l'aide du déphaseur. Le filtre bande-étroite, outre le fait de sélectionner la fréquence de travail, permet d'éviter d'éventuelles oscillations, qui pourraient endommager et dégrader le DST.

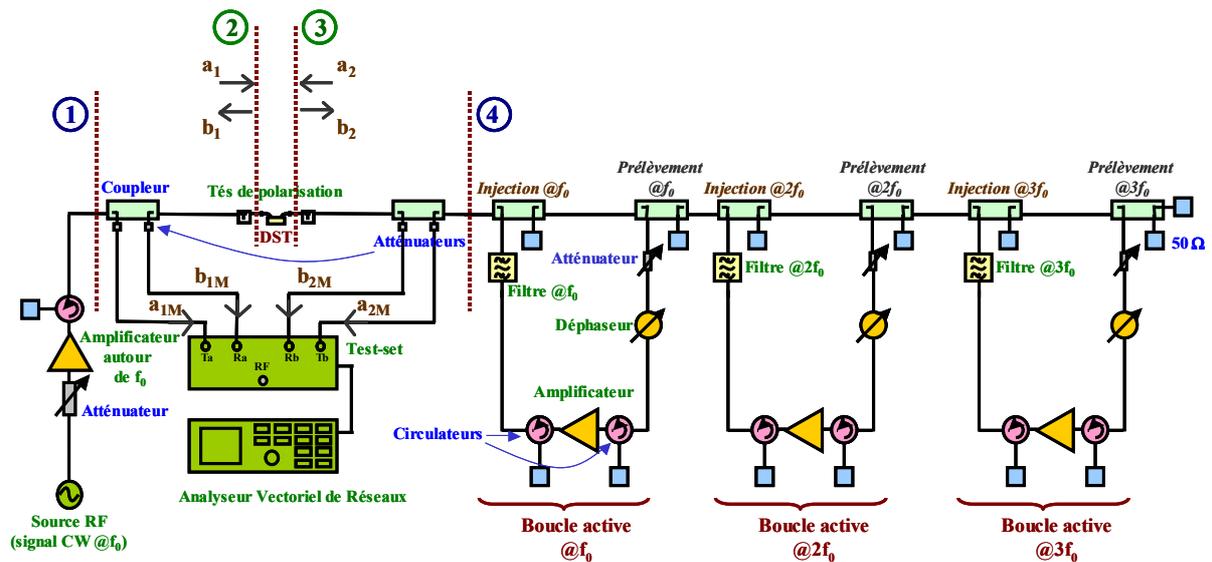


Figure III.17 : Schéma de principe du banc load-pull actif fréquentiel d'Xlim

Il est possible de réaliser des boucles actives de synthèse d'impédances de source, mais cela n'a pas été réalisé dans ce travail. Ainsi, toutes les mesures qui vont être présentées ont été effectuées avec la source sur 50Ω .

III.1.2. Etalonnage du système de mesure

Les quantités accessibles et mesurables par ce système de mesure sont les ondes de puissance a_1 , b_1 , a_2 et b_2 du DST par l'ARNV. Les caractéristiques ensuite exploitées (telles que la puissance, le rendement, le gain, les tensions et les courants) sont calculées à partir de ces ondes de puissance à l'aide des formules classiques. Pour pouvoir mesurer ces ondes, il faut, au préalable, étalonner le système de mesure.

L'étalonnage utilisé comprend trois phases principales.

- La première consiste en un étalonnage classique des rapports d'ondes, réalisé sous pointes, dans les plans de référence du DST (plans notés 2 et 3 sur la figure III.17) aux trois fréquences d'intérêt (f_0 , $2f_0$ et $3f_0$). Cet étalonnage sous pointes se réalise en mesurant successivement quatre standards dans les plans de référence, à savoir un court-circuit, un circuit-ouvert, une charge 50Ω et une ligne de transmission : il s'agit alors d'un étalonnage de type SOLT.
- La seconde phase a pour but de définir les plans de référence notés 1 et 4. Pour ce faire, les pointes sont posées sur une ligne 50Ω (thru) entre les plans 2 et 3 et un étalonnage de type SOL est réalisé dans les plans de sortie des réflectomètres (1 et 4). Il est à noter que le théorème de réciprocité des coupleurs est utilisé pour déterminer la puissance absolue de l'onde a_1 dans les plans sous pointes.
- Enfin, un étalonnage en puissance est mené en connectant un wattmètre dans le plan 4 et en mesurant successivement la puissance au wattmètre et sur la voie 1 (onde a_1) de l'ARV.

Ce système de mesure utilise une approche fréquentielle, car l'ARV est basé sur un mode de réception hétérodyne, c'est-à-dire qu'il effectue une translation de fréquence et un filtrage étroit de chacune des composantes harmoniques, qui peuvent être mesurées successivement. Les puissances absolues des ondes à chacune des fréquences sont accessibles, ainsi que les impédances et le gain. L'information de déphasage relatif entre les différentes fréquences n'est pas obtenue, ce qui ne permet pas de remonter aux formes d'ondes temporelles.

III.1.3. Comparaison mesures / simulations

Ce paragraphe s'attache à comparer des mesures CW sur le transistor bipolaire (conçu en technologie BiCMOS $0.25\mu\text{m}$ SiGe:C) avec les simulations exposées au cours du chapitre II.

III.1.3.a. Mesure CW d'optimisation en rendement à $V_{CE0} = 3.85\text{V}$

Les mesures présentées correspondent à une optimisation CW de la PAE du transistor bipolaire (d'aire d'émetteur égale à $1260\mu\text{m}^2$) polarisé à $V_{CE0} = 3.85\text{V}$ et $V_{BE0} = 0.95\text{V}$, donnant un courant de repos I_{C0} de 290mA .

La figure III.18 représente les impédances de charge optimales trouvées aux trois fréquences contrôlées par les boucles actives ($f_0 = 1.8\text{GHz}$, $2f_0 = 3.6\text{GHz}$ et $3f_0 = 5.4\text{GHz}$), ainsi que l'impédance d'entrée à f_0 .

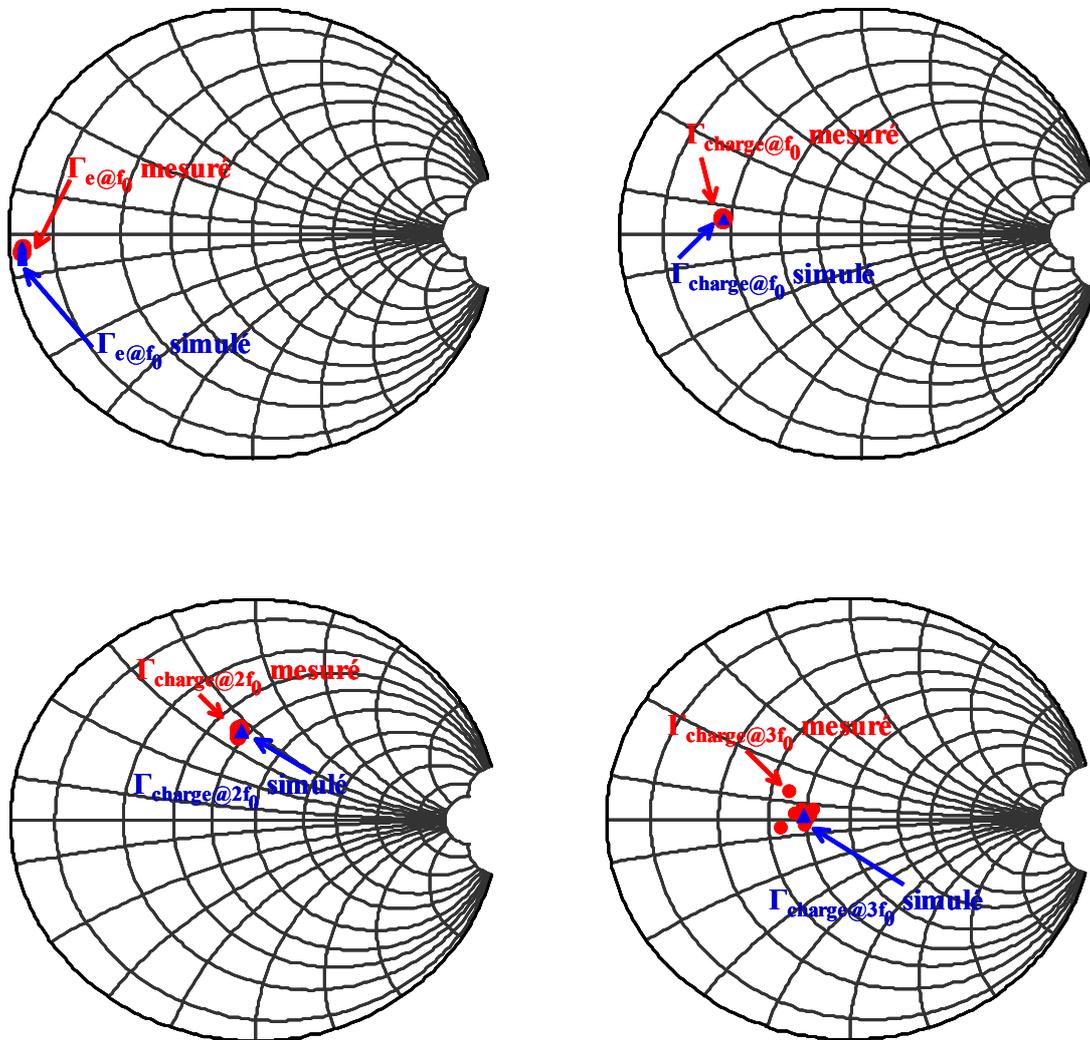


Figure III.18 : Coefficients de réflexion en entrée et en charge

Au vu de ces abaques de Smith, il apparaît que les coefficients de réflexion d'entrée $\Gamma_{e@f_0}$ obtenus sont identiques en mesure et en simulation. Par ailleurs, $\Gamma_{\text{charge}@f_0}$ optimal mesuré est identique à $\Gamma_{\text{charge}@f_0}$ simulé pour ce point de polarisation. Enfin, à $2f_0$ et à $3f_0$, compte tenu de la configuration du banc de mesure les boucles devenaient non linéaires à fort niveau de puissance (ce qui se manifeste par le déplacement de $\Gamma_{\text{charge}@2f_0}$ et surtout de $\Gamma_{\text{charge}@3f_0}$). Il a alors été décidé de caler au mieux les coefficients de réflexion en simulation.

Le tableau III.3 compare les points de polarisation et indique les valeurs des Γ_{charge} optimaux. Les principaux résultats obtenus sont ensuite donnés par les courbes comparatives des figures III.19 et III.20.

| | Point de polarisation | |
|------------------------------|-------------------------|-------------------------|
| | Mesure | Simulation |
| V_{BE0} (V) | 0.96 | 0.96 |
| I_{B0} (mA) | 1.9 | 2 |
| V_{CE0} (V) | 3.85 | 3.85 |
| I_{C0} (mA) | 298 | 292 |
| $\Gamma_{\text{charge}@f0}$ | $0.57 \angle 174^\circ$ | $0.41 \angle 98^\circ$ |
| $\Gamma_{\text{charge}@2f0}$ | $0.41 \angle 98^\circ$ | $0.19 \angle 175^\circ$ |

Tableau III.3 : Point de polarisation et valeurs de coefficients de réflexion optimaux en charge

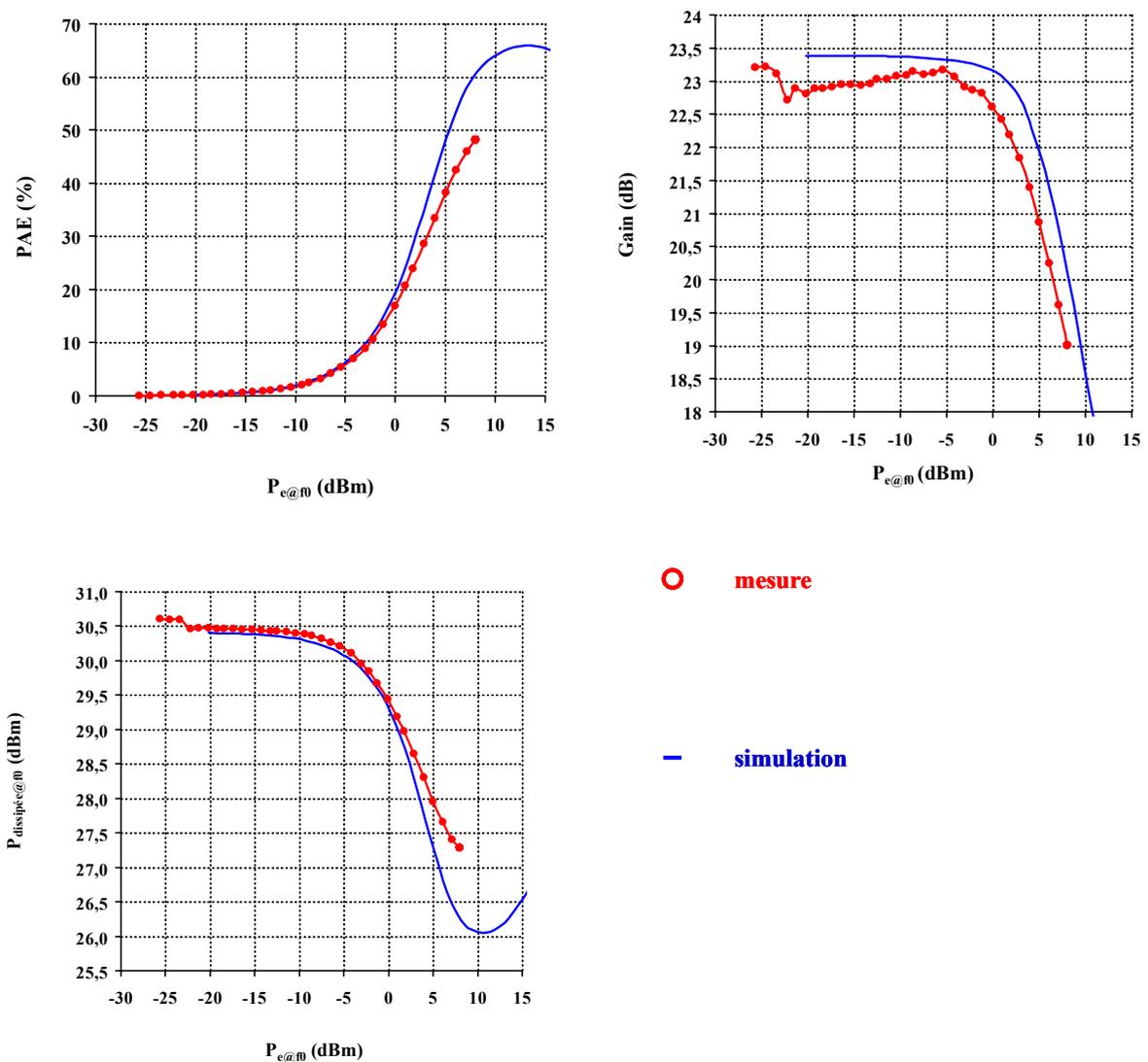


Figure III.19 : Rendement, gain et puissance dissipée

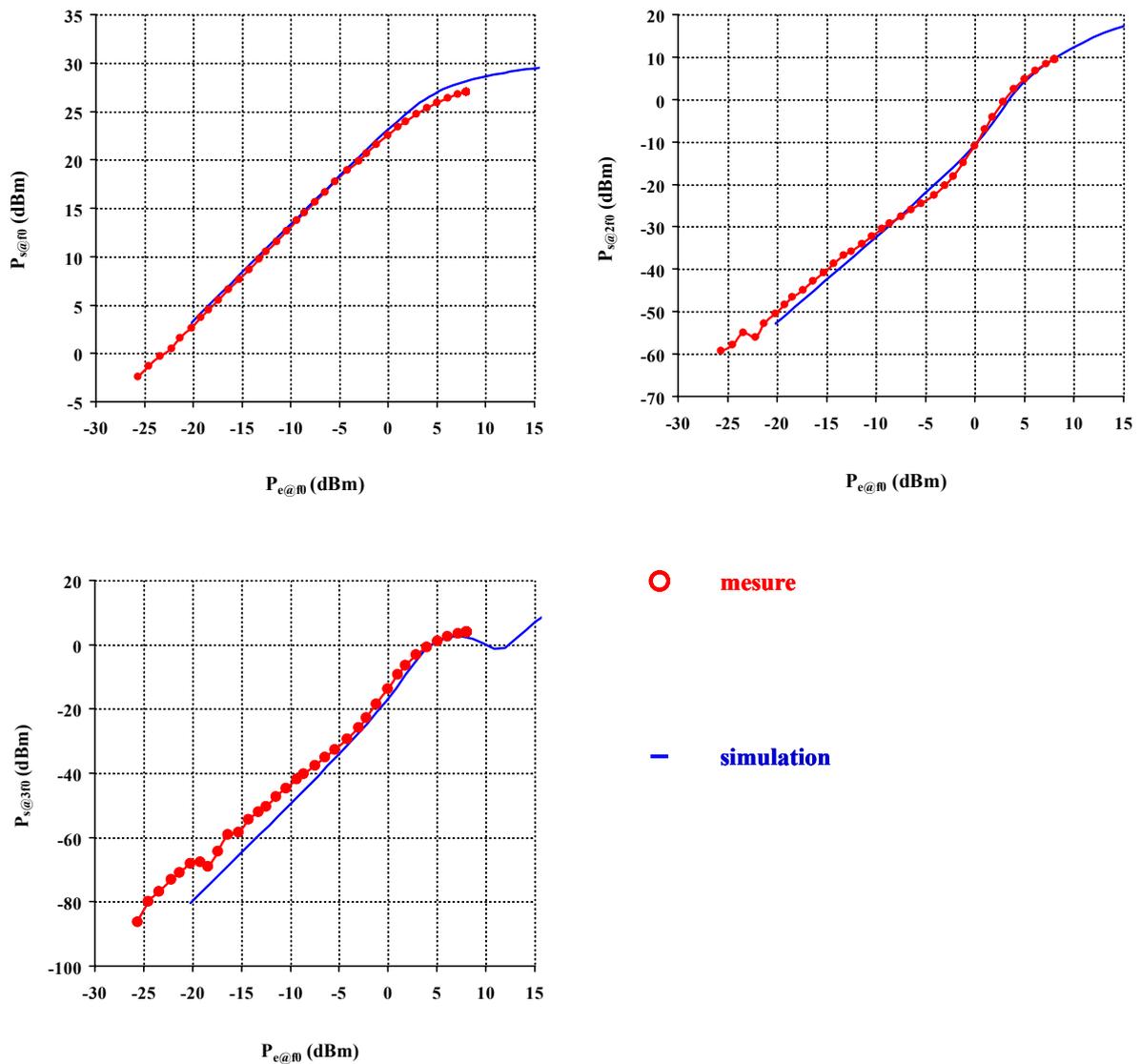


Figure III.20 : Puissances de sortie aux trois premières fréquences harmoniques

Après comparaison des ces courbes, il apparaît qu'il existe une bonne correspondance des résultats, excepté pour le rendement en puissance ajoutée au voisinage de la compression. Les écarts observés sont directement liés aux différences des courants collecteurs, $I_{collecteur}$, comme l'illustre la figure III.21.

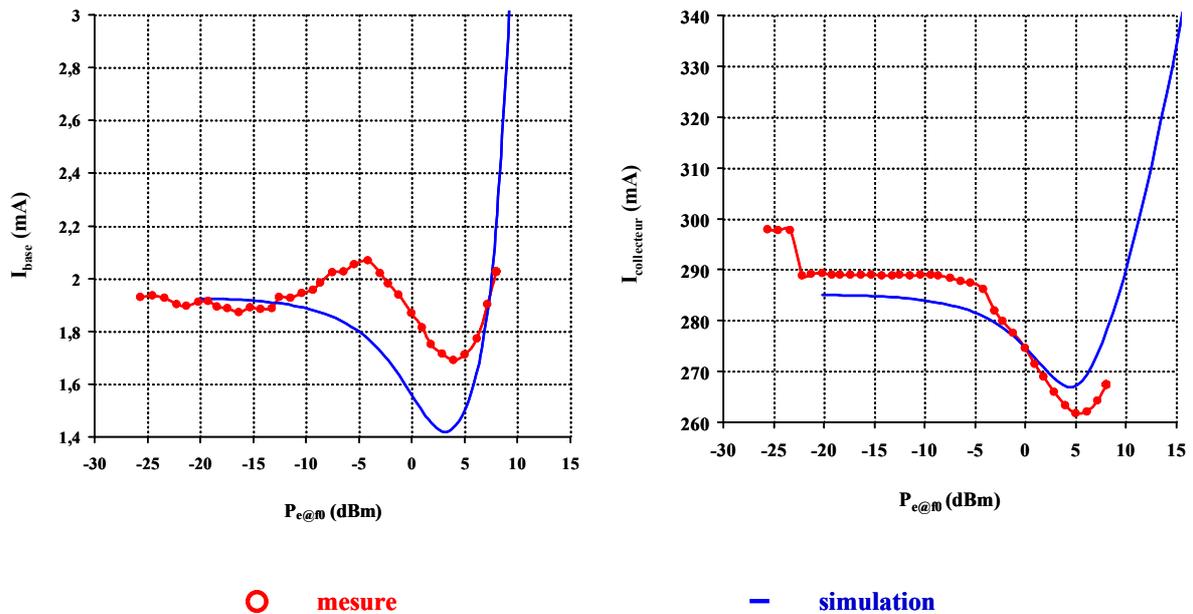


Figure III.21 : Courants

La comparaison des courants montre qu’il existe une bonne corrélation dans les sens de variation des courants I_{base} et $I_{collecteur}$ en fonction de la puissance d’entrée à f_0 . Par ailleurs, il est à noter qu’en réglant en simulation la tension d’alimentation V_{BE0} de façon à ajuster le courant collecteur à bas niveau à 290mA puis à 295mA, comme semble l’indiquer la mesure, les écarts relevés entre les simulations et les mesures s’accroissent ou se réduisent.

Le tableau III.4 résume les différences observées à faible puis à fort niveaux de puissance et confirme la cohérence des mesures avec les simulations.

| Petit signal @ $P_{e@f_0} = -20.2\text{dBm}$ | | |
|--|--------------------------|--------------------------|
| | Mesure | Simulation |
| Gain (dB) | 22.8 | 23.4 |
| $\Gamma_{e@f_0}$ | $0.95 \angle -175^\circ$ | $0.95 \angle -173^\circ$ |

| Fort niveau | | |
|--------------------------|--------|------------|
| | Mesure | Simulation |
| $P_{e@f_0}$ (dBm) | 8 | 7.7 |
| PAE (%) | 48.1 | 59.2 |
| $P_{s@f_0}$ (dBm) | 27 | 28.1 |
| $P_{s@2f_0}$ (dBm) | 9.4 | 9.1 |
| $P_{s@3f_0}$ (dBm) | 4 | 2.6 |
| $P_{dissipée@f_0}$ (dBm) | 27.3 | 26.3 |
| Gain (dB) | 19 | 20.4 |
| I_B (mA) | 2 | 2.1 |
| I_C (mA) | 267.3 | 279.2 |

Tableau III.4 : Comparaison mesure / simulation à $V_{BE0} = 0.95\text{V}$ ($I_{C0} = 290\text{mA}$) et $V_{CE0} = 3.85\text{V}$

III.1.3.b. Mesure CW d'optimisation en rendement à $V_{CE0} = 5.25V$

La même démarche de comparaison est menée pour le point de polarisation $V_{CE0} = 5.25V$ et $V_{BE0} = 0.94V$. Les impédances optimales de charge trouvées avec le point de polarisation précédent sont conservées et représentées par la figure III.22. Cette mesure a pour but de valider le fonctionnement du transistor bipolaire lorsque la tension d'alimentation croît, ce qui se produit lors de la charge de la batterie du téléphone portable.

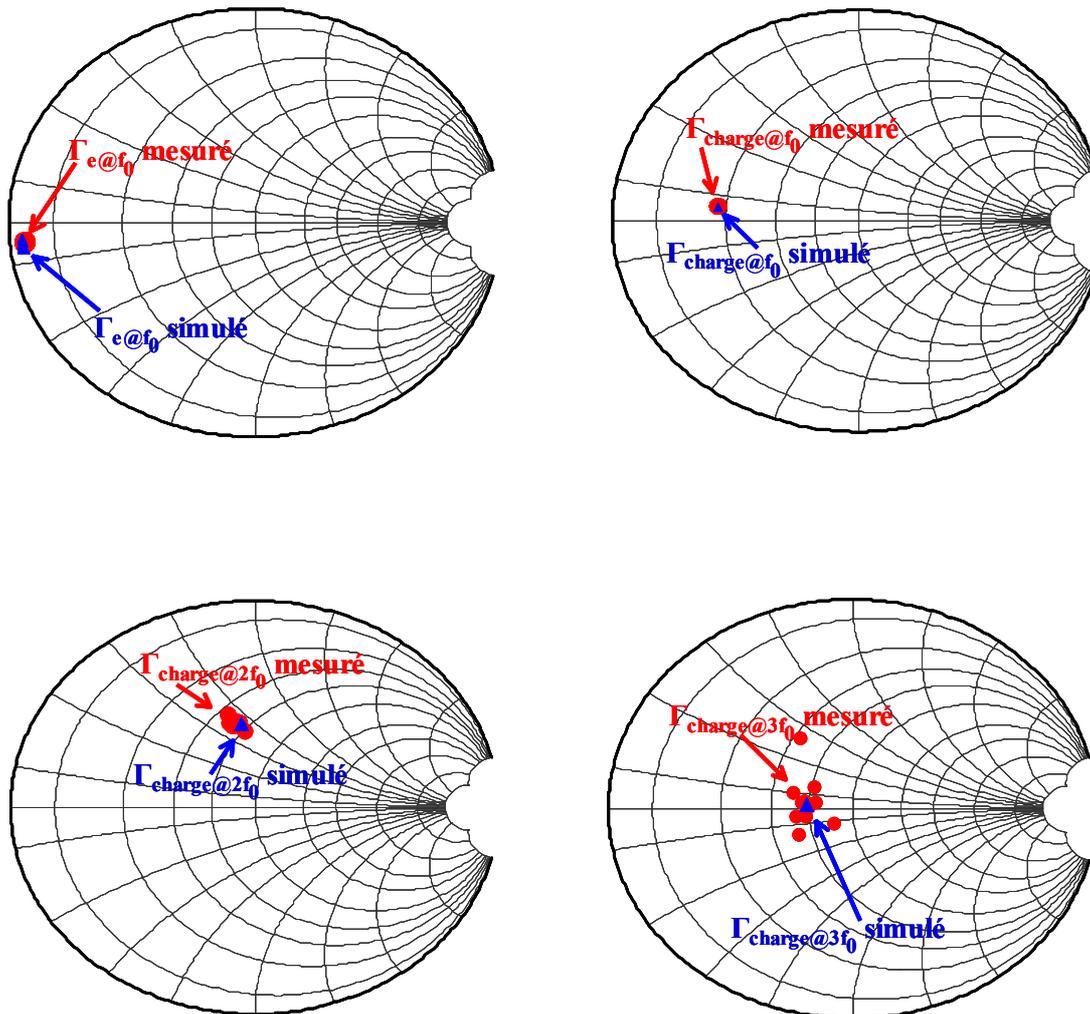


Figure III.22 : Coefficients de réflexion en entrée et en charge

Comme précédemment, $\Gamma_{e@f_0}$ et $\Gamma_{charge@f_0}$ optimal sont identiques entre la mesure et la simulation. Concernant $\Gamma_{charge@2f_0}$ et $\Gamma_{charge@3f_0}$, les boucles étant toujours non-linéaires, les simulations ont été calées du mieux possible aux mesures.

Le tableau III.5 compare les points de polarisation et reprend les valeurs des Γ_{charge} optimaux. Les principaux résultats obtenus sont ensuite donnés par les courbes comparatives des figures III.23 et III.24.

| | Point de polarisation | |
|---------------|-----------------------|------------|
| | Mesure | Simulation |
| V_{BE0} (V) | 0.94 | 0.94 |
| I_{B0} (mA) | 2.4 | 1.7 |
| V_{CE0} (V) | 5.25 | 5.25 |
| I_{C0} (mA) | 302 | 290 |

| $\Gamma_{\text{charge}@f_0}$ | $\Gamma_{\text{charge}@2f_0}$ | $\Gamma_{\text{charge}@3f_0}$ |
|------------------------------|-------------------------------|-------------------------------|
| $0.57 \angle 174^\circ$ | $0.41 \angle 98^\circ$ | $0.19 \angle 175^\circ$ |

Tableau III.5 : Point de polarisation et valeurs de coefficients de réflexion en charge

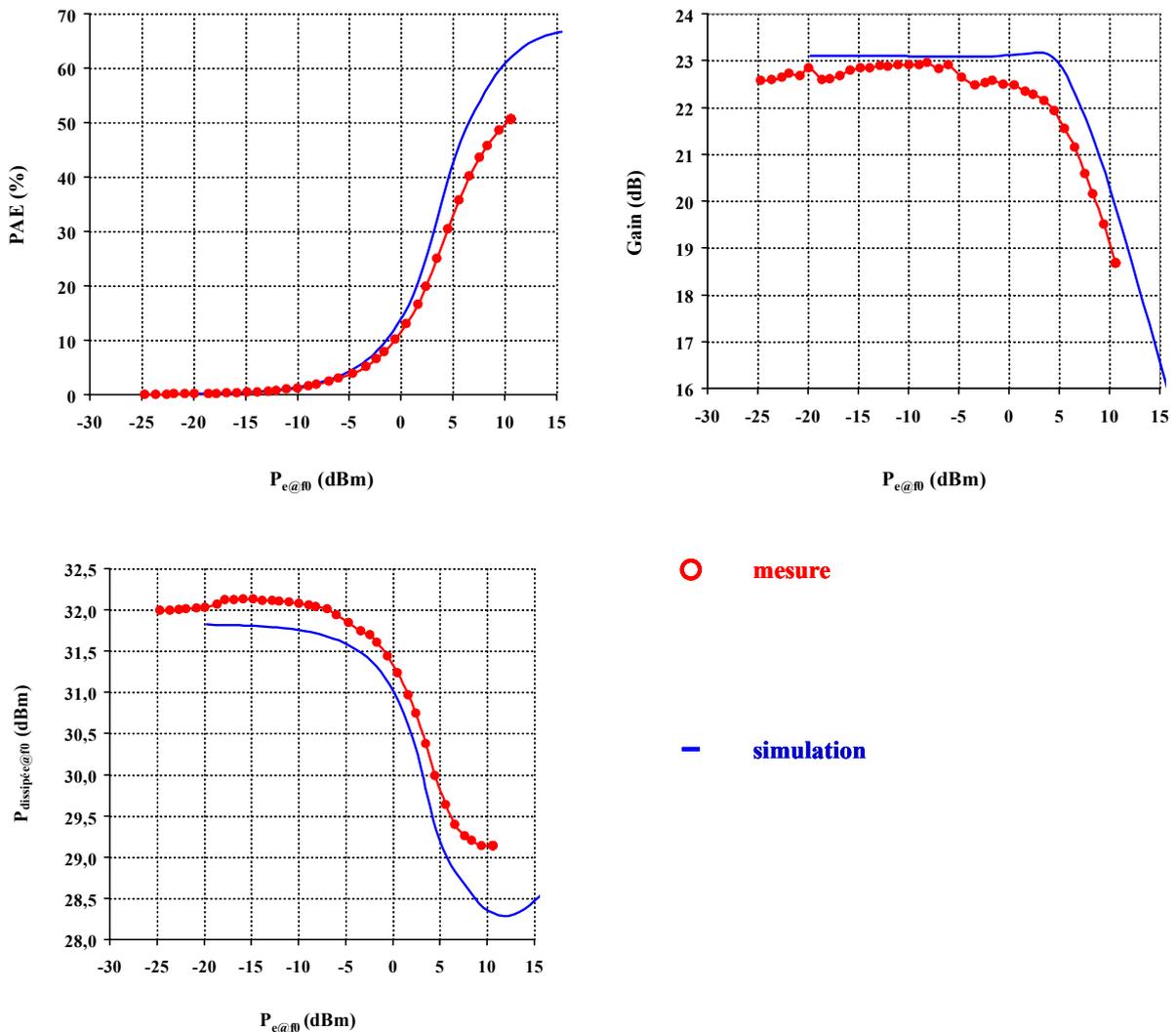


Figure III.23 : Rendement, gain et puissance dissipée

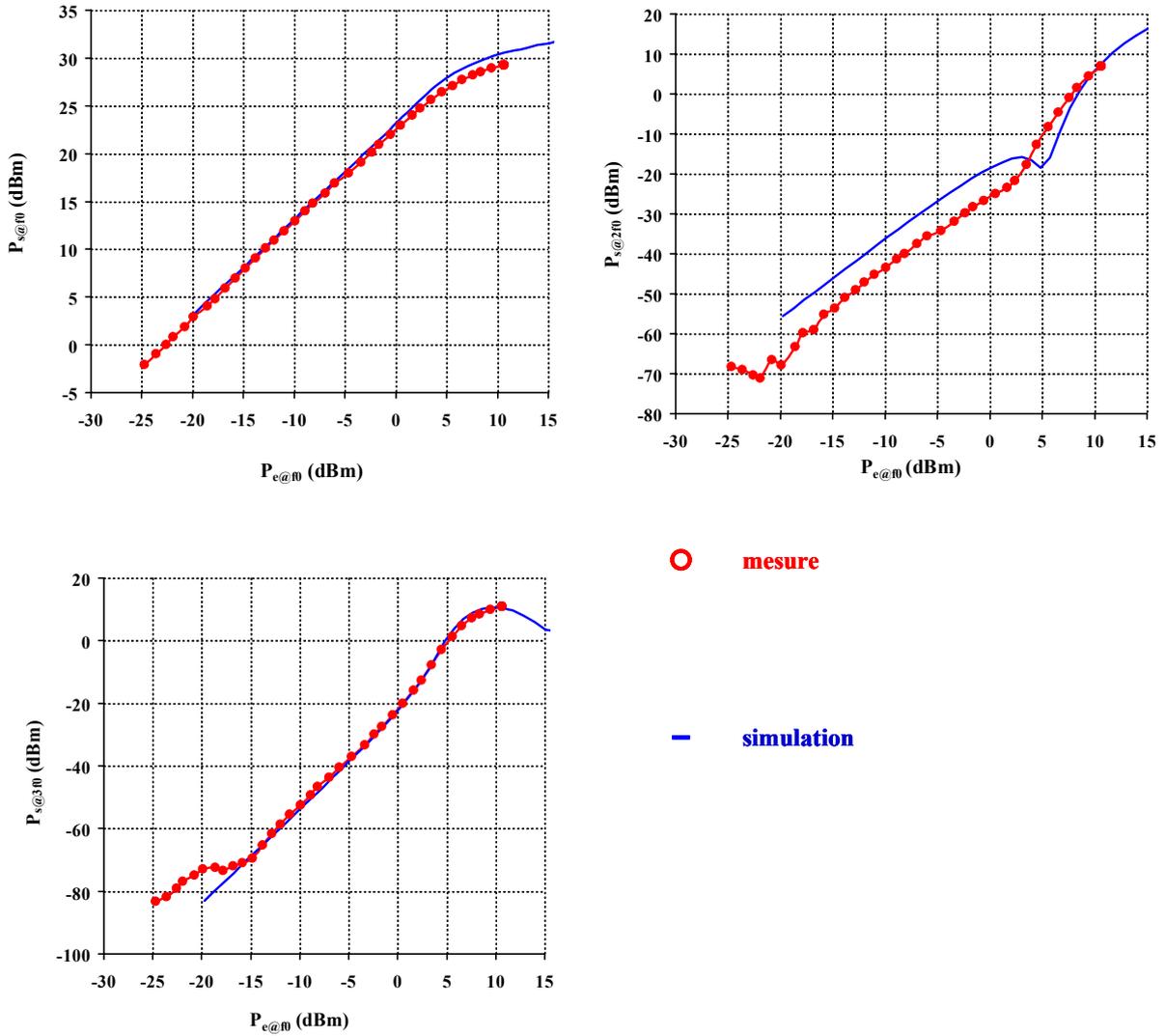


Figure III.24 : Puissances de sortie aux trois premières fréquences harmoniques

Il apparaît les mêmes commentaires que précédemment, à savoir une bonne corrélation entre mesures et simulations. Les différences observées sont dues à celles existantes sur le courant $I_{\text{collecteur}}$, représenté par la figure III.25.

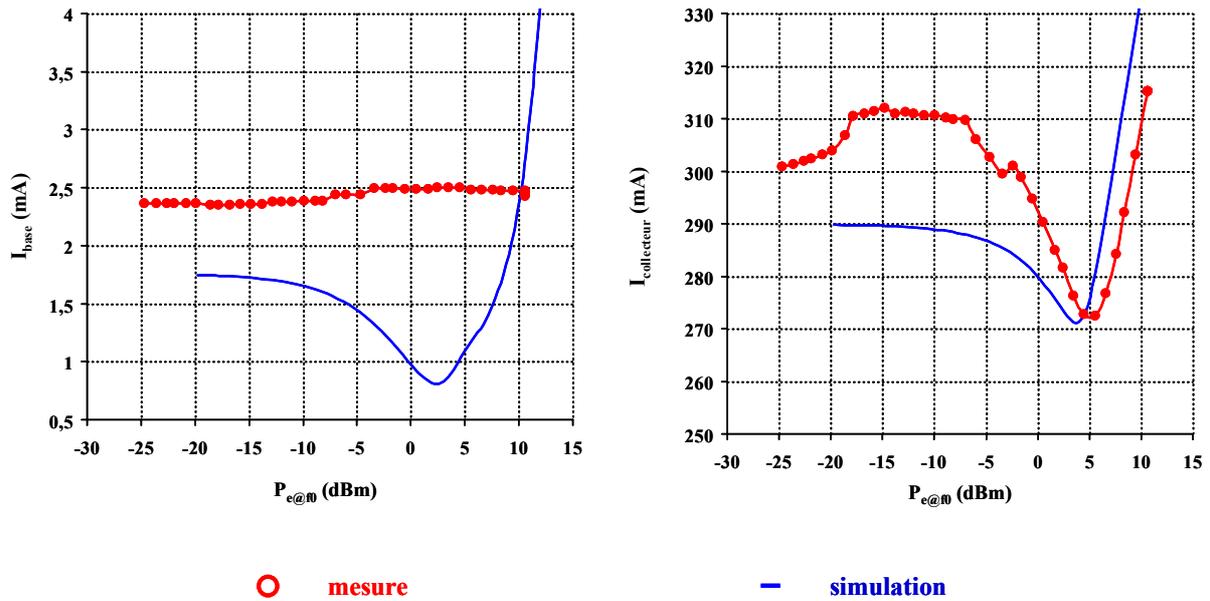


Figure III.25 : Courants

Une meilleure qualité de mesure pour I_{base} devrait être possible, et devrait atténuer les divergences observées sur les performances. De même que précédemment, le tableau III.6, comparant les performances à faible puis à fort niveaux de puissance, confirme la bonne cohérence entre les mesures et les simulations.

| Petit signal @ $Pe_{@f0} = -19.8\text{dBm}$ | | |
|---|--------------------------|--------------------------|
| | Mesure | Simulation |
| Gain (dB) | 22.8 | 23.1 |
| $\Gamma_{e@f0}$ | $0.94 \angle -174^\circ$ | $0.94 \angle -173^\circ$ |

| Fort niveau | | |
|-------------------------|--------|------------|
| | Mesure | Simulation |
| $Pe_{@f0}$ (dBm) | 10.6 | 10.7 |
| PAE (%) | 50.6 | 62.1 |
| $Ps_{@f0}$ (dBm) | 29.3 | 30.5 |
| $Ps_{@2f0}$ (dBm) | 6.9 | 7.8 |
| $Ps_{@3f0}$ (dBm) | 10.9 | 10.4 |
| $P_{dissipée@f0}$ (dBm) | 29.1 | 28.3 |
| Gain (dB) | 18.7 | 19.9 |
| I_B (mA) | 2.5 | 2.8 |
| I_C (mA) | 315.2 | 341.4 |

Tableau III.6 : Comparaison mesure / simulation à $V_{BE0} = 0.94\text{V}$ et $V_{CE0} = 5.25\text{V}$

En guise de conclusion, il est possible d'affirmer que la comparaison mesures / simulations est cohérente sur le banc actif utilisé en approche fréquentielle. Le paragraphe suivant s'attache à confirmer cette conclusion lorsque le banc est utilisé en approche temporelle.

III.2. Description du second banc utilisé (approche temporelle avec le LSNA)

Ce banc est basé sur le même principe de synthèse des impédances par des boucles actives que celui décrit précédemment en III.1. La figure III.26 illustre le schéma de principe et permet de retrouver les trois boucles actives en charge, fonctionnant à f_0 , $2f_0$ et $3f_0$.

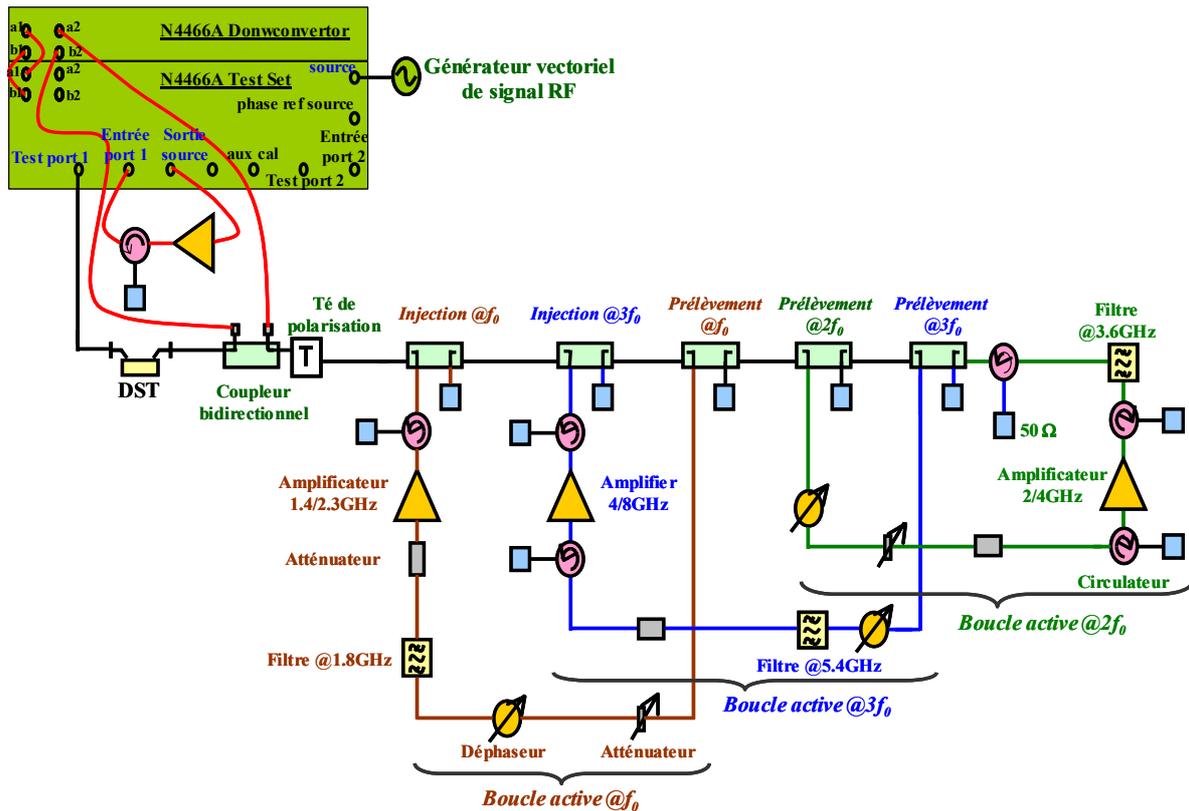


Figure III.26 : Schéma de principe du banc load-pull actif associé au LSNA à Xlim

La différence essentielle avec la configuration précédente (figure III.17) provient du principe du récepteur. L'analyseur de réseaux vectoriel a été remplacé par un analyseur de réseaux large signal, encore appelé LSNA, appareil de mesure distribué par Maury Microwave. Ce dernier ne procède plus à un hétérodynage suivi d'un filtrage en bande étroite permettant de sélectionner séquentiellement les composantes fréquentielles à mesurer. Mais, il réalise un sous-échantillonnage harmonique suivi d'une conversion analogique numérique, ce qui permet de capturer simultanément toutes les composantes spectrales du signal mesuré. Il s'adresse uniquement à des mesures de signaux périodiques de par le sous-échantillonnage réalisé. Afin d'expliquer brièvement le principe de fonctionnement, un spectre RF composé de composantes à f_0 , $2f_0$ et $3f_0$ est considéré (figure III.27).

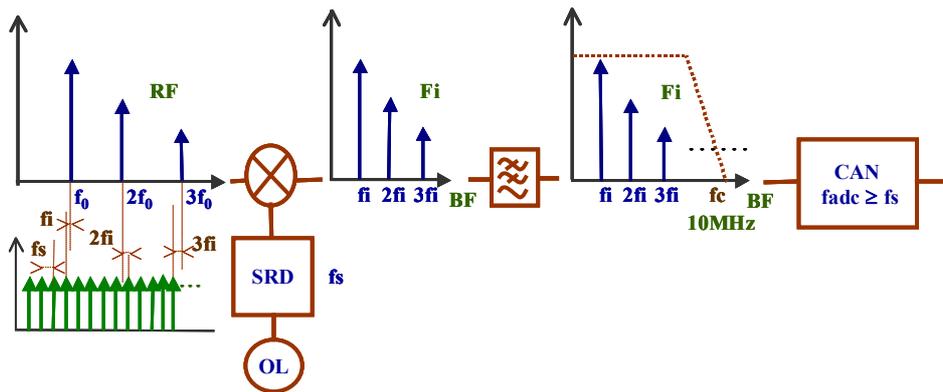


Figure III.27 : Principe du sous-échantillonnage harmonique du LSNA

Le signal considéré est mélangé par un peigne de Dirac de récurrence $f_s = 20\text{MHz}$. Le résultat est ensuite filtré par un passe-bas (de bande passante allant du DC à $\frac{f_s}{2} = 10\text{MHz}$) afin d'éviter les raies parasites issues du repliement éventuel. La sortie filtrée est alors numérisée par un convertisseur analogique numérique (CAN) de 20MHz sur 14bits. Le spectre (f_i , $2f_i$, $3f_i$) est une image translatée et compressée en fréquence du spectre initial (f_0 , $2f_0$, $3f_0$) qui, après étalonnage, va conserver toutes les relations d'amplitude et de phase de ses composantes (c'est le même principe que le stroboscope).

Le signal qui vient d'être décrit correspond à un canal du LSNA. Ce dernier en possède quatre, qui sont synchronisés entre eux et subissent un sous-échantillonnage harmonique à 20MHz, comme l'illustre la figure III.28. Ces quatre canaux permettent alors d'accéder aux modules et aux phases des quatre ondes de puissances a_1 , b_1 , a_2 et b_2 .

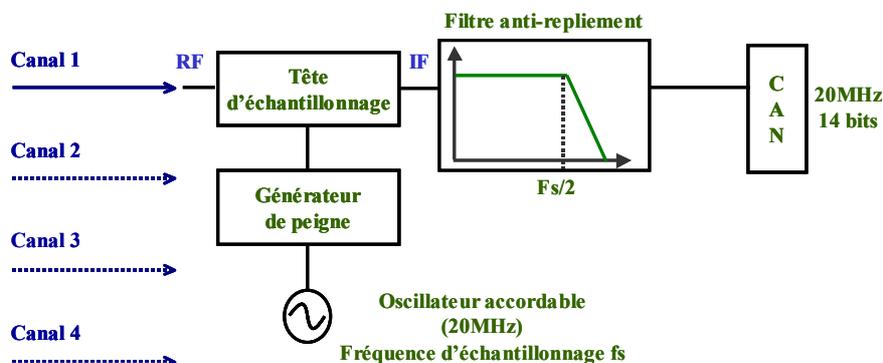


Figure III.28 : Principe simplifié du LSNA

III.2.1. Etalonnage du système de mesure

L'étalonnage relatif (de type SOLT) pour les rapports d'ondes et l'étalonnage absolu (avec le wattmètre) pour les puissances restent identiques à ceux mentionnés pour le banc actif fréquentiel utilisant l'ARV. La différence essentielle provient de l'étalonnage en phase, qui est nécessaire pour déterminer les relations de phase entre les composantes spectrales harmoniques, utiles à la construction de la forme temporelle du signal.

Cet étalonnage en phase est réalisé au moyen d'un générateur étalon connecté dans les plans de référence 1 et 4 de la figure III.29. Ce générateur est composé d'un amplificateur et d'une diode très non linéaire (diode SRD) qui permettent de générer le peigne de fréquence ($f_0, 2f_0, 3f_0, \dots, nf_0$). Il s'agit en fait d'un générateur d'impulsions étroites qui a été pré-caractérisé par le constructeur au moyen d'un oscilloscope micro-onde. Les relations de phase entre les composantes spectrales sont connues et fournies dans un fichier d'étalonnage.

Ainsi, pendant la phase d'étalonnage du LSNA, il convient de déterminer les déphasages générés par les quatre canaux de mesure sur les différentes raies harmoniques de cet étalon, comme l'expliquent les références [25] à [27].

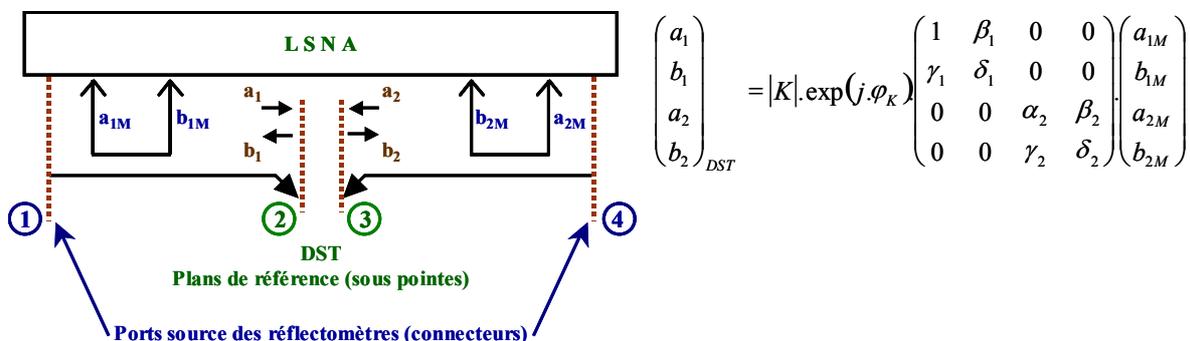


Figure III.29 : Matrice d'étalonnage du LSNA

En résumé, la matrice d'étalonnage donne les relations existantes entre les ondes du DST et celles mesurées par le LSNA. Sa détermination nécessite un étalonnage relatif sous pointes dans les plans de référence 2 et 3, afin de déterminer les coefficients $\beta_1, \gamma_1, \delta_1, \alpha_2, \beta_2, \gamma_2, \delta_2$. L'étalonnage absolu (où les pointes sont posées sur une ligne 50Ω avec un générateur CW connecté en 1 et un wattmètre connecté en 4) permet de déterminer le module $|K|$. Enfin, l'étalonnage en phase (où les pointes sont posées sur une ligne 50Ω avec le générateur de référence connecté en 1 et une charge 50Ω en 4) détermine l'argument φ_k .

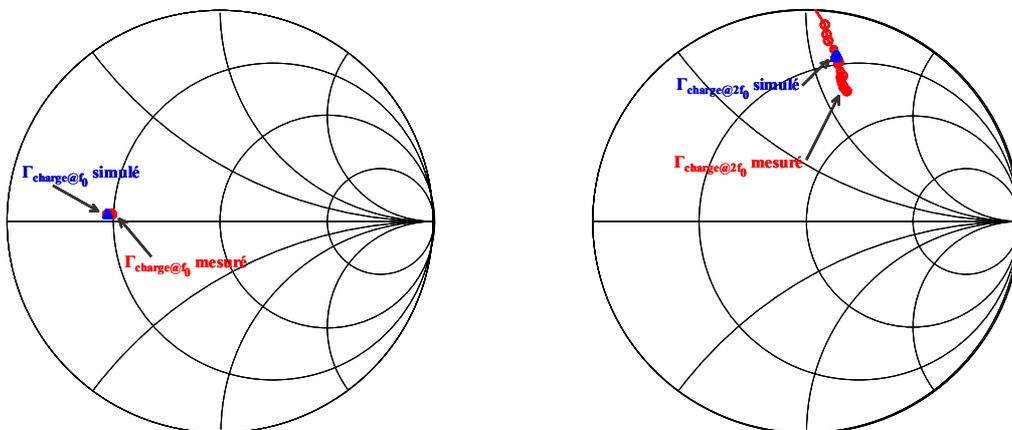
III.2.2. Comparaison des résultats de mesures et simulations en CW

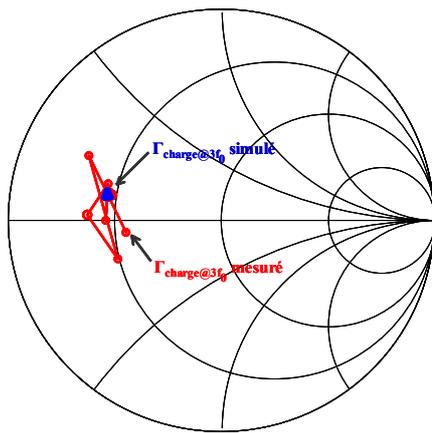
Les figures suivantes s'attachent à montrer des résultats de mesures CW d'optimisation en rendement avec les trois boucles actives en charge du transistor bipolaire (d'aire d'émetteur égale à $1260\mu\text{m}^2$). Ces mesures sont comparées avec des simulations, réalisées avec le modèle du transistor décrit lors du chapitre II. Les caractéristiques grand signal sont comparées, ainsi que les impédances de charge (données en terme de coefficient de réflexion). Enfin, puisque le LSNA permet d'accéder à la phase absolue des différentes ondes de tension, il est intéressant de confronter les formes d'ondes temporelles mesurées avec celles simulées.

Les comparaisons sont réalisées en fonction de la puissance disponible à f_0 , $P_{\text{dispo}@f_0}$.

Les résultats sont obtenus pour le point de polarisation $V_{\text{CE0}} = 3.9\text{V}$, $V_{\text{BE0}} = 0.95\text{V}$ conduisant à un courant de repos I_C de 300mA (classe A), et sont présentés à l'aide des figures III.30 à III.32

La figure III.30 représente les impédances de charge optimales trouvées aux trois fréquences contrôlées par les boucles actives ($f_0 = 1.8\text{GHz}$, $2f_0 = 3.6\text{GHz}$ et $3f_0 = 5.4\text{GHz}$), dont les valeurs simulées sont résumées dans le tableau.





| | |
|-------------------------------|-------------------------|
| $\Gamma_{\text{charge}@f_0}$ | $0.53 \angle 176^\circ$ |
| $\Gamma_{\text{charge}@2f_0}$ | $0.79 \angle 80^\circ$ |
| $\Gamma_{\text{charge}@3f_0}$ | $0.55 \angle 167^\circ$ |

Figure III.30 : Coefficients de réflexion de charge optimaux

Au vu de ces coefficients de réflexion, il apparaît des fluctuations des impédances de charge aux fréquences $2f_0$ et $3f_0$ avec le niveau de puissance injecté en entrée du transistor. Celles-ci prouvent que les boucles actives à ces fréquences ne sont pas totalement linéaires car les amplificateurs de boucle utilisés n'étaient pas correctement dimensionnés pour travailler en linéaire avec un recul de puissance suffisant. Dès lors, les impédances de simulations ont été calées au mieux, comme indiqué sur les abaques de Smith.

La suite de la comparaison montre les courants de base et de collecteur courants mesurés et simulés (figure III.31). Ensuite, la PAE, le gain et la puissance de sortie à f_0 sont comparés en fonction de la puissance disponible à f_0 (figure III.32).

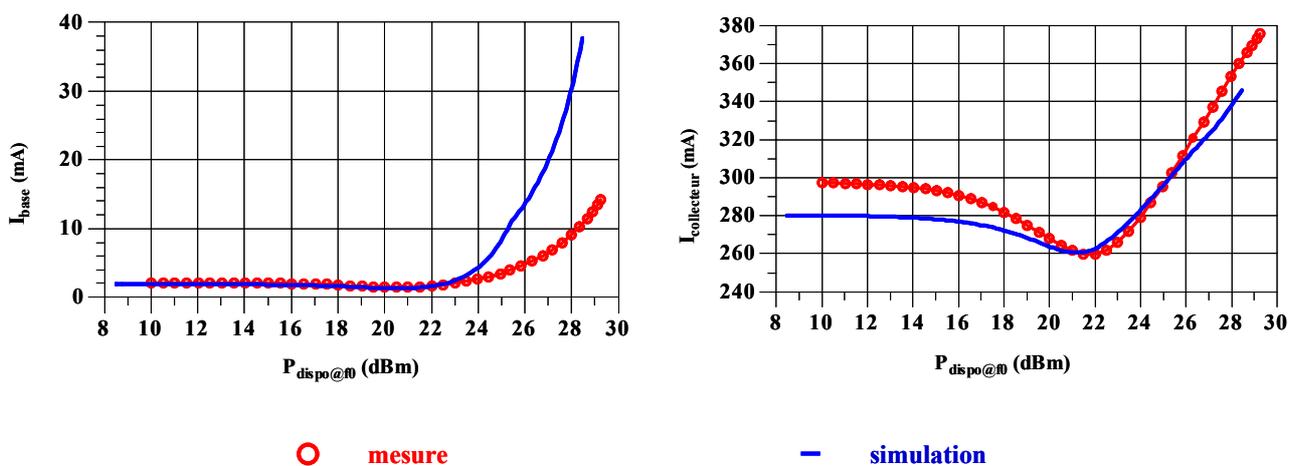


Figure III.31 : Comparaison des courants obtenus avec les impédances de charge optimales

Comme précédemment avec le banc actif utilisé de manière fréquentielle, il demeure des différences pour les courants I_{base} et $I_{collecteur}$ même si les sens de variation sont bien corrélés entre les simulations et les mesures.

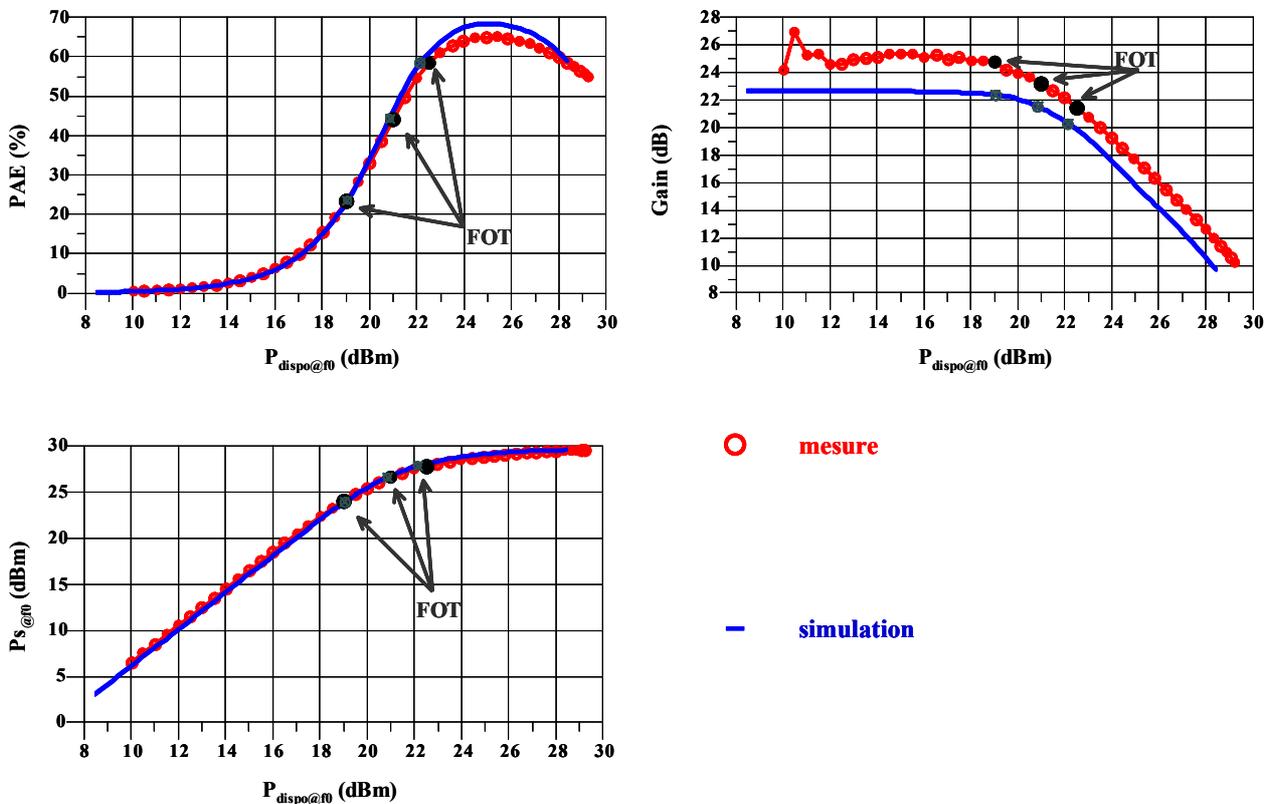


Figure III.32 : Rendement, gain et puissance avec les impédances de charge optimales

Les résultats comparatifs de la PAE et de $P_{sortie@f0}$ sont bons, bien que les différences de gain (surtout à bas niveau) sont notables (2dB), comme le confirme le tableau résumé III.7.

| | Mesure | Simulation |
|------------------------|--|--|
| Gain petit signal (dB) | 24.6 @ $P_{dispo@f0} = 12.5\text{dBm}$ | 22.6 @ $P_{dispo@f0} = 12.5\text{dBm}$ |
| PAE max (%) | 64.9 @ $P_{dispo@f0} = 25.4\text{dBm}$ | 68.4 @ $P_{dispo@f0} = 25\text{dBm}$ |
| $P_{s@f0}$ (dBm) | 28.9 @ $P_{dispo@f0} = 25.4\text{dBm}$ | 29.1 @ $P_{dispo@f0} = 25\text{dBm}$ |

Tableau III.7 : Comparaison des performances mesurées et simulées

A ce stade de la comparaison, il convient maintenant d'exploiter l'intérêt du LSNA, en présentant des formes d'ondes temporelles extrinsèques. Ces comparaisons ont données lieux deux publications [28] et [29].

Mais avant de présenter ces comparaisons, il convient d'expliquer brièvement la façon selon laquelle les formes d'ondes temporelles sont obtenues. La simulation HB génère les signaux dans le domaine fréquentiel. Ainsi, pour obtenir les formes d'ondes temporelles des tensions et courants du transistor, il est nécessaire de calculer la transformée de Fourier inverse des données fréquentielles. Pour rappel, les tensions et courants se définissent à partir des ondes de tension a_1, b_1, a_2 et b_2 dans le domaine fréquentiel, selon les formules suivantes :

$$V_i = a_i + b_i \quad ; \quad I_i = \frac{a_i - b_i}{50} \quad \text{avec } i = 1 \text{ ou } 2 \quad (3.6)$$

La tension et le courant d'entrée sont obtenus pour $i = 1$ et la tension et le courant de sortie sont obtenus pour $i = 2$. Le nombre d'harmoniques utilisés par le simulateur est égal à l'ordre choisi pour la simulation HB, c'est-à-dire 8 dans le cadre des simulations CW présentées. Néanmoins, en recomposant manuellement les formes d'ondes temporelles, il est apparu que le nombre d'harmoniques peut être limité à 5, car les harmoniques d'ordre supérieur ont un faible impact sur les signaux. Une fois le nombre d'harmoniques choisi, il convient de définir un temps « t », qui sera utilisé pour l'affichage des signaux. Ce temps entraîne alors la translation vers les basses fréquences (encore appelée « down-conversion ») des fréquences RF. En d'autres termes, la fréquence f_0 devient f dans la décomposition, $2f_0$ devient $2f$, $3f_0$ devient $3f$ et ainsi de suite. Enfin, pour que les formes d'ondes temporelles soient cohérentes entre elles et puissent être comparées, il est nécessaire de définir une phase de référence. Dans le cas présent, la phase de la tension d'entrée à la fréquence f_0 traduite est choisie comme référence, c'est-à-dire que $\varphi_{ref} = \varphi_{V1@f0}$. Ainsi, les formes d'ondes temporelles s'obtiennent par application des formules (3.7) et (3.8) (à noter que les phases sont données en degrés) :

$$V_i(t) = |V_{iDC}| + \sum_{m=1}^{ordre} |V_{i@mf}| \cos \left[2\pi(mf)t + \frac{\pi}{180} (\varphi_{Vi@mf} - m\varphi_{ref}) \right] \quad (3.7)$$

$$I_i(t) = |I_{iDC}| + \sum_{m=1}^{ordre} |I_{i@mf}| \cos \left[2\pi(mf)t + \frac{\pi}{180} (\varphi_{Ii@mf} - m\varphi_{ref}) \right] \quad (3.8)$$

Les figures III.33 à III.35 comparent ainsi les formes d'ondes temporelles mesurées (courbes claires) et simulées (courbes foncées). Trois points de $P_{dispo@f0}$ ont été choisis pour ces comparaisons, afin de montrer la pertinence et la validité des simulations vis-à-vis de

l'ensemble des points mesurés. Ces points sont notés FOT (pour formes d'ondes temporelles) sur les caractéristiques précédentes de la figure III.32.

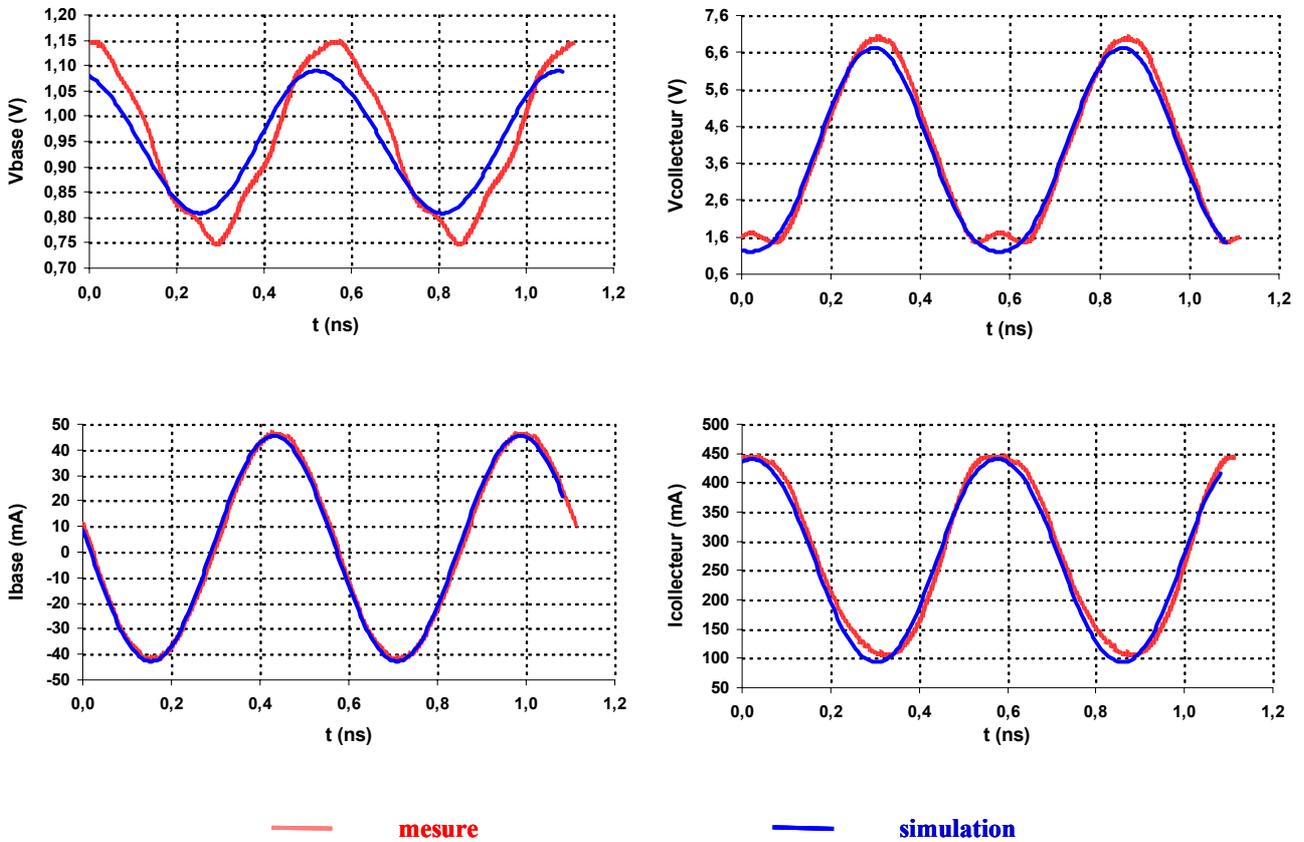


Figure III.33 : Formes d'ondes temporelles extrinsèques pour $P_{\text{dispo}@f_0} = 19\text{dBm}$

Ces premières courbes sont obtenues en zone linéaire. De manière classique, les formes d'ondes temporelles sont alors sinusoïdales, ce que confirme la simulation. Le tableau III.8 regroupe les valeurs de principales caractéristiques pour le niveau de $P_{\text{dispo}@f_0}$ utilisé (soit 19dBm).

| | Mesure à $P_{\text{dispo}@f_0} = 19\text{dBm}$ | Simulation à $P_{\text{dispo}@f_0} = 19\text{dBm}$ |
|-------------------------------------|--|--|
| PAE (%) | 23.3 | 23.4 |
| $P_{s@f_0}$ (dBm) | 24 | 23.9 |
| Gain (dB) | 24.7 | 22.4 |
| V_{BE} (V) | 0.95 | 0.95 |
| I_B (mA) | 1.6 | 1.4 |
| V_{CE} (V) | 3.9 | 3.9 |
| I_C (mA) | 274.8 | 268.1 |

Tableau III.8 : Performances mesurées et simulées à $P_{\text{dispo}@f_0} = 19\text{dBm}$

Les courbes de la figure III.34 sont obtenues en zone non linéaire (à environ 1.5dB de compression de gain).

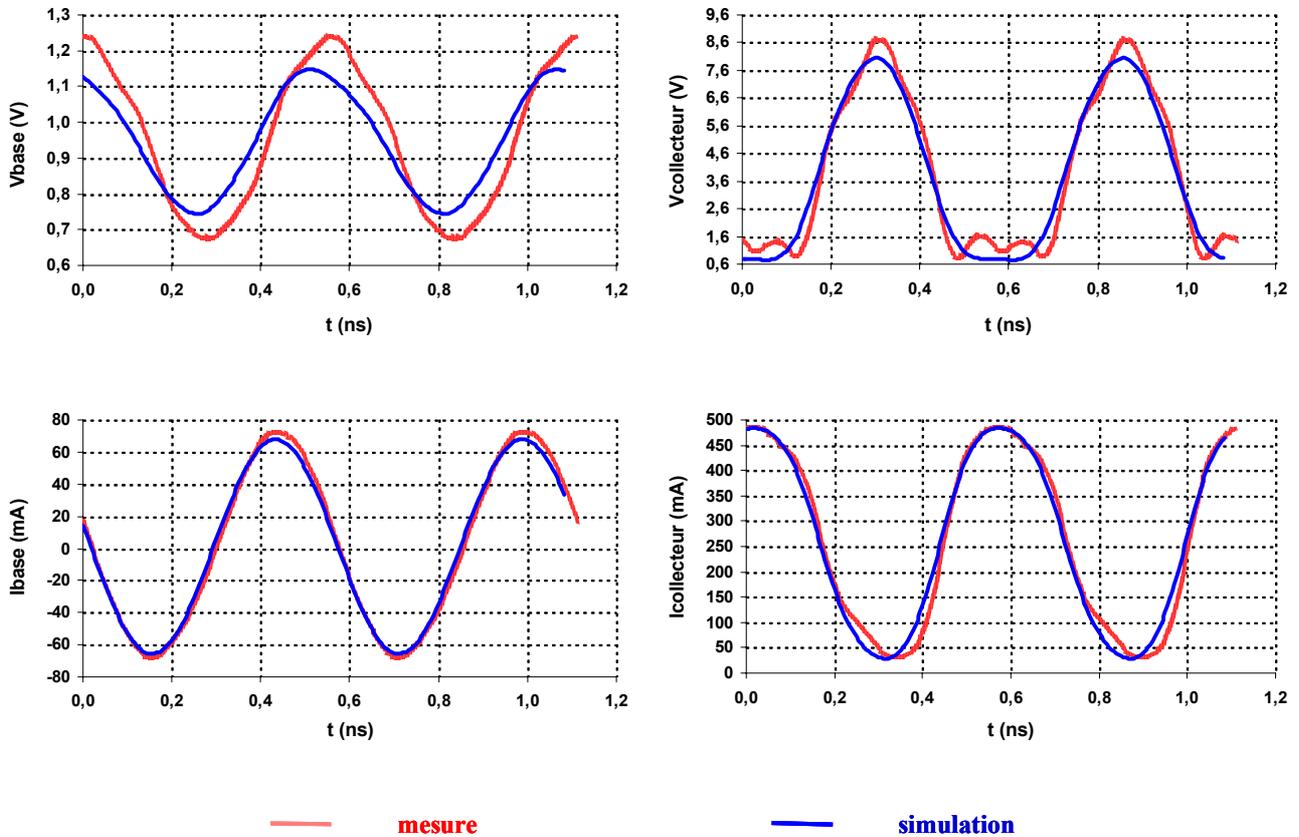


Figure III.34 : Formes d'ondes temporelles extrinsèques pour $P_{\text{dispo}@f_0} = 21\text{dBm}$

Au vu de ces courbes, il est à noter qu'il existe une bonne concordance entre les mesures et les simulations, notamment pour la pré-formation d'une tension collecteur particulière de type « demi-sinus » qui est une forme propice à un bon rendement, comme l'indiquait l'étude en simulation du chapitre II. Le tableau III.9 confirme la cohérence observée.

| | Mesure à $P_{\text{dispo}@f_0} = 21\text{dBm}$ | Simulation à $P_{\text{dispo}@f_0} = 20.9\text{dBm}$ |
|-------------------------------------|--|--|
| PAE (%) | 44.1 | 44.2 |
| $P_{s@f_0}$ (dBm) | 26.5 | 26.6 |
| Gain (dB) | 23.2 | 21.5 |
| V_{BE} (V) | 0.95 | 0.95 |
| I_B (mA) | 1.4 | 1.3 |
| V_{CE} (V) | 3.9 | 3.9 |
| I_C (mA) | 261.6 | 260.8 |

Tableau III.9 : Performances mesurées et simulées à $P_{\text{dispo}@f_0} = 21\text{dBm}$

Enfin, à forte compression, les formes d'ondes temporelles extrinsèques suivantes sont obtenues (figure III.35).

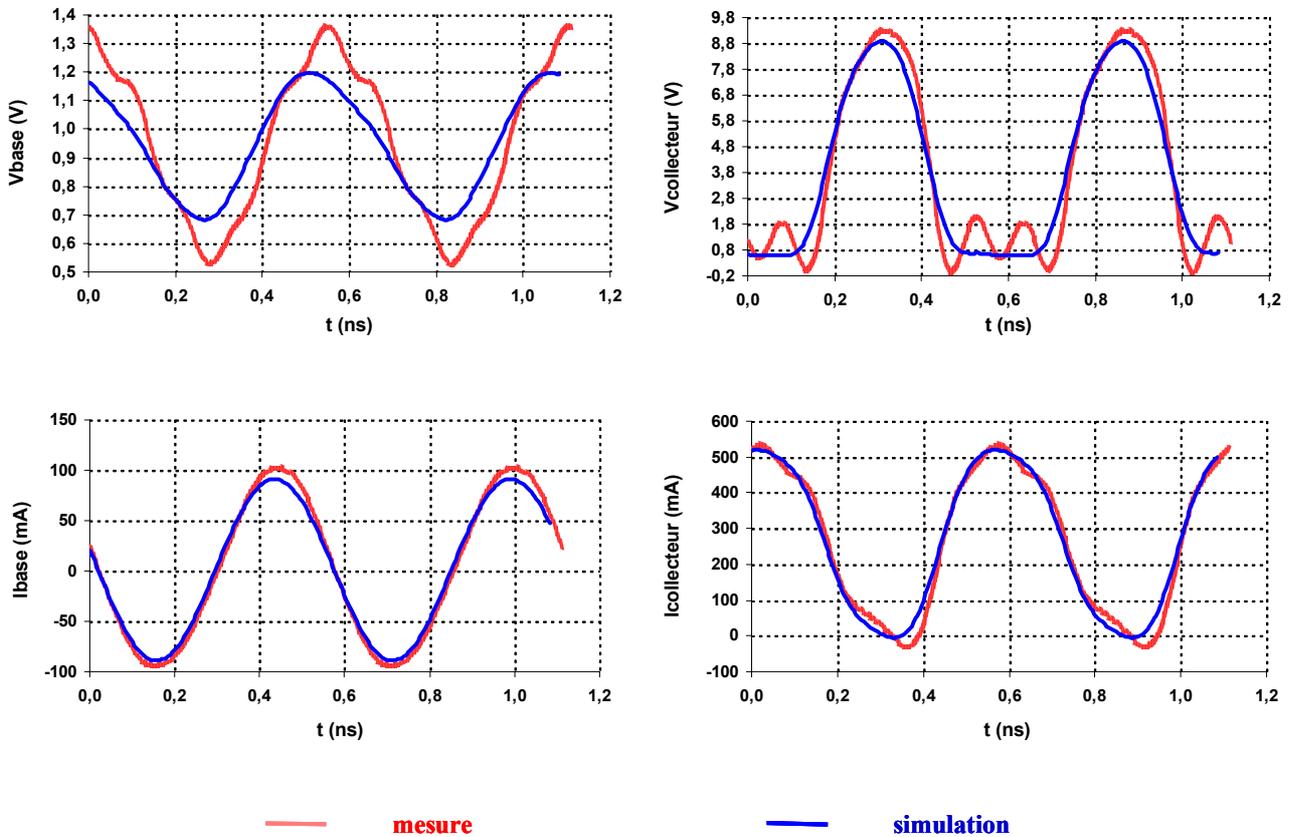


Figure III.35 : Formes d'ondes temporelles extrinsèques pour $P_{\text{dispo}@f_0} = 25\text{dBm}$

Les commentaires sont les mêmes que précédemment et le tableau III.10 résume les principales caractéristiques pour le niveau de $P_{\text{dispo}@f_0}$ choisi pour générer les formes d'ondes temporelles.

| | Mesure à $P_{\text{dispo}@f_0} = 22.5\text{dBm}$ | Simulation à $P_{\text{dispo}@f_0} = 22.1\text{dBm}$ |
|-------------------------------------|--|--|
| PAE (%) | 58.3 | 58.3 |
| $P_{s@f_0}$ (dBm) | 27.8 | 27.8 |
| Gain (dB) | 21.4 | 20.3 |
| V_{BE} (V) | 0.95 | 0.95 |
| I_B (mA) | 1.8 | 1.6 |
| V_{CE} (V) | 3.9 | 3.9 |
| I_C (mA) | 261.6 | 263.6 |

Tableau III.10 : Performances mesurées et simulées à $P_{\text{dispo}@f_0} = 22\text{dBm}$

Pour une tension d'alimentation $V_{BE0} = 0.95\text{V}$ donnant un I_C de 300mA , les performances en PAE culminent à environ 60% et les formes d'ondes temporelles mesurées et

simulées coïncident. Il aurait alors été judicieux et intéressant de poursuivre les comparaisons entre les mesures et les simulations pour le point de polarisation $V_{BE0} = 0.73V$ ($I_C = 6.5mA$), pour lequel des rendements proches de 80% sont prédits. Cela n'a pas été fait faute de temps.

III.2.3. Comparaison des résultats de mesures et simulations en 2-tons

Les comparaisons présentées entre les mesures et les simulations ont été réalisées avec deux écarts fréquentiels : $\Delta f = 200kHz$ et $3MHz$ autour de $f_0=1.8GHz$ ($f_1 = f_0 - \Delta f/2$ et $f_2 = f_0 + \Delta f/2$). Le point de polarisation est le même qu'en CW (pour rappel, $V_{BE0} = 0.95V$, $V_{CE0} = 3.9V$, $I_C = 300mA$). Enfin, toutes les comparaisons se font en fonction de la puissance disponible autour de f_0 , c'est-à-dire $P_{dispo} = P_{dispo@f_1} + P_{dispo@f_2}$.

III.2.3.a. Ecart fréquentiel 200kHz

La figure III.36 compare les impédances de charge utilisées.

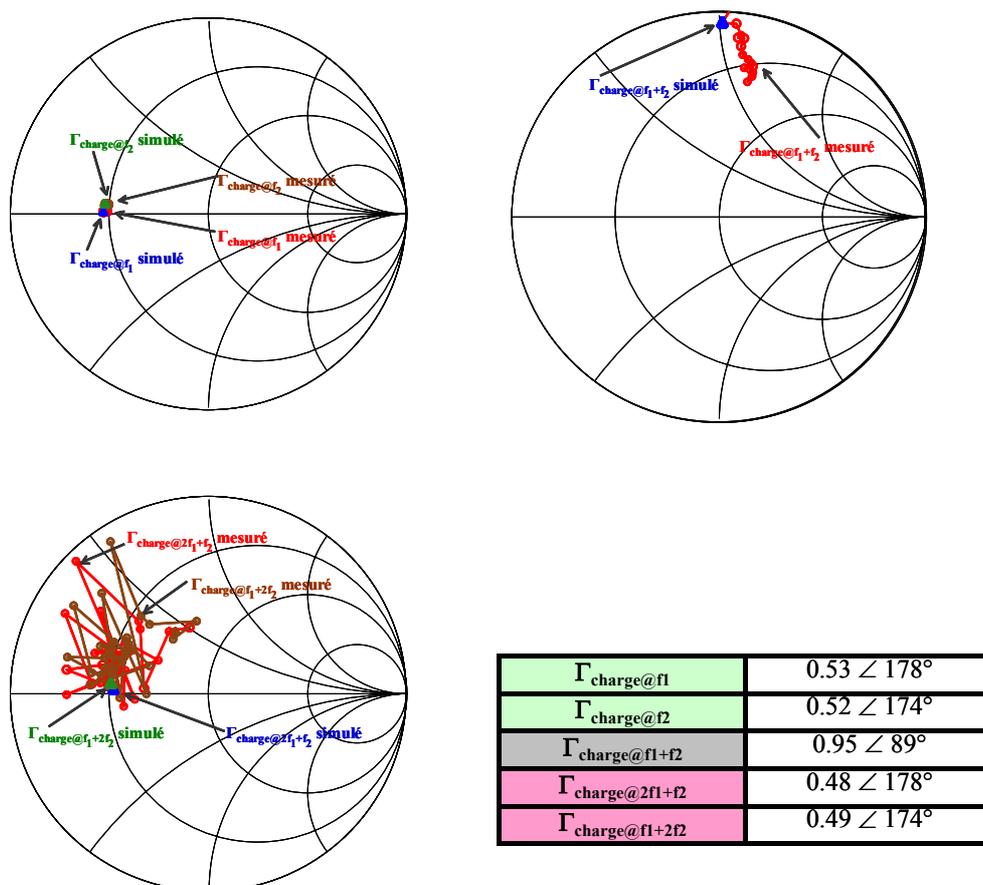


Figure III.36 : Coefficients de réflexion de charge optimaux

En mesure, la synthèse des impédances harmoniques en excitation bi-tons est encore plus difficile à gérer qu'en CW, en raison de la dispersion fréquentielle et des non-linéarités résiduelles des boucles qui se combinent de manière défavorable. Les lieux des coefficients de réflexion autour des harmoniques 2 et 3 sont donnés à titre indicatif, mais peuvent être considérés comme très perfectibles. Néanmoins, ce défaut ne semble pas trop impacter les comparaisons entre mesures et simulations, présentées par les figures III.37 et III.38.

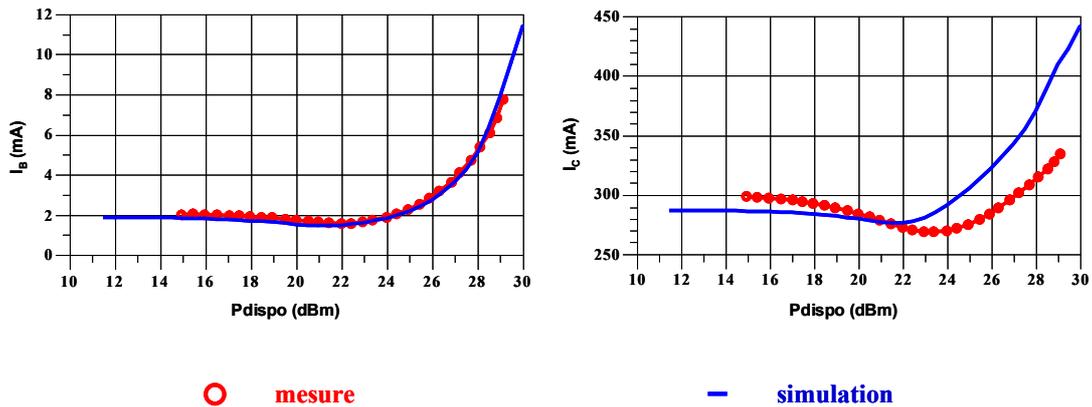


Figure III.37 : Courants obtenus avec les impédances de charge optimales

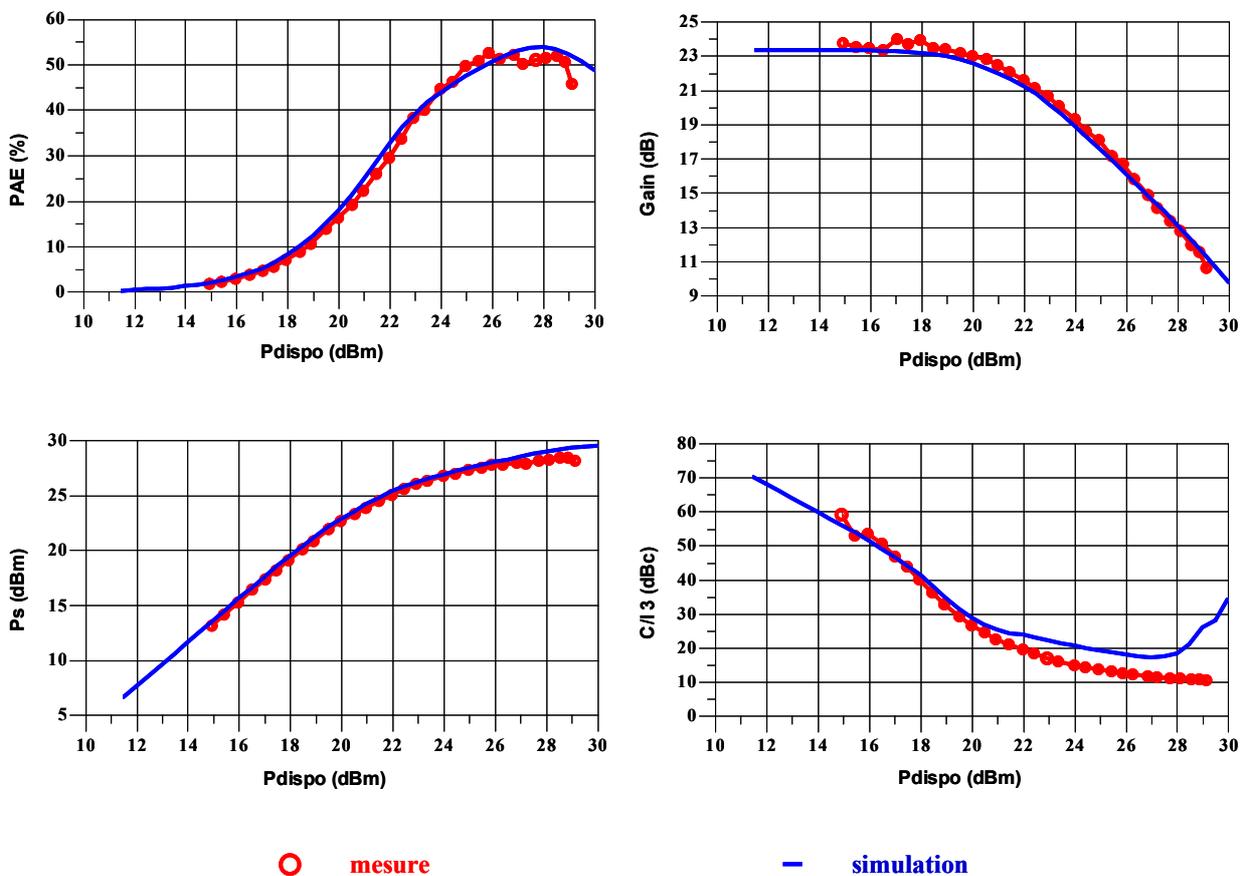


Figure III.38 : PAE, gain, puissance et C/I 3 total

Les correspondances sont très raisonnables (la PAE maximale vaut environ 53% et le C/I3 atteint 30dBc pour une puissance P_{dispo} d'environ 19.5dBm). Néanmoins, il semble un peu étonnant que le courant I_B soit cette fois-ci aussi bien corrélé, contrairement à I_C en fort signal.

III.2.3.b. Ecart fréquentiel 3MHz

La figure III.39 compare les impédance de charges utilisées pour la comparaison avec $\Delta f = 3\text{MHz}$.

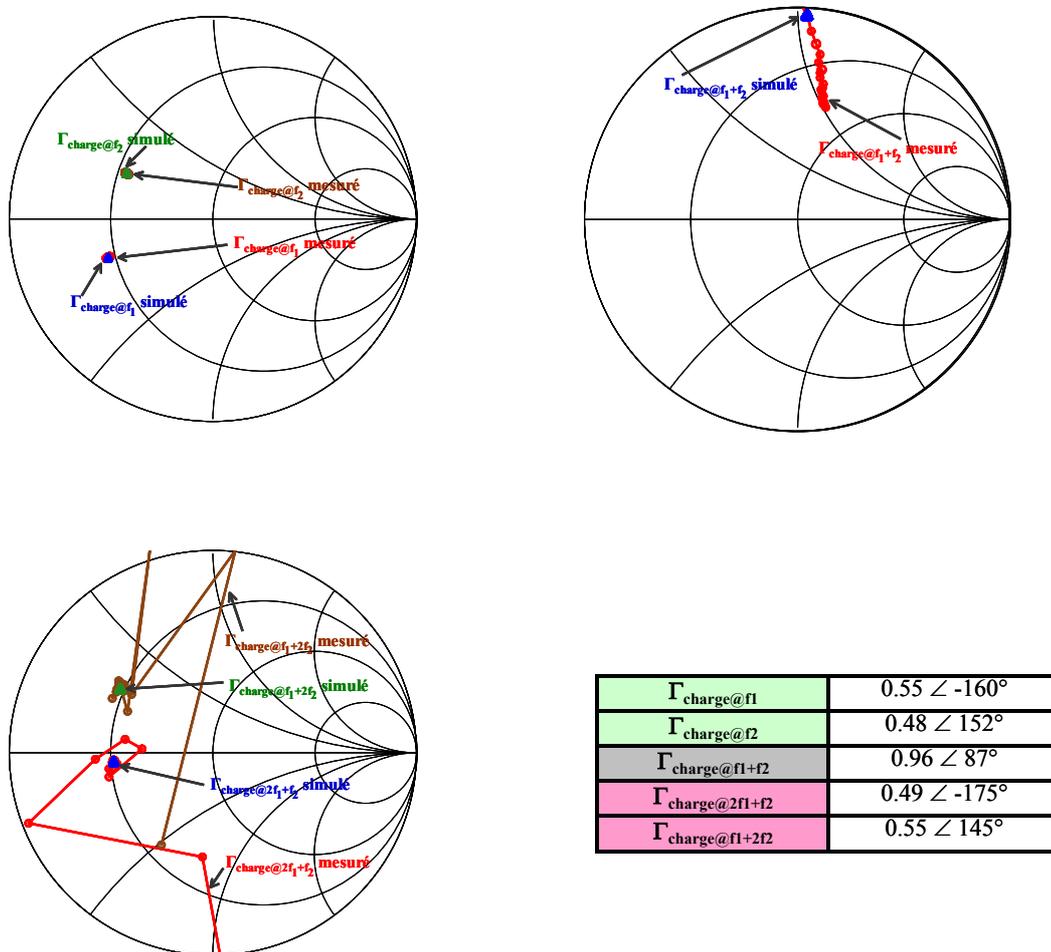


Figure III.39 : Coefficients de réflexion de charge optimaux

Pour un écart fréquentiel de 3MHz, les défauts des boucles actives s'accroissent. Néanmoins, à $3f_0$ comme indiqué par l'étude en simulation du chapitre II, les conditions

d'impédances n'influencent que très peu les performances donc les dispersions sont peu gênantes. Les figures III.40 et III.41 comparent les performances obtenues.

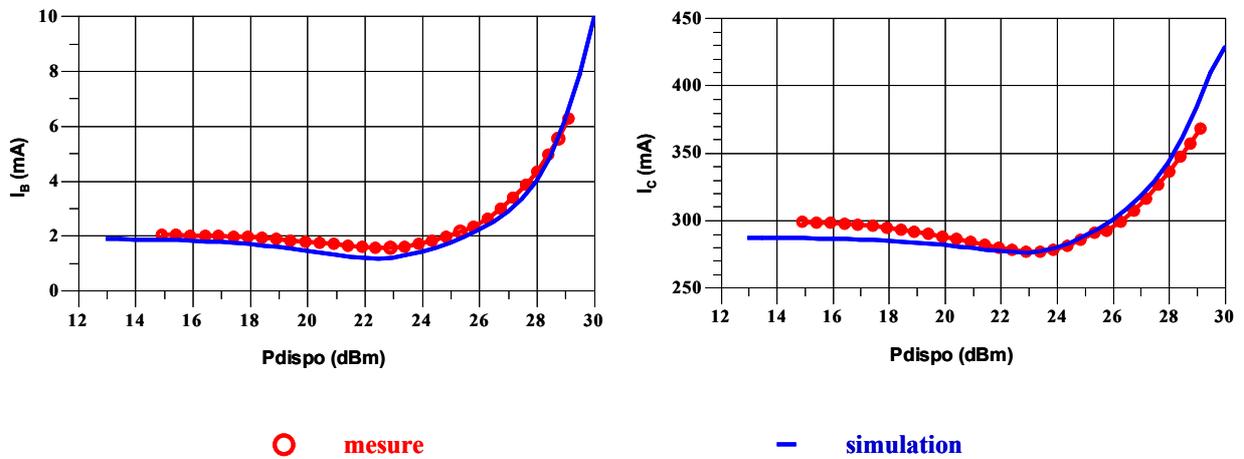


Figure III.40 : Courants obtenus avec les impédances de charge optimales

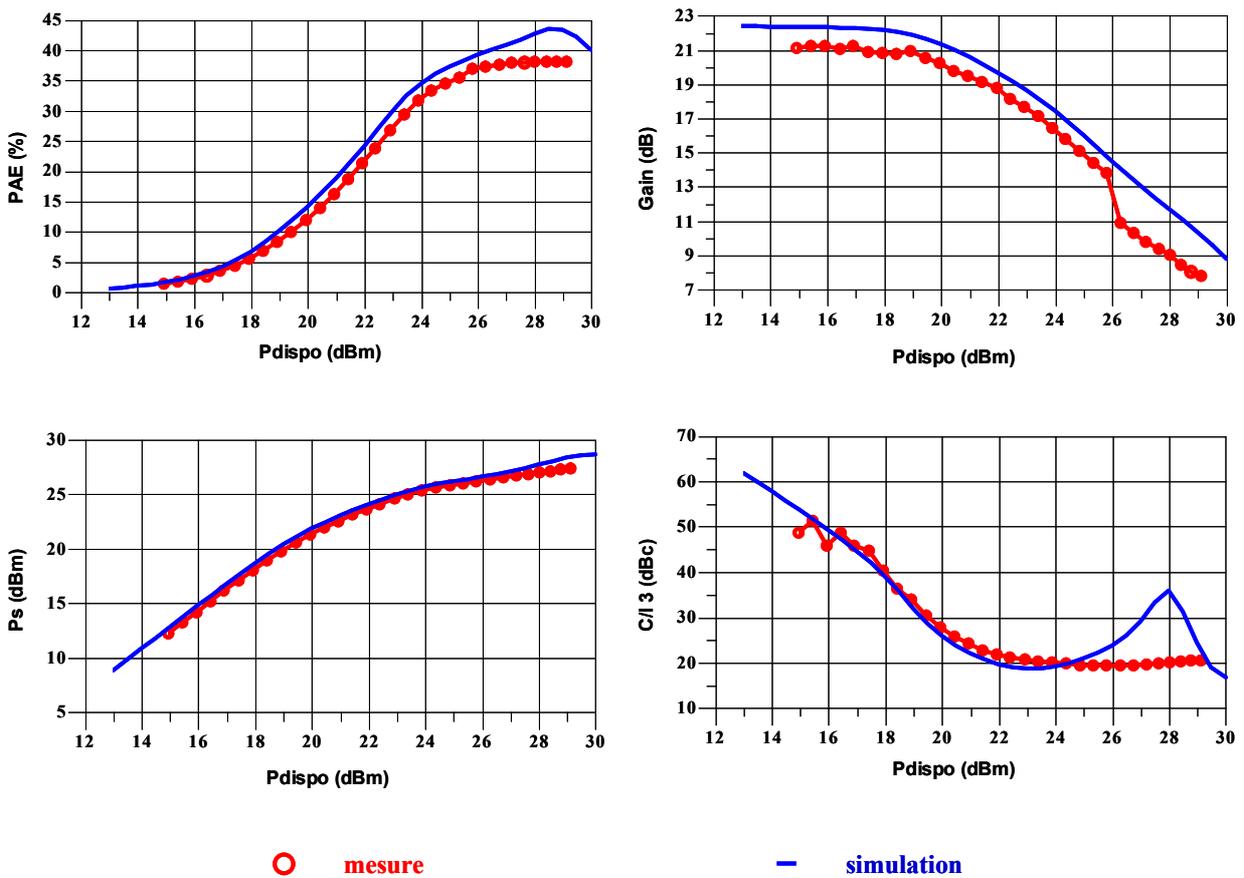


Figure III.41 : PAE, gain, puissance et C/I 3 total

Là encore, les comparaisons entre les simulations et les mesures des courbes précédentes sont tout à fait raisonnables. Néanmoins, les écarts observés entre les mesures et les simulations se creusent lorsque Δf augmente (la PAE maximale simulée vaut environ 43.5% et celle mesurée atteint 38.2%). Mais les évolutions et les ordres de grandeurs sont les mêmes, ce qui est très encourageant pour la validation du modèle en grand signal lorsque le transistor est excité avec un signal 2-tons.

IV. Conclusion

Ce chapitre s'est attaché à décrire les bancs de caractérisation utilisés pour la validation load-pull des transistors de puissance étudiés. La première partie a été consacrée à la résolution du problème de reproductibilité des mesures du banc passif de STMicroelectronics Crolles. La nouvelle méthode d'étalonnage proposée, ainsi que la vérification de la précision de ce dernier (que constituent les tests de linéarité sur des impédances fondamentales complexes conjuguées), ont permis de résoudre ce problème et ont été approuvées par Focus Microwaves.

La seconde partie de ce chapitre a proposé des mesures de validation du modèle HICUM utilisé pour le transistor bipolaire étudié, réalisées sur les bancs load-pull actifs du laboratoire Xlim (bancs avec l'ARV et le LSNA). Les performances prédites en simulation pour le point de polarisation en classe A ($V_{BE0} = 0.95V$, $V_{CE0} = 3.9V$, $I_C = 300mA$) ont été validées par l'expérimentation. La mesure temporelle apporte une information de validation du modèle intéressante et aussi une description des conditions de classes à haut rendement de sortie pour ce composant (classe F inverse). Ce chapitre aurait gagné en contenu si des mesures pour des tensions de polarisation de base plus faible (par exemple $V_{BE0} = 0.73V$) auraient été faites. De même, il aurait été intéressant de montrer des résultats d'ACPR, mais, faute de temps, aucune mesure précise en signal modulé n'a pu être menée.

En conclusion, la comparaison entre mesures et simulations avec des signaux de type CW et 2-tons est très encourageante et permet la validation du modèle utilisé, y compris en linéarité.

Références bibliographiques du chapitre III

- [1] Focus Microwaves, **“Basics on load-pull and noise measurements”**, *Application note n°8, June 1994, www.focus-microwaves.com*
- [2] G. Berghoff, F. Deshours, E. Bergeault et al., **“Experimental comparison of “load-pull” measurements systems for nonlinear power transistor characterization”**, *Conference on Precision Electromagnetic Measurements, THIC-6, p. 540-541, 17-20 June 1996*
- [3] J. -E. Müller, B. Gyselincks, **“Comparison of active versus passives on-wafer load-pull characterization of microwave and mm-wave power devices”**, *IEEE MTT-S Digest, p. 77-1080, 1996*
- [4] Focus Microwaves, **“Providing the RF industry with innovative and reliable solutions for the characterization of active RF devices”**, 2007, www.focus-microwaves.com
- [5] Focus Microwaves, **“Computer controlled microwave tuner - CCMT”**, *Product note n°41, January 1998, www.focus-microwaves.com*
- [6] Focus Microwaves, **“iTuner installation and operation manual”**, *Version 1.1, May 2004, www.focus-microwaves.com*
- [7] Focus Microwaves, **“Operational manual (system installation, load-pull, noise, calibration, DC parameter, S-parameter, troubleshooting, frequently asked questions”**, *Version 7.7, March 2003, www.focus-microwaves.com*
- [8] Focus Microwaves, **“High reflection load-pull: possibilities and tradeoffs”**, *Application note n°25, July 1995, www.focus-microwaves.com*
- [9] Focus Microwaves, **“Programmable Harmonic Tuner – PHT, Operation and adjustment manual”**, *Version 2.0, August 2001, www.focus-microwaves.com*
- [10] K. Kurokawa, **“Power waves and the scattering matrix”**, *IEEE Transactions on Microwave Theory and Techniques, Vol. MTT-13, n°2, p. 194-202, March 1965*

[11] Dick Anderson, Lee Smith, Jeff Grusynski, **“S-parameters techniques for faster, more accurate network design”**, *http://www.hp.com/go/tmappnotes, Test & Measurement, Application Note 95-1, 1997*

[12] Focus Microwaves, **“Calibration techniques of network analysers for tuner characterization”**, *Application note n°13, May 1994, www.focus-microwaves.com*

[13] Douglas Kent Rytting, **“Improved RF hardware and calibration methods for network analyzers”**, *Hewlett Packard, Network measurements division*

[14] Focus Microwaves, **“TRL calibration kit (GPC-7/16-TRL-CV, GPC-N-TRL-CV, GPC-7-TRL-CV, GPC-3.5-TRL-CV, GPC-2.92-TRL-CV, GPC-2.4-TRL-CV) Operational Manual”**, *Version 3.0, July 2001, www.focus-microwaves.com*

[15] Focus Microwaves, **“High resolution tuners eliminate load-pull performance errors”**, *Application note n°15, January 1995, www.focus-microwaves.com*

[16] Focus Microwaves, **“Accuracy and verification of load-pull measurements”**, *Application note n°18, September 1994, www.focus-microwaves.com*

[17] Andrea Ferrero, Valeria Teppati, Alessio Carullo, **“Accuracy evaluation of on-wafer load-pull measurements”**, *IEEE Transactions on Microwave Theory and Techniques, Vol. 49, n°1, p. 39-43, January 2001*

[18] Floria Blanchet, **“Industrial examples of how to evaluate uncertainty. Methodology to solve the load-pull bench repeatability problem – Focus Microwaves and Auriga measurements systems users seminar”**, *IEEE IMS Symposium, San Francisco, California, June 14 2006*

[19] Floria Blanchet, **“Industrial examples of how to evaluate uncertainty – Tutorial TMB: Practical methods for determining the accuracy of measurements: a review of techniques both old and new”**, *IEEE Microwave Theory and Techniques Society, San Francisco, California, June 11-16, 2006*

[20] Philippe Bouysse, Jean-Michel Nebus, Jean-Marc Coupat et al., **“A novel, accurate load-pull setup allowing the characterization of highly mismatched power**

transistors”, *IEEE Transactions on Microwave Theory and Techniques*, Vol. 42, n°2, p. 327-332, February 1994

[21] F. Blache, J. M. Nebus, Ph. Bouysse et al., “**A novel computerized multiharmonic active load-pull system for the optimisation of high efficiency operating classes in power transistors**”, *IEEE MTT-S Digest*, Vol.3, p. 1037-1040, 16-20 May 1995

[22] Denis Barataud, “**Etude et conception de systèmes de caractérisation fonctionnelle dans le domaine temporel des transistors de puissance radiofréquences et microondes**”, *Thèse de Doctorat, Université de Limoges*, 13 octobre 1998

[23] Tony Gasseling, “**Caractérisation non linéaire avancée de transistors de puissance pour la validation de leur modèle CAO**”, *Thèse de Doctorat, Université de Limoges*, 17 novembre 2003

[24] Hind Bousbia, “**Analyse et développement de la caractérisation en puissance, rendement et linéarité de transistors de puissance en mode impulsionnel**”, *Thèse de Doctorat, Université de Limoges*, 18 décembre 2006

[25] Jan Verspecht, Peter Debie, Alain Barel et al., “**Accurate On Wafer Measurement of Phase and Amplitude of the Spectral Components of Incident and Scattered Voltages Waves at the Signal Ports of a NonLinear Microwave Device**”, *IEEE MTT-S Digest*, Vol. 3, p. 1029-1032, 16-20 May 1995

[26] J. Verspecht, “**Calibration of broadband multitone microwave generators**”, *Jan Verspecht bvba, Confidential information for IRCOM*, 2004

[27] Mohammed El Yaagoubi, “**Contribution à la caractérisation temporelle de dispositifs micro-ondes non-linéaires. Application à des signaux de type multiporteuse large bande**”, *Thèse de Doctorat, Université de Limoges*, 21 décembre 2006

[28] Floria Blanchet, Denis Pache, Alexandre Giry et al., “**Linearity measurements of Si/SiGe Heterojunction Bipolar Transistor using a Large Signal Network Analyzer with an harmonic Load-Pull setup**”, *PRIME 2nd Conference on Ph. D. Research in MicroElectronics and Electronics, Otranto (Lecce)*, p. 477-480, Italy, June 12-15, 2006, **Obtention du “Bronze Leaf Certificate”**

[29] Floria Blanchet, Mohammed El Yaagoubi, Denis Barataud et al., “**Linearity Measurements of Si/SiGe:C Heterojunction Bipolar Transistor using a Large Signal Network Analyzer associated with an active Load-Pull Setup**”, *36th European Microwave Week Conference*, p. 259-262, Manchester, UK, September 10-15, 2006

Liste des publications personnelles

Tutorial

[1] Floria Blanchet, “**Industrial examples of how to evaluate uncertainty – Tutorial TMB: Practical methods for determining the accuracy of measurements: a review of techniques both old and new**”, *IEEE Microwave Theory and Techniques Society, San Francisco, California, June 11-16, 2006*

Séminaire utilisateur Focus Microwaves

[2] Floria Blanchet, “**Industrial examples of how to evaluate uncertainty. Methodology to solve the load-pull bench repeatability problem – Focus Microwaves and Auriga measurements systems users seminar**”, *IEEE IMS Symposium, San Francisco, California, June 14 2006*

Publications internationales

[3] Floria Blanchet, Hind Bousbia, Denis Barataud, Jean-Michel Nebus, Denis Pache, “**The locus of points of constant output VSWR around the load optimal impedance: evaluation of power transistors robustness**”, *67th ARFTG Microwave Measurements Conference, Measurements and Design of High Power Devices and Systems, San Francisco CA, 16 June 2006*

[4] Floria Blanchet, Denis Pache, Hind Bousbia, Denis Barataud, Jean-Michel Nebus, “**Comparison of calculation techniques of constant VSWR impedance circle: evaluation of power transistors robustness**”, *PRIME 2nd Conference on Ph. D. Research in MicroElectronics and Electronics, p. 45-48, Otranto (Lecce), Italy, June 12-15, 2006*

[5] Floria Blanchet, Denis Pache, Alexandre Giry, Mohammed El Yaagoubi, Denis Barataud, Jean-Michel Nebus, “**Linearity measurements of Si/SiGe Heterojunction Bipolar Transistor using a Large Signal Network Analyzer with an harmonic Load-Pull setup**”, *PRIME 2nd Conference on Ph. D. Research in MicroElectronics and Electronics, Otranto (Lecce), p. 477-480, Italy, June 12-15, 2006, Obtention du “Bronze Leaf Certificate”*

[6] Floria Blanchet, Mohammed El Yaagoubi, Denis Barataud, Jean-Michel Nebus, Denis Pache, Alexandre Giry, “**Linearity Measurements of Si/SiGe:C Heterojunction Bipolar Transistor using a Large Signal Network Analyzer associated**

with an active Load-Pull Setup", *36th European Microwave Week Conference*, p. 259-262, Manchester, UK, September 10-15, 2006

[7] Anna Canepari, Guillaume Bertrand, Alexandre Giry, Michel Minondo, Floria Blanchet, Herve Jaouen, Blandine Reynard, Nathalie Jourdan, Jean-Pierre Chante, "**LDMOS modeling for analog and RF circuit design**", *European Solid-State Device Research Conference - ESSDERC*, p. 469-472, Grenoble, France, September 12-15, 2005

[8] C. Tinella, O. Richard, A. Cathelin, F. Reauta, S. Majcherczak, F. Blanchet, D. Belot, "**0.13 μ m CMOS SOI SP6T antenna switch for multi-standard handsets**", *6th Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems - SiRFIC*, San Diego, January 18-20, 2006

[9] D. Muller, A. Giry, F. Judong, C. Rossato, F. Blanchet, B. Szelag, A. Monroy, R. Sommet, O. Noblanc, "**High performance 15V novel LDMOS transistor architecture in a 0.25 μ m BiCMOS process for RF-power applications**", *IEEE Transactions on Electron Devices*, Vol.54, No 4, p. 861-868, April 2007

Publications nationales

[10] Floria Blanchet, Hind Bousbia, Denis Barataud, Jean-Michel Nebus, Jean-Pierre Villotte, Denis Pache, Alexandre Giry, Caroline Arnaud, "**Evaluation de la robustesse de transistors NLDEMOS et bipolaire en fonction de TOS variables par variation de charge multiharmonique passive et active**", *14^{èmes} Journées Nationales Microondes*, Nantes, 11-13 mai 2005

CONCLUSION GENERALE

Les travaux présentés dans ce manuscrit ont fait un point actuel de la technologie BiCMOS 0.25 μ m SiGe:C de STMicroelectronics.

Des simulations grand signal, réalisées avec le modèle HICUM, ont permis de dégager les principales tendances pour l'obtention des performances optimales en puissance et en rendement. Ces dernières dépendent des conditions de polarisation et d'impédances. Il a ainsi été montré qu'une classe AB profonde permet d'atteindre un meilleur PAE. Par ailleurs, une classe A offre une meilleure linéarité. Ces conclusions attestent qu'un compromis rendement / linéarité existe et s'avère primordial pour les transistors de puissance destinés à fonctionner avec des modulations de type 3G. Par ailleurs, l'influence des impédances de fermeture en charge a été étudiée par des simulations de type load-pull. Il est apparu que les performances CW sont surtout conditionnées par l'optimisation des coefficients de réflexion $\Gamma_{\text{charge}@f_0}$ et $\Gamma_{\text{charge}@2f_0}$. Les simulations 2-tons et multi-tons ont montré que les impédances de fermeture en charge et en source aux fréquences de battement Δf ont une influence notable sur les performances. Il faut alors veiller à ce qu'elles soient proches du court-circuit, sous peine de dégrader ce compromis.

Des caractérisations expérimentales ont ensuite permis de valider partiellement le modèle et les conditions de fonctionnement optimales déterminées en simulation. La mesure temporelle, réalisée par le banc actif associé au LSNA, apporte une information de validation du modèle intéressante et aussi une description des conditions de classes à haut rendement de sortie pour le composant testé (classe F inverse). Par ailleurs, le problème de reproductibilité des mesures du banc passif de STMicroelectronics Crolles a été identifié et résolu. La nouvelle méthode d'étalonnage proposée ainsi que la vérification de la précision de ce dernier (par les tests de linéarité sur des impédances fondamentales complexes conjuguées) se sont révélées satisfaisantes et ont été approuvées par Focus Microwaves.

Les perspectives à ces travaux peuvent alors être les suivantes. En premier lieu et dans le prolongement immédiat, il serait intéressant de réaliser des mesures de validation des performances prédites à très haut rendement (environ 80%), de façon à comparer les formes d'ondes temporelles extrinsèques, les caractéristiques de puissance de sortie et de rendement, ainsi que la linéarité en terme de C/I_3 , d'ACPR et d'EVM.

De plus, il serait judicieux de poursuivre cette expertise des performances en simulation et en caractérisation à des fréquences plus élevées (pour des applications Hiperlan par exemple).

Puis, une possibilité d'investigation de meilleur compromis rendement / linéarité pourrait être menée, en étudiant des techniques de polarisations adaptatives de base, qui suivraient les niveaux de puissance d'entrée RF.

Enfin, une analyse plus approfondie des mécanismes et de conditions de linéarité optimales propres au TBH SiGe:C pourrait être réalisée. Mais elle nécessiterait un accès aux nœuds internes du modèle de manière à localiser d'éventuels phénomènes de compensation entre les différentes non-linéarités (réactives et conductives).

Analyse et caractérisation des performances en puissance de transistors bipolaires à hétéro-jonction SiGe:C pour des applications de radiocommunications mobiles

Ces travaux portent sur la caractérisation de transistors de puissance bipolaires à hétéro-jonction Si/SiGe:C, issus des fonderies de STMicroelectronics Crolles, destinés aux applications de radiocommunications mobiles. Un historique des principales évolutions technologiques du transistor bipolaire est proposé. Les simulations CW, utilisant le modèle HICUM, ont mis en évidence l'influence du point de polarisation et des impédances de charge sur l'optimisation en rendement. Les simulations 2-tons et multi-tons ont confirmé le compromis rendement/linéarité. Une résolution originale pour tester la robustesse des transistors est ensuite exposée. Puis, les mesures réalisées sur le banc load-pull actif du laboratoire Xlim ont montré une bonne cohérence avec les simulations CW. Les comparaisons 2-tons sont prometteuses. Enfin, cette thèse a permis d'identifier le problème d'étalonnage du banc load-pull passif de STMicroelectronics. La résolution proposée a été approuvée par Focus Microwaves.

Mots-clés : transistor de puissance, TBH, SiGe:C, HICUM, load-pull, TOS

Analysis and characterization of hetero-junction bipolar transistors SiGe power features for mobile radio-communication applications

This work deals with the characterization of power hetero-junction bipolar transistors Si/SiGe:C produced by STMicroelectronics Crolles foundry, destined to mobile radio-communications applications. A historic of the main technological evolutions of the bipolar transistor is proposed. The CW simulations, using the HICUM model, highlighted the influence of the biasing and the charge impedances on the efficiency optimization. Next, an original resolution to test the transistors robustness is presented. Then, the measurements realized on the active load-pull bench of the Xlim laboratory showed a good consistency with the CW simulations. The 2-tons comparisons are promising. Finally, this thesis lets to identify a calibration problem on the passive load-pull bench of the STMicroelectronics laboratory. The proposed resolution has been approved by Focus Microwaves.

Key-words : power transistor, HBT, SiG:C, HICUM, load-pull, VSWR
