

UNIVERSITE DE LIMOGES
ECOLE DOCTORALE Science – Technologie – Santé
FACULTE DES SCIENCES ET TECHNIQUES

Année : 2006

Thèse N° 61-2006

Thèse
pour obtenir le grade de
DOCTEUR DE L'UNIVERSITE DE LIMOGES

Discipline : “Electronique des Hautes Fréquences et Optoélectronique”

présentée et soutenue par

Dorothee MULLER

le 12 Octobre 2006

<p>OPTIMISATION DES POTENTIALITES D'UN TRANSISTOR LD MOS POUR L'INTEGRATION D'AMPLIFICATEUR DE PUISSANCE RF SUR SILICIUM</p>

Thèse dirigée par Raymond Quéré et Raphaël Sommet

JURY :

Président :

Mr le Professeur Michel CAMPOVECCHIO (Université de Limoges)

Rapporteurs :

Mr le Professeur Eric BERGEAULT (ENST Paris)

Mr le Professeur Jean-Michel FOURNIER (ENSERG)

Examineurs :

Mr Raphaël SOMMET HDR (Université de Limoges)

Mr le Professeur Raymond QUERE (Université de Limoges)

Mr Bertrand SZELAG (STMicroelectronics)

Remerciements

Ces travaux de thèse ont été effectués dans le cadre d'une collaboration entre STMicroelectronics (Crolles) et le Laboratoire de Recherche XLIM de Limoges. Je remercie Marcel Roche de m'avoir accueillie dans l'équipe R&D RF BiCMOS de STMicroelectronics ainsi que Raymond Quéré, Directeur du laboratoire XLIM, pour avoir accepté la collaboration universitaire CIFRE.

Je remercie également Richard Fournel, Olivier Noblanc, Bertrand Szelag, Augustin Monroy, Bruno Rauber et Laurence Boissonnet pour m'avoir offert l'opportunité d'un après-thèse au sein de STMicroelectronics.

Je tiens particulièrement à remercier Monsieur Bertrand Szelag, responsable de la filière BiCMOS7RF, pour la confiance qu'il m'a témoignée en acceptant l'encadrement industriel de mes travaux, mais surtout pour sa sympathie et ses compétences qui m'ont aidée à mener à bien ce travail.

Je suis très honorée de la présence à mon jury de thèse, et je tiens à remercier :

Monsieur Michel Campovecchio, Professeur à l'Université de Limoges, pour l'honneur qu'il m'a fait en acceptant de présider mon jury de thèse.

Monsieur Jean-Michel Fournier, Professeur à l'ENSERG, et Monsieur Eric Bergeault, Professeur à l'ENST Paris pour leurs participations à mon jury de thèse en qualité de rapporteurs et pour toutes les remarques judicieuses qu'ils ont faites.

Monsieur Raphaël Sommet, chargé de recherche au C.N.R.S pour ses nombreuses suggestions intéressantes pendant la rédaction du manuscrit.

Je tiens à exprimer ma reconnaissance aux membres permanents de STMicroelectronics :

Monsieur Alexandre Giry pour sa disponibilité, son implication et les nombreux moments où son aide fut précieuse tant pour le layout, les mesures HF et

load-pull (sur les bancs du CNET et de Brive) que pour l'écriture d'articles ou de mon manuscrit.

Sans oublier Denis Pache, Augustin Monroy, Sébastien Jouan, Jocelyne Mourier, Germaine Troillard, Fabienne Judong, Halim Bilgem, Christine Rossato, Benjamin Oudet, Blandine Reynard, Guillaume Bertrand, François Dieudonné, Floria Blanchet, Caroline Arnaud, Maxime Marchetti, Dominik Golanski sans leur travail et leur aide mes travaux de thèse n'auraient pas pu se réaliser...

Je tiens également à remercier Laurence Boissonnet pour avoir relu mon manuscrit à la recherche des fautes d'orthographe et également toutes les personnes de filière R&D sans lesquelles l'ambiance dans le groupe ne serait pas aussi agréable. Que les personnes non mentionnées veuillent bien m'en excuser. Encore Merci à Tous !

Mes remerciements s'adressent également aux secrétaires Marie-Claude Lerouge, Hélène Rivière et Chryste Piccarella qui me furent d'une grande aide pour régler de nombreux détails administratifs.

Je remercie toutes celles et ceux que j'ai côtoyé pour les moments partagés durant ces trois années que je cite comme ça pêle-mêle : le premier thésard du groupe entré dans la danse Carlo, Fabien, Benoît B (merci pour cette virée aux urgences, mon pouce s'en souvient encore ☺), Greg (le petit bonhomme en mousse et le roi du debug informatique...), Stéphane B, Marie Rouge (The maillot de Bain du BCTM04 !), Anna, Aurélie, Boris, Carine, Pierre-Marie, Nico G, Luc, Christophe (Coin-coin !), Jorge, Fadoua, Simon, Merryll, Jérémie, Yannick et Amy, Stéphane C et Sophie, Christine, Fabienne, Emy (pour ta présence le jour J et les autres aussi), Marie D, Nico S, Simon, Eva et Bern'.

Et pour finir je n'oublierai pas d'avoir une pensée pour mes parents et ma sœur...



Dorothée vs. PhD: GAME OVER!!!!



TABLE DES MATIERES

I.	PRINCIPE DE FONCTIONNEMENT DU TRANSISTOR MOSFET.....	5
I.1.	Introduction	9
I.2.	Principe de fonctionnement idéal du transistor MOSFET	9
I.2.a.	Présentation de la structure MOS.....	9
I.2.b.	Expression générales des courants dans le transistor	12
I.3.	Comportement du transistor MOSFET pour des applications RF de puissance	13
I.3.a.	Phénomène d'avalanche.....	13
I.3.b.	Perçage	14
I.4.	Les transistors MOS de puissance pour des application RF de puissance	15
I.4.a.	Structures verticales	15
I.4.b.	Structures Latérales LDMOS	20
	Références Chapitre I.....	27
II.	CARACTERISTIQUES DU LDMOS POUR UNE APPLICATION RF DE PUISSANCE	31
II.1.	Introduction	35
II.2.	Description de la structure.....	35
II.3.	Principe de fonctionnement.....	36
II.4.	Le régime de fonctionnement statique	37
II.4.a.	Tension de seuil V_t	37
II.4.b.	La résistance à l'état passant (R_{on}).....	38
II.4.c.	Régimes de saturation et quasi-saturation	39
II.4.d.	Tenue en tension (BV_{dss})	41
II.4.e.	L'auto-échauffement	42
II.5.	Le régime de fonctionnement en dynamique	43
II.5.a.	LDMOS en régime dynamique	44
II.5.b.	Paramètres dynamiques petit signal	44
II.5.c.	Paramètres dynamiques grand signal	49
II.5.d.	Technique de mesure de puissance, Banc Load-pull	52
II.6.	L'application Amplificateur de Puissance (PA).....	54
II.6.a.	Introduction	54
II.6.b.	Qu'est-ce qu'un PA ?	54
II.6.c.	Les différents modes de fonctionnement d'un PA	56
II.6.d.	Le LDMOS dans le PA : paramètres importants.....	63

II.6.e.	Le LDMOS face à ses concurrents.....	68
	Références Chapitre II.....	69
III.	OPTIMISATION DES CARACTERISTIQUES STATIQUES	75
III.1.	Procédé de fabrication du LDMOS	79
III.1.a.	Etapes spécifiques	79
III.1.b.	Cahier des charges pour l'application PA	80
III.1.c.	Intégration du LDMOS dans la filière.....	82
III.2.	Détermination du compromis $R_{on} \cdot BV_{ds}$:.....	83
III.2.a.	Résultats du LDMOS en caisson Népi.....	84
III.2.b.	Résultats du LDMOS en caisson N.....	85
III.3.	Etude des règles de dessin.....	89
III.3.a.	Influence de l'extension de drain (L_{ext}).....	90
III.3.b.	Influence de la longueur de grille (L_{poly}).....	92
III.3.c.	Influence de l'espacement entre grilles ($L_{interpoly}$).....	92
III.3.d.	Influence du recouvrement SiProt sur la grille (Δ_{SiProt}).....	93
III.4.	Bilan	94
	Références Chapitre III	95
IV.	OPTIMISATION DES PERFORMANCES DYNAMIQUES	97
IV.1.	Introduction à l'optimisation.....	101
IV.2.	Choix technologiques possibles	103
IV.2.a.	Optimisation du dessin.....	103
IV.2.b.	Optimisation du procédé de fabrication	112
IV.3.	Développement de la structure LDMOS-FS	117
IV.3.a.	Descriptif de la structure	117
IV.3.b.	Etapes spécifiques	118
IV.3.c.	Intégration dans la filière.....	124
IV.4.	Résultats électriques du LDMOS-FS avec $L_{poly}=0.5\mu m$	125
IV.5.	Structure LDMOS-FS avec réduction de L_{poly}	127
IV.5.a.	Ilôts N+.....	129
IV.5.b.	Implantation Pbody	132
IV.5.c.	Performances dynamiques du LDMOS-FS à L_{poly} faible.....	140
IV.5.d.	Comparaison des performances LDMOS et LDMOS-FS.....	143
IV.6.	Bilan	145

Références Chapitre IV	147
CONCLUSION	149
PUBLICATIONS	157

Liste des symboles

A	Gain en tension de l'amplificateur ($A=g_m \cdot R_{Lopt}$)
BVds	Tension de claquage
C _{ox}	Capacité d'oxyde de grille par unité de surface
C _{in}	capacité
C _{ds}	Capacité drain-source
C _{gd}	Capacité grille-drain
C _{gd_{max}}	Valeur maximale de la capacité grille-drain (régime d'accumulation)
C _{gd_{dep}}	Capacité grille-drain associée à la zone de charge d'espace
C _{gs}	Capacité grille-source
DMOS	Transistor MOS de puissance à Double diffusion
E _x	Composante transversale du champ électrique dans le canal
E _y	Composante longitudinale du champ électrique dans le canal
E _c	Valeur du champ électrique critique transversal
e _{ox}	Épaisseur d'oxyde mince de grille (SiO ₂)
f _T	Fréquence de transition
F _{max}	Fréquence maximale d'oscillation
g _m	Transconductance
G _u	Gain de Mason (dB)
g _{ds}	Conductance de sortie
G _p	Gain en puissance (W)
H	Longueur de la prise P+
h ₂₁	Gain en courant
I _h	Courant de trous créé par ionisation par impact
I _{off}	Courant en régime bloqué (non-passant)
I _{ds}	Courant de drain
I _{dsat}	Courant de saturation
I _{d0}	Courant de drain de repos
L	Longueur du canal d'un MOSFET
L _{ch}	Longueur effective du canal LDMOS

L_{acc}	Longueur de la zone accumulée sous la grille du LDMOS
L_{ext}	Longueur de l'extension de drain
$L_{interpoly}$	Distance entre deux doigts de polysilicium
L_{poly}	Longueur de la grille ($L_{poly}=L_{ch}+L_{acc}$)
L_{p+}	Largeur de la prise P+
ΔL_{p+}	Espacement entre prise P+
L_s	Inductance de source
LDMOS	Transistor MOS de puissance Latéral à Double diffusion
LDEMOS	Transistor MOS de puissance Latéral à Double diffusion et avec extension de drain
m	Nombre d'entités mises en parallèle
N	Nombre de cellules élémentaires dupliquées
N_a	Concentration en dopants de type P
N_d	Concentration en dopants de type N
N_e	Dopage effectif $= (N_a * N_d) / (N_a + N_d)$
$N_{a_{max}}$	Concentration maximale en dopant de type P dans le canal LDMOS
$P_{entrée}$	Puissance d'entrée RF
P_{dc}	Puissance d'alimentation continue
P_{sortie}	Puissance RF de sortie
$P_{dissipée}$	Puissance dissipée par effet Joule
PAE	Rendement en puissance ajoutée
P_{body}	Zone implantée et difussée de type P qui permet l'élaboration du canal du LDMOS.
q	Charge élémentaire électrostatique
Q_{ss}	Charge parasite d'oxyde équivalent ramenée à l'interface Si-SiO ₂
R_a	Résistance de couche d'accès
R_{canal}	Résistance à l'état passant du transistor MOS N ⁺ -P-N ⁺
$R_{carréepoly}$	Résistance carrée du polysilicium de grille
R_d	Résistance d'extension de drain
RESURF	REDuced SURface electric Field
R_g	Résistance de grille
R_{Lopt}	Résistance de l'impédance optimale de charge

R_{on}	Résistance à l'état passant ($R_{on}=R_d+R_{canal}+R_a$)
R_{Pbody}	Résistance interne au Pbody
R_s	Résistance de source
S_{ij}	Paramètres S
$S.R_{on}$	Résistance à l'état passant par unité de surface du composant
S	Surface totale du composant
ΔS_{iprot}	Distance de recouvrement du siprot sur la grille polysilicium
UMOS	Transistor de puissance, alternatif au VDMOS
V_T	Tension de seuil
V_{gs}	Tension grille-source
V_{ds}	Tension de polarisation drain-source
$V_{d_{sat}}$	Tension de saturation
V_{BP}	Tension de bandes plates
V_p	Tension de pincement
V_{g0}	Tension de grille de repos
V_{d0}	Tension de drain de repos
V_{gsq}	Tension grille-source de repos
V_{body}	Tension interne du Pbody
VMOS	Transistor MOS de puissance Vertical
VDMOS	Transistor MOS de puissance vertical réalisé par double diffusion
VSWR	Voltage Standing Wave Ratio ou Taux d'ondes stationnaires
W	Largeur transverse d'une structure MOSFET
W_{poly}	Largueur effective du polysilicium de grille ($= 2*N*W$)
X_{Lopt}	Réactance optimale de charge du transistor
Y_{ij}	Paramètres Y d'admittance
Z_L	Impédance de charge
Z_{Lopt}	Impédance de charge optimale
Z_{in}	Impédance d'entrée du transistor (de source)
$\Phi(x)$	Fonction potentiel
Φ_{ms}	Différence des travaux de sortie métal / semi-conducteur

INTRODUCTION GENERALE

Introduction générale

Face aux enjeux du marché de la radiotéléphonie mobile, les fabricants de composants semi-conducteurs (transistors bipolaires, transistors à effet de champ) se sont lancés dans la « bataille » permettant de répondre aux exigences des systèmes de communication en termes de puissance, de performances en gain et linéarité, d'encapsulation et de coût de revient. En effet, ces différents dispositifs semi-conducteurs sont nécessaires pour les étages émetteurs et récepteurs dans les divers équipements qui utilisent le spectre hertzien depuis le téléphone portable, jusqu'aux stations de bases et aux satellites.

Les filières sur Arséniure de Gallium (GaAs) sont actuellement les plus performantes du fait des propriétés physiques intrinsèques (mobilité des électrons 5 fois supérieure au silicium) et permettent d'obtenir de meilleures caractéristiques aux fréquences élevées. Cependant les technologies silicium – transistor à effet de champ métal oxyde semi-conducteur (MOSFET) et bipolaire- sont très matures et offrent des composants avec des performances très honorables à des coûts relativement plus faibles, ce qui reste un atout majeur dans le contexte actuel où le marché du téléphone cellulaire est très sensible au prix de revient des composants.

Par rapport à ces exigences de performances et de coût, une nouvelle génération de composant semi-conducteur est apparue sur la scène de l'amplification de puissance : le LDMOS (Lateral Doubled Diffused Metal-Oxide Semiconductor) dédié à la radiotéléphonie mobile et utilisé dans les étages de sortie des amplificateurs des stations de base.

Cette thèse s'inscrit dans le cadre de l'optimisation des performances d'un LDMOS intégré dans une filière BiCMOS pour une application amplificateur de puissance multistandard.

Ce mémoire comporte cinq chapitres. Le premier chapitre expose les principales notions de fonctionnement du transistor MOS ainsi que les motivations de l'émergence des transistors MOS de puissance. Un état des lieux des MOS de puissance jusqu'à présent étudiés est exposé. Une attention particulière est portée aux transistors LDMOS.

Le second chapitre, consacré à l'analyse des propriétés physiques du LDMOS, expose les principales figures de mérite pour les modes de fonctionnement statique et dynamique.

Une définition et l'analyse des différents modes de fonctionnement de l'amplificateur de puissance sont présentées au cours du troisième chapitre, complétées par le rôle du LDMOS dans l'application amplificateur de puissance. En effet, les paramètres du LDMOS (propriétés physiques intrinsèques et extrinsèques) susceptibles de modifier ses performances aussi bien statiques que dynamiques sont identifiés.

Le travail décrit par la suite s'articule autour de la réalisation d'un LDMOS et de son optimisation en terme de performances dynamiques petit et grand-signal.

Le procédé de fabrication du LDMOS intégré en technologie BiCMOS 0.25 μm et sa réalisation sont exposés dans le quatrième chapitre. Certaines étapes technologiques sont améliorées afin d'obtenir des caractéristiques électriques statiques en accord avec les besoins de l'application amplificateur de puissance.

Finalement, le dernier chapitre traite de l'optimisation des performances dynamiques du LDMOS par une modification du procédé de fabrication et du dessin du transistor. Ces choix sont définis à partir des éléments identifiés au cours du chapitre trois et des possibilités offertes par la technologie. Une nouvelle architecture LDMOS dénommée LDMOS-FS est alors réalisée. Sa caractérisation a permis de montrer des améliorations significatives sur les performances dynamiques petit et grand signal.

I. PRINCIPE DE FONCTIONNEMENT DU TRANSISTOR MOSFET

I.	PRINCIPE DE FONCTIONNEMENT DU TRANSISTOR MOSFET.....	5
I.1.	Introduction	9
I.2.	Principe de fonctionnement idéal du transistor MOSFET	9
I.2.a.	Présentation de la structure MOS [SZE81]	9
I.2.b.	Expressions générales des courants dans le transistor.....	12
I.3.	Comportement du transistor MOSFET pour des applications RF de puissance	13
I.3.a.	Phénomène d'avalanche [SZE81]	14
I.3.b.	Perçage [SZE81].....	14
I.4.	Les transistors MOS de puissance pour des application RF de puissance	15
I.4.a.	Structures verticales	15
I.4.b.	Structures Latérales LDMOS	20
	Références Chapitre I	27

I.1.Introduction

L'objectif de ce chapitre est d'introduire les principales différences technologiques entre un MOSFET dédié à des applications RF et un MOSFET idéal. En effet, le comportement électrique d'un MOSFET idéal devient peu adapté devant un dispositif RF avec des niveaux de puissance élevés à hautes fréquences et des niveaux de tension élevés. Les principaux phénomènes limitant l'utilisation RF du MOSFET idéal seront abordés ainsi que les particularités technologiques des MOSFET dédiés RF (LDMOS, VDMOS).

I.2.Principe de fonctionnement idéal du transistor MOSFET

I.2.a. Présentation de la structure MOS [SZE81]

La structure de base du transistor Métal Oxyde Semi-conducteur à effet de champ (MOSFET) est représentée par la Figure I-1.

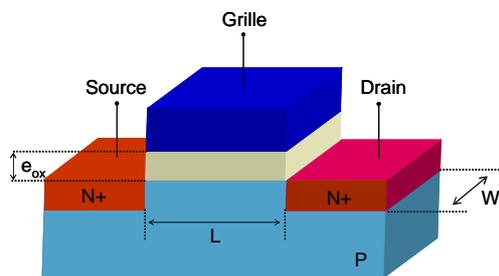


Figure I-1 Schéma d'un MOSFET de type N.

Elle est réalisée à partir d'un substrat semi-conducteur, généralement de type P, dans lequel deux régions implantées N+ définissent les électrodes de source et de drain. L'électrode de grille est obtenue à partir d'un oxyde (SiO_2) recouvert par une couche de polysilicium fortement dopée et métallisée. Les principaux paramètres géométriques du composant sont : L (longueur de grille, distance drain-source), W (largeur transversale de la structure) et e_{ox} (épaisseur d'oxyde). Dans les circuits intégrés, le transistor MOS est généralement isolé des composants voisins par des tranchées d'isolation.

Trois régimes de fonctionnement prédominant : le régime bloqué, le régime linéaire et le régime de saturation.

Le régime bloqué représente l'état du composant en absence de polarisation de grille (V_g). Le transistor MOS est alors représenté par deux jonctions PN tête-bêche (Figure I-2). Le seul courant qui peut alors résulter d'une polarisation drain-source est le courant inverse de l'une ou de l'autre des jonctions. Ce courant en régime bloqué (I_{off}) doit être le plus faible possible afin d'éviter toute consommation superflue lorsque le dispositif est non passant.

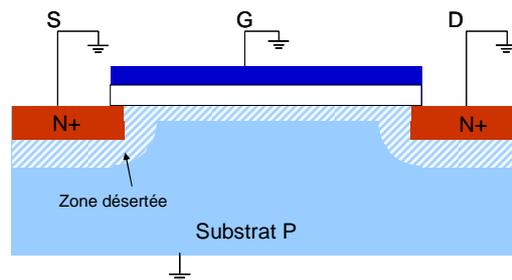


Figure I-2 Coupe de MOSFET représentative de son fonctionnement en absence de polarisation.

L'application d'une tension positive (négative pour le PMOS) sur l'électrode de grille supérieure à une certaine tension de seuil V_t produit l'apparition d'une couche d'inversion de type N entre la source et le drain (Figure I-3). Un canal de type N relie la source au drain. Plus la tension de grille V_{gs} est élevée, plus la densité de porteurs dans la couche augmente.

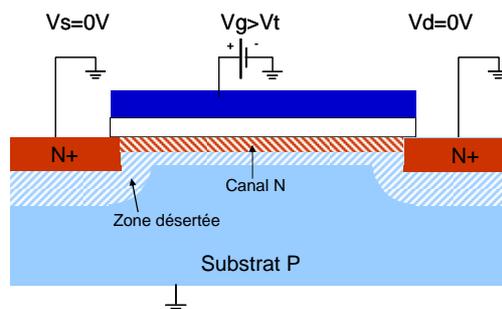


Figure I-3 Coupe de MOSFET représentative de son fonctionnement : activation du canal ($V_g > V_t$).

Une fois le canal formé, si une tension de drain est appliquée, un courant circule entre le drain et la source (Figure I-4). La variation de la tension V_{ds} modifie la couche d'inversion et fait ainsi varier la conductance du canal. Tant que la tension de drain V_{ds} reste faible, le courant reste proportionnel à la tension V_d appliquée. Le composant fonctionne en régime linéaire dans lequel le canal se comporte comme une résistance contrôlée par la tension de grille V_{gs} .

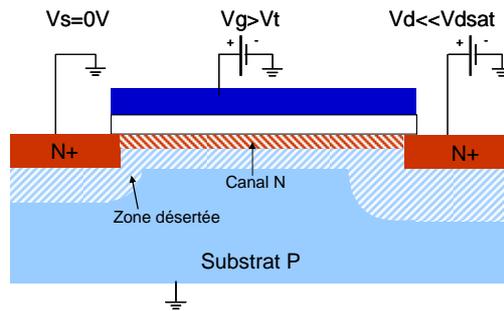


Figure I-4 Coupe de MOSFET représentative de son fonctionnement en régime linéaire (faible V_d).

Plus la tension V_{ds} appliquée est élevée, plus le potentiel côté drain diminue. De ce fait la densité d'électrons et également la conductance diminuent. Le courant de drain n'est alors plus proportionnel à V_{ds} et aboutit à un phénomène de saturation du courant. Durant ce régime, le courant est alors indépendant de la tension de drain appliquée. Pour une tension appliquée entre la grille et le drain ($V_{gs}-V_{ds}$) égale à la tension de seuil V_t le canal se pince côté drain et la conductivité du canal s'annule au voisinage du drain. La tension de drain à laquelle le pincement a lieu est appelée tension de saturation V_{dsat} , et le courant correspondant est appelé courant de saturation I_{dsat} (Figure I-5).

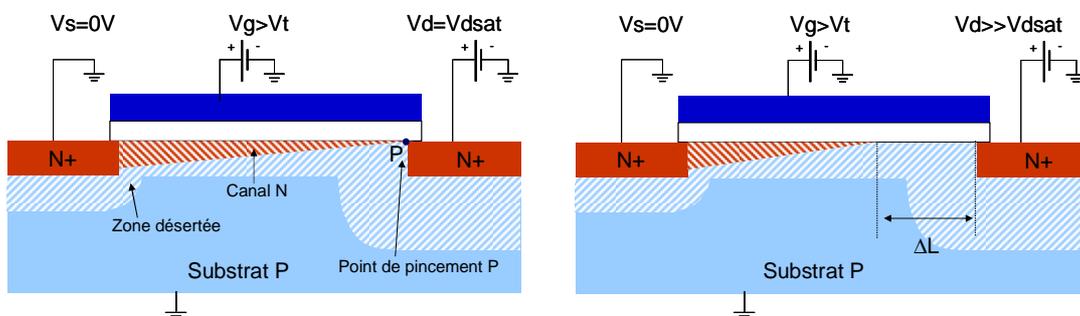


Figure I-5 Coupes de MOSFETs représentatives de son en régime de saturation (gauche) et en régime de sursaturation ou la longueur de canal est réduite de ΔL (droite).

En continuant d'augmenter la tension de drain, la longueur effective du canal diminue progressivement et le point de pincement se rapproche de la source. La région voisine du drain n'est plus en inversion. Dans ces conditions, le courant est transporté par les porteurs libres dans le canal conducteur jusqu'au point de pincement, ces porteurs sont ensuite propulsés vers l'électrode de drain par le fort champ électrique qui existe dans la région désertée. La tension aux bornes du canal reste constante et égale à V_{dsat} . Si la variation

relative $\Delta L/L$ de la longueur du canal est faible, le courant de drain est égal à I_{dsat} et indépendant de V_{ds} (Figure I-5).

Les caractéristiques de transfert - $I_d(V_g)$ - et de sortie - $I_d(V_d)$ - sont respectivement illustrées par les Figure I-6 (a) et (b).

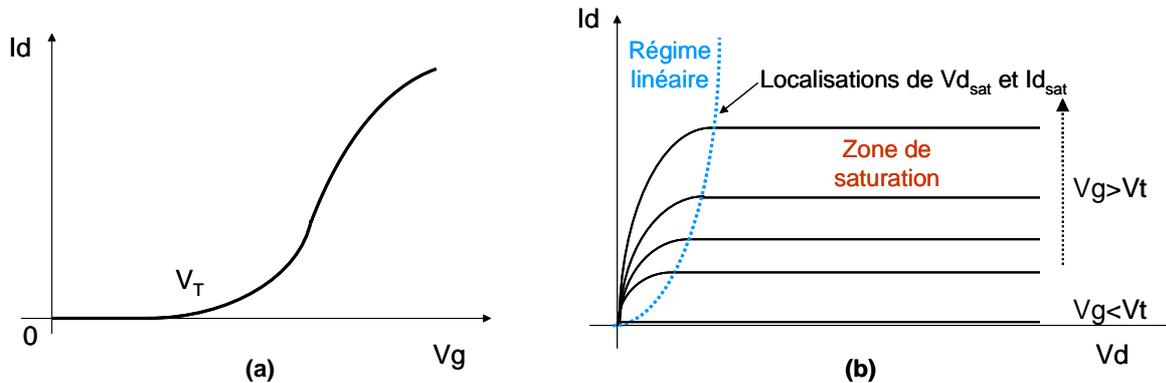


Figure I-6 Caractéristiques idéales de transfert (a) et de sortie (b) d'un transistor MOS de type n. La courbe pointillée correspond à la tension $V_{d,sat}$. Pour $V_d > V_{d,sat}$ le courant reste constant à $I_{d,sat}$.

I.2.b. Expressions générales des courants dans le transistor

En régime linéaire les caractéristiques du MOSFET idéal peuvent être obtenues à partir de l'équation de Poisson en émettant les hypothèses suivantes [SZE81]:

- L'isolant (SiO_2) est idéal: absence de charges pièges dans l'isolant et à l'interface du semi-conducteur. Il n'y a pas de différence de travail entre le métal et le semi-conducteur.
- La mobilité des porteurs est constante dans la couche d'inversion.
- Le dopage du canal est uniforme dans tout le substrat
- Le courant de fuite est négligeable
- Approximation de la charge graduelle : Le champ transverse E_x dans le canal est plus important que le champ longitudinal E_y . Cette approximation n'est valable que dans le cas de transistors possédant des longueurs de canal élevées (transistors à canal longs)

L'équation de Poisson à une dimension s'écrit :

$$\frac{d^2\phi(x)}{d^2x} = -\frac{\rho(x)}{\epsilon_{sc}} \quad (\text{I-1})$$

où $\rho(x)$ est la densité de charge, $\phi(x)$ la fonction potentiel et ϵ_{sc} est la permittivité du semi-conducteur.

L'intégration analytique de l'équation de Poisson fournit les expressions des caractéristiques d'un transistor MOSFET de type N [SZE81] :

$$\text{La tension de seuil a pour expression } V_T = V_{BP} + \frac{\sqrt{2 \cdot \epsilon_{sc} \cdot q \cdot N_A (2 \cdot V_{BP})}}{C_{OX}} \quad (\text{I-2})$$

où V_{BP} est la tension de bandes plates, C_{OX} la capacité de l'oxyde, q est la charge élémentaire et N_A est la concentration en dopant de type P.

Le courant en régime linéaire a pour expression à mobilité μ_n constante:

$$Id = \frac{W}{L} \cdot \mu_n \cdot C_{OX} \left[(V_G - V_T) \cdot V_D - \frac{V_D^2}{2} \right] \text{ pour } V_D \leq V_G - V_T \quad (\text{I-3})$$

En régime de saturation, le courant s'exprime par

$$Id = \frac{W}{2L} \cdot \mu_n \cdot C_{OX} (V_G - V_T)^2 \text{ pour } V_D > V_G - V_T \quad (\text{I-4})$$

où μ_n est la mobilité des porteurs (type n), W la largeur du canal et L est la longueur du canal.

I.3. Comportement du transistor MOSFET pour des applications RF de puissance

Les équations exposées précédemment correspondent au fonctionnement idéal du transistor MOS et sont basées sur de nombreuses approximations. Les MOSFET dédiés aux applications de puissance ont leurs performances limitées par des phénomènes d'avalanche (jonction substrat-drain) et de perçage source-drain. Le paragraphe suivant expose ces différents phénomènes spécifiques aux MOS de puissance.

I.3.a. Phénomène d'avalanche [SZE81]

L'avalanche dans un transistor MOSFET a lieu dans la diode formée entre le drain et le substrat (Figure I-7). Elle se produit dans la zone désertée du substrat car celle-ci est plus importante que celle du drain en raison d'un dopage moindre avec un champ électrique maximal localisé en surface à l'interface P/N côté drain (Figure I-8). C'est dans cette zone et à mesure que la tension appliquée V_d augmente que le phénomène de multiplication des porteurs apparaît jusqu'à ce que se déclenche l'avalanche. La tension de drain correspondant à l'avalanche est appelée tension d'avalanche BV_{ds} .

Plus le canal du transistor diminue plus le champ électrique sur le bord du canal, côté drain, sera très élevé pour des tensions relativement faibles. Par conséquent, le champ électrique qui déclenche l'avalanche est atteint pour de faible valeur de V_{ds} .

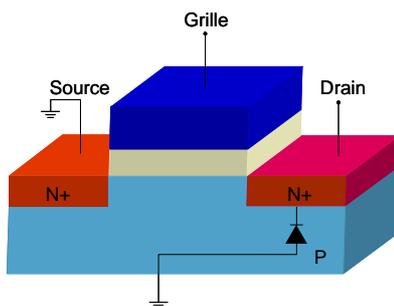


Figure I-7 Représentation schématique du MOS en mode d'avalanche (jonction)

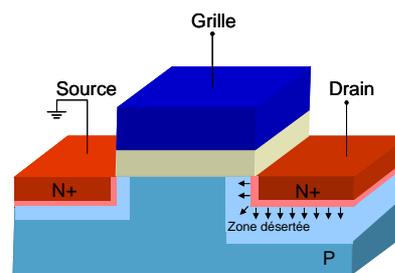


Figure I-8 Illustration du MOSFET et de ses zones désertées avec l'application d'une tension V_d à V_g nul.

I.3.b. Perçage [SZE81]

Un autre phénomène peut apparaître dans les transistors à faible longueur de canal. A mesure que la tension de drain augmente, le zone de charge d'espace côté drain ne cesse d'augmenter jusqu'à rencontrer la zone désertée côté source (Figure I-9). Des valeurs élevées de V_{ds} peuvent même entraîner une jonction entre les deux zones : c'est le phénomène du perçage. Le comportement du transistor est complètement dégradé et si la longueur de grille est très faible, une injection de porteurs peut avoir lieu entre la source et le drain.

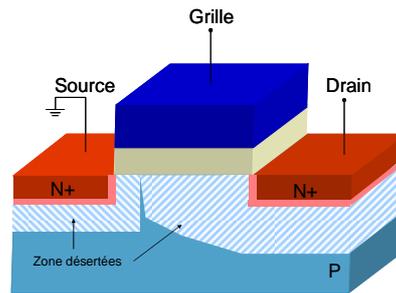


Figure I-9 Illustration du phénomène de perçage sur un MOSFET en coupe.

Les phénomènes d'avalanche et de perçage sont des facteurs limitant la tension maximale de drain du dispositif. Cependant, les transistors MOSFET de puissance nécessitent à la fois de faibles longueurs de canal et des valeurs de tension de drain élevées. Il existe des solutions d'ordre technologique permettant d'éviter l'apparition prématurée de ces phénomènes. Ces solutions sont exposées dans le paragraphe suivant.

I.4. Les transistors MOS de puissance pour des application RF de puissance

Des structures ont été élaborées afin de pouvoir réaliser des transistors MOS de puissance tout en remédiant à l'apparition des phénomènes d'avalanche et de perçage. Deux grandes familles de transistor MOS de puissance sont référencées : les MOSFET de puissance verticaux (VDMOS) et les MOSFET de puissance latéraux (LDMOS).

I.4.a. Structures verticales

Les premiers transistors de puissance développés au début des années 70 étaient des VMOS (Figure I-10) [FARZ76]. Ces transistors étaient élaborés à partir de sillons en forme de V gravés par attaque anisotrope du silicium. Elle consiste à attaquer chimiquement, suivant les plans $\langle 111 \rangle$, une couche N- épitaxiée sur un substrat N+. La zone active est formée le long d'un sillon qui fait un angle de 54° avec la surface [SUN80].

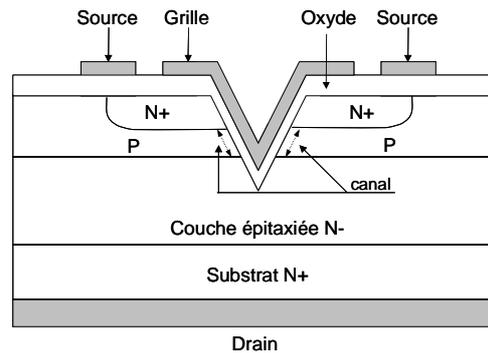


Figure I-10 Coupe schématique d'un transistor VMOS de puissance. [SZE81]

Par rapport au transistor MOS plan « classique », le progrès essentiel consiste en l'utilisation du volume du semi-conducteur pour former l'électrode de drain (plan inférieur du substrat). Cette disposition permet une plus grande densité d'intégration puisque seulement deux électrodes –les électrodes de grille et de source- sont localisées sur la face supérieure de la puce.

Le transistor VMOS présente cependant quelques inconvénients qui ont conduit à la régression voire à l'abandon, au début des années 80, de cette filière pour la production industrielle. En effet, la difficulté de contrôle du processus d'attaque chimique rend délicate la fabrication technologique de ces composants. D'autre part, des problèmes d'instabilité peuvent apparaître dus à une contamination de l'oxyde par le potassium provenant de la solution d'hydroxyde de potassium utilisée pour graver les sillons. Enfin, la « pointe » du sillon en V est le siège de forts champs électriques qui affectent la fiabilité et la tension de claquage des composants.

Fin 70, le transistor UMOS a été proposé [TAME83]. Sa structure (Figure I-11) reprend celle du VMOS mais la forme du sillon est différente. Le front de pénétration de l'attaque anisotrope est arrêté prématurément, créant ainsi un fond plat dans le sillon qui permet de diminuer le champ électrique. Les mêmes difficultés technologiques ayant été rencontrées pour ce composant, il n'eut pas de développement industriel significatif.

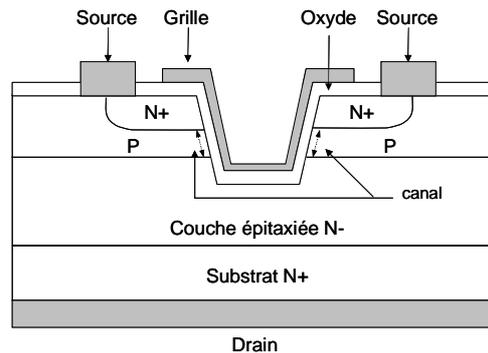


Figure I-11 Coupe schématique d'un UMOS de puissance. [SZE81]

Les différents problèmes rencontrés avec le transistor VMOS ont été pratiquement résolus par le développement des processus de double-diffusion MOS (DMOS) [SIGG72] et la technique d'auto-alignement de ces diffusions sur le polysilicium de grille pour déterminer la longueur du canal.

Par rapport aux transistors VMOS, les transistors DMOS présentent les avantages suivants :

- Ils peuvent être fabriqués sur n'importe quelle orientation cristalline du silicium, alors que le VMOS est contraint d'avoir son canal le long d'une surface $\langle 111 \rangle$. Ainsi le choix d'une surface orientée $\langle 100 \rangle$ pour un transistor DMOS permet une amélioration de 20% de la mobilité des électrons dans la couche inversée et de 15% de la vitesse limite de saturation de ces électrons dans cette même couche inversée par rapport aux transistors VMOS équivalents [SUN72]. Il en résulte une résistance à l'état passant plus faible et une transconductance plus importante par unité de surface.
- La densité de charges fixes (Q_{ss}) à l'interface silicium/oxyde est environ trois fois plus grande sur les plans $\langle 111 \rangle$ par rapport aux plans $\langle 100 \rangle$ [SUN80]. Ces charges diminuent la tension de seuil du composant. Par conséquent, pour une tension de seuil donnée, le dopage dans le canal doit être plus élevé dans une structure VMOS que dans une structure DMOS. Cette augmentation du dopage a un effet restrictif sur la mobilité des électrons dans la couche inversée [SUN72], dégradant de ce fait le courant de conduction.

- Les difficultés technologiques évoquées pour le transistor VMOS sont réduites pour les transistors DMOS. Ces derniers font appel à une technologie plus simple à haut rendement. Le procédé d'auto-alignement des diffusions sur une grille en polysilicium est relativement simple à mettre en œuvre dans les transistors DMOS. Ce point évidemment essentiel explique le développement industriel considérable de ces composants.
- La densité d'intégration –rapport périmètre/surface- qu'il est possible d'obtenir avec des transistors DMOS multicellulaires est plus grande que celle des transistors VMOS.

Les structures VDMOS (Figure I-12) sont fabriquées à partir de ces processus de double-diffusion MOS. Le drain est situé sur la face arrière de la puce - comme le cas du transistor VMOS-. Ces structures verticales présentent une grande capacité parasite entre l'électrode de grille et l'électrode de drain due au positionnement du drain sous une partie de l'électrode de grille. Cette capacité accentue l'effet de contre-réaction de la sortie sur l'entrée du dispositif (effet Miller) qui limite les performances du composant en terme de gain et de rendement et induit des pertes ohmiques importantes

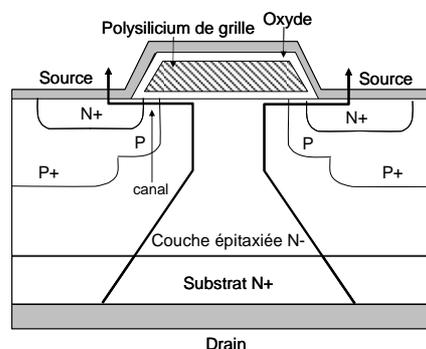


Figure I-12 Coupe schématique d'un transistor VDMOS à grille en polysilicium [MENA80]

.Plusieurs solutions technologiques pour minimiser l'effet de cette capacité ont été proposées :

- Une solution de réduction de la capacité de Miller a été proposée par Tardivo [TARD87]. Elle consiste à réaliser des transistors à grille partielle en éliminant une partie de grille située au-dessus de la couche épitaxiée N- (Figure I-13). Cette technique a pour conséquence de diminuer la capacité grille-drain C_{gd} et donc

d'augmenter la fréquence de coupure f_T . L'étude de ces structures à grille partielle [TARD87] a montré qu'une réduction de grille d'un facteur $\frac{1}{4}$, $\frac{1}{2}$ et $\frac{3}{4}$ correspond respectivement à une augmentation du gain de 1.25, 3 et 6 dB.

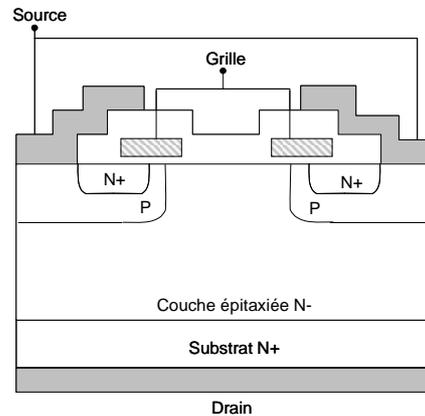


Figure I-13 Coupe schématique du transistor VDMOS à grille partielle proposée par TARDIVO [TARD87]

- Ce concept de grille partielle a été aussi utilisé par Ishikawa [ISHI87] qui a proposé des VDMOSFETS à structures non coplanaires et géométries interdigitées [ISHI87]. La structure est représentée sur la Figure I-14.

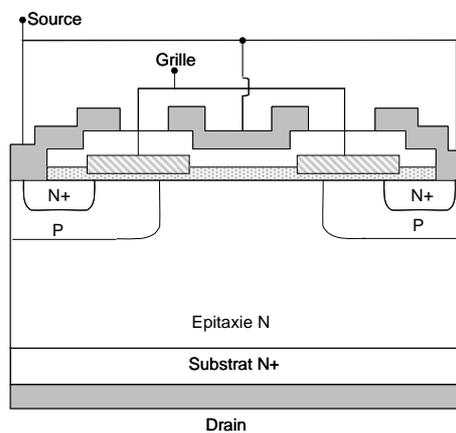


Figure I-14 Coupe schématique du transistor VD-MOSFET [SNOW86]

Le siliciure de molybdène – qui présente une faible résistance de contact – est utilisé comme électrode de grille. Les grilles partielles de deux cellules voisines sont séparées par une plaque de champ métallique connectée aux électrodes de source. Ainsi, la capacité inter-électrode

Cgd est réduite de moitié, par rapport à une grille totale et le gain en puissance a été doublé [SNOW86].

De part leur conception, ces dispositifs verticaux sont limités en fréquence. Ils sont souvent utilisés pour des bandes de fréquences inférieures à 1GHz (GSM). Les fréquences supérieures ont souvent été laissées aux transistors bipolaires. Mais depuis quelques années, on assiste à l'émergence de composants MOS latéraux qui « montent » plus haut en fréquence.

I.4.b. Structures Latérales LDMOS

Ces structures de puissances sont réalisées comme pour le VDMOS par les procédés de double-diffusion et d'auto-alignement sur grille en poly-silicium. Le transistor LDMOS (Lateral Double-Diffused Metal Oxide Semiconductor) possède l'avantage par rapport au transistor à configuration verticale –VDMOS- d'avoir intrinsèquement ses trois électrodes coplanaires, ce qui le rend favorable à l'intégration. Il est également compatible avec les technologies BiCMOS avancées, ce qui fait de lui un candidat idéal pour assurer la partie puissance (c'est-à-dire interrupteur) dans un circuit intégré.

Deux configurations de LDMOS prédominent : le LDEMOS ; MOS Latéral avec Extension de Drain (Figure I-15) ; ainsi que le LDMOS conventionnel, MOS Latéral à Double diffusion (Figure I-16).

Les LDEMOS possèdent la même configuration qu'un MOS standard. Néanmoins afin de pouvoir supporter des tensions de drain élevées et d'éviter les phénomènes d'avalanche prématurés, l'introduction d'une extension de drain intercalée entre le canal et le drain de type N (Figure I-15) est nécessaire. Cette zone implantée et faiblement dopée correspond à la région de drift. Sa structure analogue aux MOS conventionnels lui confère un niveau de dopage uniforme dans la majeure partie du canal, ce qui n'est pas le cas pour les LDMOS.

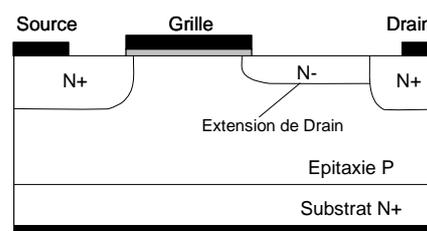


Figure I-15 Coupe schématique d'un LDEMOS de type N en configuration standard.

Les LDMOS conventionnels sont généralement réalisés à partir d'un substrat de type P ou N sur lequel croît une couche épitaxiée de type N comme l'illustre la Figure I-16.

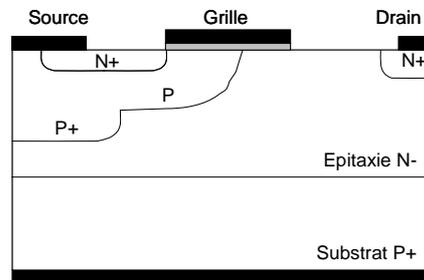


Figure I-16 Coupe schématique d'un LDMOS de type N en configuration standard.

Le canal de longueur L est défini par la diffusion de dopant de type P (bore) dans la région épitaxiée de type N. La zone d'extension qui s'intercale entre le canal et le drain est par défaut présente et fait office de région de drift (zone d'extension de drain).

Les choix technologiques (type de substrat, technologie MOS ou BiCMOS) ont abouti à l'apparition de nombreuses configurations LDMOS. Certaines structures allient la configuration du LDMOS et celle du LDEMOS. L'exemple illustré par la Figure I-17 montre un LDMOS réalisé sur un substrat de type P sans couche épitaxiée. Le canal de type P est obtenu par diffusion tout comme la zone d'extension de drain N-.

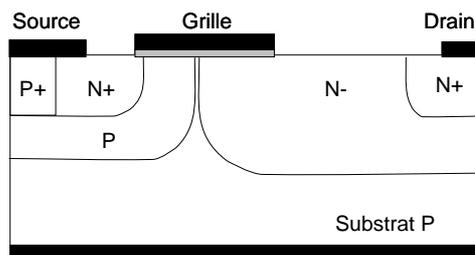


Figure I-17 Coupe schématique d'un LDMOS de type N en configuration alternative

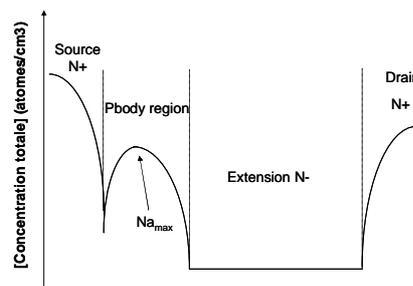


Figure I-18 Allure du profil de dopant en surface

Les architectures DMOS permettent l'obtention de canal court indépendant de la résolution lithographique ; qui habituellement définit la longueur de canal des MOSFETs. Ce type de structure possède un bon contrôle du perçage grâce au niveau de dopage élevé du canal P. La

région N drift minimise la chute de tension en maintenant un champ uniforme (supérieur à 10^4 V/cm) pour atteindre la vitesse de saturation. Le champ électrique proche du drain est équivalent à celui dans la zone de drift, ainsi les phénomènes d'avalanche, de multiplication des porteurs et de piégeage des charges dans l'oxyde sont réduits par rapport à un MOSFET conventionnel. Toutefois, il est plus difficile dans ces architectures de contrôler la tension de seuil V_t , car elle est déterminée par le niveau de dopant maximum N_{amax} le long de la surface du semi-conducteur dans la zone diffusée P (Figure I-18).

Une configuration de type RESURF (REduced SURface electric Field) [APPE79], spécifique aux architectures latérales, a permis une avancée considérable dans la conception des LDMOS et LDEMOS dès 1979. En effet cette technique applicable sur tous les transistors latéraux de puissance présentant une extension de drain a permis l'obtention de composants haute tension avec un bon compromis entre leur résistance à l'état passant (R_{on}) et leur tension de claquage (BVds). Cette technique a également permis l'intégration des transistors MOS haute tension de 20V à 1200V avec des bipolaires et des MOS conventionnels.

Dans la configuration conventionnelle DMOS le phénomène d'avalanche est induit par la présence d'un champ électrique trop élevé sous l'électrode de grille dans le silicium. Le champ électrique peut être diminué de manière significative grâce à ce principe RESURF [APPE79]. Ce concept présenté en 1979 par Appels et Vaes fait appel à une structure de diode (Figure I-19) analogue à la configuration de l'extension de drain des LDMOS. Cette structure de diode peut être décomposée en deux jonctions : une jonction p^-/n^- verticale et une jonction latérale p^+/n^- . Si l'on considère ces deux jonctions séparément la jonction p^+/n^- possède la tension de claquage la plus faible dans une configuration standard. En effet pour une jonction plane, le claquage est proportionnel à $N_E^{-3/4}$ où $N_E = N_A N_D / (N_A + N_D)$ est le dopage effectif. Si $N_D^{n^-} = N_A^{p^-} \ll N_A^{p^+}$, alors $N_E \approx N_D$ pour la jonction p^+/n^- et $N_E = N_D/2$ pour la jonction p^-/n^- . Si l'on considère la réduction de la couche n^- (RESURF), les zones de déplétion des jonctions p^-/n^- et p^+/n^- interagissent comme le montre la Figure I-19(b). La zone de déplétion de la jonction p^+/n^- est plus importante du à sa proximité avec le substrat et induit la diminution du champ électrique à polarisation équivalente par rapport à une couche n^- plus épaisse. De plus à mesure que la tension de polarisation augmente Figure I-19(c) la zone de déplétion se propage jusqu'à atteindre le contact avec la cathode. Ainsi le champ est

uniformément distribué le long de l'anode vers la cathode et la zone claquage est déportée. La jonction p^-/n^- atteindra sa tension maximale de claquage avant la jonction p^+/n^- .

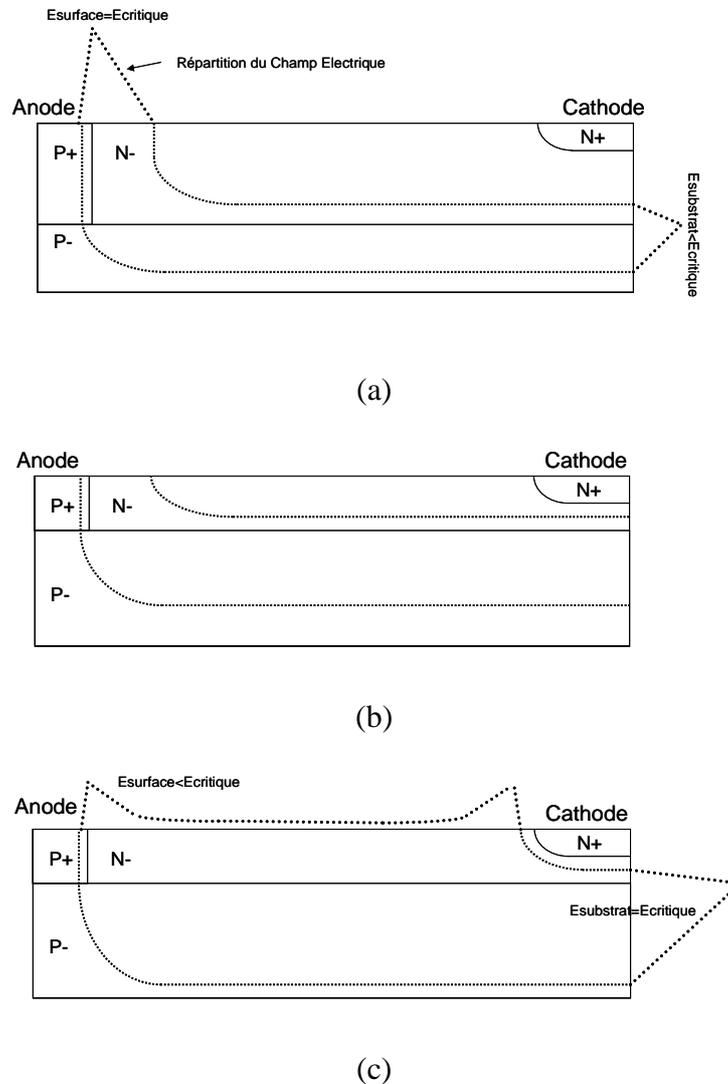


Figure 1-19 Explication du concept RESURF par l'intermédiaire des schémas de diodes. (a) Diode conventionnelle avec une forte épaisseur de couche épitaxiée. (b) Diode RESURF avec une épitaxie plus fine à polarisation équivalente qu'en (a), modification de la répartition de la zone de déplétion. (c) Diode identique à (b) mais avec une polarisation plus élevée.[APPE79]

Ce principe, basé sur le contrôle de la densité de charge totale dans la zone d'extension tout en jouant sur l'épaisseur et le niveau de dopage de la couche épitaxiée, a pour but de décaler l'apparition de la tension d'avalanche vers des tensions de drain élevées. Ainsi la principale différence existant entre les DMOS conventionnels et les DMOS RESURF est l'épaisseur de

leur couche épitaxiée ; beaucoup plus fine dans la configuration RESURF. La répartition du champ électrique le long de la surface de la zone de drift est alors distribuée de façon homogène.

Cette méthode a permis l'amélioration de la tenue en tension des LDMOS mais ne prenait pas en compte l'aspect de l'amélioration de la résistance à l'état passant R_{on} . Plusieurs méthodes ont élargi le concept par l'amélioration de la résistance à l'état passant [LUDI00], [LUDI01] ainsi qu'un concept RESURF avancé nommé Double RESURF ont remédié à cette limitation [VAES80]. Cette technique nécessite l'introduction d'une couche extra dopée p à la surface de la zone d'extension de drain (Figure I-20). Elle induit une déplétion à l'intérieur de la zone d'extension de drain au dessous de la zone ptop. Il est alors possible d'augmenter la densité de charge totale de la zone N⁻ pour maintenir l'équilibre des charges et ainsi réduire la résistance R_{on} jusqu'à 50%.

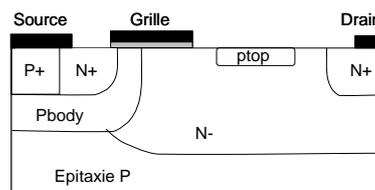


Figure I-20 Coupe d'un LDMOS de type N avec la configuration Double RESURF.

La technique RESURF a été souvent associée avec la technique des « électrodes de champ » souvent utilisée dans les transistors haute tension RESURF. L'utilisation de ces électrodes permet de contrôler le champ électrique par l'introduction de zones métalliques (qui proviennent des étapes de métallisation) au dessus des régions où le champ électrique critique est atteint et fragilise la structure. Ces électrodes sont métalliques et connectées à une tension spécifique pour protéger les jonctions. La Figure I-21 montre un exemple de contact réalisé avec et sans « électrodes de champ ». Lorsqu'une tension est appliquée sur un contact standard, le champ électrique maximal se situe au niveau du contact n+ de la jonction et la courbure de la jonction détermine la tension de claquage. L'introduction d'électrodes métalliques modifie la répartition de la zone de déplétion comme sur la Figure I-21(b). Cela permet l'application d'une tension plus élevée sur la jonction et donc l'obtention d'une tension de claquage plus importante.

Principe de fonctionnement du transistor MOSFET

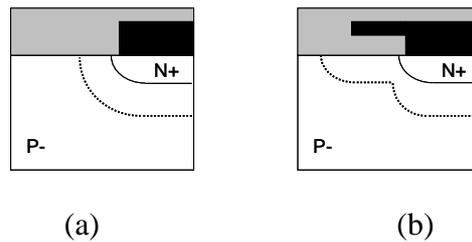


Figure I-21 Exemple d'utilisation des « électrodes de champ » afin de protéger les zones sensible (a) structure sans électrode de champ et (b) structure avec électrode de champ.

Un des inconvénients que présente cette technique est la présence de forts champs électriques dans le silicium sous le bord de l'électrode. Vestling a remédié à ce désagrément en allongeant l'électrode de champ avec un matériau semi-isolant (SIPOS : semi insulating polycrystalline silicon) qui diffuse le champ électrique le long du silicium [VEST97].

Une extension du concept Double RESURF est apparu récemment : le concept « *dual conduction* » [SODE95], [DISN01], [VEST01]. L'introduction d'une région dopée P dans la zone de drift permet au courant de circuler sur deux chemins de conduction dans la zone de drift (Figure I-22). Cette configuration de drift permet une réduction significative et supplémentaire de la résistance R_{on} par rapport au concept RESURF Double, de l'ordre de 2/3.

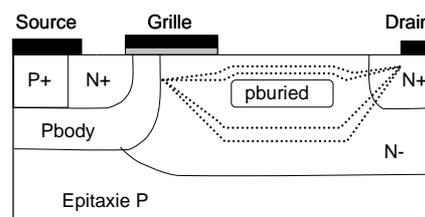


Figure I-22 LDMOS avec la technologie p-top, c'est-à-dire avec l'introduction dans la zone de drift d'une zone dopée p. Les lignes de courant sont représentées en traits discontinus.

Références Chapitre I

[APPE79] J. A. APPELS, H. M. J. VAES

“High Voltage thin layer devices (RESURF devices)”
IEDM Tech. Dig., 1979, pp. 238-241.

[DISN01] D. R. DISNEY, A. K. PAUL, M. DARWISH, R. BASECKI, V. RUMENNIK

“A new 800V lateral MOSFET with dual conduction paths”
Proceeding ISPSD 2001, pp. 399-402.

[FARZ76] B. FARZAN, C. A. T SALAM

„Depletion V-Groove MOS (VMOS) Power Transistors“
Solid-State Electronics, Vol. 19, N°4, p. 297-306, 1976.

[ISHI87] O. ISHIKAWA, H. ESAKI

« A High Power High Gain VD-MOSFET Operating at 900MHz”
IEEE Transaction on Electron Devices, Vol. ED 34, N°5, pp.1157-1161, 1987.

[LUDI00] A. W. LUDIUIZE

“A Review of RESURF Technology”
Proc. ISPSD 2000, pp11-18.

[LUDI01] A. W. LUDIUIZE

“Performance and Innovative Trends in RESURF Technology”
Proc. ESSDERC 2001, pp. 35-42.

[MENA80] J. MENA; P. MCGREGOR; C. A. T. SALAMA

“High frequency performance of VDMOS power transistors”
Electron Devices Meeting, 1980 International; Volume 26, pp. 91 - 94.

[PARP90] Z. PARPIA, C. A. T. SALAMA

« Optimization of RESURF LDMOS Transistors: An Analytical Approach »
IEEE Transaction on Electron Devices, vol. 37, n°3, pp.789-796, 1990.

[SIGG72] H.J SIGG, G.D. VENDELIN, T.P. CAUGE, J.KOCSIS

« D-MOS Transistor for Microwave Applications »
IEEE Transactions On Electron Devices, Vol. 19, N°2, p.45-53, 1972.

[SNOW86] C. M. SNOWDEN

“Introduction to semiconductor device modelling”

World scientific, 1986.

[SODE95] A. SODERBARG, D. JAUME, A. PEYRE-LAVIGNE, P. ROSSEL

« 1000 and 1500Volts Planar Devices using Field Plates and Semi-sensitive Layers : Design and Fabrication »

IEDM Tech. Dig. 1995, pp.975-978.

[SUN72] S. C. SUN, J. D. PLUMMER

« Electron Mobility in Inversion and Accumulation Layers on Thermally Oxidized Silicon Surfaces »

IEEE Transactions On Electron Devices, Vol. 19, N°2, p45-53, 1972.

[SUN80] S. C. SUN, J. D. PLUMMER

« Modeling of the On-Resistance of LDMOS, VDMOS, and VMOS Power Transistors »

IEEE Transactions ON Electron Devices, Vol. 27, N°2, p. 356-367, 1980.

[SZE81] S.M. SZE

Physics of Semiconductor Devices

(2nd Edition). Taipei: John Wiley & sons, 1981.

[TAME83] A. T. TAMER, K. RAUCH, J.L. MOLL

« Numerical Comparison of DMOS, VMOS and UMOS Power Transistors »

IEEE Transactions On Electron Devices, Vol. 30, N°1, p. 73-76, 1983.

[TARD87] G. TARDIVO

«Le Transistor DMOS Vertical en Amplification Haute Fréquence de Puissance »

Thèse de 3^{ème} cycle, Université Paul Sabatier N°3378, Toulouse, Janvier 1987.

[VAES80] H. M. J. VAES, J. A. APPELS

“High Voltage, High Current Lateral Devices”

IEDM Tech. Dig. 1980, pp87-90.

[VEST97] L. VESTLING, B. EDHLOM, J. OLSSON, S. TIENSUU, A. SODERBARG

“A Novel High-Frequency High Voltage LDMOS Transistor using and Extended Gate Resurf Technology”

Proceedings of IEEE ISPSD 1997, pp.45-48.

[VEST01] L. VESTLING, J. OLSSON, K-H. EKLUND

“Drift Region Optimization for Lateral RESURF Devices”

Solid-State Electronics, 2001.

II. CARACTERISTIQUES DU LDMOS POUR UNE APPLICATION RF DE PUISSANCE

II. CARACTERISTIQUES DU LDMOS POUR UNE APPLICATION RF DE PUISSANCE.....	31
II.1. Introduction.....	35
II.2. Description de la structure	35
II.3. Principe de fonctionnement	36
II.4. Le régime de fonctionnement statique [HILS81]	37
II.4.a. Tension de seuil V_t	37
II.4.b. La résistance à l'état passant (R_{on})	38
II.4.c. Régimes de saturation et quasi-saturation	39
II.4.c.i) Régime de saturation	39
II.4.c.ii) Régime de quasi-saturation.....	40
II.4.d. Tenue en tension (BVds) [ROSS97].....	41
II.4.e. L'auto-échauffement.....	42
II.5. Le régime de fonctionnement en dynamique.....	43
II.5.a. LDMOS en régime dynamique.....	44
II.5.b. Paramètres dynamiques petit signal.....	44
II.5.b.i) Introduction aux paramètres [S]	44
II.5.b.ii) Fréquence de transition (f_T)	47
II.5.b.iii) Fréquence maximale d'oscillation (F_{max})	48
II.5.c. Paramètres dynamiques grand signal [GIRY01]	49
II.5.d. Technique de mesure de puissance, Banc Load-pull.....	52
II.5.d.i) Mesures petit signal - paramètres S	52
II.5.d.ii) Mesures grand-signal - Load-pull.....	53
II.6. L'application Amplificateur de Puissance (PA).....	54
II.6.a. Introduction.....	54
II.6.b. Qu'est-ce qu'un PA ?.....	54
II.6.c. Les différents modes de fonctionnement d'un PA [GIRY01]	56
II.6.c.i) Classes de fonctionnement linéaire	57
(a) Fonctionnement et polarisation en classe A	57
(b) Fonctionnement et polarisation en classe B.....	58
(c) Fonctionnement et polarisation en classe AB.....	59
(d) Fonctionnement et polarisation en classe C.....	59
II.6.c.ii) Classes de fonctionnement non linéaires	60

II.6.c.iii) Choix des performances du PA	62
II.6.d. Le LDMOS dans le PA : paramètres importants.	63
II.6.d.i) Influence de la résistance à l'état passant R_{on}	63
II.6.d.ii) Influence de la tension de claquage	64
II.6.d.iii) Compromis R_{on} . BVds.....	65
II.6.d.iv) Influence des capacités	66
II.6.d.v) Influence de la résistance de grille R_g	67
II.6.e. Le LDMOS face à ses concurrents	68
Références Chapitre II.....	69

II.1. Introduction

Ce chapitre a pour objectif de présenter le LDMOS de puissance pour l'application Amplificateur de Puissance. Le principe de fonctionnement du composant, ses différentes figures de mérite en régime DC et AC, les protocoles expérimentaux correspondants sont définis ainsi que le rôle joué par le LDMOS dans l'application PA..

II.2. Description de la structure

La structure LDMOS destinée à l'amplification de puissance en radiofréquence est représentée par la Figure II-1. Elle est réalisée dans une filière BiCMOS $0.25\mu\text{m}$ à partir d'un substrat de type P- sur lequel croît une couche épitaxiée N. Le canal Pbody est réalisé dans un premier temps par une implantation auto-alignée sur la grille qui ensuite diffuse selon un budget thermique spécifique. Le composant présente une zone d'extension de drain de type N non-siliciurée. Le LDMOS possède trois électrodes coplanaires identifiées comme étant celles de source, de grille et de drain. La tension de grille contrôle le courant circulant du drain vers la source.

La configuration la plus couramment utilisée pour ces transistors est une configuration avec une source commune qui est comparable dans une certaine mesure à la configuration en émetteur commun d'un transistor bipolaire. L'électrode de source est constituée de deux implantations N+ intercalées par une implantation P+ qui permet de ramener le canal et la source au même potentiel par l'intermédiaire de la siliciuration totale de cette zone pour deux transistors LDMOS.

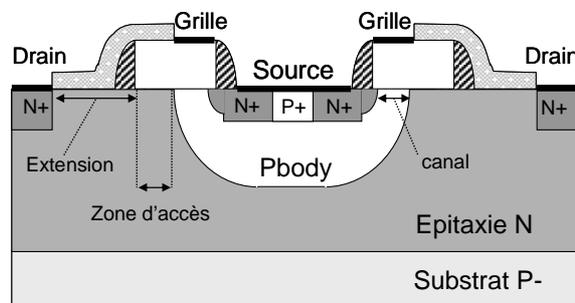


Figure II-1 Coupe transversale du LDMOS utilisé dans la technologie BiCMOS $0.25\mu\text{m}$.

II.3. Principe de fonctionnement

Dans un transistor LDMOS à enrichissement à canal N, polarisé en direct, le fonctionnement est régi par la contribution de trois zones (Figure II-1) :

- la zone active de canal qui assure la conduction du courant électrique du drain ; le canal d'inversion est formé à partir des porteurs minoritaires (électrons) induits en surface de la zone P (Pbody), sous l'effet d'une polarisation positive entre la grille et la source.
- La zone d'accès qui se forme sous la grille dans la zone superficielle dopée N, fonctionnant en régime accumulé. Sa présence est également due à une polarisation positive sur la grille.
- La zone d'extension dopée N, qui permet l'acheminement des électrons de la source vers le drain. Cette zone a pour rôle de permettre la tenue en tension du dispositif.

Les caractéristiques de sortie courant-tension d'un LDMOS sont illustrées par la Figure II-2.

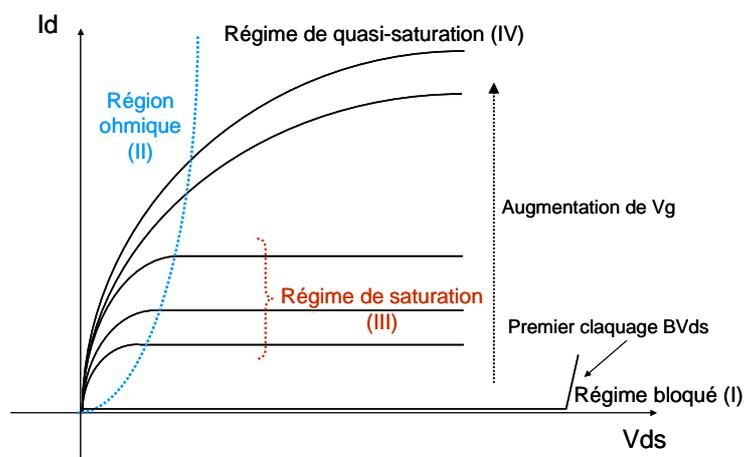


Figure II-2 Illustration des différents régimes de fonctionnement d'un transistor MOS latéral de puissance.

On distingue quatre régimes de fonctionnement. Trois de ces régimes sont classiques et communs au MOS standard (chapitre précédent) et correspondent à :

1. L'état bloqué où la tension de grille V_g est inférieure à V_t , tension de seuil du transistor. La tension de claquage source-drain est atteinte à mesure que la tension de drain appliquée V_d croît et correspond à $V_{ds} \sim BV_{ds}$.

2. Le régime ohmique ou linéaire où $V_{ds} < V_{gs} - V_t$
3. Le régime saturé où $V_{ds} \gg V_{gs} - V_t$
4. Le quatrième régime est connu sous le nom de régime de « quasi-saturation » et peut se produire à fort niveau de courant. Ces différents régimes de fonctionnement font l'objet d'une étude plus approfondie dans la suite de ce paragraphe.

II.4. Le régime de fonctionnement statique [HILS81]

II.4.a. Tension de seuil V_t

La tension de seuil pour les LDMOS est définie par la tension de grille à partir de laquelle le transistor commence à conduire (formation du canal d'inversion entre la source et le drain). Les transistors LDMOS de type $N^+ - P - N^- - N^+$ sont constitués d'un canal de type P avec un profil de dopage non-uniforme le long de l'interface Si/SiO₂. Ce profil de dopage est illustré par la Figure II-3. La zone où la concentration en impuretés est la plus élevée impose la tension de seuil, qui correspond à la valeur maximale de dopage N_{amax} . L'expression de la tension de seuil est la suivante:

$$V_T = \phi_{ms} - \frac{Q_{SS}}{C_{ox}} + 2\phi_F + 2\sqrt{(qN_{amax}\epsilon_S\phi_F) / C_{ox}} \quad (II-1)$$

où ϕ_{ms} est le travail de sortie métal semi-conducteur, Q_{SS}/C_{ox} la tension correspondant à l'effet des charges à l'interface et ϕ_F le niveau de fermi pour N_{amax} .

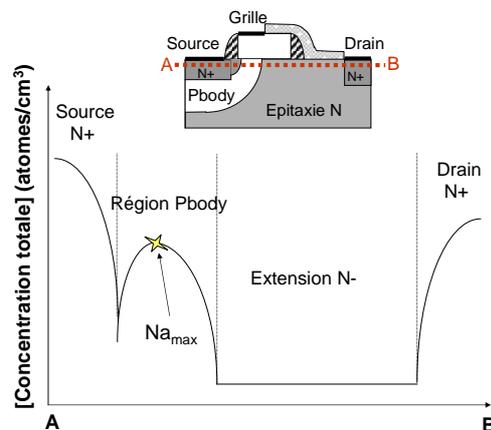


Figure II-3 Profil du dopage le long de l'interface Si/SiO₂ caractéristique d'un LDMOS

II.4.b. La résistance à l'état passant (R_{on})

La résistance à l'état passant est un des paramètres spécifiques des composants de puissance. Elle est définie comme étant le rapport de la tension de drain sur le courant de drain lorsque cette même tension est proche de zéro avec une tension de grille de référence (2.5 V dans le cas de la technologie 0.25 μm) par l'équation suivante :

$$R_{ON} = \left(\frac{V_D}{I_D} \right)_{V_D \rightarrow 0} \quad (\text{II-2})$$

Elle indique le niveau de performance d'un composant ; de sa valeur dépendent les pertes en conduction. Plus sa valeur est élevée, plus son utilisation dans une application de puissance commutée reste critique mais acceptable pour des applications de puissance en régime linéaire. Pour des transistors avec une extension de drain, la résistance à l'état passant diminue lorsque la tension de grille V_g appliquée augmente comme la montre la Figure II-4. Cette diminution suit une tendance hyperbolique tant que le produit $R_{on} \cdot (V_g - V_t)$ reste une fonction linéaire de la tension de grille (Figure II-5). Ces propriétés sont identiques à celles d'un transistor MOS avec une configuration $N^+ - P - N^+$. Néanmoins dans le cas des structures $N^+ - P - N^- - N^+$ il apparaît que R_{on} est aussi dépendant des propriétés de la zone d'extension N^- .

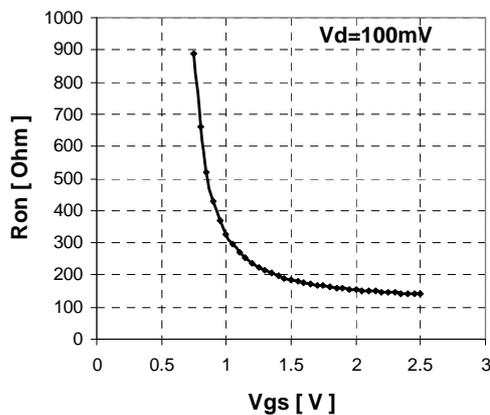


Figure II-4 Variation expérimentale de la résistance à l'état passant R_{on} d'un transistor LDMOS en fonction de la tension de grille-source du composant.

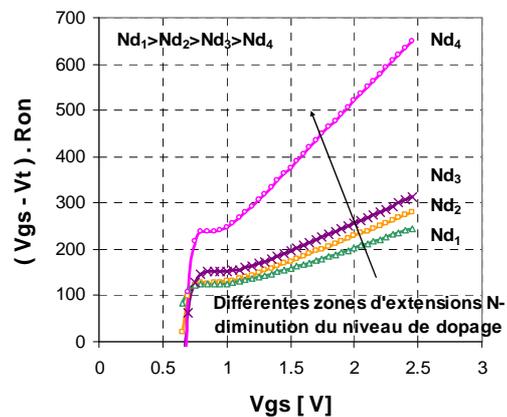


Figure II-5 Variation expérimentale de $R_{on} \cdot (V_{gs} - V_t)$ en fonction de la tension grille-source du composant pour plusieurs zones d'extension N^- .

La résistance à l'état passant, R_{on} , peut être considérée comme la somme de trois résistances séries comme le montre la Figure II-6 et s'exprime suivant l'équation suivante :

$$R_{ON} = R_{canal} + R_a + R_d \quad (II-3)$$

où la résistance du canal d'inversion R_{canal} correspond à la résistance à l'état passant d'un transistor MOS N⁺-P-N⁺ qui posséderait la même géométrie et les conditions de dopage de la zone Pbody sans extension de drain. Cette résistance dépend également de la tension de grille.

La résistance de drift R_d est la résistance d'extension de drain de type N⁻. Elle est fonction de la résistivité de la zone et indépendant de la tension de polarisation de grille V_g .

La résistance de la couche d'accumulation R_a est la résistance de la couche d'accès qui, sous polarisation grille-drain positive, devient accumulée. Cette résistance dépend également des données géométriques et de la polarisation de grille.

De manière plus générale, les résistances R_{canal} et R_a dépendent surtout de la tension de grille tandis que la résistance de la zone de drift R_d peut devenir linéairement dépendante de la tension de drain (à fort V_d).

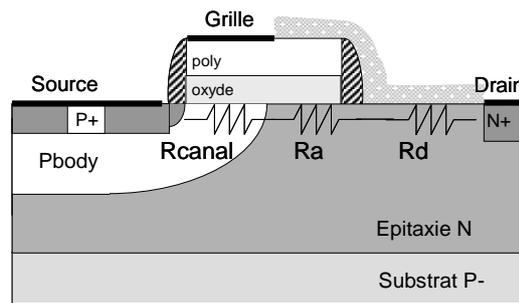


Figure II-6 Différentes composantes de la résistance à l'état passant du LDMOS

De plus les résistances qui ont le plus de poids dans la contribution à la résistance à l'état passant sont les résistances de drift et de canal. Pour des tensions de grilles élevées la résistance de drift domine toutes les autres composantes et est difficile à diminuer sans dégrader la tenue en tension du composant.

II.4.c. Régimes de saturation et quasi-saturation

II.4.c.i) Régime de saturation

Lorsque la tension de drain V_d augmente et est supérieure à $(V_g - V_t)$, la caractéristique courant-tension de drain sature quelque soit le type de transistor MOS étudié (régime de

saturation illustré sur la Figure II-2). Le courant de drain I_{ds} devient pratiquement indépendant de la tension de drain V_{ds} , une fois que celle-ci a dépassé la valeur particulière V_{dsat} dite tension de pincement. Le mécanisme physique responsable du passage de la région ohmique à la région saturée est le phénomène de saturation de la vitesse des porteurs dans le canal combiné à la diminution de la densité des porteurs, dans la zone près du drain, où un champ électrique élevé règne.

II.4.c.ii) Régime de quasi-saturation

Le régime de quasi-saturation ne se manifeste pas en général dans les transistors MOS classiques. Il se produit dans les structures avec une extension de drain par un tassement des caractéristiques de sorties à fort V_g . Il se traduit par l'insensibilité du courant de drain à l'augmentation de la polarisation grille-source V_{gs} surtout vers les valeurs élevées de cette polarisation, ce qui a pour conséquence d'augmenter la conductance de sortie aux fortes polarisations de drain.

Le phénomène physique de quasi-saturation dans les MOS verticaux a été pour la première fois rencontré et interprété par Caquot et al. [CAQU80]. Par la suite de nombreux travaux ont permis de mieux interpréter ce phénomène dans les transistors de puissance [KREU96]-[DARW86]-[APEL91]-[LOU93]-[LIU93]-[BLEI97]-[LIU197]-[HEFY02].

Le transistor VDMOS haute tension (150V-500V) est couramment schématisé comme deux entités en série: le MOS intrinsèque et la zone d'extension de drain. La quasi-saturation combine à la fois l'insensibilité du courant vis-à-vis de la tension de grille et la dépendance quasi-linéaire du courant de drain en fonction de la tension de drain appliquée. Cette dépendance linéaire a été largement attribuée au comportement du MOS intrinsèque en régime quasi-linéaire. Une première théorie développant l'insensibilité du courant de drain à la tension de grille a été proposée par Darwish et confirmée par Evans [DARW86]-[EVAN97]. Elle prend en compte la relation vitesse-champ électrique et la saturation de la vitesse des porteurs dans la zone de drift. La mobilité des porteurs évolue de façon hyperbolique par rapport au champ électrique et permet une modélisation fiable de la quasi-saturation pour les caractéristiques de sortie. Une autre approche prend en compte la formation d'une zone de déplétion entourant le canal ainsi que sa modulation avec la tension

de drain V_d . La résistance de la zone N^- est pincée par l'augmentation des zones de charges d'espace. La chute de tension présente entre le drain et le canal empêche d'atteindre la tension de pincement ($V_g - V_t$), ainsi la saturation n'est pas atteinte. Ce phénomène est similaire au pincement du JFET.

De plus les mécanismes d'activation de la quasi-saturation diffèrent suivant la configuration verticale ou latérale du composant [ROSS97]. Récemment, un modèle analytique de la résistance de drift déduit du phénomène de quasi-saturation a été proposé sur les LDMOS faible tension ($< 80V$) par Montcoquit [MONT97]. Seule l'hypothèse de la saturation de la vitesse des porteurs a été considérée. Cette approche a été également confirmée par Anghel [ANGH01]-[ANGH04] pour les LDMOS 20V où il apparaît que la formation d'une zone déplétée dans le chemin du courant aboutit à un comportement complètement différent de celui de la quasi-saturation.

II.4.d. Tenue en tension (BVds) [ROSS97]

Pour déterminer la tension de claquage drain-source, on considère le transistor à l'état bloqué, c'est à dire que le courant de drain est théoriquement nul. Le transistor LDMOS est considéré comme une diode P-N- N^+ en régime bloqué. Le claquage a lieu normalement là où le rayon de courbure de la jonction est minimal dans le cas de structures planaires (typiquement MOS standard ou LDMOS). Les paramètres du premier ordre déclenchant la tension de claquage sont le niveau de dopage, le rayon de courbure de la diffusion (l'effet de multiplication des porteurs dans les zones de canal qui sont les régions actives de la structure et également l'éventuelle conséquence de cette multiplication sur l'apparition de caractéristiques à résistance de sortie négative appelées caractéristique de second claquage sont négligés).

Le mécanisme physique responsable du claquage est l'effet d'avalanche. Dès que le champ électrique est de l'ordre de $10^5 V/cm$, l'accélération acquise par quelques porteurs, essentiellement d'origine thermique, qui transportent le courant inverse, est suffisante pour leur permettre de générer des paires électron-trou par ionisation par impact. Ces paires sont à leur tour accélérées, et peuvent créer d'autres paires, c'est l'effet d'avalanche. La caractéristique $I(V)$ de la tenue en tension est illustrée sur la Figure II-2.

II.4.e.L'auto-échauffement

Un autre aspect caractéristique observable sur les MOS de puissance est le phénomène d'auto échauffement. Cet effet principalement thermique est identifié à forts niveaux de courant ou de tension. Il se manifeste par la diminution du niveau de courant de sortie à mesure que la tension de drain appliquée augmente (Figure II-7) [SHAR78]-[ANGH03]. Comme dans la plupart des dispositifs haute tension la dissipation locale de puissance engendre leur « échauffement ». C'est cette augmentation de température locale dans le composant qui entraîne la réduction de la mobilité et par la même occasion la diminution de la vitesse des porteurs. Par conséquent à mesure que la température augmente le courant de sortie décroît. De plus cet effet qui se présente à la fois dans les régimes de saturation et de quasi-saturation [YASH91] est seulement dépendant du niveau de puissance continue DC d'entrée. Ce phénomène a fait l'objet de nombreuses études dans les années 90 dans de nombreux domaines (MOSFET, MESFET, BJT, SiC composants, Transistor GaAs AlGaAs) plus particulièrement sur les technologies SOI car elles présentent un auto échauffement beaucoup plus important que dans les technologies standards silicium.

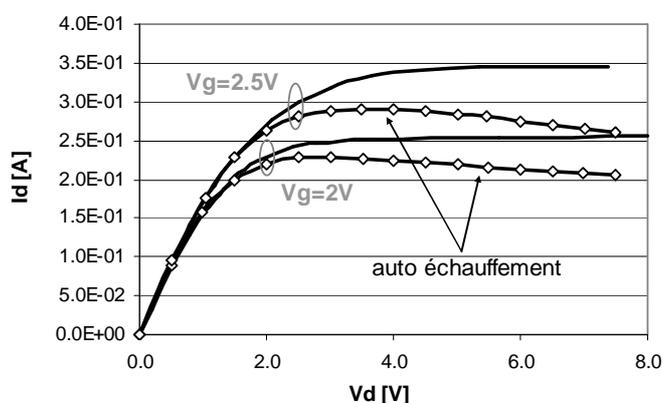


Figure II-7 Caractéristiques de sortie mesurées d'un LDMOS. Comparaison des courbes affectées (mesure DC) ou non affectées (mesure pulsée) par l'auto échauffement.

La caractérisation de l'auto échauffement se fait par l'intermédiaire d'une « caractérisation en impulsion » qui permet le contrôle de l'état thermique du transistor.

Ce procédé permet entre autre de réaliser des mesures $I(V)$ de transistors dans des conditions quasi-équithermiques. Il a fait son apparition au cours des années 80 ; les travaux de Paggi [PAGG88] ont décrit les caractéristiques non linéaires du courant de drain en appliquant des impulsions uniquement sur la commande de grille. Par la suite, de nombreux chercheurs ont

amélioré cette technique en proposant des bancs de mesures impulsionnels plus complexes et automatisés permettant l'acquisition des caractéristiques des transistors par excitation simultanée des deux accès du composant (grille et drain) [SCOT94]-[TEYS91]-[VIDA91]-[PLAT90].

La Figure II-8 décrit le principe de caractérisation impulsionnelle d'un FET. Il consiste à décrire les caractéristiques d'entrée et de sortie du composant par de brèves impulsions issues d'un point de polarisation choisi. Pour un point de repos donné (V_{g0} , V_{d0}) il correspond un courant de repos I_{d0} . Une impulsion simultanée sur la grille et sur le drain d'amplitudes différentes fixe les tensions de polarisation (V_{gi} , V_{di}) pour lesquelles le composant délivre un courant de sortie I_{di} . La caractéristique complète de sortie du composant est alors obtenue en faisant varier les amplitudes des polarisations (V_{gi} , V_{di}).

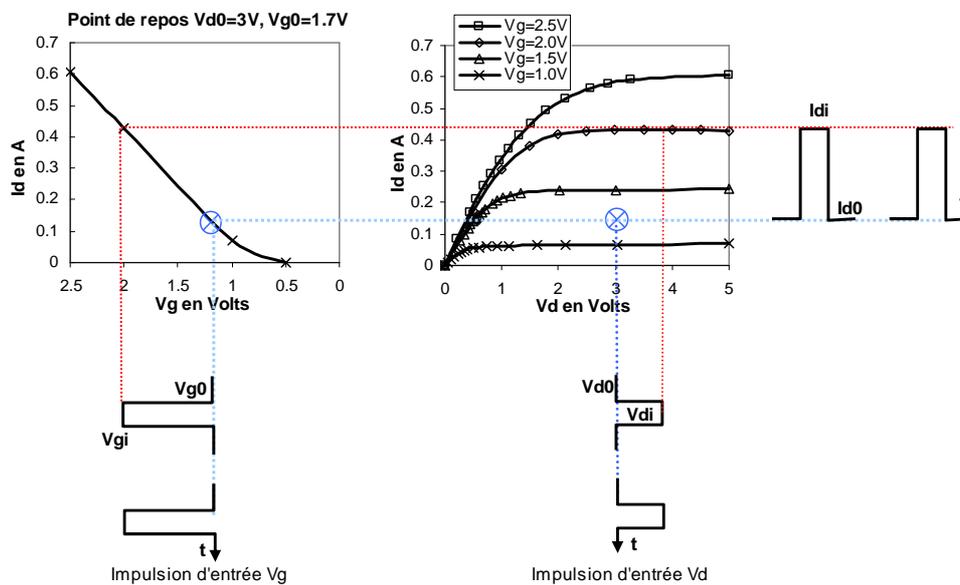


Figure II-8 Principe de mesure en impulsion d'un transistor MOSFET.

II.5. Le régime de fonctionnement en dynamique

En dehors des figures de mérite statiques (R_{on} , BV_{ds} , I_{sat} etc...) d'un composant il est aussi intéressant d'avoir connaissance de ses caractéristiques dynamiques petit signal et grand signal. Ce paragraphe expose les composantes dynamiques du LDMOS. Les principales notions de mesures dynamiques petit-signal et grand-signal sont introduites ainsi que les figures de mérite qui en découlent.

II.5.a.LDMOS en régime dynamique

Les éléments capacitifs sont extraits afin de pouvoir représenter le comportement du transistor en dynamique. Il s'agit des capacités inter électrodes [MINA83] :

- la capacité drain-source C_{ds} correspondant à la jonction drain-source polarisée en inverse.
- la capacité grille-source C_{gs} relative à l'oxyde de grille. Elle est la mise en parallèle de la capacité localisée entre la zone du canal P_{body} et la grille et la capacité entre la métallisation de la source et du polysilicium de grille.
- la capacité C_{gd} qui est l'association de deux capacités : une capacité d'oxyde et une capacité associée à la charge d'espace de la zone de déplétion N dans la zone d'extension. Il existe de plus une capacité C_{gd} parasite principalement liée aux métallisations.

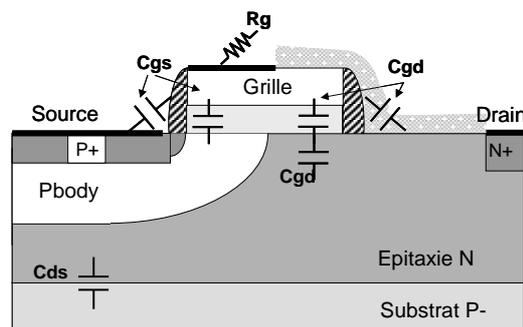


Figure II-9 Représentation des éléments capacitifs du transistor LDMOS.

Des éléments parasites sont à prendre en compte éventuellement comme les capacités d'interconnexions et la R_g (résistance de grille) mais dépendent de la topologie des prises de contacts et du montage transistor dans l'application de type « circuit ».

II.5.b.Paramètres dynamiques petit signal

II.5.b.i) Introduction aux paramètres [S]

En électronique basse fréquence ($< 500\text{MHz}$), l'application des règles classiques (loi des mailles et loi des noeuds) associées aux grandeurs électriques (tension et courant) est

suffisante pour décrire le comportement électrique du circuit puisque l'on considère que le courant dans une branche est identique à un instant donnée en tout point de la branche ($I(x1,t) = I(x2,t) = I(t)$). En revanche, lorsqu'on monte en fréquence, la longueur d'onde devient non négligeable devant les dimensions du circuit. La détermination du courant et de la tension en un instant t en point donné x nécessite l'utilisation du concept de propagation d'onde. Le formalisme de « la théorie des lignes » permet de caractériser parfaitement des lignes de transmission de type TEM (Transverse Electromagnétique) en définissant une tension et un courant hyperfréquences fonction du temps et de l'espace ($V(x,t)$ et $I(x,t)$). La ligne est équivalente à un tronçon distribué formé d'une inductance série et d'une capacité parallèle avec ou sans résistance si les pertes sont considérées ou non. La caractérisation hyperfréquence de ce type de dispositifs utilise le formalisme des ondes de puissance KUROKAWA [KURO65] aboutissant au concept des paramètres [S].

Nous rappelons brièvement le principe de ce concept en considérant un système à N accès représenté à la Figure II-10. Dans un plan P_i de chaque accès, on définit une onde de puissance entrante et une onde de puissance sortante appelées respectivement onde incidente a_i et onde réfléchie b_i .

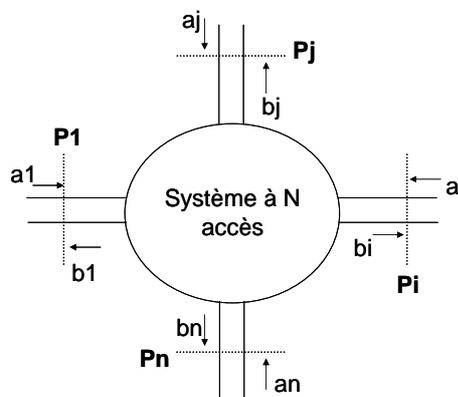


Figure II-10 Système à N accès ; plans de puissance entrantes et sortantes.

Les ondes a_i et b_i s'expriment à partir des tensions et courants normalisés de la manière suivante :

$$v_i = a_i + b_i \quad i_i = a_i - b_i \quad \text{où } v_i = \frac{V_i}{\sqrt{Z_C}} \quad \text{et} \quad i_i = I_i \times \sqrt{Z_C}$$

Z_C représente l'impédance réelle caractéristique d'une ligne de référence.

Les ondes de puissance a_i et b_i nous permettent le calcul, aux accès d'un système, d'une puissance incidente P_i et d'une puissance réfléchiée P_r par les relations suivantes :

$$P_{i_i} = \frac{1}{2}|a_i|^2 \quad P_{r_i} = \frac{1}{2}|b_i|^2$$

La puissance réellement fournie à l'accès i est décrite par :

$$P_i = P_{i_i} - P_{r_i}$$

Le réseau à N accès peut être complètement caractérisé, du point de vue linéaire par la matrice de répartition appelée également matrice $[S]$ comme « Scattering parameter matrix ». Un quadripôle est alors considéré pour $N=2$:

$$(b) = [S] \bullet (a) \quad \begin{pmatrix} b_1 \\ b_2 \end{pmatrix} = \begin{bmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{bmatrix} \bullet \begin{pmatrix} a_1 \\ a_2 \end{pmatrix}$$

On définit les paramètres s_{ij} tels que :

$$s_{11} = \left. \frac{b_1}{a_1} \right|_{a_2=0} : \text{Coefficient de réflexion à l'entrée du quadripôle}$$

$$s_{22} = \left. \frac{b_2}{a_2} \right|_{a_1=0} : \text{Coefficient de réflexion à la sortie du quadripôle}$$

$$s_{21} = \left. \frac{b_2}{a_1} \right|_{a_2=0} : \text{Coefficient de transmission direct (de l'accès 1 vers l'accès 2)}$$

$$s_{12} = \left. \frac{b_1}{a_2} \right|_{a_1=0} : \text{Coefficient de transmission direct (de l'accès 2 vers l'accès 1)}$$

La mesure des paramètres $[S]$ est effectuée à l'aide d'un analyseur de réseau vectoriel. C'est un appareil qui permet d'obtenir des informations à la fois d'amplitude et de phase en réalisant des mesures micro-ondes en réflexion et en transmission.

Ces paramètres sont souvent représentés sous forme de diagrammes Smith ou polaires. Ils permettent de caractériser complètement un quadripôle en petit signal et aussi l'extraction des figures de mérites f_T et F_{\max} ainsi que des éléments extrinsèques d'un modèle.

II.5.b.ii) Fréquence de transition (f_T)

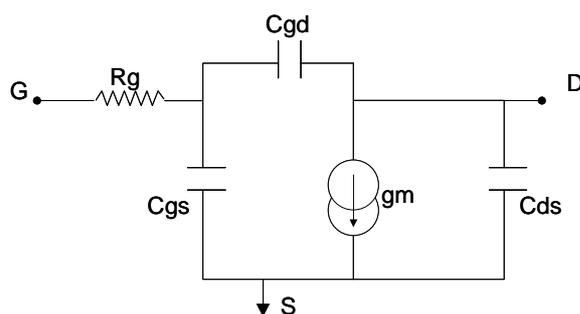
Une des figures de mérite les plus couramment utilisées est celle de la fréquence de transition f_T d'un transistor. Elle est déterminée comme étant la fréquence à laquelle le gain en courant du composant est égal à 1 (ou 0dB). Elle reflète les performances dynamiques du transistor (en régime de fonctionnement petit signal) et permet d'estimer la gamme de fréquence dans laquelle le dispositif peut être utilisé (utilisation envisageable jusqu'à des fréquences de l'ordre de $f_T/10$, voire $f_T/5$ en étant moins conservateur). La fréquence de transition est définie par l'intermédiaire des paramètres [S] et paramètres [Y] définis comme il suit

$$f_T = \frac{\text{fréquence}}{\text{Im} \left[\frac{1}{h_{21}(\text{fréquence})} \right]} \quad \text{avec } h_{21} = \frac{y_{21}}{y_{11}} \quad \text{ou } h_{21} \text{ est défini comme le gain en courant (II-4)}$$

$$\text{avec } y_{11} = \frac{(1 - s_{11}) \cdot (1 + s_{22}) + s_{12} \cdot s_{21}}{(1 + s_{11}) \cdot (1 + s_{22}) - s_{12} \cdot s_{21}} \quad y_{12} = \frac{-2s_{12}}{(1 + s_{11}) \cdot (1 + s_{22}) - s_{12} \cdot s_{21}}$$

$$y_{21} = \frac{-2s_{21}}{(1 + s_{11}) \cdot (1 + s_{22}) - s_{12} \cdot s_{21}} \quad y_{22} = \frac{(1 + s_{11}) \cdot (1 - s_{22}) + s_{12} \cdot s_{21}}{(1 + s_{11}) \cdot (1 + s_{22}) - s_{12} \cdot s_{21}}$$

Une définition analytique de la fréquence de transition peut être extraite en fonction de la topologie du circuit équivalent simplifié suivant (Figure II-11). f_T est connue comme étant le rapport de la transconductance (g_m) sur la somme des capacités Grille-Source (C_{gs}) et Grille-Drain (C_{gd}).



La résistance drain-source R_{ds} est supposée infinie (approximation du premier ordre) :

$$f_T = \frac{g_m}{2\pi(C_{gs} + C_{gd})}$$

Figure II-11 Circuit équivalent petit signal d'un LDMOS.

La fréquence de transition est extraite par la mesure de paramètres [S] en fréquence. Pour chaque fréquence le gain en courant est calculé à partir des expressions définies précédemment et tracées comme l'illustre la Figure II-12.

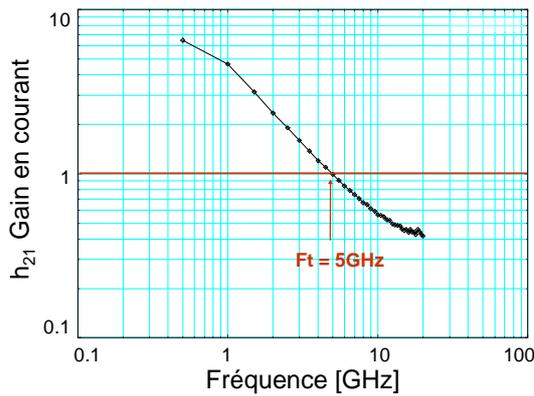


Figure II-12 Gain en courant (dB) en fonction de la fréquence pour V_d et V_g constants. Illustration de la détermination de la fréquence de transition f_T . (Fréquence pour laquelle le gain en courant est nul en dB)

II.5.b.iii) Fréquence maximale d'oscillation (F_{max})

De façon analogue la fréquence maximale d'oscillation F_{max} est définie à partir de l'expression du Gain de Mason G_u comme il suit :

$$G_{u_{dB}} = 10 \log \left\{ 0.25 \frac{[\text{Re}(y_{21}) - \text{Re}(y_{12})]^2 + [\text{Im}(y_{21}) - \text{Im}(y_{12})]^2}{\text{Re}(y_{11})\text{Re}(y_{22}) - \text{Re}(y_{21})\text{Re}(y_{12})} \right\} \quad (\text{II-5})$$

F_{max} correspond à la fréquence pour laquelle le Gain de Mason est nul. La détermination de la fréquence F_{max} est illustrée par la Figure II-13 où le Gain de Mason est tracé en fonction de la fréquence de mesure pour un point de polarisation défini.

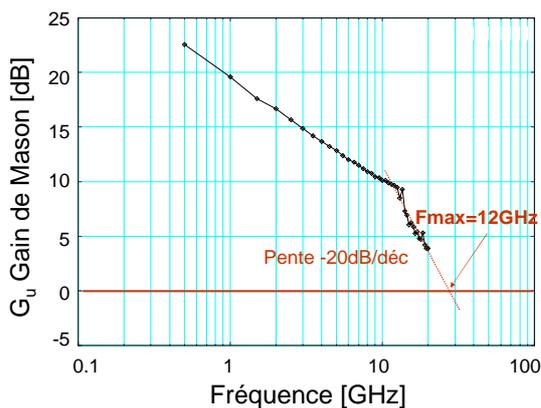
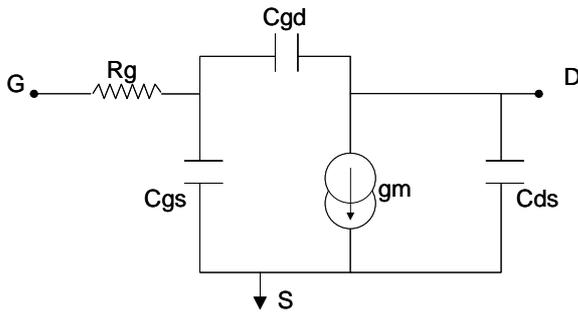


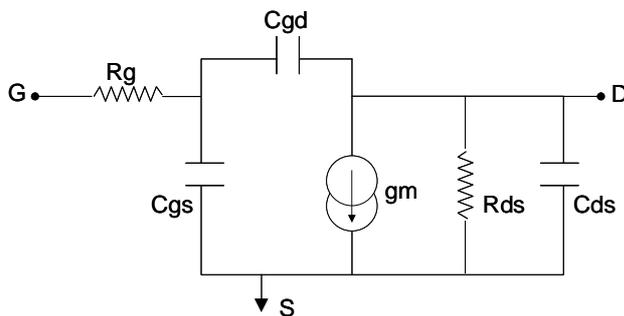
Figure II-13 Gain de Mason en fonction de la fréquence. Illustration de la détermination expérimentale du F_{max} pour un point de polarisation donnée. (Extrapolation de la pente à -20dB/déc jusqu'à son interception avec l'origine des abscisses).

Il existe plusieurs définitions analytiques de F_{max} directement reliées à un schéma équivalent spécifique. Différentes hypothèses permettent d'extraire ces schémas équivalents illustrés par la Figure II-14.



La résistance drain-source R_{ds} est supposée infinie (approximation du premier ordre) :

$$F_{\max} = \sqrt{\frac{f_T}{8\pi R_g C_{gd}}}$$



La résistance drain-source R_{ds} est supposée non infinie [RAZA94] :

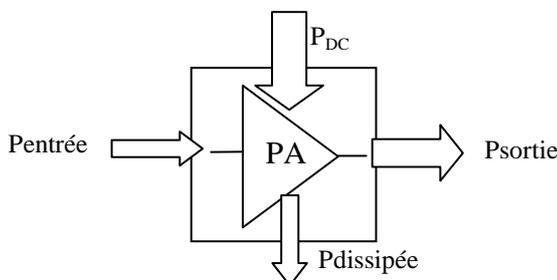
$$F_{\max} = \frac{f_T/2}{\sqrt{R_g [g_{ds} + 2\pi f_T C_{gd}]}}$$

où g_{ds} est la conductance de sortie.

Figure II-14 Illustration des différents schémas équivalents du LDMOS avec l'expression analytique correspondante de F_{\max} .

II.5.c. Paramètres dynamiques grand signal [GIRY01]

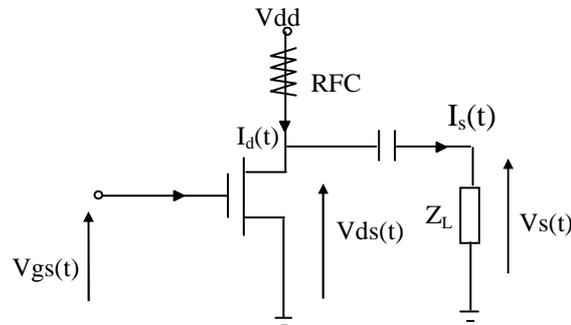
Un amplificateur de puissance (point de vue thermodynamique) transforme l'énergie continue en une énergie alternative qui s'ajoute à l'énergie contenue dans le signal RF appliqué à l'entrée du dispositif. La somme des puissances d'entrée est alors égale à la somme des puissances de sortie :



$$P_{\text{entrée}} + P_{\text{DC}} = P_{\text{sortie}} + P_{\text{dissipée}}$$

Avec $P_{\text{entrée}}$, la puissance d'entrée RF, P_{dc} la puissance consommée, P_{sortie} la puissance RF de sortie et $P_{\text{dissipée}}$, la puissance dissipée.

Le montage amplificateur suivant permet d'exprimer les puissances d'entrée et de sortie en fonction des tensions et courants d'accès du transistor :



La puissance active fournie à la charge Z_L est P_{sortie} . Les puissances peuvent être exprimées en fonction de leurs harmoniques de la manière suivante :

$$P_{\text{sortie}} = \sum_{n>0} P_{\text{sortie}}[n] \text{ où } P_{\text{sortie}}[n] \text{ est la puissance fournie à la charge à la fréquence } n.f_0.$$

$$P_{\text{entrée}} = \sum_{n>0} P_{\text{entrée}}[n] \text{ qui correspond à la puissance d'entrée du dispositif à la fréquence } n.f_0.$$

La puissance consommée P_{DC} est la puissance continue fournie par l'alimentation avec :

$$P_{DC} = V_{DD} \cdot I_{DD} \text{ dans le cas d'un courant statique de grille nul.}$$

La caractérisation en puissance implique la connaissance de la puissance maximale que peut délivrer le transistor à la charge. Ainsi, la détermination de la caractéristique de transfert de puissance $P_{\text{sortie}}(P_{\text{entrée}})$ constitue le premier critère de performance du composant.

Le second critère de performance est le gain en puissance. Il est défini comme le rapport de la puissance de sortie sur la puissance d'entrée à la fréquence fondamentale et est souvent exprimée en décibels :

$$G_p = \frac{P_{\text{sortie}}[f_0]}{P_{\text{entrée}}[f_0]} \quad (\text{II-6})$$

Sa variation en fonction du niveau de la puissance d'entrée ou de sortie permet aussi de caractériser la linéarité du composant.

Le troisième critère qui caractérise le transistor est le rendement. Le rendement drain en puissance d'un amplificateur est la grandeur qui relie la puissance de sortie à la fréquence fondamentale et à la puissance consommée:

$$\eta = \frac{P_{\text{sortie}}[f_0]}{P_{dc}} \quad (\text{II-7})$$

Le rendement ne prend pas en compte le gain en puissance. La notion de rendement en puissance ajoutée (PAE), plus particulièrement utilisé dans les applications RF, fait intervenir en outre la puissance dynamique d'entrée et plus particulièrement le gain en puissance G_p .

$$\text{PAE} = \frac{[P_{\text{sortie}}[f_0] - P_{\text{entrée}}]}{P_{DC}} = \eta \cdot \left(1 - \frac{1}{G_p}\right) \quad (\text{II-8})$$

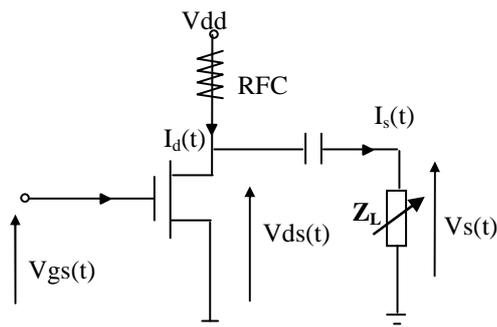
Le rendement en puissance ajoutée est toujours inférieur au rendement et son optimisation passe par l'obtention d'un gain élevé. Par ailleurs, le PAE peut être exprimé en fonction de la puissance dissipée :

$$\text{PAE} = 1 - [P_{\text{dissipée}} / P_{DC}] \quad (\text{II-9})$$

Cela montre que plus la puissance dissipée est faible plus le rendement en puissance ajoutée est important.

La robustesse du transistor est caractérisée via le test du VSWR_{max} (ou TOS). Il est défini par l'équation suivante [GONZ99] :

$$\text{VSWR} = \frac{1 + |\Gamma|}{1 - |\Gamma|} \quad \text{où} \quad |\Gamma| = \left| \frac{Z_L - Z_{Lopt}^*}{Z_L + Z_{Lopt}} \right| \quad (\text{II-10})$$



où Z_L correspond à l'impédance de charge et Z_{Lopt} à l'impédance optimale de charge. Ce critère renseigne sur la robustesse du comportement du composant dans des conditions de désadaptions. Pour cela le dispositif est testé pour un VSWR donné (par exemple 10:1), le coefficient $|\Gamma|$ correspondant est fixé à 0.82. L'impédance optimale de charge Z_{Lopt} est

préalablement déterminée par la mesure Load-pull. Seule l'impédance de charge Z_L varie et couvre un certain nombre d'impédance représentées sur l'Abaque de Smith pour lesquelles $|\Gamma|$ reste constant (Figure II-15). Ce test est réalisé pour des VSWR croissant (5 :1 ; 10 :1 ; 15 :1 ; 20 :1) jusqu'à atteindre le VSWR maximal pour lequel le dispositif ne supporte plus la désadaptation appliquée. Plus le transistor supporte un VSWR élevé plus il est robuste.

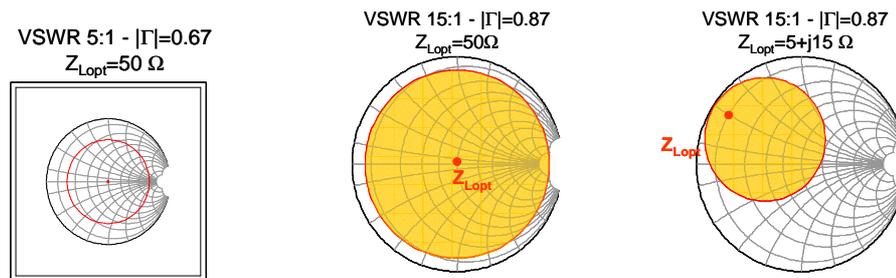


Figure II-15 Illustration du recouvrement du cercle de l'impédance de charge Z_L sur l'abaque de Smith pour différents VSWR (5 :1 et 15 :1) avec différents Z_{Lopt} .

II.5.d. Technique de mesure de puissance, Banc Load-pull.

Deux bancs de mesures distincts permettent d'un côté la détermination de la fréquence de transition, la fréquence maximale d'oscillation et par conséquent les paramètres intrinsèques du LDMOS (C_{gd} , C_{gs} , R_g etc...) (mesure paramètres S) et de l'autre la mesure des performances de puissance du composant (mesure load-pull).

II.5.d.i) Mesures petit signal - paramètres S

Les mesures de paramètres S se font par le biais d'un analyseur de réseau vectoriel. Cet appareil permet d'obtenir des informations portant sur l'amplitude et la phase en réalisant des mesures micro-ondes en réflexion et en transmission dans une bande de fréquence variant entre 0 et 20 GHz et pouvant aller dans notre cas jusqu'à 40 GHz. Il se présente soit sous forme intégrée soit sous forme de trois appareils séparés (Figure II-16) permettant de remplir les fonctions suivantes :

- L'excitation du composant à l'aide d'une source hyperfréquence par l'injection d'une onde de puissance au composant.

- L'acquisition des mesures qui permet de prélever les ondes incidentes et réfléchies. Ces ondes sont démodulées à l'aide de mélangeurs afin de pouvoir traiter les informations d'amplitude et de phase dans le calculateur.
- Le traitement des données par acquisition et traitement numériques des signaux démodulés réalisés en temps réel par le calculateur qui pilote la source RF et l'affichage des paramètres [S] sous forme de diagramme Smith.

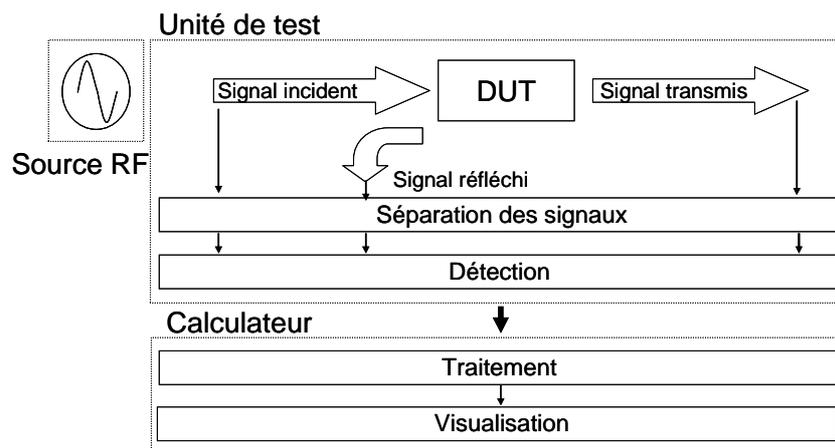


Figure II-16 Schéma de l'ensemble des appareils constituant un analyseur de réseau vectoriel pour l'acquisition de mesures paramètres [S].

II.5.d.ii) Mesures grand-signal - Load-pull

La technique de mesure « Load-pull » permet de déterminer l'impédance optimale de sortie d'un composant actif pour laquelle une puissance maximale est fournie dans un circuit de type amplificateur de puissance (PA). Il permet également de déterminer la robustesse d'un transistor par le biais du test VSWR. [CRIP99]

II.6. L'application Amplificateur de Puissance (PA).

II.6.a. Introduction

Le LDMOS STMicroelectronics est étudié pour être intégré dans un circuit de type Amplificateur de Puissance. Cette partie aborde dans un premier temps une description exhaustive de l'application PA et des différents régimes de fonctionnement (linéaire ou commuté) présents du transistor dans l'application PA.

Pour un régime de fonctionnement spécifique la résistance R_{on} , la tension de claquage source / drain BV_{ds} ou encore les capacités intrinsèques du LDMOS sont des paramètres importants. De leurs valeurs dépendent les performances petit-signal et grand-signal (f_T , F_{max} , gain, rendement). Avant d'optimiser le transistor LDMOS qui sera dédié à un type spécifique d'amplificateur de puissance, un bilan est réalisé sur l'influence que présente chacune des composantes caractérisant le LDMOS sur ses performances.

Finalement les caractéristiques du LDMOS pour des applications de puissance RF seront comparées à son principal concurrent dans le domaine, le transistor bipolaire.

II.6.b. Qu'est-ce qu'un PA ?

De nombreux travaux ont été effectués ces dernières années sur l'intégration en technologie CMOS de fonctions RF de réception (LNA, mélangeur,..) ou d'émission moyenne puissance (mélangeur, préamplificateur,..), peu ont été conduits sur l'intégration d'amplificateurs de puissance radiofréquence. Actuellement, l'amplificateur de puissance reste le privilège des technologies III-V, et constitue un des obstacles majeur à une intégration « tout silicium » en RF.

Les circuits qui constituent un système radiofréquence complet sont nombreux et la partie radio proprement dite apparaît comme un maillon délicat du système. Parmi les nombreuses fonctions radiofréquences, l'amplificateur de puissance représente un bloc particulièrement critique de la chaîne d'émission, du fait de sa consommation élevée et de forts niveaux de signal qu'il doit gérer.

La Figure II-17 illustre la coupe d'un appareil portable de type téléphone avec ses différentes fonctions intégrées : un module mémoire et de gestion d'énergie, un processeur, un module de transmission RF et finalement le module émission.

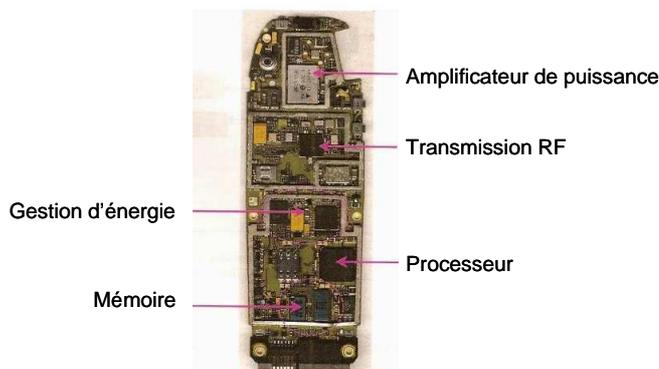


Figure II-17 Illustration des différentes fonctions dans un téléphone portable.

La chaîne d'émission d'un système radiofréquence, dans laquelle l'amplificateur de puissance joue un rôle actif est illustrée par la Figure II-18.

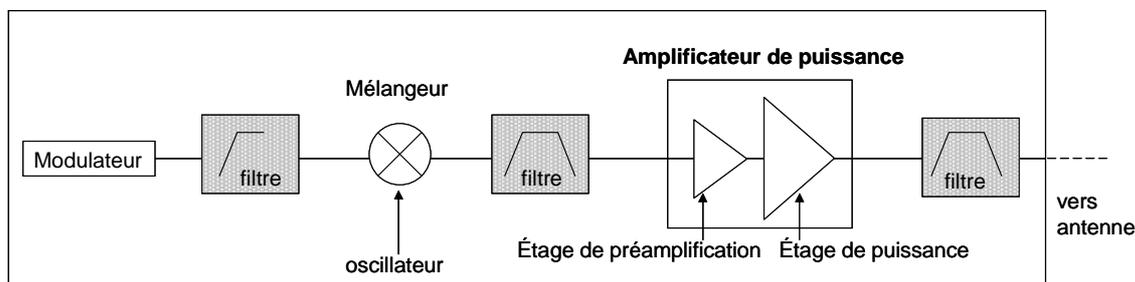


Figure II-18 Schéma bloc d'une chaîne d'émission [GIRY01]

L'amplificateur de puissance (PA) est chargé d'amplifier le signal en provenance du mélangeur pour fournir une puissance active suffisante à l'antenne. Il est généralement constitué d'un ou plusieurs étages de pré amplification et d'un étage dit de puissance. Chaque étage est constitué d'éléments actifs (transistors) mais également d'éléments passifs qui permettent d'effectuer des transformations d'impédance entre étages. Ainsi une charge optimale est présentée au transistor afin que celui-ci délivre sa puissance de sortie maximale. La puissance de sortie, le gain en puissance, la consommation et la linéarité sont les principaux paramètres caractérisant un PA. [GIRY01]

II.6.c. Les différents modes de fonctionnement d'un PA [GIRY01]

Pour une technologie donnée, la conception d'un amplificateur de puissance avec des performances optimales (puissance de sortie, rendement ou linéarité) repose sur le choix d'une classe de fonctionnement et de la détermination de l'impédance de charge optimale correspondante.

En dynamique le transistor est amené à changer de régime au cours du temps en fonction de la polarisation statique et de l'amplitude des signaux d'entrée V_{gs} et de sortie V_{ds} . Les familles d'amplificateur de puissance sont définies suivant la polarisation et le temps de conduction du transistor ainsi que de la forme temporelle des tensions d'entrée et de sortie.

Le temps de conduction correspond à la durée t_o pendant laquelle le transistor conduit sur une période du cycle RF, on introduit alors la notion d'angle de conduction $\delta = \omega \cdot t_o$ ou encore d'angle d'ouverture $\varphi = \delta/2$.

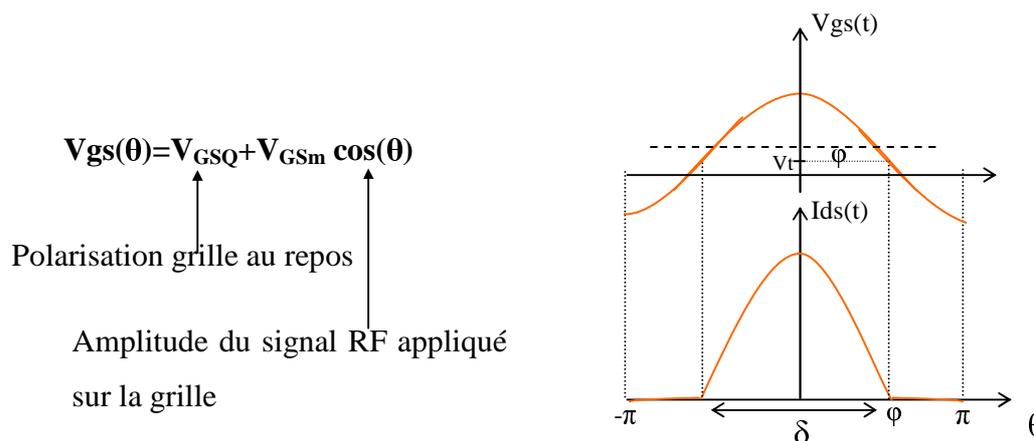


Figure II-19 Illustration de la notion d'angle de conduction

Deux grandes familles d'amplificateur de puissance se distinguent et sont basées à partir du montage amplificateur illustré par la Figure II-20. Les classes A, B, AB ou C correspondent à un fonctionnement en régime sinusoïdal (ou linéaire) et les classes D, E ou F correspondent à un fonctionnement en mode commuté (« switched »).

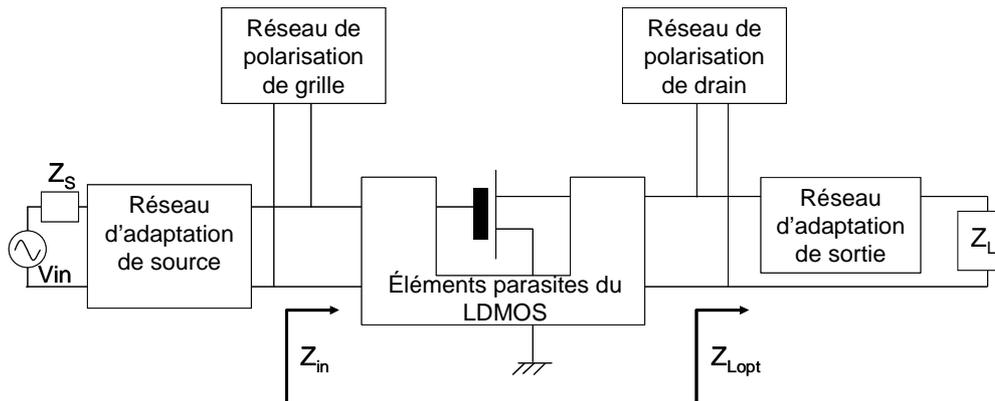


Figure II-20 Montage amplificateur standard

Suivant la valeur de l'angle de conduction, qui dépend de la polarisation du transistor et de la dynamique du signal d'entrée, la Table II-1 distingue les différentes classes de fonctionnement sinusoïdales (classes A, B, AB ou C)

Classe	Angle de conduction (δ)
A	360°
AB	$180^\circ < \delta < 360^\circ$
B	180°
C	$\delta < 180^\circ$

Table II-1 Angle de conduction des classes de fonctionnement sinusoïdales.

II.6.c.i) Classes de fonctionnement linéaire

(a) Fonctionnement et polarisation en classe A

Le transistor fonctionne en classe A si le transistor fonctionne en régime saturé et qu'il conduit sur toute la période du signal RF. Dans ce cas l'angle de conduction du transistor est de 360° . Pour satisfaire cette condition le point de polarisation statique V_d doit être fort tandis que le point de polarisation V_g doit être suffisamment élevé par rapport à V_t afin d'éviter toute excursion dynamique en dessous du seuil de polarisation. Cette classe offre le degré de linéarité le plus élevé de toutes les classes de PA mais possède un rendement faible (environ 50%) et un échauffement important surtout à faible signal.

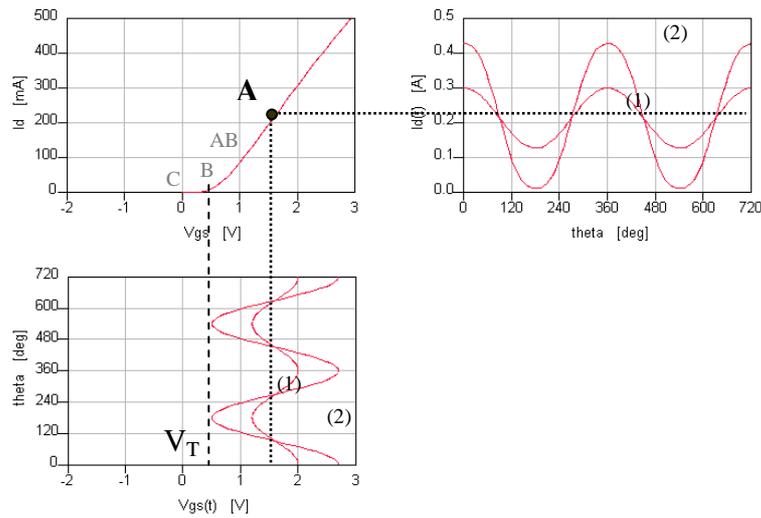


Figure II-21 Illustration du fonctionnement et de la polarisation en classe A.

(b) Fonctionnement et polarisation en classe B

L'angle de conduction est de $\delta=180^\circ$. Le transistor est polarisé au seuil de conduction $V_{GSQ}=V_t$ et ne conduit que pendant une demi période du cycle RF.

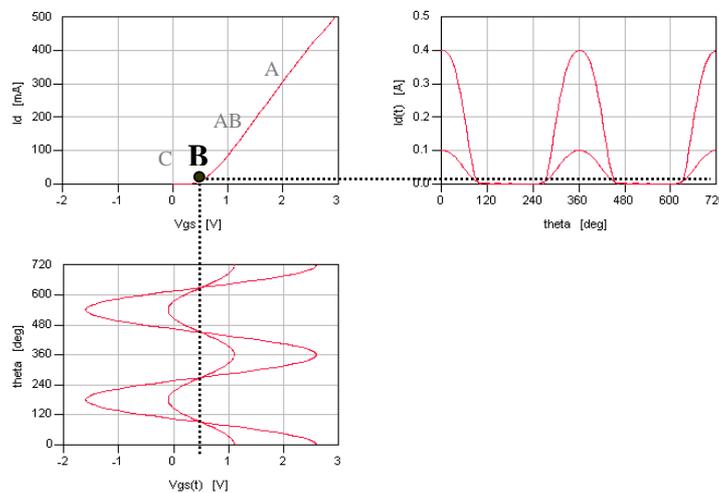


Figure II-22 Illustration du fonctionnement et de la polarisation en classe B.

En statique le courant consommé est nul tandis que le niveau courant I_d est proportionnel à l'amplitude du signal dynamique V_{gs} appliqué. Plus le niveau de signal d'entrée est grand plus le rendement sera important (relatif à la classe B, maximum de 78.5%). Cette classe est couramment employée pour la réalisation d'amplificateurs « push-pull » ou deux transistors se

partagent respectivement la puissance fournie pendant la moitié de chacun de leur cycle RF. Il présente toutefois une distorsion importante.

(c) Fonctionnement et polarisation en classe AB

L'angle de conduction est alors compris entre 180° et 360° . La polarisation est alors située entre le seuil de conduction et le point de polarisation classe A avec une amplitude du signal d'entrée suffisante. En effet si l'amplitude du signal V_{gs} est faible, le transistor fonctionne en régime saturé, comme un amplificateur de classe A. En revanche à partir d'un certain niveau de polarisation le transistor se bloque pendant une durée inférieure à la demi période du signal RF et la distorsion ainsi que le rendement augmentent.

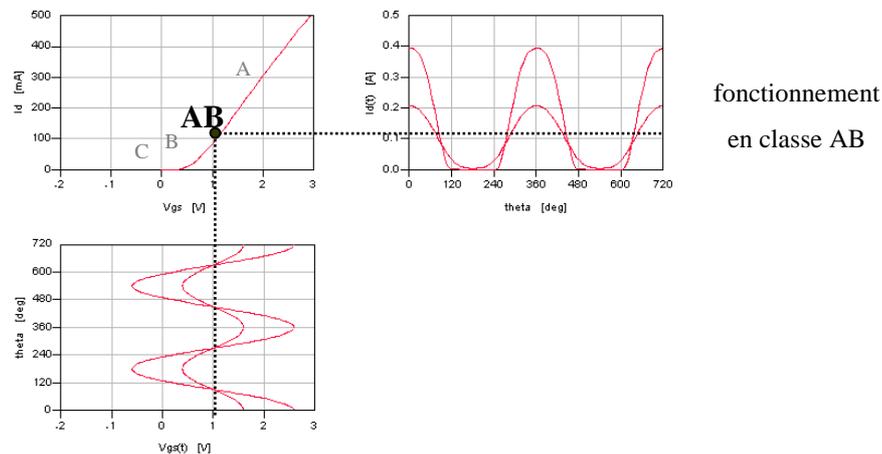


Figure II-23 Illustration du fonctionnement et de la polarisation en classe AB.

Cette distorsion reste relativement plus faible que celle d'un PA classe B, principalement du au niveau de polarisation considéré. La classe AB obtient un meilleur rendement que la classe A et est couramment utilisée pour des amplificateurs de puissance. Cette classe possède alors en comparaison aux classes A et B un bon compromis rendement/linéarité.

(d) Fonctionnement et polarisation en classe C

Le transistor est polarisé sous le seuil de conduction ($V_g < V_t$) en statique. Son angle de conduction est alors inférieur à 180° . A mesure que l'angle de conduction diminue, la forme temporelle du courant rétrécit: le rendement augmente tandis que la puissance dissipée et la puissance de sortie diminuent. L'obtention d'un rendement important (proche de 100%)

correspond à un comportement fortement non linéaire au détriment de la puissance de sortie. La classe C possède finalement un rendement et un comportement non-linéaire plus important que les classes A, B ou AB.

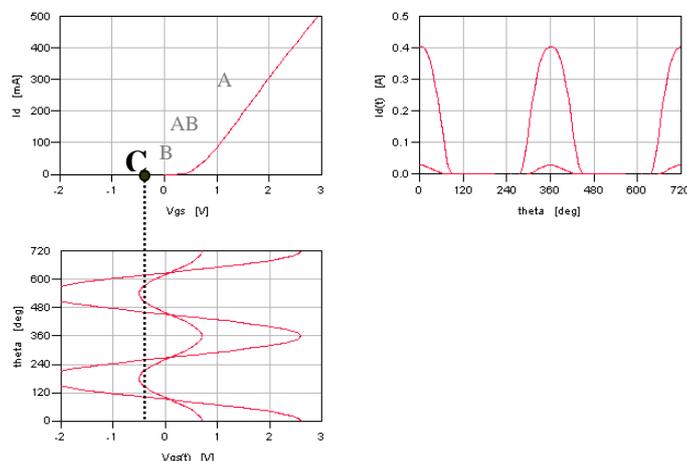


Figure II-24 Illustration du fonctionnement et de la polarisation en classe C.

II.6.c.ii) Classes de fonctionnement non linéaires

Le comportement idéal d'un amplificateur de puissance en régime commuté (classes D, E, F) peut être décrit par un interrupteur connecté à une charge résistive fonction de la puissance de sortie. En régime commuté la tension de grille V_g appliquée à la grille du transistor est de forme rectangulaire et oscille entre une tension inférieure (état OFF) et supérieure (état ON) à la tension de seuil V_t . La tension de grille appliquée ne peut dépasser une tension maximale $V_{g_{max}}$ définie par le nœud technologique des transistors (dans notre cas $V_{g_{max}}=2.5V$). Le transistor se comporte comme un interrupteur : dans l'état OFF, le transistor ne conduit pas et supporte une tension de drain V_{ds} élevée. Dans l'état ON le transistor est passant avec une tension V_{ds} faible. La tension de drain minimale $V_{ds_{min}}$ est fixée par la résistance à l'état passant du transistor (R_{on}) et la valeur maximale de $V_{ds_{max}}$ peut être très importante et atteindre jusqu'à trois fois la tension d'alimentation V_{dd} . Quand la transition entre les deux états s'effectue de manière instantanée la puissance est transférée à la charge sans absorption ni dissipation de puissance. L'amplificateur commuté idéal possède alors une efficacité de 100%. De plus la puissance de sortie est indépendante de la puissance d'entrée fournie au circuit. A mesure que la fréquence augmente, des limitations apparaissent et des pertes par conduction et commutation apparaissent ; le transistor ne peut être considéré comme idéal.

Caractéristiques du LDMOS pour une application RF de puissance

Par exemple la classe D se décline sous deux formes : un mode courant où le signal de sortie a une forme temporelle rectangulaire et le mode de tension où le signal de sortie est une demi sinusoïde. Cette classe possède une distorsion importante mais un rendement relativement plus élevé que les classes sinusoïdales et a l'avantage de ne pas endommager le transistor.

La classe E est une classe particulière des amplificateurs de commutation. En hautes fréquences la classe E permet d'obtenir de meilleurs rendements qu'une classe D équivalente (malgré un niveau de puissance inférieur à la classe A). Le montage classe E utilise un circuit de charge accordée pour compenser la capacité de sortie. Le domaine d'application des classes E est réservé aux amplificateurs à bande étroite.

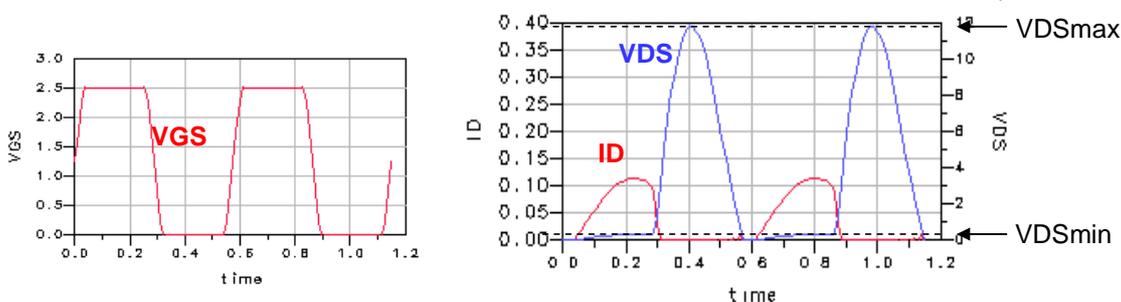


Figure II-25 Illustration du fonctionnement d'un montage amplificateur en régime commuté.

La classe F est utilisée pour les applications à très haut rendement. Elle est caractérisée par une tension d'excitation en entrée de type sinusoïdale et une tension de sortie de forme carrée. Le courant de sortie est, quant à lui, de forme impulsionnelle voire sinusoïdale. En principe l'absence de puissance dissipée induit l'obtention d'un rendement de 100%. En réalité, le rendement d'un classe F reste supérieur à un amplificateur de classe E mais atteint difficilement 100%.

Le choix d'une classe de fonctionnement est dépendant de nombreux facteurs comme les contraintes de linéarité, la consommation, le niveau de puissance etc... La Figure II-26 résume les différentes classes de fonctionnement des amplificateurs de puissance ainsi que leur niveau de linéarité et de rendement relatifs.

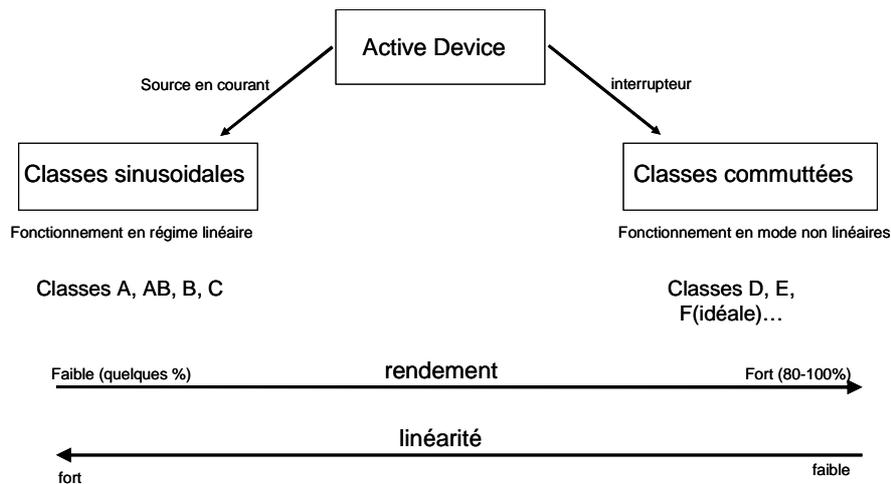


Figure II-26 Résumé des différentes classes de fonctionnement des amplificateurs de puissance

II.6.c.iii) Choix des performances du PA

Dans notre cas les applications visées en terme de standard de la téléphonie cellulaire sont présentées dans la Table II-2. Le LDMOS qui fait l'objet de cette étude est conçu pour un amplificateur de puissance avec une classe de fonctionnement non linéaire (classe D, E, F) et une polarisation de type AB. Les performances visées par cet l'amplificateur de puissance devront satisfaire les spécifications présentées dans la Table II-3.

	Bande de Fréquence	Modulation
GSM850	824 – 849 MHz	GMSK 8PSK (EDGE)
GSM900	880 – 915 MHz	
DCS1800	1710 – 1785 MHz	GMSK 8PSK (EDGE)
PCS1900	1850 – 1910 MHz	

Table II-2 Principales caractéristiques des standards de la téléphonie cellulaire 2G.

Les spécifications du PA permettent de déterminer les performances grand signal du LDMOS (Table II-3). Ces performances doivent être supérieures aux valeurs des performances de l'amplificateur de puissance car les effets parasites des éléments du circuit réduisent sensiblement les performances intrinsèques du composant. Ainsi la cellule LDMOS doit délivrer une puissance de sortie de quelques watts ($\approx 2W$ pour 1.8 GHz) avec un rendement supérieur à 60% pour les standards GSM, DCS ou PCS. Notre étude est principalement basée

sur l'étude du composant LDMOS et de l'optimisation de ses performances en régime statique et dynamique. Lors de la conception d'un PA il est important de prendre en compte l'aspect linéarité mais ce point n'a fait pas fait l'objet de notre étude.

	Pout (max)	Rendement	Harmoniques
GSM850 GSM900	36dBm	55%	-35dBc
DCS1800 PCS1900	33dBm	50%	-35dBc

Table II-3 Spécifications visées pour le PA réalisé sur silicium (LDMOS).

II.6.d.Le LDMOS dans le PA : paramètres importants.

Dans ce paragraphe les paramètres du LDMOS sont considérés dans le cas particulier d'un amplificateur de puissance fonctionnant en régime commuté (classe D, E ou F).

II.6.d.i) Influence de la résistance à l'état passant R_{on}

Le rendement du LDMOS est très dépendant de la résistance à l'état passant R_{on} . En effet des pertes de puissance importantes peuvent être observées en régime de commutation si le transistor présente une résistance R_{on} trop importante. D'un point de vue technologique il est nécessaire d'obtenir des transistors avec une résistance R_{on} la plus faible possible afin d'obtenir un rendement optimal.

L'équation suivante dérivée d'une expression analytique permet de déduire la relation existant au premier ordre entre la variation de R_{on} et la variation du rendement pour un amplificateur de classe E [SOKA00] :

$$\eta = \frac{1}{1 + \alpha \left[\frac{R_{on}}{R_L} \right]} \quad (II-11)$$

Avec $\alpha=1.365$ et une résistance de charge R_L donnée (3.26 Ohm) correspondant à un amplificateur de 2 W, un R_{on} par unité de surface de 0.15 mOhm.cm² est nécessaire pour obtenir un rendement de 80%.

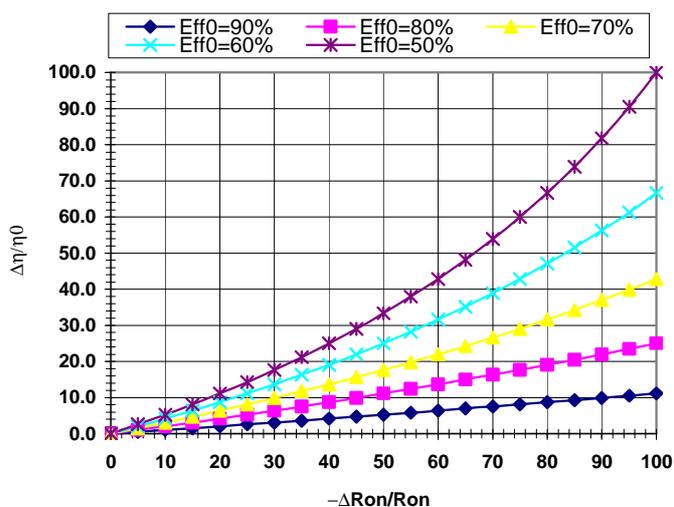


Figure II-27 Variation relative du rendement η en fonction de la variation relative de la résistance à l'état passant R_{on} .

Afin d'améliorer son rendement d'environ 10% et donc atteindre un amplificateur de classe E avec un rendement de 90%, il est nécessaire de réduire la résistance R_{on} de l'ordre de 45% (cf. Figure II-27). Cette diminution du R_{on} peut être effectuée soit à partir des critères technologiques du transistor soit par l'augmentation de la largeur totale de grille du composant au détriment de la tension de claquage et également de l'encombrement surfacique.

II.6.d.ii) Influence de la tension de claquage

Un paramètre important est la détermination de la tension de claquage du dispositif pour son application amplificateur de puissance. Cette tension de claquage ne doit pas être atteinte pendant le fonctionnement du PA car dans le cas contraire les performances du circuit seront dégradées et le transistor éventuellement endommagé. La tension de claquage du dispositif est ainsi déterminée en fonction de la tension maximale d'alimentation du circuit. Plus précisément pour un classe E, la tension de claquage doit être supérieure à 3 fois la tension maximale d'alimentation [SOKA75].

Il est intéressant d'avoir une tension de claquage importante afin d'avoir une marge de manœuvre importante sur le circuit. En revanche la tension de claquage est liée à certains paramètres technologiques comme la résistance à l'état passant (R_{on}). Cela entraîne des contraintes au niveau de la fabrication. En effet plus la tension de claquage est élevée plus R_{on} est important.

II.6.d.iii) Compromis Ron. BVds

La relation entre la résistance à l'état passant et la tension de claquage est très importante car elle détermine le plus souvent la surface nécessaire du dispositif et également le coût de certaines applications.

L'avalanche se produit quand le champ électrique atteint sa valeur critique E_c à partir de laquelle le semi-conducteur est détérioré par la génération spontanée de paire électron-trous. La tension de claquage BVds est fonction du champ électrique E_c comme l'indique l'équation (IV-2) [SZE 81] :

$$BVds = \frac{\epsilon_{Si} \cdot E_C^2}{2qN_d} \quad (\text{II-12})$$

où N_d est la concentration en dopant de type n de la jonction P⁺/N et ϵ_{Si} la constante diélectrique du silicium, BVds la tension de claquage et q la charge élémentaire.

Dans le cas d'une jonction P⁺-N⁻-N⁺, Hu [HU79] a calculé la résistance de drift R_d comme étant la suivante :

$$R_d \propto \frac{3 \cdot BV^{1/2}}{\epsilon_{Si}^{-1/2} \cdot \mu_n \cdot (2q \cdot Nd)^{3/2}} \quad (\text{II-13})$$

La résistance R_d est une composante de la résistance à l'état passant. Ainsi plus la tension de claquage est élevée plus R_d le sera également et donc la résistance à l'état passant R_{on} . Or il est important d'avoir à la fois une résistance R_{on} la plus faible possible afin de limiter les pertes ohmiques en puissance et également une tension de claquage relativement importante pour obtenir un composant robuste à fortes tensions. Le paramètre technologique principal qui régit à la fois la tension de claquage et la résistance R_{on} est le niveau de dopage N_d de la jonction P⁺/N⁻. Un compromis doit être déterminé afin de trouver le niveau de dopage N_d satisfaisant les conditions de polarisations maximales et les performances statiques (R_{on}).

II.6.d.iv) Influence des capacités

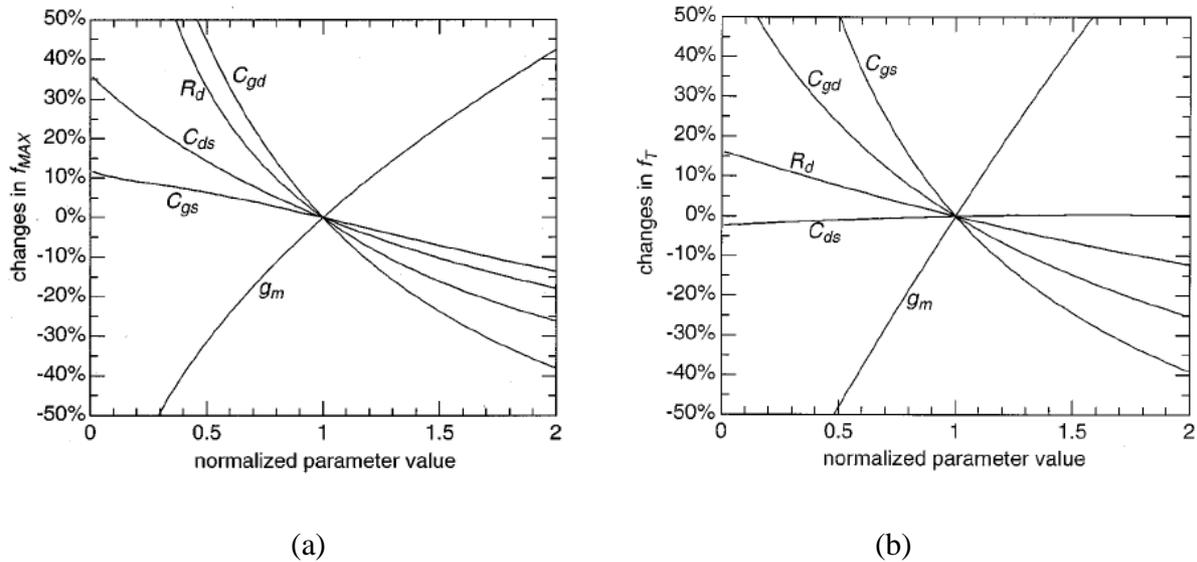


Figure II-28 Influence des capacités parasites, de g_m et de R_d sur f_T (b) et F_{max} (a). [VEST02]

Pour un schéma équivalent petit signal donné (Figure III-10 et Figure III-13) considéré au premier ordre comme décrivant correctement le comportement du LDMOS, les expressions de f_T et de F_{max} peuvent être retrouvées à partir des paramètres petits signaux. La Figure II-28 illustre la variation de la fréquence de transition et la fréquence maximale d'oscillation en fonction de la variation des paramètres petits signaux tels que la transconductance, les capacités C_{ds} , C_{gs} et C_{gd} et également la résistance R_d . La résistance de drain R_d considérée est à la fois la contribution de la résistance de contact de drain et également la contribution de résistance de la zone résistive introduite par la zone d'extension. Une réduction de R_d aura pour effet une importante augmentation de la fréquence F_{max} et également l'amélioration de f_T . De plus la réduction de la zone d'extension combinée à l'augmentation du niveau de dopage aura tendance à diminuer la valeur de la résistance R_d .

D'autre part F_{max} et f_T sont sensibles à l'augmentation de la transconductance g_m . Elle peut être améliorée par la simple réduction de la longueur du canal du dispositif, tout en restant vigilant devant l'apparition de niveaux de courants de fuites plus importants pour des faibles longueurs de canal.

La réduction de la capacité C_{gd} possède un impact positif à la fois sur f_T et F_{max} . Cette capacité, plus connue sous le nom de capacité de contre-réaction, provient du recouvrement grille/drain et détériore les performances petit signal. Cette capacité réduite par la diminution

de la longueur de grille doit être la plus faible possible afin d'obtenir les meilleures performances.

Un des derniers paramètres qui influence f_T et F_{max} est la capacité C_{ds} . Elle représente la capacité entre le drain et la source constituée des capacités de jonction Pbody/EpitaxieN et EpitaxieN/Psubstrat dans le cas où le substrat est relié à la source. La réduction de cette capacité se réalise par la réduction surfacique des zones prédéfinies.

Finalement la variation de la capacité C_{gs} joue un rôle important sur la fréquence de transition f_T . La réduction de cette capacité, relative à l'oxyde de grille, peut être envisagée par la diminution de la capacité d'oxyde ou encore par la réduction de la longueur effective du canal.

II.6.d.v) Influence de la résistance de grille R_g .

La résistance de grille R_g influence fortement les performances dynamiques du composant plus particulièrement F_{max} (cf III-5-b-iii) et le gain en puissance G_p (Figure II-29).

Plus la résistance de grille est faible plus les performances sont améliorées. Il s'avère que R_g dépend à la fois des conditions technologiques (valeur de la résistance carrée du polysilicium) et géométrique (longueur et type de connexion de grille).

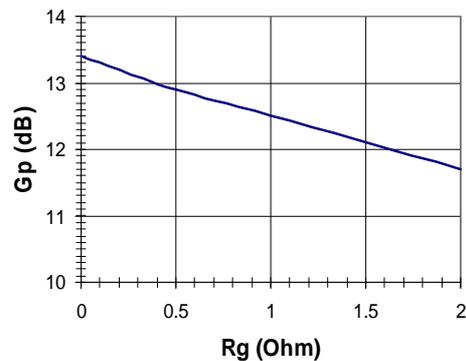


Figure II-29 Evaluation de la variation du gain en puissance d'un LDMOS en fonction de sa résistance de grille ($f_0=1.74GHz$, PA de classe AB, $P_{out}=1W$).

II.6.e. Le LDMOS face à ses concurrents

Contrairement au transistor bipolaire, le transistor MOS fonctionne uniquement à partir de porteurs majoritaires et il ne présente donc pas de temps de stockage associé à la recombinaison des porteurs minoritaires. Il est moins sensible aux effets thermiques qui provoquent dans le bipolaire de puissance le phénomène de second claquage. En outre, il présente l'avantage d'être commandé en tension, c'est-à-dire sans consommation de courant et avec un circuit de commande beaucoup plus simple que pour un transistor bipolaire.

Ces avantages du transistor MOS sur le transistor bipolaire sont néanmoins contre balancés par des inconvénients liés au principe même de son fonctionnement. Les phénomènes physiques qui limitent les performances du transistor MOS dans le domaine de la puissance sont de deux ordres, les uns limitent la tension de claquage, les autres limitent le courant en régime conducteur.

Les MOSFET de puissance (LDMOS, VDMOS) ont permis de contourner les limitations rencontrées sur les MOS standard en terme de tension de claquage et de courant de sortie pour les applications de puissance. De plus les transistors bipolaires et les transistors MOS de puissance sont couramment utilisés de façon complémentaire, comme c'est déjà le cas dans les technologies BiCMOS afin de combiner les avantages des deux dispositifs et plus précisément pour l'application amplificateur de puissance (PA). En effet la stabilité thermique du MOSFET de puissance rend son utilisation intéressante dans le dessin des étages de puissance du PA où les composants possèdent une taille importante et où le contrôle thermique reste critique. L'utilisation du transistor bipolaire apparaît avantageuse au niveau des étages de préamplification du fait de sa forte transconductance. L'utilisation combinée du LDMOS et du bipolaire dans la conception d'un amplificateur de puissance rend prometteuse l'intégration sur silicium d'amplificateurs de puissance RF multi-standards. [MULL04]

Références Chapitre II

[ANHG01] C. ANGHEL, N. HEFEYNE, A.M. IONESCU, M. VERMANDEL, B. BAKEROOT, J. DOUTRELOIGNE, R. GILLON, S. FRERE, C. MAIER, Y. MOURIER

“Physical Modelling Strategy for “quasi-”saturation effects in lateral DMOS Transistor based on the concept of the intrinsic drain voltage“

IEEE Proceedings International Semiconductor Conference CAS, Vol. 2, pp. 417–420, 2001.

[ANGH03] C. ANGHEL, N. HEFYENE, R. GILLON, M. TACK, M. J. DECLERQ, A. M. IONESCU

„New method for temperature–dependant thermal resistance and capacitance accurate extraction in high-voltage DMOS transistors“

IEDM 2003

[ANGH04] Costin ANGHEL

«High Voltage Devices for Standard MOS Technologies- Characterisation and Modelling »- 129p.

Thèse:Electricité: Lausanne:2004

[APEL91] U. APPEL, H. G. GRAF, C. HARENDT, B. HOFFLINGER, T. IFSTROM

“A 100-V lateral DMOS transistor with a 0.3-micrometer channel in a 1-micrometer silicon-film-on insulator-on-silicon”

IEEE Trans. on Electron Devices, Vol. 38, n°7, pp. 1655-1659, 1991.

[BLEI97] A. BLEIK, J. GUERIN, M. K. EL CHEIKH

“Le transistor VDMOS en régime de Quasi-Saturation: Etude Analytique et Modélisation“

J/ Phys. III France, Vol. 7, pp. 1851-1868, 1997.

[CAQU80] E. CAQUOT, G. GUEGAN, M. GAMBOA, H. TRANDUC, P. ROSSEL

“Phénomène de “quasi-saturation” dans les transistors MOS”

Revue Phys. Apl., Vol. 15, pp. 1445-1450, 1980.

[CRIP99] STEVE C. CRIPPS

RF Power Amplifiers for Wireless Communications

Artech House, 1999.

[DARW86] M. N. DARWISH

« Study of the quasi-saturation Effect in VDMOS Transistors »

IEEE Trans. on Electron Devices, Vol. ED-33, n°11, pp. 1710-1716, 1986.

[EVAN97] J. EVANS, G. AMARATUNGA

“The Behaviour of Very High Current Density Power MOSFET’s”

[GIRY01] ALEXANDRE GIRY

“Etude des potentialités des technologies CMOS avancées pour les radiofréquences: Application aux amplificateurs de puissance”

Thèse : Optique, Optoélectronique et Microondes : Grenoble INPG :Juillet 2001.

[GONZ99] GUILLERMO FONZALES

« Microwave transistors amplifiers – Analysis and Design »

2nd Edition, section 1.7, p. 45-55, August 1999.

[HEFY02] N. HEFYENE, E. VESTIEL, B. BAKERROOT, C. ANGHEL, S. FRERE, A. M. IONESCU, R. GILLON

“Bias-dependent drift resistance modeling for accurate DC and AC simulation of asymmetric HV-MOSFET”

Proc. of Int. Conf. on Simulation of Semiconductor Processes and Devices, SISPAD, pp. 203-206, 2002.

[HILS81] MARTINOT. H, ROSSEL. P

Power MOS Transistors, chapitre 7B

Handbook on Semiconductors, Vol. 4 Device Physics

North Holland Publishing Company: T.S Moss, 1981, 4, Vol. 4 édité par C. Hilsum, p 970.

[HU79] CHENMING HU

« Optimum Doping Profile for Minimum Ohmic Resistance and High-Breakdown Voltage, »

IEEE Transactions on Electron Devices, Vol. ED-26, n°3, Mars 1979.

[KNAI04] M. KNAIPP, G. ROHRER, R. MINIXHOFER, E. SEEBACHER.

“Investigations on the high current behavior of the lateral diffused high voltage transistors”

IEEE Trans. on Electron Devices, Vol. 51, n°10, pp. 1771-1720, 2004.

[KREU96] C. H. KREUZER, N. KRISCHE, P. NANCE

« Physically Based Description of Quasi-Saturation Region of Vertical DMOS Power Transistors »

Proceedings of International Electron Devices Meeting, pp. 489-492, 1996.

IEEE Trans. On Electron Devices, Vol. 44, n°7, pp. 1148-1157, July 1997.

[KURO65] K. KUROKAWA

“Power Waves and the Scattering Matrix,”

IEEE Trans. On MTT, n°13, pp 194-202, 1965

[LIU93] C.-M. LIU, K.-H LOU, J. B. KUO

« 77K versus 300K operation : the quasi-saturation behavior of a DMOS device an its fully analytical model »

IEEE Trans. on Electron Devices, Vol. 40, n°9, pp.1636-1644, 1993.

[LIU197] C. -M. LIU, J. B. KUO

“Quasi-saturation capacitance behavior of a DMOS device”

IEEE Trans. on Electron Devices, Vol. 44, n°7, pp. 1117-1123, 1997.

[LOU93] K.-H. LOU, C.-M. LIU, J. B. KUO

« An analytical quasi-saturation model for vertical DMOS power transistors »

IEEE Trans. on Electron Devices, Vol. 40, n°3, pp. 676-679, 1993

[MINA83] R. A. MINASIAN

« Power MOSFET Dynamic Large-Signal Model »

IEE Proc. Vol. 130, n°2, Avril 1983, pp.73-79.

[MONT97] Diana MONCOQUT

“Propriétés Physiques et modélisation du transistor de puissance LDMOS”-165p

Thèse : Electronique/Microélectronique : Toulouse : 1997.

[MULL04] D. MULLER, A. GIRY, C. ARNAUD, C. ARRICASTRES, R. SOMMET, . SZELAG, A. MONROY, D. PACHE

“LDMOSFET and SiGe:C HBT integrated in a 0.25µm BiCMOS technology for RF-PA applications”

IEEE Bipolar and BiCMOS Technology Meeting, Proceedings September 2004, pp. 168-171.

[PAGG88] M. PAGGI, P.H. WILLIAMS, J.M. BORREGO

“Non Linear GaAs MESFET Modelling using Pulsed Gate Measurements”,
IEEE MTT-S Digest, pp. 229-231, 1988.

[PLAT90] A. PLATZKER, A. PALEVSKY, S. NASH, W. STRUBLE, Y. TAJIMA

“Characterization of GaAs Devices by a versatile Pulsed I-V Measurement System”,
IEEE MTT-S Digest, pp. 1137-1140, 1990.

[RAZA94] B. RAZAVI, R.-H. YAN, and K. F. LEE

“Impact of Distributed Gate Resistance on the Performance of MOS Devices”
IEEE Trans. On Circuits and Systems, Vol. 41, n°11, November 1994.

[ROSS97] P. ROSSEL, H. TRANUC, D. MONTCOQUT, G. CHARITAT, I. PAGES

« Avalanche characteristics of MOS transistors »
Proceedings 21st International Conference on Microelectronics, Vol n°1, pp. 371-381, 1997.

[SCOT01] – J.SCOTT, M.SAYED, P. SCHMITZ, A. PARKER

“Pulse-dias/Pulsed RF device measurement system requirements”,
EMC, pp. 951-961, Cannes, France, 1994.

[SHAR78] D. SHARMA, J. GAUTIER, G. MERCKEL

“Negative Dynamic Resistance in MOS Devices”,
IEEE Journal of Solid-State Circuits, Vol. 13 , No. 3, pp. 378 - 380, 1978.

[SOKA75] N. O. SOKAL, A. D. SOKAL

« Class E – a new class of high-efficiency tuned single-ended switching power amplifiers,
IEEE Journal of Solid State Circuits, Vol. 10, n°3, pp168-176, Juin 1975.

[SOKA00] N.O. SOKAL

“Class E Switching-Mode High-Efficiency Tuned RF/Microwave Power Amplifier: Improved
Design Equations”
IEEE MTT-Symposium, pp779-782, 2000

[SZE81] S.M. SZE

Physics of Semiconductor Devices
(2nd Edition). Taipei: John Wiley & sons, 1981.

[TEYS91] – J.P TEYSSIER, R. QUERE, J. OBREGON

“Accurate Non-Linear Characterization of Microwave Semi-Conductor Devices Using Pulse Measurement Technique”,

IEEE MTT Workshop, pp.208-212, Ratingen (Germany), 1991.

[VEST02] L. VESTLING, J. ANKARCORONA, J. OLSSON

“Analysis and Design of a Low-Voltage High-Frequency LDMOS Transistor”

IEEE Trans. On Electron Devices, Vol. 49, n°6, Juin 2002.

[VIDA91] – J.F. VIDALOU, F. GROSSIER, M. CAMIADE, J. OBREGON

“On-Wafer Large signal Pulsed Measurements”,

MTT Symp., pp. 95-99, 1991.

[YASH91] N. YASHUDA, S. UENO, K. TANIGUCHI, C. HAMAGUCHI, Y. YAMAGUCHI, T. NISHIMURA

“Analytical Device Model of SOI MOSFETs Including Self-Heating Effect”

Jap. Journal of Applied Physics, Vol. 30, No. 12B, pp. 3677 – 3684, 1991.

III. OPTIMISATION DES CARACTERISTIQUES STATIQUES

III.	OPTIMISATION DES CARACTERISTIQUES STATIQUES	75
III.1.	Procédé de fabrication du LDMOS	79
III.1.a.	Etapes spécifiques.....	79
III.1.b.	Cahier des charges pour l'application PA	80
III.1.c.	Intégration du LDMOS dans la filière	82
III.2.	Détermination du compromis $R_{on} \cdot BV_{ds}$:	83
III.2.a.	Résultats du LDMOS en caisson Népi	84
III.2.b.	Résultats du LDMOS en caisson N	85
III.3.	Etude des règles de dessin	89
III.3.a.	Influence de l'extension de drain (L_{ext})	90
III.3.b.	Influence de la longueur de grille (L_{poly})	92
III.3.c.	Influence de l'espacement entre grilles ($L_{interpoly}$).....	92
III.3.d.	Influence du recouvrement SiProt sur grille (Δ_{SiProt})	93
III.4.	Bilan.....	94
	Références Chapitre III.....	95

III.1. Procédé de fabrication du LDMOS

III.1.a. Etapes spécifiques

Le LDMOS est réalisé à partir d'un substrat de type P sur lequel croît une couche épitaxiée de type N à faible niveau de dopage. Le module isolation est ensuite réalisé en profondeur par des tranchées profondes (Deep Trench) et renforcé en surface par l'introduction de zones STI (Shallow Trench Isolation). Cette étape permet d'isoler électriquement le composant des autres dans le cadre de l'intégration de plusieurs composants sur une même surface.

L'étape suivante consiste en l'implantation du caisson Népi qui sera par la suite nommé caisson N et permet de modifier le niveau de dopage du LDMOS. Les conditions d'implantation spécifiques permettant d'obtenir une tension de claquage et une résistance à l'état passant dédiée pour l'application PA sont ainsi déterminées.

Une fois le caisson N obtenu, l'étape de croissance de l'oxyde de grille ainsi que celle de dépôt de polysilicium sont réalisées afin d'obtenir une grille de type MOS. La technologie $0.25\mu\text{m}$ nécessite un oxyde de grille d'épaisseur 50\AA qui permet une tenue en tension sur la grille de 2.5V.

La grille achevée, le canal diffusé du LDMOS est réalisé par l'implantation Pbody. La longueur du canal est dépendante des conditions d'implantation ainsi que du budget thermique associé.

Les espaceurs sont ensuite créés et l'étape d'implantation source/drain suit. Une des dernières étapes spécifiques du LDMOS est la formation du SiProt sur la zone d'extension de drain. Il est réalisé à partir d'un dépôt d'oxyde et de nitrure et protège la zone d'extension de drain contre la siliciuration. La Figure III-1 décrit les étapes spécifiques du LDMOS de type N.

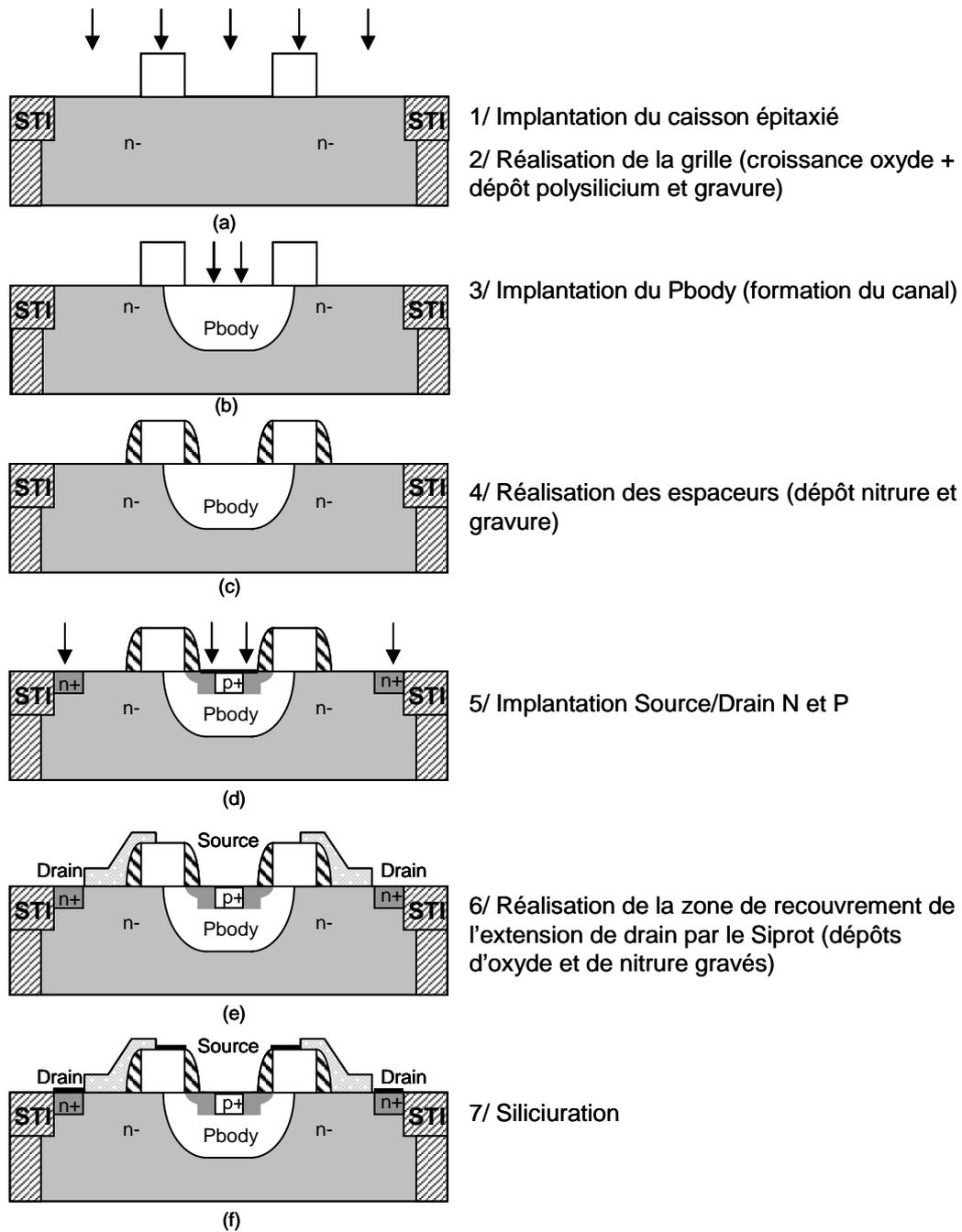


Figure III-1 Etapes technologiques nécessaires à la fabrication d'un LDMOS de type N.

III.1.b. Cahier des charges pour l'application PA

L'architecture du NLDMOS considérée est illustrée en coupe par la Figure III-2. Les caractéristiques électriques du composant doivent satisfaire un cahier des charges spécifique à

Optimisation des caractéristiques statiques

l'application amplificateur de puissance. Elles correspondent aux performances électriques en régime à la fois statique.

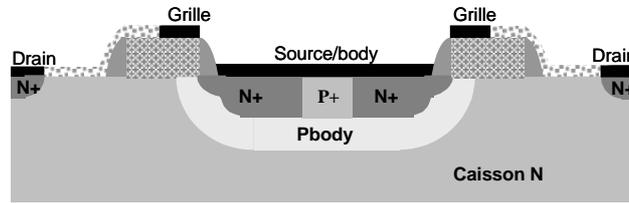


Figure III-2 Coupe transversale du LDMOS en technologie BiCMOS7RF.

Ce chapitre considère seulement les paramètres électriques en régime statique. Les caractéristiques électriques du LDMOS doivent satisfaire le cahier des charges, illustré par la Table III-1. La tension de seuil doit atteindre un minimum de 0.4V, la résistance à l'état passant doit être la plus faible possible pour une tension de claquage BVds supérieure ou égale à 15V. Toutes les autres caractéristiques sont considérées pour une tension de drain de 3.6V, valeur correspondant à la tension moyenne d'alimentation de l'amplificateur de puissance. La tension d'alimentation peut atteindre jusqu'à 5 V dans les conditions optimales (batterie chargée). Le choix de la tension de claquage minimale du LDMOS est basé sur la valeur de la tension maximale d'alimentation appliquée sur le drain c'est-à-dire 5 V. En effet il est recommandé que BVds soit au minimum égal à trois fois la tension maximale d'alimentation. De la même façon, le courant de saturation, Isat, doit être suffisant pour que le circuit puisse délivrer un courant assez important pour un encombrement du LDMOS relativement faible. Dans notre cas le courant de saturation délivré par le LDMOS doit atteindre au minimum 350 mA.mm⁻¹ et un maximum de 490 mA.mm⁻¹.

Performances électriques	Min	Max	Valeur souhaitée
Vt [V]	0.4	0.8	0.6
S.Ron [mOhm.cm²] à Vg=2.5V et Vd=0.1V	0.102	0.204	0.153
Isat [mA.mm⁻¹] à Vg=2.5V et Vd=3.6V	350	490	420
BVds [V]	13.5	16.5	15
Ioff [pA.μm⁻¹] à Vg=0V et Vd=3.6V	<<100	-	<<100

Table III-1 Récapitulatif des caractéristiques de sortie du NLD MOS pour l'application PA.

III.1.c. Intégration du LDMOS dans la filière

L'intégration du LDMOS dans la filière BiCMOS consiste à utiliser les étapes de fabrication déjà existantes des transistors MOS et Bipolaires et si nécessaire d'insérer certaines étapes spécifiques au LDMOS tout en gardant un enchaînement qui n'affecte pas les performances des autres dispositifs de la filière. Des études préliminaires de simulation ont été réalisées sur les possibilités d'intégration du DMOS dans le procédé de fabrication global [TM02_132], [TM03_23]. Le choix final est décrit par la Figure III-3.

L'utilisation du substrat de type P et la croissance épitaxiale de type N sont communes à tous les composants. Les étapes de l'implantation du caisson et de l'implantation Pbody spécifiques au LDMOS sont introduites au procédé. Les autres étapes de fabrication sont communes aux transistors MOS et bipolaire (isolation, formation de la grille, Source/Drain, SiProt). L'implantation du caisson N du LDMOS s'effectue en début de procédé et précède les implantations dédiées au MOS. Le choix du positionnement de l'implantation Pbody (formation du canal) après les étapes de fabrication du transistor bipolaire permet d'éviter une diffusion importante des dopants dans le caisson N qui aurait pour conséquence l'obtention d'un canal long et dépendant des modifications du budget thermique du transistor bipolaire. Située en fin de procédé, la diffusion du canal est mieux contrôlée et indépendante des précédentes étapes technologiques.

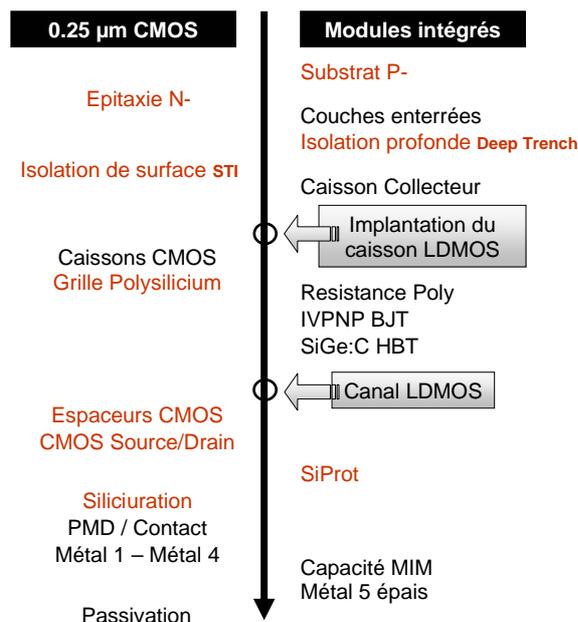


Figure III-3 Descriptif de l'enchaînement des étapes de fabrication des différents composants de la filière BiCMOS 0.25µm avec l'introduction des étapes spécifiques du LDMOS.

III.2. Détermination du compromis $R_{on} \cdot BV_{ds}$:

Le compromis $R_{on} \cdot BV_{ds}$ est une figure de mérite couramment utilisée pour évaluer les performances des LDMOS. Le panel des LDMOS est assez important, malheureusement il reste difficile de faire une comparaison exhaustive du compromis $R_{on} \cdot BV_{ds}$. En effet la résistance à l'état passant peut être exprimée de deux façons : par rapport à la longueur W du composant ($W \cdot R_{on}$) ou plus couramment utilisé par rapport à sa surface totale S ($S \cdot R_{on}$). Par la suite, nous considérerons la résistance R_{on} par rapport à la surface totale du composant c'est-à-dire le $S \cdot R_{on}$. La Figure III-4 représente un aperçu des performances en terme de $S \cdot R_{on} \cdot BV_{ds}$ pour les LDMOS faible tension ($< 40V$) à des nœuds technologiques différents. Le compromis pour les technologies supérieures à $0.5\mu m$ reste éloigné de la limite $S \cdot R_{on} \cdot BV_{ds}$ fixée par le silicium [ZING04].

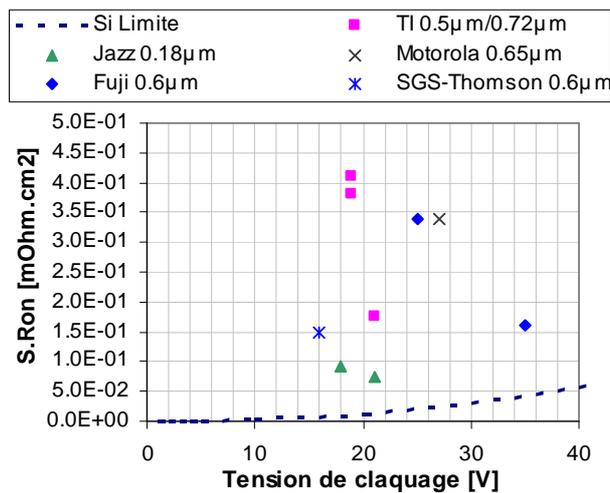


Figure III-4 Illustration du compromis $S \cdot R_{on} \cdot BV_{ds}$: évaluation des performances des concurrents par rapport à la limite imposée par le silicium. [TSAI97], [MERC97], [FUJI02], [NEHR01], [TSAI99], [CONT96], [ZITO99], [TSUI92], [ZING04]

Afin de déterminer le meilleur compromis $S \cdot R_{on} \cdot BV_{ds}$, deux architectures sont confrontées par la simulation et les tests électriques : l'architecture avec un caisson Népi et une structure avec un caisson dédié (Figure III-5). Le LDMOS avec un caisson Népi reste par avance le transistor le moins performant réalisable puisqu'il possède le niveau de dopage le plus faible possible de la technologie pour la zone de drift. Ces architectures sont proposées avec des

règles de dessin associées à la technologie $0.25\mu\text{m}$. Par exemple l'extension de drain par défaut est de $0.6\mu\text{m}$ et la longueur de grille L_g du LDMOS est au minimum de $0.5\mu\text{m}$. Cette dernière dimension est régie par le possible désalignement de $\pm 0.2\mu\text{m}$ de la photolithographie du SiProt sur la grille.

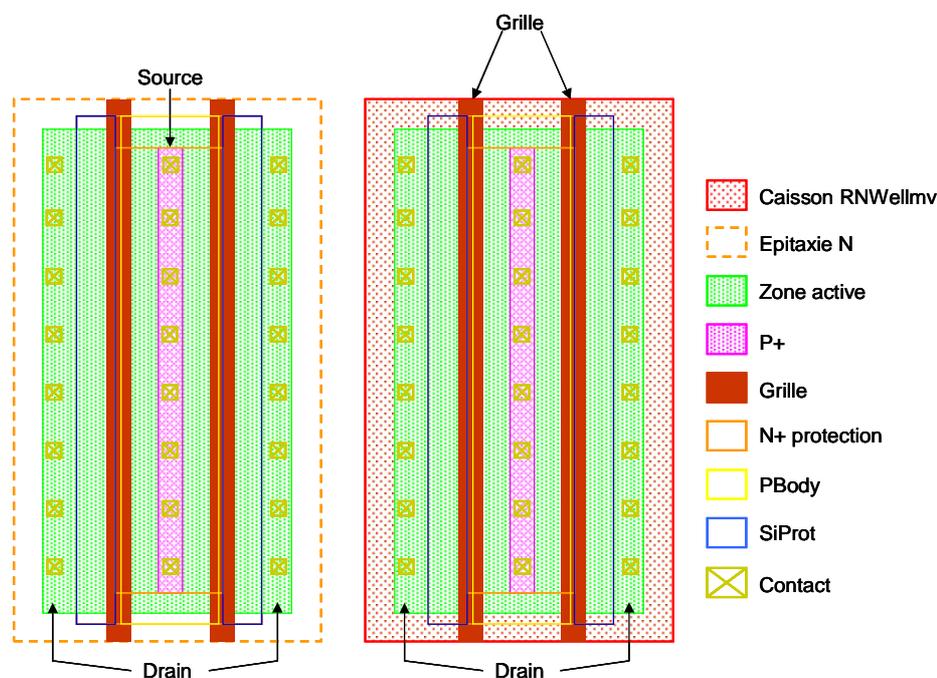


Figure III-5 Layout de l'architecture du LDMOS avec un caisson Népi (gauche) et un caisson spécifique N (droite).

III.2.a. Résultats du LDMOS en caisson Népi

Le caisson Népi possède une épaisseur de $1\mu\text{m}$ et un dopage de $1.3 \cdot 10^{16} \text{ at.cm}^{-3}$. Le LDMOS avec Népi est simulé avec une extension de drain de $0.6\mu\text{m}$: les conditions d'implantations Pbody sont respectées pour l'obtention d'un V_t avoisinant les 0.7 V . La tension d'avalanche est proche de 19V et la résistance à l'état passant atteint $0.41 \text{ m}\Omega\cdot\text{cm}^2$ [TM03_23]. Ces résultats sont confirmés par les tests réalisées sur plaque : le phénomène de quasi-saturation est observé et un courant de saturation très faible est mesuré (185mA/mm), ce qui garanti un S.Ron élevé (Figure III-6). Malgré la tenue en tension élevée, les caractéristiques de sorties ne correspondent pas aux spécifications.

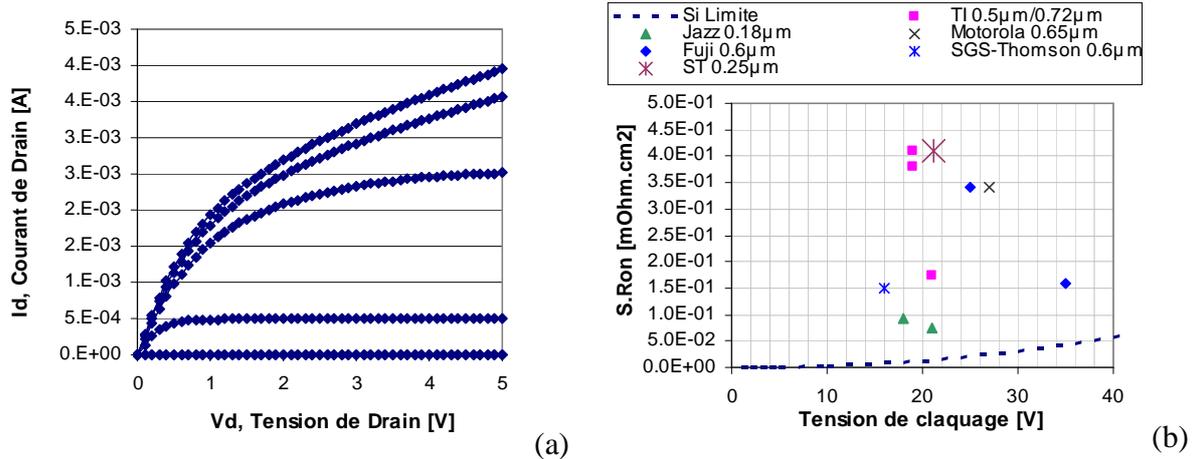


Figure III-6 Caractéristiques de sortie du LDMOS avec caisson Népi (a) et comparaison de ses performances $S.Ron*Bvds$ par rapport à la limite du silicium et d'autres composants déjà existants (b) [TSAI97], [LEE05], [MERC97], [FUJI02], [NEHR01], [TSAI99], [CONT96],[ZITO99],[TSUI92],[ZING04].

Si le compromis $W.Ron*Bvds$ est comparé aux performances de LDMOS déjà existants dans d'autres technologies, nos résultats restent peu satisfaisants. En effet pour une même tension de claquage avoisinant les 20V, Jazz atteint les limites de performance du Silicium avec une valeur proche des $0.1mOhm.cm^2$ tandis que notre $S.Ron$ sur Népi est largement supérieur aux performances de Texas Instrument ($<0.2 mOhm.cm^2$) ou de SGS-Thomson. Cette comparaison rend possible l'amélioration des performances en $S.Ron$ par la modification du niveau de dopage du caisson.

III.2.b. Résultats du LDMOS en caisson N

Les simulations permettent de déterminer dans un premier temps le niveau de dopage et les conditions d'implantation correspondant au compromis $S.Ron*Bvds$ souhaité. Pour cela un LDMOS avec un dopage uniforme de caisson est simulé. Le dopage varie entre $1.3 \cdot 10^{16} at.cm^{-3}$ et $1 \cdot 10^{16} at.cm^{-3}$ [TM03_23] avec une implantation Pbody identique à celle utilisée pour le caisson Népi. La tension de claquage atteint 15V pour un niveau de dopage uniforme compris entre 6 et $8 \cdot 10^{16} at.cm^{-3}$. Les conditions optimales d'implantation Pbody (dose, énergie, et angle d'implantation) sont étudiées et les meilleurs résultats en terme de $S.Ron$ et de V_T sont obtenus pour une dose de $1.2 \cdot 10^{14} at.cm^{-2}$, une énergie de 25keV et un angle d'implantation de 35° .

L'implantation Pbody fixée, les conditions d'implantation du caisson N réalisé à partir de l'épitaxie d'épaisseur $1\mu\text{m}$ dopée à $1.3 \cdot 10^{16} \text{ at.cm}^{-3}$ reste à être déterminées. La reproduction d'un dopage uniforme dans le caisson N de l'ordre de $7 \cdot 10^{16} \text{ at.cm}^{-3}$ a fait l'objet d'une nouvelle étude par simulation [TM03_26], [MULL03]; trois implantations sont nécessaires : une profonde (Dose 1, Energie 1), une intermédiaire (Dose 2, Energie 2) et une de surface (Dose 3, Energie 3), (cf. Table III-2) [MENA86].

	N° implantation	Espèce	Dose [at.cm^{-2}]	Energie [keV]
Caisson N	1	P	$8.0 \cdot 10^{12}$	550
	2	P	$1.4 \cdot 10^{12}$	240
	3	P	$2.4 \cdot 10^{12}$	70
Pbody		B	$1.2 \cdot 10^{14}$	25
Nldd		As	$2.0 \cdot 10^{14}$	50
Source et Drain		As	$3.0 \cdot 10^{15}$	60

Table III-2 Conditions d'implantation après simulation.

La répartition du champ électrique (Figure III-7) pour la polarisation correspondant au claquage pour le LDMOS Népi est principalement localisée en surface. Le champ maximal critique est atteint en surface et le claquage de la jonction s'effectue en surface.

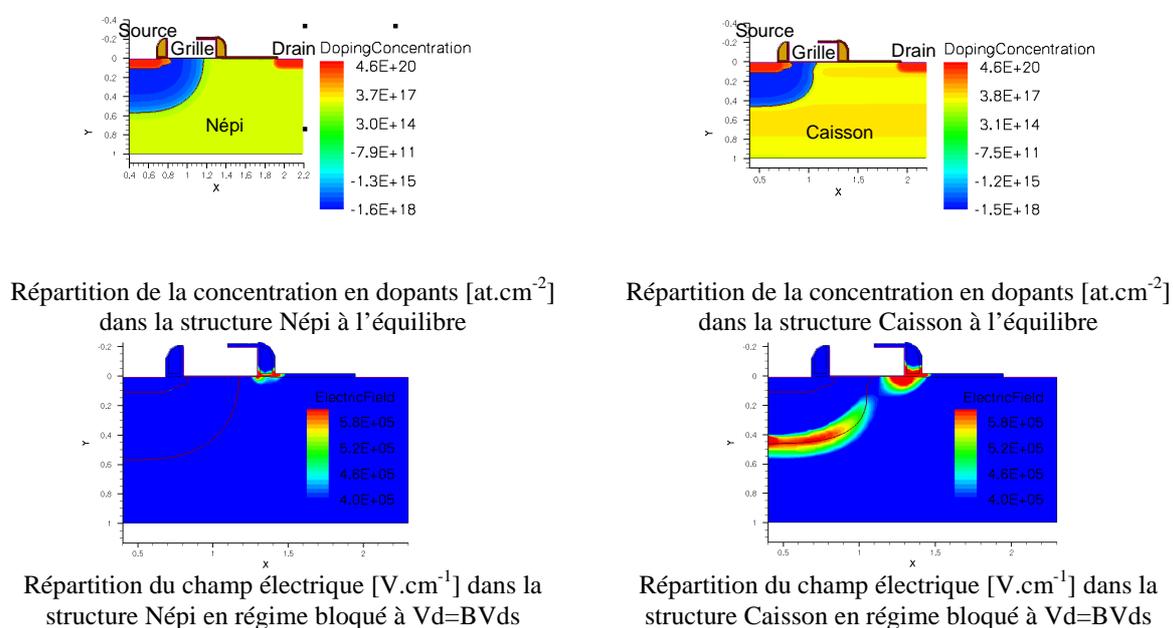


Figure III-7 Illustration et comparaison des LDMOS Népi et caisson N simulés : répartition de la concentration en dopant et répartition du champ électrique en régime bloqué à la tension de claquage.

Par ailleurs la répartition du champ électrique à $V_d=BV_d$ est différente pour le LDMOS Caisson. Des zones où le champ électrique est important sont présentes en surface et en profondeur, correspondant au champ électrique généré par la zone de charge d'espace. De plus le champ électrique maximal en profondeur est supérieur au champ électrique maximal atteint en surface (Figure III-8). Il peut être conclu que le claquage du LDMOS Caisson s'effectue en profondeur et que ce LDMOS a un comportement analogue à un LDMOS de type RESURF.

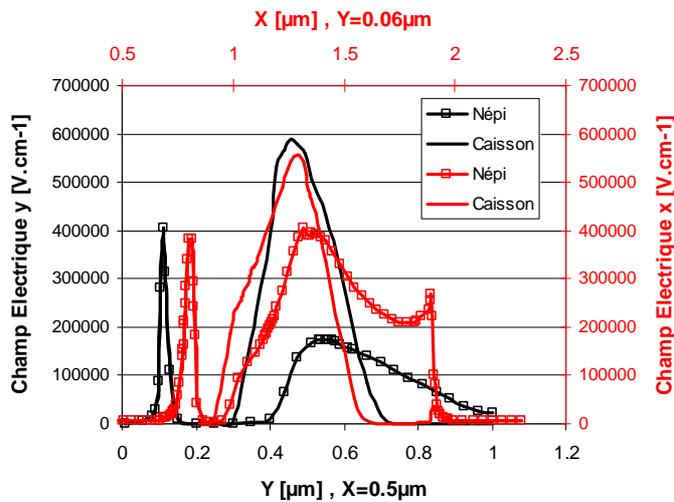


Figure III-8 Simulations du champ électrique longitudinal (E_x) et vertical (E_y) en fonction de X et de Y pour le LDMOS Népi et Caisson N en régime bloqué à $V_d=BV_d$.

Les premiers résultats sur silicium sont conformes à la simulation : une tension de seuil de 0.6V, un courant de saturation de l'ordre de 475 mA/mm, une résistance à l'état passant de 0.13 mOhm.cm² et une tension de claquage de 13.3 V sont obtenus. Ces résultats restent satisfaisants mais l'objectif d'une tension de claquage de 15V n'est pas atteint. Pour cela les conditions d'implantation sont exploitées (modification des doses et énergies) afin d'atteindre un optimum. La Table III-3 récapitule l'ensemble des manipulations réalisées sur les implantations 1, 2 et 3 du caisson N. Les résultats sont illustrés par la Figure III-9 où la tension de claquage BV_d , le courant de saturation et le courant de fuite du LDMOS en régime bloqué sont tracés en fonction du S.Ron obtenu.

Nom	Nombre d'implantations	Conditions d'implantations
VVI	3	Variation de D3 (dose de l'implantation de surface) D1, E1, D2, E2, E3 identiques à la simulation
MNX	3	Variation de D1 Variation de D3 : réduction de la dose simulée E1, D2, E2, E3 identiques à la simulation
CBC	3	Variation de D1 : idem MNX Variation de D3 : dose supérieure à MNX Variation de E2 : énergie inférieure à MNX. E1, D2, E3 identiques à la simulation
VKG	2	Variation de D3 : idem MNX Variation de D2 E1 et E2 identiques à la simulation

Table III-3 Conditions d'implantation des lots VVI, MNX, CBC et VKG.

Les résultats électriques montrent une dispersion importante pour le compromis S.Ron*BVds. Une tendance apparaît sur chaque lot :

- VVI : le dopage de surface permet de régler finement S.Ron
- VKG : le dopage en profondeur règle la tension de claquage
- MNX et CBC : l'implantation intermédiaire permet l'obtention de compromis S.Ron*BVds intermédiaires.

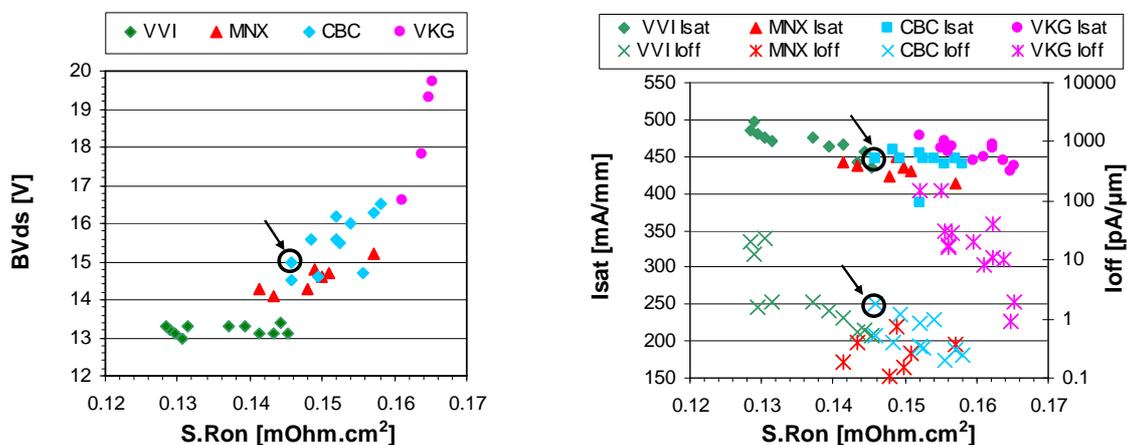


Figure III-9 Tension de claquage BVds en fonction de S.Ron et courant de saturation et courant de fuite (Ioff) en fonction de S.Ron pour les différentes conditions d'implantation portées sur les lots VVI, MNX, CBC et VKG.

Plusieurs conditions (MNX et CBC) se distinguent pour une résistance $S.Ron$ inférieure à 0.15 mOhm.cm^2 et un $BVds$ de 15V. Les paramètres de courant de saturation et de fuite sont également considérés : dans un même lot de variations de conditions, le courant de saturation évolue autour de 450 mA/mm tandis que le courant de fuite évolue de manière importante entre 0 et $100 \text{ pA}/\mu\text{m}$. Il est nécessaire de considérer les conditions d'implantation pour lesquelles le courant de fuite est le plus faible possible. Finalement les implantations choisies se rapprochant au plus des conditions voulues sont décrites dans la Table III-4 et les caractéristiques électriques ainsi obtenues sont rappelées dans la Table III-5. Les caractéristiques électriques du NLD MOS sont en accord avec les valeurs précédemment fixées par le cahier des charges.

	N° implantation	Espèce	Dose [at.cm^{-2}]	Energie [keV]
Caisson N	1	P	$5.0. 10^{12}$	550
	2	P	$1.2. 10^{12}$	160
	3	P	$1.4. 10^{12}$	70
Pbody		B	$1.2. 10^{14}$	25
Nldd		As	$2.0. 10^{14}$	50
Source et Drain		As	$3.0. 10^{15}$	60

Table III-4 Conditions d'implantation du NLD MOS à caisson N.

Performances électriques	Valeurs
Vt [V]	0.65
S.Ron [mOhm.cm^2] à $Vg=2.5\text{V}$ et $Vd=0.1\text{V}$	0.143
Isat [mA.mm^{-1}] à $Vg=2.5\text{V}$ et $Vd=3.6\text{V}$	450
BVds [V]	15.5
Ioff [$\text{pA.}\mu\text{m}^{-1}$] à $Vg=0\text{V}$ et $Vd=3.6\text{V}$	2

Table III-5 Performances électriques du NLD MOS ($W=20\mu\text{m}$) avec les conditions de la table IV-4.

III.3. Etude des règles de dessin

Pour éviter le disfonctionnement d'un transistor, il est nécessaire de définir le dimensionnement optimal du composant c'est-à-dire ses règles de dessins. Dans notre cas le LDMOS possède plusieurs géométries particulières comme l'extension de drain L_{ext} , la longueur entre deux grilles de polysilicium $L_{\text{interpoly}}$, le recouvrement de SiProt sur la grille Δ_{SiProt} ou encore la longueur de grille L_{poly} (Figure III-10).

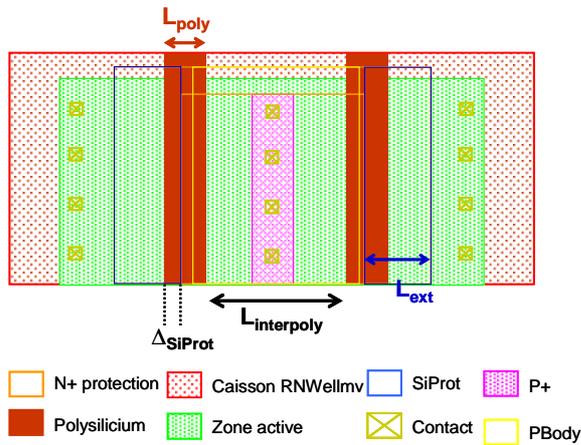


Figure III-10 Layout du LDMOS et ses principales variations de géométrie (L_{poly} : longueur de grille ; L_{ext} : longueur d'extension de drain ; $L_{interpoly}$: distance entre deux grilles ; $\Delta SiProt$: recouvrement du SiProt sur la grille).

III.3.a. Influence de l'extension de drain (L_{ext})

L'extension de drain possède un rôle important dans la conception d'un transistor LDMOS. Elle permet un degré de liberté pour régler le compromis résistance à l'état passant et la tension de claquage. Son augmentation a pour principal effet l'augmentation de la tension de claquage et de la résistance à l'état passant S_{Ron} . Ceci s'est vu vérifié sur le LDMOS Népi : l'augmentation de L_{ext} permet l'augmentation du niveau de claquage et du S_{Ron} (Figure III-11).

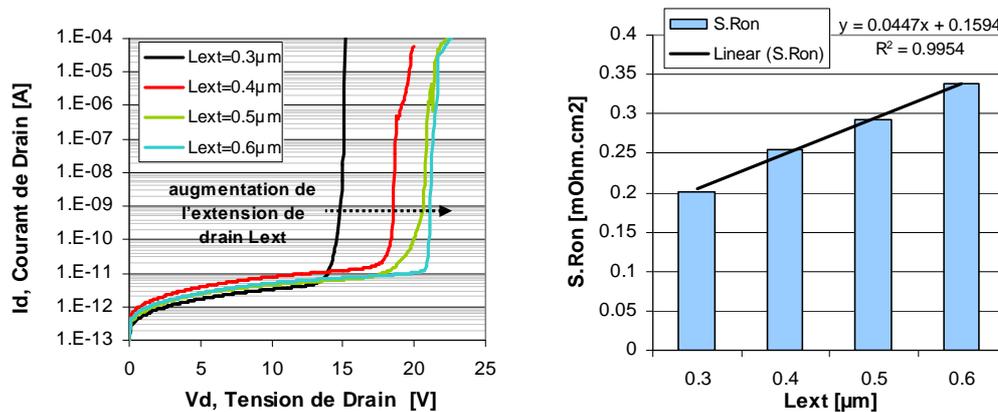


Figure III-11 Evolution de la tension de claquage et de la résistance à l'état passant S_{Ron} du LDMOS Népi pour des extensions de drains croissantes.

Dans le cas du LDMOSFET en caisson, ceci n'a pas été vérifié (cf. Figure III-12) : l'augmentation de l'extension de drain ne rend pas compte d'une augmentation de la tension

Optimisation des caractéristiques statiques

de claquage mais plutôt d'une légère régression du BVds de l'ordre de 0.5V pour une variation de L_{ext} de 0.6 μm . Cet effet peut être attribué au dopage non uniforme du caisson N le long du Pbody. Cette configuration du caisson induit une variation de la valeur du potentiel le long de l'interface de la jonction Pbody-N quelque soit la tension de polarisation appliquée sur le drain. A mesure que la distance L_{ext} augmente la zone où le champ électrique critique se trouve délocalisée en surface là où le niveau de dopant Nd est relativement plus élevé. Ainsi la tension de claquage est plus rapidement atteinte (de l'ordre de quelques millivolts). En revanche la variation de la résistance à l'état passant est cohérente : elle augmente avec la zone d'extension de drain.

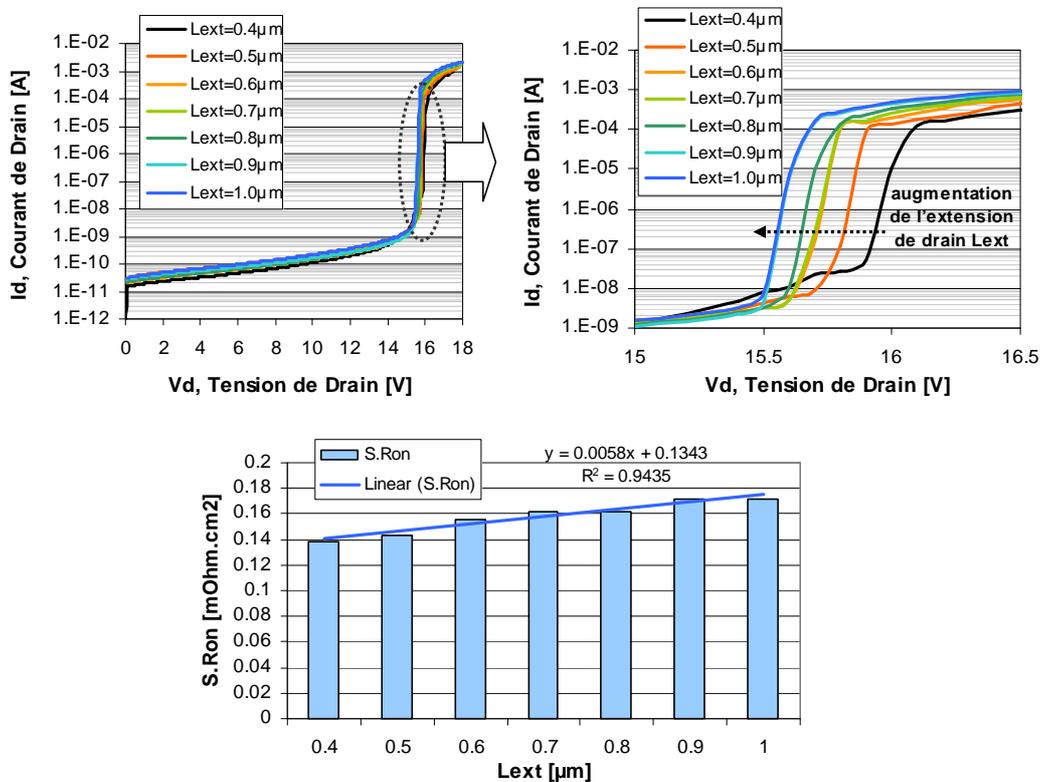


Figure III-12 Evolution de la tension de claquage et de la résistance à l'état passant S.Ron du LDMOS Caisson N pour des extensions de drain croissantes.

III.3.b. Influence de la longueur de grille (L_{poly})

La variation du paramètre géométrique L_{poly} permet de trouver la longueur de grille la plus adaptée au cahier des charges. Le paramètre susceptible d'être modifié lors de la réduction ou l'augmentation de la longueur de grille est le niveau du courant de sortie (I_d). En effet dans le cas de l'augmentation de L_{poly} , la longueur totale du transistor augmente et la polarisation interne du canal est modifiée (réduite). Ceci est en partie attribué à la réduction du champ électrique latéral. Ainsi pour une même tension appliquée V_d , le nombre de porteurs dans le canal est réduit et par conséquent le courant de sortie. La Figure III-13 illustre cet effet. Dans notre cas, la valeur L_{poly} choisie est de $0.5\mu m$.

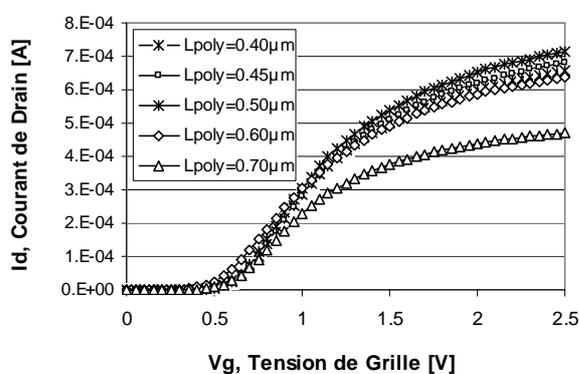


Figure III-13 Illustration de l'influence de la variation de la longueur de grille (L_{poly}) sur la caractéristique de sortie $I_d (V_g)$ du LDMOS (caisson N).

III.3.c. Influence de l'espacement entre grilles ($L_{interpoly}$)

La configuration en source commune nécessite une distance minimale entre deux grilles afin que la connexion du canal et de la source s'effectue correctement et qu'ils soient polarisés au même potentiel. La distance $L_{interpoly}$ est constituée d'une implantation P+ insérée entre deux implantations N+. Sa diminution consiste à réduire au minimum les zones N+ (font office de source du LDMOS) pour une zone P+ de largeur inchangée car ses dimensions sont déjà fixées au minimum des règles de dessins imposées par la résolution lithographique.

Une réduction trop importante a pour conséquence une très mauvaise polarisation de la source du LDMOS ainsi qu'une différence de potentiel entre la source et le canal Pbody. La Figure III-14 illustre l'effet de la réduction du $L_{interpoly}$ sur la transconductance. Dans ce cas précis, la

règle de dessin requiert une distance $L_{\text{interpoly}}$ strictement supérieure à $1.2\mu\text{m}$. Par ailleurs la tension de claquage n'est pas dépendante de cette géométrie.

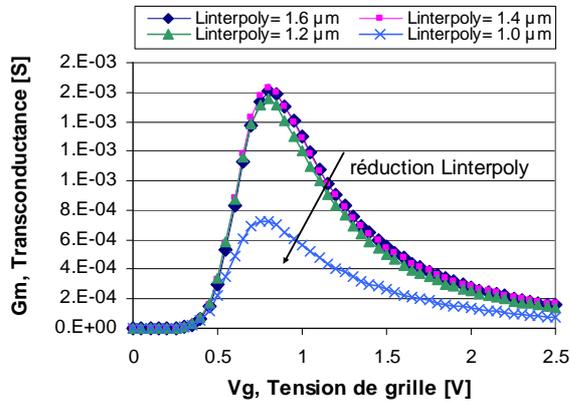


Figure III-14 Illustration de l'influence de la réduction de la distance $L_{\text{interpoly}}$ sur la caractéristique de sortie $G_m(V_g)$ du LDMOS avec caisson N.

III.3.d. Influence du recouvrement SiProt sur grille (Δ_{SiProt})

Le recouvrement SiProt sur la grille prend en compte les désalignements possibles pendant la photolithographie. Si ce recouvrement n'est pas suffisant, comme l'illustre la Figure III-15 pour une ouverture de $-0.2\mu\text{m}$ hors de la grille, le LDMOS présente un courant de fuite important en régime bloqué. En effet dans ce cas, la zone d'extension de drain est altérée : le SiProt ne la recouvre plus entièrement et cela engendre un court-circuit entre la grille et le drain en régime. Par la suite le recouvrement de $+0.2\mu\text{m}$ est adopté pour éviter tous problèmes de désalignement susceptibles de causer un court-circuit.

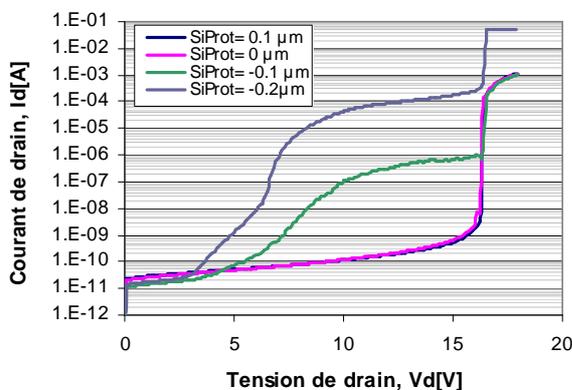


Figure III-15 Influence du recouvrement du SiProt sur la caractéristique en régime bloqué du LDMOS avec caisson N.

III.4. Bilan

Ce chapitre a permis d'identifier et de déterminer les différents paramètres technologiques et géométriques nécessaires au fonctionnement en régime statique d'un N-LDMOS.

Le niveau de dopage du caisson N et du Pbody ont été les deux principaux paramètres technologiques étudiés afin d'aboutir à un bon compromis $S.Ron \cdot BVds$. Les paramètres géométriques tels que la longueur d'extension de drain L_{ext} , la distance $L_{interpoly}$ ou encore L_{poly} ont permis de déterminer les limites de dessin de l'architecture LDMOS.

Les principales règles de dessin et paramètres technologiques choisies sont détaillées dans les tables Table III-6 et Table III-7. Les performances électriques ainsi obtenues correspondent aux valeurs souhaitées pour l'application amplificateur de puissance (Table III-8).

Géométrie choisie	$L_{interpoly}=1.6 \mu m$; $L_{ext}=0.6 \mu m$; $L_{poly}=0.5 \mu m$, $\Delta SiProt=0.2 \mu m$
--------------------------	---

Table III-6 Récapitulatif de la géométrie de l'architecture LDMOS choisie

	N° implantation	Espèce	Dose [$at.cm^{-2}$]	Energie [keV]
Caisson N	1	P	$5.0 \cdot 10^{12}$	550
	2	P	$1.2 \cdot 10^{12}$	160
	3	P	$1.4 \cdot 10^{12}$	70
Pbody		B	$1.2 \cdot 10^{14}$	25
Nldd		As	$2.0 \cdot 10^{14}$	50
Source et Drain		As	$3.0 \cdot 10^{15}$	60

Table III-7 Récapitulatif des principales conditions de fabrication du LDMOS à caisson N.

Performances électriques	Valeurs
Vt [V]	0.650
S.Ron [$m\Omega.cm^2$] à $Vg=2.5V$ et $Vd=0.1V$	0.143
Isat [$mA.mm^{-1}$] à $Vg=2.5V$ et $Vd=3.6V$	450
BVds [V]	15.5
Ioff [$pA.\mu m^{-1}$] à $Vg=0V$ et $Vd=3.6V$	2

Table III-8 Récapitulatif des principales performances électriques du LDMOS ($W=20 \mu m$) en régime statique.

Références Chapitre III

[CONT96] C. CONTERIO, P. GALBIATI, M. PALMIERI, L. VECCHI

« LDMOS Implementation by Large Tilt Implant in 0.6 μ m BCD5 Process, Flash Memory Compatible »

Power Semiconductor Devices and ICs, 1996, ISPSD'96 Proceedings, pp.75-78.

[FUJI02] N. FUJISHIMA, M. IWAYA, M. SAWADA, K. TABUCHI, S. KAJIWARA AND K. MOCHIZUKI

“A Low On-resistance Trench Lateral Power MOSFET in a 0.6 μ m Smart Power Technology for 20-30V Applications”

Electron Device Meeting 2002, IEDM Digest International, pp. 455-458

[MENA86] J. G. MENA, C. A. T. SALAMA

« High-Voltage Multiple-Resistivity Drift-Region LDMOS »

Solid-State Electronics, Vol. 29, n°6, pp. 647-656, 1986.

[MERC97] S. MERCHANT, R. BAIRD, P. HUI, R. THOMA, J. VICTORY

« High Performance 20-30V LDMOS Transistors in a 0.65 μ m-based Compatible Process »

IEEE BCTM 1997, pp. 202-205.

[MULL03] D. MULLER.

« Caractérisation et optimisation d'un transistor NLD MOS en filière BiCMOS », Université Joseph Fourier, Rapport de Stage de DEA de Microélectronique, Physique des Composants, Septembre 2003.

[NEHR01] W. NEHRER, L. ANDERSON, T. DEBOLSKE, T. EFLAND, P. FLEISCHMANN, C. HAIDINYAK, W. LEITZ, M. McNUTT, E. MINDRICELU, S. PENDHARKAR, J. SMITH and R. V. TAYLOR.

“Power BiCMOS Process with High Voltage Device Implementation for 20V Mixed Signal Circuit Applications”

Proceedings of 2001 Int. Symposium on Power Semiconductor Devices & ICs, Osaka, pp. 263-266.

[TM02_132] B. REYNARD

“NLDMOS optimization in HF7CMOS to be extended to BICMOS7RF” rapport interne, STMicroelectronics, équipe de simulation TCAD, 2002, 14 pages.

[TM03_23] B. REYNARD

“NLDMOS Optimization in BICMOS7RF” rapport interne, STMicroelectronics, équipe de simulation TCAD, 2003, 25 pages.

[TM03_26] B. REYNARD

“NLDMOS Optimization in BICMOS7RF” rapport interne, STMicroelectronics, équipe de simulation TCAD, 2003, 12 pages.

[TSAI97] C.-Y. TSAI, T. EFLAND, S. PENDHARKAR, J. MITROS, A. TESSMER ; J. SMITH, J. ERDELJAC, L. HUTTER

« 16V-60V Rated LDMOS Show Advances Performance in a 0.72 μ m Evolution BiCMOS Power Technology »
IEEE IEDM 1997, pp. 367-370

[TSAI99] C.-Y. TSAI, T. EFLAND, S. PENDHARKAR

« Split Gate MOSFETs in BiCMOS Power Technology for Logic Level Gate Voltage Application »
Power Semiconductor Devices and ICs, 1999, ISPSD'99 Proceedings, pp. 85-88.

[TSUI92] P. G. Y. TSUI, P. V. GILBET, S. W. SUN.

„Integration of Power LDMOS into a Low-Voltage 0.5 μ m BiCMOS Technology“
IEEE Electron Devices Meeting, 1992. Technical Digest International, pp. 27-30.

[ZING04] R. P. ZINGG.

“On the Specific On-Resistance of High-Voltage and Power Devices”
IEEE Transactions on Electron Devices, Vol. 51, n°3, Mars 2004.

[ZITO99] M. ZITOUNI, F. MORANCHO, P. ROSSEL, H. TRANDUC, J. BUXO et I. PAGES.

« A New Concept got the Lateral DMOS Transistor for Smart Power IC's »
Power Semiconductor Devices and ICs, 1999, ISPSD'99 Proceedings, pp. 73-76.

IV. OPTIMISATION DES CARACTERISTIQUES DYNAMIQUES

IV.	OPTIMISATION DES CARACTERISTIQUES DYNAMIQUES	97
IV.1.	Introduction à l'optimisation	101
IV.2.	Choix technologiques possibles.....	103
IV.2.a.	Optimisation du dessin	103
IV.2.a.i)	Description de la structure de test HF	103
IV.2.a.ii)	Variation de la résistance de grille (R _g)	104
IV.2.a.iii)	Réduction de L _{interpoly}	106
IV.2.b.	Optimisation du procédé de fabrication.....	112
IV.2.b.i)	Réduction de la capacité C _{gs}	112
IV.2.b.ii)	Réduction de la capacité C _{gd}	113
IV.2.b.iii)	Structure complètement siliciurée (FS)	114
IV.3.	Développement de la structure LDMOS-FS	117
IV.3.a.	Descriptif de la structure.....	117
IV.3.b.	Etapes spécifiques.....	118
IV.3.b.i)	Réalisation de l'espaceur double	118
(1)	Dépôt Nitrure	118
(2)	Gravure SPProt	119
IV.3.b.ii)	Protection de l'extension de drain	123
IV.3.b.iii)	Siliciuration totale de la grille	124
IV.3.b.iv)	Bilan morphologique	124
IV.3.c.	Intégration dans la filière.....	124
IV.4.	Résultats électriques du LDMOS-FS avec L _{poly} =0.5μm	125
IV.5.	Structure LDMOS-FS avec réduction de L _{poly}	127
IV.5.a.	Ilots de N+	129
(1)	Description des structures.....	129
(2)	Résultats.....	130
IV.5.b.	Implantation Pbody.....	132
IV.5.b.i)	Réduction du budget thermique.....	132
(1)	Implantation du PBody après les espaceurs	133
(2)	Implantation du PBody après oxydation	136
IV.5.b.ii)	Modification de l'implantation Pbody.....	138
IV.5.b.iii)	Bilan.....	140

IV.5.c.	Performances dynamiques du LDMOS-FS à Lpoly faible.....	140
IV.5.c.i)	Performances petit signal.....	140
IV.5.c.ii)	Performances grand-signal.	142
IV.5.d.	Comparaison des performances LDMOS et LDMOS FS	143
IV.5.d.i)	Performances petit-signal	143
IV.5.d.ii)	Performances grand-signal	144
IV.6.	Bilan.....	145
Références Chapitre V.....		147

Ce chapitre introduit les différents paramètres limitant les performances RF du NLDMOS. Il expose également les diverses optimisations réalisables sur l'architecture même du LDMOS touchant à la fois au dessin du transistor et à la modification du procédé technologique.

IV.1. Introduction à l'optimisation

Les paramètres influant sur le comportement petit et grand signal du LDMOS sont à la fois les paramètres intrinsèques au composant tels que les capacités grille-drain C_{gd} , grille-source C_{gs} , transconductance g_m et la résistance de grille intrinsèque (résistance polysilicium) et les paramètres extrinsèques au composant comme les capacités parasites (C_{ds} , C_{gd}) et les résistances parasites (R_g , cf. interconnexions) introduites par la topologie des prises de contacts et du transistor. Notre étude porte sur l'amélioration des performances dynamiques via l'optimisation des paramètres intrinsèques et extrinsèques du transistor.

La capacité grille-source (C_{gs}), la capacité grille-drain (C_{gd}) et la résistance de grille (R_g) déterminent les performances petit-signal (f_T et F_{max}) si l'on considère les équations suivantes :

$$f_T = g_m / 2\pi \cdot (C_{gs} + C_{gd}) \quad (\text{IV-1})$$

$$F_{max} = \sqrt{f_T / 8\pi \cdot R_g \cdot C_{gd}} \quad (\text{IV-2})$$

La résistance de grille peut être modifiée en fonction du design choisi et ainsi permettre sa réduction afin d'obtenir une fréquence F_{max} optimale. Ce thème sera abordé plus en détail dans la suite du chapitre.

Les capacités C_{gs} et C_{gd} doivent être les plus faibles possibles afin d'atteindre des fréquences f_T et F_{max} les plus élevées.

En se plaçant au niveau de la conception de l'amplificateur de puissance il est nécessaire de tenir compte d'éléments parasites supplémentaires. En particulier l'inductance de source L_s correspondant à la connexion de la source du transistor à la masse externe. Du point de vue « circuit », le gain en puissance (G_p) et l'impédance d'entrée (Z_{in}) ne sont pas seulement dépendants des éléments capacitifs composant le LDMOS. En effet si l'on considère un

LDMOS en négligeant la résistance de grille R_g , avec une inductance de source L_s et une charge optimale Z_{Lopt} , le gain en puissance et l'impédance d'entrée sont définis à une fréquence $f = \omega/2\pi$ par :

$$G_p = 10 * \log \left[1 + \frac{g_m R_{Lopt}}{L_s C_{in} \omega^2} \right] \quad (IV-3)$$

$$Z_{in} = R_g + \frac{g_m L_s}{C_{in}} + j \frac{1 - L_s [C_{gs} - g_m R_{Lopt} C_{ds}] \omega^2}{C_{in} \omega} \quad (IV-4)$$

avec $C_{in} = C_{gs} + (1 + g_m R_{Lopt}) \cdot C_{gd}$ (IV-5) et $Z_{Lopt} = R_{Lopt} + jX_{Lopt}$ (IV-6)

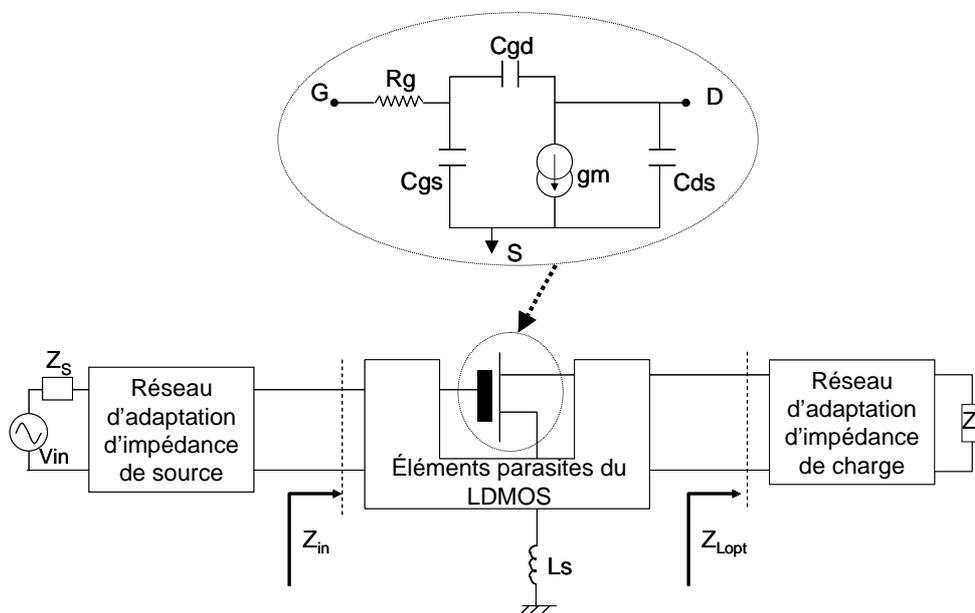


Figure IV-1 Schéma représentatif d'un montage amplificateur de puissance.

Les équations (V-3) et (V-5) montrent un fort impact de la capacité C_{in} sur le gain en puissance G_p et l'impédance d'entrée Z_{in} . La capacité C_{in} est elle-même fonction des capacités C_{gd} et C_{gs} .

La capacité C_{gd} joue un rôle majeur sur la vitesse de commutation du composant et vue de l'entrée elle se retrouve multipliée par le gain en tension de l'amplificateur (effet Miller). Plus la capacité C_{gd} sera importante plus le gain en puissance G_p sera faible et les performances en terme de PAE dégradées (équation II-8).

Le second inconvénient d'une capacité C_{in} trop élevée est l'obtention d'une faible impédance d'entrée Z_{in} , ce qui pénalise la réalisation du réseau d'adaptation entre l'étage de puissance et l'étage de préamplification (augmentation des pertes, réduction de la bande passante).

La minimisation de C_{in} et donc de C_{gd} et de C_{gs} est donc un critère de première importance à la fois pour l'amélioration des performances petit-signal et grand-signal.

IV.2. Choix technologiques possibles

Ce paragraphe dissocie les modifications qui peuvent être effectuées sur la topologie du LDMOS (dessin) et sur le procédé de fabrication. Leur impact sur les paramètres critiques (R_g , C_{gs} , C_{gd}) est discuté.

IV.2.a. Optimisation du dessin

IV.2.a.i) Description de la structure de test HF

Une cellule élémentaire de LDMOS est utilisée et reproduite n fois (Figure IV-2). Cette entité peut être également dupliquée m fois en parallèle afin d'obtenir un dispositif de grande taille, dans notre cas pouvant atteindre 12mm de longueur de polysilicium de grille (Figure IV-3).

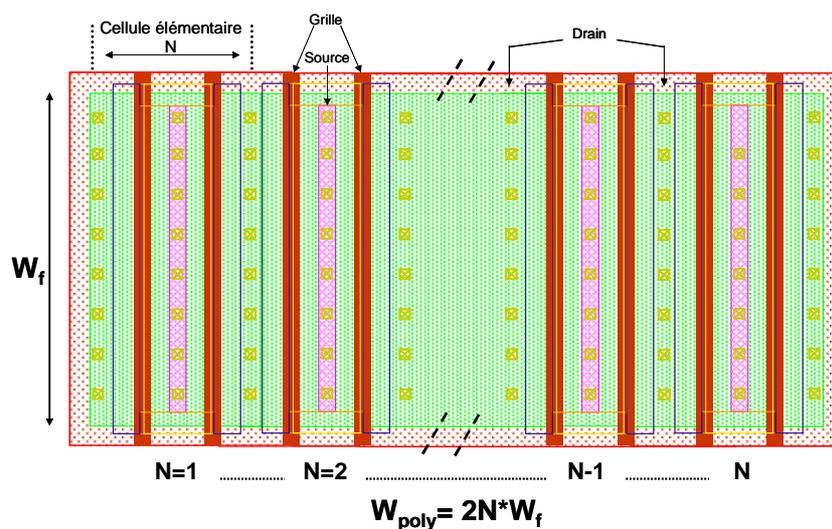


Figure IV-2 Allure de n multiplication du dessin du LDMOS.

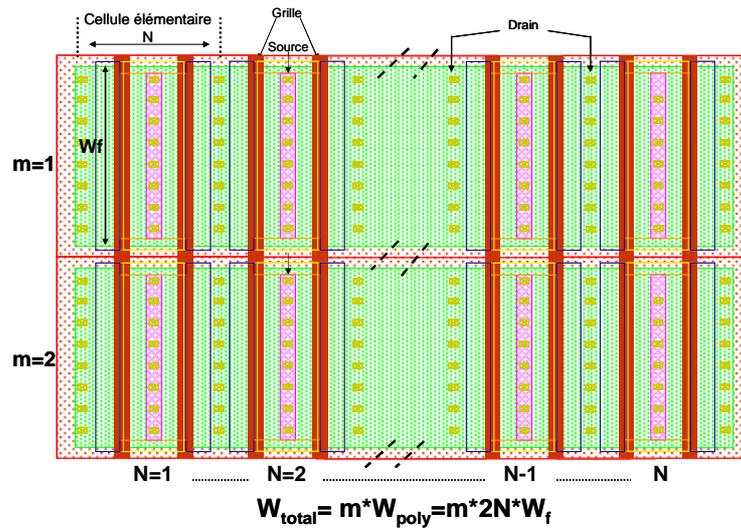
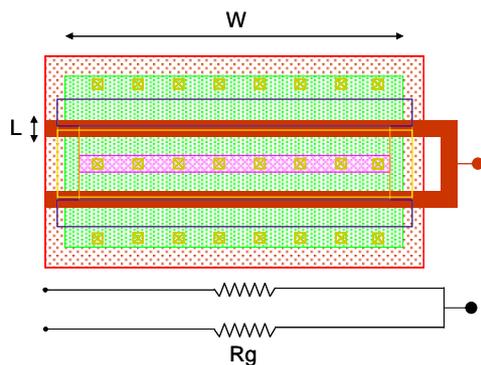


Figure IV-3 Allure du dessin pour un LDMOS de grande taille avec mise en parallèle de m cellules.

IV.2.a.ii) Variation de la résistance de grille (Rg)

La valeur de résistance de grille est très dépendante du dessin du transistor. En effet, elle est fonction à la fois de la largeur totale des grilles de polysilicium dessinées W_f , de la résistance carrée du polysilicium ($R_{carréepoly}$), du nombre de doigts ($2N \cdot m$) et du type de connexion choisie. Les calculs de la résistance de grille sont basés sur les travaux de Manku [MANK97]-[MANK98].



$$R_{g1} = \frac{R_{carréepoly}}{3} \times \frac{Wf}{L} \quad \text{avec} \quad Wf = \frac{W_{poly}}{2N}$$

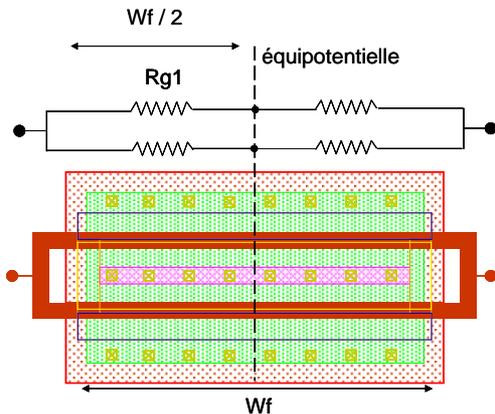
$$R_{g1_{cell}} = \frac{R_{g1}}{2} = \frac{R_{carréepoly}}{12} \times \frac{W_{poly}}{N \cdot L}$$

m cellules avec N sources mises en parallèle :

$$R_{G1} = \frac{R_{gcell}}{m \cdot N} = \frac{R_{carréepoly}}{12 \cdot m} \times \frac{W_{poly}}{N^2 \cdot L}$$

Figure IV-4 Cellule élémentaire de LDMOS (simple connexion de grille) et l'expression de sa résistance de grille en fonction de sa géométrie.

Les Figure IV-4 et Figure IV-5 illustrent deux types de connexions de grille, l'une simple l'autre double avec l'expression associée de leur résistance de grille. Une connexion double permet une réduction par 4 de la résistance de grille et donc sera choisie dans le cadre de la minimisation de R_g .



$$R_{g2} = \frac{R_{carréepoly}}{3} \times \frac{Wf}{2L} \quad \text{avec} \quad Wf = \frac{W_{poly}}{2N}$$

$$R_{g2_{cell}} = \frac{R_{g2}}{4} = \frac{R_{carréepoly}}{48} \times \frac{W_{total}}{N \cdot L} = \frac{R_{g1_{cell}}}{4}$$

Cellule avec N sources mises m fois en parallèle :

$$R_{G2} = \frac{R_{g2_{cell}}}{m \cdot N} = \frac{R_{carréepoly}}{48 \cdot m} \times \frac{W_{poly}}{N^2 \cdot L} = \frac{R_{G1}}{4}$$

Figure IV-5 Cellule élémentaire de LDMOS (double connexion de grille) et l'expression de sa résistance de grille en fonction de sa géométrie.

Le deuxième paramètre important est le choix de la taille de la cellule W_{poly} qui est mis en parallèle m fois afin d'obtenir la taille finale du dispositif W_{total} . Ce paramètre influe sur la résistance de grille. En effet pour un composant de taille W_{total} donnée le dessin peut être réalisé de différentes manières. La comparaison porte sur la valeur de la résistance de grille d'une cellule simple W_{poly} ($m=1$) et d'un dispositif avec 2 cellules W_{poly} mises en parallèles ($m=2$). La Figure IV-6 illustre la modification apportée à la cellule W_{total} pour permettre une réduction de la résistance de grille R_g ainsi que la simulation de son impact sur la fréquence d'oscillation F_{max} .

La simulation des performances f_T et F_{max} du transistor est réalisée pour un W_{total} de $1500 \mu m$ à $V_d=3.6 V$. Une comparaison est effectuée entre un dessin avec $Wf=50 \mu m$ ($m=1$) et un dessin avec $Wf=25 \mu m$ ($m=2$). La réduction de W par deux permet une réduction par un facteur 4 de la résistance de grille intrinsèque et la simulation permet de confirmer un gain sur le F_{max} de 50%. C'est ce dessin de transistor ($m=2$) qui sera par la suite utilisé.

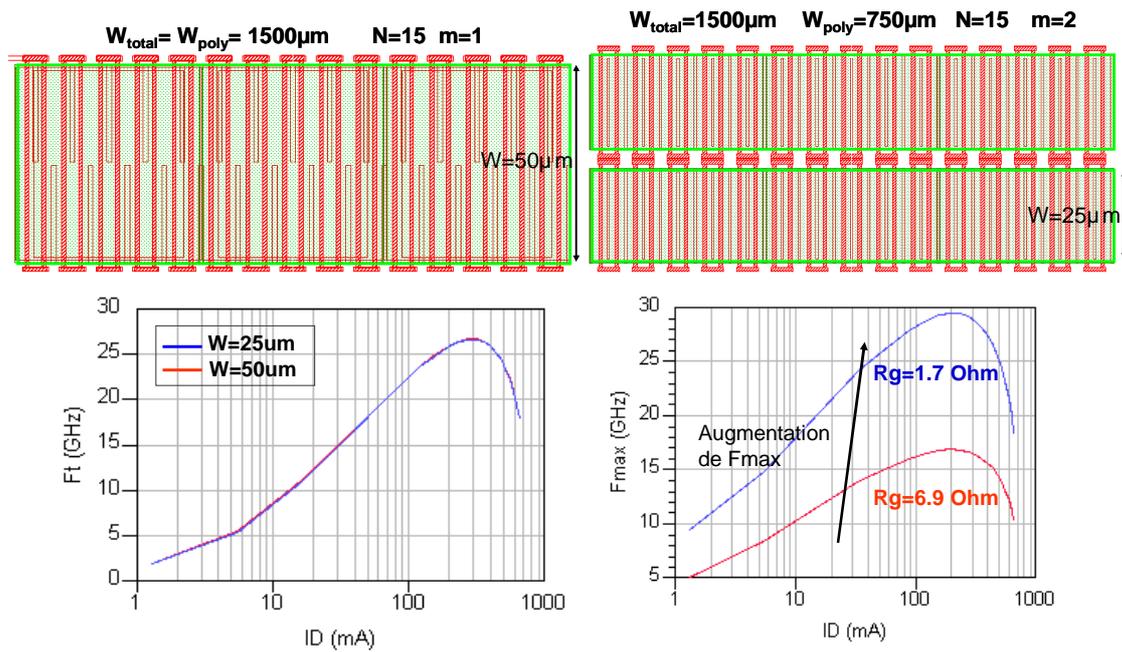


Figure IV-6 Illustration de l'effet de la réduction de la résistance de grille par la modification de son dessin sur les performances dynamiques petit-signal (simulation).

IV.2.a.iii) Réduction de $L_{interpoly}$

La réduction d'espacement entre doigts de polysilicium a été précédemment fixée à une largeur minimale strictement supérieure à $1.2\mu m$ et pouvant atteindre $1.6\mu m$ (chapitre III). La variation de la distance $L_{interpoly}$ modifie la surface du dispositif et de ce fait la capacité surfacique C_d . L'amélioration des performances petit-signal requiert une réduction de C_d et donc de $L_{interpoly}$. En effet, une réduction par 2 de la capacité C_d permet un gain de l'ordre de 20% sur la fréquence maximale d'oscillation F_{max} . (Chapitre II- fig. 28).

Dans la configuration standard la zone P+ possède une largeur minimale L_{p+} de $0.5\mu m$. Cette zone correspond à la prise P+ siliciurée entourée de deux zones N+. Cette configuration permet une polarisation uniforme du Pbody le long du W avec le canal et la source ramenés au même potentiel. La réduction de l'espacement est d'une part limitée par les règles de dessin et d'autre part par le comportement électrique du composant (Figure IV-7).

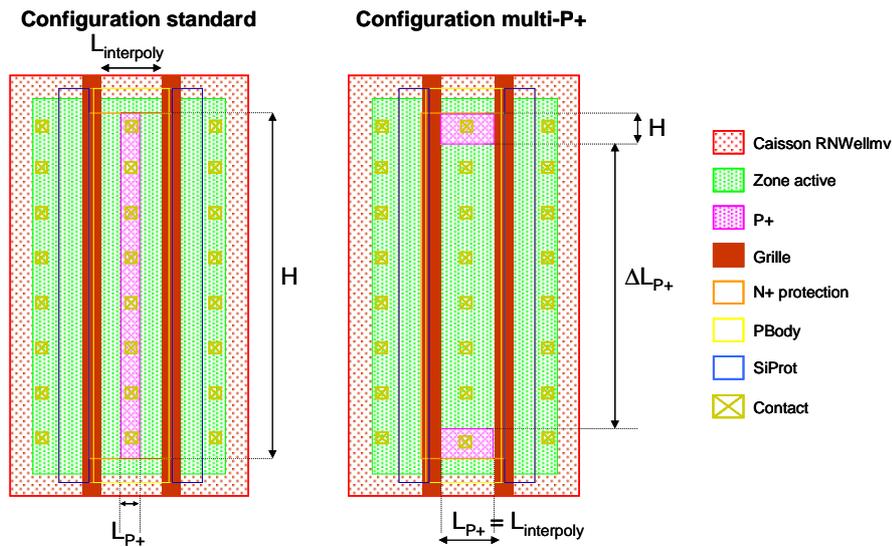


Figure IV-7 Dessin des architectures avec une configuration prise P+ standard et multi-P+.

Une configuration dénommée multi-P+, inspirée de la disposition des prises P+ sur les dispositifs réalisés sur SOI, consiste à modifier la disposition et la géométrie des prises P+ et ainsi de réduire la distance $L_{interpoly}$ au dessous de $1.2\mu\text{m}$. Au lieu d'un barreau continu de P+ le long de W , n plots P+ de surface ($H \cdot L_{P+}$) sont disposés le long de W et sont espacés de ΔL_{P+} (Figure IV-7). Une distance minimale ΔL_{P+} entre chaque plot P+ est requise afin d'éviter les problèmes dits de « snapback » [HOWE99], activation d'un bipolaire parasite par un courant de trou généré par le mécanisme d'ionisation par impact sous la présence d'un champ électrique fort.

Ce phénomène est effectivement observé si l'on compare les caractéristiques de sortie d'une architecture standard avec l'architecture multi-P+ pour une distance ΔL_{P+} trop importante. A fort V_d et donc à fort champ électrique un claquage prématuré est observé. Si le courant de substrat I_b est tracé en fonction de V_g , celui possède une forme de cloche, caractéristique typique de la présence d'ionisation par impact localisée dans la zone PBody proche du drain [HOWE99-1].

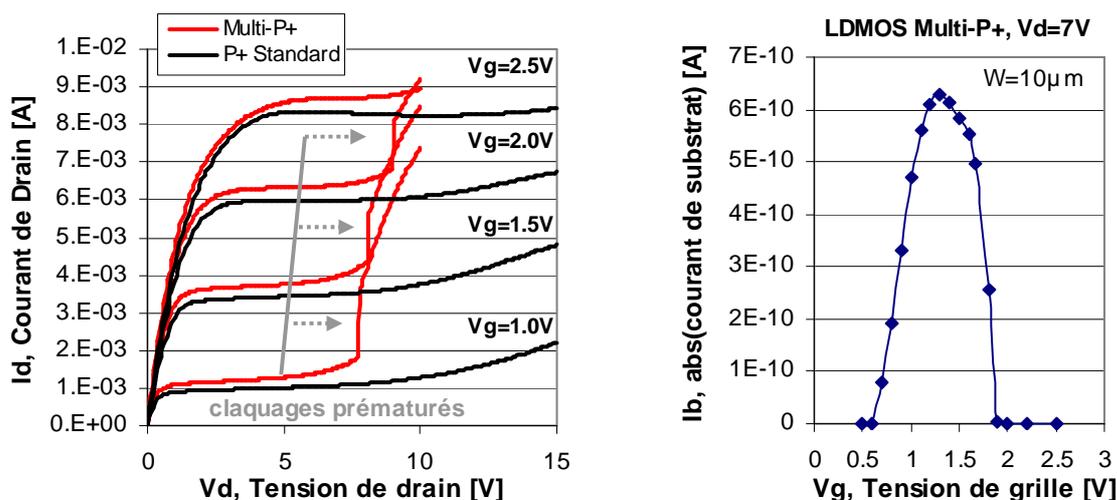


Figure IV-9 Caractéristiques de sortie du LDMOS ($W=10\mu m$) en configuration standard et Multi-P+ (gauche) et allure du courant de substrat I_b pour V_d proche du claquage prématuré (droite).

Lorsque le Pbody et la source sont court-circuitées par siliciuration, il existe à l'équilibre une zone de charge d'espace autour de la jonction de la source (associée à sa barrière de potentiel). L'orientation du champ électrique associé à cette zone de charge d'espace et le champ transverse sous la grille sont tels que les porteurs minoritaires (trous) générés par multiplication dans la zone pincée proche du drain sont repoussés dans le volume du Pbody. Ils circulent à travers la prise Pbody (prise P+) et induisent une tension interne positive V_{pbody} associée à une résistance volumique R_{Body} .

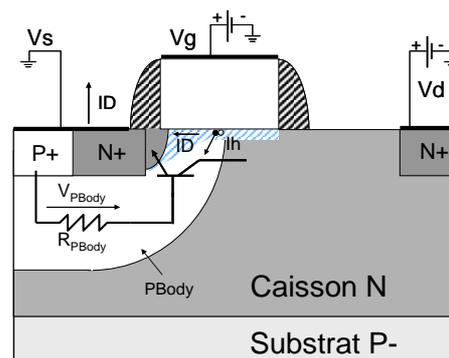


Figure IV-8 Composants spécifiques intervenant en régime pincé.

L'augmentation de la tension V_{pbody} a tendance à faire chuter la valeur de la tension de seuil V_T qui induit l'augmentation du courant de drain I_d (pour un même V_g). Ce phénomène est connu sous le nom de l'effet Pbody [ROSS97]. En se situant du côté du drain, à la création des porteurs minoritaires (électrons) créés par avalanche s'ajoute une augmentation du courant d'inversion I_d principalement du à l'effet Pbody. Malgré cela le courant de trou I_h est proportionnel à la densité d'électrons traversant la zone de multiplication de drain : ce

phénomène peut causer l'instabilité du LDMOS. Dans ces conditions, un certain niveau de courant doit être maintenu afin de ne pas franchir un point de fonctionnement critique (à V_d suffisant).

Par ailleurs quand la tension du Body atteint la tension interne de diffusion de la jonction de la source, une partie des trous générés par multiplication n'est plus contenue dans le volume du Pbody et traverse la jonction source (barrière de potentiel inexistante). Ainsi la source injecte des électrons qui sont introduits dans le courant d'inversion collecté par le drain. Si ce phénomène d'injection de source est atteint avant d'atteindre l'effet Pbody, il est nécessaire de prendre en compte les effets d'un bipolaire parasite.

Dans notre cas, l'observation du claquage prématuré est attribué au déclenchement du bipolaire parasite $N^+/P_{body}/CaissonN$. A mesure que la tension de drain appliquée (pour un même V_g) augmente, le champ électrique présent dans la zone de charge d'espace de la jonction CaissonN/PBody est important et les porteurs acquièrent suffisamment d'énergie pour générer des paires électron/trou par ionisation par impact. Le courant de trou est collecté

par l'intermédiaire des prises P^+ . Dans le cas où les trous générés par ionisation par impact ne sont pas correctement évacués par les prises multi- P^+ , la densité de trous s'accroît dans la base (Pbody) jusqu'à ce que la tension de diffusion de la jonction Pbody/ N^+ (émetteur) soit atteinte. Le phénomène d'injection de porteurs par la source rend le déclenchement du bipolaire parasite $N^+/P_{body}/CaissonN$ possible et se traduit par l'observation d'un claquage prématuré (snapback, Figure IV-10) sur les caractéristiques de sortie. La gamme de tension sur laquelle le composant est utilisable est alors restreinte (« Safe Operating Area » [HOWE99-1]) en comparaison à une architecture standard où les caractéristiques de sortie sont « inchangées » jusqu'à V_d 20V.

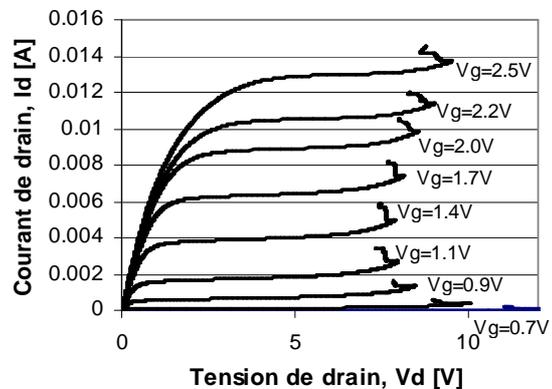


Figure IV-10 Caractéristiques de sortie avec la présence du « Snapback » typiquement observé sur les architectures LDMOS avec $L_{interpoly}$ réduit ($W_{total}=40 \mu m$)

Afin de connaître la configuration optimale du type de prise P+ qui permet l'évacuation complète des trous générés par ionisation, plusieurs géométries de la configuration multi-P+ sont étudiées. Les variations en terme de surface totale de prise (S_{totale}) et de distance entre prises (ΔL_{p+}) restent les paramètres influençant l'apparition du phénomène (Figure IV-11).

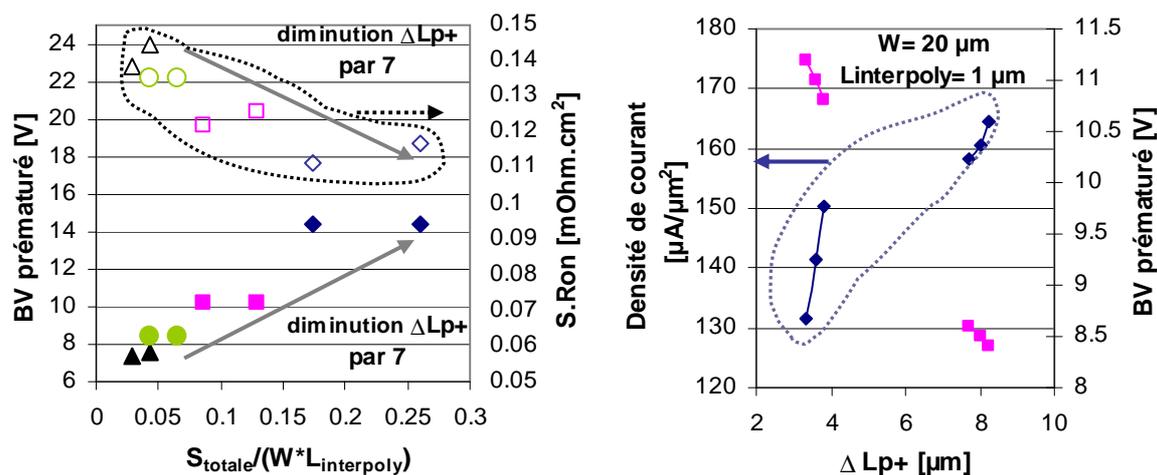


Figure IV-11 Tension d'activation du bipolaire parasite et S.Ron en fonction de la surface totale des prises P+ relative (gauche). Densité de courant du LDMOS et sa tension d'activation en fonction de ΔL_{p+} (droite).

Si l'on observe la densité de courant de drain, celle-ci diminue à mesure que le nombre de prise P+ est important. Ceci peut être expliqué par une réduction de la densité de courant de trous (I_h) collectés par des prises avec ΔL_{p+} restreint. Ainsi si l'on considère à des conditions de polarisations équivalentes que le coefficient de multiplication M des porteurs minoritaires (trous) reste constant et que l'expression $I_h/I_d = M - 1$ est valide [ROSS97], la densité de courant de drain I_d sera plus faible dans le cas d'une distance ΔL_{p+} réduite. Cela correspond à l'effet Pbody inversé pour lequel une diminution de la tension interne V_{pbody} induit une augmentation de la tension de seuil et donc une diminution du courant de drain à V_g équivalent.

Par ailleurs, l'espacement entre prises reste le paramètre majeur du bon fonctionnement du LDMOS. Pour deux surfaces totales différentes et une même distance ΔL_{p+} , le claquage opère à un même niveau de tension. La surface totale des prises P+ présente un impact faible sur

Optimisation des performances dynamiques

l'apparition du claquage. De plus, plus la distance ΔL_{p+} est faible plus le phénomène est retardé. Une réduction de 7 fois sa distance maximale permet de retarder de doubler la tension de claquage. La résistance S.Ron chute jusqu'à $0.11 \text{ m}\Omega \cdot \text{cm}^2$ avec une tension prématurée toujours existante vers 14V. Malgré ces bonnes performances ΔL_{p+} reste relativement trop élevé pour permettre la disparition du claquage.

Si on compare avec la configuration standard, aucun phénomène n'apparaît avant 20V pour un S.Ron $0.136 \text{ m}\Omega \cdot \text{cm}^2$ et un courant de saturation de $170 \mu\text{A}/\mu\text{m}^2$. Plus la distance ΔL_{p+} se réduit plus la densité de courant I_{dsat} pour un même W diminue et tend à être inférieure à la valeur de la configuration standard. Par exemple pour un LDMOS avec un ΔL_{p+} de $3.35 \mu\text{m}$ ($W=20 \mu\text{m}$, $L_{\text{interpoly}}=1 \mu\text{m}$, $H=1 \mu\text{m}$), la densité de courant obtenue atteint $130 \mu\text{A}/\mu\text{m}^2$, soit une perte en courant de l'ordre 25% avec le déclenchement du bipolaire parasite aux alentours de 11V.

Il est alors difficile de considérer que des performances équivalentes à la configuration standard en terme d'absence de claquage et de densité de courant soient réalisables en configuration multi-P+.

Néanmoins la présence de snapback à fort Vd n'empêche pas l'amélioration des performances petit-signal, plus précisément du F_{max} par la réduction de la capacité Cds via $L_{\text{interpoly}}$. Les mesures ont été réalisées sur un LDMOS de $W_{\text{total}}=1500 \mu\text{m}$ à $V_d=3.6 \text{ V}$ et sont exposées dans la Table IV-1.

$L_{\text{interpoly}} [\mu\text{m}]$	$C_{\text{ds}} [\text{fF}]$	$\Delta C_{\text{ds}}/C_{\text{ds}}$	$F_{\text{max}} [\text{GHz}]$	$\Delta F_{\text{max}}/F_{\text{max}}$
1.6	862	-	37.4	-
1.2	672	22%	41.5	11%
1	630	27%	42.6	14%
0.75	566	34%	43.5	16%

Table IV-1 Résultat petit-signal du LDMOS $1500 \mu\text{m}$ avec $L_{\text{interpoly}}$ réduit (mesure).

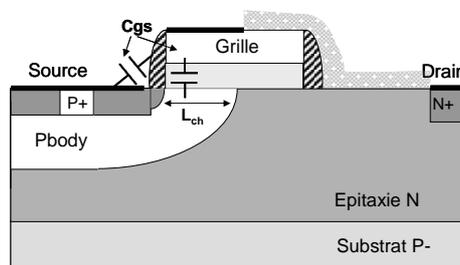
Les résultats dynamiques confirment l'amélioration significative que peut apporter la réduction de la capacité surfacique Cds (jusqu'à 20 % sur F_{max}) mais la configuration LDMOS multi-P+ n'est pas en mesure d'offrir des performances à la hauteur de la

configuration standard en terme de densité de courant, et de claquage principalement à cause du phénomène de déclenchement de bipolaire parasite. Dans cette configuration le LDMOS est susceptible de rencontrer des problèmes de fiabilité pendant son fonctionnement.

IV.2.b. Optimisation du procédé de fabrication

IV.2.b.i) Réduction de la capacité C_{gs}

D'un point de vue composant la capacité C_{gs} est proportionnelle à la capacité d'oxyde de la zone de recouvrement du canal par l'oxyde de grille et s'exprime par :



$$C_{gs} \propto C_{ox} \cdot W \cdot L_{ch} \quad (IV-7)$$

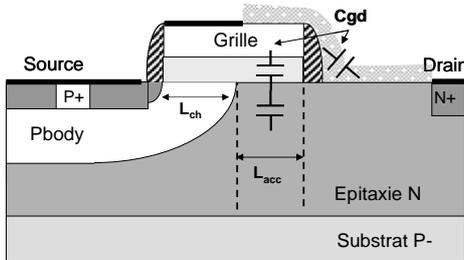
C_{ox} étant la capacité d'oxyde par unité de surface, L_{ch} la longueur effective du canal et W la largeur totale du LDMOS.

La réduction de C_{gs} peut être envisagée par la réduction de la capacité C_{ox} ou encore par la réduction de la longueur effective du canal.

L'augmentation de l'épaisseur de l'oxyde de grille du transistor LDMOS entraîne la réduction de C_{ox} mais l'intégration de plusieurs épaisseurs d'oxyde de grille reste délicate. En effet l'épaisseur d'oxyde de grille des MOS standard reste inchangée et relative à la technologie $0.25 \mu\text{m}$. Dans le cas d'une filière avec une seule épaisseur d'oxyde l'unique levier est donc la longueur du canal L_{ch} . La réduction de L_{ch} est rendue possible par la modification des conditions d'implantations du Pbody et la modification de son budget thermique de diffusion.

IV.2.b.ii) Réduction de la capacité Cgd

Lorsque la tension de grille est positive et la tension de drain reste faible, une zone d'accumulation se forme sous la grille dans la zone d'extension. Dans ce cas, la capacité Cgd se réduit à une capacité d'oxyde qui vaut :



$$C_{gd} = C_{ox} \cdot W \cdot L_{acc} \quad (IV-8)$$

où L_{acc} est la zone accumulée sous la grille (en dehors du canal).

Au fur et à mesure que la tension de drain augmente, et que le composant entre en régime de saturation, une zone de déplétion se forme sous l'oxyde (côté extension de drain). Dans ce cas, la capacité Cgd est une capacité de déplétion en série avec une capacité d'oxyde. Son comportement est celui d'une capacité MOS et sa capacité totale est calculée par [SZE66] :

$$C_{gd} = \frac{W \cdot L_{acc} \cdot C_{ox}}{\sqrt{1 + \left(\frac{2 \cdot C_{ox}^2 \cdot V_{dg}}{q \cdot N_d \cdot \epsilon_0 \cdot \epsilon_{si}} \right)}} \quad (IV-9)$$

où V_{dg} est la tension à ses bornes. La capacité Cgd s'exprime alors en fonction des paramètres technologiques tels que le dopage de la zone d'extension N_d ou l'épaisseur d'oxyde ainsi que des paramètres géométriques de la structure.

La capacité Cgd peut être diminuée par l'intermédiaire de :

- la réduction de la valeur de la capacité d'oxyde C_{ox} (augmentation de ϵ_{ox}).
- la réduction du niveau de dopant N_d dans la zone d'extension.
- la réduction de la longueur accumulée sous la grille L_{acc} .

La première possibilité ne sera pas retenue par la suite (cf. paragraphe précédent), tout comme celle concernant la modification de dopage de la zone d'extension. En effet, les paramètres technologiques du LDMOS préalablement déterminés ont permis l'obtention de caractéristiques statiques en accord avec le cahier des charges de l'application PA. La modification du niveau de dopage, plus particulièrement sa réduction entraînerait une augmentation de la tension de claquage BVds au détriment du S.Ron.

Par ailleurs le LDMOS possède une longueur de grille largement supérieure au minimum requis par la technologie. Le rétrécissement de la longueur de grille reste envisageable et ainsi Lacc et Cgd seraient réduits. Par la suite ce point sera étudié plus en détails en tenant compte de la faisabilité technologique.

IV.2.b.iii) Structure complètement siliciurée (FS)

La présence du recouvrement partiel de SiProt sur la grille empêche la siliciuration totale de la grille et impose un dimensionnement de grille d'au moins $0.5\mu\text{m}$, largement supérieure au minimum de la technologie de $0.25\mu\text{m}$. (Figure IV-12-(a)). La suppression de ce recouvrement comme l'illustre la Figure IV-12-(b) permettrait l'obtention d'une architecture avec une grille complètement siliciurée. Par ce biais il serait possible de réduire la longueur de grille et ainsi la capacité Cgd.

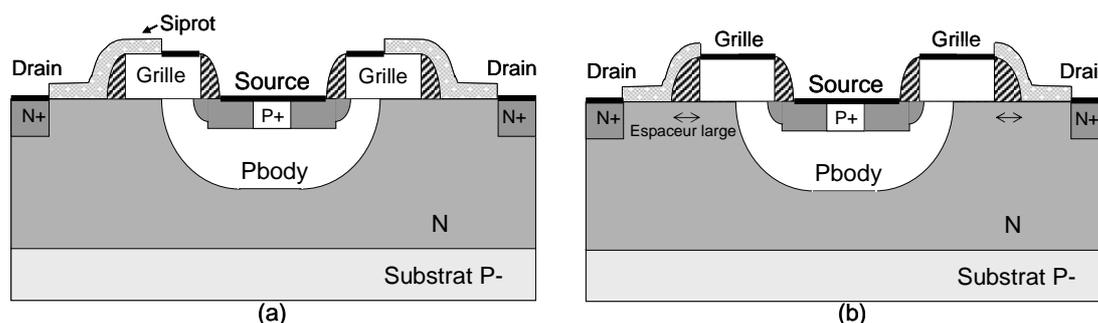


Figure IV-12 Coupe de l'architecture du NLD MOS standard (a) et de l'architecture du NLD MOS avec une grille entièrement siliciurée (b).

Le procédé photo lithographique peut présenter un désalignement de 180 nm par rapport à son point d'alignement. Dans notre cas, le SiProt est aligné sur la grille (Figure IV-13-a). Etant

Optimisation des performances dynamiques

donné la faible largeur du pied de l'espaceur (environ 80 nm) inférieure au possible désalignement du SiProt sur la grille, la règle de dessin adoptée autorise un recouvrement de SiProt compris entre 180 et 200 nm sur la grille. Ainsi la grille est partiellement siliciurée (PS) avec l'assurance d'une extension de drain non siliciurée.

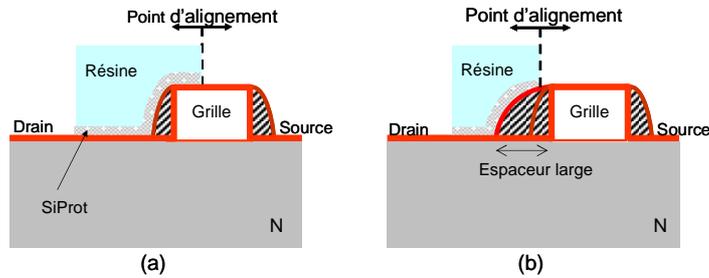


Figure IV-13 Etape de définition du SiProt : (a) Alignement de la résine sur la grille et recouvrement SiProt de $0.2\mu\text{m}$ sur la grille, (b) Alignement de la résine sur l'espaceur large pour obtenir une grille vierge de SiProt.

Pour s'affranchir du recouvrement SiProt sur la grille, l'idée est de réaliser un espaceur suffisamment large du côté drain (supérieur à 200 nm) pour à la fois permettre un alignement du SiProt en bord de grille et également absorber les éventuels désalignements. De cette manière le SiProt ne serait plus présent sur la grille et l'obtention d'une architecture avec une grille complètement siliciurée (FS) est réalisable (Figure IV-13-b).

Des étapes supplémentaires sont nécessaires à la réalisation de cet espaceur large. Le procédé de fabrication considéré est décrit comme il suit [BREV] :

Une couche d'oxyde s'intercale entre les espaceurs CMOS standard et la réalisation du dépôt en couche épaisse de nitrure pleine plaque (Figure IV-14).

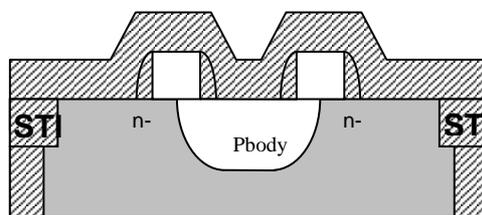


Figure IV-14 Etape spécifique de dépôt de Nitrure épais.

La couche de nitrure est alors gravée de manière anisotrope. La couche d'oxyde intercalée entre les deux nitrures est utilisée comme moyen de détection de fin de gravure. Ainsi, elle évite une éventuelle sur-gravure qui pourrait endommager les espaceurs CMOS standard. Des espaceurs larges sont obtenus à la fois sur les transistors CMOS et LDMOS (Figure IV-15).

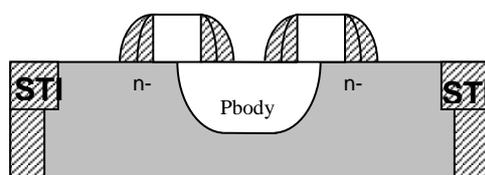


Figure IV-15 Etape spécifique de gravure des espaceurs larges

Un masque spécifique (Spacer_Prot) généré à partir des niveaux du Nwellmv et du Pbody est utilisé pendant l'étape suivante de gravure. L'espaceur large côté drain est protégé alors que tous les autres espaceurs indésirables sont éliminés (Figure IV-16). En effet les espaceurs larges présents sur les CMOS sont inutiles ainsi que ceux présents sur les LDMOS côté source.

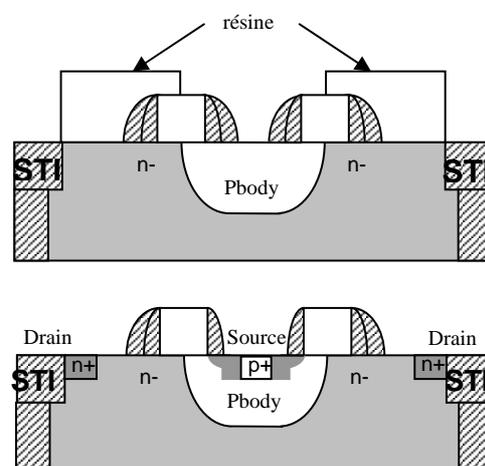


Figure IV-16 Etape spécifique de gravure des espaceurs parasites et obtention d'un LDMOS avec un espaceur large côté drain.

Par la suite le SiProt est déposé pleine plaque (oxyde/nitride) et gravé en respectant les zones non sujettes à la siliciuration comme l'extension de drain. Une fois la gravure du SiProt réalisée la grille est alors prête à être complètement siliciurée. (Figure IV-17)

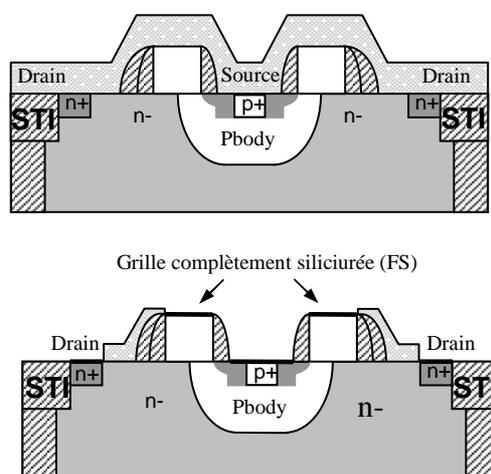


Figure IV-17 Dépôt du SiProt et étape spécifique d'alignement du masque SiProt sur l'espaceur large pour l'obtention d'une grille complètement siliciurée.

IV.3. Développement de la structure LDMOS-FS

Le développement du nouveau procédé de fabrication nécessite l'introduction d'étapes supplémentaires et la modification de l'architecture du LDMOS. Ce paragraphe illustre les modifications nécessaires apportées au layout et les changements apportés au procédé de fabrication.

IV.3.a. Descriptif de la structure

Une seule modification au niveau dessin est à noter. Il concerne le niveau du SiProt délimité par le périmètre bleu et indiqué par une flèche sur la Figure IV-18. Il correspond à la zone de recouvrement du SiProt ou encore à la zone sur active protégé de la siliciuration. Le nouveau dessin prend en compte la présence de l'espaceur large côté drain. Ainsi la zone SiProt ne recouvre plus la grille et se situe à $0.1\mu\text{m}$ à l'extérieur du polysilicium de grille.

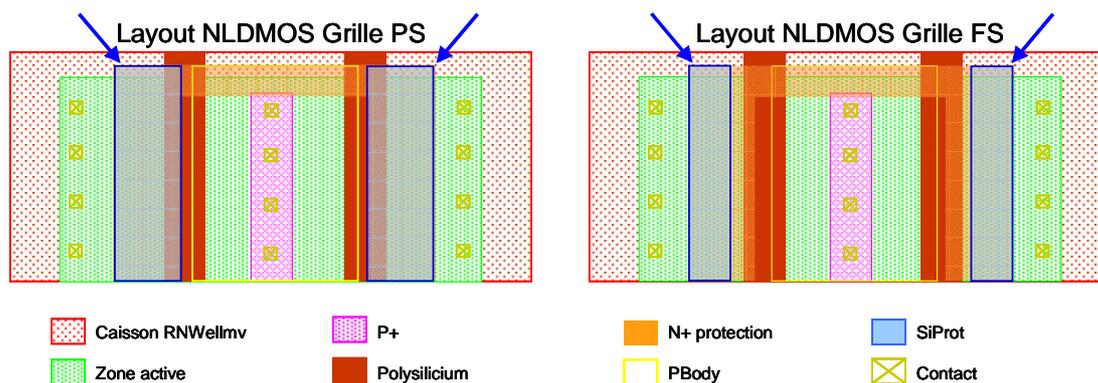


Figure IV-18 Modification de dessin apportée sur le niveau de masque SiProt.

IV.3.b. Etapes spécifiques

Plusieurs étapes sont introduites au procédé de fabrication original dont deux spécifiques :

- le dépôt épais de nitrure. Son épaisseur optimale sera déterminée par la suite pour l'obtention après gravure d'un espaceur d'une longueur totale au pied de l'ordre de $0.3\mu\text{m}$.
- la gravure des espaceurs parasites. Les conditions seront également déterminées pour qu'aucun résidu ne subsiste après gravure.

IV.3.b.i) Réalisation de l'espaceur double

(1) Dépôt Nitrure

Plusieurs épaisseurs de nitrure sont déposées à basse température après la réalisation des espaceurs standard. L'étude porte sur des épaisseurs variant entre 120nm et 320nm. Une fois les dépôts réalisés, la couche de nitrure est gravée et la largeur du second espaceur ainsi obtenue est mesurée après avoir réalisé des coupes MEB comme l'illustre la Figure IV-19.

L'évolution de la largeur de l'espaceur en fonction de l'épaisseur de nitrure déposée varie de façon non-linéaire (Figure IV-20). La morphologie de l'espaceur est obtenue par l'effet d'ombrage que porte la hauteur de grille sur la gravure anisotrope du nitrure. A partir d'une certaine épaisseur déposée, la largeur de l'espaceur atteint une valeur limite. Cela est observé pour des épaisseurs déposées supérieures à 250nm. Au-delà de cette valeur, l'accroissement de

Optimisation des performances dynamiques

30% de l'épaisseur déposée permet d'augmenter de seulement 6% la largeur du second espaceur. La valeur limite du second espaceur atteint 110nm. Le meilleur compromis épaisseur de nitrure déposée / largeur de l'espaceur est obtenu pour un espaceur large de 102Å et un dépôt de 250nm.

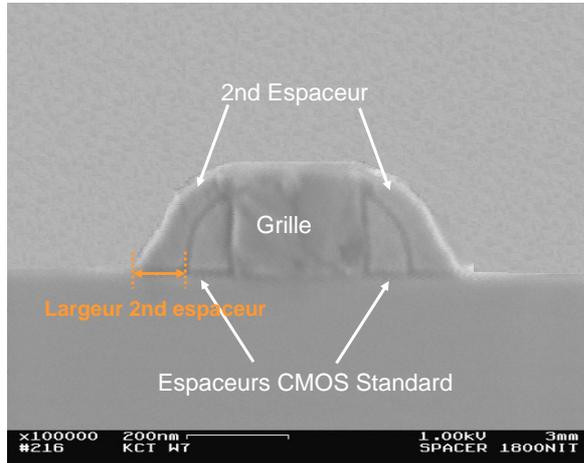


Figure IV-19 Coupe morphologique d'une grille après gravure d'un dépôt Nitrure de 180nm.

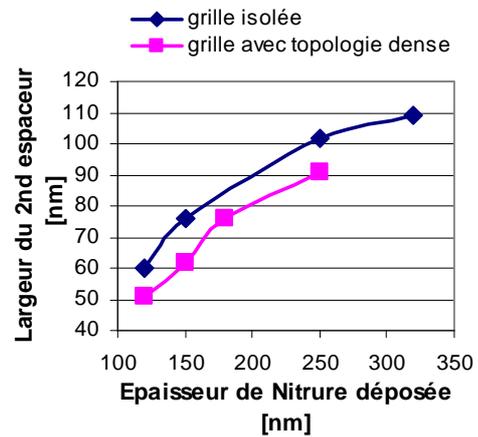


Figure IV-20 Evolution de la largeur du second espaceur en fonction de l'épaisseur de Nitrure déposée.

(2) Gravure SPProt

Avant de graver l'espaceur parasite une étape de photolithographie est nécessaire. La résine déposée selon le motif du masque Spacer_prot permet la protection des espaceurs larges côté drain. Les autres étant découverts afin de pouvoir les graver par la suite (Figure IV-21).

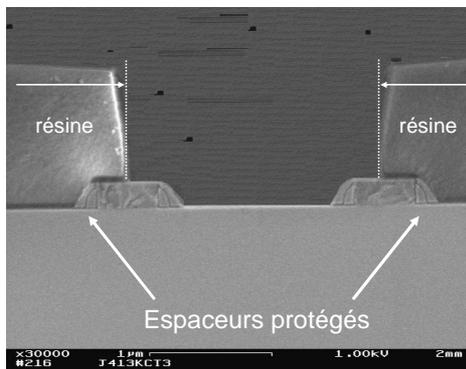


Figure IV-21 Recouvrement des espaceurs par la résine avec le motif du masque Spacer_prot. Les espaceurs côté source ne sont pas protégés pour permettre la gravure du second espaceur.

Deux chimies de gravures plasmas ont été testées par l'intermédiaire de deux équipements de gravure : AXL et DPS. Dans les deux cas, différentes recettes et temps de gravure sont testés pour la gravure du second espaceur obtenu à partir d'un dépôt nitrure de 250 nm. [JUDO04]

(a) Manipulations sur DPS

Trois recettes sont élaborées : DPS1, DPS2, DPS3. Le temps de gravure et le dosage des espèces ont été principalement modifiés. La consommation de résine, la largeur d'espaceur ainsi que l'épaisseur d'oxyde restant (de l'ordre 230 Å entre les deux espaceurs) et la morphologie du LDMOS sont examinés. Cette étude est réalisée sur des longueurs de grille variant entre 0.5µm et 0.25µm en vue de la réduction de Lg (Figure IV-22 et Figure IV-23).

Quelle que soit la longueur de grille, la chimie de la gravure DPS ne consomme pas ou très peu de résine : l'espaceur large est efficacement protégé. Malgré cela la largeur de l'espaceur mesurée côté source en fin de gravure oscille entre 100 et 150 nm. Cette dimension reste largement supérieure à la distance de l'espaceur standard de 80 nm, ce qui indique que le second espaceur n'est pas complètement éliminé.

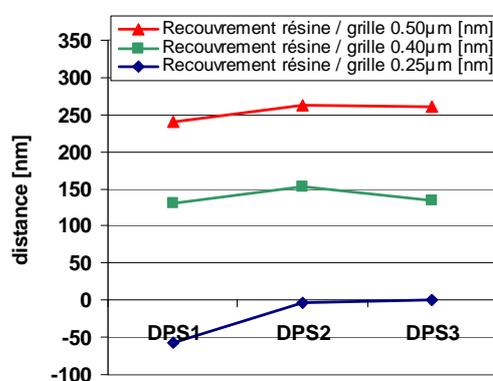


Figure IV-22 Recouvrement de résine sur la grille pour Lg=0.5, 0.4 et 0.25µm et trois recettes différentes sur DPS.

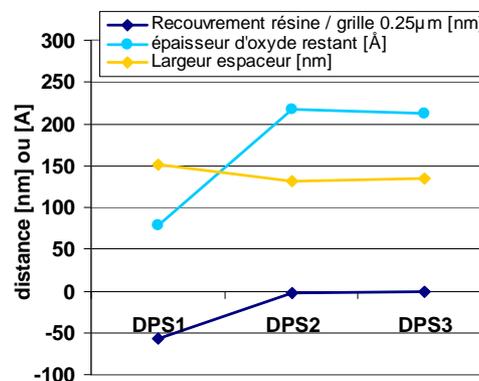


Figure IV-23 Paramètres mesurés en fin de gravure DPS (3 recettes, Lg=0.25 µm).

La Figure IV-24 représente la morphologie typique du LDMOS après la gravure type DPS (quelle que soit la recette utilisée). Elle confirme la présence résiduelle du second espaceur et l'isotropie des recettes de gravure. Dans ce cas le second espaceur n'est pas éliminé, la gravure sur DPS n'est pas validée.

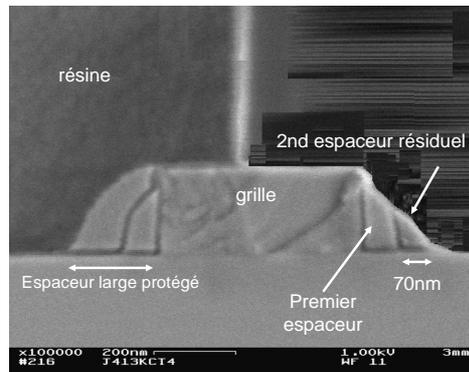


Figure IV-24 Coupe morphologique du LDMOS après l'étape de gravure Spacer_prot(DPS).

(b) Manipulations sur AXL

Une recette de gravure espaceur standard est utilisée avec une détection de fin de gravure. La chimie de l'AXL a l'avantage de graver le second espaceur sans laisser de résidus (Figure IV-25).

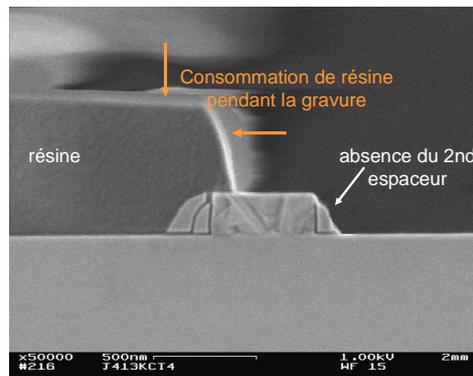


Figure IV-25 Coupe MEB après gravure SPProt pour une longueur de grille de 0.5µm.

Malgré tout, la résine est consommée latéralement (Figure IV-26), ce qui entraîne sur des LDMOS avec de faible longueur de grille une ouverture de résine sur l'espaceur large côté drain. Cette ouverture a pour principal effet notable la gravure du second espaceur côté drain

et donc sa disparition. Il est nécessaire de modifier la recette afin de minimiser le budget résine consommé au cours de la gravure. La sélectivité de la gravure du nitrure par rapport à la résine doit être augmentée.

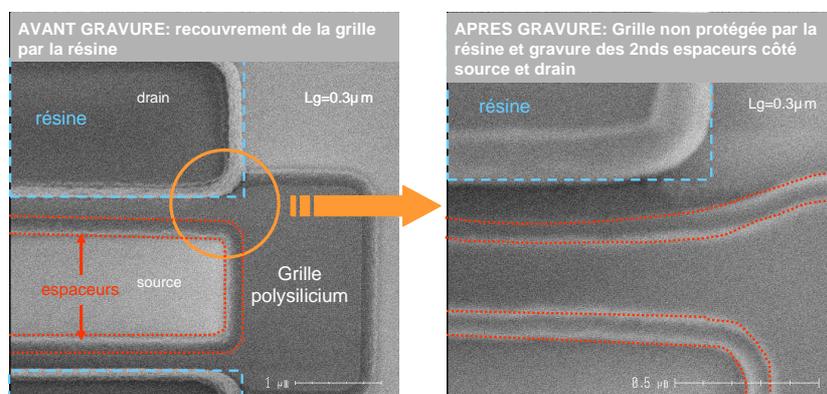


Figure IV-26 LDMOS en vue de dessus : illustration de l'effet de la consommation de résine pour une longueur de grille inférieure à $0.5\mu\text{m}$.

Pour cela dix recettes sont considérées avec des modifications apportées à la fois sur la puissance, le type de précurseurs utilisés et leur ratio. Les résultats sont exposés dans les Figure IV-27 et Figure IV-28. Un recouvrement négatif correspond à une absence de résine sur la grille en fin de gravure. Pour des grilles de 0.4 ou $0.5\mu\text{m}$ de nombreuses recettes permettent de conserver un recouvrement positif important avec les meilleurs résultats obtenus pour les recettes AXL6 et AXL7. Ces deux recettes correspondent également au recouvrement maximal de résine sur la grille de $0.25\mu\text{m}$. Néanmoins ce recouvrement reste relativement faible, proche de zéro, et peut être considéré comme efficace. En effet, la résine même située en limite de bord de grille en fin de gravure protège toujours l'espaceur.

Finalement la largeur de l'espaceur mesurée en fin de gravure AXL6 est inférieure à 80nm tandis que pour l'AXL7 elle atteint 200nm . Une seule recette, l'AXL6 est susceptible de donner de bons résultats par l'élimination totale du second espaceur; contrairement à l'AXL7 malgré un recouvrement de résine supérieur sur la grille.

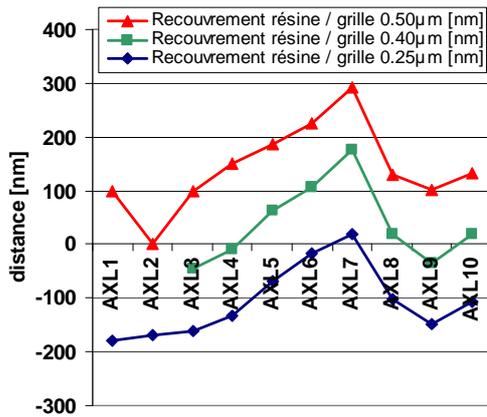


Figure IV-27 Recouvrement de résine sur la grille pour $L_g=0.5, 0.4$ et $0.25 \mu m$ et dix recettes différentes sur AXL.

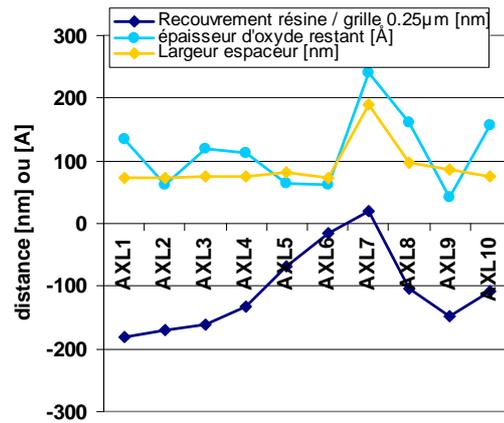


Figure IV-28 Paramètres mesurés en fin de gravure AXL (10 recettes, $L_g=0.25 \mu m$).

IV.3.b.ii) Protection de l'extension de drain

La protection de l'extension de drain s'effectue par la présence de SiProt sur la zone entre la grille et le contact de drain. A partir de l'architecture espaceur large, le SiProt est déposé (couche d'oxyde et de nitrure) et l'étape de photolithographie délimite les zones où le SiProt est nécessaire avec le masque SiProt (Figure IV-29). La gravure du SiProt réalisée, la résine est éliminée : comme le montre la Figure IV-30, le SiProt est bien aligné sur l'espaceur large qui permet l'obtention d'une grille sans SiProt prête à être complètement siliciurée.

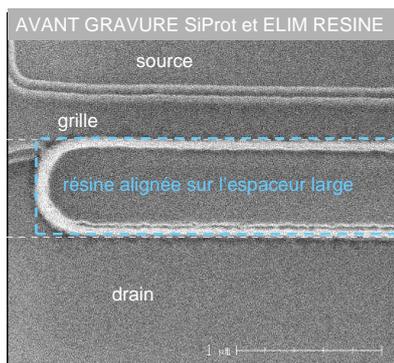


Figure IV-29 Vue de dessus du LDMOS après l'étape de photolithographie SiProt.

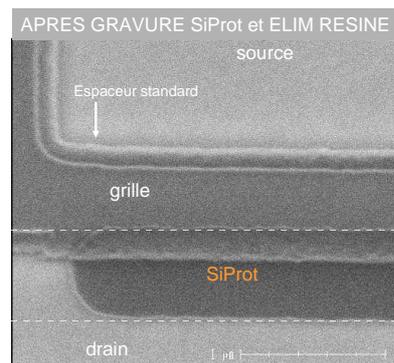


Figure IV-30 Vue de dessus du LDMOS après gravure de SiProt et élimination de la résine.

IV.3.b.iii) Siliciuration totale de la grille

A partir de la morphologie du LDMOS obtenu après gravure SiProt, les zones actives non protégées sont siliciurées. La coupe MEB du LDMOS avec une longueur de grille minimale de $0.25\ \mu\text{m}$ illustre la réalisation d'un LDMOS avec une grille complètement siliciurée.

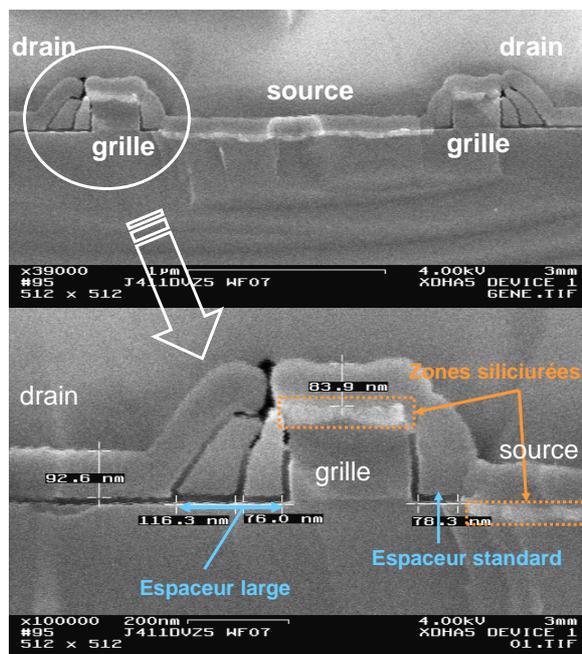


Figure IV-31 Vue en coupe du LDMOS-FS (Photo MEB).

IV.3.b.iv) Bilan morphologique

Les résultats permettent de confirmer la faisabilité de l'architecture LDMOS-FS. Les conditions nécessaires à sa réalisation sont le dépôt d'un nitrure de 250 nm et une gravure de type AXL6.

IV.3.c. Intégration dans la filière

L'introduction d'étapes supplémentaires au procédé de fabrication initial peut modifier la morphologie des autres composants et également leurs caractéristiques électriques. La Figure IV-32 illustre les étapes supplémentaires intégrées au procédé de fabrication standard BiCMOS.

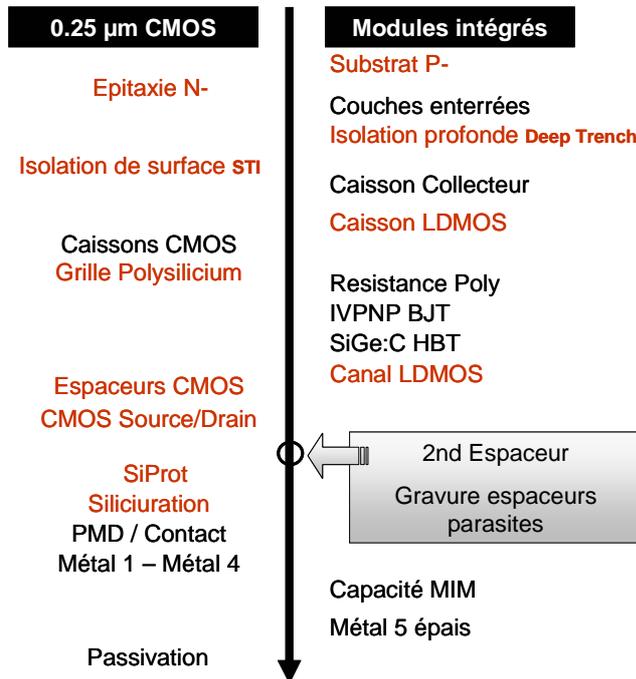


Figure IV-32 Descriptif de l'enchaînement des étapes de fabrication des différents composants de la filière BiCMOS 0.25µm avec l'introduction des étapes spécifiques au LDMOS.

La réalisation d'un dépôt épais de nitrure possède un impact sur le budget thermique global du procédé de fabrication. Ainsi les espèces implantées possèdent un budget de diffusion plus important et ceci peut modifier les performances électriques des MOS ou des bipolaires. Pour éviter ces phénomènes un nitrure basse température (technologie SiNgen [INT01], [INT02]) est utilisé, qui contrairement au nitrure de type four possède une température de dépôt plus basse et également un temps de dépôt réduit.

Les résultats précédents ont confirmé l'absence de résidus de matériaux de type nitrure ou autre sur le LDMOS. Malgré cela un procédé de fabrication mal réglé peut faire apparaître des résidus pouvant perturber le bon fonctionnement des composants (i.e. empêcher une bonne siliciuration des contacts etc.)

IV.4. Résultats électriques du LDMOS-FS avec $L_{poly}=0.5\mu m$

Comme prévu aucune amélioration n'apparaît sur les performances statiques du LDMOS-FS : la tension de seuil, le courant de sortie, la tension de claquage restent identiques. En terme de performance dynamique, la fréquence maximale d'oscillation est améliorée : F_{max} atteint

36.3 GHz pour le LDMOS-FS contre 33.5 GHz pour le LDMOS précédemment obtenu (Figure IV-33) pour un W_{total} de 80 μm .

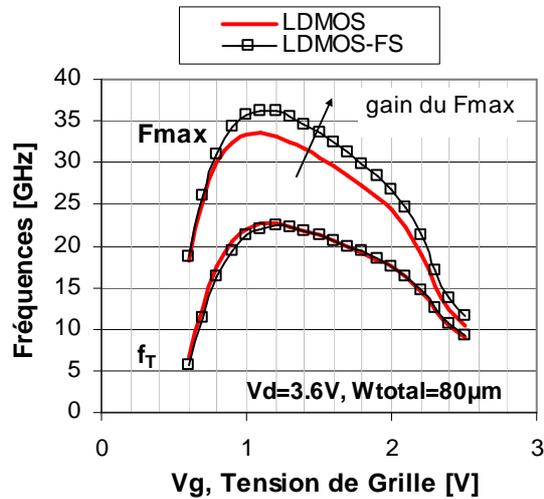


Figure IV-33 Caractéristiques petit-signal (f_T et F_{max}) du LDMOS et du LDMOS-FS ($W=80\mu m$).

La nouvelle architecture permet la siliciuration totale du polysilicium de grille et donc pour une même longueur de grille une réduction de la résistance de grille R_g (Figure IV-34).

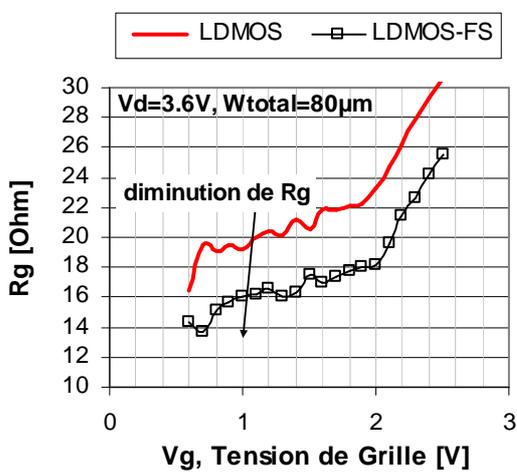


Figure IV-34 Résistance de grille extraite du LDMOS et du LDMOS-FS.

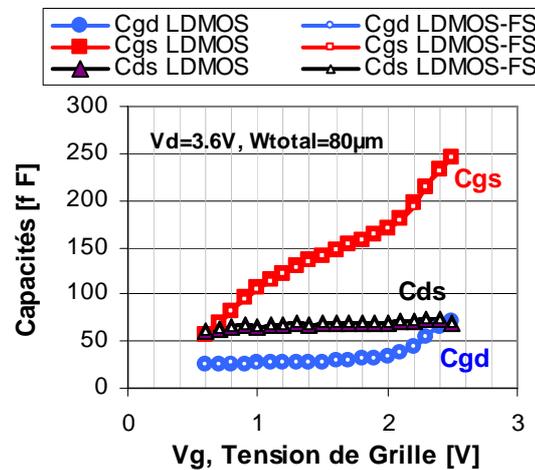


Figure IV-35 Capacités extraites du LDMOS et du LDMOS-FS.

Dans l'architecture LDMOS standard, la résistance de grille consiste à la mise en parallèle de deux résistances : la résistance du polysilicium siliciuré (sur une largeur de grille de $0.3\mu\text{m}$) et la résistance du polysilicium non siliciuré (sur $0.2\mu\text{m}$ de large). La partie non siliciurée possède une résistance carrée supérieure à la zone siliciurée. La résistance totale est donc plus importante pour le LDMOS standard que le LDMOS-FS. De plus l'amélioration des performances n'est due qu'à la réduction de la résistance de grille. En effet, les éléments capacitifs du LDMOS-FS tels que C_{gd} , C_{gs} et C_{ds} restent semblables au LDMOS (Figure IV-35) puisque la longueur L_{acc} reste identique dans les deux cas ($L_{poly}=0.5\mu\text{m}$).

IV.5. Structure LDMOS-FS avec réduction de L_{poly}

Les premiers résultats électriques du NLD MOS-LS faible longueur de grille sont obtenus avec les conditions standard de fabrication (déterminées dans le chapitre V). En régime statique, le comportement du LDMOS-FS reste semblable au LDMOS pour des longueurs de grille comprises entre $0.35\mu\text{m}$ et $0.5\mu\text{m}$. En dessous de $0.35\mu\text{m}$, le niveau de courant de sortie chute considérablement et introduit une forte augmentation du S.Ron (Figure IV-36) et une diminution du g_m . La réduction de la capacité C_{gd} est bien confirmée par la réduction de la zone d'accumulation sous la grille ou encore par la réduction de L_{poly} (Figure IV-36).

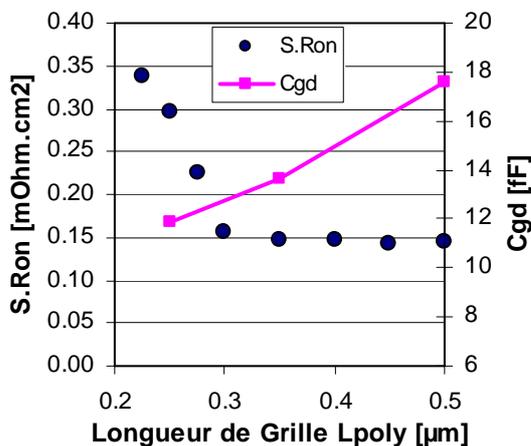


Figure IV-36 Variation de S.Ron et de C_{gd} en fonction de la longueur de grille L_{poly} .

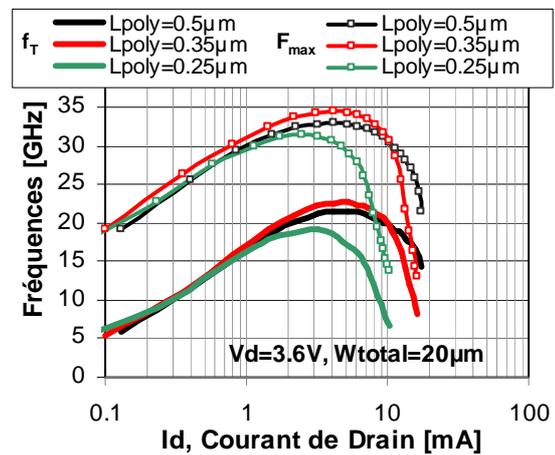


Figure IV-37 Performances petit-signal ($V_d=3.6\text{V}$, $W_{total}=20\mu\text{m}$; $L_{poly}=0.5, 0.35$ et $0.25\mu\text{m}$).

Malgré cela les performances petit-signal du LDMOS-FS $0.25\mu\text{m}$ sont en dessous des performances du LDMOS-FS $0.5\mu\text{m}$ (Figure IV-37). La tendance concernant l'augmentation des performances petit-signal avec la réduction de L_{poly} n'est pas observée. La structure à $0.25\mu\text{m}$ possède un f_T de 18 GHz et un F_{max} de 31 GHz. Ces valeurs sont largement inférieures à celles obtenues sur le LDMOS-FS $0.5\mu\text{m}$, où un f_T de 22 GHz et un F_{max} de 34 GHz sont obtenus.

La variation du S.Ron en fonction de L_{poly} (Figure IV-36) ainsi que les simulations TCAD (Technology Computer Aided Design) ont permis de donner une explication aux résultats observés (Figure IV-38, Figure IV-39). La diminution du courant de sortie est due à un débordement hors de la grille du canal diffusé Pbody. Le LDMOS-FS ainsi obtenu ne possède plus la configuration usuelle sous la grille c'est-à-dire la présence à la fois du canal (zone d'inversion) et de la zone d'accumulation L_{acc} . Pour des longueurs de grille inférieures à $0.35\mu\text{m}$, la zone d'accumulation est supposée inexistante.

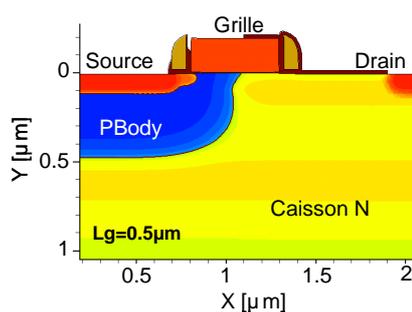


Figure IV-38 Coupe transversale du LDMOS simulé
($L_g=0.5\mu\text{m}$)

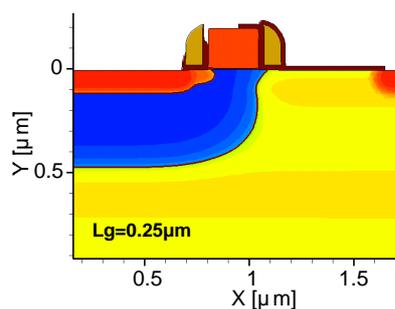


Figure IV-39 Coupe transversale du LDMOS simulé
($L_g=0.25\mu\text{m}$)

Lorsque la tension de grille devient supérieure à la tension de seuil, seul le canal d'inversion se manifeste sous la grille. Dans ce cas, seules les charges présentes dans le canal composent le courant de sortie. Or, dans une configuration « canal/zone d'accumulation », le courant est régi à la fois par les électrons présents dans le canal inversé et par ceux accumulés sous la grille avec un acheminement des porteurs vers le drain par la présence du champ électrique latéral. La configuration « canal simple » empêche l'accumulation des porteurs et donc leur « multiplication ». Ces deux points expliquent partiellement la diminution du courant de sortie pour les faibles longueurs de grilles.

Le débordement du canal hors de la grille s'explique par une diffusion trop importante du Pbody. Pour bénéficier de la réduction des éléments capacitifs induite par la réduction de la longueur de grille L_g , le canal doit être contenu sous la grille.

Deux solutions sont alors envisagées :

- l'introduction d'une zone dopée n+ en bord de grille coté drain afin de confiner le canal sous la grille.
- la modification des conditions d'implantation et de diffusion du Pbody.

IV.5.a. Ilots de N+

(1) Description des structures

La réduction de longueur de grille a permis une réduction de la capacité C_{gd} . Malgré cela les fréquences de transition et d'oscillation n'ont pas été améliorées : une augmentation significative du S_{Ron} compensant l'amélioration de C_{gd} . Cette augmentation du S_{Ron} a été attribuée à une diffusion excessive du PBody en dehors de la grille.

Pour confiner le canal sous la grille (quand celle-ci est réduite) une solution a été de bloquer la diffusion du PBody en introduisant une zone dopée N+ en limite de grille côté drain. La Figure IV-40 représente la coupe du LDMOS-FS faible grille avec une implantation N+ côté drain. Cette structure sera par la suite nommée LDMOS-FS îlots N+. La réalisation de cette structure nécessite la modification d'un niveau de masque: le N+protection. La règle de dessin adoptée est une variation de l'ouverture du masque ΔN_{+prot} entre 0 et $-0.4 \mu m$.

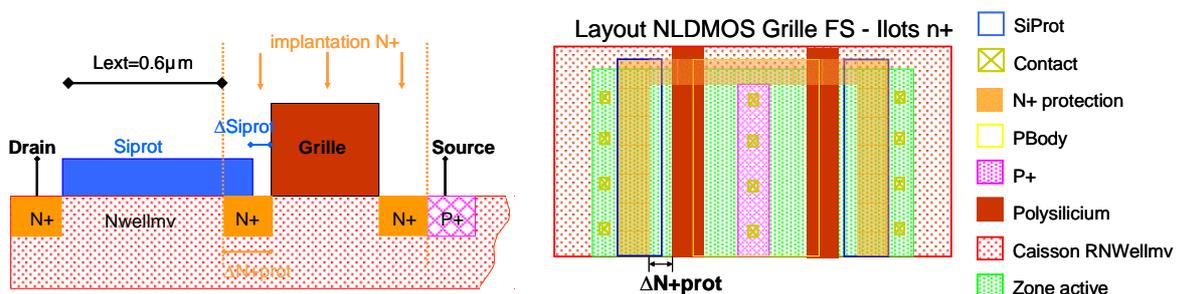


Figure IV-40 Coupe du LDMOS-FS avec îlots N+ (gauche) et son dessin (droite).

(2) Résultats

Les principales performances statiques (S.Ron, BVds) et dynamiques petit-signal (f_T , F_{max}) ainsi que les éléments capacitifs (Cgd, Cgs) sont reportées par les figures Figure IV-41, Figure IV-42, Figure IV-43 et Figure IV-44 pour le LDMOS-FS îlots N+ avec des ouvertures $\Delta N+Prot$ de 0.2 et 0.4 μm .

L'évolution du S.Ron en fonction de L_g pour une ouverture de 0.2 μm est équivalente au LDMOS-FS. A mesure que L_{poly} diminue et malgré une réduction de 30% sur Cgd et Cgs, les valeurs de f_T et F_{max} chutent : ce dimensionnement n'est pas suffisant pour permettre le confinement du Pbody sous la grille.

En revanche l'ouverture de 0.4 μm permet de maintenir le S.Ron autour de 0.15 mOhm.cm² quelle que soit la longueur de grille. L'augmentation des fréquences maximales f_T et F_{max} avec la réduction de L_{poly} est alors bien observée. Pour une réduction de L_{poly} d'un facteur deux, f_T atteint 33 GHz contre 22 GHz soit un gain de l'ordre de 50%, F_{max} atteint 40 GHz contre 34 GHz soit un gain de 6 GHz (18%). La forte amélioration du f_T est due à la réduction simultanée de la capacité Cgd et Cgs. La réduction de la longueur de grille a pour effet de diminuer L_{acc} et donc Cgd mais également de réduire la longueur effective du canal et donc Cgs. En effet pour une même tension appliquée et une longueur de grille réduite, le champ électrique latéral est supposé plus important. Par conséquent le pincement du canal sera plus important et sa longueur effective réduite.

Par ailleurs les caractéristiques en régime bloqué des structures LDMOS-FS et LDMOS-FS îlots N+ se différencient. L'introduction d'une zone N+ proche du canal modifie l'allure de la caractéristique de claquage et présente des fuites. La tension de claquage BVds des LDMOS-FS atteint 10V. Ce phénomène observé est attribué au GIDL (Gate Induced Drain Leakage) [CHAN87].

L'obtention d'un LDMOS-FS de 0.25 μm avec de bonnes performances électriques ne se fait pas sans contrainte : il est nécessaire de stabiliser la valeur du S.Ron et de garder une tension de claquage de l'ordre de 15V. L'introduction d'une zone dopée N+ d'ouverture 0.4 μm à proximité de la grille côté drain a permis d'améliorer les performances du composant

Optimisation des performances dynamiques

0.25 μm : un S.Ron de 0.17 m $\Omega\cdot\text{cm}^2$ et des fréquences f_T de 35 GHz et F_{max} de 40 GHz sont obtenues.

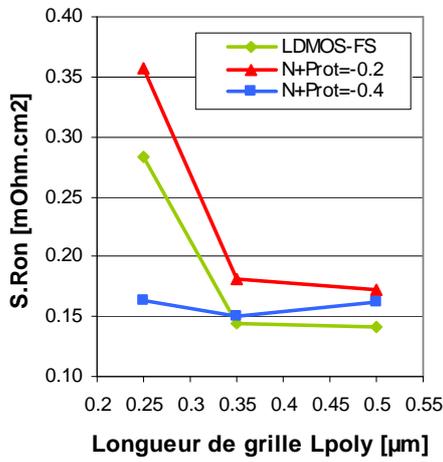


Figure IV-41 Variation de S.Ron en fonction de Lg des architectures LDMOS-FS et LDMOS-FS îlots N+.

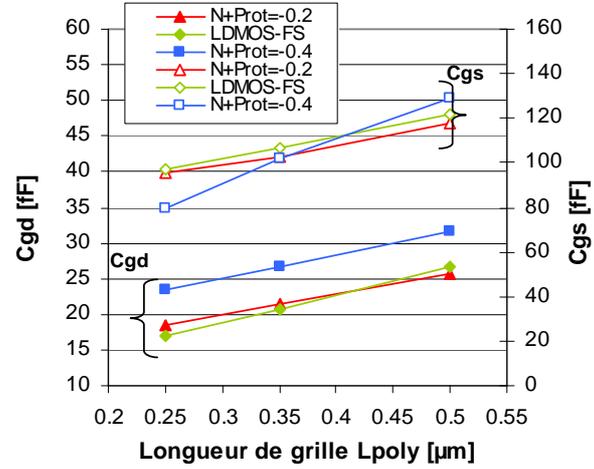


Figure IV-42 Variation des capacités Cgd et Cgs en fonction de Lg des architectures LDMOS-FS et LDMOS-FS îlots N+.

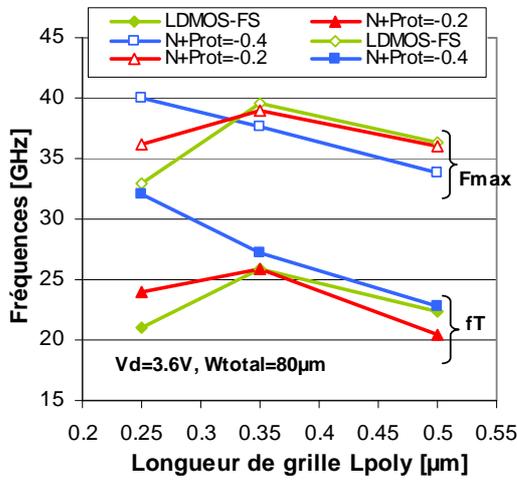


Figure IV-43 Variation de f_T et F_{max} en fonction de Lg des architectures LDMOS-FS et LDMOS-FS îlots N+.

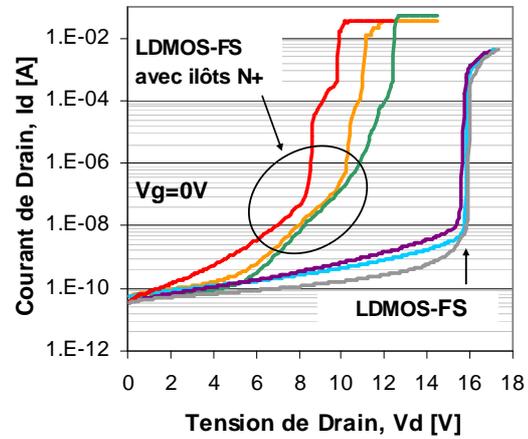


Figure IV-44 Allure des caractéristiques des architectures LDMOS-FS et LDMOS-FS îlots N+ en régime bloqué.

Malgré ces bons résultats, le LDMOS-FS îlots N+ 0.25 μ m n'est pas idéal. La présence de GIDL ainsi que la présence d'avalanche sur les caractéristiques de sortie limitent le bon fonctionnement du composant. L'utilisation d'un îlot de N+ côté drain pour confiner le canal PBody sous la grille n'est donc pas une bonne solution. Elle a cependant permis de montrer les bénéfices de la diminution de la longueur de grille sur les performances dynamiques.

Une dernière possibilité est étudiée par la suite pour parvenir à maintenir un S.Ron constant (voire inférieur) à la valeur de la structure standard. Elle est basée à la fois sur une modification du schéma d'intégration de l'implantation Pbody afin de minimiser sa diffusion et également sur les modifications des conditions d'implantation. La combinaison de cette approche à l'architecture espaceur asymétrique pourra permettre la mise en œuvre de LDMOS-FS faible grille plus performant et robuste.

IV.5.b. Implantation Pbody

En vue de réduire la diffusion du Pbody sous des grilles de faible longueur, plusieurs solutions sont envisageables:

- réduction du budget thermique appliqué au Pbody.
- modification des conditions d'implantations du Pbody.

Ces solutions peuvent être envisagées séparément ou combinées.

IV.5.b.i) Réduction du budget thermique

Le budget thermique associé à la diffusion de l'implantation Pbody est décrit par la Figure IV-45. L'implantation Pbody est réalisée une fois les grilles CMOS formées et est auto alignée sur la grille. Afin d'obtenir un canal plus faiblement diffusé, l'étape d'implantation peut être délocalisée : au lieu de se situer avant la réalisation des espaceurs CMOS, l'implantation peut être accomplie soit après les espaceurs (étape 1) soit après l'étape d'oxydation (étape 2).

Il n'est pas concevable de réaliser l'implantation après l'étape de recuit flash source/drain (étape 4) car le budget thermique est alors trop faible pour pouvoir faire diffuser convenablement le LDMOS.

- ETAPES DU BUDGET THERMIQUE**
- 1- **Formation des espaceurs CMOS**
 - a. Dépôt TEOS 200 Å
 - b. Dépôt Nitrure 800 Å
 - c. Gravure
 - 2- **Oxydation 30 Å**
 - 3- **Dépôt TEOS 200 Å SiProt**
 - 4- **Recuit Flash Source/Drain**
 - 5- **Dépôt Nitrure 200 Å SiProt**

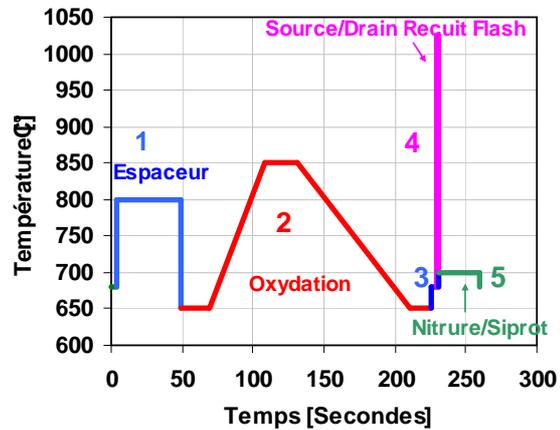


Figure IV-45 Budget thermique du procédé de fabrication vu par l'implantation Pbody en fonction du temps.

(1) Implantation du PBody après les espaceurs

L'implantation du PBody en condition standard est simulée après la réalisation des espaceurs MOS. Le budget thermique de sa diffusion est réduit et entraîne la réduction de la longueur du canal par une activation plus faible des espèces implantées. De plus la présence des espaceurs CMOS masque l'implantation et a pour effet de décaler et de réduire la précédente zone implantée. Par conséquent la concentration nette en dopant $N_{a_{max}}$ est fortement réduite, ce qui entraîne d'une tension de seuil presque nulle de 14 mV (Table IV-2). Dans ces conditions le LDMOS est très susceptible de présenter des fuites au niveau du courant de drain en régime non passant.

Dose Pbody [at.cm ⁻²]	Energie PBody [keV]	Vt [mV]	S.Ron [mΩ.cm ²]	BVds [V]
1.2	25	14	0.135	15.9

Table IV-2 Résultats électriques simulés du LDMOS avec une implantation Pbody réalisée après les espaceurs.

Dans ces conditions la dose d'implantation est augmentée jusqu'à 4×10^{14} atomes.cm⁻² dans le but d'obtenir une tension de seuil supérieure à 500 mV. La simulation révèle une augmentation de la tension de seuil et également une augmentation de S.Ron. La tension de

seuil atteint 490mV pour une dose de 4×10^{14} atomes. cm^{-2} et le S.Ron dépasse $0.15 \text{ m}\Omega \cdot \text{cm}^2$. L'observation du profil de dopage (Figure IV-46) confirme que l'augmentation de la dose du Pbody permet l'augmentation du niveau de dopage maximum du Pbody (Na_{max}).

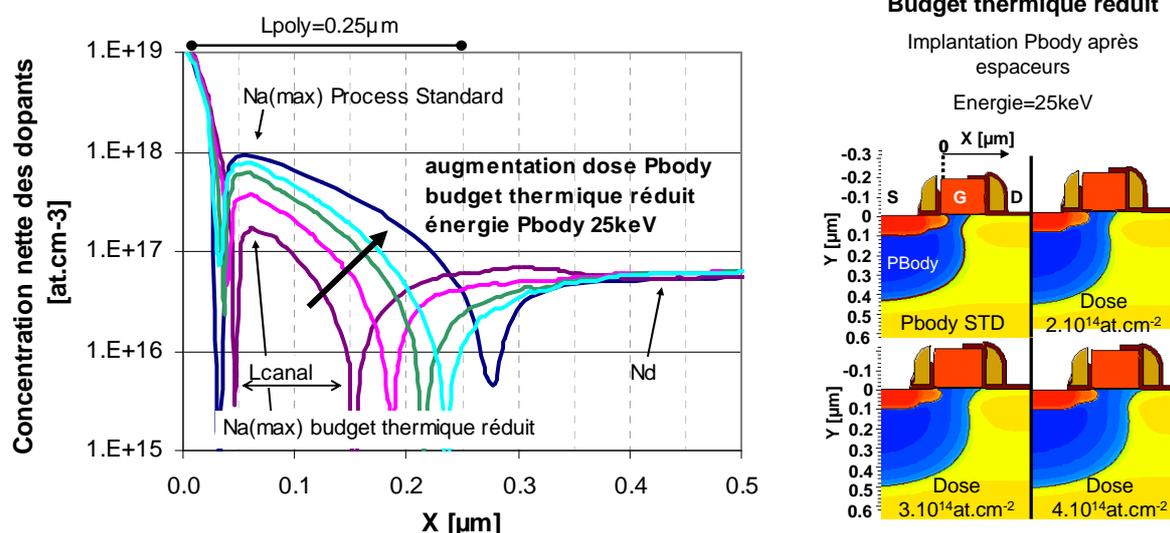


Figure IV-46 Profil de dopage du canal pour différentes conditions d'implantation et de diffusion du Pbody (gauche, coupe en $Y=0.02 \mu\text{m}$) et leur vue en coupe respectives (droite).

Pour la dose maximale simulée en budget thermique réduit Na_{max} se rapproche de $1.10^{18} \text{ at.cm}^{-3}$, valeur correspondant au Na_{max} simulé pour le procédé de fabrication standard, sans modification du budget thermique. De plus l'augmentation de la dose s'accompagne d'un élargissement de la longueur du canal. La longueur du canal reste inférieure au $0.25 \mu\text{m}$ de la grille.

La diminution de l'énergie d'implantation permet de diminuer la profondeur d'implantation et donc la diffusion des espèces dans le silicium. L'élargissement du canal sera alors réduit. A dose égale, la variation de 5keV permet de restreindre la diffusion du Pbody de l'ordre de 25% (Figure IV-47). Par exemple un canal de $0.2 \mu\text{m}$ est obtenu pour une dose de $4 \times 10^{14} \text{ at.cm}^{-2}$ à 25 keV contre $0.15 \mu\text{m}$ pour 20 keV. Par ailleurs, la diminution de l'énergie a pour effet de diminuer Na_{max} et donc la tension de seuil. Une tension de seuil trop faible aura comme principal effet un courant de fuite plus important en régime bloqué. Comme précédemment la dose est augmentée pour maintenir une tension de seuil correcte. Elle varie alors entre

$3 \cdot 10^{14} \text{at.cm}^{-2}$ et $6 \cdot 10^{14} \text{at.cm}^{-2}$ à 20keV. L'optimal est obtenu pour une dose de $5 \cdot 10^{14} \text{at.cm}^{-2}$ à 20keV avec un V_t de 560mV et un $W.Ron$ de 0.17 mOhm.cm^2 .

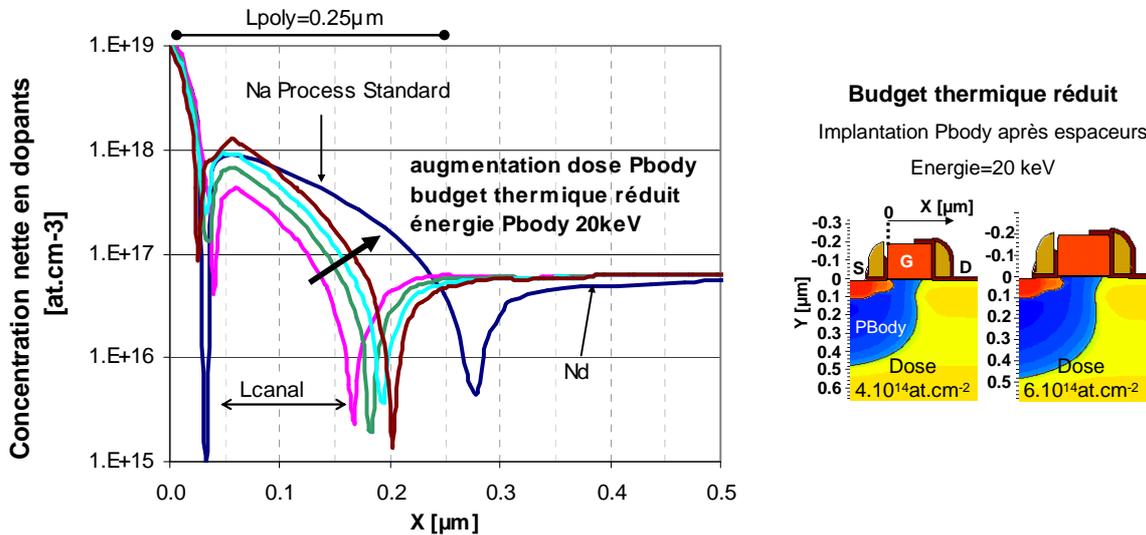


Figure IV-47 Profil de dopage du canal pour différentes conditions d'implantation du Pbody à 20 keV (gauche, coupe en $Y=0.02 \mu\text{m}$) et allure en coupe (droite).

Les résultats sur silicium confirment la simulation de manière qualitative. En effet la réduction du budget thermique de la diffusion du Pbody par la délocalisation de son implantation après les espaceurs permet d'obtenir un canal de faible longueur. Ainsi le S.Ron reste constant à mesure que le dimensionnement de la grille est réduit jusqu'à $0.25 \mu\text{m}$ (Figure IV-48). Malgré cela la tension de seuil atteint difficilement les 600 mV requis pour des énergies de 20 et 25 keV. Des doses élevées de $5 \cdot 10^{14} \text{at.cm}^{-2}$ et $1 \cdot 10^{14} \text{at.cm}^{-2}$ à énergies respectives de 20 et 25 keV seraient nécessaires pour l'obtention d'une tension de seuil de l'ordre de 600 mV (Figure IV-49). Par ailleurs plus la dose est importante plus le V_T croît mais également la résistance à l'état passant S.Ron. Cet inconvénient majeur limite l'obtention de LDMOS-FS $0.25 \mu\text{m}$ avec un S.Ron inférieur à 0.15 mOhm.cm^2 , valeur limite fixée par le cahier des charges.

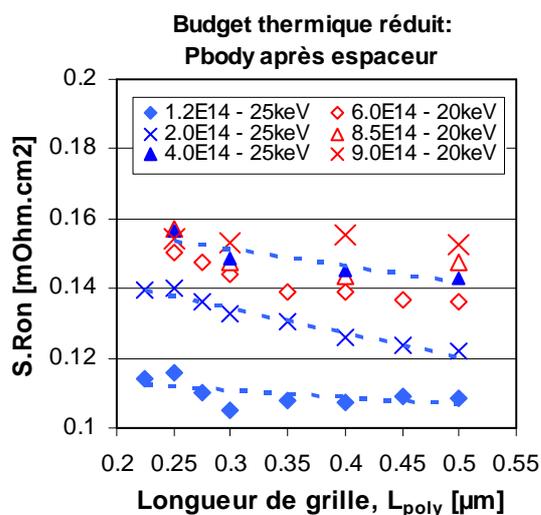


Figure IV-48 Variation du S.Ron en fonction de la réduction de L_{poly} pour des conditions Pbody à budget thermique réduit.

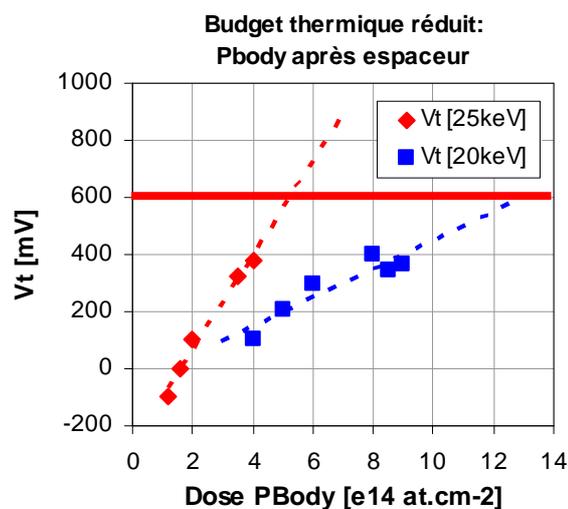


Figure IV-49 Tension de seuil en fonction des conditions Pbody (énergie et dose) à budget thermique réduit.

(2) Implantation du PBody après oxydation

La seconde façon de diminuer le budget thermique est également étudiée par simulation. Il s'agit de réaliser l'implantation Pbody après l'étape d'oxydation (étape 2, Figure IV-45). Dans ce cas le budget thermique est très fortement réduit et de ce fait la diffusion du canal sous la grille sera moins importante que dans le cas précédent. En effet pour des conditions standard, le LDMOS montre une absence de canal. Afin d'obtenir un canal les conditions d'implantations (dose, énergie) sont modifiées.

(a) Variation de la dose de l'implantation PBody

L'augmentation de la dose de $1.4 \cdot 10^{14}$ jusqu'à $10 \cdot 10^{14} \text{ at.cm}^{-2}$ avec une énergie de 25keV est simulée. Les résultats sont illustrés par les coupes du NLD MOS (Figure IV-50).

L'augmentation de la dose induit une diffusion et un canal de très faible longueur qui varie entre $0.05 \mu\text{m}$ (dose= $4 \cdot 10^{14} \text{ at.cm}^{-2}$) et $0.15 \mu\text{m}$ pour la dose maximale de $1 \cdot 10^{15} \text{ at.cm}^{-2}$. Seule la dose maximale permet l'obtention d'une tension de seuil proche de 500 mV avec un S.Ron simulé inférieur à 0.15 mOhm.cm^2 .

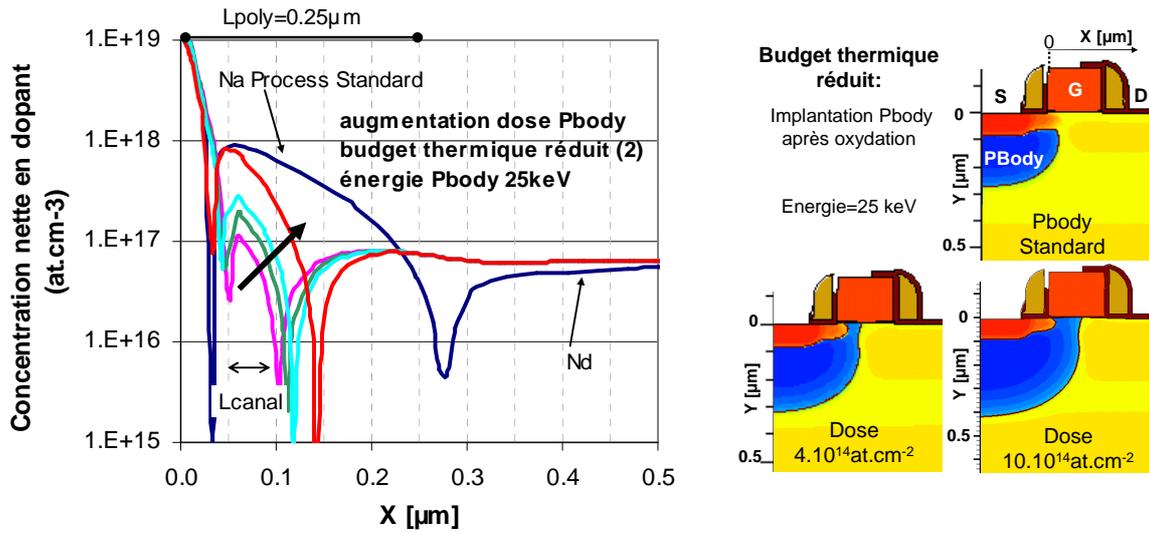


Figure IV-50 Profil de dopage du canal Pbody après diffusion des implantations à 25 keV et à doses croissantes (coupe en $Y=0.02 \mu\text{m}$).

La simulation a permis d'obtenir des résultats qualitatifs. Les résultats sur silicium confirment la simulation de manière qualitative. La réduction du budget thermique par la délocalisation de l'implantation PBody après l'étape d'oxydation permet comme précédemment l'obtention de longueur de canal inférieure à $0.25 \mu\text{m}$ et l'augmentation de la dose permet une augmentation de la tension de seuil. Malgré cela les valeurs obtenues sont largement supérieures aux valeurs souhaitées. Des doses inférieures à $4.10^{14} \text{at.cm}^{-2}$ doivent être considérées afin d'obtenir des tensions de seuil proche de 600 mV.

(b) Variation de l'énergie de l'implantation PBody

Les variations d'énergie de l'implantation Pbody sont également étudiées de façon qualitative par simulation. L'étude a porté sur la dose Pbody $4.10^{14} \text{at.cm}^{-2}$ pour des énergies supérieures à 25 keV : 30 et 35 keV. L'observation du profil de dopage des espèces permet de considérer que ces énergies sont trop élevées (Figure IV-51). L'implantation s'effectue en profondeur et le budget thermique vu par cette diffusion est le recuit flash source/drain. La diffusion est réalisée à forte température et extrêmement rapide (quelques secondes). Les dimensions du canal sont importantes avec des largeurs dépassant les $0.25 \mu\text{m}$, correspondant à la largeur de

la grille minimale. Des résultats équivalents sont obtenus pour des énergies comprises entre 26 keV et 28 keV.

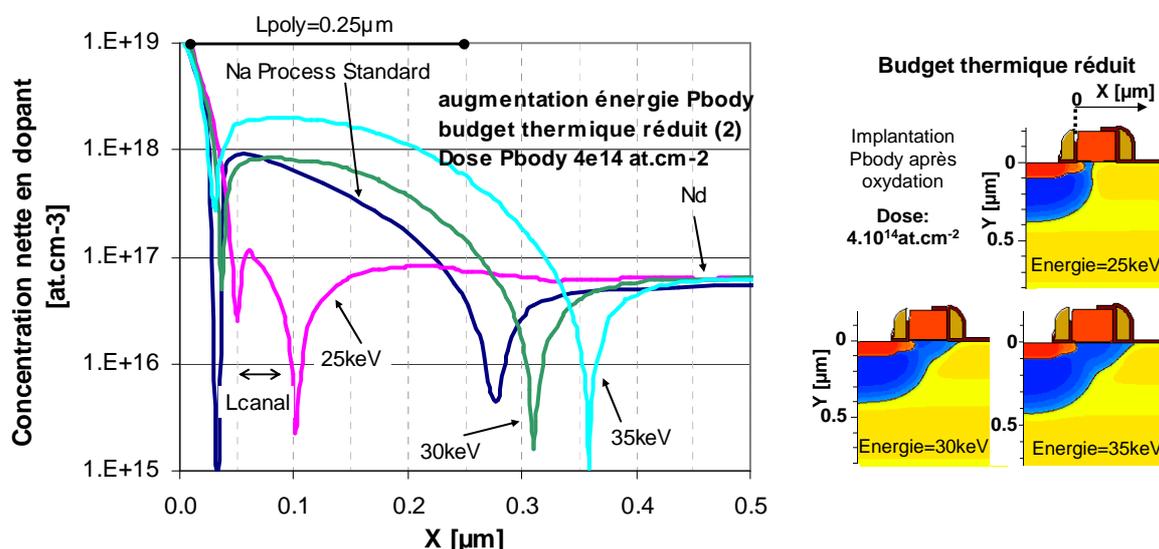


Figure IV-51 Profil de dopage du canal Pbody après diffusion des implantations à dose constante et énergies croissantes (gauche, coupe en $Y=0.02\mu\text{m}$) et allure du canal Pbody (droite).

L'augmentation de l'énergie quelle que soit la dose ne permet pas d'obtenir un canal diffusé confiné sous la grille $0.25\mu\text{m}$. Dans le cas de l'implantation après l'étape d'oxydation seule une implantation à 25keV est envisageable.

IV.5.b.ii) Modification de l'implantation Pbody

La dernière alternative est de garder l'ordre chronologique déjà existant du procédé de fabrication tout en jouant sur les conditions d'implantations. Le budget thermique reste inchangé et les espèces sont implantées avec une énergie moindre. Plusieurs conditions ont fait l'objet de manipulations de variation de doses et d'énergies. La diminution de l'énergie d'implantation de 25 keV à 10 keV entraîne une diminution de la longueur du canal. Les performances statiques pour un LDMOS-FS faible longueur de grille sont améliorées. En effet la résistance à l'état passant S_{Ron} atteint une valeur de 0.15 mOhm.cm² quelque soit L_{poly} (Figure IV-52) avec une tension de seuil V_{T} supérieure à 500 mV et une tension de claquage proche de 16 V sans courant de fuite important (inférieur à 20 pA/µm). Pour une même

longueur de grille L_{poly} , la réduction de l'énergie a pour principal effet une légère réduction de la tension de seuil et donc une augmentation du courant de fuite I_{off} en régime bloqué. Ceci est d'autant plus important et observé pour une énergie de 10 keV où les performances en régime bloqué sont détériorées : la tension de claquage est réduite de moitié et le courant de fuite I_{off} multiplié par plus de 100.

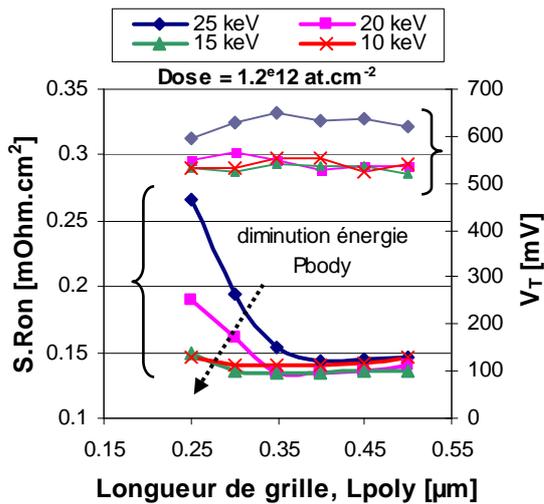


Figure IV-52 Variation de $S.Ron$ et V_T en fonction de L_{poly} avec une réduction de l'énergie d'implantation du canal P_{body} .

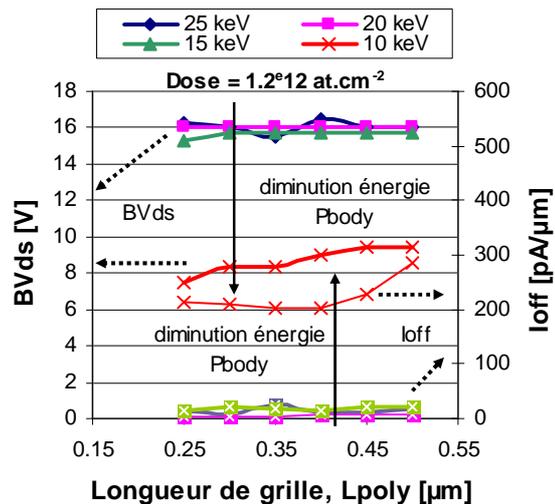


Figure IV-53 Variation de BV_{ds} et I_{off} en fonction de L_{poly} avec une réduction de l'énergie d'implantation du canal P_{body} .

Par ailleurs l'augmentation de la dose pour de faibles énergies est également étudiée. Seules de faibles variations sont acceptables. En effet pour des doses de 3.10^{12} at.cm⁻² ou 5.10^{12} at.cm⁻² les tensions de seuils obtenues respectives sont supérieures à 1.6 V et 2.5 V. A mesure que la dose augmente, la tension de seuil croît, ce qui a pour conséquence d'obtenir un dispositif avec un niveau de courant de fuite plus faible. Malgré cela, le $S.Ron$ est plus important avec un niveau du courant de saturation faible. Dans ces conditions un compromis reste à être déterminé entre la dose et l'énergie du P_{body} .

IV.5.b.iii) Bilan

La réduction du budget thermique et la modification de l'implantation Pbody ont permis de diminuer la diffusion du Pbody pour des faibles longueurs de grille. L'insertion de l'implantation Pbody après l'étape de formation des espaceurs ou de l'étape d'oxydation et un ajustement de sa dose et de son énergie ont permis l'obtention de LDMOS-FS faibles longueurs de grille fonctionnels. Malgré tout leurs performances en terme de S.Ron ne sont pas suffisamment intéressantes par rapport aux conditions fixées par l'application PA. La solution retenue est le procédé de fabrication sans modification du budget thermique de diffusion du Pbody. L'énergie de l'implantation est modifiée et réduite à 15 keV avec la possibilité d'ajuster faiblement la dose pour satisfaire le cahier des charges. Les performances statiques du LDMOS-FS 0.3 μm sont récapitulées et comparées au LDMOS standard. Le choix du LDMOS-FS s'est porté sur une longueur Lpoly de 0.3 μm car le 0.25 μm possède une caractéristique de sortie (Idsat) plus faible.

Paramètres	LDMOS Standard	LDMOS-FS 0.3 μm
V_T [V]	0.6	0.6
S.Ron [mOhm.cm ²] à Vg=2.5V et Vd=0.1V	0.146	0.131
Isat [mA.mm ⁻¹] à Vg=2.5V et Vd=3.6V	450	491
BVds [V]	15.5	15.5
Ioff [pA. μm^{-1}] à Vg=0V et Vd=3.6V	2	5

Table IV-3 Récapitulatif des performances statiques du LDMOS standard et du LDMOS-FS 0.3 μm (W=20 μm)

IV.5.c. Performances dynamiques du LDMOS-FS à Lpoly faible.

IV.5.c.i) Performances petit signal

Grâce aux modifications apportées au procédé de fabrication (grille complètement siliciurée et implantation Pbody), il est maintenant possible de pouvoir observer le bénéfice de ces améliorations sur les performances petit-signal.

La diminution de la longueur de grille L_{poly} ou la réduction de L_{acc} permet de minimiser la capacité Cgd. Parallèlement la résistance de grille Rg augmente car la surface totale du polysilicium est réduite. Cette augmentation reste compensée par la réduction des autres éléments capacitifs, comme Cgd et Cgs. La réduction de Cgs est principalement attribuée à la

diminution de la longueur effective du canal. De ce fait toutes ces améliorations permettent pour une architecture complètement siliciurée de gagner à la fois sur les performances du f_T et du F_{max} . La diminution de la longueur de la grille de $0.2 \mu\text{m}$ améliore de 20% les performances petit-signal. Une fréquence maximale de transition de 30 GHz et une fréquence maximale d'oscillation de 68.6 GHz sont obtenues pour le LDMOS-FS $0.3 \mu\text{m}$ contre un f_T de 25 GHz et un F_{max} de 56.3 LDMOS-FS $0.5 \mu\text{m}$ (à W total équivalents).

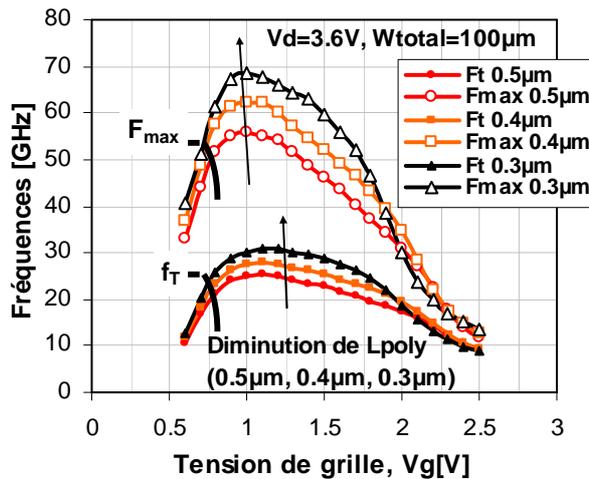


Figure IV-54 Performances petit-signal (f_T et F_{max}) du LDMOS-FS pour des longueurs de grille L_{poly} de $0.5 \mu\text{m}$, $0.4 \mu\text{m}$ et $0.3 \mu\text{m}$ ($W_{total}=100 \mu\text{m}$).

Paramètres à $V_d=3.6 \text{ V}$ et V_g (f_{Tmax} , F_{maxmax})	Longueur de Grille, L_{poly} [μm]		
	0.5	0.4	0.3
$f_T(\text{max})$	25.2	27.2	30.8
$F_{max}(\text{max})$	56.3	62.4	68.6
R_g [Ohm]	7.9	8.2	9.2
C_{gd} [fF]	34.7	29.4	24.3
C_{gs} [fF]	131	123	110
C_{ds} [fF]	68.5	67.9	68.7
G_m [mS]	25.4	25.5	24.9

Table IV-4 Tableau récapitulatif des performances petit-signal et des éléments capacitifs/résistifs du LDMOS-FS ($W_{total}=100 \mu\text{m}$ et $L_{poly}= 0.5, 0.4$ et $0.3 \mu\text{m}$).

IV.5.c.ii) Performances grand-signal.

La mesure a porté spécialement sur un LDMOS-FS avec une longueur de grille L_{poly} de $0.3 \mu\text{m}$ à une fréquence de 1.8 GHz (DCS). Le courant de repos (I_{dq}) a été fixé à 15 mA , qui correspond à la polarisation d'un PA de classe AB ($I_{\text{dq}} \approx 3\%$ de I_{dmax} à $V_{\text{g}} = 2.5 \text{ V}$). Les résultats sont obtenus à partir des impédances de source et de charge optimales (Table IV-5). Un rendement de 76% associé à une puissance de sortie de 25 dBm illustre le bon fonctionnement du LDMOS dans des conditions de mesures grand-signal (Figure IV-55).

Impédance de source optimale à la fréquence fondamentale	Impédance de charge optimale à la fréquence fondamentale
$Z_s(f_0) = 29.2 + j 22.8$	$Z_l(f_0) = 21.4 + j21.7$

Table IV-5 Impédances optimales de charge et de source du LDMOS-FS $0.3 \mu\text{m}$.

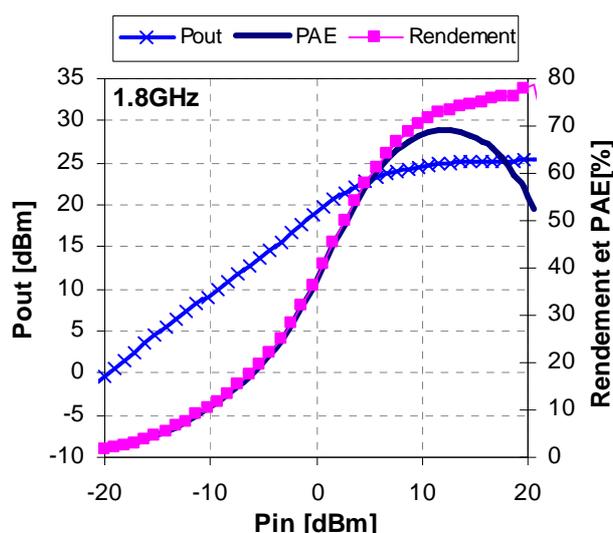


Figure IV-55 Puissance de sortie (P_{out}), rendement η et rendement en puissance ajoutée PAE du LDMOS-FS ($W = 1500 \mu\text{m}$) à 1.8 GHz en fonction de puissance d'entrée P_{in} .

Par ailleurs le LDMOS-FS $0.3 \mu\text{m}$ atteint un VSWR de $10:1$ jusqu'à l'application d'une tension de drain maximale de 9.5 V , qui démontre également un composant de bonne robustesse.

IV.5.d. Comparaison des performances LDMOS et LDMOS FS

IV.5.d.i) Performances petit-signal

La réalisation d'un LDMOS-FS 0.3 μ m a permis l'amélioration des performances du LDMOS standard pour des performances petit signal. Une amélioration significative du f_T (37%) et du F_{max} (50%) est observée grâce à l'augmentation du g_m (impact sur le f_T) et de la réduction des éléments capacitifs C_{gd} et C_{gs} (impact f_T et F_{max}). Ces résultats sont illustrés sur la cellule de puissance utilisée dans l'application amplificateur de puissance par la Figure IV-56 et le tableau récapitulatif (Table IV-6).

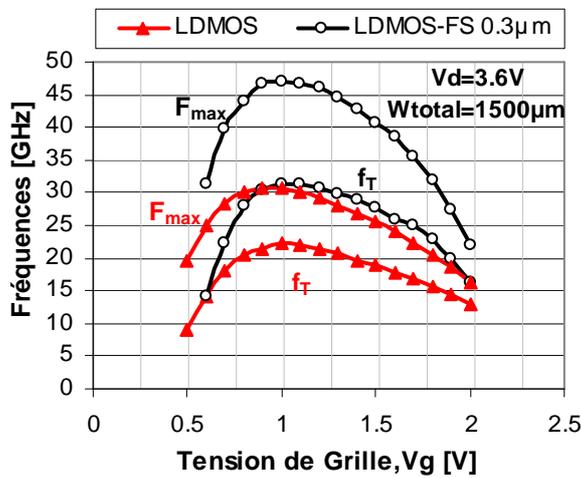


Figure IV-56 Comparaison des performances petit-signal du LDMOS avant et après optimisation ($W_{total}=1500\mu m$, $V_d=3.6V$).

Paramètres à $V_d=3.6V$ et V_g (f_{Tmax} , F_{maxmax})	LDMOS Standard	LDMOS-FS 0.3 μm
$f_T(max)$	22.2	30.6
$F_{max}(max)$	30.7	47.1
R_g [Ohm]	1.46	1.23
C_{gd} [fF]	439	318
C_{gs} [fF]	2143	1594
C_{ds} [fF]	1001	738
G_m [mS]	352	370

Table IV-6 Tableau récapitulatif des performances petit-signal et des éléments capacitifs/résistifs du LDMOS avant optimisation et du LDMOS-FS 0.3 μm ($W_{total}=1500\mu m$).

IV.5.d.ii) Performances grand-signal

Les performances en terme de puissance de sortie et de rendement en puissance ajoutée sont comparées pour le LDMOS et le LDMOS-FS 0.3µm à dimensionnement égal ($W_{total}=1500 \mu m$), les conditions de polarisations sont identiques à celles présentées précédemment ($I_{dq}=15 \text{ mA}$, $V_g=2.5 \text{ V}$, $V_d=3.6 \text{ V}$, polarisation classe AB). Chaque transistor possède des optimisations de source et charge différentes, principalement dues à leurs caractéristiques intrinsèques différentes comme l'illustre la Figure IV-57.

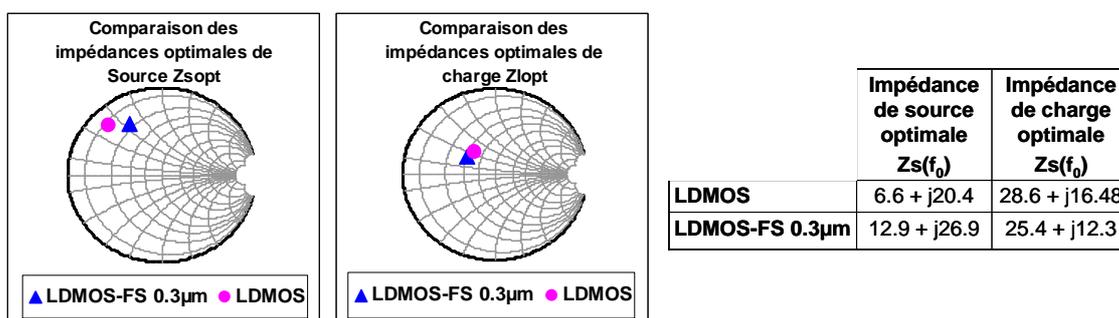


Figure IV-57 Comparaison des impédances de charges et de sources optimales du LDMOS et LDMOS FS 0.3 µm (tableau et abaque de Smith).

L'optimisation du LDMOS s'accompagne également d'une amélioration des performances grand-signal avec une augmentation de 4 points sur le rendement maximum en puissance ajoutée (PAE) et une augmentation de 1.5dB du gain en puissance à 1.8 GHz.

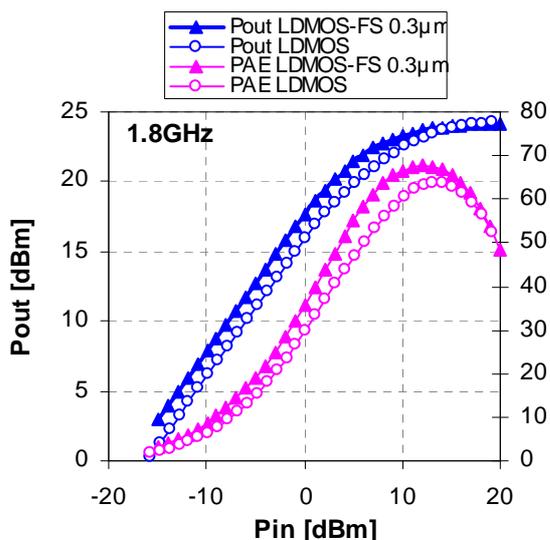


Figure IV-58 Comparaison des performances du LDMOS et du LDMOS optimisé de W_{total} de 1500 µm en terme de puissance de sortie (P_{out}) et de rendement en puissance ajoutée (PAE) en fonction de la puissance d'entrée (P_{in}) à $V_d=3.6V$ et à la fréquence de 1.8 GHz, polarisation de type AB ($I_{dq}=15 \text{ mA}$).

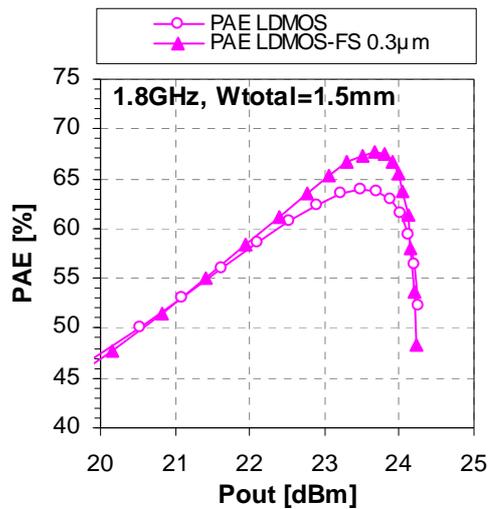


Figure IV-59 Comparaison du LDMOS et du LDMOS optimisé de W_{total} 1500 μm en terme de rendement en puissance ajoutée (PAE) en fonction de la puissance de sortie (P_{out}) à $V_d=3.6\text{V}$ et à la fréquence de 1.8 GHz, polarisation de type AB ($I_{dq}=15\text{mA}$).

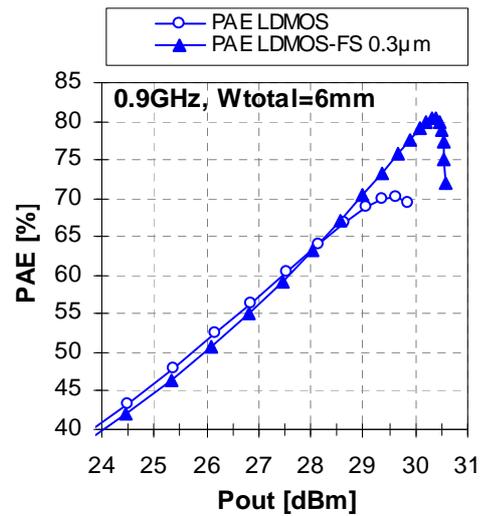


Figure IV-60 Comparaison du LDMOS et du LDMOS optimisé de W_{total} 6000 μm en terme de rendement en puissance ajoutée (PAE) en fonction de la puissance de sortie (P_{out}) à $V_d 3.6\text{V}$ et à la fréquence de 0.9 GHz, polarisation de type AB ($I_{dq}=15\text{mA}$)

De plus pour une application de type GSM, les cellules élémentaires de 6mm des LDMOS et LDMOS-FS 0.3 μm sont testées dans les mêmes conditions décrites précédemment mais à la fréquence de 900 MHz. Une amélioration significative de 10 points sur le rendement en puissance ajoutée maximal (PAE_{max}) est observée pour le LDMOS-FS 0.3 μm (Figure IV-60).

La robustesse démontrée par les mesures VSWR sur chacune des impédances de charge optimale reste équivalente pour les deux transistors. Une tension d'alimentation maximale de 11V est applicable pour le LDMOS contre 9.5 V pour le LDMOS-FS à VSWR équivalents (10 :1).

IV.6. Bilan

Les possibles améliorations des performances RF d'un LDMOS réalisé dans une filière BiCMOS 0.25 μm pour l'amplification de puissance ont fait l'objet de la première partie de ce chapitre. Deux axes se sont dégagés : la modification du dessin et la création d'une nouvelle architecture avec une grille complètement siliciurée.

Les principales modifications apportées au dessin ont été développées en détail (amélioration de la résistance de grille et de la capacité Cds) ainsi que l'étude de la fabrication d'un LDMOS avec une grille complètement siliciurée (LDMOS-FS).

Cette nouvelle architecture complètement siliciurée a rendu possible d'une part la diminution de la résistance de grille et d'autre part la réduction de la longueur de grille de 0.5 μm jusqu'à 0.3 μm , permettant indirectement la minimisation de la capacité parasite Cgd de contre-réaction. Par conséquent les performances petit-signal ont été améliorées de l'ordre de 50% en comparaison avec l'ancienne architecture LDMOS : une fréquence de transition de 30.6 GHz ainsi qu'une fréquence maximale d'oscillation de 47 GHz sont obtenus pour la cellule élémentaire du LDMOS ($W_{\text{total}}=1500 \mu\text{m}$) utilisé pour l'application PA. De plus la puissance de sortie (Pout) ainsi que le rendement en puissance ajoutée (PAE) sont également améliorés pour une robustesse équivalente entre les deux transistors LDMOS et LDMOS-FS.

Références Chapitre IV

[BREV] Brevet US20006017103

“Method for making reduced size DMOS transistor and rescaling DMOS transistor”

[CHAN87] T.Y. CHAN, J. CHEN, P. K. KO, C. HU

“The Impact of Gate-Induced drain leakage Current on MOSFET Scaling”

IEEE International Electron Devices Meeting, p. 718-721, 1987.

[HOWE99] P.L. HOWER, J. LIN, S. MERCHANT

“Snapback and safe-operating area of Ldmos Transistors”

Electron Devices Meeting, IEDM Technical Digest, p. 193-196, 1999.

[HOWE99-1] P. HOWER, J. LIN, S. HAYNIE, S. PAIVA, R. SHAW, N. HEPFINGER.

« Safe operating area considerations in LDMOS transistors »

IEEE International Symposium on Power Semiconductor Devices and ICs, p. 55-58, 1999.

[INT01] “Method for silicon nitride chemical vapour deposition”.

[en ligne], Mai 2005, 1 page

Disponible sur <http://www.freshpatents.com/Method-for-silicon-nitride-chemical-vapor-deposition-dt20051117ptan20050255714.php?type=description>.

[INT02] “Silicon Nitride Single-Wafer Technology for Advanced Transistors”.

[en ligne], Octobre 2001, 1 page

Disponible sur <http://www.azom.com/details.asp?ArticleID=974>.

[JUDO04] F. JUDONG

“NLD MOS 2G SPProt etch optimization” rapport interne STMicroelectronics, 2005, 10 pages.

[MANK97] Eyad ABOU-ALLAM et Tajinder MANKU.

« A small- Signal MOSFET Model for Radio Frequency IC Applications »

IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, Vol. 16, n°5, Mai 1997.

[MANK98] Tajinder MANKU.

« Microwave CMOS – Devices and Circuits »

IEEE Custom Integrated Circuits Conference, p. 59-66, 1998.

[ROSS97] P. ROSSEL, H. TRANDUC, D. MONTCOQUT, G. CHARITAT, I. PAGES

« Avalanche Characteristics of MOS Transistors »

Proceedings of the 21st International Conference on Microelectronics (MIEL'97), Vol. 1, Septembre 1997, p. 371-381.

[SZE66] S. M. SZE, G. GIBBONS

« Effect of Junction Curvature on Breakdown Voltage in Semiconductors »

Solid-State Electronics, Vol. 9, p. 831-845, 1966.

CONCLUSION GENERALE

Conclusion générale

Le travail que nous venons de présenter est consacré à l'étude de l'optimisation des potentialités de composants LDMOS pour l'intégration d'amplificateur de puissance sur silicium.

Dans ce mémoire nous avons d'abord rappelé le fonctionnement d'un transistor classique MOSFET et présenté les différents points limitant son utilisation pour des applications de puissance en terme de tension de claquage et de perçage. Un inventaire des composants MOSFET spécifiques de puissance présents dans la littérature est réalisé avec une attention particulière accordée à l'architecture LDMOS.

Par la suite les principales propriétés physiques du LDMOS sont décrites tant en régime statique que dynamique ainsi que les techniques de mesures associées aux figures de mérites caractéristiques à ce composant.

Ce sujet porte spécifiquement sur l'optimisation des performances du composant LDMOS pour une application d'amplification de puissance (PA). Afin de mieux cerner les paramètres critiques qui influencent l'amélioration des performances du PA, le fonctionnement général d'un amplificateur de puissance a été décrit ; tout comme le rôle des différents paramètres du LDMOS qui peuvent jouer sur les performances du PA.

Les deux derniers chapitres traitent de la réalisation ainsi que de l'optimisation des architectures LDMOS de la filière BiCMOS 0.25 μm de STMicroelectronics.

Dans un premier temps les paramètres statiques ont été déterminés en fonction des spécifications fixées par l'application, plus précisément à propos du compromis $S_{\text{Ron}} \cdot BV_{\text{ds}}$ (résistance à l'état passant - tension de claquage). L'obtention du LDMOS correspondant au cahier des charges a nécessité l'étude de différents paramètres technologiques, tels que la définition des règles de dessins ou encore de l'influence des différentes conditions de fabrications (implantations du canal et du caisson du composant).

Dans un second temps l'évaluation des limitations de l'architecture a permis de déterminer les principaux paramètres susceptibles d'améliorer les performances dynamiques du composant. Pour cela plusieurs directions complémentaires se sont dégagées : la modification du dessin

Conclusion générale

(layout) ou la création d'une nouvelle architecture avec une grille complètement siliciurée. Les principales modifications apportées au dessin ont été développées en détails (amélioration en terme de résistance de grille et de capacité Cds) suivi de l'étude du développement d'un LDMOS avec une grille complètement siliciurée (LDMOS-FS).

L'avantage direct de cette nouvelle architecture est de pouvoir réduire la résistance de grille R_g , facteur limitant la fréquence maximale d'oscillation pour des composants de grand dimensionnement requis pour l'application PA. Cette nouvelle architecture offre un degré d'optimisation supplémentaire. En effet la longueur de grille L_{poly} peut être réduite et ainsi permettre de minimiser la capacité de contre-réaction C_{gd} . Cette capacité reste un des paramètres les plus importants dans les applications de puissance car plus faible sera sa valeur meilleures seront les performances petit-signal et le gain en puissance du composant (réduction de l'effet Miller).

L'introduction d'étapes de fabrications supplémentaires dans le procédé déjà existant et des modifications apportées au layout ont été nécessaires pour créer une nouvelle architecture dont l'une des spécificité est d'être asymétrique. Cette asymétrie a permis le décalage de l'alignement de la résine de protection du SiProt (matériau empêchant la siliciuration de l'extension de drain) et a rendu alors possible l'obtention d'une grille complètement siliciurée avec la possibilité d'obtenir des longueurs de grille inférieure à $0.5 \mu m$.

Avec la réduction de la longueur de grille, les performances de sortie se sont vues détériorées avec une augmentation significative de la résistance à l'état passant (S.Ron). Pour y remédier une recherche de solutions a été menée. La modification du budget de diffusion et des conditions d'implantations du canal Pbody ainsi que la modification de l'architecture (îlots-N+) ont été les principaux facteurs étudiés pour limiter la diffusion hors de la grille du LDMOS, principale cause du dysfonctionnement. La solution la plus efficace s'est avérée être la réduction de l'énergie d'implantation du canal avec un budget thermique de diffusion inchangé. Elle a abouti à l'obtention d'un LDMOS avec une grille complètement siliciurée et une longueur de grille de $0.3 \mu m$ fonctionnel en régime statique avec un niveau de performances équivalent à celui du LDMOS standard, une résistance à l'état passant S.Ron de

Conclusion générale

0.15 mOhm.cm², une tension de seuil de 600 mV et une tension de claquage de l'ordre de 16 V.

Les performances dynamiques obtenues à partir de la cellule élémentaire ($W=1500 \mu\text{m}$), utilisée pour le design de PA et composée du LDMOS-FS, ont été améliorées d'un facteur proche de 50%. En effet la fréquence de transition f_T atteint 30 GHz contre 22 GHz dans l'ancienne version du LDMOS. La réduction globale des capacités parasites et de la résistance de grille ont permis une nette amélioration de la fréquence de transition f_T mais également de la fréquence maximale d'oscillation F_{max} : 47 GHz contre 31 GHz. De la même façon, le gain (G_p) et le rendement en puissance ajoutée (PAE) ont été nettement améliorés. La cellule élémentaire délivre alors une densité puissance de 210 mW/mm et un rendement de drain en puissance supérieur à 75% à 1.8 GHz (à $V_d=3.6 \text{ V}$).

La comparaison des performances de notre LDMOS-FS 0.3 μm avec celles des composants concurrents reste délicate (cf. *Table -1*). En effet les conditions de polarisations ainsi que les fréquences présentées dans la littérature diffèrent et empêchent une comparaison précise. Il est alors nécessaire de prendre en compte les conditions de mesures (tension d'alimentation, fréquences) : plus la tension appliquée est faible et plus la fréquence de mesure est élevée, plus les performances grand signal seront « dégradées » (ex : diminution de la puissance de sortie P_{out} avec l'augmentation de la fréquence de mesure). Toutefois cette comparaison permet de situer nos résultats (STM) au niveau de l'état de l'art et rivalisent avec les performances de puissance des bipolaires pour une application d'amplificateur de puissance multistandard [NELL04].

Conclusion générale

LDMOS Performances	Hitachi-Renesas [SHIM04],[SHIM05]		IHP [EHWA01]	Samsung [KO05]	Jazz [RACA05]	STM
	BVds [V]	14	13	15	14	14
e_{ox} [Å]	120	120	50	70	32	50
L_{poly} [μ m]	0.3	0.23	0.25	0.3	-	0.3
f_{T(max)} [GHz]	18	30	23	32	32	31
W.Ron [Ohm.mm]	4.0 à Vg=5V	3.0 à Vg=5V	6.2 à Vg=2.5V	3.1 à Vg=3.3V	3.9 à Vg=1.8V	2.8 à Vg=2.5V
Densité de puissance [mW/mm]	- à 900MHz	- à 900MHz	760 à 2GHz	83 à 900MHz	-	210 à 1.8 GHz
PAE_{max} [%]	65	67	70	71	-	70
Gain (PAE_{max}) [dB]	17 à Vd=3.6V	15 à Vd=3.5V	12 à Vd=6.5V	16 à Vd=3.6V	-	15 à Vd=3.6V

Table -1 Tableau récapitulatif de l'état de l'art des performances des LDMOS en comparaison avec le LDMOS STMicroelectronics obtenu (STM).

Références Conclusion

[EHWA01] K. EHWALD et al.

“High Performance RF LDMOS Transistor with 5nm gate oxide in a 0.25 μ m SiGe:C BiCMOS Technology”

Electron Device Meeting, IEDM Technical Digest. International 2001, p. 40.4.1-10.4.4.

[KO05] Juhyun KO et al.

“Properties of RF-LDMOS with low resistive substrate for handset power applications”

Radio Frequency integrated circuits (RFIC) Symposium, Digest of Papers, 2005, p. 61-64.

[NELL04] K.NELLIS, P. J. ZAMPARDI

“A Comparison of Linear Handset Power Amplifiers in Different Bipolar Technologies”

IEEE Journal of Solid-state Circuits, vol. 39, n°10, octobre 2004, p. 1746-1754.

[RACA05] M. RACANELLI et al.

“SiGe BiCMOS Technology for RF circuit applications”

IEEE Transactions on Electron Devices, vol. 52, 2005, p. 1259-1270.

[SHIM04] T. SHIMIZU et al.

“A small GSM power amplifier module using Si-LDMOS Driver MMIC”

Solid State Circuits Conference, Digest of Technical Paper ISSCC 2004, p. 196-522, Vol. 1.

[SHIM05] T. SHIMIZU et al.

“A Single-chip Si-LDMOS Power Amplifier for GSM”

Solid State Circuits Conference, Digest of Technical Paper ISSCC 2005, p. 310-600, Vol. 1.

PUBLICATIONS

Publications

- [1] B. Szelag, H. Baudry, **D. Muller**, A. Giry, D. Lenoble, B. Reynard, D. Pache, A. Monroy. "Integration and Optimization of a high performance RF Lateral DMOS in an advanced BiCMOS technology" ESSDERC 2003, p. 39-42.
- [2] **D. Muller** et al.
« Etude des propriétés statiques et dynamiques d'un LDMOS en technologie BiCMOS 0.25 μ m pour des applications RF » JNRDM 2004, p. 272-274.
- [3] **D. Muller**, A. Giry, C. Arnaud, C. Arricastres, R. Sommet, B. Szelag, A. Monroy, D. Pache. "LDMOSFET and SiGe:C HBT integrated in a 0.25 μ m BiCMOS technology for RF-PA applications" BCTM 2004, p. 168-171.
- [4] B. Szelag, **D. Muller**, J. Mourier, A. Giry, D. Pache, A. Monroy. "N- and P- type lateral DMOSFETS integration and optimization in an advanced RF BiCMOS technology" ECS symposium on VLSI process integration, Mai 2005, p. 235-244.
- [5] **D. Muller**, A. Giry, J. Mourier, D. Pache, B. Szelag, A. Monroy. "Architecture optimization of an n-channel LDMOS device dedicated to RF-Power application" ISPSD 2005, p. 159-162.
- [6] **D. Muller**, J. Mourier, A. Perrotin, B. Szelag, A. Monroy. "Comparison of two types of lateral DMOSFET optimized for RF power applications" ESSDERC 2005, p. 125-128.
- [7] B. Szelag, **D. Muller**, J. Mourier, F. Judong, A. Giry, D. Pache, A. Monroy, M. Roche. "NLDMOS RF Optimization Guidelines for Wireless Power Amplifier Applications" BCTM, Santa Barbara, Octobre 2005, p. 280-283.
- [8] B. Szelag, **D. Muller**, J. Mourier, C. Arnaud, H. Bilgen, F. Judong, A. Giry, D. Pache, A. Monroy. "High RF performances asymmetric spacer NLDMOS integration in a 0.25 μ m SiGe:C BiCMOS Technology" accepté au BCTM Octobre 2006.
- [9] **D. Muller**, A. Giry, F. Judong, C. Rossato, F. Blanchet, B. Szelag, A. Monroy, R. Sommet, Olivier Noblanc. "High Performance 15V Novel LDMOS Transistor Architecture in a 0.25 μ m BiCMOS Process for RF-Power Applications" Transaction on Electron Devices, soumis le 17 Mai 2006, under review.

Optimisation des potentialités d'un transistor LDMOS pour l'intégration d'amplificateur de puissance RF sur silicium

Les amplificateurs de puissance RF réalisés à partir de composants issus des technologies III-V sont actuellement les plus performants du fait de leurs propriétés physique intrinsèques. Malgré cela ces technologies ne répondent pas complètement aux exigences du marché de la radiotéléphonie mobile en terme de coût de revient. Pour répondre à ce besoin de nouvelles générations de transistors MOS de puissance sur silicium tels que les LDMOS sont apparues. Ces composants ont l'avantage d'être réalisés dans des filières matures et offrent des performances très honorables à des coûts beaucoup plus bas, ce qui est un atout majeur dans le contexte actuel où le marché du téléphone cellulaire est très sensible au prix des composants.

Cette thèse s'inscrit dans le cadre d'une réflexion sur les potentialités d'un transistor LDMOS intégré en technologie BiCMOS 0.25 μm et sur l'optimisation de ses performances pour une application dans des circuits de type amplificateurs de puissance intégrés sur silicium.

Les mécanismes de fonctionnement du composant LDMOS et les principales raisons de l'émergence du transistor LDMOS devant celle du MOSFET pour des applications radiofréquences sont présentés. Le travail décrit par la suite s'articule autour de la réalisation du composant LDMOS pour l'amplification de puissance et de son optimisation. Dans un premier temps les paramètres technologiques qui sont nécessaires à l'obtention d'un composant respectant les caractéristiques de sortie fixées par le cahier des charges de l'application sont déterminés. Une analyse a ensuite permis d'identifier les paramètres intrinsèques et extrinsèques du composant susceptibles d'améliorer ses performances dynamiques. Pour cela l'effet des modifications d'architecture, de dessin ainsi que du procédé de fabrication du LDMOS sur les caractéristiques dynamiques ont été étudiées et ont abouti à des résultats prometteurs. En effet les performances du transistor LDMOS optimisé atteignent l'état de l'art.

Mots-clés : Transistor LDMOS, BICMOS, transistor MOS, amplificateur de puissance, radiofréquences, RF, procédé de fabrication.

Study and optimization of LDMOS device in BiCMOS technology for radio frequency power amplifiers

The RF power amplifiers realized from components stemming from III-V technologies are at present the most successful because of their intrinsic physics properties. Nevertheless these technologies do not completely answer the requirements of the radiotelephony mobile market in term of cost of returns. New generations of MOS power transistors on silicon such as the LDMOS appeared to answer this need. These power devices have the advantage to be realized in mature technologies and offer very honourable performances to much lower costs, what is a major trump card in the current context where the cellular telephone market is very sensitive to the price of components.

This thesis deals with a reflection on the potentialities of a transistor LDMOS integrated into a 0.25 μm BiCMOS technology and on the optimization of its performances for RF power amplifiers circuits integrated on silicon.

Firstly, the LDMOS transistor physical mechanisms and also the main reasons that make the LDMOS transistor a better candidate than the MOSFET for radio frequencies applications are presented. The work described afterward articulates around the realization and the optimisation of the LDMOS transistor for RF power applications. In fact, the technological parameters are determined in order to get a device, which output characteristics match the ones fixed by the application. Then an analysis is made to identify the device intrinsic and extrinsic parameters, which are susceptible to improve its dynamic performances. For it the effect of the modifications of architecture, layout as well as the manufacturing process on the dynamic characteristics were studied and ended in promising results. Indeed the performances of the optimized transistor LDMOS reach the state of the art.

Key words: LDMOS transistor, BiCMOS, MOS transistor, radiofrequency, RF, power amplifier, manufacturing process.