

UNIVERSITE DE LIMOGES

ECOLE DOCTORALE Science – Technologie – Santé

FACULTE DES SCIENCES ET TECHNIQUES

Année : 2006

Thèse N° xx-2006

Thèse

pour obtenir le grade de

DOCTEUR DE L'UNIVERSITE DE LIMOGES

Discipline : “Electronique des Hautes Fréquences et Optoélectronique”

présentée et soutenue par

Cyril LAGARDE

le 29 Septembre 2006

<p>MODELISATION DE TRANSISTOR DE PUISSANCE EN TECHNOLOGIE GaN : CONCEPTION D'UN AMPLIFICATEUR DE TYPE DOHERTY POUR LES EMETTEURS A PUISSANCE ADAPTATIVE</p>
--

Thèse dirigée par Philippe BOUYSSSE et Jean-Michel NEBUS

JURY :

Président :

Mr le Professeur Raymond QUERE (Université de Limoges)

Rapporteurs :

Mr le Professeur Yide WANG (Université de Nantes)

Mr Claude DUVANAUD HDR (Université de Poitiers)

Examineurs :

Mr Stéphane FORESTIER (Alcatel Alenia Space Toulouse)

Mr le Professeur Jean-Michel NEBUS (Université de Limoges)

Mr Philippe BOUYSSSE (Université de Limoges)

Invités :

Mr Alain MALLET (CNES Toulouse)

Mr Stéphane PIOTROWICZ (Alcatel Thales III-V Labs)

REMERCIEMENTS:

Ce travail a été réalisé au sein du laboratoire XLIM, sur le site de l'IUT G.E.I.I. de Brive. Je tiens à remercier Monsieur le Professeur P. Y. GUILLON de m'avoir accueilli dans ce laboratoire.

J'exprime mes sincères remerciements à Monsieur le Professeur R. QUÉRÉ pour l'honneur qu'il m'a fait en m'accueillant dans l'équipe « Circuits et sous-ensembles électroniques non linéaires hautes fréquences », maintenant dénommée département C2S2 (Composants, Circuits, Systèmes, Signaux) et en acceptant de présider le jury de cette thèse.

Je voudrais également remercier Monsieur Y. WANG, Professeur au laboratoire IREENA (Institut de Recherche en Electrotechnique et Electronique de Nantes Atlantique) à l'Université de Nantes, et Monsieur C. Duvanaud, maître de conférence Habilité à Diriger les Recherches au laboratoire d'automatique et d'informatique industriel de l'Université de Poitiers, qui ont accepté la responsabilité de juger ce travail en qualité de rapporteurs.

Mes remerciements vont également à Alcatel Alénia Space et tout particulièrement à Monsieur S. FORESTIER, Ingénieur de la société à Toulouse pour sa participation au jury mais surtout pour sa disponibilité et sa contribution à ces travaux en apportant son savoir et ses conseils.

J'ai l'honneur de compter parmi les membres du Jury, la présence de Monsieur A. Mallet, Ingénieur au CNES de Toulouse et de Monsieur S. Piotrowicz, Ingénieur à Alcatel-Thales III-V labs.

J'exprime également ma reconnaissance à Monsieur le Professeur J.M. NEBUS et P. BOUYSSSE, Maître de conférence à l'Université de Limoges qui ont plus particulièrement suivi ce travail. Je les remercie pour leur confiance qu'ils m'ont accordée pendant ces trois années.

Je ne voudrais pas oublier Mademoiselle H. BREUZARD, Secrétaire du département C2S2 sur le site de Brive, pour son efficacité et sa disponibilité.

J'associe à mes remerciements Madame M.C.LEROUGE, Secrétaire du département C2S2 sur le site de Limoges, pour son efficacité dans toutes les démarches qu'elle a réalisées sur Limoges.

Enfin, plutôt que d'établir une liste qui se voudrait exhaustive, je ne veux pas oublier dans ces remerciements toute l'équipe de l'IUT G.E.I.I. de Brive et plus particulièrement tous les camarades thésards dont j'ai fait la connaissance durant ces trois années brivistes pour les bons moments passés et pour le courage qu'ils ont eut à me supporter.

TABLE DES MATIERES:

TABLE DES MATIERES:

<u>INTRODUCTION GENERALE</u>	1
---	---

CHAPITRE I : *Potentialité des différentes technologies de transistors pour l'amplification de puissance*

INTRODUCTION :	7
I. Le GaN vis à vis des autres technologies de transistors de puissance.	8
I.1. Les transistors bipolaires.....	8
I.1.1. Principe des transistors bipolaires à homojonction.....	8
I.1.2. Transistors bipolaires à hétérojonction (TBH).	10
I.2. Les transistors à effet de champ.....	11
I.2.1. Principe.	11
I.2.2. Les transistors FET à hétérojonction	12
I.3. Les principaux transistors FETs de puissance.	12
I.3.1. Les transistors MOSFETs	12
I.3.2. Les transistors LDMOS	13
I.3.3. Les transistors HEMTs AsGa et PHEMTs AsGa	14
I.3.4. Les transistors de puissance grand gap.	17
I.3.4.1. Les transistors MESFETs SiC	17
I.3.4.2. Les transistors HEMTs GaN	21
I.4. Synthèse: comparaison des propriétés des transistors de puissance FETs.	25
I.4.1. Comparaison des paramètres physiques des semi-conducteurs.....	25
I.4.2. Comparaison des transistors sur les caractéristiques de fréquence et de puissance.	26
II. Etat de l'art des transistors de puissance GaN.....	27
II.1. Historique	27
II.2. Tableau des performances relevées sur les transistors de puissance GaN.....	31
III. Limitations actuelles : effets thermiques et phénomènes de pièges.....	32
III.1. Les effets thermiques dans les transistors HEMTs GaN.....	32
III.2. Les phénomènes de pièges dans les transistors HEMTs GaN.	34

III.2.1. Notion de piège	34
III.2.2. Self-backgating.....	35
III.2.3. Gate-lag	37
CONCLUSION :	41

CHAPITRE II : Modélisation non-linéaire d'un transistor HEMT AlGaN/GaN incluant les effets thermiques et les phénomènes de pièges

INTRODUCTION :	49
I. Caractérisation du composant.	50
I.1. Principe du banc de mesure I(V) et paramètres [S] impulsionnel.	50
I.2. Principe des mesures en température.....	52
I.3. Mise en évidence des phénomènes thermiques du transistor GaN 12x75µm.....	53
I.3.1. Evolution des réseaux I(V) en fonction de la température.	53
I.3.2. Principe de mesure de la résistance thermique.	55
I.4. Mise en évidence des phénomènes de pièges.	57
I.4.1. Mise en évidence des "pièges de drain".....	57
I.4.2. Mise en évidence des "pièges de grille".....	58
I.5. Evolution des paramètres [S] en fonction de la température.	59
II. Modélisation de transistor par un modèle tabulaire électrothermique.	61
II.1. Introduction au modèle.	61
II.1.1. Modèle par équations phénoménologiques	61
II.1.2. Modélisation par table 3D.	62
II.2. Modélisation du transistor GaN 12*75µm	65
II.2.1. Modèle électrique petit signal.....	65
II.2.2. Modèle électrique non-linéaire.	71
II.2.2.1. Eléments non-linéaires convectifs.....	71
II.2.2.2. Modèle non-linéaire des capacités.....	73
II.2.3. Circuit thermique.....	76
III. Développement d'un modèle de pièges de grille.	78
III.1. Présentation	78
III.2. Principe du modèle de pièges.....	78
III.3. Simulations temporelles des effets de piège	83
III.3.1. Premier exemple de simulation temporelle.....	83

III.3.2. Deuxième exemple de simulation temporelle.....	84
III.4. Simulations I(V) pulsées	84
IV. Validation en puissance du modèle.....	88
IV.1. Comparaisons en puissance Modèle / Mesures.....	89
IV.1.1. Configuration n°1 : point de polarisation $V_{gs}=-3.3V$ et $V_{ds}=29V$ et point de repos ($V_{gso}=0V$, $V_{dso}=20V$)	90
IV.1.2. Point de polarisation $v_{gs}=-5.5V$ et $V_{ds}=29V$ et point de repos ($V_{gso}=-7V$, $V_{dso}=20V$).....	92
IV.2. Influence des effets de piège sur les performances en puissance.	93
CONCLUSION:	96

CHAPITRE III : Description des principales techniques de gestion du compromis rendement-linéarité des amplificateurs de puissance.

INTRODUCTION.....	101
I. Problématique des amplificateurs de puissance.....	102
I.1. Introduction sur l'amplification de puissance.....	102
I.1.1. Caractéristiques des signaux à enveloppe variable.....	102
I.1.1.1. Définitions spécifiques des signaux à enveloppe variable.....	102
I.1.1.2. Caractéristiques de quelques modulations à enveloppe variable.....	104
I.1.2. Evaluation des performances d'un amplificateur de puissance	105
I.1.2.1. Puissances et rendement	105
I.1.2.2. Grandeurs caractéristiques du comportement non linéaire des amplificateurs.....	109
I.2. Présentation de la problématique puissance / rendement / linéarité.....	112
I.3. Principes des techniques de linéarisation : systèmes de correction des distorsions non-linéaires.....	114
I.3.1. Linéarisation par pré-distorsion.....	114
I.3.2. Contre- réaction : Feedback	115
I.3.3. LINC (Linear amplification with Non-linear Components).....	116
I.3.4. CALLUM (Combined Analog Locked-Loop Universal Modulator)	117
I.3.5. Feedforward	118
I.4. Principes des techniques de haut rendement : contrôle actif d'un paramètre de l'amplificateur.....	120

I.4.1. Gestion dynamique des polarisations.....	120
I.4.2. E.E.R. (Elimination de l'Enveloppe et Restauration).....	122
II. Présentation de la technique Doherty.....	124
II.1. Schéma de principe de l'amplificateur Doherty.....	124
II.2. Etude théorique générale de l'amplification Doherty.....	127
II.2.1. Relations de base.....	127
II.2.2. Evolution des tensions en fonction du niveau de puissance.....	128
II.2.3. Evolution des courants en fonction du niveau de puissance.....	130
II.2.4. Evolution du rendement en fonction du niveau de puissance.....	131
II.2.5. Calcul de l' « Output Back-off ».....	134
II.3. Application pour un amplificateur Doherty classique (transistors de même taille).....	135
II.3.1. Détermination de l'impédance caractéristique Z_c et de la résistance de charge R_{CH}	135
II.3.2. Evolution des impédances de charge des deux amplificateurs.....	136
II.3.3. Evolution du rendement.....	137
II.4. Application pour un Amplificateur Doherty à auxiliaire double.....	138
II.5. Doherty à N étages.....	140
II.6. Doherty à commande dynamique de polarisation.....	143
II.6.1. Commande de grille des auxiliaires.....	143
II.6.2. Commande de drain du principal.....	145
III. Etat de l'art de la technique Doherty.....	147
III.1. Historique.....	147
III.2. Synthèse des réalisations d'amplificateur Doherty publiées.....	155
CONCLUSION.....	156

CHAPITRE IV : Conception d'un amplificateur Doherty à transistors GaN et à structure symétrique.

INTRODUCTION.....	163
I. Etude du nouvel amplificateur Doherty proposé.....	164
I.1. Principe de fonctionnement.....	164
I.2. Détermination des impédances de charge des amplificateurs.....	165
I.3. Détermination de l'impédance caractéristique Z_c et de la résistance de charge R_{CH}	166

I.4. Evolution des impédances de charge des deux amplificateurs.	167
I.5. Simulations de l'amplificateur de puissance proposé.	168
I.5.1. Simulations en puissance	168
I.5.2. Influence des effets de pièges et de température	173
I.5.2.1. Influence des effets de piège.	173
I.5.2. Influence des effets de température.	175
II. Conception de l'amplificateur.	177
II.1. Modèles électriques des différents éléments de la conception.	178
II.1.1. Modèle électrique du transistor.	179
II.1.2. Capacités de liaison.	180
II.2. Conception des Mics.	180
II.2.1. Substrat utilisé.	180
II.2.2. Diviseur de puissance 1 voie vers 3.	181
II.2.3. Circuits de polarisations.	183
II.2.4. Circuit hybride de sortie.	184
II.2.5. Circuit hybride d'entrée.	186
II.2.6. Amplificateur conçu	188
II.3. Résultats de simulations.	189
II.3.1. Simulations paramètres [S].	189
II.3.2. Simulations en puissance.	190
II.3.3. Tableau de synthèse des simulations.	192
III. Etude de la stabilité.	193
III.1. Stabilité petit signal : facteurs K et b.	193
III.2. Stabilité non-linéaire par identification de la réponse fréquentielle en boucle fermée	195
III.2.1. Technique d'analyse STAN.	195
III.2.2. Analyse de stabilité linéaire.	197
III.2.3. Analyse de stabilité non-linéaire.	198
III.3. Analyse de la stabilité non-linéaire par introduction d'une perturbation en boucle ouverte.	200
III.3.1. Technique d'analyse.	200
III.3.2. Analyse d'une oscillation de type impair.	201
III.4. Tableau de synthèse de la stabilité	203

III.5. Corrélations avec les mesures.	204
IV. Résultats expérimentaux	205
IV.1. Mesures en puissance.....	206
IV.2. Démonstration de l'effet Doherty	209
IV.3. Mesures en fonction de la fréquence.....	210
IV.4. Mesures C/I.....	211
IV.5. Mesures de flexibilité.....	213
CONCLUSION	216
<u>CONCLUSION ET PERSPECTIVES</u>	219

INTRODUCTION GENERALE

INTRODUCTION GENERALE

Le développement des systèmes de communication s'inscrit dans un secteur de plus en plus concurrentiel. Au delà des contraintes de performances et de coût qui en découlent, les systèmes modernes doivent intégrer des possibilités de re-configurabilité pour traiter, le plus efficacement possible, l'information qu'ils acheminent qui peut croître en volume et être modifiée dans son format tout au long de l'exploitation du système.

Il en résulte une complexité toujours croissante d'architecture des systèmes, mais aussi des signaux modulés utilisés et du traitement numérique de ceux-ci.

En ce qui concerne le segment analogique des systèmes, un des aspects réside dans la fonction d'amplification de puissance en émission.

Avec l'utilisation de signaux à forte efficacité spectrale qui sont des signaux à forte fluctuation de puissance, l'amplificateur doit satisfaire à des spécifications contraignantes de rendement et de linéarité.

Le rendement va conditionner la minimisation de la consommation du système et simplifier la gestion thermique. La linéarité est évidemment nécessaire pour respecter l'intégrité du signal transmis et elle est primordiale pour simplifier d'éventuels systèmes associés de linéarisation souvent synonymes de consommation supplémentaire non négligeable.

C'est dans ce cadre général que s'inscrivent ces travaux de thèse qui proposent l'étude et la conception d'un amplificateur intégrant des possibilités de flexibilité de puissance en conservant des bonnes performances en rendement et une sous contrainte de linéarité.

La conception optimisée d'amplificateurs de puissance ayant des topologies dites « non traditionnelles » passe obligatoirement par deux étapes essentielles :

- Une veille technologique concernant les composants semi-conducteurs candidats à l'amplification de puissance.

- Une méthodologie de conception basée sur l'utilisation de modèles non linéaires de transistors précis et robustes pour effectuer des simulations grand signal.

Ces différentes étapes importantes ont été suivies au cours de ces travaux de thèse.

Le chapitre premier présente de manière générale les principales caractéristiques et potentialités des différentes technologies de transistors actuels pour l'amplification de puissance. Il est mis en évidence le très fort potentiel des transistors HEMT AlGaIn/GaN pour l'amplification de très forte puissance dans le domaine micro-onde. Un tableau de synthèse de l'état de l'art publié à l'heure actuelle est donné.

Le chapitre deux s'attache à présenter les diverses étapes de modélisation non linéaire de transistor GaN. Un modèle intégrant les effets thermiques et de pièges présent dans la technologie GaN est proposé et a été élaboré pour un transistor de 900 μ m.

Le chapitre trois propose une synthèse des principales techniques de gestion de compromis rendement / linéarité dans les amplificateurs de puissance. Les différentes méthodes sont répertoriées en deux classes distinctes :

- Les techniques de linéarisation à proprement parlées, dont le principe directeur est le traitement du signal amplifié.
- Les techniques à haut rendement dont le principe directeur est le contrôle de polarisation et / ou de charge des cellules actives constituantes.

Ce chapitre se termine par une analyse du principe Doherty que nous retenons pour la suite de l'étude et le relevé des publications principales relatives à cette architecture d'amplificateur.

Le chapitre quatre traite de la conception d'un amplificateur Doherty à transistors GaN de puissance 10 Watts en bande X. L'architecture proposée est nouvelle à notre connaissance et offre l'avantage de symétrie qui est un critère intéressant en hyperfréquences. Les tests effectués sur la maquette réalisée ont visé essentiellement à valider l'effet Doherty et à montrer les capacités d'un tel amplificateur, à présenter un intérêt certain dans les systèmes

d'émission à flexibilité de puissance, fortement souhaité dans les applications spatiales et, en particulier, au sein de la société Alcatel Alenia Space Toulouse qui a soutenu ces travaux.

CHAPITRE I :

Potentialité des différentes technologies de transistors pour l'amplification de puissance

INTRODUCTION :

Ces dernières années, le besoin croissant de communiquer entre les hommes a conduit à un essor très important du secteur des télécommunications. Les rapides développements de la recherche et de l'industrialisation ont permis à un large public d'accéder aux moyens modernes de communication.

Cependant, il existe sans cesse un travail de recherche pour améliorer les différentes performances des systèmes de télécommunication. En effet, de nouvelles applications civiles ou militaires nécessitent l'utilisation de puissances plus importantes à des fréquences plus élevées.

C'est dans ce cadre là, que de nouvelles technologies dites « grands gaps » (Carbure de Silicium SiC et Nitrure de Gallium GaN) sont apparues pour la fabrication des transistors de puissance HF. Les propriétés physiques et électroniques de ces nouveaux matériaux semi-conducteurs permettent d'accroître les densités de puissances admissibles, ainsi que les fréquences de fonctionnement pour le GaN.

Un autre intérêt est également d'autoriser des températures de jonction plus élevées. Notons enfin qu'il est possible de générer la puissance RF dans des impédances de charge plus proches de 50 ohms comparativement aux autres technologies, ce qui permet de faciliter la conception et d'améliorer les performances des circuits de combinaison de puissance.

Dans ce chapitre, nous décrivons brièvement les différents types de transistors de puissance utilisés actuellement, par la suite, nous positionnons le transistor HEMT GaN par rapport aux autres technologies. De plus, un état de l'art des transistors de la technologie GaN est exposé. Enfin, nous terminerons ce premier chapitre en présentant les limites actuelles des semi-conducteurs en Nitrure de Gallium.

I. Le GaN vis à vis des autres technologies de transistors de puissance.

On distingue deux grandes familles de transistor : les transistors bipolaires (BJT) et les transistors à effet de champ (FET). En ce qui concerne les BJTs, les trois accès sont la base, le collecteur et l'émetteur. Un faible courant électrique appliqué sur la base permet la modulation du flux de courant entre le collecteur et l'émetteur (figure 1-a). Dans le cas des FETs, c'est la tension appliquée sur la grille qui permet de moduler le courant circulant entre le drain et la source (figure 1-b).

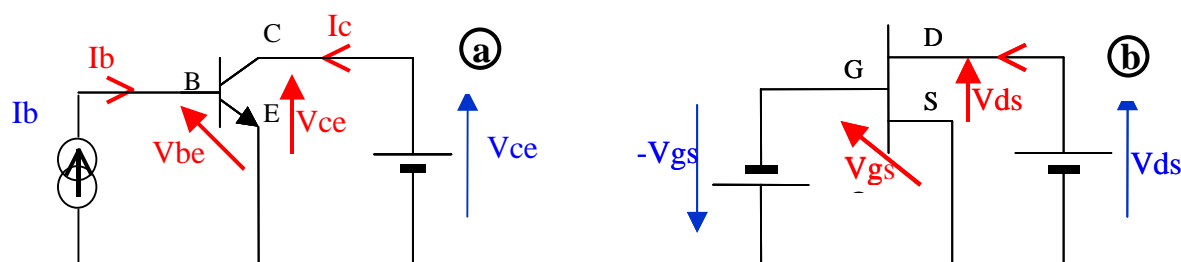


Figure 1 : Schématic des deux types de transistors : a) Transistor bipolaire
b) Transistor à effet de champ

I.1. Les transistors bipolaires

I.1.1. Principe des transistors bipolaires à homojonction.

Historiquement, le transistor bipolaire à homojonction est le premier composant actif à semi-conducteur. Il a été inventé par Bardeen et Brattain en 1948. La théorie a été élaborée par Schokley en 1949 et le premier transistor a vu le jour en 1951.

Un transistor bipolaire est un élément semi-conducteur constitué de deux jonctions PN tête-bêche présentant une région commune appelée base. Le collecteur et l'émetteur sont respectivement les deux régions restantes. Il peut y avoir deux types de transistors suivant que la région centrale est de type N ou P. Par exemple, la figure 2 présente une structure NPN polarisée dans son mode de fonctionnement dit « normal » ainsi que sa représentation schématic.

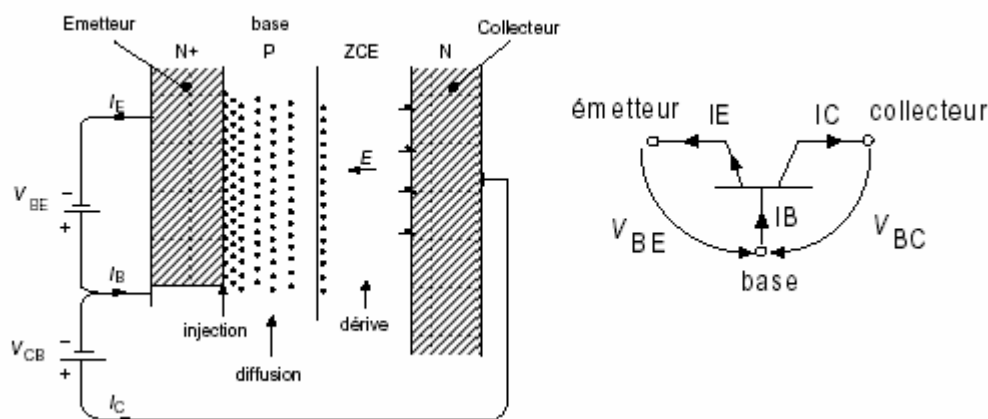


Figure 2 : Structure d'un transistor bipolaire

L'interaction forte entre la jonction émetteur-base et la jonction base-collecteur, induite par une faible épaisseur de base, est à l'origine de l'effet transistor. Ce dernier consiste à engendrer (comme le montre la Figure 2) un courant dans la jonction base-collecteur polarisée en inverse, par l'injection de porteurs minoritaires (ci-dessus des électrons) dans la base à partir de la jonction émetteur-base polarisée en direct. Pour cela, les porteurs minoritaires injectés dans la base par l'émetteur doivent se recombiner le moins possible. Il est donc nécessaire que l'épaisseur de base soit très inférieure à la longueur de diffusion des porteurs minoritaires.

Le transistor bipolaire possède différents régimes de fonctionnement qui diffèrent suivant les polarisations appliquées aux bornes des jonctions base-émetteur (BE) et base-collecteur (BC). On distingue les modes de fonctionnement suivants :

- normal : les jonctions BE et BC sont polarisées respectivement en direct et en inverse,
- saturé : les jonctions BE et BC sont toutes deux polarisées en direct,
- bloqué : les jonctions BE et BC sont toutes deux polarisées en inverse,
- inverse : les jonctions BE et BC sont polarisées respectivement en inverse et en direct.

I.1.2. Transistors bipolaires à hétérojonction (TBH).

Le principe de fonctionnement du TBH (Figure 3) est proche de celui du transistor bipolaire à homojonction [1], [2]. La présence de l'hétérojonction entraîne l'augmentation de la barrière de potentiel entre émetteur et base vue par les trous ; ce qui favorise le coefficient d'émission. L'étude phénoménologique d'un TBH est donc équivalente à celle d'un transistor bipolaire à homojonction ; la différence se traduit essentiellement par le décalage de la caractéristique courant / tension $I_e = f(V_{be})$ (Figure 4).

De plus, pour un gain en courant identique, le dopage de base peut être plus important pour un TBH que pour un transistor bipolaire à homojonction. Ceci permet de diminuer la résistance de base et donc d'augmenter la fréquence maximale de fonctionnement.

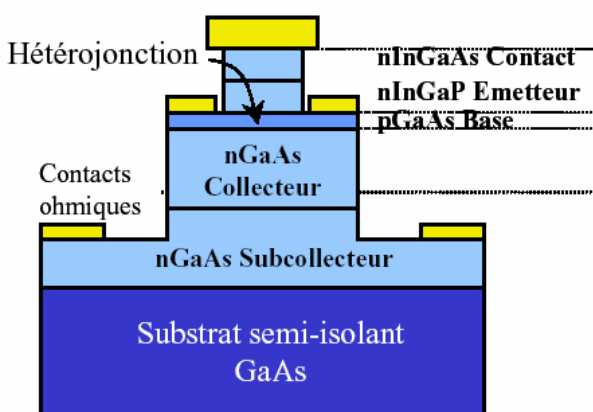


Figure 3 : Vue en coupe d'un transistor bipolaire à hétérojonction

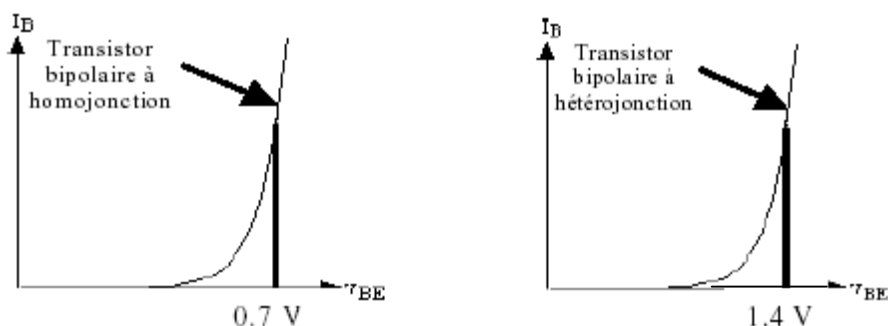


Figure 4 : Comparaison, transistors à homojonction et hétérojonction

I.2. Les transistors à effet de champ.

I.2.1. Principe.

Le principe du transistor à effet de champ (FET : Field Effect Transistor) a été décrit la première fois par Shockley en 1952 [3]. Il a été initialement appelé transistor unipolaire par opposition au transistor bipolaire car un seul type de porteur est utilisé (les électrons pour des raisons de célérité). L'effet fondamental est le suivant: le courant à contrôler circule dans un barreau de semi-conducteur appelé le canal, dont la section est contrôlée par l'application d'un champ électrique (Figure 5). Il existe deux types de modulation du canal, soit par enrichissement, soit par déplétion.

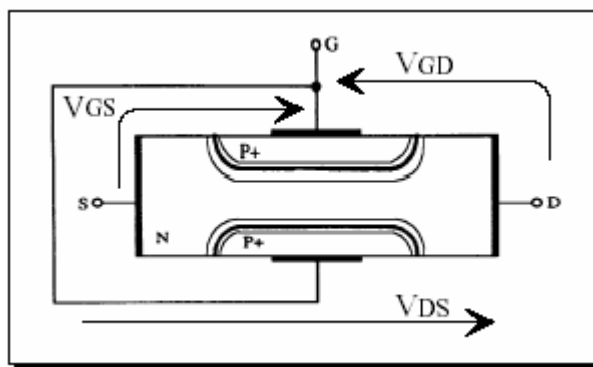


Figure 5 : Structure d'un transistor à effet de champ

Sur ce principe, différentes structures de transistors à effet de champ correspondant à différents contacts de grille ont été élaborées :

- le JFET (Junction Field Effect Transistor) : grille à jonction PN,
- le MOSFET (Metal Oxide Semi-conductor Field Effect Transistor) : grille métallique isolée de la couche active par un oxyde isolant,
- le LDMOS (Lateraly diffused MOS)
- le MESFET (Metal Semi-conductor Field Effect Transistor) : grille métallique à barrière Schottky.

I.2.2. Les transistors FET à hétérojonction

Le principe de fonctionnement des transistors à effet de champ à hétérojonction repose sur le principe de création et de contrôle d'un gaz d'électrons dans un matériau faiblement dopé où les électrons peuvent se déplacer plus rapidement.

A partir de cette structure conventionnelle, il existe plusieurs types de transistors à effet de champ à hétérojonction :

- le HEMT (**H**igh **E**lectron **M**obility **T**ransistor) ;
- le TEGFET (**T**wo dimensionnal **E**lectron **G**as **F**ield **E**ffect **T**ransistor) ;
- le HFET (**H**eterostructure **F**ield **E**ffect **T**ransistor) ;
- le MODFET (**M**Odulation **D**oped **F**ield **E**ffect **T**ransistor) ;
- le PHEMT (**P**seudomorphic **H**ight **E**lectron **M**obility **T**ransistor) ;
- le PMHFET (**P**seudo**M**orphic **H**eterostructure **F**ield **E**ffect **T**ransistor).

Certains de ces transistors ont essentiellement des applications de puissance. Pour fabriquer ces transistors de puissance, plusieurs technologies de semi-conducteurs peuvent être envisagées. Le paragraphe suivant est une rapide présentation des différents transistors de puissance FET utilisés dans l'industrie et la recherche.

I.3. Les principaux transistors FETs de puissance.

I.3.1. Les transistors MOSFETs

Le transistor MOSFET (*Metal Oxide Semiconductor Field Effect Transistor*) se caractérise par le dépôt d'une couche d'oxyde isolante entre la grille et le substrat constituant ainsi une capacité MOS (Figure 6) chargée d'enrichir ou d'appauvrir le canal de conduction entre la source et le drain par une tension de grille positive, [4],[5],[6].

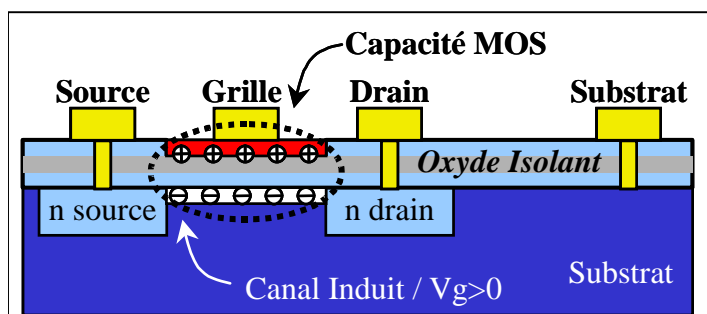


Figure 6 : Vue en coupe d'un transistor MOSFET

Pour l'amplification de puissance aux fréquences micro-ondes, les transistors MOS classiques sont limités du fait de leur faible tension de claquage.

I.3.2. Les transistors LDMOS

Une des filières développées, pour pallier les limites en puissance du MOSFET, est celle du LDMOS (*Laterally diffused MOS*). Il se distingue du MOSFET par un puit dopé p+ (Figure 7) jouant le rôle de masse RF entre la source et la face arrière du composant.

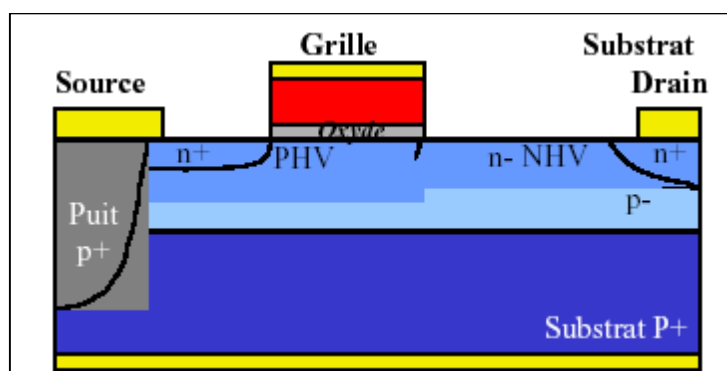


Figure 7 : Vue en coupe d'un transistor LDMOS

Les transistors LDMOS sont des composants très répandus dans les stations de base pour téléphonie mobile. Dans une bande de fréquence limitée à environ 3 GHz, ils possèdent de très hautes tensions de claquage, ce qui permet des niveaux de polarisation élevés. Ericsson-Infineon [7] a développé un transistor LDMOS avec une tension de claquage égale à

110 V qui atteint une densité de puissance de 1W/mm @ 3.2 GHz pour une polarisation de 50 V et 2W/mm @ 1 GHz pour une polarisation de 70 V.

La tension de claquage du LDMOS dépend directement de la distance séparant la grille du drain. Les mesures sur LDMOS de 10mm [8] montrent qu'une variation de la distance grille drain de 2 à 4 μ m permet une augmentation de la tension de polarisation de drain de 32 à 40 V.

Cependant, un gain en puissance élevé à haute fréquence nécessite que le canal soit le plus court possible, favorisant le transit rapide des électrons. Ce constat s'oppose à l'augmentation de la distance grille drain. Ce type de transistor est donc limité à des fréquences d'utilisation maximales en bandes L ou S.

I.3.3. Les transistors HEMTs AsGa et PHEMTs AsGa

La structure des couches épitaxiées des HEMTs présente une hétérojonction, une jonction entre deux matériaux ayant des énergies de bande interdite différentes. La conséquence de cette hétérojonction est la création d'un canal très fin dans le matériau non dopé de très faible résistance, entraînant une mobilité d'électrons élevée (origine du nom HEMT). Cette couche est appelée gaz d'électrons à deux dimensions (origine du nom TEGFET). Ainsi la différence essentielle entre les MESFETs et les HEMTs se situe au niveau du principe même du contrôle du courant dans le canal. Alors que dans le cas du MESFET, l'électrode de grille contrôle la section de canal disponible pour la conduction, dans le cas du HEMT, elle contrôle la densité d'un gaz d'électrons libres dans une zone non dopée située sous l'hétérointerface qui constitue le canal du transistor. La Figure 8 représente la structure de couches ainsi que le diagramme de bande d'énergie d'un HEMT classique utilisant l'AsGa et l'AlGaAs comme couches actives.

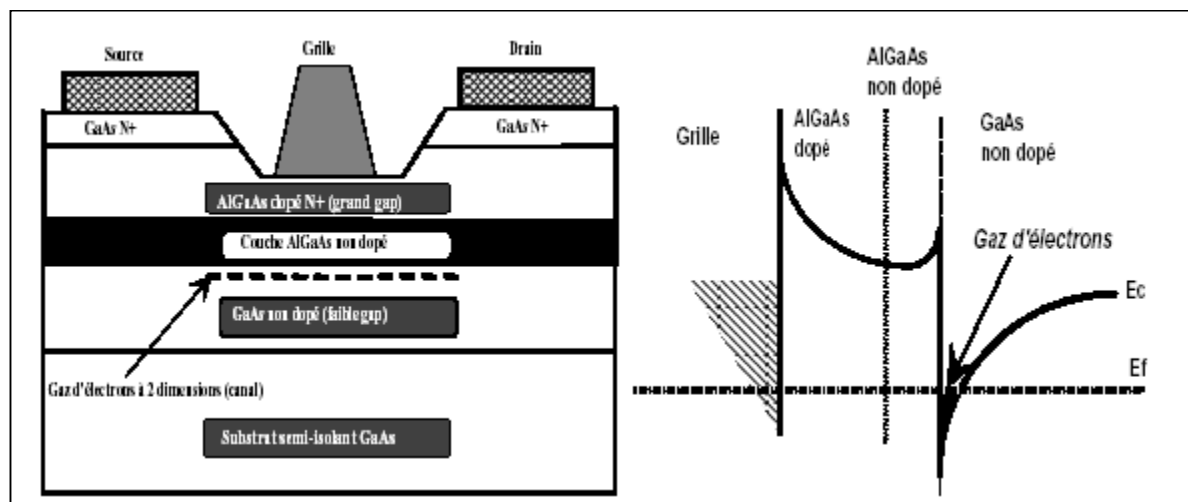


Figure 8 : Structure de principe d'un HEMT classique associée à son diagramme de bande d'énergie

Si le HEMT a permis des utilisations en fréquence bien plus hautes que celles du MESFET, sa limite fréquentielle est de l'ordre de 60-70 GHz. Cette limite est principalement due aux propriétés de transport du matériau intrinsèque, c'est-à-dire l'Arséniure de Gallium.

Il est le composant privilégié pour des applications de puissance hautes fréquences ainsi que pour des applications à faible bruit telles que les circuits de pré-amplification des satellites ou encore les oscillateurs. En conséquence pour satisfaire aux besoins sans cesse croissants de montée en fréquence, l'idée de base a été de remplacer le GaAs du canal par un autre matériau à faible gap autorisant une vitesse à fort champ électrique la plus élevée possible : l'InGaAs. Les progrès technologiques en matière d'épitaxie ont donné, par la suite, naissance à un nouveau type de transistor à hétérojonction : le HEMT pseudomorphe (PHEMT).

Les transistors à effet de champ pseudomorphiques GaAs (*pseudomorphic HEMTs*) se différencient des transistors HEMTs par l'ajout d'une couche d'InGaAs intercalée entre les couches AlGaAs et GaAs (Figure 9). Par conséquent, la discontinuité de la bande de conduction à l'interface AlGaAs/InGaAs est plus large que dans le cas AlGaAs/GaAs. Le puits de potentiel étant plus large que dans le cas d'une structure HEMT classique, le courant dans ce transistor est donc plus élevé. De plus, la vitesse des électrons dans l'InGaAs (non

dopé) est également plus importante que dans le GaAs ce qui permet de très hautes fréquences de travail.

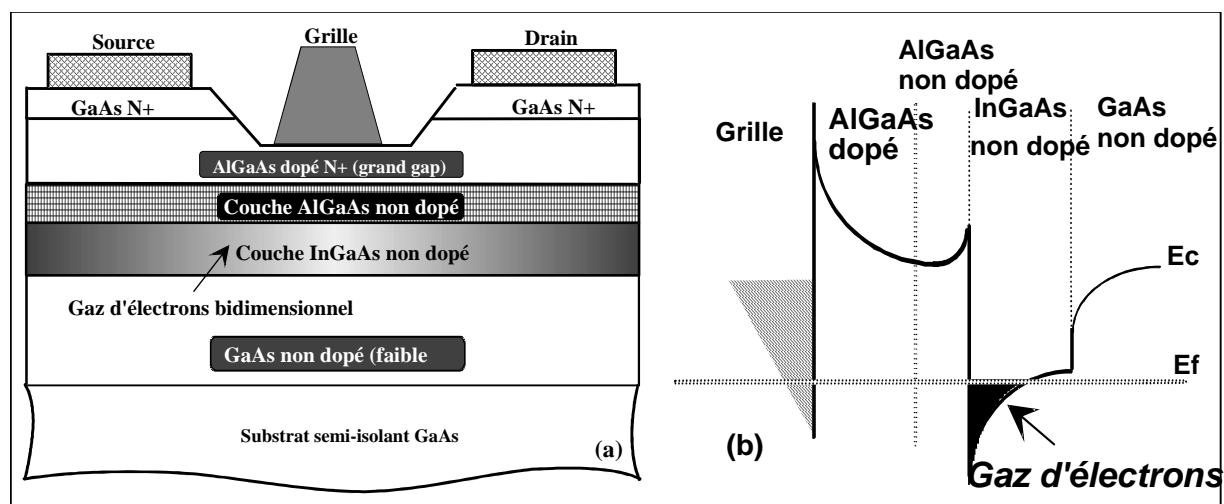


Figure 9 : Structure d'un transistor PHEMT GaAs associée à son diagramme de bande

Durant ces dernières années, les tensions d'avalanche ont été fortement augmentées, permettant ainsi de polariser les transistors à effet de champ avec une tension de drain supérieure à 20 V [9],[10],[11].

Ces fortes tensions de polarisation autorisent donc des densités de puissance plus importantes. Cependant, les transistors PHEMTs GaAs atteignent des densités de puissance de l'ordre de 2W/mm [12], [13], qui sont toujours très inférieures aux transistors grand gap (>10W/mm). Par conséquent, seuls des amplificateurs à plusieurs transistors connectés en parallèle peuvent convenir pour des applications de forte puissance micro-ondes, avec des tailles de transistor relativement importantes et des difficultés d'adaptation et de combinaison de puissance dues aux très faibles impédances de charge.

I.3.4. Les transistors de puissance grand gap.

De récents développements ont permis l'élaboration de composants supportant des puissances bien supérieures aux transistors dits classiques. Aujourd'hui, les semi-conducteurs à large bande interdite sont les candidats idéaux pour réaliser des conceptions pour des applications de puissance. Leurs propriétés physiques (champ électrique de claquage, vitesse de saturation, conductivité thermique) en font des matériaux sans rivaux pour un grand nombre d'applications de forte puissance et à haute température. Les semi-conducteurs à grande bande interdite permettent d'étendre l'utilisation des dispositifs électroniques dans le domaine des hautes températures, du fait de la grande bande interdite, et des fortes puissances, du fait du fort champ électrique de claquage.

Il existe aujourd'hui deux principaux semi-conducteurs grand gap : les MESFETs en Carbure de Silicium (SiC) et les HEMTs en Nitrure de Gallium (GaN).

I.3.4.1. Les transistors MESFETs SiC

Le fonctionnement du MESFET (Figure 10) est basé sur la modulation de l'épaisseur du canal sous la grille. L'ensemble, constitué par la métallisation de grille et le semi-conducteur (SC) de type N au dessous de la grille, forme une jonction ou diode Schottky. La présence de ce contact justifie la dénomination MESFET (**ME**tal **S**emi-conductor **F**ield **E**ffect **T**ransistor).

Une tension appliquée entre les contacts ohmiques de drain et de source fait circuler un courant d'électrons parallèlement à la surface du semi-conducteur. La saturation de ce courant est due à la saturation de la vitesse des électrons. L'intensité du courant dans les transistors MESFETs est contrôlé grâce à la modulation de la section du canal contrairement aux transistors MOSFETs et HEMTs où le contrôle du courant se fait par la modulation de la densité des porteurs. Plus précisément, l'intensité du courant est contrôlée par la profondeur de la zone déplétée, qui apparaît sous la jonction métal/semi-conducteur (contact Schottky) constituant la grille.

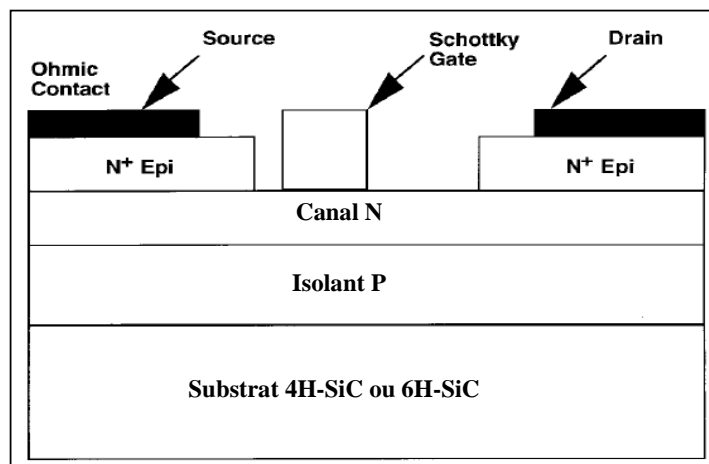


Figure 10 : Structure d'un MESFET sur 4H-SiC

Les performances en fréquence des transistors MESFETs sont conditionnées par la longueur de la grille. En effet, plus celle-ci est courte, plus les fréquences de transition et maximale d'oscillation sont importantes. Cependant, réduire la longueur de grille revient à augmenter sa résistance.

Les premiers transistors MESFETs sur Carbone de Silicium ont été réalisés à partir du polytype 6H-SiC parce que celui-ci présente de meilleures qualités cristallines. Ainsi, différentes équipes de recherche ont mis au point des transistors MESFETs 6H-SiC, en particulier l'équipe de J.W. Palmour à Cree Research [14]. Puis, rapidement, le polytype 4H-SiC est apparu plus intéressant : en effet, ce polytype possède une mobilité dont la valeur est deux fois la valeur de la mobilité du 6H-SiC. Grâce à ses propriétés physiques et électriques comparables à celles du polytype 6H-SiC, le polytype 4H-SiC s'est avéré être le candidat idéal pour réaliser des transistors MESFETs de puissance.

En 1994, Charles E. Weitzel [15] de Phoenix Corporate Research Laboratories / Motorola présente les résultats en puissance obtenus avec un transistor MESFET 4H-SiC dont la coupe transversale est donnée sur la Figure 11.

Il s'agit d'un transistor de deux doigts de grille, la largeur d'un doigt de grille étant de 166 μm et la longueur de grille de 0,7 μm . La structure de ce transistor est constituée par :

- un substrat 4H-SiC dopé N sur lequel on a déposé une couche épitaxiale semi-insulante dopé $p = 1,4 \times 10^{15} \text{cm}^{-3}$, de $6 \mu\text{m}$ d'épaisseur,
- le canal est dopé $N_d = 1,7 \times 10^{17} \text{cm}^{-3}$ et a une profondeur de $0,25 \mu\text{m}$,
- sous les contacts de drain et de source, les zones dopées N^+ ($N^+ \geq 2 \times 10^{19} \text{cm}^{-3}$) de $0,15 \mu\text{m}$ de largeur sont obtenues par croissance épitaxiale et par gravure chimique.

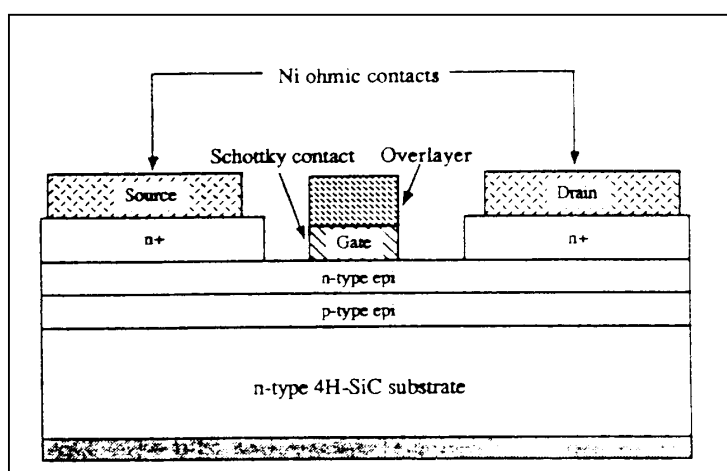


Figure 11 : Coupe transversale d'un transistor MESFET 4H-SiC

Charles Weitzel s'est intéressé aux performances hyperfréquences et en puissance de ce transistor MESFET 4H-SiC et a obtenu les résultats suivants :

- une fréquence maximale d'oscillation de 12,9 GHz et une fréquence de transition de 6,7 GHz. Ces fréquences ont été calculées à partir des paramètres [S] mesurés sur la bande de fréquence [45 MHz - 26,5 GHz] et au point de polarisation $V_{ds} = 30 \text{ V}$, $I_{ds} = 78 \text{ mA}$, $V_{gs} = 1 \text{ V}$ (et $I_g < 1 \text{ pA}$). Le gain petit signal, à ce même point, était de 9,3 dB à 4 GHz et 2,2 dB à 10 GHz,

- la densité de courant de drain est de 300 mA/mm à $V_{ds} = 25 \text{ V}$ associée à une transconductance g_m de 38 à 42 mS/mm,

- des mesures en puissance ont été effectuées à l'aide d'un banc de type load Pull. Le transistor était polarisé au point $V_{ds} = 54 \text{ V}$, $V_{gs} = -2 \text{ V}$ et $I_{ds} = 77,4 \text{ mA}$. La puissance de sortie maximale est de $29,72 \text{ dBm}$ ($0,937 \text{ W}$) associée à un gain de $6,7 \text{ dB}$ et un rendement en puissance ajoutée de $12,7 \%$ pour un niveau de puissance d'entrée de 23 dBm . La densité de puissance est de $2,8 \text{ W/mm}$.

En juin 2004, H. George Henry [16] présente de très bons résultats à partir d'un MESFET SiC de 4.8 mm de développement fonctionnant à 3 GHz . Ce MESFET se différencie d'un MESFET classique par l'ajout d'un « spacer » de 200 \AA en SiC non dopé entre le canal et la grille, minimisant ainsi les pièges de surface. Une première série de mesures grand signal pulsé (Figure 12) est effectuée avec une polarisation en classe AB avec V_{gs} pulsée et V_{ds} continue (durée de pulse= $200\mu\text{s}$, rapport cyclique= 10%). Ce transistor MESFET SiC délivre alors une puissance de sortie égale à 21 W (soit environ 4.4 W/mm), avec un PAE de 62% et un gain en puissance de 10.6 dB . Une deuxième série de mesures grand signal CW (Figure 13) est effectuée avec les mêmes valeurs de tensions de polarisation mais en mode continu. Les performances de ce transistor MESFET SiC sont alors en retrait par rapport à celles obtenues en condition pulsée. Il délivre tout de même une puissance de sortie de 9.2 W (soit environ 2 W/mm), avec un PAE de 40% et un gain en puissance de 7 dB pour une fréquence de travail toujours égale à 3 GHz .

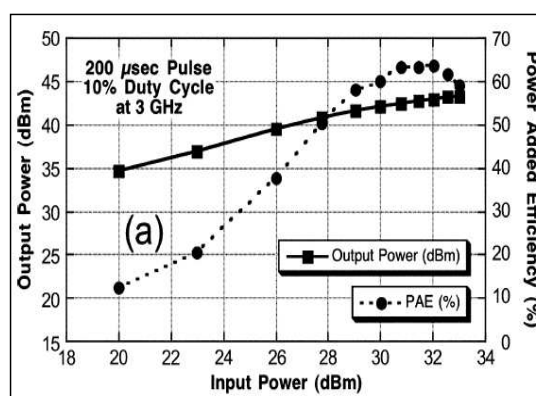


Figure 12 : Mesures grand signal d'un transistor MESFET SiC de 4.8 mm de développement de grille en condition pulsée (durée de pulse= $200\mu\text{s}$, rapport cyclique= 10%) @ 3 GHz

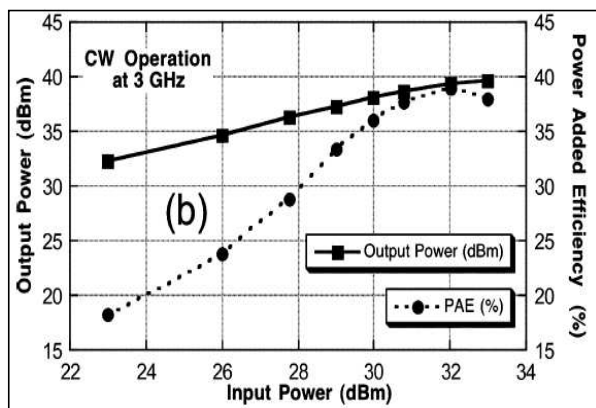


Figure 13: Mesures grand signal CW du même transistor MESFET SiC de 4.8mm de développement de grille @ 3GHz

Cependant, le Carbure de Silicium est souvent très mal contrôlé du point de vue des défauts structuraux ou ponctuels. Ces défauts sont à l'origine d'un phénomène parasite appelé phénomène de pièges qui dégrade considérablement les performances RF des dispositifs SiC.

I.3.4.2. Les transistors HEMTs GaN

Il existe trois types de semi-conducteurs en Nitrure de Gallium rencontrés dans la littérature : le HFET GaN, le MODFET GaN et le HEMT GaN.

Cependant, lors de cette thèse, nous allons juste nous intéresser au HEMT GaN parce qu'il est le composant le plus mature et le plus rencontré dans les différents laboratoires ainsi que chez les industriels.

Pour mieux comprendre son fonctionnement, nous allons étudier brièvement les structures de bande des matériaux mis en jeu dans un HEMT AlGaIn/GaN [17] qui est la technologie étudiée au cours de ces travaux de thèse (Figure 14).

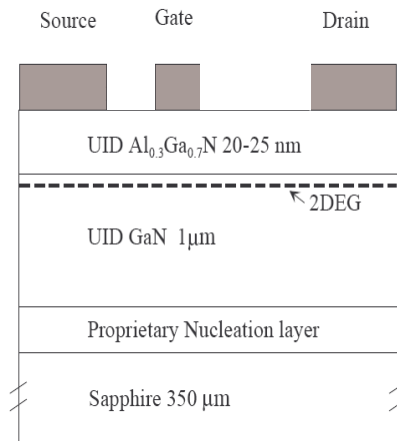


Figure 14 : Structure physique de base d'un HEMT sur substrat Sapphire

L'hétérojonction formée par la juxtaposition de deux matériaux dont les largeurs de bande interdite sont différentes, l'un présentant un large gap (AlGaN : 3,82eV) et l'autre un gap plus faible (GaN : 3,4eV), entraîne la formation d'une discontinuité de la bande de conduction à l'interface (ΔE_c). La Figure 15 présente les niveaux d'énergie mis en jeu dans chacun des matériaux de l'hétérojonction considérés séparément, c'est-à-dire avant contact.

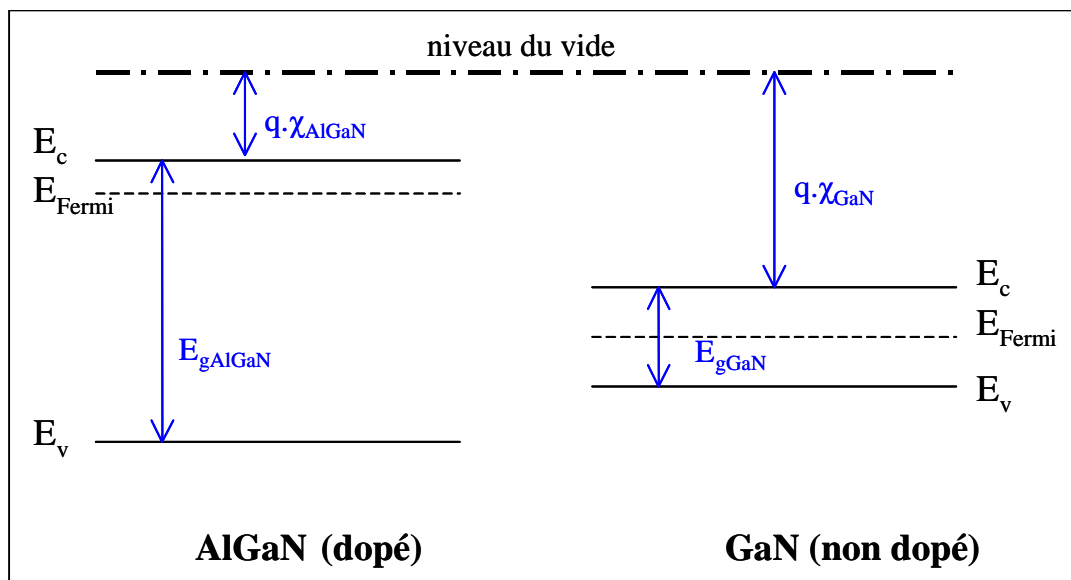


Figure 15 : niveaux d'énergie des matériaux mis en jeu dans l'hétérojonction

D'après les règles d'Anderson, lors de la jonction de deux matériaux, leur niveau de Fermi s'aligne. Le niveau du vide ne pouvant pas subir de discontinuités, il en résulte une discontinuité de la structure de bande d'énergie à l'interface. La Figure 16 montre les niveaux d'énergie à l'hétérojonction pour une tension appliquée nulle.

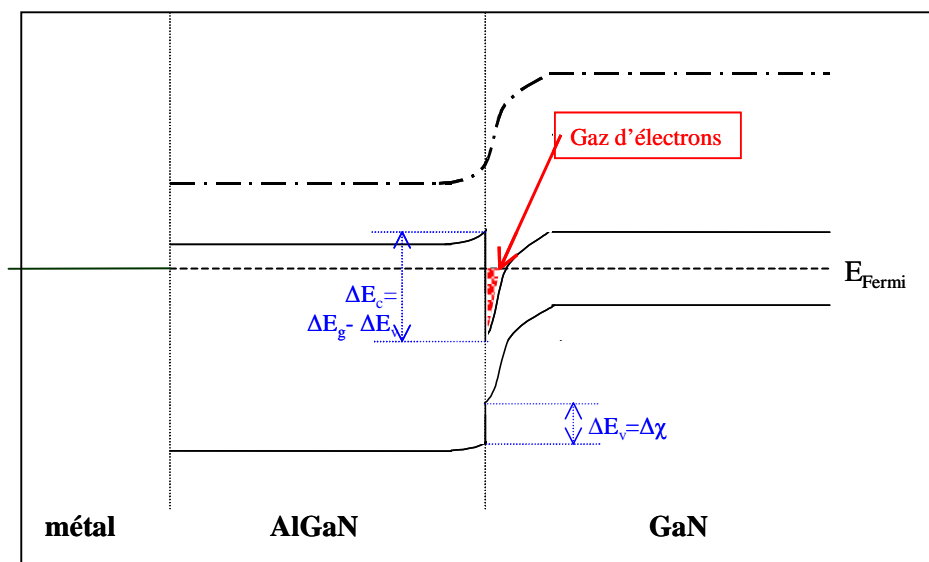


Figure 16 : niveaux d'énergie des matériaux à l'hétérojonction pour une tension appliquée nulle

Nous pouvons observer la formation d'un puit quantique à l'interface, dans le matériau de plus faible largeur de bande interdite. Ce puit reste cantonné dans la partie supérieure du matériau à plus faible gap non dopé car, au-dessus, le matériau de plus grande largeur de bande interdite joue le rôle de barrière. C'est dans ce puit que se regroupent les charges libres entraînant le phénomène de conduction à l'origine de la formation d'un gaz d'électrons à deux dimensions : c'est le canal. La densité de porteurs dans ce canal dépendra du niveau de Fermi dans la bande interdite du matériau (niveau de dopage), de la différence de largeur de cette bande entre les deux matériaux (ΔE_g) et du dopage considéré. Par exemple, la Figure 17 montre les niveaux d'énergie mis en jeu à l'hétérojonction lorsqu'on applique une tension sur la grille du composant. On voit en effet une modulation de ce gaz d'électrons et donc de la concentration de porteurs dans le canal. C'est pourquoi une tension appliquée sur la grille d'un HEMT permet le contrôle du courant qui circule entre drain et source.

Une saturation du courant s'observe en raison de la vitesse de saturation des électrons pour des fortes valeurs de tension entre drain et source. Si l'on compare une fois encore le

HEMT au MESFET, la mobilité des électrons étant plus élevée dans un gaz que dans un matériau dopé, il est plus rapide que ce dernier, permettant des applications à plus haute fréquence.

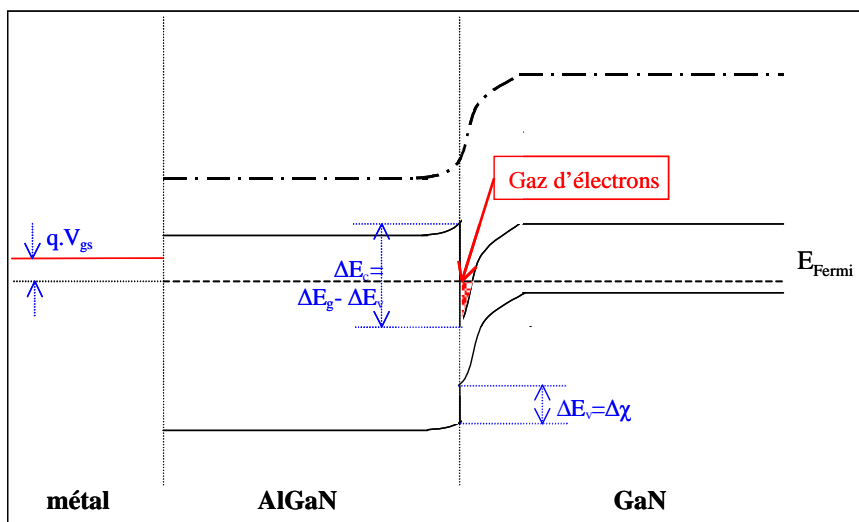


Figure 17 : niveaux d'énergie des matériaux à l'hétérojonction pour une tension appliquée non nulle

L'autre particularité du fonctionnement d'un HEMT, outre l'existence d'un gaz d'électrons, est la jonction Schottky créée par la jonction métal de grille et semi-conducteur du substrat.

Comparés aux résultats obtenus avec des MESFETs 4H SiC, avec des densités de puissance similaires à une fréquence de fonctionnement de 10 GHz, les transistors HEMTs AlGaN/GaN présentent de meilleures performances en fréquence. Par conséquent, pour des applications de très forte puissance à très hautes fréquences où les performances des FETs SiC sont relativement médiocres, les FETs GaN sont une solution indéniable.

Lors de ce paragraphe, nous avons recensé les différents transistors de puissance rencontrés dans la littérature. Une synthèse de leurs propriétés est effectuée dans le paragraphe suivant.

I.4. Synthèse: comparaison des propriétés des transistors de puissance FETs.

I.4.1. Comparaison des paramètres physiques des semi-conducteurs

Le tableau suivant recense quelques caractéristiques physiques des principaux matériaux utilisés pour la réalisation de transistors hyper-fréquences [18].

	Silicium	Arséniure de Gallium	Carbure de Silicium	Nitrure de Gallium
Largeur de bande interdite (eV)	1.1	1.43	3.26	3.39
Champ critique (10^6V/cm)	0.3	0.4	3	3.3
Mobilité des électrons à 300°K ($\text{cm}^2 \cdot \text{V}^{-1} \cdot \text{S}^{-1}$)	1350	6000	800	1500
Conductivité thermique ($\text{W} \cdot \text{cm}^{-1} \cdot \text{K}^{-1}$)	1.5	0.5	4.9	1.7
Constante diélectrique	11.8	12.5	10	9
Température max (°C)	300	300	600	700

Ce tableau nous renseigne sur les différents points suivants:

_ La largeur de bande interdite représente l'intervalle situé entre le niveau inférieur de la bande de conduction et le niveau supérieur de la bande de valence d'un matériau. L'énergie de bande interdite est une mesure de la quantité d'énergie nécessaire à un électron pour passer de la bande de valence à la bande de conduction sous l'impulsion d'une excitation thermique ou autre. Cette quantité est un facteur de la capacité du matériau à supporter une forte température ; elle définit la température maximale de fonctionnement du transistor. Donc, plus la largeur de bande est importante, plus le transistor peut fonctionner à haute température. On peut donc voir que les matériaux SiC et GaN sont des candidats propices pour un fonctionnement à température élevée.

_ Le champ critique est la valeur du champ électrique que peut supporter le composant. Plus cette caractéristique est élevée, plus le composant sera capable de supporter des tensions de polarisation importantes. Le tableau montre que les semi-conducteurs grand gap (SiC et GaN) ont un champ critique près de 8 fois plus élevé que le Si et l'AsGa. On peut en conclure que les transistors grand gap sont excellents pour des applications de puissance.

_ Une faible mobilité des électrons induit une augmentation de la résistance parasite, soit plus de pertes et moins de gain. De plus, ces effets s'intensifieront pour des fonctionnements aux hautes fréquences. On peut en conclure que le matériau AsGa est très propice aux applications très hautes fréquences. On peut cependant remarquer que le GaN a une mobilité des électrons deux fois plus importantes que le SiC. Le GaN permet alors de pouvoir travailler à plus haute fréquence que le SiC.

_ La conductivité thermique d'un matériau traduit sa capacité à évacuer la chaleur du composant. La chaleur non dissipée provoque une élévation de température du composant qui va entraîner une diminution du rendement. D'après le tableau, pour les applications de puissance, il est donc préférable de privilégier les transistors grand gap (essentiellement le SiC).

I.4.2. Comparaison des transistors sur les caractéristiques de fréquence et de puissance.

La Figure 18 montre les tensions d'alimentation possibles en fonction de la fréquence de travail du composant. On observe notamment que les transistors dits « petits gaps » ont des tensions d'alimentations peu importantes alors que pour les transistors MESFETs SiC et HEMTs GaN, les tensions maximales peuvent dépasser les 100 V. Cependant, l'avantage du Nitrure de Gallium est une utilisation possible pour des fréquences beaucoup plus élevées que le Carbure de Silicium. Ainsi, ce tableau démontre que HEMT GaN est un candidat idéal pour une application de forte puissance en bande X.

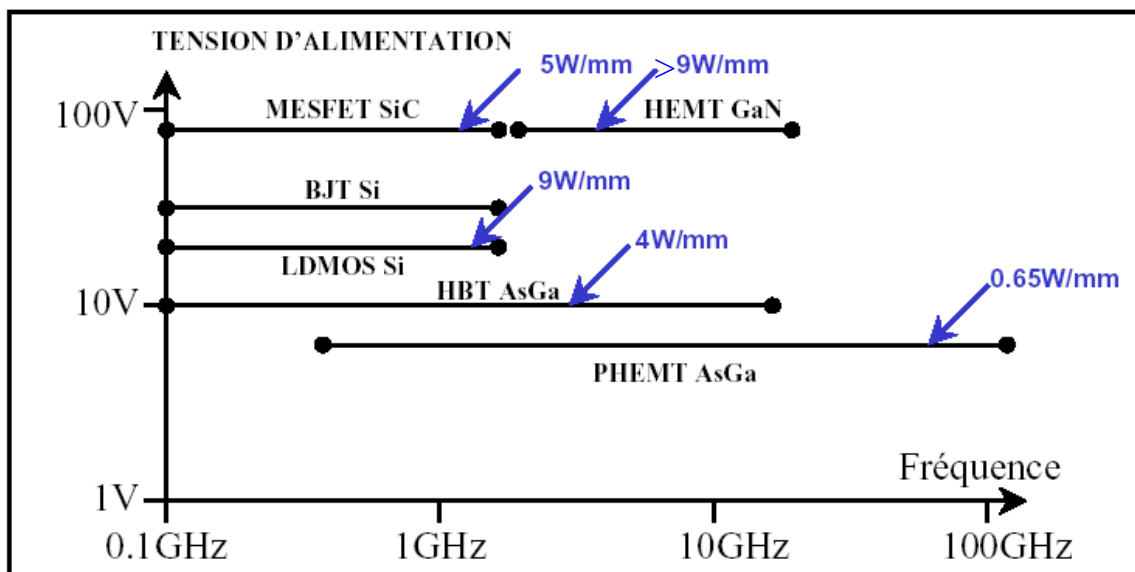


Figure 18 : comparaison de différentes technologies pour l'amplification de puissance

II. Etat de l'art des transistors de puissance GaN.

II.1. Historique

Les premiers transistors HEMTs GaN sur substrat saphir, silicium et carbure de silicium sont apparus au milieu des années 90. Mais il faut attendre la fin des années 90 et début 2000 pour trouver des résultats très intéressants en terme de puissance et/ou de fréquence.

En 1999, S.T. Sheppard (Cree) [19] présente des travaux sur un transistor HEMT GaN (substrat SiC) avec une densité de puissance de 6.9 W/mm à 10GHz.

Au sein du laboratoire IRCOM [20], un transistor HEMT GaN sur substrat SiC issu du laboratoire Tiger de 1.2mm de développement de grille a délivré une puissance de sortie de 6.7 W (5.6 W/mm) avec un *PAE* de 40 % et un gain en puissance associé de 6.5dB à une fréquence de 10 GHz lors de mesures grand signal en régime CW.

De très bon résultats ont aussi été obtenus à partir de transistors HEMTs GaN sur substrat silicium avec des densités de puissance de 1.9 W/mm (Tiger) [21] à 10 GHz allant jusqu'à 12 W/mm à 2.14GHz (Nitronex) [22].

Très récemment, des sociétés comme CREE et SOITEC ont commencé à proposer des wafers GaN, tout en continuant leur production de wafers SiC beaucoup plus matures. Les travaux de K. K. Chu font état d'un transistor HEMT AlGaN/GaN sur substrat GaN polarisé à 50 V sur le drain, ayant une densité de puissance de 9.4 W/mm avec un *PAE* associé de 40 % à 10 GHz [23].

Nous constatons donc que tous les résultats présentés jusqu'ici, et obtenus avec des transistors HEMTs à structure conventionnelle, ne dépassent pas les 10 W/mm pour des applications bande X [24].

Or début 2004, un saut technologique a été franchi avec l'ajout d'une métallisation de grille, appelée « field plate » ou « overlapping gate » (Figure 19), située au-dessus de la couche de passivation du composant. Ces nouvelles structures field plate permettent d'atteindre des densités de puissance exceptionnelles jusqu'à 30 W/mm [25], [26].

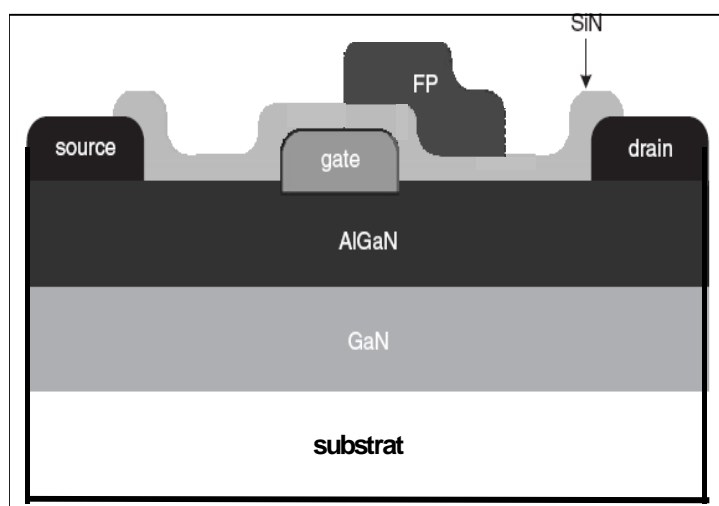


Figure 19 : structure d'un transistor HEMT GaN avec field-plate

Les premiers travaux relatant l'emploi de cette technologie field-plate datent du début des années 90. En effet, en 1992, C.L. Chen (Laboratoire Lincoln du Massachusetts) présente un transistor MESFET GaAs avec field plate ayant une tension de claquage grille-drain de 42V [27]. Cette métallisation au-dessus de la couche de passivation permet de modifier le profil de la distribution du champ électrique du bord de la grille coté drain et de réduire le pic du champ électrique critique, augmentant ainsi la tension d'avalanche (Figure 20).

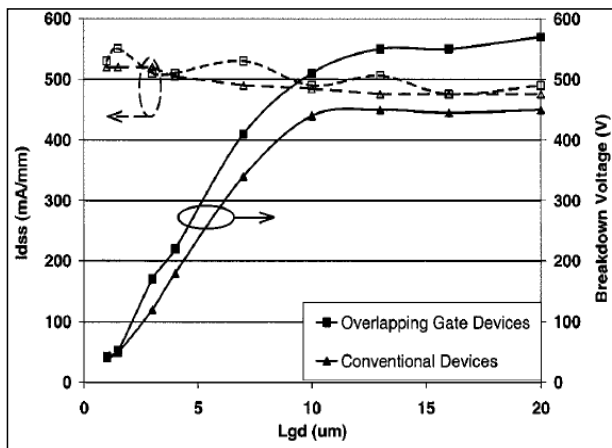


Figure 20 : courant maximum de sortie et tension d'avalanche drain source obtenus pour un transistor HEMT GaN conventionnel et pour un transistor avec field plate en fonction de la distance grille drain

Afin d'augmenter encore la tension d'avalanche, un transistor HEMT GaN à double field plate (Figure 21) possédant une tension d'avalanche de 900 V à été présenté par H. Xing (Université de Californie) [28].

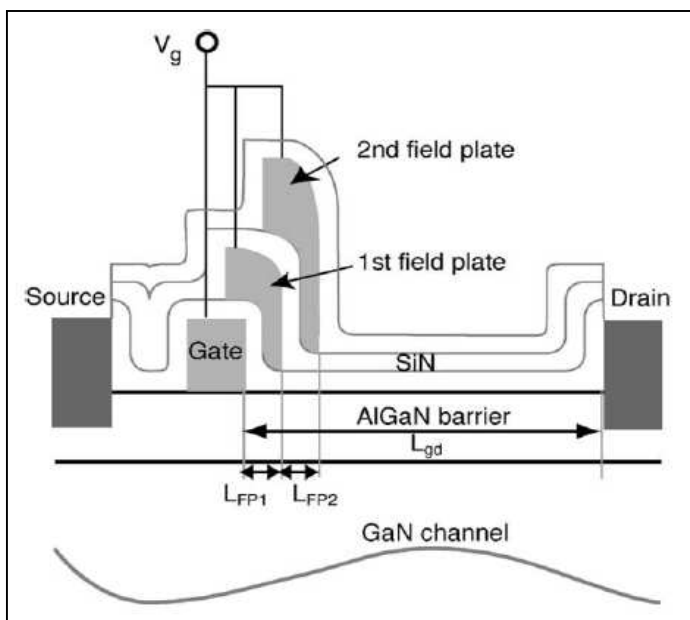


Figure 21 : structure d'un transistor HEMT GaN à double field plate

Y.-F. Wu (Cree) [26] obtient les meilleures densités de puissance actuelles, à savoir une densité de puissance supérieure à 30 W/mm à partir de transistors HEMTs GaN sur SiC avec un seul field plate. Les résultats exacts des mesures grand signal CW obtenus pour une tension de polarisation continue de drain égale à 120 V sur deux transistors (taille de 246µm) quasi identiques (longueur de field plate différente), sont les suivants :

=> une densité de puissance de 32.2 W/mm, un PAE de 54.8 %, un gain en puissance de 14 dB à 4 GHz pour une longueur de field plate égale à 1.1 µm

=> une densité de puissance de 30.8 W/mm, un PAE de 49.8 %, un gain en puissance de 10.7 dB à 8 GHz pour une longueur de field plate égale à 0.9 µm

Cependant, la présence du field plate augmente la capacité grille-drain et réduit ainsi quelque peu les performances en fréquence de ces transistors.

Chaque année, de nouveaux travaux sont publiés relatant des résultats obtenus toujours plus performants. Notamment en 2005 où le nombre de publications sur des résultats de puissance obtenus par des transistors HEMTs GaN a fortement progressé. La Figure 22 présente de façon chronologique les meilleures performances obtenues avec des transistors HEMTs GaN jusqu'à aujourd'hui.

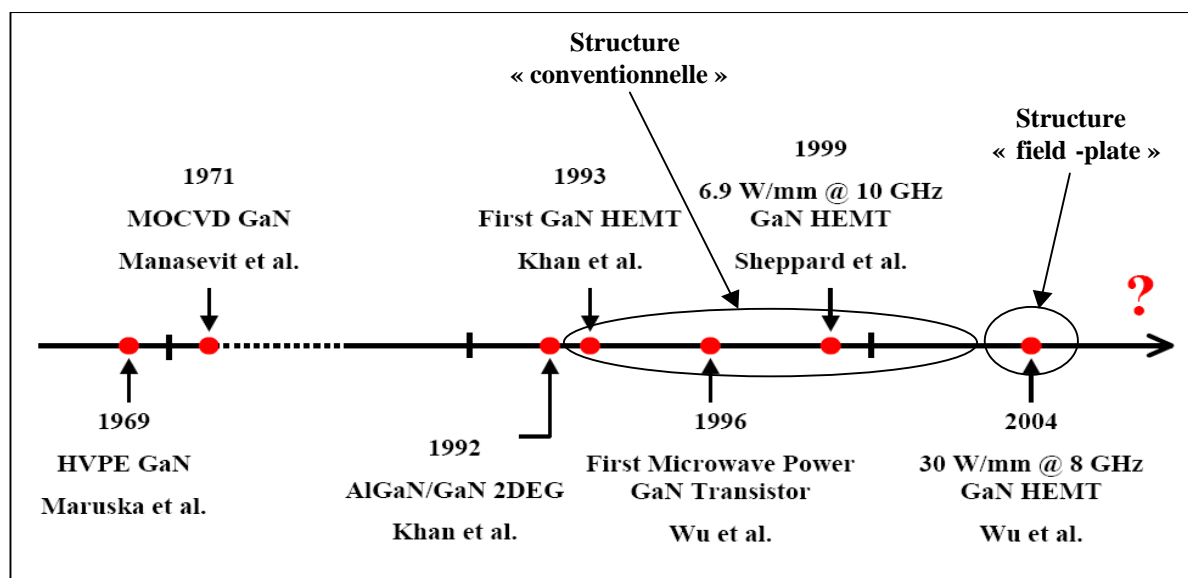


Figure 22 : principaux résultats obtenus en terme de puissance et de fréquence à partir de transistors HEMTs GaN

II.2. Tableau des performances relevées sur les transistors de puissance GaN.

Le tableau présenté ci-dessous est la synthèse de l'état de l'art des derniers composants HEMTs GaN portés à notre connaissance.

laboratoires	Substrat	Fréquence	Densité de puissance	Tension de drain	PAE	Publication
HRL laboratoire Malibu / ONR	SiC	30 GHz	5.7 W/mm	20V	45 %	Juin 2005 [29]
University of california	Si	4 GHz	3.3 W/mm	25V	54 %	Mai 2005 [30]
TIGER	Si	18 GHz	5.1 W/mm	35 V	20 %	2005 [31]
ONR		40 GHz	10.5 W/mm	30 V	34 %	Nov. 2005 [32]
National Central University Taiwan	Sapphire	2.4GHz	4 W/mm	30V	38 %	Janv.2005 [33]
Nitronex Corporation	Si	2.14 GHz	2.1 W/mm	28 V	65%	Juin 2005 [37]
RF Micro Devices	SiC	2.14 GHz	22.7 W/mm	80 V	55%	Juin 2005 [34]
Mitsubishi Electric Corporation	SiC	Bande C	2.79 W/mm	40 V	25%	Juin 2005 [36]
Cornell	SiC	10 GHz	16.5 W/mm	60 V	47%	Fév. 2004 [35]
Cree	SiC	4 GHz	32.2 W/mm	120 V	54.8 %	Mars 2004 [26]
BAE systems	GaN	10 GHz	9.4 W/mm	50 V	40%	Sept. 2004 [23]
Daimler Chrysler	Si	2 GHz	6.6 W/mm	30 V	49%	Avril 2003 [38]
Emcore Corporation	SiC	18 GHz	9.1 W/mm	55V	23.7 %	Sept 2005 [39]
Hong-Kong University	Sapphire	4 GHz	3.26 W/mm	8 V	55.6%	Déc. 2005 [40]

Cette prolifération de publications traduit un début de maturité de fabrication de ces semi-conducteurs GaN et l'engouement des différents laboratoires internationaux pour cette technologie.

Le tableau ci-dessous recense les caractéristiques électriques des principaux transistors GaN commercialisés:

Industries	Puissance de sortie	Fréquence	Tension de drain	PAE	Gain
Nitronex	50 W	3.5 GHz	28 V	50 %	10.5 dB
Eudyna	45 W	2.2 GHz	50 V	60 %	12 dB
RFHIC	10 W	2.14 GHz	28 V	55 %	10 dB

III. Limitations actuelles : effets thermiques et phénomènes de pièges.

Les fortes densités de puissance admissibles sur les technologies grands gaps vont entraîner un échauffement important du transistor, la vitesse de saturation des porteurs va diminuer à son tour entraînant une diminution de la puissance de sortie et de la fréquence de transition jusqu'à atteindre un état établi. Ce sont ces phénomènes thermiques dus à l'auto-échauffement que nous allons étudier dans un premier temps.

De plus, la technologie récente de ces transistors HEMTs présente des défauts de structure. Cela se traduit par les effets de pièges qui affectent considérablement la puissance de sortie des transistors (gate-lag, drain-lag). Nous étudierons ces phénomènes dans un deuxième temps.

III.1. Les effets thermiques dans les transistors HEMTs GaN

L'état thermique d'un composant résulte de la température ambiante et de l'auto-échauffement du transistor [41]. L'auto-échauffement du transistor se traduit par une puissance dissipée dépendant de la classe de fonctionnement du transistor et des performances RF de celui-ci vis-à-vis du signal injecté.

Ainsi, lorsque la puissance dissipée augmente, la température de jonction notée T_j augmente, faisant diminuer la mobilité des porteurs. Cela se traduit par une chute de la puissance de sortie du dispositif ainsi que par une baisse des fréquences de transition et maximales d'oscillation. En clair, une forte élévation de température altère de façon importante les performances des transistors. Pour montrer cet effet, nous simulons en puissance un modèle de transistor GaN (Figure 23) qui prend en compte cet effet thermique (ce modèle est abordé dans le chapitre suivant), pour deux températures différentes : $T_j=300^\circ\text{K}$ et $T_j=400^\circ\text{K}$.

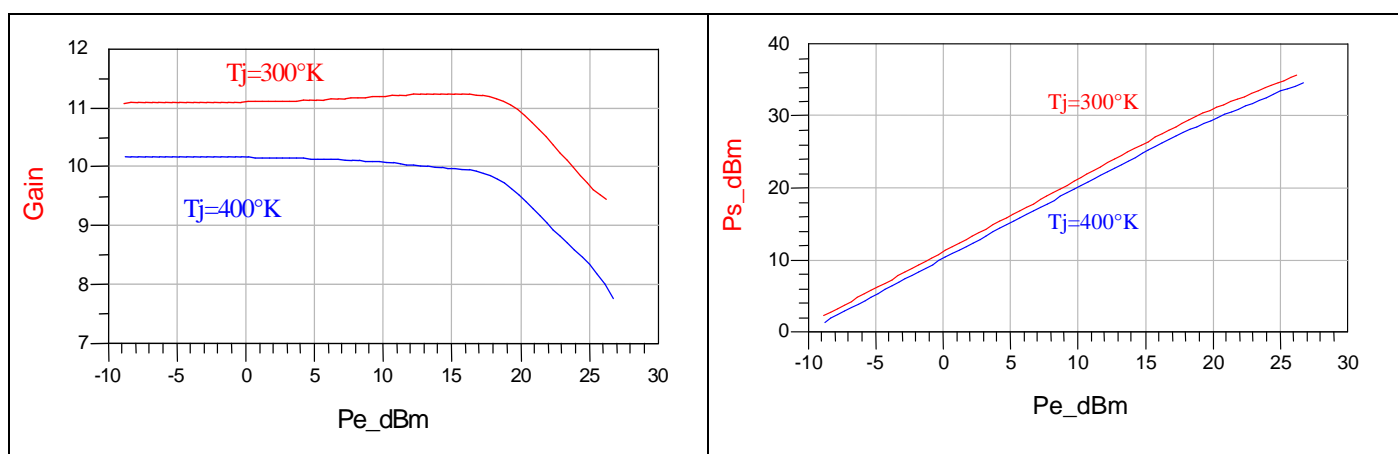


Figure 23 : Comparaisons de simulations en puissance d'un transistor GaN pour deux températures de socles différentes ($f_o=8\text{GHz}$)

La Figure 24 illustre un exemple de l'effet d'auto-échauffement sur les caractéristiques $I(V)$ d'un transistor HEMT GaN. Un réseau $I(V)$ quasi-isotherme ($T_j=300^\circ\text{K}$) mesuré en impulsions est comparé aux mesures en continu du même transistor (les méthodes de mesure seront abordées dans le chapitre II).

On peut observer une forte décroissance du courant de drain lorsque la tension V_{ds} augmente. Ceci est lié à une décroissance de la mobilité des électrons lorsque la température augmente.

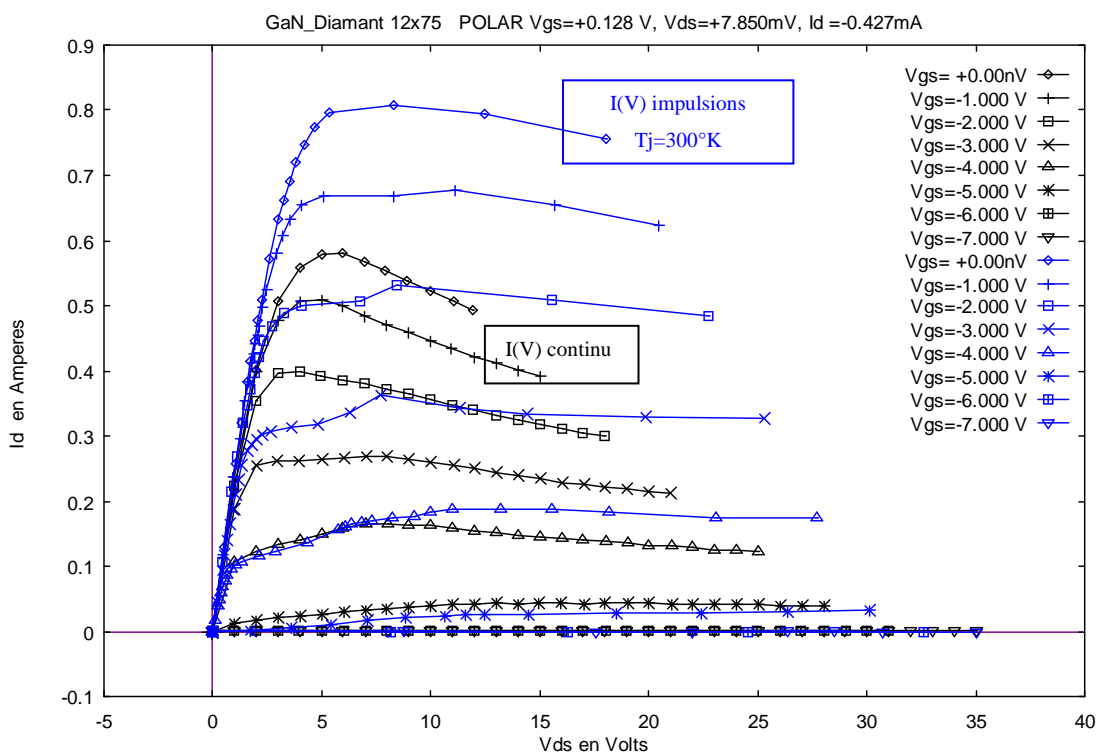


Figure 24 : Exemple d'auto-échauffement d'un transistor GaN

III.2. Les phénomènes de pièges dans les transistors HEMTs GaN.

III.2.1. Notion de piège

Le Nitrure de Gallium est un matériau semi-conducteur qui est mal contrôlé du point de vue des défauts qu'ils soient structuraux ou qu'ils soient ponctuels (impuretés, défauts intrinsèques). Ces impuretés génèrent des états énergétiques qui peuvent être occupés par des porteurs dans la bande interdite du matériau. Ces porteurs sont alors retenus pendant un temps T dans ces niveaux d'énergie et ne peuvent pas participer à la conduction, d'où le nom de pièges. Ces niveaux énergétiques constituent donc des pièges pour les matériaux semi-conducteurs.

Les phénomènes de pièges, résultant de l'existence d'impuretés ou de défauts dans le réseau cristallin altèrent considérablement le comportement électrique du transistor aux fréquences micro-ondes.

Plus le gap du semi-conducteur est grand et plus il offre la possibilité à des pièges de se former sur des niveaux d'énergie compris dans la bande interdite. Ces pièges ont la faculté de capturer ou d'émettre un électron ou un trou avec des constantes de temps diverses. Ces effets de pièges ont donc des conséquences sur le courant de drain, provoquant des effets transitoires de ce dernier [42].

La constante de temps de capture de pièges a une durée de l'ordre de la microseconde alors que celle d'émission des pièges a une durée d'environ 1000 fois supérieure à la capture, c'est à dire de l'ordre de la milliseconde. Ces constantes de temps correspondent à des phénomènes basses fréquences.

On distingue deux phénomènes de pièges prépondérants observés sur le courant de sortie du composant : le self-backgating et le gate-lag.

La méthode de mesure en régime $I(V)$ pulsé permet de mettre en évidence ces phénomènes de pièges. En effet, c'est le point de polarisation de repos qui fixe, d'une part, l'état thermique et, d'autre part, l'état des pièges pour toute la mesure des caractéristiques $I(V)$. En conséquence, si l'on mesure des caractéristiques $I(V)$ à différents points de repos en conservant une puissance dissipée nulle (pour éviter l'échauffement du composant), la dispersion entre les mesures reflètera les effets de piège.

III.2.2. Self-backgating

Ce phénomène est en relation avec la dispersion due aux pièges du substrat. Cet effet est en rapport avec le champ électrique généré par la tension drain-source [43], [44]. La présence de pièges dans le substrat semi-isolant, engendre des états transitoires du courant de sortie I_{ds} vis à vis des variations de la tension V_{ds} . En l'absence de variations des tensions de commande, le nombre de pièges ionisés reste constant. Le nombre d'atomes qui capturent un électron venant du canal est égal au nombre d'atomes libérant un électron.

Lorsque la tension V_{ds} augmente brusquement (Figure 25), un grand nombre d'électrons est injecté dans le substrat et est capturé par les pièges. La charge globale du substrat devient plus négative. Une charge d'espace positive se crée alors, dans le canal à l'interface canal - substrat. La section du canal diminue lentement ainsi que le courant I_{ds} jusqu'à l'équilibre.

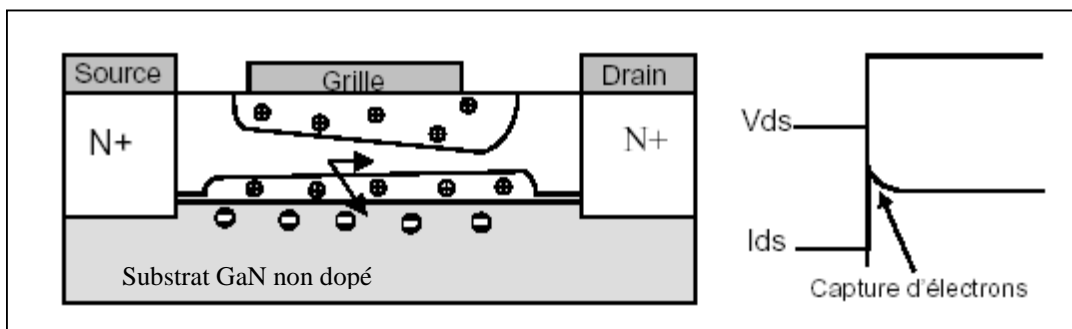


Figure 25 : Influence de la capture des électrons par des pièges de substrat

Lorsque la tension V_{ds} diminue brusquement (Figure 26), les pièges émettent un grand nombre d'électrons dans le canal. En conséquence, la charge d'espace à l'interface canal – substrat, diminue lentement ; ce qui augmente l'épaisseur du canal. Le courant I_{ds} augmente au rythme du processus d'émission des charges dans le canal jusqu'à atteindre son état permanent.

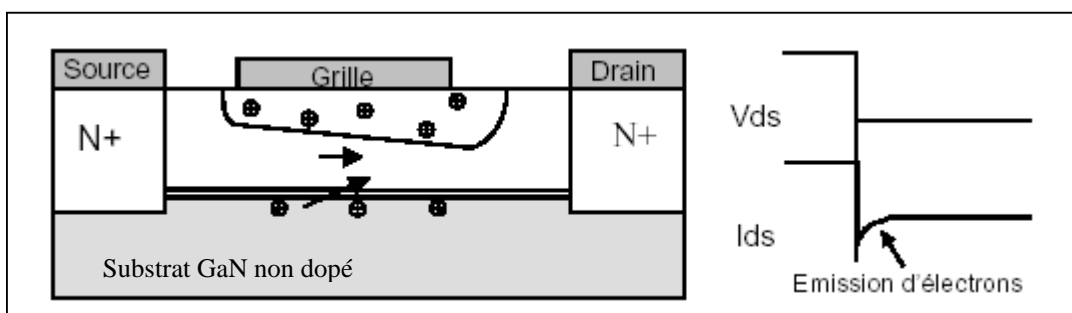


Figure 26 : Influence de l'émission d'électrons par des pièges de substrat

Afin de mettre en évidence ce phénomène, on compare les caractéristiques $I(V)$ du composant mesurées en impulsion pour deux points de polarisation de repos différents qui ne présentent pas de puissance dissipée [45]. Cela consiste à appliquer des impulsions de polarisation de courte durée, dans notre cas 300ns avec une période de récurrence de $6\mu s$.

Tout d'abord, nous réalisons une première série de mesures pour lesquelles le transistor est polarisé de la manière suivante : $V_{gs0} = V_p = -7V$ et $V_{ds0}=0V$. Ensuite, nous polarisons ce même transistor toujours avec la même tension de grille de repos, mais $V_{ds0}=30V$ (Figure 27).

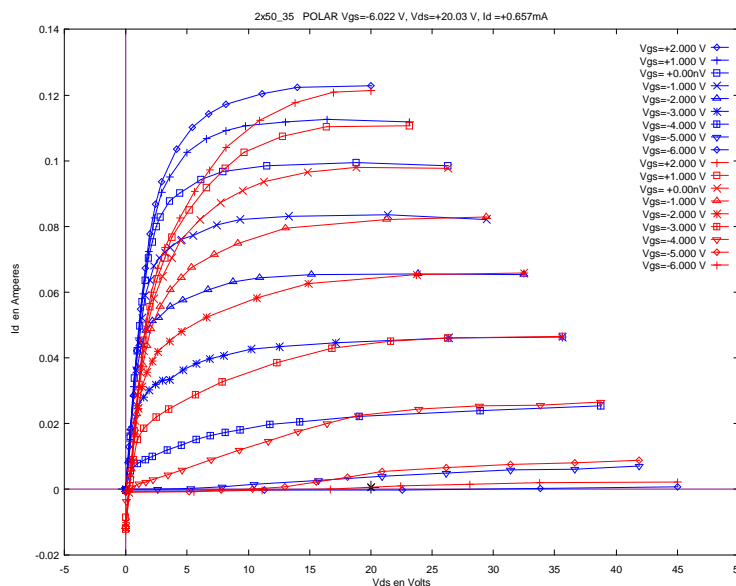


Figure 27 : Exemple de comparaison des caractéristiques I(V) obtenues sur un transistor GaN pour des polarisations (V_{gs} , V_{ds}) de (-7V ; 0V) et (-7V ; 30V)

III.2.3. Gate-lag

Ce phénomène [46], [47] (Figure 28) induit des effets transitoires lents du courant de sortie même lorsque la tension de commande varie brutalement, entraînant un retard du signal. Cet effet est principalement dû à des pièges de surface et est en relation avec la tension grille-source de polarisation du composant. Un autre phénomène agit sur le gate-lag : l'ionisation par impact. Cependant les mécanismes physiques détaillés liés aux pièges de surface ne sont pas totalement identifiés.

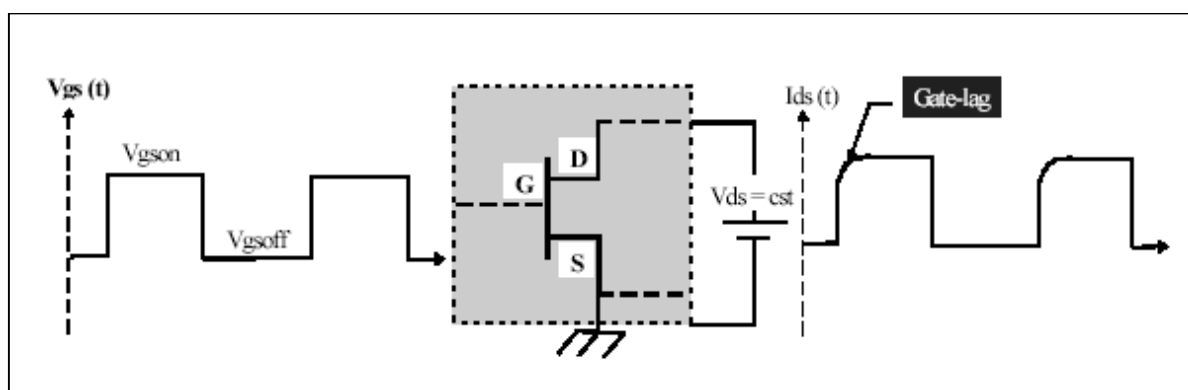


Figure 28 : Mise en évidence du phénomène de « gate-lag »

Lorsque $V_{gs}=V_{gsoff}$ (pincement), le canal est entièrement déplété de la source vers le drain. Lorsque V_{gs} passe de V_{gsoff} à V_{gson} , le courant de drain reste faible jusqu'au commencement d'émission des électrons. L'augmentation du courant de sortie s'effectue d'une manière transitoire au rythme de vidage des pièges (Figure 29). Lorsque le processus de capture est terminé, le courant I_{ds} atteint son état permanent après quelques millisecondes dans certain cas.

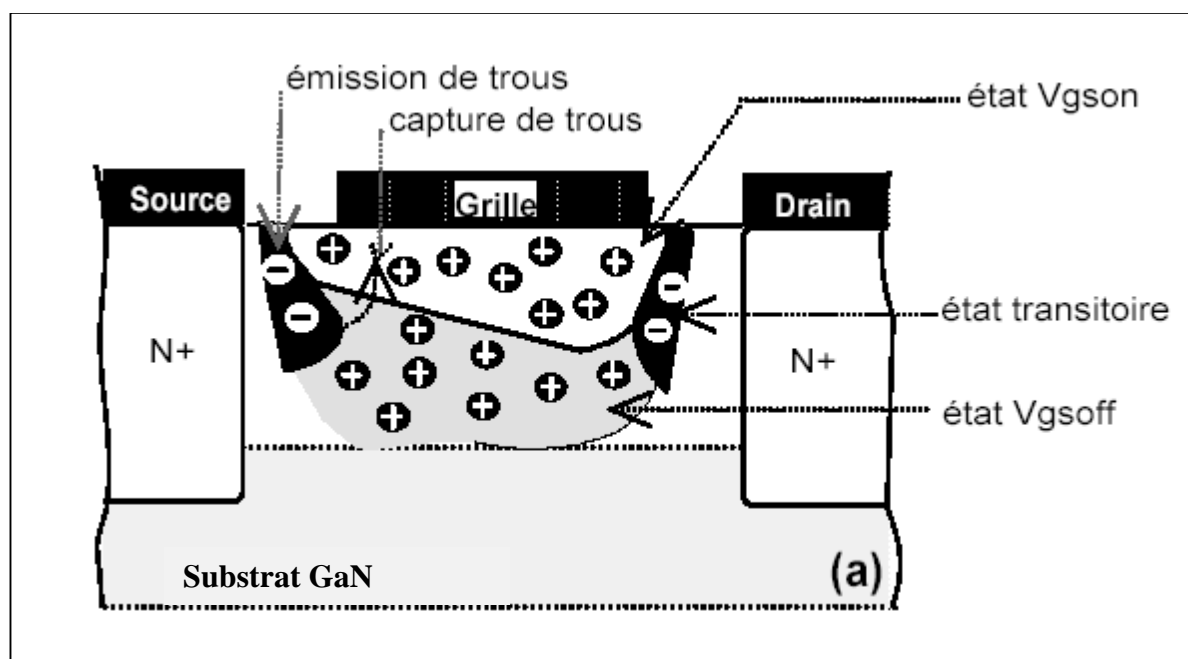


Figure 29 : Description physique du processus d'émission et de capture des charges à partir des pièges de surface

De plus, des travaux [48] ont montré que plus le transistor était pincé ($|V_{gs}|$ grand), plus les transitoires du courant de sortie dus au « gate lag » sont importants. Lorsque V_{gsoff} correspond au début du pincement du canal, celui-ci est essentiellement fermé sous toute la longueur de la grille (Figure 30-a), ainsi les effets de pièges de surface peuvent être négligeables. En revanche, lorsque V_{gsoff} atteint une valeur pour laquelle le pincement est profond, le canal est entièrement déplété de la source vers le drain (Figure 30-b). Dans ce cas, le courant I_{ds} présente un comportement transitoire plus prononcé avant d'atteindre son état permanent.

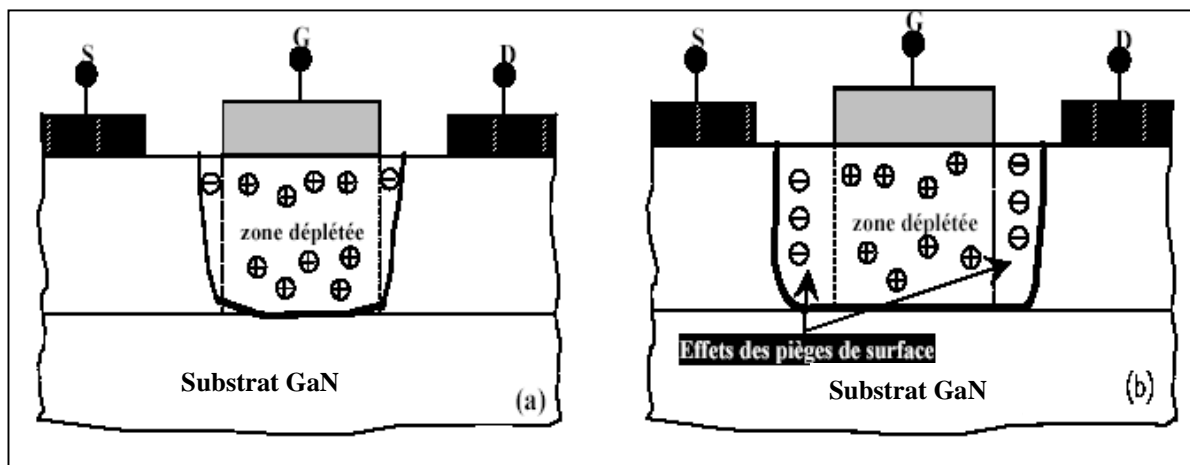


Figure 30 : Effets d'un pincement léger (a) et profond (b) sur la zone désertée

Afin de mettre en évidence ce phénomène, de la même manière que précédemment, on compare les caractéristiques $I(V)$ du composant mesurées en impulsion pour deux points de polarisation de repos différents qui ne présentent pas de puissance dissipée [45].

Tout d'abord, nous réalisons une première série de mesures pour lesquelles le transistor est polarisé de la manière suivante : $V_{gs0} = V_{ds0} = 0V$. Ensuite, nous polarisons ce même transistor avec $V_{ds0} = 0V$, mais $V_{gs0} = V_p = -7V$ (Figure 31).

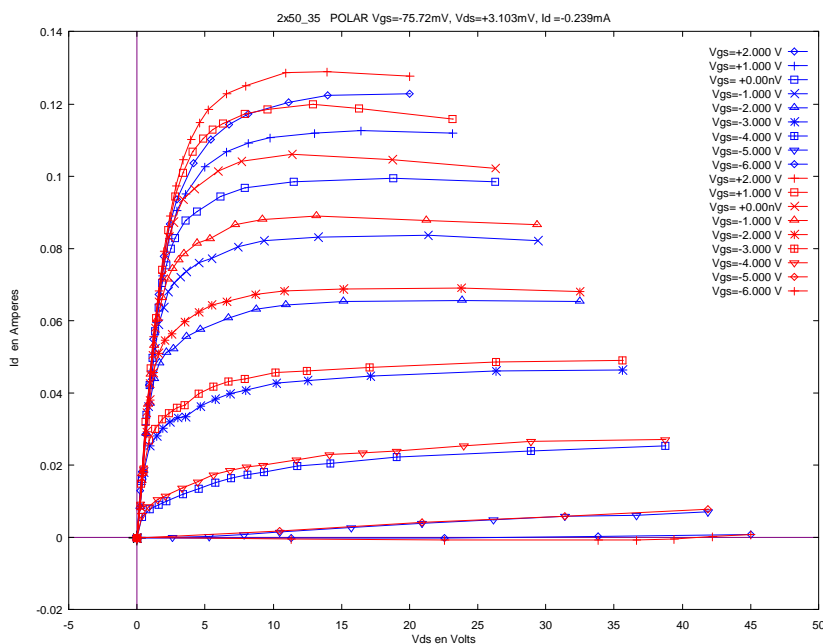


Figure 31 : Exemple de comparaison des caractéristiques I(V) obtenues sur un transistor GaN pour des polarisations de (Vgs, Vds) de (0V ; 0V) et (-7V ; 0V)

Les réseaux I(V) précédents montrent les effets statiques des pièges. Cependant, pour des applications avec des signaux modulés en amplitude, il est important de prendre en compte les effets de pièges dynamiques. Typiquement, il existe deux constantes de temps :

- Les effets de capture des pièges qui sont de l'ordre de la micro-seconde.
- Les effets de libération de pièges qui sont de l'ordre de la milli-seconde.

Pour pouvoir réaliser une conception à partir de ces composants, il est donc nécessaire d'avoir un modèle électrique traduisant les effets thermiques et les effets de pièges du composant. Cette modélisation électrique est abordée dans le chapitre II.

CONCLUSION :

Dans ce chapitre, les principaux critères technologiques (physiques et électriques) des différents transistors de puissance ont été présentés. Nous avons pu démontrer tout l'intérêt que présente le transistor HEMT en Nitrure de Gallium pour des applications d'amplification de puissance à haute fréquence.

Ce semi-conducteur apparaît dorénavant et déjà comme un composant prometteur dans un avenir proche. L'état de l'art présentant de nombreuses publications sur la réalisation de transistor GaN atteste de l'intérêt des universitaires et des industriels pour ce composant.

Cependant, la réalisation du transistor qui est issu d'une technologie récente n'est pas encore totalement maîtrisée. Ils possèdent donc encore quelques défauts qui limitent leurs performances.

L'objectif final de la thèse est la conception d'un amplificateur de puissance de type Doherty. Etant donnée, l'importance des phénomènes thermiques et des effets de piège dans ce type de transistor en Nitrure de Gallium, nous avons développé un modèle électrique prenant en compte ces deux phénomènes. Ce modèle contribuera fortement à la méthodologie de conception de cet amplificateur. Cette modélisation particulière est donc le sujet du deuxième chapitre.

BIBLIOGRAPHIE

- [1] **S.I. LONG**
"Microwave HBT. Principles and models",
IEEE Transactions on Microwave Theory and techniques Vol. 37, n°9, Sept 1989, pp. 1286-1301.
- [2] **F. ALI, A. GUPTA**
"HEMTs & HBTs",
Artech House, p. 191, 1991.
- [3] **W. SHOCKLEY**
"A unipolar field effect transistor",
Proc. of the IRE, vol. 40, pp. 1365, 1952.
- [4] **J. M. COLLANTES, J. J. RAOUX ET AL.**
« A new large-signal model based on pulse measurements techniques for RF power MOSFET »
IEEE -MTT-s International Microwave Symposium, Orlando, 15-19 mai 1995
- [5] **S. WU, B. RAZAVI**
« A 900 MHz / 1.8 GHz CMOS receiver for dual-band applications »
IEEE journal of Solid State Circuits, vol. 33, n°15, pp 2178-2185, dec.1998
- [6] **T.MANKU**
« Microwave CMOS-Device physics and design »
IEEE journal of Solid State Circuits, vol. 34, n°3, pp 277-285, mars 1999
- [7] **J. OLSSON, N. RORSMAN ET L. VESTLING ET AL**
"1W/mm Power Density at 3.2GHz for a Dual-Layer RESURF LDMOS Transistor",
IEEE Electron Device Letters Vol 43, No 4, Avril 2002.
- [8] **BRECH, H.; BURGER, W.; DRAGON, C.; PRYOR, B**
"Voltage optimization for state of the art RF-LDMOS for 2.1 GHz W-CDMA cellular infrastructure applications",
Microwave Symposium Digest, 2003 IEEE MTT-S International , Volume: 1 , 8-13 June 2003 Page(s): 209 -212 vol.1
- [9] **K. MATSUNAGA, K. ISHIKURA, I. TAKENAKA AND AL.**
"A Low-Distortion 230W GaAs Power FPHFET Operated at 22V for Cellular Base Station", 2000 IEDM Technical Digest, pp. 393-396.
- [10] **N. SAKURA, K. MATSUNAGA, K. ISHIKURA AND AL.**
"100W L-Band GaAs Power FP-HFET Operated at 30V",
2000 IEEE MTT-S Digest, pp. 1715-1718.
- [11] **K.INOUE ET.AL**
"A High Gain L-band GaAs FET Technology for 28V operation"
IMS 2004
- [12] **M. NAGAHARA, K. INOUE, S. SANO, H. TAKAHASHI, AND S. TAKASE**
"A 28V 250W GaAs Power FET with High Gain of 15.5dB for W-CDMA Base Stations"
IEEE MTT-S Digest, pp.1359-1362, 2004
- [13] **B. M. GREEN, E. LAN, P. LI AND AL**
"A High Power Density 26 V GaAs pHEMT Technology"
IEEE MTT-S Digest, pp.817-820, 2004
- [14] **J. W. PALMOUR, J. A. EDMOND, H. S. KONG AND C. H. CARTER**
"Silicon Carbide power devices for aerospace applications,"
in Proc. 28 th Intersociety Energy Conversion conf. Amer. Chem. Soc., pp 1249-1254, 1993.
- [15] **C. E. WEITZEL, J. W. PALMOUR, C. H. CARTER AND K. J. NORDQUIST**
"4H-SiC MESFET with 2.8 w/mm power density at 1.8 GHz,"
IEEE Electron Device Letters, vol. 15, n°10, pp. 406-408, October 1994

- [16] **H. GEORGE HENRY, GODFREY AUGUSTINE AND AL**
"S-Band Operation of SiC Power MESFET With 20 W (4.4 W/mm) Output Power and 60% PAE"
IEEE Trans. on Electron Devices, Vol. 51, No. 6, Juin 2004
- [17] **S. DE MEYER**
"Etude d'une nouvelle filière de composants HEMTs sur technologie nitrure de gallium. Conception d'une architecture flip-chip d'amplificateur distribué de puissance à très large bande"
thèse de doctorat soutenue le 12 septembre 2005, Université de Limoges.
- [18] **S.M. SZE**
"Physics of Semiconductor Devices"
2nd Edition, 1981, ISBN O-471-09837-X
- [19] **S. T. SHEPPARD, K. DOVERSPIKE, W. L. PRIBBLE, AND AL.**
« High-power microwave AlGaIn/GaN HEMT.s on semi-insulating silicon carbide substrates »
IEEE Electron Device Lett., vol. 20, pp. 161-163, Apr. 1999
- [20] **C. CHARBONNIAUD, T. GASSELING, S. DE MEYER, AND AL.**
"Power Performance Evaluation of AlGaIn/GaN HEMTs through Load Pull and Pulsed I-V Measurements",
GAAS 2004, 11-12 Oct, 2004 Amsterdam
- [21] **A. MINKO, V. HOËL, E. MORVAN, B. GRIMBERT, AND AL.**
"AlGaIn-GaN HEMTs on Si With Power Density Performance of 1.9 W/mm at 10 GHz",
IEEE Electron Device Letters, Vol. 25, No. 7, pp. 453-455, Juillet 2004
- [22] **W. JOHNSON, E. L. PINER, A. VESCAN, R. THERRIEN, AND AL.**
"12 W/mm AlGaIn-GaN HFETs on Silicon Substrates",
IEEE Electron Device Letters, Vol. 25, No. 7, pp. 459-461, Juillet 2004
- [23] **K. K. CHU, P. C. CHAO, M. T. PIZZELLA, R. ACTIS, AND AL.**
"9.4-W/mm Power Density AlGaIn-GaN HEMTs on Free-Standing GaN Substrates", IEEE Electron Device Letters, Vol. 25, No. 9, Sept 2004
- [24] **YI-FENG WU, , DAVID KAPOLNEK, AND AL.**
"Very-High Power Density AlGaIn/GaN HEMTs",
IEEE Trans. on Electronic Devices, Vol. 48, No. 3, Mars 2001
- [25] **A. CHINI ; D. BUTTARI ; R. COFFIE ; S. HEIKMAN ; AND AL.**
"12W/mm power density AlGaIn/GaN HEMTs on sapphire substrate",
Electronics Letters, Vol. 40, No 1, Janvier 2004
- [26] **Y. F.WU, A. SAXLER,M.MOORE, P. SMITH, S. SHEPPARD, AND AL.**
"30-W/mm GaN HEMTs by field plate optimization",
IEEE Electron Device Lett, vol. 25, pp. 117-119, Mar. 2004
- [27] **C.-L. CHEN, L. J. MAHONEY, M. J. MANFRA, F. W. SMITH AND AL.**
"High-breakdown-voltage MESFET with a low-temperaturegrown GaAs passivation layer and overlapping gate structure",
IEEE Electron Device Letters, vol. 13, pp. 335-337, 1992
- [28] **HUILI XING, Y. DORA, A. CHINI, S. HEIKMAN, S. KELLER, AL.**
"High Breakdown Voltage AlGaIn-GaN HEMTs Achieved by Multiple Field Plates", IEEE Electron Device Letters, Vol. 25, No. 4, Avril 2004
- [29] **J.S MOON, S. WU, D. WONG AND AL.**
« Gate-recessed AlGaIn-GaN HEMTs for High-Performance Millimeter-Wave Applications »
IEEE Electron Device Letters, Vol. 26, No. 6, June 2005
- [30] **H. YU, L. MCCARTHY, S. RAJAN, S. DENBAARS AND AL.**
« Ion implanted AlGaIn-GaN HEMTs with Nonalloyed Ohmic Contacts »
IEEE Electron Device Letters, Vol. 26, No. 5, mai 2005.
- [31] **D. DUCATTEAU, A. MINKO, V. HOEL, E. DELOS AND AL.**
« Output Power Density of 5.1 W/mm at 18 GHz With an AlGaIn/GaN HEMT on Si Substrate »
IEEE Electron Device Letters, Octobre 2005

- [32] **T. PALACIOS, A. CHAKRABORTY, S. RAJAN AND AL.**
« High Power AlGa_N/Ga_N HEMTs for Ka-Band Applications »
IEEE Electron Device Letters, Vol. 26, No. 1, Nov. 2005
- [33] **W-K WANG, P-C CHIN, C-H LIN, C-K LIN AND AL.**
« Performance Enhancement by using the n+Ga_N Cap Layer and Gate Recess Technology on the AlGa_N/Ga_N HEMT fabrication »
IEEE Electron Device Letters, Vol. 26, No. 1, janvier 2005
- [34] **R. VETURY, Y. WEI, D.S. GREEN AND AL.**
« High Power, High Efficiency, AlGa_N/Ga_N HEMT Technology for Wireless Base Station Applications »
Microwave Symposium Digest, 2005 IEEE MTT-S International , 12-17 Juin 2005 Page(s): 487-490
- [35] **R. THOMPSON, T. PRUNTY, V. KAPER AND J.R. SHEALY**
« Performance of the AlGa_N HEMT Structure with a Gate Extension »
IEEE Trans. On Electron Devices, Vol. 51, No. 2, Février 2004
- [36] **Y. KAMO, T. KUNII, H. TAKEUCHI AND AL.**
« A C-Band AlGa_N/Ga_N HEMT with Cat-CVD Si_N Passivation Developed for an Over 100W operation »
Microwave Symposium Digest, 2005 IEEE MTT-S International , 12-17 Juin 2005 Page(s): 495-498
- [37] **W. NAGY, S. SINGHAL, R. BORGES, J.W. JONHSON AND AL.**
« 150W Ga_N-on-Si RF Power Transistor »
Microwave Symposium Digest, 2005 IEEE MTT-S International , 12-17 Juin 2005 Page(s): 483-486
- [38] **R. BEHTASH, H. TOBLER, M. NEUBURGER, AND AL.**
« AlGa_N/Ga_N HEMTs on Si(111) with 6.6 W/mm output density »
Electron. Letters, vol.39, No7, pages : 626-628, Avril 2003.
- [39] **V. KUMAR, G. CHEN, S. DUO AND AL.**
« Field Plate 0.25µm gate-length AlGa_N/Ga_N HEMTs on 6H-SiC with power density of 9.1 W/mm at 18GHz »
Electron. Letters, vol.41, No. 19, Sept. 2005
- [40] **Z.H. FENG, S.J. CAI, K.J.CHEN AND K.M. LAU**
« Enhanced-Performance of AlGa_N-Ga_N HEMTs Grown on Grooved Sapphire Substrate »
IEEE Electron Device Letters, vol. 26, No.12, Dec. 2005
- [41] **C. CHARBONNIAUD**
« Caractérisation et modelisation électrothermique non-linéaire de transistors à effet de champ Ga_N pour l'amplification de puissance micro-ondes »
Thèse de doctorat, Université de Limoges, Octobre 2005
- [42] **Z. OUARCH**
"Caractérisation et modélisation des effets de pièges et thermiques des transistors à effet de champ sur AsGa : Application à la simulation de la dynamique lente des circuits non linéaires micro-ondes,"
Thèse de doctorat, Université de Limoges, mars 1995
- [43] **S. C. BINARI, P. B. KLEIN, AND T. E. KAZIOR,**
"Trapping Effects in Ga_N and SiC Microwave FETs",
Invited Paper, Proceedings of The IEEE, Vol. 90, No. 6, June 2002
- [44] **S. DE MEYER, C. CHARBONNIAUD, R. QUERE AND AL.**
"Mechanism of power density degradation due to trapping effects in AlGa_N/Ga_N HEMTs",
IEEE MTTs Digest, 2003, pages 455 à 458
- [45] **C. CHARBONNIAUD, S. DE MEYER, R. QUERE, J.P. TEYSSIER.**
"Electrothermal and trapping effects characterisation",
GAAS 2003, 6-7 Oct, 2003 Munich.
- [46] **RAMAKRISHNA VETURY,**
"Polarization Induced 2DEG in AlGa_N/Ga_N HEMTs : On the origin, DC and transient characterization",
Dissertation of PHD in Electrical and Computer Engineering, UNIVERSITY OF CALIFORNIA, Santa

Barbara, December 2000

- [47] **KUZMIK, J, BLAHO, M.; POGANY AND AL.**
« Backgating, high-current and breakdown characterisation of AlGa_N/Ga_N HEMTs on silicon substrates »
European Solid State Device Research, 16-18 Sept. 2003 Page(s): 319 – 322.
- [48] **J. W. BAO, X. DU, M. S. SHIROKOV, R. E. LEONI, AND J. C. M. HWANG**
"Substrate-Induced Gate Lag in Ion-Implanted GaAs MESFET's,"
IEEE Trans. Electron Devices, pp. 161-164, 1996.

CHAPITRE II :

*Modélisation non-linéaire d'un transistor
HEMT AlGaN/GaN incluant les effets thermiques
et les phénomènes de pièges*

INTRODUCTION :

Nous avons vu lors du premier chapitre que les transistors HEMTs GaN sont des semi-conducteurs à forte potentialité pour des applications de puissance à haute fréquence.

Cependant, ces transistors à forte densité de puissance subissent un auto-échauffement important. Ce sont ces phénomènes thermiques, dans un premier temps, que nous allons mettre en évidence pour un transistor HEMT GaN de 12 doigts de $75\mu\text{m}$ provenant de la fonderie Tiger.

La caractérisation de ce composant à plusieurs températures va nous permettre, par la suite d'établir un modèle électrothermique non-linéaire.

Cependant, la technologie récente de ces transistors HEMTs GaN présente des défauts de structure qui engendrent des effets de pièges. Ces effets de pièges affectent les performances en puissance de sortie de ces derniers. Ces effets vont donc être caractérisés à l'aide du banc en impulsions développé au laboratoire.

L'importance de ces effets de pièges va amener à la création d'un modèle électrothermique intégrant ces phénomènes de pièges. Ce modèle servira, par la suite, à la conception d'un amplificateur de type Doherty.

I. Caractérisation du composant.

Les transistors caractérisés et modélisés sont des HEMTs en Nitrure de Gallium sur substrat Carbure de Silicium. Ils sont issus d'un process de 2001 de la fonderie Tiger. Ils sont constitués de 12 doigts de grille de $75\mu\text{m}$ de large ($12 \times 75\mu\text{m}$), la longueur des doigts est de $0.25\mu\text{m}$ (Figure 32). Ils ne présentent pas de Field Plate.

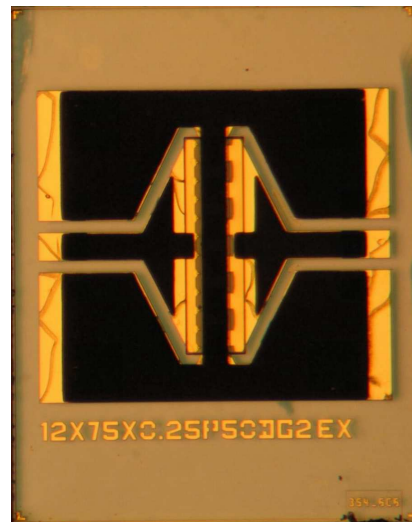


Figure 32 : photo d'un transistor GaN $12 \times 75\mu\text{m}$

I.1. Principe du banc de mesure I(V) et paramètres [S] impulsionnel.

Pour caractériser le transistor, nous utilisons le banc de mesures impulsionnel I[V] et des paramètres [S] de XLIM à Brive. Ce banc permet de s'affranchir en grande partie des problèmes d'auto-échauffement du transistor, mais aussi dans le cas des transistors à effet de champ, de visualiser les effets parasites de pièges. De plus, il est souhaitable de pouvoir caractériser les transistors dans toutes les régions où ils sont susceptibles de fonctionner. Les zones d'avalanche et de forte conduction de grille sont mesurables en impulsions mais sont impossibles à mesurer en continu sans éviter la détérioration ou la destruction du composant.

Ainsi, grâce à cet outil permettant des mesures I(V) et paramètres [S] pulsées, des modèles très élaborés de transistors peuvent être réalisés. C'est pourquoi ce style de banc a été développé dans notre équipe depuis une quinzaine d'année, ce qui a donné lieu à de nombreuses thèses et publications [49][50][51][52][53][54].

Le banc de mesures de XLIM (Figure 33) a les caractéristiques suivantes :

- mesures pulsées I[V] (2A, 100V).
- mesures des paramètres [S] (0.5 @ 40GHz).
- température de chuck (-65°C à +200 °C).
- durée d'impulsion minimale : 200ns.

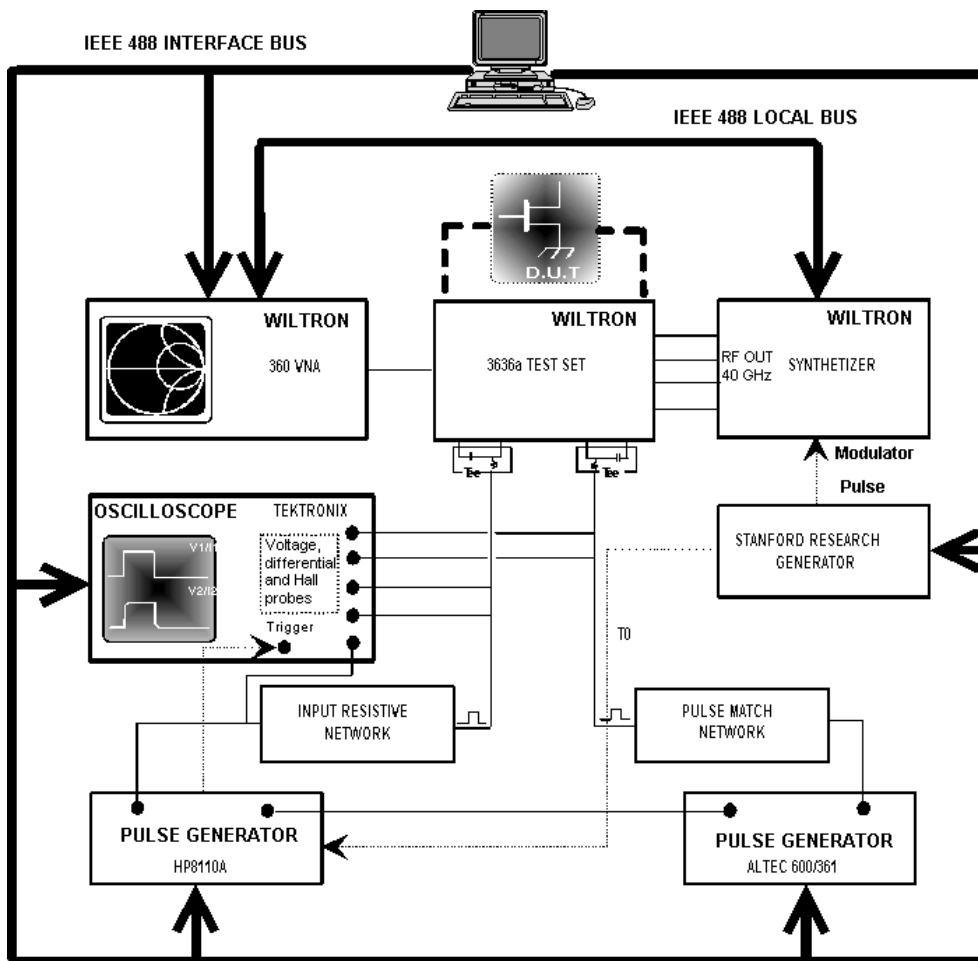


Figure 33 : Schéma du banc de mesure pulsé de XLIM

Le principe de fonctionnement du banc consiste à appliquer les impulsions de courte durée, dans notre cas 300ns avec une période de récurrence de 6µs, à partir d'un point de polarisation de repos (V_{GS0} , V_{DS0}) qui permet de fixer l'état thermique du composant (Figure 34). De plus, si ces transistors contiennent des pièges, l'état de ceux-ci va être modifié par le déplacement de ce point de repos.

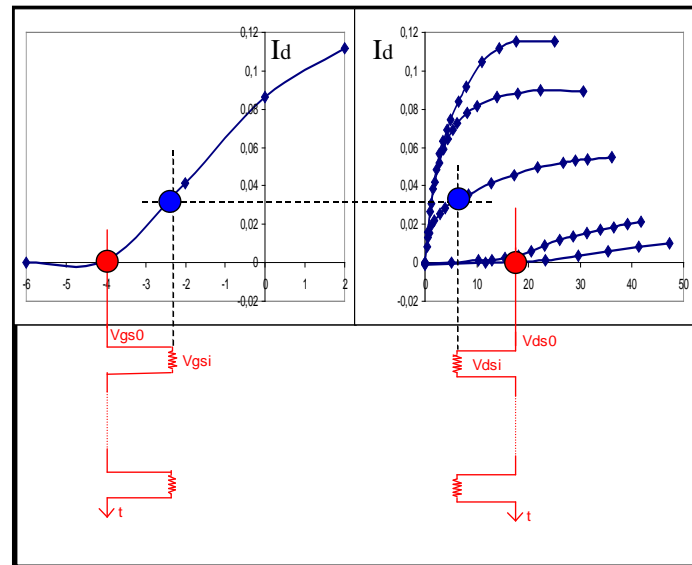


Figure 34 : Principe de mesures en impulsions

Pour satisfaire les critères de mesure énoncés précédemment, la durée et la récurrence des impulsions doivent remplir les spécifications suivantes :

- la durée de l'impulsion doit être suffisamment brève pour que la température n'ait pas le temps de changer quelle que soit la puissance de l'impulsion,
- la durée de l'impulsion doit être suffisamment grande pour garantir un état établi et assurer ainsi une mesure précise et simultanée des tensions et des courants,
- le temps hors impulsion doit être très grand devant la durée des impulsions pour que l'état thermique soit très majoritairement piloté par le point de polarisation de repos. C'est-à-dire que le rapport cyclique est toujours inférieur à 10 %.

I.2. Principe des mesures en température

Afin de connaître la température exacte de fonctionnement du transistor. Nous utilisons une polarisation dite "froide" (transistor pincé ou tension de drain nulle) ne générant pas de puissance dissipée, ainsi la température de jonction du transistor est uniquement contrôlée par le chuck thermique de la table sous pointe. Les mesures étant effectuées en impulsions, on réalise ainsi une caractérisation $I(V)$ et paramètres S quasi-isotherme.

On peut ainsi mesurer l'évolution des réseaux $I(V)$ et des paramètres $[S]$ pour différentes températures de jonction qui correspondent à la température du chuck thermique.

I.3. Mise en évidence des phénomènes thermiques du transistor GaN 12x75 μ m.

I.3.1. Evolution des réseaux $I(V)$ en fonction de la température.

Nous avons caractérisé ce transistor en impulsions pour 6 températures de chuck : 0°C, 27°C, 50°C, 100°C, 150°C et 200°C et cela pour 4 points de repos :

- Trois points de repos, correspondant à des points de polarisation dits froids, ($V_{dso}=0V$; $V_{gso}=0V$), ($V_{dso}=0V$; $V_{gso}=-7V$), ($V_{dso}=20V$; $V_{gso}=-7V$) ont été choisis dans le but d'observer les phénomènes de pièges.
- Un point de repos ($V_{dso}=20V$; $V_{gso}=-4V$), correspondant à la polarisation nominale de l'amplificateur à concevoir. Il permet d'obtenir un réseau $I(V)$ intégrant, pour ce point de polarisation, l'ensemble des phénomènes de pièges.

La Figure 35 montre la comparaison des mesures de réseaux $I_{ds}=f(V_{ds})$ à la polarisation de repos ($V_{dso}=0V$; $V_{gso}=0V$) pour 5 températures de 27°C à 200°C.

La Figure 36 montre la comparaison des mesures de réseaux $I_{ds}=f(V_{gs})$ à V_{ds} constant de 20V et à la polarisation de repos ($V_{dso}=0V$; $V_{gso}=0V$) pour 4 températures de 27°C à 150°C.

Le transistor a été aussi mesuré en continu afin d'observer le phénomène d'auto-échauffement (Figure 37).

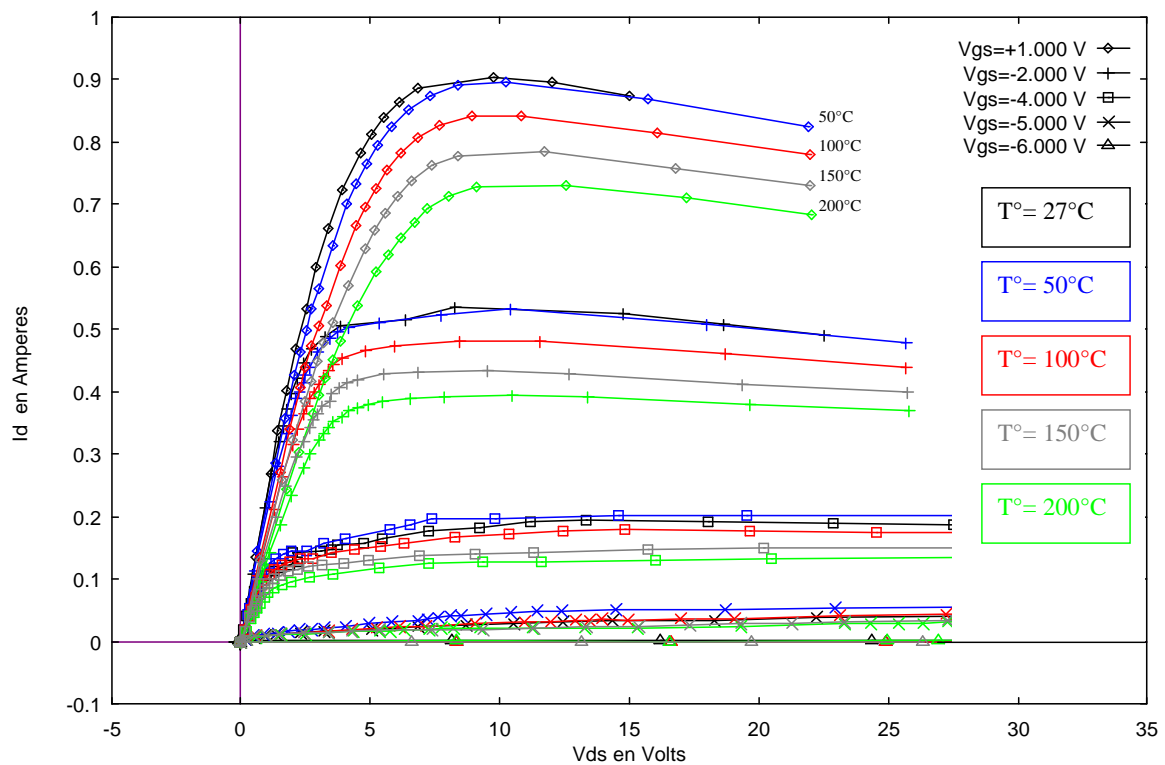


Figure 35: comparaison de réseaux I(V) pour des températures de 22°C à 200°C au point de repos ($V_{ds}=0V$; $V_{gs}=0V$).

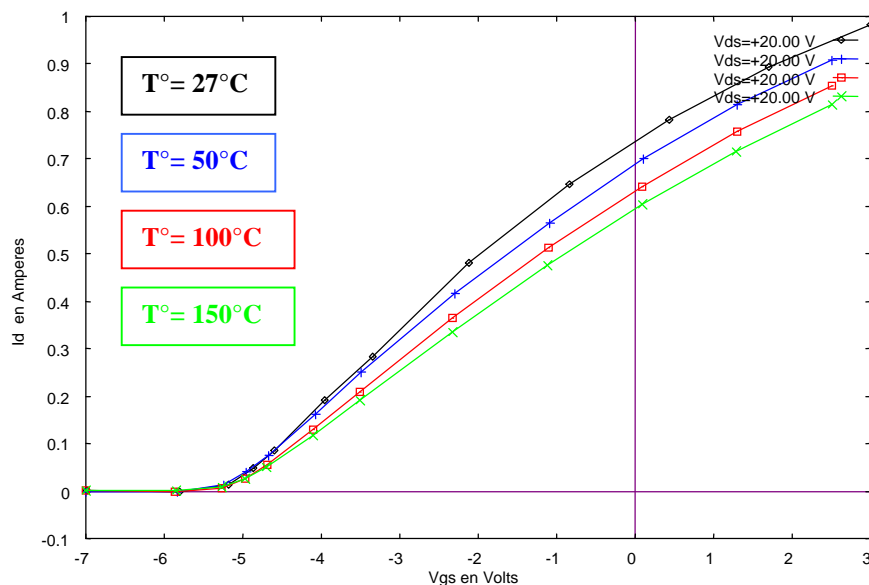


Figure 36 : Comparaisons $I_{ds}=f(V_{gs})$ pour $V_{ds}=20V$ pour différentes températures

Nous pouvons observer une décroissance assez importante du courant de drain lorsque la température de jonction augmente.

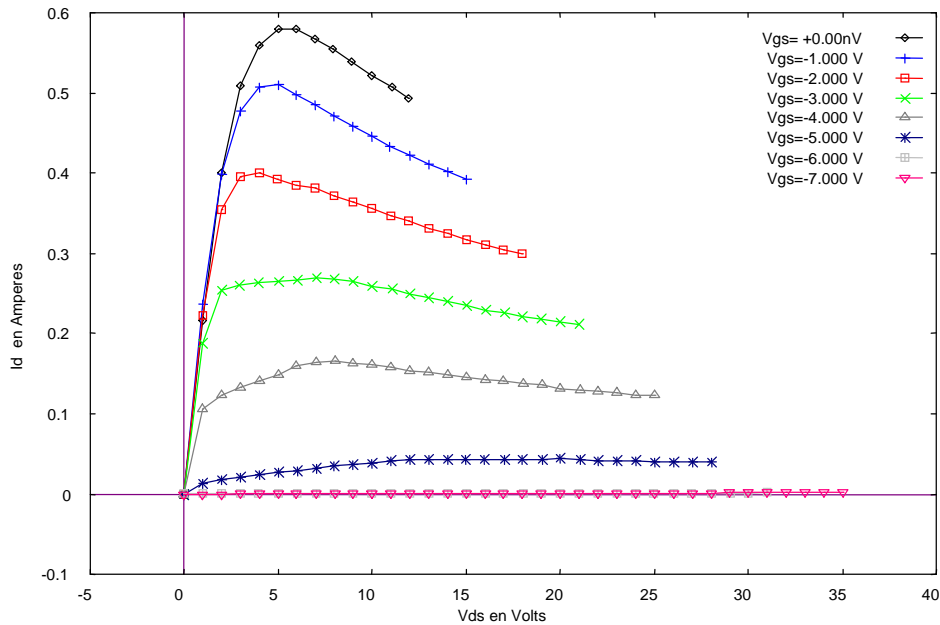


Figure 37 : Réseau I(V) mesuré en continu

I.3.2. Principe de mesure de la résistance thermique.

La résistance thermique d'un transistor R_{TH} , exprimée en $^{\circ}C / W$, permet de caractériser l'élévation de température de jonction T_j du composant par rapport à la température de socle T_{ref} lorsque celui-ci est soumis à une excitation électrique.

Le principe de la mesure de la résistance thermique est basé sur la variation de la tension de seuil de la jonction Schottky grille - source avec la température.

- Phase de calibrage :

En premier lieu, il est nécessaire de calibrer ce « thermomètre électrique » en température par une mesure en impulsions du courant de grille pour des températures de chuck différentes. Les tensions de polarisation de repos V_{gs0} , et V_{ds0} sont à 0 V pour ne pas créer de puissance électrique dissipée. Nous mesurons alors le rapport $\frac{\Delta V_{gs}}{\Delta T}$ pour un fort courant de grille ($I_g=20mA$), de façon à se placer dans la zone où les courbes de diode sont parallèles (Figure 38). Pour un courant I_g de 20mA, nous obtenons un rapport

$$\frac{\Delta V_{gs}}{\Delta T} = -1.78mV / ^{\circ}K .$$

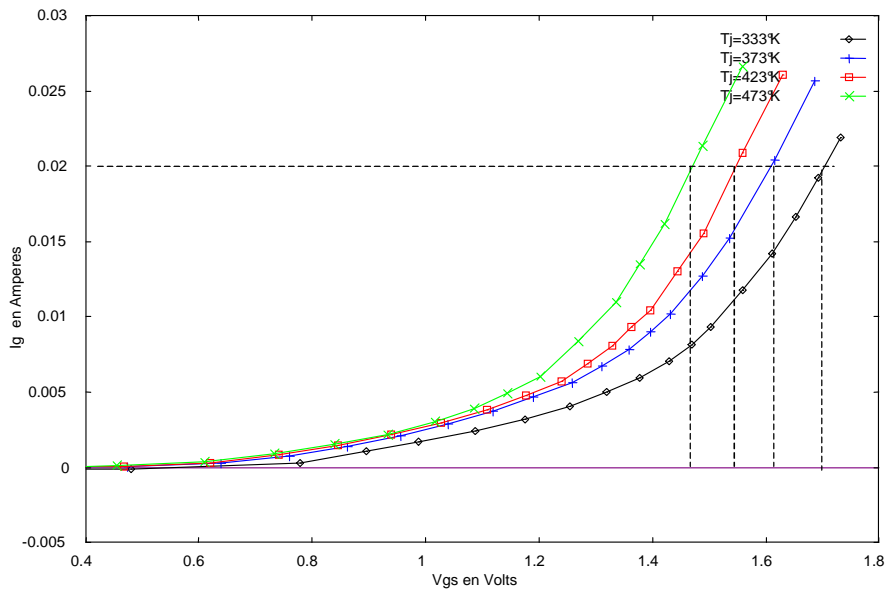


Figure 38 : Calibration du « thermomètre électrique »

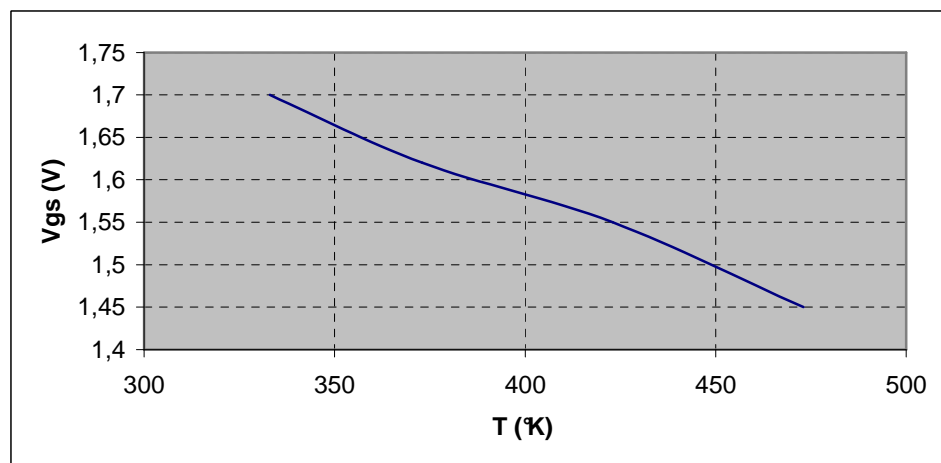


Figure 39 : $T_j = f(V_{gs})$ pour $I_g = 20\text{mA}$

- Phase de mesure :

Une fois le thermomètre calibré, il suffit de mesurer en impulsion la tension de grille V_{gs} à partir d'un point de repos nominale, permettant d'avoir un courant de grille proche de $I_g = 20\text{mA}$ et d'utiliser la courbe étalon de la Figure 39 pour en déduire T_j .

Pour mesurer la résistance thermique R_{th} , on choisit deux points de polarisation de repos correspondant à deux puissances dissipées P_{diss1} et P_{diss2} . On mesure ensuite V_{gs1} et V_{gs2} au même I_g pour chaque cas.

Nous en déduisons ainsi la valeur de la résistance thermique par la formule suivante :

$$R_{th} = \left| \frac{\Delta T}{\Delta P_{diss}} \right| = \left| \frac{\Delta T}{\Delta V_{gs}} \cdot \frac{\Delta V_{gs}}{\Delta P_{diss}} \right| \quad \text{avec } \Delta V_{gs} = V_{gs2} - V_{gs1} \quad \text{et} \quad \Delta P_{diss} = P_{diss2} - P_{diss1}$$

Pour ce transistor, nous évaluons R_{th} à 12°C/W.

On notera que la présence de pièges est une difficulté majeure dans cette étape d'extraction de la résistance thermique.

I.4. Mise en évidence des phénomènes de pièges.

La méthode de mesure en régime pulsé permet de mettre en évidence ces phénomènes de pièges. En effet, c'est le point de polarisation de repos qui fixe l'état thermique et l'état des pièges pour toute la mesure des caractéristiques $I(V)$. En conséquence, si l'on mesure des caractéristiques $I(V)$ à différents points de repos en conservant une puissance dissipée nulle (pour éviter l'échauffement du composant), la dispersion entre les mesures reflètera les effets de pièges.

I.4.1. Mise en évidence des "pièges de drain".

Nous avons caractérisé ce transistor pour différents points de repos à courant de drain nul, c'est à dire à puissance dissipée nulle et donc pour un même état thermique. Les polarisations utilisées sont :

$$- V_{gso} = -7V = V_p \text{ et } V_{dso} = 0V.$$

$$- V_{gso} = -7V = V_p \text{ et } V_{dso} = 20V.$$

La Figure 40 montre une légère différence entre les deux réseaux qui est due aux pièges dits « pièges de drain ». Le phénomène de pièges lié à la tension de drain étant peu important pour ce composant, il ne sera pas pris en compte dans le modèle de pièges développé par la suite.

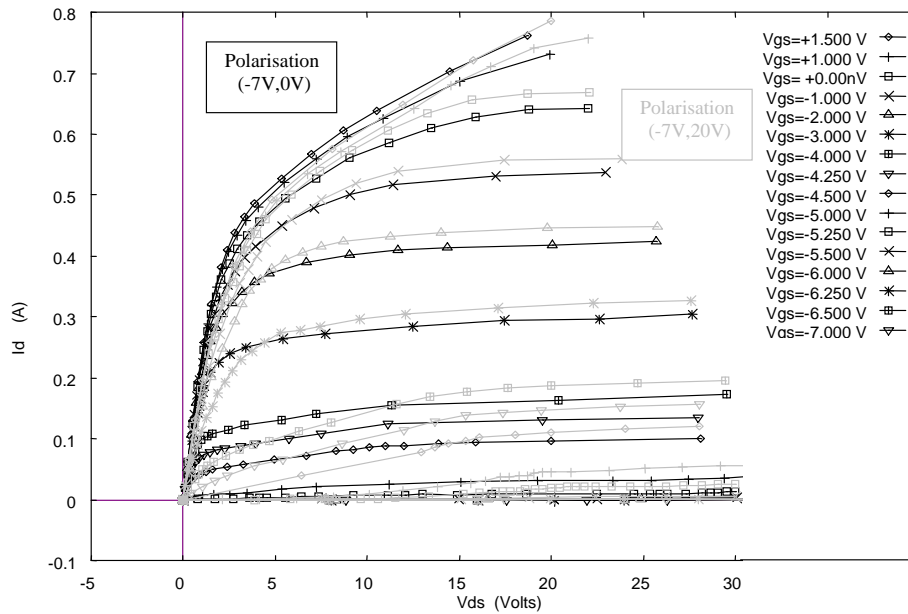


Figure 40 : Mise en évidence des "pièges de drain".

I.4.2 Mise en évidence des "pièges de grille".

L'opération réciproque consiste à faire varier la polarisation V_{gso} en maintenant la valeur $V_{dso} = 0V$ (pas de puissance dissipée). Deux réseaux mesurés en impulsion ayant pour polarisations froides ($V_{gso} = -7V, V_{dso} = 0V$) et ($V_{gso} = 0V, V_{dso} = 0V$) sont comparés Figure 41.

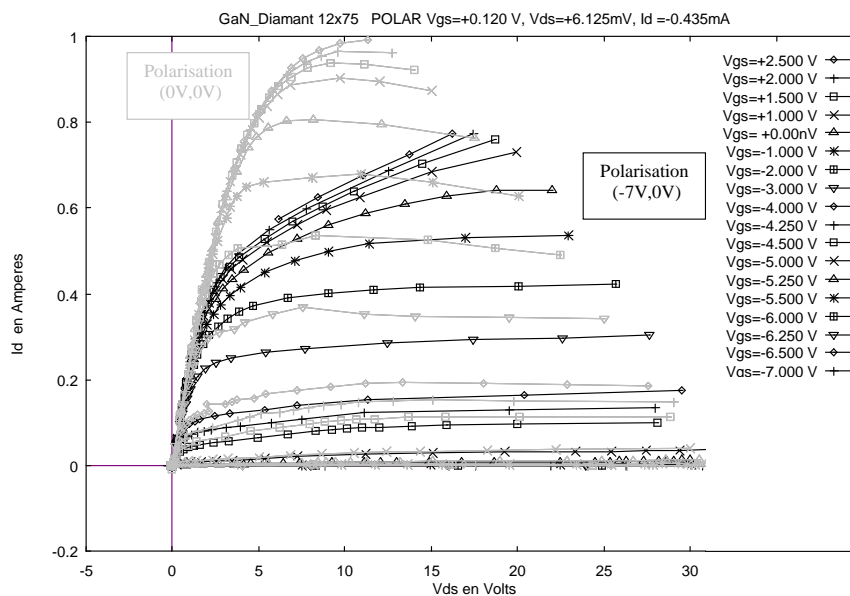


Figure 41 : Mise en évidence des pièges de grille.

Nous pouvons observer une grande différence entre les deux réseaux, ce qui met en avant l'importance des pièges dits « pièges de grille ». Pour des tensions de grille élevées (autour de 0V), on observe, entre ces deux états de pièges, des courants de drain pouvant varier quasiment dans un rapport deux. Le fonctionnement en puissance dépend du réseau $I(V)$ correspondant à l'état de piège lié au point de polarisation. Un changement de la tension de polarisation de grille ne correspond donc plus à un classique changement de classe de fonctionnement mais également à un changement de réseau $I(V)$. Ce phénomène de pièges pouvant influencer fortement sur le fonctionnement d'un amplificateur, nous avons jugé utile de développer un modèle de pièges.

I.5. Evolution des paramètres [S] en fonction de la température.

Nous avons mesuré les paramètres [S] dans la bande de fréquence de 1 à 20 GHz. Les mesures des paramètres [S] sont comparées pour différentes températures mais en prenant soin d'être à chaque fois au même point de repos ($V_{dso} = 20V$; $V_{gso} = -7V$) et au même point de polarisation d'impulsion ($V_{dsi} = 22V$; $V_{gsi} = -4V$).

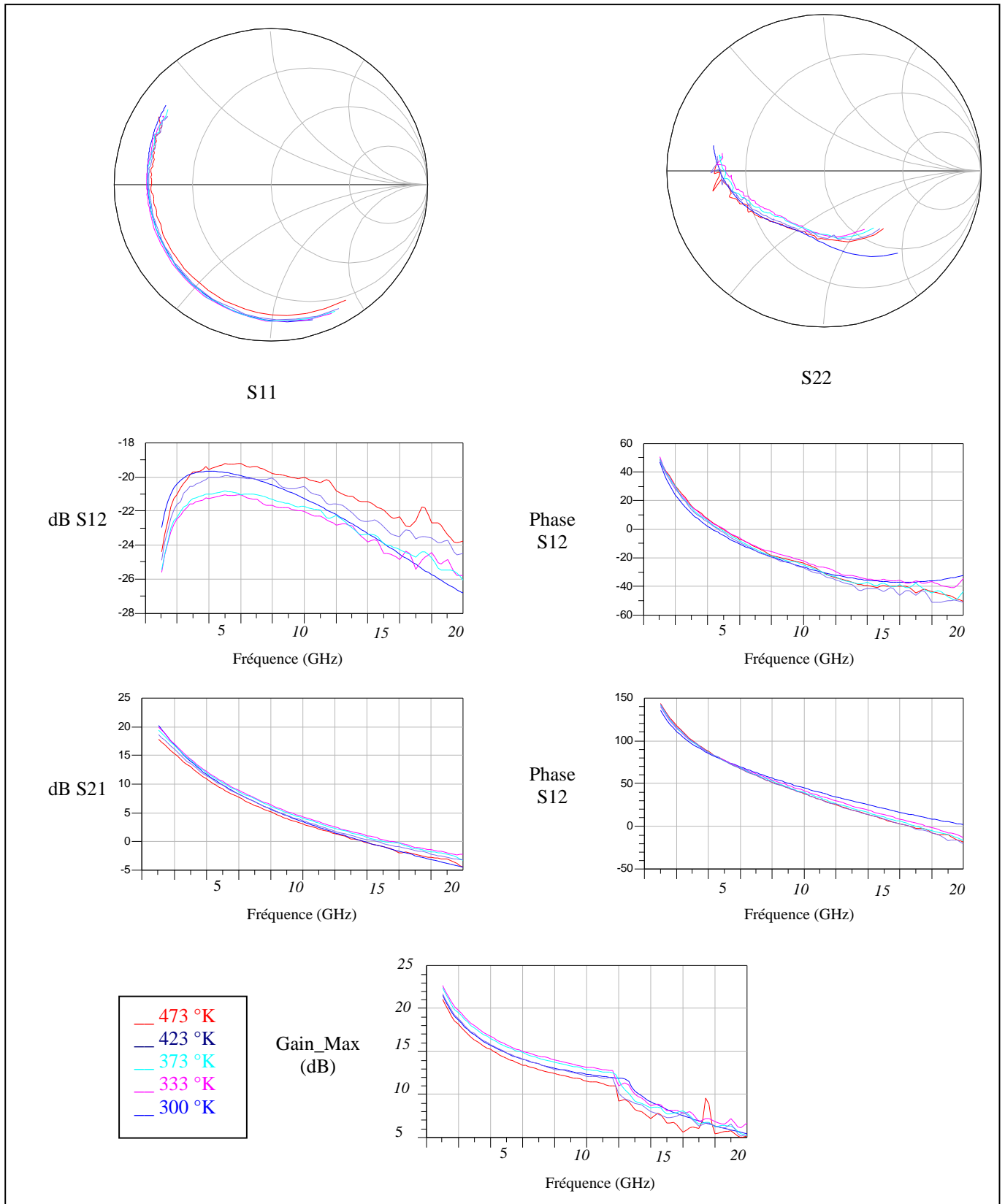


Figure 42 : Paramètres [S] pour des températures de 300 à 473 °K

Les modèles analytiques les plus utilisés pour exprimer la source de courant sont les modèles de Curtice et de Tajima [55] avec leurs différentes variantes.

Concernant les capacités non-linéaires, elles sont représentées par des équations mathématiques plus ou moins simples (une tangente hyperbolique par exemple). [56]

II.1.2. Modélisation par table 3D.

La modélisation par table consiste à représenter les non-linéarités mesurées par des fonctions polynomiales par morceaux d'un certain degré, également appelées "splines". Les modèles tabulaires sont donc habituellement appelés "modèles par splines"[57]. Les coefficients de ces fonctions sont déterminés à partir des mesures en fonction de deux (V_{gs} et V_{ds}) ou trois (V_{gs} , V_{ds} et T°) paramètres d'entrée. On obtient donc un tableau de valeurs en 2D ou 3D, selon le niveau de modélisation choisi.

La modélisation par tables peut être appliquée aux différentes non-linéarités du transistor : sources de courant et capacités. Cette technique de modélisation ne nécessite pas de processus d'optimisation, elle permet une représentation très fidèle des non-linéarités.

La modélisation tabulaire offre plusieurs avantages :

- le modèle par table est complètement indépendant de la technologie du transistor et du phénomène physique qu'il reproduit. Cela rend l'approche de la modélisation très générale et facilement utilisable pour d'autres dispositifs RF et micro-ondes.

- L'utilisation d'une représentation tabulaire par splines et d'une approche intégrée modèle-mesures réduit significativement la complexité du processus d'extraction du modèle.

- Le modèle par table offre une représentation fidèle des caractéristiques mesurées et autorise un certain degré d'extrapolation.

La concordance modèle-mesures est plus précise que lors de l'utilisation d'un modèle analytique classique, à condition de disposer d'un ensemble de points de mesures suffisamment denses dans les parties les plus non-linéaires des caractéristiques. Par ailleurs, le

modèle doit s'affranchir au maximum du bruit de mesure. Pour cela, nous utilisons des splines d'approximations non contraintes à passer par les points de mesures.

Dans notre cas, les modèles par tables sont une représentation des mesures à l'aide de fonctions polynomiales par morceaux de degré 3 (Splines cubiques). Cet ordre 3 est un bon compromis entre temps de calcul et précision. Les coefficients des polynômes par morceaux sont calculés d'après les points de mesures et sont stockés sous forme de tableaux . [57][60]

Nous avons développé un nouveau modèle par tables baptisé "modèle tabulaire 3D" implémenté sous le logiciel commercial ADS (Figure 44). Ce modèle 3D utilise comme variables d'entrée les deux tensions de commande V_{gs} et V_{ds} , ainsi que la température de jonction T . Il fait appel à un fichier de points (extension .sim). C'est un modèle électrothermique auquel sera associé un circuit thermique [58].

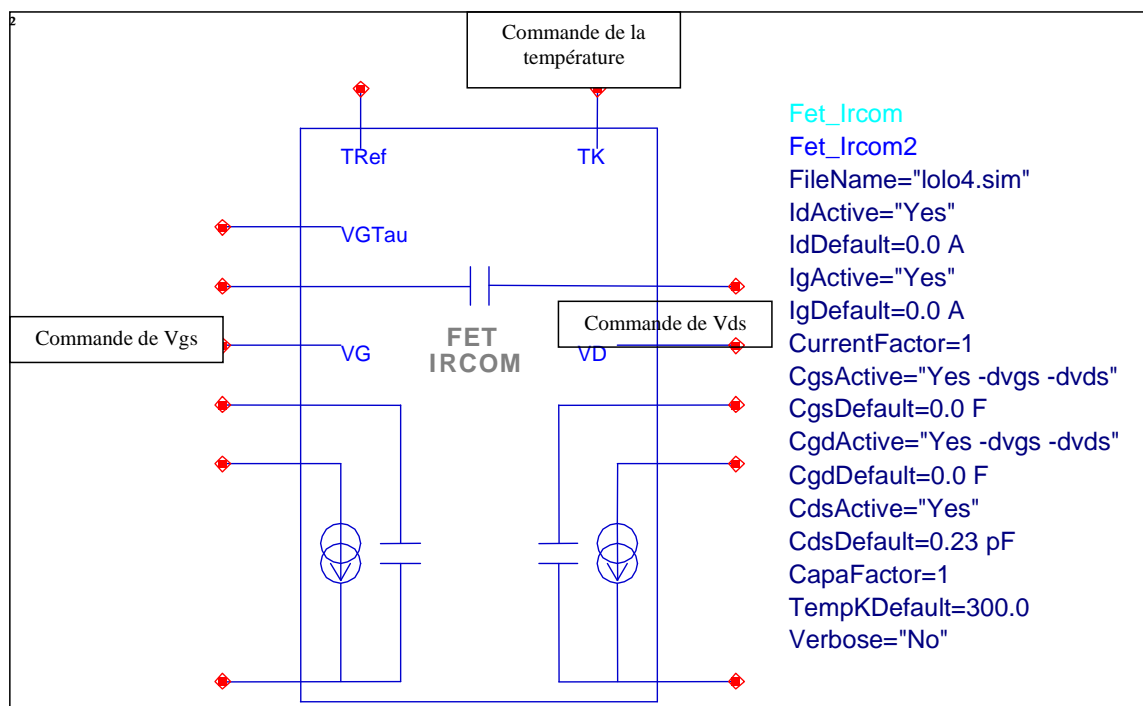


Figure 44 : Schéma du modèle de transistor intrinsèque sous le logiciel ADS

Le modèle est développé en langage C et compilé sous ADS. Nous disposons également d'un utilitaire permettant de traiter simplement les fichiers .sim.

Le modèle 3D est implémenté de façon à ce que l'utilisateur puisse accéder à sa structure interne. En effet, de nombreux points d'accès sont disponibles. Ceci a été fait dans le

but de donner de la souplesse au modèle et ainsi pouvoir, par exemple, étudier la stabilité non-linéaire, accéder au cycle de charge intrinsèque, insérer des éléments résistifs et des sondes de mesure. Ce modèle est commandé en 3 points :

- La broche Vg qui est la commande de Vgs.
- La broche Vd qui est la commande de Vds
- Les broches Tk et Tref qui commandent la température.

La commande de la température est (Tk – Tref). Cependant, comme la broche Tref étant reliée à la masse, seul Tk commande la température.

Les 3 commandes permettent, à l'aide d'un fichier d'extension .sim, de calculer les valeurs des capacités non-linéaires Cds, Cgs et Cgd ainsi que les sources de courant non-linéaires de l'entrée Ig et de la sortie Id du transistor.

C'est au point « VG TAU » que doit être pris en compte le retard sur la commande (Figure 44). La source de courant est donc commandée par VG TAU, Vds et la température.

Chaque élément intrinsèque (et non-linéaire) du transistor peut être désactivé et être remplacé par une valeur linéaire. Pour cela, il suffit de sélectionner « No » à l'élément que l'on veut désactiver et mettre une valeur par défaut à cet élément.

La commande thermique peut être désactivée séparément et indépendamment sur chaque élément non-linéaire du transistor. Pour cela, la notion « Yes notherm » doit être mise sur l'élément voulu.

Une option de facteur d'échelle de courant et de capacités a été prévue. Il suffit de choisir le facteur de multiplication voulu dans « CapaFactor » et « CurrentFactor ».

Lorsque le mode Verbose est activé (en choisissant « Yes »), des informations supplémentaires (notamment la valeur des tensions aux différents nœuds du modèle) sont fournies lors de la simulation dans la fenêtre de simulation du logiciel ADS. Cela peut être utile lorsque des problèmes de simulation liés au modèle surviennent.

II.2. Modélisation du transistor GaN 12*75µm

II.2.1. Modèle électrique petit signal

Le modèle utilisé est un modèle électrique en éléments localisés avec une topologie classique de transistor à effet de champ. Le schéma équivalent petit signal est représenté Figure 45. Il est constitué des éléments suivants :

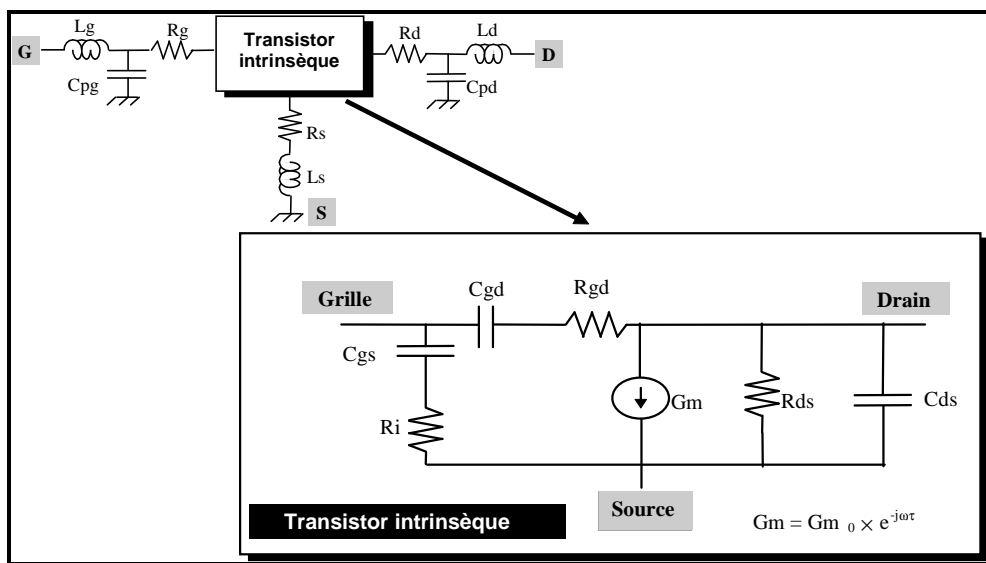


Figure 45 : schéma électrique équivalent

- Les éléments extrinsèques :

* L_g , L_d et L_s sont des inductances parasites liées à la topologie du transistor. L'environnement de mesure (fils thermos soudés, lignes d'accès) peut être modélisé comme des inductances parasites supplémentaires.

* R_d et R_s représentent les résistances parasites dues aux contacts ohmiques et aux zones conductrices et inactives du canal, entre les métallisations de drain et de source et la limite de la zone déserte. R_g représente la résistance dynamique de grille, liée au métal qui constitue le contact Schottky.

* C_{pg} et C_{pd} représentent les capacités de plot du transistor.

- Les éléments intrinsèques :

* la transconductance G_m qui traduit le mécanisme de contrôle du courant dans le canal par la commande de grille au point de polarisation M_o :

$$G_m = \left. \frac{\partial I_d}{\partial V_{gs}} \right|_{M_o}$$

* La conductance de sortie G_d représente les effets d'injection des électrons dans le canal :

$$G_d = \left. \frac{\partial I_d}{\partial V_{ds}} \right|_{M_o}$$

* Les capacités grille-source et grille-drain représentent les variations de charges accumulées sous la grille, sous l'effet des tensions respectives V_{gs} et V_{gd} :

$$C_{gs} = \left. \frac{\partial Q_g}{\partial V_{gs}} \right|_{M_o}$$

$$C_{gd} = \left. \frac{\partial Q_g}{\partial V_{gd}} \right|_{M_o}$$

* R_{gd} et R_i sont liées à des effets distribués sous la grille, τ correspond à un retard associé à la transconductance G_m , et C_{ds} prend en compte les effets parasites de couplage électrostatique entre l'électrode de drain et celle de la source

L'extraction d'un modèle électrique consiste à déterminer, dans un premier temps, les valeurs des éléments extrinsèques puis à en déduire les valeurs des éléments intrinsèques quelque soit le point de polarisation du transistor.

La qualité finale du modèle dépend fortement de la précision avec laquelle sont estimés les éléments extrinsèques du circuit équivalent. Pour cela, nous utilisons une méthode par optimisation basée sur le fait qu'il n'existe qu'un seul jeu de paramètres extrinsèques (R_g , L_g , C_{pg} , R_d , L_d , C_{pd} , R_s , L_s) pour lequel les paramètres intrinsèques (G_m , G_d , C_{gs} , C_{gd} , C_{ds} , R_i , R_{gd} , τ) sont indépendants de la fréquence. Le passage des plans extrinsèques des mesures aux valeurs intrinsèques du transistor s'effectue de la manière suivante :

=> Pour un jeu de paramètres extrinsèques donnés, on extrait la matrice admittance intrinsèque $[Y]^{int}$ à partir des paramètres $[S]$ mesurés (extraction directe). La matrice $[Y]^{int}$ est obtenue par transformations successives de la matrice $[S]$ mesurée .

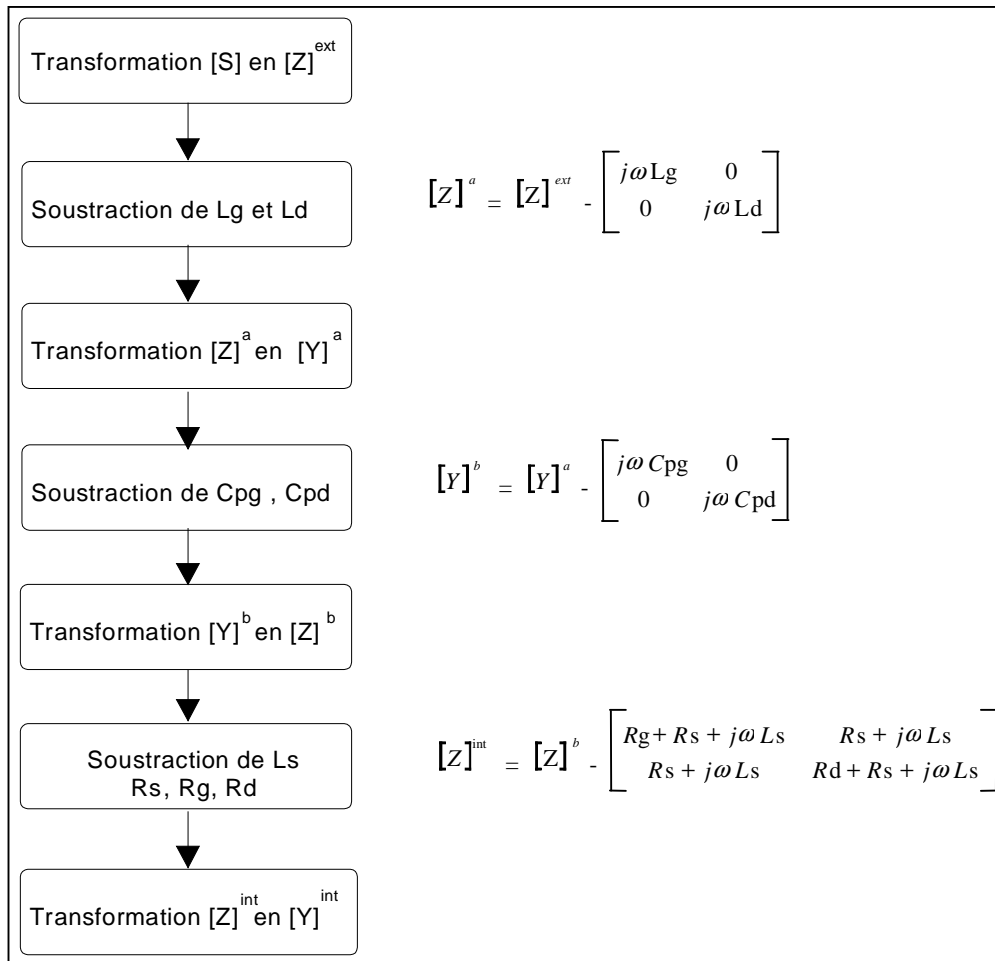


Figure 46 : Détermination de la matrice admittance intrinsèque du transistor

=> Ensuite, à partir de la matrice admittance intrinsèque, on calcule analytiquement l'ensemble des paramètres intrinsèques du modèle. Cette méthode est utilisable car le nombre d'éléments du modèle correspond exactement au nombre des paramètres mesurés (8 paramètres).

$$- C_{gd} = \frac{-\text{Im}\{Y_{12}\}}{\omega} \left[1 + \left(\frac{\text{Re}\{Y_{12}\} + G_{gd}}{\text{Im}\{Y_{12}\}} \right)^2 \right] \quad (1)$$

$$- R_{gd} = \frac{-(\text{Re}\{Y_{12}\} + G_{dgd})}{C_{gd}^2 \omega^2} \left[1 + \left(\frac{\text{Re}\{Y_{12}\} + G_{dgd}}{\text{Im}\{Y_{12}\}} \right)^2 \right] \quad (2)$$

$$- C_{gs} = \frac{(\text{Im}\{Y_{11}\} + \text{Im}\{Y_{12}\})}{\omega} \left[1 + \left(\frac{\text{Re}\{Y_{11}\} + \text{Re}\{Y_{12}\} - G_{dgs}}{\text{Im}\{Y_{11}\} + \text{Im}\{Y_{12}\}} \right)^2 \right] \quad (3)$$

$$- G_d = \text{Re}\{Y_{12}\} + \text{Re}\{Y_{22}\} \quad (4)$$

$$- C_{ds} = \frac{1}{\omega} (\text{Im}\{Y_{12}\} + \text{Im}\{Y_{22}\}) \quad (5)$$

$$- R_i = \frac{(\text{Re}\{Y_{11}\} + \text{Re}\{Y_{12}\} - G_{dgs})}{C_{gs}^2 \omega^2} \left[1 + \left(\frac{\text{Re}\{Y_{11}\} + \text{Re}\{Y_{12}\} - G_{dgs}}{\text{Im}\{Y_{11}\} + \text{Im}\{Y_{12}\}} \right)^2 \right] \quad (6)$$

$$- G_m = \sqrt{(A^2 + B^2)(1 + R_i^2 C_{gs}^2 \omega^2)} \quad (7)$$

$$- \tau = -\frac{1}{\omega} \arctg\left(\frac{B + AR_i C_{gs} \omega}{A - BR_i C_{gs} \omega}\right) \quad (8)$$

$$- A = \text{Re}\{Y_{21}\} - \text{Re}\{Y_{12}\}, B = \text{Im}\{Y_{21}\} - \text{Im}\{Y_{12}\} \quad (9)$$

=> Enfin, chaque élément est calculé pour chaque point de fréquence mesuré lors de la caractérisation du transistor.

Pour un point de polarisation donné, on obtient ainsi les dispersions des éléments intrinsèques avec la fréquence : $C_{gs}(\omega)$, $C_{ds}(\omega)$, $C_{gd}(\omega)$, $g_m(\omega)$, $g_d(\omega)$, $\tau(\omega)$, $R_{gd}(\omega)$, $R_i(\omega)$. Les valeurs finales retenues pour les éléments intrinsèques du circuit résultent d'une moyenne fréquentielle dans la bande de mesure. On recommence l'opération jusqu'à avoir une dispersion fréquentielle minimale des éléments intrinsèques. Ceci est effectué à l'aide de l'algorithme d'optimisation de la méthode du recuit simulé.

Les paramètres du modèle sont extraits pour un point du réseau I[V] proche du point de polarisation de repos. Ce point du réseau correspond à : $V_{gsi} = -4V$; $I_{gi} = 0 \text{ mA}$; $V_{dsi} = 20V$; $I_{di} = 130\text{mA}$. A ce point de repos instantané est associé un fichier de mesures contenant les paramètres S_{11} , S_{21} , S_{12} , S_{22} , de 1 @ 20 GHz.

A ce fichier de paramètres [S] nous appliquons la méthode d'extraction du modèle petit signal. Les valeurs des paramètres extrinsèques obtenues sont indiquées dans le tableau suivant.

Rg	Lg	Cpg	Rd	Ld	Cpd	Rs	Ls
0.92 Ω	575 pH	44 fF	0.32 Ω	800 pH	35 fF	0.3 Ω	90 pH

Cependant, il faut noter que les paramètres extrinsèques sont indépendants de la polarisation et de la fréquence alors que les paramètres intrinsèques sont fonction du point de polarisation. A titre d'exemple, sont représentés sur les Figure 47 et Figure 48, la capacité linéaire C_{gs} et la transconductance G_m en fonction de la fréquence.

Le banc de caractérisation en impulsions permet d'obtenir un fichier de paramètres [S] pour chaque point de mesure I(V). Une extraction multi-polarisations et multi-températures de jonction est pratiquée sur l'ensemble des points du réseau IV et permet ainsi d'obtenir les variations non-linéaires de chaque élément en fonction des tensions de polarisation instantanées et de la température. Les principales non linéarités du modèle sont C_{gs} , C_{gd} , C_{ds} , I_{ds} , et I_{gs} . Les résistances R_i et R_{gd} , et le retard τ seront considérés comme constants dans la suite de cette étude, leurs variations en fonction des tensions de polarisations étant faibles.

R_i	R_{gd}	τ
1 Ω	3 Ω	3.3 ps

Remarque : Bien que cette procédure permette de calculer G_m et G_d , ces deux éléments ne sont pas utilisés pour la modélisation de la source de courant de drain.

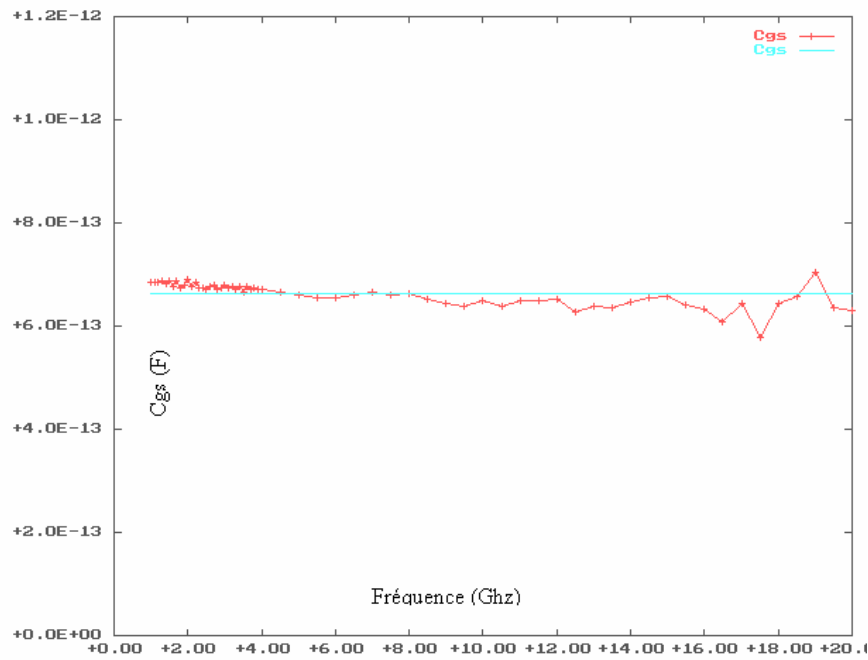


Figure 47 : Capacité C_{gs} linéaire en fonction de la fréquence ($V_{gso}=-3.5V$, $V_{dso}=20V$)

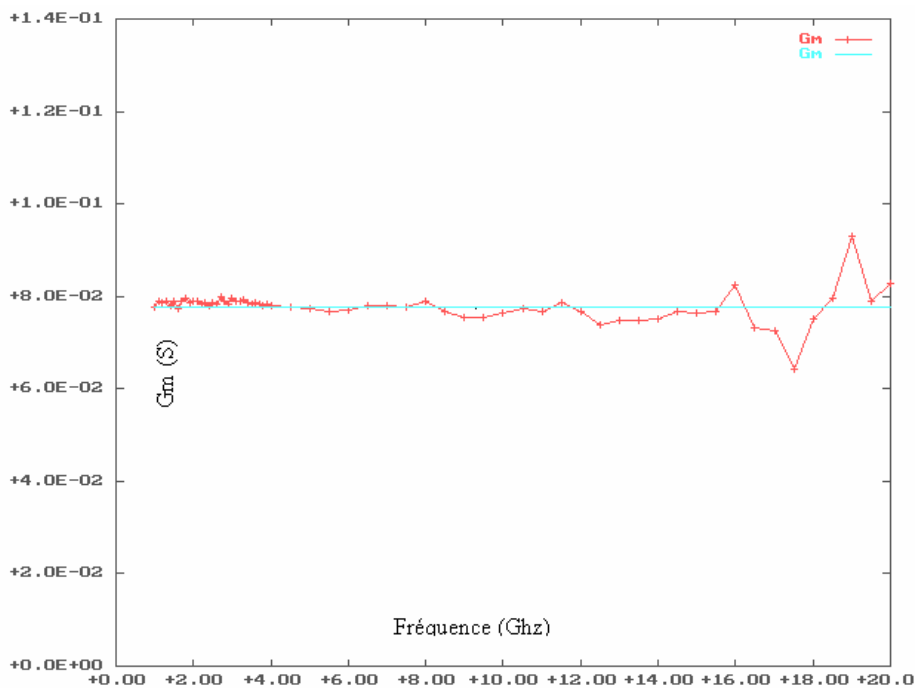


Figure 48 : Transconductance G_m linéaire en fonction de la fréquence ($V_{gso}=-3.5V$, $V_{dso}=20V$)

II.2.2. Modèle électrique non-linéaire.

II.2.2.1. Eléments non-linéaires convectifs.

La topologie du modèle non-linéaire pour un fonctionnement statique est présentée Figure 49.

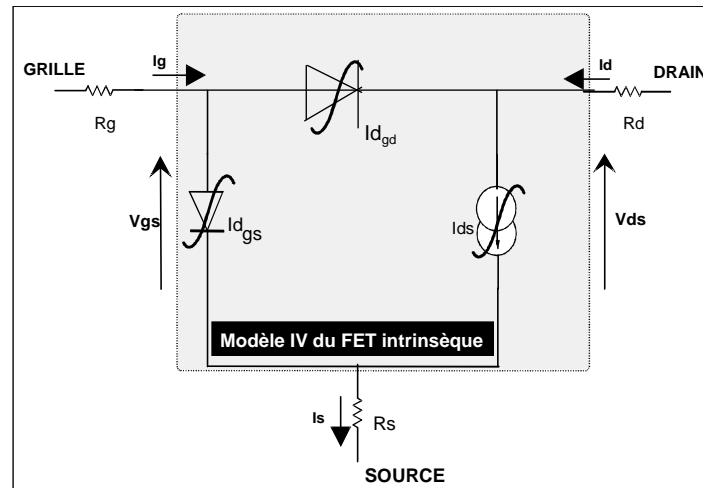


Figure 49 : Modèle I(V) non-linéaire

Ce modèle non-linéaire est composé de :

- R_g, R_d, R_s : résistances d'accès du transistor,
- I_{ds} : modèle de la source de courant,
- I_{GS} : diode grille-source
- I_{GD} : diode grille-drain

La source de courant de drain est commandée par la tension de grille retardée (V_G TAU), la tension de drain (V_{ds}) et la température de jonction (T_j). Elle constitue la principale non-linéarité du transistor. Elle est modélisée à partir des mesures I(V) en impulsion, à l'aide d'une représentation tabulaire par splines. Un retard est inclus dans le modèle afin de prendre en compte la réponse non instantanée de la source de courant avec la tension de grille.

Quant à la diode d'entrée, elle est commandée par les tensions de polarisation (V_{gs} et V_{ds}) ainsi que la température de jonction. De la même manière que la source de courant, cette diode d'entrée est modélisée par un tableau Spline.

Des comparaisons de réseaux I(V) entre les mesures et les simulations sont effectuées pour différentes températures de socle Figure 50 et Figure 51.

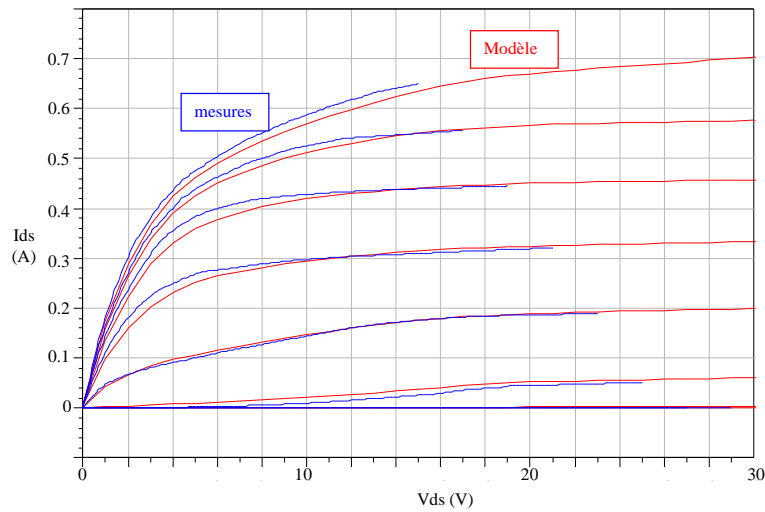


Figure 50 : Comparaison Mesure / Modèle pour $T_j=300^\circ\text{K}$

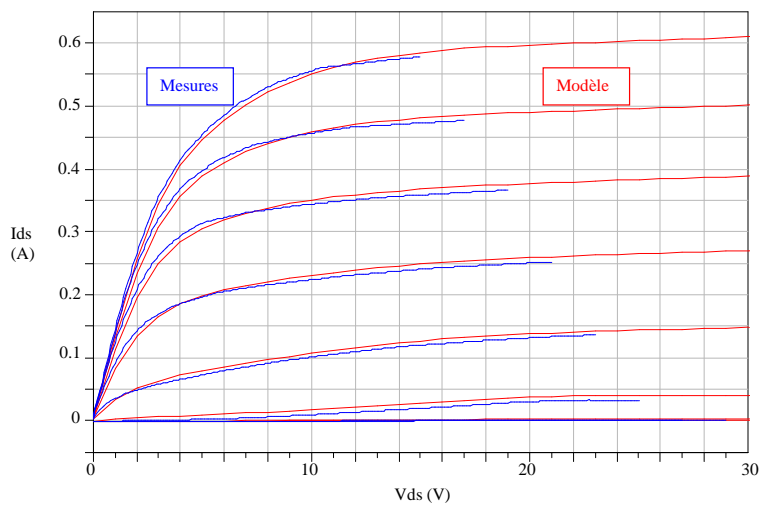


Figure 51 : Comparaison Mesure / Modèle pour $T_j=423^\circ\text{K}$

Une très bonne concordance est observable entre les mesures et les simulations pour les températures de 300°K et 423°K . Ces figures montrent aussi l'extrapolation effectuée par le modèle en dehors du domaine de mesures.

II.2.2.2. Modèle non-linéaire des capacités

Les trois capacités C_{gs} , C_{gd} et C_{ds} sont considérées comme des non-linéarités dépendantes des deux tensions de commandes V_{ds} , V_{gs} et de la température. Cette dépendance sera obtenue à partir des mesures de paramètres $[S]$ en impulsion multi-polarisations. La modélisation des trois capacités est également effectuée à l'aide d'une représentation par splines.

Le transistor est polarisé en impulsion à une valeur déterminée des tensions de drain et de grille (V_{ds1} , V_{gs1}). Il se trouve donc dans un régime d'état établi. Puis, un signal RF de faible amplitude est superposé afin de mesurer les paramètres $[S]$ du dispositif. D'après les équations (1), (3) et (5), les capacités C_{gs} , C_{ds} et C_{gd} sont déduites pour ce point de polarisation.

Par la suite, les niveaux des impulsions sont modifiées et le transistor est alors polarisé dans un nouvel état établi (V_{ds2} , V_{gs2}). Une mesure de paramètres $[S]$ est effectuée, ce qui conduit à une nouvelle valeur de capacité. Cette procédure est répétée en parcourant tout le domaine des tensions de drain et de grille.

Nous obtenons ainsi l'évolution des capacités mesurées en fonction du point de polarisation et de la température. C'est ce qui nous permet d'extraire les expressions non-linéaires des différentes capacités, leurs modélisations se faisant par Spline 3D.

Les Figure 52, Figure 53 et Figure 54 montrent les capacités C_{gs} , C_{gd} et C_{ds} non-linéaires en fonction de V_{ds} , V_{gs} et la température.

On peut remarquer que la capacité C_{ds} est quasi-constante dans la zone de saturation du composant. Il est donc possible de choisir cette capacité constante quelque soit V_{gs} .

La modélisation des capacités permettent de pouvoir comparer les mesures et les simulations des paramètres $[S]$. La Figure 55 montre une très bonne concordance entre elles.

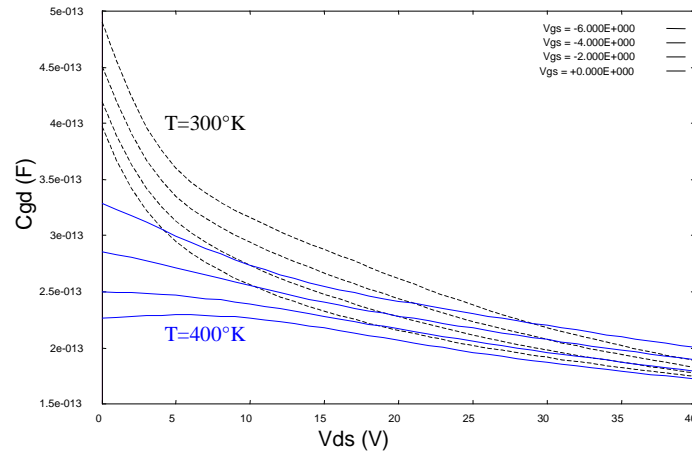


Figure 52 : Capacités C_{gd} non-linéaires 3D

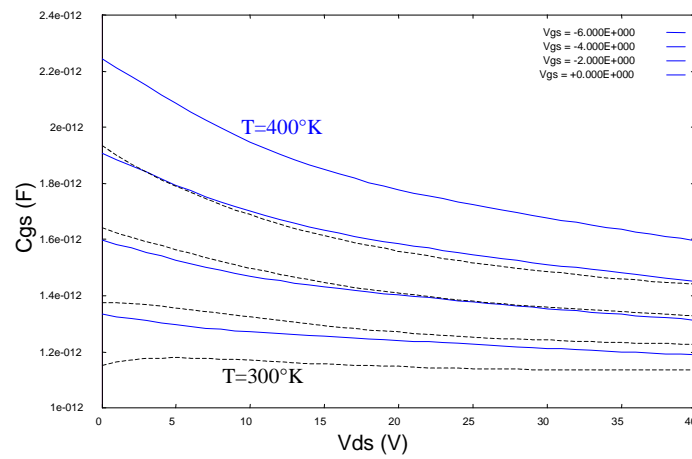


Figure 53 : Capacités C_{gs} non-linéaires 3D

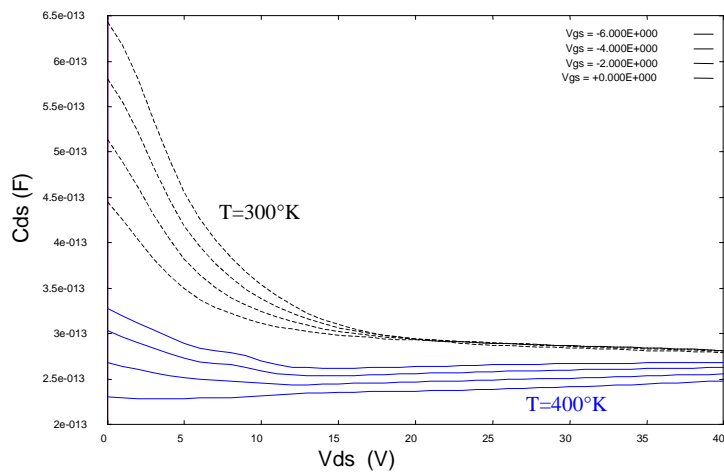


Figure 54 : Capacités C_{ds} non-linéaires 3D

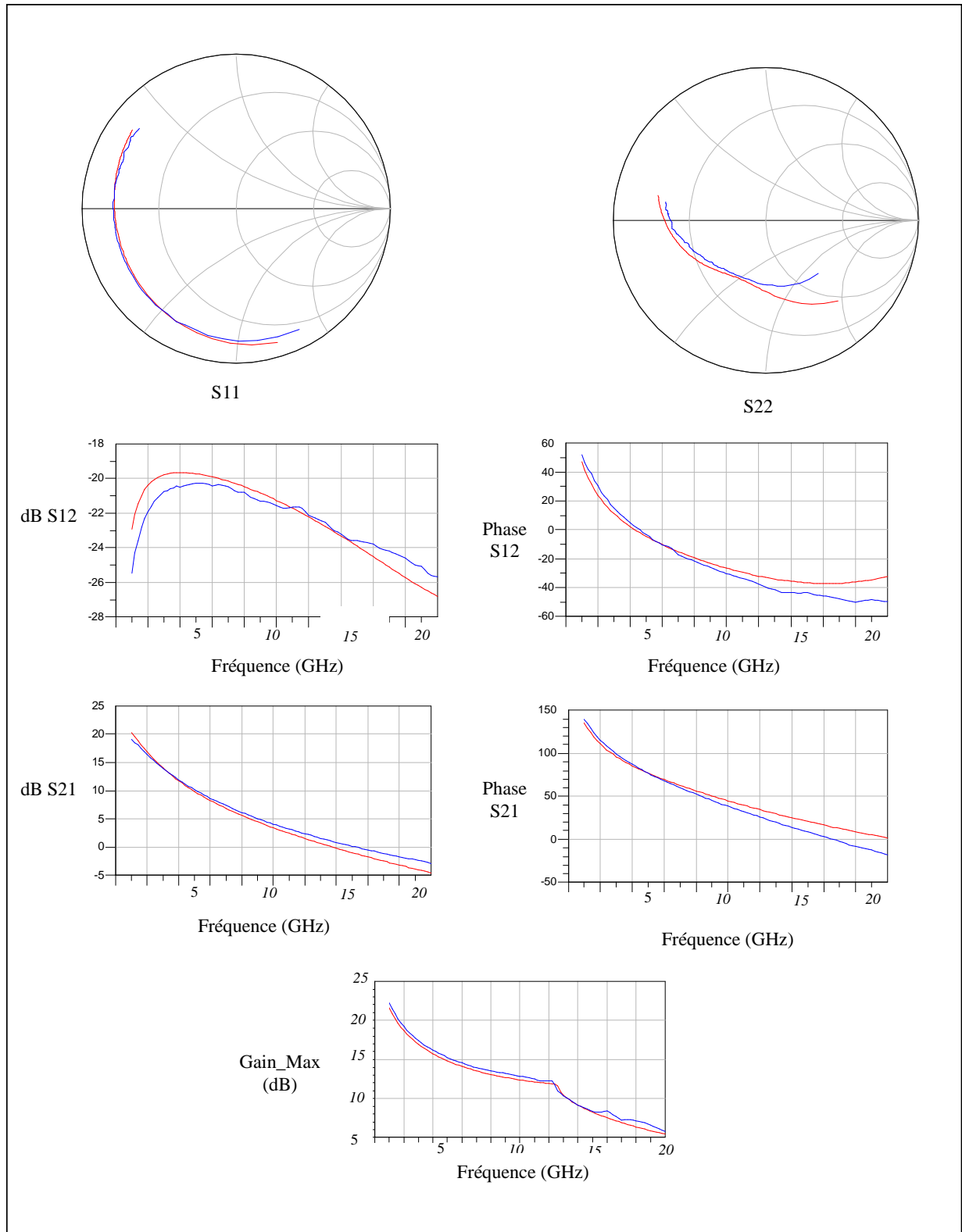


Figure 55: Comparaison modèle / Mesures des paramètres [S] ; Polarisation $V_{gso} = -4V$, $V_{dso} = 15V$.

II.2.3. Circuit thermique.

Au modèle électrique, un circuit thermique doit être associé afin de simuler le fonctionnement en température du composant. Ce circuit thermique est composé d'un élément calculant la puissance dissipée du transistor et d'un circuit Rth/Cth (Figure 56). Le calcul de la puissance dissipée se fait à l'extérieur du modèle 3D pour prendre en compte les résistances extrinsèques. La résistance thermique d'un transistor R_{TH} , exprimée en $^{\circ}C / W$, permet de caractériser l'élévation de température de jonction (T_j) du composant par rapport à la température de socle (T_{ref}) lorsque celui-ci est soumis à une excitation électrique.

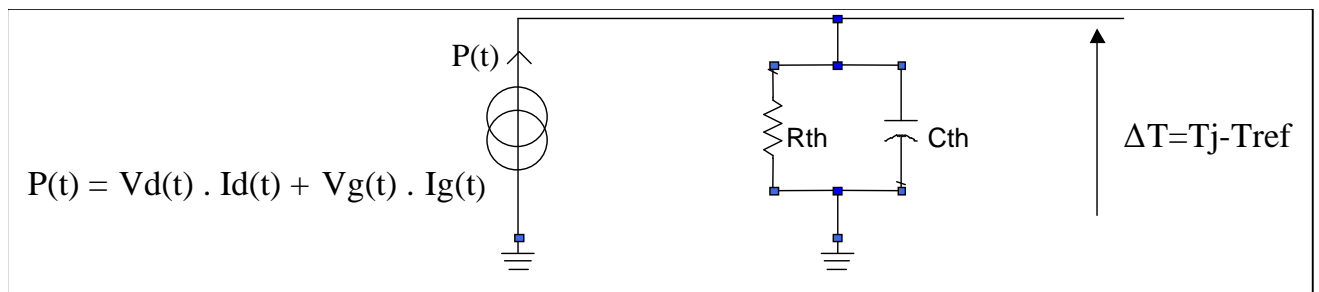


Figure 56 : Circuit thermique

Cette puissance dissipée permet de calculer l'élévation de température de jonction (ΔT) en régime établi par la loi des nœuds suivante : $\Delta T = T_j - T_{ref} = R_{th} * P_{diss}$

Puissance instantanée dissipée : $P(t) = (V_g(t) * I_g(t)) + (V_d(t) * I_d(t))$

P_{diss} : Puissance dissipée moyenne symbolisée par un courant : Intégration de $P(t)$ par le

circuit passe-bas (R_{th} , C_{th}) : $P_{diss} = \frac{1}{\tau} \int_0^{\tau} P(t).dt$

T_j : température de jonction symbolisée par une tension.

T_{ref} : température de socle symbolisée par une tension (ici=340 °K).

R_{th} : résistance thermique symbolisée par une résistance électrique.

II.2.4. Implémentation du modèle 3D sous le logiciel de CAO ADS.

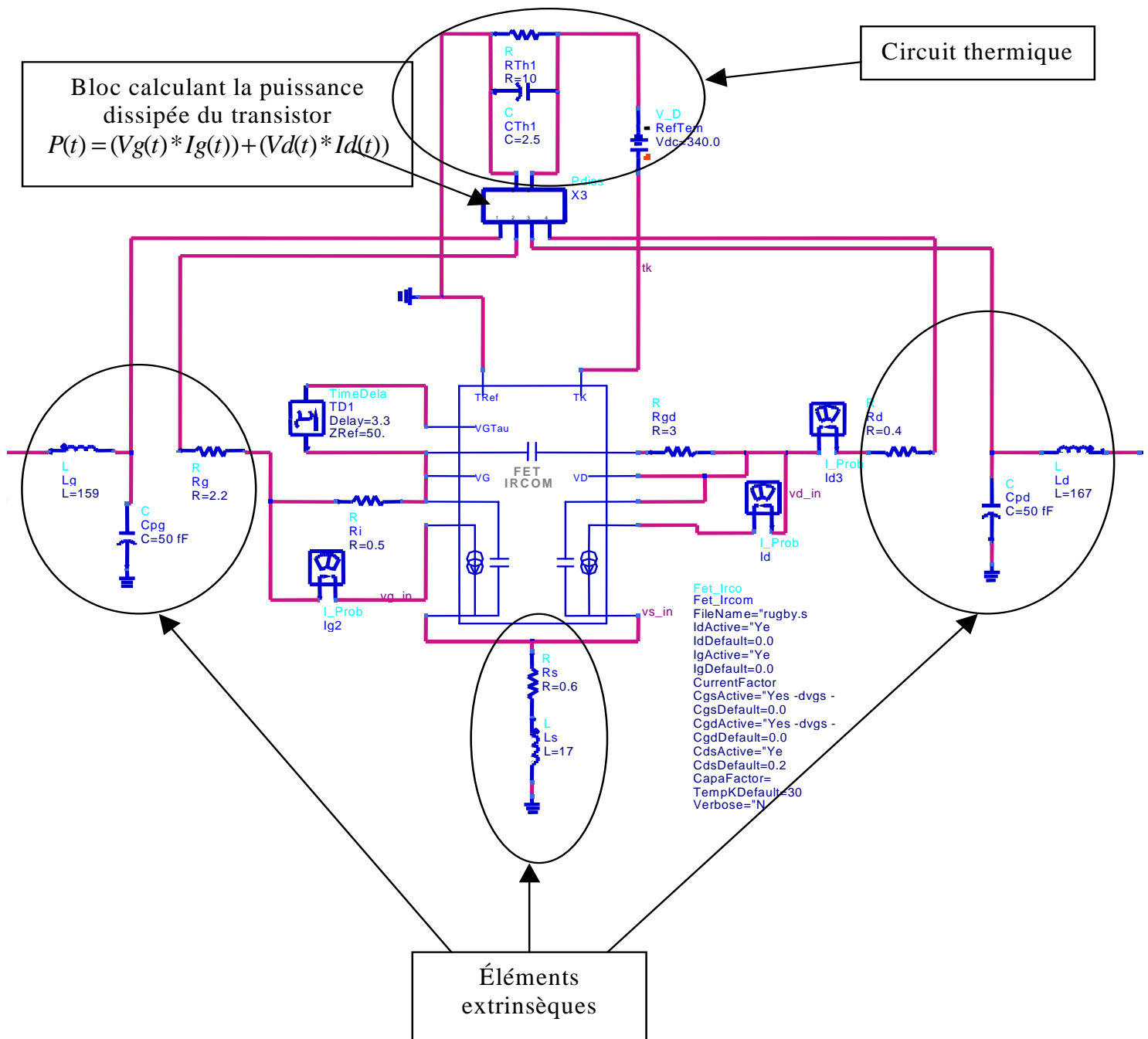


Figure 57 : Modèle électrique du transistor sous le logiciel de simulation ADS

Ce modèle 3D (Figure 57), correspondant à l'état de piège lié à la polarisation (-7V;0V), constitue ce que nous appellerons le "modèle de référence" dans la présentation du modèle 3D + pièges.

III. Développement d'un modèle de pièges de grille.

III.1. Présentation

Les phénomènes de pièges se traduisent, pour ce type de composant, essentiellement par une modification du courant de drain mesuré en impulsion en fonction de la tension de polarisation continue de grille. Ce phénomène est modélisé par une source de courant supplémentaire connectée en parallèle sur la source de courant de drain fondamentale. Cette source de courant est commandée par la composante DC et basse fréquence de la tension V_{gs} . La dépendance de ces phénomènes en fonction de la température est également considérée.

Les phénomènes de pièges comportent des phases de capture et des phases d'émission des porteurs. Ces deux phases se produisent avec des constantes de temps différentes : τ_c et τ_e . Ces deux constantes de temps sont prises en compte en utilisant des circuits RC associés à des diodes. Typiquement, τ_c est de l'ordre de la microseconde alors que τ_e est de l'ordre de la milliseconde, ce sont donc des phénomènes basses fréquences, donc à variations lentes.

III.2. Principe du modèle de pièges

Le principe de ce modèle de pièges est d'ajouter un courant (ΔI_d) à celui de la source de courant (I_d) du modèle de transistor 3D [61]. Ce courant ΔI_d est la différence entre deux réseaux $I(V)$ présentant des états de pièges différents, ce courant additionnel a l'allure typique d'une source de courant de drain, on le modélise donc avec une table 3D.

Pour cela, nous avons élaboré une table représentant ΔI_d qui est la différence de courant entre le réseau correspondant à l'état de piège ($V_{gso} = -7V$, $V_{dso} = 0V$: réseau de référence) et celui correspondant à l'état de piège ($V_{gso} = 0V$, $V_{dso} = 0V$). La détermination de cette source ΔI_d a été faite pour toutes les températures de test (Figure 58 et Figure 59). Cette table comporte donc 3 commandes : V_{ds} , V_{gs} et la Température de jonction. Le modèle proposé prend donc en compte les effets de pièges et leur évolution avec la température.

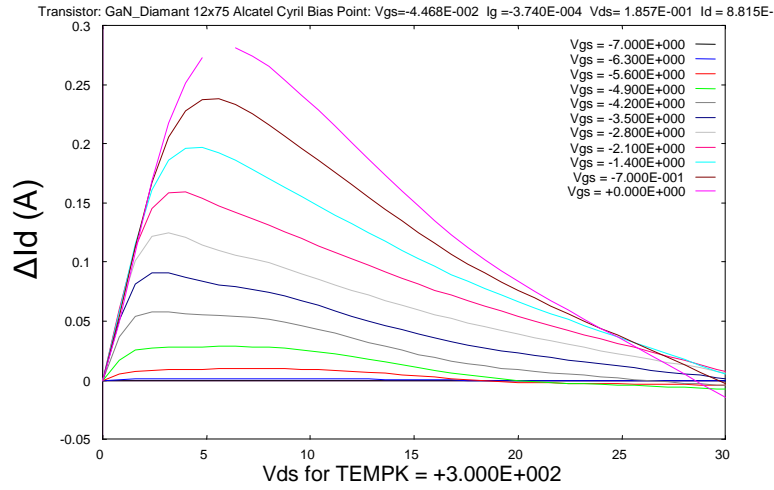


Figure 58 : $\Delta I_d=f(V_{ds})$ pour $T_j=300^\circ\text{K}$

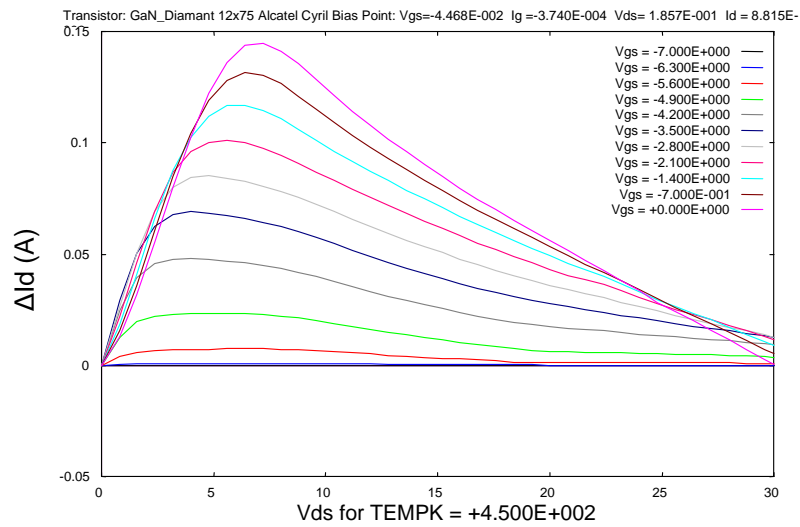


Figure 59 : $\Delta I_d=f(V_{ds})$ pour $T_j=450^\circ\text{K}$

La valeur de ΔI_d dépend également de la tension V_{gso} , cette tension V_{gso} représente les composantes DC et BF de la tension de grille. V_{gso} représente toutes les variations lentes de $V_{gs}(t)$, c'est à dire des variations ayant une vitesse inférieure aux constantes de temps de capture et d'émission des pièges.

La source de courant ΔId s'écrit sous la forme du produit de deux fonctions :

$$\Delta Id = f(V_{gs}, V_{ds}, T) \cdot g(V_{gso})$$

$f(V_{gs}, V_{ds}, T)$: table 3D

$g(V_{gso}) = a \cdot V_{gso}^3 + b \cdot V_{gso}^2 + c \cdot V_{gso} + d$: variation non-linéaire de ΔId en fonction de V_{gso}
($a=0.0041$; $b=0.184$; $c=0.704$; $d=1$)

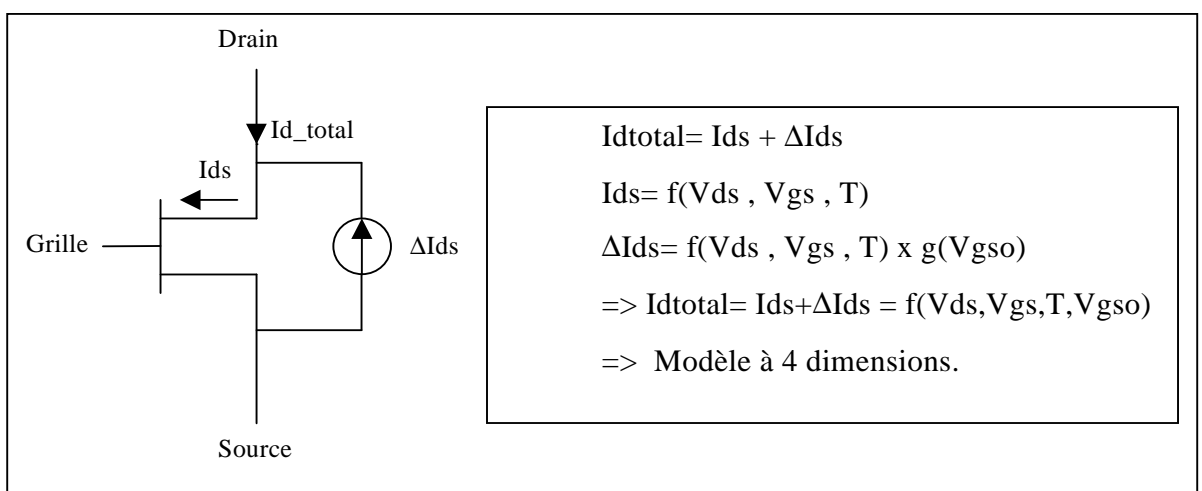


Figure 60 : Principe du modèle de pièges

Les phénomènes de pièges sont des phénomènes basse fréquence qui ont des constantes de temps différentes selon que les pièges captent ou libèrent des porteurs.

Le signal $V_{gs}(t)$ est préalablement filtré. En effet, il existe un circuit RC en amont du circuit de pièges pour filtrer les composantes RF sans pour autant filtrer les phénomènes basses fréquences comme les phénomènes de pièges ou de thermique.

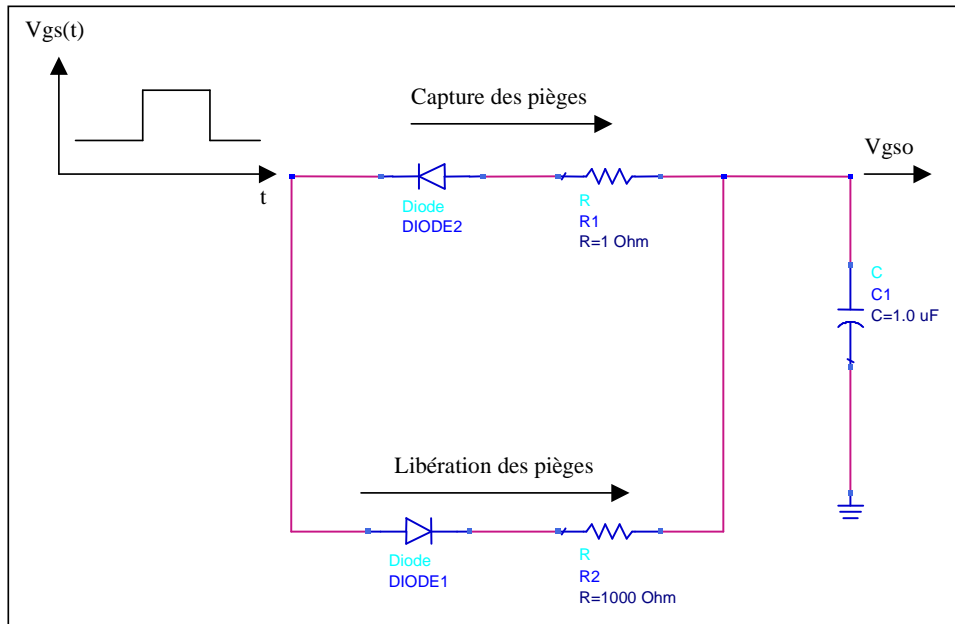


Figure 61 : Implémentation des constantes de temps sur le simulateur

Chaque constante de temps (circuit RC) est associée a une diode parfaite (Figure 62).

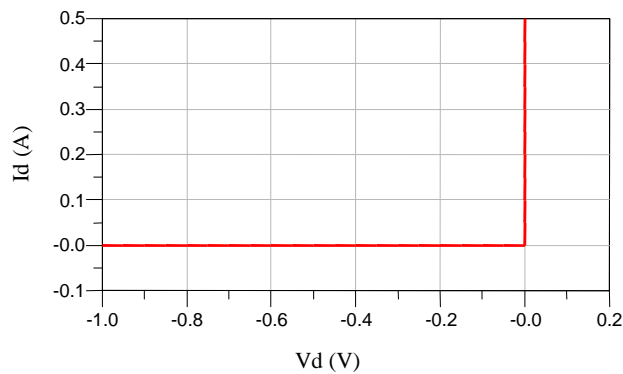


Figure 62 : Caractéristiques des diodes idéales utilisées

Lorsque la tension $V_{gs}(t)$ devient inférieure à V_{gso} , le transistor va capturer des pièges avec une constante de temps de $1\mu s$. Alors qu'inversement, lorsque la tension $V_{gs}(t)$ devient supérieure à V_{gso} , le transistor va libérer ces pièges avec une constante de temps de $1ms$.

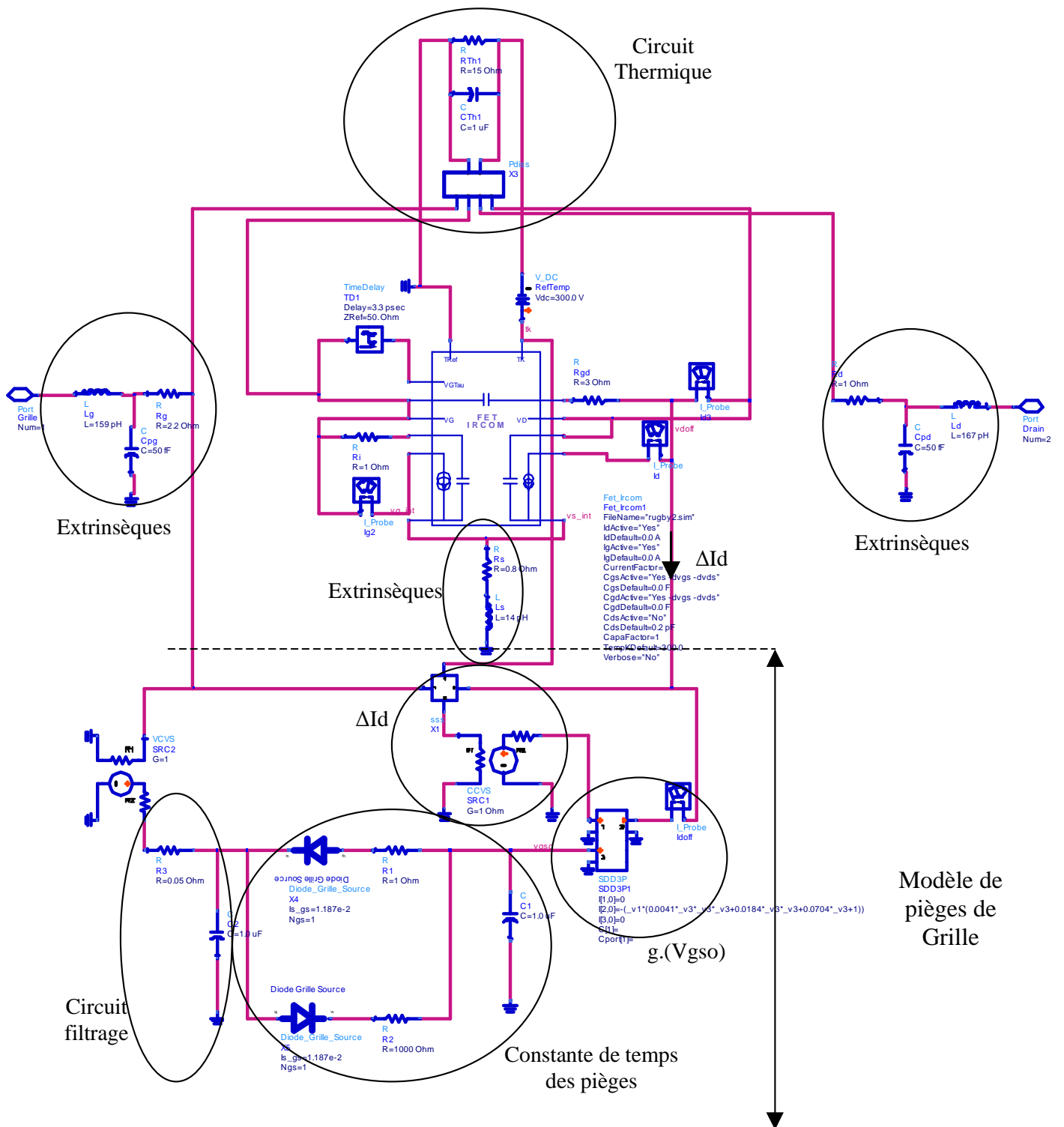


Figure 63 : Présentation du modèle 3D+ pièges

III.3. Simulations temporelles des effets de piège

III.3.1. Premier exemple de simulation temporelle.

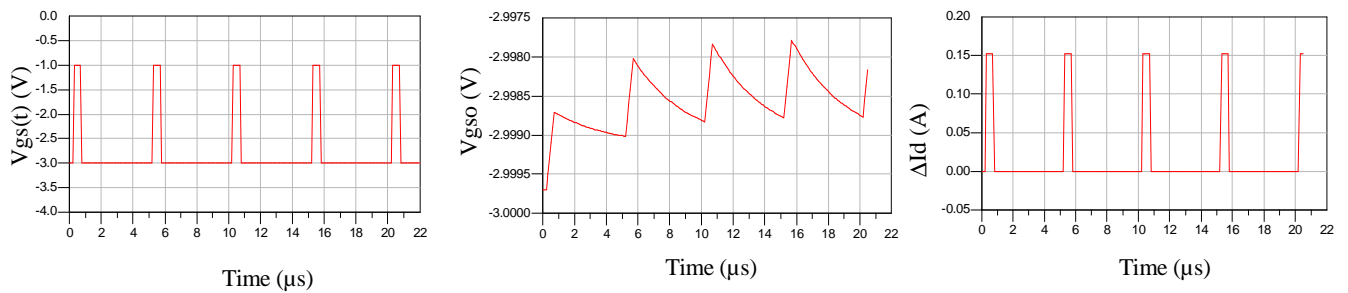


Figure 64 : Libération des pièges

La graphique de gauche (Figure 64) représente les impulsions appliquées à la grille du transistor au cours du temps. Les impulsions sont d'une durée de $0.5\mu s$ pour une période de $5\mu s$.

Le graphique central (Figure 64) représente la tension de grille V_{gso} de commande de la source ΔId en fonction du temps (sortie des circuits RC du modèle de pièges). La constante de temps de libération des pièges étant importante (1 ms), nous pouvons voir que la tension V_{gso} est quasiment constante : les porteurs n'ont pas le temps d'être libérés.

Enfin le graphique de droite (Figure 64) représente le courant « ΔId » en fonction du temps. Ce courant se rajoute à la source de courant du modèle de référence.

Dans ce cas, la commande BF V_{gso} étant quasi constante au cours du temps, l'état de pièges reste également constant et est fixé par la tension de polarisation de grille de repos (hors impulsion). On est dans le cas où la fréquence du signal $V_{gs}(t)$ est supérieure à la bande passante des pièges.

III.3.2. Deuxième exemple de simulation temporelle.

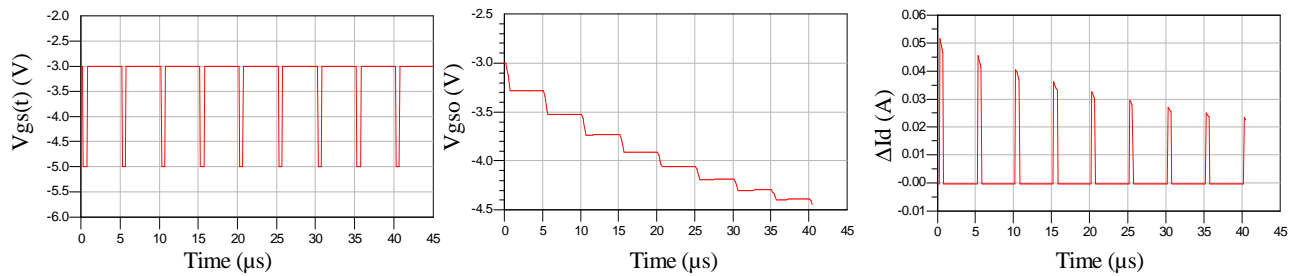


Figure 65 : Capture des pièges

Par rapport à l'exemple précédent, la tension de repos est toujours de $-3V$ mais la tension dans l'impulsion est maintenant de $-5V$. Il y a donc maintenant capture de pièges entre les 2 états. La constante de temps de capture étant de l'ordre de $1\mu s$, à chaque impulsion, la tension V_{gso} (sortie des circuits RC) diminue après chaque impulsion. Cette tension se stabilisera lorsqu'elle atteindra les $-5V$ (cela représente environ $120\mu s$). Les simulations I(V) pulsées devront donc se faire après ce régime transitoire, une fois le régime établi atteint. Dans ce cas, l'état de piège en régime établi est lié à la valeur $V_{gs}(t)$ pendant l'impulsion.

III.4. Simulations I(V) pulsées

Dans ce paragraphe nous comparons les mesures et les simulations I(V) pulsées pour différents points de repos. Cela permet de pouvoir valider notre modèle électrothermique + pièges de grille.

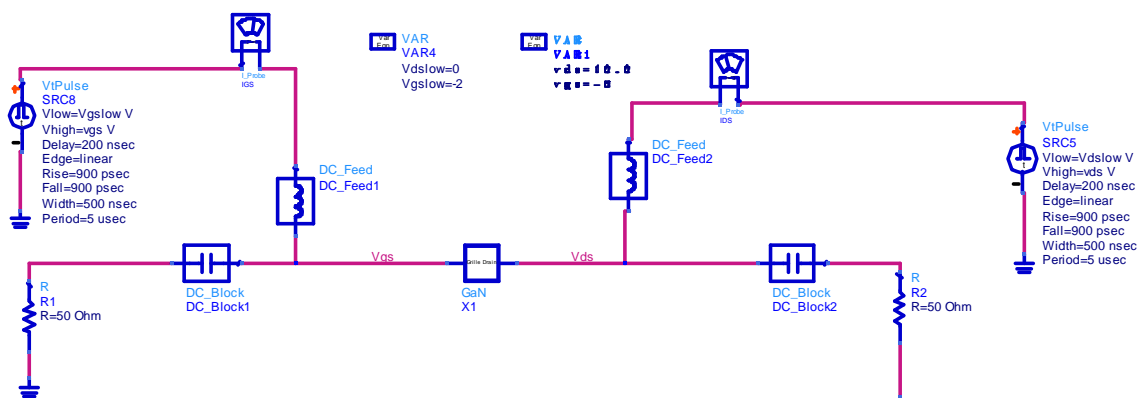


Figure 66 : Simulation du banc de mesures pulsées

Pour simuler le banc de mesures pulsés, nous devons travailler en temporel. Ce banc envoie des impulsions simultanément sur la grille et le drain du transistor (Figure 66). Comme pour le banc de mesures, nous pouvons choisir les tensions de repos des impulsions. Les Figure 67 à Figure 72 représentent les comparaisons entre les simulations du modèle et les mesures pour différentes températures et différents points de repos (c'est à dire différents états de pièges).

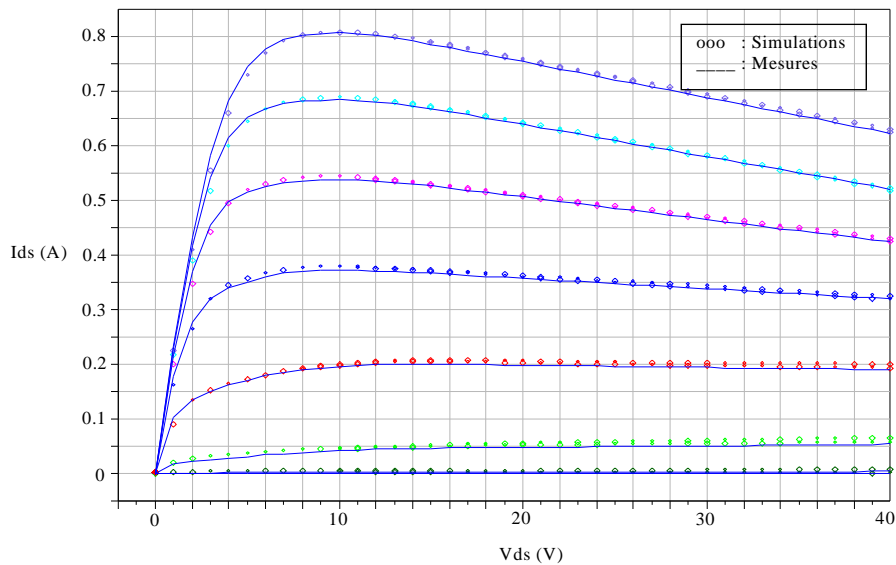


Figure 67 : Comparaison modèle / Mesures pour une tension de repos $V_{gso}=0V; V_{dso}=0V$ à $T=300^{\circ}K$

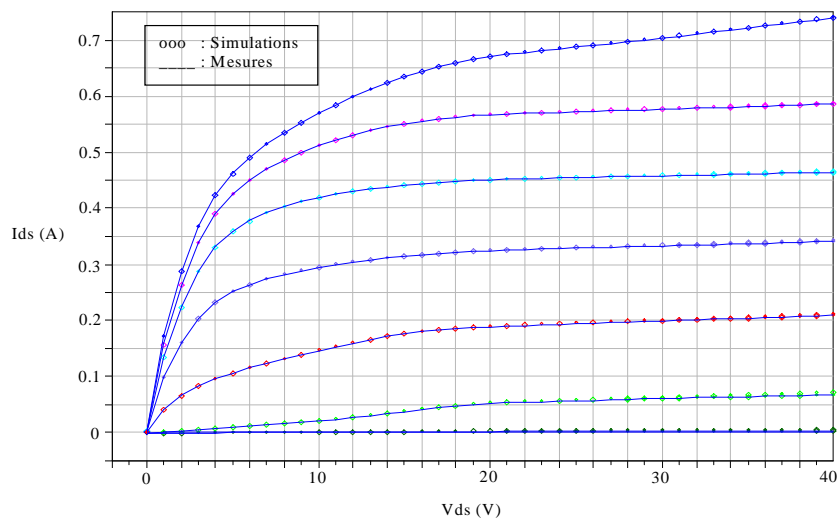


Figure 68 : Comparaison modèle / Mesures pour une tension de repos $V_{gso}=-7V; V_{dso}=0V$ à $T=300^{\circ}K$

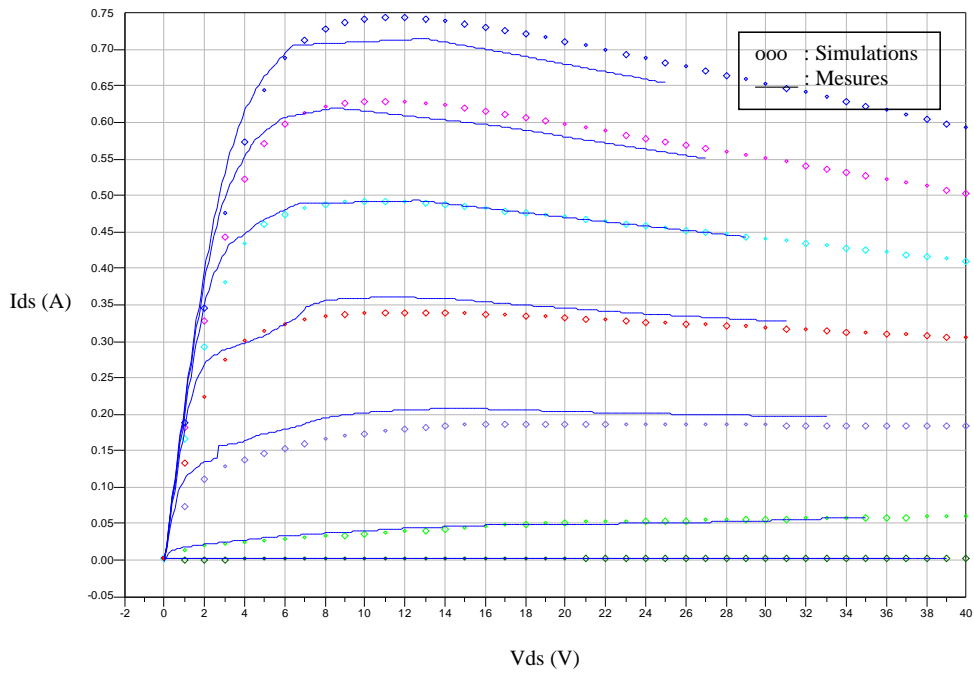


Figure 69 : Comparaison modèle / Mesures pour une tension de repos $V_{gso}=-4V; V_{dso}=0V$ à $T=300^{\circ}K$

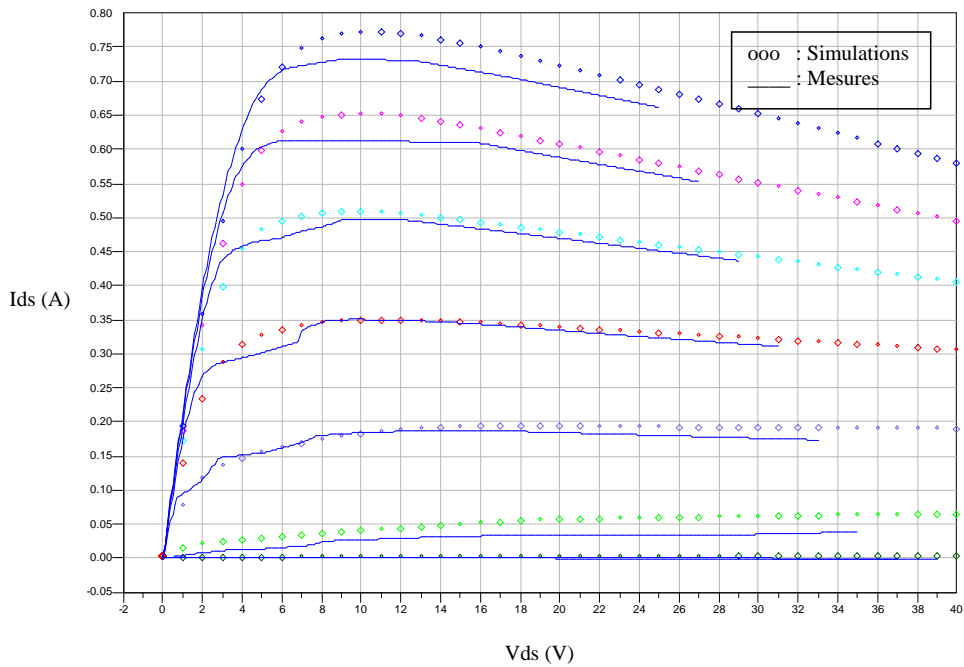


Figure 70 : Comparaison modèle / Mesures pour une tension de repos $V_{gso}=-2V; V_{dso}=0V$ à $T=300^{\circ}K$

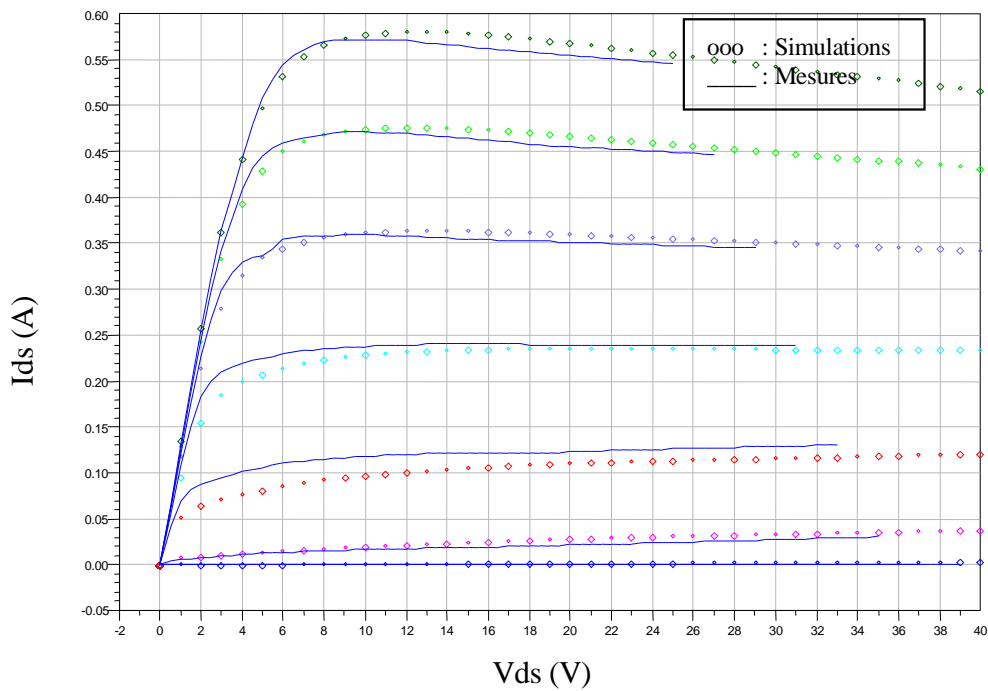


Figure 71 : Comparaison modèle / Mesures pour une tension de repos $V_{gso}=-4V; V_{dso}=0V$ à $T=423^{\circ}K$

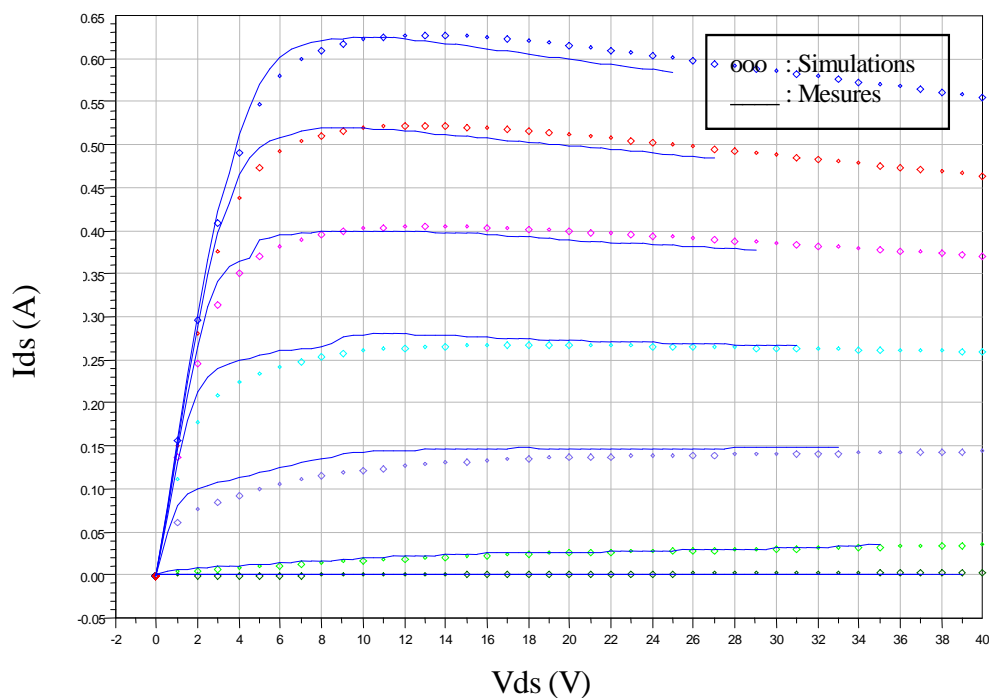


Figure 72 : Comparaison modèle / Mesures pour une tension de repos $V_{gso}=-2V; V_{dso}=0V$ à $T=373^{\circ}K$

Nous pouvons observer une bonne concordance entre les réseaux. Maintenant, il faut valider le modèle en puissance, grâce à des mesures Load-Pull

IV. Validation en puissance du modèle.

Pour valider le modèle du transistor $12 \times 75 \mu\text{m}$ en GaN, nous avons décidé de le caractériser sur le banc Load-Pull pulsé du laboratoire XLIM de Limoges. En plus de valider le modèle électrothermique + pièges, ce banc va nous permettre de mettre en évidence l'influence des effets de piège sur les performances en puissance.

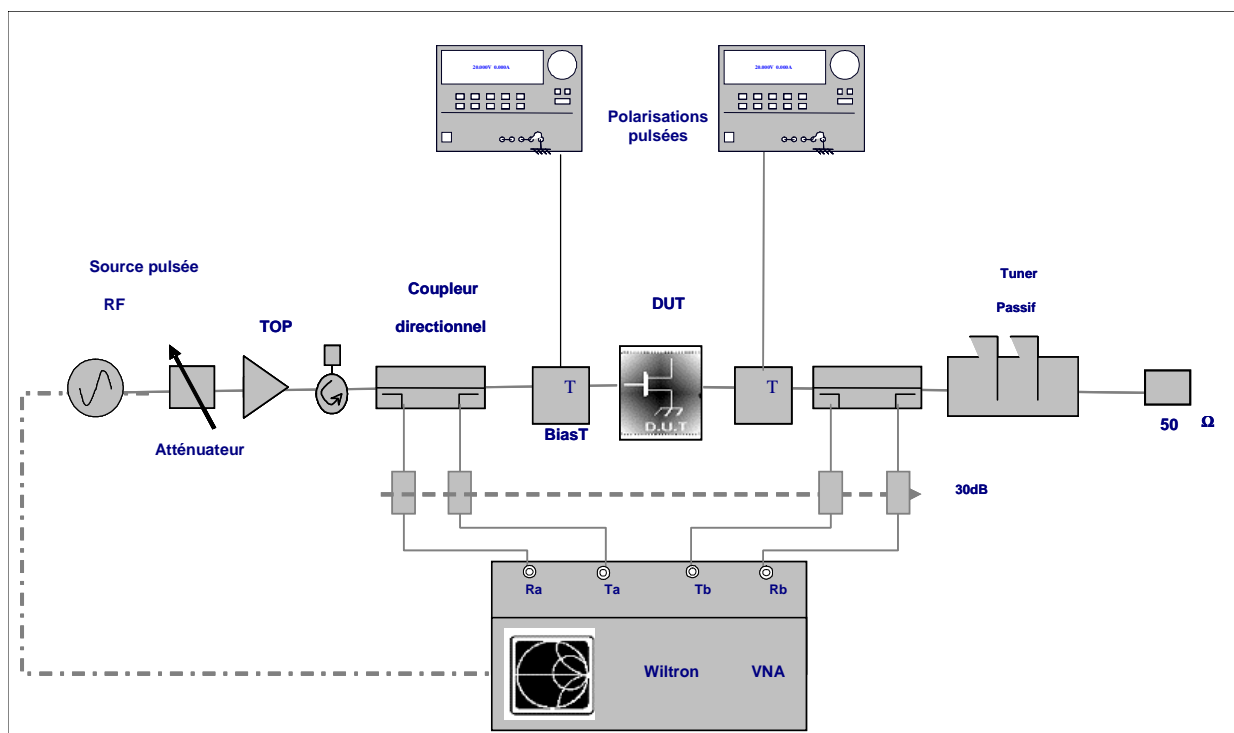


Figure 73 : Principe du banc de mesures Load-Pull pulsé

Les impulsions utilisées pour les mesures en puissance ont une durée de $2 \mu\text{s}$ pour une récurrence de $20 \mu\text{s}$.

Les mesures ont été effectuées pour une fréquence de 8 GHz et pour une impédance de charge de 50 ohms.

Le timing des impulsions est le suivant (Figure 74):

- à $t = 0$, polarisation de grille V_{gso} pendant $2.5\mu s$
- à $t = 0.1\mu s$, polarisation de drain V_{dso} pendant $2.3\mu s$
- à $t = 0.3\mu s$, excitation RF (stimulus RF) pendant $2\mu s$
- à $t = 0.55\mu s$, mesure n°1 (Profile RF1) pendant $0.25\mu s$
- à $t = 0.8\mu s$, mesure n°2 (Profile RF2) pendant $0.25\mu s$
- à $t = 1.8\mu s$, mesure n°3 (Profile RF3) pendant $0.25\mu s$

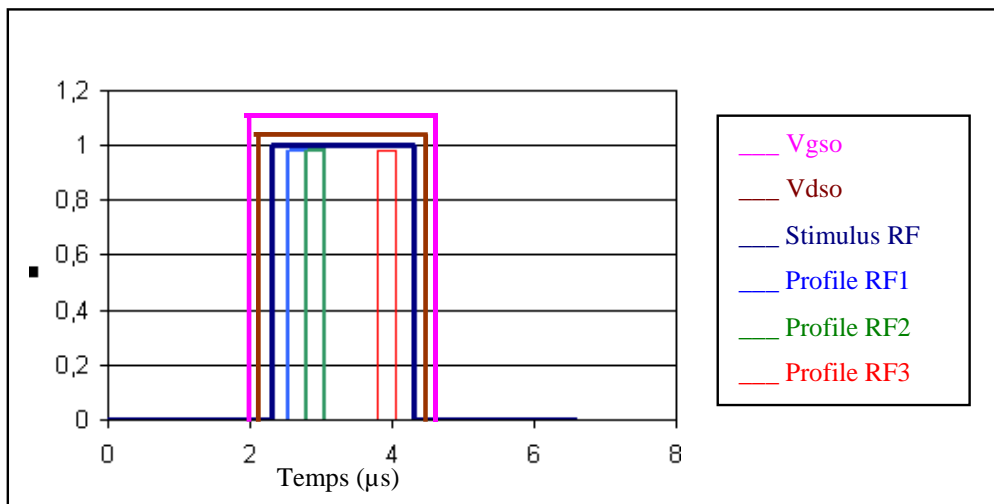


Figure 74 : Timing des impulsions

Le banc Load-Pull pulsé permet de mesurer les puissances consommées, d'entrée et de sortie ainsi que les impédances d'entrée et de sortie du composant.

IV.1. Comparaisons en puissance Modèle / Mesures.

Afin de valider le modèle électrothermique + pièges, nous allons comparer pour un même point de repos, pour une même polarisation, pour une même charge et à fréquence identique, les simulations du modèle et les mesures load-pull impulsionnelles.

Toutes les mesures suivantes ont été faites pour une impédance de charge de 50 ohms et à la fréquence de 8 GHz pour des durées d'impulsion de 2µs avec une récurrence de 20µs. La mesure est prise au niveau de la fenêtre profile n°1.

IV.1.1. Configuration n°1 : point de polarisation $V_{gs}=-3.3V$ et $V_{ds}=29V$ et point de repos ($V_{gso}=0V$, $V_{dso}=0V$)

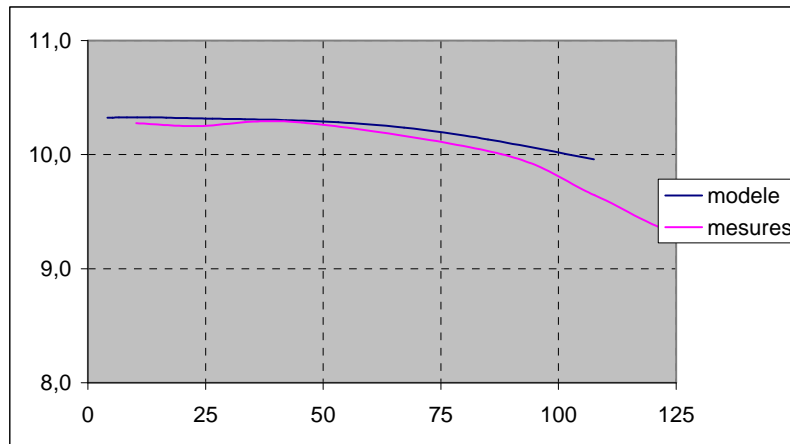


Figure 75 : $Gain_{dB}=f(Pe_{mW})$

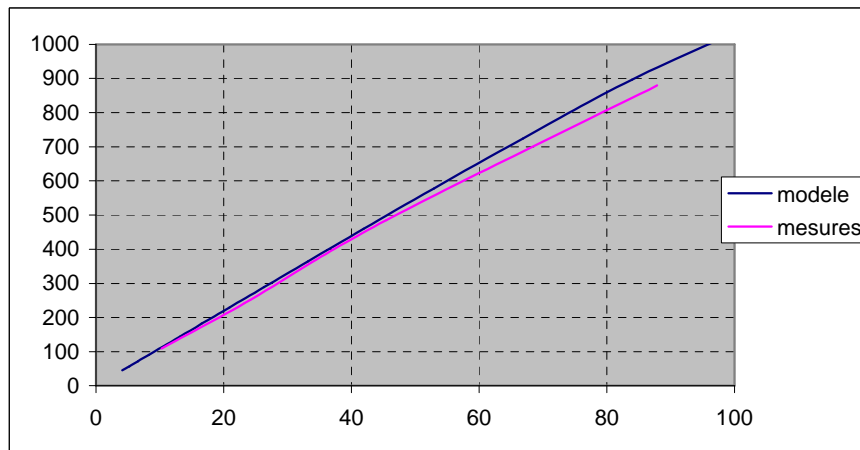


Figure 76 : $Ps_{mW}=f(Pe_{mW})$

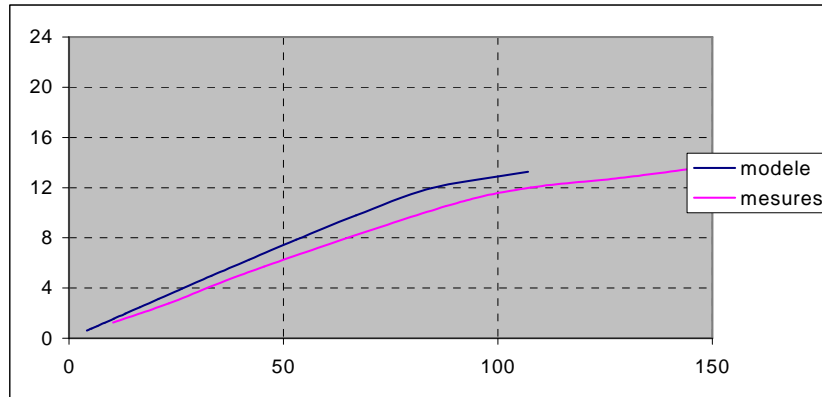


Figure 77 : PAE = f(Pe_mW)

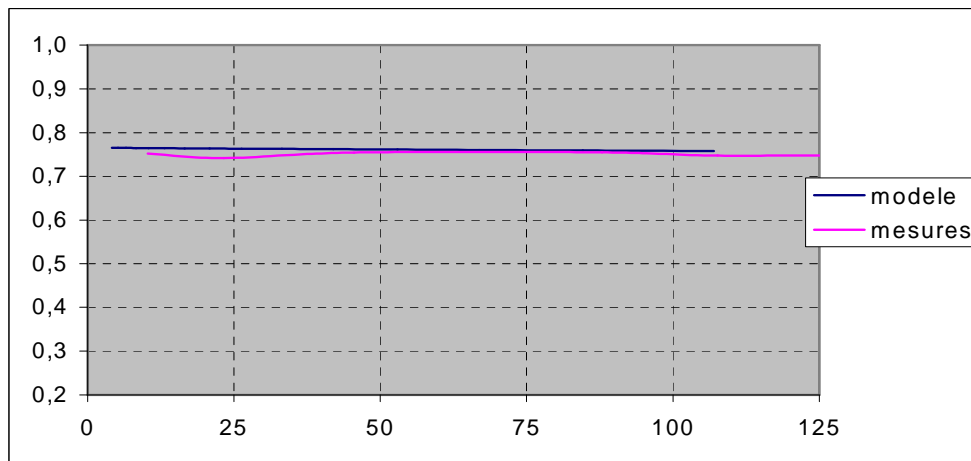


Figure 78 : $|\Gamma_e| = f(Pe_mW)$

Γ_e étant le coefficient de réflexion d'entrée du composant.

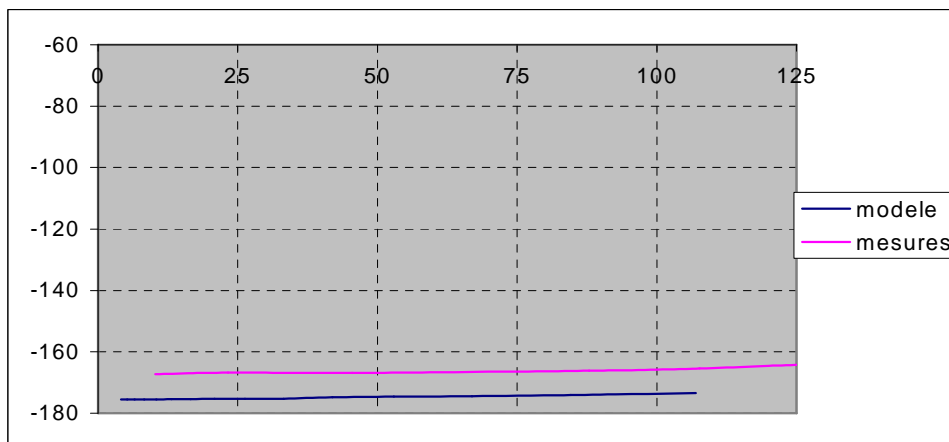


Figure 79 : $\angle \Gamma_e = f(Pe_mW)$

Les comparaisons (Figure 75 à 79) montrent une bonne concordance entre les mesures et les simulations du modèle électrothermique + pièges. De nouvelles comparaisons vont donc être effectuées pour un autre point de polarisation et un autre point de repos, dans le but de valider complètement le modèle.

IV.1.2. Point de polarisation $v_{gs}=-5.5V$ et $V_{ds}=29V$ et point de repos ($V_{gso}=-7V$, $V_{dso}=20V$)

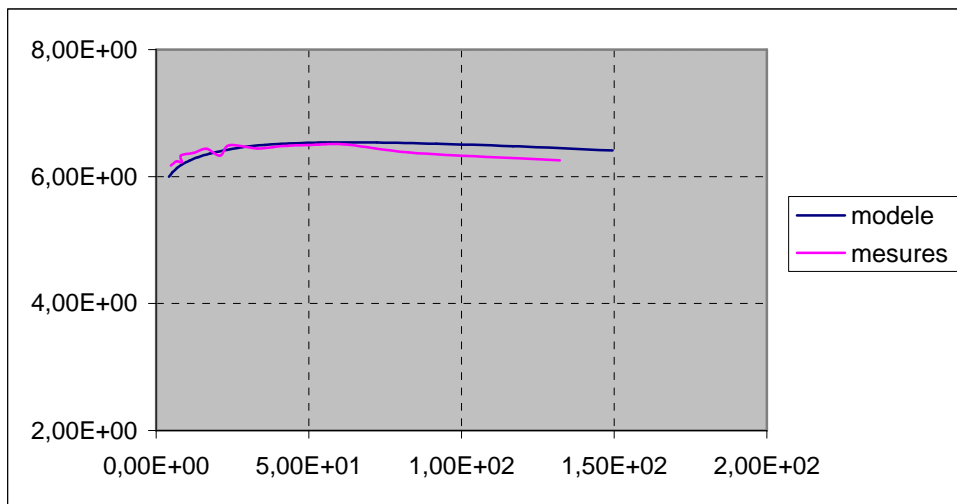


Figure 80 : Gain_dB=f(Pe_mW)

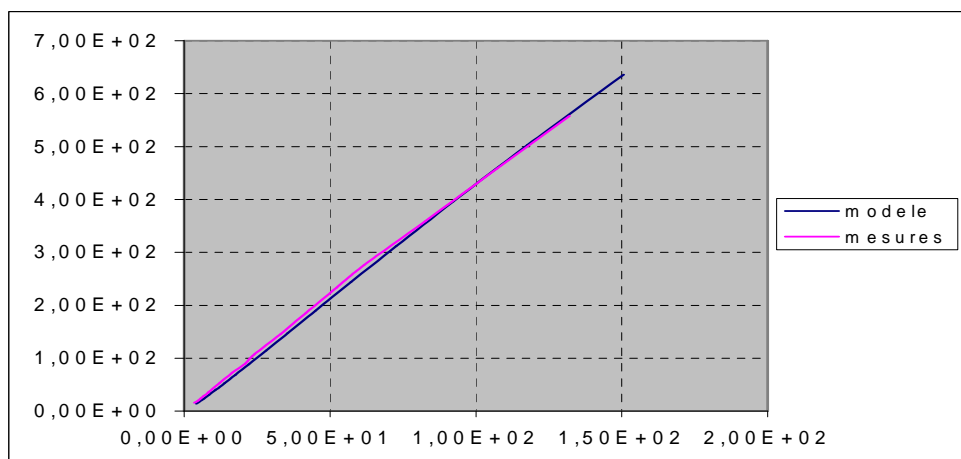


Figure 81 :Ps_mW=f(Pe_mW)

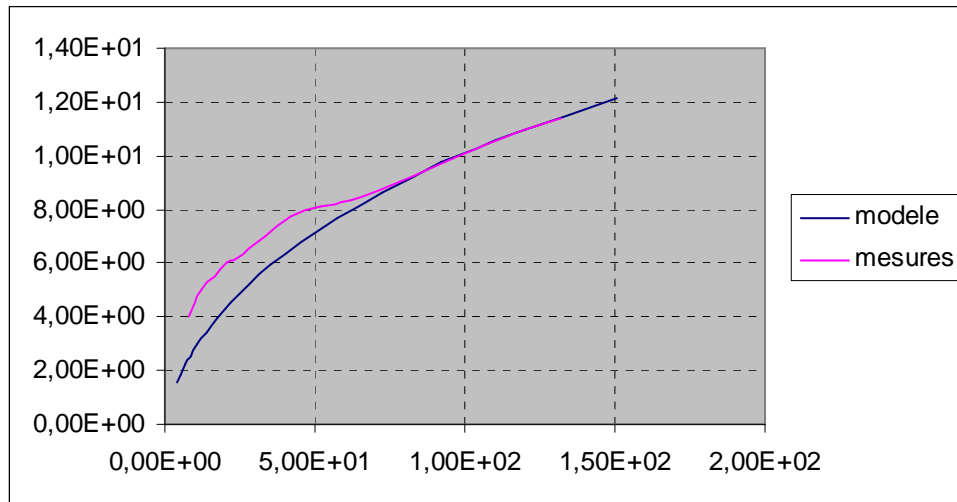


Figure 82 :PAE=f(Pe_mW)

Ces nouvelles comparaisons (Figure 80-81-82) de puissance démontrent, à nouveau une bonne concordance entre les mesures pulsées et les simulations pulsées du modèle.

IV.2. Influence des effets de piège sur les performances en puissance.

Pour observer l'influence des phénomènes de piège, nous allons comparer des mesures de puissance pour une même polarisation et une même charge, mais avec un point de repos différent.

Toutes les mesures sont effectuées pour une charge de 50 ohms.

La polarisation nominale (dans l'impulsion) est $V_{gs}=-3.5V$ et $V_{ds}=30V$.

Nous comparons les mesures entre un point de repos initial de $V_{gso}=0V$ et un point de repos initial de $V_{gso}=-7V$ (Figure 83-84-85).

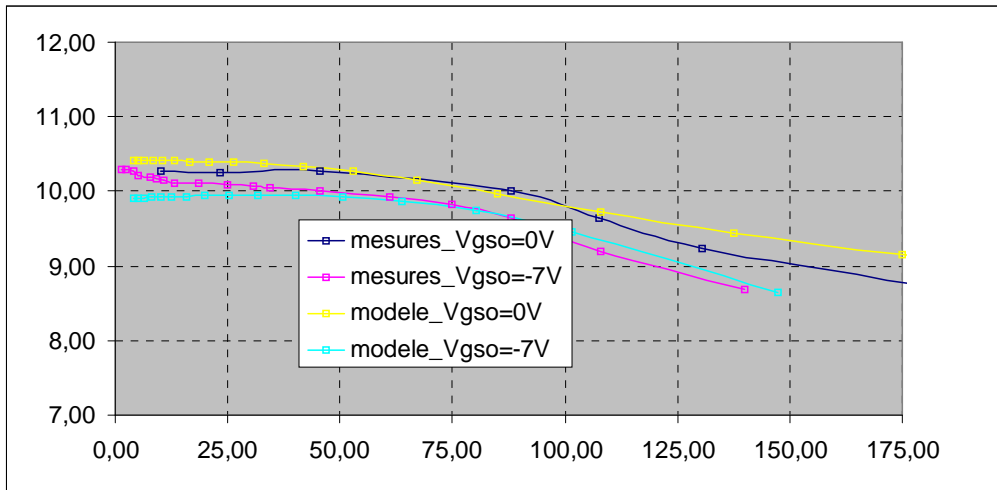


Figure 83 : Gain_dB=f(Pe_mW)

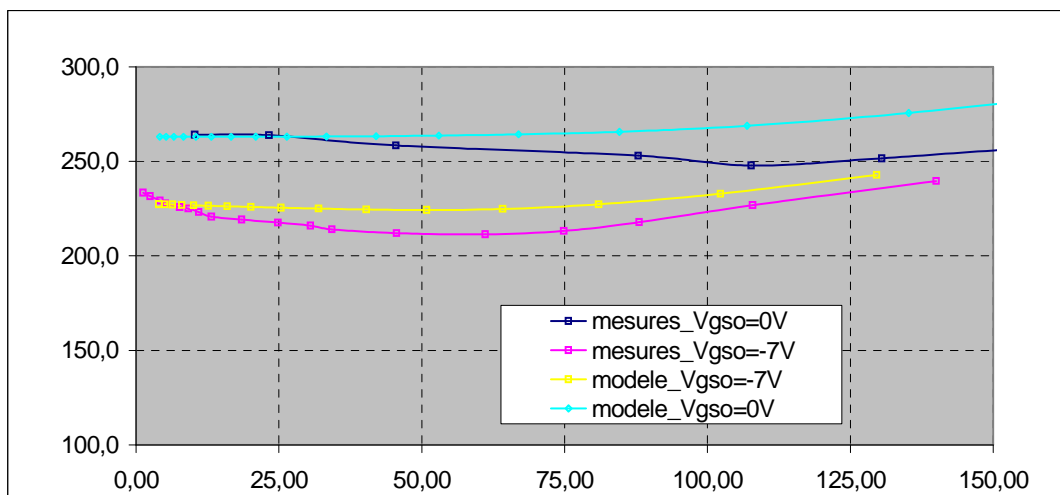


Figure 84 : Ids_mA(DC)=f(Pe_W)

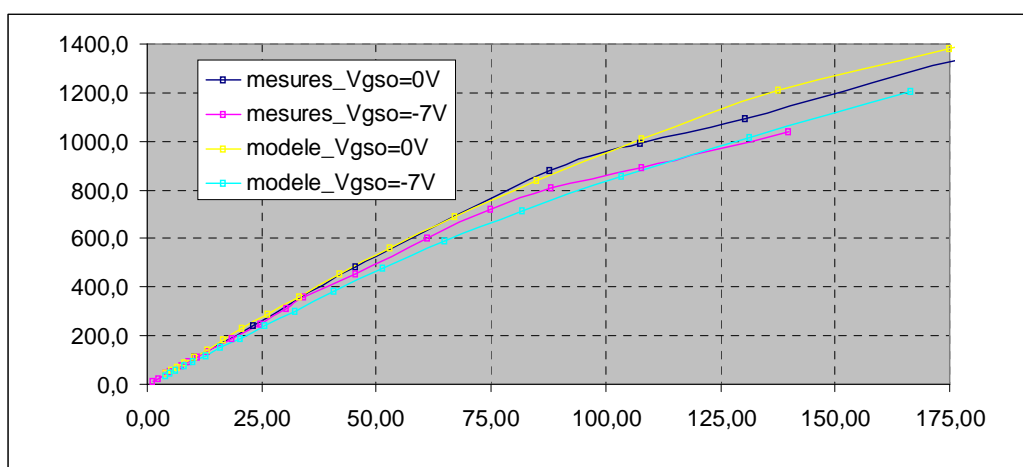


Figure 85 : Ps_W=f(Pe_W)

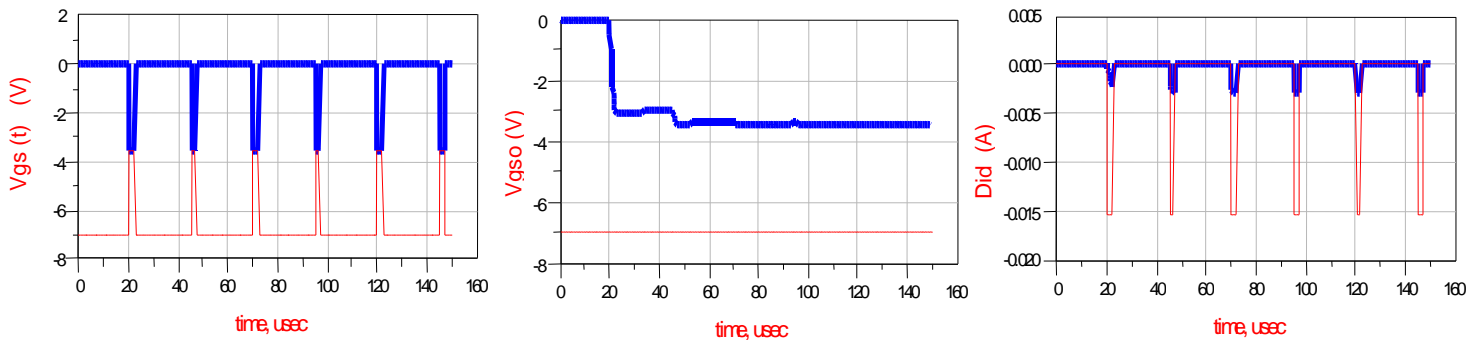


Figure 86 : Simulations pour les deux points de repos $V_{gs}=0V$ et $V_{gs}=-7V$

Nous pouvons constater un écart entre les mesures en puissance ayant un point de repos de grille initial de $0V$ et celles ayant un point de repos de grille initial de $-7V$. En effet, de meilleurs résultats en puissance sont obtenus lorsque $V_{gso}=0V$ puisque dans cette configuration, le transistor présente moins de pièges.

Cependant, les simulations effectuées dans les mêmes conditions que les mesures (Figure 86), montrent que pour le point de repos de grille de $0V$, les pièges captent des porteurs. En effet, dans ce cas, l'état de piège en régime établi est lié à la valeur de $V_{gs}(t)$ pendant l'impulsion ($V_{go}=-3.5V$). Ceci s'explique par la constante de temps de capture de piège qui est de l'ordre de $1\mu s$.

A l'inverse, les simulations montrent que pour un point de repos de $-7V$, les pièges ne libèrent aucun porteurs. Dans ce cas, l'état de pièges est fixé par la tension de polarisation de repos ($V_{gso}=-7V$). Ceci s'explique par la constante de temps de libération de piège qui est de l'ordre de $1ms$.

CONCLUSION:

Ce chapitre a montré l'élaboration d'un modèle non-linéaire de transistor GaN intégrant la modélisation des effets d'auto-échauffement et des phénomènes de pièges.

En dépit de sa complexité due à la prise en compte des pièges présents pour cette technologie non encore mature, ce modèle a montré de très bonnes propriétés de convergence pour des simulations CW fort signal de type Harmonique Balance.

Le modèle n'a pas été réellement éprouvé à ce stade pour ses qualités de prédiction de linéarité par des analyses d'intermodulation. Nous verrons, cependant, dans le dernier chapitre que les comparaisons d'intermodulation d'ordre 3 simulées et mesurées sur l'amplificateur sont tout à fait satisfaisantes.

BIBLIOGRAPHIE

- [49] **J.P. TEYSSIER, R. QUÉRÉ, J. OBREGON,**
"Accurate Non-linear Characterization of Microwave Semi-Conductor Devices Using Pulse Measurement Technique",
IEEE MTT Workshop, pp. 208-212, Ratingen (Germany), 1991
- [50] **JEAN PIERRE TEYSSIER**
"Caractérisation en impulsions des transistors micro-ondes : Application à la modélisation non-linéaire pour la C.A.O. des circuits",
Thèse de doctorat, Université de Limoges, Janvier 1994
- [51] **J.P. TEYSSIER, J.P. VIAUD, R. QUÉRÉ**
"A new Nonlinear I(V) model for FET devices including Breakdown Effects",
IEEE Microwave and Guided Wave Letters, Vol 4 N°4, pp104-106, Avril 1994
- [52] **Z. OUARCH, M. PEREZ, J.P. TEYSSIER, PH. BOUYASSE**
"Banc de caractérisation sous pointes de composants actifs en régime impulsif dans la bande 1-40 GHz",
JNM, Saint Malo, pp.510-511 Mai 1997
- [53] **J.P. TEYSSIER, PH. BOUYASSE, Z. OUARCH, AL.**
"40 GHz/150 ns Versatile Pulsed Measurement System for Microwave Transistor Isothermal Characterization",
IEEE MTT (Microwave Theory and Techniques), décembre 1998
- [54] **S. AUGAUDY**
"Caractérisation et modélisation des transistors micro-ondes, Application à l'étude de la linéarité des amplificateurs à fort rendement",
Thèse de doctorat, Université de Limoges, Mars 2002
- [55] **Y. TAJIMA, P.D. MILLER**
"Design of Broad Band Power GaAs FET Amplifiers,"
IEEE Trans. on MTT, vol 32, n°3, 1984
- [56] **S. FORESTIER, T. GASSELING, P. BOUYASSE AND AL.**
« A new non-linear capacitance model of millimeter wave power PHEMT for accurate AM/AM-AM/PM simulations »
Microwave and Wireless Components Letters, 2004, vol.14, pp 43-45
- [57] **J. J. RAOUX**
"Modélisation non-linéaire des composants électroniques : du modèle analytique au modèle tabulaire paramètre"
Thèse de doctorat, Université de Limoges, mars 1995
- [58] **C. LAGARDE, J.P. TEYSSIER, P. BOUYASSE AND AL.**
« A new non-linear electrothermal 3D spline model with charge integration for power FETs »
IEEE European Microwave conference, Paris, 2005
- [59] **J. PORTILLA, M. CAMPOVECCHIO, R. QUERE, J. OBREGON**
"A new coherent extraction method of FETs and Hemts models for MMIC applications,"
GaAs Symposium, Torino, Avril 1994.
- [60] **J.M. COLLANTES**
"Modélisation des transistors MOSFETs pour les applications RF de puissance,"
Thèse de Doctorat de l'Université de Limoges, 1996
- [61] **R.E. LEONI AND AL**
« A Phenomenologically based transient SPICE model for digitally modulated RF performance characteristics of GaAs MESFETs »,
IEEE Trans. MTT, vol. 49, no.6, June 2001

CHAPITRE III :

*Description des principales techniques de gestion
du compromis rendement-linéarité des
amplificateurs de puissance.*

INTRODUCTION

L'amplificateur de puissance est un élément clé des systèmes de communication. Son rôle est d'augmenter le niveau du signal modulé en vue de son application à l'antenne d'émission. Dans ce cas, l'amplificateur est le principal consommateur d'énergie du système. Il est alors indispensable d'optimiser le rendement électrique de l'amplificateur qui détermine la puissance d'alimentation consommée pour un niveau de puissance de sortie donné. Mais il convient également de toujours juger le degré de linéarité de l'amplificateur vis à vis des performances en rendement.

Pour satisfaire aux contraintes de faible consommation et de bonne linéarité, de nombreuses études ont été menées sur les classes de fonctionnement à haut rendement ainsi que sur les techniques de linéarisation. C'est dans la première partie de ce chapitre que nous aborderons ces techniques.

Dans une deuxième partie, nous nous intéresserons plus particulièrement à une technique d'amplification à haut rendement : l'amplificateur de type Doherty. Cette technique sera étudiée en détail.

Enfin, dans la dernière partie de ce chapitre, nous présenterons un état de l'art des amplificateurs Doherty existants et réalisés puis nous étudierons les différentes topologies d'amplificateurs Doherty rencontrées dans la littérature.

I. Problématique des amplificateurs de puissance.

I.1. Introduction sur l'amplification de puissance

I.1.1. Caractéristiques des signaux à enveloppe variable.

Les systèmes récents de télécommunication utilisent des techniques de modulation caractérisées par la génération de signaux à enveloppe variable.

Si ces modulations modernes sont performantes en termes de débit et d'efficacité spectrale, elles sont en revanche très exigeantes en terme de linéarité.

De part la nature de l'enveloppe non constante, les signaux modulés seront distordus si l'amplificateur de puissance est utilisé proche de la saturation. Il est possible de faire travailler l'amplificateur RF dans sa zone linéaire (technique de Back-off : recul en puissance), ce qui a pour effet d'augmenter la linéarité de ce dernier, mais au détriment du rendement. En effet, les amplificateurs de puissance présentent un rendement maximum seulement pour un niveau élevé de puissance, qui est habituellement proche de la puissance maximale délivrée par l'amplificateur or, lorsque le niveau d'entrée diminue, le rendement chute rapidement.

I.1.1.1. Définitions spécifiques des signaux à enveloppe variable.

Nous allons définir les quelques notions spécifiques aux signaux modulés à enveloppe variable et importantes pour le dimensionnement des amplificateurs de puissance . Il s'agit des notions de :

- Puissance moyenne P_{AVG} (Average Power): c'est la puissance moyenne du signal modulé sur le long terme.
- Puissance d'enveloppe $P_E(t)$ (Envelope Power) : c'est la puissance moyenne du signal modulé sur une période de la porteuse. Cette puissance varie donc au rythme du modulant.
- Puissance crête P_{PEP} (Peak Power) : c'est la valeur maximale de la puissance d'enveloppe.

- Facteur crête ξ (Peak to Average Ratio) : c'est l'écart entre la puissance moyenne

$$P_{AVG} \text{ et la puissance crête } P_{PEP} \Rightarrow \xi = 10 \cdot \log\left(\frac{P_{PEP}}{P_{AVG}}\right)$$

Lorsque l'on utilise des signaux modulés à enveloppe variable (modulations d'amplitude analogiques ou numériques, modulations de phase filtrées ... etc), le rapport peak-to-average est un paramètre important à connaître notamment pour définir le cahier des charges des amplificateurs présents dans la chaîne de transmission.

Pour illustrer les notions précédentes, la Figure 87 représente un signal modulé à Double Bande Latérale à Porteuse Conservée (DBLPC) et les puissances associées :

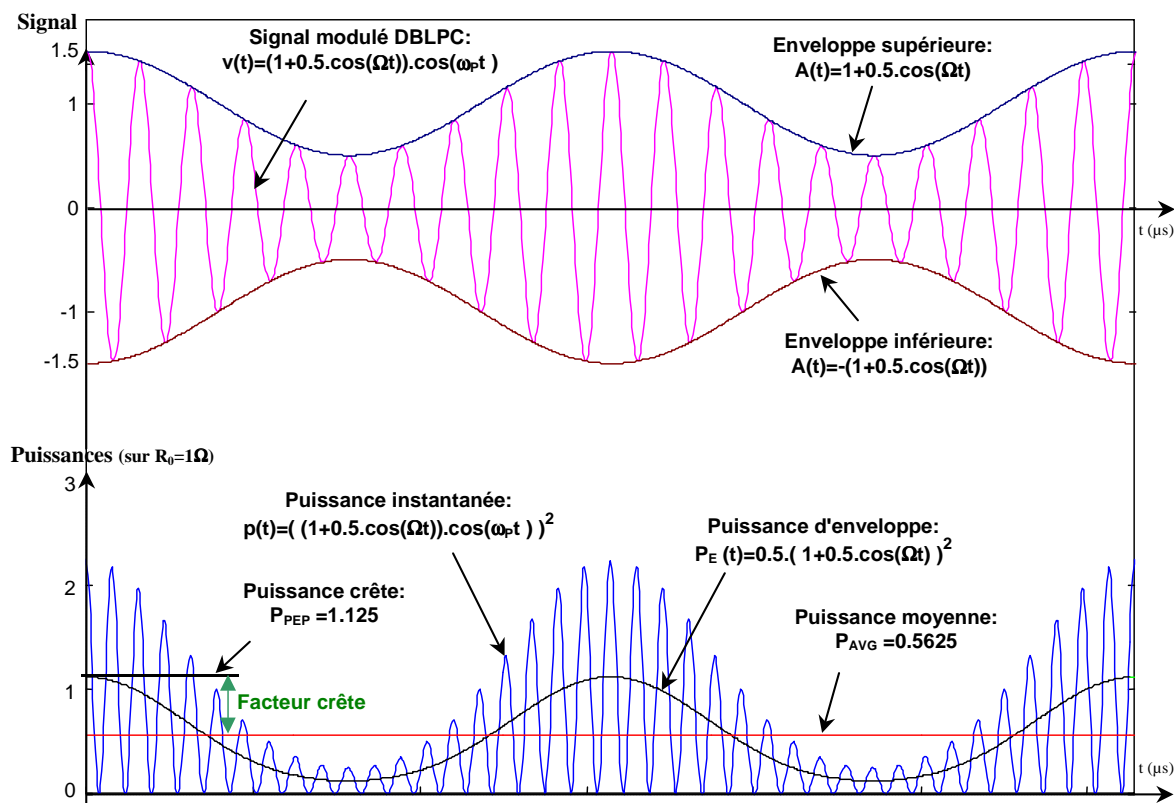


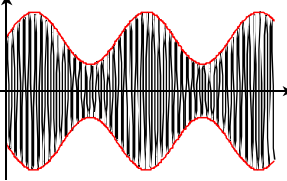
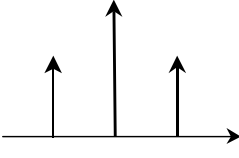
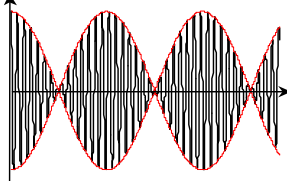
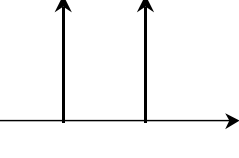
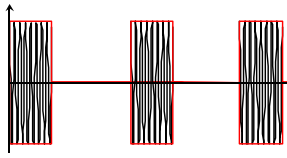

Figure 87 : Représentation des différentes puissances d'un signal modulé DBLPC

I.1.1.2. Caractéristiques de quelques modulations à enveloppe variable.

Toute modulation possède ses propres caractéristiques et en particulier son propre facteur crête.

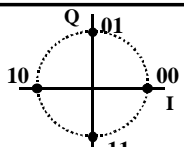
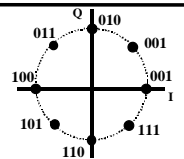
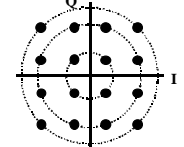
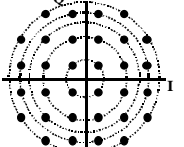
Le tableau suivant montre quelques exemples de modulations analogiques telles que :

- DBLPC : Double Bande Latérale à Porteuse Conservée.
- DBPLS : Double Bande Latérale à Porteuse Supprimée.
- Pulses RF de rapport cyclique α .

Modulation	Forme temporelle	Spectre	ξ (dB)
DBPLC			$0 \leq \xi \leq 4.26$
DBPLS			$\xi = 3$
Pulses RF			$\xi = 10 \log\left(\frac{1}{\alpha}\right)$ α : Rapport cyclique

Le tableau suivant montre quelques exemples de modulations numériques tels que :

- QPSK : 4 Phase Shift Keying.
- 8PSK : 8 Phase Shift Keying.
- 16QAM : 16 Quadrature Amplitude Modulations.
- 32QAM : 32 Quadrature Amplitude Modulations

Modulation	Diagramme IQ	Nombre d'états	ξ (dB)
QPSK 2 bits/symb		Amplitude: 1 Phase: 4	$\xi=0$: non filtré $\xi=4.6$: Nyquist ($\alpha=0.35$)
8PSK 3 bits/symb		Amplitude: 1 Phase: 8	$\xi=0$: non filtré $\xi=4.3$: Nyquist ($\alpha=0.35$)
16QAM 4 bits/symb		Amplitude: 3 Phase: 12	$\xi=2.5$: non filtré $\xi=6.2$: Nyquist ($\alpha=0.35$)
32QAM 5 bits/symb		Amplitude: 5 Phase: 28	$\xi=2.2$: non filtré $\xi=5.8$: Nyquist ($\alpha=0.35$)

Les contraintes sont encore plus drastiques pour un fonctionnement multi-porteuses. Par exemple, pour des modulations de type OFDM, le facteur crête peut atteindre 11 à 12 dB, ce qui constitue un véritable challenge pour l'optimisation du rendement de l'amplificateur.

I.1.2. Evaluation des performances d'un amplificateur de puissance

I.1.2.1. Puissances et rendement

L'amplificateur de puissance est l'élément actif de la chaîne d'émission qui permet d'amener le signal à un niveau suffisant pour l'émission (Figure 88). Il est donc situé entre le modulateur et l'antenne d'émission et son rôle essentiel est d'assurer une puissance d'émission suffisante pour une puissance d'entrée donnée.

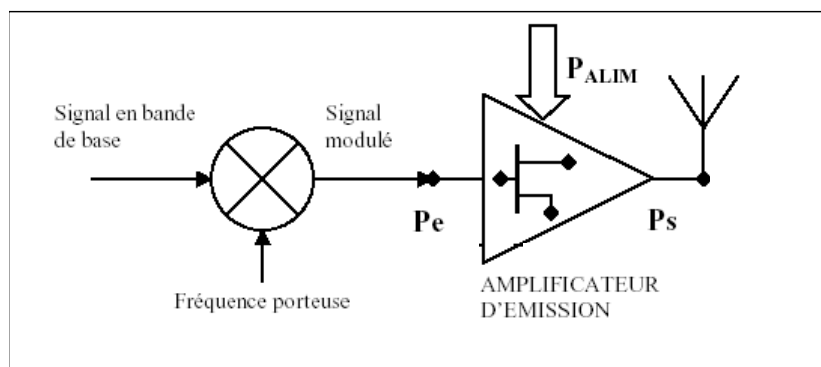


Figure 88 : Mise en œuvre des amplificateurs de puissance

Le fonctionnement de l'amplificateur est principalement déterminé par les composants actifs utilisés, c'est-à-dire les transistors. Les transistors ont besoin de sources continues d'alimentation qui permettent de fixer un point de polarisation autour duquel ils vont fonctionner.

Les puissances fournies à l'amplificateur sont :

- la puissance d'entrée à la fréquence de travail : P_e .
- la puissance DC fournie par l'alimentation : P_{ALIM} .

Les puissances de sortie résultantes sont :

- la puissance de sortie à la fréquence de travail : P_s .
- la puissance dissipée par effet Joule : P_d .

Le bilan des puissances donne :

$$P_d = P_{ALIM} + P_e - P_s$$

La puissance dissipée est de la puissance perdue par effet joule, le but est de transmettre le maximum de puissance à la charge et de minimiser cette puissance dissipée.

L'amplificateur de puissance est généralement caractérisé dans un premier temps en régime harmonique, par l'application d'un signal sinusoïdal sur son entrée, à une fréquence f_0

correspondante à la fréquence d'utilisation (Figure 89). Cette fréquence pourra être variable afin de connaître le comportement en fréquence de l'amplificateur.

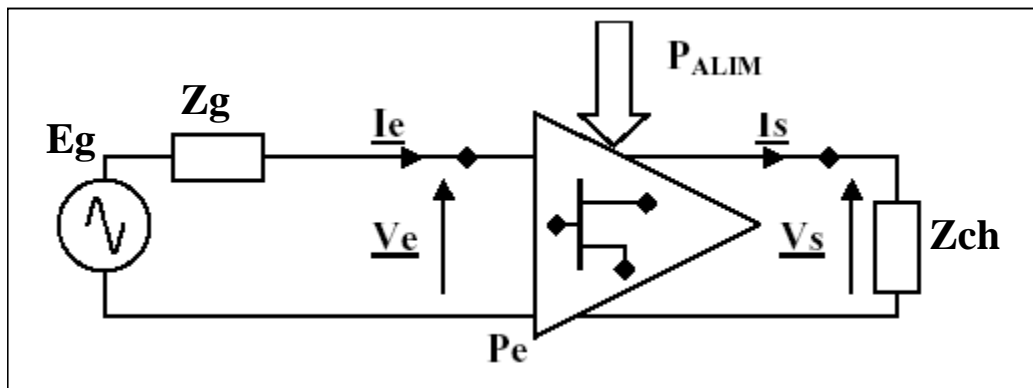


Figure 89 : Grandeurs caractéristiques liées aux amplificateurs

Pour de faibles signaux, le transistor peut-être considéré comme ayant un comportement linéaire, car la variation autour du point de repos est faible et la caractéristique de puissance entrée/sortie peut alors s'apparenter à une droite. Par contre, pour des signaux plus élevés, la caractéristique de puissance du transistor ne peut plus être considérée linéaire. En outre, lorsque l'amplitude des signaux est réellement importante, le transistor sature d'où une limitation de la puissance de sortie et donc une diminution du gain. Dans la zone de saturation représentée Figure 90, la puissance de sortie ne progresse plus et reste quasiment constante en fonction de la puissance d'entrée.

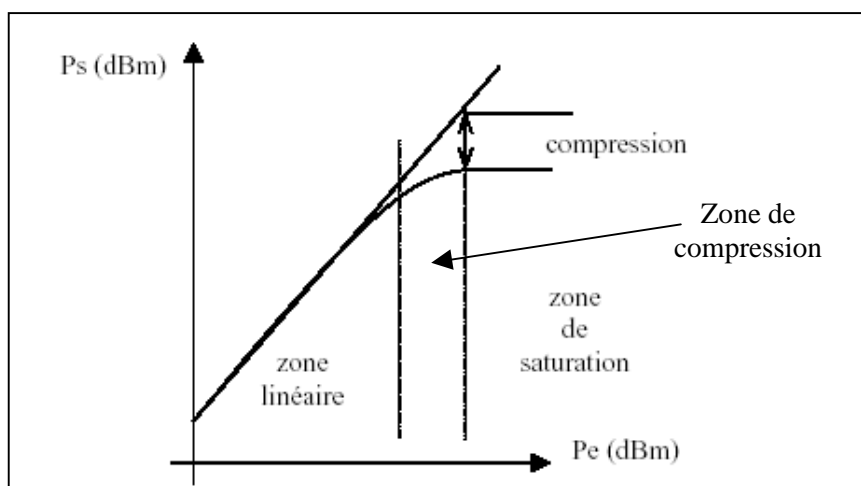


Figure 90 : Evolution de la puissance de sortie en fonction de la puissance d'entrée

La Figure 90 montre l'évolution classique de la puissance de sortie par rapport à la puissance d'entrée. Dans la partie linéaire, le rapport entre la puissance d'entrée et la puissance de sortie est le gain linéaire en puissance G_{lin} .

Lorsque l'amplificateur sature, le gain diminue et la différence entre le gain linéaire et le gain réel représente le taux de compression, exprimé en dB.

Un autre point essentiel pour les amplificateurs de puissance est la consommation électrique nécessaire pour obtenir un niveau de puissance de sortie souhaité. Ce point est caractérisé par le rendement de sortie, défini par le rapport entre la puissance de sortie utile et la puissance fournie par les alimentations en continu :

$$\eta = \frac{P_S}{P_{a\ lim}}$$

Pour des signaux modulés à enveloppe variable le rendement moyen s'exprime :

$$\eta = \frac{P_{S\ AVG}}{P_{dc\ AVG}}$$

Pour des applications à des fréquences élevées, la puissance d'entrée à fournir peut être importante. Il est alors intéressant d'utiliser la notion de puissance ajoutée, donnée par la différence entre les puissances d'entrée et de sortie. Le rendement en puissance ajoutée (ou PAE : power added efficiency) s'écrit alors :

$$\eta_{aj} = \frac{P_S - P_e}{P_{a\ lim}}$$

Le rendement en puissance ajoutée est bien entendu toujours inférieur au rendement de sortie. Mais plus le gain est élevé, plus la valeur du rendement en puissance ajoutée est proche de celle du rendement de sortie.

I.1.2.2. Grandeurs caractéristiques du comportement non linéaire des amplificateurs.

Il existe plusieurs systèmes qui permettent d'étudier la linéarité d'un amplificateur suivant le type de signal.

a) *Intermodulation d'ordre 3 (C/I₃)*

Le critère de linéarité d'intermodulation d'ordre 3 intervient lorsque sont présentes en entrée deux raies porteuses proches l'une de l'autre : séparées seulement de quelques MHz pour un fonctionnement de l'amplificateur au GHz.

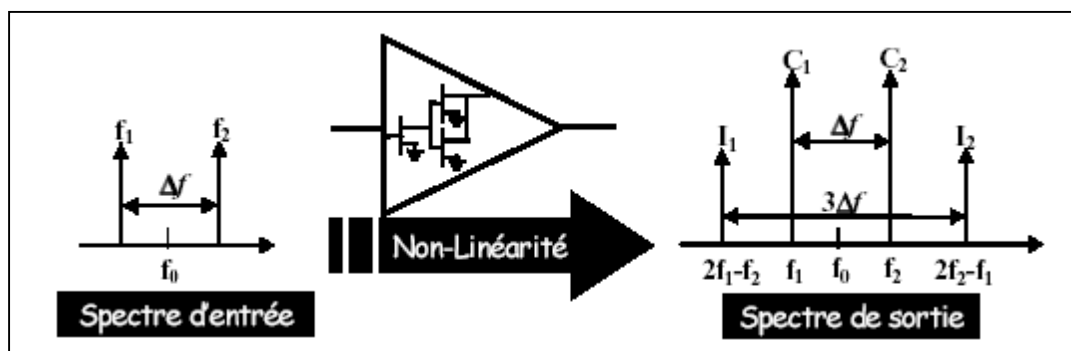


Figure 91 : Intermodulation d'ordre 3

Le rapport C/I₃ est défini comme étant la différence de puissances exprimée en dBc entre la raie à la fréquence f₁ ou bien à la fréquence f₂ et la raie d'intermodulation à la fréquence 2f₁-f₂ ou 2f₂-f₁ (Figure 91). Ce qui permet de définir le C/I₃ « gauche » et le C/I₃ « droit » car en pratique, leurs valeurs peuvent être différentes. Pour une caractérisation globale, le rapport d'intermodulation ordre 3 est souvent exprimé par la formulation suivante :

$$- \quad C / I_3 = 10 \cdot \log \left(\frac{C_1 + C_2}{I_1 + I_2} \right)$$

Typiquement, un bon amplificateur en linéarité doit avoir un C/I₃ supérieur à 20 dBc.

b) *Le Rapport ACPR (Adjacent Channel Power Ratio)*

L'ACPR (Adjacent Channel Power Ratio) consiste à appliquer à l'entrée d'un amplificateur un signal centré sur la fréquence de travail et couvrant la bande utile du canal de

transmission (Figure 92). Le bruit d'intermodulation est caractérisé par l'ACPR qui est le rapport de niveau de puissance du canal utile sur celui du canal voisin situé à Δf . Tout comme pour l'intermodulation d'ordre 3, il est parfois intéressant de dissocier l'ACPR gauche et droit car en pratique ces valeurs peuvent s'avérer différentes.

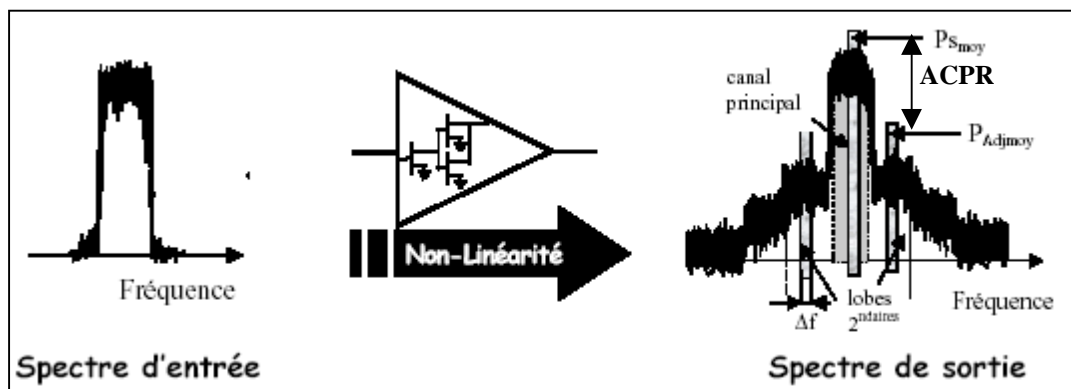


Figure 92 : ACPR

Typiquement, un bon amplificateur en linéarité doit avoir un ACPR supérieur à 37 dBc.

c) Le critère NPR (Noise Power Ratio)

Cette méthode permet d'obtenir de manière fine, en utilisant un bruit blanc gaussien sur une bande de fréquence, le comportement de l'amplificateur pour une excitation multi-porteuses.

La mesure du NPR consiste à évaluer les distorsions d'intermodulation en faisant le rapport du signal à bruit dans une bande définie. Pour cela, le signal d'entrée possède dans sa bande de fonctionnement un « trou » de faible largeur réalisé avec un filtre réjecteur de fréquence. L'amplification de ce signal en régime non-linéaire engendre des distorsions dues aux intermodulations multiples.

Après amplification, le NPR représente la différence entre le niveau du signal amplifié et le bruit dû aux produits d'intermodulation situés dans le trou (Figure 93).

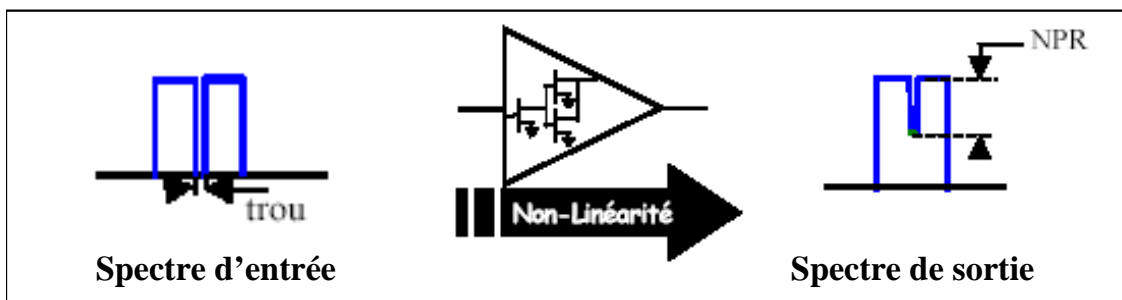


Figure 93 : NPR

Typiquement, un amplificateur doit avoir un NPR supérieur à 15 dB.

d) L'EVM (Error Vector Measurement)

L'EVM représente la différence d'enveloppe du signal modulé après amplification entre la réalité (cas non-linéaire) et l'idéal (système parfaitement linéaire), ceci aux instants de décision. Cette mesure représentée dans le plan complexe (I,Q) de l'enveloppe permet d'obtenir les informations sur les erreurs de phase et d'amplitude engendrées par l'amplificateur. On la représente typiquement comme indiqué Figure 94 : ce critère mesure sur l'ensemble d'une constellation l'écart de position entre le symbole obtenu et la position idéale attendue.

Elle s'exprime en % par la formule suivante :

$$EVM \quad (\%) = 100 \cdot \sqrt{\frac{\frac{1}{N} \sum_{k=1}^N |S_{\text{idéel}} - S_{\text{réel}}|^2}{\frac{1}{N} \sum_{k=1}^N S_{\text{idéel}}^2}}$$

Typiquement, un bon amplificateur en linéarité doit avoir un EVM inférieur à 4%.

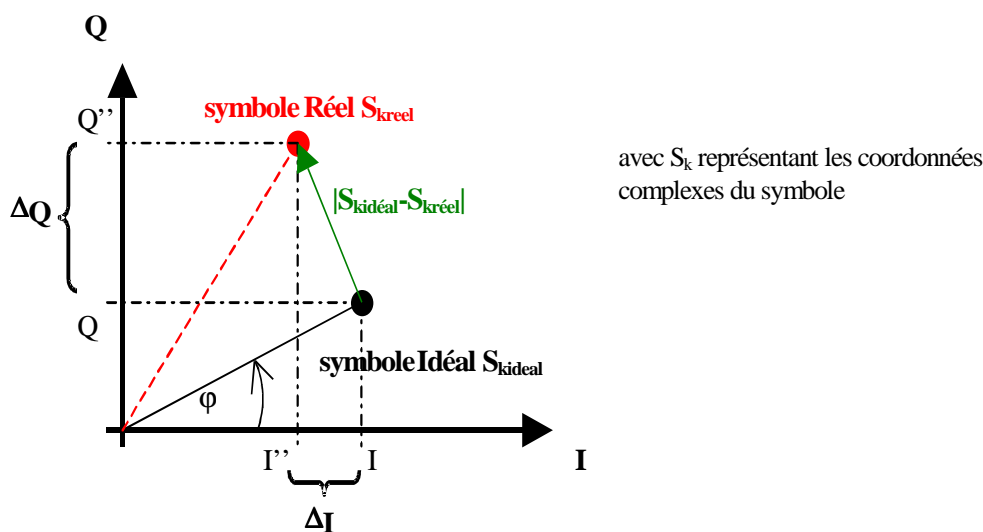


Figure 94 : Caractérisation de l'EVM

I.2. Présentation de la problématique puissance / rendement / linéarité.

De nombreuses applications nécessitent l'emploi d'amplificateurs de puissance à haut rendement. Nous pouvons citer les systèmes de radiocommunications mobiles mais également les systèmes de communications par satellite.

Pour de tels systèmes, la consommation conditionne à la fois le poids et l'autonomie des équipements. La linéarité de la chaîne de transmission influe quant à elle sur la qualité de la transmission.

De manière générale, il convient de maximiser le rendement pour diminuer l'auto-échauffement et la gestion de l'évacuation des calories

Pour satisfaire aux contraintes de faible consommation et de bonne linéarité, de nombreuses études ont été menées sur les classes de fonctionnement à haut rendement ainsi que sur les techniques de linéarisation. La linéarité est souvent associée à un fonctionnement de l'amplificateur avec du recul par rapport à la compression alors que le rendement est associé à un fonctionnement fortement non linéaire (en zone de compression). Ces deux objectifs sont souvent contradictoires et nécessitent l'étude d'un compromis délicat.

La Figure 95 suivante représente le compromis linéarité – rendement pour un signal à enveloppe variable.

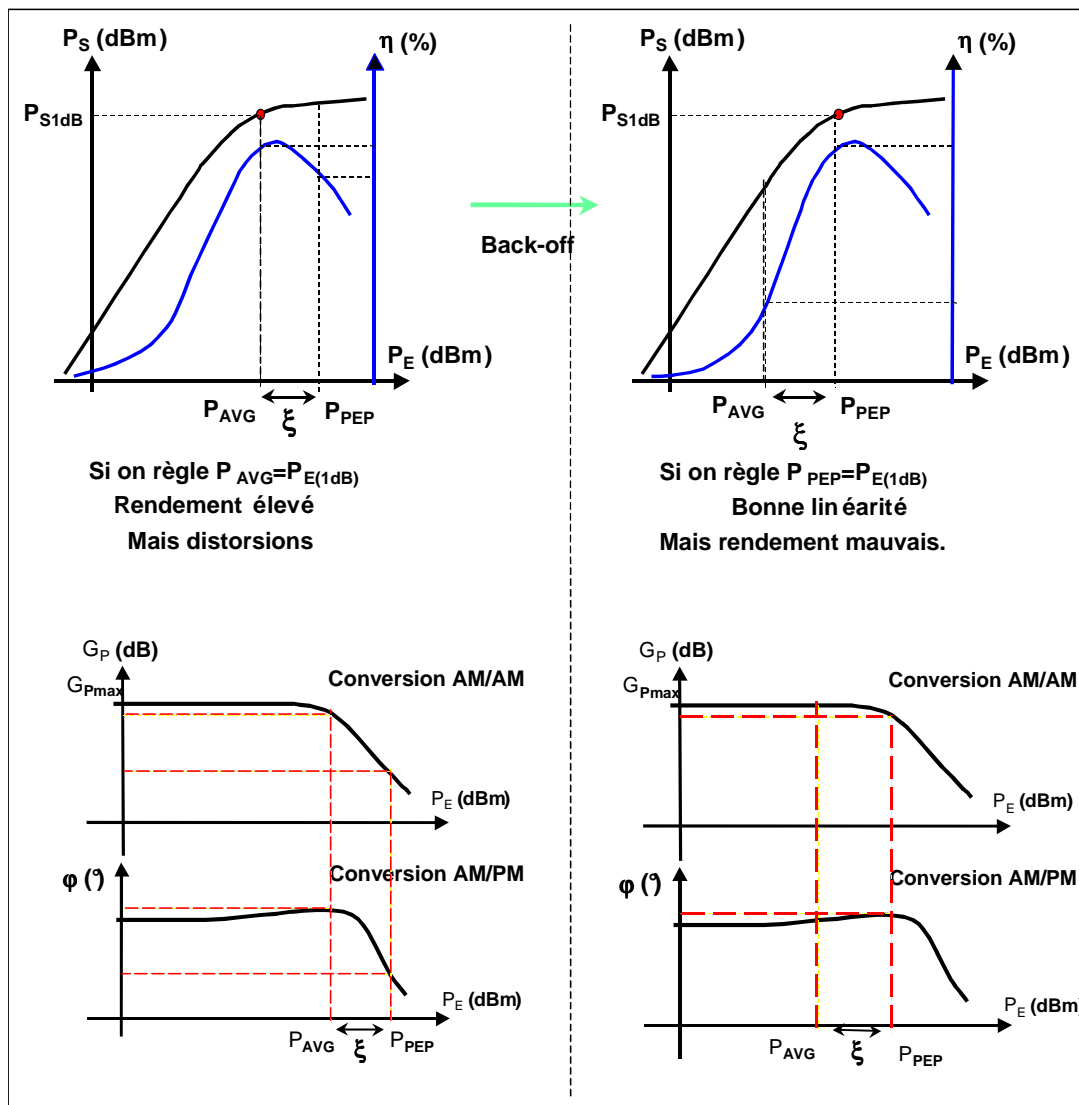


Figure 95 : compromis linéarité / rendement – Principe du back-off

Pour pallier à ce problème, nous pouvons dégager deux axes de recherche dans ce domaine :

- **Première approche** : Les techniques de linéarisation.

Ces techniques permettent d'améliorer le fonctionnement d'un amplificateur en agissant sur le signal (circuits de linéarisation), le fonctionnement intrinsèque de l'amplificateur n'est pas remis en cause :

- Linéarisation par pré-distorsion
- Feedback
- LINC (Linear amplification with Non-linear Components)
- CALLUM (Combined Analog Locked-Loop Universal Modulator)
- Feedforward

- **Deuxième approche** : Les techniques de gestion dynamique de puissance.

Il s'agit de déterminer les conditions de fonctionnement optimales des cellules constituant l'amplificateur afin d'obtenir le meilleur compromis linéarité/consommation. Dans ce cas, on peut agir sur la charge ou sur les polarisations des transistors constituant le circuit :

- Polarisation dynamique
- EER (Elimination de l'Enveloppe et Restauration)
- Techniques Doherty

I.3. Principes des techniques de linéarisation : systèmes de correction des distorsions non-linéaires.

Dans ce paragraphe, nous allons succinctement rappeler les différentes techniques de linéarisation qu'il est possible d'utiliser pour un amplificateur.

I.3.1. Linéarisation par pré-distorsion.

Les techniques de pré-distorsions agissent sur le signal en amont de l'amplificateur (Figure 96). [62], [63].

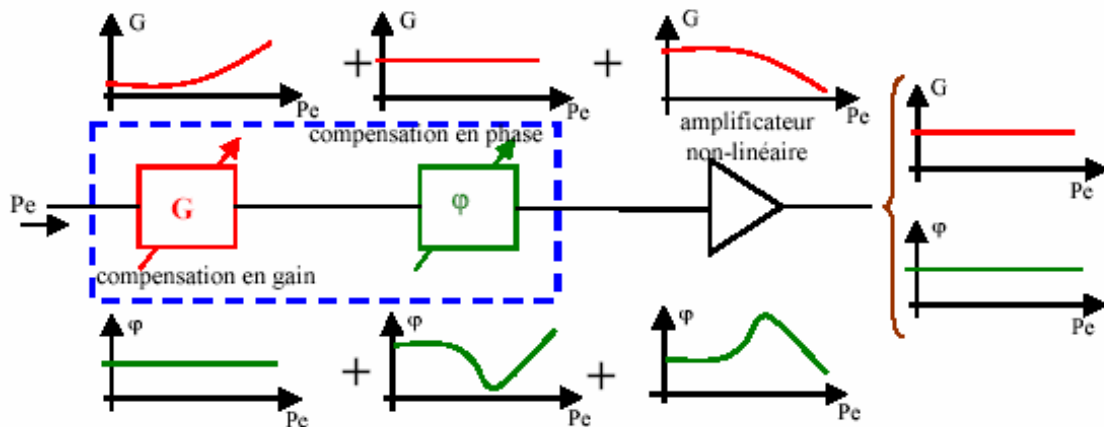


Figure 96 : Système de linéarisation par prédistorion.

Cette approche implique de créer une caractéristique de distorsion complémentaire à celle de l'amplificateur, le système résultant de la mise en série de la pré-distorsion et de l'amplificateur présentera peu ou pas de distorsion de sortie [64], [65], [66].

Dans le cas idéal, l'élément de pré-distorsion génère un signal avec une distorsion qui est l'opposée de celle due à l'amplificateur. Lorsque le générateur et l'amplificateur sont cascades ensemble la distorsion est éliminée.

Il n'y a pas de contre-réaction dans cette technique, le système fonctionne comme une boucle ouverte. Cela signifie que la distorsion à éliminer doit être connue par avance et que les performances peuvent être sensibles à des variations telles que les variations de température. Cette opération de Prédistorion peut être analogique (élément non linéaire précédent l'amplification) ou numérique (prédistorion du signal de modulation en bande de base). La difficulté essentielle de ces techniques consiste à prendre en compte les effets de mémoire de l'amplificateur.

I.3.2. Contre- réaction : Feedback

La méthode 'Feedback' a pour but d'améliorer la linéarité de l'amplificateur en agissant sur la compensation de gain et la compensation de phase en tenant compte des deux signaux présents en entrée et en sortie de l'amplificateur. Afin de s'affranchir d'une étude préalable sur la modélisation de l'amplificateur, notamment des effets mémoires, la méthode

'Feedback' corrige dynamiquement les non-linéarités engendrées par l'amplificateur en comparant le signal avant amplification avec celui obtenu en sortie [67], [68].

Différentes topologies existent, mais le principe reste le même, à savoir réaliser en entrée de l'amplificateur une compensation en gain et une compensation en phase en tenant compte du signal de sortie et des non-linéarités engendrées par l'amplificateur (Figure 97).

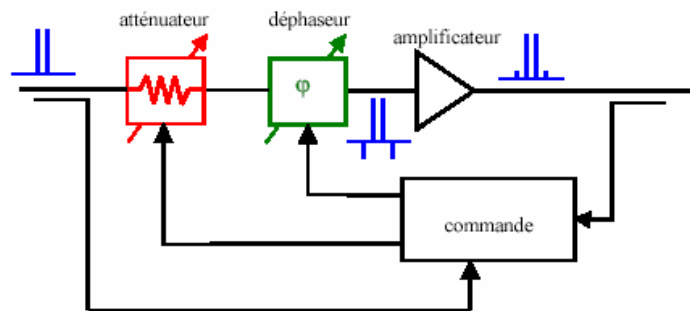


Figure 97 : Synoptique du système de linéarisation 'Feedback'

L'inconvénient est la limitation en bande de modulation inhérent à tout système ayant des boucles de réaction.

I.3.3. LINC (Linear amplification with Non-linear Components)

Cette méthode utilise la propriété de décomposition d'un signal modulé à enveloppe variable en deux signaux à enveloppe constante [69], [70]. Pour cela, le signal est séparé en deux composantes distinctes à enveloppe constante et à modulation de phase uniquement. Chacune des deux composantes est amplifiée séparément par un amplificateur fonctionnant à la saturation, ce qui permet d'obtenir un haut rendement et une forte puissance de sortie avant d'être recombinaée en sortie. (Figure 98)

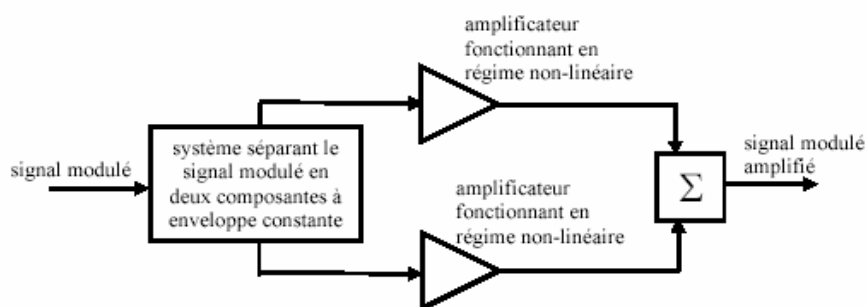


Figure 98 : Synoptique d'un système de linéarisation utilisant la méthode du LINC.

Les deux plus importantes difficultés de cette méthode sont d'ajuster les deux chemins en phase et en amplitude afin d'obtenir une élimination des composantes d'intermodulation et d'avoir deux amplificateurs identiques. La combinaison en puissance de sortie est également délicate car les signaux sont par principe de phase différente. On risque alors de perdre, par une mauvaise recombinaison de puissance, le bénéfice apporté par cette technique

I.3.4. CALLUM (Combined Analog Locked-Loop Universal Modulator)

La technique CALLUM est une technique de contre-réaction qui a pour but de régler les problèmes de phase et de gain évoqués pour le LINC.

Les distorsions issues de la dispersion de la technologie utilisée pour les amplificateurs ainsi que les non-linéarités engendrées par les fluctuations des enveloppes des deux composantes issues de la méthode LINC, sont corrigées par la démodulation du signal de sortie en deux signaux en quadrature. Ces signaux sont comparés avec ceux d'entrée et utilisés pour générer des signaux d'erreur [71], [72].

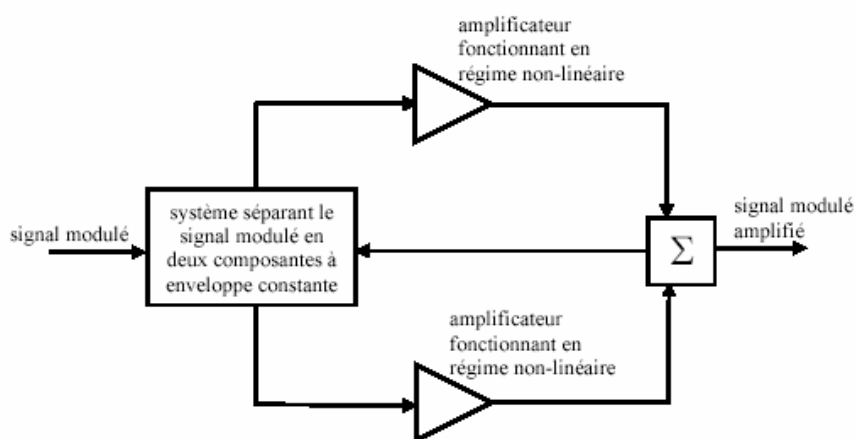


Figure 99 : Synoptique simplifié du système de linéarisation utilisant le principe CALLUM.

Cette méthode offre le même avantage que la méthode LINC : utilisation des amplificateurs en fort régime sans détériorer la linéarité. Mais la mise en œuvre du système de commande et de séparation du signal modulé en deux composantes à enveloppe constante reste tout de même difficile à concevoir.

I.3.5. Feedforward

Ce principe est expliqué Figure 100 par une représentation d'un signal biporteuse dans le domaine fréquentiel. On retire, après comparaison avec le signal d'entrée, les raies aux fréquences d'intermodulation [73], [74]. Ce procédé nécessite au moins deux boucles, une pour séparer les raies d'intermodulation du signal utile et l'autre pour les supprimer.

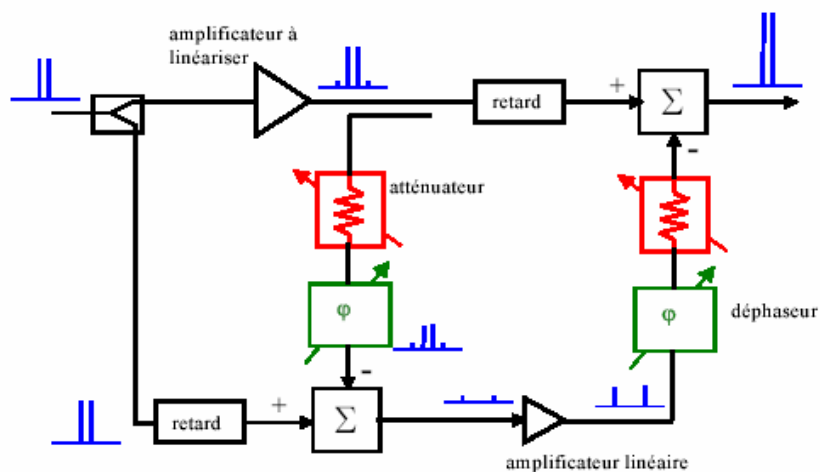


Figure 100 : Exemple d'un synoptique d'un système de linéarisation d'un amplificateur utilisant le principe 'Feedforward'.

Une partie du signal est retardée dans une ligne afin de compenser le retard apporté par l'amplificateur. L'autre partie de la puissance HF d'entrée est amplifiée par l'amplificateur de puissance principal. Une partie du signal de sortie est prélevée dans un coupleur, atténuée puis envoyée dans un combineur hybride où elle est comparée avec le signal venant de la ligne de retard. Avec un atténuateur ajustable pour adapter les niveaux des signaux HF, on récupère seulement en sortie du combineur hybride les distorsions générées par l'amplificateur de puissance. Celles-ci sont ensuite amplifiées dans un amplificateur classe A fortement linéaire. Le signal sortant de l'amplificateur d'erreur linéaire est constitué idéalement des distorsions créées par l'amplificateur principal à linéariser. Avec la ligne à retard dans le second chemin, on élimine en sortie les distorsions générées par l'amplificateur principal.

Le composant le plus critique dans le système FeedForward est l'amplificateur d'erreur linéaire : il ne doit pas contribuer lui-même à générer des produits d'intermodulation d'une part et avoir un gain important d'autre part.

Cependant, une telle technique de linéarisation se fait au détriment du rendement global. Elle est généralement utilisée au niveau système pour finir de linéariser un amplificateur déjà pré-optimisé.

I.4. Principes des techniques de haut rendement : contrôle actif d'un paramètre de l'amplificateur.

I.4.1. Gestion dynamique des polarisations.

La commande dynamique de la polarisation de l'amplificateur permet de modifier intrinsèquement son comportement suivant le niveau de puissance appliqué en entrée. Le but est de rechercher les valeurs minimales de polarisation afin de diminuer la puissance continue consommée pour une puissance de sortie donnée.

Si l'amplificateur est polarisé en classe A, lorsque le niveau de puissance du signal diminue, le courant moyen reste constant comme illustré Figure 101. Par conséquent, une diminution du rendement est inévitable. Le rendement d'un tel système d'amplification est globalement faible dans le cas de l'amplification d'un signal à enveloppe variable. L'origine de cette diminution de rendement provient de la diminution de l'excursion du courant et de la tension.

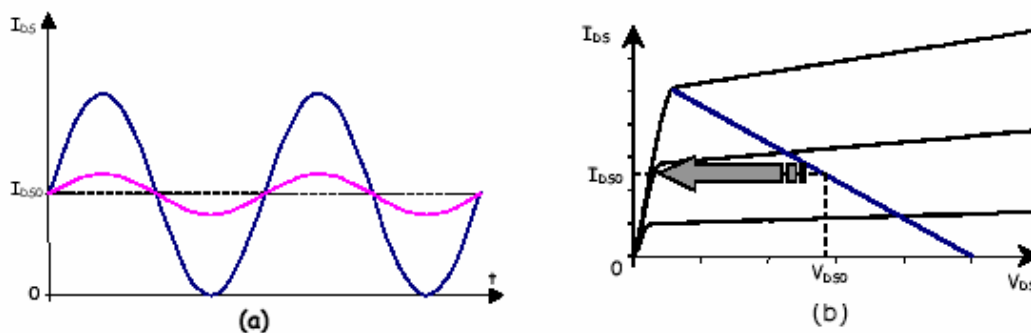


Figure 101 : Principe de la diminution de rendement pour un signal à enveloppe variable pour un amplificateur polarisé en classe A

Par contre, lorsque l'amplificateur est polarisé en classe B, une diminution de la puissance du signal entraîne une diminution de l'enveloppe du signal mais également une diminution du courant moyen comme illustré Figure 102. Ce qui permet d'obtenir un rendement plus important que dans le cas d'une polarisation en classe A. L'utilisation d'une polarisation en classe B peut permettre de maintenir le rendement de l'amplificateur.

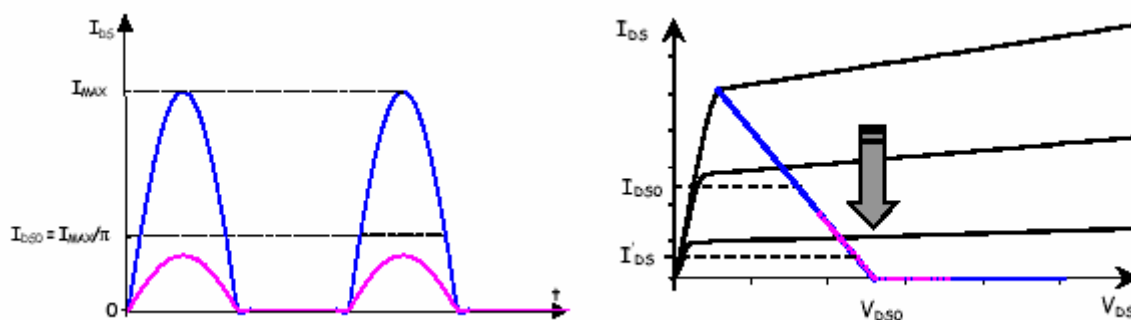


Figure 102 : Principe de l'amplification en classe B

Pour palier à ce problème de diminution du rendement, il est possible d'utiliser une polarisation variable sur la grille et le drain d'un transistor. Si les niveaux de polarisations du courant et de la tension varient en suivant l'évolution de l'amplitude du signal, il est alors possible de conserver ou de maintenir un rendement élevé [75], [76]. Il suffit de faire évoluer les niveaux de polarisations en fonction de l'enveloppe du signal : l'amplificateur doit être polarisé dynamiquement.

Stéphane Forestier [64] a montré tout l'intérêt de cette technique en prenant comme exemple un signal modulé 16QAM (Figure 103).

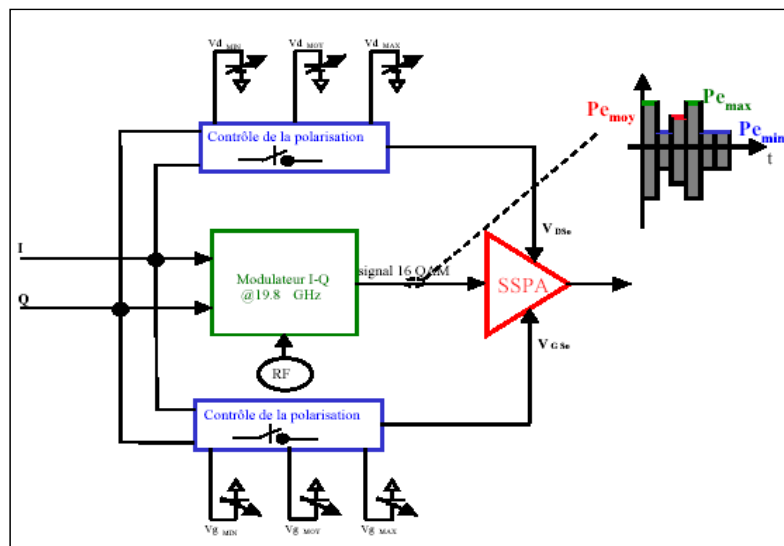


Figure 103 : Schématic de la gestion dynamique des polarisations pour un signal 16QAM

Il s'agit là d'une commutation des valeurs discrètes d'enveloppe qui s'applique parfaitement aux modulations numériques non filtrées. Un suivi continu de l'enveloppe de modulation est également possible mais plus complexe à mettre en œuvre.

I.4.2. E.E.R. (Elimination de l'Enveloppe et Restauration)

Cette technique s'appuie sur la commande intrinsèque de l'amplificateur suivant la forme de l'enveloppe du signal d'entrée. L'idée fut mise au point en 1950 par Kahn. Cette technique dite aussi de 'Kahn' consiste à éliminer et à restaurer l'enveloppe du signal modulé permettant ainsi de concilier les performances en rendement avec la linéarité du système.

En effet après détection de l'enveloppe du signal, celle-ci est éliminée du signal d'entrée par un limiteur rendant le signal à amplifier constant avec un seul niveau de puissance (Figure 104). L'enveloppe est ensuite restituée par le biais de la commande de la polarisation de drain (pour un FET) qui se trouve modulée suivant la forme de l'enveloppe. Le fait d'amplifier avec un seul niveau de puissance permet de faire fonctionner l'amplificateur en compression tout en restant linéaire (similaire à la méthode LINC). Le fonctionnement en régime non-linéaire permet d'allier la linéarité : un seul niveau de puissance, avec les performances optimales de l'amplificateur en termes de puissance de sortie et de rendement en puissance ajoutée [77], [78].

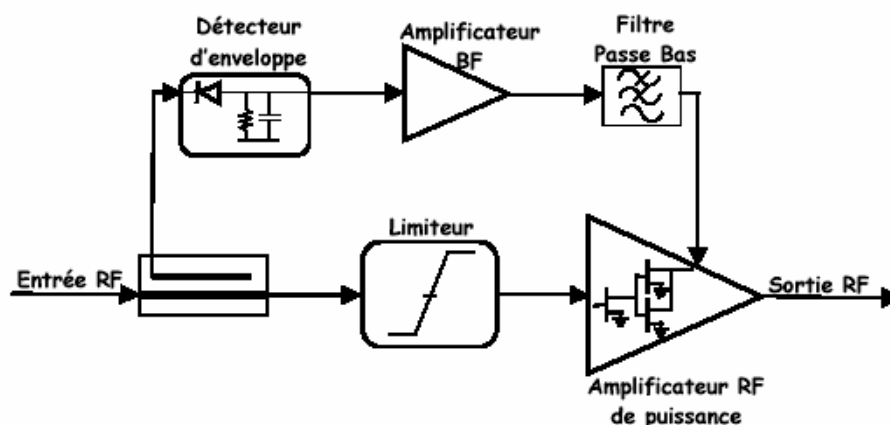


Figure 104 : Synoptique du système EER

Le signal RF d'entrée passe dans un limiteur, afin d'éliminer la variation de l'enveloppe du signal, créant ainsi un signal à amplitude constante tout en conservant la modulation en phase. Ce signal à enveloppe constante va pouvoir être amplifié par un

amplificateur RF de puissance à haut rendement fonctionnant en classes B, C, D, E ou F et utilisé en zone de saturation pour obtenir un rendement élevé. L'amplification de ce signal à enveloppe constante permet d'éliminer les distorsions AM/PM puisque que l'amplificateur RF de puissance travaille à puissance constante.

La variation d'enveloppe du signal est récupérée à l'aide d'un détecteur d'enveloppe par l'intermédiaire d'un coupleur à l'entrée du circuit. Cette enveloppe, qui est un signal basse fréquence (BF) est ensuite amplifiée par un amplificateur BF à découpage dit classe S permettant d'obtenir un rendement proche de 100%. L'amplificateur classe S utilise le principe d'une modulation par largeur d'impulsion (MLI) et nécessite d'insérer un filtre passe-bas pour prélever la valeur moyenne du signal découpé. L'amplificateur utilisé en commutation permet d'obtenir un rendement en puissance ajoutée proche de 100% en BF. L'enveloppe du signal ainsi amplifiée permet de polariser le drain de l'amplificateur RF dans le but de reconstituer la variation d'enveloppe en sortie.

Pour cela, il faut que la variation de gain à saturation de l'amplificateur soit une fonction linéaire de la tension de drain V_{dso} pour reconstituer linéairement l'enveloppe de modulation en sortie. Il faut aussi que la variation de polarisation n'engendre pas de conversion AM/PM. Ce principe reste pour l'instant limité en faible bande passante de modulation.

II. Présentation de la technique Doherty.

Pour apporter une solution intéressante à la problématique de rendement, il existe, en particulier, la technique proposée par Doherty en 1936 [79].

L'objectif de cette technique est de maintenir le rendement de l'amplificateur à une valeur élevée pour une variation importante de la puissance d'entrée, ce qui permet par exemple d'utiliser un back-off en puissance de sortie (OBO) tout en ayant un rendement correct. Cette partie de la thèse est consacrée à la description de l'amplificateur Doherty ainsi qu'à une synthèse des différentes publications sur ce sujet.

II.1. Schéma de principe de l'amplificateur Doherty

Les performances d'un amplificateur sont principalement déterminées par le point de polarisation et l'impédance de charge présentée en sortie des transistors. La technique Doherty permet de modifier cette impédance de charge en fonction du niveau de puissance d'entrée, grâce à l'utilisation de deux amplificateurs : un principal (ou « main ») et un auxiliaire (ou « peaking »).

En effet, la technique Doherty résulte de deux amplificateurs couplés à leur sortie par un inverseur d'impédance et par l'impédance de charge, comme présenté en Figure 105.

L'amplificateur auxiliaire se comporte comme une charge active pour l'amplificateur principal. Ainsi, lorsque la puissance d'entrée augmente, l'amplificateur auxiliaire commence à conduire et modifie la charge présentée à l'amplificateur principal.

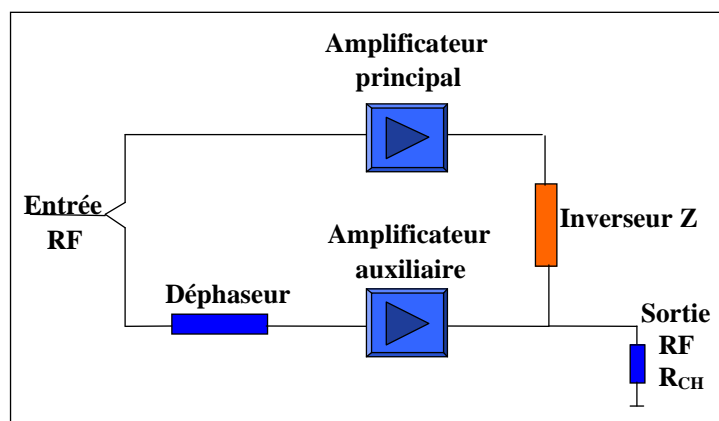


Figure 105 :Schéma général d'un amplificateur Doherty

Le principe de fonctionnement est le suivant :

- à faible niveau de puissance d'entrée, seul l'amplificateur principal fournit de la puissance, l'amplificateur ne conduit pas. L'impédance de charge présentée au principal doit être optimale pour un fonctionnement de celui-ci à bas niveau.
- à niveau de puissance moyen, l'amplificateur auxiliaire commence à conduire et fournit de la puissance. Ce niveau de puissance où l'amplificateur auxiliaire passe de l'état bloqué à la conduction est appelé communément point de transition P_{α} . La mise en conduction de l'amplificateur auxiliaire permet une modification de l'impédance de charge présentée à l'amplificateur principal, pour qu'elle évolue progressivement vers son impédance optimale à fort niveau R_{opt} .
- à fort niveau les deux amplificateurs sont saturés. Leurs impédances de charge sont optimales à fort niveau (R_{opt}). Leurs 2 puissances doivent se combiner le mieux possible en sortie

Le principe même de l'amplification Doherty est obtenu grâce à l'inverseur d'impédance situé entre les sorties des deux amplificateurs.

La manière la plus simple de réaliser cette fonction d'inverseur d'impédance est l'utilisation d'une ligne quart d'onde (Figure 106). L'expression de l'impédance ramenée par cette ligne est la suivante :

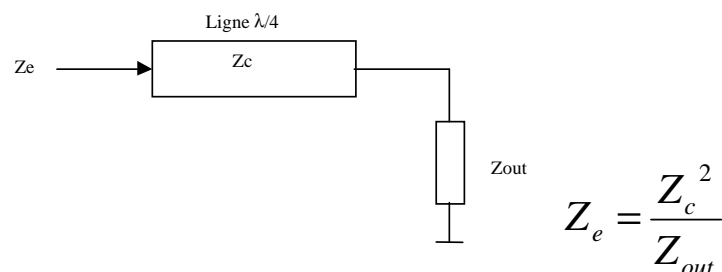


Figure 106 : Inverseur d'impédance : ligne quart d'onde

Cette topologie d'inverseur d'impédance présente deux inconvénients :

- L'amplificateur Doherty va être bande étroite.
- Il introduit un déphasage de 90° qu'il va falloir compenser pour obtenir une bonne recombinaison en phase des signaux de sortie au niveau de la charge d'utilisation.

Pour compenser ce déphasage dû à la ligne $\lambda/4$ (inverseur d'impédance), une deuxième ligne $\lambda/4$ peut être placée en entrée de l'amplificateur auxiliaire. On pourra également utiliser, un coupleur 3 dB hybride $0-90^\circ$. De cette manière, il y aura aussi recombinaison en phase des signaux en sortie.

Le nouveau schéma intégrant les lignes quart d'onde est Figure 107:

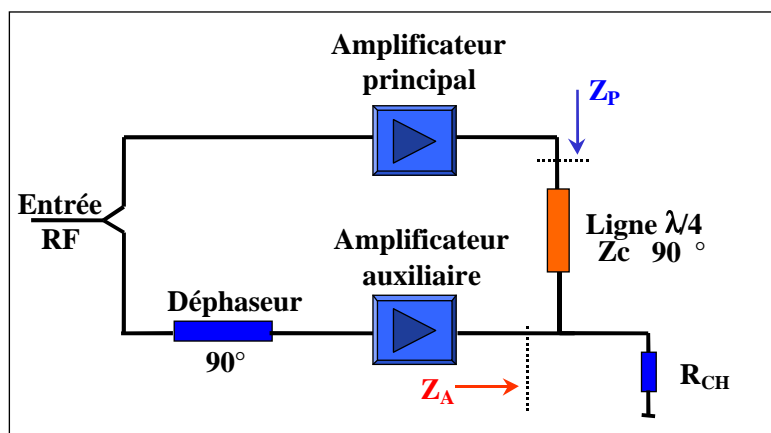


Figure 107 : Schéma d'amplificateur Doherty

Remarque : la fonction d'inversion d'impédance est essentielle. En effet, comme le montre l'expression de la Figure 108, un transformateur d'impédance ne peut pas faire fonction d'inverseur d'impédance et ne peut donc être utilisé pour une structure Doherty.

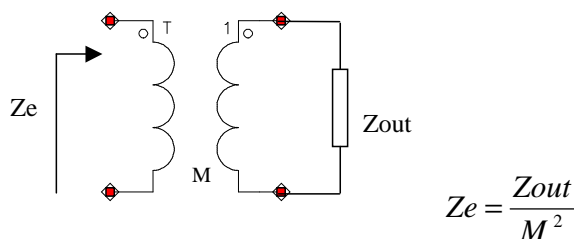


Figure 108 : Transformateur d'impédance

II.2. Etude théorique générale de l'amplification Doherty

II.2.1. Relations de base

Le schéma de la Figure 107 peut être simplifié en représentant les deux transistors par des sources de courant commandées en tension (effet fondamental) : Figure 109.

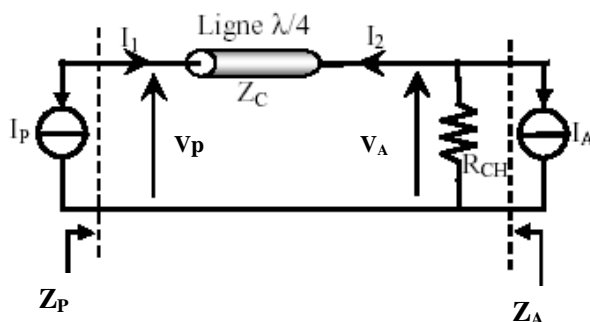


Figure 109 : Circuit simplifié d'amplificateur Doherty

Z_C représente l'impédance caractéristique de la ligne quart d'onde.

Z_P représente l'impédance de charge vue par le transistor principal et Z_A celle vue par l'amplificateur auxiliaire.

R_{CH} représente l'impédance de charge de l'amplificateur.

I_p représente le courant de drain du transistor de l'amplificateur principal et I_A celui de l'amplificateur auxiliaire.

V_p représente la tension de drain du transistor principal et V_A celle de l'amplificateur auxiliaire.

Pour une ligne de transmission quart d'onde d'impédance caractéristique réelle, les relations tensions / courants sont :

$$\begin{cases} V_p = -jZ_C I_2 \\ V_A = -jZ_C I_1 \end{cases} \quad (1)$$

De plus, la loi des nœuds donne les expressions suivantes :

$$\begin{cases} I_1 = -I_p \\ I_2 = -(I_A + \frac{V_A}{R_{CH}}) \end{cases} \quad (2)$$

On peut en déduire les équations des tensions de drain des transistors suivantes :

$$\begin{cases} V_P = j.Zc.(I_A + \frac{V_A}{R_{CH}}) \\ V_A = j.Zc.I_p \end{cases} \Rightarrow \begin{cases} V_P = j.Zc.(I_A + j.\frac{Zc}{R_{CH}}.I_p) \\ V_A = j.Zc.I_p \end{cases} \Rightarrow \begin{cases} V_P = -\frac{Zc^2}{R_{CH}}.I_p + jZc.I_A \\ V_A = j.Zc.I_p \end{cases} \quad (3)$$

On peut exprimer les impédances de charge en fonction des courants de sortie :

$$\begin{cases} Z_p = -\frac{V_p}{I_p} = \frac{Zc^2}{R_{CH}} - j.Zc.\frac{I_A}{I_p} \\ Z_A = -\frac{V_A}{I_A} = -j.Zc.\frac{I_p}{I_A} \end{cases} \quad (4)$$

Dans un amplificateur Doherty, on introduit un déphasage $e^{-j.\frac{\pi}{2}}$ entre I_A et I_p (déphaseur d'entrée de 90°), on obtient ainsi les impédances et les tensions réelles suivantes :

$$\begin{cases} V_P = -\frac{Zc^2}{R_{CH}}.I_p + Zc.I_A \\ V_A = -Zc.I_p \end{cases} \quad (5)$$

$$\begin{cases} Z_p = \frac{Zc^2}{R_{CH}} - Zc.\frac{I_A}{I_p} \\ Z_A = Zc.\frac{I_p}{I_A} \end{cases} \quad (6)$$

II.2.2. Evolution des tensions en fonction du niveau de puissance.

Pour le fonctionnement de l'amplificateur Doherty, il faut maintenant prendre en compte les limitations physiques du transistor et le point de transition α (Figure 110).

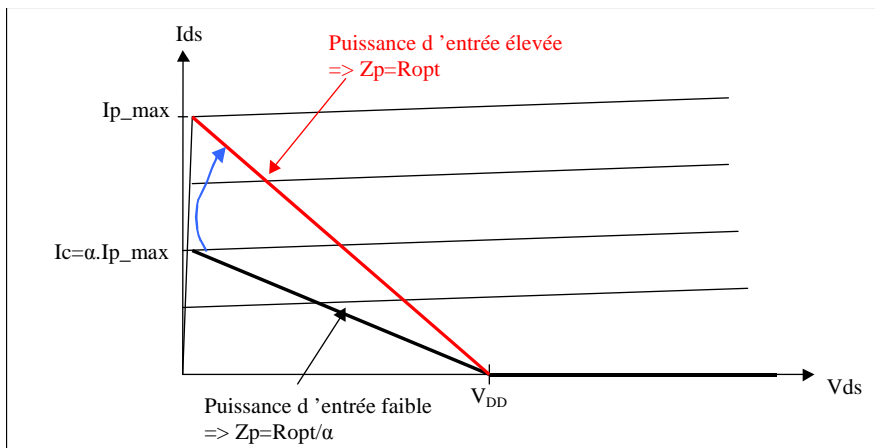


Figure 110: Evolution du cycle de charge du principal en fonction du niveau de puissance

A faible puissance, le transistor auxiliaire est bloqué : $I_A=0$. La tension du principal V_p augmente progressivement en même temps que le courant I_p . Si l'on considère le transistor idéal (sans tension de déchet), la tension V_p atteint son maximum pour $V_p=V_{DD}$ (V_{DD} étant la tension de polarisation de drain du transistor). A ce moment là, le courant I_p vaut $I_c=\alpha \cdot I_{p_max}$ (courant critique) et l'impédance de charge $Z_p=R_{opt}/\alpha$. Au delà de ce point dit point de transition, le courant I_p continue d'augmenter mais la tension V_p reste constante (amplificateur saturé) et vaut $V_p=V_{p_max}(=V_{DD})$.

Pour l'amplificateur auxiliaire, sa tension augmente progressivement de 0 à $V_{A_max}=V_{DD}$ en même temps que le courant I_p .

La Figure 111 représente les évolutions des tensions de drain de l'amplificateur principal et de l'amplificateur auxiliaire.

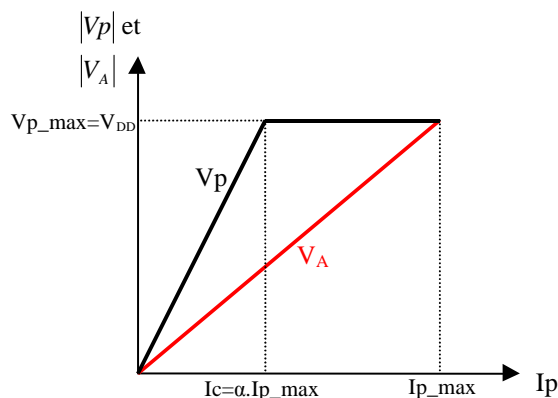


Figure 111 : Représentation des tensions de drain en fonction du niveau de puissance

D'après l'équation (5), on peut déduire les équations des tensions en fonction du courant I_p suivantes :

Principal :

- $V_p = -\frac{Z_c^2}{R_{CH}} \cdot I_p$ pour $I_p < I_c$ ($I_A=0$) $\Rightarrow V_{p_max} = -\frac{Z_c^2}{R_{CH}} \cdot \alpha \cdot I_{p_max}$
- $V_p = V_{p_max}$ pour $I_p \geq I_c$

Auxiliaire : - $V_A = -Z_c \cdot I_p$

Remarque : Lorsque les transistors sont saturés : $V_{p_max} = V_{A_max}$

$$\Rightarrow -Z_c \cdot I_{p_max} = -\frac{Z_c^2}{R_{CH}} \cdot \alpha \cdot I_{p_max}$$

$$\Rightarrow \text{On en déduit : } \alpha = \frac{R_{CH}}{Z_c} \quad (7)$$

II.2.3. Evolution des courants en fonction du niveau de puissance

Le courant de l'amplificateur principal I_p augmente progressivement de 0 à I_{p_max} . Celui de l'auxiliaire est nul jusqu'à atteindre le courant critique $I_p = I_c = \alpha \cdot I_{p_max}$ puis augmente progressivement. Dans le cas général où on ne fait pas d'hypothèse sur la taille du transistor auxiliaire, I_{A_max} peut être supérieur à I_{p_max} .

La Figure 112 représente les évolutions des courants de drain de l'amplificateur principal et de l'amplificateur auxiliaire.

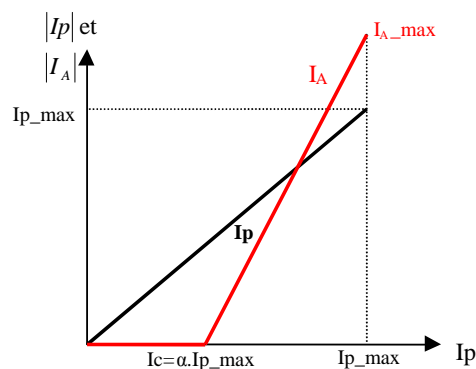


Figure 112 : Représentation des courants de drain en fonction du niveau de puissance

Les équations du courant de l'amplificateur auxiliaire sont les suivantes :

- si $I_p < I_c \Rightarrow I_A = 0$
- si $I_p \geq I_c \Rightarrow I_A = K \cdot (I_p - I_c)$ (8)

Calcul de K : A partir des équations (5) et (8), on en déduit :

$$- V_p = -\frac{Z_c^2}{R_{CH}} \cdot I_p + Z_c \cdot K \cdot I_p - Z_c \cdot K \cdot I_c \quad (9)$$

Lorsque $I_p \geq I_c$, la tension V_p est constante (cf Figure 111), on doit alors vérifier :

$$- \frac{d.V_p}{d.I_p} = 0 \Rightarrow \frac{d.V_p}{d.I_p} = -\frac{Z_c^2}{R_{CH}} + Z_c \cdot K = 0$$

On en déduit l'expression de K :

$$- K = \frac{Z_c}{R_{CH}} = \frac{1}{\alpha} \quad (10)$$

D'après, l'équation (7), on a :

- $I_A = \frac{1}{\alpha} (I_p - I_c) = \frac{1}{\alpha} (I_p - \alpha \cdot I_{p_max}) = \frac{1}{\alpha} I_p - I_{p_max}$ lorsque $I_p > I_c$
- $I_A = 0$ lorsque $I_p < I_c$ (11)

Remarque : Lorsque les deux amplificateurs sont saturés, on obtient la relation entre les courants maximums : $I_{A_max} = \left(\frac{1}{\alpha} - 1\right) \cdot I_{p_max}$ (12)

II.2.4. Evolution du rendement en fonction du niveau de puissance.

Pour $I_p < I_c$: $I_A = 0$

Nous faisons l'hypothèse que les transistors sont polarisés en classe B : les courants sont semi-sinusoidaux et ont pour valeur crête I_p . Le courant du transistor principal à la fréquence f_0 est donc : $I_{p_{f_0}} = I_p/2$ et le courant au continu est : $I_{p_{DC}} = I_p/\pi$.

On en déduit donc la valeur de la puissance de sortie de l'amplificateur principal au fondamental :

$$P_{p_f0} = \frac{1}{2} \cdot Z_p \cdot I_{p_f0}^2 \quad \text{avec } Z_p = R_{opt}/\alpha$$

$$\Rightarrow P_{p_f0} = \frac{1}{2} \cdot \frac{R_{opt}}{\alpha} \cdot \frac{I_p^2}{4} \quad (13)$$

L'expression de la puissance d'alimentation au continu du principal est :

$$P_{P_DC} = I_{p_DC} \cdot V_{DD} = \frac{I_p}{\pi} \cdot V_{DD} \quad (14)$$

D'après les équations (12) et (13), on en déduit l'expression du rendement lorsque

$$I_p < I_c : \quad \eta = \frac{P_{p_f0}}{P_{P_DC}} = \frac{\pi}{8} \cdot \frac{R_{opt}}{\alpha \cdot V_{DD}} \cdot I_p \quad (15)$$

D'après le cycle de charge (Figure 110) et pour un courant semi-sinusoidal :

$$\frac{R_{opt}}{V_{DD}} = \frac{2}{I_{p_max}} \quad (16)$$

L'expression (14) du rendement devient alors :

$$\eta = \frac{\pi}{4} \cdot \frac{1}{\alpha} \cdot \frac{I_p}{I_{p_max}} \quad \text{pour } I_p < I_c \quad (17)$$

Pour $I_p \geq I_c$:

* L'expression de la puissance de l'amplificateur principal au fondamental est :

$$P_{p_f0} = \frac{1}{2} \cdot Z_p \cdot I_{p_f0}^2 = \frac{1}{2} \left(\frac{Z_c^2}{R_{CH}} - Z_c \cdot \frac{I_{A_f0}}{I_{p_f0}} \right) \cdot I_{p_f0}^2$$

$$\Rightarrow P_{p_f0} = \frac{1}{2} \left(\frac{R_{opt}}{\alpha} - Z_c \cdot \frac{I_{A_f0}}{I_{p_f0}} \right) \cdot I_{p_f0}^2 \quad (18)$$

* L'expression de la puissance de l'amplificateur auxiliaire au fondamental est :

$$P_{A_fo} = \frac{1}{2} \cdot Z_A \cdot I_{A_fo}^2 = \frac{1}{2} \cdot Z_C \cdot \frac{I_{P_fo}}{I_{A_fo}} \cdot I_{A_fo}^2$$

$$\Rightarrow P_{A_fo} = \frac{1}{2} \cdot Z_C \cdot \frac{I_{A_fo}}{I_{P_fo}} \cdot I_{P_fo}^2 \quad (19)$$

* D'après les équations (18) et (19), on en déduit la puissance totale au fondamental :

$$P_{T_fo} = P_{P_fo} + P_{A_fo} = \frac{1}{2} \cdot \frac{R_{opt}}{\alpha} \cdot I_{P_fo}^2$$

$$\Rightarrow P_{T_fo} = \frac{1}{8} \cdot \frac{R_{opt}}{\alpha} \cdot I_p^2 \quad (20)$$

* L'expression de la puissance d'alimentation de l'amplificateur principal au continu est :

$$P_{P_DC} = I_{P_DC} \cdot V_{DD} = \frac{I_p}{\pi} \cdot V_{DD} \quad (21)$$

* L'expression de la puissance d'alimentation de l'amplificateur auxiliaire au continu est :

$$P_{A_DC} = I_{A_DC} \cdot V_{DD} = \frac{I_A}{\pi} \cdot V_{DD} \quad (22)$$

* D'après les équations (21) et (22), on en déduit la puissance totale d'alimentation au continu :

$$P_{T_DC} = P_{P_DC} + P_{A_DC} = \frac{V_{DD}}{\pi} \cdot (I_A + I_p)$$

$$\Rightarrow P_{T_DC} = \frac{V_{DD}}{\pi} \cdot \left(\frac{1}{\alpha} I_p - I_{p_max} + I_p \right) = \frac{V_{DD}}{\pi} \cdot \left(\left(\frac{1}{\alpha} + 1 \right) \cdot I_p - I_{p_max} \right)$$

$$\Rightarrow P_{T_DC} = \frac{V_{DD}}{\pi} \cdot I_{p_max} \cdot \left(\left(\frac{1}{\alpha} + 1 \right) \cdot \frac{I_p}{I_{p_max}} - 1 \right) \quad (23)$$

* D'après les équations (20) et (23), on en déduit l'expression du rendement lorsque $I_p > I_c$:

$$\eta = \frac{P_{T_fo}}{P_{T_DC}} = \frac{\pi}{8} \cdot \frac{R_{opt}}{\alpha \cdot V_{DD}} \cdot \frac{I_p^2}{I_{p_max}} \cdot \frac{1}{\left(\frac{1}{\alpha} + 1 \right) \cdot \frac{I_p}{I_{p_max}} - 1}$$

=> D'après l'équation (16) :

$$\eta = \frac{\pi}{4} \cdot \frac{1}{\alpha} \cdot \frac{\left(\frac{I_p}{I_{p_max}}\right)^2}{\left(\frac{1}{\alpha} + 1\right) \cdot \frac{I_p}{I_{p_max}} - 1} \quad \text{pour } I_p > I_c \quad (24)$$

On peut maintenant tracer le rendement en fonction de $\frac{I_p}{I_{p_max}}$ pour différentes valeurs de paramètres α .

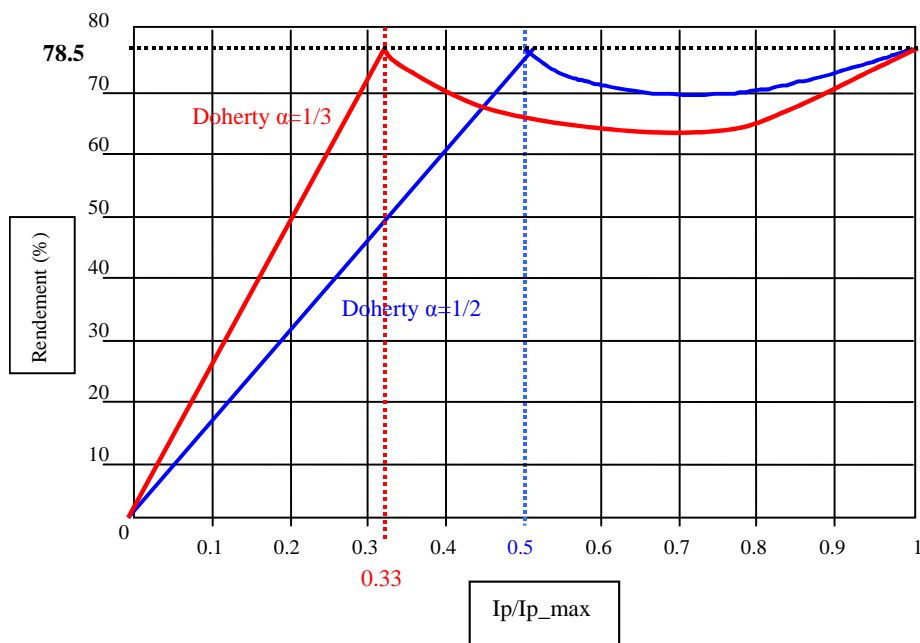


Figure 113 : Evolution du rendement

II.2.5. Calcul de l' « Output Back-off »

L'expression du recul du niveau de puissance pour lequel le rendement sera maintenu maximum correspond à l'écart entre la puissance maximum et la puissance au point de transition :

$$OBO = 10 \log \left(\frac{P_{max}}{P\alpha} \right)$$

Les expressions de P_{max} et P_{α} sont données respectivement par les équations (20) et

$$(13) : \quad - \quad P_{max} = \frac{1}{8} \cdot \frac{R_{opt}}{\alpha} \cdot I_{p_{max}}^2$$

$$- \quad P_{\alpha} = \frac{1}{8} \cdot \frac{R_{opt}}{\alpha} \cdot \alpha^2 \cdot I_{p_{max}}^2$$

On en déduit l'expression :

$$OBO = 10 \log \left(\frac{1}{\alpha^2} \right) \quad (25)$$

Remarque : Cette partie sur l'étude théorique générale de l'amplificateur Doherty est une indication sur le fonctionnement de l'amplificateur. Il n'est pas scrupuleusement la réalité lors d'une conception. En effet, la théorie ne prend pas en compte les tensions de déchet des transistors qui sont non négligeables pour la technologie GaN. De plus, les polarisations des deux transistors sont considérées comme étant en classe B alors qu'en réalité, le principal est polarisé en classe AB et l'auxiliaire en classe B ou C. En pratique, le déclenchement du point de transition est effectué par cette différence de polarisation de grille de l'auxiliaire par rapport au principal. Cependant, cette étude théorique permet de déterminer, avec une bonne approximation, les valeurs des impédances.

II.3. Application pour un amplificateur Doherty classique (transistors de même taille)

Pour un amplificateur Doherty classique (transistors de même taille), l'amplitude maximale du courant de saturation des deux transistors est : $I_{A_max} = I_{p_max}$.

D'après la relation (11) , on obtient comme point de transition $\alpha = 1/2$.

II.3.1. Détermination de l'impédance caractéristique Z_c et de la résistance de charge R_{CH} .

A partir des équations (6), on obtient des impédances de charge réelles suivantes :

$$- \quad Z_p = \frac{Z_c^2}{R_{CH}} - Z_c$$

- $Z_A = Z_c$

Les deux amplificateurs sont conçus pour fournir la puissance maximale (à fort niveau) quand leurs impédances de charge sont égales à R_{opt} , donc lorsque :

- $Z_p = \frac{Z_c^2}{R_{CH}} - Z_c = R_{opt}$

- $Z_A = Z_c = R_{opt}$

On en conclut que :

- **$Z_c = R_{opt}$**

- **$R_{CH} = R_{opt}/2$**

II.3.2. Evolution des impédances de charge des deux amplificateurs

Pour un faible niveau d'entrée, l'amplificateur auxiliaire est bloqué, le courant I_A est donc nul. On obtient le schéma simplifié Figure 114.

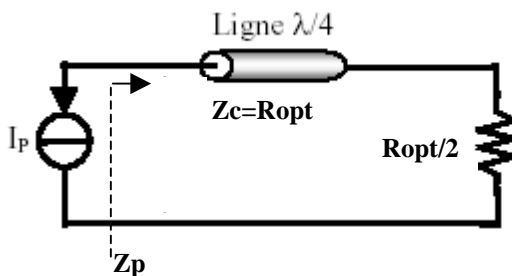


Figure 114 : circuit simplifié pour de faibles puissances

Impédance ramenée par la ligne quart d'onde : $Z_p = \frac{Z_c^2}{R_{opt}/2}$

Soit avec $Z_c = R_{opt}$: $\Rightarrow Z_p = 2 \cdot R_{opt}$

Par conséquent la charge ramenée par la ligne quart d'onde et présentée en sortie de l'amplificateur principal est égale à $2 \cdot R_{opt}$ et l'impédance vue par l'amplificateur auxiliaire est un circuit ouvert.

Pour des niveaux de puissance compris entre P_α et P_{Max} , l'amplificateur auxiliaire se comporte comme une charge active pour l'amplificateur principal. L'impédance de charge vue par l'amplificateur principal varie de $2R_{opt}$ à R_{opt} et du circuit ouvert à R_{opt} pour l'amplificateur auxiliaire.

Niveau de puissance	Z_p	Z_A
Puissance < P_α	$2.R_{opt}$	infini
$P_\alpha < \text{Puissance} < P_{max}$	$2R_{opt} \Rightarrow R_{opt}$	Infini $\Rightarrow R_{opt}$
Puissance = P_{max}	R_{opt}	R_{opt}

II.3.3. Evolution du rendement

Pour un amplificateur ayant des transistors de même taille, $\alpha=1/2$. D'après la théorie vue au paragraphe précédent, il est possible de tracer l'évolution du rendement en fonction du niveau de puissance d'entrée (Figure 115)

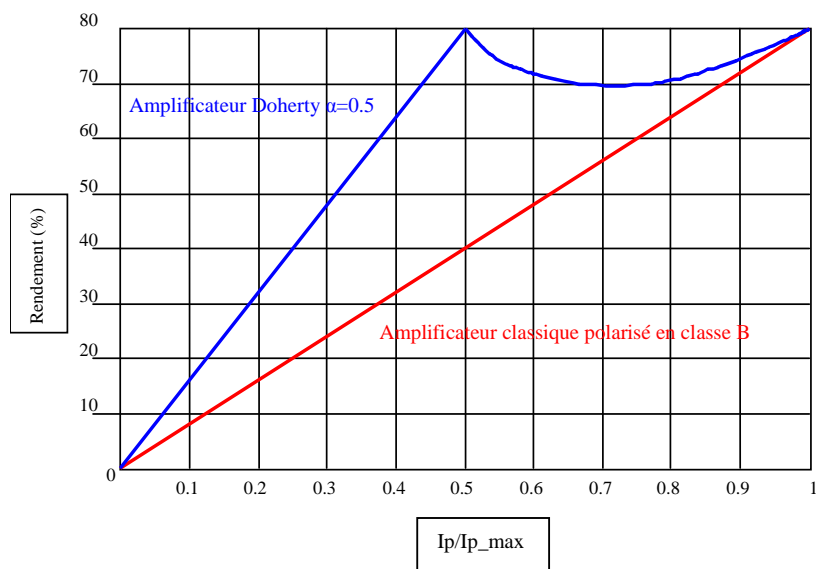


Figure 115 : Evolution du rendement de l'amplificateur Doherty classique

D'après l'expression (25), on en déduit, pour un amplificateur classique, $\alpha=1/2$, que le recul de puissance atteint alors 6 dB.

II.4. Application pour un Amplificateur Doherty à auxiliaire double.

Jusqu'à présent, nous avons étudié un amplificateur Doherty ayant des transistors de même taille. Cependant, il est possible de concevoir un amplificateur Doherty avec un transistor auxiliaire de taille deux fois plus importante que celle du transistor principal. L'amplitude maximale du courant de saturation des deux transistors devient :

$$I_{A_max} = 2. I_{p_max}.$$

D'après la relation (11), dans cette configuration, α devient égal à 1/3.

Le principe de cet amplificateur Doherty est de faire débiter deux fois plus de courant au transistor auxiliaire qui est plus pincé (classe B) que le principal.

A partir des équations (6), on obtient des impédances de charge réelles suivantes :

$$- Z_p = \frac{Z_c^2}{R_{CH}} - 2.Z_c$$

$$- Z_A = \frac{Z_c}{2}$$

Les deux amplificateurs sont conçus pour fournir la puissance maximale (à fort niveau) quand l'impédance de charge présentée à leur sortie est égale à R_{opt} pour le principal et $R_{opt}/2$ pour l'auxiliaire (celui-ci étant double), donc :

$$- Z_p = \frac{Z_c^2}{R_{CH}} - 2.Z_c = R_{opt}$$

$$- Z_A = \frac{Z_c}{2} = \frac{R_{opt}}{2}$$

On en conclut que :

$$- \mathbf{Z_c = R_{opt}}$$

$$- \mathbf{R_{CH} = R_{opt}/3}$$

On obtient le nouveau tableau des variations d'impédances de charge des transistors.

Niveau de puissance	Z_p	Z_A
Puissance < P_α	$3.R_{opt}$	infini
$P_\alpha < \text{Puissance} < P_{max}$	$3R_{opt} \Rightarrow R_{opt}$	Infini $\Rightarrow R_{opt}/2$
Puissance = P_{max}	R_{opt}	$R_{opt}/2$

Le fait de doubler la taille du transistor auxiliaire influe sur les variations des impédances de charge des deux transistors, ce qui agit sur l'évolution du rendement.

En effet, selon la taille du transistor auxiliaire, la courbe de variation du rendement total en fonction du niveau de puissance à une forme différente et le point de transition sera déplacé. Le choix de la taille du transistor auxiliaire va dépendre de l'application et de la forme du signal à amplifier. Le point de transition peut être déplacé selon le facteur de puissance crête à puissance moyenne (PAR : « Peak to Average Ratio») du signal à amplifier.

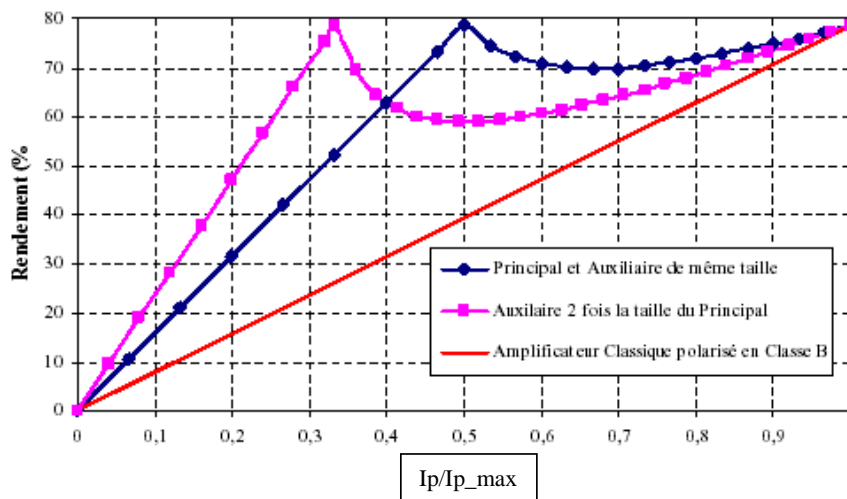


Figure 116 : Evolution du rendement de l'amplificateur Doherty à auxiliaire double

Remarque : la puissance doit être envoyée dissymétriquement aux transistors. En effet, le transistor auxiliaire doit recevoir 2 fois plus de puissance que le principal.

Ce montage permet donc de faire varier l'impédance vue par le principal de R_{opt} à $3R_{opt}$. Ainsi, par rapport à la structure utilisant deux tailles identiques de transistor, la variation de l'impédance est plus ample (Figure 116).

Le back-off obtenu dans cette configuration est :

$$- OBO = 10 \cdot \log\left(\frac{1}{\alpha^2}\right) = 9.5dB$$

Cependant les principaux inconvénients de cette structure sont :

- L'impédance optimale de charge des transistors est différente.
- Structure et puissance dissymétrique.

II.5. Doherty à N étages.

Il est possible d'ajouter plusieurs étages à la structure de base de l'amplificateur Doherty. La Figure 117 représente le schéma de principe d'un amplificateur à N étages.

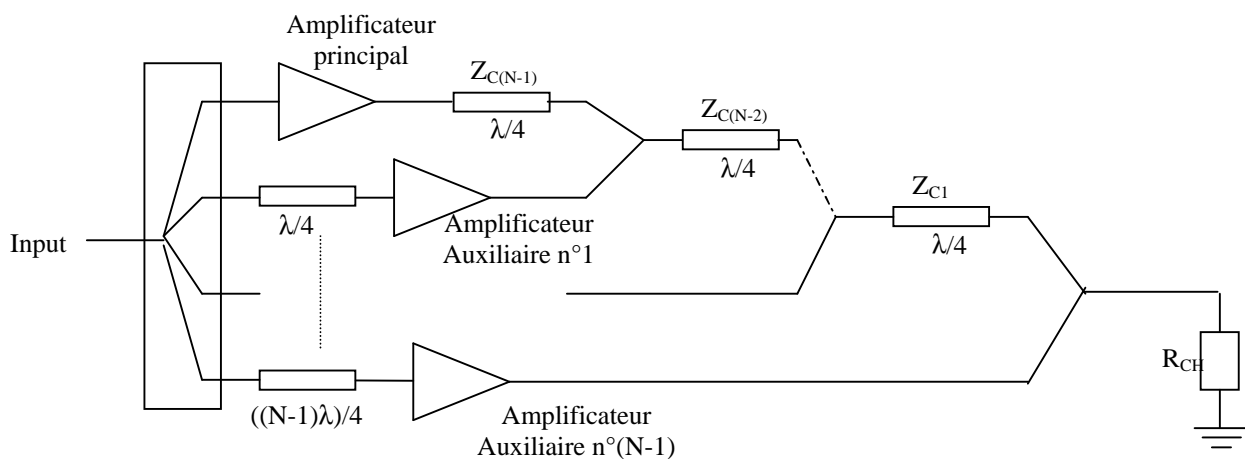


Figure 117 : Schéma de principe d'un amplificateur Doherty à N étages

Le principe de cet amplificateur à plusieurs étages est la mise en conduction des transistors auxiliaires en décalé.

Pour une configuration à 2 auxiliaires, il existe 2 points de transition. Ces 2 points de transition sont définis comme étant l'entrée en conduction du premier amplificateur auxiliaire ($\alpha 1$) et l'entrée en conduction du second amplificateur auxiliaire ($\alpha 2$).

Le tableau résume les différents modes de fonctionnement d'un amplificateur Doherty à trois étages en fonction de la variation du niveau de puissance.

Niveau de puissance	Amplificateur principal	Amplificateur auxiliaire n°1	Amplificateur auxiliaire n°2
Puissance < $P_{\alpha 1}$ et $P_{\alpha 2}$	Source de courant	Eteint	Eteint
$P_{\alpha 1} < \text{Puissance} < P_{\alpha 2}$	Saturé	Source de courant	Eteint
$P_{\alpha 1}$ et $P_{\alpha 2} < \text{Puissance} < P_{\text{max}}$	Saturé	Saturé	Source de courant
Puissance = P_{max}	Saturé	Saturé	Saturé

$P_{\alpha 1}$ étant le niveau de puissance où l'amplificateur auxiliaire n°1 passe de l'état bloqué à la conduction et $P_{\alpha 2}$, le niveau de puissance où l'amplificateur auxiliaire n°2 passe de l'état bloqué à la conduction.

Le schéma de l'amplificateur Doherty à 2 auxiliaires est représenté Figure 118 :

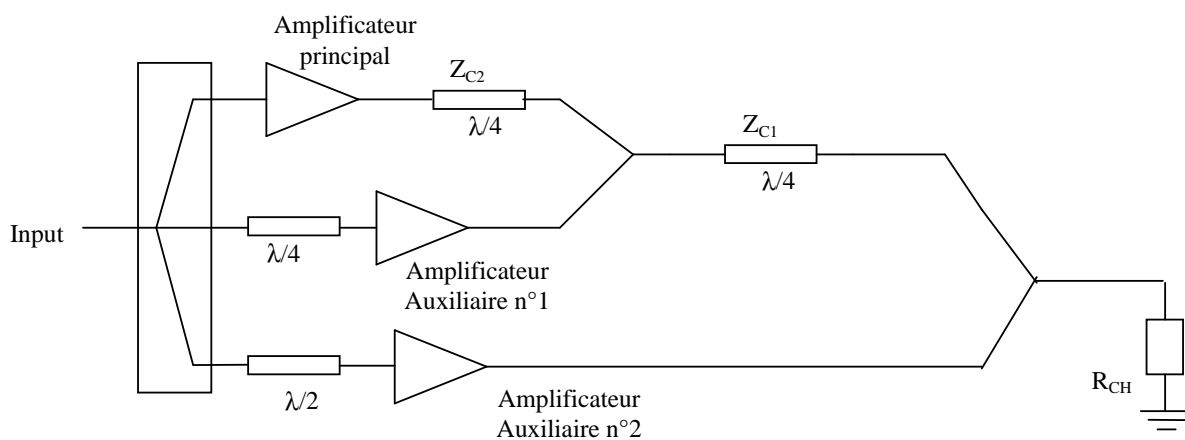


Figure 118 : Schéma de principe d'un amplificateur Doherty à 3 étages

D'après la publication de mars 2005 de Srirattana [85], les impédances des 2 lignes quart d'onde de sortie peuvent être calculées de la manière suivante :

- $Z_{C1} = \frac{R_{CH}}{\alpha 1}$
- $Z_{C2} = \frac{R_{CH}}{\alpha 1 \cdot \alpha 2}$
- $R_{CH} = 1 - \alpha 1 \cdot R_{opt}$

Ces expressions permettent de définir les valeurs de l'impédance caractéristique des lignes quart d'onde et de la valeur de l'impédance de charge, en fonction des points de transition choisis.

Il est d'ailleurs démontré dans cette publication que de bons résultats sont obtenus pour $\alpha 1=0.5$ et $\alpha 2=0.25$. Pour cette configuration, on en déduit :

- $R_{CH} = R_{opt}/2$
- $Z_{C1} = 2 \cdot R_{CH} = R_{opt}$
- $Z_{C2} = 8 \cdot R_{CH} = 4 R_{opt}$

La Figure 119 représente l'évolution du rendement d'un amplificateur Doherty à deux auxiliaires étages (cas n°2) en fonction du rapport de la tension aux bornes de la charge RF et de la tension d'alimentation (V_{CH}/V_{DD}). Les courbes présentées sur la figure permettent de comparer l'évolution du rendement dans différents cas.

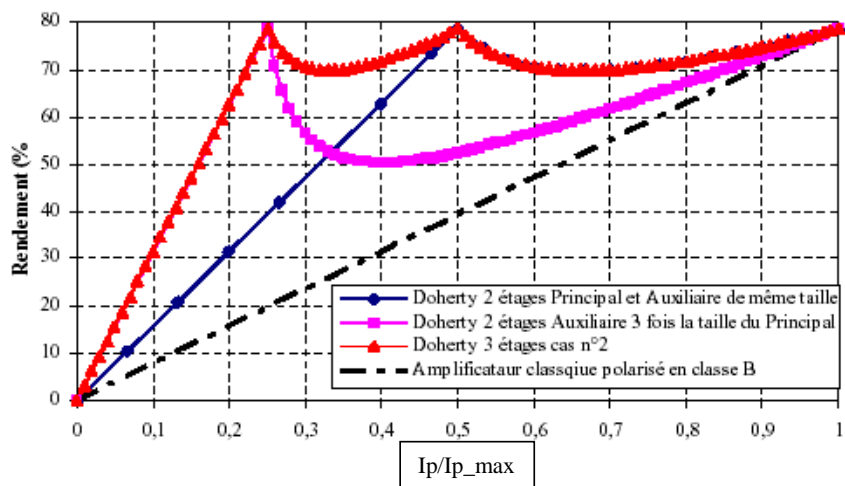


Figure 119 : Evolution du rendement d'un amplificateur Doherty 3 étages

Cette évolution du rendement permet de vérifier que l'on retrouve bien les deux seuils de déclenchement des deux amplificateurs auxiliaires. Ce qui permet d'avoir un rendement meilleur sur une plage de variation plus importante.

Cependant, cette configuration présente deux principaux inconvénients:

- Amplificateur difficile à mettre au point
- Structure dissymétrique

II.6. Doherty à commande dynamique de polarisation.

II.6.1. Commande de grille des auxiliaires.

L'intérêt de commander la grille de l'auxiliaire réside dans le fait qu'à puissance maximale, les transistors auxiliaires délivreront le même courant que le transistor principal et donc la même puissance.

- A faible puissance, l'amplificateur Doherty fonctionne classiquement.
- A puissance maximale, les deux transistors sont polarisés de la même manière (Figure 120)

Progressivement, on cherche à passer d'un fonctionnement Doherty à bas et moyen niveau pour rejoindre un fonctionnement classique à cellule en parallèle à fort niveau.

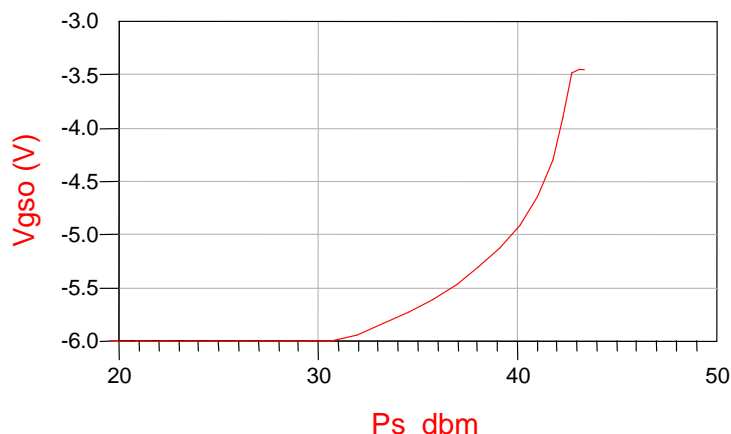


Figure 120 : exemple de polarisation de grille d'un auxiliaire en fonction de la puissance de sortie ($V_{gso_nominale} = -3.5V$)

L'exemple d'un schéma d'un amplificateur Doherty intégrant la commande de grille de l'auxiliaire est représenté Figure 121:

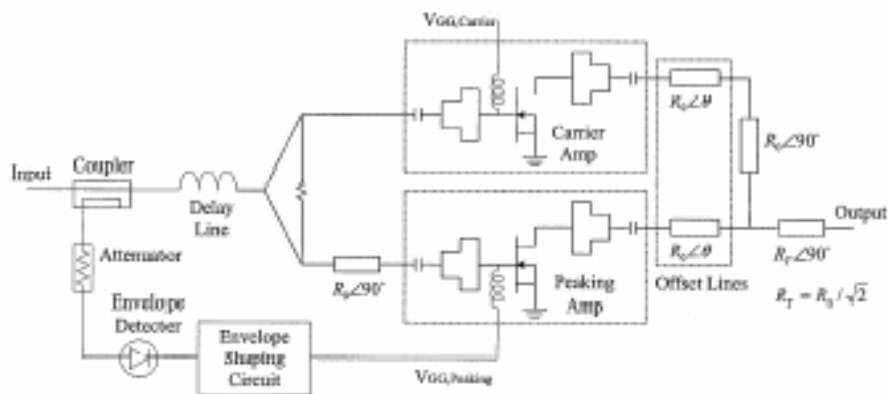


Figure 121 : Amplificateur Doherty intégrant la commande de grille de l'auxiliaire [86]

Afin de modifier la tension de grille de l'amplificateur auxiliaire, un circuit est réalisé à l'aide d'un détecteur crête, suivi d'un étage de commande (Figure 122). Le circuit de détection comprend une diode associée à un circuit RC permettant d'effectuer un redressement et un filtrage afin d'obtenir un signal continu proportionnel au niveau crête d'entrée. La tension obtenue est injectée à l'entrée de l'étage de commande qui peut être réalisé par exemple par un circuit comprenant un Amplificateur Opérationnel.

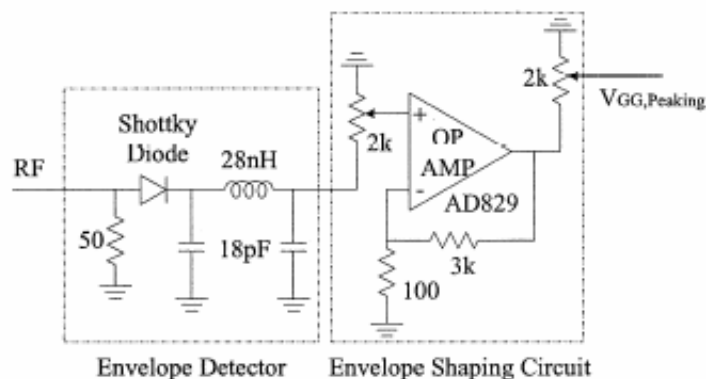


Figure 122 : Principe de la commande de grille [86]

Le circuit de commande de grille de l’auxiliaire permet de faire varier le cycle de charge du transistor intrinsèque en fonction de la puissance d’entrée dans le but d’obtenir une puissance maximale (Figure 123).

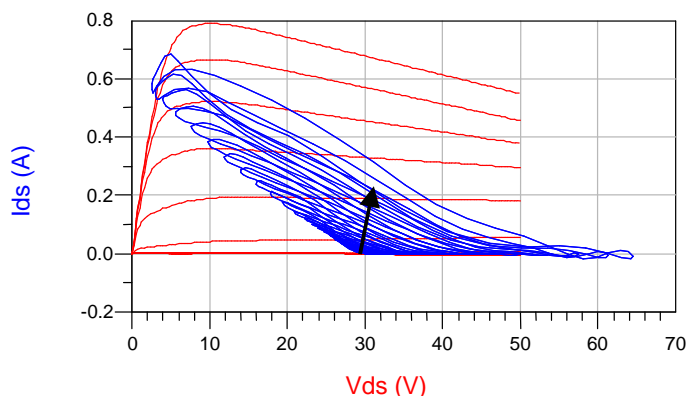


Figure 123 : Exemple d’évolution du cycle de charge de l’auxiliaire avec gestion de sa polarisation de grille

II.6.2. Commande de drain du principal.

But : Pour les faibles puissances, les transistors ont des puissances consommées importantes. Il paraît judicieux de baisser la tension de polarisation de drain du principal dans ce cas et de l’augmenter progressivement jusqu’à la polarisation nominale à puissance maximale.

- A faible puissance, l'amplificateur a une polarisation de drain faible (Figure 124).
- A puissance maximale, l'amplificateur Doherty fonctionne classiquement (polarisation nominale).

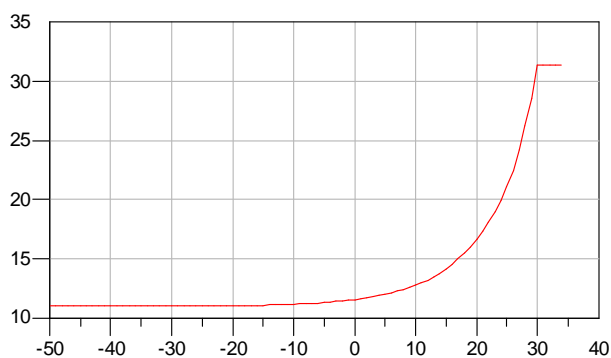


Figure 124 : exemple de commande de la polarisation de drain du principal ($V_{ds_nominale}=32V$)

La commande de drain peut être effectuée en deux étapes comme précédemment : un circuit de détection et un circuit de commande.

Le circuit de commande de drain du principal permet de pouvoir faire varier le cycle de charge du transistor intrinsèque en fonction de la puissance d'entrée dans le but de pouvoir obtenir un rendement maximal à puissance d'entrée faible (Figure 125).

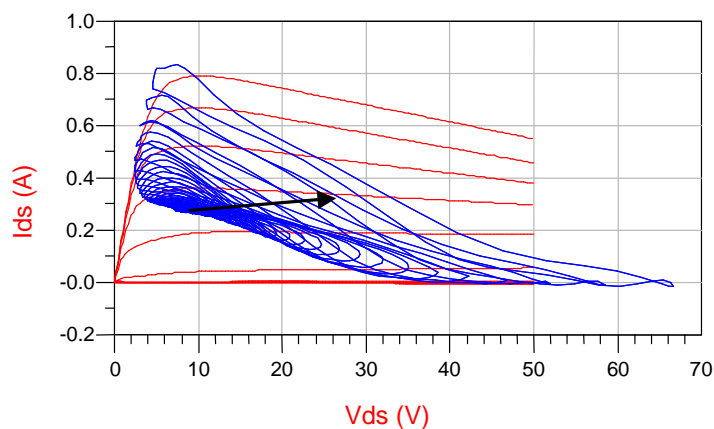


Figure 125 : Exemples d'évolution du cycle de charge du principal avec gestion de sa polarisation de drain

Les inconvénients de cette structure sont :

- Ajout d'un circuit annexe dont la consommation doit être prise en compte dans le bilan énergétique global.
- Structure dissymétrique.
- Pour la gestion de polarisation de drain, il peut être difficile de contrôler des forts courants d'alimentation dans la bande passante de l'enveloppe.

III. Etat de l'art de la technique Doherty.

III.1. Historique.

Le nom de la technique du Doherty provient de la personne du même nom qui a écrit une publication [79]. Ce qui est surprenant dans un premier abord, c'est sa date de parution à savoir 1936. Son application était déjà effective sur des amplificateurs de puissance à tubes (émissions radios) dans le domaine de la HF.

Cette publication introduit le premier schéma de l'amplificateur Doherty (Figure 126).

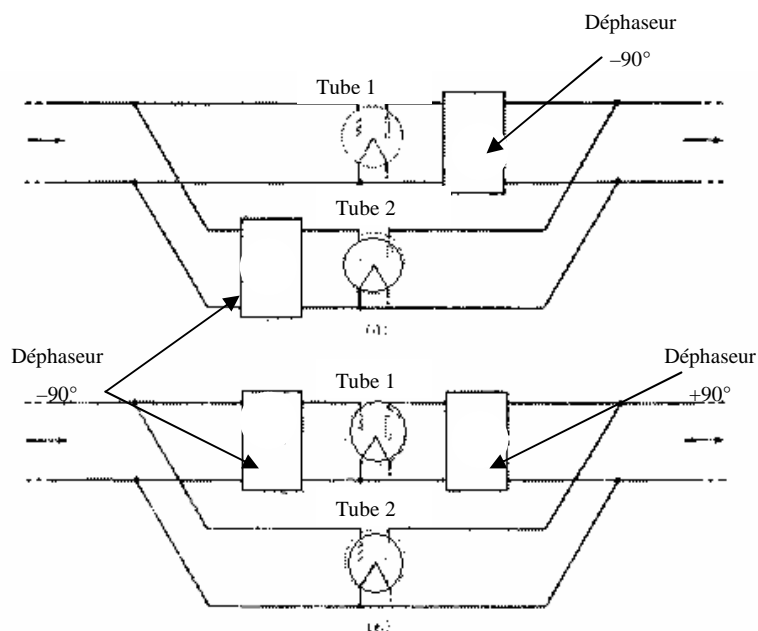


Figure 126 : schéma original du Doherty

Cependant cette technique ne sera reprise que beaucoup plus tard, avec l'avènement de nouvelles technologies et la recherche de meilleurs rendements pour les télécommunications hautes fréquences.

En effet en 1987, Raab introduit pour la première fois la technique du Doherty pour les amplificateurs de puissance RF à l'état solide [80], ce qui nous intéresse essentiellement pour la suite de cette étude. Dans cette publication, on peut aussi noter l'évolution du rendement de cet amplificateur en fonction du niveau de puissance d'entrée.

Cette publication est très intéressante par son contenu théorique sur le principe Doherty, et M.Raab fut sûrement le précurseur de l'utilisation de la technique du Doherty pour les amplificateurs RF. Cependant, cette parution ne montre pas de mesures concrètes.

Puis, en 1994, la publication de R.J. McMorro [81] présente la réalisation d'un amplificateur à l'état solide utilisant la technique Doherty. Le prototype utilise des transistors PHEMTs présentant un développement de grille de $6 \times 100 \mu\text{m}$ sur un substrat en alumine et la fréquence de travail est de 1.37 GHz.

Les résultats obtenus paraissent très intéressants : pour 5.5 dB de back-off, l'amplificateur Doherty a une amélioration de son rendement de 27% par rapport à un amplificateur standard polarisé en classe B.

A ma connaissance, c'est le premier prototype d'amplificateur Doherty à l'état solide qui a été fabriqué, testé et publié. On peut observer de très bons résultats sur le rendement, mais on n'a pas d'informations précises sur les autres paramètres (comme le gain ou la linéarité).

Ensuite, en 1999, Campbell [82] a publié la fabrication d'un amplificateur Doherty en technologie MMIC et au moyen de transistors pHEMT, et ce, dans une bande de fréquence aux alentours de 18 GHz (Figure 127).

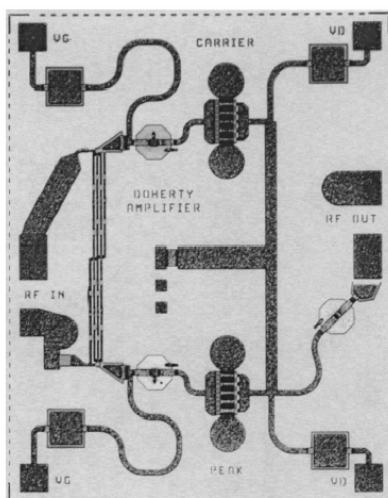


Figure 127 : Photo de l'amplificateur Doherty fabriqué

Les deux transistors utilisés ont un développement de grille de $10 \times 600 \mu\text{m}$.

Les Figure 128, Figure 129 et Figure 130 sont les résultats de mesures en puissance avec 2 porteuses, obtenues par Campbell pour différentes valeurs de tensions de grille de l'auxiliaire (V_{peak}).

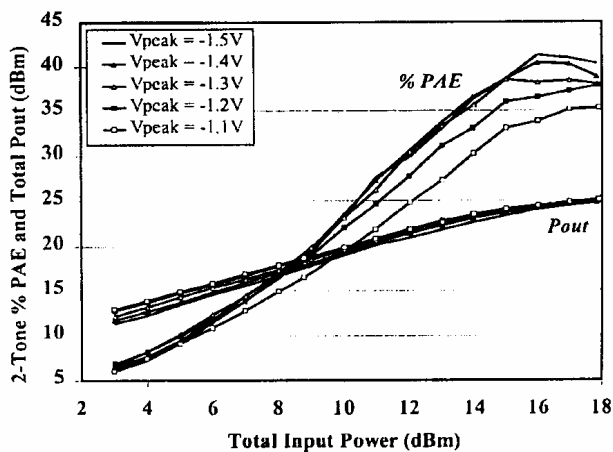


Figure 128 : Rendement et puissance de sortie en biporteuse

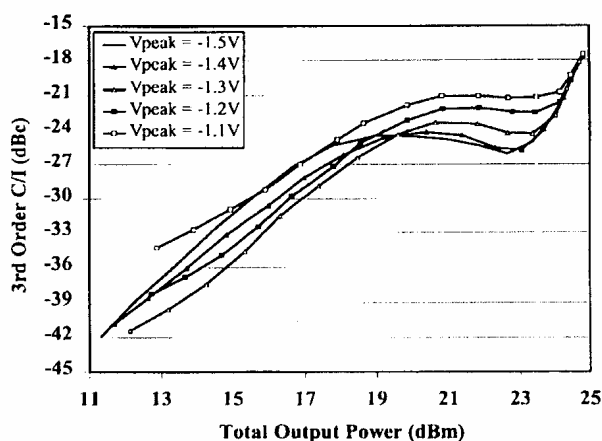


Figure 129 : C/I au troisième ordre

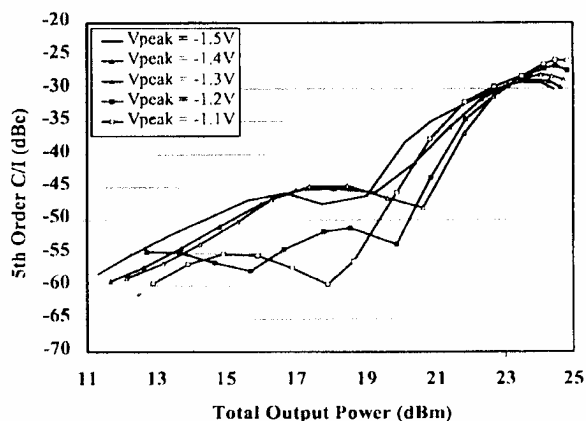


Figure 130 : C/I au cinquième ordre

Ces résultats de puissance nous montrent que plus la tension de grille est élevée, meilleur est le rendement. Cependant, on peut noter que les courbes de rendement se resserrent pour de fortes valeurs de V_{gs0} . A partir d'une certaine valeur, il n'est plus utile de pincer d'avantage le transistor.

On peut aussi constater que le rapport C/I diminue lorsque cette tension de polarisation d'entrée augmente. Mais la même constatation que précédemment peut être faite, à savoir qu'il y a un resserrement des courbes.

Cette publication nous montre la faisabilité d'un amplificateur de type Doherty complètement intégré. Les résultats obtenus paraissent intéressants, cependant M.Campbell n'apporte pas le témoignage de l'amélioration du Doherty par rapport à un amplificateur classique.

En 2000, Kobayashi [83] présente la réalisation en technologie MMIC du premier amplificateur utilisant des transistors DHBTs en InP, présentant une meilleure linéarité par rapport aux transistors pHEMTs. Cet amplificateur fonctionne dans la bande de 18 à 21 GHz. La principale qualité de ce Doherty est l'amélioration de sa linéarité lorsque les courants au collecteur sont faibles.

Cependant, le gain maximal de l'amplificateur est de 8dB avec un rendement obtenu qui ne dépasse pas les 28%. De plus, l'utilité du Doherty n'est pas flagrante en comparaison avec un amplificateur classique de classe A (seul 2 à 3 % de rendement est gagné par le Doherty).

En 2001, Iwamoto [84] présente une extension de l'amplificateur Doherty classique. En effet, il étudie l'influence de la taille du transistor auxiliaire.

Une première comparaison a été faite sur la Figure 131 qui est une comparaison de rendement calculé.

Le paramètre appelé γ est l'inverse du paramètre appelé α dans cette thèse et dans les publications de Raab. Ces paramètres désignent tous deux le point de transition ($\gamma=1/\alpha$).

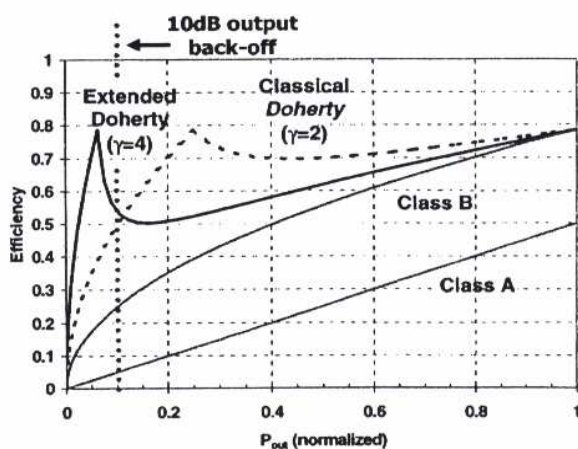


Figure 131 : Comparaison de rendements calculés

Dans un premier temps, on peut voir l'intérêt du Doherty par rapport à des classes de fonctionnement de l'amplificateur classique. Puis l'intérêt du Doherty étendu apparaît lorsque la puissance de sortie est faible (c'est à dire lorsqu'un back-off important est nécessaire).

Le prototype qui a été fabriqué pour cette publication est un amplificateur Doherty étendu ($\gamma=4$) au moyen de HBTs à la fréquence de 950 MHz. Le transistor principal a une taille de grille de $840 \mu\text{m}^2$ alors que l'auxiliaire est de $3360 \mu\text{m}^2$.

Les résultats obtenus sont représentés sur la Figure 132.

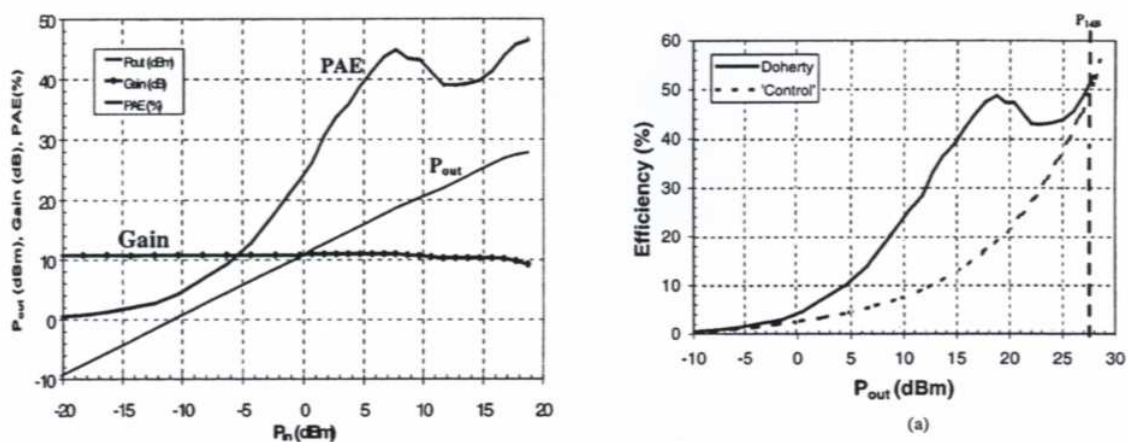


Figure 132 : Puissance de sortie, Gain et Rendement

Les résultats semblent concluants. Par exemple, le rendement mesuré avec 10 dB de back-off est de 43 % pour un amplificateur Doherty étendu alors que pour un amplificateur classique polarisé en classe B (appelé « control » dans les figures), le rendement n'est que de 15 %.

Cependant, il n'y a pas de comparaison avec un amplificateur Doherty classique ($\gamma=2$), ce qui aurait pu être judicieux pour observer les avantages et inconvénients entre les deux types de Doherty.

En 2002, Srirattana [85] introduit une nouvelle architecture de technique Doherty en cascade les transistors auxiliaires (Figure 133).

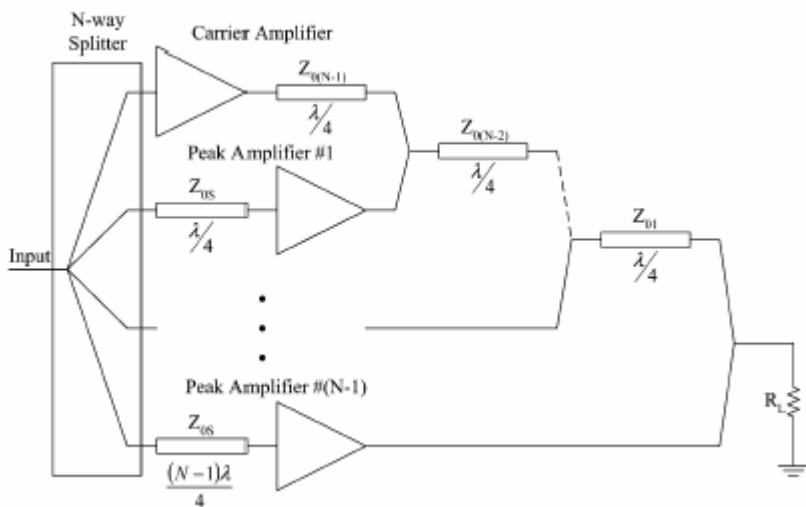


Figure 133 : Principe d'un amplificateur Doherty à N étages

Cette publication présente notamment, la réalisation d'un amplificateur à 2 auxiliaires cascades à l'aide de transistors FETs AsGa à la fréquence de 1.95 GHz. Les résultats obtenus (Figure 134) paraissent intéressants : une comparaison de la PAE a été effectuée entre un amplificateur classique à un seul transistor polarisé en classe AB, un amplificateur Doherty 3 étages à transistors identiques et un amplificateur Doherty 3 étages à auxiliaires doubles.

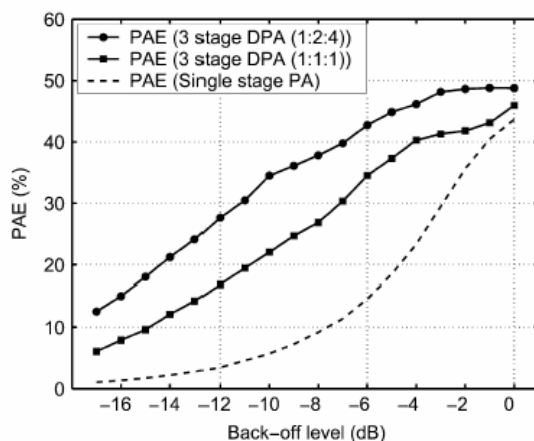


Figure 134 : Comparaison de la PAE suivant différents amplificateurs

La Figure 134 montre, par exemple, une amélioration de près de 30 points sur le rendement de l'amplificateur Doherty 3 étages à auxiliaires doubles par rapport à un amplificateur classique polarisé en classe AB.

Cependant, il aurait été appréciable de montrer l'amélioration apportée par un amplificateur Doherty 3 étages par rapport à un amplificateur Doherty 2 étages simples.

En 2003, Cha [86] propose d'associer à l'amplificateur Doherty classique, un contrôle de polarisation de grille des deux transistors (Figure 135). A l'aide, d'un détecteur d'enveloppe, la polarisation de la grille évolue en fonction de la puissance d'entrée.

La tension de grille de l'auxiliaire augmente en fonction du niveau de puissance d'entrée alors que celle du principal diminue.

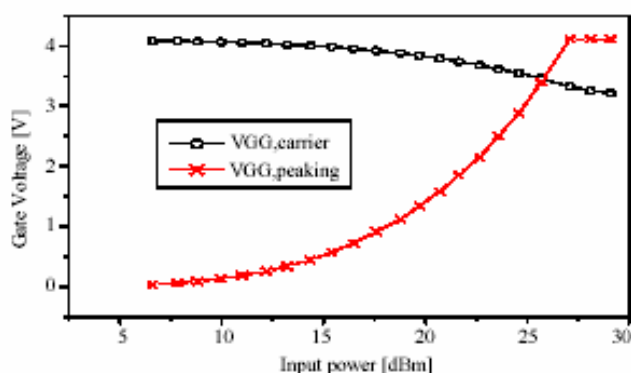


Figure 135 : Evolution des polarisations de grille en fonction de la puissance d'entrée

Les résultats obtenus semblent intéressants. La PAE mesurée pour un amplificateur Doherty avec commande de grille est améliorée de presque 10 points par rapport à un amplificateur Doherty "classique" (Figure 136).

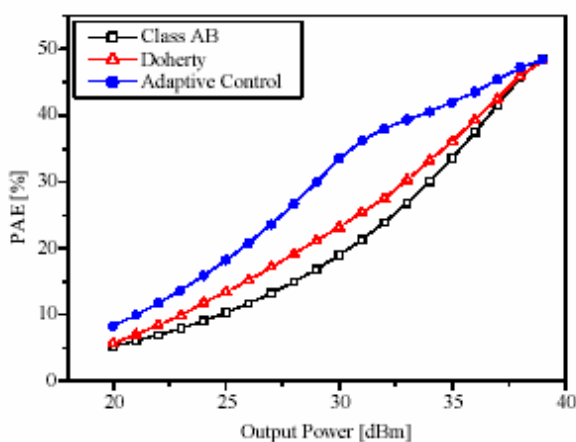


Figure 136 : Mesures de la PAE

Enfin, en 2005, Lees [87] a réalisé un amplificateur Doherty classique à l'aide de transistors en Nitrure de Gallium. Il prouve la faisabilité d'un tel amplificateur. Notamment, il montre un avantage de l'utilisation de la technologie GaN : la résistance de charge optimale est aux alentours de 50 ohms.

Cependant, il n'apporte aucune comparaison avec une autre technologie ou avec un amplificateur classique.

III.2. Synthèse des réalisations d'amplificateur Doherty publiées.

Le tableau présenté ci-dessous expose les principales publications apportant une nouveauté majeure sur l'amplification de type Doherty.

Année / Réf.	Technologie	Technique Doherty	Fréquence	PAE
1994 / [81]	PHEMT	Simple	1.37 GHz	60%
2000 / [83]	DHBTs InP	Simple	18-21GHz	20%
2001 / [84]	HBTs InGaP/GaAs	Auxiliaires doubles	950 MHz	46%
2003 / [85]	FET AsGa	2 Auxiliaires cascadés	1.95GHz	34.5%
2003 / [100]	LDMOSFETs Si	Commande dynamique	2.14 GHz	40%
2004 / [108]	LDMOSFET	Simple + Feedforward	2.14 GHz	30 %

De nombreuses autres publications sont apparues sur la technologie Doherty. Elles sont mises en référence [88] => [118].

CONCLUSION

En résumé, on peut retenir qu'il existe deux techniques principales et complémentaires visant à améliorer les performances d'un amplificateur :

Une première technique consiste à traiter les signaux pour lutter contre les distorsions globales. Cette technique englobe les différents procédés de linéarisation.

Une seconde technique consiste à agir sur les paramètres de fonctionnement de l'amplificateur (charge ou polarisation) pour la recherche du plus fort rendement.

On peut considérer que la conception d'amplificateur à fort rendement et bonne linéarité peut s'envisager méthodiquement de la façon suivante :

- En premier : recherche de topologie à fort rendement
- En deuxième : linéarisation de ces amplificateurs par des circuits annexes ou techniques annexes.

Cependant la conception au départ d'amplificateurs à très bon rendement ayant de bonnes performances en linéarité simplifiera considérablement la réalisation de circuits annexes de linéarisation.

L'amplificateur Doherty est un très bon candidat potentiel pour cela. On peut lui reprocher au départ des difficultés liées à sa structure dissymétrique. Nous allons étudier et proposer dans le chapitre suivant une architecture présentant un bon degré de symétrie.

BIBLIOGRAPHIE

- [62] **E. COTTAIS**
« Linéarisation d'amplificateurs de puissance large bande par prédistorion adaptative en bande de base »
Thèse de doctorat, Université de Nantes, déc. 2005.
- [63] **E. COTTAIS, Y. WANG AND S. TOUTAIN**
« Linéarisation d'amplificateurs de puissance par prédistorion adaptative en bande de base – Résultats expérimentaux »
JNM 2005, Nantes
- [64] **S. FORESTIER**
« Gestion Dynamique de la génération de Puissance en Hyperfréquence pour des modulations numériques : application à l'optimisation des performances d'un amplificateur millimétrique »
Thèse de doctorat, Université de Limoges, Oct. 2003
- [65] **A. KATZ**
« Linearization : Reducing Distorsion in Power Amplifiers »
IEEE microwave magazine, pp.37-39, Dec. 2001
- [66] **G. HAU, AND AL.**
"A Highly Efficient Linearized Wide Band CDMA Handsets Power Amplifier Based on Predistortion Under Various Bias Conditions",
IEEE Transactions on Microwave and Techniques, vol. 49,n°6, pp. 1194-1201, June 2001.
- [67] **K. YAMAMOTO, AND AL.**
"A 3.2 V Operation Single Chip Dual Band AlGaAs/GaAs HBT MMIC Power Amplifier With Active Feedback Circuit Technique",
IEEE Journal of Solid State Circuits, vol. 35, n°8, pp. 1109-1120, august 2000.
- [68] **E. BALLESTEROS, F. PEREZ, J. PEREZ**
« Analysis and Design of Microwave Linearized Amplifiers Using Active Feedback »
IEEE Trans. On Microwave Theory and Techniques Symposim », pp 499-504, 1998
- [69] **F.J.CASADEVALL, AND AL.**
"Performance Analysis of QAM Modulations Applied to the LINC Transmitter",
IEEE Transactions on Vehicular Technology, vol. 42, n°4, pp. 399-406, november 1993.
- [70] **B.SHI, AND AL.**
"A LINC Transmitter Using a New Signal Component Separator Architecture",
IEEE VTC, pp. 1909-1913, 2000.
- [71] **K.Y.CHAN, AND AL.**
"Analytical and Measured Performance of the Combined Analogue Locked Loop Universal Modulator (CALLUM) ",
IEE Proc-Commun, vol. 142, n°5, pp. 297-306, october 1995.
- [72] **D.J.JENNINGS, AND AL.**
"Adjacent Channel Power and Error Vector Magnitude Performance of Reduced Complexity CALLUM Systems",
IEE Proc.-Commun, vol. 146, n°5,pp. 297-302,october 1999.
- [73] **Y.YANG ,AND AL.**
"A New Linear Amplifier Using Low Frequency Second Order Intermodulation Component Feedforwarding",
IEEE Microwave and Guided Wave Letters, vol. 9, n°10, pp. 419-421, october 1999.
- [74] **X.ZHU, AND AL.**
"A Simple Method to Cut Down Configuration of Feedforward Power Amplifier",
IEEE MTT-S Dogest, pp. 791-794, 2000.
- [75] **T.H. MIERS ET V.A. HIRSCH,**
"A Thorough Investigation of Dynamic Bias on linear GaAs FET Power Amplifier Performance",
IEEE MTT-S International Microwave Symposium Digest, Vol. 2,1992.

- [76] **N. DUBUC**
« Modélisation Electrothermique de Transistors MESFET SiC et Optimisation d'une Architecture Doherty pour l'amplification de puissance à Haut Rendement »
Thèse de doctorat, Université de Limoges, Nov. 2003
- [77] **D.K.SU, AND AL.**
"An IC Linearizing RF Power Amplifiers Using Envelope Elimination and Restoration",
IEEE Journal of Solid State Circuits, vol. 33, n°12, pp. 2252-2258, december 1998.
- [78] **F.H.RAAB, AND AL.**
"High Efficiency L-Band Kahn Technique Transmitter",
IEEE MTT-S Digest, pp. 585-588, 1998.
- [79] **W. H. DOHERTY,**
« A new high efficiency power amplifier RF power-amplifier systems, »
Proc. IRE, vol.24, pp. 1163-1182, Sept. 1936
- [80] **F. H. RAAB,**
« Efficiency of Doherty RF power-amplifier systems, »
IEEE Trans. Broadcast., vol. bc-33, pp. 77-83, Sept. 1987.
- [81] **R. J. MCMORROW, D. M. UPTON, AND P. R. MALONEY,**
« The microwave Doherty amplifier, »
IEEE MTTT-S Int. Microwave Symp. Dig., pp. 1653-1656, 1994.
- [82] **C. F. CAMPBELL,**
« A full integrated Ku-band Doherty amplifier MMIC »
IEEE Microwave Guided Wave Lett., pp. 114-116, Sept. 1999.
- [83] **K. W. KOBAYASHI, A. K. OKI, AAND AL.**
« An 18-21 GHz InP DHBT linear microwave Doherty amplifier, »
IEEE RFIC Symp. Dig., 2000, pp. 179-182.
- [84] **M. IWAMOTO, A. WILLIAMS, P. CHEN, A.ND AL**
« An extended Doherty amplifier with high efficiency over a wide power range , »
IEEE Microwave Theory Tech., vol. 49, pp. 2472-2479, Dec. 2001.
- [85] **N. SRIRATTANA, A. RAGHAVAN, D. HEO, AND AL.**
« Analysis and design of a high-efficiency multistage Doherty power amplifier for WCDMA, »
IEEE Microwave Conference, 2003. 33rd European, vol.3, pp. 1337-1340.
- [86] **J. CHA, Y. YANG, B. SHIN, AND B. KIM**
« An adaptative bias controlled power amplifier with a load-modulated combining scheme for high efficiency and linearity, »
IEEE MTT-S Int. Microwave Symp. Dig., pp. 81-84, June 2003.
- [87] **J. LEES, J. BENEDIKT AND AL.**
« Experimental Gallium Nitride microwave Doherty amplifier »
Electronics Letters, Vol. 41, No. 23, Nov. 2005
- [88] **D. M. UPTON,**
« A new circuit topology to realize high efficiency, high linearity and high power micro amplifiers, »
RAWCON'98 Proc., pp.317-320, Aug.1998.
- [89] **C. P. MCCARROLL, G. D. ALLEY, S. YATES, ANR R. MATRECI**
« A 20 GHz Doherty power amplifier MMMIC with high efficiency and low distorsion designed for broad band digital communication systems, »
IEEE MTT-S Int. Microwave Symp. Dig., 2000, pp.537-540.
- [90] **S. BOUSNINA, AND F. M. GHANNOUCHI**
« Analysis and experimental study of an L-band new topology Doherty amplifier, »
IEEE MTT-S Int. Microwave Symp. Dig., June 2001, pp. 935-938.

- [91] **N. DUBUC, C. DUVANAUD, PH. BOUYASSE**
« Application de la technologie Doherty pour l'amélioration des performances des amplificateurs de puissance »
JNM, Poitiers, Mai 2001.
- [92] **Y. YANG, J. YI, Y. Y. WOO, AND B. KIM**
« Experimental investigation on efficiency and linearity of microwave Doherty amplifier »
IEEE MTT-S Int. Microwave Symp. Dig., pp. 1367-1370 vol.2, May 2001.
- [93] **N. DUBUC, C. DUVANAUD, P. BOUYASSE**
« Analysis of the Doherty technique and application to a 900MHz power amplifier, » *European Microwave conference*, 2002.
- [94] **Y. YANG, J. CHA, B. SHIN, AND B. KIM**
« A fully matched N-way Doherty Amplifier with optimized linearity, »
IEEE Microwave Theory Tech., vol. 51, pp. 986-993, March 2003
- [95] **J. LEES, M. GOSS, J. BENEDIKT, AND P. TASKER**
« Single-tone of an adaptive-bias Doherty structure, »
IEEE MTT-S Int. Microwave Symp. Dig., pp. 2213-2216, June 2003.
- [96] **Y. ZHAO, M. IWAMOTO, L. E. LARSON, AND P. ASBECK**
« Doherty amplifier with DSP control to improve performance in CDMA operation, » *IEEE MTT-S Int. Microwave Symp. Dig.*, pp. 687-690, June 2003.
- [97] **Y. SUZUKI, T. HIROTA, AND T. NOJIMA,**
« Highly efficient feed-forward amplifier using a class-F Doherty Amplifier, » *IEEE MTT-S Int. Microwave Symp. Dig.*, pp. 77-80, June 2003.
- [98] **C. TONGCHOI, M. CHONGCHEAWCHAMMAN, AND A. WORAPISHET**
« Lumped element based Doherty power amplifier topology in CMOS process, »
IEEE Circuits and Systems, vol. 1, pp. 445-448, May 2003.
- [99] **S. BAE, J. KIM, I. NAM, Y. KWON**
« Bias-switching quasi-Doherty-type Amplifier for CDMA Handset applications , »
IEEE RFIC Symp. Dig., pp. 137-140, June 2003.
- [100] **Y. YANG, J. CHA, B. SHIN, AND B. KIM**
« A Microwave Doherty amplifier employing envelope tracking technique for high efficiency end linearity »
IEEE Microw. and Wireless Comp. letters, vol.13, no 9, sept 2003
- [101] **T. OGAWA ET AL.,**
« High efficiency feed-forward amplifier using RF predistorsion linearizer and the modified Doherty amplifier, »
IEEE MTT-S Int. Microwave Symp. Dig., pp. 537-540, June 2004.
- [102] **B. SHIN ET AL.**
« Linear power amplifier based on 3-way Doherty amplifier with predistorter, » *IEEE MTT-S Int. Microwave Symp. Dig.*, pp. 2027-2030, June 2004.
- [103] **I. TAKENAKA ET AL.**
« A 240 W Doherty GaAs power FET amplifier with high efficiency and low distortion for W-CDMA base stations, »
IEEE MTT-S Int. Microwave Symp. Dig., pp. 525-528, June 2004.
- [104] **H. T. JEONG ET AL.**
« Design of the Doherty amplifier with Push-pull structure using balun transformer, » *IEEE MTT-S Int. Microwave Symp. Dig.*, pp. 851-854, June 2004.
- [105] **S. GOTO ET AL.**
« Efficiency of Doherty amplifier with combination of class-F and inverse class-F schemes for S-band base station application, »
IEEE MTT-S Int. Microwave Symp. Dig., pp. 839-842, June 2004.

- [106] **J. R. GAJADHARSING, O. BOSMA, AND P. VAN WESTEN**
« Analysis and design of a 200 W LDMOS based Doherty amplifier for 3G Base stations, »
IEEE MTT-S Int. Microwave Symp. Dig., pp. 529-532, June 2004.
- [107] **D. W. FERWALT, A. WEISSHAAR**
« A base control Doherty power amplifier for improved efficiency in GSM handsets, » *IEEE MTT-S Int. Microwave Symp. Dig.*, pp. 895-898, June 2004.
- [108] **K-J. CHO, J-H. KIM, AND S. P. STAPLETON**
« RF high power Doherty amplifier for improving the efficiency of a feedforward linear amplifier, »
IEEE MTT-S Int. Microwave Symp. Dig., pp. 847-850, June 2004
- [109] **J. CHA, J. KIM, B. KIM, J. S. LEE, AND S. H. KIM**
« Highly efficient power amplifier for CDMA base stations using Doherty configuration , »
IEEE MTT-S Int. Microwave Symp. Dig., pp. 533-536, June 2004.
- [110] **K-J CHO, J-H. KIM AND S.P. STAPLETON,**
« A Highly Efficient Doherty Feedforward Linear Power Amplifier for W-CDMA Base-Station Applications, »
IEEE Trans. Microwave Theory Tech., vol. 53, pp. 292-300, January 2005.
- [111] **N. SRIRATTANA, A. RAGHAVAN, AND AL.**
« Analysis and Design of a High-Efficiency Multistage Doherty Power Amplifier for Wireless Communications, »
IEEE Trans. Microwave Theory Tech., vol. 53, pp. 852-860, March 2005
- [112] **J. KIM, J. CHA, I. KIM, AND B. KIM**
« Optimum Operation of Asymmetrical-Cells-Based Linear Doherty Power Amplifiers – Uneven Power Drive and Power Matching »
IEEE Trans. Microwave Theory Tech., vol.53, no.5, May 2005.
- [113] **E. J. CRESCENZI, R. S. PENGELLY, S. M. WOOD AND R. E. BUSS**
« 60 Watt Doherty Amplifiers Using High Gain 2-Stage Hybrid Amplifier Modules »
IEEE MTT-S Int. Microwave Symp. Dig., 12-17 June 2005 Page(s):1383 - 1386
- [114] **J. SIROIS, S. BOUMAIZA, AND AL.**
« A Robust Modeling and Design Approach for Dynamically Loaded and Digitally Linearized Doherty Amplifiers »
IEEE Trans. Microwave Theory Tech., vol 53, No. 9, Sept 2005.
- [115] **K-J. CHO, W.-J. KIM; J.-H. KIM**
« Linearity optimization of a high power Doherty amplifier based on post-distortion compensation »
IEEE Microwave and Wireless Components Letters, Volume 15, Issue 11, Nov. 2005, Pages: 748 - 750
- [116] **J. JUNG, U. KIM, J. JEON AND AL.**
« A new “series-type” Doherty Amplifier for miniaturizing »
IEEE RFIC Symp., 12-14 Juin 2005, pages : 259 – 262.
- [117] **F. IIZUKA, T. OGINO AND AL.**
« High-Efficiency Doherty Linear Amplifier with Backoff Control for Mobile Communications »
IEEE VTC, Vol. 2, Juin 2005, pages : 949 – 953.
- [118] **C. Y. LIU, YI-JAN EMERY CHEN, AND D. HEO**
« Impact of Bias Schemes on Doherty Power Amplifiers »
IEEE ISCAS 2005, Vol.1, pages : 212-215.

CHAPITRE IV :

Conception d'un amplificateur Doherty à transistors GaN et à structure symétrique.

INTRODUCTION

Vu l'intérêt, d'une part de la filière GaN pouvant créer une rupture technologique dans la génération de forte puissance micro-ondes, et d'autre part, du principe Doherty pour l'amplification à fort rendement sur une dynamique de puissance importante, la conception d'un amplificateur GaN Doherty présente un intérêt certain.

Typiquement, l'utilisation de transistors GaN permet la réalisation d'amplificateurs en bande X de l'ordre de la dizaine de watts avec une relative simplification des circuits combineurs de puissance, comparé à d'autres technologies.

La structure Doherty présente un intérêt certain pour l'amplification à haut rendement de signaux ayant d'une part, un « peak to average » (présenté dans le chapitre précédent) élevé et d'autre part, une distribution statistique d'enveloppe centrée à moyen niveau voire assez bas niveau par rapport à la valeur crête d'enveloppe.

I. Etude du nouvel amplificateur Doherty proposé.

I.1. Principe de fonctionnement

La nouvelle structure de l'amplificateur Doherty que nous proposons est représentée Figure 137 :

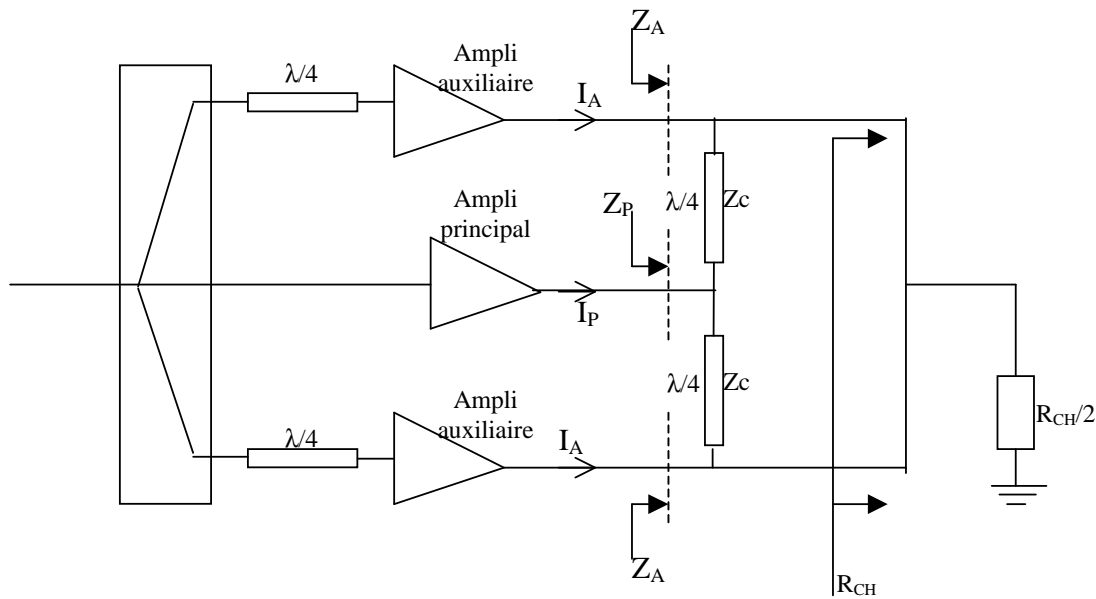


Figure 137 : Structure de l'amplificateur Doherty proposé

A notre connaissance, cette structure n'a jamais été proposée dans les différentes publications parues, ses particularités sont exposées dans la suite de ce chapitre.

La variation de l'impédance de charge se fait par un système Doherty à 2 auxiliaires en parallèle. Ce sont les 2 auxiliaires qui font varier simultanément l'impédance de charge du transistor principal.

Le principe de cette structure d'amplificateur de puissance est la variation de charge en fonction du niveau de puissance d'entrée. Pour cela, l'amplificateur est composé d'un transistor principal et de deux transistors auxiliaires. Le transistor principal est relié aux auxiliaires à leurs sorties par une ligne de longueur $\lambda/4$ assurant la fonction d'inverseur d'impédance.

Le principe de fonctionnement est identique à celui de toute structure Doherty et s'articule par rapport au point de transition déclenchant les transistors auxiliaires.

I.2. Détermination des impédances de charge des amplificateurs.

Si l'on considère les amplificateurs, seulement par leur effet fondamental à savoir leur source de courant, l'amplificateur peut être représenté par le schéma électrique de la Figure 138:

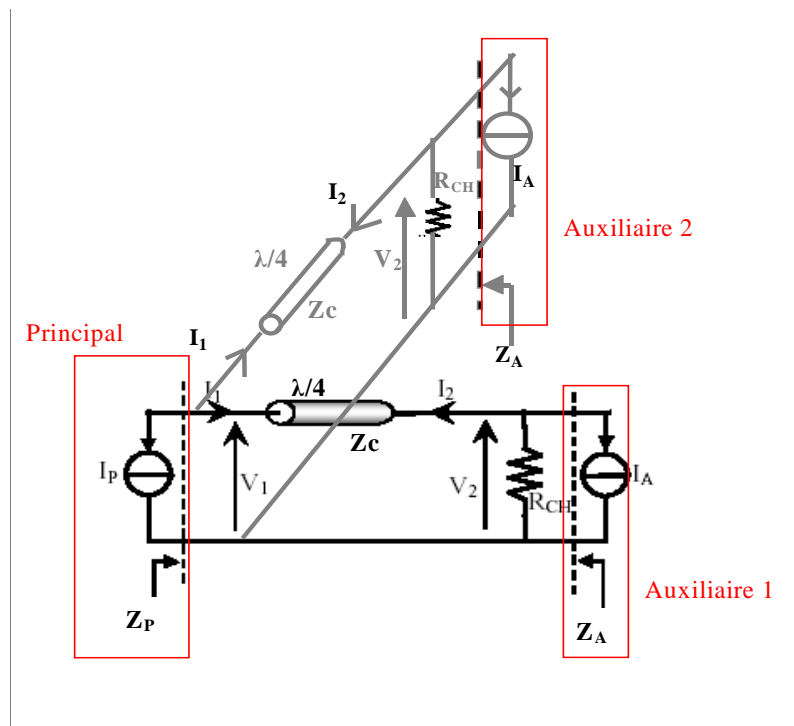


Figure 138 : Schéma simplifié de l'amplificateur Doherty proposé

Z_c représente l'impédance caractéristique des lignes quart d'onde.

Z_p représente l'impédance de charge vue par le transistor principal et Z_A celle vue par chaque amplificateur auxiliaire.

I_p représente le courant de sortie du transistor de l'amplificateur principal et I_A ceux des amplificateurs auxiliaires. Le courant I_A est le même dans chaque auxiliaire car les transistors sont identiques et polarisés de la même manière.

On peut exprimer ces impédances de charge en fonction des courants de sortie.

$$- Z_p = \frac{V_1}{-I_p} \quad (1)$$

$$- Z_A = \frac{V_2}{-I_A}$$

Pour une ligne de transmission quart d'onde d'impédance caractéristique réelle, les relations tensions / courants sont :

$$- \begin{bmatrix} V_1 \\ I_1 \end{bmatrix} = \begin{bmatrix} 0 & j.Z_c \\ j/Z_c & 0 \end{bmatrix} \begin{bmatrix} V_2 \\ -I_2 \end{bmatrix} \quad (2)$$

De plus, la loi des nœuds appliquée aux accès des lignes quart d'onde donne les relations suivantes :

$$- I_1 = -I_p/2 \quad (3)$$

$$- I_2 = -(I_A + \frac{V_2}{R_{CH}})$$

On peut en déduire les équations des impédances de charge suivantes :

$$- Z_p = \frac{Z_c^2}{2.R_{CH}} - j.Z_c \cdot \frac{I_A}{I_p} \quad (4)$$

$$- Z_A = -j.Z_c \cdot \frac{I_p}{2.I_A}$$

I.3. Détermination de l'impédance caractéristique Z_c et de la résistance de charge R_{CH} .

Pour cet amplificateur Doherty, le courant qui sature les trois transistors, en tenant compte des circuits déphaseurs d'entrée est :

$$I_A = -j.I_p. \quad (5)$$

A partir des équations (4), on peut obtenir les nouvelles relations suivantes :

$$- Z_p = \frac{Z_c^2}{2.R_{CH}} - Z_c \quad (6)$$

$$- Z_A = Z_c / 2$$

Les trois amplificateurs sont conçus pour fournir la puissance maximale (à fort niveau) quand l'impédance de charge présentée à leur sortie est égale à R_{opt} , il faut donc :

$$- Z_p = \frac{Z_c^2}{2.R_{CH}} - Z_c = R_{opt} \quad (7)$$

$$- Z_A = Z_c / 2 = R_{opt}$$

On en conclut que :

$$- Z_c = 2.R_{opt} \quad (8)$$

$$- R_{CH} = 2.R_{opt} / 3$$

I.4. Evolution des impédances de charge des deux amplificateurs.

Pour un faible niveau d'entrée, l'amplificateur auxiliaire est pincé, le courant I_A est donc nul.

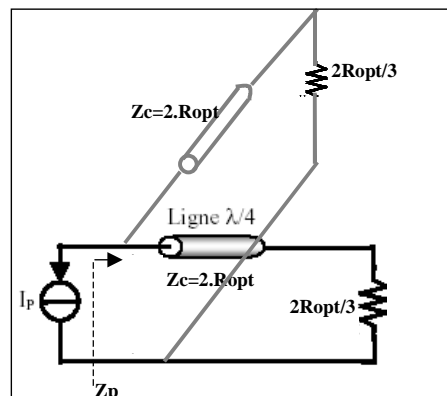


Figure 139 : circuit simplifié pour de faibles puissances

Equation d'impédance ramenée par les deux lignes quart d'onde :

$$Z_p = \frac{1}{2} \cdot \frac{Z_c^2}{2R_{opt} / 3} = 3.R_{opt}$$

Par conséquent la charge ramenée par la ligne quart d'onde et présentée en sortie de l'amplificateur principal devient égale à $3.R_{opt}$ et l'impédance vue par les amplificateurs auxiliaires est un circuit ouvert.

Pour des niveaux de puissance compris entre P_{α} et P_{Max} , l'impédance de charge vue par l'amplificateur principal varie alors de $3.R_{opt}$ à R_{opt} et du circuit ouvert à R_{opt} pour les amplificateurs auxiliaires.

Niveau de puissance	Z_p	Z_A
Puissance < P_{α}	$3.R_{opt}$	infini
P_{α} < Puissance < P_{max}	$3.R_{opt} \Rightarrow R_{opt}$	Infini $\Rightarrow R_{opt}$
Puissance = P_{max}	R_{opt}	R_{opt}

Tableau : Evolution des impédances de charge Z_A et Z_p

Pour l'amplificateur conçu : $I_{max_aux_total} = 2.I_{max_main}$

On en déduit que le point de transition est $\alpha=1/3$ et que le recul théorique en puissance possible pour lequel le rendement reste élevé est : $OBO = 10.\log\left(\frac{1}{\alpha^2}\right) = 9.5dB$

I.5. Simulations de l'amplificateur de puissance proposé.

I.5.1.Simulations en puissance

Dans un premier temps nous allons simuler en puissance ce nouvel amplificateur à l'aide du modèle électrothermique + pièges du transistor GaN $12 \times 75 \mu m$ décrit dans le chapitre II.

La résistance optimale simulée du transistor GaN est de 45 ohms. On en déduit les valeurs de Z_c et R_L : $Z_c=90\Omega$ et $R_L=15\Omega$ (Figure 140).

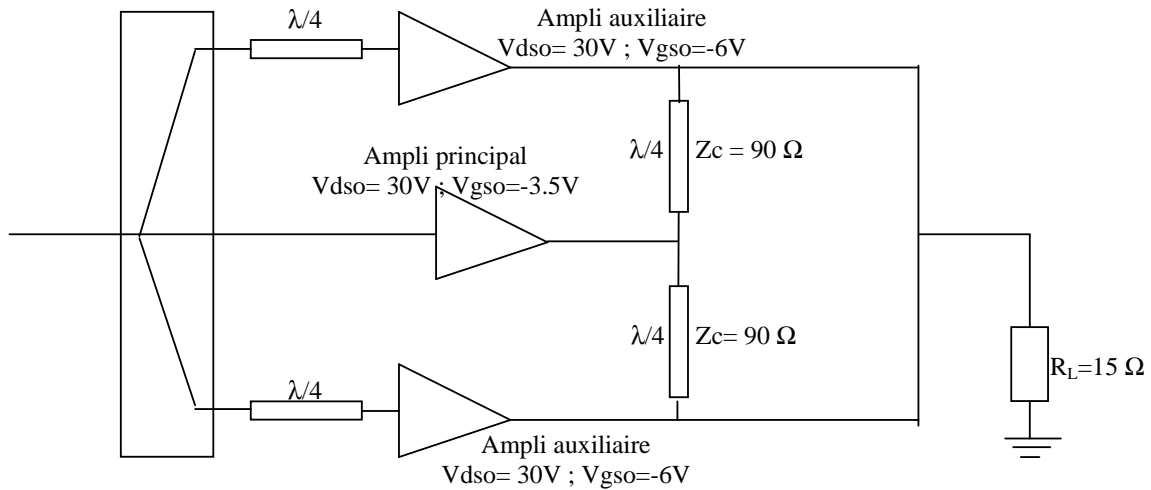


Figure 140 : Amplificateur Doherty pour $R_{opt} = 45 \Omega$

La Figure 141 représente l'adaptation en sortie de l'amplificateur. On peut notamment observer :

- l'adaptation sur 50 ohms de la sortie réalisée par un transformateur d'impédance.
- l'adaptation de sortie des transistors réalisée par une self parallèle de 0.85nH afin de compenser la capacité intrinsèque C_{ds} .

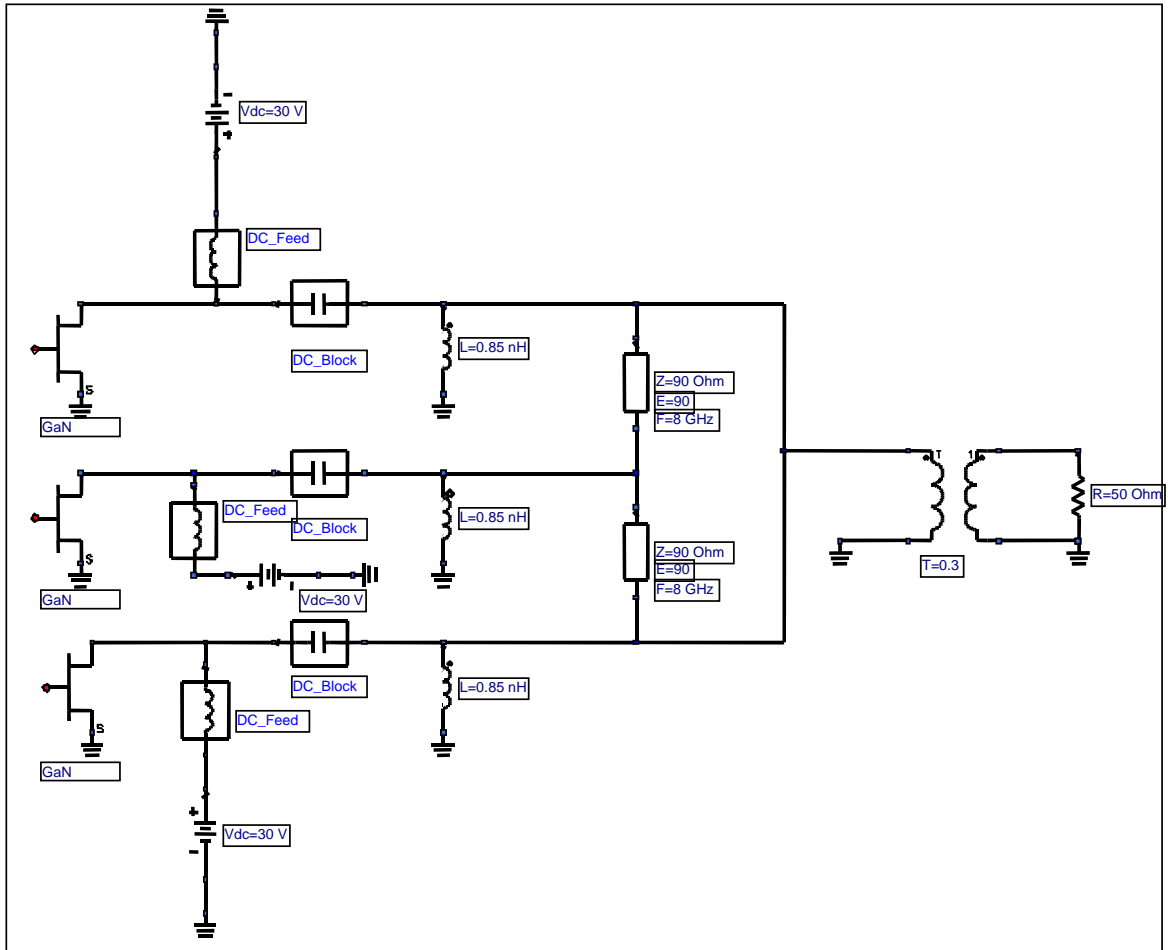


Figure 141 : Adaptation électrique de sortie de l'amplificateur Doherty

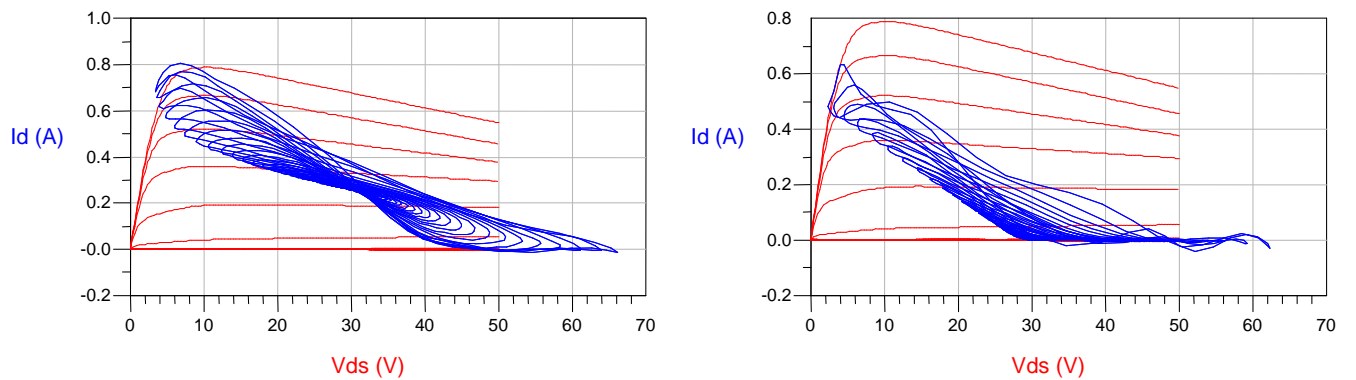


Figure 142 : Cycles de charge du transistor principal (gauche) et des auxiliaires (droite)

L'amplificateur principal est polarisé en classe AB ($V_{gso} = -3.7V$ et $V_{dso} = 30V$) et les amplificateurs sont polarisés en classe B ($V_{gso} = -6V$ et $V_{dso} = 30V$).

La fréquence de travail est de 8 GHz

La Figure 142 montre l'évolution des cycles de charge en fonction de la puissance d'entrée. Les cycles de charge ont une surface minimale, ce qui montre que l'impédance ramenée aux bornes de la source de courant de drain est purement résistive.

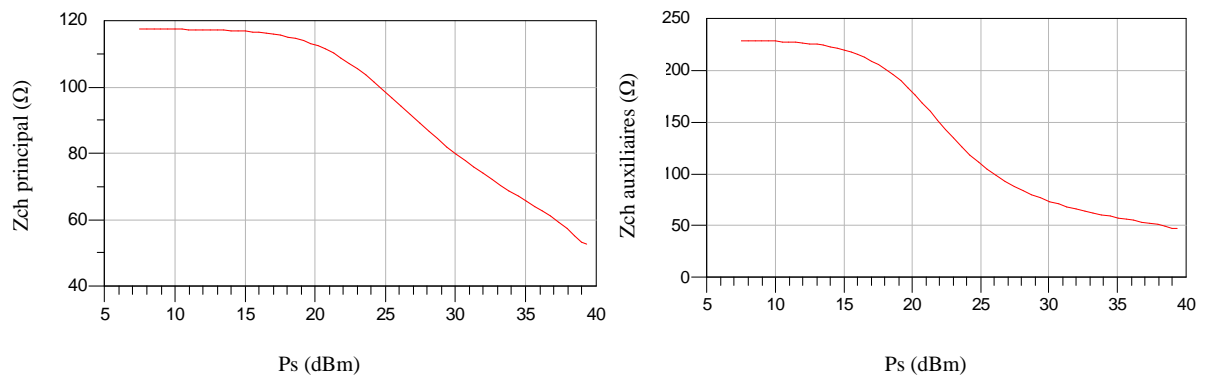


Figure 143 : Variation des impédances de charge

Les variations des impédances sont conformes à celles attendues. En effet, l'impédance de charge du principal varie de $3.R_{opt}$ à puissance faible à $R_{opt} = 45$ ohms, et l'impédance de charge de l'auxiliaire varie de 230 ohms (infini en théorie) à R_{opt} .

Les résultats de simulations en puissance (Figure 146 et Figure 147) de cette nouvelle structure d'amplificateur Doherty à 2 auxiliaires parallèles sont comparés aux simulations réalisées pour l'amplificateur Doherty à 2 étages étudié (Figure 144) au chapitre précédent et à celles d'un amplificateur conventionnel à 3 transistors (Figure 145).

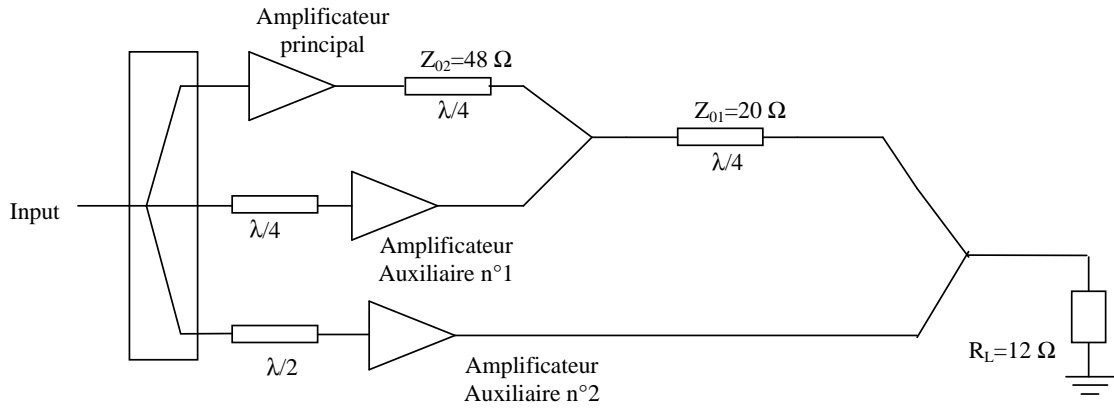


Figure 144 : Amplificateur Doherty à 2 étages

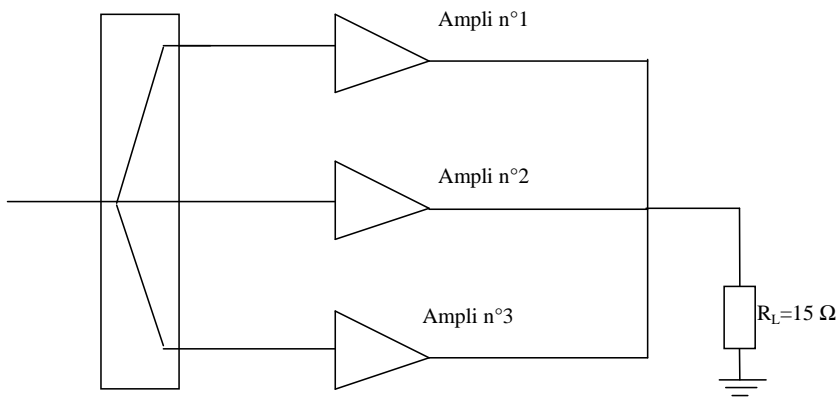


Figure 145 : Amplificateur conventionnel à 3 transistors

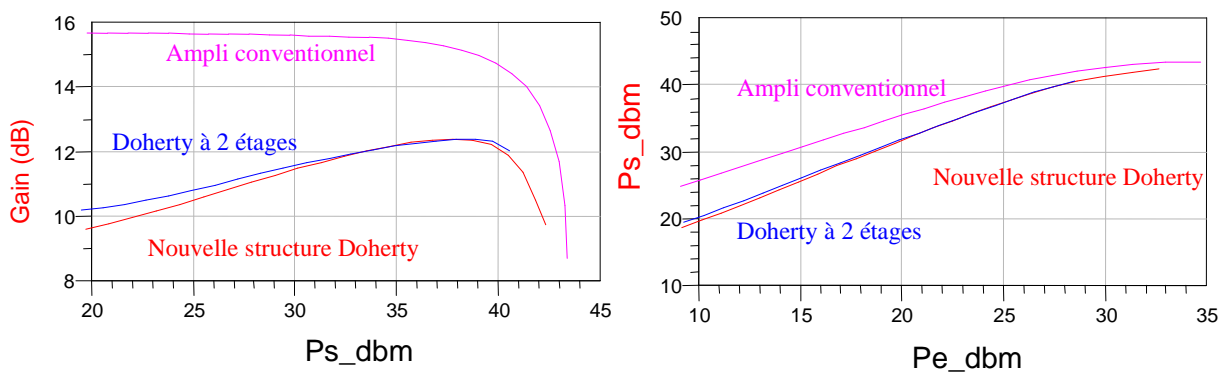


Figure 146 : Simulations en puissance du Doherty à 2 auxiliaires parallèles (Gain et conversion AM/AM)

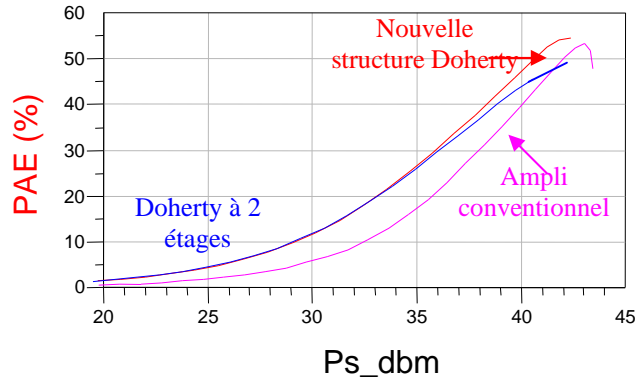


Figure 147 : Comparaisons de PAE

La Figure 147 montre l'intérêt de l'amplificateur Doherty par rapport à un amplificateur conventionnel : pour une puissance de sortie équivalente, la technique Doherty permet d'améliorer d'environ 10 points le rendement par rapport à celui du conventionnel.

La nouvelle structure Doherty permet d'obtenir des performances similaires à celles à deux étages. On note sur cette simulation une légère amélioration du rendement en zone de compression par rapport à la structure Doherty deux étages.

I.5.2. Influence des effets de pièges et de température

Jusqu'à présent les simulations ont été faites à l'aide du modèle du transistor GaN qui ne comporte ni les effets de piège ni les effets de la température. Pour montrer l'influence de ces deux phénomènes, nous allons comparer les simulations en puissance avec et sans ces effets.

I.5.2.1. Influence des effets de piège.

Nous comparons les simulations en puissance de l'amplificateur pour deux types de modèle de transistors :

- Modèle électrothermique sans la prise en compte des pièges (cas le plus favorable)
- Modèle électrothermique intégrant les pièges.

Ainsi, on peut visualiser l'impact du phénomène de pièges de grille sur les performances.

Le transistor principal a comme point de polarisation : $V_{gso}=-3.7V$ et $V_{dso}=30V$ et les transistors auxiliaires ont comme point de polarisation : $V_{gso}=-6V$ et $V_{dso}=30V$.

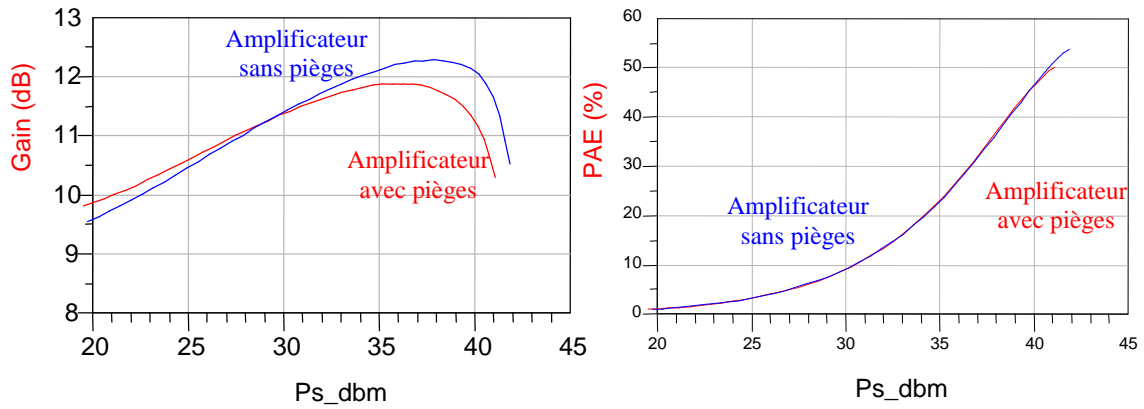


Figure 148 : Influence des effets de pièges (Gain et PAE)

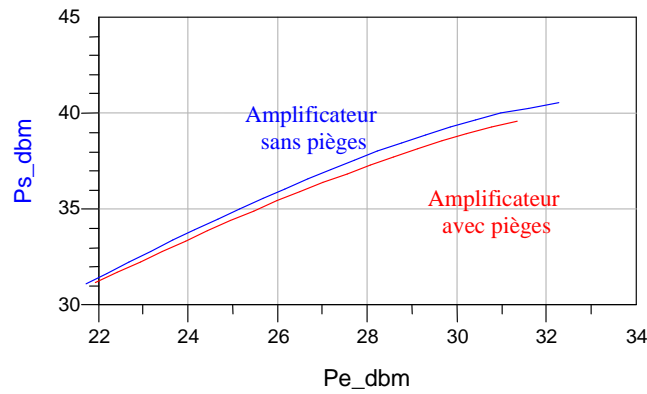


Figure 149 : Influence des effets de pièges (conversion AM/AM)

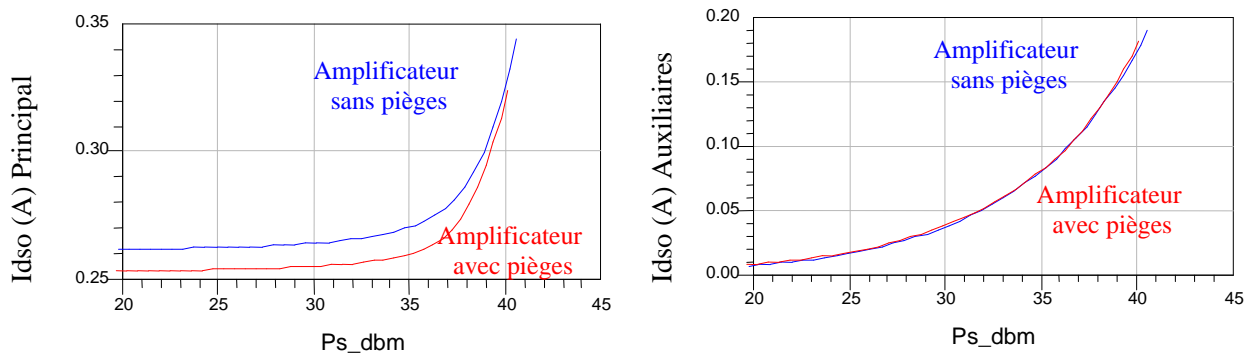


Figure 150 : Influence des effets de pièges (courants de drain)

Nous pouvons remarquer qu'avec la prise en compte des pièges, la puissance de sortie diminue d'environ 2W. Le gain présente une diminution d'environ 0.5dB en zone de compression. Cependant le rendement est quasi identique avec et sans pièges. En effet, la capture de pièges fait diminuer la puissance en sortie de l'amplificateur, mais fait diminuer également le courant continu de drain (du principal): le rendement ne varie donc que très peu.

I.5.2. Influence des effets de température.

Nous comparons les simulations en puissance de la nouvelle structure de l'amplificateur comportant le modèle sans piège et celui comportant le modèle de pièges et le modèle thermique.

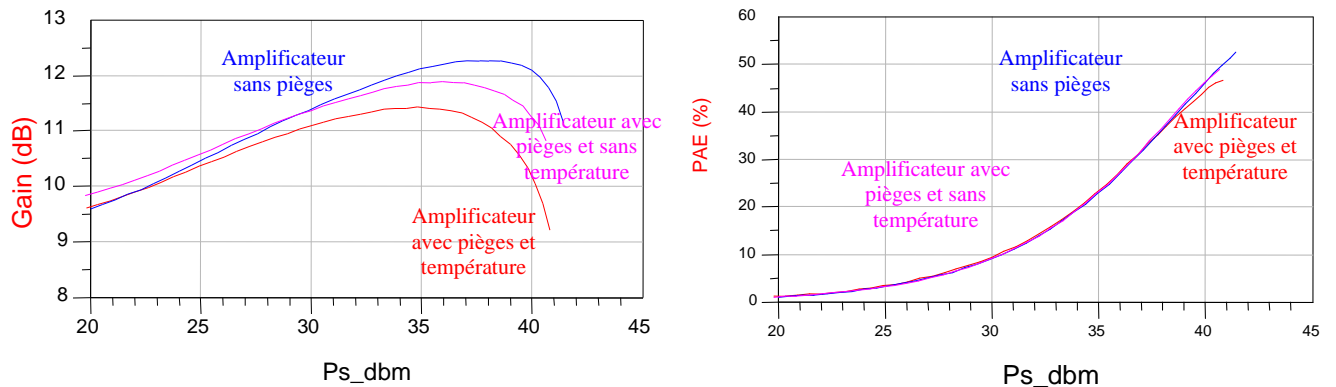


Figure 151 : Influence des effets de pièges et de la température (Gain et PAE)

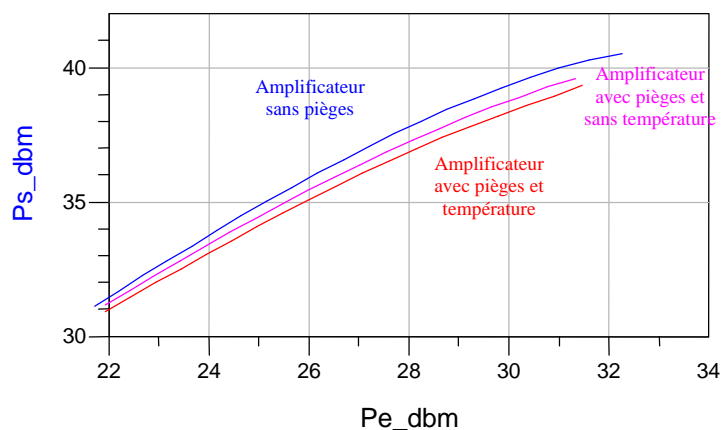


Figure 152 : Influence des effets de pièges et de la température (conversion AM/AM)

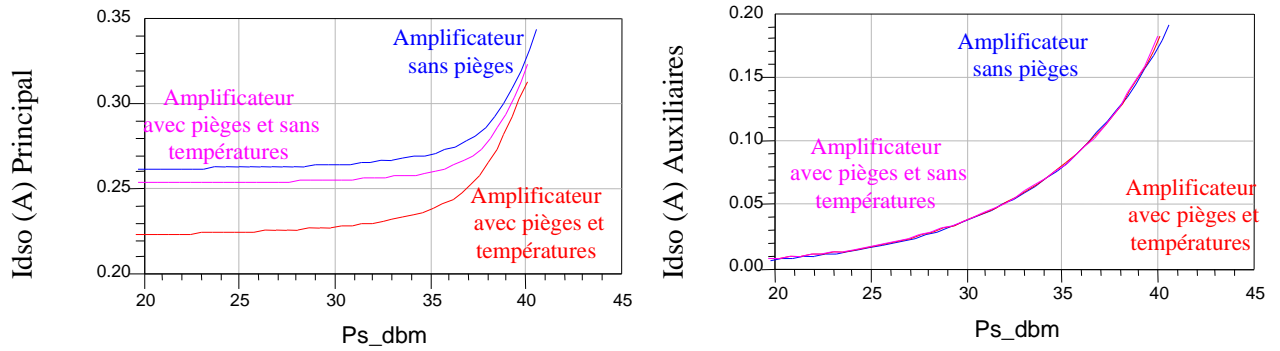


Figure 153 : Influence des effets de pièges et de la température (Courants de drain)

Ces simulations nous montrent que la prise en compte simultanée des deux phénomènes (pièges et température) a pour conséquence une perte assez importante en puissance de sortie (environ 30% de perte). La PAE diminue légèrement par rapport aux simulations sans prise en compte de ces différents effets.

Le modèle thermique permet de simuler les températures de jonction des transistors (Figure 154). On peut donc noter une élévation de température maximale du transistor principal d'environ 70°K pour une résistance thermique de 12°C/W et une température de référence de 340°K.

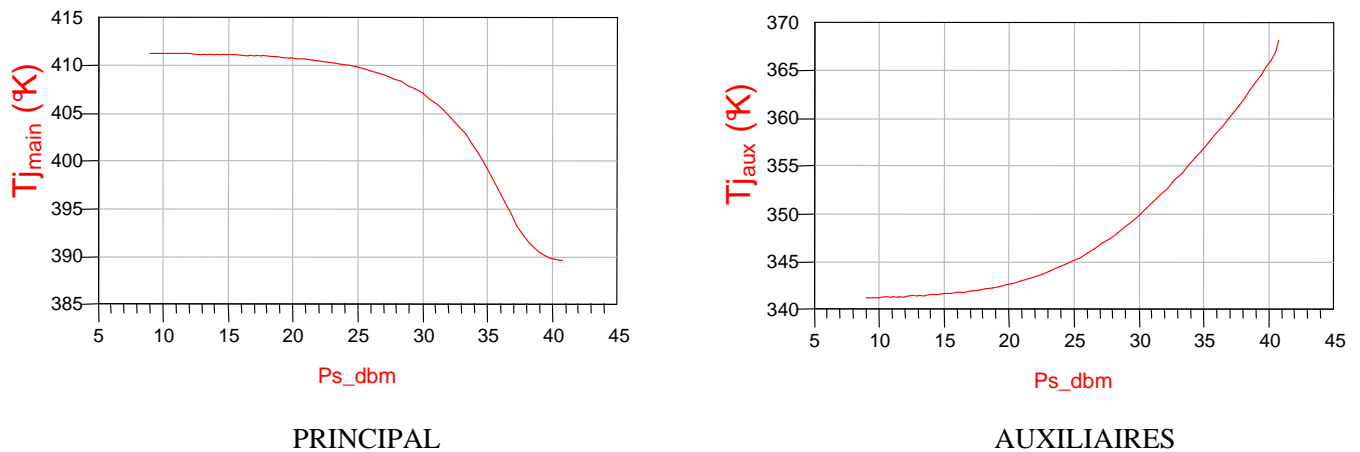


Figure 154 : Simulations des températures de jonction

Cette topologie présente plusieurs intérêts :

- structure symétrique
- transistors de mêmes tailles
- impédances caractéristiques des lignes quart d'onde plus élevées
- Variation d'impédance de charge plus importante
- structure pouvant permettre la flexibilité

II. Conception de l'amplificateur.

L'amplificateur est conçu en technologie hybride : 1 MIC d'entrée et 1 MIC de sortie reliés aux transistors par des fils de bonding. L'ensemble est assemblé dans un boîtier. (Figure 155)

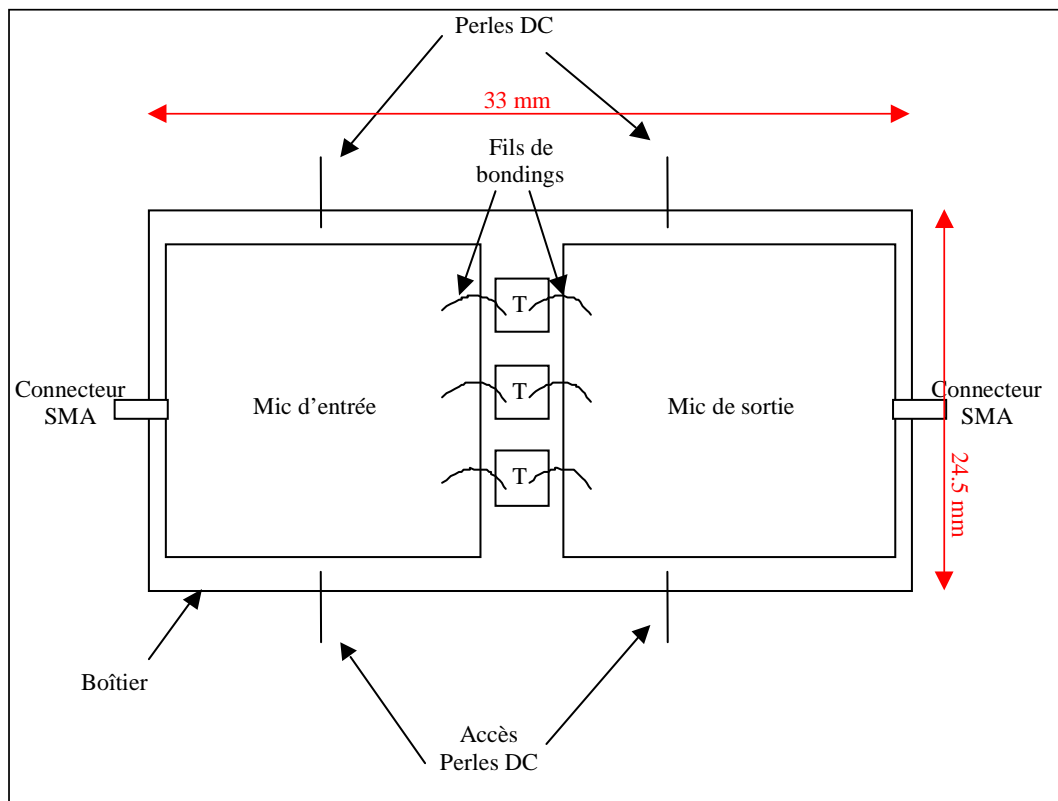


Figure 155 : Schéma de principe de la technologie hybride

La méthode de conception d'un amplificateur est la suivante (Figure 156):

- 1) Adapter le combineur de sortie 2 voies vers 1 sur 50 Ω
- 2) Adapter les sorties des transistors
- 3) Adapter sur 50 Ω les entrées des 3 transistors
- 4) Diviseur de puissance 3 voies d'entrée sur 50 Ω

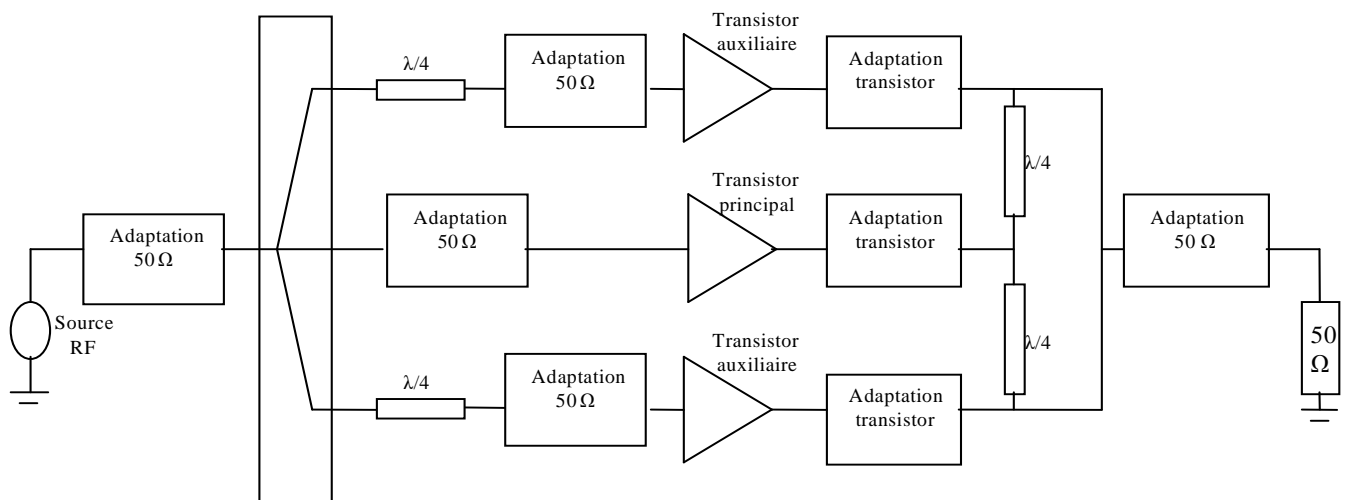


Figure 156 : Schéma de principe de conception

II.1. Modèles électriques des différents éléments de la conception.

Pour concevoir un amplificateur, il est nécessaire de disposer des modèles électriques de chaque élément utilisé. La plupart des modèles de ces éléments sont déjà contenus dans les logiciels de simulations (exemple : modèle électrique des lignes).

II.1.1. Modèle électrique du transistor.

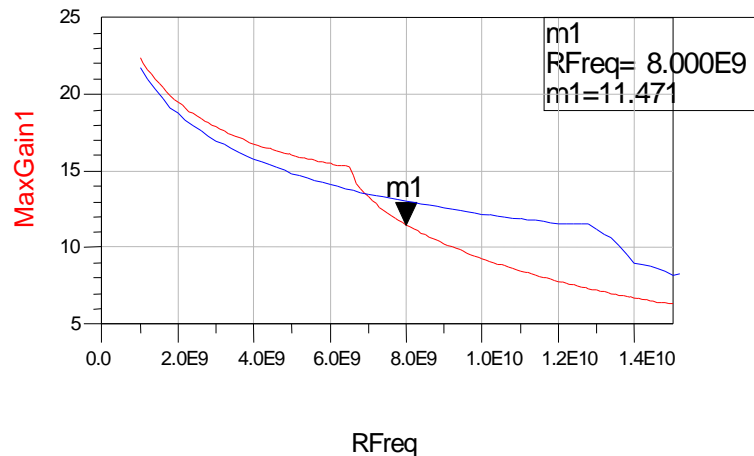
Pour notre conception, nous utilisons les transistors HEMTs en technologie GaN de 12x75µm de chez Tiger dont le modèle électrothermique et de pièges a été présenté chapitre III.

Pour pouvoir reporter les transistors sur les mics, nous utilisons des fils de bondings dont les caractéristiques sont:

- 2 fils de bonding sur la gille de longueur de 600 µm et d'épaisseur de 17.5µm.
- 2 fils de bonding sur le drain de longueur de 600 µm et d'épaisseur de 17.5µm..
- 8 fils de bonding sur la source de longueur de 800µm et d'épaisseur de 17.5µm..

Pour simuler ces fils de bonding, nous avons utilisé une description de type paramètres [S] fournis par Alcatel Alenia Space.

Cependant, l'ajout de ces fils de bonding modifie les propriétés électriques de l'amplificateur : une comparaison de simulation petit signal a été effectuée entre le transistor seul et le transistor avec les bondings (Figure 157).



- Gain Max des transistors sans l'implémentation des bondings
- Gain Max des transistors avec l'implémentation des bondings

Figure 157 : GainMax(dB)=f(Fréquence)

Nous pouvons voir que la mise en place des bondings a une grande influence sur la fréquence de transition du transistor. Ils dégradent notamment les performances à la fréquence de 8GHz où le gain_max n'est plus que de 11.5dB (au lieu de 13 dB).

II.1.2. Capacités de liaison.

Les capacités de liaison utilisées pour cette conception sont des Dicaps qui ont pour valeur 0.5pf. Le modèle électrique est le suivant :

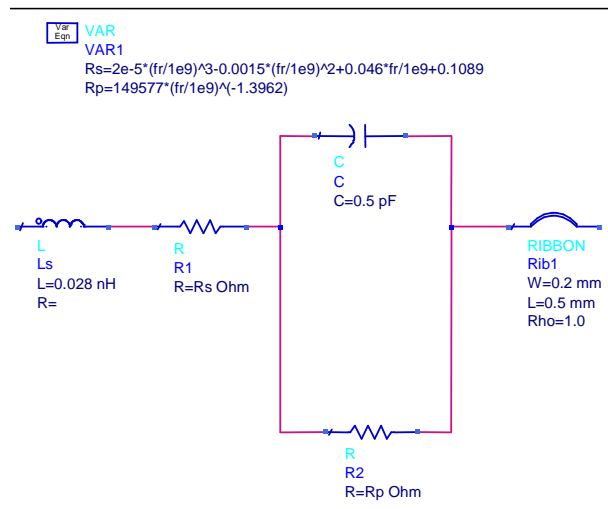


Figure 158 : Modèle électrique des capacités de liaison

Le modèle électrique (Figure 158) est composé d'une inductance fixe en série, d'une résistance série fonction de la fréquence, d'une résistance parallèle fonction de la fréquence et d'un ruban en or (ribbon). Ce ruban a pour fonction de relier le haut de la capacité aux pistes du circuit. Il a pour longueur 500µm et pour largeur 200µm. La capacité sera appliquée sur une piste de dimension 500µm / 500µm.

II.2. Conception des Mics.

II.2.1. Substrat utilisé.

Le substrat utilisé pour la fabrication des Mics est l'alumine.

Ces caractéristiques sont les suivantes :

Constante diélectrique ϵ_r	Épaisseur du substrat H	perméabilité Mur	conductivité Cond	épaisseur du conducteur T	tangente de perte Tan δ
9.6	0.381mm	1	4.1e7	0.005mm	0.0002

II.2.2. Diviseur de puissance 1 voie vers 3.

En entrée, l'amplificateur comporte un diviseur de puissance 1 voie vers 3. De plus, pour la conception, il faut que le diviseur présente impérativement deux sorties en phase (accès des auxiliaires), déphasées de 90° avec la troisième sortie (accès du principal).

La configuration choisie pour l'amplificateur est celle présentée Figure 159. Elle présente comme avantage d'être simple à concevoir et à réaliser.

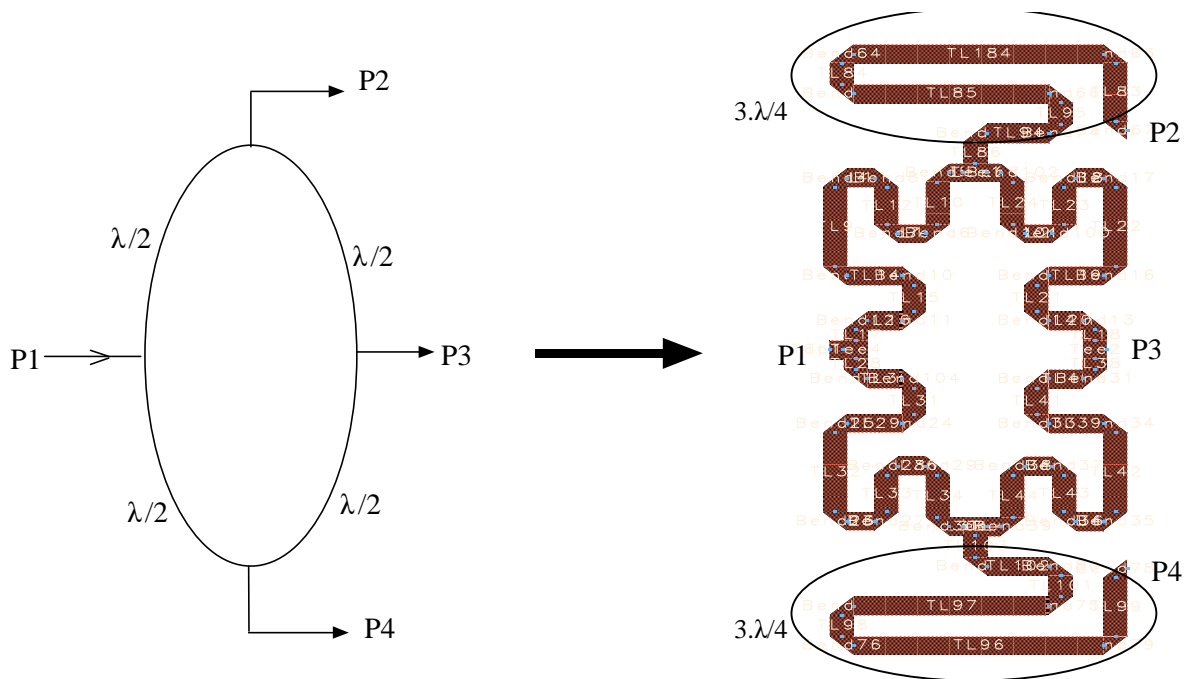


Figure 159 : Coupleur 1 voie vers 3

Les lignes $3\lambda/4$ permettent de présenter un retard de 90° aux ports P2 et P4 par rapport au port P3 pour ainsi compenser les inverseurs d'impédances quart d'onde de sortie.

Les simulations électriques du coupleur en paramètres [S] sont représentées Figure 160 et Figure 161:

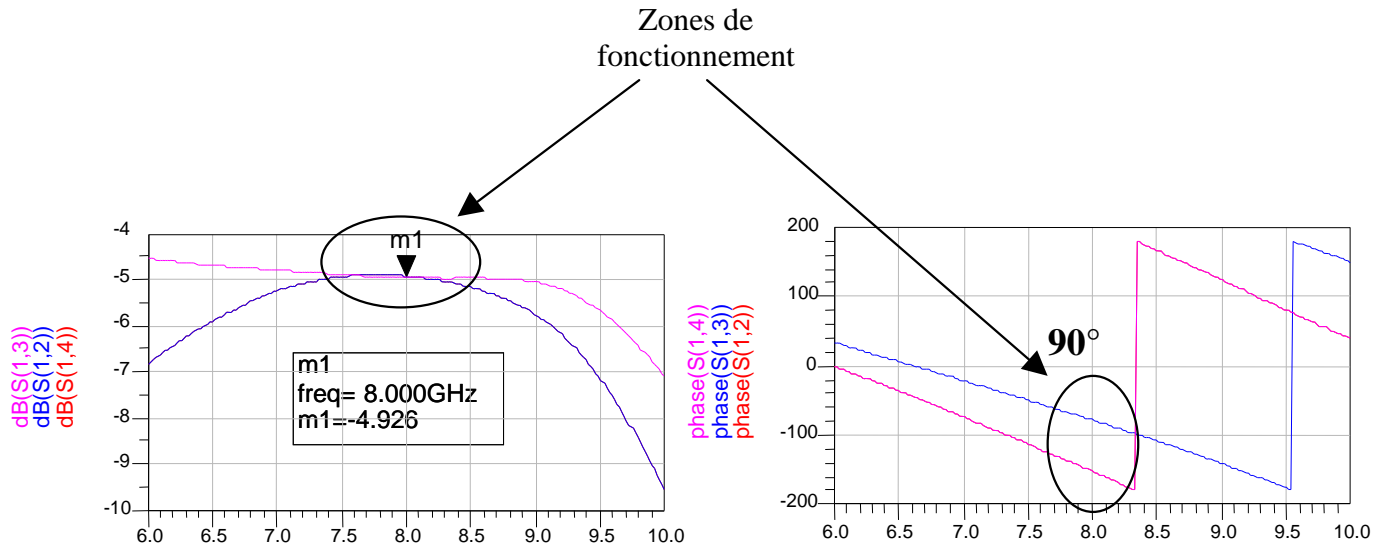


Figure 160 : Simulations des paramètres [S] du coupleur

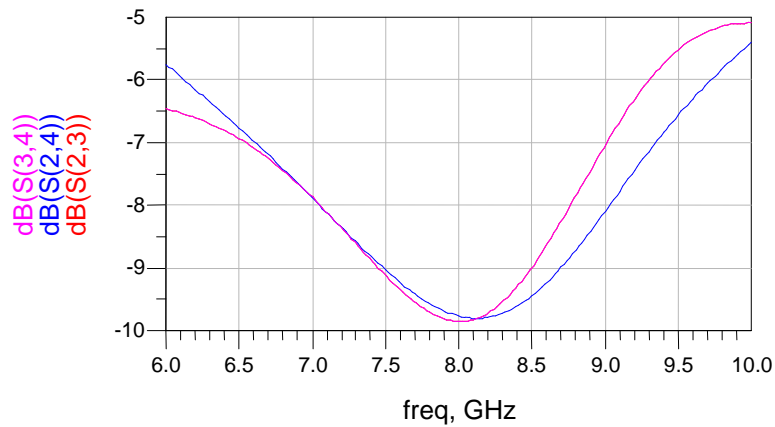


Figure 161 : Paramètres d'isolation entre les sorties

Les simulations électriques des paramètres [S] sont conformes au cahier des charges du coupleur à savoir :

- Module du coefficient de transmission identique dans chaque branche du coupleur ($S_{1j} = -4.9\text{dB}$).
- Déphasage de 90° entre les sorties P2 et P4 et la sortie centrale P3
- Sorties P2 et P4 en phases

Les pertes par voie sont faibles, de l'ordre de 0.2 dB.

II.2.3. Circuits de polarisations.

Les circuits de polarisation ont deux buts :

- Polariser les transistors
- Eviter que le signal RF ne remonte aux alimentations DC.

Typiquement, des selfs de choc sont utilisées en simulation. Cependant, pour la conception, il est préférable d'éviter d'utiliser des éléments extérieurs sur les mics dans le but de réduire au minimum les dispersions qui peuvent être dues à ces composants.

Pour remédier à cela, nous utilisons une ligne $\lambda/4$ associée à un « papillon ».

Son principe de fonctionnement est représenté Figure 162 :

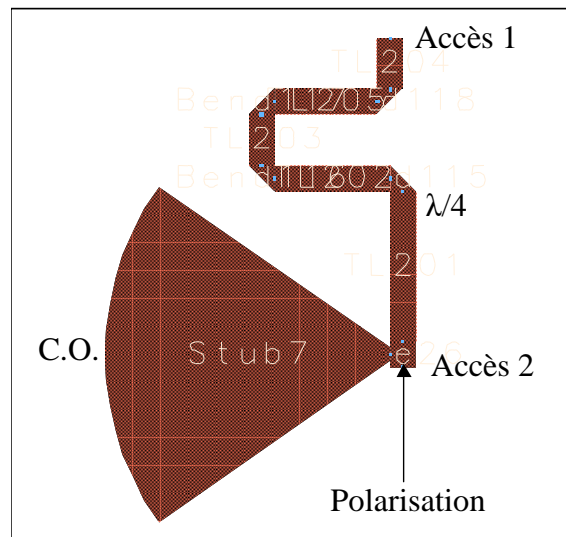


Figure 162 : Schéma de principe du circuit de polarisation

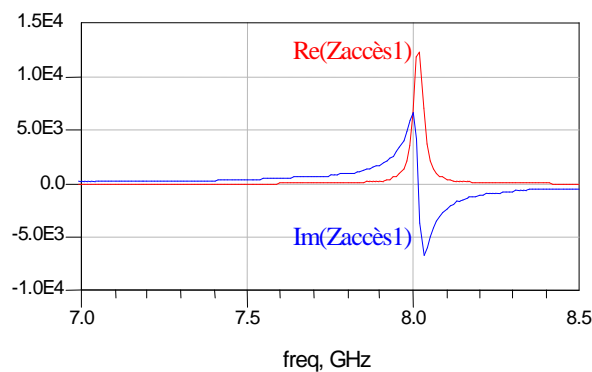


Figure 163 : Simulation de l'impédance ramenée par le circuit de polarisation

La Figure 163 représente l'impédance ramenée à l'accès 1. On observe le bon fonctionnement du circuit de polarisation qui permet de présenter un circuit ouvert à la fréquence de travail (8 GHz).

II.2.4. Circuit hybride de sortie.

La Figure 164 représente le circuit hybride de sortie conçu. Nous pouvons retrouver les circuits de polarisation présentés auparavant.

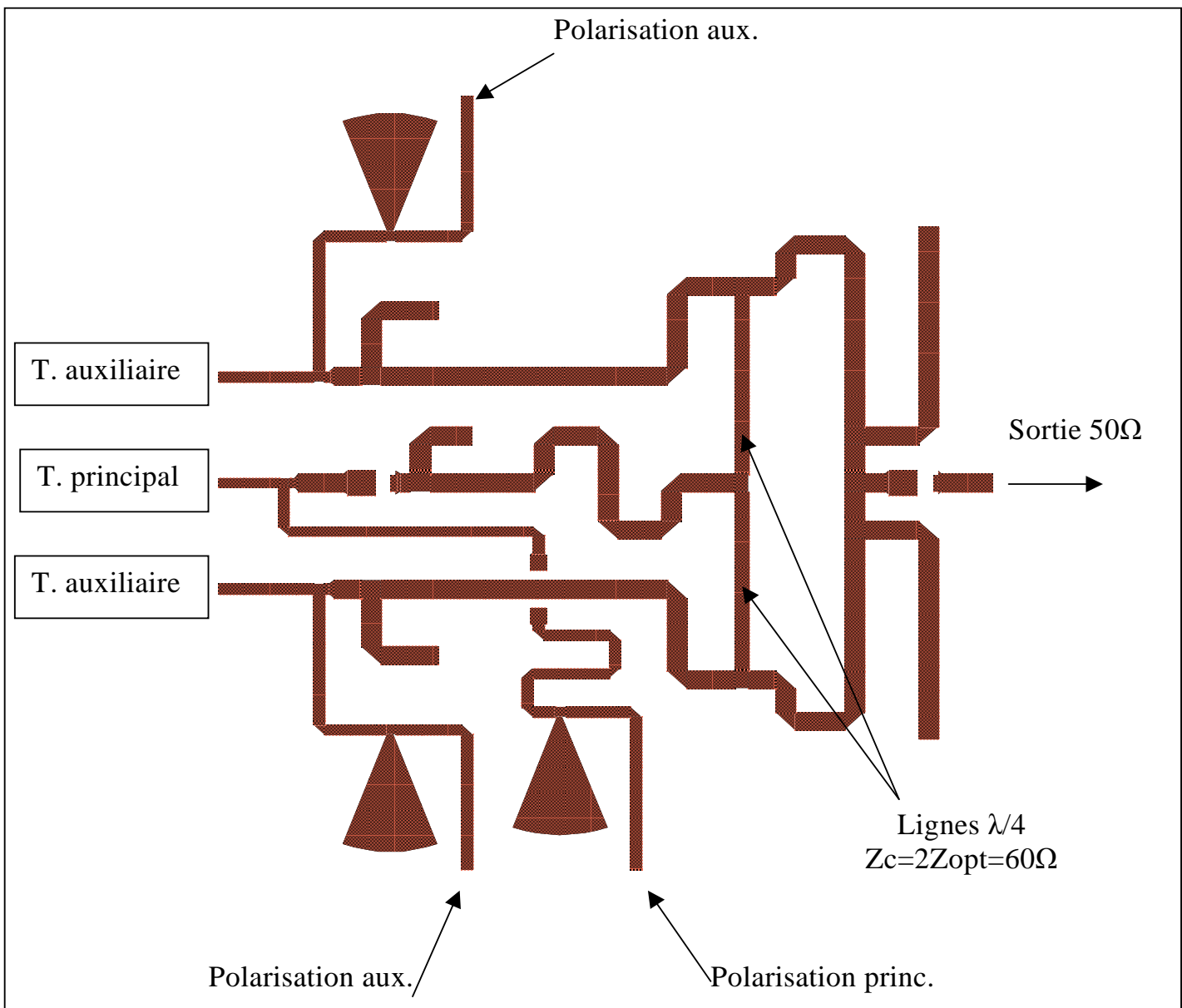


Figure 164 : Hybride de sortie

On remarque que les polarisations des auxiliaires sont communes mais indépendantes de celle du principal. Ce choix permettra d'introduire de la flexibilité par le biais de commande de polarisations.

Des simulations électromagnétiques de ce circuit ont été effectuées afin de valider les modèles électriques des lignes du simulateur ADS. Pour cela nous avons comparé Figure 165 les simulations électriques d'ADS et les simulations quasi-3D faites à Alcatel Space avec l'outil Momentum.

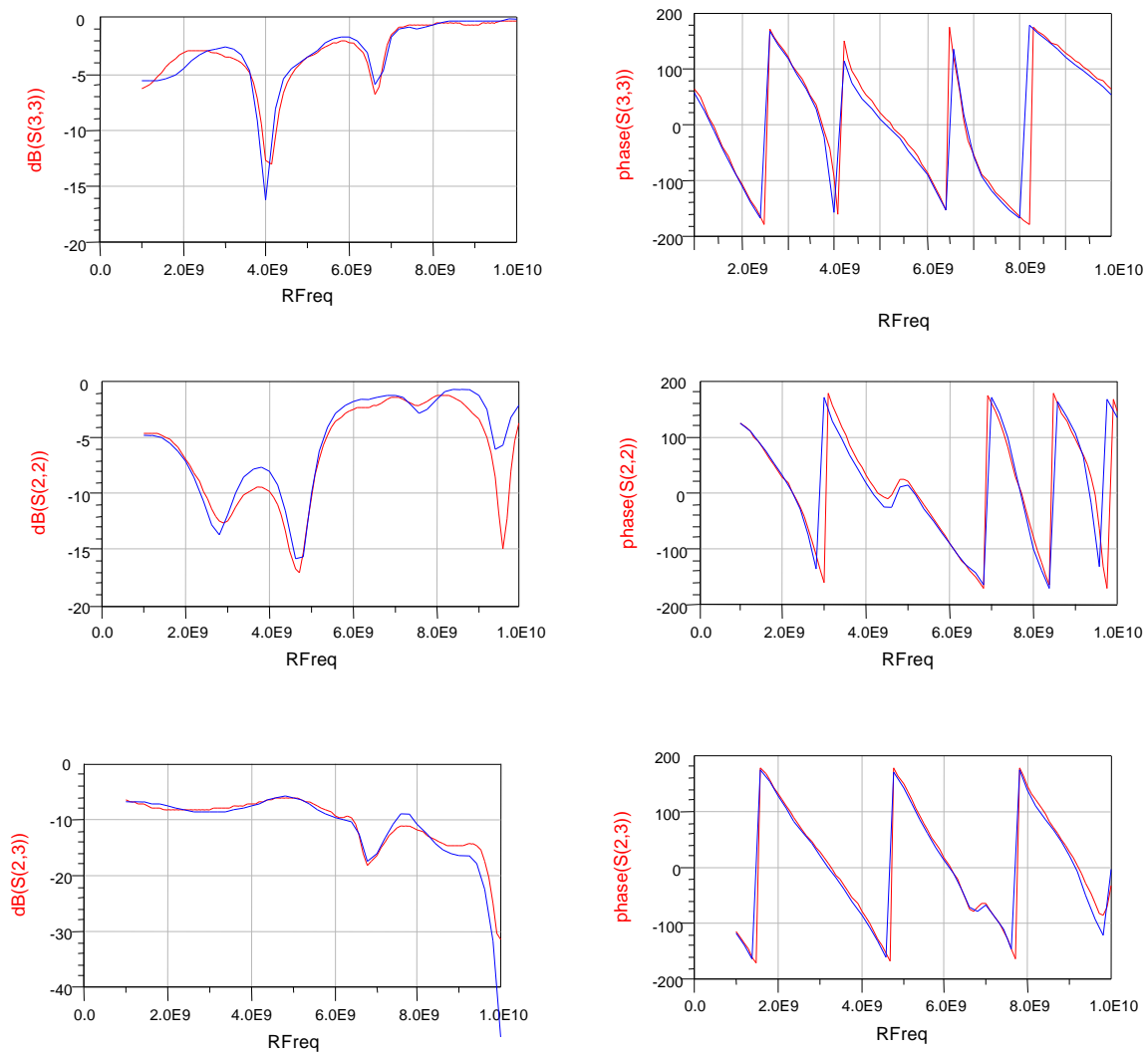


Figure 165 : Comparaisons des paramètres [S] simulés électriquement et électromagnétiquement de l'hybride de sortie

Une très bonne concordance est observée.

II.2.5. Circuit hybride d'entrée.

La Figure 166 représente le circuit hybride d'entrée conçu. Nous observons notamment le coupleur 1 voie vers 3 présenté auparavant.

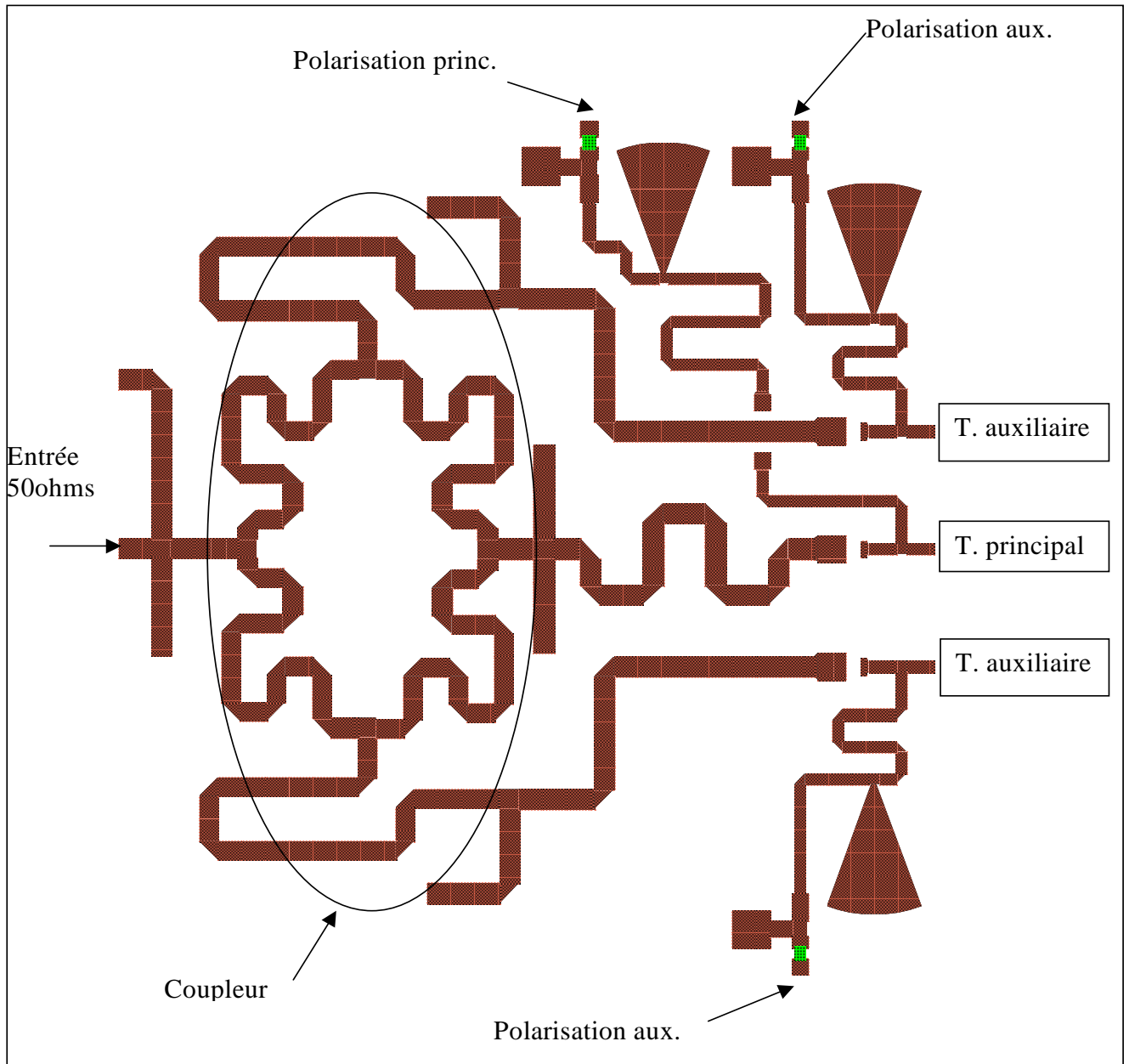


Figure 166 : Hybride de sortie

On remarque que du côté des grilles des transistors, les trois polarisations sont indépendantes les unes aux autres.

Comme pour l'hybride de sortie, des simulations quasi 3D Momentum sont comparées aux simulations électriques ADS.

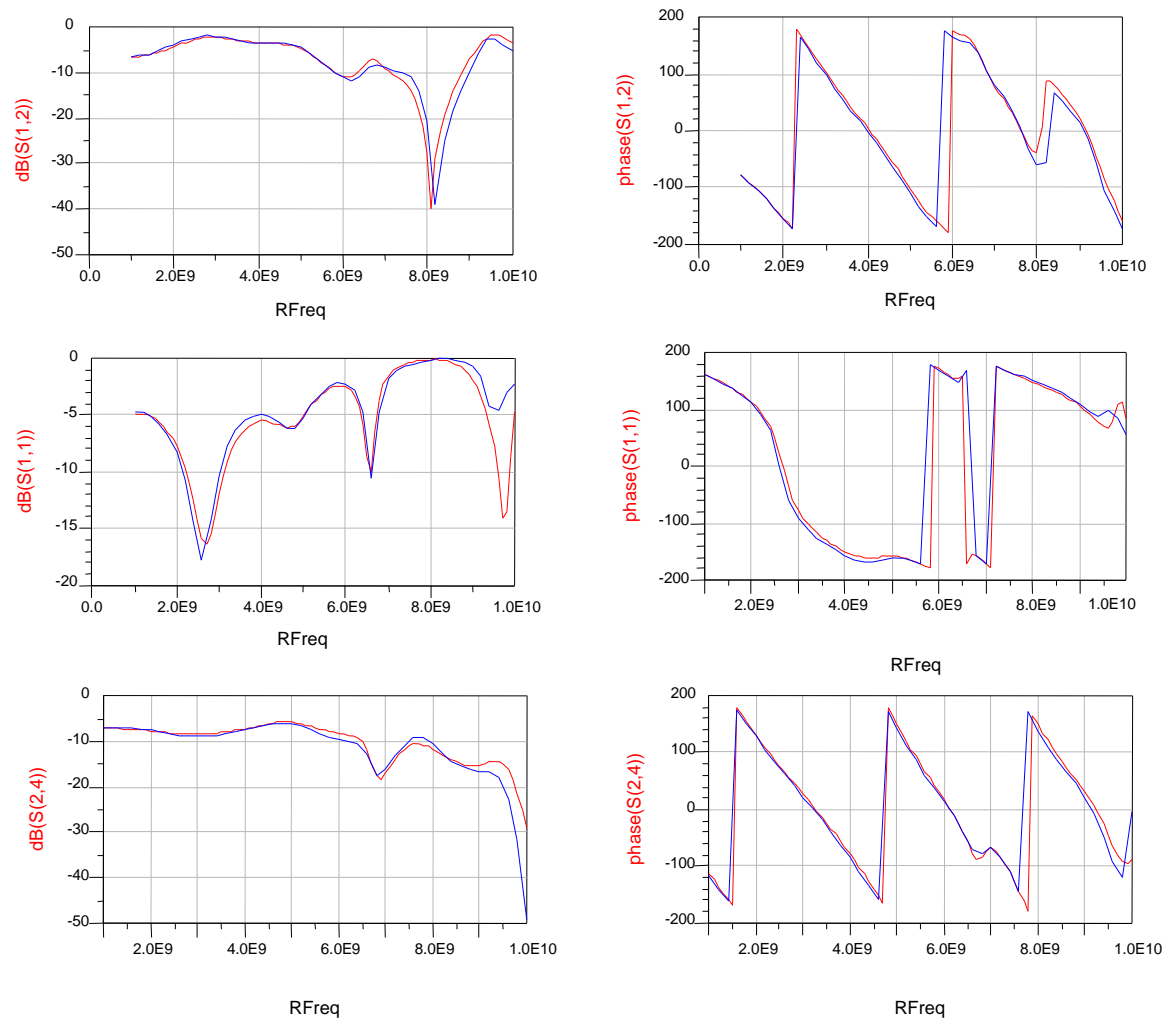


Figure 167 : Comparaisons des paramètres [S] simulés électriquement et électromagnétiquement de l'hybride d'entrée

Une très bonne concordance est de nouveau observée.

II.2.6. Amplificateur conçu

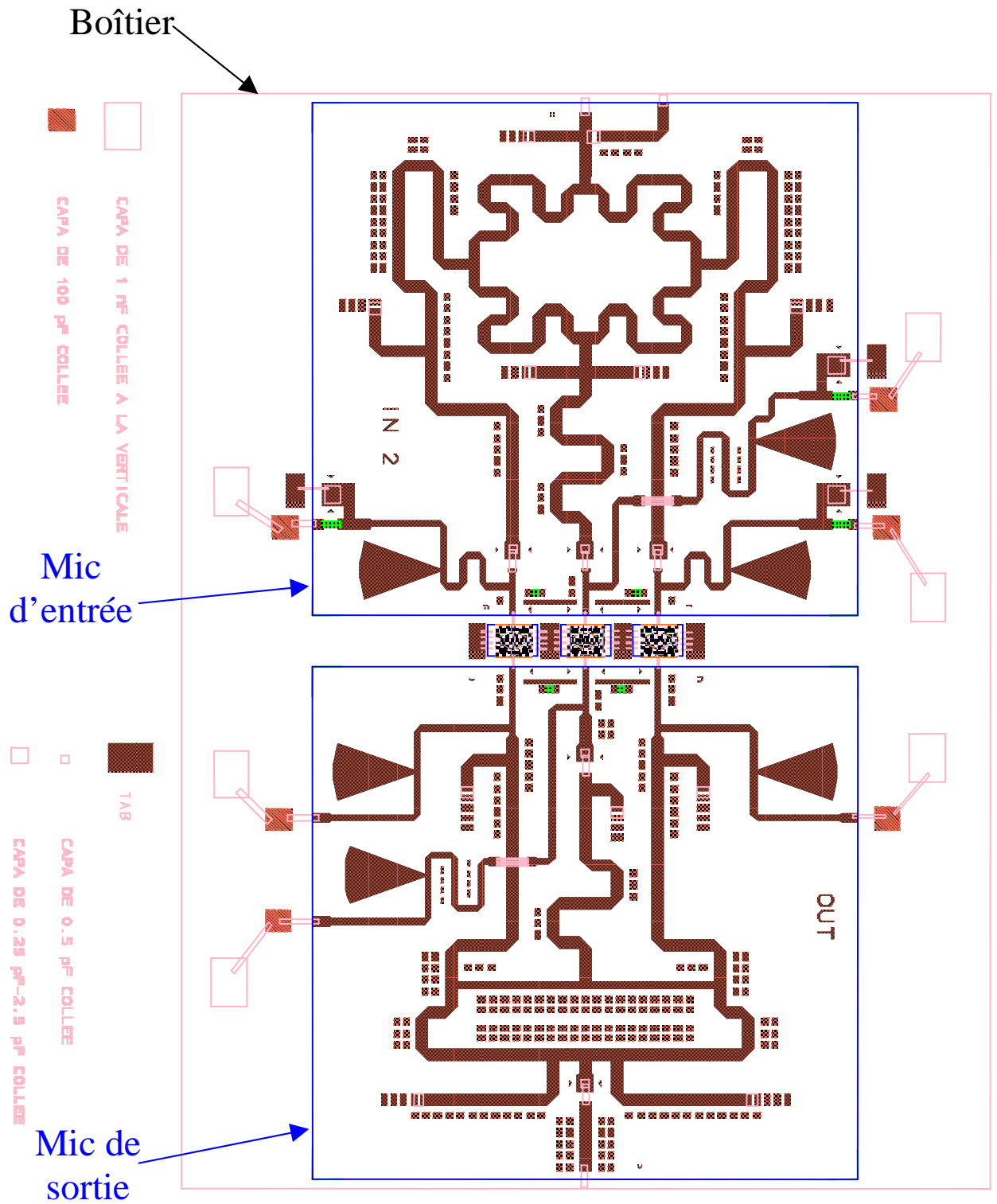


Figure 168 : Amplificateur Complet

II.3. Résultats de simulations.

II.3.1. Simulations paramètres [S]

Dans un premier temps, des simulations petit signal de l'ensemble du circuit ont été réalisées et sont exposées Figure 169 et Figure 170.

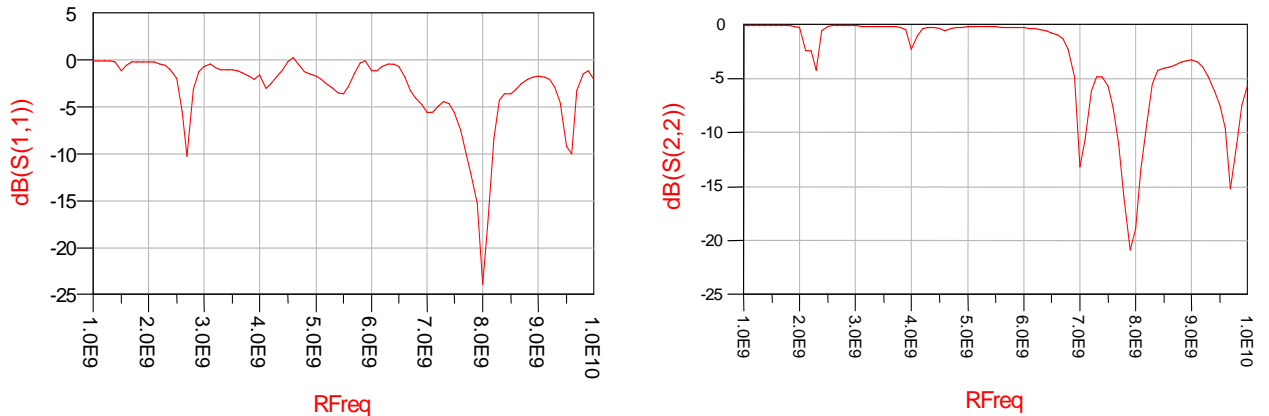


Figure 169 : Coefficients de réflexion d'entrée (gauche) et de sortie (droite)

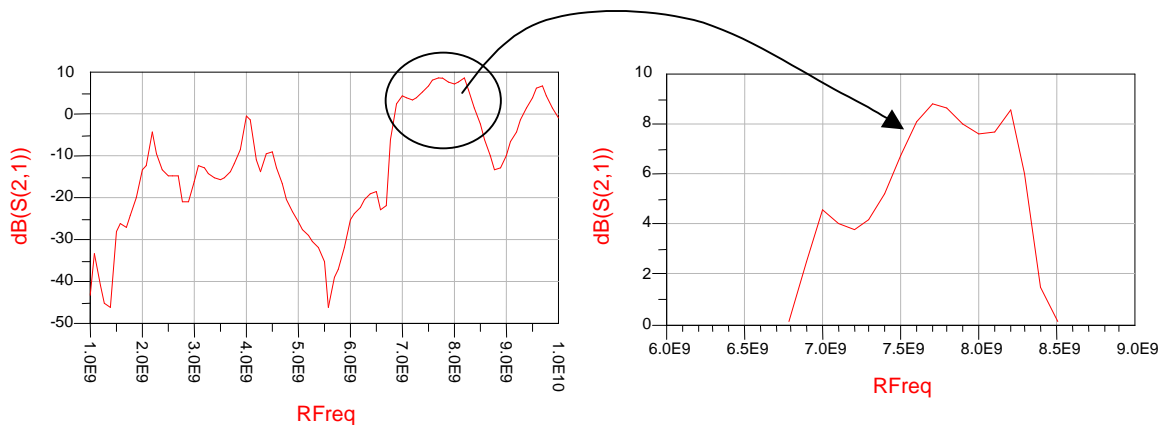


Figure 170 : Gain petit signal

Les résultats montrent que l'amplificateur est bien adapté sur 50Ω en entrée et en sortie à la fréquence de travail de 8 GHz. En effet les coefficients de réflexion en entrée et en sortie sont inférieurs à 20 dB, alors que le gain est quant à lui optimal autour de la fréquence de travail. Cependant, nous observons que l'amplificateur présente un fonctionnement bande étroite (8% de bande).

II.3.2. Simulations en puissance.

L'amplificateur principal a pour polarisation : $V_{gso} = -3.7V$ et $V_{dso} = 30V$.

Les amplificateurs auxiliaires ont, quant à eux, pour polarisation : $V_{gso} = -6V$ et $V_{dso} = 30V$. La fréquence de travail est de 8GHz

Ces polarisations se retrouvent sur les cycles de charge (Figure 171), à savoir que le principal est polarisé en début de classe AB alors que les auxiliaires sont polarisés en classe B. Les cycles de charge ont une surface minimale, ce qui traduit le fait que les transistors sont bien adaptés.

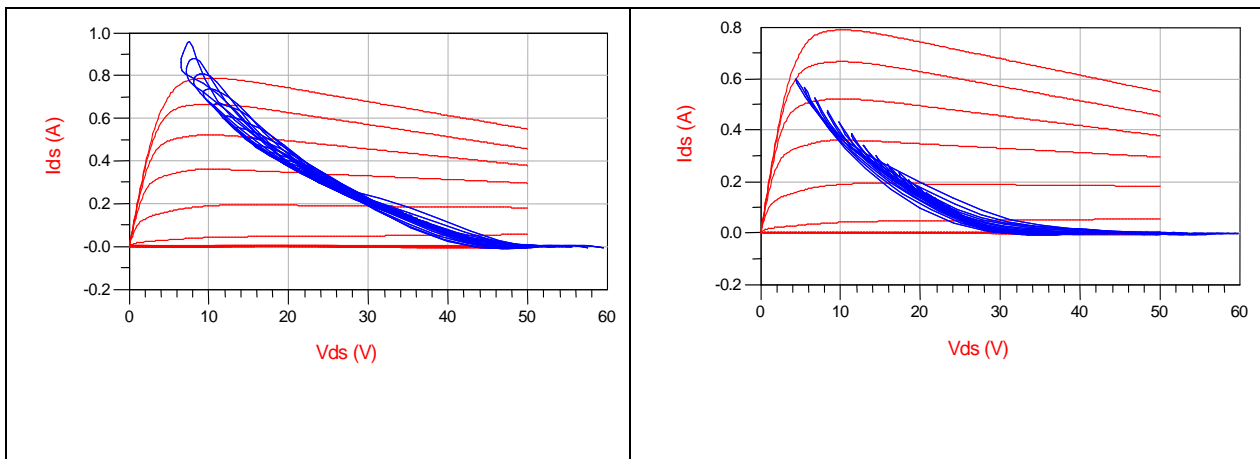


Figure 171 : cycles de charge du principal (gauche) et des auxiliaires (droite)

L'allure des évolutions des impédances de charge des transistors (Figure 172) sont conformes à celles attendues pour un amplificateur Doherty :

- A faible puissance, les transistors auxiliaires ont une forte impédance de charge (court-circuit en théorie). Puis lorsque la puissance d'entrée augmente, ces derniers entrent en conduction et leurs impédances de charge diminuent jusqu'à se rapprocher de l'impédance optimale.
- Cette entrée en conduction des transistors auxiliaires fait diminuer l'impédance de charge du transistor principal jusqu'à l'impédance optimale.

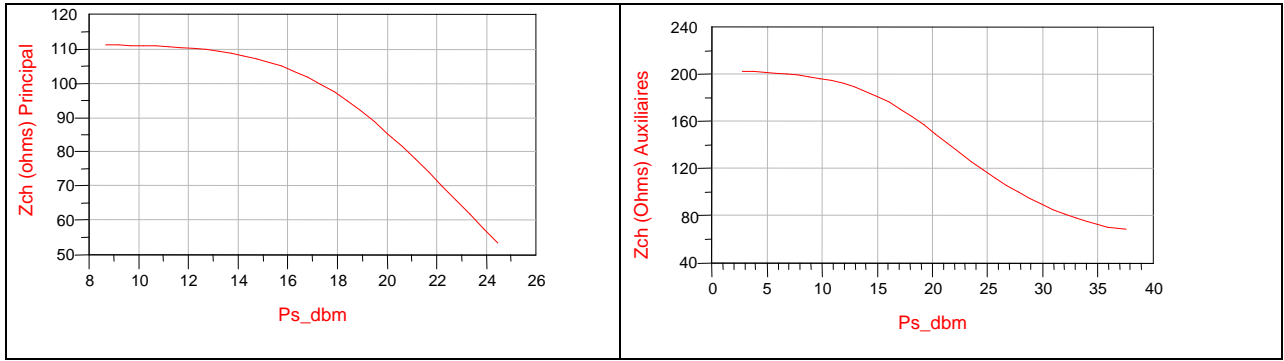


Figure 172 : Evolution de l'impédance de charge du principal (gauche) et des auxiliaires (droite)

Les Figure 173 et Figure 174 montrent les performances attendues de l'amplificateur conçu alors que la Figure 175 indique la bonne adaptation en entrée de l'amplificateur.

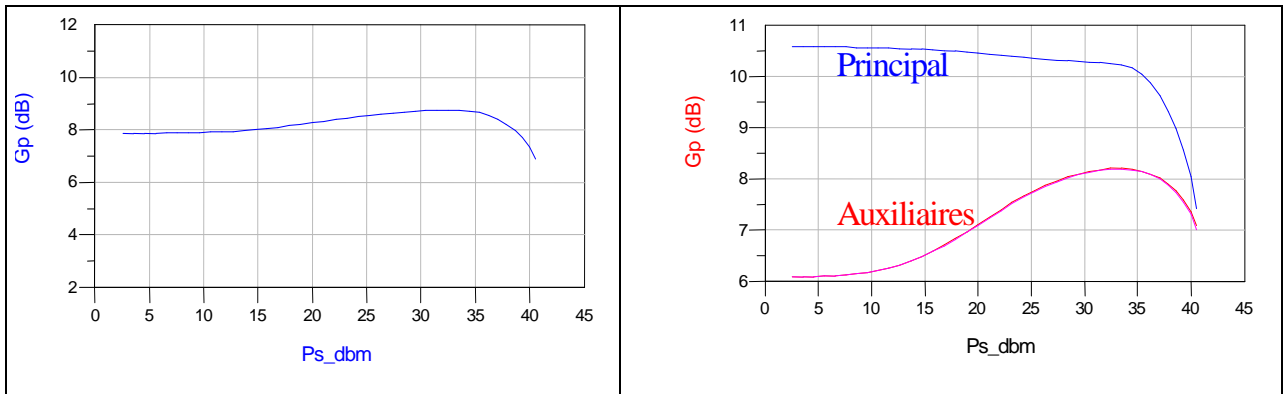


Figure 173 : Gain total de l'amplificateur (gauche) et gains de chaque transistor (droite)

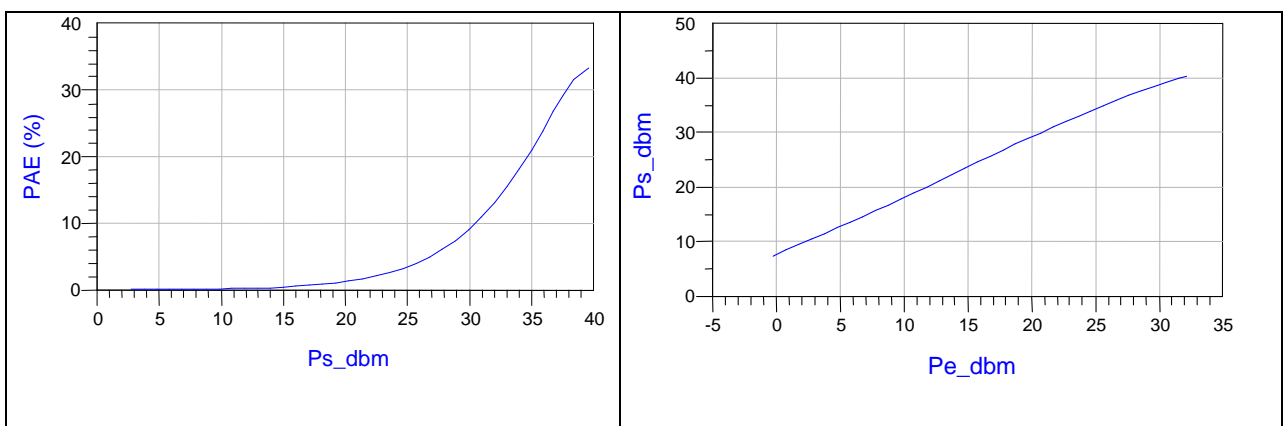


Figure 174 : $PAE = f(P_{s_dBm})$ (gauche) et $P_{s_Watts} = f(P_{e_Watts})$ (droite)

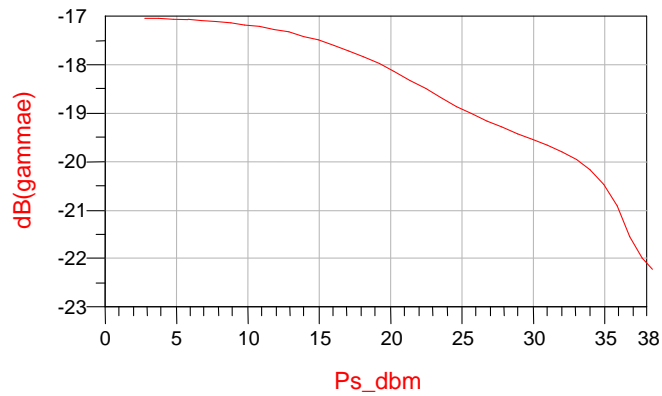


Figure 175 : Module du coefficient de réflexion d'entrée en fonction de la puissance de sortie

II.3.3. Tableau de synthèse des simulations.

Un tableau de synthèse des performances de l'amplificateur est représenté ci-dessous. Il est d'ailleurs démontré que la bande de l'amplificateur est d'environ 400MHz soit près de 5% de la fréquence de travail.

Fréq	7.8 GHz	8 GHz	8.2 GHz
S(1,1)	-17.3 dB	-20.4 dB	-10.5 dB
S(2,2)	-15.9 dB	-21 dB	-9.5 dB
Gain	8.4 dB	7.8 dB	8.1 dB
Ps_1dB	36.2 dBm	37.2 dBm	35.3 dBm
Ps_2dB	37.6 dBm	39.6 dBm	36.5 dBm
PAE_1dB	28.8 %	31.6 %	25 %
PAE_2dB	33.4 %	39.9 %	26.6 %
Tj_aux_2dB	366 °K	363 °K	365 °K
Tj_main2dB	378 °K	394 °K	383 °K

III. Etude de la stabilité.

Lorsque la conception est achevée, il convient, avant la réalisation de s'assurer de la stabilité du circuit, notamment en dehors de la bande de fréquence de travail. Pour cela, on réalise une analyse de stabilité qui comprend deux étapes :

- Stabilité petit signal.
- Stabilité non-linéaire.

L'étude de la stabilité non-linéaire a été réalisée par deux méthodes : en boucle ouverte et en boucle fermée.

III.1. Stabilité petit signal : facteurs K et b.

L'analyse de la stabilité petit signal est effectuée à partir des paramètres [S] de l'amplificateur et ne reflète qu'une approche globale et linéaire de la stabilité. Cette analyse ne permet pas, par exemple, d'identifier une oscillation interne au circuit qui serait invisible depuis ses accès externes. Ce test de stabilité, s'il se révèle correct, ne garantit pas la stabilité absolue du circuit. En revanche cette analyse peut révéler une instabilité qu'il faudra traiter.

Pour qu'un amplificateur soit considéré comme inconditionnellement stable, il faut que le facteur K soit supérieur à 1 et le facteur b supérieur à 0 sur la bande de fréquence voulue.

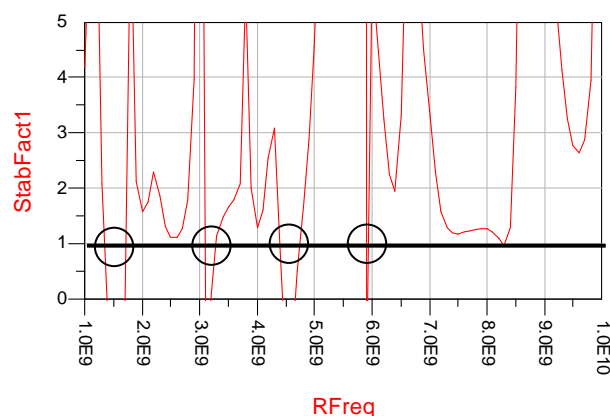


Figure 176 : Facteur K

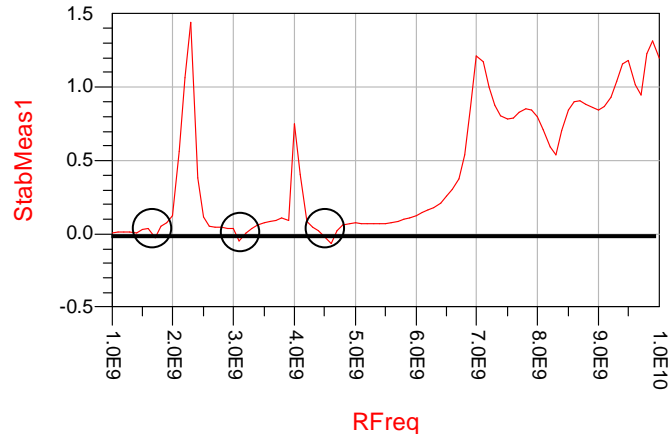


Figure 177 : Facteur b

Les simulations montrent qu'il y a une possibilité que l'amplificateur soit instable en petit signal. En effet, le facteur K (Figure 176) est, à plusieurs reprises, inférieur à l'unité. De plus, le facteur b (Figure 177) est, quant à lui, négatif plusieurs fois.

Pour stabiliser l'amplificateur, des réseaux RC ont été introduits au niveau de chaque circuit de polarisation d'entrée. Dans notre cas nous avons utilisé une résistance série en technologie couche mince de valeur 77 ohms et une capacité parallèle variable 0.25 pf – 2.5 pf (Figure 178). Cette capacité nous permet d'avoir un degré de liberté dans le réglage de l'amplificateur en cas de nouvelles instabilités bas niveau.

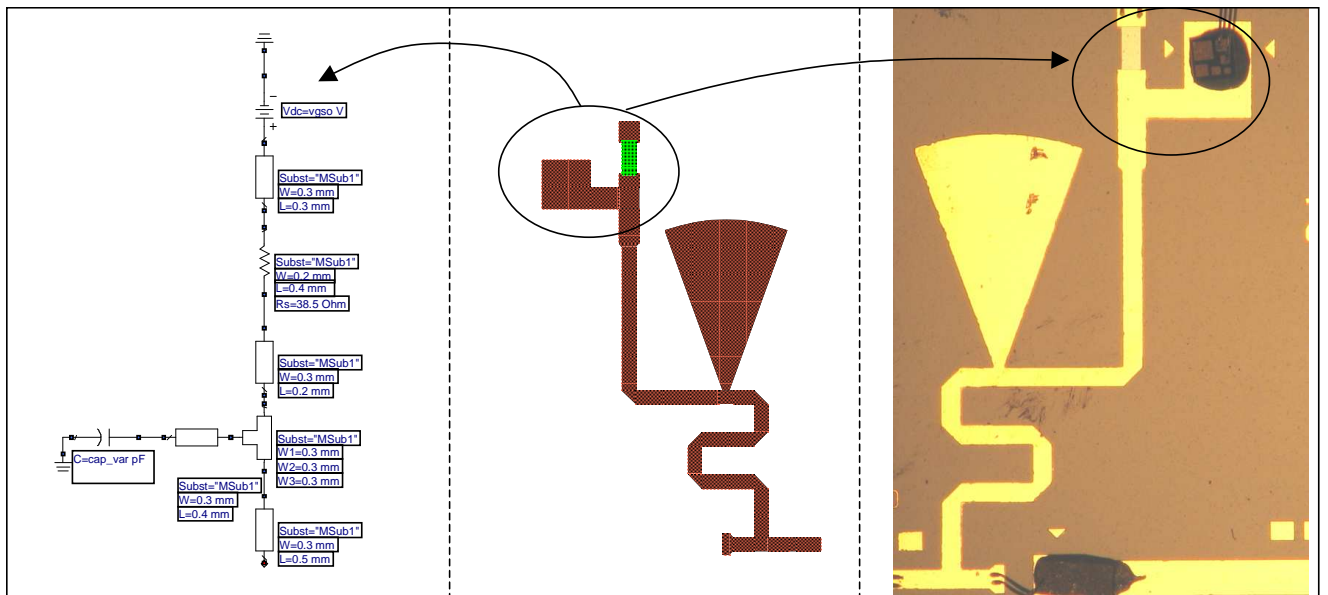


Figure 178 : Conception des circuits de polarisation comprenant le circuit RC de stabilisation

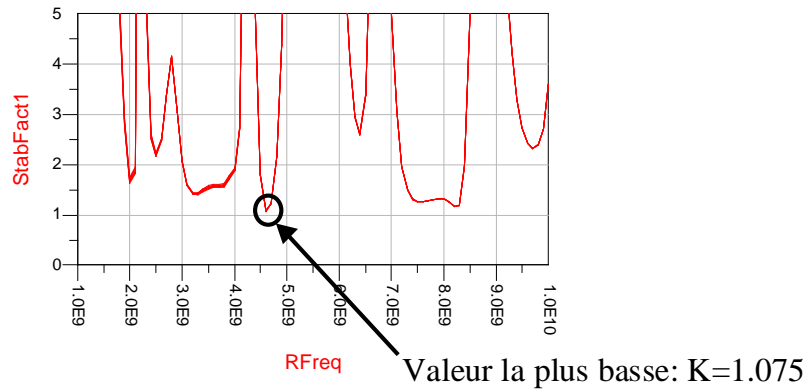


Figure 179 : Facteur K de l'amplificateur ayant des circuits RC au niveau des polarisations

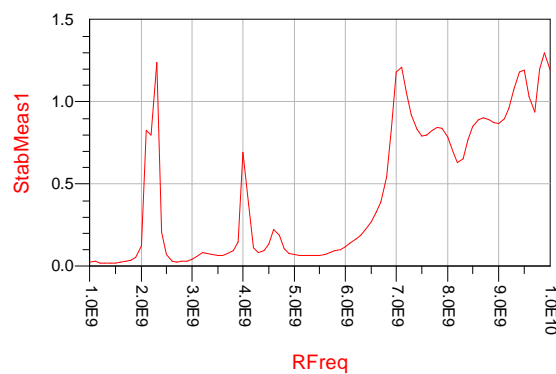


Figure 180 : Facteur b de l'amplificateur ayant des circuits RC au niveau des polarisations

Une fois les circuits de stabilisation intégrés, les simulations des facteurs K (Figure 179) et b (Figure 180) démontrent que l'amplificateur est inconditionnellement stable à bas niveau.

III.2. Analyse de stabilité non-linéaire par identification de la réponse fréquentielle en boucle fermée

III.2.1. Technique d'analyse STAN.

Cette méthode d'analyse de la stabilité a été mise au point par le CNES en collaboration avec l'Université du Pays Basque [119] [120]. Elle se caractérise en deux étapes :

Première étape : Obtention de la réponse fréquentielle du circuit autour de son régime établi c'est à dire en présence d'un signal fort niveau.

Deuxième étape : Extraction de l'information relative à la stabilité.

1) Une perturbation de courant RF (petit signal) est introduite en parallèle sur un nœud « n » du circuit à analyser (Figure 181), et on mesure l'impédance observée pour la perturbation de courant en balayant la fréquence de perturbation.

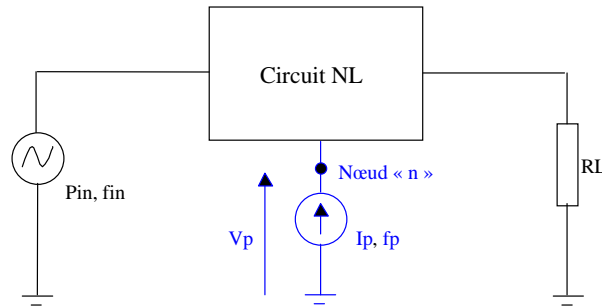


Figure 181 : Mise en parallèle d'une perturbation

On calcule la réponse fréquentielle en boucle fermée linéarisée, associée à un nœud "n" du circuit :

$$H_{cl}^n(j\omega_p) = \frac{Vp(j\omega_p)}{Ip(j\omega_p)}$$

2) On obtient la fonction de transfert $H_{cl}^n(S)$ associée à la réponse fréquentielle $H_{cl}^n(j\omega)$ du circuit obtenue précédemment et on analyse les pôles et les zéros de cette fonction de transfert à l'aide d'une application développée sous le logiciel de traitement mathématique Scilab.

$$H_{cl}^n(j\omega) \Rightarrow \text{Techniques d'identification} \Rightarrow H_{cl}^n(S) = \frac{\prod_{i=1}^M (S - Z_i^n)}{\prod_{i=1}^N (S - P_i)}$$

Il existera une fréquence d'oscillation lorsqu'un pôle complexe sera à partie réelle positive.

III.2.2. Analyse de stabilité linéaire.

Dans un premier temps, on effectue une analyse de stabilité sans puissance RF. On fait varier la fréquence de perturbation. Cette analyse est faite pour différents nœuds (entrées et sorties des transistors) de l'amplificateur et pour différents points de polarisation (Figure 182). La stabilité linéaire doit être étudiée autour des différentes polarisations susceptibles d'être appliquées à l'amplificateur.

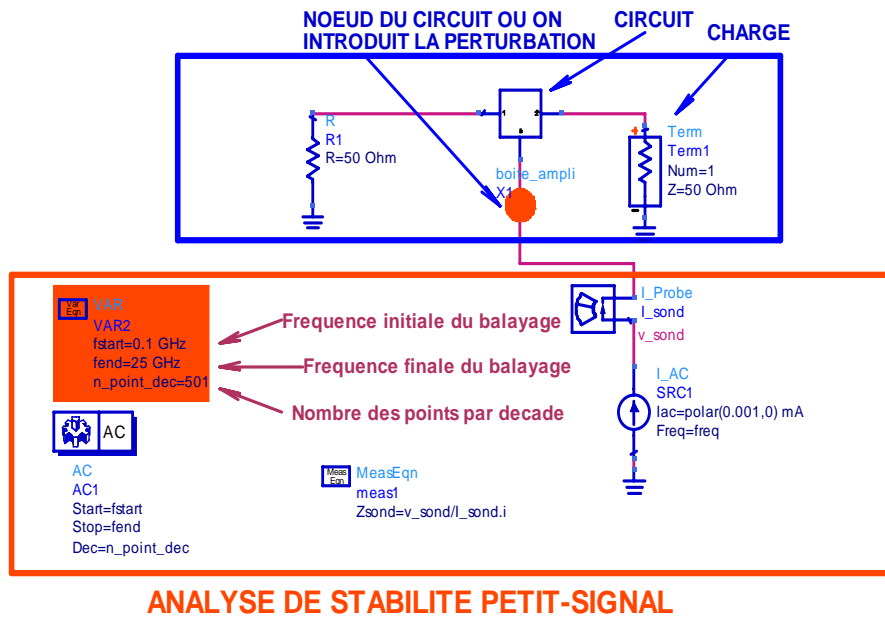


Figure 182 : Implantation sous ADS de l'analyse de stabilité petit signal

Aucune instabilité (Figure 183) n'a été déterminée en petit signal quelque soit la polarisation, le nœud et la fréquence de perturbation.

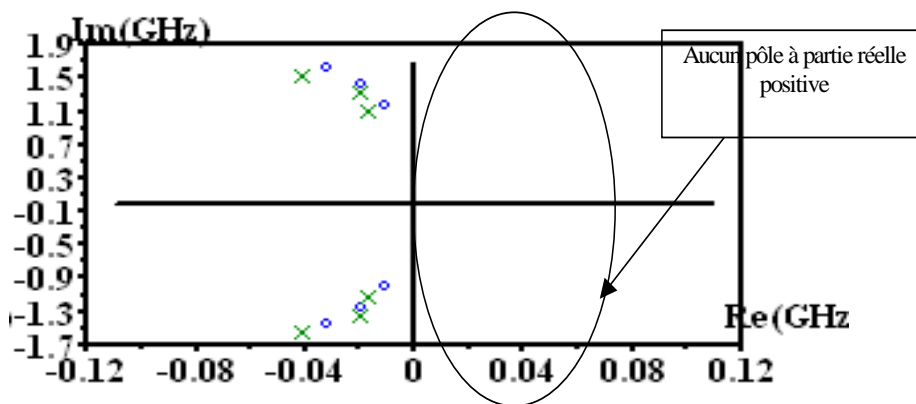


Figure 183 : Analyse des pôles de l'amplificateur petit signal

III.2.3. Analyse de stabilité non-linéaire.

Une fois l'analyse linéaire terminée, on injecte de la puissance d'entrée sur l'amplificateur à étudier (Figure 184). Dans cette étude, la puissance d'entrée et la fréquence de perturbation sont balayées. Cette analyse est de nouveau effectuée pour différents nœuds (entrées et sorties de chaque transistor) et différentes polarisations ($-3.5V < V_{gso} < -6.5V$ et $10V < V_{dso} < 30V$) de l'amplificateur.

Dans un premier temps, une instabilité est apparue à la fréquence de perturbation de 1.27 GHz. Cette oscillation autonome se retrouve lorsque la perturbation est injectée en entrée de chaque transistor auxiliaire. Cependant aucune oscillation n'apparaît lorsque le nœud se situe en entrée du transistor principal. On en déduit qu'il existe à la fréquence de 1.27 GHz une oscillation de type impaire entre les 2 auxiliaires.

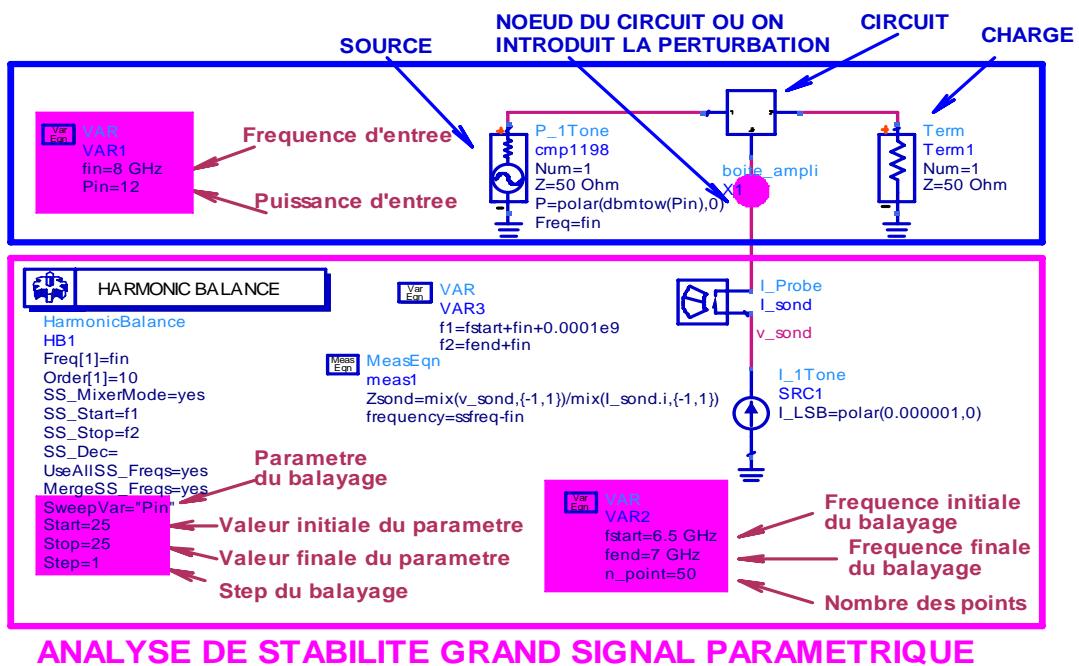


Figure 184 : Implantation sous ADS de l'analyse de la stabilité non-linéaire

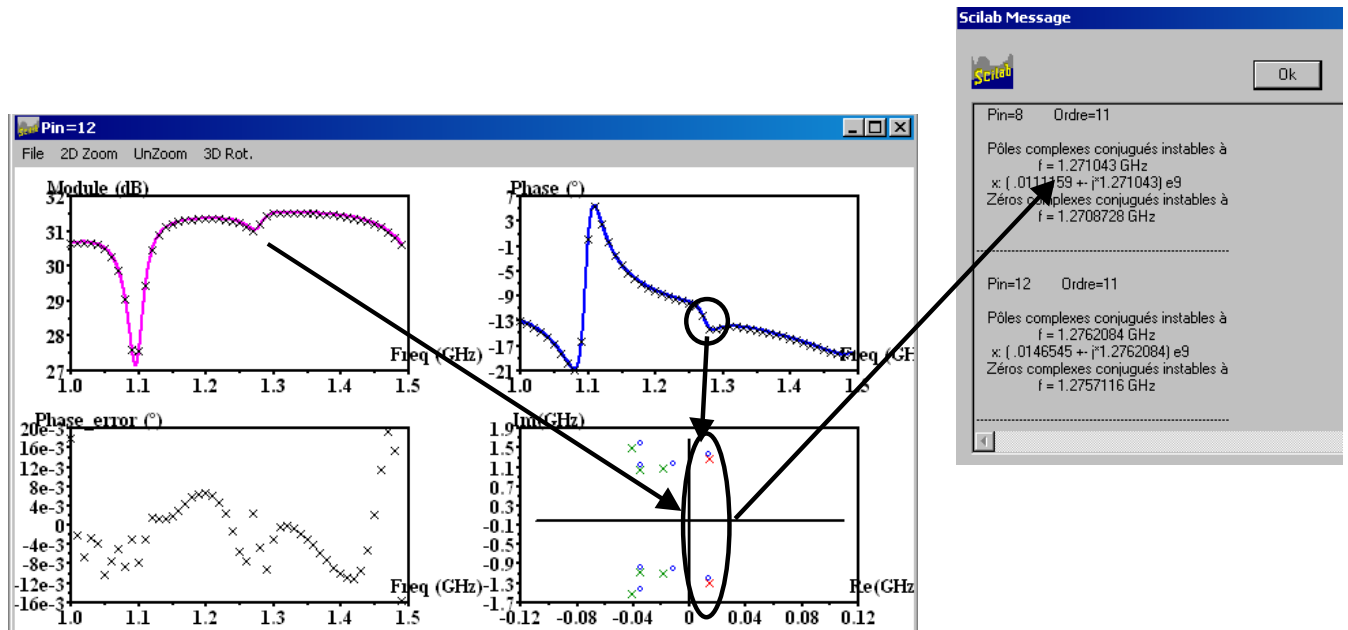


Figure 185 : Instabilité : Pôles complexes à partie réelle positive

Pour stabiliser l'amplificateur, on relie les grilles des deux auxiliaires par un fil de bonding afin de maintenir les grilles au même potentiel, notamment en basses fréquences. De nouvelles simulations de stabilité sont effectuées avec les entrées des transistors auxiliaires reliées.

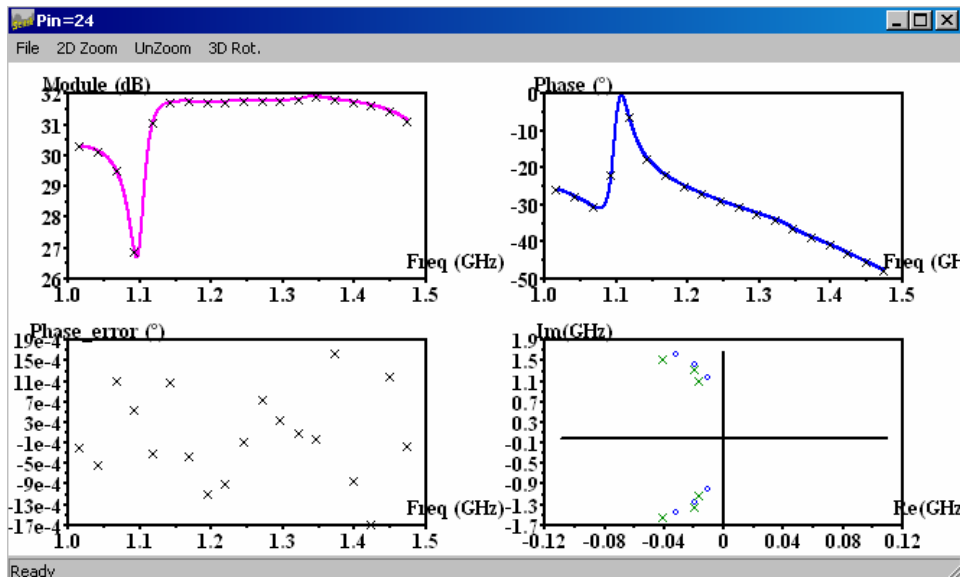


Figure 186 : Analyse de la stabilité de l'amplificateur ayant les grilles des auxiliaires reliées

⇒ Plus aucune instabilité n'apparaît.

Remarque: le court circuit entre les grilles ne modifie pas le comportement RF de l'amplificateur mais impose des polarisations de grilles communes aux deux auxiliaires.

III.3. Analyse de la stabilité non-linéaire par introduction d'une perturbation en boucle ouverte.

III.3.1. Technique d'analyse.

Cette analyse appelée aussi « méthode du gain de retour » a été élaborée par XLIM [121] [122]. Le principe est d'insérer une perturbation au niveau du modèle intrinsèque du transistor (Figure 187). Ensuite le gain en boucle ouverte est calculé en présence du signal de forte puissance.

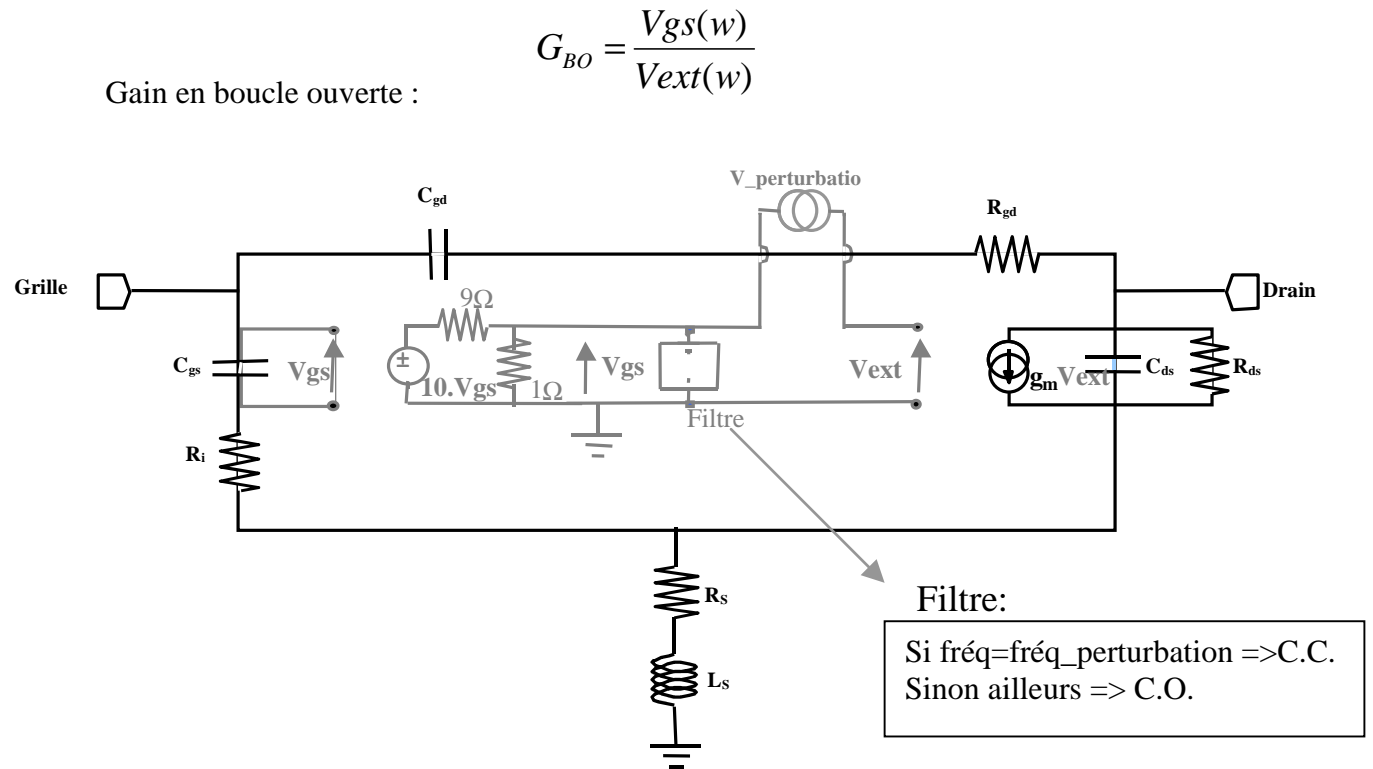


Figure 187 : Schéma de principe de l'étude de la stabilité en boucle ouverte appliqué au transistor

La source de courant n'est plus commandée par la tension V_{gs} mais par la tension V_{ext} :

- A la fréquence de perturbation, le filtre court-circuite V_{gs} et seule la perturbation commande la source de courant I_{ds} ($V_{ext}(t)=V_{perturbation}(t)$), on est en boucle ouverte.
- Pour une autre fréquence : $V_{ext}(t)=V_{gs}(t)$, le transistor est en fonctionnement normal (boucle fermé).

Remarque : la tension de commande $V_{gs}(t)$ est prélevée au moyen d'une source de tension commandée en tension idéale de gain égal à 10. Un pont diviseur de tension par 10 permet ensuite de découpler le filtre de la source précédente afin de ne pas présenter un court-circuit sur cette dernière. De plus, les deux résistances de ce pont sont calculées afin de ne pas modifier la tension $V_{gs}(t)$.

L'amplificateur sera considéré instable à la fréquence de perturbation lorsque les trois conditions suivantes sont simultanément vérifiées:

- le module du gain en boucle ouverte supérieur à 1: $|G_{BO}(w)| > 1$
- la phase du gain en boucle ouverte nulle: $\angle G_{BO}(w) = 0$
- la pente de la phase négative : $\frac{d\angle G_{BO}(w)}{dw} < 0$

III.3.2. Analyse d'une oscillation de type impair.

Pour repérer une oscillation de mode impair, il faut insérer une perturbation en opposition de phase sur chaque transistor auxiliaire. Pour cela, on utilise un transformateur 3 voies ayant un rapport de transformation unitaire opposé.

Pour que l'étude de la stabilité en boucle ouverte fonctionne, il faut aussi que l'amplificateur soit symétrique. Cela entraîne que le transistor principal est mis en circuit ouvert pour l'analyse de stabilité en boucle ouverte (Figure 188).

Les résultats confirment que cette méthode stabilise l'amplificateur car le module du gain n'est jamais supérieur à 1 (Figure 190).

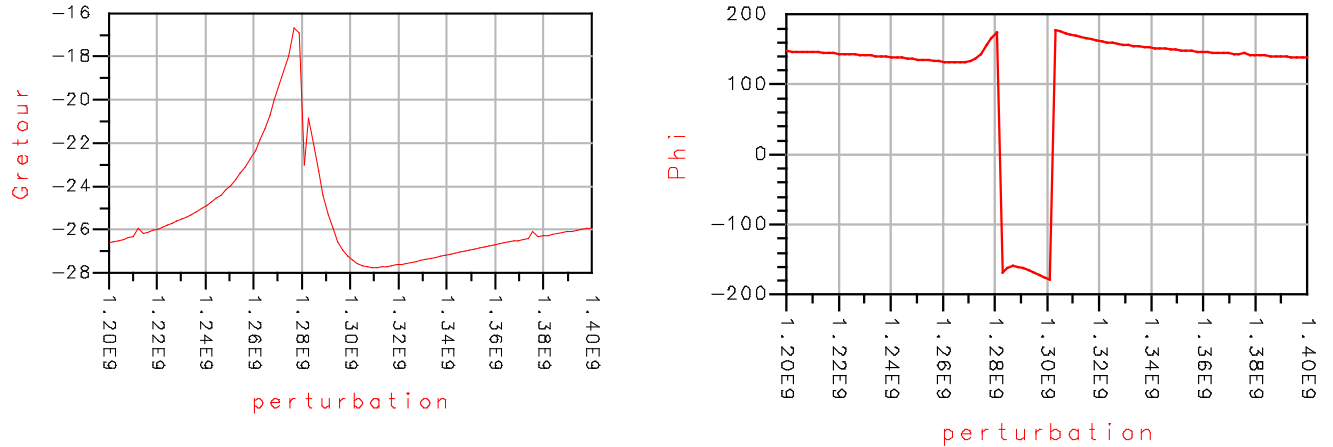


Figure 190 : Analyse de la stabilité en boucle ouverte de l'amplificateur ayant les grilles des auxiliaires reliées

III.4. Tableau de synthèse de la stabilité

Le tableau ci-dessous montre les simulations de stabilité linéaire et non-linéaire en fonction du point de polarisation effectuées par la méthode STAN. En effet, cette méthode semble être la plus appropriée à utiliser pour notre amplificateur parce que l'amplificateur principal n'a pas besoin d'être déconnecté, contrairement à la méthode en boucle ouverte.

Vgs aux. \ Vds	30 V	25 V	20 V
-5.8V	STABLE	STABLE	STABLE
-5V	STABLE	STABLE	STABLE
-3.7V	STABLE	STABLE	STABLE

III.5. Corrélations avec les mesures.

Pour valider les simulations de stabilité, un amplificateur Doherty a été réalisé sans relier les grilles des transistors auxiliaires entre elles (Figure 191).

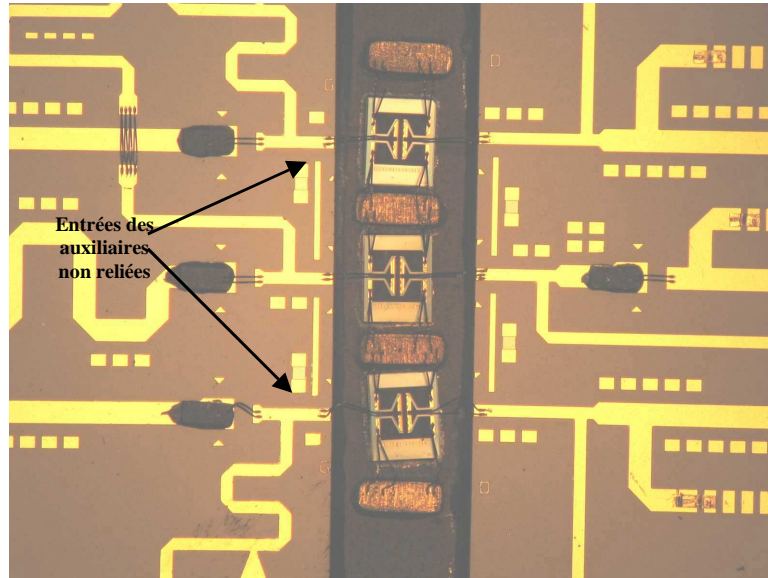


Figure 191 : Photo de l'amplificateur Doherty

Nous avons mesuré l'amplificateur à l'aide d'un analyseur de spectres. Lorsque l'amplificateur est polarisé ($V_{gso_aux}=-6V$, $V_{gs_main}=-3.7V$ et $V_{dso}=30V$), on peut apercevoir nettement une forme d'instabilité sur le spectre mesuré en sortie.

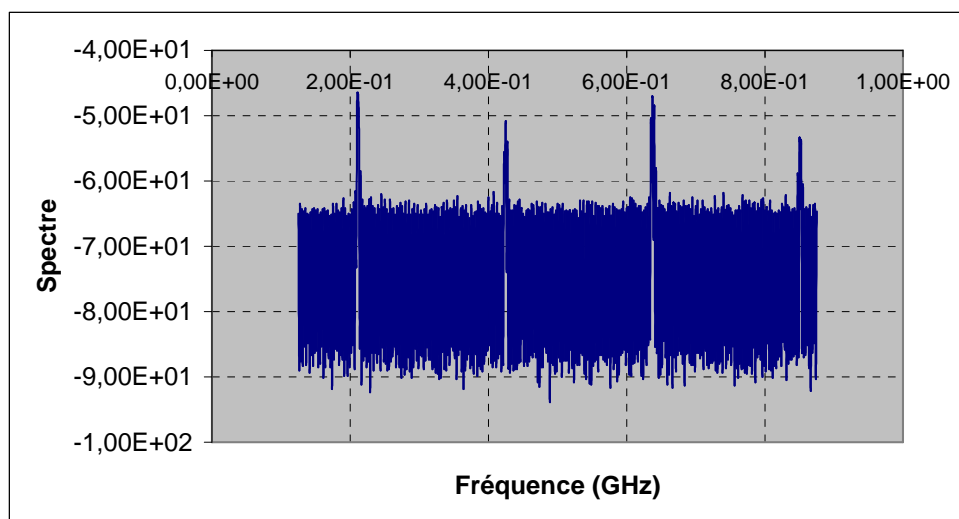


Figure 192 : Apparition de raies sur l'analyseur de spectres => instabilité

Cette mesure prouve que l'amplificateur conçu, en ne reliant pas les entrées des deux auxiliaires entre elles, est instable. Elle valide les deux méthodes d'analyse de la stabilité par simulation.

Dans le paragraphe suivant, les mesures présentées sont réalisées à partir d'un amplificateur Doherty stabilisé (grilles des auxiliaires reliées).

IV. Résultats expérimentaux

L'amplificateur Doherty fabriqué par Alcatel Alenia Space est représenté Figure 193. Il a été mesuré au sein du laboratoire XLIM de Brive.

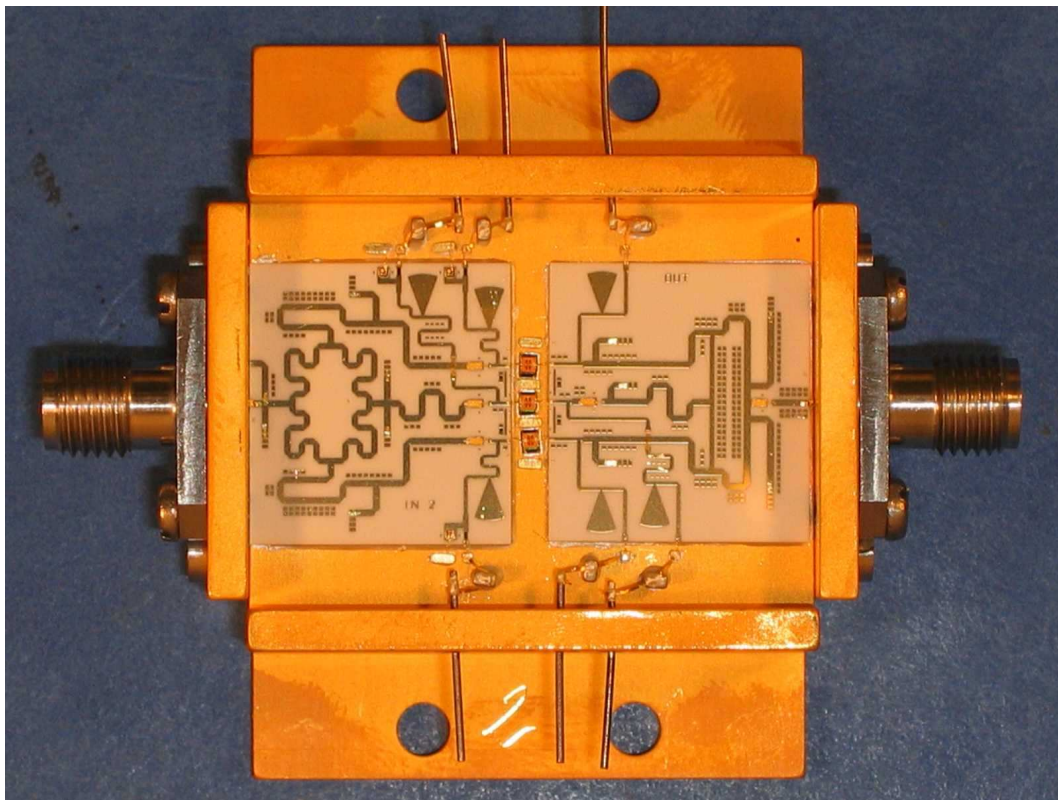


Figure 193 : Démonstrateur de l'amplificateur Doherty

IV.1. Mesures en puissance

L'amplificateur Doherty a été mesuré à l'aide d'un analyseur scalaire. Un signal CW est balayé en fréquence entre 7 et 8.2 GHz. Le gain et le return loss de l'amplificateur sont alors mesurés en fonction de la fréquence (Figure 194). La polarisation du principal est : $V_{gso} = -3.7V$; $V_{dso} = 28V$ et celle des auxiliaires est : $V_{gso} = -6V$; $V_{dso} = 28V$

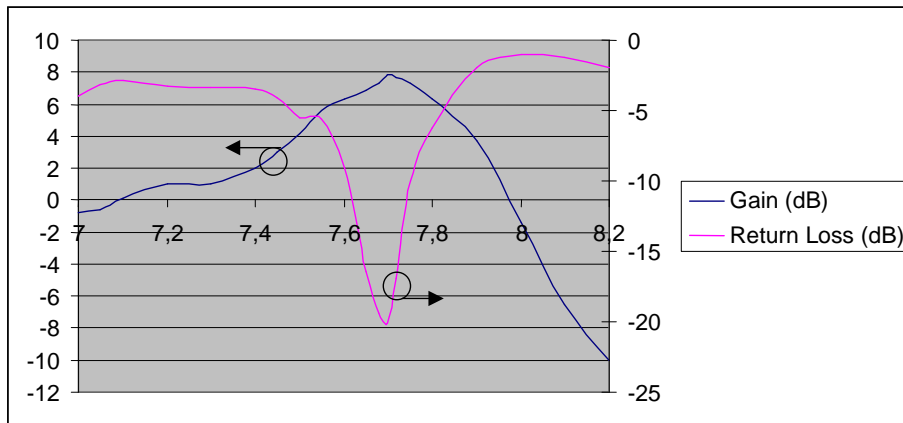


Figure 194 : Gain et Return Loss = $f(\text{fréquence})$

La Figure 194 montre que le démonstrateur est en fonctionnement optimal à la fréquence de 7.7GHz : un petit décalage en fréquence de 300MHz avec les simulations apparaît. Par contre, cette même figure montre que l'amplificateur est très bien adapté en entrée à la fréquence optimale : en effet, les pertes de retour sont inférieures à -20dB .

Les Figure 195 et Figure 196 représentent des mesures CW à la fréquence de 7.7GHz.

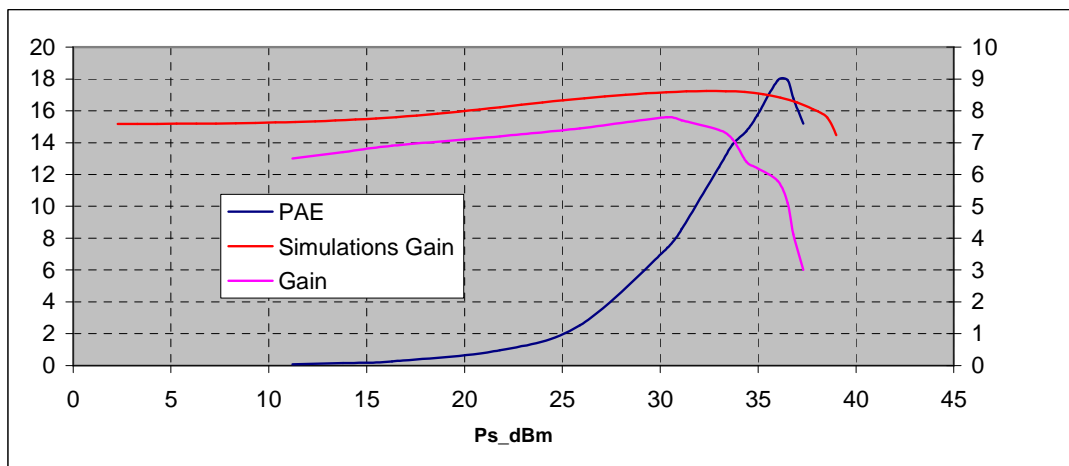


Figure 195 : Gain et PAE = $f(P_{s_dBm})$

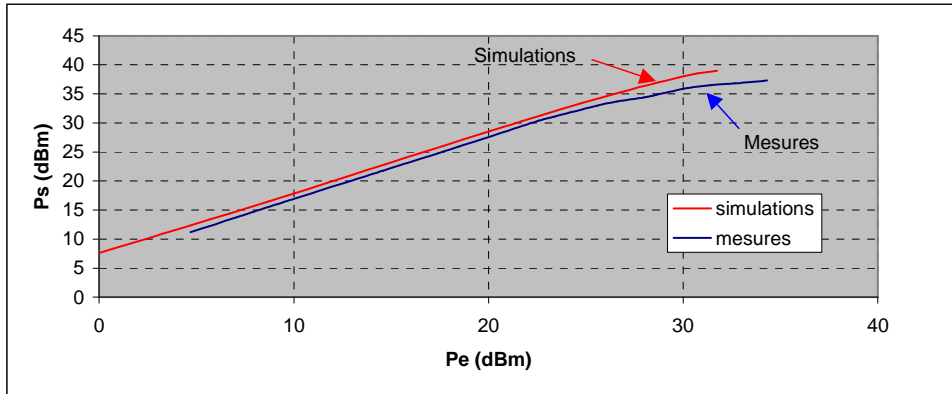


Figure 196 : $P_e_{dBm} = f(P_s_{dBm})$

Comparativement aux simulations, les mesures (Figure 195 et Figure 196) montrent que l'amplificateur compresse trop tôt, ce qui a comme conséquence une baisse de la puissance de sortie. Cela peut s'expliquer de deux manières :

- Les transistors utilisés proviennent d'un process de 2001 : ils présentent donc une dispersion importante entre eux.
- Les longueurs des fils de bonding avec lesquels la conception a été simulée sont de $600\mu\text{m}$, alors que ceux réalisés ont une longueur d'environ $1200\mu\text{m}$ (Figure 197), les charges présentées aux transistors ne sont donc pas optimales.

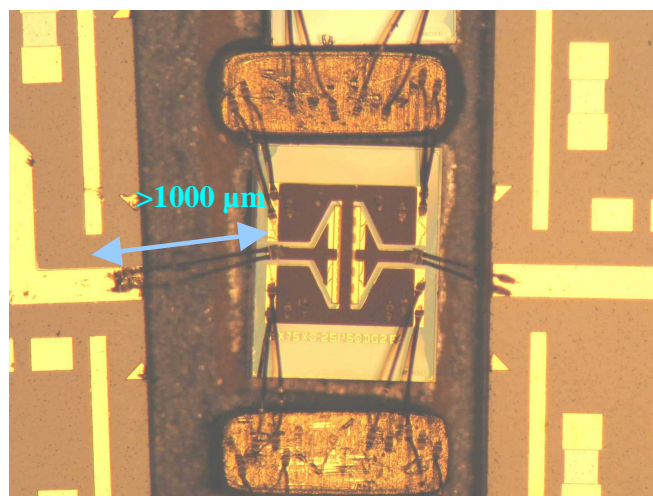


Figure 197 : Photo des fils de bonding

Pour remédier à ce problème de longueur de fils de bondings, il a été décidé de doubler le nombre de ces fils pour retrouver une inductance équivalente à celle d'un fil de 600µm de longueur. Les Figure 198 et Figure 199 représentent les nouvelles mesures de l'amplificateur modifié.

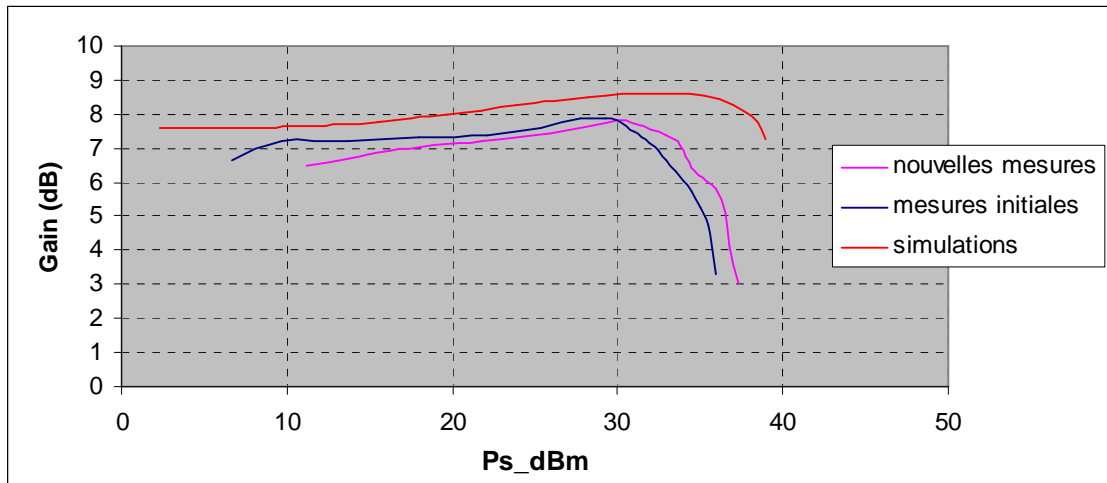


Figure 198 : Comparaisons de gain=f(Ps_dBm)

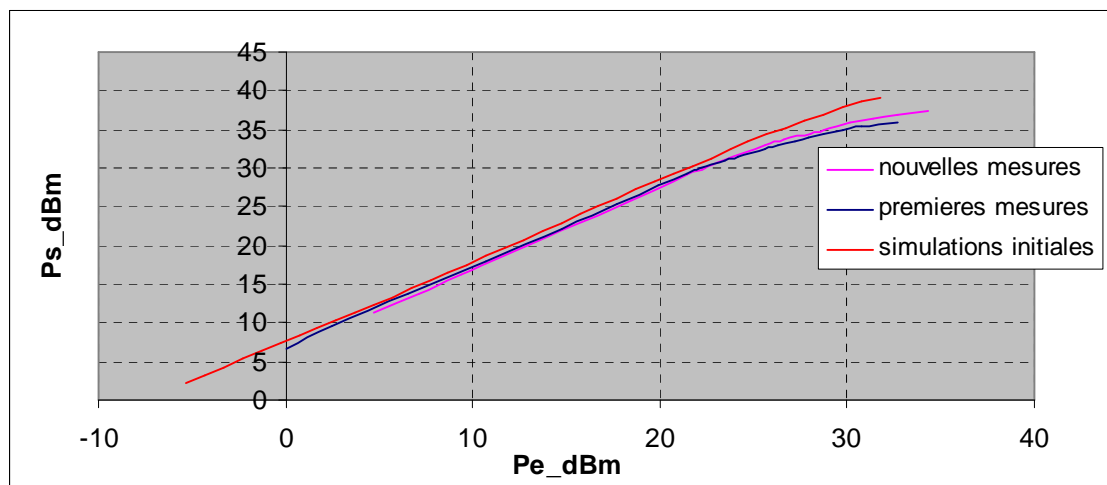


Figure 199 : Comparaisons de Ps_dBm=f(Pe_dBm)

Les nouvelles mesures montrent une amélioration de la puissance de sortie d'environ 1dB par rapport aux mesures initiales. Cela confirme l'hypothèse que les charges présentées aux transistors ne sont pas optimales. Cependant, ce démonstrateur permet tout de même de démontrer l'effet Doherty et les avantages que celui-ci peut apporter.

IV.2. Démonstration de l'effet Doherty

Pour démontrer l'effet Doherty, on compare l'amplificateur conçu pour différentes valeurs de polarisation de grille des auxiliaires. En effet, lorsque les grilles des auxiliaires de l'amplificateur Doherty sont polarisées identiquement à celle du principal, le démonstrateur se retrouve dans les mêmes conditions qu'un amplificateur conventionnel : les transistors conduisant en même temps, ils n'y a plus de variation électronique de charge de ces derniers.

La Figure 200 représente l'évolution de la PAE en fonction de la puissance de sortie pour différentes valeurs de V_{gs} des auxiliaires à la fréquence de 7.7GHz.

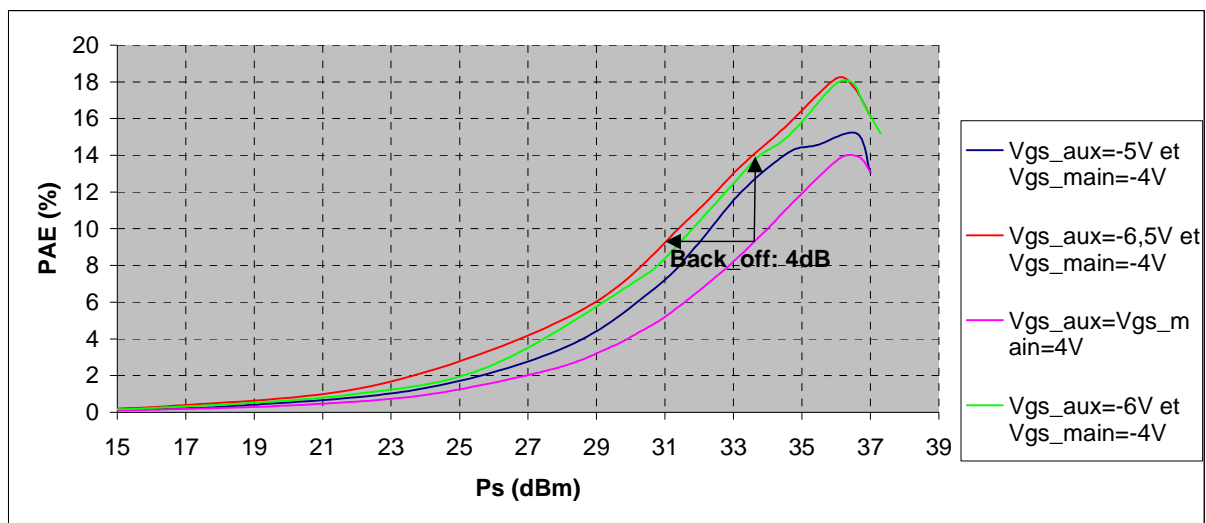


Figure 200 : Mesures : démonstration de l'effet Doherty

Les résultats de la Figure 200 démontrent que l'amplificateur Doherty conçu permet un back-off de presque 4dB. De plus, pour une même puissance de sortie, la PAE est améliorée de près de 25%. Ces mesures sont corroborées par des simulations de rendement (Figure 201) faites dans les mêmes conditions : il apparaît la même tendance d'un possible back-off de 3-4 dB. Seule la valeur de la PAE maximale simulée n'est pas identique aux mesures : en effet, cela est dû au manque de puissance de sortie.

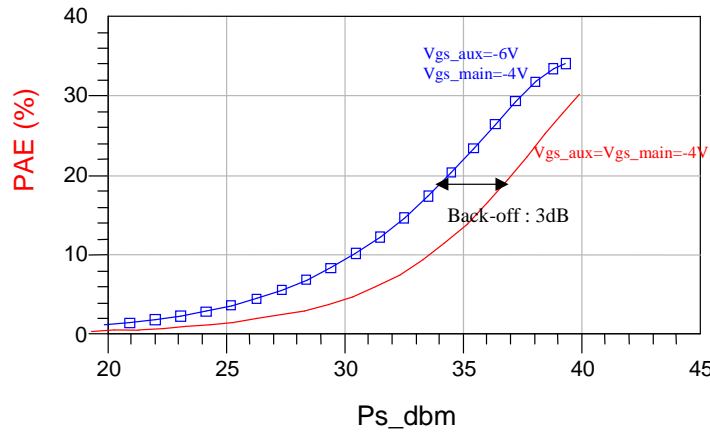


Figure 201 : Simulations : démonstration de l'effet Doherty

IV.3. Mesures en fonction de la fréquence

Les mesures effectuées dans ce paragraphe servent à définir la bande passante de l'amplificateur (Figure 202, Figure 203 et Figure 204). Pour cela, des mesures CW ont été faites pour les mêmes polarisations que précédemment, mais pour différentes fréquences autour de 7.7GHz :

- Mesures CW à 7.57 GHz
- Mesures CW à 7.77 GHz

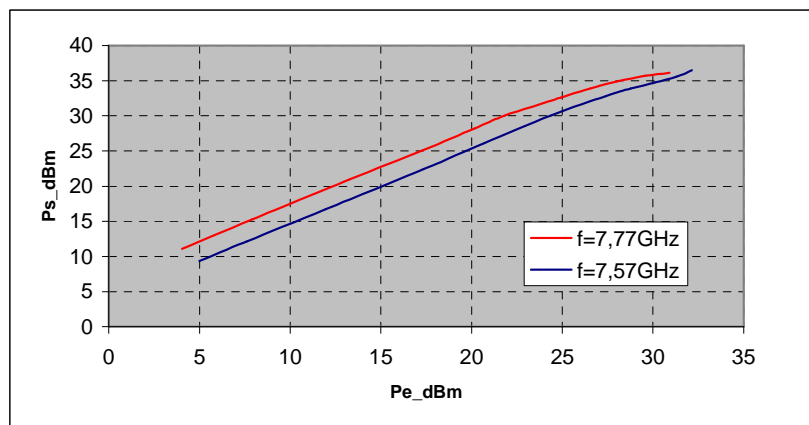


Figure 202 : $P_s_{dBm} = f(P_e_{dBm})$ pour deux fréquences

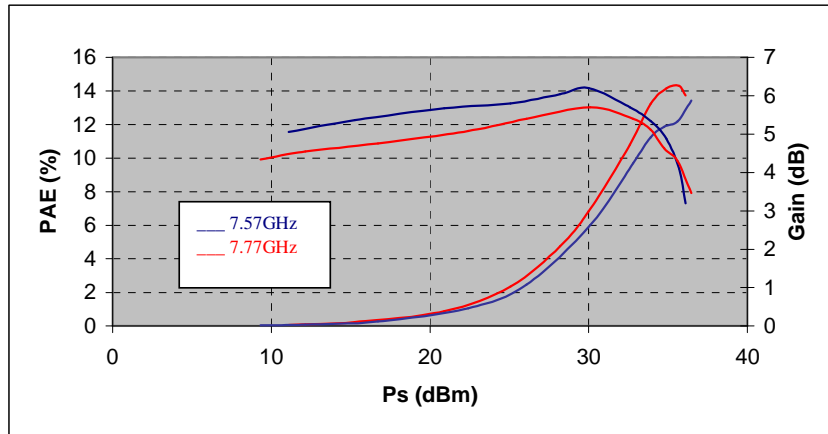


Figure 203 : Gain et PAE = f(Ps_dBm) pour deux fréquences

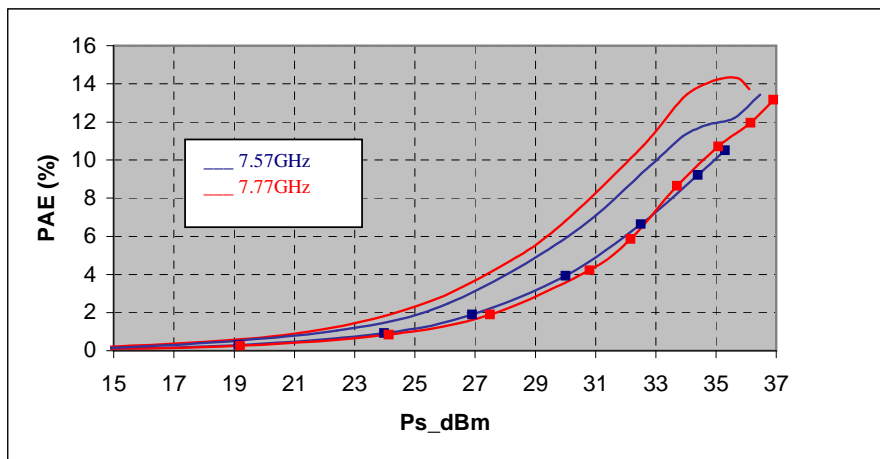


Figure 204 : Effet Doherty pour deux fréquences

Les mesures ci-dessus montrent une bande passante de l'amplificateur d'environ 200MHz. La Figure 204 compare l'amplificateur Doherty pour deux polarisations de grille des auxiliaires différentes afin de démontrer l'effet Doherty dans la bande passante des 200 MHz : un back-off d'environ 3 dB est possible.

IV.4. Mesures C/I

Il a été démontré que l'amplificateur Doherty améliorerait le rendement mais il est aussi nécessaire de mesurer sa linéarité.

Pour évaluer la linéarité du démonstrateur, nous avons réalisé des mesures d'intermodulations d'ordre 3 à l'aide d'un analyseur de spectre. Les fréquences utilisées sont $f_1=7.7\text{GHz}$ et $f_2=7.71\text{GHz}$.

La Figure 205 compare la mesure C/I de l'amplificateur en configuration Doherty ($V_{gs_aux}=-6\text{V}$) et celle de l'amplificateur en configuration conventionnelle ($V_{gs_aux}=-4\text{V}$).

La Figure 206 compare la mesure C/I et les simulations de l'amplificateur en configuration Doherty ($V_{gs_aux}=-6\text{V}$ et $V_{ds}=28\text{V}$).

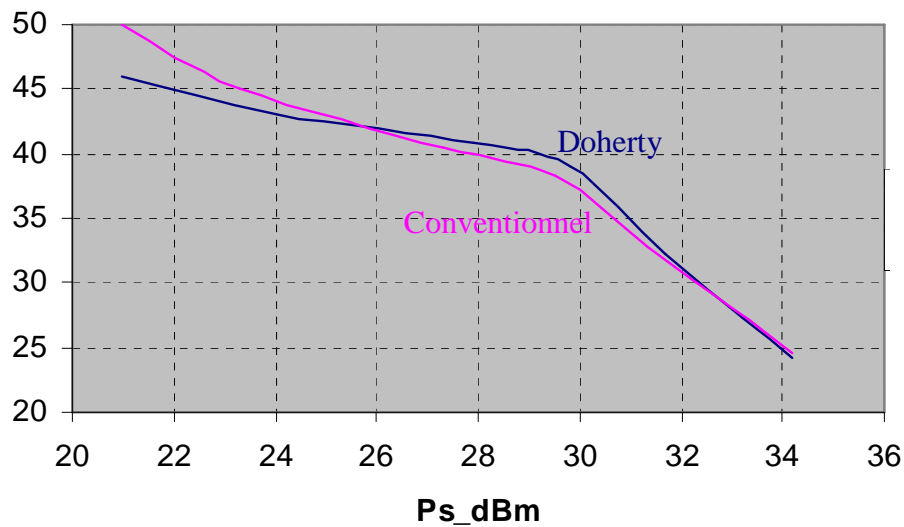


Figure 205 : Mesures de C/I

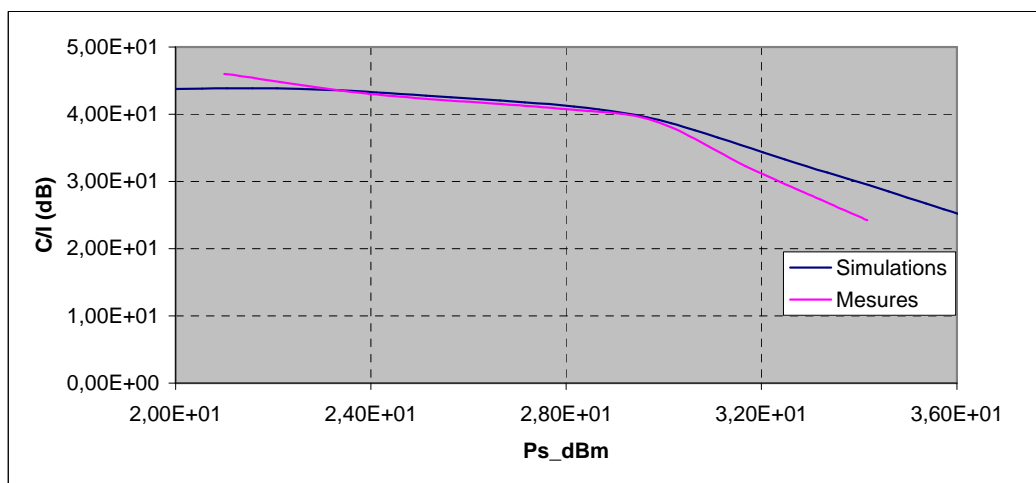


Figure 206 : Comparaison Simulations / Mesures pour $V_{gs_aux}=-6\text{V}$

Les mesures C/I montrent que la linéarité de l'amplificateur Doherty est légèrement améliorée par rapport à un amplificateur conventionnel dans la zone de compression. Ceci est à associer au phénomène d'expansion de gain propre à la structure Doherty (cf Figure 195). L'amplificateur Doherty permet donc une amélioration du rendement tout en ne dégradant pas la linéarité.

IV.5. Mesures de flexibilité

Le principe de la flexibilité est de pouvoir obtenir une puissance de sortie variable tout en maintenant la PAE et la linéarité à puissance d'entrée fixe. Pour évaluer les possibilités de flexibilité, différentes tensions de drain sont appliquées à l'amplificateur de façon à modifier la puissance de sortie.

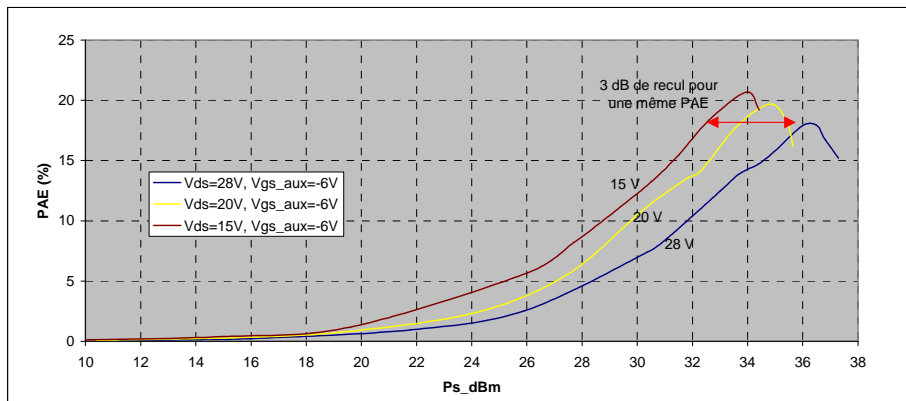


Figure 207 : PAE=f(Ps_dBm)

La Figure 207 permet de démontrer une flexibilité sur 3 dB de la puissance de sortie. En effet, elle montre un maintien de la PAE sur une variation de puissance de sortie de 3dB.

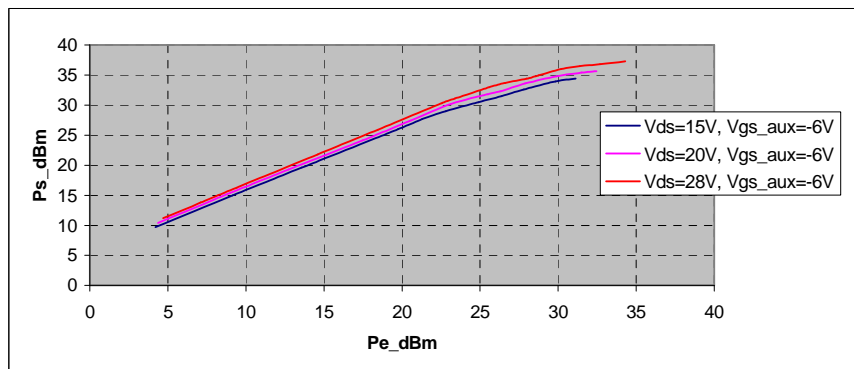


Figure 208 : Mesures Ps_dBm = f(Pe_dBm)

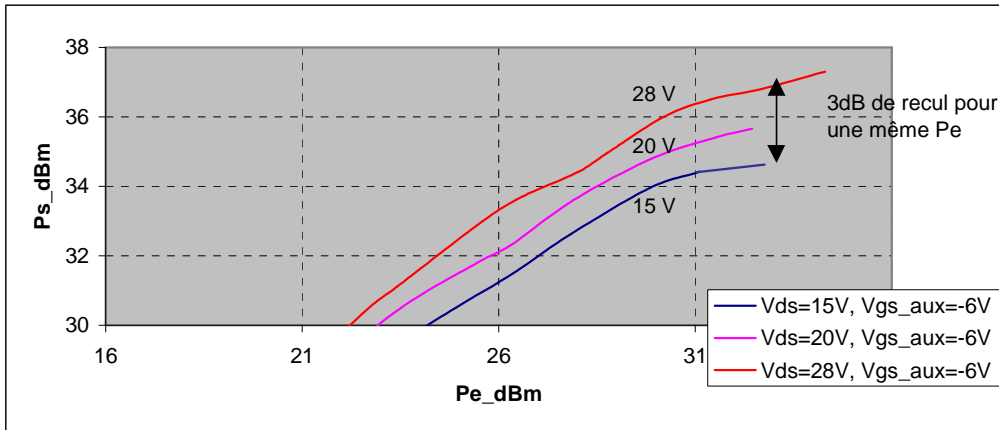


Figure 209 : Mesures $P_s_{dBm} = f(P_e_{dBm})$ – zoom sur la compression

Les Figure 208 et Figure 209 représentent les mesures de conversion AM-AM. Il est montré que pour une même puissance d'entrée, la puissance de sortie de l'amplificateur Doherty varie selon la tension de drain de polarisation.

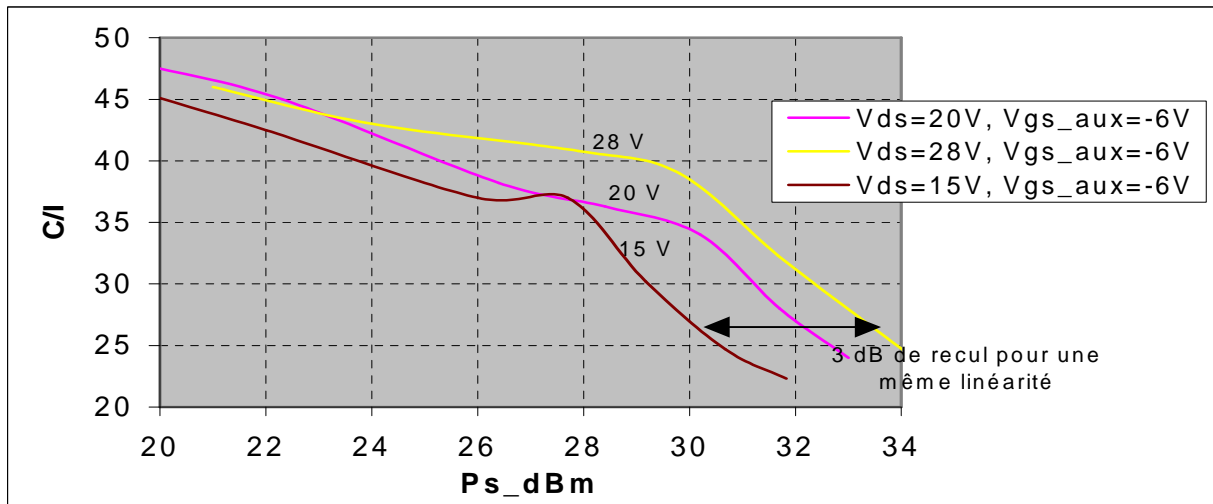


Figure 210 : Mesures C/I

La Figure 210 représente les mesures C/I de l'amplificateur Doherty pour différentes polarisations de drain. Elle démontre un maintien de la linéarité sur une dynamique de puissance de sortie de 3dB.

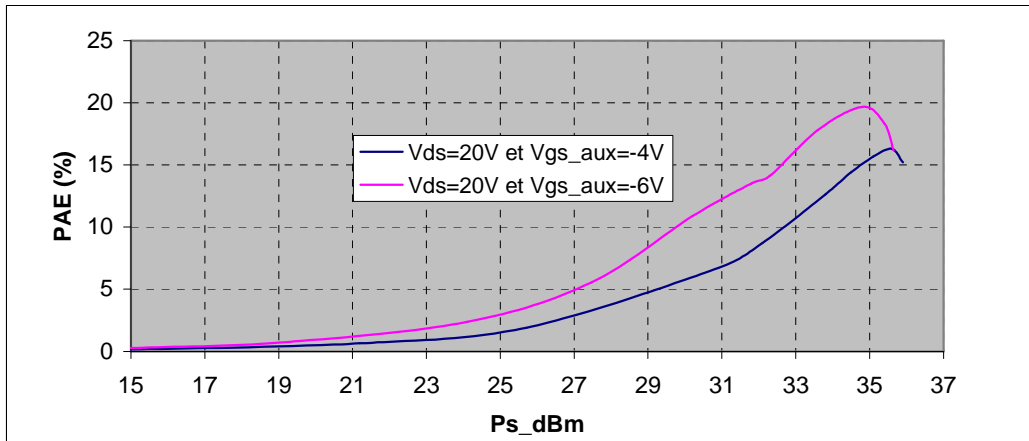


Figure 211 : Effet Doherty pour $V_{ds}=20V$

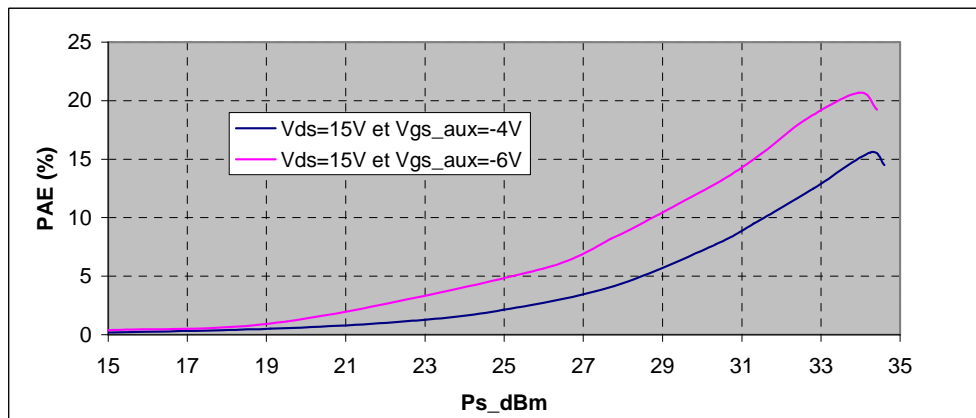


Figure 212 : Effet Doherty pour $V_{ds}=15V$

Les Figure 211 et Figure 212 montrent que l'effet Doherty est préservé quelque soit la polarisation de drain de l'amplificateur dans la gamme 15 à 30 V.

Ce paragraphe a montré la flexibilité de l'amplificateur en faisant varier la tension de drain :

- Pour une puissance d'entrée donnée, la puissance de sortie varie de 3 dB
- Pour une variation de 3 dB de la puissance de sortie, la PAE est maintenue
- Pour une variation de 3 dB de la puissance de sortie, la linéarité est maintenue
- La variation de la polarisation de drain n'a pas d'influence sur l'effet Doherty.

CONCLUSION

Ce chapitre a montré les différentes étapes de conception d'un amplificateur Doherty. L'architecture offrant symétrie est intéressante dans le domaine micro-ondes. A notre connaissance, elle n'a pas été proposée dans la littérature.

Au cœur de la procédure de conception, a été effectuée une analyse rigoureuse de stabilité qui n'est pas, à notre connaissance, réellement abordée dans la littérature relevée sur les amplificateurs Doherty.

La réalisation est perfectible en ce qui concerne l'optimisation des connexions des passifs aux cellules actives. Nous jugeons que cela est principalement à l'origine des 2 dB de puissance manquant par rapport aux simulations.

Cependant l'effet Doherty et son intérêt pour la conception d'amplificateurs à flexibilité de puissance ont été démontrés dans ces travaux.

BIBLIOGRAPHIE

- [119] **A. ANAKABE, J.M. COLLANTES, J. PORTILLA, S. MONS, A. MALLET**
« Detecting and Avoiding Odd-Mode Parametric Oscillations in Microwave Power Amplifiers »
RF and Microwave Computer-Aided Engineering (Wiley), vol.15, No. 5, pp. 469-478, September 2005
- [120] **A. ANAKABE, J.M. COLLANTES, J. PORTILLA, J. JUGO, A. MALLET, L. LAPIERRE, J. P. FRAYSSE**
« Analysis and Elimination of Parametric Oscillations in Monolithic Power Amplifiers »
IEEE International Microwave Theory and Techniques Symposium (MTT- S), Seattle, vols. 1-3, pp. 2181-2184, June 2002.
- [121] **S. MONS**
« Nouvelles méthodes d'analyse de stabilité intégrées à la CAO des circuits monolithiques micro-ondes non linéaires »
Thèse de doctorat de l'université de Limoges, 1999
- [122] **M. ODYNEC**
« RF and Microwave oscillator design »
Artech House

CONCLUSION GENERALE ET PERSPECTIVES

Ces travaux ont montré la mise en œuvre d'une architecture originale d'amplificateur hybride Doherty à base de transistors GaN de la fonderie Thales Tiger.

Outre la recherche concernant l'amplification à haut rendement sous contrainte de linéarité, l'idée directrice de ces travaux a été de proposer une solution au besoin de flexibilité en puissance, recherché dans les futurs systèmes de communications en général, et par satellite, dans notre cas particulier d'étude.

Une synthèse des principales caractéristiques des technologies de semi-conducteur a permis, au début, de mettre en avant les atouts indéniables des transistors GaN pour la génération de forte puissance.

Cette technologie n'ayant pas encore atteint, en Europe, une phase de maturité éprouvée, il nous a fallu développer un modèle non linéaire complexe de transistor intégrant conjointement les effets d'auto-échauffement et de pièges.

Ce modèle, bien que complexe, a été conçu dans un souci de souplesse et certains effets qui peuvent être considérés de second ordre, dans certains cas peuvent être inhibés.

L'étude approfondie de l'architecture Doherty et la réalisation en technologie GaN constituent un sujet d'actualité, preuve en est le grand nombre de travaux dans ce domaine (hors technologies GaN) effectués dans la communauté internationale.

Notre réalisation, bien qu'encourageante en tant que démonstrateur, est perfectible du point de vue des liaisons entre passifs et cellules actives. Ce problème de connexion est à l'origine de résultats que l'on aurait pu espérer meilleurs.

Perspectives:

La voie de recherche concernant la conception d'amplificateurs dit flexibles ou encore à gestion dynamique de puissance est bien spécifique et bien identifiée. Elle retient l'attention croissante des industriels du domaine.

L'étude d'architecture Doherty telle que nous l'avons menée, associée à des contrôles dynamiques de polarisation est une voie d'investigation future.

On peut noter que dans cet objectif, la modélisation des transistors incluant les effets dispersifs de type thermique et pièges doit se révéler encore plus indispensable.

L'association de techniques de linéarisation telle que la prédistorion adaptative en bande de base aux techniques de type Doherty est également une voie d'investigation avec son lot de difficultés liées aux effets mémoires et leur disparité en terme de constante de temps.

Bref, dans la suite logique de ces travaux, on retiendra qu'il existe un intérêt certain à poursuivre dans l'amplification de très forte puissance proposant des atouts quant à la flexibilité des ressources de puissance.

Cette tâche requiert, comme il a été abordé dans ces travaux, une bonne maîtrise de la modélisation électrothermique des composants actifs, ainsi qu'une attention toute particulière aux problématiques d'instabilité potentielle inhérentes aux architectures un peu "exotiques" des amplificateurs de puissance.

Résumé :

L'avènement des technologies de transistors de puissance sur matériaux "grand gap" tels que le Nitrure de Gallium (GaN) permet d'envisager un saut technologique majeur pour la génération de puissance à l'état solide. Cette nouvelle technologie présente des possibilités intéressantes pour des amplificateurs de puissance micro-ondes, en termes de température de fonctionnement élevée, de densités de puissance élevées et de tensions de claquage élevées. Dans une première partie, ce travail concerne le développement d'un nouveau modèle non linéaire électrothermique tabulaire comprenant les effets de pièges sur un transistor HEMT AlGa_N/Ga_N. Ce modèle a été alors utilisé, dans la deuxième partie de cette thèse, pour concevoir un amplificateur de puissance basé sur le principe Doherty. Cependant les contraintes de linéarité et de rendement imposées dans les communications spatiales constituent, encore à l'heure actuelle, un obstacle à l'utilisation de ces technologies. Afin de traiter ces contraintes, nous avons proposé et conçu un nouvel amplificateur Doherty ayant une architecture symétrique basée sur trois transistors HEMTs Ga_N. Les résultats expérimentaux ont montré des possibilités intéressantes de cette nouvelle structure Doherty en termes de rendement et de linéarité.

Mots clés : Amplificateur de puissance, Doherty, haut rendement, linéarité, Nitrure de Gallium, modèle électrothermique, pièges.

Summary :

« GaN power transistors modeling : design of a Doherty power amplifier for adaptive power transmitter »

New power transistors technologies based on "wide bandgap" materials such as Gallium Nitride (Ga_N) were developed these last years. This new technology presents interesting capabilities for high power microwave amplifiers in terms of high working temperature, high power densities and high breakdown voltages. This work concerns first the development of a new tabular electrothermal non linear model including trapping effects on an AlGa_N/Ga_N power HEMT. This model has then been used, in the second part of this thesis, to design a power amplifier based on the Doherty principle. In satellite communication systems, a good linearity and a high efficiency are drastic constraints on the power amplifier. In order to deal with these constraints, we have proposed and designed a new Doherty amplifier with a symmetrical architecture based on three Ga_N HEMT devices. Experimental results have shown the interesting capabilities of this new Doherty structure in terms of efficiency and linearity under output power back-off operation.

Keywords : Power amplifier, Doherty, high efficiency, linearity, Gallium Nitride, electro thermal model, trapping effect