

UNIVERSITE DE LIMOGES

ECOLE DOCTORALE SCIENCE TECHNOLOGIE SANTE

FACULTE DES SCIENCES ET TECHNIQUES

Thèse N° [56-2006]

Thèse

pour obtenir le grade de

Docteur de l'Université de Limoges

Discipline : Électronique des Hautes Fréquences et Optoélectronique

Spécialité : "Communications Optiques et Microondes"

Présentée et soutenue par

Zoheir SASSI

Le 28 septembre 2006

***Étude et Conception De Structures De Filtrage Actif Radiofréquence
Intégrées En Technologie
CMOS et BiCMOS pour application à la téléphonie cellulaire***

Thèse dirigée par Bruno BARELAUD, Laurent BILLONNET, Bernard JARRY

Jury :

Serge VERDEYME	Professeur à l'Université de Limoges - XLIM CNRS	Président
Jean-Marie PAILLOT	Professeur à l'IUT d'Angoulême - Université de Poitiers LAI	Rapporteur
Christian PERSON	Professeur à l'ENST Brest - LEST CNRS	Rapporteur
Patrice GAMAND	Directeur du Centre d'Innovations RF, Philips Semiconductors, Caen	Examineur
M. Philippe DUEME	Ingénieur - THALES, Élancourt	Examineur
Bruno BARELAUD	Maître de Conférences - HDR - Université de Limoges XLIM CNRS	Examineur
Jean-Michel NEBUS	Professeur à l'Université de Limoges - XLIM CNRS	Invité
Laurent BILLONNET	Professeur à l'Université de Limoges - XLIM CNRS	Invité
Bernard JARRY	Professeur à l'Université de Limoges - XLIM CNRS	Invité

Remerciements

Mes premiers remerciements iront à mes directeurs de thèse, Bruno BARELAUD, Laurent BILLONNET et Bernard JARRY, qui ont accepté d'encadrer cette thèse et qui m'ont témoigné leur soutien et confiance.

J'exprime ma sincère reconnaissance au Professeur Serge VERDEYME d'avoir accepté de présider ce jury de thèse.

Je remercie Monsieur le Professeur Christian PERSON du laboratoire d'électroniques et systèmes de télécommunication de université de Bretagne, et Monsieur le Professeur Jean-Marie PAILLOT du laboratoire d'automatique et d'informatique industrielle d'Angoulême pour avoir accepté de juger ce travail.

J'exprime ma gratitude à Monsieur Patrice GAMANT du Centre d'Innovations RF, PHILIPS Semiconducteur CAEN pour son aide à ces travaux.

Je remercie également Monsieur Philippe DUEME de THALES d'avoir accepté d'examiner ce travail ainsi que Monsieur le Professeur Jean-Michel NEBUS d'avoir accepté de participer à ce jury.

Je tiens à remercier Monsieur Hubert JALLAGEAS, pour sa contribution pendant toutes les phases de mesures des circuits intégrés.

Une sincère gratitude à mes parents et à toute ma famille qui m'ont toujours encouragé et soutenu. Je ne terminerai pas mes remerciements sans avoir une pensée sympathique pour tout les collègues de l'ex IRCOM, qui savent si bien rendre agréable le cadre de travail, et à tous mes ami(e)s qui m'ont soutenues jusqu'à la fin de cette thèse.

SOMMAIRE

INTRODUCTION GENERALE	9
CHAPITRE I	14
I. Introduction	16
II. Le filtrage RF dans les chaînes de télécommunications.....	16
III. Bibliographie sur le thème des filtres actifs réalisés en technologie Silicium	18
IV. Les filtres Gm-C, OTA-C et filtres à base d'inductances actives	20
IV.1. Principe de fonctionnement d'une inductance active	21
IV.2. Filtre passe-bande à base d'inductances actives	22
V. Les filtres Rm-C	26
VI. Les filtres LC	27
VII. Le procédé QUBIC4 de PHILIPS	30
VIII. Bilan des publications sur les filtres CMOS et BiCMOS.....	33
VIII.1. Les filtres à base d'inductances actives	33
VIII.2. Les filtres Gm-C	34
VIII.3. Les filtres LC	36
VIII.4. Les filtres OTA-C	38
VIII.5. Les filtres Rm-C.....	39
IX. Conclusion	40
X. Bibliographie des filtres à base d'inductance active	41
XI. Bibliographie des filtres Gm-C.....	46
XII. Bibliographie des filtres LC	57
XIII. Bibliographie des filtres OTA-C	63
XIV. Bibliographie des filtres Rm-C.....	67

Sommaire

CHAPITRE II	70
I. Introduction	72
II. Conception de l'inductance active.....	73
III. Filtre différentiel complet.....	80
III.1. Paramètres S et comportement fort signal du filtre	82
III.2. Optimisation en bruit du filtre	85
III.3. Linéarité du filtre différentiel	85
III.4. Accordabilité de la fréquence centrale	87
III.5. Contrôle du facteur de qualité	90
IV. Layout du circuit.....	92
V. Conclusion	94
VI. Bibliographie	95
CHAPITRE III.....	96
I. Introduction	98
II. Conception classique d'un filtre du quatrième ordre.....	99
III. Couplage magnétique simulé entre résonateurs	102
IV. Simulation du couplage électrique à l'aide de transistors NMOS.....	108
V. Layout du circuit.....	111
VI. Résultats de simulation.....	116
VII. Résultats de mesures.....	118
VIII. Conclusion	124
IX. Bibliographie	126
CHAPITRE IV	128
I. Introduction	130
II. Amplificateur différentiel.....	132
II.1. Représentation petit signal de l'amplificateur	132
II.2. Analyse du mode différentiel	135
II.3. Analyse du mode commun	137
II.4. Evaluation de Z_s	140
II.5. Optimisation en bruit et en linéarité	140

III.	Le résonateur	142
III.1.	Architecture du résonateur.....	142
III.2.	Paramètres géométriques de l'inductance	143
III.3.	Pertes métalliques des inductances.....	145
III.4.	Pertes dues aux couplages par le substrat des inductances.....	149
III.5.	Optimisation de l'inductance du résonateur	155
III.6.	Inductance du résonateur en technologie QUBIC 4+	160
III.7.	Blindage de l'inductance	162
III.8.	Blindage de l'inductance avec la technologie QUBIC 4+	164
IV.	Les inductances de dégénérescence.....	166
IV.1.	L'inductance symétrique	166
IV.2.	Blindage de l'inductance symétrique	171
IV.3.	Couplage entre inductances de dégénérescences.....	173
V.	Analyse de l'amplificateur associé au résonateur.....	175
V.1.	Résonateur en mode différentiel.....	177
V.2.	Résonateur en mode commun.....	179
V.3.	Charge de l'amplificateur sur le résonateur.....	179
VI.	Circuit de compensation	181
VI.1.	Principe du circuit.....	181
VI.2.	Analyse en bruit du circuit de compensation.....	183
VII.	Convertisseur d'impédance	185
VII.1.	Analyse du mode différentiel	188
VII.2.	Analyse du mode commun	189
VII.3.	Admittances d'entrée et de sortie du convertisseur	189
VII.3.1.	Admittance d'entrée Y_{in} du convertisseur	190
VII.3.2.	Admittance de sortie Y_{out} du convertisseur.....	193
VIII.	Facteur de bruit et linéarité du filtre global	195
IX.	Layout du filtre	197
X.	Simulations finales et mesures du filtre.....	199
X.1.	Mesures et simulations des modes différentiel et commun.....	200
X.2.	Mesures et simulations des conversions de modes Différentiel - Commun et Commun - Différentiel	202

Sommaire

X.3.	Accordabilité	204
XI.	Conclusion	209
XII.	Bibliographie	210
PERSPECTIVES		214
I.	Introduction	216
II.	Principe du circuit.....	217
III.	Modélisation du transformateur.....	221
IV.	Layout de l'inductance	224
V.	Résultats de simulations	225
VI.	Conclusion	226
VII.	Bibliographie	227
CONCLUSION GENERALE		230
ANNEXE I		234
ANNEXE II		240
ANNEXE III.....		248
ANNEXE IV.....		252
ANNEXE V		258
ANNEXE VI.....		266
ANNEXE VII		280
ANNEXE VIII.....		288

INTRODUCTION GENERALE

Depuis plusieurs années de nombreuses études sont consacrées au filtrage actif RF et microonde intégré. Les progrès actuels des technologies intégrées rendent possible le développement monolithique de ces fonctions aux fréquences RF et microondes.

Malheureusement, les limitations fréquentielles des technologies ne sont pas les seuls obstacles à l'utilisation des filtres actifs dans les systèmes RF et microondes. Parmi les paramètres critiques de ces circuits figurent le bruit et la linéarité.

Placés en entrée de la chaîne de réception, les filtres sont soumis à des spécifications très strictes en terme de la dynamique (Dynamic Range).

Le critère de la dynamique est défini par le rapport A_{max}/A_{min} où A_{max} est l'amplitude du signal de sortie à partir de laquelle le signal n'est plus linéaire et A_{min} est l'amplitude du signal de sortie à partir de laquelle on le confond avec le bruit.

Les filtres intégrés analogiques peuvent être classifiés conformément au schéma de la figure 1.

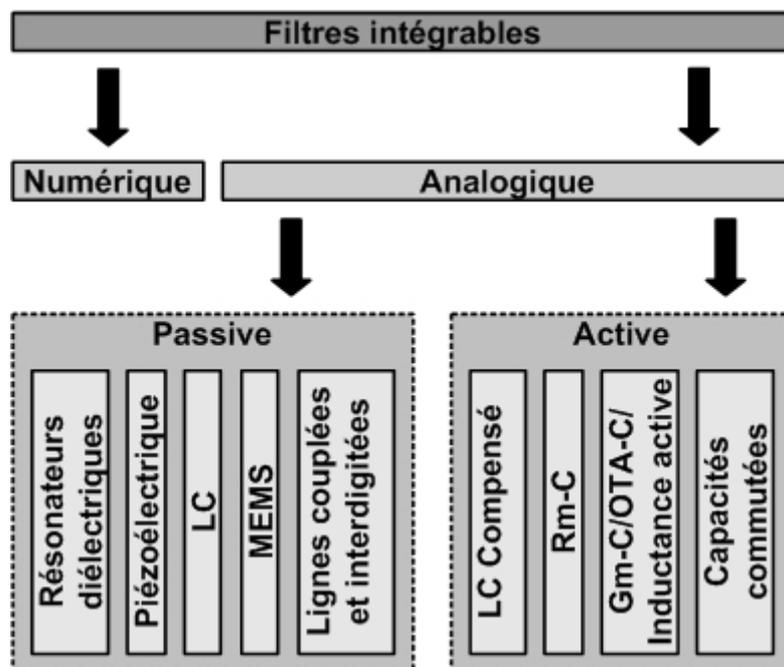


Figure 1 : Arborescence des topologies de filtres intégrables

Parmi les filtres analogiques passifs figurent :

- Les filtres piézoélectriques tels que les filtres BAW (Bulk Acoustic Waves) pour lesquels les ondes électromagnétiques sont transformées en ondes acoustiques.
- Les filtres LC à éléments localisés ou distribués qui ne comportent que des inductances et des condensateurs localisés ou distribués.
- Les filtres micromécaniques intégrés (MEMS). Ces filtres sont mis en œuvre grâce aux technologies de micro usinage et sont généralement compatibles avec les technologies classiques des circuits intégrés.
- Les filtres à lignes couplées et interdigitées qui se basent essentiellement sur le couplage électromagnétique de lignes, de type demi ou quart d'ondes.
- Les filtres à résonateurs diélectriques qui sont miniaturisés mais ne sont pas compatibles avec les technologies intégrées.

La deuxième famille des filtres actifs se compose de la façon suivante :

- Les filtres LC à éléments localisés ou distribués compensés qui sont des filtres LC passifs associés à des circuits actifs pour la compensation des pertes et l'amplification.
- Les filtres Rm-C. Ces structures utilisent des transrésistances pour réaliser une fonction de filtrage.
- Les filtres Gm-C, OTA-C à base d'inductances actives.
- Les filtres à capacités commutées.

En prenant en compte les paramètres limitatifs de bruit et de linéarité des circuits actifs et la diversité des topologies susceptibles d'être intégrées, nous étudions dans cette thèse plusieurs structures de filtrage actif. Nous utilisons comme support technologique les transistors bipolaires et MOS de la technologie BiCMOS 0,25 μm de PHILIPS (QUBIC4).

Nous commençons dans ce manuscrit par un chapitre bibliographique. Dans cette partie, nous donnons un aperçu des différentes topologies de filtres utilisés en RF et microonde dans une chaîne de transmission.

Dans le deuxième chapitre, nous détaillons l'étude d'une topologie de filtrage différentiel du premier ordre basé sur le principe de l'inductance active. Nous analysons ses avantages (gain élevé, bonne adaptation, accord fréquentielle large bande) et présentons le dessin de masque (layout) du circuit qui occupe une petite surface. Nous analysons aussi ses limitations en termes de sa linéarité réduite et de consommation élevée.

Dans le troisième chapitre, nous analysons et nous réalisons un filtre LC différentiel compensé du quatrième ordre. Nous exposons le principe original de couplage entre résonateurs qu'il utilise, ainsi que ses bonnes réponses en terme de dynamique.

Dans le quatrième chapitre, nous concevons et réalisons un autre filtre LC différentiel à faible bruit. Ce filtre de premier ordre est compensé par une résistance négative. Dans ce chapitre, nous introduisons une nouvelle technique de conversion d'impédance active entre l'amplificateur et le résonateur. Une analyse électromagnétique très rigoureuse est effectuée pour optimiser le résonateur et les inductances de dégénérescence.

Finalement, nous proposons en guise de perspective une quatrième topologie de circuit LC très prometteuse en terme de linéarité, de bruit et de consommation. Elle comporte un transformateur passif pour réduire l'effet non linéaire des résistances négatives.

Nous concluons nos travaux par une synthèse et une comparaison entre les différentes topologies analysées et réalisées pendant cette thèse.

CHAPITRE I

ANALYSE BIBLIOGRAPHIQUE DEDIEE AUX FILTRES ACTIFS RF ET MICROONDES INTEGRES EN TECHNOLOGIE DE TYPE SILICIUM

I. Introduction

Dans ce chapitre nous introduisons le rôle du filtrage actif dans une chaîne de réception RF dont l'étude est développée au sein du département C2S2 du laboratoire XLIM. Une étude bibliographique est effectuée pour avoir un aperçu des précédents travaux développés dans ce domaine.

II. Le filtrage RF dans les chaînes de télécommunications

La figure I-1 présente une chaîne d'émission-réception simplifiée. La partie RF de ce système de communication est identique pour plusieurs types de dispositifs comme le GSM et l'UMTS.

La norme UMTS fonctionne dans les bandes [2110-2170 MHz] en réception et [1920-1980 MHz] en émission. La figure I-1 permet de mettre en évidence la place importante des filtres dans un tel dispositif d'émission-réception.

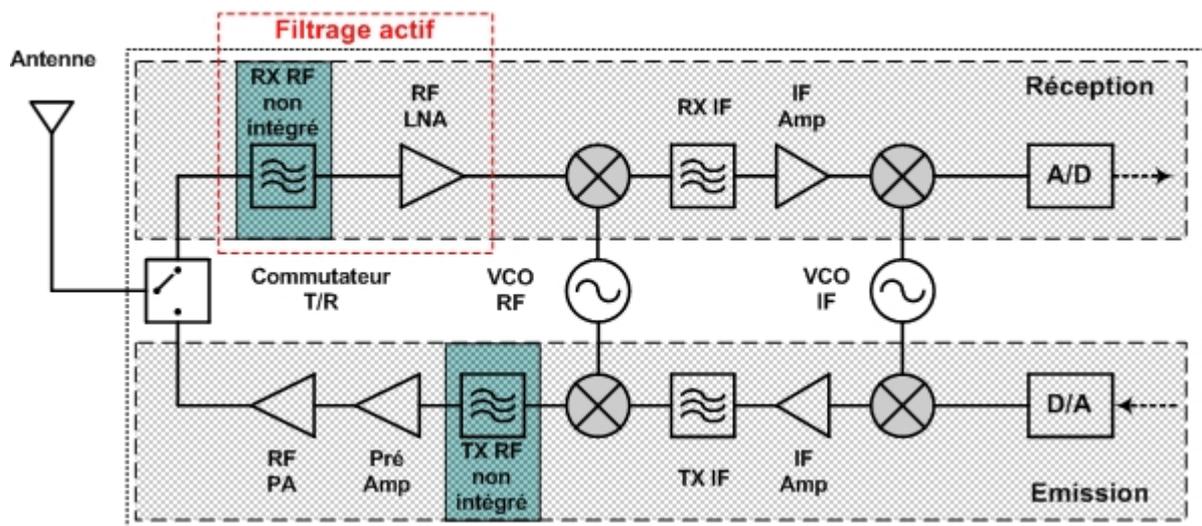


Figure I-1 : Chaîne émission-réception simplifiée

On repère sur le schéma de la figure I-1 :

- Un commutateur T/R placé après l'antenne ; il permet de commuter entre le canal émission et réception.
- Dans le canal de réception, on peut repérer le filtre RX-RF placé avant l'amplificateur faible bruit. Il effectue un filtrage avant la première conversion de fréquence. Le filtre RX IF placé derrière le mélangeur effectue un filtrage à la fréquence intermédiaire avant la conversion en bande de base. Il faut souligner que, dans de nombreux systèmes, et particulièrement les systèmes multinormes, on trouve parfois un filtre devant le commutateur. Ce filtre est destiné à améliorer les performances fort signal de l'amplificateur en éliminant les signaux de fréquences parasites pouvant arriver à l'entrée de la chaîne de réception.
- Dans le canal de transmission, des filtres sont utilisés aussi dans chaque étage.

Les industriels du domaine des semi-conducteurs proposent plusieurs solutions d'intégration : par blocs distincts réception/émission ou par blocs distincts analogiques RF/numériques. Malheureusement, avec chacune de ces solutions, les blocs de filtrage RF ne sont jamais intégrés.

La séparation des filtres est simplement justifiée par le fait que les filtres sont essentiellement réalisés avec la technologie SAW (Surface Acoustic Wave).

Afin de trouver des solutions alternatives aux filtres SAW qui ne sont pas intégrables, nous proposons d'étudier les structures de filtrage actif utilisant la technologie Silicium. En plus de leur intégration possible, ces filtres se caractérisent par leur propriété d'amplification dans la bande passante et d'accordabilité de la fréquence centrale. Ces caractéristiques permettent d'envisager l'utilisation d'un filtre actif unique dans les systèmes multinormes, ce filtre pourra s'adapter au changement de fréquences.

Afin d'établir un état de l'art des précédents travaux, nous réalisons une analyse bibliographique qui récapitule les topologies déjà utilisées dans ce domaine.

III. Bibliographie sur le thème des filtres actifs réalisés en technologie Silicium

Un nombre considérable de publications traitent le filtrage actif en RF et microonde. Nous avons choisi de classer ces publications selon cinq catégories différentes : les filtres Gm-C (Transconductance-Capacitor), les filtres OTA-C (Operational Transconductance Amplifier - Capacitor), les filtres Rm-C (Transresistance - Capacitor), les filtres à inductances actives, et les amplificateurs passe-bande LC (filtre LC). La nomenclature utilisée dans ces publications a été respectée dans cette classification. A la fin de ce chapitre sont trouvés les tableaux comparatifs résumant les caractéristiques des filtres de différentes publications et cela pour chaque famille de filtre actif.

La figure I-2 montre, pour tous les articles analysés, la répartition selon trois critères : l'année de publication, la fréquence de fonctionnement et la catégorie de filtre actif.

Cette figure montre que la topologie la plus utilisée pour le filtrage actif entre 100 MHz et 6 GHz est la topologie de filtre actif LC. Après les filtres LC, on trouve les filtres à inductances actives en deuxième position, ils sont utilisés entre 250 MHz - 5 GHz.

Les filtres Gm-C se situent en troisième position. Ces filtres fonctionnent dans une gamme de fréquence très large allant de la basse fréquence à 2,5 GHz.

Enfin viennent les filtres OTA-C, et Rm-C qui sont des filtres basés sur des amplificateurs linéaires pour des fréquences allant jusqu'à presque 500 MHz.

Dans les paragraphes suivants, nous détaillons l'analyse des ces différentes catégories de filtres.

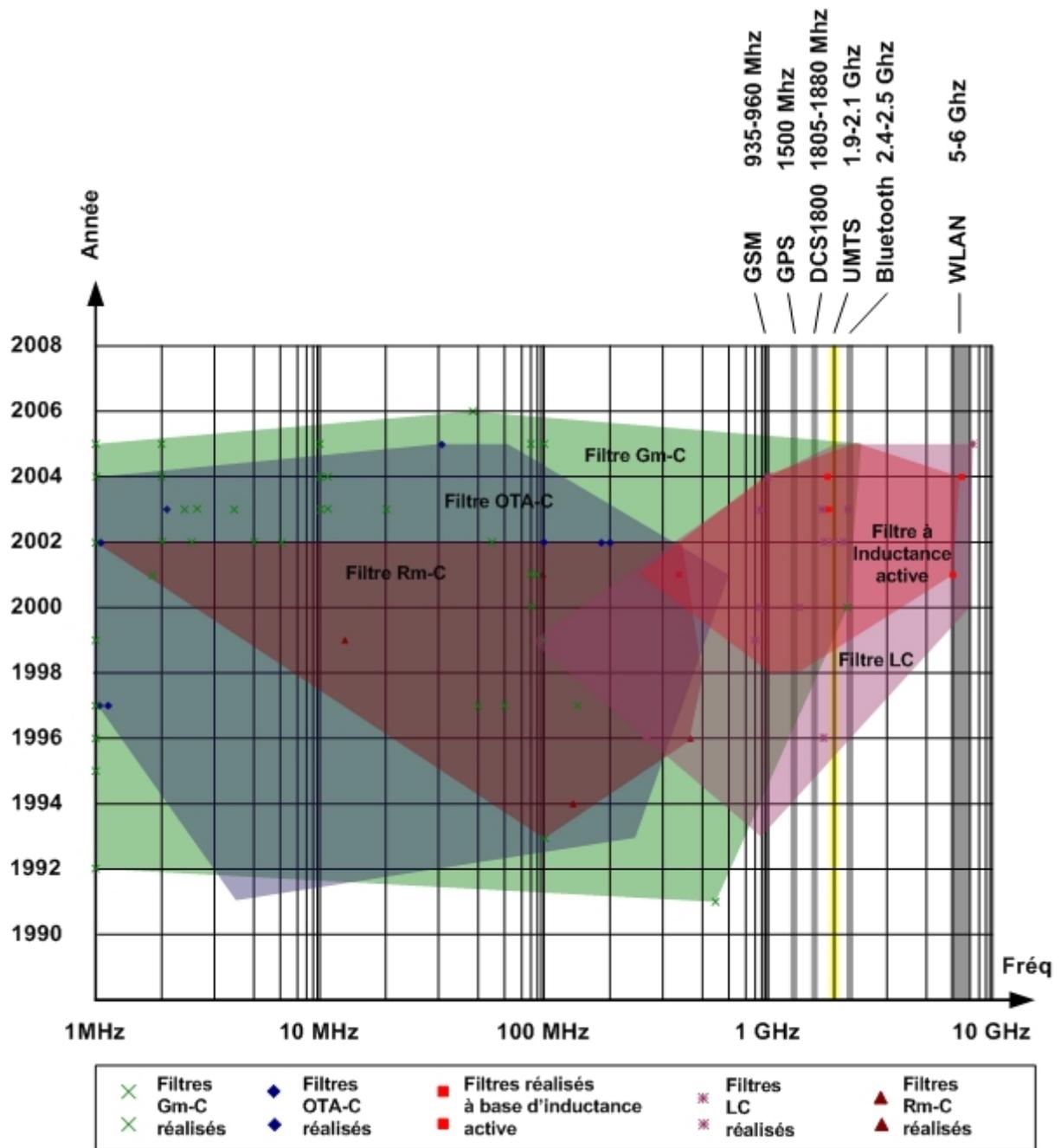


Figure I-2 : Distribution des articles et publications dédiés aux filtres actifs CMOS et BiCMOS par rapport leurs fréquence de fonctionnement jusqu'à 2006

IV. Les filtres Gm-C, OTA-C et filtres à base d'inductances actives

Une analyse approfondie des filtres Gm-C, OTA-C, et à base d'inductances actives révèle une très forte ressemblance entre ceux-ci.

Les filtres Gm-C sont généralement des filtres à base de transconductances associés à une capacité pour réaliser une transformation d'impédance et obtenir un élément inductif. Avec ce dispositif, il est facile de concevoir une fonction de filtrage sans utiliser des inductances passives.

Les filtres OTA-C sont des filtres qui peuvent être inclus dans la catégorie des filtres Gm-C car ils utilisent presque le même principe mais ils s'en distinguent par l'utilisation d'amplificateurs à transconductance (Operational Transconductance Amplifier). Ces amplificateurs sont très linéaires mais malheureusement limités en fréquence.

Pour augmenter la fréquence de fonctionnement de ces structures, les chercheurs ont simplifié les topologies de transconductances. Le fait d'utiliser moins de transistors diminue les éléments parasites et augmente en conséquence la fréquence de fonctionnement au détriment de la linéarité de l'ensemble du positif. On obtient dans ce cas des inductances actives qui utilisent des transconductances à base de deux ou trois transistors. En fait, dans les filtres à base d'inductances actives, les concepteurs n'utilisent pas de capacité extérieure pour la conversion d'impédance mais juste les capacités parasites intrinsèques des transistors.

L'avantage majeur des filtres à base d'inductances actives est la surface réduite du circuit qui ne comporte pas d'inductances passives. Nous analysons dans les paragraphes suivants le principe d'une telle structure.

IV.1. Principe de fonctionnement d'une inductance active

Pour expliquer le mécanisme d'une inductance active, nous utilisons le principe du gyrateur-C ou bien l'inverseur d'impédance capacitif. Cette structure permet de simuler l'effet d'une inductance par le principe d'inversion de l'impédance d'une capacité (C) à l'aide de deux transconductances (Figure I-3) [I-11].

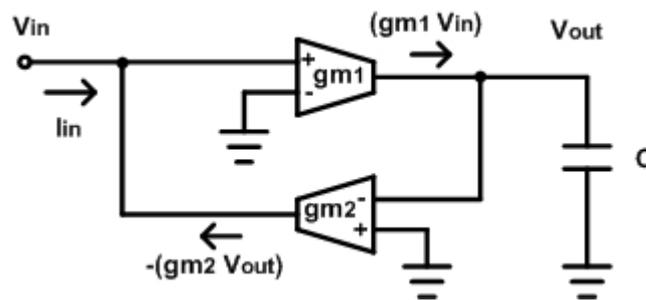


Figure I-3 : Principe d'une inversion d'impédance

L'analyse électrique du circuit de la figure I-3 donne :

$$I_{in} = gm_2 V_{out} \quad (I-1)$$

$$\text{et } V_{out} = \frac{gm_1 V_{in}}{j\omega C} \quad (I-2)$$

En utilisant les relations (I-1) et (I-2), on retrouve l'impédance d'entrée (I-3) équivalente à l'impédance d'une inductance L_{eq} (I-4) :

$$Z_{in} = \frac{V_{in}}{I_{in}} = j\omega \frac{C}{gm_2 gm_1} \quad (I-3)$$

$$L_{eq} = \frac{C}{gm_1 gm_2} \quad (I-4)$$

Les résultats précédents montrent la possibilité de concevoir des filtres sans utiliser d'inductances intégrées passives.

IV.2. Filtre passe-bande à base d'inductances actives

L'inverseur d'impédance précédent est idéal. Les transconductances réelles présentent non seulement des capacités à leur entrée (C_1 , C_2) mais aussi des pertes à leur sortie (g_{01} , g_{02}) (Figure I-4).

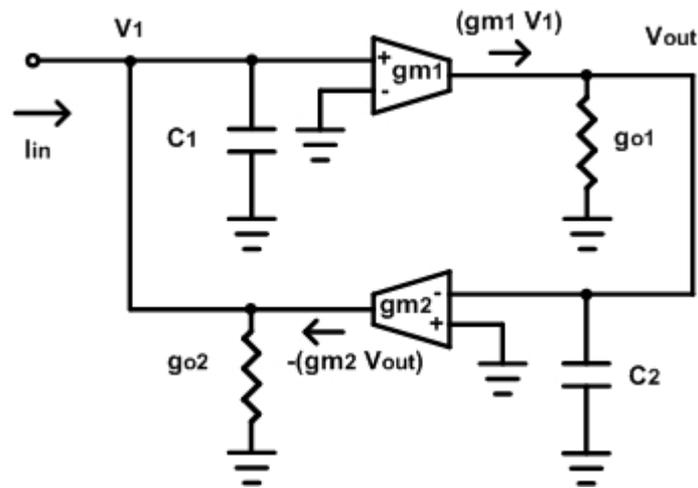


Figure I-4 : Filtre passe-bande utilisant un inverseur d'impédance

En utilisant les relations (I-5) et (I-6), on retrouve l'admittance d'entrée (I-7). Le circuit est donc équivalent à un circuit RLC composé d'une inductance avec une résistance série. L'ensemble est en parallèle avec une capacité et une résistance parallèle (Figure I-5).

$$V_1 = \frac{I_{in} - gm_2 V_{out}}{g_{02} + j\omega C_1} \quad (I-5)$$

et
$$V_{out} = \frac{gm_1 V_1}{g_{01} + j\omega C_2} \quad (I-6)$$

$$Y_{in} = \frac{I_{in}}{V_1} = \frac{1}{\frac{g_{01}}{gm_2 gm_1} + j\omega \frac{C_2}{gm_2 gm_1}} + (g_{02} + j\omega C_1) \quad (I-7)$$

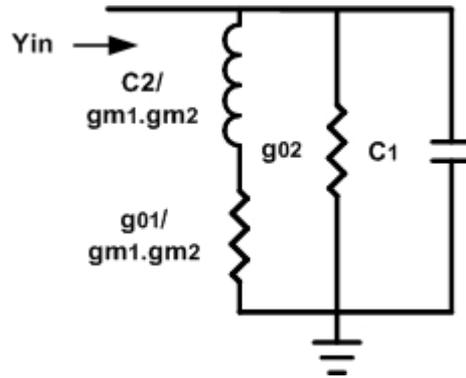


Figure I-5 : Circuit équivalent de l'inductance active

Le circuit RLC de la structure peut être considéré comme une simple inductance équivalente L_{eq} (I-8) si la fréquence de fonctionnement est plus faible que la fréquence de résonance ω_{0r} (I-9). Les pertes sont caractérisées par les deux résistances série et parallèle du circuit RLC équivalent.

$$L_{eq} = \frac{C_2}{gm_1 gm_2} \quad (I-8)$$

$$\omega_{0r} = \sqrt{\frac{gm_1 gm_2}{C_1 C_2}} \quad (I-9)$$

Pour réaliser une fonction de filtrage avec cette inductance active, on rajoute une capacité C_{in} à l'entrée du circuit, et on utilise les deux accès de l'inductance active comme illustré sur la figure I-6.

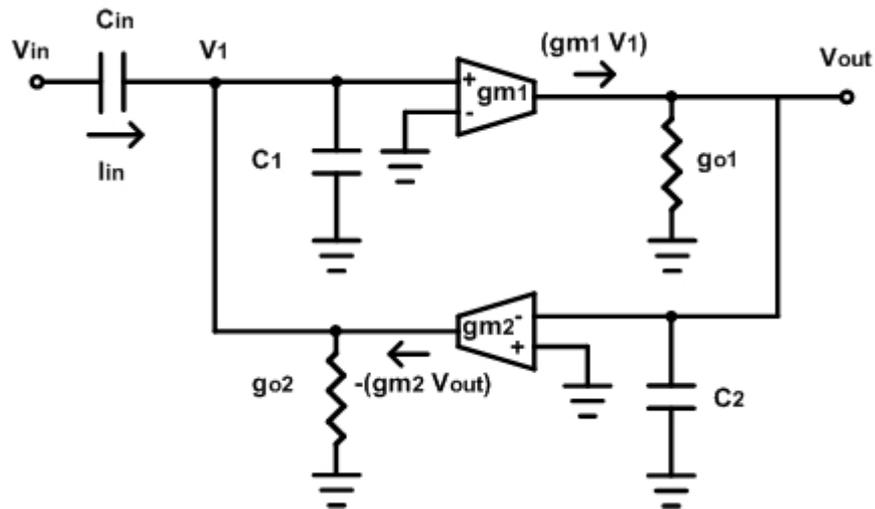


Figure I-6 : Filtre passe-bande utilisant un inverseur d'impédance

Il est très facile de retrouver le rapport V_{out}/I_{in} (I-12) comme celui de l'expression (I-7) par les équations suivantes :

$$V_{out} = \frac{gm_1 V_1}{g_{01} + j\omega C_2} \quad (I-10)$$

$$V_1 = \frac{I_{in} - gm_2 V_{out}}{g_{02} + j\omega C_1} \quad (I-11)$$

$$\frac{V_{out}}{I_{in}} = \frac{gm_1}{(g_{01} + j\omega C_2)(g_{02} + j\omega C_1) + gm_1 gm_2} \quad (I-12)$$

Et :

$$V_{in} - V_1 = \frac{I_{in}}{j\omega C_{in}} \quad (I-13)$$

En remplaçant V_1 (I-11) dans cette expression (I-13), on retrouve (I-14):

$$\frac{V_{in}}{I_{in}} = \frac{1}{j\omega C_{in}} + \frac{1}{g_{02} + j\omega C_1} - \frac{V_{out}}{I_{in}} \frac{gm_2}{g_{02} + j\omega C_1} \quad (I-14)$$

En utilisant les expressions (I-12) et (I-14), on retrouve l'expression finale de la fonction de transfert (I-15) et (I-16) :

$$\frac{V_{out}}{V_{in}} = \frac{gm_1}{\frac{(g_{01} + j\omega C_2)(g_{02} + j\omega C_1) + gm_1 gm_2}{j\omega C_{in}} + (g_{01} + j\omega C_2)} \quad (I-15)$$

$$\frac{V_{out}}{V_{in}} = \frac{\frac{j\omega C_{in} gm_1}{C_2(C_1 + C_{in})}}{\frac{g_{01}g_{02} + gm_1 gm_2}{C_2(C_1 + C_{in})} + j\omega \frac{g_{01}(C_1 + C_{in}) + g_{02}C_2}{C_2(C_1 + C_{in})} - \omega^2} \quad (I-16)$$

Si on considère que $C_{in} \geq C_1$ et $gm_1 gm_2 \geq g_{01}g_{02}$ (C_{in} de l'ordre de quelques pF est plus importante que C_1 qui représente la capacité parasite d'entrée de la transconductance de quelques fF). De la même manière, la valeur des transconductances gm_1 et gm_2 est de l'ordre de quelques mS et celle des conductances g_0 et g_0 est l'ordre de quelques dixièmes de $m\Omega^{-1}$. On retrouve une expression plus simple (I-17).

$$\frac{V_{out}}{V_{in}} \approx \frac{j\omega \frac{gm_1}{C_2}}{\frac{gm_1 gm_2}{C_2(C_1 + C_{in})} + j\omega \left(\frac{g_{01}}{C_2} + \frac{g_{02}}{C_1 + C_{in}} \right) - \omega^2} \quad (I-17)$$

Cette dernière expression permet d'exprimer à la fréquence de résonance (I-18), le facteur de qualité (I-19) et le gain (I-20) [I-11].

$$\omega_0 \approx \sqrt{\frac{gm_1 gm_2}{C_2(C_{in} + C_1)}} \quad (I-18)$$

$$Q_0 \approx \frac{\omega_0}{\frac{g_{01}}{C_2} + \frac{g_{02}}{C_{in} + C_1}} \quad (I-19)$$

$$K_0 \approx \frac{\frac{gm_1}{C_2}}{\frac{g_{01}}{C_2} + \frac{g_{02}}{C_{in} + C_1}} \quad (I-20)$$

Cette analyse analytique prouve et explique le principe de fonctionnement des filtres à base d'inductances actives. Dans le deuxième chapitre nous exploiterons ces données pour implémenter un filtre basé sur ce même principe.

V. Les filtres Rm-C

Il est intéressant d'énoncer le principe de fonctionnement des filtres Rm-C (Transrésistance-Capacité) même si leur fonctionnement est aussi limité que celui des OTA-C en terme de fréquence pour des applications RF. Ces filtres utilisent des Amplificateurs Opérationnels de Transconductance (OTRA : Operational Transresistance Amplifier), dont la grandeur d'entrée est un courant et celle de sortie une tension.

Les figures I-7 et I-8 représentent les cellules d'un intégrateur et d'un dérivateur respectivement qui sont les cellules de base pour concevoir plusieurs topologies de filtres actifs.

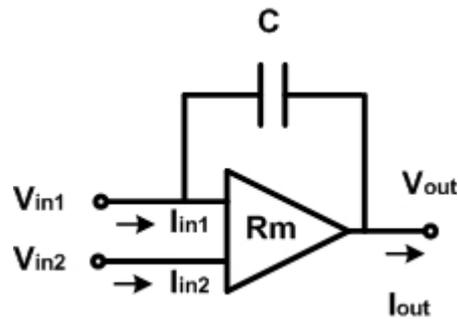


Figure I-7 : Intégrateur utilisant une transrésistance

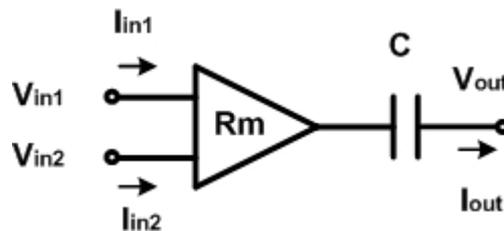


Figure I-8 : Dérivateur utilisant une transrésistance

En raison de leur limitation fréquentielle, les filtres Rm-C ne sont pas développés dans la suite.

VI. Les filtres LC

L'architecture des filtres LC est celle utilisée le plus souvent en RF. Elle peut être utilisée en hautes fréquences et garder une linéarité plus élevée que celle des autres architectures.

Pour comprendre le principe de fonctionnement, nous représentons sur la figure I-9 un résonateur RLC parallèle. Dans cette simple configuration, on considère que l'inductance n'étant pas parfaite comporte une résistance série R , et que la capacité parallèle est supposée idéale. Analytiquement, on peut trouver la fréquence de résonance f_0 décrite par l'expression (I-21).

$$f_0 = \sqrt{\frac{1}{2\pi LC}} \quad (\text{I-21})$$

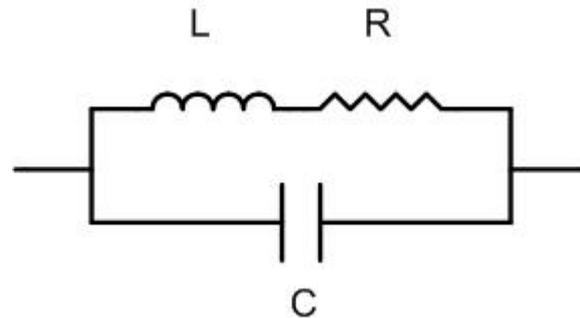
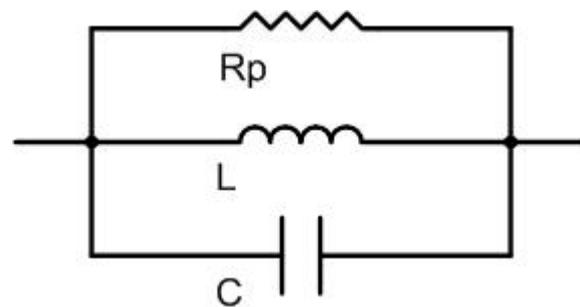


Figure I-9 : Résonateur RLC avec capacité parallèle

Pour faciliter le calcul du facteur de qualité global du filtre, on modifie le schéma électrique du résonateur (Figure I-10). Dans cette dernière configuration, R_p est la résistance parallèle (I-22). Q_{i0} (I-23) représente le facteur de qualité de l'inductance à la fréquence de résonance.

$$R_p = (Q_{i0}^2 + 1)R_s \quad (\text{I-22})$$

$$\text{où } Q_{i0} = \frac{\omega_0 L}{R} \quad (\text{I-23})$$

Figure I-10 : Résonateur RLC parallèle avec une résistance équivalente R_p

Le facteur de qualité du résonateur RLC parallèle est Q_0 (I-24).

$$Q_0 = \frac{R_p}{\omega_0 L} \quad (\text{I-24})$$

Si on remplace l'expression de R_p dans (I-24), on retrouve le facteur de qualité du résonateur :

$$Q_0 = \frac{(Q_{l0}^2 + 1)R}{\omega_0 L} \quad (\text{I-25})$$

Utilisant (I-23), on retrouve l'équation (I-26) :

$$Q_0 = Q_{l0} + \frac{1}{Q_{l0}} \approx Q_{l0} \quad (\text{I-26})$$

Si on considère que le facteur de qualité de la capacité C est très élevé et que celui de l'inductance dépasse 10, le facteur de qualité de toute la structure parallèle est pratiquement identique au facteur de qualité de l'inductance L seule. D'où l'importance de concevoir une inductance avec un facteur de qualité maximal dans les filtres LC.

Dans cette partie nous avons décrit le principe de fonctionnement du résonateur LC sans amplification ni compensation. Deux filtres LC vont être développés et réalisés dans les troisième et quatrième chapitres de cette thèse.

Pour ce travail de thèse une seule bibliothèque technologique a été utilisée pour le développement et la réalisation de tous les circuits. Il s'agit de la bibliothèque BiCMOS QUBIC4 de PHILIPS 0,25 μm . Nous introduisons les caractéristiques technologiques de cette bibliothèque dans la partie suivante.

VII. Le procédé QUBIC4 de PHILIPS

Durant les 15 dernières années, l'AsGa a complètement dominé le développement des MMICs (Monolithic Microwave Integrated Circuits) fonctionnant à plusieurs dizaines de GHz. Mais les progrès constants des transistors silicium sont toujours très importants ; ces derniers peuvent actuellement dépasser des fréquences de transition (F_T) de 37 GHz (comme la technologie 0,25 μm PHILIPS nommée QUBIC4). La nouvelle technologie QUBIC4G, basée sur la technologie SiGe, a un F_T de l'ordre de 100 GHz. En ce moment, sur le marché du semiconducteur, le silicium domine la plupart des applications RF industrielles qui ne dépassent pas une fréquence de fonctionnement de 5 GHz.

La compétition entre l'AsGa et le silicium est actuellement très féroce. Cela est la conséquence du développement important des transistors à hétérojonction.

Trois types de technologies sont disponibles pour les concepteurs de MMIC :

- 1 - AsGa (MESFET, HEMT, HBT)
- 2 - InP (HEMT, HBT)
- 3 - silicium (germanium HBT, CMOS, BiCMOS, SOI)

Les circuits présentés dans ce travail sont développés avec la technologie QUBIC4, quatrième génération de la bibliothèque BiCMOS de PHILIPS. Elle comporte des transistors PMOS et NMOS de 0,25 μm et des transistors bipolaires double-poly avec un F_T de 37 GHz. Cette bibliothèque offre aussi des résistances polysilicium, des capacités MiM (Metal/Insulator/Metal) ainsi que cinq niveaux d'interconnexions métalliques (Figure I-11).

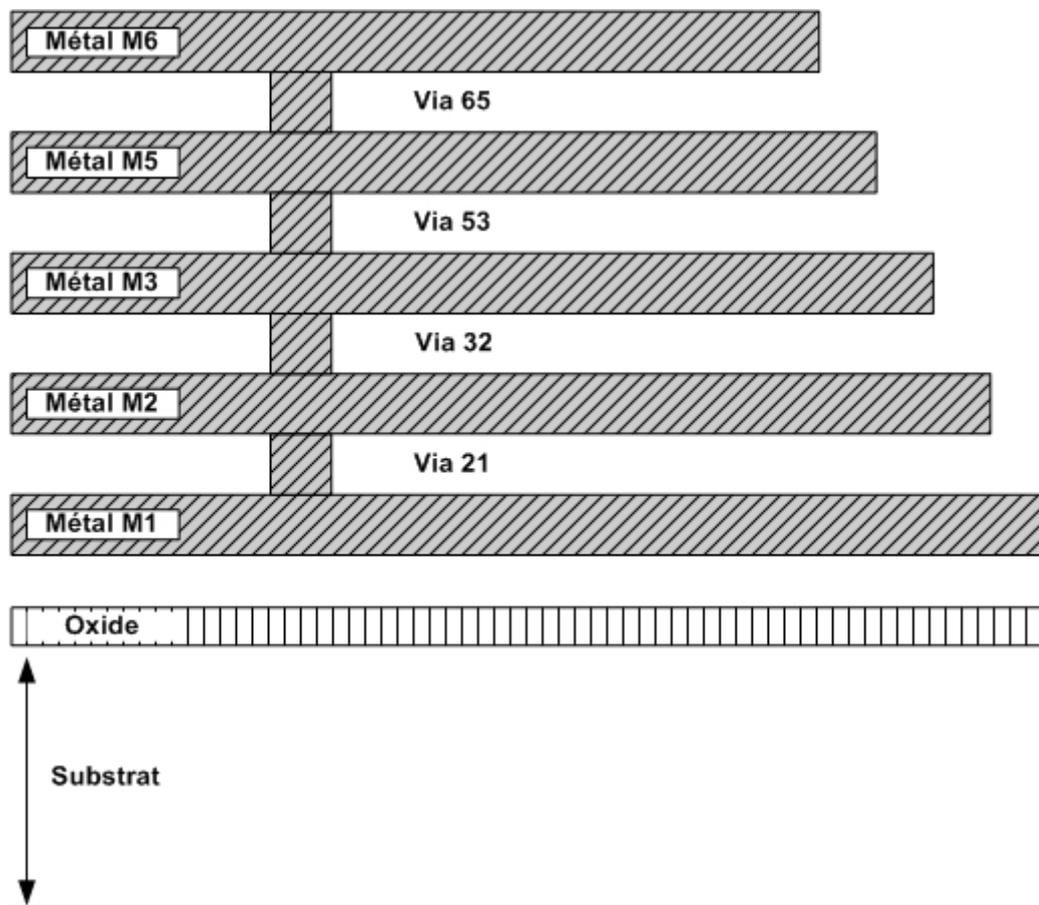


Figure I-11 : Niveaux des métallisations du procédé QUBIC4 PHILIPS

La figure I-12 montre la structure d'un transistor NMOS. On exprime la qualité (dite aussi dimension caractéristique) d'une technologie par la longueur de grille d'un transistor nominal ; dans le cas de la QUBIC4, $L_g = 0,25\mu\text{m}$. Sur cette figure sont définies la longueur du canal L et l'épaisseur de l'oxyde de grille T_{ox} (5nm).

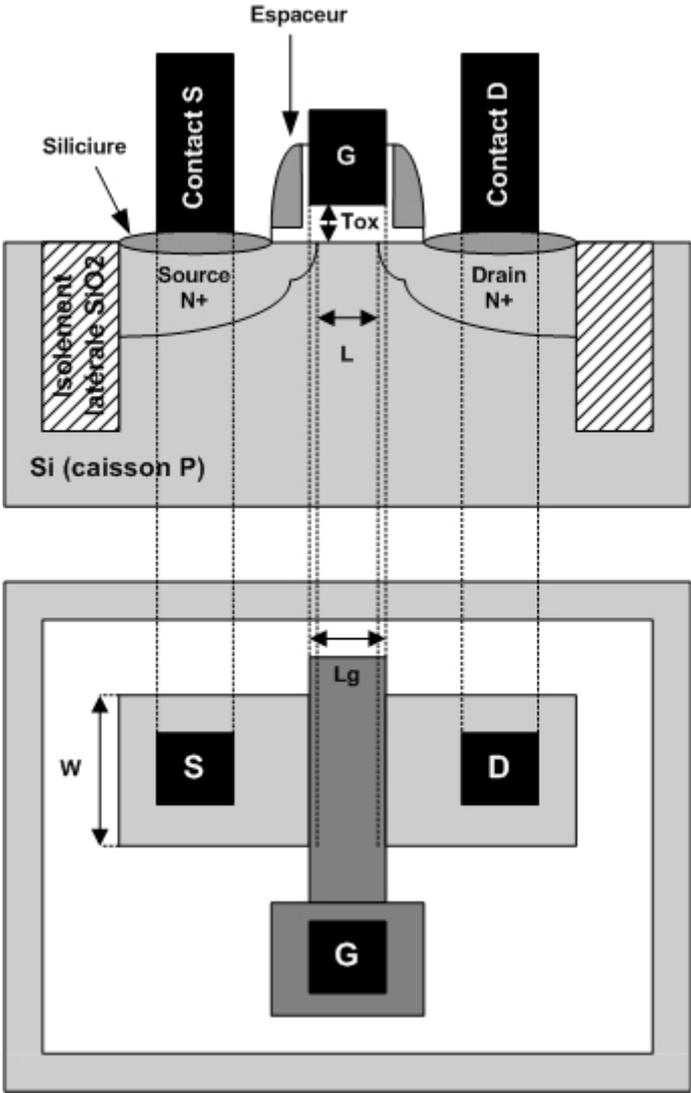


Figure I-12 : Transistor NMOS

VIII. Bilan des publications sur les filtres CMOS et BiCMOS

Les tableaux suivants représentent les listes des publications bibliographiques utilisées dans les différentes catégories de filtres.

VIII.1. Les filtres à base d'inductances actives

Articles	Date	La fréquence f_0	Δf -3dB/Q ou % de bande	Gain et l'ordre du filtre	IIP3 / IP _{-1dB} dBm	Techno	Principe de fonctionnement	Consommation	Nature de conception	Autres performances	Réalisation
[I,1]	2005	2,05-2,45 GHz	8-80 Mhz	Gain en tension 25 dB 6eme-ordre	IIP3=-4 dBm	CMOS 0,25 μ m	Inductance active	4,7 mW pour 1,8 V	Filtre passe-bande	SFDR = 44 dB	Simulation
[I,2]	2005	1,81-2,45 Ghz	Q=30-200	Gain en tension 30 dB 4eme-ordre	IIP3=-3 dBm	CMOS TSMC 0,25 μ m	Inductance active	4,1 mW 1,8V	Filtre passe-bande	SFDR = 44 dB noise floor = -70 dBm	Simulation
[I,3]	2004	5,6 GHz	Q=665			0,18 μ m TSMC	Inductance active	4,4 mA pour 1,8V	Filtre passe-bande		Réalisation 26,6 x 30 μ m ²
[I,4]	2004	0,9 Ghz	Q=40	2eme-ordre	IIP3=-15 dBm	CMOS 0,35 μ m	Inductance active	17 mA pour 3V	Filtre passe-bande	SFDR= 27 dB	Réalisation
[I,5]	2003	stop-bande : 2,5 et 1 GHz passe-bande: 1,9 et 0,9 Ghz	Stop-bande : Q=20-100 Passe-bande : Q=6-188	Gain en tension 12-44 dB		CMOS 0,35 μ m	Inductance active	2,8 mW pour 2V	Filtre passe-bande et stop-bande	DR = 37,2-41,9 dB	Simulation
[I,6]	2003	2 Ghz	Q=25	4eme-ordre	IIP3=-14 dBm	CMOS 0,35 μ m	Inductance active	2 mW pour 1,5 V	Filtre passe-bande	SFDR = 52 dB	Simulation
[I,7]	2003	0,9 GHz	Q=40	2eme ordre S ₂₁ =-15 dB	IP _{-1dB} = -15dBm	0,35 μ m CMOS	Inductance active	17 mA pour 2,7 V	Filtre passe-bande	SFDR = 28 dB	Réalisation 200 x 140 μ m ²
[I,8]	2002	cut off frequency -3dB = 4,57 Ghz		Gain en tension 4,34 dB 4eme-ordre		0,18 μ m CMOS TSMC	Inductance active	1,6 mW	Filtre passe-bas		Simulation
[I,9]	2002	2,4 -2,6 Ghz	20-200 MHz	Gain en tension de 0 à 40 dB 2eme ordre 4eme et 6eme	IIP3=-20 dBV	CMOS 0,35 μ m	Inductance active	1mW pour 2V	Filtre passe-bande	SFDR = 30 dB	Simulation
[I,10]	2002	2,5 Ghz	70 MHz	Gain en tension 40 dB 4eme-ordre	IIP3=-5 dBm	CMOS 0,35 μ m	Inductance active	3,36 mW pour 2V	Filtre passe-bande	SFDR = 35 dB	Simulation
[I,11]	2002	1 GHz	Q=25	Gain en tension 40 dB		CMOS 0,35 μ m	Inductance active	0,6mW pour 1,5V	Filtre Passe-bande	DR=30,9 dB	Simulation
[I,12]	2001	5Ghz	Q=600			CMOS 0,3 μ m	Inductance Active	2,5 V 6mA	Inductance active	L=10 nH -100 nH THD =1,5 %	Réalisation 200 x 200 μ m ²
[I,13]	2001	1 -1,2 Ghz 0,870-1,050 Ghz	Q=50 (8-307)	Gain en tension 50 dB	IIP3=-16 dBm	CMOS 0,35 μ m	Inductance active à bas voltage flottant différentielle	1,5 V 46 mW 30,8 mA	Filtre Passe-bande	NF=4,2 dB S11<-40 dB	Simulation
[I,14]	2001	900 Mhz	Q=41	2eme-ordre -15 dB	IIP3=-15dBm	CMOS 0,35 μ m	paire d'Inductance active en courant	3V	filtre passe-bas	NF=-70 dBm SFDR=26,7	Simulation
[I,15]	2001	246 MHz	10 MHz	4eme-ordre	IP _{-1dB} = -19 dBm IIP3=-8,5dBm	CMOS 0,35 μ m	Inductance active	33 mW pour 3V	Filtre passe-bande	NF=27 dB	Réalisation
[I,16]	2001	900 Mhz- 1 Ghz	Q=5 (1GHz)		295 uA rms	CMOS		30mW	Current mode filter (biquad) band passe -low passe filter+Q compensation	DR=36,5 dB SNR=42 dB	Simulation
[I,17]	2000	f _c =876 Mhz f _c =1,68 Ghz 625 Mhz- 1,68 Ghz	Q=33 Q=12-200 Q=19-250	Gain en voltage 37dB et 31dB	IIP3=-30 dBm IIP3=-31 dBm	CMOS 0,5 μ m	Inductance active basé sur gyrateur	24,3 mW	Filtre passe-bande	NF=4,8 dB NF=5,5 dB	Simulation
[I,18]	2000	f _c =1,482 Ghz	Q=37-1000	Gain en tension 4,17dB à 1,9 Ghz		CMOS 0,5 μ m	Inductance active	34 mW	Filtre stop-bande	suppression d'image=70 dB à 1,482 Ghz	Simulation

[I,19]	2000	fc=1,098 Ghz de 595Mhz à 1354Mhz	8 Mhz=0,7%	Gain en tension 4,75dB	IIP3= -20dBm	CMOS 0,6 µm	RLC Active sans inductance	27 mW	Filtre stop-bande	NF=7,2 dB suppression du signale image= 60 dBm à 1,089 Ghz	Simulation
[I,20]	2000	fc=1,089Ghz de 595Mhz à 1354Mhz	8Mhz=0,7%	Gain en tension 4,75 dB	IIP3= -20dBm	CMOS 0,6 µm	RLC active + inductance active	27 mW	Filtre stop-bande	NF=9,5 dB et 4,75 dB suppression d'image=60 dB à 1089 Mhz	Simulation
[I,21]	2000	1,007 Ghz-1,023 Ghz	Q=1000-12000	2eme-ordre	IIP3= -25 dBm	CMOS	Gm-C à double beed-back-Inductance active	3V	Filtre Passe-bas		Simulation
[I,22]	2000	900 Mhz	Q élevé			CMOS AMS 0,35 µm	Inductance active-diff		Filtre passe-bande		Simulation
[I,23]	2000	400 Mhz		4eme-ordre		CMOS AMS 0,8 µm	Inductance active différentielle flottante		Filtre Passe-bande		Simulation
[I,24]	1999	fc pass-bande = 1,5Ghz fc pass-bas = 2,07Ghz de 1Ghz à 2,3 Ghz	Q=4,45-980 Δf=15,7Mhz Q=4,8-1000 Q=10-1256	Gain en tension 55 dB		CMOS 0,5 µm	Inductance active	30,5mW 27,8mW	Filtre passe-bande Filtre passe-bas	DR=63 dB / 44 dB	Simulation
[I,25]	1999	fc=2,07 Ghz 1,26 Ghz-2,3Ghz	Q=31 10-1256	2eme-ordre		CMOS 0,5 µm	Inductance active + Q compensé	27,8 mW	Filtre Passe-bas	DR = 44 dB	Simulation
[I,26]	1999	fc=881 Mhz 559Mhz-970Mhz	Qc=34 Q>400	2eme-ordre Gain en tension = 15,7 dB	IIP3= -2,4dBm	CMOS 0,5 µm	NGC (Negative conductance generator)-Q compensé	52,5mW NCG= 15,8mW	LNA avec un filtre passe - bande	NF= 6 dB Pas de Capacité	Simulation
[I,27]	1998	fc=1,5 Ghz 1-1,7 Ghz	Q=300			CMOS 0,8 µm	Gyrateur-C Inductance active	3,3 V		THD=1,5 %	Simulation
[I,28]	1998	fc=900 Mhz 890 Mhz-1,3 Ghz	Q=20-100	S ₂₁ = 28 dB	IP _{-1dB} = -19 dB	CMOS 0,8 µm	Inductance active diff	30 mW 3,3 V	LNA diff + filtre passe-bande	NF=4,1 dB	Simulation
[I,29]	1998	900 Mhz - 1 Ghz	Q=56-150	S ₂₁ = 23 dB	IIP3= -27dBm	CMOS 0,8 µm BiCMOS	Inductance active	57 mW pour 3 V	Ampli passe-bande	IP3= -27 dbm THD=1,5 % OP1=-24,3 dbm S ₁₁ <-10 dB S ₂₂ <-16 dB + circuit d'adaptation a l'entrée et sortie	Simulation

VIII.2. Les filtres Gm-C

Articles	Date	La fréquence f ₀	Δf-3db/Q ou % de bande	Gain et l'ordre du filtre	IIP3 / IP _{-1dB} dBm	Techno	Principe de fonctionnement	Consommation	Nature de conception	Autres performances	Réalisation
[II,1]	2006	8-39 Mhz		12 dB		CMOS 0,35 µm	Filtre Gm-C	520 mW pour 3,3V			Réalisation 12,8 mm ²
[II,2]	2005	0,4 -2,5 Ghz	20 Mhz-300 Mhz	0-40 dB 4eme-ordre		CMOS 0,25 µm	Filtre Gm-C/ inductance active	1,8 mA pour 2,5 V			Simulation
[II,3]	2005	42-215 Mhz		3eme-ordre		CMOS 0,35 µm	Filtre Gm-C	3,8mA pour 2V	Filtre passe-bas	DR=53 dB	Réalisation 0,074 mm ²
[II,4]	2005	10-126MHz	Q = 0,1-10,6			CMOS 0,18 µm	Filtre Gm-C	5,2 mW poue +- 0,9V	Filtre passe-bande		
[II,5]	2005	1-10-100 MHz		13 dB 6eme-ordre	IIP3= 2 dBm	CMOS 90 nm	Filtre Gm-C	13,5 mW pour 1,4V			Réalisation
[II,6]	2005	1-10-100 MHz		13 dB 6eme-ordre	IIP3=2 dBm	CMOS 90 nm	Filtre Gm-C	13,5 mW pour 1,4V			Réalisation
[II,7]	2005	70 MHz	Q=35	0 dB 6eme-ordre		CMOS 0,18 µm	Filtre Gm-C	71,78m W pour 1,8	Filtre passe-bande	DR=58 dB	Réalisation 1,5 x 1,9 mm ²
[II,8]	2005	1-5 KHz et 32 Hz		1 ^{er} -ordre		CMOS 0,5 µm	Filtre Gm-C	2,7-4,2V	Filtre passe-bas		Simulation
[II,9]	2005	10 MHz			3 dBV et 9,5dBV	CMOS 0,13 µm	Fitre Gm-C	22mA pour 1,2V	Filtre passe-bas		Réalisation 0,9x0,6 mm ²
[II,10]	2005	9,55 Mhz		6eme-ordre		CMOS 0,18 µm	Filtre Gm-C	8,6 mW pour 1,8V	Filtre passe-bas		Réalisation 350 x 750 µm ²
[II,11]	2005	50 KHz-2,2 Mhz		3eme-ordre	IIP3= +18 dBV	BiCMOS SiGe 0,25 µm	Filtre Gm-C	7,3 mW	Filtre passe-bas		Réalisation 0,5 mm ²
[II,12]	2005	2 Mhz		Gain en tension 0-65 dB		CMOS 0,18 µm	Filtre Gm-C	3,2 mA pour 1,8V	Filtre passe-bas		Réalisation 0,19 mm ²
[II,13]	2005	2 Mhz		Gain en tension 0-65 dB		CMOS 0,18 µm	Filtre Gm-C	3,2 mA pour 1,8V	Filtre passe-bas		Réalisation 0,19 mm ²
[II,14]	2004	0,5 -12 Mhz		4eme-ordre		CMOS 0,18 µm	Filtre Gm-C	1,1-4,7 mW pour 1,8V	Filtre passe-bas		Réalisation 0,125 mm ²
[II,15]	2004	bande basse 9,2 Mhz		5eme-ordre		BiCMOS 0,25 µm	Filtre Gm-C	15 mW pour 3V	Filtre passe-bas	DR=73 dB	Réalisation 1020 x 340 µm ²

[II,16]	2004	50 KHz-2 Mhz		3eme-ordre		BiCMOS SiGe 0,25 μ m	Filtre Gm-C	2,5 mW, 7,3 mW pour 2,5V	Filtre passe-bas		Réalisation 0,48 mm ²
[II,17]	2004	Bande-basse				1 μ m st microele ctronics	Filtre Gm-C		Filtre passe-bas	Température 0-80°	Réalisation 0,37 x 0,7 mm ²
[II,18]	2003	20 Mhz	20Mhz	Gain en tension= 10 dB 5eme-ordre	IIP=-7 dBm	CMOS 0,18 μ m	Filtre Gm-C	7,5 mA pour 1,8V	Filtre passe-bande		1200 x 600 μ m ²
[II,19]	2003	1,5 - 12 Mhz		6eme-ordre elliptique	IP _{-1dB} = -0,9dBm IIP3= 9,3 dBm	CMOS 0,18 μ m	Filtre Gm-C	1,8V	Filtre passe-bas		0,83 mm ²
[II,20]	2003	10,7 Mhz		2eme-ordre		CMOS 0,6 μ m		45 uA 1,5 V	Filtre passe bande		
[II,21]	2003	4-10 Mhz	10 Mhz			CMOS 0,18 μ m	Filtre Gm-C	1,3V-2,1V	Filtre passe-bas		1000 x 600 μ m ²
[II,22]	2003	200 KHz-2,5 Mhz		4eme-ordre		CMOS 0,35 μ m	Filtre Gm-C	600 uA pour 2,7 V	Filtre passe-bas		350 x 320 μ m ²
[II,23]	2003	1,5 Mhz		5eme-ordre		CMOS 0,35 μ m	Filtre Gm-C	34 mW pour +2,5V	Filtre elliptique passe-bas	DR=45 dB	
[II,24]	2002	45 Mhz							Filtre passe-bas		
[II,25]	2002	5 MHz		4eme-ordre		CMOS 0,25 μ m	Filtre Gm-C	1,8V			
[II,26]	2002	3 Mhz	1 Mhz	14eme-ordre				6 mW pour 2,5V			0,8 mm ²
[II,27]	2002	2,68 Mhz et 132 KHz		3eme-ordre		BiCMOS SiGe 0,25 μ m	Filtre Gm-C	19mA/0,45mA pour 2,5V	Filtre passe-bas		Réalisation 1,64 mm ²
[II,28]	2002	1,92 Mhz		5eme-ordre 20 dB			Filtre Gm-C	7mA/ch pour 2,7V	Filtre passe-bas		Réalisation 2,9 mm ²
[II,29]	2002	1 Mhz				CMOS 0,25 μ m	Filtre Gm-C	1mW pour 2,5 V			0,1 mm ²
[II,30]	2001	900 Mhz-1,1 Ghz	Q=2,5	4eme-ordre chebyshev		CMOS 0,35 μ m	RGC(vertical connection regulated cascode biquad)	2,4 et 1,5 mW/2,1 mW	Filtre Passe-bas	DR=35-41 dB	Simulation
[II,32]	2001	1 Ghz	Q=0,8-2,8	4eme-ordre Chebysheve	109,5 uA rms	CMOS 0,35 μ m	Regulated cascode structure-biquadratic filter -low voltage current mode	2,4 V 710 uA	Filtre	SFDR =42,4 db DR= 44,9 db 1% THD	Simulation
[II,33]	2001	54-74 Mhz	Q=50 -70	4eme-ordre	IIP3=-9,25 dBm	CMOS 0,35 μ m	Gm-C + AGPLL (adaptive gain locked loop)	2,2 V	Filtre Passe-bande	Vnoise= 19 uV/srHz tuning automatic	Simulation
[II,34]	2001	70 Mhz	Q=350 BW= 200 KHz	6eme-ordre gain=30 dB	IIP3=-10 dB	CMOS HP 0,5 μ m	Gm-C	2,5 V 120 mW	Filtre passe bande	DR=66 dB bruit equivalent= 81 nV/sqHz	Réalisation 0,8 x 1,2 mm ²
[II,35]	2001	70 Mhz	Q=5-110	4eme-ordre	IIP3=-9,25 dBm	CMOS 0,35 μ m	Gm-C	2,2 V	Filtre Passe-bande	Vnoise= 19 uV/srHz tuning automatic (On-chip)	Réalisation
[II,36]	2001	10,7 Mhz	Q=40 Df-3db=420 KHz			CMOS	Diff structure + multiple-input floating gate TR-Gm-C	1,2 V (1,4 V)	Filtre		Simulation
[II,37]	2001	f _p =0,93 fs=1,82 Mhz	Δ f-3db=1,02 Mhz	3eme-ordre A _{min} = 44,08 dB A _{max} = 064 dB		CMOS 0,8 μ m n-well	Gm-C Stabilité a mode commun	1,8 V 1,73 mW	Filtre	DR=41 dB	Réalisation 1 mm ²
[II,38]	2000	0,4 -2,3 GHz			IIP3=-12 dBm		Filtre Gm-C	65 mW sous 5V	4 sections de Gm-C	Point de compression = -21 dBm et -56 dBm	Réalisation 0,16 mm ²
[II,39]	2000	500 Mhz	Δ f=10 Mhz			CMOS 0,6 μ m	Local -ve feed-back	3,78 mW	Current convoyor CCII		Simulation
[II,40]	2000	50,5 Mhz et 70 Mhz	BP= 200 KHz(50,5 Mhz- Q=250) BP= 3,5 Mhz (70 Mhz- Q=20)	6eme-ordre Gain=30 dB	IIP3=-10 dBm	CMOS 0,5 μ m	Gm-C	2,5 V 120 mW	Filtre passe bande + auto-tuning	Bruit equivalent-36,3 uV, DR=66 dB	Réalisation 0,8 x 1,2 mm ²
[II,41]	2000	10,7 Mhz	Q=100 BW= (100-350)				Gm-C	1,2V/1,5 V	Filtre	THD=0,4%/0,8%	Simulation
[II,42]	2000	10,7 Mhz						1,2 V			Simulation
[II,43]	1999	150 Mhz		7eme-ordre		BiCMOS 0,29 μ m		180 mW	Intégrateur Gm-C		
[II,44]	1999	10-100 Mhz		13 dB		BiCMOS 0,29 μ m	Filtre Gm-C	120 mW pour 3V			Réalisation 0,5 mm ²
[II,45]	1999	10 Mhz						1,5V			
[II,46]	1999	450 KHz	Δ f-3db=21 KHz	Gain=-6 dB a 3dB		CMOS 0,35 μ m	Gm-C	2,5 V-2,6V 4,8 mA	Filtre passe bande	Tuning time < 2ms de 420-770Mhz +/- 0,5%	Réalisation 2,5 mm ²
[II,47]	1998	1 Mhz	Δ f-3db=163 dB	3eme-ordre		CMOS 1,2 μ m n-well	Fully diff Gm-C+ micropower class AB VI converter	1,5 V 138 uW	Filtre elliptique	THD=1,8%	Simulation

[II,48]	1997	30-100 Mhz 4-49 Mhz	1,7464- 1,6420 1,3150- 1,2915	2eme-ordre		CMOS	Gm-C	54 mW (+/-2,5 V) 5 mW (+/-1,5 V)	Filtre passe bande	Transconductance= 490uS (40-950)	Simulation
[II,49]	1997	7-50 Mhz		7eme-ordre		BiCMOS 0,7µm	Filtre Gm-C	70 mW pour 5V		DR=52 dB	Réalisation 0,96 mm²
[II,50]	1997	15 Mhz- 33 Mhz		6eme-ordre		CMOS 0,8 µm	Gm-C	3V 2,6 mW	Filtre passe bande	DR=0,57 V	Réalisation 1,0 x 0,4 mm²
[II,51]	1997	165 Khz- 505 Khz		14eme-ordre	IM3= -61 dB	CMOS 0,7 µm	Gm-C intégrateur	5 V 70 mW	Filtre passe bande	DR=75 dB	Réalisation 4,8 mm²
[II,52]	1996	F max= 185 Mhz 148 Mhz-92 Mhz	Q <18,5	4eme-ordre Chebyshev (fc= 190 Mhz)		CMOS	Gm-C	21,8mW 20mW	Filtre passe bas a courant et a voltage biquadrique		Réalisation
[II,53]	1996	50 Mhz		3eme-ordre Butherworth		CMOS 1,5 µm n-well	Current mode NRL (negative resistance)	3 V 2,4 mW/pole	Filtre passe bas		Simulation 1 mm²
[II,54]	1996	138-838 Khz		14eme-ordre	IM3= -61 dB à 600 Khz	CMOS 0,7 µm	Gm-C intégrateur	5 V 70 mW	Filtre passe bande	DR=75 dB	Réalisation 4,8 mm²
[II,55]	1995	123 -181,9 Mhz 124- 218,7 Mhz					Amplifier Gm + Rm amplificateur Rm différentiel	2,5 V 2,92- 3,36 mW 7,94- 9,44 mW	Filtre passe bas biquadrique		Simulation
[II,56]	1995	560 Khz							Filtre+Ampli a cascode regulé pour realisé une conductance et une transconductance		Réalisation
[II,57]	1992	fc-off = 22-98 Mhz				CMOS 3 µm	Gm-C intégrateur	10 V 670 mW	Filtre passe bas	DR=72 dB CMRR=40 dB	Réalisation 0,63 µm²
[II,58]	1992	30 Khz à 450 Khz	Q=1 à 100			CMOS 0,9 µm	Gm-C Biquad équilibré	5 V 8- 12 mW	Filtre	DR=30-40 dB	Réalisation 0,029 mm²
[II,59]	1991	30-450 Mhz	Q=100			CMOS 0,9 µm	GM-C biquad diff	30 mW		SNR=35-45 dB	Réalisation 0,029 mm²

VIII.3. Les filtres LC

Articles	Date	La fréquence f ₀	Δf-3dB/Q ou % de bande	Gain et l'ordre du filtre	IIP3 / IP _{-1dB}	Techno	Principe de fonctionnement	Consom mation	Nature de conception	Autres performances	Réalisation
[III,1]	2005	6 Ghz	4eme ordre	100 Mhz	IP _{-1dB} = 27,5 dBm	CMOS 0,18µm	Filtre LC	15 mA pour 1,5V	Filtre passe-bande	DR=43 dB	Réalisation 1,5x1,5 mm²
[III,2]	2005	5,775 Ghz	Q=6-65			CMOS 0,18µm	Filtre LC+ Gm			DR=57-80 dB	Simulation
[III,3]	2005	2,4 Ghz (2,1-3,5)	0 dB	148 Mhz	IP _{-1dB} = -0,5 dBm	CMOS 0,18µm	Filtre LC en réseau	7,05 mA pour 1,8 V	Filtre passe-bande	NF=15 dB	Simulation
[III,4]	2005	2Ghz (+ 72Mhz)	Q=81-150	0 dB	IP _{-1dB} = -3,54 dBm	CMOS 0,13µm	Filtre LC	1mW pour 1,2V	Filtre passe-bande	DR=50 dB	Simulation 0,81x0,67 mm²
[III,5]	2004	2,44 Ghz	84 Mhz	4,2 dB	IP _{-1dB} = -4,9 dBm	CMOS 0,18µm	Filtre LC	1,6V	Filtre passe-bande	DR=65 dB	Simulation
[III,6]	2004	1 Ghz	Q=5-180	2eme-ordre	IP _{-1dB} = -13 dBm (avec Q=20)	CMOS 0,35 µm	Filtre LC	12,2 mW	Filtre passe-bande		Réalisation 1160 x 760 µm²
[III,7]	2003	2,1 Ghz (+6,5%)	Q=40		IP _{-1dB} = -30 dBm et IIP3= -18 dBm	CMOS 0,35 µm	Filtre LC	5 mW pour 1,3V	Filtre passe-bande	DR=38 SFDR=33 NF=26,8dB perte d'insertion= 12 dB	Réalisation 0,1mm²
[III,8]	2003	1,8 Ghz	80 Mhz	9 dB 4eme-ordre	IP _{-1dB} = -16dBm	CMOS 0,5 µm	Filtre LC couplé	16 mA pour 2,7V	Filtre passe-bande	DR=42 dB	Réalisation 0,15 mm²
[III,9]	2003	900 Mhz	Q=45 /20 Mhz	11 dB	IP _{-1dB} = -3dBm	CMOS	Filtre LC	39 mW pour	Filtre passe- bande	DR=78dB	Réalisation
[III,10]	2002	2,1 Ghz (+6,5%)	Q=40		IP _{-1dB} = -30 dBm et IIP3= -18 dBm	CMOS 0,35 µm	Filtre LC	5 mW pour 1,3V	Filtre passe-bande	DR=38 SFDR=33 NF=26,8dB	Réalisation 0,1mm²
[III,11]	2002	2 Ghz	150 Mhz	4eme-ordre	IP _{-1dB} = -9,5 dBm	Sige BiCMOS 0,25µm/ 0,5µm	Filtre LC couplé	18 mA pour 2,7V	Filtre passe- bande	DR=49 dB	Réalisation 3,4 x 2,1 mm²

[III,12]	2002	1,8 Ghz	80 Mhz	9 dB 4eme-ordre	IP _{-1dB} = -40 dBm	CMOS 0,5µm	Filtre LC	2,7V	Filtre passe-bande	DR=42 dB	Réalisation 0,15 mm ²
[III,13]	2002	0,7-1,2 Ghz	Q=10	2eme-ordre		BiCMOS 0,8µm	Filtre LC	9 mW pour 2V	Filtre passe-bande		Simulation
[III,14]	2001	fc= 2,4 Ghz IF=200 Mhz	Q bas	S ₂₁ (LNA) = 18 dB	IIP3= 25,8 dBm	CMOS 0,35 µm	Dégénération de Source	1V 32 mA	Filtre stop-bande + LNA	Rejection d'image= 60 dB NF=4,8 dB	
[III,15]	2000	1-5,8 Ghz				Bipolaire	Filtre LC	2 V	Rejection d'image		
[III,16]	2000	1,8 Ghz	Q=30	S ₂₁ = 25,3 dB	IIP3= -15,26 dBm IP _{-1dB} = -6,9 dBm	CMOS 0,5 µm	Q-compensé+ self intégré	1,5 V 35mW	Ampli passe- bande	NF=3,56 dB S ₁₁ <-9,5 dB S ₂₂ <-3,3 dB	Simulation
[III,17]	2000	1,6 Ghz	Q=26	S ₂₁ = 122,2 dB		CMOS 0,6 µm	BAC (bandpass ampliflier circuit)	3V 72 mA	Ampli passe bande	NF=2,6 dB	Réalisation 1700x1700 µm ²
[III,18]	2000	950 Mhz (accord sur 100 Mhz)	BW=25 Mhz Q=38	Gain = 22 dB	IIP3= -17 dBm	CMOS 0,5 µm	Q- compensé Gm-unbalance cell (pour maximiser la linéarité)	2 V 25mA	Ampli- Passe-bande+ stop-bande + SC pour le tuning	NF=10 dB rejection d'image=50 dB Mosfet-only	Réalisation 1,5 mm ²
[III,19]	1999	2,4 Ghz (2,369 Ghz- 2,422 Ghz)	Q=45	Gain=15 dB		CMOS 0,5 µm	ampli différentiel + inductance parallèle	2 V 39 mW	Ampli passe-bande	NF=4,36 dB S ₁₁ =-30 dB S ₂₂ =-34 dB	Simulation
[III,20]	1999	900 Mhz – 1 Ghz	Q=25			CMOS 0,6 µm	self intégré		Filtre passe bande	DR=70 dB	
[III,21]	1999	fc=829 Mhz 689-830 Mhz	Q=30 (3,4-629) BW= 25 Mhz	2eme-ordre Gain= 20 dB	IP _{-1dB} = -34 dBm/ IP _{-1dB} = -22 dBm	CMOS 0,8 µm n-well	Q-enhanced + LC filtre	2 V/3 V 45,8 mW	Filtre passe-bande	NF=24,5 dB rejection d'image = 24,2 dB	868,2 x 748,4 µm ²
[III,22]	1999	70 Mhz	Q=38	4eme-ordre Gain= 28 dB	IIP3= -18 dBm IP _{-1dB} = -31,5 dBm	CMOS 0,8 µm	différentiel+ Q compensé	32 mA	Ampli passe-bande	rejection d'image= 36,5 dB NF=5,8 dB	Simulation
[III,23]	1998	1 Ghz 950 Mhz- 1,050 Ghz	Q=30	26 dB Variation de gain= 4dB (0°-80°)			Circuit LC	2V 35 mW	Ampli passe-bande	Bonne stabilité vs temperature NF=5 dB S ₁₁ =-10 dB S ₂₂ =-20 dB	Simulation
[III,24]	1998	fc= 947,5 Mhz (877- 962 Mhz)	Q=32 (3-230)	S ₂₁ = 25,7 dB	IIP3= -32,2 dBm/ IP _{-1dB} = -44 dBm	CMOS 0,8 µm	Filtre LC compensé	3 V 45mW	Ampli passe-bande	NF=5,2 dB S ₁₁ =-50 dB	Simulation
[III,25]	1997	fc=900Mhz 869- 893 Mhz	Q=30 2,2-44	S ₂₁ =17dB	IIP3= -14 dBm/ IP _{-1dB} = -30 dBm	CMOS 0,8 µm n-well	Filtre LC	3V 78 mW	Filtre Passe-bande +ampli	NF=6 dB S ₁₁ < -1,8 dB S ₂₂ < -13 dB	Réalisation 2,6 X 2,0 mm ²
[III,26]	1997	750 Mhz	Q=10-490			BiCMOS 0,8 µm	Q-enhancement Active RLC	5 V 80-100 mW	Filtre passe bande différentiel	DR=25 dB (Q=20)	
[III,27]	1996	1,8 Ghz				Bipolaire	Filtre LC	8 mA pour 3V	Filtre passe-bande	DR=40	Réalisation 0,4 mm ²
[III,28]	1996	1,8 Ghz	Q=35	2eme-ordre	IP _{-1dB} = 40 dBm			2,8V 8,7 mA	Filtre RLC passe bande	Bipolaire	
[III,29]	1996	200 Mhz	Q=100	4eme-ordre		CMOS 2 µm n-well	Q-enhancement LC	3V -5 V 8 mA	Filtre LC Passe bande		1,7 mm ²
[III,30]	1994	1,3 Ghz				BiCMOS	Active RLC		Filtre		
[III,31]	1993	750 Mhz	Q=10-490			BiCMOS 0,8 µm	Q-enhancement Active RLC	5 V 80-100 mW	Filtre passe-bande différentiel	DR=25 dB (Q=20)	

VIII.4. Les filtres OTA-C

Articles	Date	La fréquence f_0	Δf -3dB/Q ou % de bande	Gain et l'ordre du filtre	IIP3 / IP _{1dB}	Techno	Principe de fonctionnement	Consommation	Nature de conception	Autres performances	Réalisation
[IV,1]	2005	1,5-50 Mhz		5eme-ordre		CMOS 0,25 μ m	Filtre Gm-C	3,3 V	Filtre passe-bas		Simulation
[IV,2]	2005	300Khz - 32 Mhz	Q=4-501	2eme-ordre		CMOS 0,8 μ m	Filtre Gm-C (OTA)	1,33 mW pour 2V	Filtre passe-bande		Réalisation 1,4 mm ²
[IV,3]	2004	0,5 - 7 Hz		400			Filtre Gm-C	230 nA pour 2V	Filtre passe-bande		
[IV,4]	2003	100 Mhz					Filtre OTA			Accordabilité	
[IV,5]	2003	18 MHz		4eme-ordre		CMOS 0,25 μ m	Filtre avec des OTA	0,4 mW pour 1V	Filtre passe bas		
[IV,6]	2003	2 Mhz		15 dB				4,7mA pour 2,7V			1,68 mm ²
[IV,7]	2003	Base bande					Filtre OTA-C (transconductance-C)				
[IV,8]	2002	80-200 Mhz		4eme-ordre				1,8V			
[IV,9]	2002	80-200 Mhz		4eme-ordre		CMOS 0,35 μ m	Filtre Gm-C	90 mW pour 2,3V	Filtre passe-bas		Réalisation
[IV,10]	2002	100 Khz		5eme-ordre		CMOS 1,5 μ m	Filtre Gm-C+ OTA	600uW 3,3V			
[IV,11]	2002	100 Mhz	Q=20			CMOS 0,5 μ m	ORA	92,4 mW pour 3,3V	Filtre passe bande		Réalisation 0,81 mm ²
[IV,12]	2002	10,7 Mhz	Q=40			CMOS 0,8 μ m					
[IV,13]	2002	833KHz- 1,3 Mhz	4,3 Mhz	2eme- ordre		CMOS 0,18 μ m	Filtre Gm-C	3,3V			Réalisation 0,7 mm ²
[IV,14]	2002	60 Khz/ 500 Khz	Δf -3dB= 20 Khz		IP-3 = 40 dB	CMOS	OTA programmable CAB(configurable analog block 5x8) basé sue les ladder	40,3 mW/49, 7 mW	Filtre Passe-bande	DR=48/34,7	Réalisation 626 X 50 μ m ²
[IV,15]	2001	500 Mhz	Q élevé	2eme-ordre		CMOS 0,35 μ m	OTA-C	(+/- 1,35 V) 1,2 mW	Filtre passe bande	HD3(1 100 nV, 100 Mhz)=0,1 % inband noise level= 100 uVrms	Simulation
[IV,16]	2001	Khz-Mhz				CMOS	CAB (5x8) configurable analog block		Filtre OTA-C programmable		
[IV,17]	1998	28 Mhz- 280 Mhz- 36 Mhz- 72 Mhz					opamp+ OTA-C intégrateur		Stabilité utilisant critère Routh-Hurwitz		Simulation
[IV,18]	1997	fcut-off= 12-50 Mhz		3eme- ordre		CMOS 2 μ m	Linear fully balanced OTA+ 2 diff pairtransconductance + -ve resistance	5 V 2,7 mW	Filtre Passe-bas elliptique	DR=60 dB THD=1 % a 1,42 Vp-p	Simulation
[IV,19]	1997	455 Khz					OTA-C		Filtre		Théorie
[IV,20]	1997	fc-off= 280- 405 Khz		5eme-ordre		CMOS 1,2 μ m	Gm-C (OTA) V-I convertisseur	3 V 2,48 mW	Passe-bas elliptique		Réalisation 1,62 mm ²
[IV,21]	1993	225 Mhz et 250 Mhz				Bipolaire	OTA-C				Simulation
[IV,22]	1991	3,58 Mhz		2eme- ordre		CMOS	OTA-C (OTA Lineaire)	(+/- 5 V)	Filtre	THD<1%	Simulation

VIII.5. Les filtres Rm-C

Articles	Date	La fréquence f_0	Δf -3db/Q ou % de bande	Gain et l'ordre du filtre	IIP3 / IP _{-1dB}	Techno	Principe de fonctionnement	Consommation	Nature de conception	Autres performances	Réalisation
[V,1]	2002	bande de base									Théorie+ simulation
[V,2]	2002	600 KHz		2eme-ordre		CMOS 0,18 μ m		0,7 mW pour 0,8 V	Filtre passe-bas		Simulation
[V,3]	2001	$f_c=80$ Mhz (41-178 Mhz)	$\Delta f_c=170$ Mhz	$S_{21}=20$ dB Variation de gain < 55 dB	IP _{-1dB} = -21 dBm IIP3= -5 dBm	CMOS 0,5 μ m	Filtre Rm-C	14 mW pour 2V	Ampli passe bande	NF=15 dB diff mode gain=20dB common mode gain=-25dB CMMR=45 dB DR=50 dB	Réalisation 635x960 μ m ²
[V,4]	2001	10,7 Mhz	500 KHz	37,4 dB	IIP3= -3dB	CMOS 0,25 μ m	Filtre Rm-C	6 mW pour 2,5V	Filtre passe-bande		Réalisation
[V,5]	2000	41 Mhz-178 Mhz		Gain= 90 dB 6eme-ordre	IP _{-1dB} = -12dBm IIP3= -11 dBm	CMOS 0,5 μ m	Rm-C différentiel	11 mW pour 2V	Ampli passe bande	DR=50 dB NF=15 dB rejection d'image=20dB Gain mode diff = 20 dB gain mode commun =-25 dB CMRR= 45 dB	Simulation
[V,6]	1999	15,2 Mhz à 17,2 Mhz	Q=3	2eme- ordre		CMOS 0,6 μ m	Ampli balanced low gain current+Mosfet-c feed back	3,3 V 2,4 mW/pole	Ampli+ filtre passe-bas biquadratique	DR=60 dB	Réalisation 0,06 mm ² /pole
[V,7]	1996	386 Mhz (258 Mhz)	Q=1,195 (1,012)			CMOS	Rm-C inverseur transrésistance	(+/-2,5V) (+/- 1,5) 24,83 mW (3,42 mW)	Ampli passe bande biquadratique	DR=61 dB (55,5 dB)	Réalisation
[V,8]	1996	50 Mhz	Q=40	6eme-ordre		CMOS 0,8 μ m	Filtre Rm-C	Pour +- 2,5V	Filtre passe-bande		Simulation
[V,9]	1995	123 Mhz-181,9 Mhz		1 ^{er} -ordre			Filtre Gm-C+ Rm-C	2,29 mW-3,36mW pour 2,5V	Filtre passe-bas		Simulation
[V,10]	1994	368Mhz/222,7 Mhz	Q=1,195/360				Rm-C		Filtre passe-bande		Simulation
[V,11]	1994	368 Mhz 222,7 Mhz	Q=1,195/360			CMOS	Filtre Rm-C	pour +- 1,5V	Filtre passe-bande		Simulation
[V,12]	1994	100 Mhz 133,5 Mhz-102,5 Mhz					Rm-C différentielle	5,05 mW pour (+/- 2,5 V)	Filtre Passe-bande biquadratique	DR=47 dB	Réalisation 0,05 mm ²
[V,13]	1993	100 Mhz	Δf -3db=188 Mhz Q=1,135-1,784			CMOS	Class AB Ampli Rm Filtre Rm-C		Filtre Passe-bande avec ampli Rm		Simulation
[V,14]	1993	100 Mhz				CMOS 0,8 μ m					Simulation et théorie

IX. Conclusion

Dans ce chapitre, nous définissons le rôle des filtres dans une chaîne de réception ainsi que l'avantage de développer les filtres actifs pour des systèmes tel que le GSM et l'UMTS.

A travers notre étude bibliographique, nous avons analysé les différentes techniques et topologies déjà développées dans ce domaine. Au début, la conception des filtres actifs a été entièrement consacrée à des applications de type basses fréquences. Avec l'évolution des systèmes et des procédés technologiques, certaines topologies ont évolué comme les filtres LC et les filtres à base d'inductances actives qui sont développées dans cette thèse. Les résultats de ces filtres sont très prometteurs et permettent d'envisager leur utilisation dans les systèmes futurs de réception.

X. Bibliographie des filtres à base d'inductance active

- [I,1] **G. ZHIQIANG, Y. MINGYAN, Y. YIZHENG, M. JIANGUO**
“A CMOS RF Bandpass Filter Based on The Active Inductor”
ASICON the 6th International Conference On ASIC,
Vol. 2, 24-27 oct 2005, page(s) : 604-607
- [I,2] **G. ZHIQIANG, M. JIANGUO, Y. MINGYAN, Y. YIZHENG**
“A CMOS RF tuning wide-band bandpass filter for wireless applications”
Proceedings of IEEE International SOC Conference, 25-28 sept 2005, page(s) : 79 - 80
- [I,3] **X. HAIQIAO, R. SCHAUMANN, W.R DAASCH, P.K. WONG, B. PEJGINOVIC**
“A radio-frequency CMOS active inductor and its application in designing high-Q filters”
Proceedings of the International Symposium on Circuits and Systems,
Vol. 4, 23-26 mai 2004, page(s) : IV - 197-200
- [I,4] **W. YUE, D. XIAOHUI, M. ISMAIL, H. OLSSON**
“CMOS active inductor and its application in RF bandpass filter”
Digest of Papers, IEEE Radio Frequency Integrated Circuits (RFIC) Symposium,
6-8 juin 2004, page(s) : 655-658
- [I,5] **A. THANACHAYANONT, S. SAE-NGOW**
“Inductorless RF amplifier with tuneable band-selection and image rejection”
Proceedings of the 2003 International Symposium on Circuits and Systems,
Vol.1, 25-28 mai 2003, page(s) : I-573 - I-576
- [I,6] **S. SAE-NGOW, A. THANACHAYANONT**
“A low-voltage, wide dynamic range CMOS floating active inductor”
TENCON, Conference on Convergent Technologies for Asia-Pacific Region,
Vol. 4, 15-17 oct 2003, page(s) : 1460-1463

- [I,7] W. YUE, D.XIAOHUI, M.ISMAIL, H.OLSSON**
“RF bandpass filter design based on CMOS active inductors”
Analog and Digital Signal Processing, IEEE Transactions on Circuits and Systems II,
Vol. 50, N°: 12, déc 2003, page(s) : 942-949
- [I,8] X. HAIQIAO, R. SCHAUMANN**
“Very-high-frequency lowpass filter based on a CMOS active inductor”
IEEE International Symposium on Circuits and Systems,
Vol. 2, 26-29 mai 2002, page(s) : II-1 - II-4
- [I,19] A. THANACHAYANONT**
“Low voltage low power CMOS inductorless RF bandpass filter with high image rejection capability”
The 2002 45th Midwest Symposium on Circuits and Systems,
Vol. 3, 4-7 août 2002, page(s) : III-548-51
- [I,10] A. THANACHAYANONT**
“2-V 3.36-mW 2.5-GHz fourth-order inductorless CMOS RF bandpass filter”
Asia-Pacific Conference on Circuits and Systems,
Vol. 1, 28-31 oct 2002, page(s) : 127-130
- [I,11] A. THANACHAYANONT**
“CMOS transistor-only active inductor for IF/RF applications”
IEEE International Conference on Industrial Technology
Vol. 2, 11-14 déc 2002, page(s) : 1209 - 1212
- [I,12] M. GROZING, A. PASCHT, M. BERROTH**
“A 2.5 V CMOS differential active inductor with tunable L and Q for frequencies up to 5 GHz”
IEEE MTT-S International , Microwave Symposium Digest,
Vol. 1, 2001, page(s) : 575-578

[I,13] A. THANACHAYANONT

“A 1.5-V CMOS fully differential inductorless RF bandpass amplifier”

The IEEE International Symposium on Circuits and Systems,

Vol. 1, 2001, page(s) : 49-52

[I,14] Y. WU, X. DING, M. ISMAIL, H. OLSSON

“Inductorless CMOS RF bandpass filter”

Electronics Letters, Vol. 37 N° 16, 2 août 2001, page(s) : 1027-1029

[I,15] M. A. I. ELMALA, M. A. I MOSTAFA, S. H. K. EMBABI

“A new 246 MHz active LC band-pass filter for IF sub-sampling GSM receivers”

Proceedings of the 14th Annual IEEE International ASIC/SOC Conference,

12-15 sept 2001, page(s) : 88-92

[I,16] U. YODPRASIL, K. SIRIVATHANANI

“VHF current-mode filter based on intrinsic biquad of the regulated cascode topology”

The IEEE International Symposium on Circuits and Systems,

Vol. 1, 2001, page(s) : 172 -175

[I,17] Y. CHANG, J. JR. CHOMA, J. WILLS

“The design and analysis of a RF CMOS bandpass filter”

Proceedings of the IEEE International Symposium on Circuits and Systems,

Vol. 2 , 2000, page(s) : 625-628

[I,18] C. YUYU, J. JR. CHOMA, J. WILLS

“An inductorless active notch filter for RF image rejection”

42nd Midwest Symposium on Circuits and Systems, Vol. 1, 2000, page(s) : 166-169

[I,19] C. YUYU, J. JR. CHOMA

“A monolithic RF image-reject filter”

Southwest Symposium on Mixed-Signal Design, 2000, page(s) : 41-44

[I,20] C. YUYU, C. JR. JOHN, W. JACK

“A CMOS Monolithic Image-Reject Filter”

Analog Integrated Circuit processing, 2001, page(s) : 43-51

[I,21] U. YODPRASIT, J. NGARMNIL

“Q-enhancing technique for rf CMOS active inductor”

Proceedings of the IEEE International Symposium on Circuits and Systems,

Vol. 5 , 2000, page(s) : 589-592

[I,22] W. YUE, M. ISMAIL, H. OLSSON

“A novel CMOS fully differential inductorless RF bandpass filter”

Proceedings of the 2000 IEEE International Symposium on Circuits and Systems,

Vol. 4 , 2000, page(s) : 149-152

[I,23] A. THANACHAYANONT, A. PAYNE

“CMOS floating active inductor and its applications to bandpass filter and oscillator designs”

IEE Proceedings Circuits Devices and Systems,

Vol. 147, N° 1, fev 2000, page(s) : 42-48

[I,24] Y. CHANG, J. JR. CHOMA, J. WILLS

“A CMOS continuous-time active biquad filter for gigahertz-band applications”

Proceedings of the IEEE International Symposium on Circuits and Systems,

Vol. 2, 1999, page(s) : 656-659

[I,25] C. YUGU; J. JR. CHOMA, J. WILLS

“The design of CMOS gigahertz-band continuous-time active lowpass filters with Q-enhancement circuits”

Proceedings of the Ninth Great Lakes Symposium on VLSI, 1999, page(s) : 358-361

[I,26] C. YUYU, J. JR. CHOMA, J. WILLS

“A 900 MHz active CMOS LNA with a bandpass filter”

Southwest Symposium on Mixed-Signal Design, 1999, page(s) : 33-36

[I,27] R. AKBARI-DILMAGHANI, A. PAYNE, C. TOUMAZOU

“A high Q RF CMOS differential active inductor”

IEEE International Conference on Electronics Circuits and Systems,

Vol. 3, 1998, page(s) : 157-160

[I,28] R. AKBARI-DILMAGHANI, A. PAYNE

“An RF CMOS differential bandpass amplifier using an active inductor”

IEE Colloquium on Systems on a Chip, 1998, page(s) : 16/1-16/6

[I,29] A. THANACHAYANONT, A. PAYNE

“A 3-V RF CMOS bandpass amplifier using an active inductor “

Proceedings of the IEEE International Symposium on Circuits and Systems,

Vol. 1, 1998, page(s) : 440-443

XI. Bibliographie des filtres Gm-C

[II,1] L. SHENG-JANG, C. I-SHUN, C. BO-WEI, L. FENG-HSIANG

“The Design of Analog Front-End Circuitry for 1X HD-DVD PRML Read Channel”

IEEE Computer Society Annual Symposium on Emerging VLSI Technologies and Architectures, Vol. 00, 2-3 mars, 2006, page(s) : 128-132

[II,2] G. ZHIQIANG, M. JIANGUO, Y. YIZHENG, Y. MINGYAN

“Large tuning band range of high frequency filter for wireless applications”

IEEE International Symposium on Circuits and Systems,
Vol. 1, 23-26 mai 2005, page(s) : 384 - 387

[II,3] A. OTIN, C. ALDEA, S. CELMA

“Low voltage LC-ladder Gm-C low-pass filters with 42-215 MHz tunable range”

Proceedings of the European Conference on Circuit Theory and Design,
Vol. 1, 28 août - 2 sept 2005, page(s) : I/245 - I/248

[II,4] E. LEBEL, A. ASSI, M. SAWAN

“Field programmable Gm-C array for wide frequency range bandpass filter applications”

IEEE International Symposium on Circuits and Systems,
Vol. 3, 23-26 mai 2005, page(s) : 1952- 1955

[II,5] M. ELMALA, B. CARLTON, R. BISHOP, K. SOUMYANATH

“A highly linear filter and VGA chain with novel DC-offset correction in 90nm digital CMOS process”

Digest of Technical Papers, Symposium on VLSI Circuits,
16-18 juin 2005, page(s) : 302-303

[II,6] M. ELMALA, B. CARLTON, R. BISHOP, K. SOUMYANATH

“A 1.4V, 13.5mW, 10/100MHz 6th order elliptic filter/VGA with DC-offset correction in 90 nm CMOS”

IEEE Radio Frequency integrated Circuits (RFIC) Symposium. Digest of Papers, 12-14 juin 2005, page(s) : 189-192

[II,7] M. S. QURESHI, P. E. ALLEN

“70 MHz CMOS gm-C IF filter”

IEEE International Symposium on Circuits and Systems, Vol. 6, 23-26 mai 2005, page(s) : 5946 - 5949

[II,8] H. P. FORGHANI-ZADEH, G. A. RINCON-MORA

“A continuous, low-glitch, low-offset, programmable gain and bandwidth Gm-C filter”

48th Midwest Symposium on Circuits and Systems, Août 7-10, 2005, page(s) : 1629-1632

[II,9] J. JUN-GI, Y. CHANGSIK, J. CHUNSEOK, J. CHAN-YOUNG, L. MI-YOUNG, K. JONG-KEE

“A 1.2V, 10MHz, low-pass Gm-C filter with Gm-cells based on triode-biased MOS and passive resistor in 0.13 μ m CMOS technology”

Proceedings of the IEEE Custom Integrated Circuits Conference, 18-21 sept 2005, page(s) : 195-198

[II,10] L. SHA, Z. CHI

“An Intuitive Implementation of Continuous-Time Gm-C Filter”

ASICON, 6th International Conference On ASIC;

Vol. 1, 24-27 oct 2005, page(s) : 491- 494

[II,11] D. CHAMLA, A. KAISER, A. CATHELIN, D. BELOT

“A G/sub m/-C low-pass filter for zero-IF mobile applications with a very wide tuning range”

IEEE Journal of Solid-State Circuits, Vol. 40, N° 7, juillet 2005, page(s) : 1443-1450

[II,12] K. M. YEON, S. HAE-MOON, W. KWANG-HO, P. YONG-KUK, Y. MYUNG-HYUN, Y. JUNE-JAE, K. SEONG-DONG

“A CMOS Continuous-Time Gm-C Filter and Programmable Gain Amplifier for WPAN Receivers”

ASICON, 6th International Conference On ASIC,

Vol. 2, 24-27 oct 2005, page(s) : 592-595

[II,13] K. M. YEON, S. HAE-MOON, P. YONG-KUK, W. KWANG-HO, Y. MYUNG-HYUN, Y. JUNE-JAE, K. SEONG-DONG

“Design of a CMOS Highly Linear Channel-Select Filter and Programmable Gain Amplifier for a WPAN Zero-IF Receiver”

Asia-Pacific Conference on Communications, 3-5 oct 2005, page(s) : 450-453

[II,14] S. HORI, T. MAEDA, N. MATSUNO, H. HIDA

“Low-power widely tunable Gm-C filter with an adaptive DC-blocking, triode-biased MOSFET transconductors”

Proceeding of the 30th European Solid-State Circuits Conference,

21-23 sept 2004, page(s) : 99-102

[II,15] S. BO, S. WEIYUN

“A Gm-C baseband filter with automatic frequency tuning for a direct conversion IEEE802.11a wireless LAN receiver”

Proceeding of the 30th European Solid-State Circuits Conference,

21-23 sept 2004, page(s) : 103 - 106

[II,16] D. CHAMLA, A. KAISER, A. CATHELIN, D. BELOT

“A multi-mode continuously-tunable lowpass filter for zero-IF mobile applications”
Proceeding of the 30th European Solid-State Circuits Conference,
21-23 sept 2004, page(s) : 95-98

[II,17] P. BRUSCHI, G. BARILLARO, F. PIERI, M. PIOTTO

“Temperature stabilised tunable Gm-C filter for very low frequencies”
Proceeding of the 30th European Solid-State Circuits Conference,
21-23 sept 2004, page(s) : 107-110

[II,18] T. H. TEO, E. S. KHOO, D. UDAY

“Gm-C complex transitional filter for low-IF wireless LAN application”
Proceedings of the 15th International Conference on Microelectronics
9-11 déc 2003, page(s) : 110-113

[II,19] H. SHINICHI, M. TADASHI, Y. HITOSHI, M. NORIAKI, N. KEIICHI, Y. NOBUHIDE, T. YUJI, Y. TOMOYUKI, R. WALKINGTON, H. HIKARU

“A widely tunable CMOS Gm-C filter with a negative source degeneration resistor transconductors”
Proceedings of the 29th European Solid-State Circuits Conference,
16-18 sept 2003, page(s) : 449-452

[II,20] A. TAJALLI, S. M. ATARODI

“Design considerations for a 1.5-V, 10.7 MHz bandpass gm-C filter in a 0.6 μ m standard CMOS technology”
Proceedings of the International Symposium on Circuits and Systems,
Vol. 1, 25-28 mai 2003, page(s) : I-521 - I-524

[II,21] T. H. TEO, E. S. KHOO, D. UDAY

“Fifth order low-pass transitional Gm-C filter with relaxation oscillator frequency tuning circuit”

IEEE Conference on Electron Devices and Solid-State Circuits,
16-18 déc 2003, page(s) : 229-232

[II,22] U. STEHR, F. HENKEL, L. DALLUGE, P. WALDOW

“A fully differential CMOS integrated 4th order reconfigurable GM-C lowpass filter for mobile communication”

Proceedings of the 10th IEEE International Conference on Electronics, Circuits and Systems, Vol. 1, 14-17 déc 2003, page(s) : 144-147

[II,23] L. RAMEZANI

“An adjustable bandwidth analog CMOS Gm-C filter”

Proceedings of the 10th IEEE International Conference on Electronics, Circuits and Systems, Vol. 2, 14-17 déc 2003 page(s) : 420-422

[II,24] A. C. CARUSONE, D. A. JOHNS

“A 5th order Gm-C filter in 0.25 μm CMOS with digitally programmable poles and zeroes”

IEEE International Symposium on Circuits and Systems,
Vol. 4, 26-29 mai 2002, page(s) : IV-635 - IV-638

[II,25] S. MEHRMANESH, H. A. ASLANZADEH, M. B. VAHIDFAR, M. ATARODI

“A 1.8V high dynamic range CMOS Gm-c filter for portable video systems”

The 14th International Conference on Microelectronics, 11-13 déc 2002, page(s) : 38-41

[II,26] A. HASSAN, K. SHARAF, H. EL-GHITANI, H. F. RAGAI

“The design and implementation of a bandpass GM-C filter for Bluetooth”

The 45th Midwest Symposium on Circuits and Systems,
Vol. 2, 4-7 août 2002, Page(s) : II-629 - II-632

[II,27] A. CATHELIN, L. FABRE, L. BAUD, D. BELOT

“A multiple-shape channel selection filter for multimode zero-IF receiver using capacitor over active device implementation”

Proceedings of the 28th European Solid-State Circuits Conference,
24-26 sept 2002, page(s) : 651-654

[II,28] T. ARAI, T. ITAKURA

“A Gm-C filter using multiple-output linearized transconductors”

Proceedings of the 28th European Solid-State Circuits Conference,
24-26 sept 2002, page(s) : 659- 662

[II,29] J. B. HUGHES, A. SPENCER, A. WORAPISHET, R. SITDHIKORN

“1 mW CMOS polyphase channel filter for Bluetooth”

IEE Proceedings Circuits Devices and Systems,
Vol. 149, N°: 56, oct - déc 2002, page(s) : 348-354

[II,30] U. YODPRASIT, K. SIRIVATHANANT

“Regulated cascode-based vertical filter”

Electronics Letters , Vol. 37, N° 6, 15 mars 2001, page(s): 333 -334

[II,32] U. YODPRASIT, K. SIRIVATHANANT

“A compact low-power vertical filter for very-high-frequency applications”

The IEEE International Symposium on Circuits and Systems,
Vol. 1, 2001, page(s) : 164-167

[II,33] H. ELHALLABI, Y. FOUZAR, M. SAWAN

“High frequency CMOS Gm-C bandpass filter with automatic on-chip tuning”

The 8th IEEE International Conference on Electronics, Circuits and Systems,
Vol. 2, 2001, page(s) : 823 -826

[II,34] Y. W. CHOI, H. C. LUONG

“A high-Q and wide-dynamic-range 70 MHz CMOS bandpass filter for wireless receivers”

Analog and Digital Signal Processing, IEEE Transactions on Circuits and Systems II, Vol. 48, N° 5, mai 2001, page(s) : 433 -440

[II,35] H. ELHALLABI, M. SAWAN

“High frequency and high Q CMOS GM-C bandpass filter with automatic on-chip tuning”

Proceedings of the 13th International Conference on Microelectronics, 2001, page(s) : 169 -172

[II,36] F. MUNOZ, A. TORRALBA, R. G. CARVAJAL, J. TOMBS, J. RAMIREZ-ANGULO

“Floating-gate-based tunable CMOS low-voltage linear transconductor and its application to HF gm-C filter design”

Analog and Digital Signal Processing, IEEE Transactions on Circuits and Systems II, Vol. 48 N° 1, jan 2001, page(s) : 106-110

[II,37] J. A. DE LIMA, C. DUALIBE

“A linearly tunable low-voltage CMOS transconductor with improved common-mode stability and its application to gm-C filters”

Analog and Digital Signal Processing, IEEE Transactions on Circuits and Systems II, Vol. 48, N° 7, Juillet 2001, page(s) : 649-660

[II,38] J. VAN DER TANG, D. KASPERKOVITZ, A. BRETVELD

“A 65 mW, 0.4-2.3 GHz bandpass filter for satellite receivers”

Proceedings of the IEEE Custom Integrated Circuits Conference, 21-24 mai 2000, page(s) : 383-386

[II,39] U. YODPRASIT

“High-precision CMOS current conveyor”

Electronics Letters , Vol. 36, N° 7, 30 mars 2000, page(s) : 609-610

[II,40] Y. W CHOI, H. C. LUONG

“A high-Q and wide-dynamic-range CMOS IF bandpass filter for monolithic receivers”

Proceedings of the IEEE International Symposium on Circuits and Systems,
Vol. 2, 2000, page(s) : 144 -147

[II,41] F. MUNOZ, A. TORRALBA, R. G. CARVAJAL, J. RAMIREZ-ANGULO

“Two new VHF tunable CMOS low-voltage linear transconductors and their application to HF GM-C filter design”

Proceedings of the IEEE International Symposium on Circuits and Systems,
Vol. 5, 2000, page(s) : 173-176

[II,42] F. MUNOZ, A. TORRALBA, R. G. CARVAJAL, J. RAMIREZ-ANGULO

“Two new VHF tunable CMOS low-voltage linear transconductors and their application to HF GM-C filter design”

Proceedings of the IEEE International Symposium on Circuits and Systems,
Vol. 5, 28-31 mai 2000, page(s) : 173 - 176

[II,43] N. RAO, V. BALAN, R. CONTRERAS, J. G. CHERN, Y. WANG

“A 150 MHz continuous-time seventh order 0.05° equiripple linear phase filter”

Proceedings of the IEEE International Symposium on Circuits and Systems,
Vol. 2, 30 mai - 2 juin 1999, page(s) : 664-666

[II,44] N. RAO, V. BALAN, R. CONTRERAS

“A 3-V, 10-100-MHz continuous-time seventh-order 0.05° equiripple linear phase filter”

IEEE Journal of Solid-State Circuits, Vol. 34, N° 11, nov 1999, page(s) : 1676-1682

[II,45] F. MUNOZ, A. TORRALBA, R. G. CARVAJAL, J. RAMIREZ-ANGULO

“Tunable CMOS low-voltage linear transconductor and its application to HF GM-C filter design”

42nd Midwest Symposium on Circuits and Systems,
Vol. 2, 8-11 août 1999, page(s) : 826 - 829

[II,46] H. YAMAZAKI, K. OISHI, K. GOTOH

“A 450 kHz CMOS Gm-C bandpass filter with +/- 0.5% center frequency accuracy for on-chip PDC IF receivers”

Digest of Technical Papers. IEEE International Solid-State Circuits Conference,
1999, page(s) : 392 -393

[II,47] C. H. LIN, M. ISMAIL

“A 1.5 V 3rd-order fully-differential CMOS Gm-C filter with micropower class-AB V-I converters”

Proceedings of the Tenth International Conference on Microelectronics,
1998, page(s) : 208 -210

[II,48] A. ASSI, M. SAWAN, R. RAUT

“A new CMOS tunable transconductor dedicated to VHF continuous-time filters”

Proceedings, Seventh Great Lakes Symposium on VLSI, 1997, page(s) : 143-148

[II,49] F. REZZI, I. BIETTI, M. CAZZANIGA, R. CASTELLO

“A 70-mW seventh-order filter with 7-50 MHz cutoff frequency and programmable boost and group delay equalization”

IEEE Journal of Solid-State Circuits, Vol. 32, N° 12, déc 1997, page(s) : 1987-1999

[II,50] Y. CHANGSIK, J. KEEWOOK, L. J. WOO, K. WONCHAN

“A 15 MHz, 2.6 mW, sixth-order bandpass Gm-C filter in CMOS”

Proceedings of the 40th Midwest Symposium on Circuits and Systems,
Vol. 1, 1998, page(s) : 316 -319

[II,51] Y. C. ZHONG, D. HASPELAGH, J. VERFAILLIE

“A highly linear CMOS Gm-C bandpass filter with on-chip frequency tuning”

IEEE Journal of Solid-State Circuits, Vol. 32, N° 3, mars 1997, page(s) : 388-397

[II,52] W. CHUNG YU, H. HENG SHOU

“The design of CMOS continuous-time VHF current and voltage-mode lowpass filters with Q-enhancement circuits”

IEEE Journal of Solid-State Circuits, Vol. 31, N° 5, mai 1996, page(s) : 614-624

[II,53] H. JAI SOP, K. S. YOON

“Design of a 3 V-50 MHz analog CMOS current-mode NRL filter”

Connecting the World, IEEE International Symposium on Circuits and Systems, Vol. 1, 1996, page(s) : 129-132

[II,54] Z. Y. CHANG, D. HASPELAGH, J. D. BOXHOMACQ

“A highly linear CMOS Gm-C bandpass filter for video applications”

Proceedings of the IEEE Custom Integrated Circuits Conference, 1996, page(s) : 89-92

[II,55] W. CHUNG YU, H. HENG-SHOU

“The design of new low-voltage CMOS VHF continuous-time lowpass biquad filters”

IEEE International Symposium on Circuits and Systems, Vol. 1, 1995, page(s) : 295-298

[II,56] H. QIUTING

“A MOSFET-only continuous-time 560 kHz tunable bandpass filter”

Digest of Technical Papers, Symposium on VLSI Circuits, 1995, page(s) : 93-94

[II,57] B. NAUTA

“A CMOS transconductance-C filter technique for very high frequencies”

IEEE Journal of Solid-State Circuits, Vol. 27, N°: 2, fev 1992, page(s) : 142-153

[II,58] W. M. SNELGROVE, A. SHOVAL

“A balanced 0.9 μm CMOS transconductance-C filter tunable over the VHF range”
IEEE Journal of Solid-State Circuits, Vol. 27, N° 3 , mars 1992, page(s) : 314 -323

[II,59] M. SNELGROVE, A. SHOVAL

“A CMOS biquad at VHF”
Proceedings of the IEEE Custom Integrated Circuits Conference,
1991, page(s) : 9.1/1 -9.1/6

XII. Bibliographie des filtres LC

[III,1] L. SHAORUI, N. STANIC, K. SOUMYANATH, Y. TSIVIDIS

“An integrated 1.5 V 6 GHz Q-enhanced LC CMOS filter with automatic quality factor tuning using conductance reference”

Digest of Papers of IEEE Radio Frequency integrated Circuits (RFIC) Symposium
12-14 juin 2005, page(s) : 621-624

[III,2] L. SHENGYUAN, S. SENGUPTA, H. DINC, P. E. ALLEN

“CMOS high-linear wide-dynamic range RF on-chip filters using Q-enhanced LC filters”

IEEE International Symposium on Circuits and Systems,
Vol. 6, 23-26 mai 2005, page(s) : 5942 - 5945

[III,3] J. K. NAKASKA, J. W. HASLETT

“A CMOS quality factor enhanced parallel resonant LC-tank with independent Q and frequency tuning for RF integrated filters”

Proceedings of the Fifth International Workshop on System-on-Chip for Real-Time Applications, 20-24 juillet 2005, page(s) : 96-100

[III,4] A. H. NADERI, M. SAWAN, Y. SAVARIA

“A 1-mW 2-GHz Q-enhanced LC bandpass filter for low-power RF applications”

The 3rd International IEEE-NEWCAS Conference, 19-22 juin 2005, Page(s) : 365-368

[III,5] W. A. GEE, P. E. ALLEN

“CMOS integrated transformer-feedback Q-enhanced LC bandpass filter for wireless receivers”

Proceedings of the International Symposium on Circuits and Systems,
Vol. 4, 23-26 mai 2004, page(s) : IV-253 - IV-256

[III,6] S. BANTAS, Y. KOUTSOYANNOPOULOS

“CMOS active-LC bandpass filters with coupled-inductor Q-enhancement and center frequency tuning”

Express Briefs, IEEE Transactions on Circuits and Systems II,
Vol. 51, N° 2, fev 2004, page(s) : 69-76

[III,7] F. DULGER, E. SANCHEZ-SINENCIO, J. SILVA-MARTINEZ

“A 1.3-V 5-mW fully integrated tunable bandpass filter at 2.1 GHz in 0.35 μ m CMOS”
IEEE Journal of Solid-State Circuits, Vol. 38, N° 6, juin 2003, page(s) : 918-928

[III,8] A. N. MOHIELDIN, E. SANCHEZ-SINENCIO, J. SILVA-MARTINEZ

“A 2.7-V 1.8-GHz fourth-order tunable LC bandpass filter based on emulation of magnetically coupled resonators”

IEEE Journal of Solid-State Circuits, Vol. 38, N° 7, juillet 2003, page(s) : 1172-1181

[III,9] W. B. KUHN, D. NOBBE, D. KELLY, A. W. ORSBORN

“Dynamic range performance of on-chip RF bandpass filters”

Analog and Digital Signal Processing, IEEE Transactions on Circuits and Systems II,
Vol. 50, N° 10, oct 2003, page(s) : 685-694

[III,10] F. DULGER, E. SANCHEZ-SINENCIO, J. SILVA-MARTINEZ

“A 2.1GHz 1.3V 5mW programmable Q-enhancement LC bandpass biquad in 0.35 μ m CMOS”

Proceedings of the IEEE Custom Integrated Circuits Conference,
12-15 mai 2002, page(s) : 283 - 286

[III,11] D. LI, Y. TSIVIDIS

“Design techniques for automatically tuned integrated gigahertz-range active LC filters”

IEEE Journal of Solid-State Circuits, Vol. 37, N° 8, août 2002, page(s) : 967-977

[III,12] A. N. MOHIELDIN, E. SANCHEZ-SINENCIO, J. SILVA-MARTINEZ

“A 2.7V, 1.8GHz, 4thorder tunable LC bandpass filter with ± 0.25 dB passband ripple”
Proceedings of the 28th European Solid-State Circuits Conference,
24-26 sept 2002, page(s) : 343-346

[III,13] A. WORAPISHET, S. NINYAWEE, M. CHONGCHEAWCHAMNAN

“Enhanced tuneable coupled inductor for ultra-wide variable centre frequency LC filters”
Asia-Pacific Conference on Circuits and Systems,
Vol. 1, 28-31 oct 2002, page(s) : 355-358

[III,14] A. N. L. CHAN, G. B. CHUN, H. C. LUONG

“A 1-V 2.4-GHz CMOS LNA with source degeneration as image-rejection notch filter”
The IEEE International Symposium on Circuits and Systems,
Vol. 4, 2001, page(s) : 890-893

[III,15] J. MALIGEORGOS, J. LONG

“A 2 V 5.1-5.8 GHz image-reject receiver with wide dynamic range”
Digest of Technical Papers of IEEE International Solid-State Circuits Conference,
2000, page(s) : 322-323, 468

[III,16] K. L. CHAN, M. A. DO K. S. YEO, J. G. MA

“1.5 V 1.8 GHz bandpass amplifier”
IEE Proceedings-Circuits, Devices and Systems,
Vol. 147, N° 6 , déc 2000 page(s) : 331-333

[III,17] E. HERNANDEZ, R. BERENQUER, J. MELENDEZ, N. RODRIGUEZ, G. BISTUE, J. HERNANDEZ

“A 3 V, 1.6 GHz differential CMOS bandpass amplifier chain for a GPS receiver”
Digest of Papers, Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems, 2000, page(s) : 33-37

[III,18] G. CHUNBING, A. N. L. CHAN, H. C. LUONG

“A monolithic 2-V 950-MHz CMOS bandpass amplifier with a notch filter for wireless receivers”

Digest of Papers of IEEE Radio Frequency Integrated Circuits (RFIC) Symposium,
2001, page(s) : 79-82

[III,19] W. CHUNG-YU, Z. ZHONG-YUN

“The design of 2 V 2.4 GHz CMOS low-noise low-power bandpass amplifier with parallel spiral inductors”

The 6th IEEE International Conference on Electronics Circuits and Systems,
Vol. 2, 1999, page(s) : 769-772

[III,20] S. BANTAS, Y. PAPANANOS, Y. KOUTSOYANNOPOULOS

“CMOS tunable bandpass RF filters utilizing coupled on-chip inductors”

Proceedings of the IEEE International Symposium on Circuits and Systems,
Vol. 2, 1999, page(s) : 581-584

[III,21] W. S. T. YAN, R. K. C MAK, H. C. LUONG

“2-V 0.8 μ m CMOS monolithic RF filter for GSM receivers”

IEEE MTT-S International Microwave Symposium Digest,
Vol. 2, 1999, page(s) : 569-572

[III,22] D. L. C. LEUNG, H. C. LUONG

“A fourth-order CMOS bandpass amplifier with high linearity and high image rejection for GSM receivers”

Proceedings of the IEEE International Symposium on Circuits and Systems
Vol. 2, 1999, page(s) : 589-592

[III,23] W. HUNG-YU, G. JENG, C. YN

“The design of 2 V 1 GHz CMOS low-noise bandpass amplifier with good temperature stability and low power dissipation”

IEEE International Conference on Electronics, Circuits and Systems,
Vol. 3, 1998, page(s) : 153-156

[III,24] D. L. C. LEUNG, H. C. LUONG

“A 3-V CMOS differential bandpass amplifier for GSM receivers”

Proceedings of the IEEE International Symposium on Circuits and Systems,
Vol. 4, 1998, page(s) : 341-344

[III,25] W. CHUNG-YU, H. SHUO-YUAN

“The design of a 3-V 900-MHz CMOS bandpass amplifier”

IEEE Journal of Solid-State Circuits, Vol. 32, N°: 2 , fev 1997, page(s) : 159-168

[III,26] R. DUNCAN, K. W. MARTIN, A. S. SEDRA

“A Q-enhanced active-RLC bandpass filter”

Analog and Digital Signal Processing, IEEE Transactions on Circuits and Systems II,
Vol. 44, N° 5, mai 1997, page(s) : 341-347

[III,27] S. PIPLOS, Y. TSIVIDIS, J. FENK

“1.8 GHz tunable filter in Si technology”

Proceedings of the IEEE Custom Integrated Circuits Conference,
1996, page(s) : 189-192

[III,28] S. PIPLOS, Y. P. TSIVIDIS, J. FENK, Y. PAPANANOS,

“A Si 1.8 GHz RLC filter with tunable center frequency and quality factor”

IEEE Journal of Solid-State Circuits, Vol. 31, N°10 , oct 1996, page(s) : 1517-1525

[III,29] W. B. KUHN, F. W. STEPHENSON, A. ELSHABINI-RIAD

“A 200 MHz CMOS Q-enhanced LC bandpass filter”

IEEE Journal of Solid-State Circuits, Vol. 31, N° 8, août 1996, Page(s) : 1112-1122

[III,30] S. PIPLOS, Y. TSIVIDIS

“Design of active RLC integrated filters with application in the GHz range”

IEEE International Symposium on Circuits and Systems,

Vol. 5, 1994, page(s) : 645-648

[III,31] R. A. DUNCAN, K. W. MARTIN, A. S. SEDRA

“A Q-enhanced active-RLC bandpass filter “

IEEE International Symposium on Circuits and Systems,

Vol. 2, mai 1993, page(s) : 1416-1419

XIII. Bibliographie des filtres OTA-C

[IV,1] T. TANAKA, C. SUNGWO, S. SHIMIZU, T. IDA, H. ISHIHARA, T. MATSUOKA, K. TANIGUCHI, A. SUGIMORI, H. HIHARA

“A widely tunable Gm-C filter using tail current offset in two differential pairs”

IEEE International Symposium on Circuits and Systems,

Vol. 1, 23-26 mai 2005, page(s) : 812-815

[IV,2] R. G. CARVAJAL, J. GALAN, A. TORRALBA, F. MUNOZ, J. RAMIREZ-ANGULO

“1.33 mW, 2 V CMOS continuous-time bandpass filter with two decades of centre frequency tuning range and high Q”

IEE Proceedings Circuits Devices and Systems,

Vol. 152, N° 5, 7 oct 2005, page(s) : 456-464

[IV,3] A. ARNAUD, C. GALUP-MONTORO

“A fully integrated physical activity sensing circuit for implantable pacemakers”

17th Symposium on Integrated Circuits and Systems Design

7-11 sept 2004, page(s) : 151-156

[IV,4] P. KALLAM, E. SANCHEZ-SINENCIO, A. I. KARSILAYAN

“An enhanced adaptive Q-tuning scheme for a 100-MHz fully symmetric OTA-based bandpass filter”

IEEE Journal of Solid-State Circuits, Vol.38, N° 4, avril 2003, page(s) : 585-593

[IV,5] S. MEHRMANESH, M. B. VAHIDFAR, H. A. ASLANZADEH, M. ATARODI

“An ultra low-voltage Gm-C filter for video applications”

Proceedings of the 2003 International Symposium on Circuits and Systems,

Vol. 1, 25-28 mai 2003, page(s) : I-561- I-564

[IV,6] A. A. EMIRA, E. SANCHEZ-SINENCIO

“A pseudo differential complex filter for Bluetooth with frequency tuning”

Analog and Digital Signal Processing, IEEE Transactions on Circuits and Systems II,
Vol. 50, N° 10, oct 2003, page(s) : 742-754

[IV,7] A. BECKER-GOMEZ, U. CILINGIROGLU, J. SILVA-MARTINEZ

“Compact sub-hertz OTA-C filter design with interface-trap charge pump”

IEEE Journal of Solid-State Circuits, Vol. 38, N° 6, juin 2003, page(s) : 929-934

[IV,8] C. MINGDENG; J. SILVA-MARTINEZ, S. ROKHSAZ, M. ROBINSON

“A 1.8V CMOS, 80-200MHz continuous-time 4th order 0.05°equiripple linear phase filter with automatic tuning system”

IEEE International Symposium on Circuits and Systems,
Vol. 5, 26-29 mai 2002, page(s) : V-173-V-176

[IV,9] C. MINGDENG, J. SILVA-MARTINEZ, S. ROKHSAZ, M. ROBINSON

“A 2Vpp, 80–200MHz fourth–order continuous–time linear phase filter with automatic frequency tuning”

Proceedings of the 28th European Solid-State Circuits Conference,
24-26 sept 2002, page(s) : 643-646

[IV,10] W. JENDERNALIK, S. SZCZEPANSKI

“A CMOS OTA-C channel-select filter for mobile receiver”

Proceedings of the 1st IEEE International Conference on Circuits and Systems for Communications, 26-28 juin 2002, page(s) : 50-53

[IV,11] P. KALLAM, E. SANCHEZ-SINENCIO, A. I. KARSILAYAN

“An improved Q-tuning scheme and a fully symmetric OTA”

IEEE International Symposium on Circuits and Systems,
Vol. 5, 26-29 mai 2002, page(s) : V-165 - V-168

[IV,12] J. A. GALAN, R. G. CARVAJAL, F. MUNOZ, A. TORRALBA, J. RAMIREZ-ANGULO

“Low-power low-voltage class-AB linear OTA for HF filters with a large tuning range”

IEEE International Symposium on Circuits and Systems,

Vol. 2, 26-29 mai 2002, page(s) : II-9-II-12

[IV,13] R. SALMEH, B. MAUNDY

“A low voltage linearly tuned fully differential CMOS OTA and its applications in filter design”

Canadian Conference on Electrical and Computer Engineering,

Vol. 1, 12-15 mai 2002, page(s) : 393-398

[IV,14] B. PANKIEWICZ, M. WOJCIKOWSKI, S. SZCZEPANSKI, S. YICHUANG

“A field programmable analog array for CMOS continuous-time OTA-C filter applications”

IEEE Journal of Solid-State Circuits, Vol. 37; N°: 2 , fev 2002, page(s) : 125-136

[IV,15] J. SILVA-MARTINEZ

“Design issues for UHF OTA-C filter realizations”

Southwest Symposium on Mixed-Signal Design, 2001, page(s) : 93-98

[IV,16] B. PANKIEWICZ, M. WOJCIKOWSKI, S. SZCZEPANSKI, S. YICHUANG

“A CMOS field programmable analog array and its application in continuous-time OTA-C filter design”

The 2001 IEEE International Symposium on Circuits and Systems,

Vol. 1, 2001, page(s) : 5-8

[IV,17] T. BAKKEN, J. JR CHOMA

“Stability of a continuous-time state variable filter with op-amp and OTA-C integrators”

Proceedings of the 8th Great Lakes Symposium on VLSI, 1998, page(s) : 77-82

[IV,18] S. SZCZEPANSKI, J. JAKUSZ, R. SCHAUMANN

“A linear fully balanced CMOS OTA for VHF filtering applications”

Analog and Digital Signal Processing, IEEE Transactions on Circuits and Systems II,
Vol. 44; N° 3, mars 1997, page(s) : 174-187

[IV,19] YICHUANG SUN; FIDLER, J.K.

“Structure generation and design of multiple loop feedback OTA-grounded capacitor filters”

Fundamental Theory and Applications, IEEE Transactions on Circuits and Systems I,
Vol. 44, N° 1, jan 1997, page(s) : 1-11

[IV,20] H. CHUNG-CHIH, K. A. I. HALONEN, M. ISMAIL, V. PORRA, A. HYOGO

“A low-voltage, low-power CMOS fifth-order elliptic GM-C filter for baseband mobile, wireless communication”

IEEE Transactions on Circuits and Systems for Video Technology,
Vol. 7, N° 4, août 1997, page(s) : 584-593

[IV,21] M. ATARODI, J. JR. CHOMA

“High-frequency fully integrated OTA-C filters using a 7.2 GHz bipolar OTA”

Proceedings of the 36th Midwest Symposium on Circuits and Systems,
Vol. 2, 1993, page(s) : 1027-1030

[IV,22] T. INOUE, F. UENO, Y. ARAMAKI, O. MATSUMOTO, M. SUEFUJI

“A design of CMOS OTA's using simple linearizing techniques and their application to high-frequency continuous-time filters”

IEEE International Symposium on Circuits and Systems,
Vol. 3, 1991, page(s) : 1741-1744

XIV. Bibliographie des filtres Rm-C

- [V,1] **F. KACAR, U. CAM, O. CICEKOGLU, H. KUNTMAN, A. KUNTMAN**
“New parallel immittance simulator realizations employing a single OTRA”
The 45th Midwest Symposium on Circuits and Systems,
Vol. 1, 4-7 août 2002, page(s) : I-303-6
- [V,2] **A. RAVINDRAN, A. SAVLA, I. YOUNUS, M. ISMAIL**
“A 0.8V CMOS filter based on a novel low voltage operational transresistance amplifier”
The 45th Midwest Symposium on Circuits and Systems,
Vol. 3, 4-7 août 2002, page(s) : III-368 - III-371
- [V,3] **Y. CHENG, J. GONG, C. Y. WU,**
“New CMOS 2 V low-power IF fully differential Rm-C bandpass amplifier for RF wireless receivers”
Devices and Systems, IEE Proceedings-Circuits,
Vol. 148, N° 6, déc 2001, page(s) : 318-322
- [V,4] **W. CHUNG-YU, C. CHUNG-YUN**
“The design of a CMOS IF bandpass amplifier with low sensitivity to process and temperature variations”
The 2001 IEEE International Symposium on Circuits and Systems,
Vol. 1, 6-9 mai 2001, page(s) : 121-124
- [V,5] **CHUNG-YU WU; YU CHENG; JENG GONG**
“The new CMOS 2 V low-power IF fully differential Rm-C bandpass amplifier for RF wireless receivers”
Proceedings of the IEEE International Symposium on Circuits and Systems,
Vol. 2, 2000, page(s) : 633-636

[V,6] H. SCHMID, G. S. MOSCHYTZ

“A tunable, video-frequency, low-power, single-amplifier biquadratic filter in CMOS”
Proceedings of the IEEE International Symposium on Circuits and Systems,
Vol. 2, 1999, page(s) : 128-131

[V,7] L. PING-HSING, W. CHUNG-YU, T. MING-KAI

“Design techniques for VHF/UHF high-Q tunable bandpass filters using simple CMOS inverter-based transresistance amplifiers”
IEEE Journal of Solid-State Circuits, Vol. 31, N° 5, mai 1996 page(s) : 719 -725

[V,8] W. CHUNG-YU, H. HENG-SHOU

“A new design technique of CMOS continuous-time VHF current-mode bandpass ladder filters using VHF bandpass biquads”
Proceedings of the Third IEEE International Conference on Electronics, Circuits, and Systems, Vol. 1, 13-16 oct 1996, page(s) : 219-222

[V,9] W. CHUNG-YU, H. HENG-SHOU

“The design of new low-voltage CMOS VHF continuous-time lowpass biquad filters”
IEEE International Symposium on Circuits and Systems,
Vol. 1, 28 avril - 3 mai 1995, page(s) : 295-298

[V,10] L. PING-HSING, W. CHUNG-YU, T. MING-KAI

“VHF/UHF high-Q bandpass tunable filters design using CMOS-inverter-based transresistance amplifiers”
IEEE International Symposium on Circuits and Systems,
Vol. 5, 1994, page(s) : 649-652

[V,11] L. PING-HSING, W. CHUNG-YU, T. MING-KAI

“VHF/UHF high-Q bandpass tunable filters design using CMOS-inverter-based transresistance amplifiers”
IEEE International Symposium on Circuits and Systems,
Vol. 5, 30 mai - 2 juin 1994, page(s) : 649-652

[V,12] L. PING-HSING, W. CHUNG-YU, T. MING-KAI

“Design techniques for tunable transresistance-C VHF bandpass filters”

IEEE Journal of Solid-State Circuits, Vol. 29, N° 9 , sept 1994, page(s) : 1058-1067

[V,13] P. H. LU, C. Y. WU, M. K. TSAI

“VHF bandpass filter design using CMOS transresistance amplifiers”

IEEE International Symposium on Circuits and Systems,

Vol. 2, mai 1993, page(s) : 990-993

[V,14] L. PING-HAING, W. CHUNG-YU, T. MING-KAI

“VHF bandpass filter design using CMOS transresistance amplifiers”

IEEE International Symposium on Circuits and Systems,

3-6 mai 1993, page(s) : 990-993

CHAPITRE II

FILTRE PASSE-BANDE CONSTITUÉ D'INDUCTANCES ACTIVES

I. Introduction

Une inductance intégrée passive ayant un bon facteur de qualité est très utile pour les circuits récepteurs et émetteurs. L'inconvénient de ces inductances reste toutefois la superficie occupée. Cette surface rajoutée augmente généralement de façon considérable la taille donc aussi le coût du circuit global.

Dans ce chapitre, nous exposons les avantages et les inconvénients d'un filtre utilisant une inductance active. Ainsi, nous pouvons comparer les caractéristiques de ce circuit avec celles des autres topologies de filtrage actif utilisant le même procédé technologique de PHILIPS.

Dans la littérature, plusieurs topologies de circuits peuvent avoir une impédance d'entrée inductive comme déjà montré dans le premier chapitre. L'analyse des différentes publications sur le sujet (limitée toutefois aux technologies CMOS ou BiCMOS) montre que beaucoup d'architectures de circuits peuvent présenter un effet inductif. En revanche, peu de publications montrent des réalisations et des mesures d'inductances actives ou de filtres complet fonctionnant aux radio-fréquences.

La première remarque sur ces publications est qu'elles ne dépassent que rarement la démonstration de principe de fonctionnement, les dispositifs en question restant souvent polarisés avec des sources de courant idéales. D'autre part, la fonction de transfert analysée est généralement homogène à un gain en tension.

En effet, l'adaptation en puissance en entrée et sortie du filtre conduit à rajouter des éléments qui influencent directement les caractéristiques de l'inductance active elle-même. Le fait de rajouter un buffer à la sortie utilisant des transistors NMOS par exemple (avec une forte capacité C_{gs}), change complètement la valeur de l'inductance et sa fréquence de résonance (la fréquence au quelle un aspect capacitif commence à dominer l'inductance).

Ces remarques sont aussi valides pour les sources de courants qu'il faut remplacer par des transistors réels, pour les résistances négatives qui compensent le facteur de qualité et pour l'adaptation en puissance en entrée.

Parmi les raisons les plus importantes d'absence d'adaptation en entrée dans les publications, le fait d'avoir besoin d'utiliser des inductances réelles pour compenser l'effet capacitif va à l'encontre du principe même du circuit.

Comme déjà constaté dans l'analyse bibliographique, les inductances actives constituent une voie très prometteuse pour réaliser des filtres intégrés RF.

Après avoir choisi une topologie de départ qui sera détaillée dans les prochains paragraphes, nous remarquons qu'il n'est pas très difficile, avec une polarisation idéale, de retrouver les caractéristiques évoquées dans les articles publiés. Malheureusement, on constate rapidement que les caractéristiques se dégradent si l'on veut adapter en puissance les circuits et qu'ils souffrent d'une limitation fréquentielle au delà 2 GHz, et d'un facteur de bruit élevé.

Pour compenser ce défaut et minimiser la consommation, on utilise durant la conception le moins de transistors possible. D'autre part, la possibilité de faire varier électriquement la valeur de cette inductance reste l'un des avantages majeurs de ce type de fonction qui permet de contrôler sa fréquence centrale sans utiliser de capacités variables.

Pour augmenter le faible facteur de qualité d'une inductance active, les circuits de compensation sont indispensables mais engendrent de sérieuses dégradations en bruit et en linéarité ainsi qu'une forte augmentation de consommation.

Nous tentons, dans la suite, de résoudre ces problèmes en proposant des solutions originales et intégrables sur silicium.

II. Conception de l'inductance active

On trouve dans la littérature une vaste panoplie de méthodes et de topologies qui servent à concevoir des inductances actives. Notre but principal de cette partie n'est pas d'inventer de nouvelles topologies mais plutôt de développer celles qui existent déjà et de les utiliser afin d'obtenir un filtre différentiel complet sur silicium fonctionnant à 2 GHz.

Notre conception est inspirée des publications des références [1-2]. Leur principe est basé sur le concept de la transformation d'impédance en utilisant les transconductances des transistors MOS et leurs capacités parasites C_{gs} . Dans leurs publications, les auteurs présentent plusieurs architectures utilisant deux simples transistors MOS. Ils analysent plusieurs combinaisons et montrent leurs avantages et leurs inconvénients. Leurs conceptions

utilisent une technologie CMOS 0,35 μm sans adaptation en puissance en entrée et en sortie. Parmi les combinaisons les plus intéressantes, nous retenons celle de la figure II-1 [2].

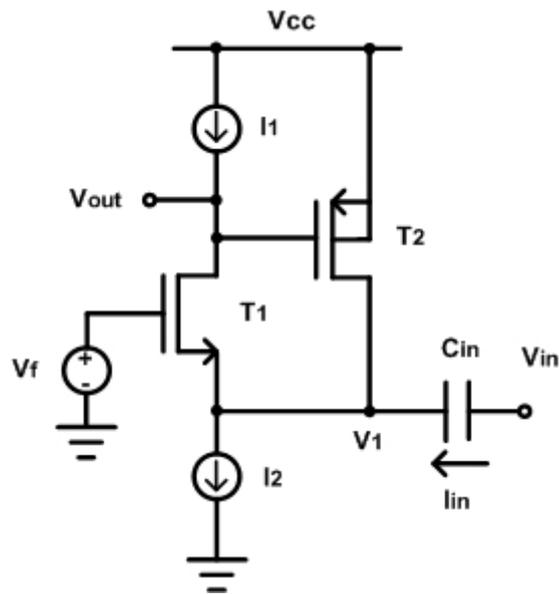


Figure II-1 : Filtre passe-bande à inductance active

La figure II-2 représente le schéma petit signal du filtre correspondant, implémenté avec deux transistors.

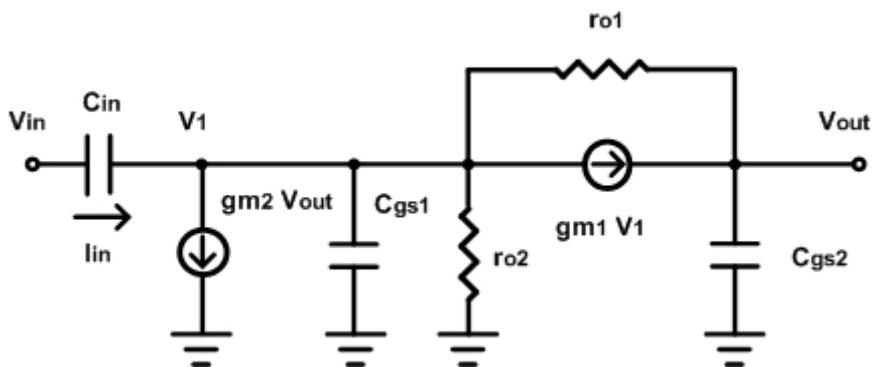


Figure II-2 : Schéma équivalent petit signal du filtre

Pour vérifier la similitude entre les deux structures en régime linéaire, analysons le circuit de la figure II-2 et comparons le avec celui de la figure I-6 du premier chapitre.

L'analyse du circuit donne :

$$gm_1 V_1 = V_{out} (j\omega C_{gs2} + \frac{1}{r_{01}}) - \frac{V_1}{r_{01}} \quad (\text{II-1})$$

$$I_{in} = V_{out} (gm_2 - \frac{1}{r_{01}}) + V_1 (j\omega C_{gs1} + \frac{1}{r_{02}} + \frac{1}{r_{01}} + gm_1) \quad (\text{II-2})$$

$$I_{in} = (V_{in} - V_1) j\omega C_{in} \quad (\text{II-3})$$

En utilisant les expressions (II-1), (II-2) et (II-3), on retrouve l'expression finale de la fonction de transfert (II-4):

$$\frac{V_{out}}{V_{in}} = \frac{j\omega \frac{C_{in} (gm_1 + g_{01})}{C_{gs2} (C_{in} + C_{gs1})}}{\frac{g_{01} g_{02} + gm_2 (gm_1 + g_{01})}{C_{gs2} (C_{in} + C_{gs1})} + j\omega (\frac{g_{01} + g_{02} + gm_1}{C_{in} + C_{gs1}} + \frac{g_{01}}{C_{gs2}}) - \omega^2} \quad (\text{II-4})$$

Comme précédemment (équation I-16), on suppose que $C_{in} \geq C_{gs1}$ et $gm_i \geq g_{0i}$ et $g_{0i} = \frac{1}{r_{0i}}$

avec $i = [1,2]$ alors :

$$\frac{V_{out}}{V_{in}} \approx \frac{j\omega \frac{gm_1}{C_{gs2}}}{\frac{gm_2 gm_1}{C_{gs2} (C_{in} + C_{gs1})} + j\omega (\frac{g_{01}}{C_{gs2}} + \frac{gm_1}{C_{in} + C_{gs1}}) - \omega^2} \quad (\text{II-5})$$

A partir de cette expression (II-5), on retrouve l'expression de la fréquence de résonance (II-6), du facteur de qualité (II-7) et du gain à la fréquence centrale (II-8). On note beaucoup de similitudes avec les expressions de la structure idéale (I-17) à (I-20) du premier chapitre.

$$\omega_0 \approx \sqrt{\frac{gm_2 gm_1}{C_{gs2}(C_{in} + C_{gs1})}} \quad (\text{II-6})$$

$$Q_0 \approx \frac{\omega_0}{\frac{g_{01} + g_{02} + gm_1}{C_{in} + C_{gs1}} + \frac{g_{01}}{C_{gs2}}} \quad (\text{II-7})$$

$$K_0 \approx \frac{\frac{gm_1}{C_{gs2}}}{\frac{g_{01}}{C_{gs2}} + \frac{gm_1}{C_{in} + C_{gs1}}} \quad (\text{II-8})$$

Dans l'expression de la pulsation ω_0 (II-6), on retrouve les principaux paramètres des transistors ainsi que la capacité externe C_{in} . Pour changer la valeur de l'inductance active et avoir un balayage en fréquence centrale, on utilise la transconductance gm_1 du transistor T_1 , même si elle intervient aussi dans l'expression du facteur de qualité et le gain. Le terme gm_2 n'intervient que dans ω_0 et permet de modifier ce paramètre sans affecter les autres. Cela incite à polariser T_2 différemment et oblige à rajouter une inductance de découplage sur la grille de T_2 . Afin de faire varier la transconductance de T_1 , on change simplement la polarisation de sa grille V_f et les sources de courant I_1 et I_2 .

L'expression du facteur de qualité (II-7) montre une possibilité de contrôle. En effet g_{02} est le paramètre qui influe sur le plus la valeur du facteur de qualité sans faire varier la fréquence centrale.

Il est facile, à partir de (II-7) et (II-8), de prouver que le facteur de qualité et le gain sont inférieurs à l'unité. Les deux sources de courants I_1 et I_2 sont ensuite implémentées par des transistors PMOS (T_3) et NMOS (T_4) respectivement. Pour augmenter le facteur de qualité, un autre transistor (T_5) est rajouté (Figure II-3). Il sert à diminuer la valeur de g_{o2} et améliorer le facteur de qualité du filtre.

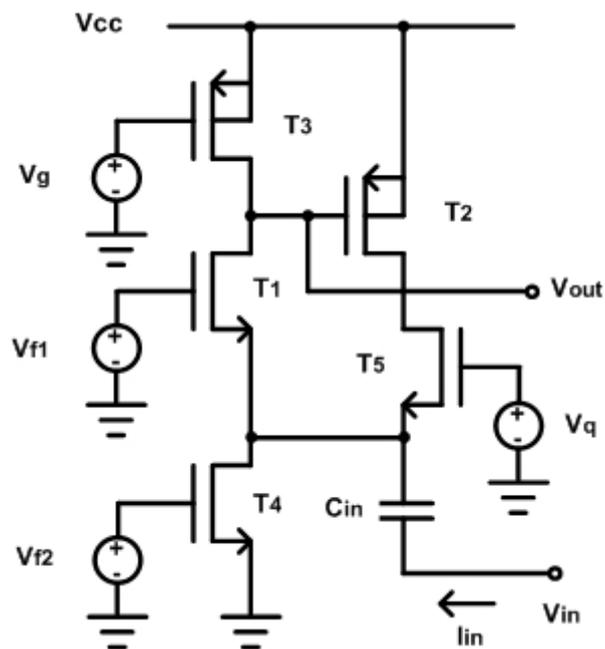


Figure II-3 : Filtre avec sources de courant réelles

Afin de déterminer les caractéristiques de l'inductance active, on ne prend pas en compte la capacité de l'entrée C_{in} de l'ensemble du filtre (figure II-3). Les figures II-4 et II-5 représentent respectivement les parties imaginaire et réelle de l'inductance active. Sur ces graphes, la fréquence de résonance est de 3,04 GHz.

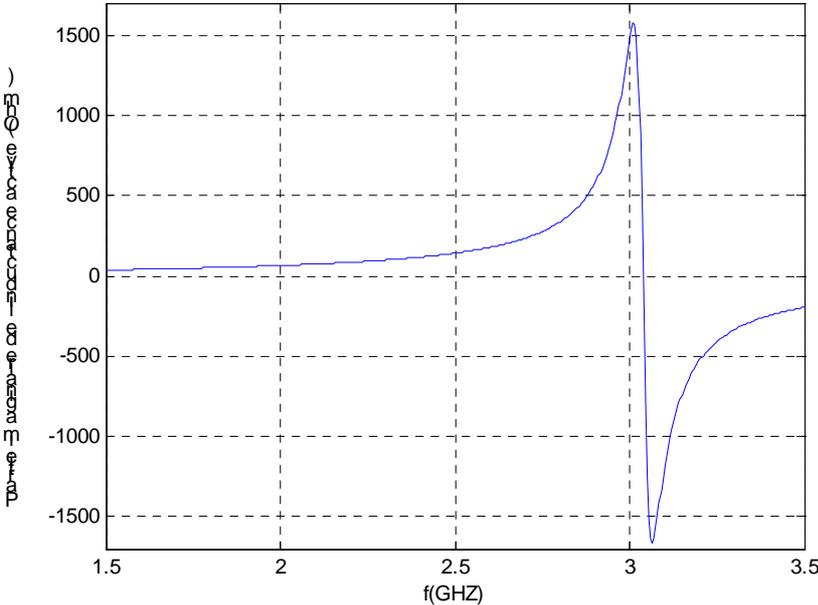


Figure II-4 : Partie imaginaire de l'inductance active

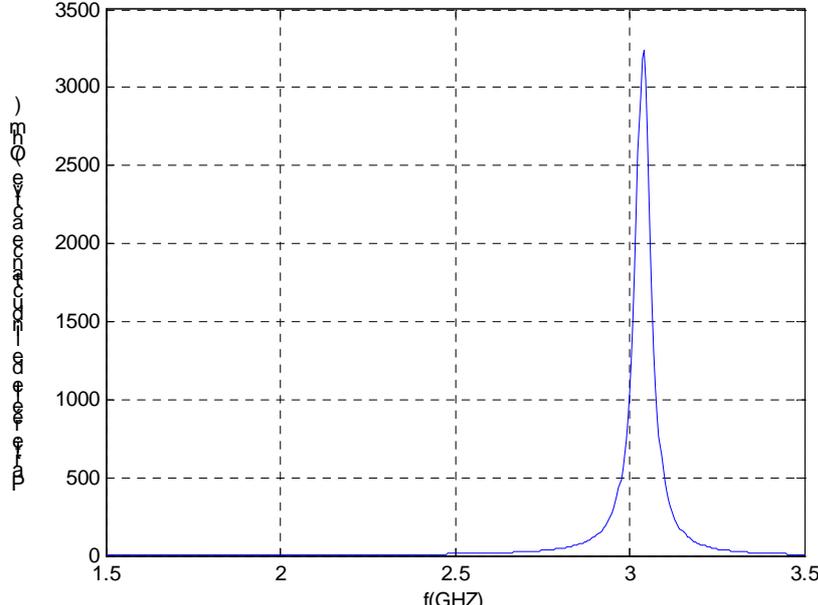


Figure II-5 : Partie réelle de l'inductance active

Les graphes précédents permettent de déterminer les figures II-6 et II-7 qui montrent la valeur de l'inductance et de sa résistance série entre 1,5 GHz et 3 GHz.

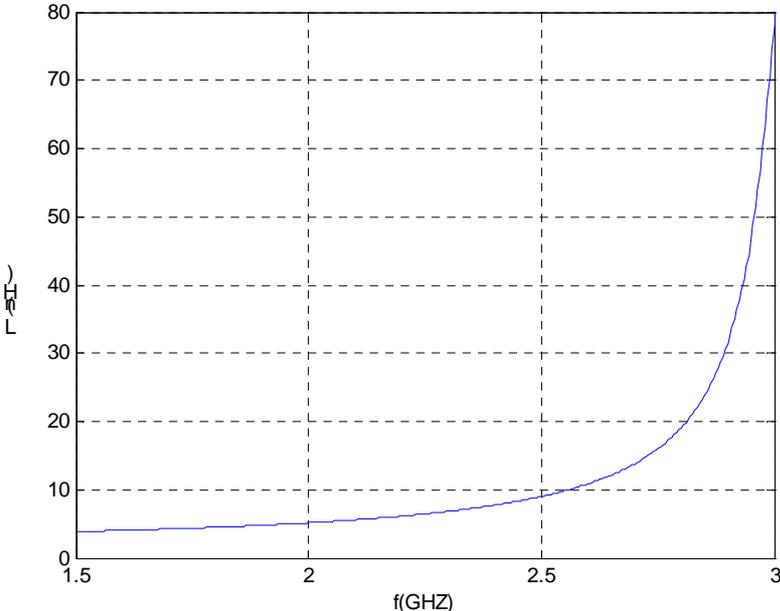


Figure II-6 : Valeur de l'inductance

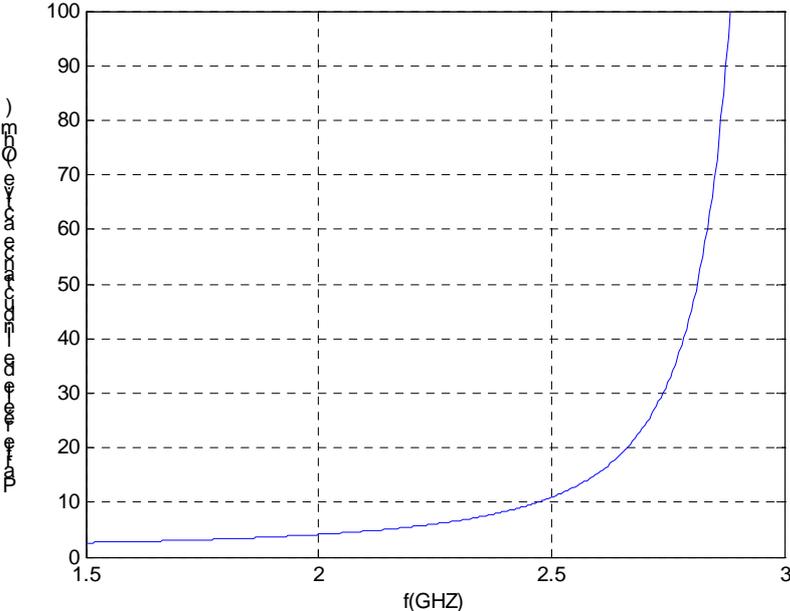


Figure II-7 : Valeur de la résistance série

A 2 GHz, l'inductance a une valeur de 5nH et est associée à une résistance série de 4,1Ω. Cela donne un facteur de qualité de 15,7. La figure II-8 montre la valeur du facteur de qualité pour une fréquence qui varie entre 1,5 GHz et 3 GHz.

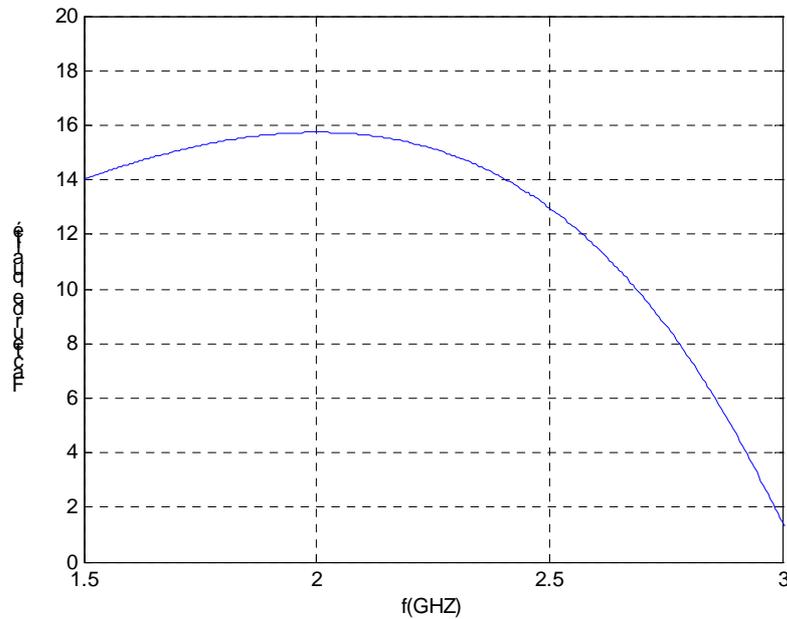


Figure II-8 : Facteur de qualité de l'inductance active

Avec le transistor T_5 , le facteur de qualité dépasse largement l'unité mais reste toutefois inférieur à 31. Cette valeur est nécessaire pour une application de type UMTS qui demande 65 MHz de bande passante pour une fréquence centrale de 2 GHz. Il est donc nécessaire de rajouter un dispositif de compensation pour augmenter cette valeur. Un amplificateur à l'entrée du filtre est aussi nécessaire pour obtenir du gain.

III. Filtre différentiel complet

Après avoir conçu le filtre à base d'inductance active équipé d'un contrôle de fréquence centrale et de facteur de qualité, nous implémentons sa version différentielle comme illustré sur la figure II-9. Nous rajoutons à l'ensemble un amplificateur d'entrée composé de deux transistors en cascade sur chaque branche pour avoir du gain, avec une inductance de dégénérescence différentielle pour augmenter la linéarité et pour ajuster la partie réelle de l'impédance d'entrée et ainsi retrouver une bonne adaptation. Nous rajoutons

une résistance négative différentielle pour augmenter le facteur de qualité et un "buffer" à la sortie pour adapter en puissance.

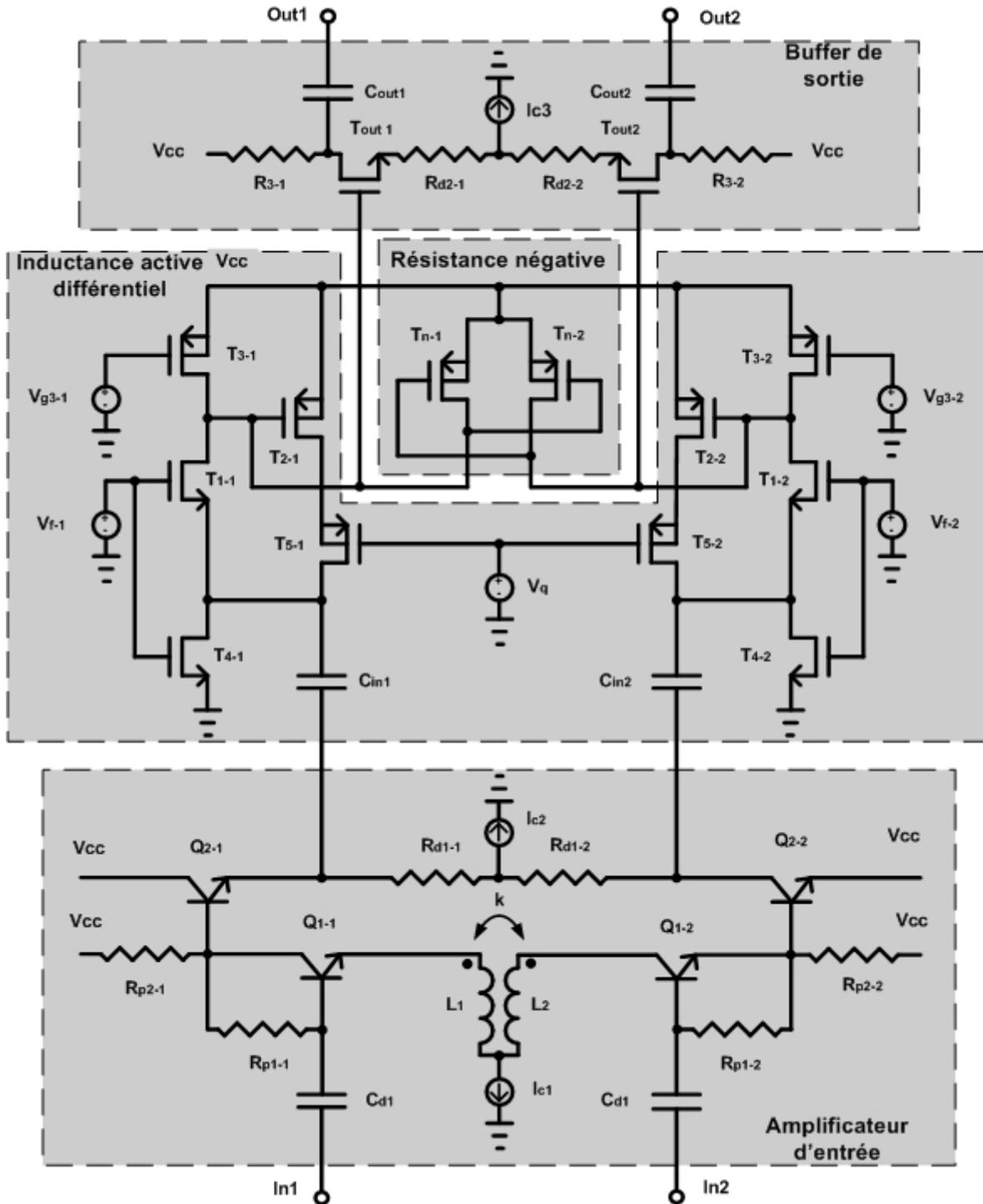


Figure II-9 : Filtre différentiel utilisant deux inductances actives

III.1. Paramètres S et comportement fort signal du filtre

Pour concevoir ce circuit nous utilisons le procédé QUBIC4 de PHILIPS qui est une technologie BiCMOS 0,25 μm . Les simulations montrent que le filtre complet consomme 30 mA (81 mW avec une alimentation standard de 2,7V).

Dans l'annexe I, le Tableau AI-1 résume les valeurs des éléments qui composent l'ensemble du filtre actif avec la résistance active et l'amplification.

L'utilisation des paramètres S en modes mixtes est très importante pour visualiser les modes différentiel et commun séparément et la conversion entre chacun d'eux (cf. annexe II sur les modes mixtes).

Lors de la conception de ce circuit, nous rajoutons des diodes de protection, les transistors MOS étant très sensibles aux charges électrostatiques qui peuvent s'accumuler pendant la fabrication (cf. annexe III).

A la fréquence centrale de 1,95 GHz et pour une bande passante de 50 MHz, nous retrouvons des paramètres S_{dd} satisfaisants (paramètres purement différentiels - figure II-10). Un gain $S_{dd21} = 21,6$ dB et de bonnes adaptations d'entrée et de sortie ($S_{dd11} = -13$ dB, $S_{dd22} = -18$ dB).

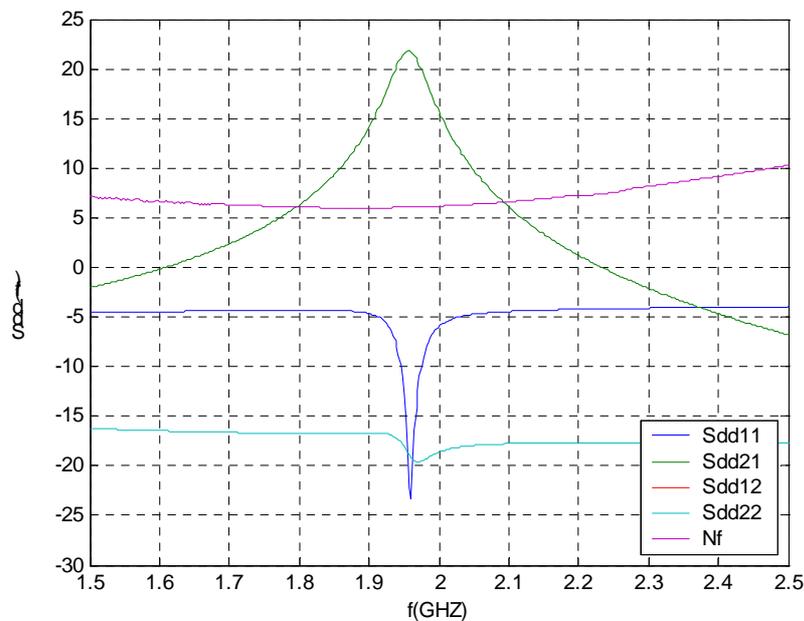


Figure II-10 : Paramètres du mode différentiel S_{ddxx} du filtre

Concernant le mode commun et à la même fréquence centrale, nous remarquons une bonne adaptation et une rejection complète ($S_{ccxx} < 0$ dB) (Figure II-11).

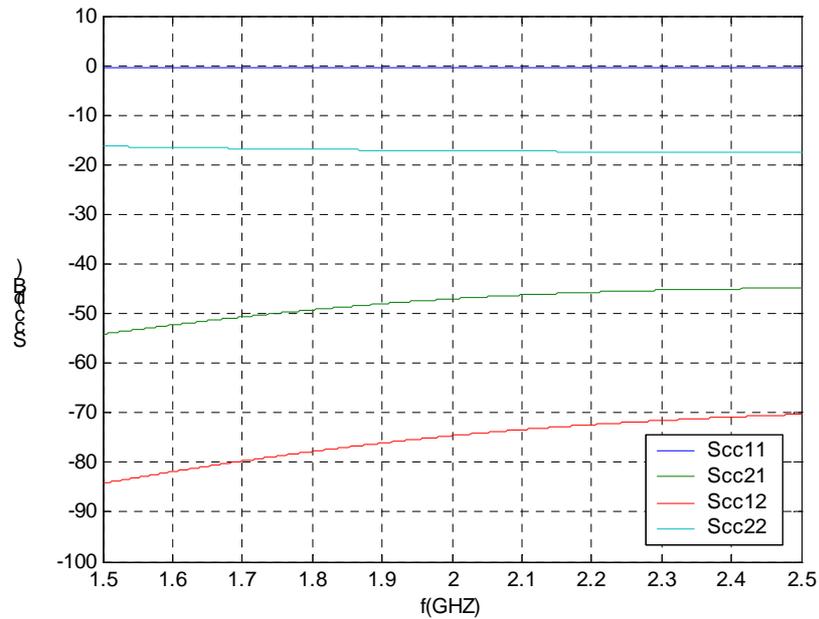


Figure II-11 : Paramètres du mode commun S_{ccxx} du filtre

Les figures II-12 et II-13 représentent les conversions de mode commun-différentiel et vice-versa respectivement. Tous les paramètres sont très faibles ($S_{dcxx} < -50$ dB et $S_{cdxx} < -80$ dB).

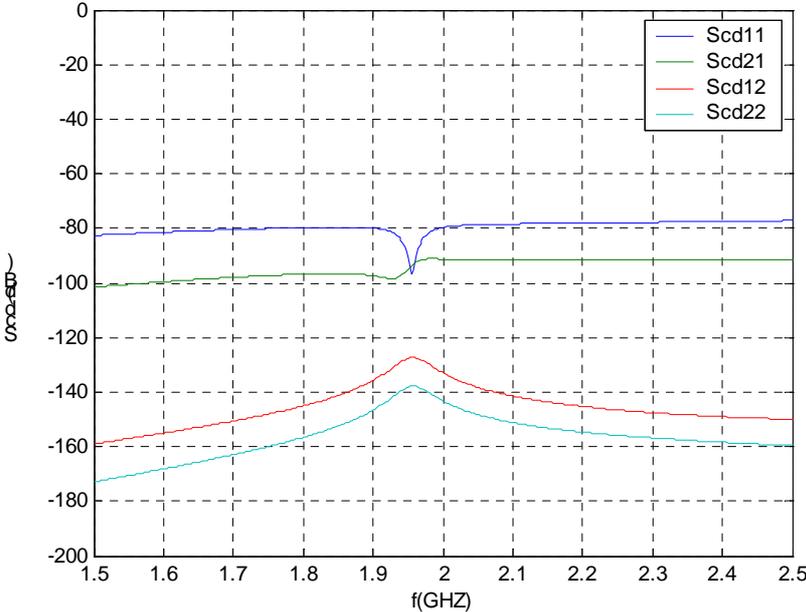


Figure II-12 : Paramètres de conversion commun-différentiel S_{cdxx} du filtre

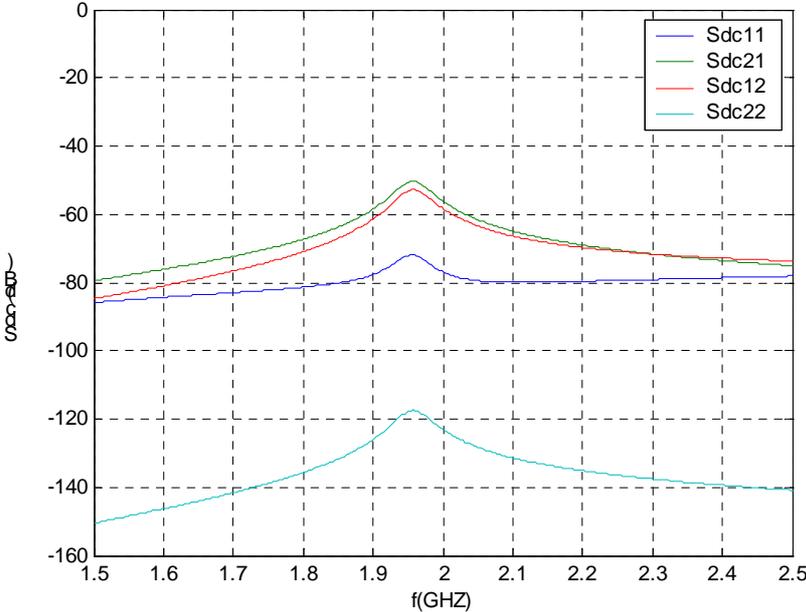


Figure II-13 : Paramètres de conversion différentiel-commun S_{dcxx} du filtre

III.2. Optimisation en bruit du filtre

Dans le cas des inductances passives, la résistance est la source exclusive de bruit. Pour le cas des inductances actives, c'est le bruit thermique du canal des transistors MOS utilisés dans le circuit qui domine, et l'origine du bruit est répartie entre les transistors qui constituent l'inductance active et ceux qui composent la résistance négative.

Le facteur de qualité du filtre est contrôlé par deux sources de compensation. La première source de compensation est composée par les transistors T_{5-1} et T_{5-2} ainsi que les tensions de contrôle V_q qui agissent directement sur ces transistors. La deuxième source de compensation est la résistance négative différentielle rajoutée à la structure finale. Les deux compensations sont complémentaires pour obtenir la bande passante visée de 65 MHz, mais leur influence en terme de bruit est complètement différente.

Les différentes simulations effectuées au cours de la conception montrent qu'il est plus intéressant pour réduire le facteur de bruit du filtre, d'augmenter, malgré tout, la valeur de la résistance négative.

L'optimisation du bruit a été effectuée dans ce sens en utilisant deux baluns à l'entrée et à la sortie du filtre et a permis d'obtenir un facteur de bruit égal à 6 dB dans cette configuration (Figure II-10).

III.3. Linéarité du filtre différentiel

La figure II-14 présente le point de compression à -1dB. Le comportement linéaire du circuit se dégrade rapidement au-delà d'une puissance d'entrée de -58 dBm. Pour un tel signal d'entrée, la puissance de sortie n'est que de -37 dBm, ce qui constitue une sérieuse limitation pour l'application souhaitée (UMTS).

La raison principale de cette dégradation provient du fait que l'inductance intégrée réelle permet le passage d'intensités de courant plus important qu'une inductance active.

Pour améliorer le transfert d'un fort signal à travers l'inductance active, nous devons utiliser des transistors de plus grande taille. Malheureusement, cette augmentation en surface (obtenue en mettant plusieurs transistors en parallèle) augmente aussi les capacités parasites.

Cela implique non seulement une baisse importante en fréquence centrale mais aussi une augmentation de la consommation.

Parmi les autres facteurs qui réduisent cette linéarité figurent la résistance négative et l'amplificateur en entrée du dispositif.

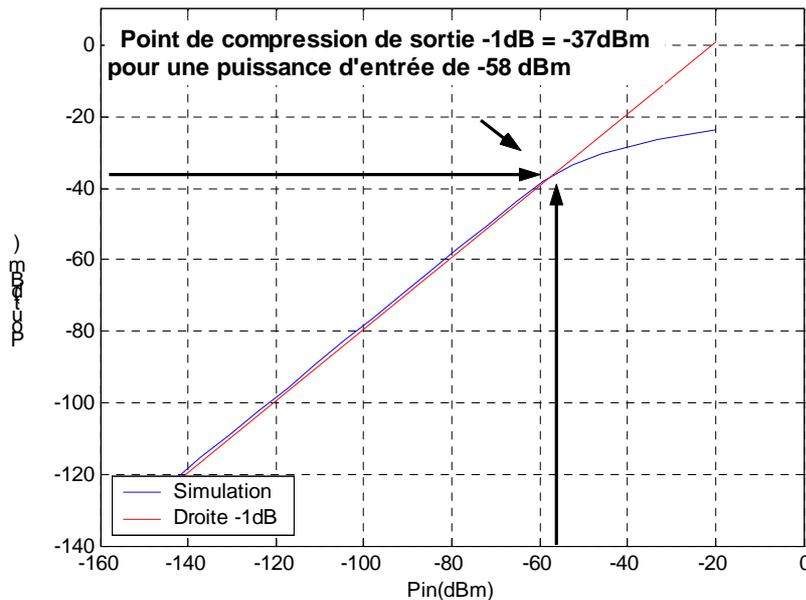


Figure II-14 : Point de compression à -1 dB du filtre

Le facteur de bruit et la valeur du point de compression à -1 dB définissent la dynamique ($DR=109,4$ dB) (II-10) qui est le rapport entre le point de compression de sortie P_{-1dB} et la puissance de bruit en sortie P_n dans une bande passante d'un Hz [3].

$$DR = \frac{P_{-1dB}}{P_n} \quad (II-10)$$

$$P_n = kTB \times Gain \times NF$$

(k : Constante de Boltzmann = $1,38 \times 10^{-23}$. T : Température = 290 K. Dans une bande passante normalisée de 1Hz $kTB = 4,002 \times 10^{-21}$ Watt = -174 dBm).

III.4. Accordabilité de la fréquence centrale

La figure II-15 représente le paramètre de transmission (S_{dd21}) faisant apparaître un balayage fréquentiel de la fréquence centrale. Ce balayage est commandé par la tension de contrôle V_f . La variation possible de la valeur de l'inductance active permet de s'affranchir de tout autre élément actif variable (du type diode varactor par exemple). La plage d'accord en fréquence est très importante. La fréquence centrale peut varier de 0,7 GHz à presque 2,0 GHz. Dans toute cette bande de fréquence, on peut facilement contrôler le gain permettant d'ajuster le niveau de la réponse à la fréquence centrale ($G_{\max} \approx 20$ dB). On peut ajuster la bande passante à -3 dB en contrôlant la valeur de la résistance négative avec la tension de contrôle V_q .

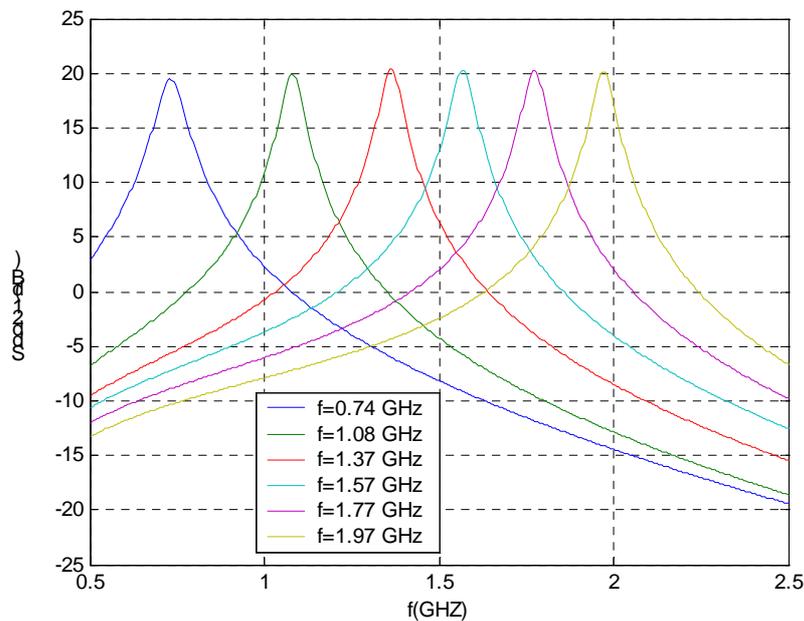


Figure II-15 : S_{dd21} avec balayage de la fréquence centrale

Les figures II-16 et II-17 représentent les coefficients de réflexions S_{dd11} et S_{dd22} respectivement sur la même plage d'accord en fréquence. On peut noter que l'adaptation est respectée avec une amélioration aux fréquences les plus élevées.

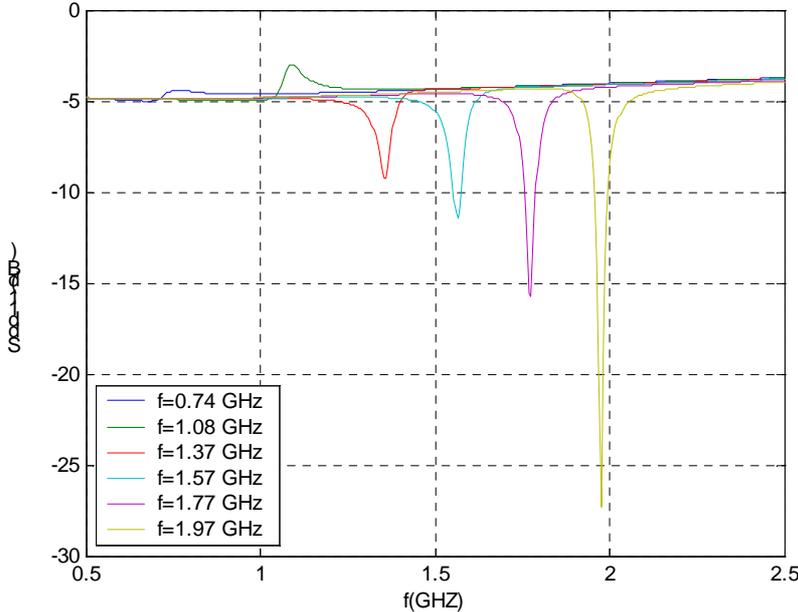


Figure II-16 : S_{dd11} avec balayage de la fréquence centrale

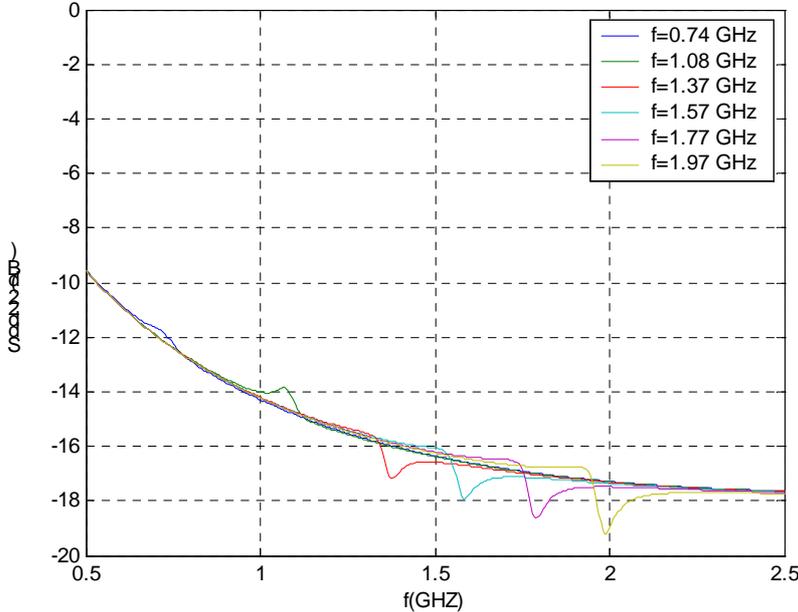


Figure II-17 : S_{dd22} avec balayage de la fréquence centrale

La figure II-18 présente l'allure du facteur de bruit NF. Aux fréquences centrales basses, ce facteur est de l'ordre de 4 dB ; il se dégrade rapidement jusqu'à 6 dB aux fréquences les plus élevées.

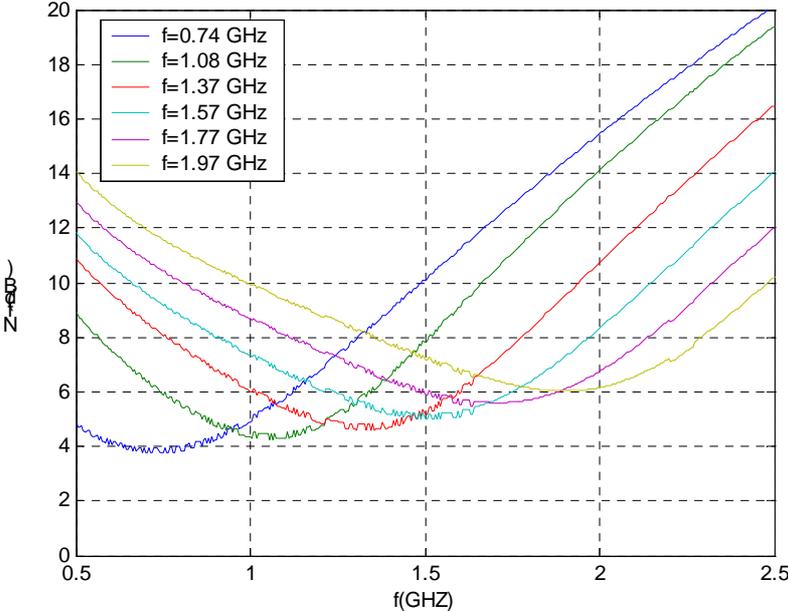


Figure II-18 : NF avec balayage de la fréquence centrale

III.5. Contrôle du facteur de qualité

Les deux transistors T_{n1} et T_{n2} (Figure II-9) composent le bloc de la résistance négative. La présence de ce bloc est essentielle pour améliorer le facteur de qualité du filtre.

La résistance négative induit deux effets indésirables sur les performances du filtre : l'augmentation du bruit et la dégradation de la linéarité. La variation du facteur de qualité n'est pas obtenue par le changement direct de la valeur de la résistance négative (T_{n1} et T_{n2}), mais plutôt par le contrôle de la tension V_q des transistors T_{5-1} et T_{5-2} . En faisant varier les conductances (g_0) des deux transistors T_{2-1} et T_{2-2} , on peut ainsi contrôler le facteur de qualité (II-7).

La figure II-19 montre le paramètre S_{dd21} lorsque le facteur de qualité varie ($Q_0=22$ à 53), sachant que pour une application UMTS un facteur de 31 est souhaitable. Dans tous les cas, le circuit reste toujours adapté en entrée et sortie (Figures II-20 et II-21). La figure II-22 représente le facteur de bruit lorsque le facteur de qualité est modifié.

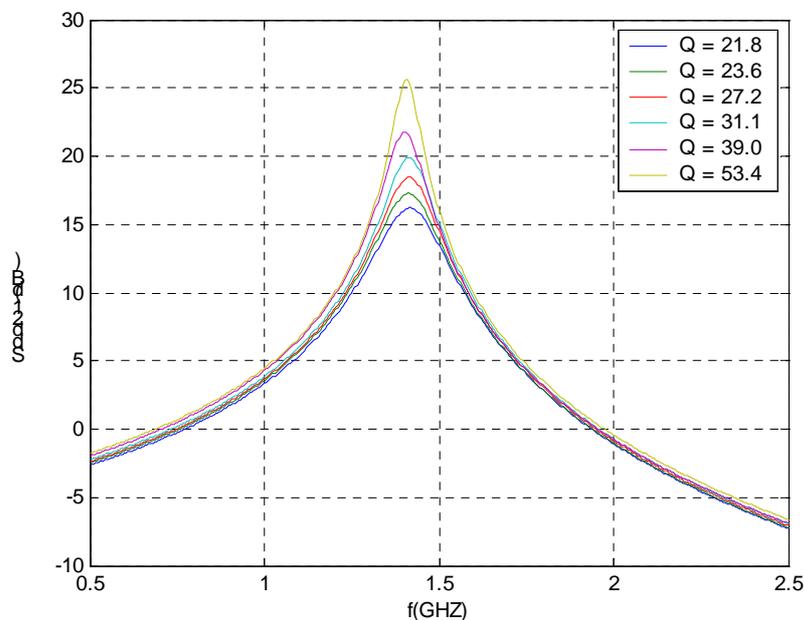


Figure II-19 : S_{dd21} avec balayage du facteur de qualité

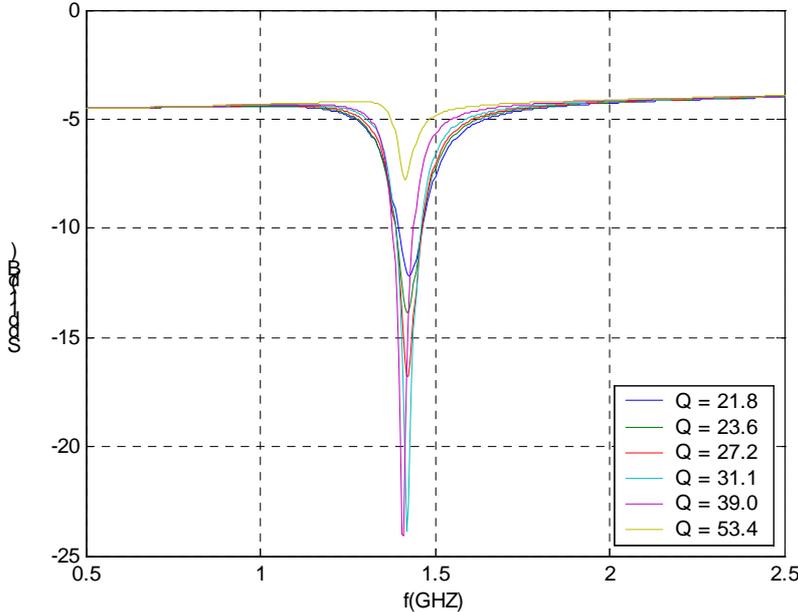


Figure II-20 : S_{dd11} avec balayage du facteur de qualité

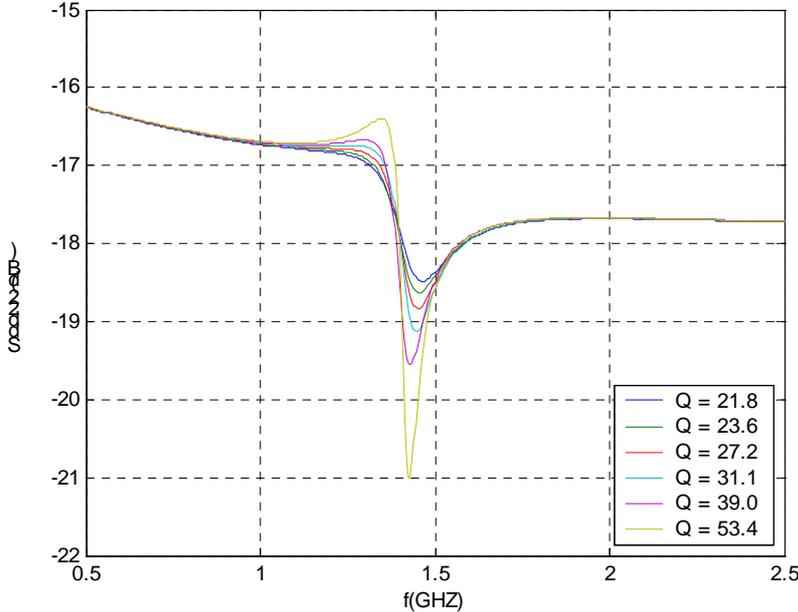


Figure II-21 : S_{dd22} avec balayage du facteur de qualité

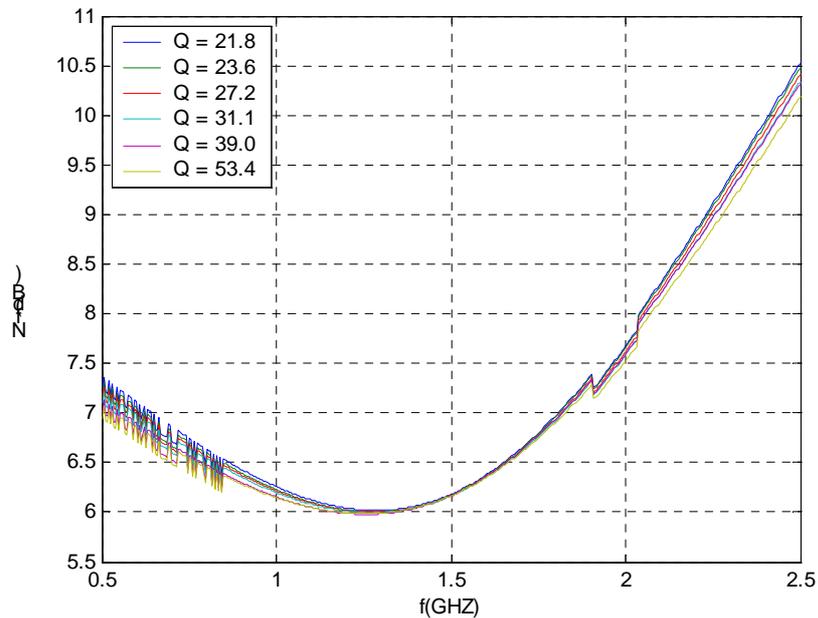


Figure II-22 : NF avec balayage du facteur de qualité

IV. Layout du circuit

La bibliothèque utilisée pour réaliser ce circuit est la QUBIC4 BiCMOS 0,25 μm de PHILIPS [4]. Le circuit global occupe une surface de 0,765 mm^2 (0,9mm x 0,85 mm) (Figure II-23). L'inductance de dégénérescence avec son blindage a pour dimensions 0,37 mm x 0,37 mm (0,135 mm^2). Elle représente 17,6 % de la surface globale. Les accès (pads) sur le layout occupent une grande partie de la surface de la puce. Tous les accès de polarisation sont volontairement dédoublés pour contrôler indépendamment les deux branches différentielles du circuit. Les sources de courant de l'amplificateur d'entrée sont remplacées par deux transistors NMOS et associées à une seule tension de polarisation ($V_{g \text{ entrée}}$) pour contrôler le gain. L'accès $V_{g \text{ sortie}}$ est associé aux transistors qui contrôlent le courant du buffer de sortie. V_f et V_q contrôlent la fréquence et le facteur de qualité respectivement.

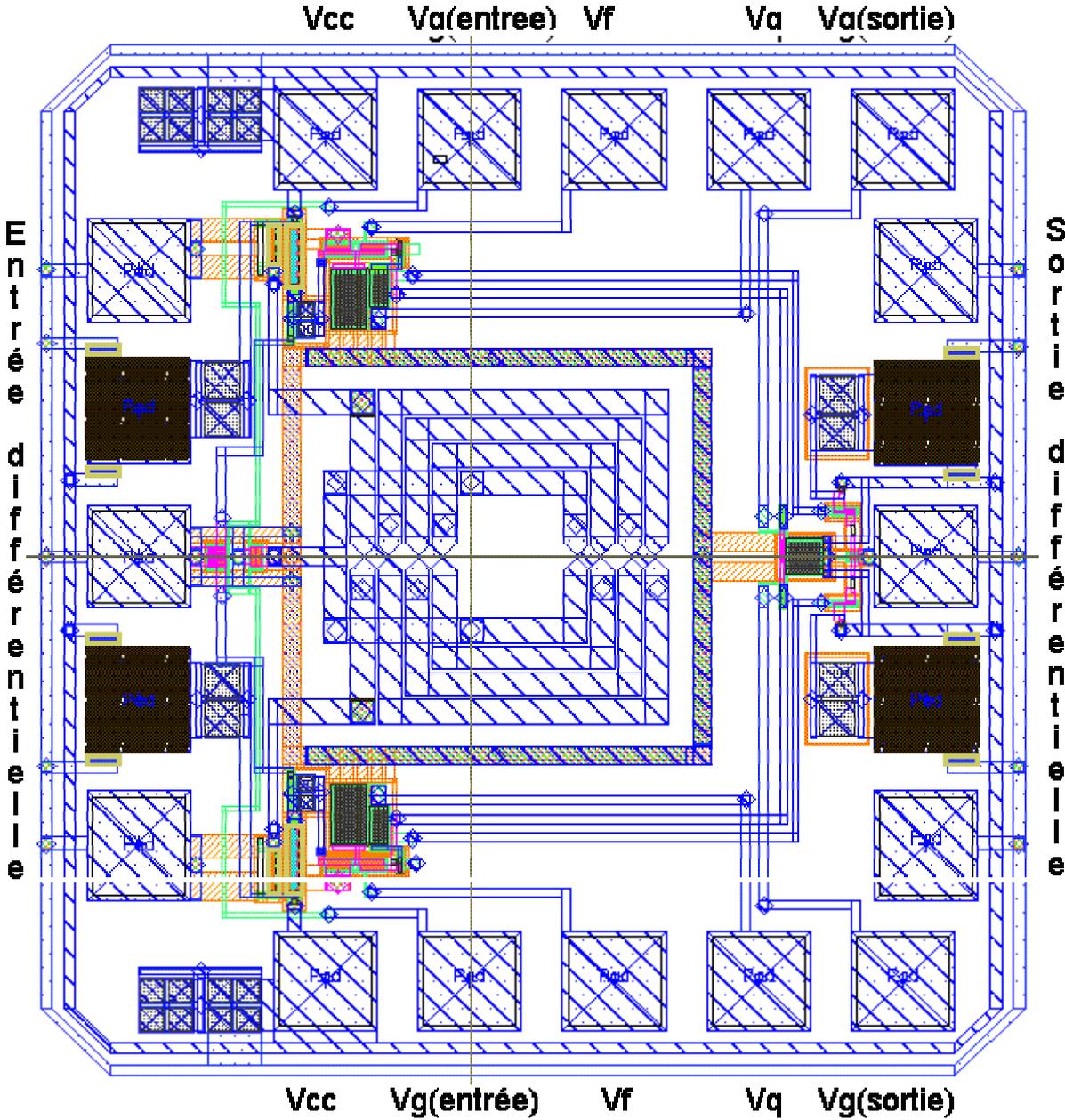


Figure II-23 : Layout du filtre différentiel utilisant des inductances actives

V. Conclusion

Dans ce chapitre, nous avons étudié une topologie de filtrage dans laquelle les inductances passives sont remplacées par des inductances actives. Le filtre consomme 30 mA (81 mW avec une alimentation standard de 2,7V). Il utilise des inductances actives qui présentent des caractéristiques fréquentielles très intéressantes (en transmission et en réflexion) ; ce filtre favorise le mode différentiel en rejetant le mode commun avec un taux de rejection de 21,6 dB. Il permet également les contrôles de la fréquence centrale et du facteur de qualité (f_0 de 0,7 GHz à 2 GHz et Q_0 de 22 à 53). En contrepartie, la linéarité est dégradée à 2 GHz (point de compression à -1 dB en entrée de -58 dBm) et le facteur de bruit reste élevé (6 dB) à la fréquence centrale. Ces deux paramètres constituent les points faibles du circuit. Le rapport entre le point de compression en sortie et le bruit de sortie définit la dynamique du circuit qui a pour valeur 109,4 dB.

Par rapport à l'article qui inspire ces travaux, nous obtenons un filtre dont la fonction de transfert est homogène à un gain en puissance et qui est bien adapté en puissance.

La faible dynamique de ce circuit nous conduit toutefois à étudier les nouvelles architectures présentées dans les chapitres suivants, et en particulier les structures LC.

VI. Bibliographie

- [1] **A. THANACHAYANONT**
“2-V 3.36-mW 2.5-GHz fourth-order inductorless CMOS RF bandpass filter”
Asia-Pacific Circuits and Systems Conference,
Vol. 1, 28-31 oct 2002, page(s) 127 – 130.
- [2] **A. THANACHAYANONT**
“CMOS transistor-only active inductor for IF/RF applications”
IEEE International Conference Industrial Technology,
Vol. 2, 11-14 déc 2002, page(s) 1209 - 1212.
- [3] **W. B. KUHN, D. NOBBE, D. KELLY, A. W ORSBORN**
“Dynamic range performance of on-chip RF Bandpass filters”
IEEE Transactions Circuits and Systems II: Analog and Digital Signal Processing
Volume 50, N°: 10, oct 2003 Page(s):685-694
- [4] **D. SZMYD, R. BROCK, N. BELL, S. HARKER, G. PATRIZI, J. FRASER, R. DONDERO**
“QUBIC4 : a silicon RF-BiCMOS technology for wireless communication Ics”,
Proceedings of the 2001 bipolar/BiCMOS Circuits and Technology Meeting,
page(s) : 60-63

CHAPITRE III

AMPLIFICATEUR DIFFERENTIEL

PASSE-BANDE DU 4^{ème} ORDRE

FAIBLE BRUIT À 2 GHz

I. Introduction

Dans le premier chapitre (Figure I-2), nous constatons l'importance que les filtres LC occupent dans le domaine du filtrage actif RF. Grâce à leurs résultats prometteurs, ces filtres sont développés de 100 MHz jusqu'à 6 GHz. Dans le premier chapitre, nous avons illustré le principe de fonctionnement de ces filtres LC, essentiellement basés sur l'utilisation d'inductances intégrées passives dont la valeur du facteur de qualité est essentielle pour augmenter la sélectivité et la linéarité du filtre. L'augmentation de la fréquence de résonance du filtre entraîne logiquement une diminution de la valeur des inductances passives qui occupent ainsi moins d'espace sur le substrat de silicium [1-8].

Dans ce chapitre, nous concevons et développons un filtre LC du 4^{ème} ordre avec un amplificateur à l'entrée et des résistances négatives pour assurer la compensation des pertes. Nous utilisons le procédé technologique BiCMOS 0,25 μm de PHILIPS (QUBIC4) pour aboutir au layout final. Après réalisation et mesure, nous le comparons aux résultats publiés pour cette même topologie.

Le filtre développé est basé sur la simulation du couplage magnétique entre deux résonateurs. Cette conception s'inspire essentiellement des références [1] et [2]. Le premier avantage du circuit est la réduction du nombre et de la taille des inductances. Au lieu de huit inductances, seulement quatre inductances couplées entre elles sont nécessaires.

II. Conception classique d'un filtre du quatrième ordre

Concevoir un filtre passif du 4^{ème} ordre à 2 GHz revient classiquement à mettre en série quatre résonateurs comme illustré sur la figure III-1 (synthèse utilisant la méthode des tableaux ou bien des algorithmes sous MATLAB). L'inconvénient avec une telle structure est le nombre important d'inductances (ici 4). Si on considère une topologie différentielle, le nombre d'inductances double (Figure III-2), ce qui augmente la surface du substrat et donc le prix du filtre.

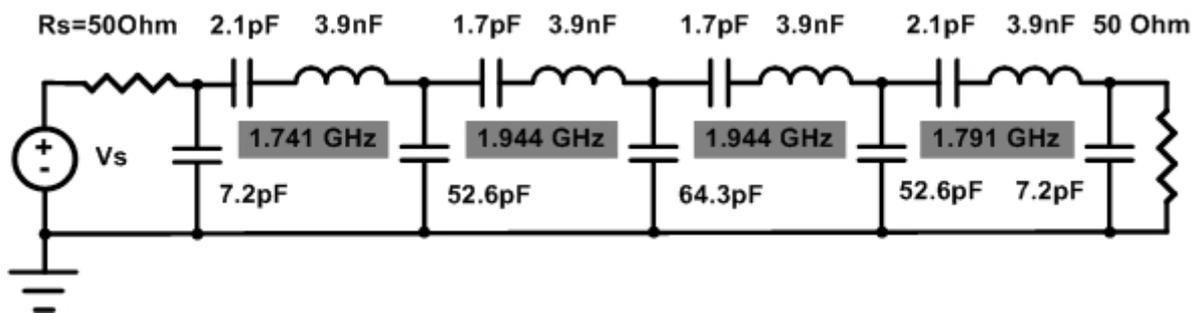


Figure III-1 : Filtre passif du 4ème ordre

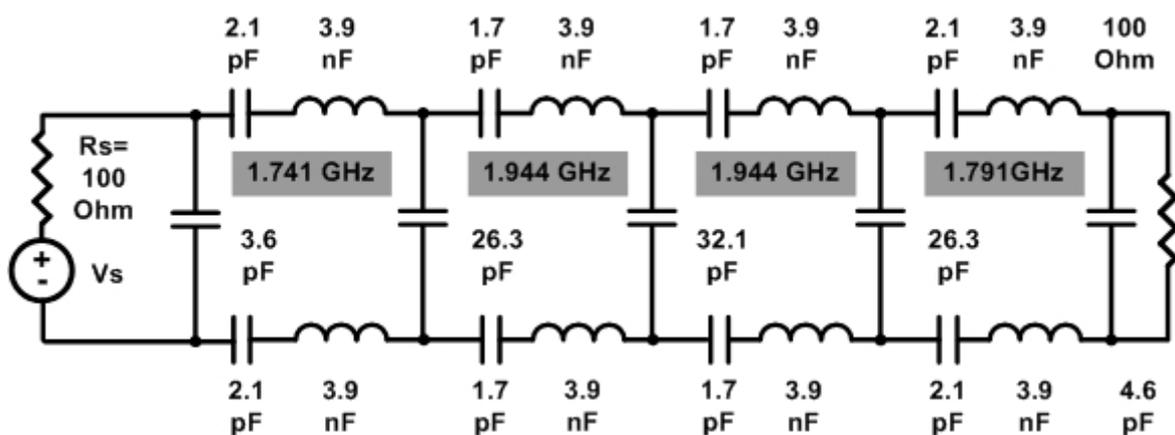


Figure III-2 : Filtre passif différentiel du 4ème ordre

L'une des solutions que les concepteurs de filtres passe-bande utilisent pour réduire ce nombre important d'inductances est d'utiliser le couplage entre résonateurs. La figure III-3 représente la structure de base de ce genre de filtre.

Nous retrouvons dans cette structure deux résonateurs. Ils sont caractérisés par leurs deux inductances couplées avec le facteur k ainsi que leurs résistances parallèles R_1 et R_2 .

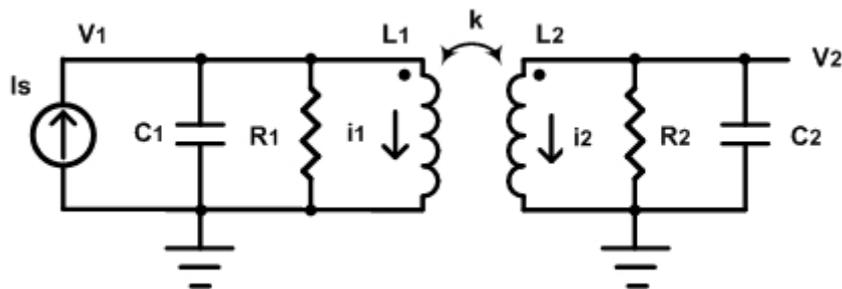


Figure III-3 : Circuit basé sur le couplage magnétique des circuits LC

La figure III-4 représente la même topologie pour une structure différentielle, les résistances parallèles incluent aussi les terminaisons résistives des transconductances différentielles g_{in} et g_{out} . Ces transconductances sont utilisées pour l'adaptation en entrée et en sortie.

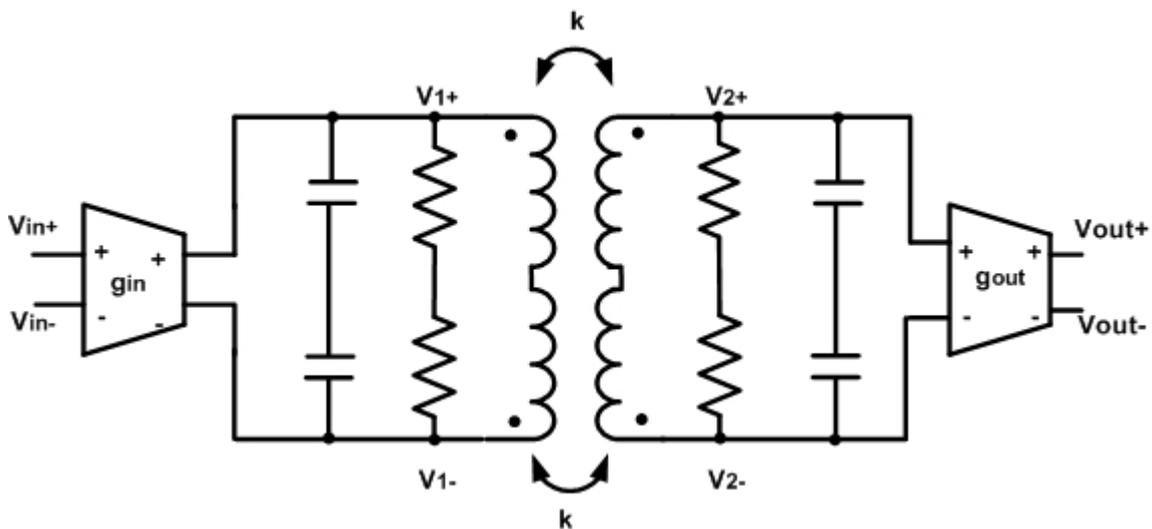


Figure III-4 : Deux résonateurs couplés utilisant un transformateur dans une configuration différentielle

Pour avoir un comportement semblable au filtre à huit inductances (4ème ordre), on doit se placer dans les conditions du "couplage critique". La référence [3] propose des tabulations de k et du facteur de qualité Q pour plusieurs gabarits de filtres et plusieurs valeurs d'ondulations.

Suivant cette méthode, pour un gabarit de type Chebyshev avec une ondulation de 0,01 dB utilisant deux résonateurs, on obtient les paramètres suivants du filtre [1] [3] (Δf est la bande passante du filtre).

$$K_1 = \frac{1}{\sqrt{2}} \quad \text{et} \quad K_2 = \sqrt{2} \quad (\text{III-18})$$

$$\omega_0 = \sqrt{1/LC} \quad (\text{III-19})$$

$$k = K_1 \left(\frac{\Delta f}{f_0} \right) = \frac{K_1}{Q_0} \quad (\text{III-20})$$

$$R = R_1 = R_2 = K_2 Q \sqrt{L/C} \quad (\text{III-21})$$

Pour une application UMTS, la fréquence de fonctionnement est 2 GHz avec une bande passante de 65 MHz. Le facteur de qualité Q du filtre nécessaire est donc 31. Pour avoir une réponse critique exactement à cette fréquence, il faut avoir un facteur de couplage k de 23×10^{-3} (III-20). Cette valeur est très faible, et nécessite d'être très précise.

Nous exposons dans les paragraphes suivant une nouvelle méthode de couplage qui donne au concepteur plus de liberté pour ajuster ces coefficients de couplages.

III. Couplage magnétique simulé entre résonateurs

Considérons le schéma électrique d'un transformateur (figure III-5-a). Les équations (III-1) et (III-2) représentent le couplage dans un transformateur avec $M = k\sqrt{L_1L_2}$. L'interprétation électrique de ces équations permet de transformer la figure III-5-(a) en figure III-5-(b) et par une transformation Norton/Thevenin d'obtenir le circuit de la figure III-5-(c). Ce schéma composé de sources de courant remplaçant le couplage magnétique prouve la possibilité de remplacer celui-ci par un couplage électrique.

$$V_1 = j\omega L_1 I_1 + j\omega M I_2 \tag{III-1}$$

$$V_2 = j\omega L_2 I_2 + j\omega M I_1 \tag{III-2}$$

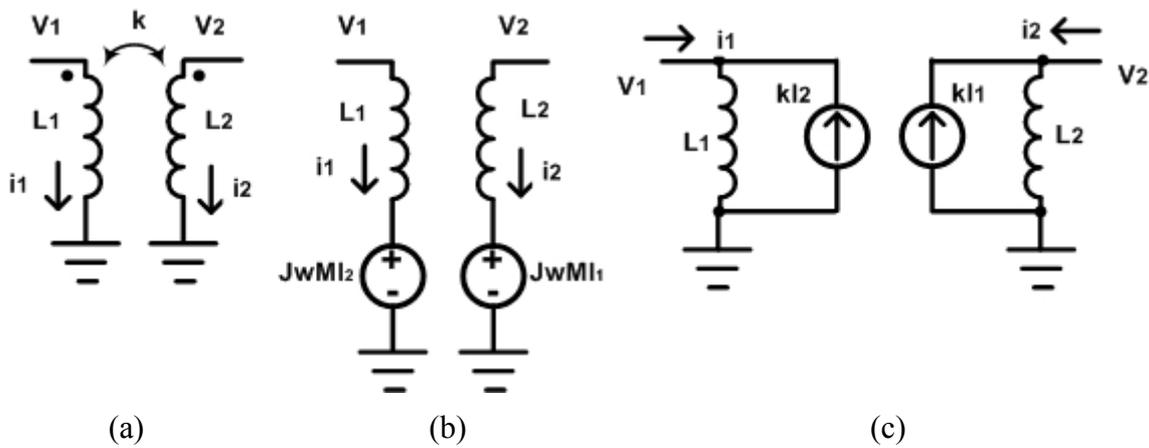


Figure III-5 : Couplage entre résonateur

Pour une analyse complète du filtre, on remplace dans la figure III-6 le transformateur par son schéma équivalent utilisant des sources de courant.

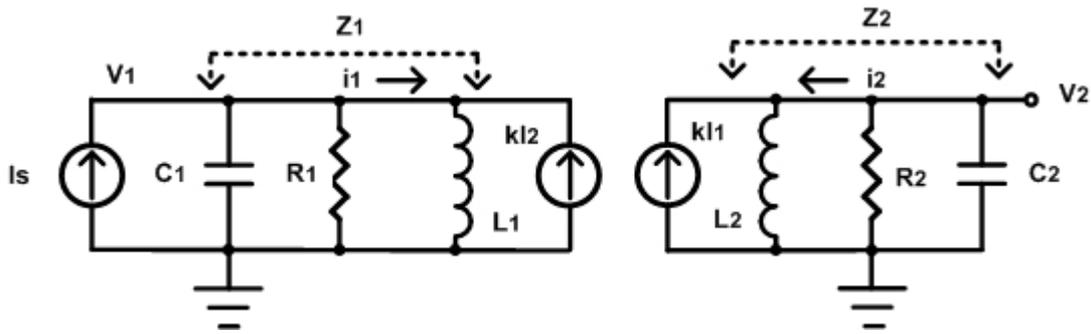


Figure III-6 : Deux résonateurs couplés utilisant les deux sources de courants

Z_2 (III-3) représente l'impédance du résonateur en sortie :

$$Z_2 = \frac{1}{\frac{1}{R_2} + j\omega C_2 + \frac{1}{j\omega L_2}} \quad (\text{III-3})$$

Le seul courant qui passe vers le deuxième résonateur est celui dû au couplage kI_1 . On peut exprimer la tension de sortie V_2 par ces deux expressions (III-4) et (III-5) :

$$V_2 = Z_2 k I_1 \quad (\text{III-4})$$

$$V_2 = j\omega L_2 (I_2 + k I_1) \Rightarrow I_2 = \frac{V_2}{j\omega L_2} - k I_1 \quad (\text{III-5})$$

$$\text{Avec (III-4) : } I_1 = \frac{V_2}{k Z_2} \quad (\text{III-6})$$

En remplaçant V_2 de (III-4) dans (III-5), on retrouve l'expression (III-7) :

$$I_2 = k\left(\frac{Z_2}{j\omega L_2} - 1\right)I_1 \quad (\text{III-7})$$

Z_1 (III-8) représente l'impédance du résonateur de l'entrée :

$$Z_1 = \frac{1}{\frac{1}{R_1} + j\omega C_1 + \frac{1}{j\omega L_1}} \quad (\text{III-8})$$

De la même manière que pour V_2 , la tension V_1 s'exprime de deux façons aussi (III-9) :

$$V_1 = Z_1(I_s + kI_2) = j\omega L_1(I_1 + kI_2) \quad (\text{III-9})$$

A partir de ces deux équations, on retrouve l'expression (III-10) :

$$Z_1 I_s = kI_2(j\omega L_1 - Z_1) + j\omega L_1 I_1 \quad (\text{III-10})$$

Avec (III-6) et (III-10), on retrouve l'équation (III-11) :

$$Z_1 I_s = I_1 \left[k^2 \left(\frac{Z_2}{j\omega L_2} - 1 \right) (j\omega L_1 - Z_1) + j\omega L_1 \right] \quad (\text{III-11})$$

En remplaçant le courant I_1 (III-4), on retrouve (III-12) :

$$\frac{V_2}{I_s} = \frac{kZ_2 Z_1}{k^2 \left(\frac{Z_2}{j\omega L_2} - 1 \right) (j\omega L_1 - Z_1) + j\omega L_1} \quad (\text{III-12})$$

Si on considère que les deux résonateurs sont identiques :

$$Z = Z_1 = Z_2 = \frac{R}{1 + j \frac{R}{\omega L} (\omega^2 LC - 1)} = \frac{R}{1 + j Q_0 \left(\frac{\omega}{\omega_0} - \frac{\omega_0}{\omega} \right)} \quad (\text{III-13})$$

Avec : $\omega_0^2 = \frac{1}{LC}$ (III-14)

Et : $Q_0 = \frac{R}{\omega_0 L}$ (III-15)

On retrouve (III-16) :

$$\frac{V_2}{I_s} = \frac{-j\omega L k Z^2}{[k(j\omega L - Z)]^2 + (\omega L)^2} \quad (\text{III-16})$$

Le même rapport peut être exprimé comme suit (III-17) :

$$\frac{V_2}{I_s} = \frac{-j\omega L k R^2}{k^2 [j\omega L (1 + j Q_0 (\omega^2 LC - 1)) - R]^2 + (1 + j Q_0 (\omega^2 LC - 1))^2 (\omega L)^2} \quad (\text{III-17})$$

On note que cette expression est d'ordre 4 et que l'influence de la constante de couplage k est très importante.

Les figures III-7 et III-8 représentent le module de l'expression (III-17) en 3D et 2D respectivement en fonction du facteur de couplage k et de la fréquence normalisée par rapport à la fréquence centrale 2 GHz (Le facteur de qualité a pour valeur $Q_0=100$, et le gain représente le rapport tension/courant).

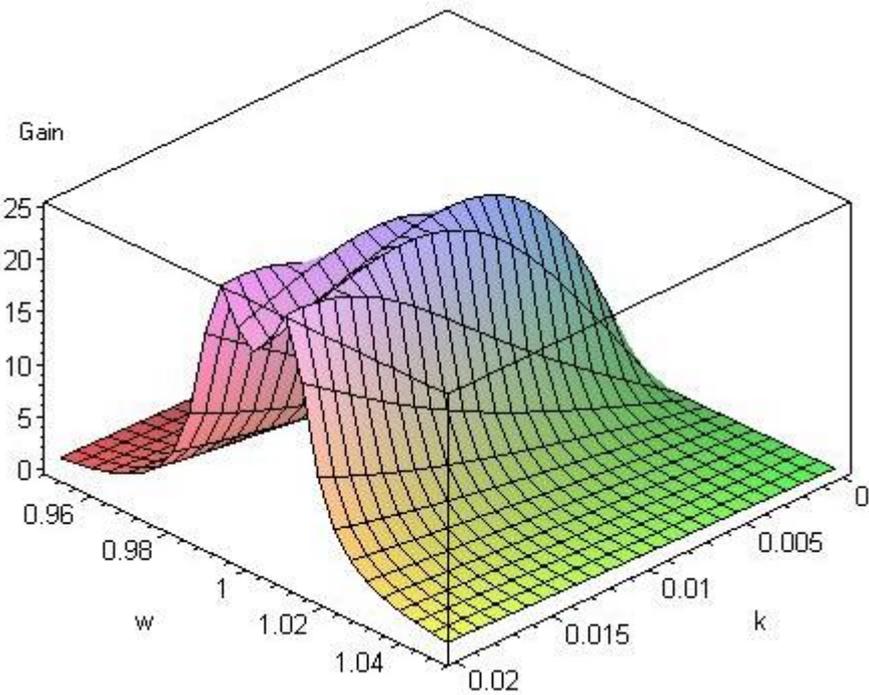


Figure III-7 : Réponse du filtre en fonction de k et w

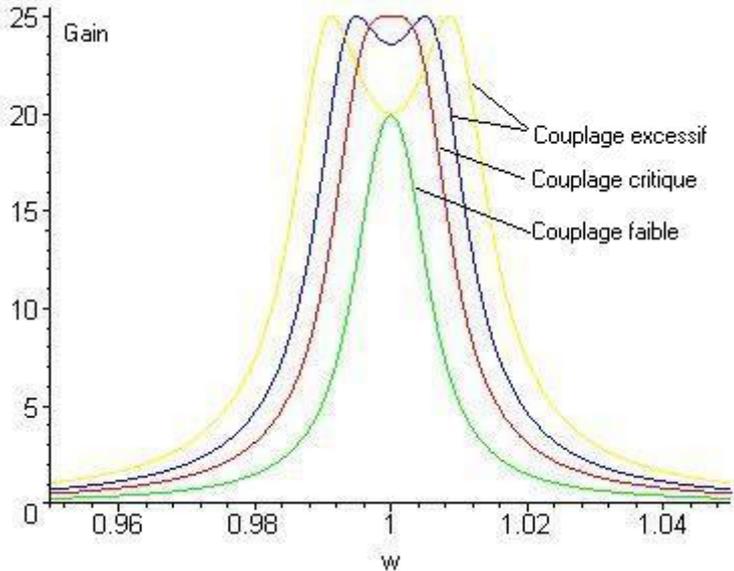


Figure III-8 : Réponse fréquentielle du filtre

Analytiquement, on distingue 3 cas :

$$k < \frac{1}{Q_0} \quad : \text{Couplage faible}$$

$$k = \frac{1}{Q_0} \quad : \text{Couplage critique ou optimal}$$

$$k > \frac{1}{Q_0} \quad : \text{Couplage excessif}$$

Avec le graphe précédent, il est très facile de repérer ces trois cas, sachant que le couplage critique induit une réponse presque plate au niveau de la bande passante. La fréquence centrale du filtre est celle des résonateurs, et la bande passante est directement reliée au facteur de couplage k .

Cette méthode de couplage utilisant des sources de courant électrique permet d'obtenir le même couplage critique que grâce au couplage magnétique d'un transformateur. Pour une application UMTS, il faut avoir un facteur de couplage $k = 1/Q_0$ de 32×10^{-3} .

L'étape suivante consiste à implémenter les sources de courant en utilisant des transistors NMOS ce qui fait l'objet du paragraphe (IV).

IV. Simulation du couplage électrique à l'aide de transistors NMOS

Nous allons étudier la simulation du couplage magnétique entre les deux résonateurs, en utilisant un couplage électrique à base de transistors NMOS (Figure III-9).

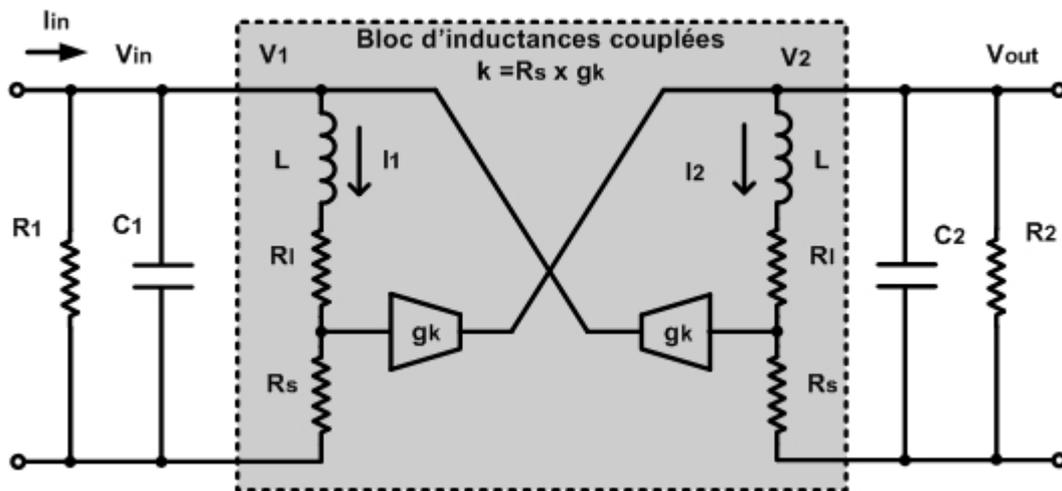


Figure III-9 : Topologie à base de couplage électrique

Le concept est basé sur l'injection d'une petite partie du courant d'un résonateur à un autre et vice-versa ; cette portion est équivalente à l'énergie transmise par le couplage magnétique. Dans ce circuit, le coefficient de couplage k est contrôlé par le pont formé des deux résistances R_s et R_l . R_l est la résistance série équivalente de l'inductance L . On peut remarquer que, non seulement les valeurs de ces deux résistances influent sur le couplage mais elles fixent aussi la polarisation des grilles des transistors NMOS. Le facteur de couplage final est contrôlé par le produit de la résistance R_s et de la transconductance du transistor g_k (III-21).

$$k = R_s g_k \tag{III-21}$$

Pour réduire la résistance totale $R_t=R_s+R_l$ et les résistances de terminaisons R_l et R_2 [2][4], des résistances négatives de compensation sont rajoutées à l'entrée et à la sortie du circuit. La figure III-10 présente la version finale du filtre différentiel compensé. Il est composé de deux branches identiques, une référencée positive et l'autre négative. On utilise des diodes varicaps au lieu de capacités passives pour pouvoir réajuster la fréquence centrale par les tensions V_{f1} et V_{f2} .

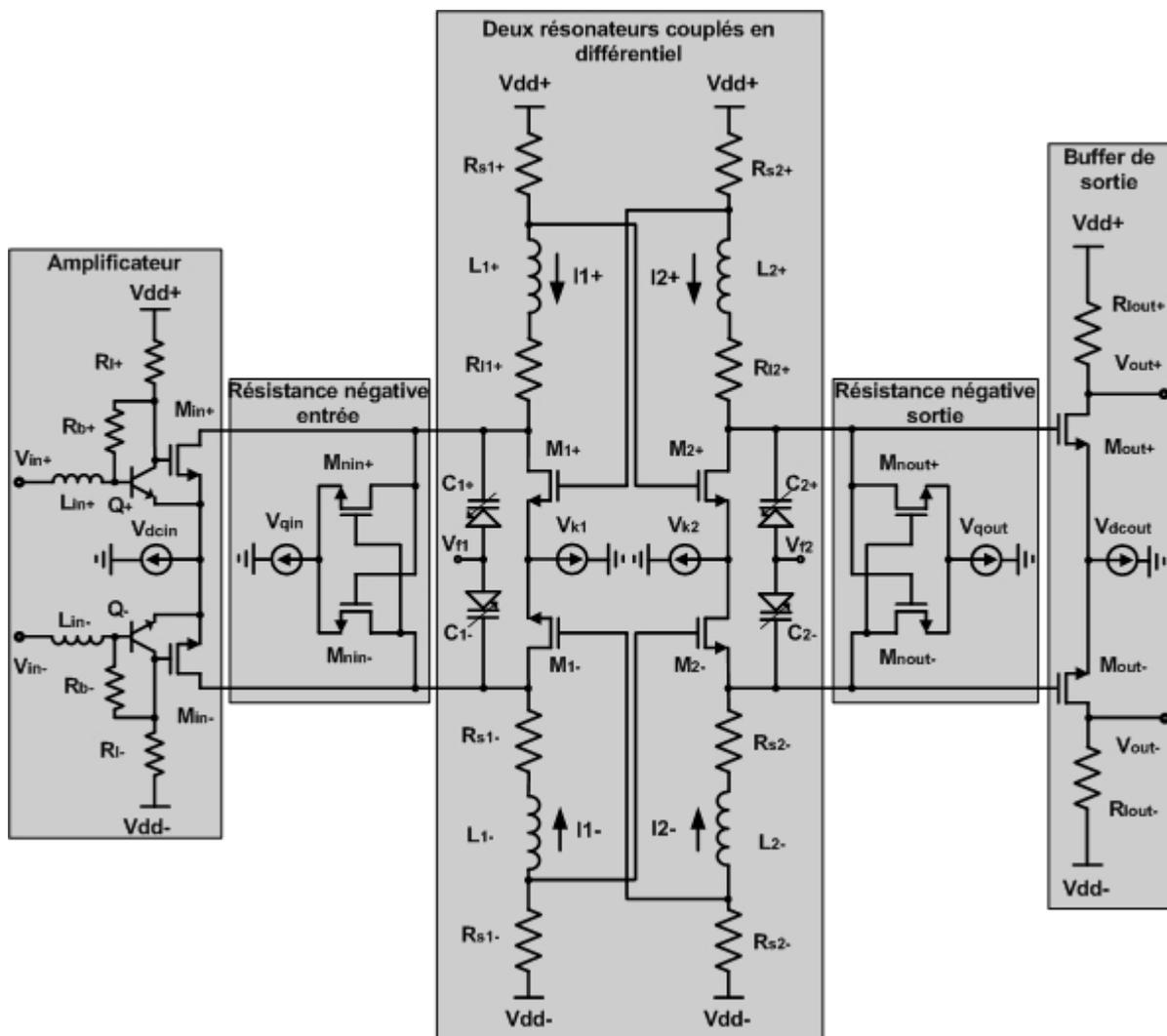


Figure III-10 : Circuit simplifié du filtre différentiel compensé

Le cœur du circuit est la combinaison des quatre inductances des résonateurs. Dans une première étape, on utilise de simples inductances de 3 nH avec des résistances de 5 Ω (pour une première simulation, un facteur de qualité des inductances inférieur à 8 est pris comme hypothèse). Ce choix de valeurs est effectué afin de minimiser la surface occupée par les inductances qui sont aux nombres de six.

La deuxième étape consiste à concevoir indépendamment les inductances, et à les modéliser (Voir annexe IV pour l'étape d'extraction et la méthode de modélisation).

La troisième étape consiste à évaluer les facteurs de couplage entre les différentes inductances. Dans l'annexe V, on récapitule toutes les valeurs des éléments qui composent le circuit ainsi que toutes les valeurs des éléments qui composent le modèle.

Sur le layout, les inductances sont éloignées au maximum l'une de l'autre pour engendrer le minimum de couplage magnétique. Les performances du circuit sont très sensibles aux variations des valeurs de couplages faibles (d'un ordre maximal de 6×10^{-3}).

Après optimisation des l'inductances, l'un des choix les plus importants dans cette topologie est la valeur de R_s . Augmenter cette valeur oblige à augmenter la compensation et ainsi la consommation du circuit. Diminuer R_s oblige à augmenter la transconductance des transistors pour conserver le facteur de couplage k et ainsi augmente le bruit. Le choix final est $R_s = 5,4 \Omega$ avec une précision de 0,1 Ω .

Les transconductances d'entrée ne sont pas assez importantes pour obtenir le gain nécessaire final. Deux transistors bipolaires ont donc été rajoutés en cascade à l'entrée du filtre (une variante du montage Darlington composé d'un transistor bipolaire et d'un transistor NMOS RF. Cette combinaison permet une forte amplification avec une impédance d'entrée adéquate).

Lors de la réalisation du layout, des diodes de protections d'antennes on été rajoutées. Le rôle principal de ces diodes est de protéger le circuit, principalement les transistors NMOS, des différentes charges qui peuvent s'accumuler pendant les différentes étapes de fabrication. Pour plus de détails, on peut se reporter à l'annexe III concernant les protections d'antennes.

V. Layout du circuit

Le filtre à été conçu en utilisant la bibliothèque BiCMOS QUBIC4 [5] 0,25 μ m de PHILIPS. Les dimensions du circuit sont 1,03 mm x 0,89 mm, ce qui correspond à une surface de 0,917 mm². La surface la plus importante est utilisée par les deux inductances d'adaptation d'entrée (300 μ m x 300 μ m chacune, soit 20 % de la surface totale) (Figure III-11 et figure III-12). L'une des inductances apparaît en noir pour visualiser l'utilisation du DTI (Deep Trench Insolation). Le DTI est une technique qui augmente l'isolation du substrat en utilisant des gravures profondes dans le silicium. Cela permet d'augmenter le facteur de qualité des inductances ainsi réalisées.

Sur le layout, on remarque les plots d'entrée et de sortie RF. Les plots d'alimentation, sont au nombre de deux pour avoir plus de contrôle sur les deux branches positive et négative. On retrouve aussi le plot de contrôle de la fréquence centrale Vf (Vf₁ connecté à Vf₂ sur la figure III-10).

La modélisation du bloc passif composé des 4 inductances des résonateurs et les 2 inductances d'adaptation constitue une grande partie de la conception. Toutes les simulations électromagnétiques sont réalisées avec Momentum (ADS) et transférées sous Cadence comme détaillé dans le paragraphe suivant.

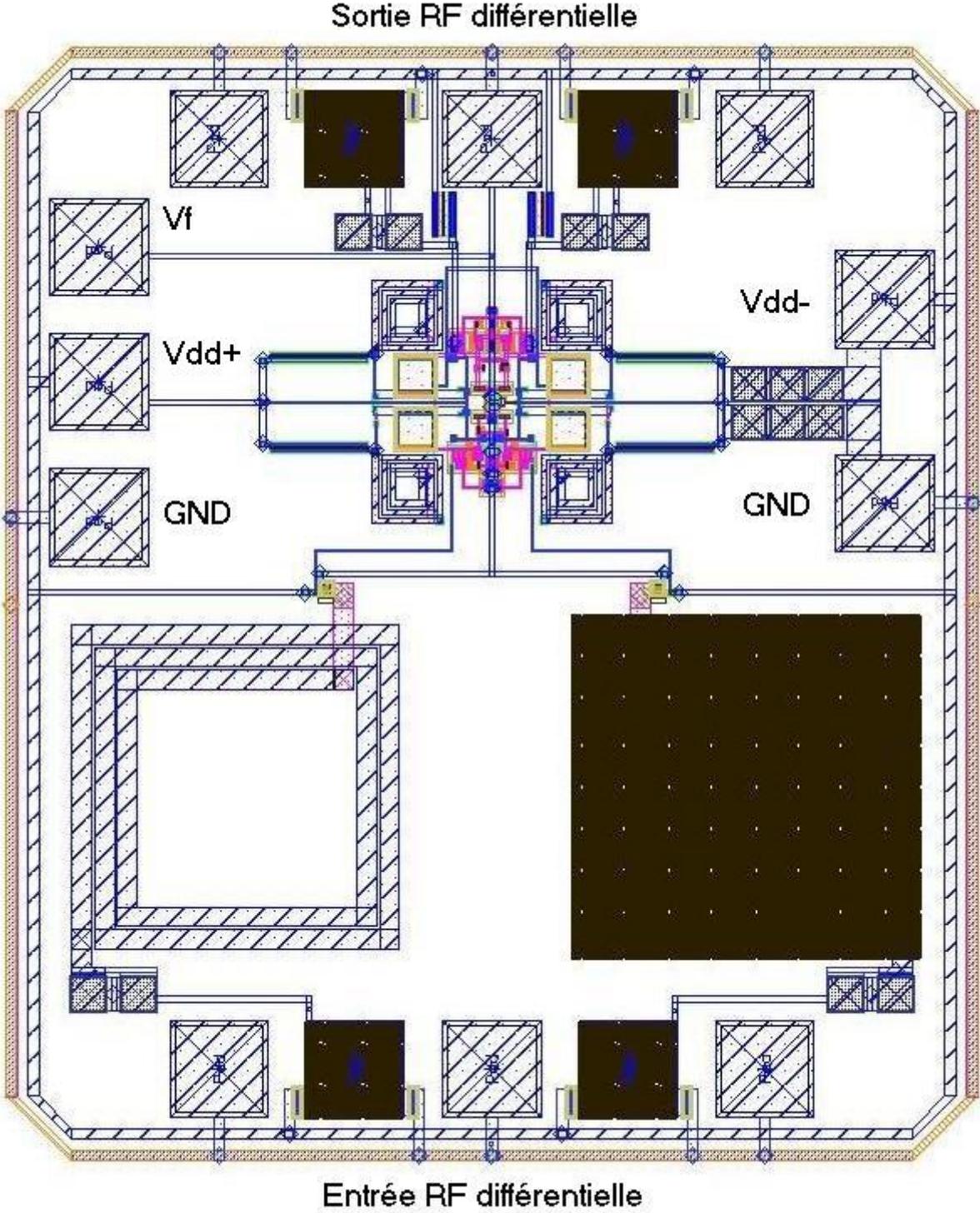


Figure III-11 : Layout du filtre complet

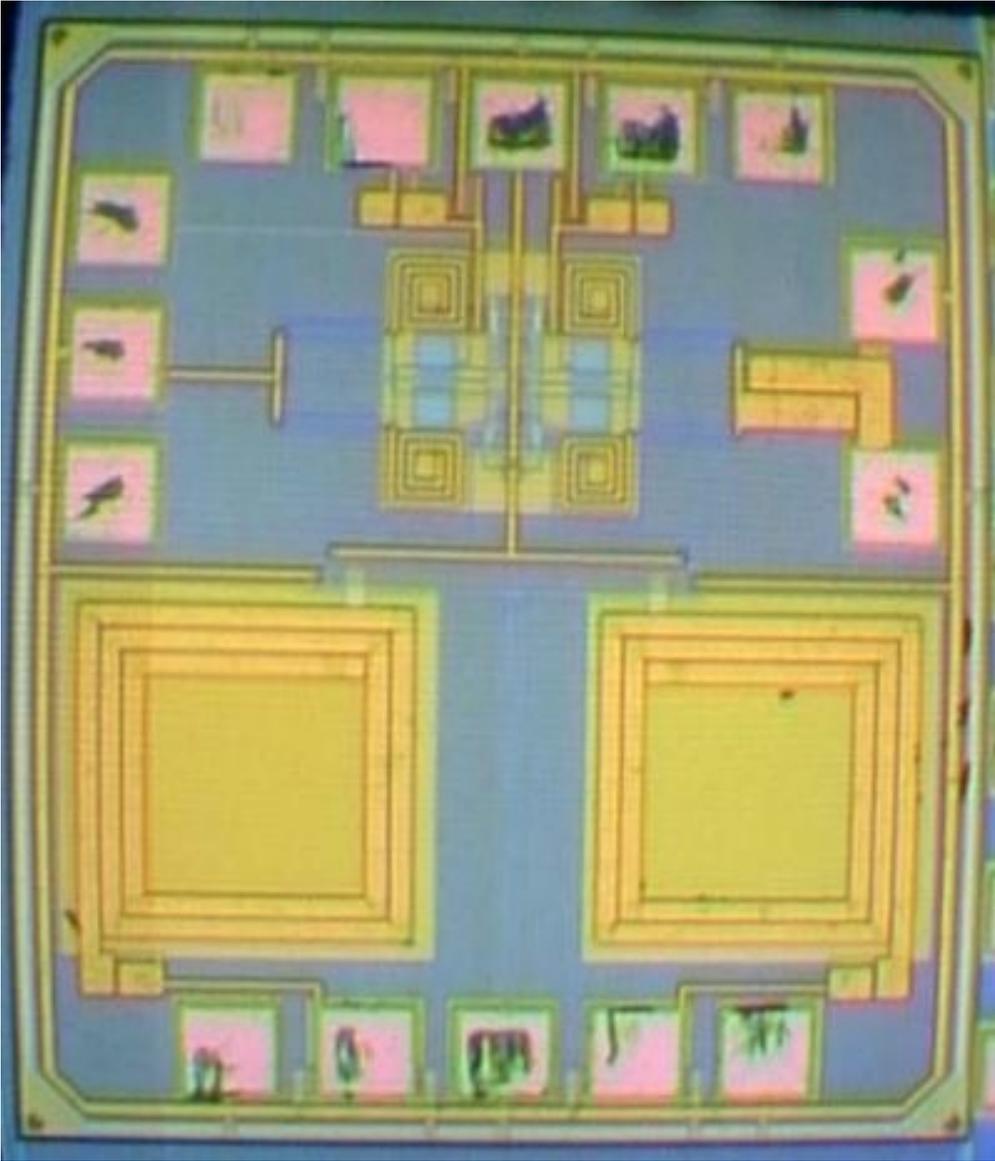


Figure III-12 : Microphotographie du filtre complet

La partie principale du circuit est le bloc LC à 8 accès (Figure III-13). Ce bloc est composé de quatre inductances chacune ayant deux accès. Cette partie est très petite puisqu'elle occupe moins que 6% de la surface totale (224 μm x 224 μm). Chaque inductance occupe une surface correspondant à 65 μm x 65 μm .

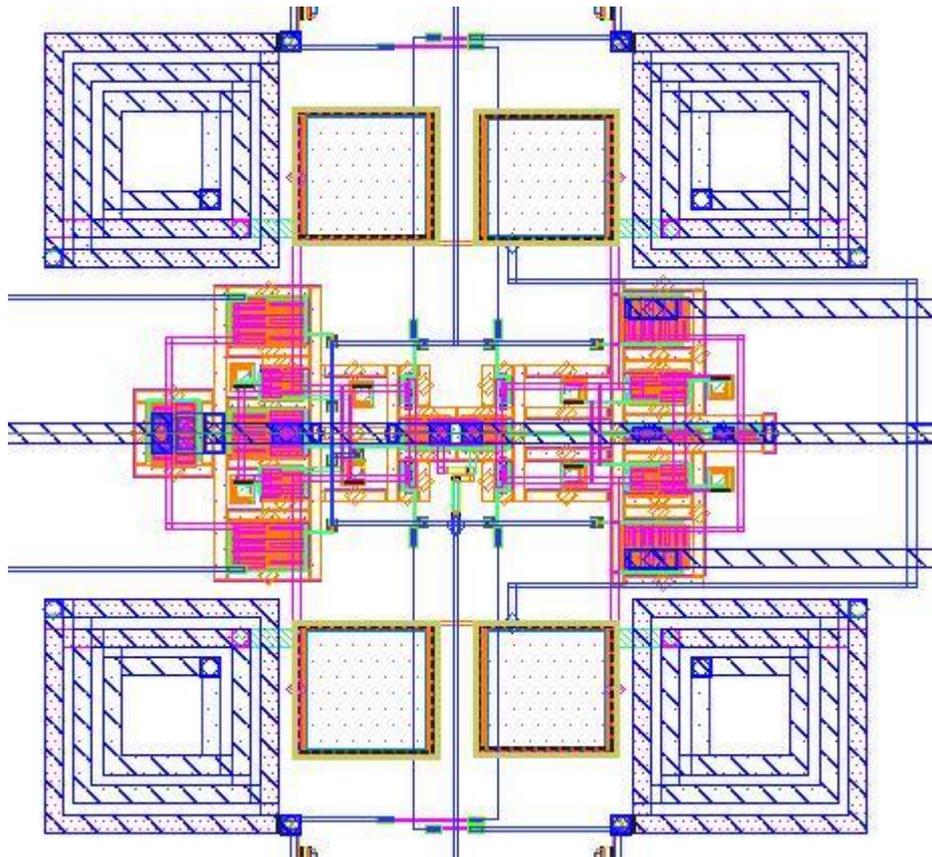


Figure III-13 : Layout du bloc 8 accès avec les inductances

Vu la structure du layout et la surface de silicium qui doit rester limitée, les couplages entre les différentes inductances doivent impérativement être pris en compte. La figure III-14 illustre la configuration des couplages entre les six inductances. Les deux grandes inductances à gauche représentent les inductances d'adaptation ; les quatre petites sont celles des résonateurs.

La figure III-15 représente la modélisation complète de la partie passive du filtre par des modèles en Pi. Ce schéma remplace la totalité des six inductances sur le schéma final du filtre (Annexe V).

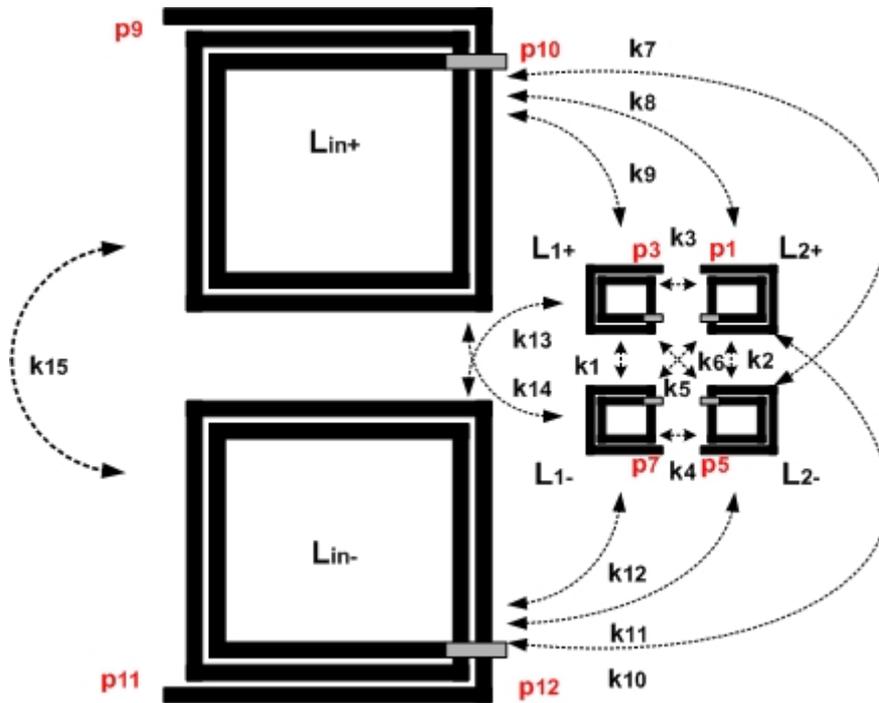


Figure III-14 : Couplages entre les inductances

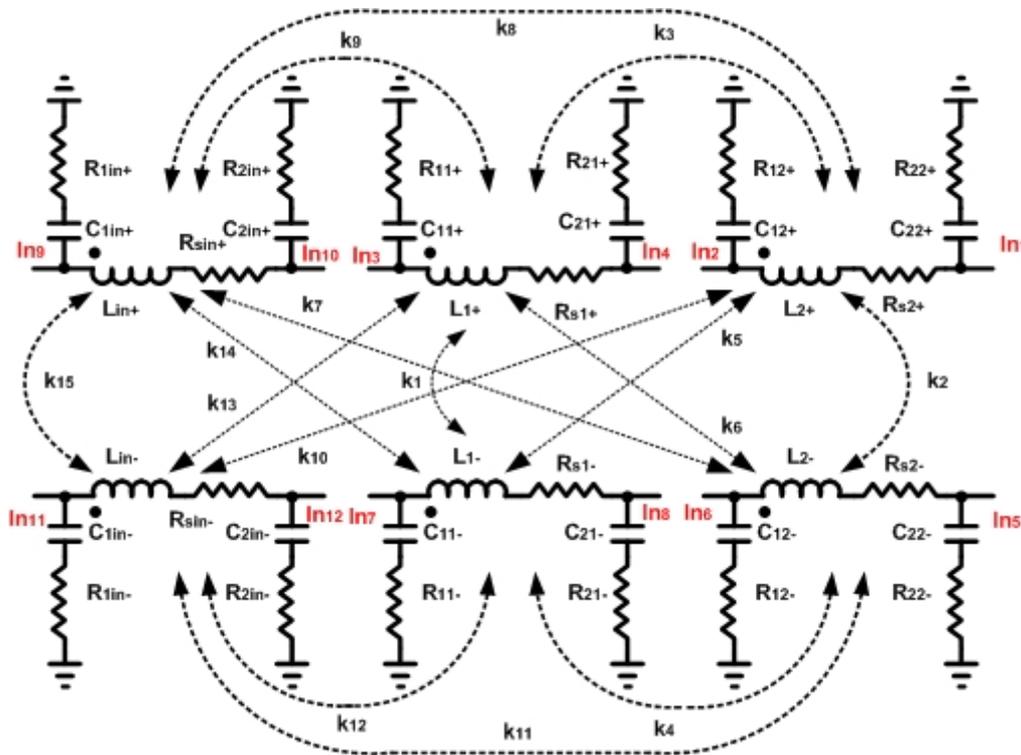


Figure III-15 : Modélisation des couplages entre les inductances

VI. Résultats de simulation

Les figures III-16 et III-17 montrent les résultats obtenus en simulation en mode différentiel. Le filtre présente un gain de 34 dB à 2,055 GHz, avec une bande passante à -3dB de 43 MHz et un facteur de bruit de 4,4 dB. Les niveaux d'adaptations d'entrée et de sortie sont respectivement de -21,73 dB et -16 dB.

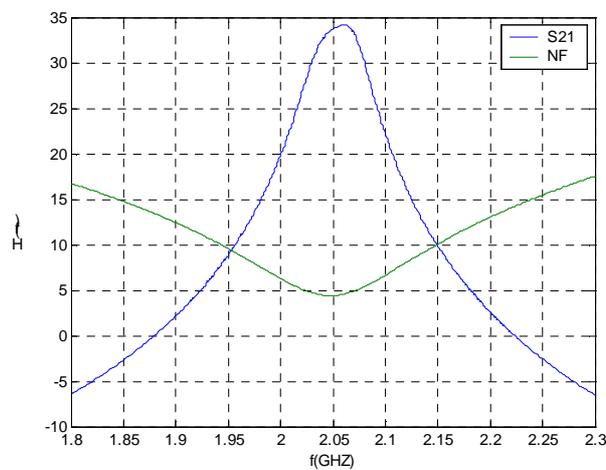


Figure III-16 : Paramètres S_{21} et NF

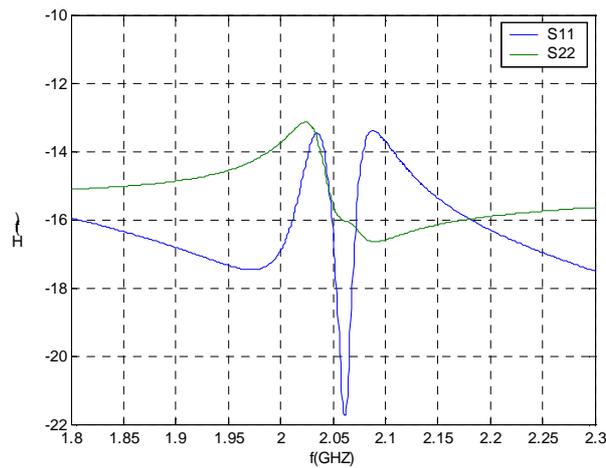


Figure III-17 : Paramètres S_{11} et S_{22}

La consommation du circuit est de l'ordre de 86 mW sous 2,7 V. La figure III-18 montre la simulation du point de compression -1 dB du filtre. Ce point de compression est de -18 dBm en sortie pour une puissance d'entrée de -52 dBm.

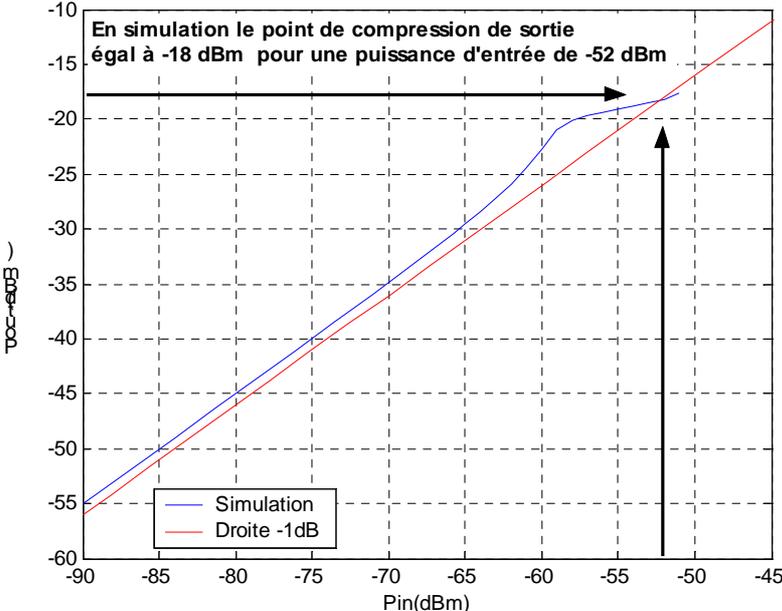


Figure III-18 : Simulation du point de compression à -1 dB du filtre

VII. Résultats de mesures

La méthode des modes mixtes a été utilisée pour réaliser des mesures donnant le maximum d'informations sur le comportement du circuit. Pour rappel, cette méthode est une conversion matricielle des 16 paramètres S classiques pour un système différentiel-différentiel qui permet d'obtenir des paramètres S dits "mixtes", exprimant directement les modes commun et différentiel (cf. Annexe II).

Les mesures ont été faites sous plusieurs conditions d'alimentation différentes (V_{dd+} qui contrôle l'alimentation de la branche positive et V_{dd-} qui contrôle la branche négative) et de tension V_f qui contrôle la fréquence centrale :

1. Les courbes en rouge représentent les simulations avec $V_{dd+}=V_{dd-}= 2,7V$, (la même alimentation sur les deux branches et $V_f = 2V$).
2. Les bleues représentent des mesures avec $V_{dd+} = 3V$, $V_{dd-} = 2,77V$ et $V_f = 2V$.
3. Les noires représentent des mesures avec $V_{dd+} = 3,6V$, $V_{dd-} = 3,2V$ et $V_f = 2,8V$.

Cette différence de tension entre les deux branches est prévue pour compenser la dissymétrie du layout. Par exemple, le fait d'avoir des capacités de découplage DC sur un seul côté influence le comportement fréquentiel par cette dissymétrie.

Les quatre premiers graphes montrent les résultats du mode différentiel pur (Figures III-19 à III-22). Quand le circuit est excité en mode différentiel en entrée, il se comporte comme un simple bloc à 2 accès et ne donne que la réponse différentielle S_{ddij} .

- Le premier cas (courbe rouge) représente le cas simulé.
- Dans le deuxième cas (courbe bleu), on note que le paramètre S_{dd21} du circuit se comporte comme en simulation, mais avec une fréquence centrale plus élevée (de 2,25 GHz au lieu de 2,05 GHz) avec un gain de 25,7 dB (contre 34 dB).
- Dans le troisième cas (courbe noire), le circuit est polarisé pour avoir la même réponse qu'en simulation. Nous constatons que le gain est toujours plus faible que prévu (23 dB) et que la consommation du circuit est élevée.

Les rétro-simulations révèlent que les écarts remarquables entre les simulations et les mesures sont dues principalement à deux raisons. Premièrement, la transconductance des transistors NMOS RF qui contrôle le couplage est un paramètre très sensible (une légère variation de ce dernier décale la fréquence centrale du filtre, et empêche le filtre d'être dans les conditions du couplage critique, cela affaiblit à son tour le gain du filtre). Deuxièmement, la sensibilité du circuit aux variations des résistances R_S est importante.

L'adaptation en entrée S_{dd11} varie avec les tensions de polarisations de l'amplificateur d'entrée, avec une meilleure adaptation dans le cas "bleu". On remarque pour S_{dd22} , que les réponses sont toutes inférieures à -6 dB contre -15 dB simulées. Pour S_{dd12} , tous les paramètres sont inférieurs à -50 dB. Ces décalages sont dus aux variations des transconductances qui diminuent l'amplification en réduisant les valeurs des résistances négatives de compensation.

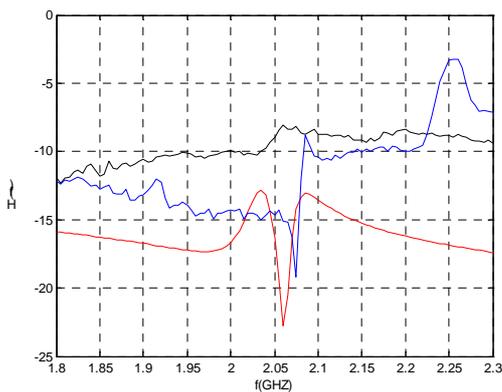


Figure III-19 : S_{dd11}

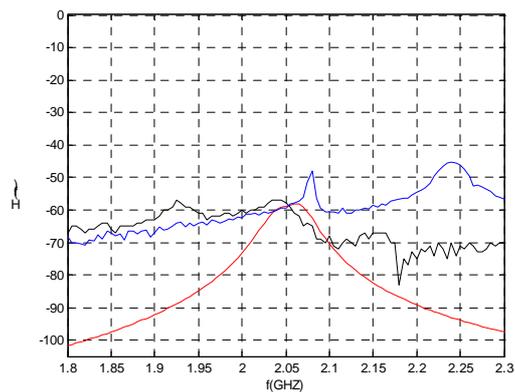


Figure III-20: S_{dd12}

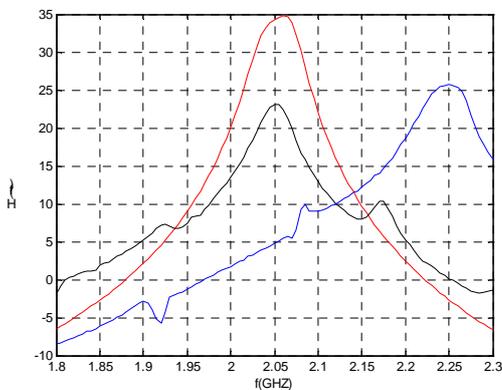


Figure III-21 : S_{dd21}

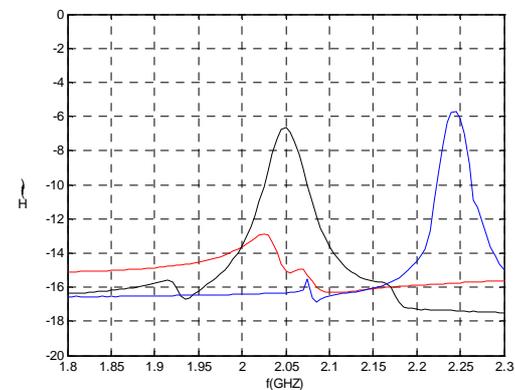


Figure III-22: S_{dd22}

Les quatre graphes des figures III-23 à III-26 représentent le mode commun pur. Comme la transmission du mode commun n'est pas souhaitable, l'idéal est d'avoir des valeurs faibles afin de privilégier le mode différentiel. On remarque des pics sur la courbe de S_{cc11} (bleue) qui dépassent le zéro et s'expliquent par l'augmentation des polarisations qui entraînent des surcompensations.

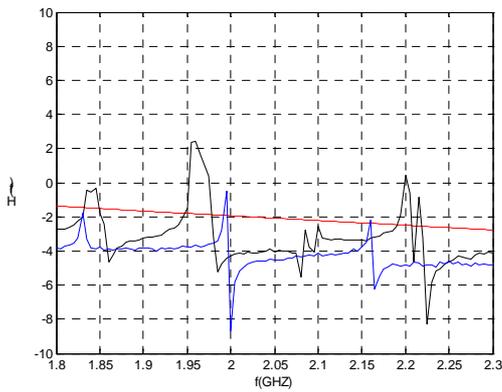


Figure III-23 : S_{cc11}

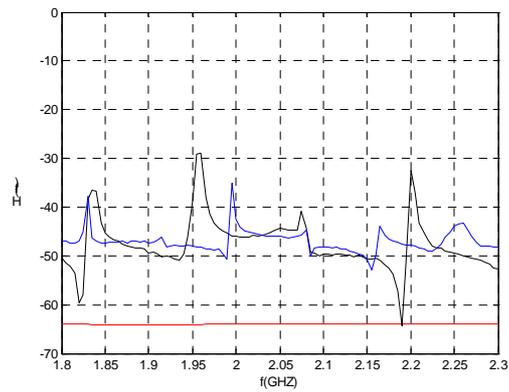


Figure III-24: S_{cc12}

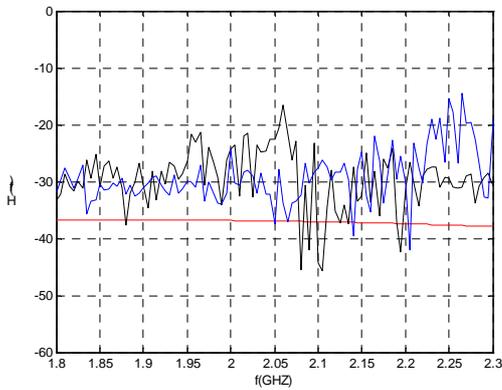


Figure III-25 : S_{cc21}

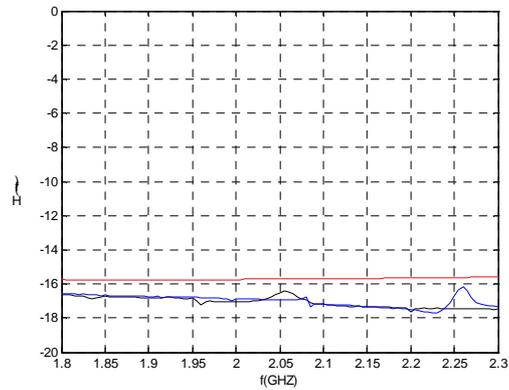


Figure III-26 : S_{cc22}

Enfin, les conversions entre mode commun vers différentiel (Figures III-27 à III-30) et différentiel vers commun (Figures III-31 à III-34) décrivent la réponse du circuit lorsqu'il effectue une conversion d'un mode à un autre. Idéalement, ces conversions doivent être très faibles. En pratique, elles informent le plus souvent sur la dissymétrie du circuit. Pour pallier à une éventuelle dissymétrie, les deux branches du circuit sont alimentées indépendamment.

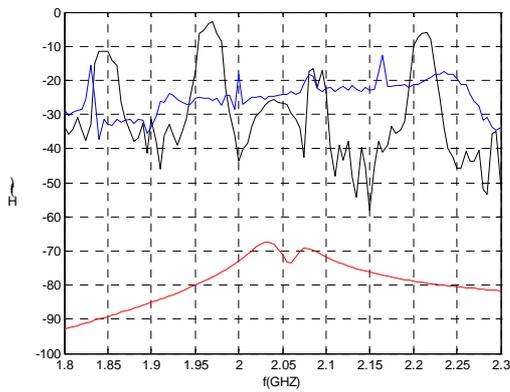


Figure III-27 : S_{cd11}

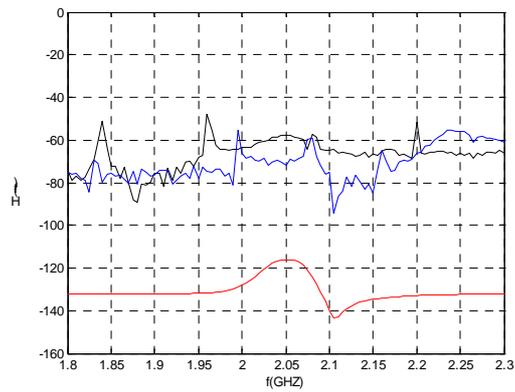


Figure III-28 : S_{cd12}

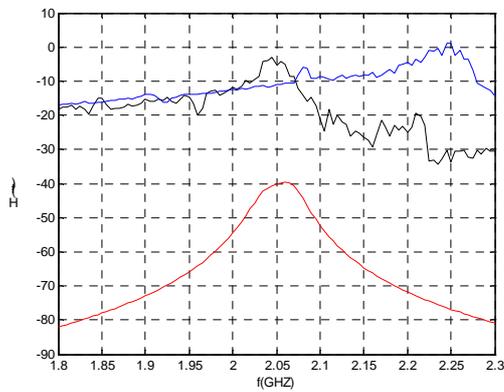


Figure III-29 : S_{cd21}

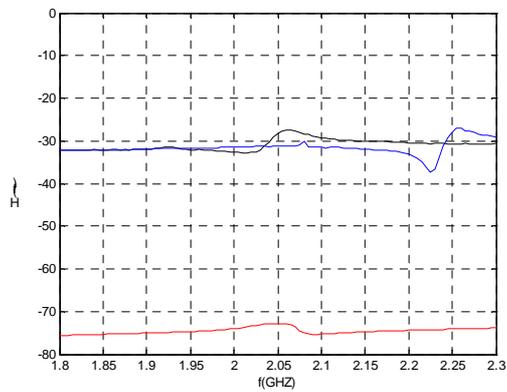


Figure III-30 : S_{cd22}

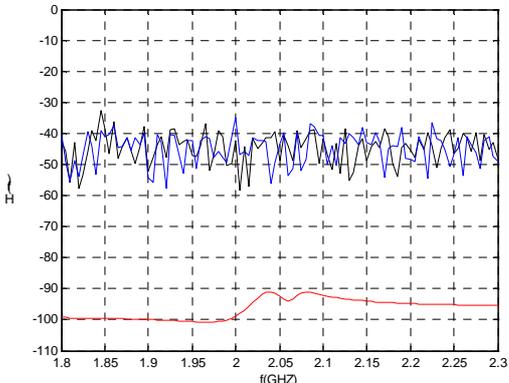


Figure III-31 : S_{dc11}

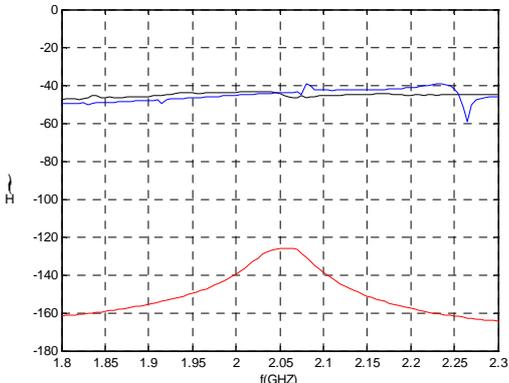


Figure III-32 : S_{dc12}

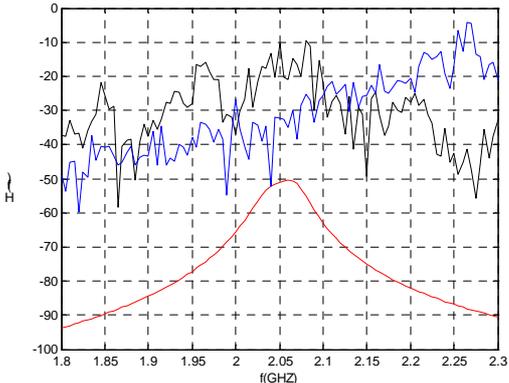


Figure III-33 : S_{dc21}

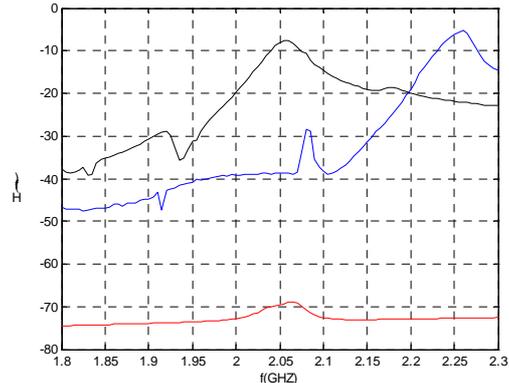


Figure III-34 : S_{dc22}

La figure III-35 présente la mesure du point de compression à -1dB du filtre. On constate que le point de compression en entrée est de -41 dBm et de -16 dBm en sortie pour une puissance d'entrée de -41 dBm, ce qui représente un écart par défaut de 11 dBm par rapport à la simulation.

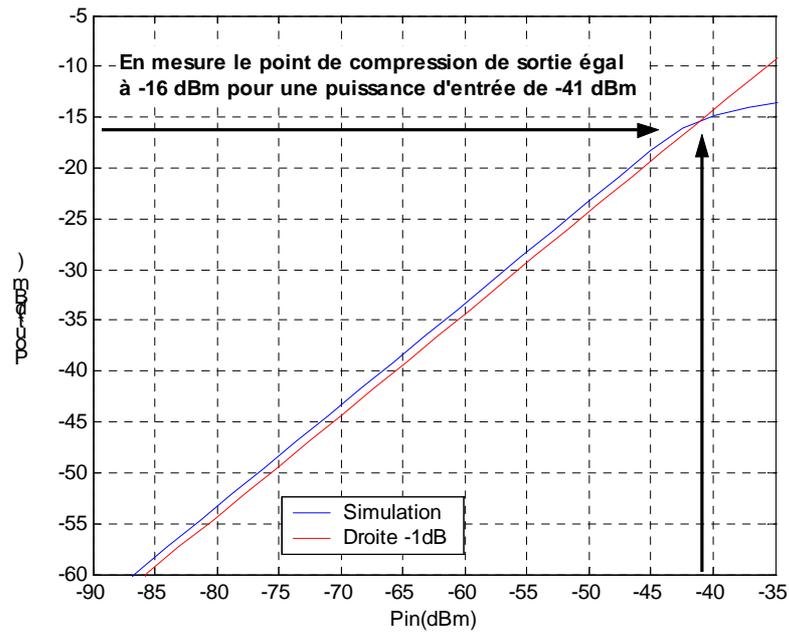


Figure III-35 : Point de compression à -1 dB du filtre

VIII. Conclusion

Dans ce chapitre, nous avons conçu et développé une des topologies de filtrage basées sur la structure LC. Le circuit est un filtre passe-bande du quatrième ordre.

Cette topologie est basée sur la simulation du couplage magnétique entre résonateurs ; elle réduit le nombre d'inductances de moitié par rapport à une topologie passive classique. A 2 GHz, le filtre présente un gain de 23 dB avec une bande passante de 43 MHz. A 2,25 GHz, le filtre réalise un gain de 25,7 dB avec une bande passante de 70 MHz. Le circuit occupe une surface de 0,917 mm².

Sous une polarisation de 2,7 V, ce filtre consomme 5,5 mA/pole (soit 59 mW), et 32 mA (soit 86 mW) avec le circuit tampon (buffer) et l'amplificateur d'entrée. Il présente un facteur de bruit NF de 4,4 dB, un point de compression en entrée de -41 dBm et en sortie de -16 dBm.

Pour comparer ce filtre aux autres circuits proposés dans la littérature, nous utilisons la figure de mérite la dynamique DR (Dynamic Range) introduite dans le chapitre précédent. La dynamique de ce filtre est égale à 127,9 dB. Elle est définie comme le rapport entre le point de compression à -1dB en sortie (-16 dBm) et la puissance de bruit en sortie (-143,9 dBm/Hz). Ce DR est associée à un gain de gain mesuré de 25,7 dB (dans une bande passante d'un Hz)).

A partir du Tableau III-1, on peut noter que le circuit différentiel constitue une nette avancée par rapport aux topologies similaires notamment en termes de gain élevé, de bande passante réduite, de dynamique élevée, et de réduction de surface occupée.

Avec les nouvelles bibliothèques, on peut espérer que les modélisations des NMOS seront plus précises à 2 GHz.

	Ce travail	[1]	[6]	[7]
Ordre du filtre	4			
f_0 (GHz)	2 ; 2,25	1,8	1,9	0,85
Bande passante Δf_{-3dB} (MHz)	43 ; 70	80	150	18
S_{21} (dB)	23 ; 25,7	9	0	0
Ondulation (dB)	$<\pm 0,25$	$<\pm 0,25$	+1,6	$<\pm 1$
Point de compression -1 dB en entrée (dBm)	-41 (du circuit total)	-40	/	-18
Consommation /pole mA	5,5 (Totale de 32 mA)	4	4,5	19,25
Technologie	0,25 μ m BiCMOS	0,5 μ m CMOS	0,25 μ m BiCMOS	0,8 μ m CMOS
Surface/pole (mm ²)	0,229 (Totale de 0,917)	0,585	0,25	0,5
Alimentation	2,7V			
DR (dB)	130,6 ; 127,9	42	63	61
Facteur de bruit (dB)	4,4	/	/	/

Tableau III-1: Comparaison avec les circuits similaires utilisant la même topologie

IX. Bibliographie

- [1] **A. N. MOHIELDIN, SANCHEZ-SINENCIO, J. SILVA-MARINEZ**
“A 2.7V, 1.8GHz, 4th Order Tunable LC Bandpass Filter with ± 0.25 dB Passband Ripple”
European Solid-State Circuits Conference, Florence, Italy, 27 sept. 2002, page(s) : 427-430
- [2] **W. B. KUHN, F. W. STEPHENSON, A. ELSHABINI. RIAD**
“A 200-MHz CMOS Q-enhanced LC bandpass filter”
IEEE Journal of Solid State Circuits, Vol. 31, août 1996, page(s) : 1112–1122
- [3] **A. I. ZVEREV**
“Handbook of Filter Synthesis”
New-York, Wiley, 1967
- [4] **R. DUNCAN, K. W. MARTIN, A. SEDRA**
“A Q-enhanced active RLC bandpass filter”
IEEE Transaction Circuits System II, Vol. 44, mai 1997, pages(s) : 341–346
- [5] **D. SZMYD, R. BROCK, N. BELL, S. HARKER, G. PATRIZI, J. FRASER, R. DONDERO**
“QUBIC4 : a silicon RF-BiCMOS technology for wireless communication Ics”,
Proceedings of the 2001 bipolar/BiCMOS Circuits and Technology Meeting,
page(s) : 60-63
- [6] **D. LI AND Y. TSIVIDIS,**
“A 1.9-GHz Si active LC filter with on-chip automatic tuning”
IEEE Int. Solid State Circuits Conference Digest Tech, 2001, page(s) : 368–369

[7] **W. B. KUHN, N. K. YANDURU, A. S. WYSZYNSKI**

“Q-enhanced LC bandpass filters for integrated wireless applications”

IEEE Transaction of Microwave Theory Tech, Vol. 46, déc. 1998, page(s) : 2577-2586

[8] **A. M. NIKNEJAD, R. G. MEYER**

“Analysis, design, and optimization of spiral inductors and transformers for Si RF ICs”

IEEE Journal of Solid-State Circuits, Vol. 33, oct. 1998, page(s) : 1470–1481

CHAPITRE IV

FILTRE ACTIF LC COMPENSE

DU PREMIER ORDRE

I. Introduction

Comme déjà remarqué dans le premier chapitre, les filtre LC présentent un grand intérêt pour le filtrage actif. Dans ce chapitre, nous étudions une deuxième topologie de filtre actif LC. La figure IV-1 montre un schéma simplifié de la structure du filtre.

Pour mieux comprendre le principe de ce circuit, nous allons étudier chaque étage séparément. Nous commençons par l'étage d'entrée qui est un amplificateur différentiel, puis nous analysons l'amplificateur associé au résonateur. Nous regardons ensuite la méthode utilisée pour améliorer le facteur de qualité du filtre par une compensation et finalement introduisons le convertisseur d'impédance, et nous notons les améliorations qu'ils apportent au circuit final.

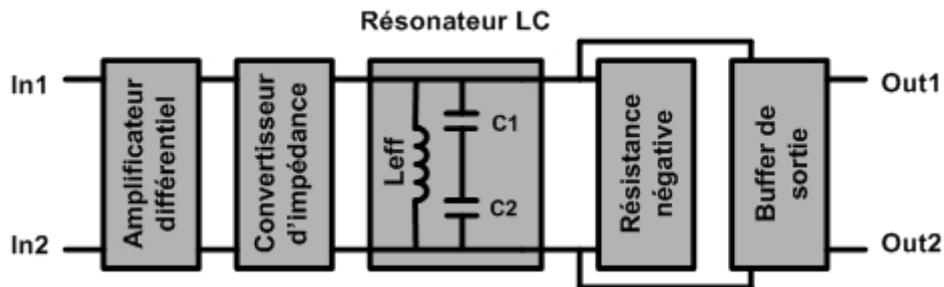


Figure IV-1 : Schéma simplifié du circuit de filtrage

Pour pouvoir analyser chaque étage nous présentons sur la figure IV-2 la totalité du circuit final du filtre actif.

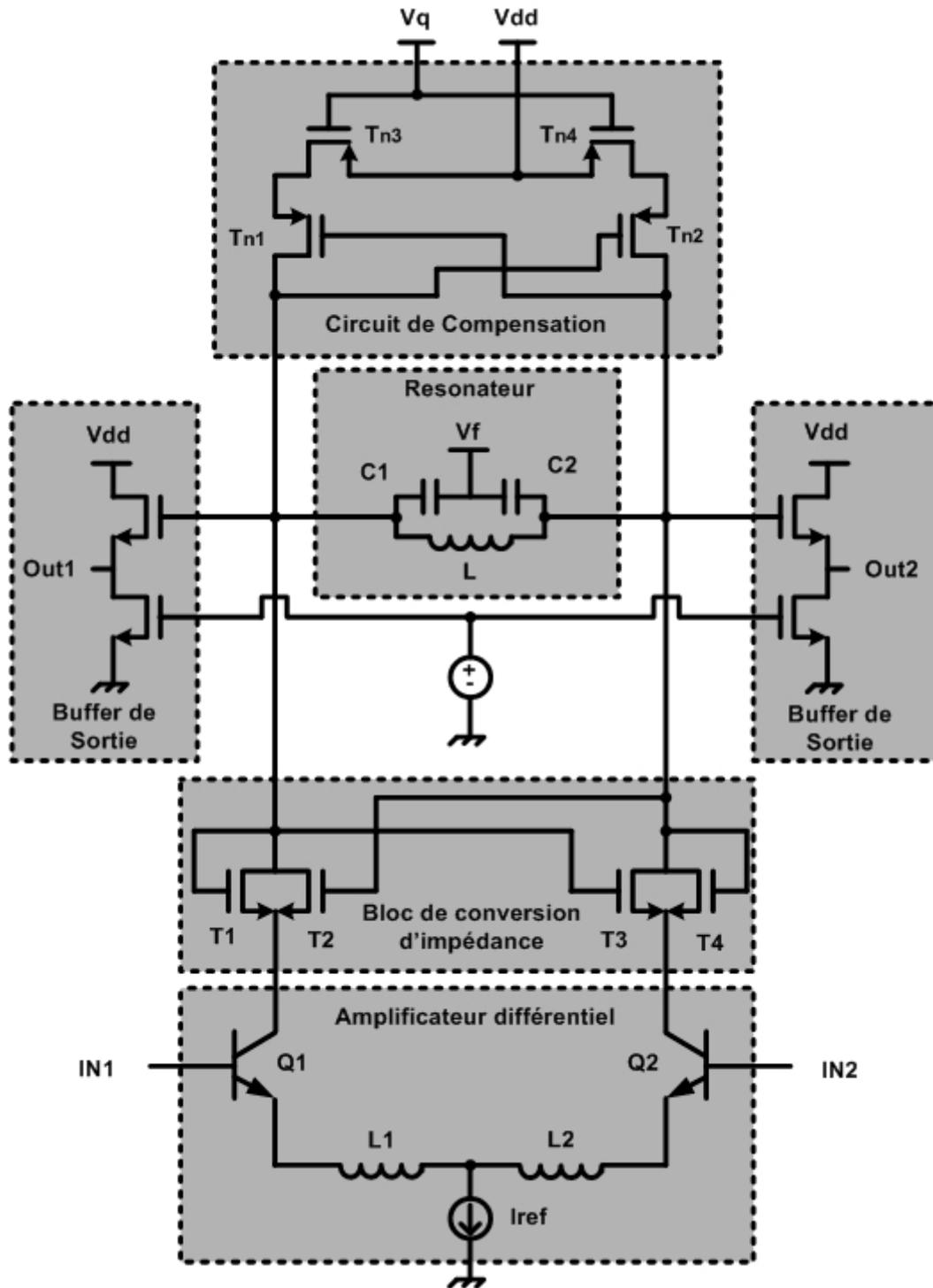


Figure IV-2 : Filtre actif LC du premier ordre

II. Amplificateur différentiel

Le premier étage du circuit de filtrage se compose d'un amplificateur différentiel. Le choix de la topologie différentielle se base essentiellement sur sa bonne linéarité par rapport à une topologie classique simple accès. D'autre part la formule de Friis prouve que le facteur bruit final d'une cascade de plusieurs étages dépend fortement du premier étage qui correspond, dans notre cas, à l'amplificateur en question. Non seulement cet étage doit avoir un bon gain mais aussi une bonne linéarité et un facteur de bruit minimal.

II.1. Représentation petit signal de l'amplificateur

La figure IV-3 représente un amplificateur différentiel non chargé avec deux inductances de dégénérescences, deux inductances d'adaptation et une résistance pour contrôler le courant qui passe à travers toute la structure. Cette résistance est remplacée par une source de courant sur le schéma final afin de permettre un contrôle du gain.

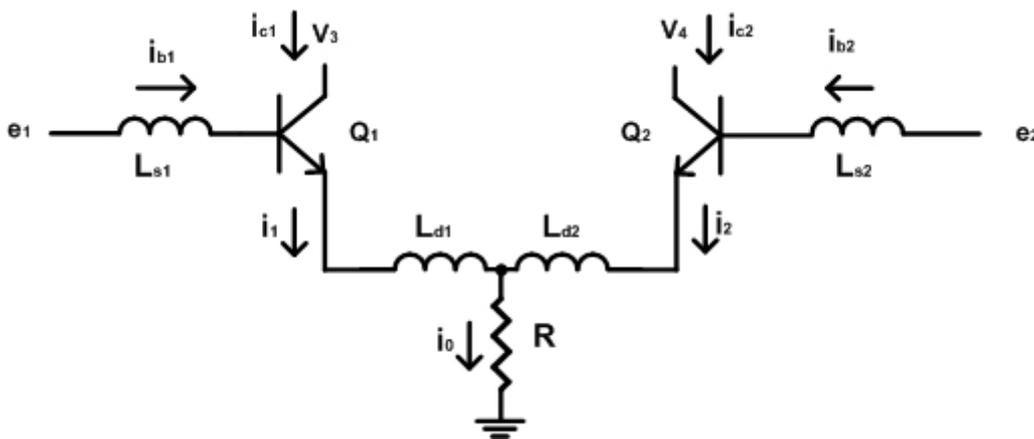


Figure IV-3 : Amplificateur différentiel

A l'aide du modèle petit signal du transistor bipolaire (BJT) illustré sur la figure IV-4, on peut analyser le comportement petit signal de l'amplificateur différentiel comme montré sur la figure IV-5.

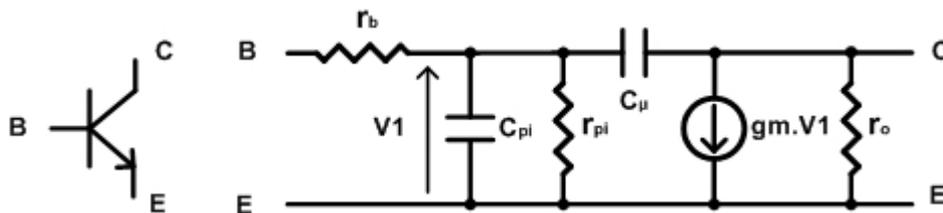


Figure IV-4 : Modèle petit signal d'un transistor BJT

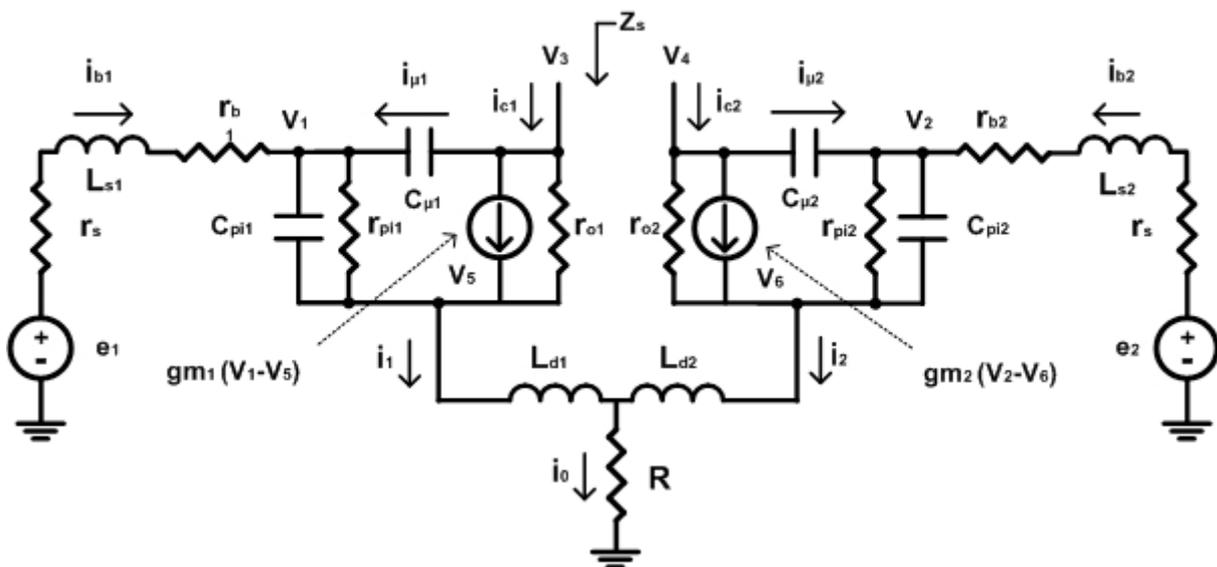


Figure IV-5 : Circuit petit signal de l'amplificateur différentiel

La première analyse consiste à trouver l'expression du courant i_0 contrôlé par la résistance R . Ce courant est une grandeur très importante pour la suite de l'analyse.

L'effet Miller caractérisé par les courants $i_{\mu 1}$ et $i_{\mu 2}$ dans les modèles des transistors à 2 GHz est existant mais pas dominant. Il n'est pas pris en compte dans nos analyses pour simplifier nos expressions. En conséquence, on considère que $i_{\mu 1}$ et $i_{\mu 2}$ sont très faibles.

A travers la résistance R , nous retrouvons la somme i_0 des deux courants des deux branches i_1 et i_2 :

$$i_0 = i_1 + i_2 = gm_1(V_1 - V_5) + \frac{V_3 - V_5}{r_{01}} + i_{b1} + gm_2(V_2 - V_6) + \frac{V_4 - V_6}{r_{01}} + i_{b2}$$

Avec deux transistors identiques ($gm_1 = gm_2$), l'expression se simplifie et devient :

$$i_0 = gm[(V_1 - V_5) + (V_2 - V_6)] + \frac{[(V_3 - V_5) + (V_4 - V_6)]}{r_0} + (i_{b1} + i_{b2}) \quad (\text{IV-1})$$

L'étape suivante consiste à trouver l'expression de e_1 et e_2 :

$$e_1 = i_{b1} [r_b + j\omega(L_s + L_d) + (r_\pi // C_\pi)] + j\omega L_d i_{c1} + i_0 R$$

$$e_2 = i_{b2} [r_b + j\omega(L_s + L_d) + (r_\pi // C_\pi)] + j\omega L_d i_{c2} + i_0 R$$

Pour différencier le mode commun et le mode différentiel, on utilise les expressions précédentes :

$$e_1 + e_2 = (i_{b1} + i_{b2}) [r_b + j\omega(L_s + L_d) + (r_\pi // C_\pi)] + j\omega L_d (i_{c1} + i_{c2}) + 2i_0 R \quad (\text{IV-2})$$

$$e_1 - e_2 = (i_{b1} - i_{b2}) [r_b + j\omega(L_s + L_d) + (r_\pi // C_\pi)] + j\omega L_d (i_{c1} - i_{c2}) \quad (\text{IV-3})$$

Les deux modes peuvent aussi être exprimés en termes de courants comme suit :

$$(i_{b1} + i_{b2}) = \frac{(e_1 + e_2) - j\omega L_d (i_{c1} + i_{c2}) - 2i_0 R}{r_b + j\omega(L_s + L_d) + (r_\pi // C_\pi)} \quad (\text{IV-4})$$

$$(i_{b1} - i_{b2}) = \frac{(e_1 - e_2) - j\omega L_d (i_{c1} - i_{c2})}{r_b + j\omega(L_s + L_d) + (r_\pi // C_\pi)} \quad (\text{IV-5})$$

Finalement avec la somme et la différence des deux expressions (IV-4) et (IV-5), on obtient facilement les courants i_{b1} et i_{b2} des deux branches incluant les deux modes simultanément:

$$i_{b1} = \frac{1}{2} \frac{(e_1 + e_2) - j\omega L_d(i_{c1} + i_{c2}) - 2i_0 R}{r_b + j\omega(L_s + L_d) + (r_\pi // C_\pi)} + \frac{1}{2} \frac{(e_1 - e_2) - j\omega L_d(i_{c1} - i_{c2})}{r_b + j\omega(L_s + L_d) + (r_\pi // C_\pi)} \quad (\text{IV-6})$$

$$i_{b2} = \frac{1}{2} \frac{(e_1 + e_2) - j\omega L_d(i_{c1} + i_{c2}) - 2i_0 R}{r_b + j\omega(L_s + L_d) + (r_\pi // C_\pi)} - \frac{1}{2} \frac{(e_1 - e_2) - j\omega L_d(i_{c1} - i_{c2})}{r_b + j\omega(L_s + L_d) + (r_\pi // C_\pi)} \quad (\text{IV-7})$$

II.2. Analyse du mode différentiel

Pour mieux adapter l'amplificateur en entrée, il est très important de trouver l'expression de l'impédance d'entrée en mode différentiel. Si on considère que la plupart du courant i_c passe par la source de courant du modèle petit signal, on obtient les expressions suivantes :

$$i_{c1} = gm_1 i_{b1} (r_\pi // C_\pi) \quad \text{et} \quad i_{c2} = gm_2 i_{b2} (r_\pi // C_\pi)$$

Pour l'analyse, l'impédance de charge en sortie des transistors doit être élevée, car à la fréquence de résonance, le résonateur parallèle avec sa compensation présente une impédance très élevée. Par conséquent, on peut considérer la sortie des collecteurs des transistors ouverts, ce qui permet de négliger la capacité de l'effet Miller C_μ . Si on considère que les deux transistors sont identiques ($gm_1 = gm_2 = gm$) où on utilise les expressions des courants précédentes i_{c1} et i_{c2} de la relation (IV-5), on trouve :

$$(i_{b1} - i_{b2}) = \frac{(e_1 - e_2) - j\omega L_d gm(i_{b1} - i_{b2})(r_\pi // C_\pi)}{r_b + j\omega(L_s + L_d) + (r_\pi // C_\pi)}$$

L'expression de l'impédance d'entrée est :

$$Z_{ediff} = \frac{(e_1 - e_2)}{(i_{b1} - i_{b2})} = r_b + j\omega(L_s + L_d) + (j\omega L_d gm + 1)(r_\pi // C_\pi)$$

$$\Rightarrow Z_{ediff} = \frac{(e_1 - e_2)}{(i_{b1} - i_{b2})} = r_b + j\omega(L_s + L_d) + \frac{1 + j\omega L_d gm}{\frac{1}{r_\pi} + j\omega C_\pi}$$

Si on considère une résistance r_π forte, l'impédance d'entrée différentielle devient alors :

$$Z_{ediff} = \frac{(e_1 - e_2)}{(i_{b1} - i_{b2})} = r_b + \frac{L_d gm}{C_\pi} + j\omega(L_s + L_d) + \frac{1}{j\omega C_\pi}$$

Les parties réelles et imaginaires sont alors exprimées comme suit :

$$\text{Re}(Z_{ediff}) = r_b + \frac{L_d gm}{C_\pi}$$

et

$$\text{Im}(Z_{ediff}) = \omega(L_s + L_d) - \frac{1}{\omega C_\pi}$$

Pour avoir une bonne adaptation à l'entrée en mode différentiel, la partie réelle (IV-8) doit être égale à $2Z_0$ (Le mode différentiel considère que les deux charge d'entrée r_s sont en série), Z_0 représente l'impédance de la source qui est dans cette conception égal à 50Ω . Avec cette expression, on trouve la valeur de L_d (IV-9) qui correspond exactement à l'adaptation requise.

$$\text{Re}(Z_{ediff}) = r_b + \frac{L_d gm}{C_\pi} = 2r_s \quad (\text{IV-8})$$

$$\Rightarrow L_d = \frac{(2r_s - r_b)C_\pi}{gm} \quad (\text{IV-9})$$

De la même façon, on procède à l'annulation de la partie imaginaire à la fréquence centrale ω_0 par l'équation (IV-10). Pour aboutir à ce résultat, on fixe la valeur de L_s comme exprimé par l'équation (IV-11). Finalement, avec les deux expressions (IV-9) et (IV-11), on obtient, la condition d'adaptation parfaite en mode différentiel de l'amplificateur.

$$\text{Im}(Z_{ediff}) = \omega_0(L_s + L_d) - \frac{1}{\omega_0 C_\pi} = 0 \quad (\text{IV-10})$$

$$\Rightarrow L_s = \frac{1}{\omega_0^2 C_\pi} - \frac{(2r_s - r_b)C_\pi}{gm} \quad (\text{IV-11})$$

II.3. Analyse du mode commun

De la même façon que pour le mode différentiel, on cherche les valeurs des deux inductances L_d et L_s pour les comparer aux inductances du mode différentiel. Ces deux inductances permettent d'avoir une adaptation d'entrée en mode commun.

Avec $i_{c1} = gm_1 i_{b1}(r_\pi // C_\pi)$, $i_{c2} = gm_2 i_{b2}(r_\pi // C_\pi)$, $gm_1 = gm_2 = gm$ et les expressions (IV-4) on trouve :

$$(i_{b1} + i_{b2}) = \frac{(e_1 + e_2) - j\omega L_d gm(i_{b1} + i_{b2})(r_\pi // C_\pi) - 2i_0 R}{r_b + j\omega(L_s + L_d) + (r_\pi // C_\pi)}$$

L'impédance d'entrée est alors donnée par :

$$Z_{ecom} = \frac{(e_1 + e_2)}{(i_{b1} + i_{b2})} = r_b + j\omega(L_s + L_d) + (r_\pi // C_\pi) + j\omega L_d gm(r_\pi // C_\pi) + \frac{2i_0 R}{(i_{b1} + i_{b2})}$$

Pour le calcul du mode commun, on utilise le courant i_0 qui est la somme de i_1 et i_2 .

Considérons que $i_{c1} = \beta i_{b1} \approx i_1$ et $i_{c2} = \beta i_{b2} \approx i_2$, on retrouve : $i_0 = i_1 + i_2 = \beta(i_{b1} + i_{b2})$.

Si on remplace i_0 dans l'expression de Z_{ecom} , on retrouve l'expression suivante :

$$Z_{ecom} = \frac{(e_1 + e_2)}{(i_{b1} + i_{b2})} = r_b + j\omega(L_s + L_d) + (r_\pi // C_\pi) + j\omega L_d gm(r_\pi // C_\pi) + 2\beta R$$

$$\Rightarrow Z_{ecom} = \frac{(e_1 + e_2)}{(i_{b1} + i_{b2})} = r_b + j\omega(L_s + L_d) + \frac{1 + j\omega L_d gm}{\frac{1}{r_\pi} + j\omega C_\pi} + 2\beta R$$

Avec r_π ayant une forte valeur, on a :

$$Z_{ecom} = \frac{(e_1 + e_2)}{(i_{b1} + i_{b2})} = r_b + \frac{L_d gm}{C_\pi} + 2\beta R + j\omega(L_s + L_d) + \frac{1}{j\omega C_\pi}$$

$$\text{Re}(Z_{ecom}) = r_b + \frac{L_d gm}{C_\pi} + 2\beta R$$

et $\text{Im}(Z_{ecom}) = \omega(L_s + L_d) - \frac{1}{\omega C_\pi}$

On adapte alors la partie réelle à $Z_0/2$ (IV-12) et on annule la partie imaginaire (En absence du balun, on injecte le même signal dans les deux entrées du mode commun, on considère donc que les deux charges d'entrée r_s sont en parallèle).

$$\text{Re}(Z_{ecom}) = r_b + \frac{L_d gm}{C_\pi} + 2\beta R = \frac{r_s}{2} \quad (\text{IV-12})$$

$$\Rightarrow L_d = \frac{(\frac{r_s}{2} - r_b - 2\beta R)C_\pi}{gm} \quad (\text{IV-13})$$

Sachant que $2\beta R$ est supérieur à $(r_s/2-r_b)$, la valeur de L_d est donc négative. Notez que la valeur L_s est dépendante de L_d , donc évidemment différente elle aussi de celle du mode différentiel.

Les valeurs de L_d et L_s pour adapter le mode commun sont complètement différentes de celles du mode différentiel. En conséquence l'adaptation des deux modes est impossible simultanément avec cette configuration. Nous nous plaçons dans la suite dans les conditions de l'adaptation du mode différentiel.

Cette analyse donne une expression indicative des valeurs des inductances de dégénérescences et d'adaptation d'entrée. Rappelons que l'effet Miller n'est pas pris en compte dans cette analyse. Une analyse numérique s'impose pour obtenir les valeurs exactes des inductances.

Le tableau IV-1 résume l'extraction des paramètres des transistors polarisés. Utilisant les expressions (IV-9) et (IV-11), nous calculons les valeurs idéales $L_d = 3,63$ nH et $L_s = 2,57$ nH respectivement.

Paramètres petit signal des transistors BJT à 2 GHz	Valeurs
r_{b1}, r_{b2}	7,845 Ω
$r_{\pi1}, r_{\pi2}$	805 Ω
$C_{\pi1}, C_{\pi2}$	1,022 pF
$C_{\mu1}, C_{\mu2}$	207,7 fF
gm_1, gm_2	26 mS
r_{o1}, r_{o2}	2900 Ω
Z_0 ou r_s	50 Ω

Tableau IV-1 : Paramètres petit signal des transistors BJT de l'amplificateur différentiel

Après optimisation du circuit, on retrouve une valeur d'inductance équivalente de dégénérescence L_d plus forte que celle calculée égale à 5,8 nH avec une résistance série équivalente de 7,5 Ω . Cette hausse est due aux effets parasites qui ne sont pas pris en compte dans les calculs. La section IV de ce manuscrit présente la méthode de conception des inductances de dégénérescence réelles en prenant en compte les effets de blindages.

En revanche, on trouve une valeur équivalente plus faible pour L_s égale à 1,14 nH avec une résistance série de 0,94 Ω . Sur le layout final, cette inductance n'est qu'une simple ligne reliant l'entrée du circuit à la partie active.

II.4. Evaluation de Z_s

Il est très intéressant d'avoir l'impédance de sortie Z_s en mode différentiel pour voir son influence sur le résonateur. L'analyse de Z_s en mode commun n'est pas nécessaire car le résonateur n'intervient qu'en mode différentiel (Une étude plus détaillée est donnée en section V.2).

Si nous supposons que $e_1=e_2$, Z_s simulée du circuit actif a pour valeur (200-j506) Ω . L'admittance équivalente dans ce cas est égale à $Y_s = \frac{1}{1480} + j\frac{1}{585}$ (S).

L'amplificateur présente ainsi une impédance équivalente à une résistance de 1480 Ω en parallèle avec une capacité de 136 fF à 2 GHz.

II.5. Optimisation en bruit et en linéarité

Pour l'analyse du facteur de bruit NF la méthode utilisée consiste premièrement à trouver la densité du courant qui traverse le transistor en générant un bruit minimal pour un dimensionnement unitaire de ce transistor [1]. Cette étape nous permet d'avoir un rapport (courant/taille du transistor) pour un NF optimal. Deuxièmement, on sélectionne la taille du transistor qui correspond au β correspondant à l'amplification voulue. On définit le rapport (courant/taille) pour trouver le courant qu'il faut pour obtenir un NF minimal (IV-14).

$$NF_{\min}(Jc) = 1 + \frac{n}{\beta_{DC}} + \sqrt{\frac{2Jc}{V_T}(r_e + r_b)\left(\frac{f^2}{f_T^2} + \frac{1}{\beta_{DC}}\right) + \frac{n^2}{\beta_{DC}}} \quad (\text{IV-14})$$

(r_e et r_b sont respectivement les résistances émetteur et base du transistor, f_T la fréquence du gain en courant unitaire, f est la fréquence de fonctionnement, Jc est la densité de courant collecteur, n est un facteur de jonction entre 1 et 1,2. $V_T = kT/q$).

Pour augmenter la linéarité, les deux inductances de dégénérescence ont été utilisées ; ces inductances servent aussi à augmenter la partie réelle de l'impédance d'entrée de l'amplificateur.

III. Le résonateur

La première utilisation des inductances spirales sur substrat Silicium a été rapportée par Nguyen et Meyer en 1990 [2]. Dès lors, de nombreuses tentatives se sont succédées pour améliorer leurs performances.

III.1. Architecture du résonateur

L'architecture du résonateur RLC envisagée pour concevoir ce filtre est de type parallèle (Figure IV-6). La résistance série utilisée R_s est celle de l'inductance L , car la capacité est supposée sans perte. La fréquence de résonance est f_0 (IV-15).

$$f_0 = \sqrt{\frac{1}{2\pi LC}} \quad (\text{IV-15})$$

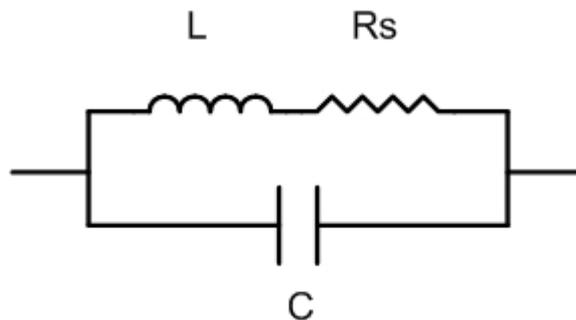


Figure IV-6 : Résonateur RLC avec capacité parallèle

Dans le premier chapitre nous avons démontré l'importance du facteur de qualité de l'inductance pour concevoir un filtre LC, d'où l'intérêt d'une conception géométrique optimale de l'inductance. Dans les paragraphes suivants nous étudions l'influence des différents paramètres géométriques sur la valeur de l'inductance et sur le facteur de qualité. Nous étudions aussi l'effet des pertes métalliques, et celui des pertes dues aux couplages par le substrat et le blindage.

III.2. Paramètres géométriques de l'inductance

A l'inverse des capacités MIM (Metal-Insulator-Metal) qui présentent un facteur de qualité important, les inductances des procédés CMOS ou BiCMOS doivent être optimisées pour obtenir un facteur de qualité le plus important possible. Une étude électromagnétique de l'inductance est ici nécessaire.

Les inductances souffrent de trois effets parasites importants. Premièrement, la capacité parasite entre métallisation et substrat qui peut entraîner une résonance à une fréquence très élevée. Deuxièmement, la résistance série en RF diffère de celle calculée en fonctionnement continu (DC) à cause de l'effet de peau principalement et d'autres effets magnétiques. Troisièmement, les pertes dans le substrat silicium dégradent fortement le facteur de qualité global.

Pour donner une idée de l'augmentation des pertes d'une inductance en fonction de la fréquence, nous illustrons sur la figure IV-7 le rapport entre la résistance série R_s de l'inductance (qui change par rapport à la fréquence) et R_{dc} qui est la résistance série à 0 Hz. Les simulations sont faites avec le logiciel Momentum (ADS) [3].

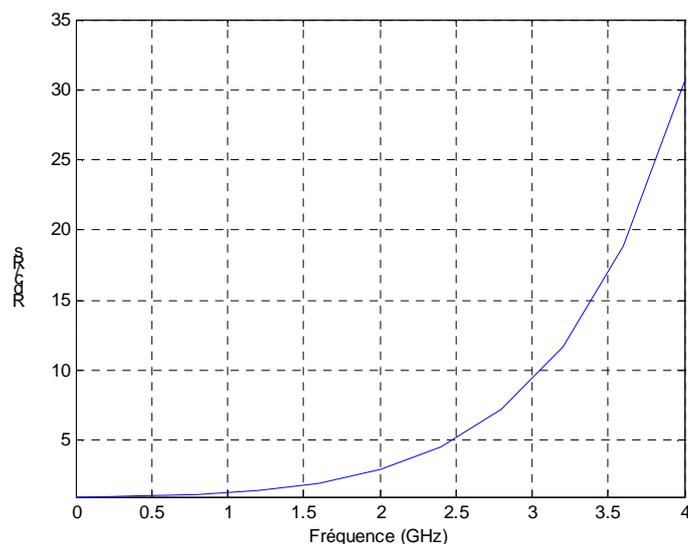


Figure IV-7 : Rapport R_s/R_{dc} de la résistance de l'inductance

Remarque : Nous avons utilisé aussi d'autres outils de simulation électromagnétique comme ASITIC (Analysis and Simulation of spiral Inductors and Transformers for IC's). Ce logiciel a été développé par Ali M. Niknejad de l'université de Berkeley en Californie. Il aide les concepteurs de circuits RF à optimiser et modéliser les inductances spirales, les transformateurs, les capacités, et les phénomènes de couplage par le substrat [4].

Ce simulateur est très rapide. Il se base sur l'analyse de couplage entre les segments qui forment l'inductance. La comparaison des résultats d'ASITIC avec les simulateurs classiques, révèle qu'ASITIC est très efficace pour l'évaluation de la valeur de l'inductance et de sa résistance série, mais qu'il manque de précision pour modéliser le couplage avec le substrat [5]. D'où la décision de ne pas utiliser ce simulateur.

Pour l'analyse, on considère les paramètres suivants : 'L' est la dimension extérieure du côté de l'inductance, 'D' la largeur des lignes et 'S' la séparation entre lignes comme illustrées sur la figure IV-8.

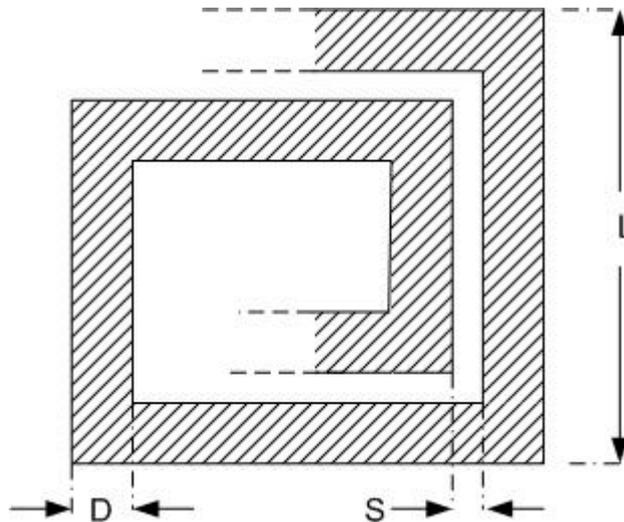


Figure IV-8 : Géométrie des inductances

III.3. Pertes métalliques des inductances

A basses fréquences, la résistance équivalente d'un conducteur métallique peut être calculée simplement. Mais à des fréquences plus élevées, de l'ordre de quelques GHz, des phénomènes plus complexes tels que l'effet de peau et l'effet de proximité entre lignes causent une distribution non uniforme du courant dans l'inductance et induisent des pertes importantes.

D'autres effets très importants comme l'effet d'encombrement (Crowding effect) sont traités dans la littérature [6] [7]. L'effet d'encombrement se base sur la concentration du champ magnétique au centre de l'inductance. Il crée un courant d'Eddy inverse au sens normal du courant de l'inductance (Figure IV-9). Ce courant augmente la résistance des lignes les plus proches du centre de l'inductance. Pour diminuer cet effet, les segments doivent être dessinés éloignés du centre [8].

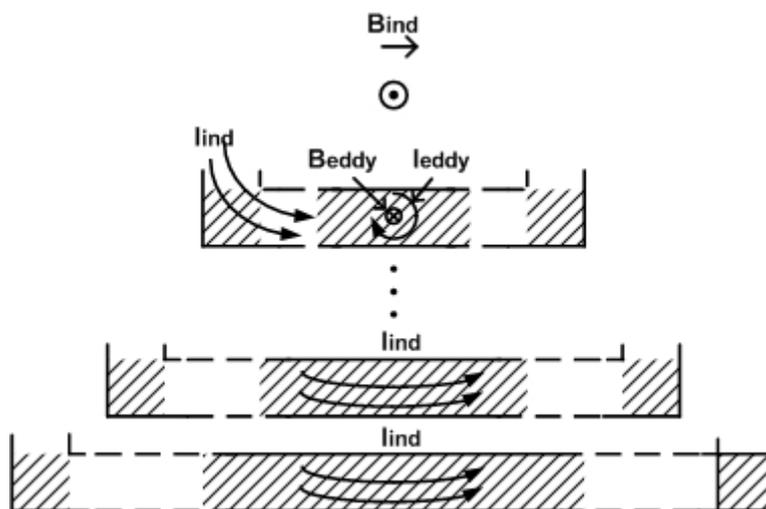


Figure IV-9 : Le courant d'Eddy

La figure IV-10 illustre les phénomènes physiques déjà évoqués sur les lignes métalliques. Dans le premier cas (condition DC) (a), la distribution est uniforme à l'intérieur du conducteur. Quand la fréquence augmente (b), l'effet de peau concentre le courant AC à la surface du conducteur.

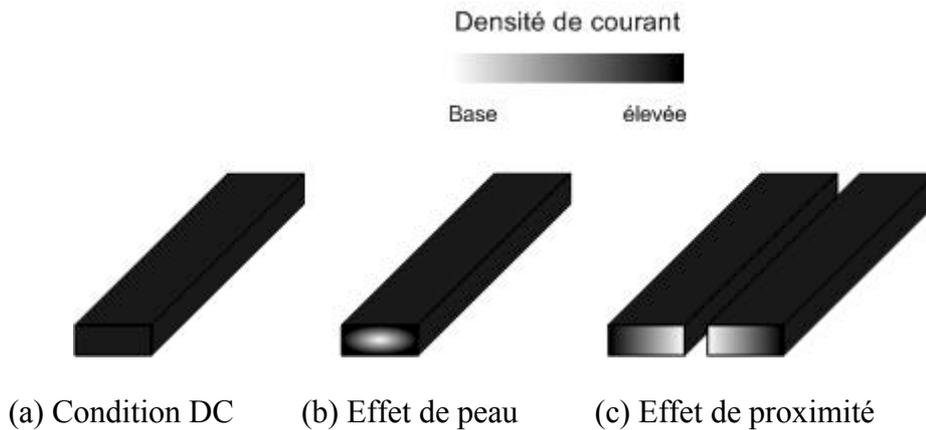
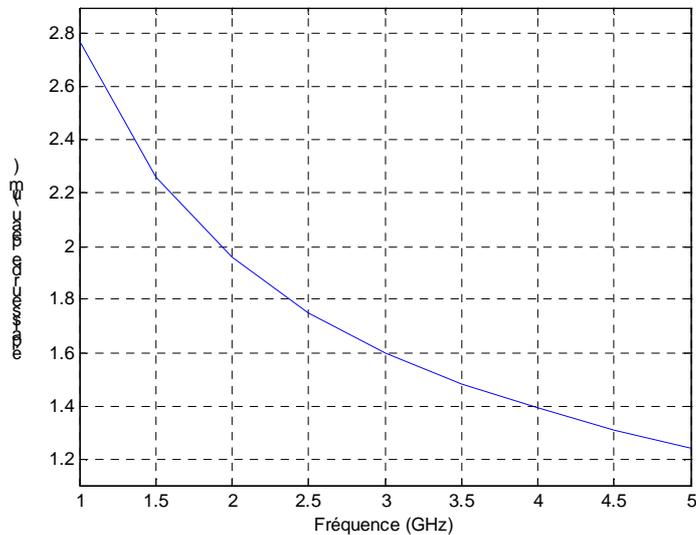


Figure IV-10 : Effet de peau et de proximité

La pénétration à laquelle la densité de courant est affaiblie de e^{-1} est définie comme l'épaisseur de peau δ (IV-16). où μ est la perméabilité magnétique, σ est la résistivité du métal et ω est la fréquence en question.

$$\delta = \sqrt{\frac{2}{\mu\sigma\omega}} \quad (\text{IV-16})$$

La technologie QUBIC4 de PHILIPS offre cinq niveaux de métallisation. Le plus bas est indexé M_1 et le plus haut M_6 . M_6 est le niveau le plus intéressant car il est le plus loin du substrat et le moins résistif. La métallisation M_6 a une résistivité σ de $3,30 \times 10^7$ (S/m), soit un δ de $1,96 \mu\text{m}$ à 2 GHz. Lorsque la fréquence varie entre 1 GHz et 5 GHz alors δ varie aussi entre $2,77 \mu\text{m}$ et $1,24 \mu\text{m}$ comme illustré sur la figure IV-11.

Figure IV-11 : Épaisseur de peau δ par rapport à la fréquence

Dans le plan parallèle à la surface des inductances, ces valeurs sont non négligeables car les largeurs de lignes D utilisées varient de 8 à 15 μm (pourcentage de pénétration par rapport à la largeur est de 10%-35%). Dans le plan perpendiculaire à la surface, l'épaisseur du métal ne dépasse pas 3 μm . Cette épaisseur est très proche de δ (pourcentage de pénétration par rapport à l'épaisseur est de 41% - 92%). Rappelons que pour minimiser l'effet de peau, les épaisseurs du métal doivent être au moins deux fois δ à une fréquence donnée.

En plus de cet effet de peau, le champ magnétique généré par les lignes adjacentes change encore la distribution du courant. On observe donc une densité de courant plus importante aux extrémités des lignes métalliques comme illustré sur la figure IV-10 (c) qui correspond à l'effet de proximité. Cet effet a un impact important sur l'augmentation de la résistance métallique aux fréquences qui dépassent 6 GHz. En revanche, pour les fréquences inférieures comme 2 GHz, les lignes de l'inductance doivent être très proches pour renforcer les couplages et augmenter ainsi la valeur de l'inductance globale comme illustré dans le paragraphe suivant. On définit S la séparation entre les lignes métalliques de l'inductance.

Sur la figure IV-12 on remarque la dégradation induite par l'augmentation de S sur le facteur de qualité et la valeur de l'inductance. Ce phénomène est justifié par la diminution du couplage entre segments à 2GHz. En conséquence, garder une valeur minimale de $S = 3\mu\text{m}$ est le choix le plus avantageux avec le niveau de métallisation M_6 . On ne peut pas diminuer cette valeur pour des raisons de règles de dessin, (DRC Design Rule Check sur Cadence).

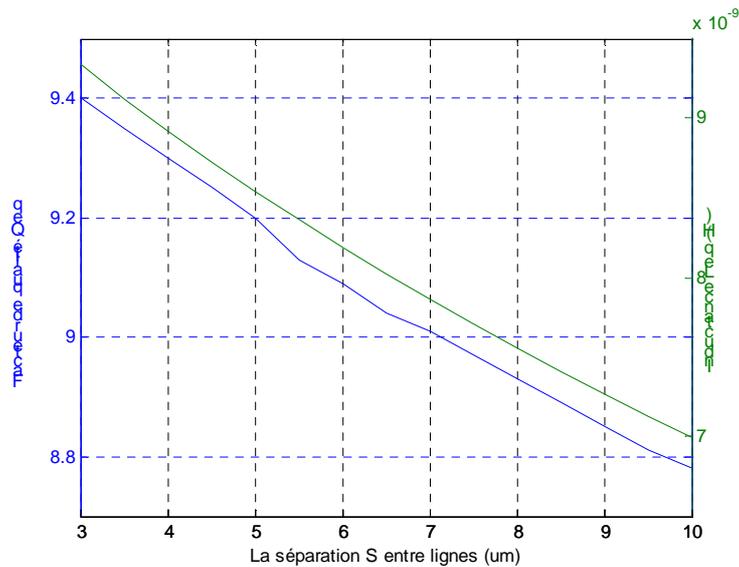


Figure IV-12 : Influence de S sur l'inductance et le facteur de qualité

III.4. Pertes dues aux couplages par le substrat des inductances

L'inconvénient avec le substrat Silicium à faible résistivité $10 \Omega \cdot \text{cm}$ utilisé dans les technologies CMOS et BiCMOS est que le courant induit par le champ magnétique des inductances circule librement dans le substrat. Cela cause un changement de la valeur de l'inductance et une augmentation de pertes résistives [8] [9].

La figure IV-13 présente une coupe verticale d'une inductance et du substrat. Vu le sens des courants dans l'inductance (schématisé par $+I$ et $-I$), la loi de Faraday-Lenz implique qu'un champ magnétique (B) est électriquement induit dans le substrat de l'inductance. En conséquence, des courants (I_{subs} et $-I_{\text{subs}}$) circulent dans le substrat. Ces courants (I_{subs}) circulent dans une direction opposée à celle des courants initiaux de l'inductance (I). Finalement, on se retrouve avec un champ B affaibli par les courants de substrat, donc des valeurs d'inductance et de facteur de qualité plus médiocre.

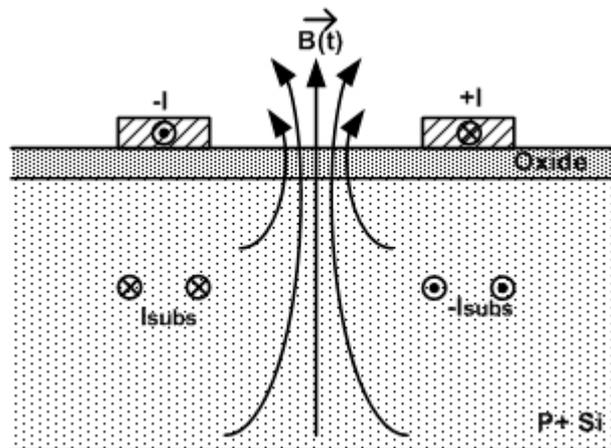


Figure IV-13 : Génération de courant de substrat dans une inductance

III.4.1. Influence de la résistivité du substrat

Pour voir l'influence de la résistivité du substrat, nous remplaçons le substrat de la bibliothèque actuelle (QUBIC 4) qui a une résistivité de $10 \text{ } \Omega \cdot \text{cm}$, par le substrat d'une bibliothèque plus récente (QUBIC 4+) dont la résistivité est 20 fois plus élevée, de l'ordre de $200 \text{ } \Omega \cdot \text{cm}$. Sur les figures IV-14 et IV-15 sont comparées les valeurs des inductances et les facteurs de qualité sur deux substrats différents en fonction de la fréquence. Les dimensions des inductances sont les mêmes dans les deux cas.

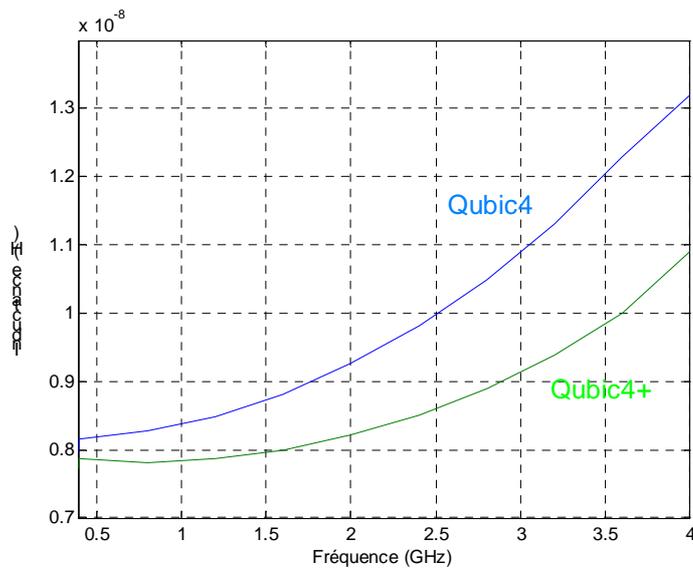


Figure IV-14 : Valeurs de l'inductance sur deux substrats de résistivités différentes

Dans un substrat à résistivité plus élevée, le champ électrique induit va créer un courant I_{subs} plus faible. Dans cette situation, la dégradation du facteur de qualité va être moins importante que dans le premier cas, surtout par les fréquences les plus élevées.

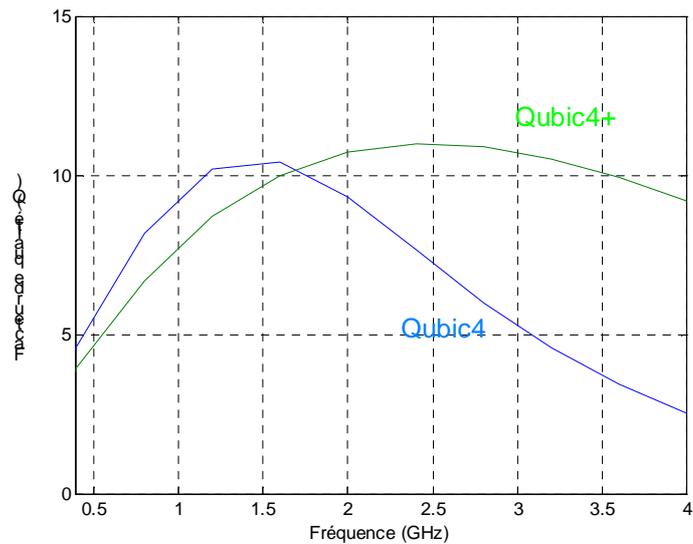


Figure IV-15 : Facteurs de qualité de l'inductance sur deux substrats de résistivités différentes

III.4.2. Influence de la couche polysilicium

L'une des solutions les plus répandues en microélectronique pour réduire le couplage substrat est d'introduire une couche isolante sous les métallisations. La plupart du temps, il s'agit d'une couche de polysilicium. Le polysilicium dopé est moins conducteur que les métaux, mais souvent utilisé pour la fabrication des résistances et les grilles de transistors MOS.

Sur la figure IV-16, nous illustrons l'utilisation d'un écran de polysilicium entre les lignes de l'inductance et le substrat.

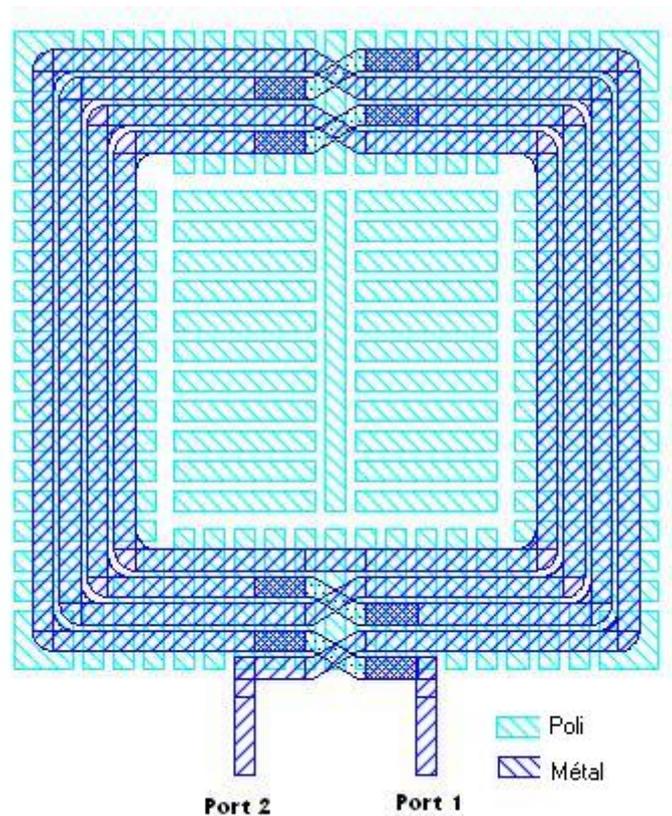


Figure IV-16 : Inductance avec écran de polysilicium

Il n'est pas souhaitable d'utiliser une couche recouvrant toute la surface de l'inductance par crainte de voir apparaître un courant d'Eddy. Une solution est de diviser cet écran en plusieurs rectangles séparés et perpendiculaire aux lignes métalliques de l'inductance.

Pour modéliser les inductances, nous utilisons le modèle en Pi du premier ordre (Figure IV-17). Les annexes IV et VI détaillent l'étude de ce modèle ainsi que sa fiabilité dans la bande de fréquence utilisée pour les circuits.

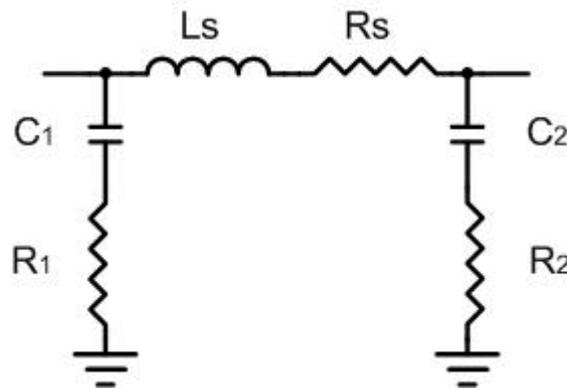


Figure IV-17 : Modèle en Pi de d'inductance

La figure IV-18 et figure V-19 présentent une comparaison de la valeur de l'inductance et du facteur de qualité de deux inductances de même géométrie, sans et avec polysilicium.

Une différence est constatée aux fréquences très élevées. En revanche, à la fréquence qui nous intéresse (2 GHz), la différence n'est pas très importante. Compte tenu du temps nécessaire important pour simuler une structure avec du polysilicium, nous décidons de ne pas l'inclure afin de faciliter le dessin et gagner du temps pour optimiser l'inductance finale.

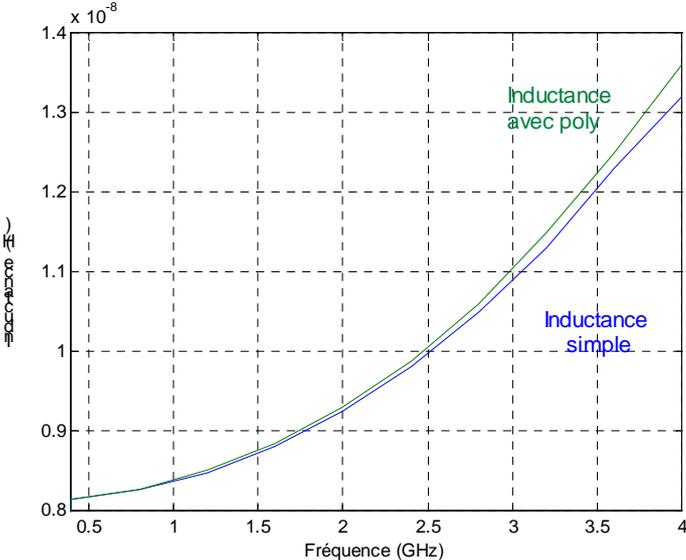


Figure IV-18 : Comparaison de la valeur d'inductance avec et sans polysilicium

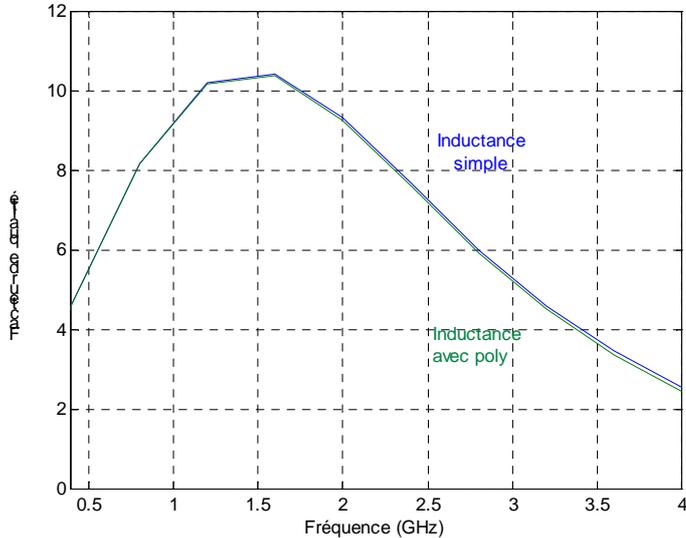


Figure IV-19 : Comparaison de facteur de qualité avec et sans polysilicium

III.5. Optimisation de l'inductance du résonateur

L'objectif de cette section est de trouver la meilleure géométrie d'inductance (Figure IV-8) afin d'obtenir le facteur de qualité le plus important pour une valeur d'inductance donnée. Pour obtenir une inductance de valeur minimale 6 nH avec un Q_0 supérieur à 10, les paramètres que l'on peut changer sont : 'N' le nombre de tours (quatre segments), 'L' la dimension extérieure du coté de l'inductance et 'W' la largeur de chaque segment. On fixe le paramètre de la séparation entre les segments 'S' à une valeur minimal de $3\mu\text{m}$ pour respecter les règles de dessin DRC. A cette étape, avec une inductance symétrique à 3, 4 et 5 tours (N=3, 4, 5), on extrait Q_0 et la valeur de l'inductance lorsque L et W varient.

III.5.1. Inductance à cinq tours (N=5)

L'inductance formée de 5 tours est intéressante pour ses bonnes valeurs de facteurs de qualité et d'inductances, cette inductance est éliminée à cause de sa sensibilité aux dimensionnements physiques. La figure IV-20 représente les valeurs des facteurs de qualité et figure IV-21 les valeurs des l'inductances.

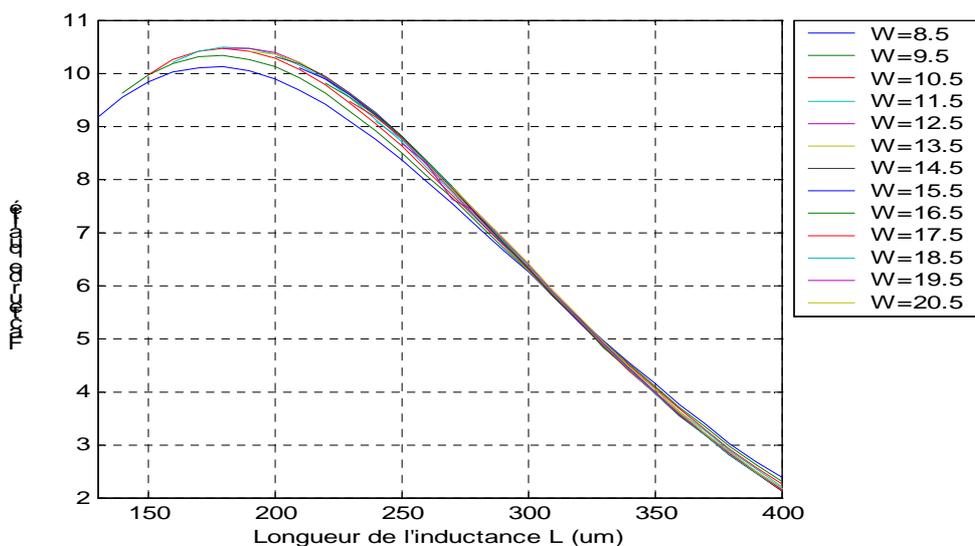


Figure IV-20 : Variations du facteur de qualité

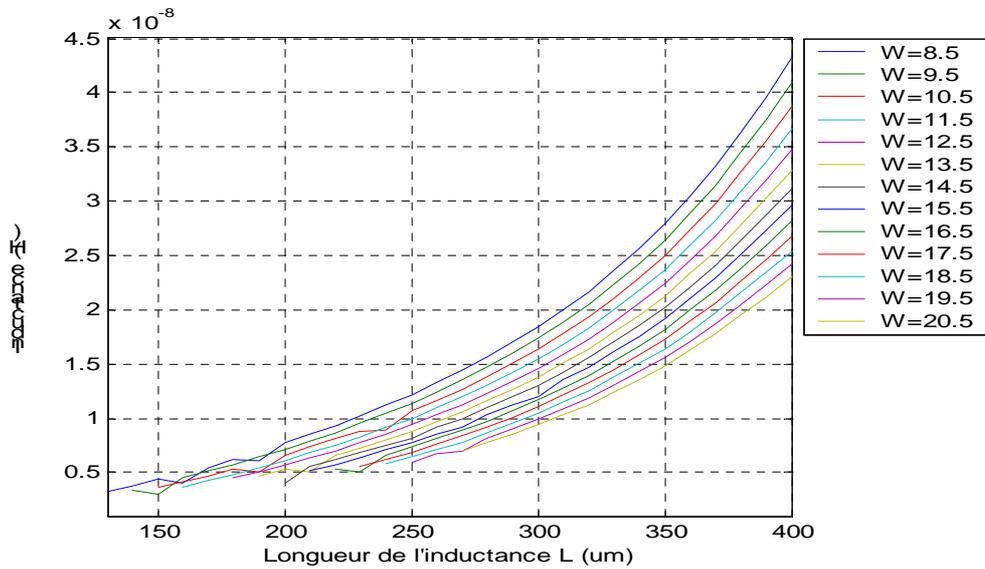


Figure IV-21 : Variations de l'inductance

III.5.2. Inductance à trois tours ($N=3$)

La figure IV-22 présente le facteur de qualité Q_0 et la figure IV-23 présente la variation des inductances par rapport à L et W . Le facteur de qualité maximale varie entre 10 à 12 pour des valeurs d'inductances qui varient entre 3 à 4,5 nH. Les valeurs d'inductances étant trop faibles cette configuration n'est pas retenue.

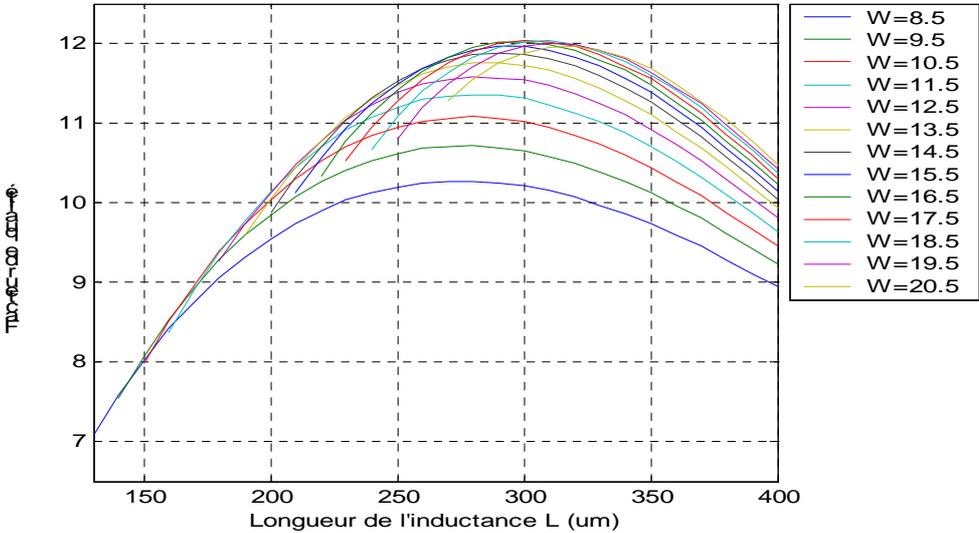


Figure IV-22 : Variations du facteur de qualité

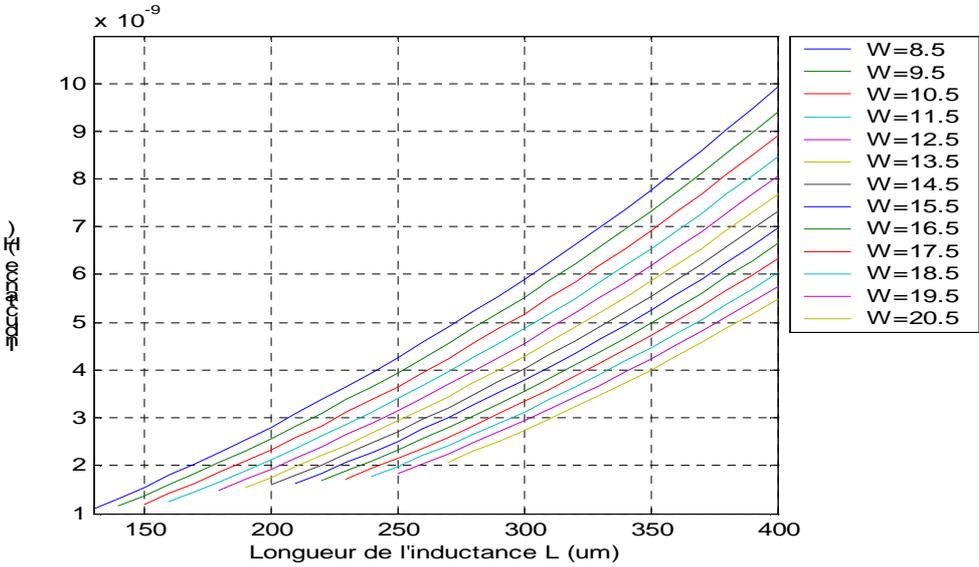


Figure IV-23 : Variations de l'inductance

III.5.3. Inductance avec quatre tours (N=4)

Les figures IV-24 et IV-25 représente respectivement les facteurs de qualité et les valeurs des inductances. L'inductance à quatre tours présente un bon compromis entre le facteur de qualité supérieur à 10 et la valeur d'inductance qui dépasse 6 nH. La sensibilité est moins importante qu'avec N=5, et les valeurs des l'inductances sont plus élevés qu'avec N=3.

Avec cette configuration à quatre tours on choisit $W=10,5 \mu\text{m}$ et $L=260 \mu\text{m}$. L'inductance est 7 nH avec un facteur de qualité de 10,5.

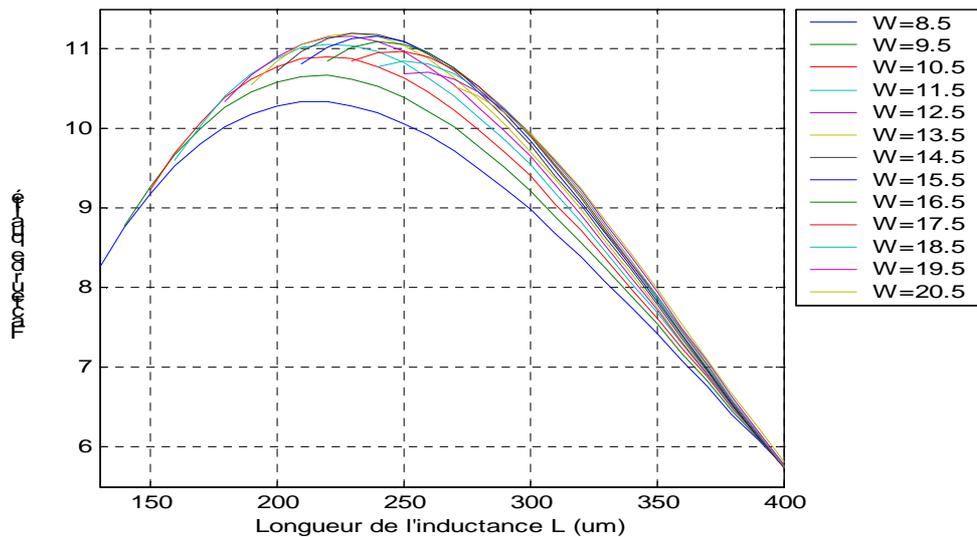


Figure IV-24 : Variations du facteur de qualité

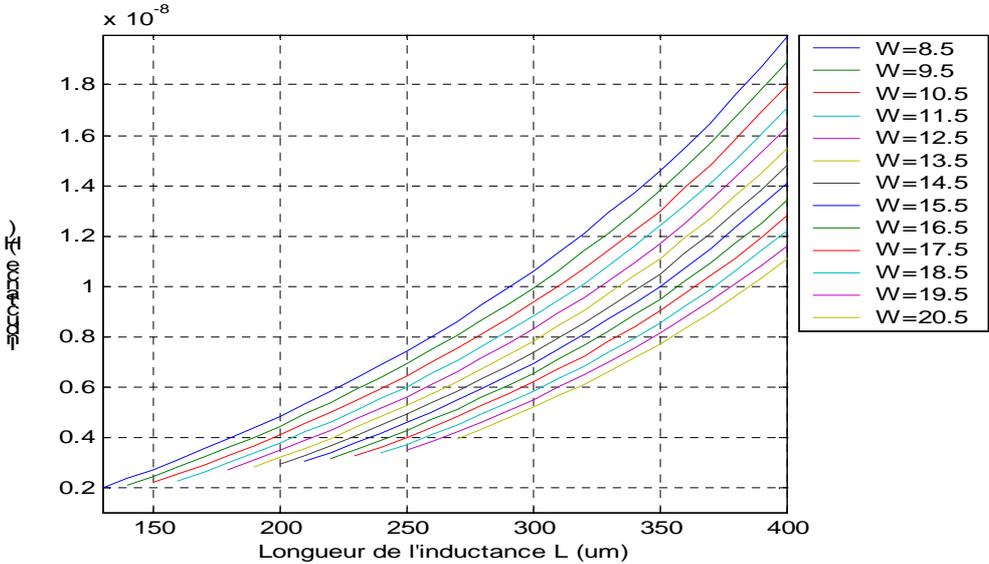


Figure IV-25 : Variations de l'inductance

III.6. Inductance du résonateur en technologie QUBIC 4+

Pour étudier l'influence de la résistivité du substrat, nous passons de l'inductance optimisée avec la bibliothèque QUBIC 4 (résistivité de $10 \Omega \cdot \text{cm}$) à la bibliothèque QUBIC 4+ (résistivité $200 \Omega \cdot \text{cm}$). Si on garde $W=10,5 \mu\text{m}$ et $L=260 \mu\text{m}$, on obtient une inductance de $6,5 \text{ nH}$ plus faible de 7% que celle du procédé QUBIC 4 (Figure IV-27), et un facteur de qualité de $12,81$ qui est plus élevé de 18% (Figure IV-26). Une nouvelle optimisation des dimensions de L et W peut améliorer encore les résultats.

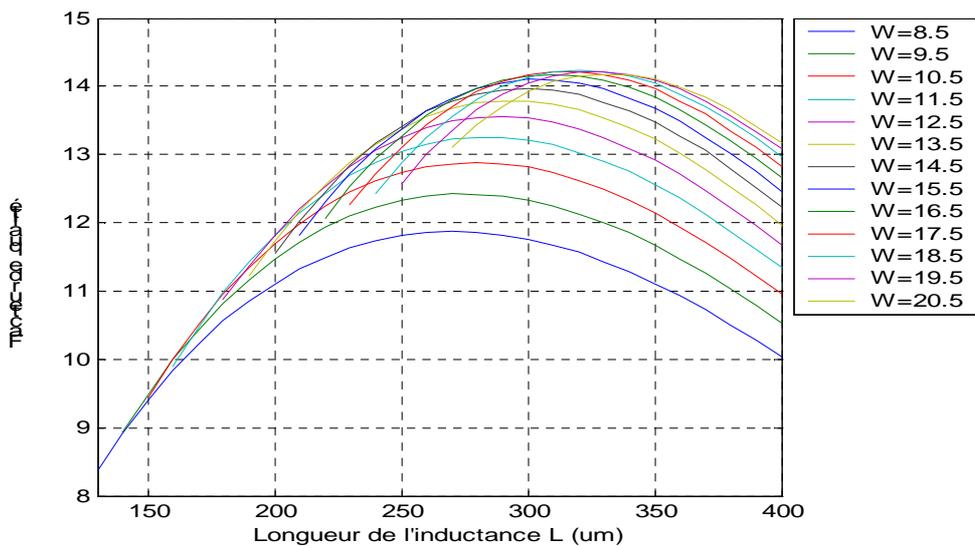


Figure IV-26 : Variations du facteur de qualité avec QUBIC 4+

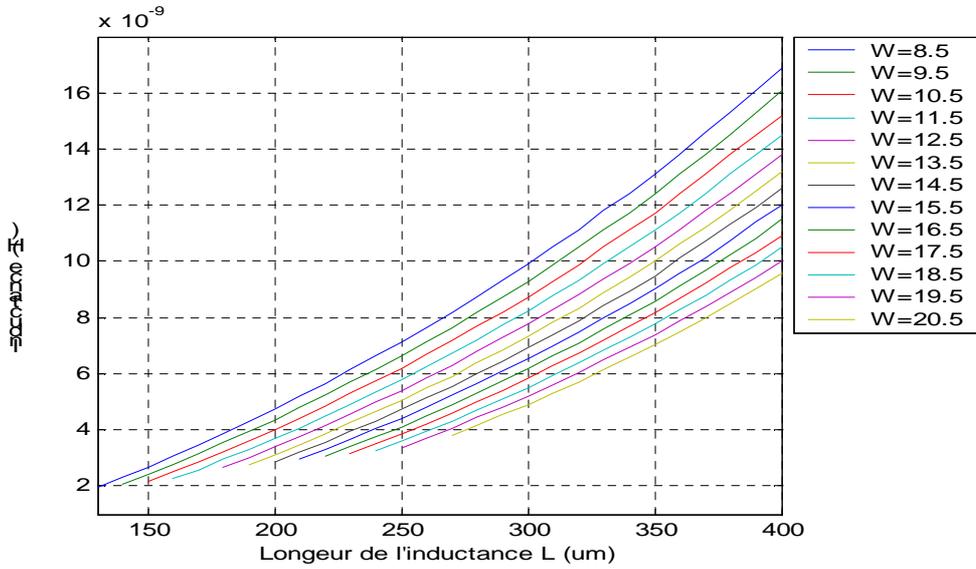


Figure IV-27 : Variation de l'inductance avec QUBIC 4+

En conclusion, avec la bibliothèque QUBIC 4+ le gain en facteur de qualité est important. Cela entraîne pour le filtre une meilleure linéarité et une consommation plus faible car la compensation est moindre. La figure IV-28 rassemble les deux graphes précédents en terme de facteur de qualité.

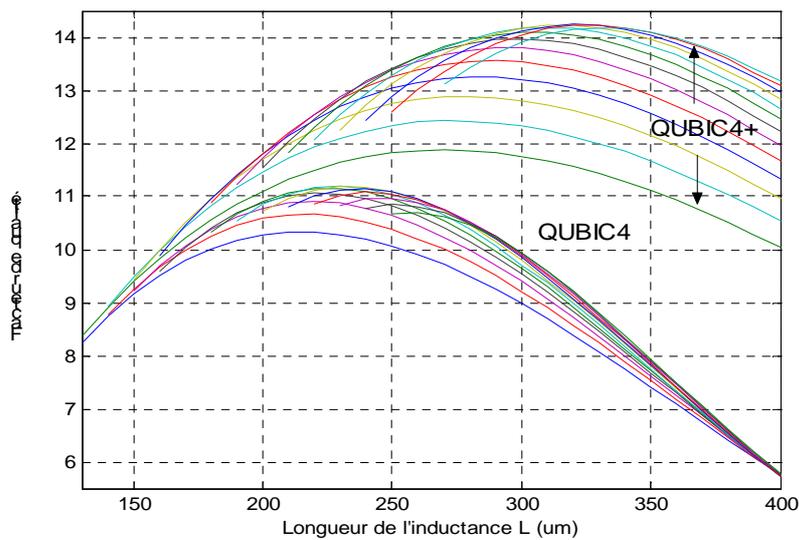


Figure IV-28 : Comparaison de la variation du facteur de qualité entre QUBIC 4 et QUBIC 4+

III.7. Blindage de l'inductance

Les inductances simples ne peuvent pas être utilisées en raison de couplages avec les éléments adjacents. C'est pourquoi un blindage doit être ajouté tout autour de l'inductance. Sur le layout du filtre final, l'inductance avec son blindage est positionnée au centre du circuit, ce qui nécessite de ramener les points de masses connecté au blindage depuis les plots de l'entrée et de la sortie différentiel du circuit global. Dans cette partie nous comparons les deux blindages, le blindage simple connecté à deux points de masses très proches (Figure IV-29) et le blindage complet avec des points de masse ramenés des plots de mesure réelles (Figure IV-30).

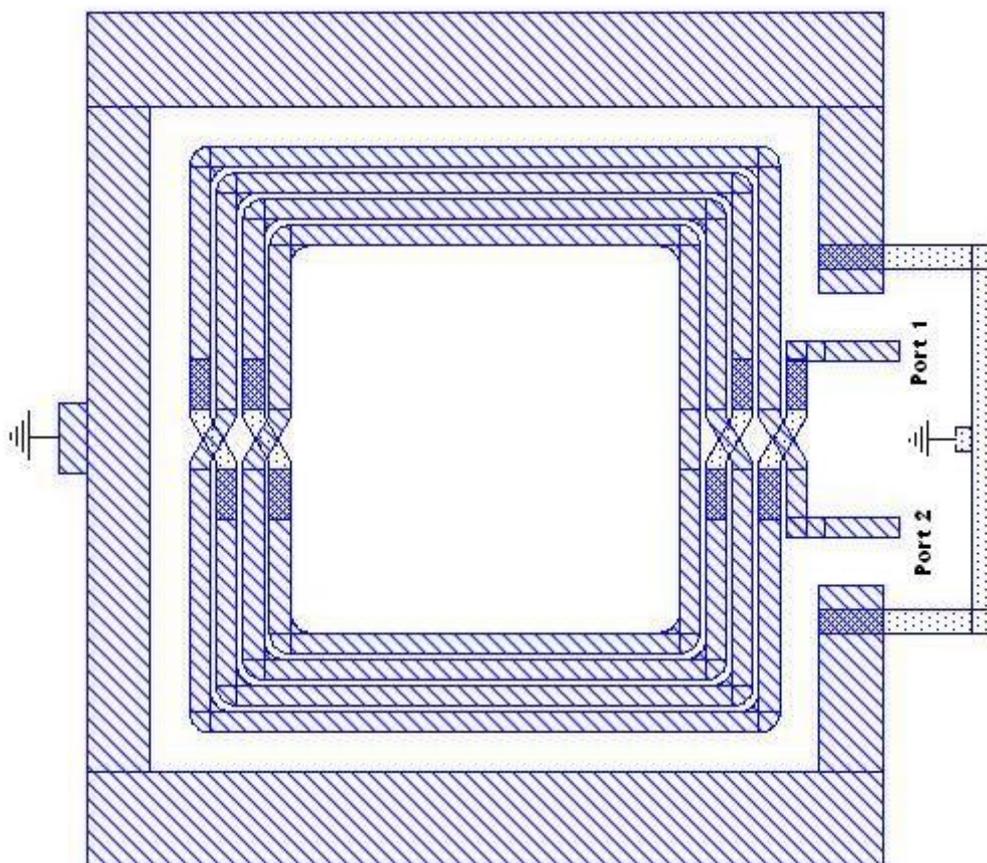


Figure IV-29 : Inductance avec blindage simple

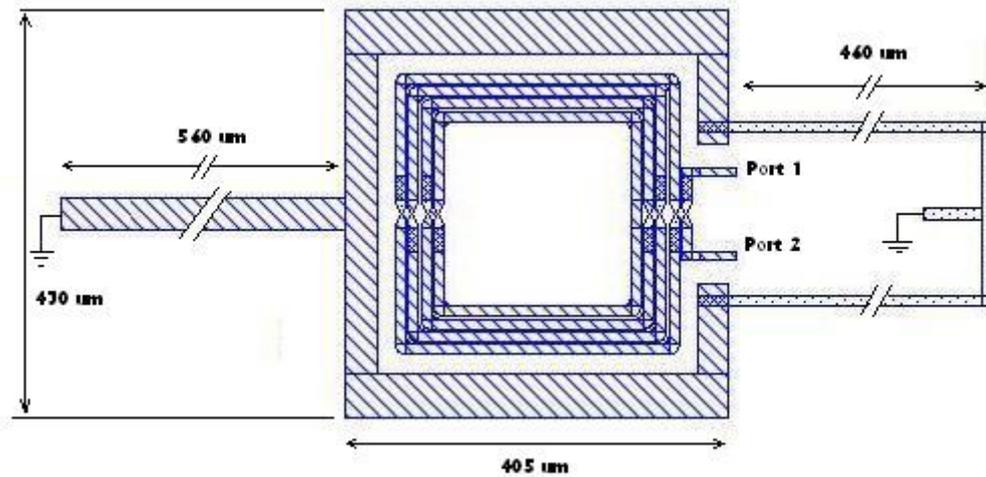


Figure IV-30 : Inductance avec blindage complet

La figure IV-31 montre la variation d'inductance pour les trois d'inductances sans blindage, avec blindage simple connecté à des masses proches et avec blindage complet connecté à des masses ramenées de plus loin.

On note une diminution de la valeur d'inductance de 15,7 % pour le cas du blindage simple par rapport à une inductance non blindée, et une diminution de 8,6 % pour le cas du blindage complet.

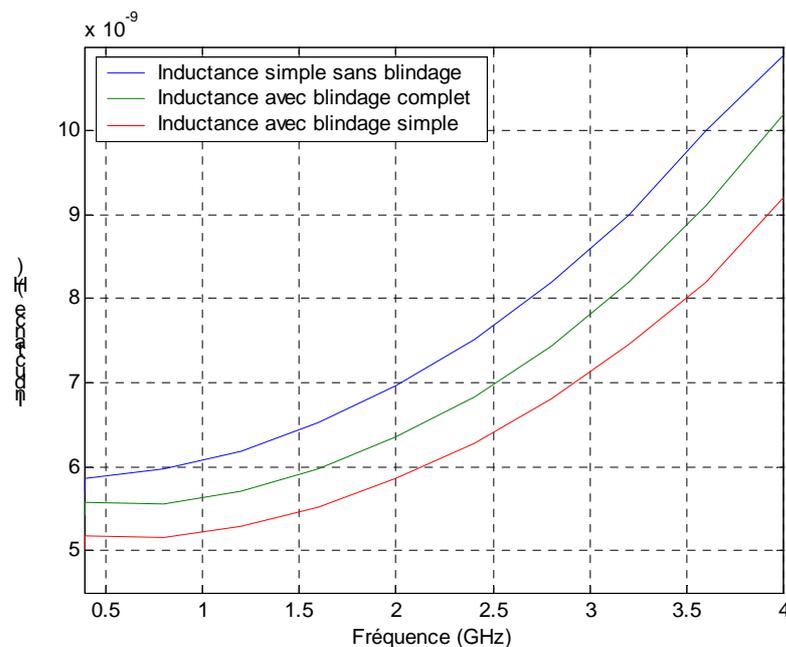


Figure IV-31 : Variations de l'inductance en fonction du type de blindage

La figure IV-32 montre la variation du facteur de qualité. On constate une baisse maximale de 24,8% avec un blindage simple et 19% avec blindage complet.

Ces résultats prouvent la dégradation importante qu'un blindage peut occasionner sur le facteur de qualité et sur la valeur de l'inductance à 2 GHz. La prise en compte de la totalité du blindage est nécessaire. Elle consiste à prendre les vrais points de masse du circuit complet. Au final, les caractéristiques de l'inductance sont de 6,3 nH pour un facteur de qualité de 8,55.

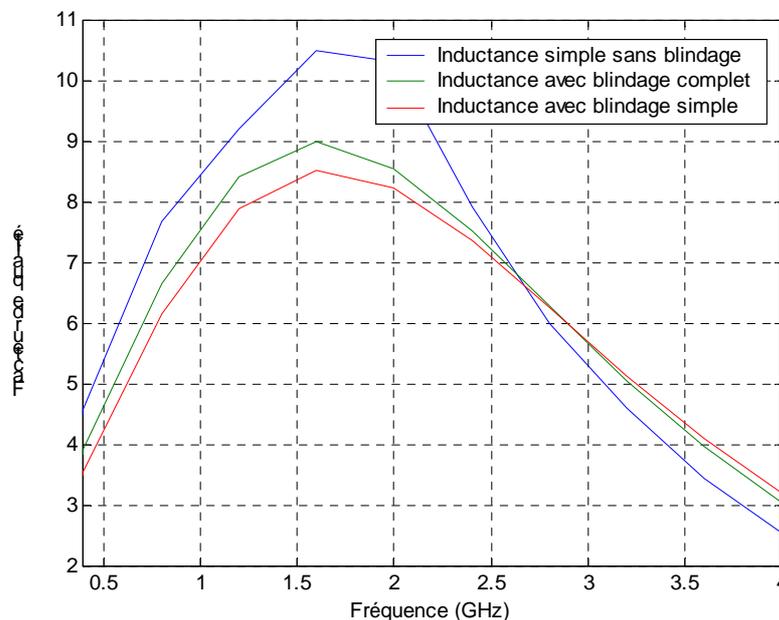


Figure IV-32 : Variations du facteur qualité en fonction du type de blindage

III.8. Blindage de l'inductance avec la technologie QUBIC 4+

La figure IV-33 présente une comparaison entre la valeur de l'inductance effective de la structure complète avec blindage sur le substrat de la technologie QUBIC 4 et la même structure mais sur le substrat de la technologie QUBIC 4+. La figure IV-34 présente la même comparaison en terme de facteur de qualité.

A partir de ces deux graphes, on constate l'amélioration du facteur de qualité pour les fréquences élevées et la baisse de la valeur de l'inductance.

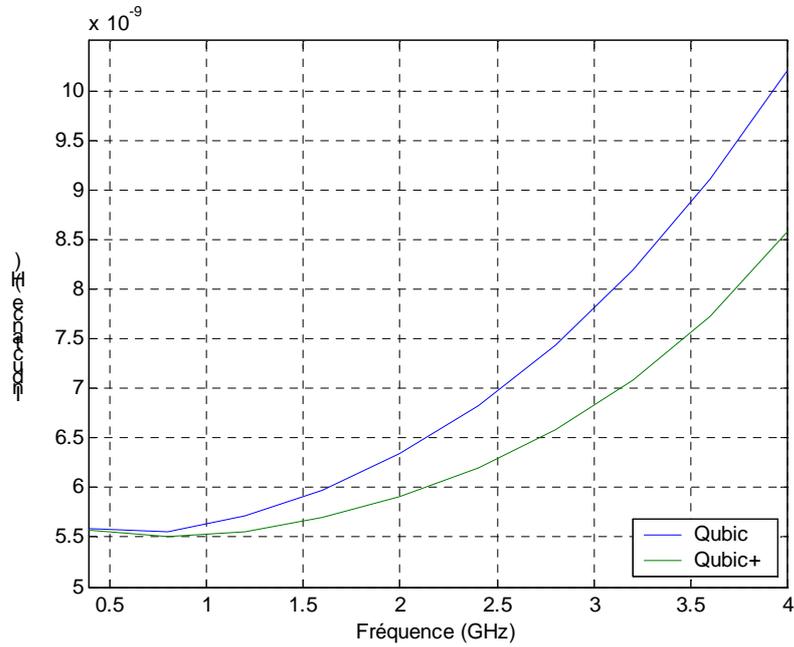


Figure IV-33 : Variations de l'inductance en fonction du procédé

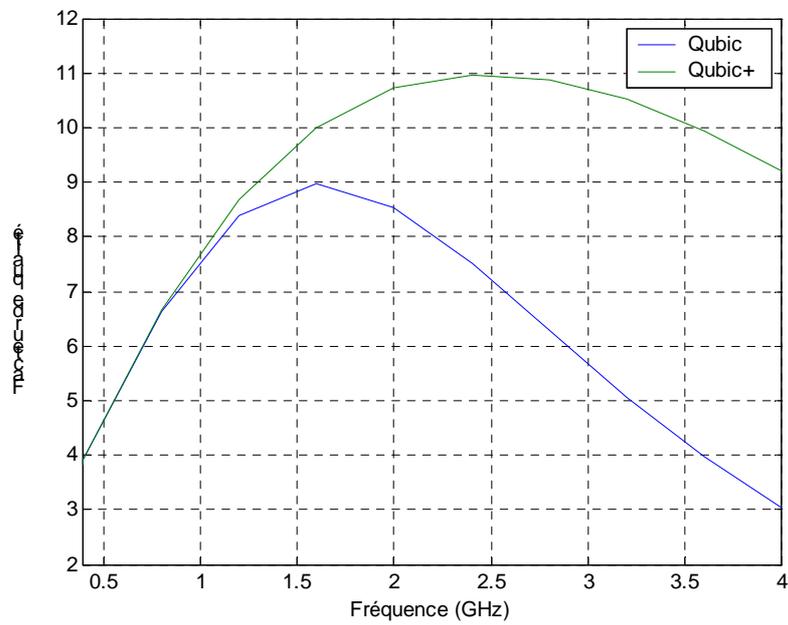


Figure IV-34 : Variations du facteur de qualité en fonction du procédé

IV. Les inductances de dégénérescence

Dans la partie II de ce chapitre nous avons analysé l'amplificateur différentiel avec deux transistors, deux inductances d'adaptation et deux inductances de dégénérescences. Après l'analyse de l'influence de ces deux inductances sur la partie réelle et imaginaire de l'impédance d'entrée nous introduisons dans cette partie la conception géométrique des ces inductances.

IV.1. L'inductance symétrique

La particularité de l'inductance illustrée sur la figure IV-35 est dans sa symétrie physique. Cette particularité induit une modélisation en Pi avec des capacités identiques aux deux accès de l'inductance. Dans une inductance standard (Figure IV-36), la spirale commence à l'extérieur pour finir à l'intérieur avec le même métal, ou inversement. Pour faire sortir la ligne du centre de cette inductance, il faut traverser quatre lignes perpendiculairement, en utilisant un niveau plus bas de métallisation (M_5) pour éviter le court-circuit.

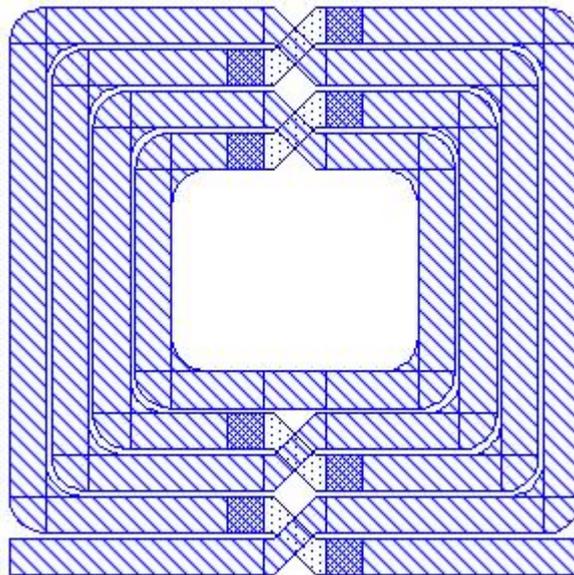


Figure IV-35 : Inductance symétrique sous Momentum.

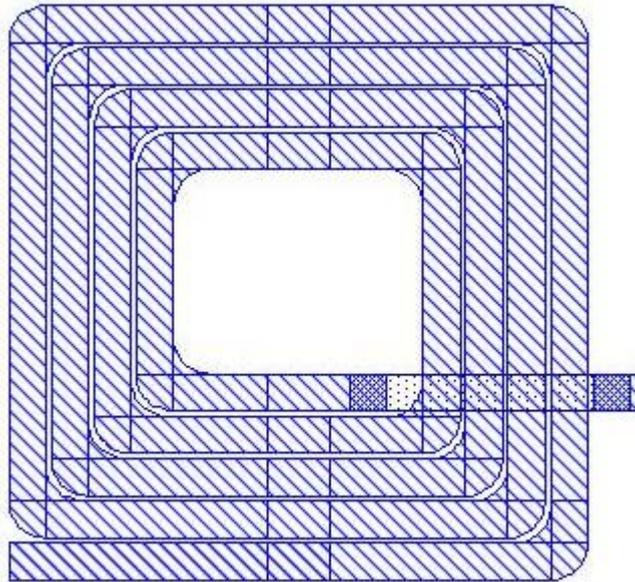


Figure IV-36 : Inductance standard sous Momentum

L'inductance symétrique carrée (Figure IV-35) occupe la même superficie que l'inductance standard. Cette géométrie ne privilégie pas la valeur d'inductance ni le facteur de qualité mais permet d'obtenir un composant symétrique. Ce qui est démontré dans la comparaison de L_{eq} et Q_{eq} sur les figures IV-37 et IV-38.

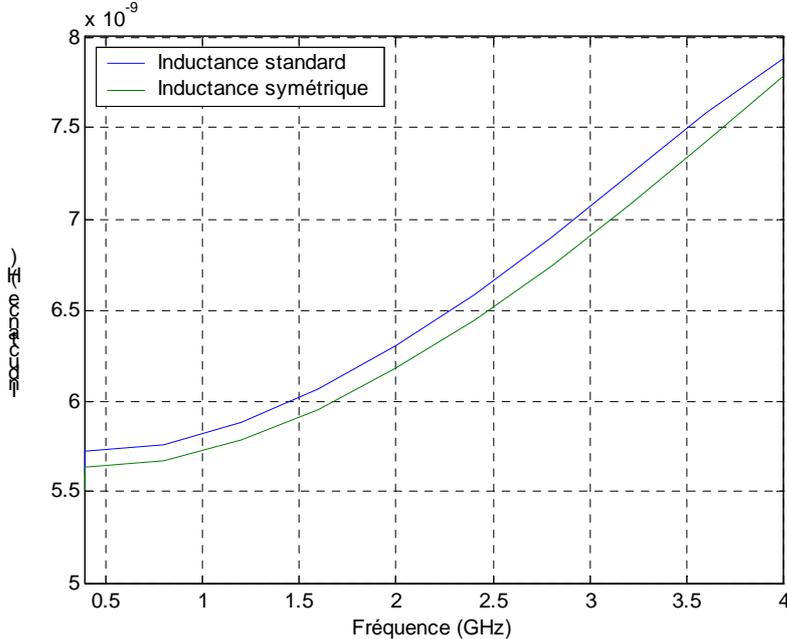


Figure IV-37 : Comparaison d'inductances

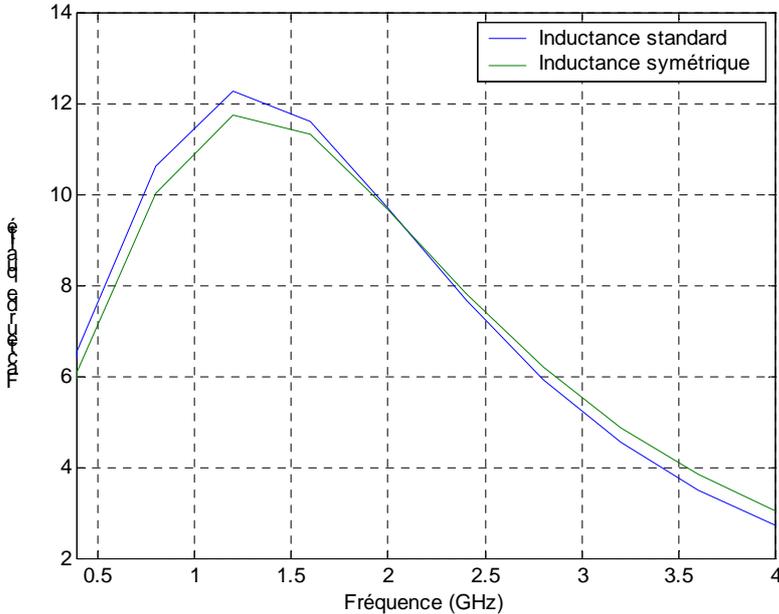


Figure IV-38 : Comparaison de facteur de qualité

Dans une situation classique, on calcule le facteur de qualité en mettant un accès à la masse et en mesurant l'impédance depuis l'autre accès. A partir de cela, on calcule l'inductance et le facteur de qualité. En revanche, dans le cas différentiel, on peut utiliser une autre méthode qui consiste à utiliser les deux accès comme points de mesures sans masse [10] mais les ordres de valeurs ne sont pas les mêmes.

Pour l'analyse de ce circuit, on utilise la méthode classique et cela pour pouvoir comparer avec la littérature.

Dans la référence [11], on trouve aussi d'autres géométries qui avantagent la forme symétrique et dont la surface est réduite par rapport à une inductance classique.

L'inductance nommée différentielle [12] est une variante de l'inductance symétrique (Figure IV-39). Cette structure est à trois accès : Deux reliés aux extrémités de l'inductance, et le troisième relié à rien.

L'avantage principal de cette inductance est la rejection du mode commun. Elle n'est pas considérée comme une inductance seule, mais plutôt comme deux inductances couplées entre elles. Ce couplage en augmente la valeur, remplace l'utilisation de deux inductances séparées, et permet un gain de surface. L'inconvénient majeur de cette inductance se trouve toutefois dans la difficulté de modéliser autrement le couplage qui est à la fois capacitif et inductif.

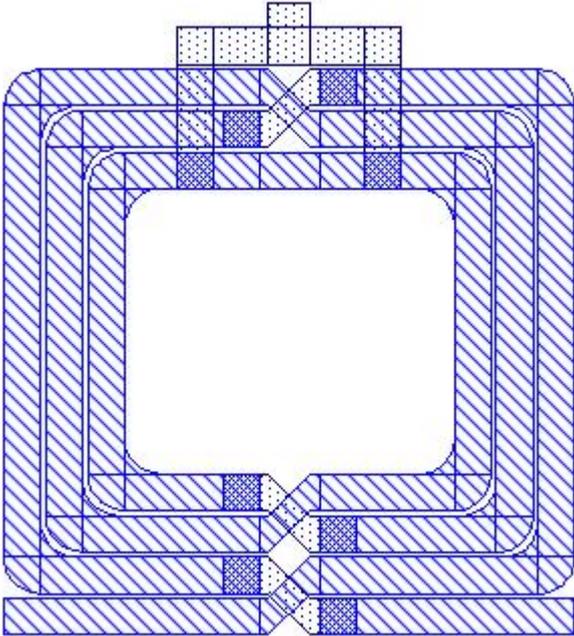


Figure IV-39 : Inductance différentielle

IV.2. Blindage de l'inductance symétrique

Le blindage d'une inductance est une nécessité pour la protéger des couplages parasites même si ce blindage dégrade ses caractéristiques (Figure IV-40).

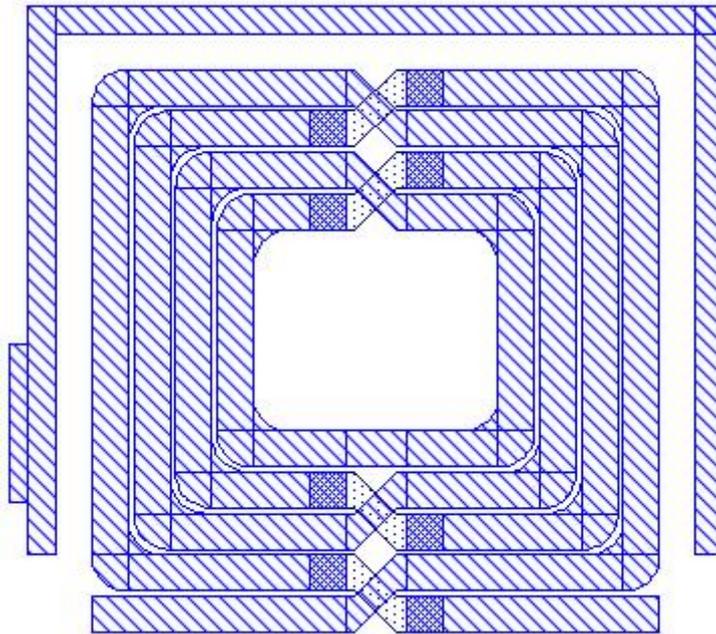


Figure IV-40 : Inductance symétrique avec blindage

Sur les figures IV-41 et IV-42, on compare la valeur d'inductance et le facteur de qualité de deux inductances symétriques, l'une avec blindage et l'autre sans. On remarque que le blindage a une influence non négligeable sur les caractéristiques des inductances et qu'il faut toujours le prendre en compte.

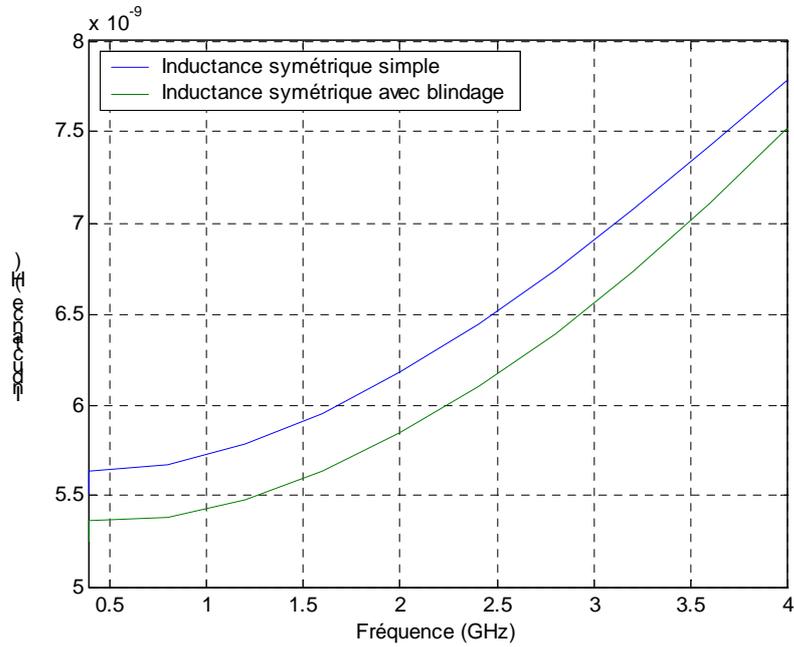


Figure IV-41 : Comparaison des valeurs d'inductances

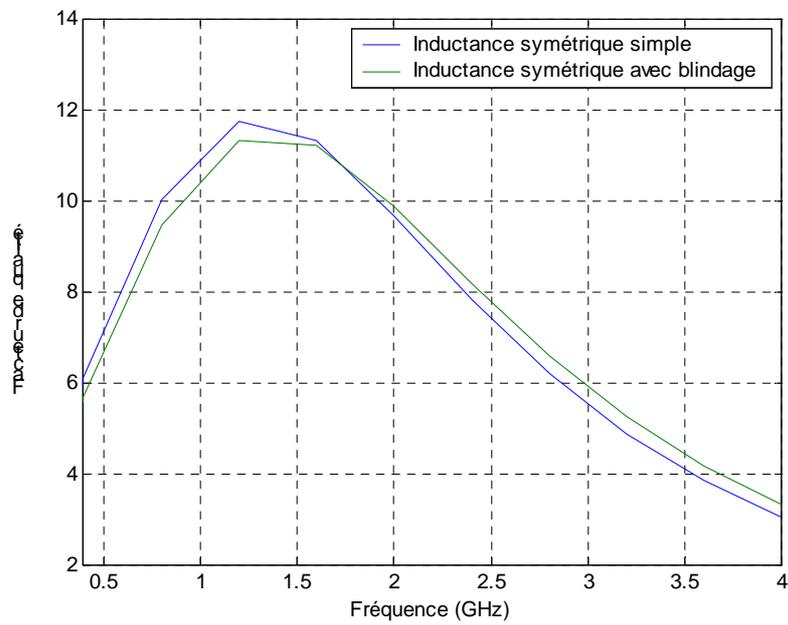


Figure IV-42 : Comparaison des facteurs de qualité

IV.3. Couplage entre inductances de dégénérescences

Dans le circuit final, nous utilisons deux inductances de dégénérescences symétriques (Figure IV-43). La possibilité d'utiliser une seule inductance de dégénérescence différentielle est également envisageable. Cette solution est moins encombrante en terme d'espace que les deux inductances séparées mais demande une optimisation très longue. Deux inductances de dégénérescence séparées sont donc utilisées au lieu d'une inductance différentielle.

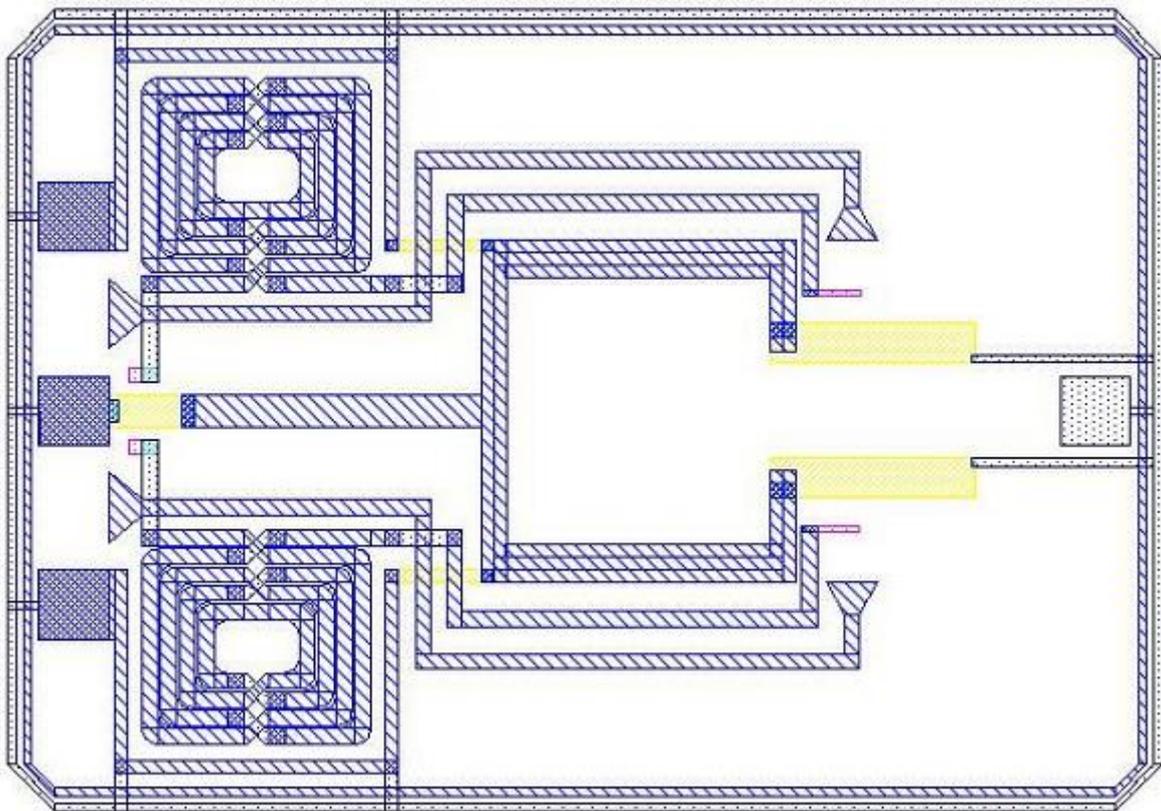


Figure IV-43 : Couplage entre inductances de dégénérescence

L'étape suivante est l'évaluation du couplage entre les deux inductances. Nous remarquons que ce couplage est fortement dépendant de la distance entre les inductances et de la largeur de la ligne qui les sépare. Cette ligne connecte le blindage du résonateur à la masse.

La figure IV-43 montre une séparation minimale pour aboutir à un couplage minimal de $k = 3,5 \times 10^{-3}$.

Les lignes d'entrée qui sont longues doivent être modélisées avec précision (Figure IV-44). Leurs couplages avec les inductances de dégénérescence et l'inductance du résonateur sont très influents.

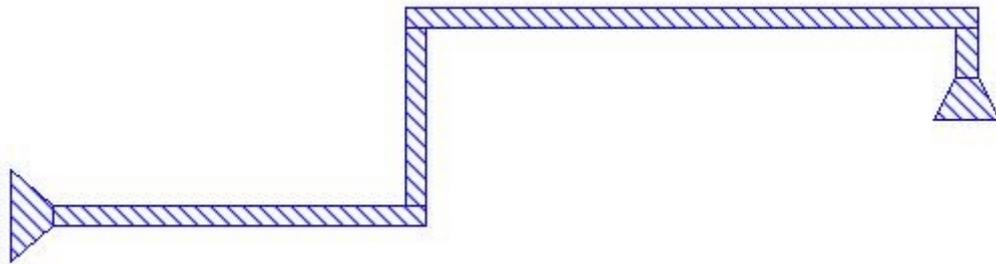


Figure IV-44 : Ligne d'adaptation d'entrée

V. Analyse de l'amplificateur associé au résonateur

Dans cette partie, nous associons l'amplificateur au résonateur pour obtenir les expressions analytiques globales de notre filtre actif, comme illustré sur la figure IV-45.

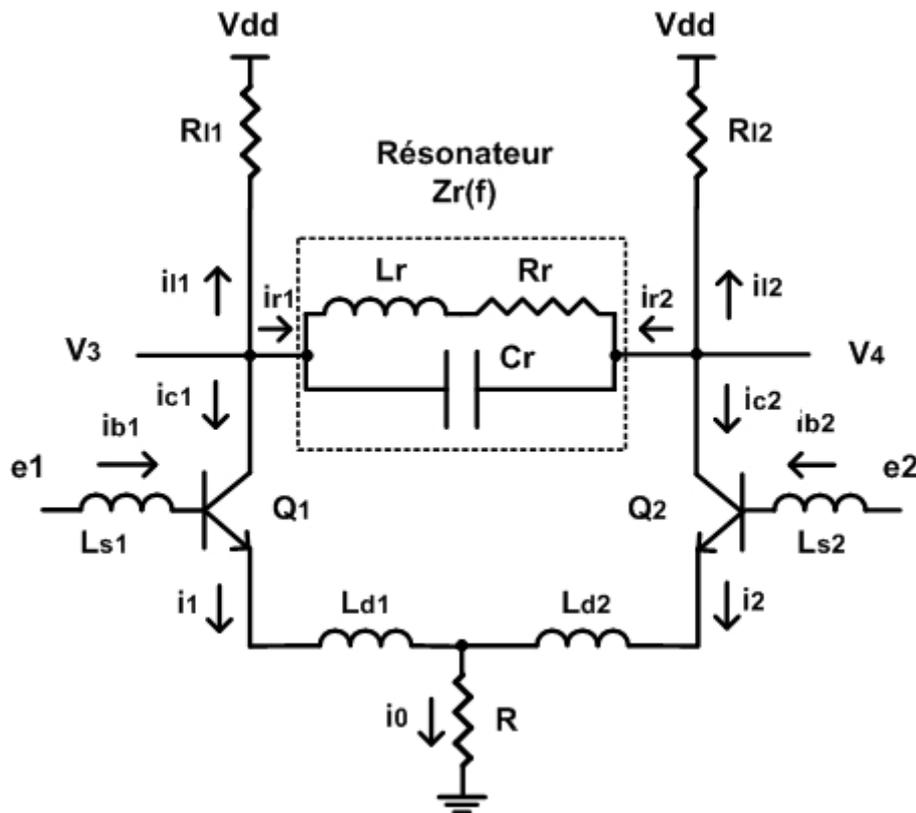


Figure IV-45 : Ensemble amplificateur et résonateur

i_{l1} et i_{l2} représentent les courants qui traversent les deux résistances de charge des deux branches, V_3 et V_4 représentent les tensions petit signal de sorties de l'amplificateur, elles peuvent être exprimées par (IV-17) et (IV-18) :

$$V_3 = -(i_{c1} + i_{r1})R_{l1} \quad (\text{IV-17})$$

et
$$V_4 = -(i_{c2} + i_{r2})R_{l2} \quad (\text{IV-18})$$

Comme les deux branches de l'amplificateur sont équilibrées, on suppose que :

$$R_{l1} = R_{l2} = R_l$$

Afin de trouver les expressions des transconductances de l'amplificateur dans les deux modes différentiel et commun, on cherche d'abord l'expression des courants i_{b1} et i_{b2} .

$$i_{b1} = \frac{i_{c1}}{gm(r_\pi // C_\pi)} \quad (IV-19)$$

$$\text{et } i_{b2} = \frac{i_{c2}}{gm(r_\pi // C_\pi)} \quad (IV-20)$$

Si on compare la différence entre les deux expressions de i_{b1} (IV-19) et i_{b2} (IV-20) et l'expression (IV-5) on obtient :

$$(i_{c1} - i_{c2}) = (e_1 - e_2)Ad \quad (IV-21)$$

$$\text{avec } Ad = \frac{gm(r_\pi // C_\pi)}{[r_b + j\omega(L_s + L_d) + (r_\pi // C_\pi)] + j\omega L_d gm(r_\pi // C_\pi)}$$

Ad représente la transconductance en mode différentiel.

En utilisant la même méthode, on obtient avec l'expression (IV-4), pour le mode commun :

$$(i_{c1} + i_{c2}) = (e_1 + e_2)Ac - 2i_0RAc \quad (IV-22)$$

$$\text{avec } Ac = \frac{gm(r_\pi // C_\pi)}{r_b + j\omega(L_s + L_d) + (r_\pi // C_\pi) + j\omega L_d gm(r_\pi // C_\pi)}$$

Ac représente la transconductance en mode commun.

La combinaison des deux modes (IV-21) et (IV-22), permet finalement de trouver l'expression des deux courants i_{c1} et i_{c2} :

$$i_{c1} = (e_1 - e_2) \frac{Ad}{2} + (e_1 + e_2) \frac{Ac}{2} - i_0 RAc$$

et
$$i_{c2} = -(e_1 - e_2) \frac{Ad}{2} + (e_1 + e_2) \frac{Ac}{2} - i_0 RAc$$

Si on remplace i_{c1} et i_{c2} dans les expressions précédentes de V_3 (IV-17) et V_4 (IV-18), on retrouve :

$$V_3 = - \left\{ (e_1 - e_2) \frac{Ad}{2} + (e_1 + e_2) \frac{Ac}{2} - i_0 RAc + i_{r1} \right\} R_{l1} \quad (\text{IV-23})$$

et
$$V_4 = - \left\{ -(e_1 - e_2) \frac{Ad}{2} + (e_1 + e_2) \frac{Ac}{2} - i_0 RAc + i_{r2} \right\} R_{l2} \quad (\text{IV-24})$$

V.1. Résonateur en mode différentiel

Dans ce mode, on cherche la différence entre les tensions de sorties du circuit utilisant les expressions précédentes de V_3 (IV-23) et V_4 (IV-24). Si on suppose que l'amplificateur est symétrique $R_{l1} = R_{l2} = R_l$ on trouve :

$$V_3 - V_4 = -Ad(e_1 - e_2)R_l - (i_{r1} - i_{r2})R_l$$

Du côté résonateur :

$$i_{r1} = -i_{r2} = \frac{V_3 - V_4}{Z_r(f)} \quad \text{où } Z_r(f) \text{ représente l'impédance du résonateur.}$$

Grâce à ces deux dernières expressions, on obtient A_{vd} qui représente le gain différentiel en tension de l'ensemble amplificateur et résonateur :

$$A_{vd} = \frac{V_3 - V_4}{e_1 - e_2} = \frac{-AdR_l}{1 + \frac{2R_l}{Z_r(f)}}$$

Si on suppose que :

$$\frac{2R_l}{Z_r(f)} \gg 1$$

L'expression du gain A_v se simplifie :

$$A_{vd} \approx \frac{-Ad}{2} Z_r(f) \tag{IV-25}$$

L'impédance du résonateur $Z_r(f)$ peut être exprimée comme suit :

$$Z_r(f) = \frac{R_r + j\omega L_r}{1 - \omega^2 L_r C_r + j\omega C_r R_r}$$

L'expression du gain A_{vd} (IV-25) est directement proportionnelle au produit de l'impédance du résonateur avec la transconductance du mode différentiel.

V.2. Résonateur en mode commun

Avec la même approche que pour le mode différentiel, on s'intéresse, ici, à la somme des tensions de sortie du circuit V_3 et V_4 :

$$V_3 + V_4 = -Ac(e_1 + e_2)R_l + 2Aci_0RR_l - (i_{r1} + i_{r2})R_l$$

Comme les courants du résonateur sont tels que $i_{r1} = -i_{r2}$ on trouve le gain en tension du mode commun :

$$A_{vc} = \frac{V_3 + V_4}{e_1 + e_2} = -AcR_l + \frac{2Aci_0RR_l}{e_1 + e_2} \quad (\text{IV-26})$$

Nous remarquons dans l'expression A_{vc} (IV-26) qui représente le gain en tension du mode commun, une complète absence de l'impédance du filtre $Z_r(f)$. Cela confirme que le filtrage global du circuit ne fonctionne qu'en mode différentiel et pas en mode commun.

V.3. Charge de l'amplificateur sur le résonateur

Bien que le LNA contribue à l'amplification du signal filtré, il constitue aussi une charge pour le résonateur. D'après la partie précédente sur l'évaluation de Z_s (II.4), nous avons trouvé que l'amplificateur a une impédance de sortie égale à $Z_s = 200 - j506$. Pour évaluer le facteur de qualité du filtre actif, cette charge doit être prise en compte et rajoutée à la charge intrinsèque du résonateur (Figure IV-46).

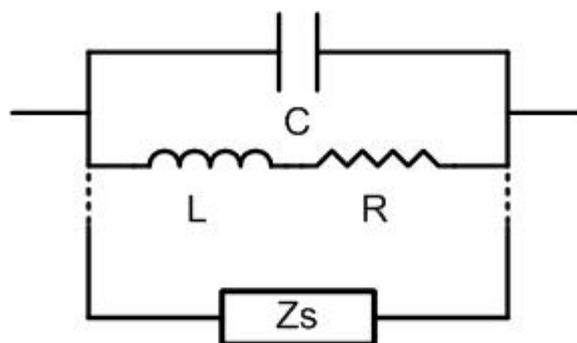


Figure IV-46 : Résonateur associé à l'impédance Z_s de l'amplificateur

La figure IV-47 présente le résonateur avec ses deux charges, une résistance parallèle équivalente à la résistance série de l'inductance $R(Q^2+1)$ et Z_s (Impédance de sortie de l'amplificateur) qui peut être décomposée en $R_s = 1,48 \text{ k}\Omega$ associé en parallèle avec $C_s = 136 \text{ fF}$.

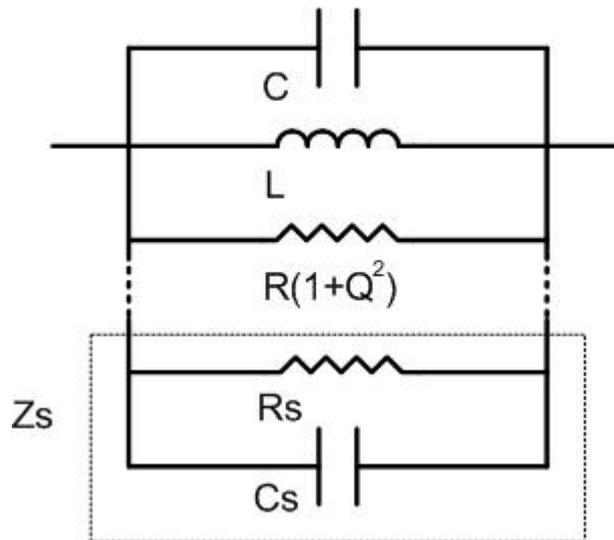


Figure IV-47 : Résonateur associé model composé de R_s et C_s de l'amplificateur

Une bande passante de 65 MHz à 2 GHz (norme UMTS) correspond à un facteur de qualité de 30 ($2\text{GHz}/65\text{MHz}$) pour le résonateur du filtre. Utilisant une inductance de 3 nH par exemple implique que la résistance parallèle équivalente doit être de 9 k Ω .

On note ici la grande différence entre la faible valeur de la résistance $R_s = 1,48 \text{ k}\Omega$ que l'amplificateur impose sur le résonateur et les 9 k Ω dont le résonateur a besoin pour obtenir la bande passante de 65 MHz.

Ce résultat confirme la limitation de la bande passante imposée par la faible impédance de sortie de l'amplificateur par rapport à celle du résonateur.

Afin de résoudre ce problème d'adaptation d'impédance nous utilisons un bloc convertisseur d'impédance entre l'amplificateur et le résonateur.

VI. Circuit de compensation

VI.1. Principe du circuit

Nous avons prouvé dans la section précédente que la topologie utilisée ne peut jamais fournir la bande passante nécessaire parce que la combinaison de la charge de l'inductance et celle de l'amplificateur est importante pour parvenir à notre but. Pour ces raisons, nous concevons une résistance négative qui se compose de deux transistors PMOS, T_1 et T_2 comme illustré sur la figure IV-48. Pour extraire l'admittance équivalente, nous analysons dans la figure IV-49 le schéma petit signal de la résistance négative.

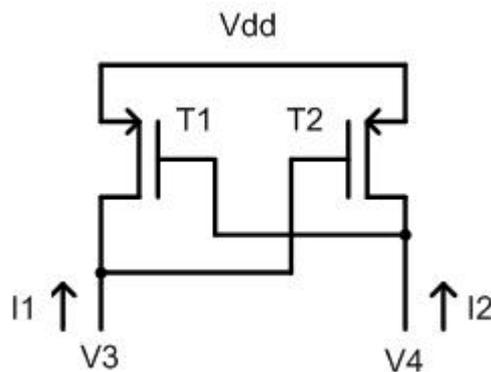


Figure IV-48 : Résistance négative

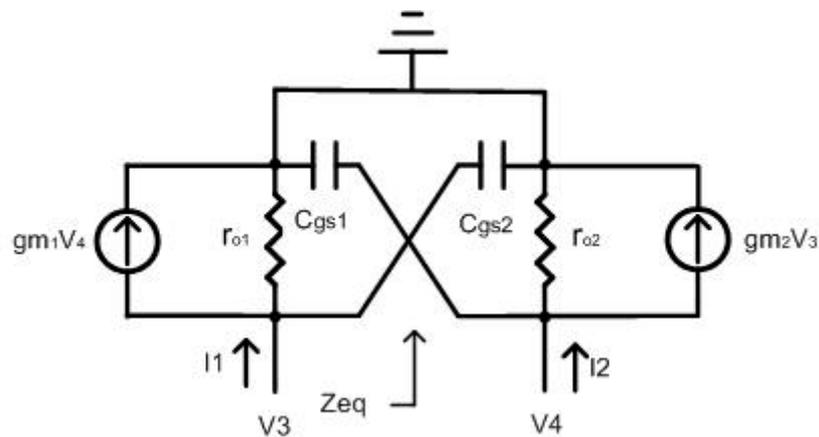


Figure IV-49 : Modèle petit signal de la résistance négative

Pour simplifier l'étude analytique, on intervertit les deux capacités parasites grille-source C_{gs} des deux transistors comme illustré sur la figure IV-50.

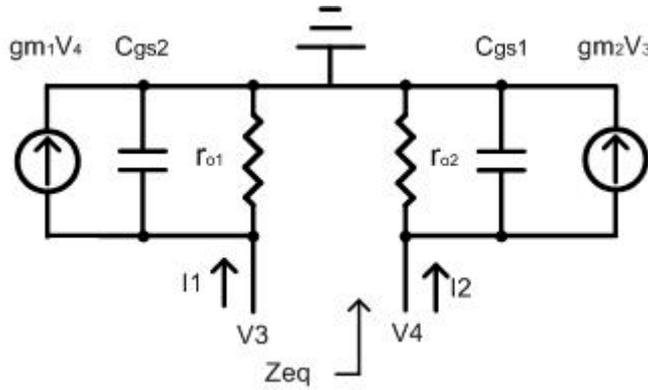


Figure IV-50 : Modèle petit signal de la résistance négative

Les expressions des deux courants entrants sont :

$$I_1 = gm_1 V_4 + \frac{V_3}{r_{01}} + j\omega C_{gs2} V_3 \quad (IV-27)$$

$$I_2 = gm_2 V_3 + \frac{V_4}{r_{02}} + j\omega C_{gs1} V_4 \quad (IV-28)$$

En mode différentiel, les expressions de l'impédance et de l'admittance de la résistance négative avec deux transistors identiques ($gm_1 = gm_2$, $C_{gs1} = C_{gs2}$, $r_{01} = r_{02}$) utilisant (IV-27) et (IV-28) sont :

$$Z_{eq-diff} = \frac{V_3 - V_4}{I_1 - I_2} = \frac{1}{-gm + \frac{1}{r_0} + j\omega C_{gs}}$$

$$\Rightarrow Y_{eq-diff} = -gm + \frac{1}{r_0} + j\omega C_{gs} \quad (IV-29)$$

Pour compenser une faible admittance d'une inductance (IV-29), nous utiliserons un gm faible, ce qui correspond à de petites tailles de transistors. Il est important de remarquer la partie imaginaire associée à la partie réelle négative qui est due aux capacités parasites des transistors et qui doit être prise en compte dans la conception finale.

L'impédance ou admittance de ce circuit de compensation en mode commun a pour expression :

$$Z_{eq-com} = \frac{V_3 + V_4}{I_1 + I_2} = \frac{1}{gm + \frac{1}{r_0} + j\omega C_{gs}}$$

$$\Rightarrow Y_{eq-com} = gm + \frac{1}{r_0} + j\omega C_{gs} \quad (IV-30)$$

L'expression de l'impédance de compensation en mode commun (IV-30) est positive, ce qui indique que la structure de la résistance négative ne compense qu'en mode différentiel.

VI.2. Analyse en bruit du circuit de compensation

Pour simplifier l'analyse, on ne considère que le bruit thermique induit principalement par le canal du transistor. On néglige le bruit en $1/f$ (bruit de Flicker) car il n'est pas dominant aux fréquences de l'étude.

Sur la figure IV-51, on considère que les deux sources de bruit sont entre drain et source et que ces sources sont complètement décorrélées. Les expressions des courants de bruit sont :

$$\overline{i_{p1}^2} = 4kT\gamma g_{m1} \quad (IV-31)$$

$$\overline{i_{p2}^2} = 4kT\gamma g_{m2} \quad (IV-32)$$

Le coefficient $k = 1,38 \times 10^{-23}$ J/K est la constante de Boltzmann, g_m est la transconductance, $T=300^\circ\text{K}$ est la température en Kelvin et γ est un facteur de valeur $2/3$ pour les transistors à long canal (presque $5/2$ pour des MOS à $0,25 \mu\text{m}$ [13]).

VII. Convertisseur d'impédance

L'ensemble amplificateur, résonateur LC et résistance négative permet de réaliser la fonction de filtrage amplifiée. L'inconvénient de cette structure est la limitation de facteur de qualité du résonateur qui ne permet pas d'obtenir une bande passante à -3dB de 65 MHz. La solution proposée pour satisfaire aux spécifications est d'ajouter un bloc de conversion d'impédance entre l'amplificateur et le reste du circuit. Nous concevons ce bloc avec des éléments purement actifs.

Le convertisseur d'impédance est schématisé sur la figure IV-52. Il se compose de quatre transistors NMOS T_1 à T_4 .

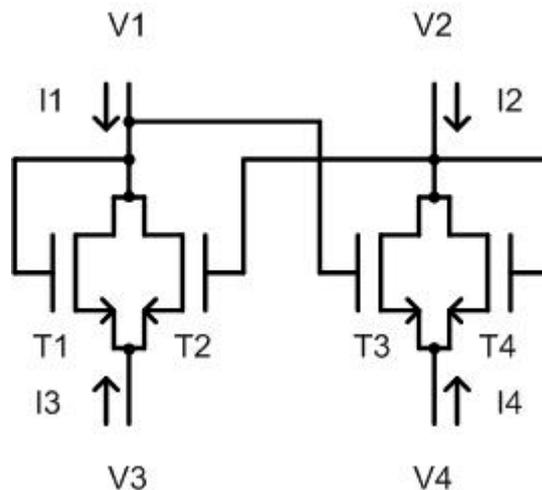


Figure IV-52 : Convertisseur d'impédance

Pour étudier le comportement du convertisseur, on utilise le modèle du transistor NMOS illustré sur la figure IV-53.

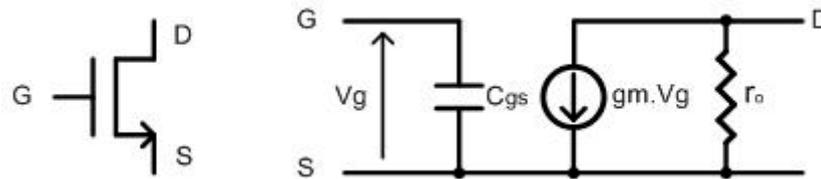


Figure IV-53 : Modèle petit signal d'un transistor NMOS

La figure IV-54 montre le schéma équivalent petit signal du convertisseur complet. Le premier objectif est de trouver les expressions analytiques des impédances d'entrée et de sortie. Pour simplifier cette analyse, on considère la structure symétrique. T_1 et T_4 sont identiques, comme T_2 et T_3 . Cela implique que $gm_1=gm_4$, $gm_2=gm_3$, $Cgs_1=Cgs_4$, $Cgs_2=Cgs_3$, $r_{o1}=r_{o4}$, $r_{o2}=r_{o3}$.

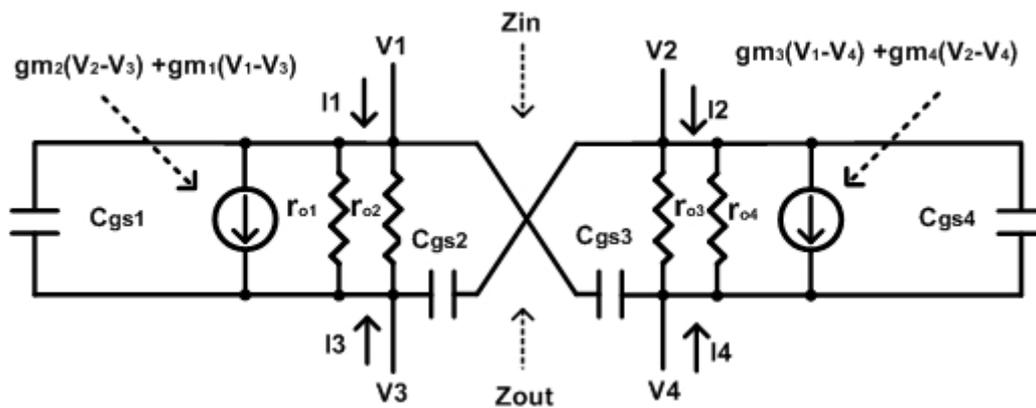


Figure IV-54 : Schéma équivalent petit signal du convertisseur d'impédance

Sachant que $r_{o1}/r_{o2} = r_{o3}/r_{o4} = (r_{o1}/2)$, Le modèle petit signal obtenu est plus simple (Figure IV-55).

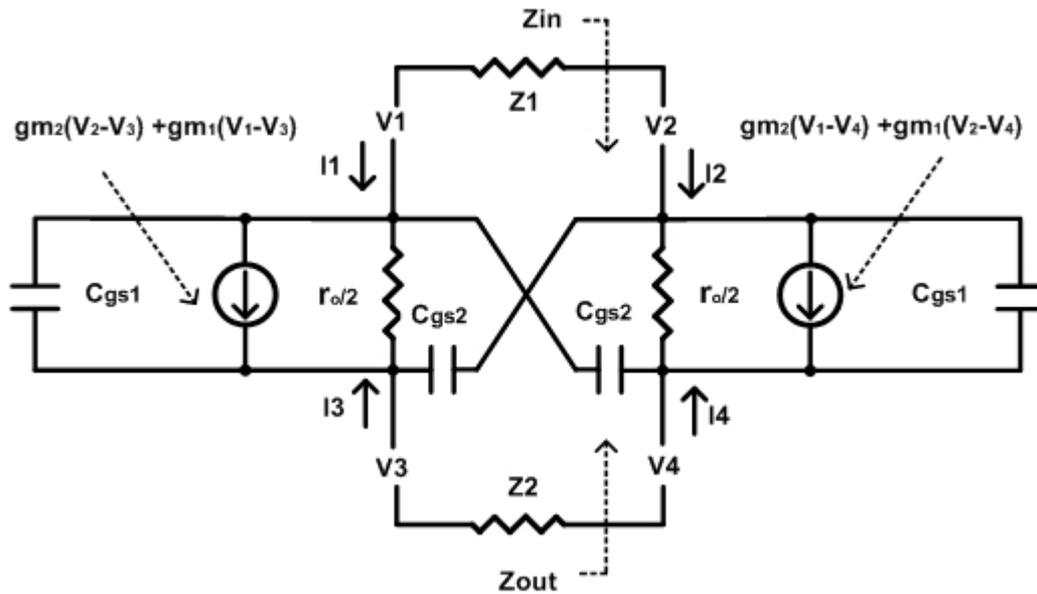


Figure IV-55 : Schéma équivalent petit signal simplifié du convertisseur d'impédance

A partir de la figure IV-55, on obtient les équations suivantes de (IV-35) à (IV-36) :

$$\begin{cases} I_1 = gm_2(V_2 - V_3) + gm_1(V_1 - V_3) + \frac{(V_1 - V_3)}{\alpha} + \beta(V_1 - V_4) \\ I_2 = gm_2(V_1 - V_4) + gm_1(V_2 - V_4) + \frac{(V_2 - V_4)}{\alpha} + \beta(V_2 - V_3) \end{cases} \quad \text{(IV-35) et (IV-36)}$$

$$\begin{cases} I_3 = -gm_2(V_2 - V_3) - gm_1(V_1 - V_3) - \frac{(V_1 - V_3)}{\alpha} - \beta(V_2 - V_3) \\ I_4 = -gm_2(V_1 - V_4) - gm_1(V_2 - V_4) - \frac{(V_2 - V_4)}{\alpha} - \beta(V_1 - V_4) \end{cases} \quad \text{(IV-37) et (IV-38)}$$

$$\text{Avec } \alpha = (r_0 / 2) // Cgs_1 \Rightarrow \frac{1}{\alpha} = \frac{2}{r_0} + J\omega Cgs_1 \text{ et } \beta = J\omega Cgs_2.$$

A partir de ces quatre équations, on extrait la matrice Y (IV-39) du transformateur d'impédance.

$$\begin{bmatrix} I_1 \\ I_2 \\ I_3 \\ I_4 \end{bmatrix} = \begin{bmatrix} gm_1 + \frac{1}{\alpha} + \beta & gm_2 & -gm_2 - gm_1 - \frac{1}{\alpha} & -\beta \\ gm_2 & gm_1 + \frac{1}{\alpha} + \beta & -\beta & -gm_2 - gm_1 - \frac{1}{\alpha} \\ -gm_1 - \frac{1}{\alpha} & -gm_2 - \beta & gm_2 + gm_1 + \frac{1}{\alpha} + \beta & 0 \\ -gm_2 - \beta & -gm_1 - \frac{1}{\alpha} & 0 & gm_2 + gm_1 + \frac{1}{\alpha} + \beta \end{bmatrix} \begin{bmatrix} V_1 \\ V_2 \\ V_3 \\ V_4 \end{bmatrix} \quad (\text{IV-39})$$

Si on considère que le circuit se compose de deux parties différentes, l'une servant le mode différentiel et l'autre le mode commun, on peut extraire deux matrices différentes, une pour chaque mode.

VII.1. Analyse du mode différentiel

Pour ce mode, on considère seulement la différence $(I_1 - I_2)$ et $(I_3 - I_4)$, ce qui réduit la matrice principale (IV-39) à la matrice suivante :

$$\begin{bmatrix} I_1 - I_2 \\ I_3 - I_4 \end{bmatrix} = \begin{bmatrix} gm_1 - gm_2 + \frac{1}{\alpha} + \beta & -(gm_1 + gm_2 + \frac{1}{\alpha}) + \beta \\ -gm_1 + gm_2 - \frac{1}{\alpha} + \beta & +(gm_1 + gm_2 + \frac{1}{\alpha}) + \beta \end{bmatrix} \begin{bmatrix} V_1 - V_2 \\ V_3 - V_4 \end{bmatrix} \quad (\text{IV-40})$$

Pour interpréter facilement cette matrice, on considère que les transistors sont identiques et sans éléments parasites. Dans ce cas, cette matrice peut se réduire à :

$$\begin{bmatrix} I_1 - I_2 \\ I_3 - I_4 \end{bmatrix} = \begin{bmatrix} 0 & -2gm \\ 0 & +2gm \end{bmatrix} \begin{bmatrix} V_1 - V_2 \\ V_3 - V_4 \end{bmatrix}$$

Cette matrice révèle que la seule dépendance des courants porte sur les tensions de sorties $(V_3 - V_4)$ et pas sur les tensions de l'entrée $(V_1 - V_2)$. Cela donne une première idée du comportement en mode différentiel. Le convertisseur d'impédance dans ce mode se comporte comme une transconductance contrôlée par l'amplificateur de sortie. Le résonateur n'influe en aucun cas le reste du circuit.

VII.2. Analyse du mode commun

Pour ce mode, on considère seulement la somme (I_1+I_2) et (I_3+I_4) , ce qui réduit la matrice principale (IV-39) à la matrice suivante :

$$\begin{bmatrix} I_1 + I_2 \\ I_3 + I_4 \end{bmatrix} = \begin{bmatrix} (gm_1 + gm_2 + \frac{1}{\alpha} + \beta) & -(gm_1 + gm_2 + \frac{1}{\alpha} + \beta) \\ -(gm_1 + gm_2 + \frac{1}{\alpha} + \beta) & (gm_1 + gm_2 + \frac{1}{\alpha} + \beta) \end{bmatrix} \begin{bmatrix} V_1 + V_2 \\ V_3 + V_4 \end{bmatrix} \quad \text{V-41}$$

De la même façon que pour le mode différentiel, on suppose que les transistors sont identiques et idéaux (sans parasites). Dans ce cas, cette matrice peut se réduire à :

$$\begin{bmatrix} I_1 + I_2 \\ I_3 + I_4 \end{bmatrix} = \begin{bmatrix} +2gm & -2gm \\ -2gm & +2gm \end{bmatrix} \begin{bmatrix} V_1 + V_2 \\ V_3 + V_4 \end{bmatrix}$$

On remarque que cette matrice Y est identique à celle d'une simple résistance de valeur égale à $2gm$. Le comportement du convertisseur d'impédance dans le mode commun est complètement différent de celui observé en mode différentiel. Dans ce mode il n'y a pas de conversion d'impédance et le circuit se comporte comme une charge résistive série.

VII.3. Admittances d'entrée et de sortie du convertisseur

Pour déterminer les avantages de la conversion d'impédance (admittance), il est intéressant de connaître les expressions d'admittance de l'entrée Y_{in} et de la sortie Y_{out} en prenant en compte les éléments parasites. Si nous considérons entre les étages les conditions d'adaptation en tension Y_{in} doit être faible car le convertisseur charge le résonateur et ne doit pas modifier sa réponse électrique (notamment son facteur de qualité). De même Y_{out} doit être élevée car le convertisseur est chargé par l'amplificateur.

VII.3.1. Admittance d'entrée Y_{in} du convertisseur

On calcule Y_{in} par :

$$Y_{in} = \frac{I_2 - I_1}{V_2 - V_1}$$

En utilisant les expressions de la différence $I_2 - I_1$ et $V_2 - V_1$ de la matrice (IV-40) on retrouve :

$$Y_{in} = \frac{(-gm_2 + gm_1 + \frac{1}{\alpha} + \beta) + 4\beta Z_2 (gm_1 + \frac{1}{\alpha})}{1 + Z_2 (gm_2 + gm_1 + \frac{1}{\alpha} + \beta)} \quad (IV-42)$$

Z_2 est l'impédance de sortie de l'amplificateur (Figure IV-55), et $\alpha = (r_0 / 2) // Cgs_1$ et $\beta = J\omega Cgs_2$

- Si $\alpha = \infty$ et $\beta = 0$, alors :
$$Y_{in} = \frac{-gm_2 + gm_1}{1 + Z_2 (gm_2 + gm_1)}$$
- Si $\alpha = \infty$ et $\beta = 0$ et $gm_2 = gm_1 = gm$: $Y_{in} = 0$
- Si les deux transistors sont identiques $gm_2 = gm_1 = gm$ et $\alpha = (r_0 / 2) // Cgs$ et

$$\beta = J\omega Cgs \text{ alors : } Y_{in} = 2J\omega Cgs + \frac{\left[\frac{1}{Z_2} + 2J\omega Cgs \right] \frac{2}{r_0}}{\frac{1}{Z_2} + 2(gm + \frac{1}{r_0} + J\omega Cgs)} \quad (IV-43)$$

Si on décompose cette expression, on obtient l'équation suivante :

$$Y_{in} = 2J\omega C_{gs} + \frac{1}{\frac{r_0}{2} + Z_2 + Z_2 r_0 (gm + J\omega C_{gs})} + \frac{1}{\frac{r_0}{4J\omega C_{gs} Z_2} + \frac{gmr_0 + 1}{2J\omega C_{gs}} + \frac{r_0}{2}}$$

Cette équation peut être représentée graphiquement comme sur la figure IV-56. A partir de cette figure, on peut facilement voir que Z_2 est en série avec de fortes résistances, ce qui augmente l'impédance d'entrée globale. On remarque aussi la forte influence des capacités C_{gs} .

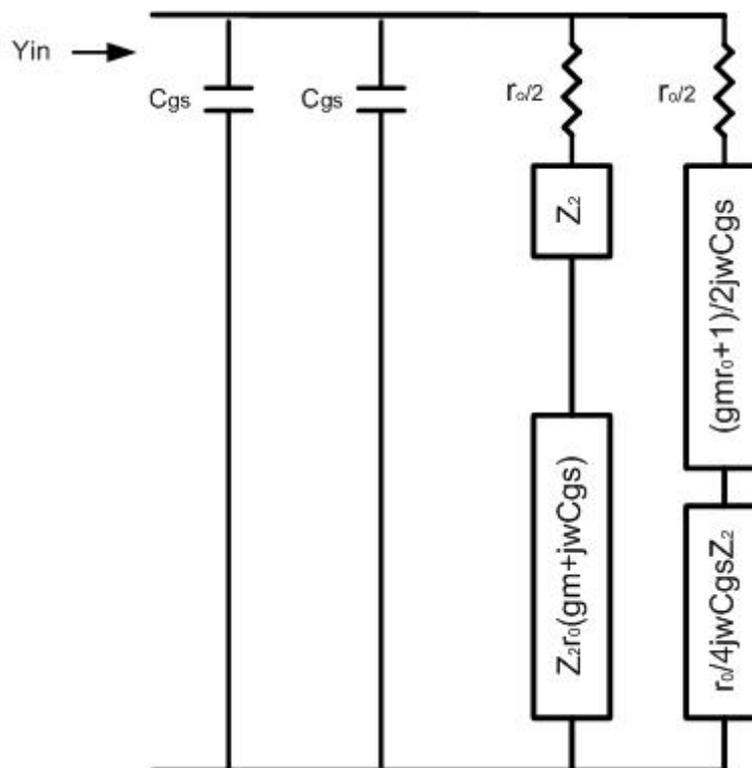


Figure IV-56 : Circuit équivalent à l'entrée du convertisseur d'impédance

Après l'extraction des valeurs des paramètres du modèle des transistors NMOS du convertisseur, on retrouve les valeurs suivantes (Tableau IV-2) :

Paramètres petit signal des transistors NMOS à 2 GHz	Valeurs
C_{gs}	88,6 fF
g_m	6 mS
r_0	2,812 k Ω

Tableau IV-2 : Paramètre des transistors NMOS

Y_{in} devient (avec Z_2 en k Ω):

$$Y_{in}(mS) = 0,71 \frac{\frac{1}{Z_2} + j2,23}{\frac{1}{Z_2} + 12,71 + j4,46} + j2,23$$

Sachant que l'impédance de l'amplificateur $Z_2 = Z_s = 0,20 - j0,51$ k Ω qui représente un circuit parallèle RC de 1,48 k Ω et 136 fF à 2 GHz, on trouve Y_{in} :

$$Y_{in}(mS) = 0,11 + j2,39$$

Ceci est équivalent à une résistance de 9,09 k Ω en parallèle avec capacité de 190,3 fF à 2 GHz. Ce résultat calculé analytiquement est un peu différent de la valeur simulée à 2 GHz, qui est de :

$$Y_{in}(mS) = 0,085 + j5,15$$

Cette valeur simulée est obtenue en remplaçant Z_2 par l'amplificateur. Ce résultat est équivalent à une résistance de 11,8 k Ω en parallèle avec une capacité de 410 fF. Cette différence entre valeur calculée et simulée est justifiée par la simplicité du modèle pris en compte dans l'étude analytique.

Dans tous les cas, méthodes calculée ou simulée, on remarque que l'impédance globale après le convertisseur de l'impédance est nettement plus forte que celle de l'amplificateur seul. Cela va aider à augmenter le facteur de qualité du résonateur chargé.

VII.3.2. Admittance de sortie Y_{out} du convertisseur

On calcule ici Y_{out} :

$$Y_{out} = \frac{I_4 - I_3}{V_4 - V_3}$$

En utilisant les expressions de la différence $(I_4 - I_3)$ et $(V_4 - V_3)$ de la matrice (IV-40) on retrouve :

$$Y_{out} = \frac{(gm_2 + gm_1 + \frac{1}{\alpha} + \beta) + 4\beta Z_1 (gm_1 + \frac{1}{\alpha})}{1 + Z_1 (-gm_2 + gm_1 + \frac{1}{\alpha} + \beta)} \quad (IV-44)$$

Z_1 est l'impédance du résonateur (Figure IV-55), et $\alpha = (r_0 / 2) // Cgs_1$ et $\beta = J\omega Cgs_2$

- Si $\alpha = \infty$ et $\beta = 0$, alors :
$$Y_{out} = \frac{gm_2 + gm_1}{1 + Z_1 (-gm_2 + gm_1)}$$
- Si $\alpha = \infty$ et $\beta = 0$ et $gm_2 = gm_1 = gm$, alors indépendamment de Z_1 , $Y_{out} = 2gm$
- Si les deux transistors sont identiques $gm_2 = gm_1 = gm$ et $\alpha = (r_0 / 2) // Cgs$ et $\beta = J\omega Cgs$ alors :

$$Y_{out} = \frac{2(gm + \frac{1}{r_0} + j\omega Cgs) + 4J\omega Cgs Z_1 (gm + \frac{2}{r_0} + J\omega Cgs)}{1 + 2Z_1 (\frac{1}{r_0} + J\omega Cgs)} \quad (IV-45)$$

Lorsque Z_l (l'impédance supposée du résonateur figure IV-55) varie entre sa valeur minimale $Z_l=0$ et $Z_l=\infty$, on a :

$$2j\omega C_{gs}\left(1 + \frac{1+r_0 gm}{r_0 j\omega C_{gs}}\right) < Y_{out} < 2J\omega C_{gs}\left(1 + \frac{1+r_0 gm}{1+r_0 J\omega C_{gs}}\right)$$

Les paramètres d'extraction des transistors NMOS donnent :

$$\begin{array}{l} 12,71 + j2,23 \text{ (mS)} < Y_{out} < 5,91 + j11,51 \text{ (mS)} \\ \text{ou bien } 78,68 \Omega // 177,5 \text{ fF} < Y_{out} < 169,20 \Omega // 916,4 \text{ fF} \end{array}$$

Avec le simulateur, et dans les mêmes conditions :

$$\begin{array}{l} 14,56 + j5,63 \text{ (mS)} < Y_{out} < 16,10 + j3,88 \text{ (mS)} \\ \text{ou bien } 68,68 \Omega // 448 \text{ fF} < Y_{out} < 62,11 \Omega // 309 \text{ fF} \end{array}$$

Dans tout les cas, l'admittance Y_{out} n'a pas une variation très importante par rapport à Z_l , ce qui prouve une certaine indépendance par rapport à l'impédance du résonateur.

VIII. Facteur de bruit et linéarité du filtre global

Le circuit réalisant les fonctions d'amplification et de filtrage est maintenant complet, composé d'un amplificateur différentiel, d'un résonateur, d'un bloc de conversion d'impédance et d'une résistance négative. La deuxième étape consiste à optimiser le circuit en terme de linéarité et de bruit.

Si on fait une étude sur l'effet des différents éléments du filtre on retrouve :

- Effet du LNA : Le bruit généré par ce LNA qui en tête de chaîne influence tout le reste du circuit (Formule de Friis). Une optimisation en bruit est très importante à ce niveau. De même, si l'amplificateur n'a pas une bonne linéarité, dans ce cas, la linéarité de l'ensemble du reste du circuit est aussi dégradée.

- Effet de la résistance négative : Une valeur importante introduit une densité de puissance bruit importante, d'où l'intérêt de compenser au minimum. Cela avantagera en outre la consommation totale du circuit.

- Effet du résonateur passif LC : L'obtention d'un facteur de qualité élevé de l'inductance est très important. La faible partie résistive de l'inductance engendre proportionnellement peu de bruit, avec cette même résistance, une faible compensation est requise pour augmenter le facteur de qualité global. Une faible résistance négative génère peu de bruit aussi. Au final, le facteur de qualité de l'inductance est relié directement au NF global.

Dans le domaine des circuits actifs, on utilise le facteur de mérite (DR), la dynamique a pour expression le rapport entre le point de compression P_{1dB} et la puissance de bruit en sortie P_n (IV-46 évoqué dans le chapitre II par l'expression II-10).

$$DR = \frac{P_{1dB}}{P_n} \quad (IV-46)$$

avec $P_n = kTB \times Gain \times NF$

(k : Constante de Boltzmann $1,38 \times 10^{-23}$. T : Température 290 K, et Bande passante normalisée de 1Hz. $kTB = 4,002 \times 10^{-21}$ Watt = -174 dBm).

La figure IV-57 représente le point de compression -1 dB simulé en entrée. Il est de -31 dB pour une puissance de sortie de -11,5 dB. Avec ce point de compression simulé et un facteur de bruit de 4,2 dB nous retrouvons un DR égal à 138,3 dB.

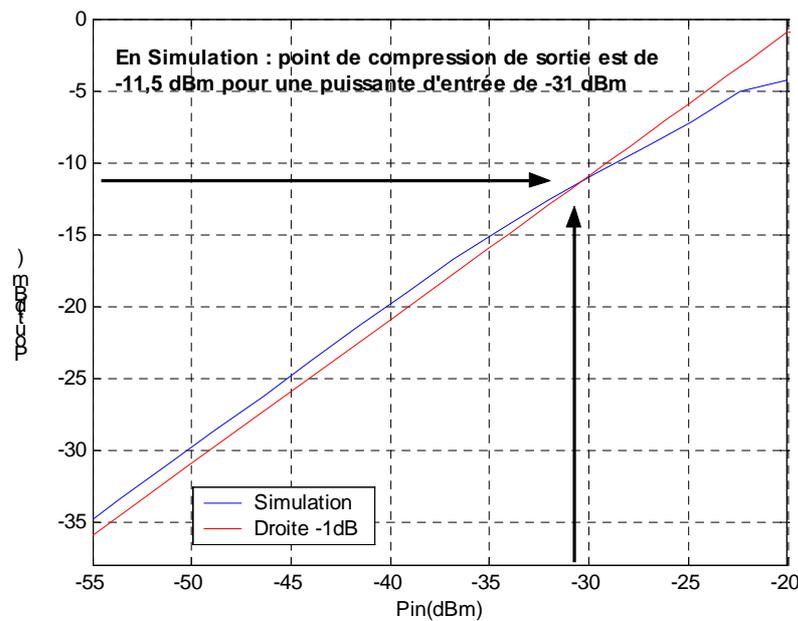


Figure IV-57 : Simulation du point de compression à -1dB

Kuhn.W.B et al [15] ont étudiés les différents DR de plusieurs circuits actifs (LNA, Gm-C et LC compensé). Ils ont prouvé que le DR des filtres LC compensé est directement proportionnel au facteur de qualité de l'inductance au carré. D'où l'importance de l'optimisation de l'inductance.

IX. Layout du filtre

La bibliothèque BiCMOS QUBIC 4 0,25 μm de PHILIPS est utilisée pour ce circuit [16]. Le layout final (Figure IV-58) occupe une surface de 1,51 mm X 1,04 mm (1,57 mm²).

Des plots d'accès RF différentiels sont utilisés pour les mesures différentielles. Des plots sont rajoutés pour le contrôle de la fréquence, du facteur de qualité et du gain.

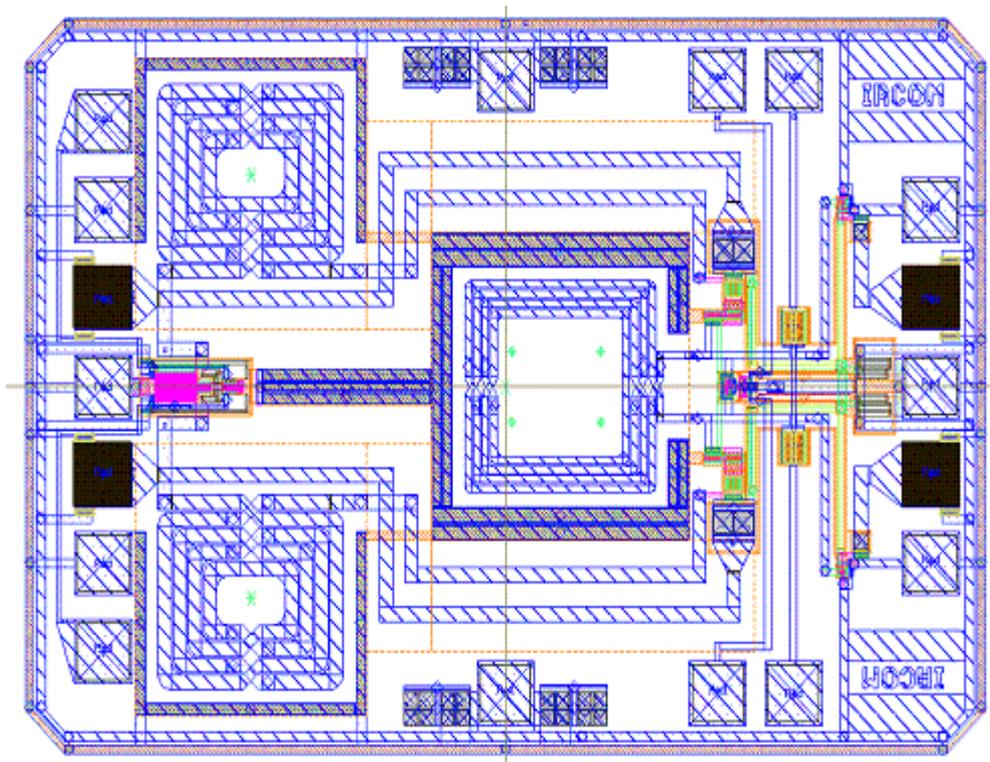


Figure IV-58 : Layout du circuit réalisé

La figure IV-59 montre la photographie du circuit complet.

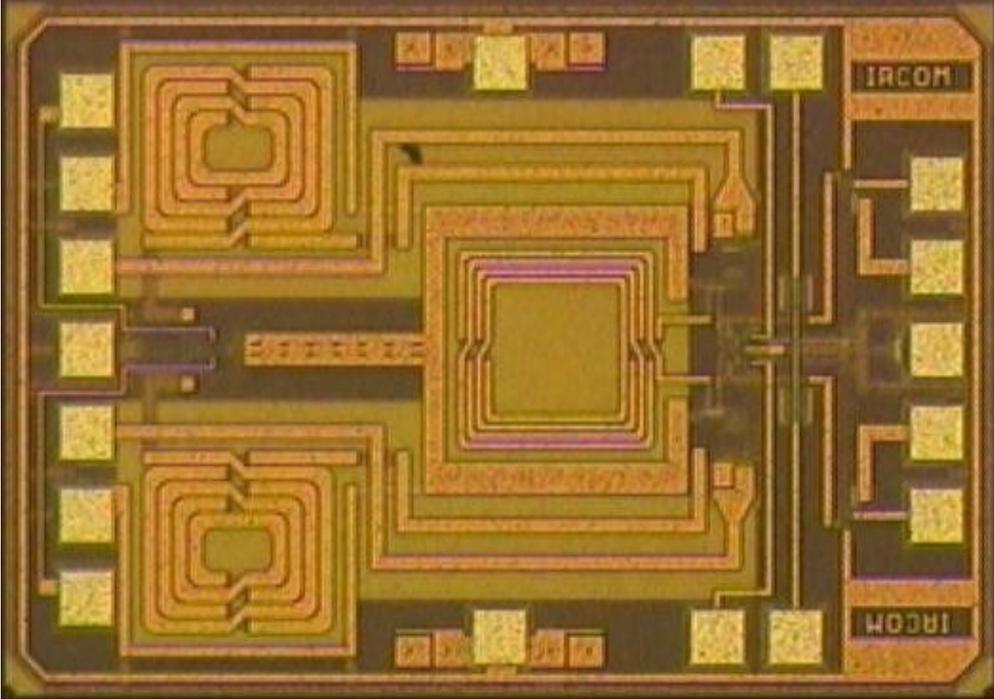


Figure IV-59 : Photographie du circuit

X. Simulations finales et mesures du filtre

Malgré les caractéristiques des transistors PMOS qui ont changées au moment de la réalisation des puces (V_t et I_{ds}), le fonctionnement du circuit reste correct. Le circuit complet présente des résultats en paramètres S décalés en fréquence de presque 200 MHz vers les hautes fréquences et une baisse de gain due au manque de compensation.

Avec une alimentation de 2,7V, le circuit consomme moins de 8 mA (dont 3,4 mA pour les buffers), ce qui est faible comparé à d'autres circuits utilisant la même technologie pour les mêmes fonctions. A la fréquence centrale, le circuit présente un gain en transmission S_{dd21} de 5 à 20 dB selon la fréquence centrale, et des réflexions S_{dd11} et S_{dd22} de moins de -9 et -15 dB respectivement. Avec une bande passante de 60 MHz, on obtient un facteur de bruit simulé de l'ordre de 4,2 dB. Le point de compression à -1 dB en entrée est de -25 dBm, ce qui correspond à un point de compression en sortie de -6 dBm dans le pire des cas. Le tableau IV-3 résume les principales caractéristiques du filtre.

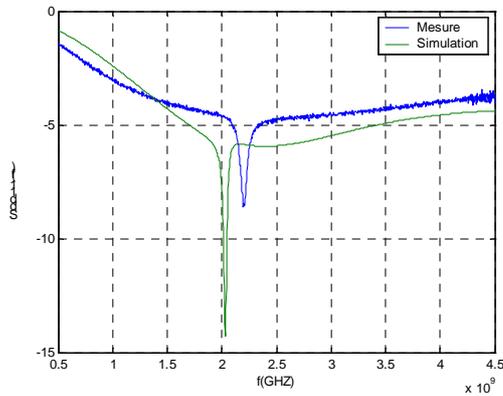
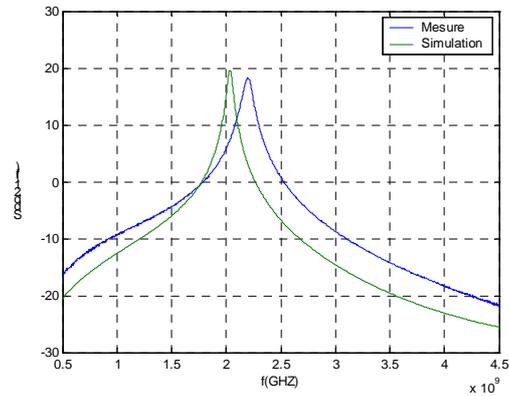
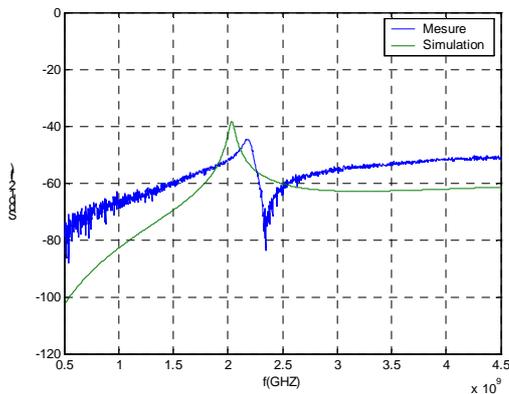
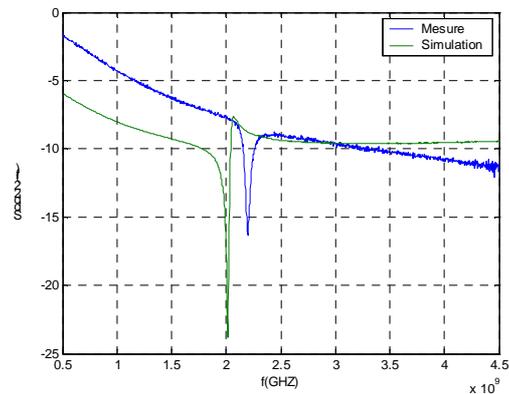
	Mesure	Simulation
Alimentation	2,7 V	
Courant	7 à 8 mA	6 à 6,5 mA
Balayage en fréquence	1,8 GHz -2,5 GHz	1,5 GHz – 2,2 GHz
Facteur de qualité Q du filtre avec une adaptation entrée et sortie adéquate	5 - 40	10-100
Gain S_{dd21} à la fréquence centrale	18,5 dB	20 dB
S_{dd11} , S_{dd22}	-9,-15 dB	-20 dB
Bande passante -3 dB	60 MHz	50 MHz
Point de compression en entré à -1dB	-25 dBm	-31 dBm
Point de compression en sortie à -1dB	-6 dBm	-11,5 dBm
DR	145,3 dB	138,3 dB
Figure de Bruit (NF)	Pas de mesure	4,2 dB
Surface de la puce	1,57 mm ²	1,57 mm ²

Tableau IV-3 : Résumé des performances du filtre

X.1. Mesures et simulations des modes différentiel et commun

Les figures suivantes, comparent les simulations et les mesures des deux modes différentiel et commun.

- Mode différentiel : Les mesures ont la même allure que les simulations malgré une baisse de gain en S_{dd21} (Figure IV-61) de -3dB et un décalage en fréquence de 200 MHz vers le haut. S_{dd11} (Figure IV-60) et S_{dd22} (Figure IV-63) démontrent une bonne adaptation à la fréquence centrale.

Figure IV-60 : S_{dd11} Figure IV-61 : S_{dd21} Figure IV-62 : S_{dd12} Figure IV-63 : S_{dd22}

- Mode commun : Le but ici est d'atténuer ce mode. Le paramètre de transmission S_{cc21} (Figure IV-65) mesuré est plus élevé que prévu mais reste inférieur à 0 dB. La réflexion en entrée (Figure IV-64) est plus faible que la simulation mais la réflexion en sortie (Figure IV-67) est négative et un peu plus élevée que la simulation à des fréquences inférieures à 2,5 GHz.

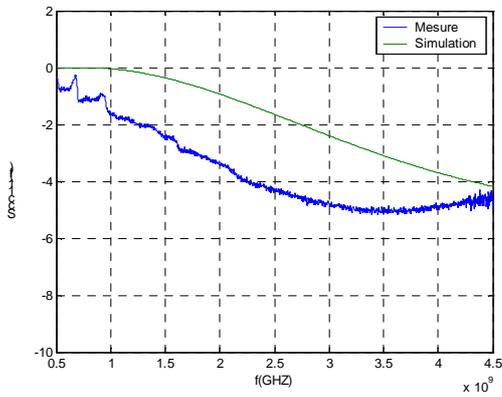


Figure IV-64 : S_{cc11}

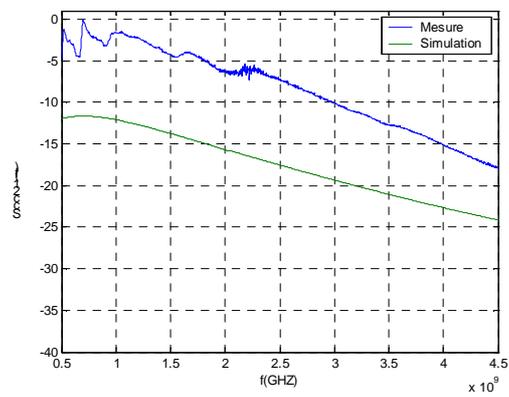


Figure IV-65 : S_{cc21}

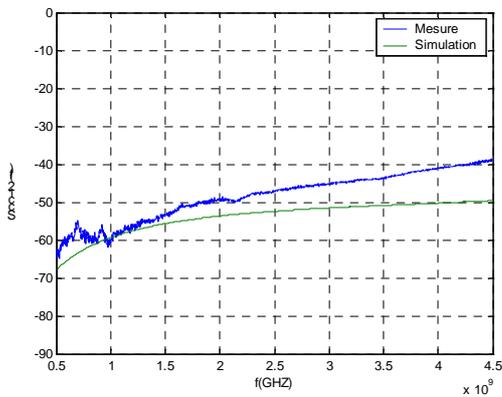


Figure IV-66 : S_{cc12}

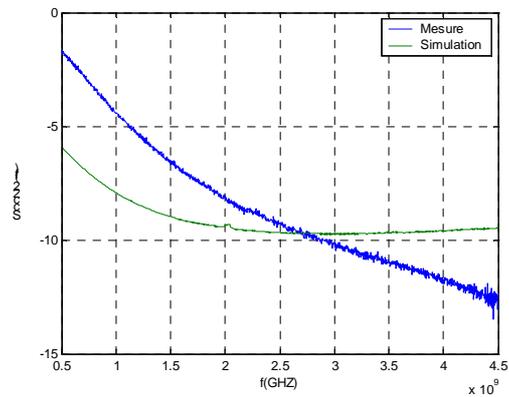
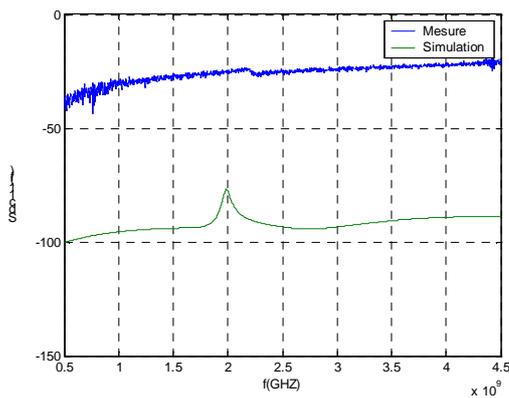
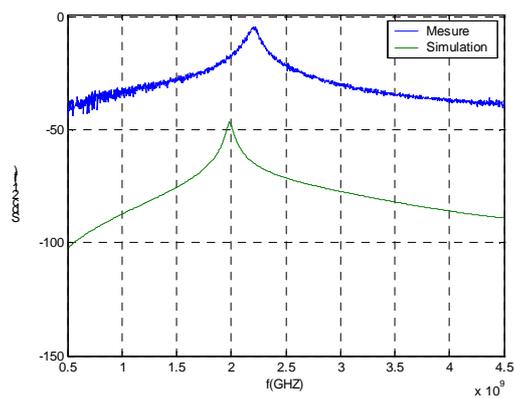
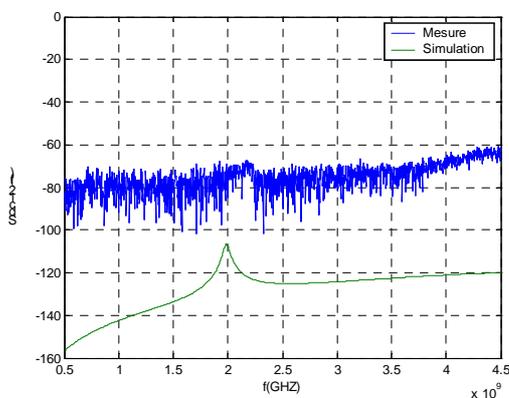
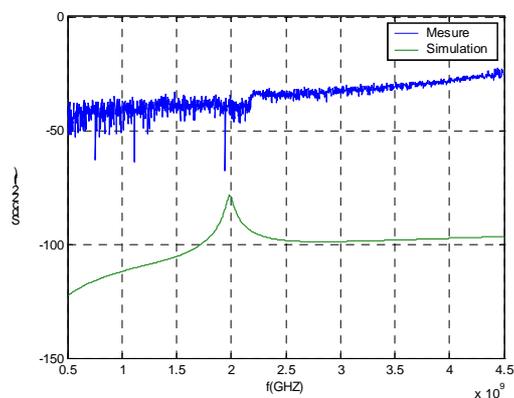


Figure IV-67 : S_{cc22}

X.2. Mesures et simulations des conversions de modes Différentiel - Commun et Commun - Différentiel

Les conversions de modes (Figures IV-68 à IV-75) informent sur le taux de conversion. Elles dépendent de la symétrie du circuit. Plus le circuit sera symétrique plus les conversion seront faibles.

- Conversion différentiel - commun : Ces mesures confirment les très faibles niveaux de conversion entre les deux modes.

Figure IV-68 : S_{dc11} Figure IV-69 : S_{dc21} Figure IV-70 : S_{dc12} Figure IV-71 : S_{dc22}

- Conversion commun - différentiel : Comme dans le mode précédent, les valeurs mesurées sont très faibles, elles expriment une conversion de mode commun - différentiel très faible.

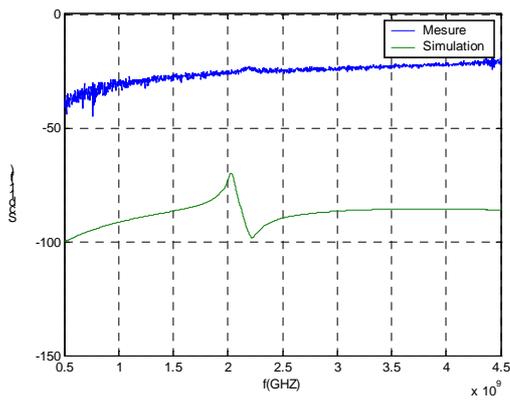


Figure IV-72 : S_{cd11}

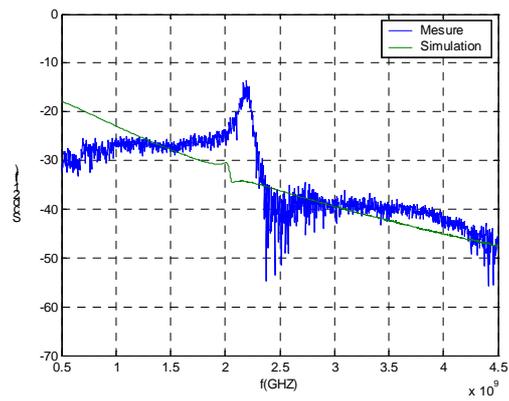


Figure IV-73 : S_{cd21}

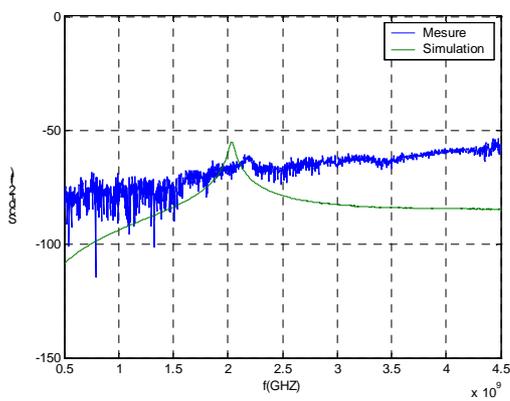


Figure IV-74 : S_{cd12}

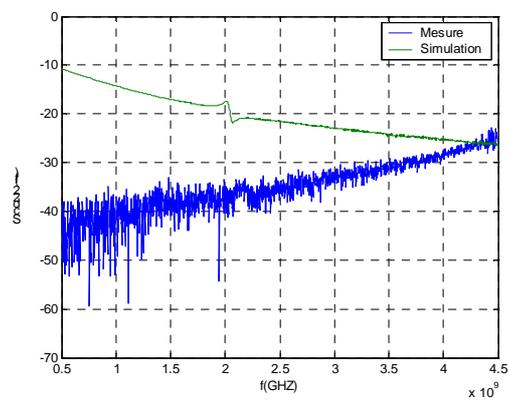


Figure IV-75 : S_{cd22}

X.3. Accordabilité

Un des avantages du circuit est la possibilité d'accorder la fréquence centrale de 1,8 GHz à 2,4 GHz au lieu de la plage simulée de 1,5 GHz à 2,2 GHz, ce qui correspond à une accordabilité relative de 40% (Figures IV-76 et IV-77). Lorsque l'on fait varier la tension de contrôle V_f entre 0V et 2V (Figure IV-78) au lieu de 0,9V et 2,2V en simulation, le gain peut être réajusté si nécessaire.

Le facteur de bruit varie entre 3,7 dB et 4,47 dB dans le pire des cas (simulation).

Il est possible, en faisant varier V_q de 0V à 1,6V (Figure IV-79) (au lieu de 1,2V à 1,6V) simulé d'atteindre des bande passantes à -3dB de 50MHz à 300MHz, ce qui correspond à des facteurs de qualité de 5 à 40.

Cet accord de facteur de qualité s'accompagne d'une légère dérive de la fréquence centrale, qui peut néanmoins être compensée grâce à V_f .

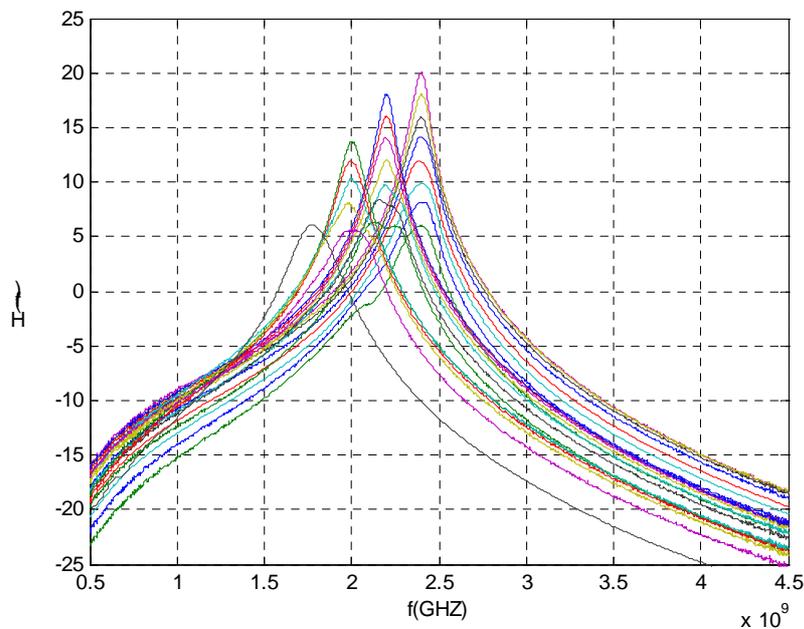


Figure IV-76 : Balayage en fréquence et facteur de qualité

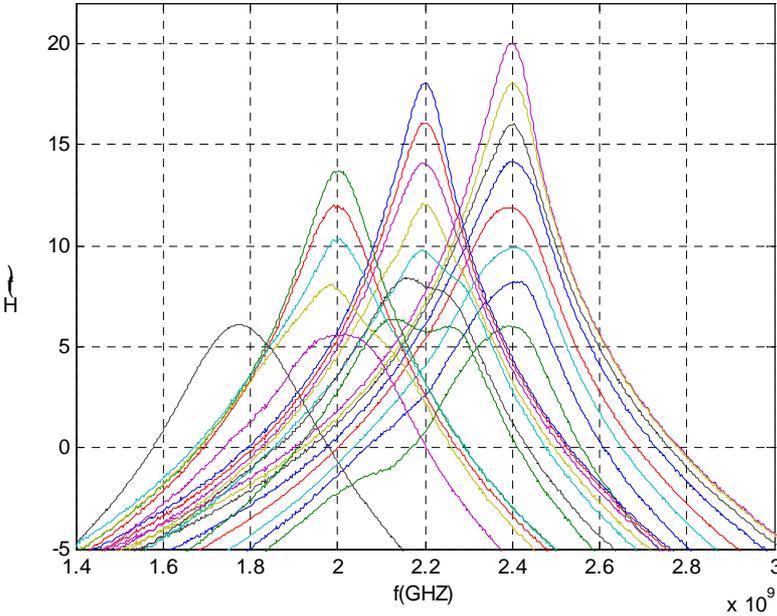


Figure IV-77 : Agrandissement de la figure précédente

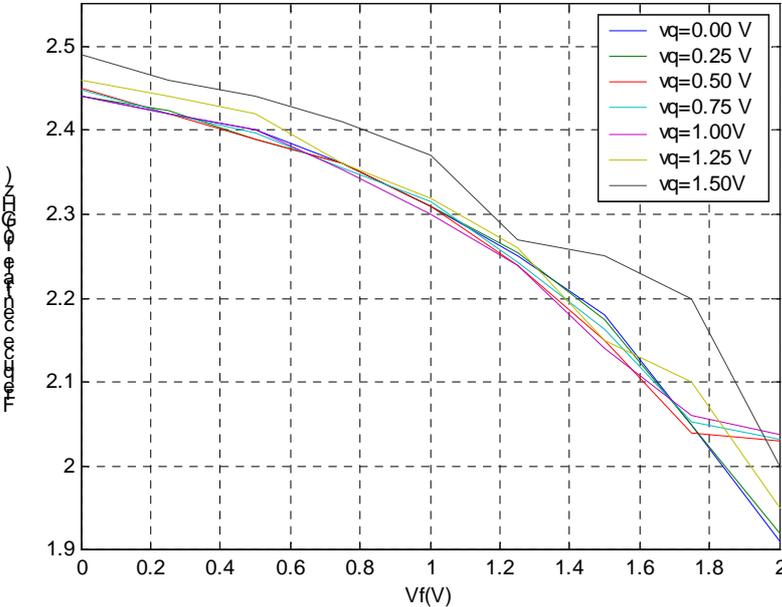


Figure IV-78 : Contrôle de la fréquence centrale avec V_f et influence de V_q

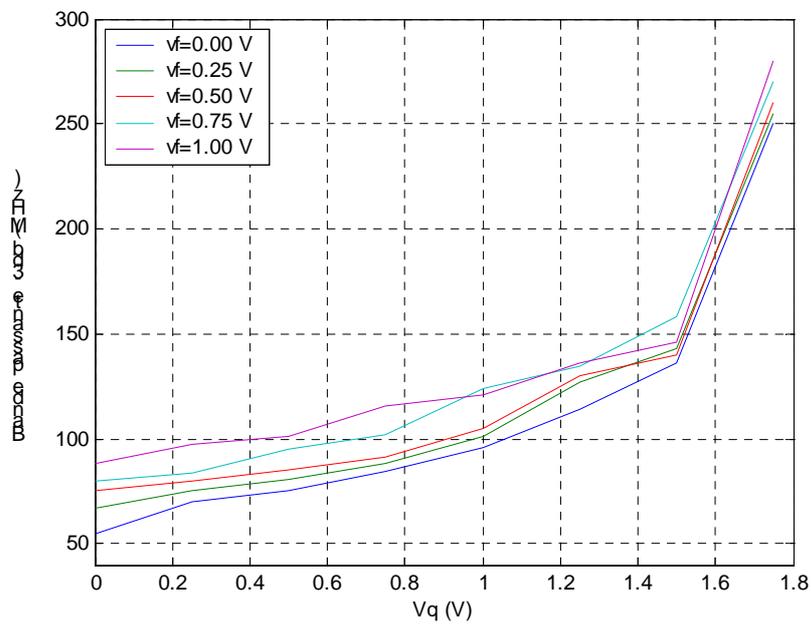


Figure IV-79 : Contrôle de la bande passante avec V_q et influence de V_f

Le point de compression en entrée est mesuré, il est de l'ordre de -25 dB. Il est nettement meilleur que celui simulé qui est à -31dB (Figure IV-80).

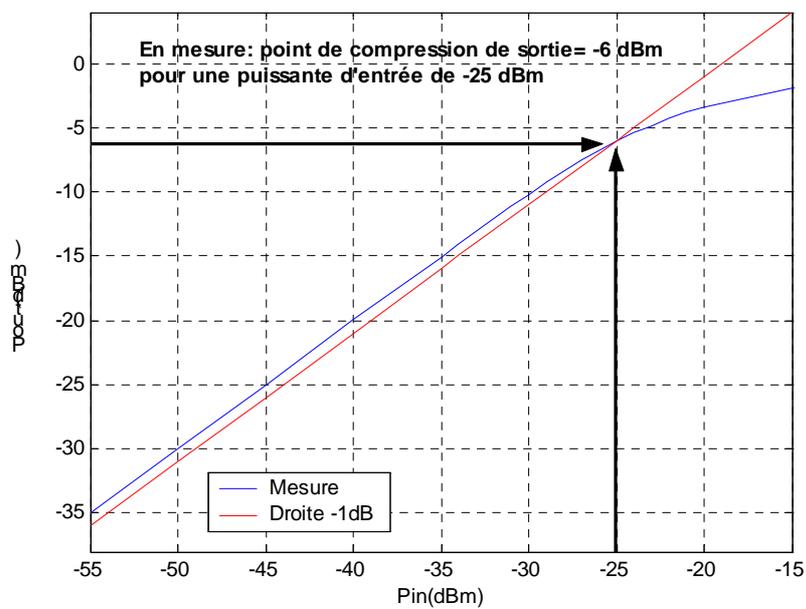


Figure IV-80 : Mesure du point de compression à -1dB

Les figures IV-81 à IV-84 montrent les principaux instruments utilisés pour nos mesures de micro-puces.



Figure IV-81: Analyseur de réseau différentiel



Figure IV-82: Alimentation stabilisée

Agilent Technologies E5071B 300 KHz-8,5 GHz



Figure IV-83 : Banc de test sous pointes

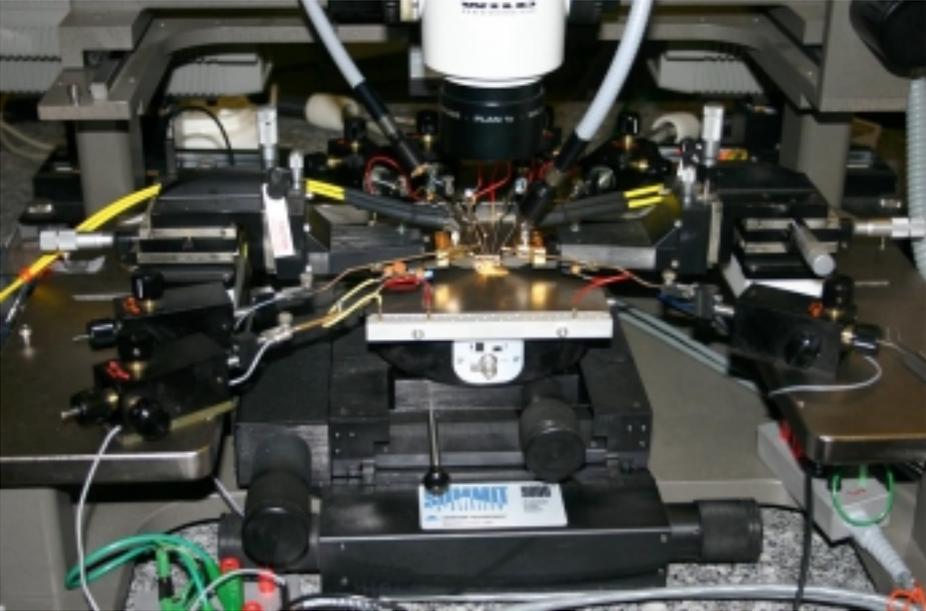


Figure IV-84 : Agrandissement du banc de test sous pointes Summit 9000 Cascade microtech

XI. Conclusion

En utilisant une tension de polarisation de 2,7 V, le filtre réalisé présente de bons résultats malgré un décalage en fréquence et en gain de la réponse. Cela dû principalement au changement de V_T des transistors PMOS et NMOS. Ces différences par rapport au cahier des charges peuvent être compensées en utilisant les tensions de contrôle V_f (balayage en fréquence sur une plage de 1,8 GHz à 2,4GHz) et V_q (balayage en facteur de qualité de 5 à 40).

Avec une consommation totale de courant de 8 mA, dont 3,4 mA pour les buffers de sortie, on obtient un gain en transmission S_{dd21} de 18,5 dB, un facteur de bruit simulé de 4,2 dB, un point de compression à -1 dB en entrée de -25dBm, et une bande passante à -3 dB de 60 MHz. Cette topologie peut être généralisée pour obtenir des filtres d'ordres plus élevés.

XII. Bibliographie

- [1] **A. O. SHANA, I. LINSCOTT, L. TYLER**
“Frequency-scalable SiGe bipolar RF front-end design”
IEEE Journal of Solid-State Circuits, Vol.36, N°: 6, juin 2001, page(s):888-895
- [2] **N. M. NGUYEN, R. G MEYER**
“Si IC-compatible inductors and LC passive filters”
IEEE Journal of Solid State Circuits, Vol.25, N°: 4, aout 1990, page(s):1028-1031
- [3] **MOMENTUM (AGILENT)**
<http://eesof.tm.agilent.com>
- [4] **ASITIC**
<http://rfic.eecs.berkeley.edu/~niknejad/asitic.html>
- [5] **A. M. NIKNEJAD, R. G. MEYER**
“Analysis, design, and optimization of spiral inductors and transformers for Si RF ICs”
IEEE Journal of Solid-State Circuits, Vol. 33, N°: 10, oct 1998, page(s):1470-1481
- [6] **YU CAO, R. A. GROVES, N. D. ZAMDMER, J. O. PLOUCHART, R. A. WACHNIK, XUEJUE HUANG, T. J KING, CHENMING HU**
“Frequency-independent equivalent circuit model for on-chip spiral inductors”
Proceedings of the IEEE, Custom Integrated Circuits Conference,
12-15 mai 2002, page(s) 217-220

-
- [7] **D. KELLY, F. WRIGHT**
“Improvements to performance of spiral inductors on insulators”
IEEE Radio Frequency Integrated Circuits (RFIC) Symposium,
juin 2002, page(s): 431-433
- [8] **J. CRANINCKX, M. S. J. STEYAERT**
“A 1.8-GHz low-phase-noise CMOS VCO using optimized hollow spiral inductors”
IEEE Journal of Solid-State Circuits, Vol. 32, N°: 5, mai 1997, page(s):736-744
- [9] **C. P. YUE, S. S. WONG**
“On-chip spiral inductors with patterned ground shields for Si-based RF ICs”
IEEE Journal Solid State Circuits, Vol. 33, N°: 5, mai 1998, page(s):743-752
- [10] **M. DANESH, J. R. LONG, R. A. HADAWAY, D. L. HARAME**
“A Q-factor enhancement technique for MMIC inductors”
IEEE MTT-S International Microwave Symposium Digest,
Vol. 1, 7-12 juin 1998, page(s):183-186
- [11] **SANG-GUG LEE, GOOK-JU IHM, WON-CHUL SONG**
“Design and analysis of symmetric dual-layer spiral inductors for RF integrated circuits”
IEEE Asia Pacific ASICs Conference, 23-25 aout 1999, page(s):5-8
- [12] **H. Y. D YANG**
“Design considerations, of differential inductors in CMOS technology for RFIC”
IEEE Digest of Radio Frequency Integrated Circuits (RFIC) Symposium,
6-8 juin 2004, page(s): 449-452
- [13] **BEHZAD RAZAVI**
“Design of Analog CMOS Integrated Circuits”
Mc Graw Hill, 2001

- [14] **ALI. HAJIMRI, THOMAS H.LEE**
“Design Issues in CMOS Differential LC Oscillators”
IEEE Journal of Solid State Circuits, Vol. 34, N° 5, mai 1999
- [15] **W. B. KUHN, D. NOBBE, D. KELLY, A. W ORSBORN**
“Dynamic range performance of on-chip RF Bandpass filters”
IEEE Transactions Circuits and Systems II: Analog and Digital Signal Processing
Vol. 50, N°: 10, oct. 2003 page(s):685-694
- [16] **D. SZMYD, R. BROCK, N. BELL, S. HARKER, G. PATRIZI, J. FRASER, R. DONDERO**
“QUBIC 4 : a silicon RF-BiCMOS technology for wireless communication Ics”,
Proceedings of the 2001 bipolar/BiCMOS Circuits and Technology Meeting,
page(s) : 60-63

PERSPECTIVES

FILTRE PASSE-BANDE

UTILISANT UN TRANSFORMATEUR

I. Introduction

L'analyse des publications dans le domaine du filtrage actif montre que les topologies basées sur les circuits LC ont montré leur grand intérêt en terme de performances.

Le point le plus pénalisant avec ce genre de topologie est principalement le faible facteur de qualité des inductances utilisées dans les résonateurs du filtre.

La solution principale pour augmenter ce facteur de qualité est d'abord technologique en utilisant un substrat très résistif. Actuellement, ce genre de substrat devient disponible comme la technologie PHILIPS QUBIC+ ou PICS (Passive Integration Connecting Substrate). Cette dernière consiste à concevoir des circuits passifs à fort coefficient de qualité sur un substrat très résistif et ensuite à les associer aux puces monolithiques des circuits actifs.

La deuxième solution pour augmenter le facteur de qualité des inductances consiste à utiliser une résistance négative comme circuit de compensation. Malheureusement, cette compensation a des inconvénients : une consommation de courant élevée, un bruit important et un taux de distorsion élevé.

La solution proposée dans cette perspective est basée sur le principe du couplage magnétique entre deux inductances qui permet de réduire l'effet relatif des pertes de la self inductance équivalente et donc d'augmenter son facteur de qualité [1-6].

L'objectif de ce chapitre est de montrer la faisabilité de ce circuit et d'établir une comparaison avec les autres filtres étudiés dans cette thèse.

II. Principe du circuit

La figure V-1 représente le schéma de deux inductances couplées. Elle sont composées de deux inductances L_1 et L_2 identiques de valeur L et de facteur de qualité Q_0 (V-1), et de résistances de pertes R_1 et R_2 identiques et égales à R . M (V-2) est l'inductance mutuelle entre ces deux inductances et k est le facteur de couplage.

$$Q_0 = \omega_0 L / R \quad (V-1)$$

$$M = kL \quad (V-2)$$

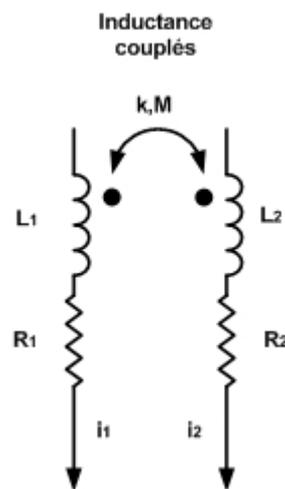


Figure V-1 : Deux inductances couplées

L'inductance effective L_{eff1} et le facteur de qualité Q_{eff1} de la première branche ont pour expressions :

$$L_{eff1} = L(1 + \alpha k) \quad (V-3)$$

$$Q_{eff1} = \frac{\omega L}{R} \frac{(1 + \alpha k)}{(1 - \beta k Q_0)} \quad (V-4)$$

avec :

$$\alpha + j\beta = \frac{i_2}{i_1} \quad (V-5)$$

Le module et la phase du rapport entre les deux courants i_1 et i_2 des deux branches (V-5) influencent directement la valeur de l'inductance et de son facteur de qualité effectifs.

En associant ces inductances couplées à une capacité C , on peut alors concevoir un résonateur ayant un facteur de qualité élevé.

L'expression (V-4) montre que pour augmenter le facteur de qualité, il faut augmenter le couplage k entre les deux inductances, et α partie réelle du rapport des deux courants i_1 et i_2 .

L'une des solutions d'implémentation est représentée sur la figure V-2. Elle représente un filtre premier ordre amplifié par un transistor bipolaire T_1 . Ce filtre utilise le principe d'une inductance compensée par un transformateur.

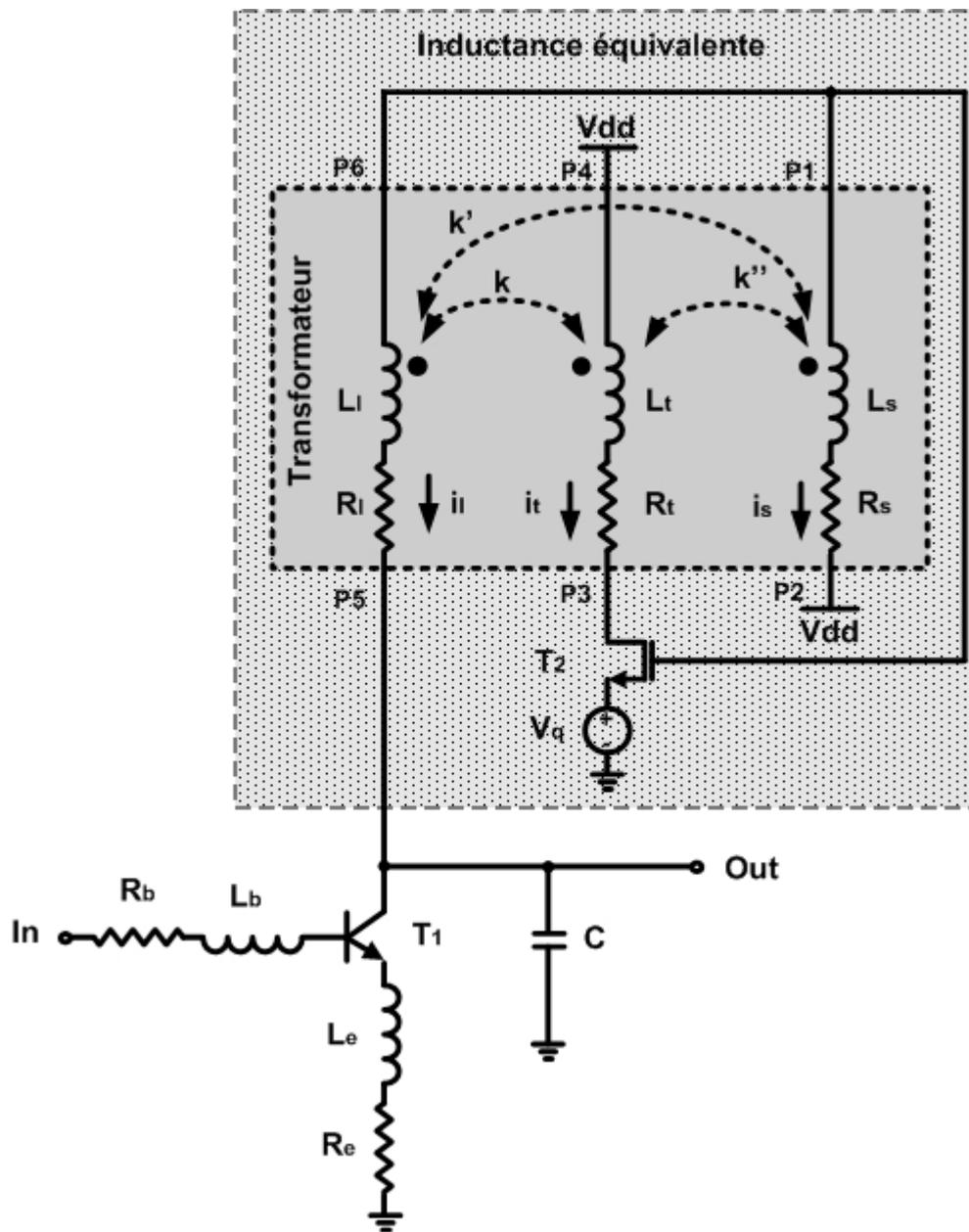


Figure V-2 : Filtre LC passe bande simplifié basé sur le principe du triple couplage

L'inductance principale L_1 est connectée directement au transistor bipolaire d'entrée pour la fonction d'amplification. Cette inductance est connectée à une capacité C pour former le résonateur.

Pour compenser le facteur de qualité de L_1 comme décrit précédemment, on utilise une deuxième inductance L_t fortement couplée à L_1 . Pour assurer la dépendance entre les deux courants des deux inductances on connecte L_t au drain du transistor MOS T_2 dont la grille est

connectée à L_1 . Ce transistor joue le rôle d'une source de courant commandée en tension. Pour alimenter l'ensemble du circuit et pour découpler la grille du MOS (T_2), on rajoute une troisième inductance connectée à l'alimentation L_s .

On peut voir aussi le circuit comme une structure composée d'une inductance principale (L_1 et L_s) et d'une inductance de compensation L_t .

Coupler L_s aux deux inductances L_1 et L_t améliore le résultat final mais change les expressions de l'inductance effective et de son facteur de qualité.

L'inductance et le facteur de qualité effectif de ce transformateur à trois inductances sont exprimés respectivement par les équations (V-6) et (V-7) [1]. k, k', k'' sont les facteurs de couplage entre les trois inductances.

$$L_{eff} = L(2 + \alpha k - \alpha k'') \quad (V-6)$$

$$Q_{eff1} = \frac{\omega L(1 + \alpha k - \alpha k'')}{R(2 - \beta k Q_0 + \beta k'' Q_0)} \quad (V-7)$$

Pour avoir une compensation, il est nécessaire de vérifier les conditions suivantes : $\alpha < 0, \beta < 0, k < 0, k' < 0$ et $k'' > 0$. Le filtre passe-bande à une fréquence de résonance f_0 donnée par l'expression (V-8).

$$f_0 = \frac{1}{2\pi\sqrt{L_{eff}C}} \quad (V-8)$$

La source de tension V_q est utilisée pour changer la transconductance du transistor T_2 . Cette transconductance fait elle-même varier le rapport entre les courants des deux branches de L_1 et L_t . L'effet de cette variation (élevé sur la variable β et faible sur la variable α [1]) permet de contrôler le facteur de qualité par la tension V_q (V-7). Les inductance L_e et L_b sont utilisées pour réaliser l'adaptation en entrée. R_e et R_b sont leurs résistances de pertes associées.

III. Modélisation du transformateur

L'une des difficultés de l'implémentation du circuit est la modélisation des inductances en Pi ainsi que le couplage entre elles. La figure V-3 montre le modèle d'un transformateur à deux inductances.

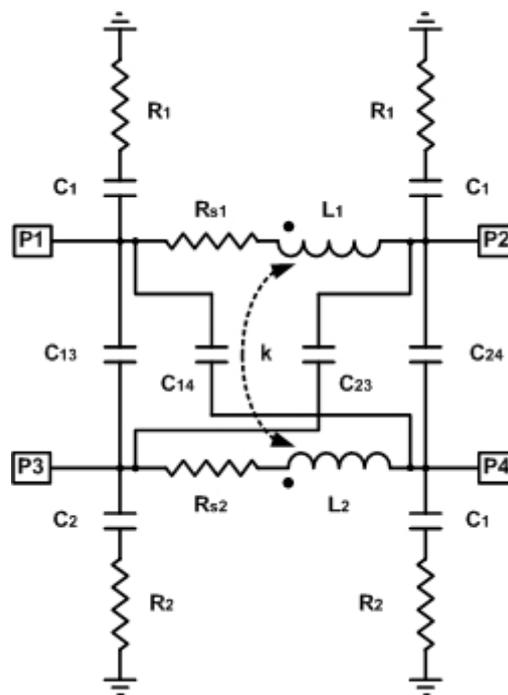


Figure V-3 : Modèle du couplage entre deux inductances

L'utilisation de deux inductances pour ce filtre n'est pas suffisante. On utilise donc la figure V-4 pour modéliser un transformateur à trois inductances. Dans ce modèle en Pi, on représente le couplage magnétique par les facteurs de couplage k_{ij} et le couplage électrique par les capacités cc_{ij} (Tableaux V-1).

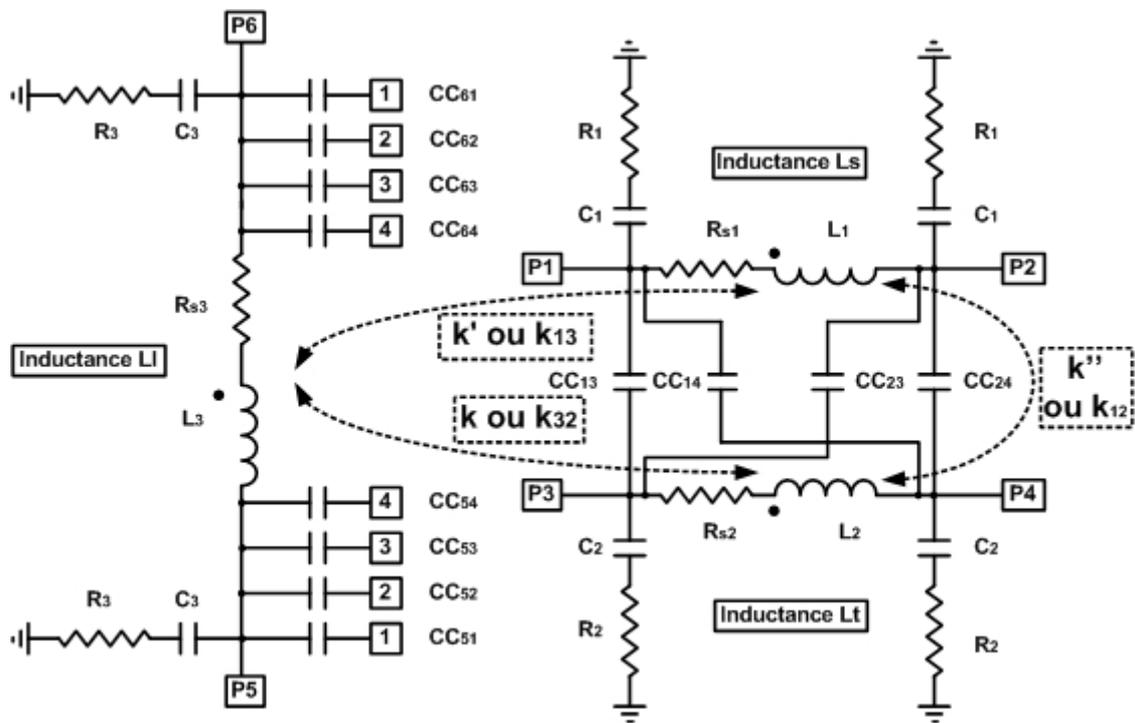


Figure V-4 : Modèle du couplage entre trois inductances

Eléments	Valeurs
Inductance Ls (P1-P2) :	
L1	2,435 nH
Rs1	2,7 Ω
C1	168 fF
R1	10 KΩ
Inductance Lt (P3-P4) :	
L2	3,42 nH
Rs2	5,52 Ω
C2	3,574 pF
R2	3,146 KΩ
Eléments	Valeurs

Inductance LI (P5-P6) :	
L_3	3,89 nH
R_{s3}	3,79 Ω
C_3	81,12 fF
R_3	262 Ω
Les couplages magnétiques :	
k'' ou k_{12}	0,72
k' ou k_{13}	-0,47
k ou k_{32}	-0,47
Les couplages électriques :	
CC_{13}, CC_{24}	40,12 fF
CC_{14}, CC_{23}	225 fF
CC_{51}	17,17 fF
CC_{52}	2,86 fF
CC_{53}	2,42 fF
CC_{54}	39 fF
CC_{61}	2,3 aF
CC_{62}	4,1 fF
CC_{63}	33,3 fF
CC_{64}	0,16 fF

Tableaux V-1 : Valeurs des éléments du modèle du transformateurs

IV. Layout de l'inductance

La figure V-5 montre l'une des possibilités d'implantation du transformateur à trois inductances. A l'extrémité extérieure, on trouve le blindage. La première inductance L_1 est formée par deux tours de métallisation entre les accès 5 et 6. Les deux autres inductances L_t (accès 3 et 4) et L_s (accès 1 et 2) sont au centre. Elles utilisent deux niveaux de métallisation différents, le tout étant de forme symétrique.

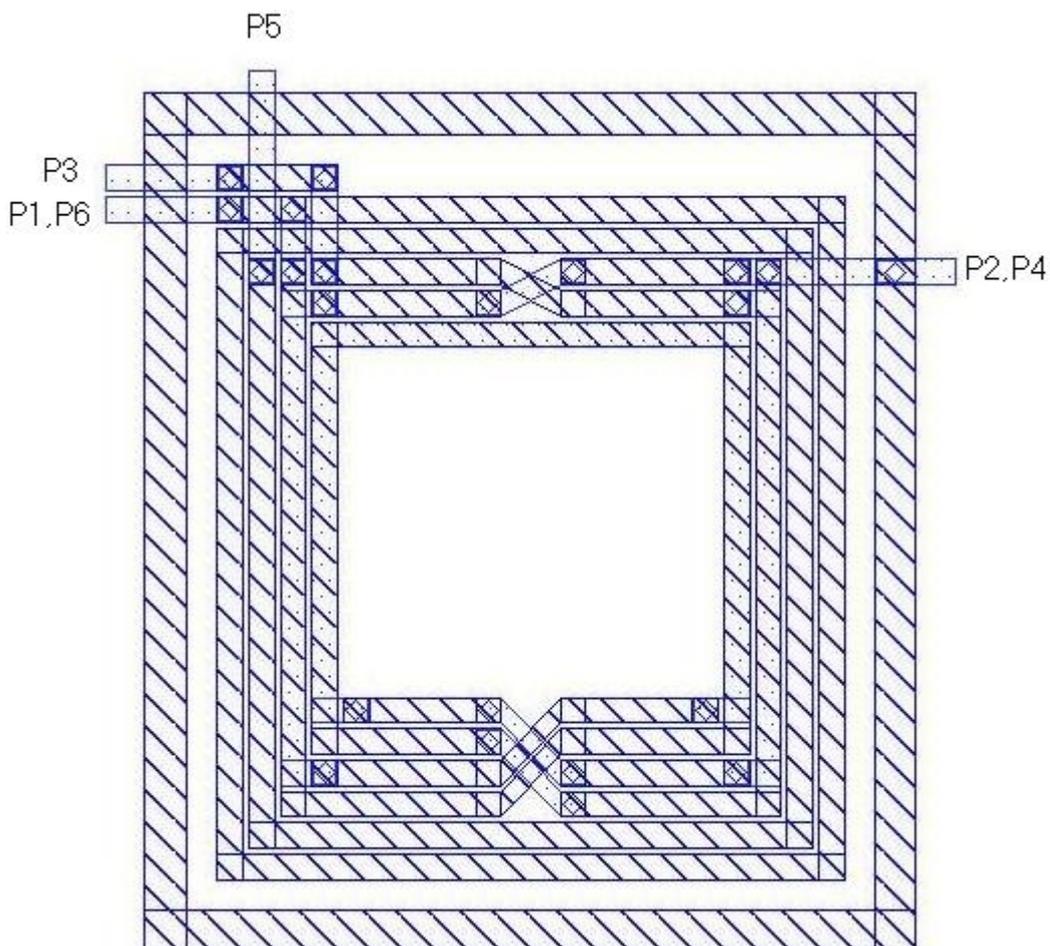


Figure V-5 : Layout du transformateurs à trois inductances

V. Résultats de simulations

La figure V-6 montre les résultats de simulations du filtre. Avec une consommation de 18,9 mW (7 mA sous 2,7 V), le filtre a un gain S_{21} de 18,2 dB, une adaptation en entrée et en sortie de -14 dB et -17 dB respectivement. Le facteur de bruit est égal à 2,8 dB pour une bande passante de 70 MHz.

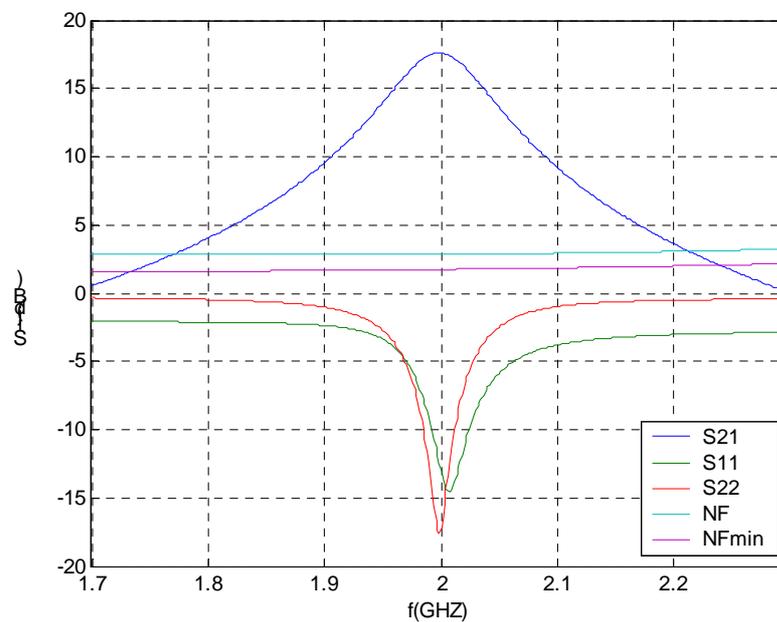


Figure V-6 : Paramètres S du filtre premier ordre

Le point de compression à -1 dB en entrée du filtre (figure V-7) est égal à -28 dBm pour une puissance en sortie de -11 dBm. Le filtre présente une dynamique DR élevée de 142 dB très supérieure à celles des précédents filtres étudiés dans cette thèse.

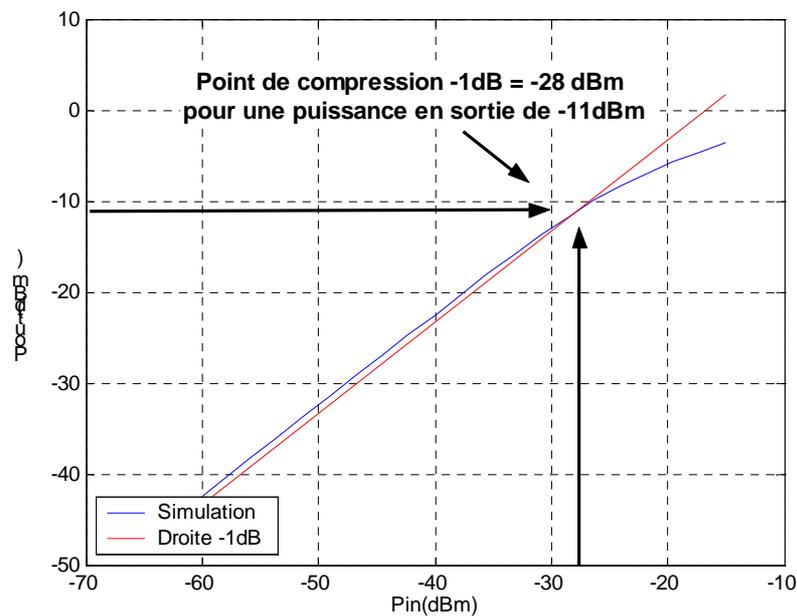


Figure V-7 : Point de compression du filtre

VI. Conclusion

Le filtre présenté dans ce chapitre LC se base essentiellement sur l'utilisation d'un transformateur à trois inductances. Il évite l'utilisation de résistance négative fortement génératrice de signaux harmoniques et permet de réduire la consommation globale du filtre.

Pour résumer, ce filtre du premier ordre consomme 18,9 mW (7 mA sous 2,7 V), présente un gain de 18,2 dB avec une adaptation en entrée de -14 dB et -17 dB en sortie. Le facteur de bruit vaut 2,8 dB pour une bande passante de 70 MHz. La linéarité est très améliorée par rapport aux autres filtres. Le point de compression -1 dB en entrée est égal à -28 dBm. La dynamique élevée DR de ce filtre a pour valeur 142 dB.

La difficulté principale dans la conception consiste à définir sa partie passive et à optimiser le transformateur avec un logiciel d'analyse électromagnétique tel que Momentum (ADS). Les inductances doivent avoir des facteurs de qualités élevés et être fortement couplées entre elles.

VII. Bibliographie

- [1] **S. BANTAS, Y. KOUTSOYANNOPOULOS**
“CMOS active-LC bandpass filters with coupled-inductor Q-enhancement and center frequency tuning ”
IEEE Transactions : Circuits and Systems II: Express Briefs,
Vol. 51, N° 2, fév 2004, page(s) : 69 – 76.
- [2] **WU. YI-CHENG, M. F. CHANG**
“On-chip RF spiral inductors and bandpass filters using active magnetic energy recovery”
IEEE Proceedings : Custom Integrated Circuits Conference,
12-15 mai 2002, page(s) : 275 – 278.
- [3] **A. WORAPISHET, S. NINYAWEE, M. CHONGCHEAWCHAMNAN**
“Enhanced tuneable coupled inductor for ultra-wide variable centre frequency LC filters”
Asia-Pacific Conference Circuits and Systems (APCCAS),
Vol. 1, 28-31 oct. 2002, page(s) : 355 - 358
- [4] **B. GEORGESCU, H. PEKAU, J. HASLETT, J. MCRORY**
“Tunable coupled inductor Q-enhancement for parallel resonant LC tanks”
IEEE Transactions Analog and Digital Signal Processing : Circuits and Systems II,
Vol. 50, n° 10, oct. 2003, page(s) : 705 – 713.

- [5] **L. FANUCCI, G. D'ANGELO, A. MONTERASTELLI, M. PAPARO, B. NERI**
“Fully integrated low-noise-amplifier with high quality factor L-C filter for 1.8 GHz wireless applications”
IEEE International Symposium Circuits and Systems, (ISCAS),
Vol. 4, 6-9 mai 2001, page(s) : 462 – 465.
- [6] **S. BANTAS, Y. PAPANANOS, Y. KOUTSOYANNOPOULOS**
“CMOS tunable bandpass RF filters utilizing coupled on-chip inductors”
IEEE International Symposium Proceedings : Circuits and Systems (ISCAS),
Vol. 2, 30 mai - 2 juin 1999, page(s) : 581 – 584.

CONCLUSION GENERALE

Depuis longtemps, les filtres actifs analogiques sont utilisés aux basses fréquences. Récemment, plusieurs topologies de filtres actifs RF et microonde ont donné lieu à la publication d'articles et de thèses. L'émergence de nouvelles topologies associée au progrès des technologies intégrées étend le filtrage actif au domaine fréquentiel RF et microonde. Cette thèse a pour but de rechercher et de développer des circuits de filtrage actif fonctionnant à 2 GHz et utilisant la bibliothèque BiCMOS 0,25 μm QUBIC4 de PHILIPS.

Dans la Tableau 1, nous présentons une synthèse des résultats de tous les circuits conçus ou réalisés pendant la thèse. Nous retrouvons les paramètres les plus importants comme les paramètres S, le facteur de bruit, la linéarité (point de compression à -1dB), la consommation et la dynamique DR (Dynamique Range). Ce dernier paramètre nous permet d'avoir une comparaison concrète entre les différentes topologies utilisant la même bibliothèque et la même tension d'alimentation.

	Chapitre 2 Filtre à inductance active (simulation)	Chapitre 3 Filtre à couplage LC (mesure)	Chapitre 4 Filtre LC (mesure)	Perspective Filtre à transformateur (simulation)
Alimentation	2,7V			
Ordre du filtre	1	4	1	1
Technologie	0,25 μm BiCMOS PHILIPS			
f_0 (GHz)	1,95	2 ; 2,25	2	2
Bande passante $\Delta f_{-3\text{dB}}$ (MHz)	50	43 ; 70	60	70
S_{21} (dB)	21,6	23 ; 25,7	18,5	18,2
S_{11}, S_{22} (dB)	-13, -18	-10, -6	-9, -15	-14, -17
Ondulation (dB)	/	$<\pm 0,25$	/	/
Point de compression -1 dB en entrée (dBm)	-58	-41	-25	-28
Point de compression -1 dB en sortie (dBm)	-37	-16	-6	-11
Consommation /pole mA	30	8	8	7

Surface/pole (mm ²)	0,765	0,229	1,57	/
Facteur de bruit (dB)	6	4,4	4,2	2,8
Balayage fréquence centrale (GHz)	0,7 à 2	/	1,8 à 2,5	/
Balayage facteur de qualité	22 à 53	/	5 à 40	/
La dynamique DR (dB)	109,4	130,6; 127,9	145,3	142

Tableau 1 : Synthèse des filtres étudiés et réalisés

Le premier filtre conçu est basé sur le principe de l'inductance active. Ce concept est très avantageux en terme de surface silicium occupée. Cette inductance variable sur une grande plage de valeur permet d'obtenir un balayage en fréquence centrale du filtre très important. En revanche, ce filtre n'a pas été réalisé à cause de sa consommation, et de son facteur de bruit élevés ainsi que par sa linéarité limitée. On remarque que sa dynamique de 109,4 dB. est la plus faible de tous les circuits étudiés.

Afin d'améliorer la linéarité et le facteur de bruit, nous nous orientons vers une topologie basée sur les circuits LC. Ce circuit différentiel est composé par quatre résonateurs couplés à l'aide de transistors NMOS pour constituer un filtre du quatrième ordre. Ce filtre montre de bonnes mesures de filtrage malheureusement associées à des problèmes de modélisation et d'édition du layout. La dynamique est plus importante de celle du premier filtre est vaut 130,6 dB.

Le troisième circuit est un filtre LC différentiel de premier ordre. Il se compose d'un amplificateur, d'un résonateur LC, d'un convertisseur d'impédance et d'une résistance négative. Ce filtre a nécessité une analyse électromagnétique très rigoureuse. La dynamique de ce filtre est égale à 145,3 dB.

Le quatrième circuit est présenté comme une perspective aux travaux de cette thèse. Au sein du filtre LC intégré est utilise un transformateur passif composé de trois inductances. Ce circuit n'utilise pas de résistance négative pour compenser les pertes qui dégrade généralement la linéarité totale du filtre. On remarque que sa dynamique est égale à 142 dB.

ANNEXE I

VALEUR DES ELEMENTS DU FILTRE
ACTIF CONSTITUE D'INDUCTANCES
ACTIVES

La figure AI-1 représente la schématique du filtre différentiel utilisant deux inductances actives. Le Tableau AI-1 résume les valeurs des éléments qui composent l'ensemble du filtre actif avec la résistance négative et l'amplificateur.

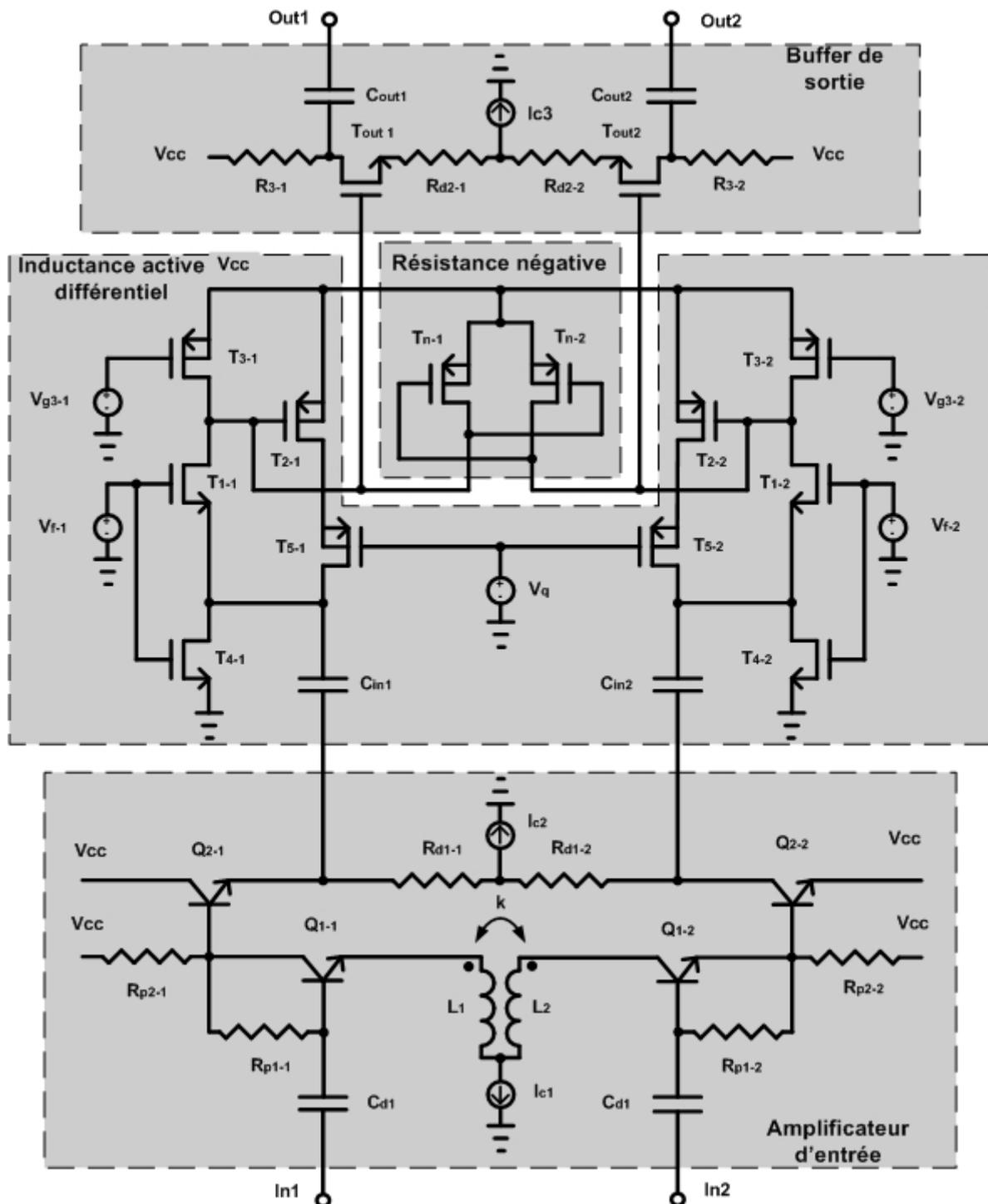


Figure AI-1 : Filtre différentiel utilisant deux inductances actives

Eléments	Valeurs
Inductance active :	
T_{1-1}, T_{1-2} (Rf nmos)	5 x (W= 20 μ , L= 0,25 μ , NG* = 2 segments)
T_{2-1}, T_{2-2} (Rf nmos)	4 x (W= 60 μ , L= 0,25 μ , NG = 2 segments)
T_{3-1}, T_{3-2} (Rf nmos)	1 x (W= 20 μ , L= 0,25 μ , NG = 2 segments)
T_{4-1}, T_{4-2} (Rf nmos)	4 x (W= 32 μ , L= 0,25 μ , NG = 2 segments)
T_{5-1}, T_{5-2} (Rf nmos)	8 x (W= 100 μ , L= 0,25 μ , NG = 2 segments)
C_{in1}, C_{in2} (CapMIM)	2 x 0,82 pF (12,8 μ x 12,8 μ)
V_q	1V
V_{g3-1}, V_{g3-2}	1,8V
V_{f-1}, V_{f-2}	1V
Amplificateur :	
L_1, L_2 (fichier de paramètre S)	Deux inductances de 2 nH fortement couplées
Q_{1-1}, Q_{1-2} (BJT Pa)	1 x (W= 500m, L= 30 μ , NE** = 2 seg)
Q_{2-1}, Q_{2-2} (BJT Pa)	1 x (W= 500m, L= 50 μ , NE= 4 segments)
R_{p2-1}, R_{p2-2} (resPN)	150 Ω (W= 3,7 μ , L= 2,275 μ)
R_{l+}, R_{l-} (resPN)	2500 Ω (W= 3,7 μ , L= 41,95 μ)
R_{d1-1}, R_{d1-2} (resPN)	55 Ω (W= 3,7 μ , L= 0,65 μ)
I_{c2} (Source de courant Rf nmos)	4 x (W=35 μ , L=0,25 μ , NG = 2 segments)
I_{c1} (Source de courant Rf nmos)	4 x (W=20 μ , L=0,25 μ , NG = 2 segments)
Capacité de découplage entrée (CapMIM)	2 // 4,5 pF (30 μ x 30 μ)
Résistance négative :	
T_{n-1}, T_{n-2} (Rf nmos)	1 x (W= 35 μ , L= 0,25 μ , NG = 2 segments)

Buffer de sortie :	
R_{3-1}, R_{3-2} (resPN)	2//110 Ω (W=3,7 μ , L=1,6 μ)
R_{d2-1}, R_{d2-2} (resPN)	2//400 Ω (W=3,7 μ , L=6,475 μ)
M_{out1}, M_{out2} (Rf nmos)	4 x (W=25 μ , L=0,25 μ , NG = 2 segments)
C_{out1}, C_{out2} (CapMIM)	6 x 4,5 pF (30 μ x 30 μ)
I_{c3} (Source de courant Rf nmos)	1 x (W=20 μ , L=0,25 μ , NG = 2 segments)
V_{cc}	2,7 V
Capacité de découplage tension (CapMIM Pour filtrer les parasites du V_{dd})	8 x 2 pF (20 μ x 20 μ)
Diodes de protection antenne sur toutes les grilles des Nmos	1x (AntProtP pour le Vdd et AntProtN pour le GND)

Tableau AI-1 : Valeurs des éléments du filtre actif

* Nombre de segments de grille

** Nombre de segments d'émetteur.

ANNEXE II

LES PARAMETRES S

EN MODES MIXTES

I. Introduction

Les paramètres S sont classiquement définis pour des circuits (à accès physique simple) à deux accès [1-2]. Bockelman est l'un des premiers à développer une définition rigoureuse des paramètres S pour les circuits différentiels très utilisés dans les systèmes de communication [3].

Cette annexe explique la transposition des paramètres S standard des systèmes à accès simples aux systèmes à accès différentiels. Cette transposition des paramètres S dite en "mode mixtes" permet de décrire les opérations en mode différentiel et commun, ainsi que la conversion entre les deux modes.

II. Paramètres S différentiels

Pour caractériser le circuit différentiel à quatre accès de la figure AII-1 on définit la matrice associée :

$$\begin{bmatrix} b_1 \\ b_2 \\ b_3 \\ b_4 \end{bmatrix} = \begin{bmatrix} S_{11} & S_{12} & S_{13} & S_{14} \\ S_{21} & S_{22} & S_{23} & S_{24} \\ S_{31} & S_{32} & S_{33} & S_{34} \\ S_{41} & S_{42} & S_{43} & S_{44} \end{bmatrix} \begin{bmatrix} a_1 \\ a_2 \\ a_3 \\ a_4 \end{bmatrix}$$

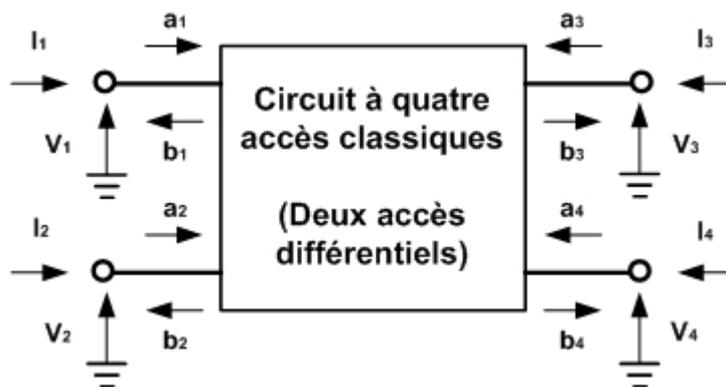


Figure AII-1 : Circuit différentiel

Les paramètres S ne caractérisent pas directement le comportement différentiel du circuit (ou le comportement en mode commun), car chaque accès inclut la réponse simultanée des deux modes en même temps.

Bockelman et d'autres chercheurs [3] ont introduit un système appelé "Modes mixtes". La technique consiste à faire un changement de base dans l'espace des signaux à l'aide d'une matrice de passage. Cette même matrice permet de déterminer la matrice S du dispositif dans la base des modes mixtes.

Les modes commun et différentiel peuvent être définis comme suit (AII-1 à AII4) :

$$v_{d1} = v_1 - v_2 \quad \text{et} \quad v_{c1} = \frac{v_1 + v_2}{2} \quad (\text{AII-1})$$

$$i_{d1} = \frac{i_1 - i_2}{2} \quad \text{et} \quad i_{c1} = i_1 + i_2 \quad (\text{AII-2})$$

$$v_{d2} = v_3 - v_4 \quad \text{et} \quad v_{c2} = \frac{v_3 + v_4}{2} \quad (\text{AII-3})$$

$$i_{d2} = \frac{i_3 - i_4}{2} \quad \text{et} \quad i_{c2} = i_3 + i_4 \quad (\text{AII-4})$$

Dans les équations (AII-5 à AII-8), V_{dn} et V_{cn} sont les tensions différentielles et communes, I_{dn} et I_{cn} sont les courants différentiels et communs. Z_{dn} (AII-9), Z_{cn} (AII-10) sont les impédances caractéristiques en modes différentiel et commun. Tous ces paramètres correspondent à l'accès n.

$$a_{dn} = \frac{v_{dn} + i_{dn} Z_{dn}}{2\sqrt{\text{Re}(Z_{dn})}} \quad (\text{AII-5})$$

$$b_{dn} = \frac{v_{dn} - i_{dn} Z_{dn}}{2\sqrt{\text{Re}(Z_{dn})}} \quad (\text{AII-6})$$

$$a_{cn} = \frac{v_{cn} + i_{cn} Z_{cn}}{2\sqrt{\text{Re}(Z_{cn})}} \quad (\text{AII-7})$$

$$b_{cn} = \frac{v_{cn} - i_{cn} Z_{cn}}{2\sqrt{\text{Re}(Z_{cn})}} \quad (\text{AII-8})$$

$$Z_d = \frac{V_d}{I_d} = 2Z_0 \quad (\text{AII-9})$$

$$Z_c = \frac{V_c}{I_c} = \frac{Z_0}{2} \quad (\text{AII-10})$$

Avec les équations (AII-5 à AII-8), les paramètres S mixtes peuvent être définis comme suit :

$$\begin{bmatrix} b_{d1} \\ b_{d2} \\ b_{c1} \\ b_{c2} \end{bmatrix} = \begin{bmatrix} S_{dd11} & S_{dd12} \\ S_{dd21} & S_{dd22} \\ S_{cd11} & S_{cd12} \\ S_{cd21} & S_{cd22} \end{bmatrix} \begin{bmatrix} S_{dc11} & S_{dc12} \\ S_{dc21} & S_{dc22} \\ S_{cc11} & S_{cc12} \\ S_{cc21} & S_{cc22} \end{bmatrix} \begin{bmatrix} a_{d1} \\ a_{d2} \\ a_{c1} \\ a_{c2} \end{bmatrix} \quad (\text{AII-11})$$

S_{ddij} sont les paramètres S du mode différentiel, S_{ccij} les paramètres S du mode commun. Les termes S_{dcij} sont les paramètres de conversion du mode commun vers différentiel, et inversement les termes S_{cdij} sont les paramètres de conversion du mode différentiel vers le mode commun.

En prenant les définitions de v_d , v_c , i_d , et i_c des équations (AII-1 à AII-4) et en les utilisant dans les équations (AII-5 à AII-8), avec Z_d égale à $2Z_0$ (AII-9), on retrouve les relations suivantes (AII-12 à AII-15) :

$$a_{d1} = \frac{a_1 - a_2}{\sqrt{2}} \quad \text{et} \quad a_{c1} = \frac{a_1 + a_2}{\sqrt{2}} \quad (\text{AII-12})$$

$$b_{d1} = \frac{b_1 - b_2}{\sqrt{2}} \quad \text{et} \quad b_{c1} = \frac{b_1 + b_2}{\sqrt{2}} \quad (\text{AII-13})$$

$$a_{d2} = \frac{a_3 - a_4}{\sqrt{2}} \quad \text{et} \quad a_{c2} = \frac{a_3 + a_4}{\sqrt{2}} \quad (\text{AII-14})$$

$$b_{d2} = \frac{b_3 - b_4}{\sqrt{2}} \quad \text{et} \quad b_{c2} = \frac{b_3 + b_4}{\sqrt{2}} \quad (\text{AII-15})$$

D'une façon plus représentative, on exprime les équations (AII-12 à AII-15) sous forme matricielle (AII-16 à AII-17) :

$$a^{mm} = Ma^{std} \quad (\text{AII-16})$$

$$\text{et} \quad b^{mm} = Mb^{std} \quad (\text{AII-17})$$

Dans les équations (AII-16) et (AII-17), l'exposant "mm" représente le mode-mixte, et l'exposant "std" représente les paramètres standard, la matrice "M" est donnée par l'équation (AII-18).

$$M = \frac{1}{\sqrt{2}} \begin{bmatrix} 1 & -1 & 0 & 0 \\ 0 & 0 & 1 & -1 \\ 1 & 1 & 0 & 0 \\ 0 & 0 & 1 & 1 \end{bmatrix} \quad (\text{AII-18})$$

Si on applique la conversion de a^{std} et b^{std} à a^{mm} et b^{mm} (AII-16) et (AII-17) à la définition des paramètres S à accès simple, on retrouvons l'équation suivante [3, 5]:

$$S^{mm} = MS^{std}M^{-1}$$

M^{-1} est la matrice de passage.

Les équations des paramètres S en modes mixtes sont :

Mode DD :	$S_{dd11} = \frac{1}{2}(S_{11} - S_{12} - S_{21} + S_{22})$	$S_{dd12} = \frac{1}{2}(S_{13} - S_{14} - S_{23} + S_{24})$
	$S_{dd21} = \frac{1}{2}(S_{31} - S_{32} - S_{41} + S_{42})$	$S_{dd22} = \frac{1}{2}(S_{33} - S_{34} - S_{43} + S_{44})$
Mode CD :	$S_{cd11} = \frac{1}{2}(S_{11} - S_{12} + S_{21} - S_{22})$	$S_{cd12} = \frac{1}{2}(S_{13} - S_{14} + S_{23} - S_{24})$
	$S_{cd21} = \frac{1}{2}(S_{31} - S_{32} + S_{41} - S_{42})$	$S_{cd22} = \frac{1}{2}(S_{33} - S_{34} + S_{43} - S_{44})$
Mode DC :	$S_{dc11} = \frac{1}{2}(S_{11} + S_{12} - S_{21} - S_{22})$	$S_{dc12} = \frac{1}{2}(S_{13} + S_{14} - S_{23} - S_{24})$
	$S_{dc21} = \frac{1}{2}(S_{31} + S_{32} + S_{41} - S_{42})$	$S_{dc22} = \frac{1}{2}(S_{33} + S_{34} - S_{43} - S_{44})$
Mode CC :	$S_{cc11} = \frac{1}{2}(S_{11} + S_{12} + S_{21} + S_{22})$	$S_{cc12} = \frac{1}{2}(S_{13} + S_{14} + S_{23} + S_{24})$
	$S_{cc21} = \frac{1}{2}(S_{31} + S_{32} + S_{41} + S_{42})$	$S_{cc22} = \frac{1}{2}(S_{33} + S_{34} + S_{43} + S_{44})$

III. Bibliographie

- [1] **NOTE D'APPLICATION: HFAN-5.1.0 REV 0**
"Single-Ended and Differential S-Parameters"
MAXIM High-Frequency/Fiber Communications Group, mars 2001
- [2] **K. KUROKAWA**
"Power Waves and the Scattering Matrix"
IEEE Transactions on Microwave Theory and Techniques,
Vol. MTT-13, mars 1965, page(s) : 194-202
- [3] **D. E. BOCKELMAN, W. R. EISENSTADT**
"Combined Differential and Common-Mode Scattering Parameters: Theory and Simulation"
IEEE Transactions on Microwave Theory and Techniques, Vol 43, N° 7, pages(s)
1530-1539 juillet 1995
- [4] **JULIEN LINTIGNAT**
"Thèse sur l'analyse des systèmes différentiels et des modes mixtes"
septembre 2006

ANNEXE III

LES PROTECTIONS ANTENNES

I. Introduction

Au cours des nombreuses étapes du procédé de fabrication CMOS ou BiCMOS, des particules chargées sont utilisées par exemple pour la gravure plasma. Ces particules s'accumulent sur les surfaces conductrices et produisent des champs électriques élevés à travers les grilles des transistors MOS. Elles introduisent des changements de caractéristiques et dans certains cas elles peuvent provoquer la destruction du MOS.

Pour éviter de tels phénomènes, des règles d'antennes sont introduites sur le layout [1]. Ces règles spécifient le rapport maximal entre la surface conductrice susceptible de collecter des charges et la surface de la grille connectée au même nœud électrique.

Afin de garder ce rapport inférieur à une certaine limite et éviter le phénomène antenne, le nœud conducteur est connecté à une zone active qui réagit comme une diode, de manière à éliminer les charges accumulées.

Le rapport maximal antenne est de l'ordre de 300 : $A = \frac{\sum A_{\text{métallisation}}}{A_{\text{grille}}} \leq 300$

II. Méthodes de protection contre les problèmes d'antennes

Quand le rapport A dépasse cette valeur limite, deux méthodes sont proposées pour protéger les transistors MOS dans les circuits. La première méthode consiste à redessiner le layout autour du MOS avec des ponts (Vias) vers les couches de métallisation les plus élevés lorsque cela est possible. Il est clair que les couches les plus basses (M1) sont les plus vulnérables aux charges, car elles sont fabriquées au début. Cette méthode peut considérablement réduire le rapport A.

La deuxième méthode consiste à utiliser des diodes de protection. Dans notre cas, et comme illustré sur la figure II-1, nous utilisons AntProtP et AntProtN de la bibliothèque Qubic4 pour dévier toutes les charges indésirables. Ce type de protection est très efficace mais peut dégrader certaines caractéristiques du circuit comme le bruit. Elles doivent être pris en compte. Ces diodes sont aussi utilisées avec les pads (Accès du circuit).

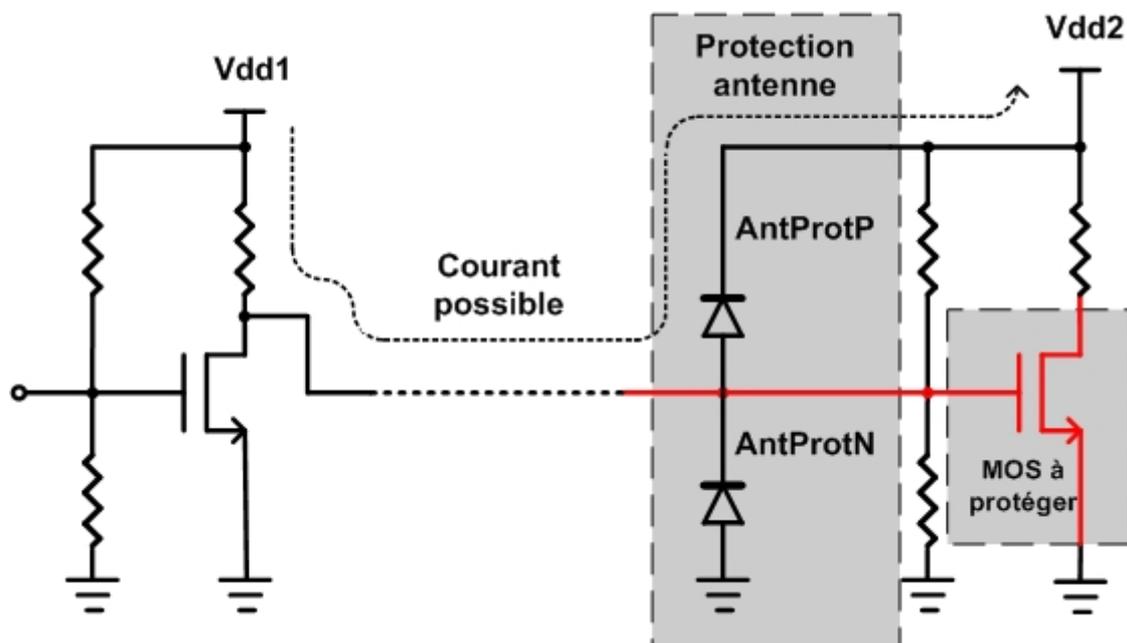


Figure II-1 : Protection antenne avec des diodes

III. Bibliographie

- [1] PHILIPS SEMICONDUCTORS QUBIC4 LIBRARY MANUAL

ANNEXE IV

MODELISATION EN PI D'INDUCTANCE A PARTIR DES PARAMETRES S

Pour l'extraction du modèle en Pi d'une inductance à partir de ses paramètres S, on utilise le schéma de la figure IV-1.

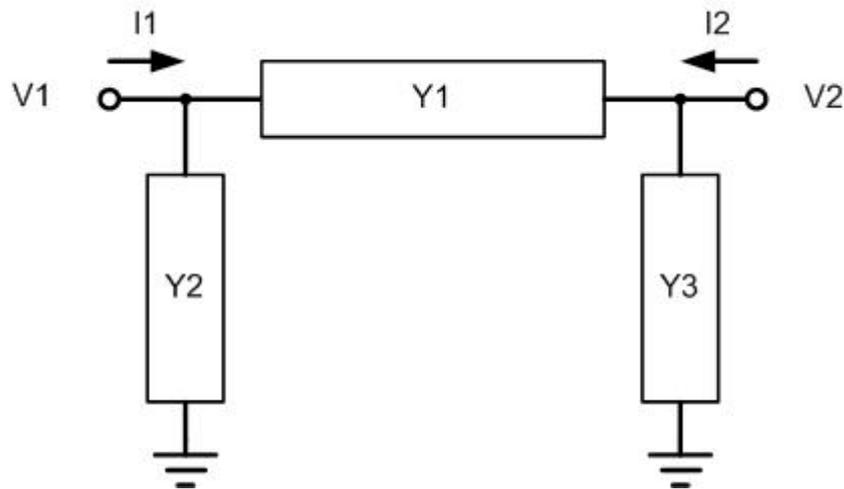


Figure IV-1 : Modèle en Pi en blocs d'admittance

Les paramètres Y de la figure IV-1 sont :

$$\begin{cases} I_1 = Y_{11}V_1 + Y_{12}V_2 \\ I_2 = Y_{21}V_1 + Y_{22}V_2 \end{cases} \Rightarrow \begin{cases} Y_{11} = \frac{I_1}{V_1} \Big|_{V_2=0} = Y_1 + Y_2 \\ Y_{21} = \frac{I_2}{V_1} \Big|_{V_2=0} = Y_1 \end{cases} \text{ et } \begin{cases} Y_{12} = \frac{I_1}{V_2} \Big|_{V_1=0} = Y_1 \\ Y_{22} = \frac{I_2}{V_2} \Big|_{V_1=0} = Y_1 + Y_3 \end{cases}$$

Pour résumer :

$$\begin{cases} Y_{11} = Y_1 + Y_2 \\ Y_{22} = Y_1 + Y_3 \\ Y_{12} = Y_{21} = Y_1 \end{cases} \Rightarrow \begin{cases} Y_{11} = Y_{21} + Y_2 \\ Y_{22} = Y_{21} + Y_3 \\ Y_1 = Y_{12} = Y_{21} \end{cases} \Rightarrow \begin{cases} Y_2 = Y_{11} - Y_{21} \\ Y_3 = Y_{22} - Y_{21} \\ Y_1 = Y_{12} = Y_{21} \end{cases}$$

Au final :

$$\begin{cases} Y_2 = Y_{11} - Y_{12} \\ Y_3 = Y_{22} - Y_{12} \\ Y_1 = Y_{12} = Y_{21} \end{cases}$$

Depuis les dernières expressions de Y_1 , Y_2 et Y_3 , on peut changer les expressions des branches de la figure IV-1 pour donner les expressions de la figure IV-2 :

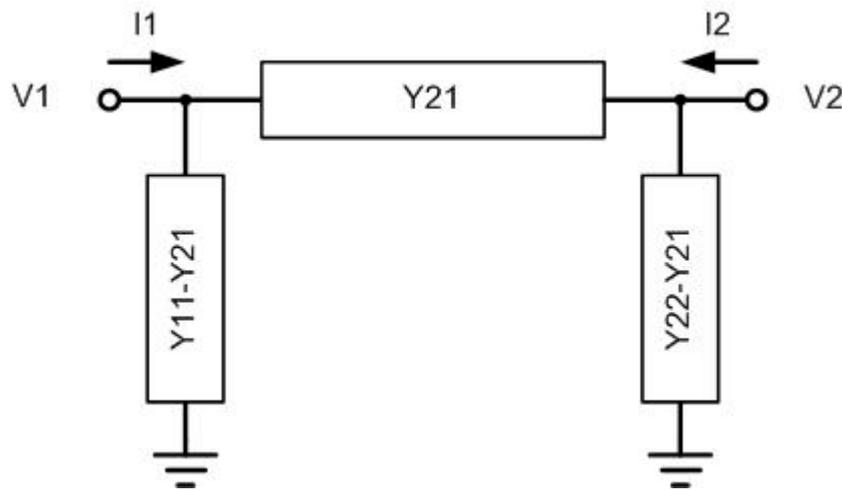


Figure IV-2 : Modèle en Pi équivalent en paramètres Y

La conversion entre paramètres S et Y est la suivante en supposant que le circuit est adapté à 50Ω :

$$Y_{11} = \frac{1}{50} \frac{(1 - S_{11})(1 - S_{22}) + (S_{12} - S_{21})}{(1 + S_{11})(1 + S_{22}) - (S_{12} - S_{21})} \quad Y_{21} = \frac{1}{50} \frac{(1 - S_{11})(1 - S_{22}) - 2S_{21}}{(1 + S_{11})(1 + S_{22}) - (S_{12} - S_{21})}$$

$$Y_{21} = \frac{1}{50} \frac{(1 - S_{11})(1 - S_{22}) - 2S_{21}}{(1 + S_{11})(1 + S_{22}) - (S_{12} - S_{21})} \quad Y_{22} = \frac{1}{50} \frac{(1 + S_{11})(1 - S_{22}) + (S_{12} - S_{21})}{(1 + S_{11})(1 + S_{22}) - (S_{12} - S_{21})}$$

Si on veut remplacer les blocs d'admittances par des éléments discrets, on doit trouver une équivalence, par exemple :

$$Y_1 = \frac{1}{R_s + j\omega L_s} \quad \Rightarrow \quad R_s + j\omega L_s = \frac{1}{Y_1} \quad \Rightarrow \quad \begin{cases} R_s = \text{Réal}\left[\frac{1}{Y_1}\right] \\ L_s = \text{Im g}\left[\frac{1}{Y_1}\right] \end{cases}$$

$$Y_2 = \frac{1}{R_1 + \frac{1}{j\omega C_1}} \quad \Rightarrow \quad R_1 + \frac{1}{j\omega C_1} = \frac{1}{Y_2} \quad \Rightarrow \quad \begin{cases} R_1 = \text{Réal}\left[\frac{1}{Y_2}\right] \\ C_1 = \frac{-1}{\omega \text{Im g}\left[\frac{1}{Y_2}\right]} \end{cases}$$

$$Y_3 = \frac{1}{R_2 + \frac{1}{j\omega C_2}} \quad \Rightarrow \quad R_2 + \frac{1}{j\omega C_2} = \frac{1}{Y_3} \quad \Rightarrow \quad \begin{cases} R_2 = \text{Réal}\left[\frac{1}{Y_3}\right] \\ C_2 = \frac{-1}{\omega \text{Im g}\left[\frac{1}{Y_3}\right]} \end{cases}$$

Conclusion

A partir des paramètres Y d'une inductances pris à une seule fréquence nous pouvons avoir six équations, à partir de ces équations nous retrouvons les six variables qui composent le modèle en Pi comme illustré par la figure IV-3 :

$$\begin{cases} R_s = \text{Réal}\left[\frac{1}{Y_1}\right] \\ L_s = \text{Im g}\left[\frac{1}{Y_1}\right] \end{cases} \quad \Rightarrow \quad \begin{cases} R_s = \text{Réal}\left[\frac{1}{Y_{21}}\right] \\ L_s = \text{Im g}\left[\frac{1}{Y_{21}}\right] \end{cases}$$

$$\begin{cases} R_1 = \text{Réal}\left[\frac{1}{Y_2}\right] \\ C_1 = \frac{-1}{\omega \text{Im}g\left[\frac{1}{Y_2}\right]} \end{cases} \Rightarrow \begin{cases} R_1 = \text{Réal}\left[\frac{1}{(Y_{11} - Y_{21})}\right] \\ C_1 = \frac{-1}{\omega \text{Im}g\left[\frac{1}{(Y_{11} - Y_{21})}\right]} \end{cases}$$

$$\begin{cases} R_2 = \text{Réal}\left[\frac{1}{Y_3}\right] \\ C_2 = \frac{-1}{\omega \text{Im}g\left[\frac{1}{Y_3}\right]} \end{cases} \Rightarrow \begin{cases} R_2 = \text{Réal}\left[\frac{1}{(Y_{22} - Y_{21})}\right] \\ C_2 = \frac{-1}{\omega \text{Im}g\left[\frac{1}{(Y_{22} - Y_{21})}\right]} \end{cases}$$

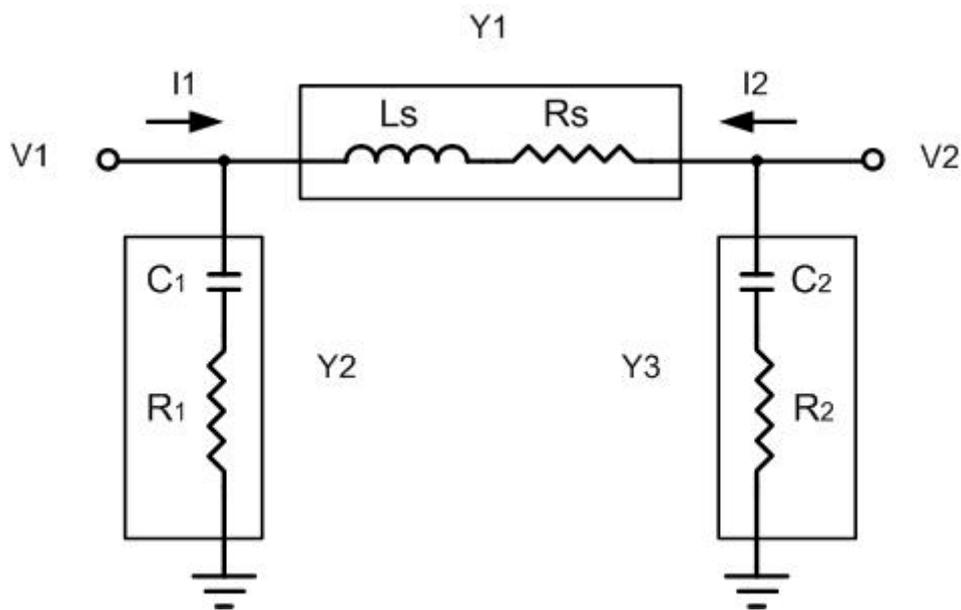


Figure IV-3 : Modèle en Pi en éléments discrets

ANNEXE V

VALEUR DES ELEMENTS DE
L'AMPLIFICATEUR DIFFERENTIEL
PASSE-BANDE DU 4^{ème} ORDRE
FAIBLE BRUIT A 2 GHz

Le Tableau AV-1 résume les valeurs des éléments qui composent l'ensemble du filtre actif (figure AV-1).

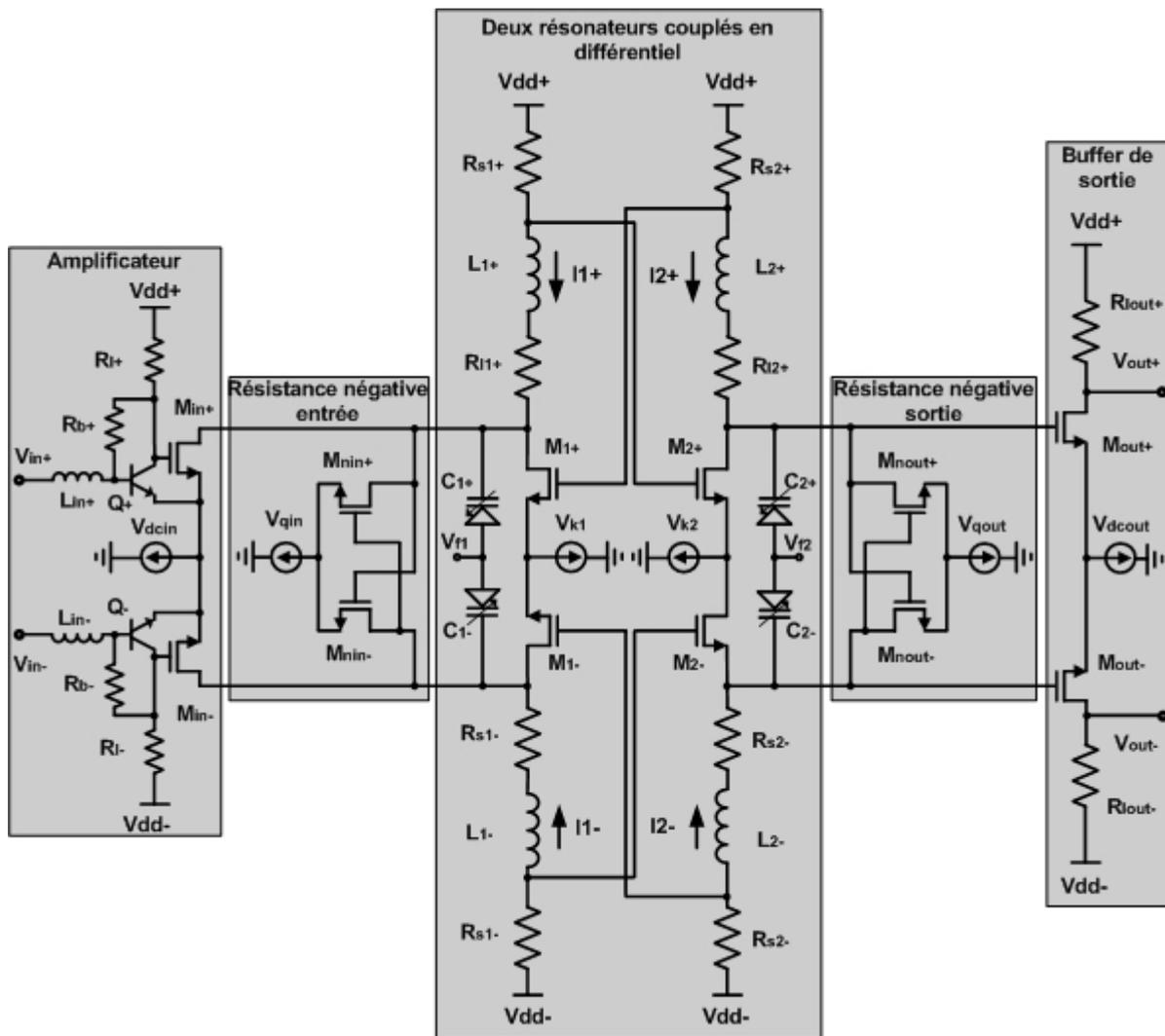


Figure AV-1: Circuit simplifié du filtre différentiel compensé

Éléments	Valeurs
Résonateur :	
R_{s+}, R_{s-} (resPN)	5,365 Ω (W=90 μ , L=1,925 μ)
$C_{1+}, C_{1-}, C_{2+}, C_{2-}$ (VaricapB)	1,762 pF (33,5 μ x 33,5 μ)
$M_{1+}, M_{2+}, M_{1-}, M_{2-}$ (Rf nmos)	2 x (W= 4 μ , L= 0,25 μ , NG* = 2 segments)
V_{k1}, V_{k2} (Sources de courant Rf nmos)	2 x (W= 25 μ , L= 0,25 μ , NG= 2 segments)
Amplificateur :	
Q_+, Q_- (BJT Pa)	1 x (W= 500m, L= 9 μ , NE** = 4 segments)
M_{in+}, M_{in-} (Rf nmos)	4 x (W= 40 μ , L= 0,25 μ , NG = 2 segments)
R_{b+}, R_{b-} (resPN)	661,4 Ω (W= 4 μ , L= 11,8 μ)
R_{l+}, R_{l-} (resPN)	117,5 Ω (W= 4 μ , L= 1,875 μ)
V_{dcin} (Source de courant Rf nmos)	4 x (W=25 μ , L=0,25 μ , NG = 2 segments)
Résistance négative d'entrée :	
M_{nin+}, M_{nin-} (Rf nmos)	2 x (W= 22,9 μ , L= 0,25 μ , NG = 2 segments)
V_{qin} (Source de courant Rf nmos)	3 x (W= 40 μ , L= 0,25 μ , NG = 2 segments)
Résistance négative de sortie :	
M_{nout+}, M_{nout-} (Rf nmos)	2 x (W= 32 μ , L= 0,25 μ , NG = 2 segments)
V_{qout} (Source de courant Rf nmos)	1 x (W= 40 μ , L= 0,25 μ , NG = 2 segments)
Buffer de sortie :	
R_{lout+}, R_{lout-} (resPN)	50 Ω (W=40 μ , L=8,825 μ)
M_{out+}, M_{out-} (Rf nmos)	4 x (W=25 μ , L=0,25 μ , NG = 2 segments)
V_{dcout} (Source de courant Rf nmos)	1 x (W=25 μ , L=0,25 μ , NG = 2 segments)

Capacité de découplage entrée et sortie (CapMIM)	2 x 5 pF (31,65 μ x 31,65 μ)
Éléments	Valeurs
Alimentation V _{dd}	2,7 V
Capacité de découplage tension (CapMIM Pour filtrer les parasites du V _{dd})	6 x 4,5 pF (30 μ x 30 μ)
Diodes de protection antenne sur toutes les grilles des NMOS	1x (AntProtP pour le V _{dd} et AntProtN pour le GND)

Tableau AV-1 : Valeurs des éléments du filtre actif

* Nombre de segments de grille

** Nombre de segments d'émetteur

Le Tableau AIV-2 résume les valeurs des éléments passifs qui constituent les inductances des résonateurs, les inductances d'adaptation ainsi que le couplage magnétique entre elles (figure AV-2).

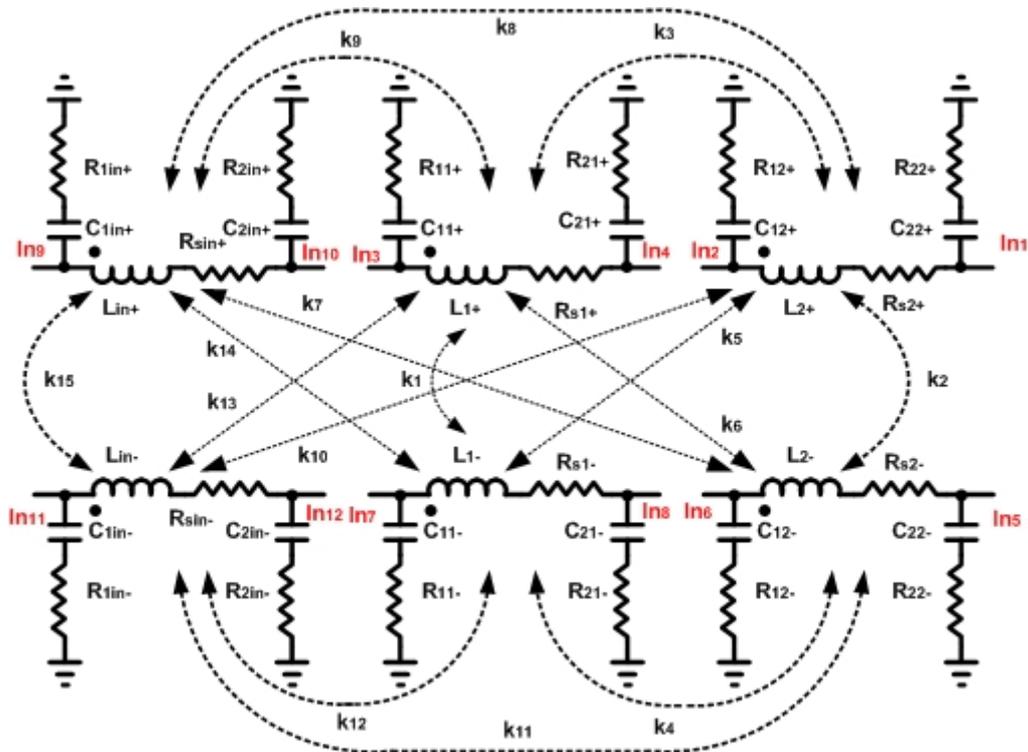


Figure AV-2 : Modélisation des couplages entre les inductances

Éléments	Valeurs
$L_{1+}, L_{1-}, L_{2+}, L_{2-}$	2,34 nH
$R_{s1+}, R_{s1-}, R_{s2+}, R_{s2-}$	8 Ω
$C_{11+}, C_{12+}, C_{11-}, C_{12-}$	50,8 pF
$R_{11+}, R_{12+}, R_{11-}, R_{12-}$	26,6 k Ω
$C_{21+}, C_{22+}, C_{21-}, C_{22-}$	52,9 pF
$R_{21+}, R_{22+}, R_{21-}, R_{22-}$	25 k Ω
L_{1in+}, L_{1in-}	3 nH
R_{sin+}, R_{sin-}	1,63 Ω
C_{1in+}, C_{1in+}	141 fF
R_{1in+}, R_{1in+}	107 Ω
C_{2in+}, C_{2in+}	111 fF
k_3, k_4	$-3,8 \times 10^{-4}$

Annexe V : Valeur des éléments de Amplificateur différentiel passe bande du 4ème ordre 264

k_1, k_2	6×10^{-3} et 3×10^{-3}
k_5, k_6	-5×10^{-4}
k_7, k_{10}	$-0,2 \times 10^{-3}$
k_8, k_{11}	$0,14 \times 10^{-3}$
k_9, k_{12}	6×10^{-3}
k_{13}, k_{14}	-2×10^{-3}
k_{15}	$0,47 \times 10^{-3}$

Tableau AV-2 : Valeurs des éléments passifs des modèles d'inductances

ANNEXE VI

SIMULATION ET MODELISATION DES INDUCTANCES

I. Introduction

Dans cette annexe, nous expliquons la méthode utilisée pour simuler et modéliser inductances du filtre actif.

Les deux paramètres les plus importants d'une inductance sont sa valeur en Henry, et son facteur de qualité (Figure AVI-1). Le facteur de qualité Q (AVI-1) caractérise le rapport entre la partie imaginaire et la partie réelle de l'impédance d'une inductance Z_l .

$$Q = \frac{\text{Im}(Z_l)}{\text{Re}(Z_l)} \quad (\text{AVI-1})$$



Figure AVI-1 : Modélisation série d'une inductance

La première étape de notre étude correspond à un choix de modèle pour reproduire le comportement électromagnétique réel d'une inductance planaire. Ce modèle doit être simple pour faciliter le transfert de paramètres S depuis le logiciel Momentum (ADS Advanced Design System) vers le logiciel Cadence.

Dans la littérature, plusieurs types de modélisation sont proposés. Parmi les plus populaires, on peut citer le modèle en Pi du premier ordre à deux accès (Figure AVI-2). Ce modèle propose une inductance en série avec une résistance qui caractérise les pertes métalliques. Aux bornes de ce circuit série, on trouve deux circuits RC série en parallèle. Ces circuits RC caractérisent les pertes entre les couches de métallisation et le substrat. Le premier ordre du modèle est justifié dans nos conceptions par la petite bande passante de 65 MHz utilisée à 2 GHz.

Plusieurs chercheurs ont étudié de plus près les inductances sur plusieurs substrats et avec différentes géométries (circulaires, carrées, rectangulaires, etc...).

L'inductance rectangulaire montre des pertes supérieures à celles de l'inductance carrée en raison de sa forme.

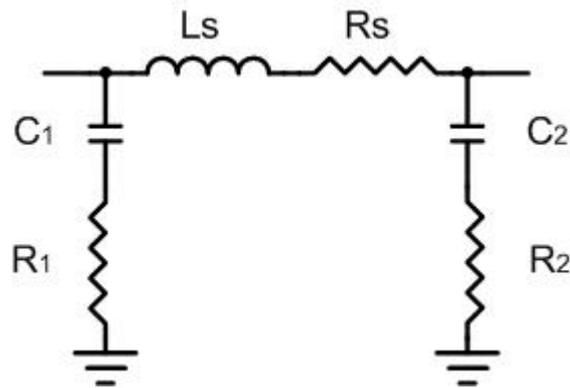


Figure AVI-2 : Modélisation en Pi d'une inductance

Les formes les plus adéquates en terme de facteur de qualité sont les géométries circulaires. Elles confinent mieux l'énergie au centre de l'inductance et occupent moins de superficie.

Avec Momentum, plusieurs dessins ont été testés et plusieurs constatations ont été faites. La première remarque est que le facteur de qualité des inductances en forme circulaire ne dépasse que de quelques pourcents celui des inductances en forme carrée, pour une superficie identique.

La deuxième remarque concerne le dessin de la forme circulaire qui prends du temps et n'est pas facile à modifier.

La troisième remarque concerne le temps de simulation important car la richesse du dessin en courbures implique un maillage fin et dense.

Tous ces facteurs encouragent à s'orienter plutôt vers le développement des inductances carrées. La figure AVI-3 illustre une inductance symétrique carrée. Cette symétrie est très appréciée en particulier dans les circuits différentiels.

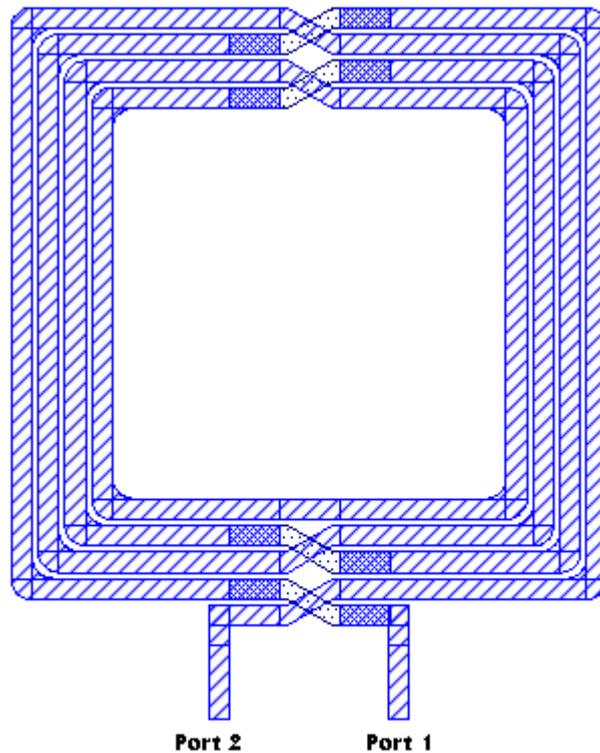


Figure AVI-3 : Inductance symétrique carrée

Le tableau AVI-1 présente les premiers résultats avec l'inductance de la figure AVI-3. On remarque des valeurs négatives des résistances séries R_s . Il faut toutefois garder présent à l'esprit que ce ne sont pas des valeurs physiques mais juste une modélisation qui reflète les paramètres S de la globalité de l'inductance.

freq	L	R1	R2	r	C1	C2	real(Z11)	imag(Z11)	Leq	Qeq
0,00	0	1,4E+11	1E+11	4,27	0	0	4,27	0,00	0	0,00
0,40	8,10E-09	221,81	209,93	4,40	1,42E-13	1,43E-13	4,48	20,48	8,15E-09	4,57
0,80	8,05E-09	217,69	213,74	4,64	1,41E-13	1,42E-13	5,09	41,57	8,27E-09	8,17
1,20	8,01E-09	216,64	214,25	4,72	1,40E-13	1,42E-13	6,28	64,03	8,49E-09	10,19
1,60	7,97E-09	215,98	214,17	4,39	1,39E-13	1,41E-13	8,51	88,69	8,82E-09	10,42
2,00	7,94E-09	215,44	213,92	3,40	1,38E-13	1,40E-13	12,50	116,39	9,26E-09	9,31
2,40	7,93E-09	214,57	213,24	1,49	1,37E-13	1,38E-13	19,34	148,08	9,82E-09	7,66
2,80	7,95E-09	213,71	212,51	-1,60	1,35E-13	1,36E-13	30,81	184,82	1,05E-08	6,00
3,20	8,00E-09	212,84	211,74	-6,14	1,33E-13	1,35E-13	49,71	227,65	1,13E-08	4,58
3,60	8,07E-09	211,94	210,93	-12,44	1,31E-13	1,33E-13	80,62	277,13	1,23E-08	3,44
4,00	8,18E-09	211,01	210,08	-20,87	1,29E-13	1,31E-13	130,82	332,17	1,32E-08	2,54

Tableau AVI-1 : Valeurs des éléments du modèle Pi, Leq et Qs

II. Modèle en Pi du premier ordre en bande étroite

Dans cette partie, nous allons étudier le modèle en Pi du premier ordre utilisé dans nos conceptions, ses performances ainsi que ses limitations.

Le circuit électrique du projet est développé sur Cadence, mais les modélisations des grandes lignes et inductances sont toujours développées en utilisant Momentum. L'un des moyens les plus simples pour transférer les caractéristiques de ces modules d'un outil à un autre est d'utiliser directement les paramètres S. Le bloc de paramètres S doit avoir un nombre d'accès qui correspond à ceux de la structure et doit aussi couvrir une large bande de fréquence. L'avantage de cette méthode est qu'elle reflète le comportement électromagnétique exact de la structure simulée.

Pour l'étude, deux outils de simulation complètement différents sont utilisés : Momentum en régime fréquentiel et Cadence en régime temporel.

Bien que Cadence puisse donner des résultats fréquentiels, il n'est pas complètement adapté pour travailler avec des blocs de paramètres S intégrés à ces circuits. Avant de commencer toute simulation, il est toujours nécessaire de transformer les données de chaque bloc fréquentiel en temporel. On peut expliquer cette opération par une interpolation des données, puis par une transformation de Fourier inverse. Afin de couvrir tout le spectre fréquentiel du filtre, Cadence a besoin d'un nombre très important de points de fréquence.

Cette exigence de transformation oblige à simuler les inductances de 0 Hz à au moins 6 GHz sur Momentum. Avec un pas réduit, la consommation en terme de temps est trop importante, et dépasse parfois 48 heures. Le fait d'utiliser un spectre fréquentiel réduit permet d'avoir les paramètres S globaux du circuit électrique sur Cadence. En revanche, ceci a aussi pour conséquence de très mauvaises performances en bruit (NF) et souvent une non-convergence pour les analyses fort signal. Pour ces raisons, il est nécessaire d'utiliser le modèle en Pi.

Le modèle en Pi du premier ordre illustré dans le tableau AVI-1 est intéressant par sa simplicité. La modélisation est ici faite pour plusieurs fréquences. Le nombre réduit de six valeurs d'éléments qui compose le modèle en Pi (L_s , R_s , R_1 , R_2 , C_1 , C_2) facilite le transfert de Momentum vers Cadence (Les six variables sont obtenues à partir des parties réelles et imaginaire de Y_{11} , Y_{21} et Y_{22}).

La question qui se pose à ce stade est : « Si nous extrayons le modèle en Pi à partir d'une seule fréquence (2 GHz), sur quelle bande de fréquence ce modèle peut-il nous refléter le comportement des lignes et des inductances ? »

Pour étudier les limitations du modèle, nous comparons les paramètres S de l'inductance initiale (Figure AVI-3) pour une plage de fréquence réduite à 20 % (1,8 GHz -2,2 GHz) avec les paramètres S de son modèle en Pi à 2 GHz. Puis, nous effectuons de nouveau la procédure pour une bande de fréquence encore plus large.

Le tableau AVI-2 résume les erreurs maximales entre les simulations en paramètres S et celles issues des modèles en Pi de 1,8 GHz à 2,2 GHz. Ces erreurs sont définies comme les valeurs absolues des différences entre les courbes de simulations et les modèles en Pi par rapport aux simulations. Les erreurs maximales ne sont pas très critiques : en module, elles ne dépassent pas 0,55 % et en phases 0,8 %. Ces résultats justifient la validation du modèle en Pi dans cette bande de fréquence.

Nous comparons aussi les erreurs de l'inductance et du facteur de qualité équivalent (Figure AVI-1). Les figures AVI-12 et AVI-13 représentent la valeur de l'inductance et le facteur de qualité respectivement, ainsi que leurs courbes d'erreur.

On remarque que l'erreur de la valeur d'inductance est très faible (0,08 %). En revanche, l'erreur du facteur de qualité est de 8 %. Ces résultats valident le modèle pour cette bande de fréquence étroite.

Erreurs entre paramètres S	Module	Phase
S_{11} (Figures AVI-4 et AVI-5)	< 0,45 %	< 0,8 %
S_{12} (Figures AVI-6 et AVI-7)	< 0,55 %	< 0,3 %
S_{21} (Figures AVI-8 et AVI-9)	< 0,55 %	< 0,3 %
S_{22} (Figures AVI-10 et AVI-11)	< 0,45 %	< 0,8 %.
L_s (Figure AVI-12)	< 0,08 %	
Q_s (Figure AVI-13)	< 8 %	

Tableau AVI-2 : Erreurs maximales entre les courbes de simulations et leur modèle

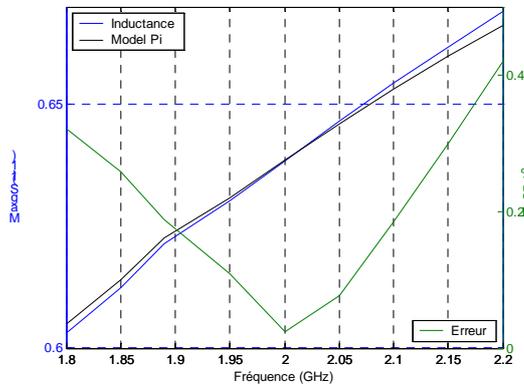


Figure AVI-5 : Module de S_{11} de l'inductance simulée, modélisée et pourcentage d'erreur

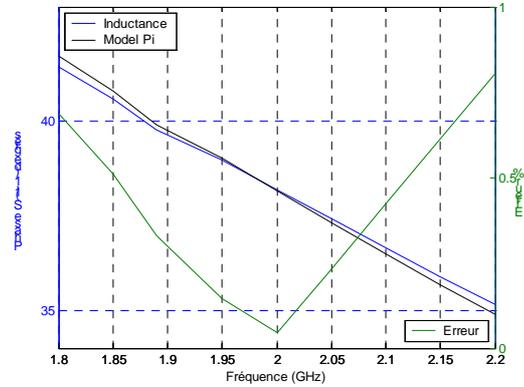


Figure AVI-4 : Phase de S_{11} de l'inductance simulée, modélisée et pourcentage d'erreur

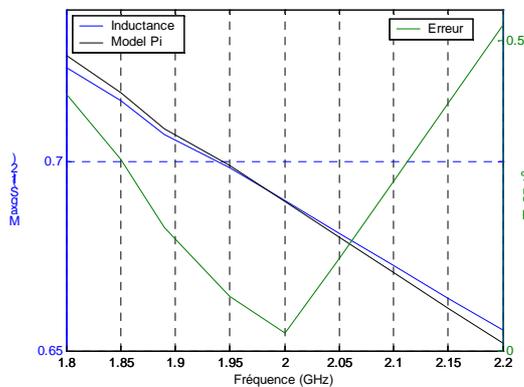


Figure AVI-6 : Module de S_{12} de l'inductance simulée, modélisée et pourcentage d'erreur

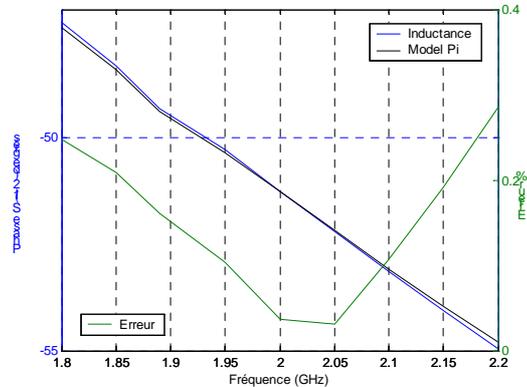


Figure AVI-7 : Phase de S_{12} de l'inductance simulée, modélisée et pourcentage d'erreur

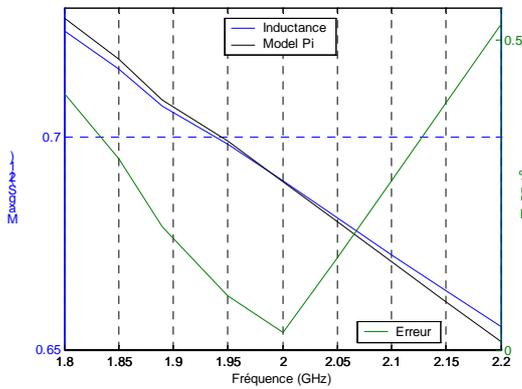


Figure AVI-8 : Module de S_{21} de l'inductance simulée, modélisée et pourcentage d'erreur

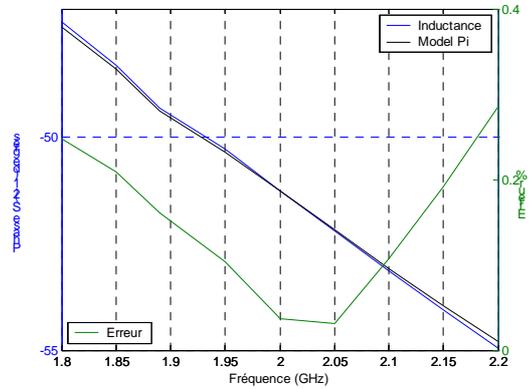


Figure AVI-9 : Phase de S_{21} de l'inductance simulée, modélisée et pourcentage d'erreur

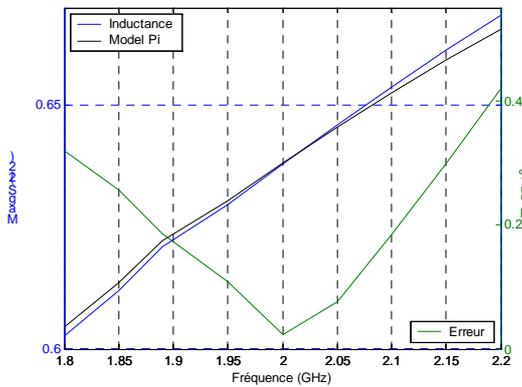


Figure AVI-11 : Module de S_{22} de l'inductance simulée, modélisée et pourcentage d'erreur

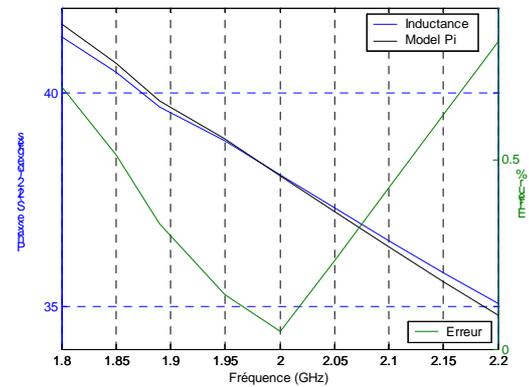


Figure AVI-10 : Phase de S_{22} de l'inductance simulée, modélisée et pourcentage d'erreur

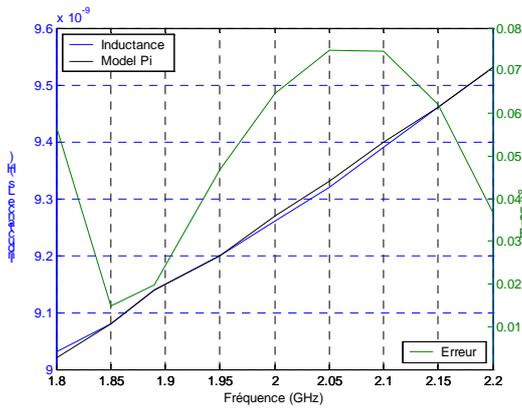


Figure AVI-13 : L_s de l'inductance simulée, modélisée et pourcentage d'erreur

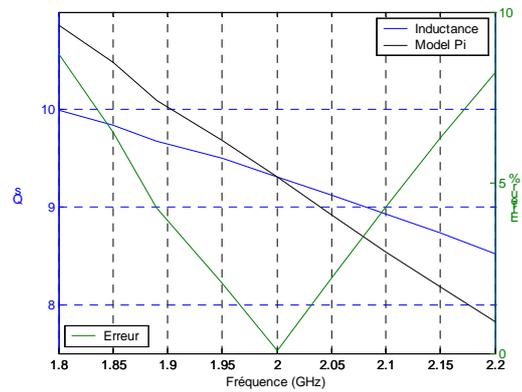


Figure AVI-12 : Q_s de l'inductance simulée, modélisée et pourcentage d'erreur

de la bande de fréquence de simulation des erreurs. Les figures AVI-14 à AVI-21 présentent les comparaisons de paramètres S ainsi que des courbes d'erreurs.

Le tableau AVI-3 récapitule les différences maximales entre les courbes de simulations et celles issues de leurs modèles entre 0,4 GHz et 4 GHz.

Pour la totalité de la bande de fréquence, on note des erreurs très importantes de modules de 7,5 % et de phases de 8 %.

On constate également une différence d'inductance de 22,5% (Figure AVI-22), et une différence de facteur de qualité de 37,5% (Figure AVI-23). Ces erreurs élevées confirment que le modèle n'est valide que pour 20 % de bande passante autour de 2 GHz.

Erreur entre paramètres S	Module	Phase
S_{11} (Figures AVI-14 et AVI-15)	< 7,5 %	< 4 %
S_{12} (Figures AVI-16 et AVI-17)	< 3,25 %	< 8 %
S_{21} (Figures AVI-18 et AVI-19)	< 3,25 %	< 8 %
S_{22} (Figures AVI-20 et AVI-21)	< 7,5 %	< 4 %
L_{eq} (Figure AVI-22)	< 22,5 %	
Q_s (Figure AVI-23)	< 37,5 %	

Tableau AVI-3: Erreurs maximales entre les courbes de simulation et leur modèle

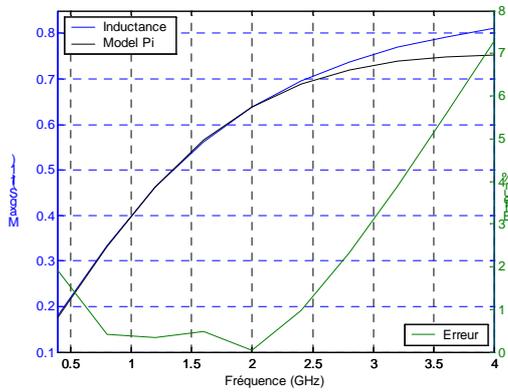


Figure AVI-14 : Module de S_{11} de l'inductance simulée, modélisée et pourcentage d'erreur

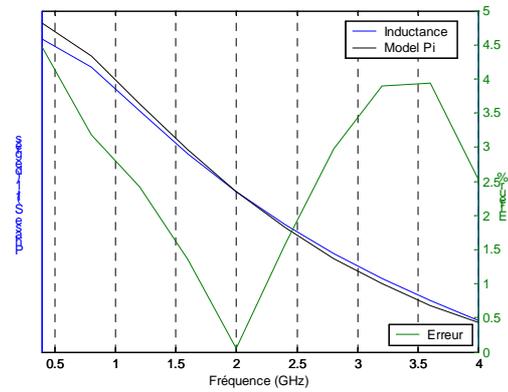


Figure AVI-15 : Phase de S_{11} de l'inductance simulée, modélisée et pourcentage d'erreur

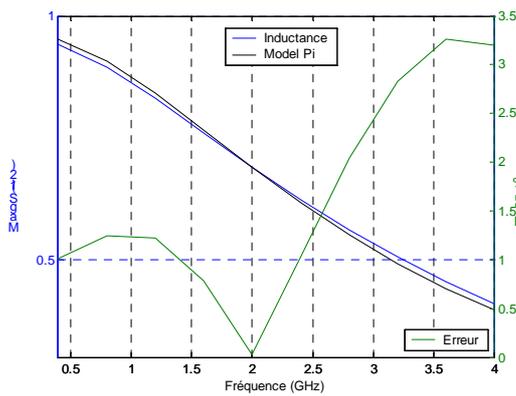


Figure AVI-16 : Module de S_{12} de l'inductance simulée, modélisée et pourcentage d'erreur

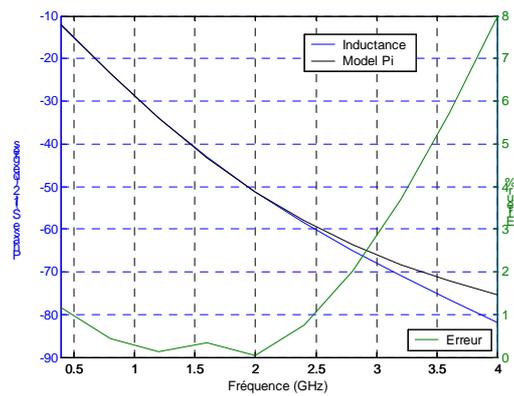


Figure AVI-17 : Phase de S_{12} de l'inductance simulée, modélisée et pourcentage d'erreur

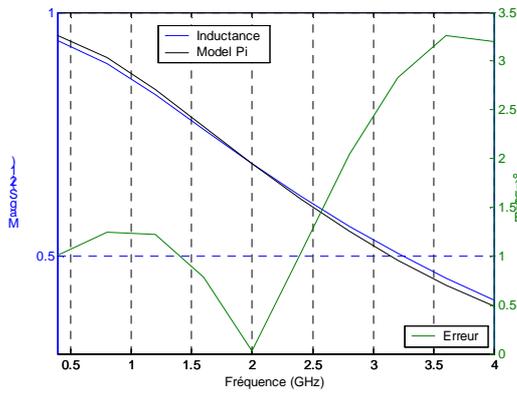


Figure AVI-18 : Module de S_{21} de l'inductance simulée, modélisée et pourcentage d'erreur

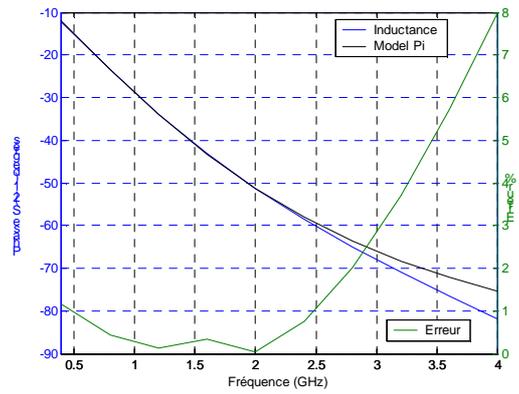


Figure AVI-19 : Phase de S_{21} de l'inductance simulée, modélisée et pourcentage d'erreur

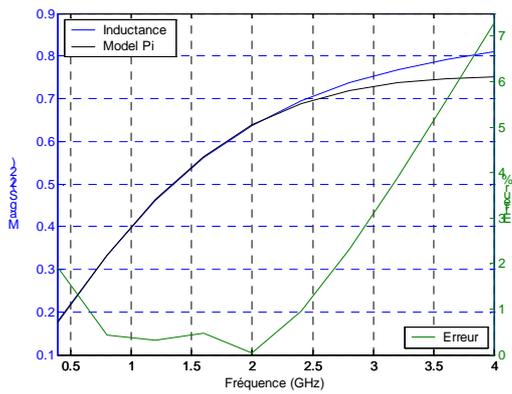


Figure AVI-21 : Module de S_{22} de l'inductance simulée, modélisée et pourcentage d'erreur

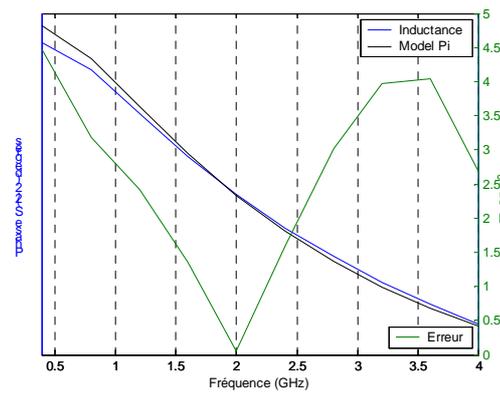


Figure AVI-20 : Phase de S_{22} de l'inductance simulée, modélisée et pourcentage d'erreur

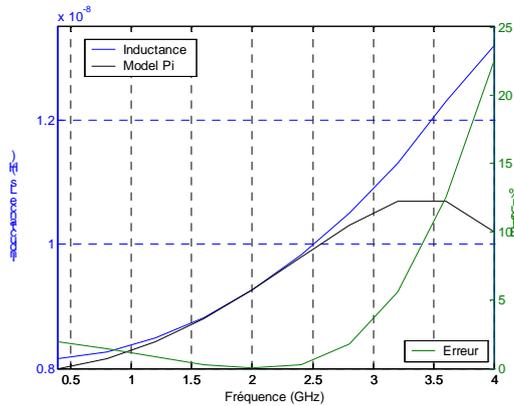


Figure AVI-23 : L_s de l'inductance simulée, modélisée et pourcentage d'erreur

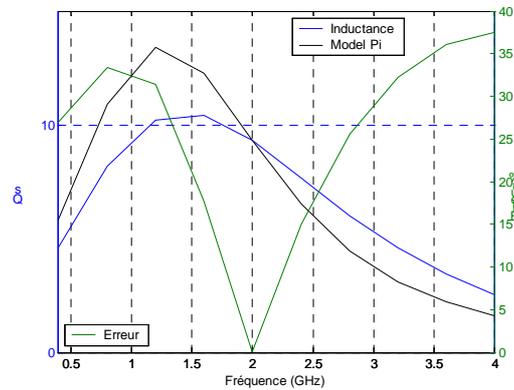


Figure AVI-22 : Q_s de l'inductance simulée, modélisée et pourcentage d'erreur

III. Conclusion

L'utilisation du modèle en Pi du premier ordre est très efficace pour des bandes étroites car elle nécessite une simulation électromagnétique à une seule fréquence. Cette méthode est valide pour notre application de filtre sous la norme UMTS qui fonctionne à 2 GHz avec une bande passante de 65 MHz.

L'utilisation du modèle en Pi est limitée aux simulations préliminaires avec des inductances rapportées depuis Momentum et transférées sur Cadence pour le développement du filtre. En revanche, la simulation finale sur Cadence doit impérativement utiliser un bloc de paramètres S avec une bande passante très large. Rappelons qu'utiliser cette méthode pour toutes nos simulations consomme beaucoup de temps, en particulier dans les simulations électromagnétique à large bande de fréquences.

ANNEXE VII

VALEURS DES ELEMENTS DU FILTRE LC DU PREMIER ORDRE

Le Tableau AVII-1 résume les valeurs des éléments qui composent l'ensemble du filtre actif (Figure AV-1).

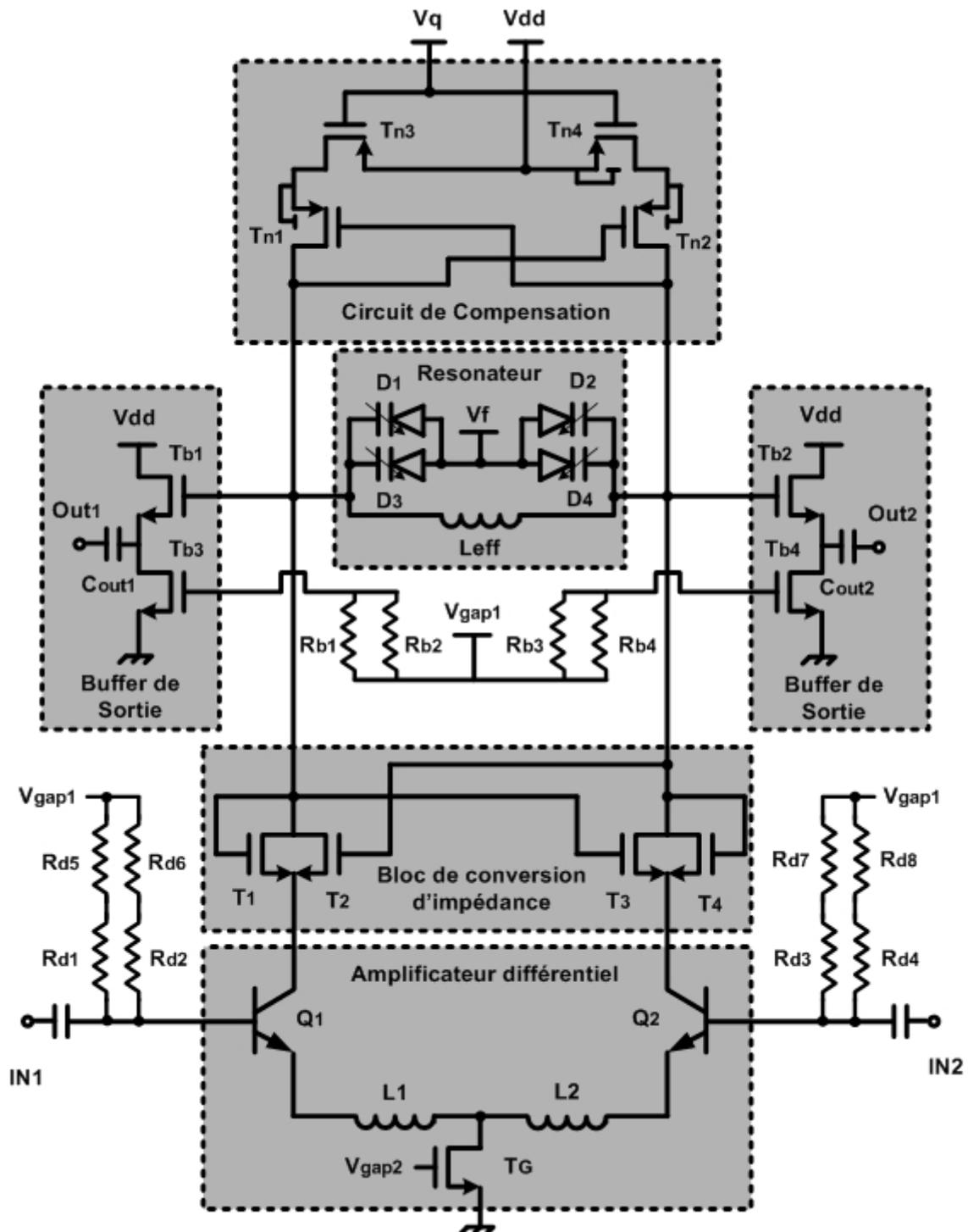


Figure AV-1 : Filtre actif LC du premier ordre

Eléments	Valeurs
Résonateur :	
D ₁ , D ₂ , D ₃ , D ₄ (VaricapB) remplace C ₁ et C ₂	8 x 327,5 fF (8μ x 3μ)
L _{eff}	(Voir le model complet sur le tableau AVII-2)
Amplificateur :	
Q ₁ , Q ₂ (BJT Pa)	3 x (W= 500m, L= 18μ, NE** = 3 segments)
R _{d1} , R _{d2} , R _{d3} , R _{d4} (resPN)	4,837 KΩ (W=5μ, L=110μ)
R _{d5} , R _{d6} , R _{d7} , R _{d8} (resPN)	5,364 KΩ (W=5μ, L=122μ)
V _{gap1} ~1V	Référence de voltage (Pont de résistances)
L ₁ , L ₂ (Inductances de dégénérescence, voir le model complet sur le tableau AVII-2)	5,2 nH sur le schéma aussi.
T _G (Rf nmos)	6 x (W=225 μ, L=0,6 μ, NG = 4 segments)
V _{gap2} ~1V	Référence de voltage (Pont de résistances)
Capacité de découplage entrée et sortie (CapMIM)	2 x4,5 pF (30μ x 30μ)
Résistance négative :	
T _{n1} , T _{n2} , T _{n3} , T _{n4} (pmos)	1 x (W= 20μ, L= 0,25μ, NG = 5 segments)
Buffer de sortie :	
T _{b1} , T _{b2} (Rf nmos)	2 x (W=20μ, L=0,25μ, NG = 2 segments)
T _{b3} , T _{b4} (Rf nmos)	1 x (W=25μ, L=0,25μ, NG = 2 segments)
Capacité de découplage sortie (CapMIM)	2 pF (20μ x 20μ)
R _{b1} , R _{b2} , R _{b3} , R _{b4} (resPN)	8,347 KΩ (W=5μ, L=190μ)
V _{gap1} ~1V	Référence de voltage (Pont de résistances)
Convertisseur d'impédance :	
T ₁ , T ₂ , T ₃ , T ₄ (Rf nmos)	6 x (W=18μ, L=0,25μ, NG = 2 segments)

Alimentation V_{dd}	2,7 V
Capacité de découplage tension (CapMIM Pour filtrer les parasites du V_{dd})	6 x 4,5 pF (30 μ x 30 μ)
Diodes de protection antenne sur toutes les grilles des NMOS	1x (AntProtP pour le Vdd et AntProtN pour le GND)

Tableau AVII-1 : Valeurs des éléments du filtre actif

* Nombre de segments de grille

** Nombre de segment d'émetteur

Le Tableau AVII-2 résume les valeurs des éléments passifs qui constituent l'inductance du résonateur, les inductances des dégénérescences et les inductances d'adaptation ainsi que le couplage entre elles (Figure AV-2).

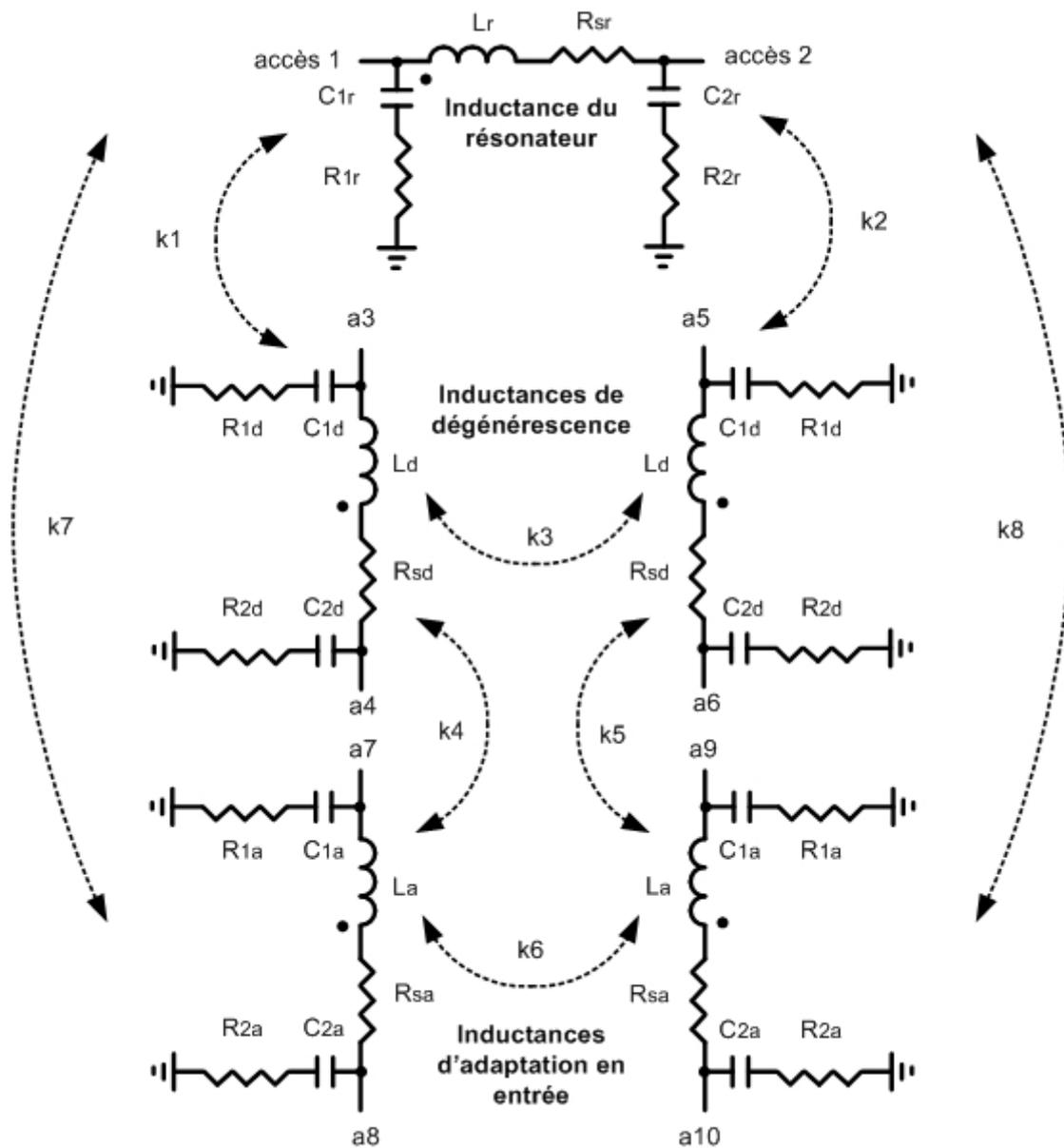


Figure AV-2 : Modélisation des éléments passifs.

Éléments	Valeurs
Inductance du résonateur	
L_r	7,45 nH
R_{sr}	4,5 Ω
C_{1r}	134,2 fF
C_{2r}	132,7 fF
R_{1r}	171,2 Ω
R_{2r}	172,4 Ω
Les deux inductances de dégénérescence	
L_d	4,6 nH
R_{sd}	3 Ω
C_{1d}	246,4 fF
C_{2d}	218,3 fF
R_{1d}	114,8 Ω
R_{2d}	167,2 Ω
Les deux inductances d'adaptation	
L_r	1 nH
R_{sr}	874 m Ω
C_{1r}	96 fF
C_{2r}	80 fF
R_{1r}	172,8 Ω
R_{2r}	190,5 Ω
Les couplages entre inductances	
k_1	$9,4 \times 10^{-4}$

k_2	$-9,4 \times 10^{-4}$
k_3	7×10^{-3}
k_4, k_5	0,2
k_6	5×10^{-2}
k_7	31×10^{-3}
k_8	-31×10^{-3}

Tableau AVII-2 : Valeurs des modélisations des éléments passifs.

ANNEXE VIII

ARTICLES PERSONNELS

-
- [1] **B. BARELAUD, Z. SASSI, L. BILLONNET, B. JARRY.**
"Utilisation de SpectreRF dans Analog Design Environment pour la conception d'un filtre actif intégré RF dédié aux télécommunications"
CNFM (Comité National de la formation à la Microélectronique) 7eme journée pédagogique
Saint Malo 27-29 Novembre 2002.
- [2] **S. DARFEUILLE, Z. SASSI, B. BARELAUD, L. BILLONNET, B. JARRY, H. MARIE, A. DE LA TORRE, P. GAMAND.**
"2 GHz 2.7V Active Bandpass Filters on Silicon"
International Workshop on microwave Filters CNES-ESA 13-14 Sept 2004 Toulouse.
- [3] **Z. SASSI, B. BARELAUD, L. BILLONNET, B. JARRY, H. MARIE, A. DE LA TORRE, N. TRAN LUAN LE, P. GAMAND.**
"Fully Differential 2 GHz 2.7V Order Low-Noise Active Bandpass Filter on Silicon"
EUMC (European Microwave Conference) Octobre 2004 Amsterdam.
- [4] **Z. SASSI, S. DARFEUILLE, B. BARELAUD, L. BILLONNET, B. JARRY, H. MARIE, N. TRAN LUAN LE, P. GAMAND.**
"2 GHz Tuneable Integrated Differential Active Bandpass Filter on Silicon"
GeMic (German Microwave Conference) 5-7 avril 2005, Ulm-Allemagne.
- [5] **Z. SASSI, B. BARELAUD, L. BILLONNET, B. JARRY H. MARIE, N. TRAN LUAN LE, P. GAMAND.**
"Filtre Actif LC Accordable et Différentiel à 2 GHz sur Silicium"
JNRDM (Journées Nationales du Réseau Doctoral de Microélectronique) 10-12 Mai 2005 Paris.

-
- [6] **Z. SASSI, B. BARELAUD, L. BILLONNET, B. JARRY H. MARIE, N. TRAN LUAN LE, P.GAMAND.**
"Filtre Actif Passe Bande Différentiel à 2 GHz sur Silicium"
JNM (14eme Journées Nationales Microonde) 11-12-13 mai 2005 Nantes.
- [7] **Z. SASSI, S. DARFEUILLE, B. BARELAUD, L. BILLONNET, B. JARRY, H. MARIE, N. TRAN LUAN LE, P. GAMAND.**
"Integrated Differential 2 GHz 2.7V Low-Noise Active Bandpass Filters on Silicon"
IEEE RFIC (Radio Frequency Integrated Circuit) 12-14 juin Long beach 2005 USA.
- [8] **Z. SASSI, B. BARELAUD, L. BILLONNET, B. JARRY, P. GAMAND**
"Comparaison entre filtres passe bande à Comparaison entre filtres passe bande à inductances actives et filtres LC inductances actives et filtres LC en technologie en technologie BiCMOS"
JNRDM (Journées Nationales du Réseau Doctoral de Microélectronique) 10-12 Mai 2006 Rennes.
- [9] **S. DARFEUILLE, R. GOMEZ-MARIA, J. LINTIGNAT, Z. SASSI, B. BARELAUD, L. BILLONNET , B. JARRY , H. MARIE , P. GAMAND**
"Silicon-integrated 2 GHz fully-diffential tunable recursive filter for MMIC three-branch channelized bandpass filter design"
IEEE MTTTS (Microwave Theory and Techniques Society) 11-16 juin San-Francisco 2006 USA
- [10] **S. DARFEUILLE, Z. SASSI, B. BARELAUD, L. BILLONNET, B. JARRY, H. MARIE, N.T. LUAN LE, P. GAMAND**
"A fully-differential 2 GHz tunable recursive bandpass filter on silicon"
GeMic (German Microwave Conference) 5-7avril 2005 Ulm-Allemagne.

-
- [11] **J. LINTIGNAT, S. DARFEUILLE, R. GOMEZ-GARCIA, Z. SASSI, B. BARELAUD, L. BILLONNET, B. JARRY**
"Original approach for extracting the exact noise factor of differential microwave circuits using mixed-mode and noise-wave formalisms"
EUMC (European Microwave Week) 10-15 septembre 2006, Manchester UK.
- [12] **S. DARFEUILLE, J. LINTIGNAT, R. GOMEZ-GARCIA, Z. SASSI, B. BARELAUD, L. BILLONNET, B. JARRY, H. MARIE, P. GAMAND**
"Silicon-Integrated Differential Bandpass Filters Based on Recursive and Channelized Principles and Methodology to Compute their Exact Noise Figure"
IMS special issue of the IEEE Transactions on Microwave Theory and Techniques 2006.

Résumé

Ces travaux de thèse consistent à concevoir de nouvelles topologies devant remplacer les circuits de filtrages classiques par des solutions actives et adaptables pour augmenter les performances et réduire les coûts. Les circuits intégrés en silicium sont développés et réalisés avec la collaboration industrielle du Centre d'Innovations RF de PHILIPS Semiconducteur à CAEN. A partir d'une recherche bibliographique sur le filtrage actif, quatre axes topologiques sont sélectionnés et développés pour aboutir à quatre conceptions de circuits intégrés dont deux sont réalisés. La première topologie est basée sur le principe de l'inductance active. Ce concept est très avantageux en terme de surface occupée et présente un balayage important en fréquence centrale. Ce filtre n'a pas été réalisé à cause de sa consommation, de son facteur de bruit élevé ainsi que sa linéarité limitée. La deuxième topologie, basée sur le principe du filtre LC, a été réalisée. Ce circuit différentiel est composé de quatre résonateurs couplés réalisés à l'aide de transistors NMOS afin de constituer un filtre du quatrième ordre. Le troisième circuit qui a également été réalisé est un filtre LC différentiel de premier ordre. Il se compose d'un amplificateur, d'un résonateur LC, d'un convertisseur d'impédance et d'une résistance négative. Ce filtre a nécessité une analyse électromagnétique très rigoureuse. Finalement, un quatrième circuit est présenté comme une perspective à ces travaux de thèse. Ce filtre LC intégré utilise un transformateur passif composé de trois inductances, sans circuit de compensation de pertes qui dégrade généralement la linéarité totale du filtre.

Summary

This thesis work consists in designing new topologies in order to substitute the traditional passive filtering circuits by active ones. These tunable solutions increase the performances and reduce the costs. Silicon integrated circuits are developed and realized by an industrial collaboration of RF Innovations Center PHILIPS Semiconductor at CAEN. Based on a bibliographical research of active filtering, four topological axes are selected and developed to lead to four integrated circuit designs, among which two are realized. The first topology is based on the active inductance principle. This design is very advantageous in term of occupied surface and presents an important centre frequency tuning band. This filter was not realized because of its consumption, of its high noise figure and its limited linearity. The second topology is based on the LC filter principle. This realized differential circuit is composed of four coupled resonators based on NMOS transistors in order to constitute the fourth order. The third circuit which has also been realized is a first order LC differential filter. It is composed of an amplifier, an LC resonator, an impedance converter and a negative resistance. This filter has required a very rigorous electromagnetic analysis. Finally, a fourth circuit is presented as a perspective to this thesis work. This LC integrated filter uses a passive transformer made up of three inductances, without any compensating network, which generally degrades the total linearity of the filter.