

UNIVERSITE DE LIMOGES

ECOLE DOCTORALE SCIENCES - TECHNOLOGIE - SANTE

FACULTE DES SCIENCES ET TECHNIQUES

XLIM – DÉPARTEMENT C²S²

Thèse n°14-2006

Thèse

pour obtenir le grade de

DOCTEUR DE L'UNIVERSITE DE LIMOGES

**Discipline : Electronique des Hautes Fréquences et
Optoélectronique**

Spécialité : "Communications Optiques et Microondes"

Présentée et soutenue par

David EYLLIER

Le 5 mai 2006

***Outils de Synthèse Originaux pour la Conception de
Dispositifs Actifs Microonde Intégrés***

Application au Filtrage et à l'Amplification Faible Bruit

Thèse dirigée par Laurent BILLONNET et Bernard JARRY

Jury :

Michel CAMPOVECCHIO	Professeur à l'Université de Limoges	Président
Gérard TANNE	Maître de Conférences HDR à l'ENST Bretagne, Brest	Rapporteur
Eric BERGEAULT	Professeur à l'ENST Paris	Rapporteur
Christophe LAPORTE	Ingénieur au CNES, Toulouse	Examineur
Jan Geralt BIJ DE VAATE	Scientific Project Manager, Astron R&D, Pays-Bas	Examineur
Laurent BILLONNET	Professeur à l'Université de Limoges	Examineur
Bernard JARRY	Professeur à l'Université de Limoges	Invité
Serge VERDEYME	Professeur à l'Université de Limoges	Invité
Raymond QUERE	Professeur à l'Université de Limoges	Invité

REMERCIEMENTS

Ce travail a été effectué pour sa majeure partie à l'Institut de Recherche en Communications Optiques et Microondes, au sein de l'équipe « Circuits et Dispositifs Microondes » du Professeurs Serge VERDEYME que je remercie pour m'avoir accueilli.

La rédaction de ce manuscrit s'est achevée après l'avènement du laboratoire XLIM, époque à laquelle j'ai été rattaché au département C²S² dirigée par le Professeur Raymond QUERE que je tiens également à remercier.

Je tiens à remercier le Professeur Michel CAMPOVECCHIO qui a eu la gentillesse d'accepter de présider le jury de cette thèse.

J'exprime également toute ma gratitude à Monsieur Gérard TANNE, Maître de Conférences HDR à l'Ecole Nationale Supérieure de Télécommunication Bretagne de Brest, ainsi qu'à Monsieur le Professeur Eric BERGEAULT de l'Ecole Nationale Supérieure de Télécommunication de Paris qui ont bien voulu assurer la fonction de rapporteur.

Je témoigne ma reconnaissance à Messieurs Christophe LAPORTE et Jan Geralt BIJ DE VAATE, respectivement Ingénieur au Centre National d'Etudes Spatiales à Toulouse et Responsable de projet de Astron R&D aux Pays-Bas, pour avoir accepté d'examiner ce mémoire et de participer à ce jury.

J'adresse plus particulièrement mes remerciements à Messieurs Laurent BILLONNET et Bernard JARRY, Professeurs à l'Université de Limoges, qui par leur expérience, leur gentillesse et la disponibilité dont ils ont fait preuve, m'ont permis de mener à bien ces travaux.

Je tiens à exprimer ma gratitude à Monsieur Hubert JALLAGEAS, Ingénieur d'Etudes au Laboratoire XLIM, pour sa compétence et sa disponibilité lors des phases expérimentales.

J'adresse également mes sincères remerciements à Mesdames Marie-Laure GUILLAT et Marie-Claude LEROUGE pour leur convivialité et leur efficacité dans la gestion des tâches administratives.

Ces travaux ont été effectués en collaboration avec l'équipe de recherche du Professeur Leonid BABAK de l'Université de Tomsk, en Sibérie, que je remercie ici pour son aide et pour nous avoir permis d'utiliser ses outils logiciels.

Je tiens à remercier plus particulièrement Monsieur Mikhail CHERKASHIN, Docteur à l'Université de Tomsk, pour les nombreux échanges que nous avons eu, sa sympathie, sa gentillesse et pour nos discussions qui m'ont permis d'approfondir mes connaissances (en anglais surtout).

A Stéphanie, Laurent, Jean-Pierre et Nicole merci pour votre amour.

SOMMAIRE

INTRODUCTION GENERALE.....	3
-----------------------------------	----------

CHAPITRE I

Nouvelle approche de conception pour la compensation des pertes de circuits passifs

I. INTRODUCTION	9
II. ETAT DE L'ART.....	10
III. PRINCIPE DU GYRATEUR ET DU CONVERTISSEUR D'IMPEDANCE NEGATIVE.....	15
III.1 Introduction	15
III.2 Principe du gyrateur	15
III.3 Principe du convertisseur d'impédance négative (CIN)	17
III.4 Calcul de l'impédance de charge d'un quadripôle en fonction de l'impedance d'entrée désireé	19
III.5 Bilan	20
IV. PRESENTATION DU LOGICIEL LOCUS.....	20
IV.1 introduction	20
IV.2 <i>Locus</i> : principe de fonctionnement	20
IV.3 Exemple de conception	23
IV.4 Bilan	27
V. UTILISATION DE LOCUS POUR LA COMPENSATION DE CIRCUITS PASSIFS	27
V.1 Conception d'une résistance négative large bande	27
V.1.1 <i>Topologie retenue</i>	28

V.1.2	<i>Détermination du réseau passif de charge du CIN</i>	29
V.1.3	<i>Optimisation du circuit en éléments réels résultats de simulation</i>	33
V.1.4	<i>Stabilité électrique</i>	34
V.2	Conception d'une inductance active large bande.....	37
V.2.1	<i>Topologie retenue - Détermination du réseau passif de charge</i>	37
V.2.2	<i>Dessin de masque et optimisation du circuit en éléments réels résultats de simulation</i>	41
V.2.3	<i>Etude de sensibilité</i>	43
V.2.4	<i>Stabilité électrique</i>	45
V.3	Etude d'une capacité négative pure large bande.....	46
V.4	Bilan	47
VI.	CONCLUSION	48

CHAPITRE II

Conception de filtres actifs utilisant la notion de profil d'impédance active

I. INTRODUCTION	51
II. PRINCIPE DU PROFIL D'IMPEDANCE	51
II.1 Définition du profil d'impédance active	51
II.2 Contrôle de la fréquence centrale	53
II.3 Contrôle de la bande passante	55
II.4 Démarche de conception	56
III. APPLICATION A LA CONCEPTION D'UN FILTRE ACTIF SELECTIF	57
III.1 Conception de la partie passive du filtre	57
III.2 Extraction de la partie active	58
III.3 Conception de la partie active	60
III.4 Réalisation du filtre actif	61
III.5 Mesure du circuit	64
IV. CONCEPTION D'UN FILTRE ACTIF PSEUDO-MULTIPOLE	67
IV.1 Conception du filtre passif initial	67
IV.2 Extraction du profil d'impédance	68
IV.3 Conception de la partie active	73
IV.4 Réalisation du filtre actif	77
IV.4.1 Etude de la stabilité électrique	79
IV.4.2 Etude de sensibilité	82
V. ETUDE D'UN PROFIL D'IMPEDANCE ACTIVE DESTINE A LA SYNTHESE D'UN FILTRE	85
MULTINORME	85
V.1 Définition d'un filtre multinorme	85
V.2 Comparaison des résultats de simulation du profil d'impédance active	86
VI. CONCLUSION	90

CHAPITRE III

Conception d'amplificateurs faible bruit Utilisation des logiciels Amp, Locus et Region

I.	INTRODUCTION	95
II.	PRESENTATION D'UNE NOUVELLE METHODE DE CONCEPTION D'AMPLIFICATEUR.....	96
II.1	Introduction	96
II.2	<i>Amp</i> : principe de fonctionnement	97
II.3	Résumé de la méthode de synthèse	102
III.	APPLICATION DE LA METHODE A LA CONCEPTION D'AMPLIFICATEURS FAIBLE BRUIT	104
III.1	Conception d'un LNA large bande entre 2 et 10 GHz.....	104
III.1.1	<i>Utilisation de Amp et Locus pour déterminer les régions acceptables et la topologie du LNA</i>	104
III.1.2	<i>Utilisation d'un logiciel circuit (Libra) pour finaliser la conception</i>	107
III.1.3	<i>Mesure du circuit</i>	113
III.2	Conception d'un LNA large bande entre 2 et 8 GHz adapté en entrée et en sortie	115
III.2.1	<i>Utilisation de Amp et Locus pour déterminer les régions acceptables et la topologie du LNA</i>	115
III.2.2	<i>Utilisation de Region et Locus pour construire les circuits d'adaptation.....</i>	118
III.2.3	<i>Utilisation d'un logiciel circuit (Libra) pour finaliser la conception</i>	119
III.3	Conception d'un LNA dans la bande [0,4 – 1,6] GHz	126
III.3.1	<i>Utilisation de Amp et Locus pour déterminer les régions acceptables et la topologie du LNA</i>	126
III.3.2	<i>Utilisation d'un logiciel circuit (Libra) pour finaliser la conception</i>	128
III.3.3	<i>Conception du LNA avec polarisation du drain au travers d'une charge active</i>	131
IV.	CONCLUSION.....	137

CONCLUSION GENERALE.....	141
ANNEXES.....	145
BIBLIOGRAPHIE.....	165
BIBLIOGRAPHIE PERSONNELLE.....	177

INTRODUCTION GENERALE

INTRODUCTION GENERALE

Les progrès récents et considérables de la technologie micro-électronique ont largement fait évoluer les dispositifs hyperfréquence.

Depuis l'apparition des premiers radars et des liaisons hertziennes, les applications des systèmes microondes ne se restreignent plus maintenant au domaine militaire mais s'étendent de plus en plus aux secteurs civils.

En effet, les circuits intégrés monolithiques microondes (MMICs) ont acquis un rôle important dans les stratégies de développement depuis le début des années 80. Les MMICs sont désormais omniprésents dans les équipements actif hyperfréquences pour des applications grand public telles que les télécommunications par satellite, la téléphonie mobile [??], l'automobile avec le radar anticollision, l'Internet ou encore les systèmes de guidage par satellites de type GPS (Global Positionning System) ou prochainement de type GALILEO (système de localisation par satellites civil européen).

Ces nouvelles applications font appel à des dispositifs électroniques qui se doivent d'être de plus en plus performants sur bien des points :

- ↳ Sélection précise des bandes de fréquences allouées pour éviter d'éventuelles interférences entre les différentes applications,
- ↳ Réduction du poids et de l'encombrement des systèmes,
- ↳ Réduction des coûts de production,
- ↳ Fonctionnement à des fréquences de plus en plus élevées.

L'amélioration des dispositifs électroniques passe par l'amélioration de chaque sous-circuit assurant une fonction déterminée au sein du système. Deux d'entre elles, la fonction

filtrage, et plus particulièrement le filtrage actif, ainsi que l'amplification faible bruit concernent directement les travaux présentés dans ce manuscrit.

Cependant, l'utilisation des dispositifs actifs dans la fonction de filtrage se sont accompagnés de nouveaux problèmes jusque là inconnus dans le cas de dispositifs microondes passifs. Parmi ceux-ci on peut citer :

- ↪ la stabilité électrique,
- ↪ le comportement fort signal,
- ↪ les performances en bruit,
- ↪ la consommation électrique des systèmes actifs.

Le concepteur doit donc faire appel à de nouvelle méthode afin d'améliorer en permanence ces dispositifs.

Les études présentées dans ce manuscrit s'inscrivent directement dans cette dernière approche. Notre objectif est d'utiliser de nouvelles méthodes de conception afin d'améliorer les performances des systèmes liés au filtrage actif tels que les résistances négatives, les inductances actives et les capacités négatives. Pour cela, nous utilisons une méthode appelée "méthode du profil d'impédance active".

Ce rapport est organisé en trois chapitres et s'articule de la manière suivante :

Dans le chapitre I, nous présentons un bref état de l'art sur l'évolution du filtrage actif microonde. Cette étude nous conduit vers l'analyse de dispositifs actifs tels que les gyrateurs et les convertisseurs d'impédances négatives.

La suite est consacrée à la synthèse d'une nouvelle méthode de conception faisant intervenir le calcul de l'impédance de charge d'un quadripôle en fonction de son impédance d'entrée et l'utilisation d'un logiciel (*Locus*) développé par Tomsk State University of Control System and Radioelectronics de l'Université de Tomsk en Sibérie. Cette première étude débouche alors par la conception de divers dispositifs et plus particulièrement une inductance active pure.

Dans le deuxième chapitre, nous présentons la conception de deux filtres actifs en technologie monolithique. Après une description de la "méthode de profil d'impédance active", nous appliquons ce principe à la conception d'un filtre actif passe bande sélectif ainsi qu'un filtre actif pseudo multipôle.

Les résultats de simulation de ces circuits s'accompagnent d'une série d'étude de sensibilité et de stabilité électrique. Nous comparons alors les résultats de mesures du filtre actif sélectif avec ceux obtenus en simulations afin de valider notre méthode de conception.

Enfin, nous comparons les résultats de simulation d'un circuit actif, obtenus avec le principe de profil d'impédance active, aux résultats présentés par F. Biron [40].

Le troisième chapitre porte sur l'étude d'une nouvelle méthode de conception d'amplificateur faible bruit. Cette conception, visuelle, est basée sur le tracé de courbes d'iso valeur correspondant aux différentes spécifications du circuit. Après avoir présenté le principe de cette méthode ainsi que le fonctionnement du logiciel *Amp*, nous appliquons cette étude à la conception de trois LNA.

Le premier est un LNA large bande entre 2 et 10 GHz dont la comparaison entre les résultats de simulation et les résultats de mesures nous permet de valider notre démarche. Le deuxième est un LNA large bande adapté en entrée et en sortie entre 2 et 8 GHz et fait intervenir un nouveau logiciel (*Region*) destiné à la conception de circuit d'adaptation. Enfin nous présentons les résultats de simulation d'un LNA dans la bande [0,4 – 1,6] GHz.

La conclusion générale présente les perspectives de ces nouvelles méthodes de conception.

CHAPITRE I

*Nouvelle approche de conception
pour la compensation des pertes de circuits passifs*

I. INTRODUCTION

L'utilisation d'éléments actifs dans des dispositifs microondes s'est révélée très prometteuse. Elle est particulièrement intéressante dans le cas des circuits monolithiques pour compenser les pertes d'une inductance spirale (résistance négative) ou pour réaliser directement une inductance idéale sans pertes (inductance active). On peut alors intégrer ces inductances actives au sein d'autres dispositifs monolithiques pour réaliser :

- des fonctions de filtrage très sélectives,
- des déphaseurs faibles pertes [1],
- des oscillateurs contrôlés en tension (OCT) [2]...[4]

L'objectif de ce chapitre est d'étudier et d'utiliser divers systèmes actifs tels que les gyrateurs et les convertisseurs d'impédances négatives pour concevoir des résistances négatives, capacités négatives et inductance actives.

Dans un premier temps, avant de réaliser cette étude, nous effectuons un état de l'art de manière à bien situer notre travail dans l'évolution actuelle des techniques de filtrage actif.

Nous nous attachons par la suite à donner un descriptif théorique des gyrateurs et des convertisseurs d'impédances négatives ainsi que d'une méthode développée par S.E. Sussman-Fort permettant de calculer l'impédance de charge d'un quadripôle pour réaliser ces fonctions.

Enfin, à partir de cette étude théorique, une prise en main détaillée du logiciel *Locus* nous permet de concevoir, avec l'aide de *Libra*, divers dispositifs, et plus particulièrement une inductance active pure.

Le but ici est de montrer, à l'aide de ces méthodes et nouveaux outils originaux, qu'il est possible de concevoir une multitude d'impédances destinées à des applications particulières de filtrage actif, et servant à compenser ou annuler les pertes d'insertions, à régler la largeur de la bande passante et/ou de la fréquence centrale des réponses correspondantes.

II. ETAT DE L'ART

La nécessité de passer des technologies "classiques" (du type guide d'onde) à des technologies planaires trouve son explication dans l'analyse des caractéristiques et des domaines d'applications des systèmes dits "volumiques" [5], [6] qui ne correspondent pas à l'évolution du marché vers les applications actuelles telles que la téléphonie mobile par exemple.

En effet, l'évolution des systèmes microondes vers des applications "grand public" a entraîné une augmentation conséquente de la complexité des systèmes et mis en évidence des contraintes incontournables telles que la réduction du poids et du volume des dispositifs ainsi que l'amélioration de leurs performances.

C'est pourquoi les concepteurs se sont tournés vers les technologies planaires puis vers des technologies monolithiques intégrées pour des applications analogiques microondes puis mixtes analogiques/numériques.

Cependant, comme tous les filtres passifs, les performances électriques des filtres correspondants sont limitées par leurs pertes d'insertion. Si on considère en plus la nécessité pour ces dispositifs d'être rendus accordables en fréquence, même les systèmes cryogéniques qui permettent une tenue en température des circuits [7], mais dont la mise en œuvre reste malgré tout encore encombrante et délicate, ne peuvent rentrer dans le cadre de ces différentes évolutions.

C'est donc vers le filtrage actif que le concepteur trouvera une grande partie des réponses à ces nouveaux problèmes.

En effet, l'introduction d'éléments actifs dans les filtres microondes, vise à atteindre les objectifs suivants :

- la compensation des pertes qui affectent les réponses des filtres,
- l'apport éventuel de gain dans les bandes de fréquence passantes,
- l'accordabilité et le réglage en fréquence des réponses par des moyens électriques,
- l'utilisation de nouvelles topologies de circuits pour le filtrage.

En contrepartie, l'utilisation de ces éléments introduit aussi de nouvelles contraintes que le concepteur devra donc prendre en compte, telles que la stabilité électrique, les performances de bruit, le comportement fort signal ainsi que la consommation électrique.

Même si, comme nous l'avons vu précédemment, l'amélioration des filtres passifs à l'aide de fonctions actives ne se limite pas uniquement à la compensation des pertes, cette dernière constitue un aspect important pour la réalisation de structures sélectives sans pertes et a été très développée par l'ensemble de la communauté scientifique.

Sur ce thème, on peut voir, dans la littérature, que les circuits simulant une résistance négative sont répertoriées en deux grandes familles. La première utilise la rétroaction d'un transistor unique. La seconde repose sur le principe des convertisseurs d'impédances négatives que nous développerons plus en détail dans le paragraphe III.3.

Ainsi, dans les études faites par Ph. Meunier [8], de même que dans [9] et [10], il apparaît que la rétroaction série d'un transistor monté en source commune est la structure la plus appropriée, par rapport à une rétroaction parallèle, pour la réalisation d'une résistance négative (figure I-1).

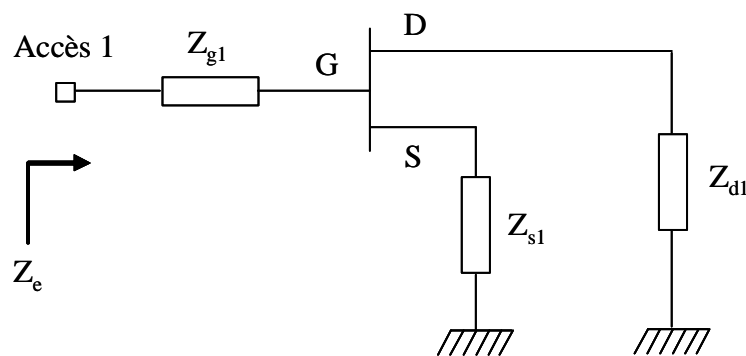


Figure I-1

Schéma général de la rétroaction série simulant une résistance négative

En effet, si on remplace le transistor de la figure I-1 par son schéma équivalent petit signal, on peut alors extraire l'expression de Z_e l'impédance d'entrée du dispositif, montrant ainsi la possibilité de réaliser des résistances négatives.

Un solveur permet ensuite de déterminer les valeurs et la nature des impédances, devant être mise en série avec le transistor, afin d'obtenir une partie réelle de l'impédance d'entrée Z_e négative.

Les publications [11] [12] [13] présentent aussi différentes conceptions de résistances négatives et tendent ainsi à montrer l'importance de tels systèmes.

D'autres aspects du filtrage actif, tels que l'obtention de gain dans la bande passante et l'accordabilité en fréquence, ont été grandement développés ces dernières années. On peut citer parmi les différents dispositifs trouvés dans la littérature, la réalisation des filtres récurrents et transversaux [14], appartenant initialement à la catégorie des filtres numériques basses fréquences (figure I-2).

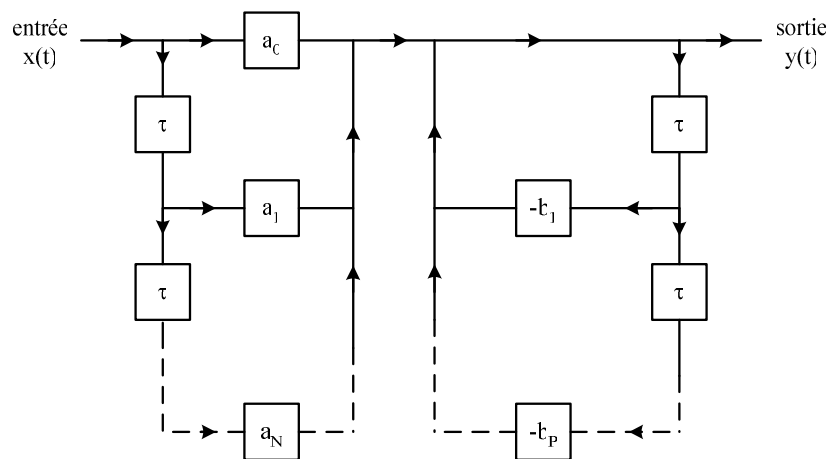


Figure I-2

Graphe de flux général d'un filtre récurrent et transversal

Ces filtres génèrent une fonction de transfert globale grâce à des recombinaisons constructives ou destructives des signaux, dues à un temps de retard unitaire τ , dans les différentes branches du filtre où les signaux ne sont pas nécessairement filtrés mais plutôt pondérés par une fonction qui s'identifie aux fréquences microondes à un amplificateur.

Cette transposition des basses fréquences aux fréquences microondes permet ainsi des applications analogiques que ce soit pour la partie récurrente [15] [16] [17], ou pour la partie transversale [18] [19] dans une approche parfois voisine des filtres "canalisés".

Les travaux développés dans [20] montrent l'obtention de gain dans la bande passante, obtenu grâce à une topologie de filtre récurrent à deux pôles en anneaux (figure I-3)

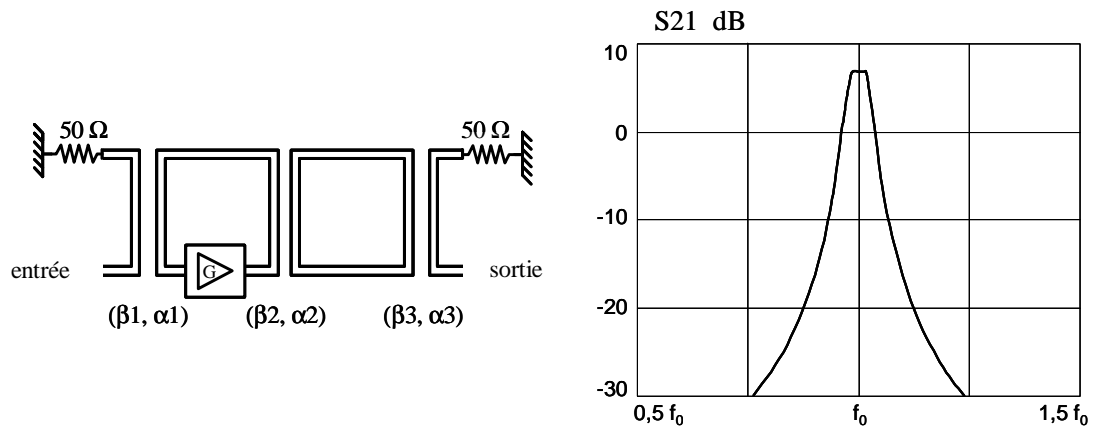
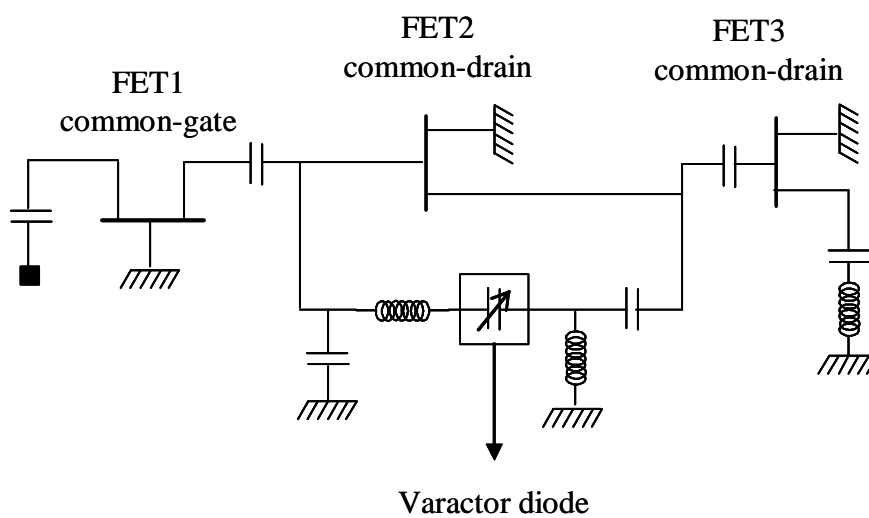


Figure I-3

Structure et réponse d'une topologie récursive en anneaux

Dans cet exemple, le temps de parcours du signal dans un anneau correspond au temps de retard τ . Les deux coupleurs en entrée et en sortie sont réalisés par deux paires de lignes couplées et le facteur de pondération est réalisé à l'aide de l'amplificateur unilatéral placé dans le premier anneau.

De plus, l'utilisation des filtres récursifs permet aussi, comme le montre l'exemple de la figure I-4, de régler la fréquence de résonance et ainsi d'obtenir des réponses de filtres accordables.



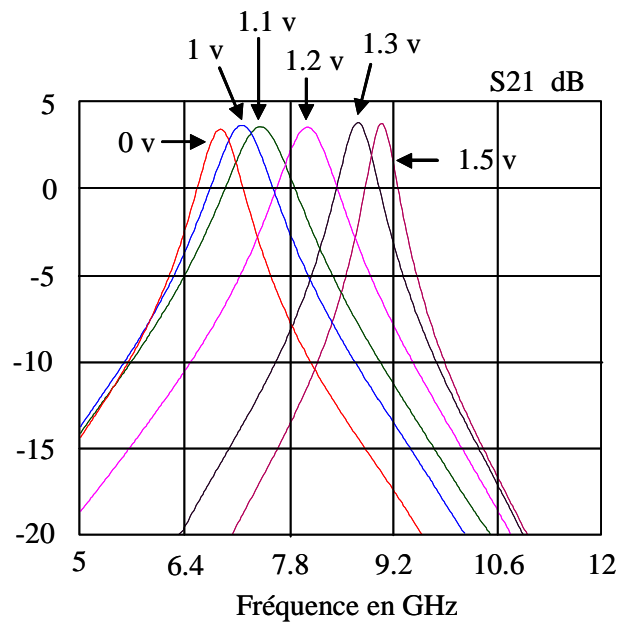


Figure I-4

Structure et réponse d'un filtre récuratif avec un réglage de la fréquence centrale par diode varactor

Nous pouvons remarquer ici que, par plusieurs réglages, il est possible d'obtenir à la fois une accordabilité en fréquence et du gain à niveau constant dans les différentes bandes passantes.

En effet, ces résultats de simulation sont obtenus en modifiant la tension de polarisation de la diode varactor, mais aussi celles des différents transistors afin de maintenir un gain constant sur toute la plage d'accord. Il faut noter ici que la largeur de la bande passante n'est pas constante pour toutes les fréquences centrales obtenues.

Dans [21] et [22] des méthodes sont développées pour synthétiser des impédances quelconques à parties réelles négatives, mais dont les parties imaginaires peuvent être mises à profit pour une réduction de la taille du filtre passif initial.

De même, des études ont été menées sur des filtres accordables en fréquence ou commutables destinés à être utilisés pour des applications de télécommunications mobiles multinormes [23], [24] ; cependant le contrôle de la largeur de bande passante reste toujours un problème.

Ces réflexions vont nous amener à définir la notion de profil d'impédance.

III. PRINCIPE DU GYRATEUR ET DU CONVERTISSEUR D'IMPEDANCE NEGATIVE

III.1 INTRODUCTION

L'utilisation des gyrateurs (ou inverseurs d'impédance) et des "Convertisseurs d'Impédance Négative" (ou CIN), qui sont des fonctions électriques très utilisées initialement aux basses fréquences, répondent exactement aux attentes des concepteurs en matière de compensation de pertes ou de parties résistives en général. Leur rôle est initialement de "fabriquer" à partir d'une impédance dite "de charge", une autre impédance selon un objectif déterminé. Ainsi, le rôle d'un gyrateur est de présenter à son entrée, une impédance proportionnelle à l'inverse de son impédance de charge, alors que le CIN a pour rôle de présenter à son entrée une impédance proportionnelle à son impédance de charge mais de signe opposé.

Nous détaillons maintenant les principes des deux dernières méthodes citées.

III.2 PRINCIPE DU GYRATEUR

L'utilisation des gyrateurs débouche essentiellement, aux fréquences microondes, sur la conception d'inductances actives [25] [26]. En effet, l'utilisation des inductances spirales en technologie MMIC amène le concepteur à prendre en compte plusieurs problèmes comme leur grande taille ainsi que leur niveau de pertes.

Ces pertes sont fonction de la largeur et de la longueur du ruban constituant l'enroulement. Elles dépendent également de la fréquence de travail.

Dans le cas idéal, il est possible de synthétiser une inductance sans perte en chargeant le gyrateur par une capacité sans pertes.

La matrice Y d'un gyrateur peut s'écrire de la manière suivante :

$$Y = \begin{bmatrix} 0 & A_1 \\ -A_2 & 0 \end{bmatrix} \quad \text{où} \quad A_1 \text{ et } A_2 \text{ sont réels de même signe.}$$

Il est possible de concevoir une inductance active en chargeant un gyrateur par une capacité.

Soit le schéma suivant :

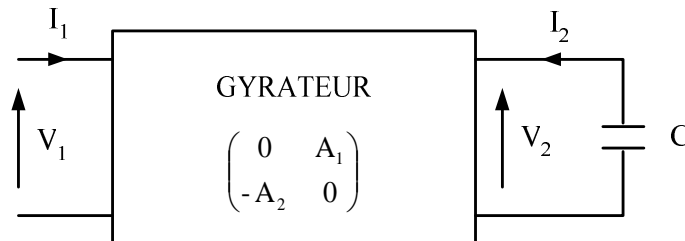


Figure I-5

Schéma de principe d'une inductance active obtenue à partir d'un gyrateur

On a alors :

$$I_1 = A_1 \cdot V_2$$

$$I_2 = -A_2 \cdot V_1$$

$$\text{et : } V_2 = \frac{-1}{jC\omega} \cdot I_2$$

$$\text{d'où : } -jC\omega V_2 = I_2 = -A_2 V_1$$

$$\text{soit : } V_2 = \frac{A_2}{jC\omega} \cdot V_1$$

$$\text{Finalement : } Z_e = \frac{V_1}{I_1} = \frac{jC\omega}{A_1 \cdot A_2} \quad (\text{impédance d'entrée du dispositif})$$

L'impédance d'entrée du dispositif est alors homogène à une inductance de valeur $C/A_1 \cdot A_2$. Cette valeur peut être ajustable en chargeant le gyrateur sur une diode varactor, ou en faisant varier les coefficients A_1 et A_2 .

III.3 PRINCIPE DU CONVERTISSEUR D'IMPEDANCE NEGATIVE (CIN)

D'une manière générale, les filtres passifs ont souvent des performances limitées. Ces limitations sont principalement dues aux pertes introduites en transmission. Il est donc important de pouvoir diminuer ces pertes, voire de les annuler, par des circuits actifs tels que ceux du type résistances négatives par exemple [27], [28].

La figure I-6 présente le circuit électrique équivalent d'une inductance du procédé de fabrication monolithique ED02AH d'OMMIC [34] :

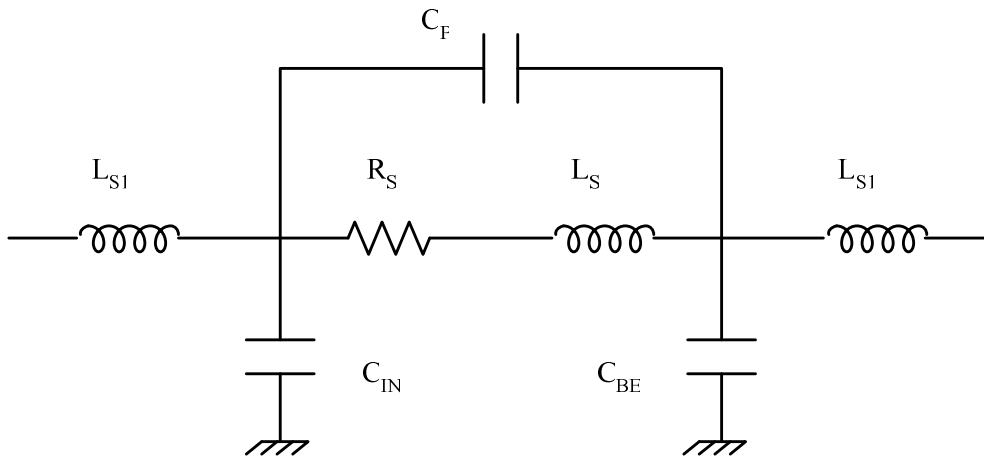


Figure I-6

**Circuit électrique équivalent d'une inductance
du procédé de fabrication monolithique ED02AH d'OMMIC**

$$\text{où : } R_S = P \times (\alpha_{R_S} - \beta_{R_S} \times P)$$

$$\text{avec : } \alpha_{R_S} = 0,268 + \frac{28,13}{W}$$

$$\beta_{R_S} = 0,00312 + \frac{0,583}{W}$$

et : P : longueur du ruban

W : largeur du ruban

Il apparaît que la résistance série R_s croît avec la longueur de ruban et qu'elle diminue lorsque la largeur du ruban augmente.

Pour réduire ces pertes, le concepteur a la possibilité de placer une résistance négative en série avec l'inductance afin d'obtenir des pertes nulles au moins dans la bande passante.

De tels dispositifs peuvent être réalisés à l'aide de convertisseurs d'impédance négative [29] dont l'impédance d'entrée est proportionnelle et de signe opposée à l'impédance de charge. Ces circuits sont maintenant très utilisés dans la conception de filtres actifs et peuvent aussi servir à la conception de capacités négatives [30].

Un C.I.N est un quadripôle comme le montre la figure I-7

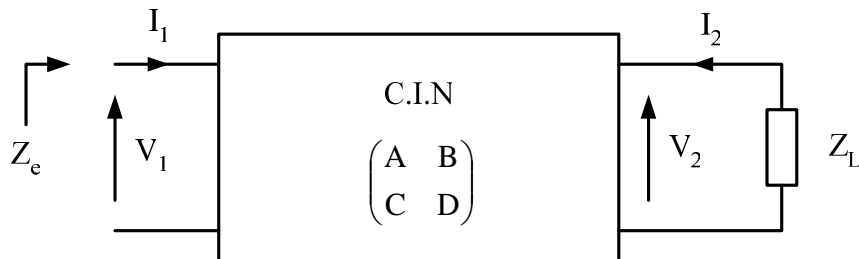


Figure I-7

Schéma de principe d'un convertisseur d'impédance négative chargé sur une impédance Z_L

où $\begin{bmatrix} A & B \\ C & D \end{bmatrix}$ est la matrice chaîne du C.I.N et où A, B, C, D sont de réels.

On peut écrire :

$$\begin{cases} V_1 = AV_2 - BI_2 \\ I_1 = CV_2 - DI_2 \end{cases} \quad \text{et} \quad V_2 = -Z_L \cdot I_2$$

$$\text{d'où : } \frac{V_1}{I_1} = \frac{AV_2 - BI_2}{CV_2 - DI_2}$$

L'impédance d'entrée Z_e du dispositif s'écrit alors :
$$Z_e = \frac{A Z_L + B}{C Z_L + D}$$

Dans le cas idéal, un convertisseur d'impédance négative est caractérisé par les relations $B = C = 0$ et $A/D = -1$. L'impédance d'entrée Z_e est alors égale à l'opposé de l'impédance de charge Z_L et s'écrit alors :

$$Z_e = -k Z_L \quad \text{où} \quad k = \frac{A}{D} < 0$$

Cependant, l'utilisation d'éléments réels ne permet plus de vérifier ces deux principes. Le but est alors, compte tenu des parasites des éléments utilisés aux fréquences microondes, de connaître l'impédance complexe avec laquelle il va falloir charger le quadripôle à un de ses accès pour obtenir à un autre accès et à chaque fréquence l'impédance désirée.

III.4 CALCUL DE L'IMPEDANCE DE CHARGE D'UN QUADRIPOLE EN FONCTION L'IMPEDANCE D'ENTREE DESIREE

Cette méthode de calcul qui permet de déterminer l'impédance de charge d'un quadripôle en fonction de l'impédance d'entrée désirée est développée dans l'annexe 1.

Nous montrons ainsi que dans la pratique, il suffira de charger l'accès 2 par l'opposé de Z_2'' pour obtenir Z_1 à l'accès 1. Cette impédance de charge correspond au profil d'impédance passif à synthétiser.

III.5 BILAN

L'analyse des différents travaux réalisés jusque là sur les dispositifs actifs comportant des gyrateurs et des convertisseurs d'impédances négatives, constitue une excellente base aux études que nous avons menées.

Nous nous intéressons maintenant à l'étude d'un nouvel outil logiciel de conception (*Locus*), qui associé à des outils classiques, tels que ADS [31] ou Libra [32], permet de concevoir des circuits d'adaptations ou de compensations.

IV. PRESENTATION DU LOGICIEL LOCUS

IV.1 INTRODUCTION

Nous avons conçus tous nos circuits simulant des résistances négatives, inductances actives et capacités négatives à l'aide du logiciel *Locus* [33].

L'utilisation de ce logiciel a fait l'objet d'une collaboration avec l'Université de Tomsk en Sibérie : Tomsk State University of Control System and Radioelectronics, dans le cadre d'un contrat INTAS.

Nous allons donc détailler ici le principe de fonctionnement de ce logiciel.

IV.2 *LOCUS* : PRINCIPE DE FONCTIONNEMENT

A l'opposé des logiciels classiques de type circuit, tels qu'ADS ou Libra, qui permettent de simuler une réponse à partir de la schématique d'un circuit donné, *Locus* détermine la topologie d'un circuit en fonction de la réponse souhaitée.

Cet outil logiciel est utilisé pour déterminer des réseaux passifs destinés à réaliser soit une adaptation soit une compensation de circuits passifs, ou actifs, RF et microondes. Il est fondé sur une représentation visuelle du processus de conception.

Pour expliquer son principe de fonctionnement, prenons le cas d'un dispositif quelconque.

Le but est d'obtenir à un des accès du dispositif, dans une bande de fréquence donnée, différentes performances de gain, d'adaptation ou/et de bruit imposées par un cahier des charges.

Le but est ainsi, pour chaque fréquence, de déterminer, quelle doit être l'impédance à présenter aux différents accès pour répondre aux performances requises (figure I-8).

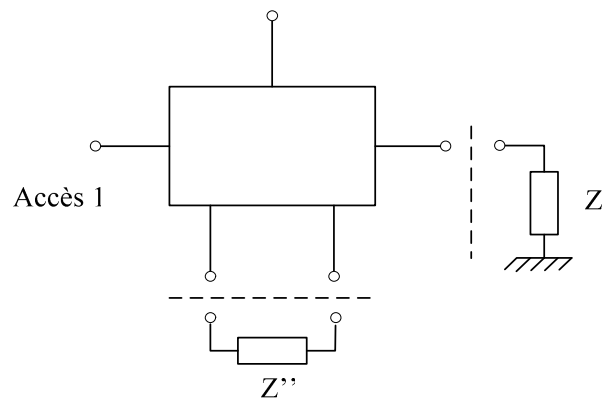


Figure I-8

Exemple de dispositif avec ses impédances de fermetures.

En spécifiant le cahier des charges sous forme de marges de performances, la technique permet d'aboutir, pour chaque paramètre (gain, adaptation, bruit, ...) à une zone d'impédance à l'intérieur de laquelle le paramètre est dans l'intervalle requis.

Ces zones d'impédance, appelées "Régions Acceptables" (RA), correspondent alors aux différentes valeurs d'impédance possibles du circuit passif de charge permettant d'obtenir à l'accès 1 les niveaux de performances compris dans les marges imposées par le cahier des charges.

La figure I-9 montre, sur un exemple simple, des RA qui permettent d'obtenir le paramètre S_{21} aux fréquences f_1 et f_2 à l'intérieur de marges α et β spécifiées. Ainsi, si l'on arrive à synthétiser une impédance dont la valeur est à l'intérieur de la région R_1 on obtiendra une valeur, pour le paramètre S_{21} , comprise entre α et β et qui correspond à l'intervalle de performance requis par le cahier des charges.

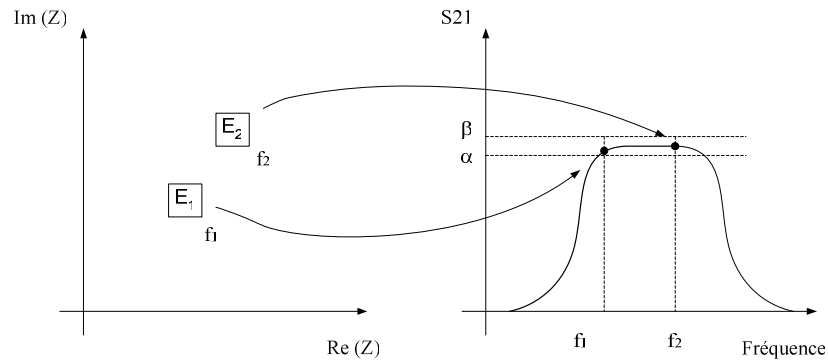


Figure I-9

Exemple de régions acceptables permettant d'obtenir une valeur du paramètre S21 comprise entre α et β aux fréquences f_1 et f_2

Si plusieurs paramètres sont spécifiés à une même fréquence (gain, adaptation, bruit, ...), la région acceptable finale est l'intersection des régions acceptables de chacun des paramètres.

Une fois les régions acceptables déterminées fréquence par fréquence, *Locus* permet de déterminer un réseau passif dont l'impédance $Z(j\omega_k)$ aux fréquences ω_k passe par les régions acceptables respectives E_k :

$$Z(j\omega_k) \in E_k, k = \overline{1, m}$$

Ce procédé de conception nécessite deux étapes :

- 1) le choix de la configuration du réseau passif
- 2) la détermination des valeurs des éléments du réseau qui a été choisi

Un catalogue de réponses correspondant à différents types de réseaux passifs a été pré-compilé. On peut donc choisir, de manière visuelle, le circuit dont la réponse se rapproche le plus, en valeur et en comportement, du lieu des RA.

Dans la première étape, le réseau passif est donc choisit en fonction du tracé de l'impédance correspondante dans le plan complexe. Pour chaque fréquence, l'impédance doit se situer à l'intérieur de la RA correspondante.

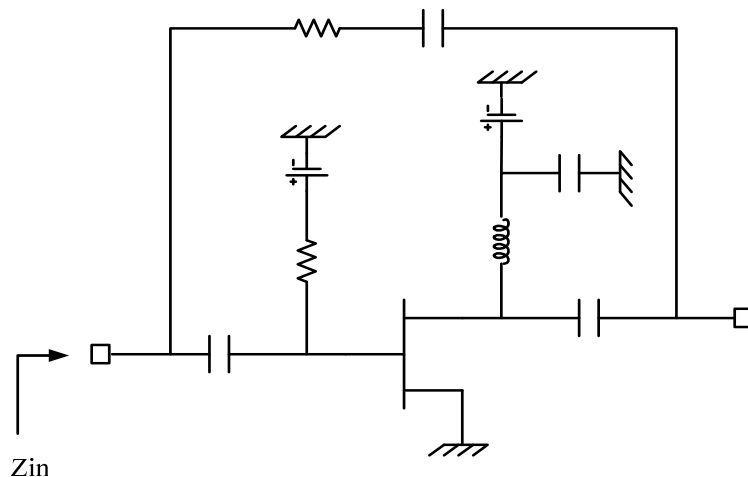
Pour arriver à ce résultat, deux techniques sont possibles :

- Une première consiste à faire varier les valeurs des éléments du réseau considéré (capacités, inductances et/ou résistances) de manière à faire « rentrer » les points d'impédance à l'intérieur des différentes régions acceptables.

- Une autre méthode, interactive et très intuitive, consiste à sélectionner à l'aide de la souris un point d'impédance sur la courbe et à le faire glisser directement dans sa région acceptable. Les différentes valeurs des éléments s'adaptent automatiquement. On peut ainsi ajuster manuellement l'ensemble des points d'impédance dans l'ensemble des RA correspondantes.

IV.3 EXEMPLE DE CONCEPTION

Nous prenons comme exemple, pour illustrer notre démarche, la réalisation d'un dispositif d'adaptation d'entrée d'un amplificateur faible bruit (LNA) dans la bande [8-10] GHz. La figure I-10 montre la topologie du LNA et ses caractéristiques initiales en transmission et en réflexion.



Fréquence (GHz)	Mod S_{21} (dB)	Mod S_{11} (dB)	Re (Z_{in}) Ω	Im (Z_{in}) Ω
8	7.7	-5.7	25.3	-35.3
8.4	7.6	-5.5	24	-34.4
8.8	7.5	-5.3	22.7	-33.6
9.2	7.3	-5.2	21.6	-32.7
9.6	7.2	-5	20.6	-31.9
10	7	-4.9	19.6	-31.1

Figure I-10

Topologie et caractéristiques du LNA

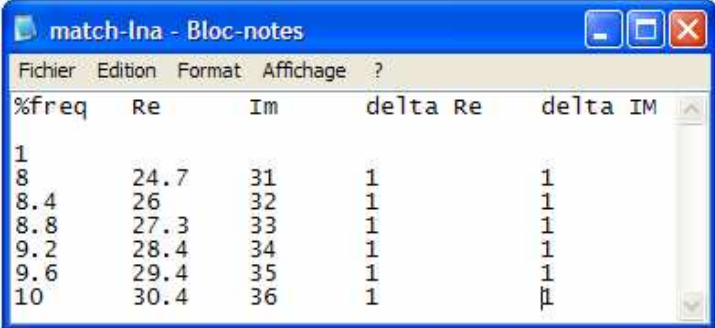
Nous cherchons ici à rendre le module du paramètre S_{11} inférieur à -10 dB.

Pour adapter en entrée, de manière idéale, il faut $Z_{in} = 50 + 0j$. L'idée est donc de placer à l'entrée un circuit permettant de ramener une impédance d'entrée proche de 50 Ω .

A partir de ces données (figure I-10), *Locus* permet de déterminer les différentes caractéristiques (profil d'impédance passive) que doit présenter en sortie le circuit d'adaptation lorsqu'il est chargé en entrée par 50 Ω , pour chacune des fréquences choisies dans la bande de travail.

Une tolérance de 1 Ω sur les parties réelle et imaginaire permet de construire les RA qui garantissent une valeur, pour le paramètre S_{11} , inférieure à -10 dB.

Les données correspondantes sont sauvegardées dans un fichier (figure I-11) qui sera utilisé à l'étape suivante pour concevoir le réseau passif correspondant.



%freq	Re	Im	delta Re	delta IM
1				
8	24.7	31	1	1
8.4	26	32	1	1
8.8	27.3	33	1	1
9.2	28.4	34	1	1
9.6	29.4	35	1	1
10	30.4	36	1	1

Figure I-11

Fichier correspondant aux différentes valeurs et tolérances (en Ω) des RA

Remarque : L'utilisation de *Locus* montre qu'il est plus facile de synthétiser un circuit dont les parties imaginaires des RA augmentent en fonction de la fréquence. Ainsi, si on se réfère au tableau de la figure I-10 la partie imaginaire de l'impédance à concevoir devrait diminuer avec la fréquence. Dans notre exemple, cela n'a que peu d'importance car nous cherchons ici à minimiser au maximum la partie imaginaire et à obtenir une partie réelle la plus proche de 50Ω .

La figure I-12 présente l'interface de *Locus*. On reconnaît dans le plan Z les régions acceptables correspondant au fichier fourni à l'étape précédente. C'est la répartition de ces RA qui va dicter le choix de la topologie passive et le déroulement de la phase d'optimisation visuelle correspondante.

Dans notre exemple, le réseau choisi est constitué d'une capacité en série avec une résistance et une inductance placées en parallèle.

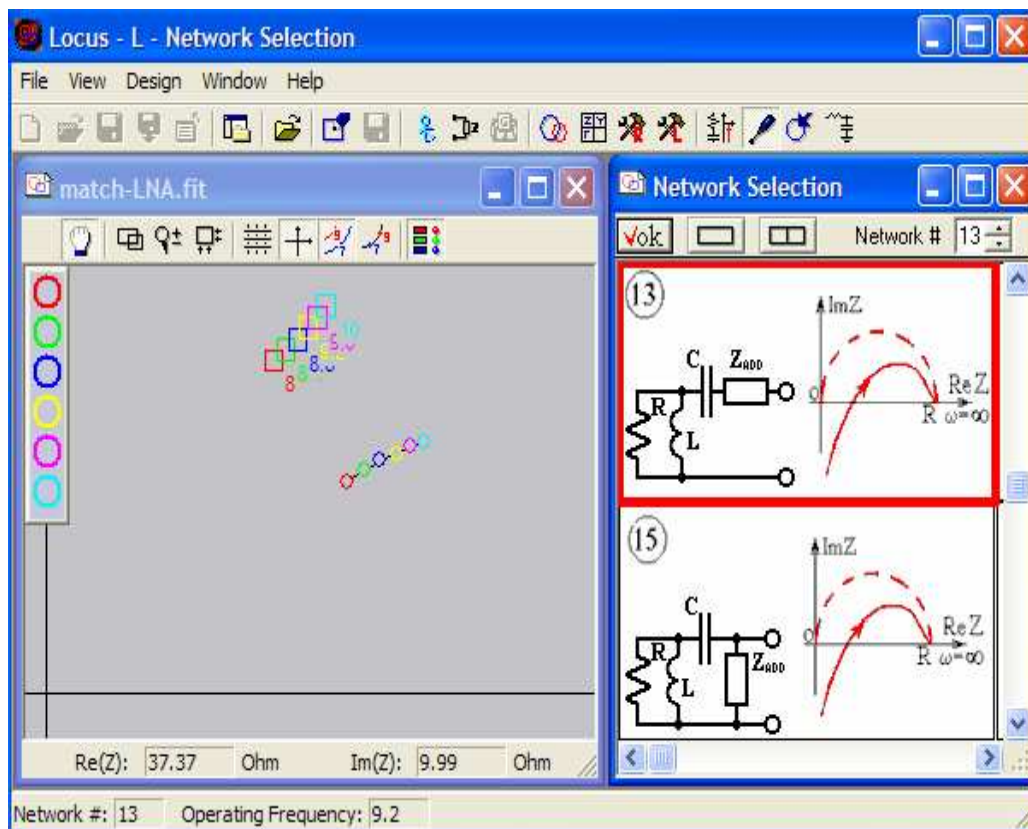


Figure I-12
Interface du logiciel *Locus*

La figure I-13 montre le résultat final de l'optimisation ayant permis de faire glisser les points d'impédance à l'intérieur des RA.

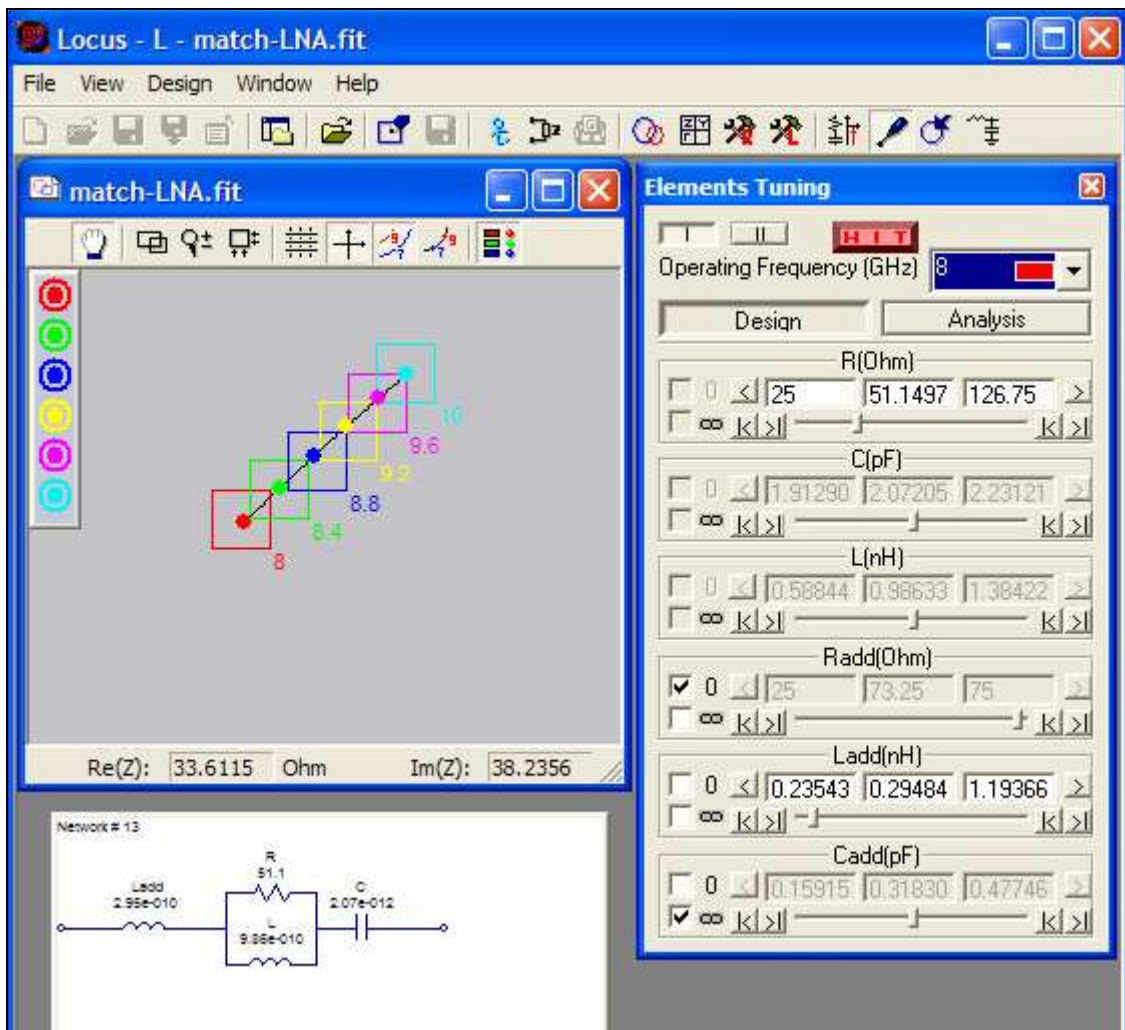


Figure I-13

Illustration du résultat de l'optimisation visuelle

Le circuit obtenu permet alors de ramener en entrée une impédance de 50Ω . Cependant, une simulation sur Libra est nécessaire pour tester le circuit global (avec le réseau d'adaptation en entrée) et ainsi vérifier si les résultats sont conformes aux attentes. La figure I-14 montre la nouvelle topologie du LNA et ses caractéristiques en transmission et en réflexion.

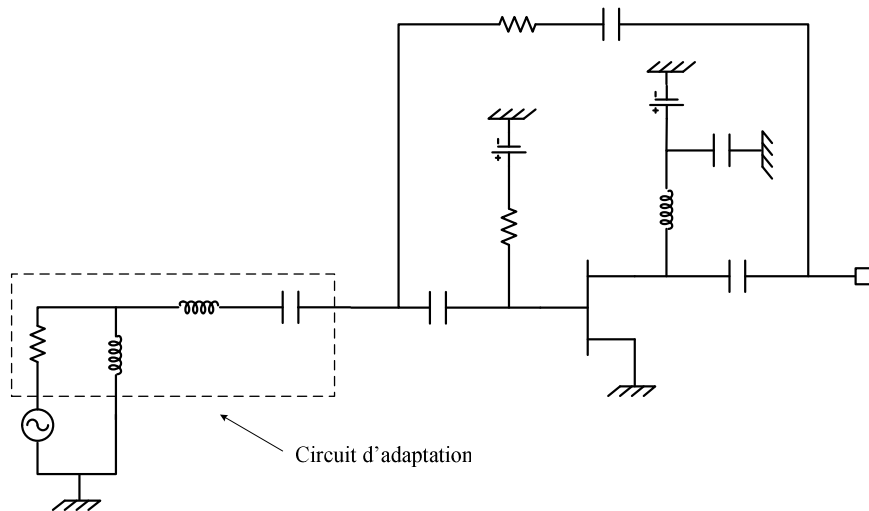


Figure I-14

Topologie finale du LNA avec ses caractéristiques en transmission et en réflexion

IV.4 BILAN

Les outils présentés et les méthodes associées ont permis d'améliorer l'adaptation en entrée du circuit initial, et d'obtenir un paramètre S_{11} inférieur à -13 dB.

La partie suivante présente la conception d'une résistance négative et d'une inductance active en combinant *Locus* avec des logiciels classiques de type circuit tels que Libra et ADS.

V. UTILISATION DE LOCUS POUR LA COMPENSATION DE CIRCUITS PASSIFS

V.1 CONCEPTION D'UNE RESISTANCE NEGATIVE LARGE BANDE

La topologie de base retenue pour concevoir notre résistance négative large bande est un convertisseur d'impédance négative (CIN).

Le CIN (figure I-15) est un circuit actif à deux accès qui convertit une impédance de charge Z à un accès en une impédance d'entrée $-kZ$ à l'autre accès.

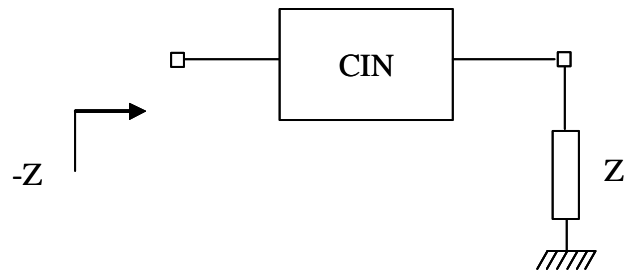


Figure I-15
Schéma de principe du CIN

V.1.1 TOPOLOGIE RETENUE

Une topologie de ce type de circuit, étudiée de manière détaillée par Ph. Meunier [8], se compose de deux transistors en rétroaction et d'une charge Z . Le circuit équivalent de la figure I-16 utilisant un modèle très simplifié pour les transistors permet d'exprimer simplement l'impédance d'entrée du dispositif :

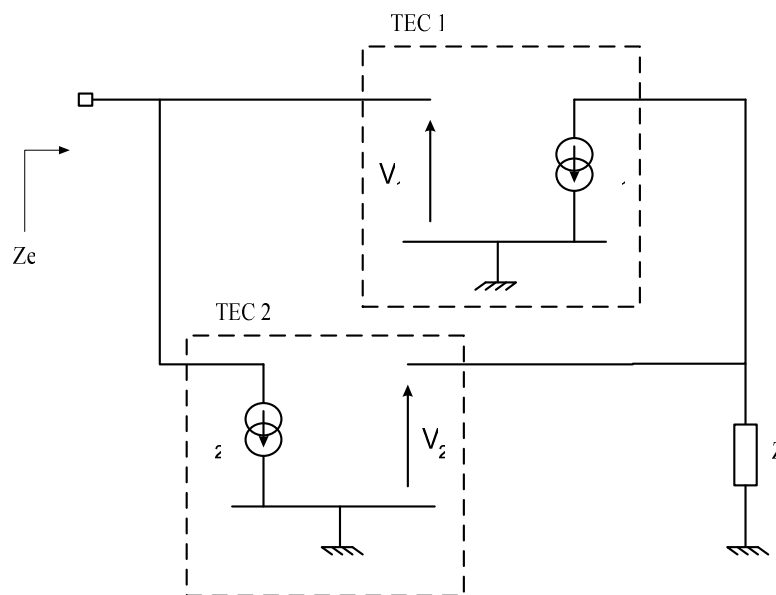


Figure I-16
Schéma électrique simplifié d'un convertisseur d'impédance négative

$$Z_e = \frac{V_1}{I_2} \quad V_1 = \frac{I_1}{g_{m1}} \quad I_2 = g_{m2} V_2$$

$$\Rightarrow Z_e = \frac{I_1}{g_{m1}} \frac{1}{-g_{m2} Z I_1} = \frac{-1}{g_{m1} g_{m2} Z}$$

L'impédance d'entrée se trouve alors de signe opposé à l'impédance de charge Z . Pour notre application, si cette charge est réalisée à l'aide d'une résistance, l'impédance d'entrée aura le comportement d'une résistance négative. Il faut noter que cette topologie est aussi de type « gyrateur ».

Cependant, d'un point de vue pratique, l'utilisation des composants du procédé monolithique utilisé (transistors et circuits de polarisation) ne permet plus de réaliser la fonction souhaitée. En effet, les composants s'écartent trop des modèles simplifiés choisis pour la démonstration.

C'est pourquoi nous utilisons ici une méthode présentée dans le paragraphe III.4 (calcul de l'impédance de charge d'un quadripôle), développée par S.E. Sussman-Fort, qui, combinée au logiciel *Locus*, va permettre de déterminer le circuit passif de charge du CIN permettant d'obtenir la résistance négative souhaitée en entrée.

V.1.2 DETERMINATION DU RESEAU PASSIF DE CHARGE DU CIN

Pour cette application, notre objectif est d'obtenir une résistance négative pure sur une large bande autour de 3 GHz à l'aide du convertisseur d'impédance négative présenté sur la figure I-17.

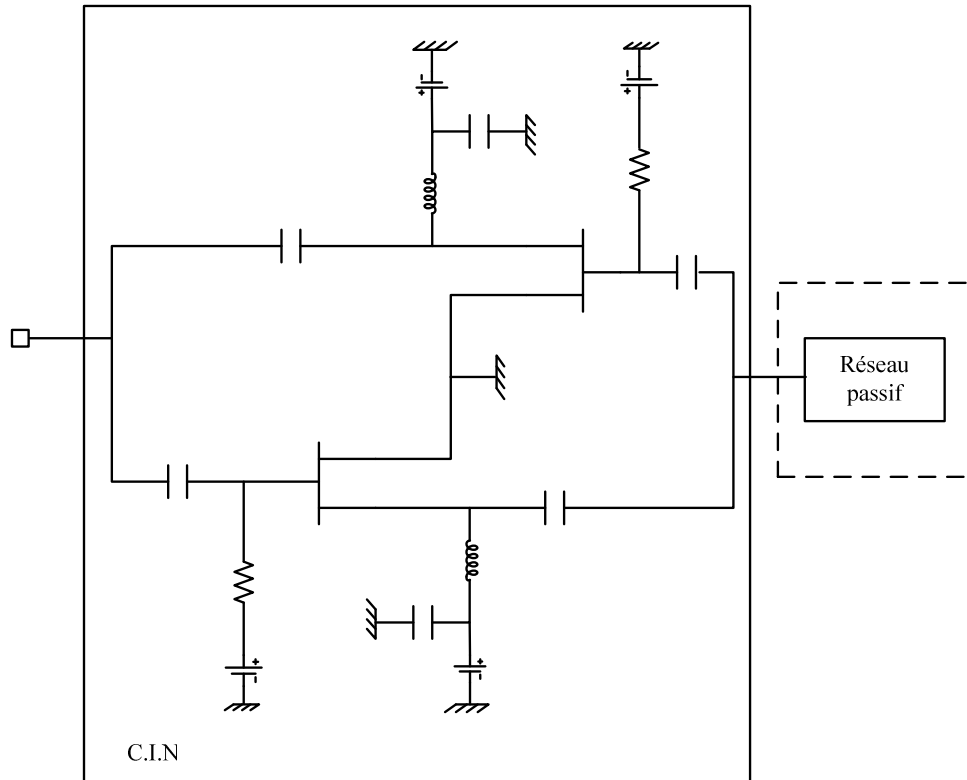


Figure I-17

Schématique du convertisseur d'impédance négative

Une première étape consiste à déterminer, par la méthode Sussman-Fort, le réseau passif qui va charger le CIN (profil d'impédance passive). L'objectif est d'obtenir une impédance d'entrée de l'ordre de -10Ω dans la bande [2-4 GHz] (annexe n°2). Le tableau I-1 donne les différentes valeurs d'impédance que doit présenter le réseau passif à chaque fréquence.

Fréquence (GHz)	Partie réelle (Ω)	Partie imaginaire (Ω)
2	13.8	-6.4
2.5	18.7	-0.45
3	19.8	3.4
3.5	19.6	7.4
4	19.1	11.5

Tableau I-1

Valeur de l'impédance du réseau passif

C'est à partir de ces résultats que *Locus* va permettre de déterminer le réseau passif s'approchant au mieux du profil ci-dessus. La figure I-18 montre le meilleur résultat obtenu après optimisation visuelle.

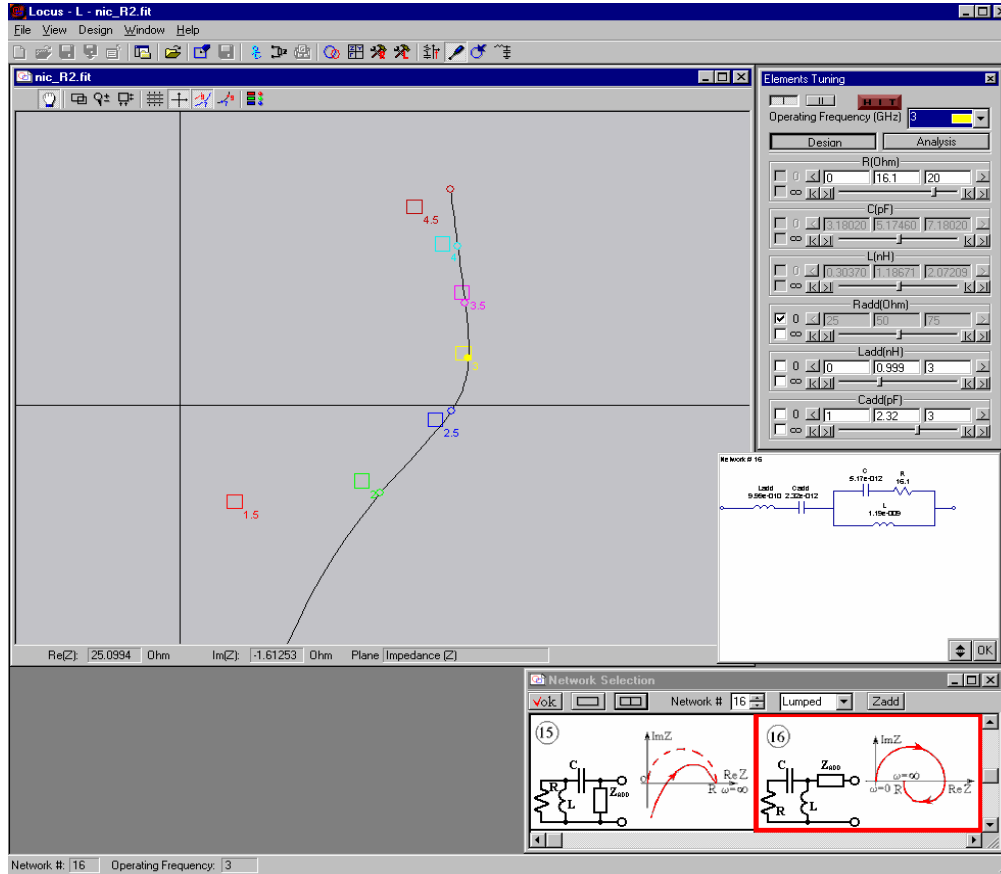


Figure I-18

Résultats d'optimisation obtenus avec le logiciel *Locus*

La schématique du circuit ainsi que les résultats de simulation obtenus (en éléments idéaux) pour l'impédance d'entrée Z_e sont présentés sur la figure I-19.

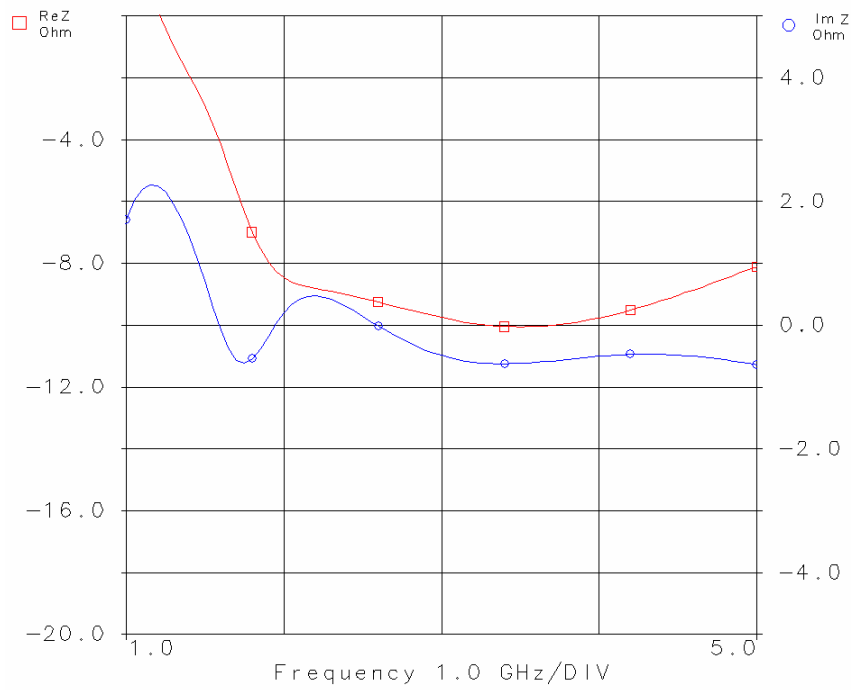
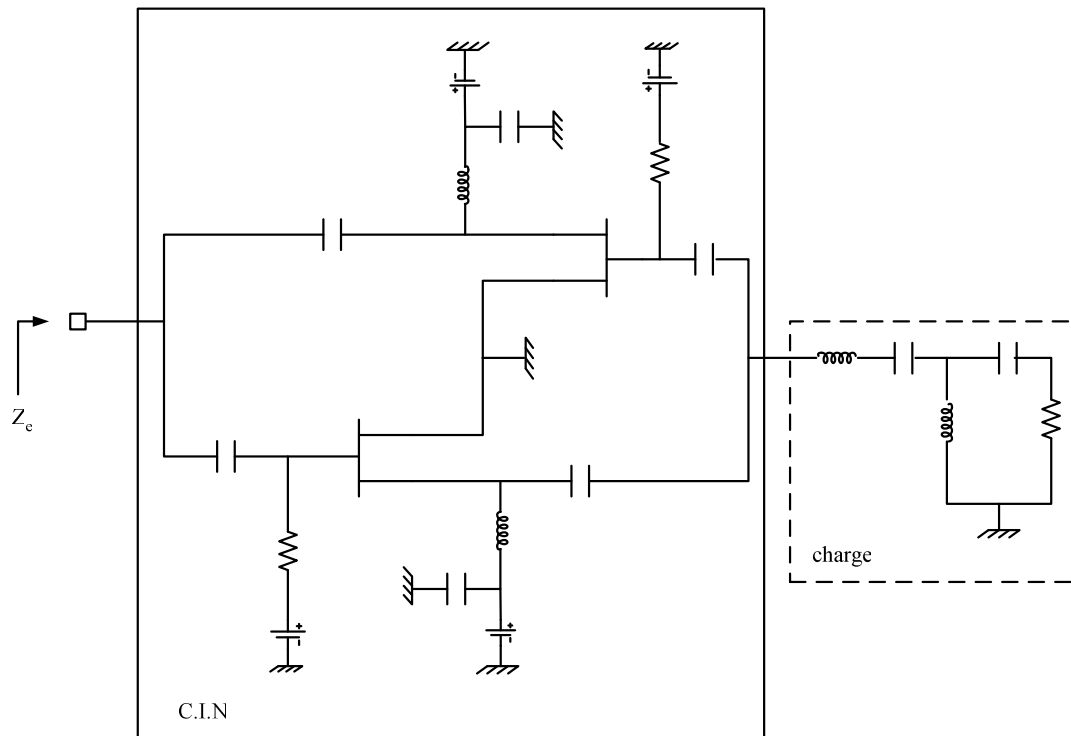


Figure I-19

Schématique du circuit final avec les résultats de simulation

V.1.3 OPTIMISATION DU CIRCUIT EN ELEMENTS REELS

RESULTATS DE SIMULATION

L'objectif est de concevoir, de façon simple, un circuit pouvant simuler une résistance négative, sur une large bande de fréquence, et capable de compenser les pertes d'une large gamme d'inductances spirales par simple réglage des tensions de polarisation des transistors.

Ainsi, après avoir remplacé tous les éléments passifs idéaux par les éléments réels de la bibliothèque ED02AH de OMMIC [34], on obtient les résultats de simulation de l'impédance d'entrée Z_e de la figure I-20, pour des tensions de polarisation $V_G = -0.22$ V et $V_D = 3.5$ V du transistor.

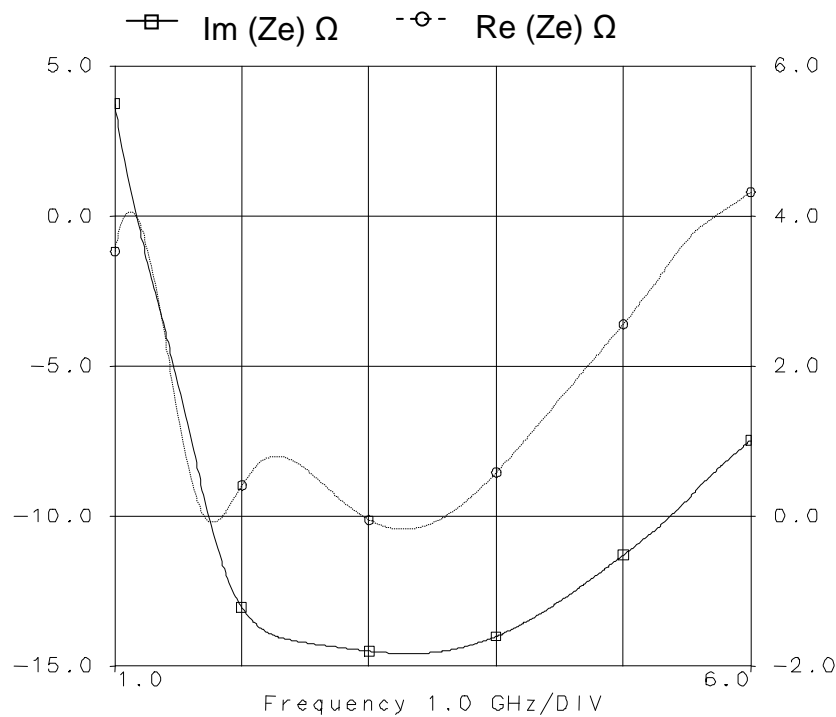


Figure I-20

Résultat de simulation pour $V_G = -0.22$ V et $V_D = 3.5$ V

L'avantage d'un tel circuit est qu'il permet d'obtenir une large gamme de valeurs de résistances négatives par simple ajustement de la tension de polarisation V_G . Comme le montre la figure I-21, les parties réelles de l'impédance d'entrée Z_e sont relativement constantes dans la bande [2-4 GHz], comprises entre -13Ω et -19Ω . Les parties imaginaires sont comprises entre 1.2Ω et -0.8Ω pour une tension V_G variant de -0.35 V à -0.1 V.

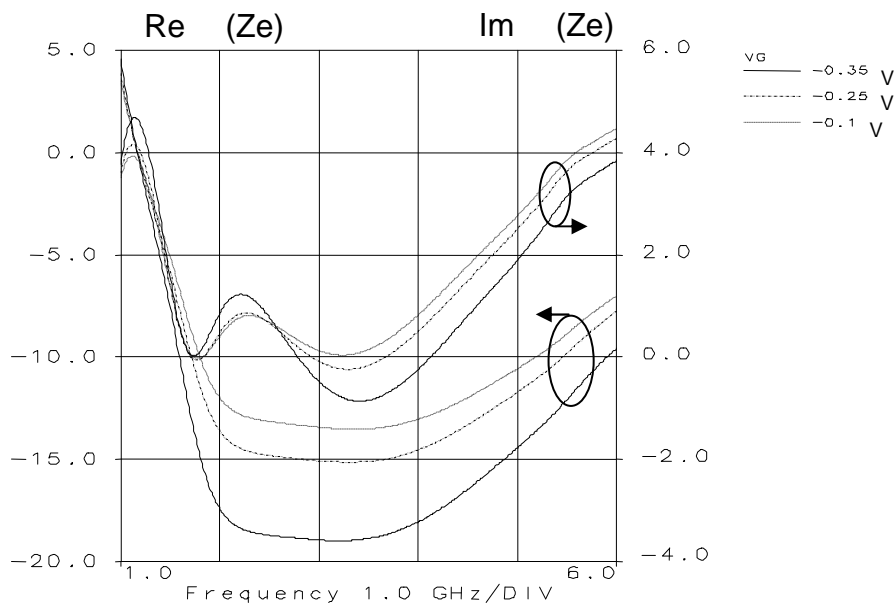


Figure I-21

Impédance d'entrée pour V_G variant de -0.35 à -0.1 V

V.1.4 STABILITE ELECTRIQUE

Comme tout circuit contenant des éléments actifs, le circuit que nous présentons nécessite une analyse de la stabilité électrique.

Cette analyse peut s'effectuer en calculant le déterminant de la matrice admittance nodale du circuit. La stabilité est vérifiée si le déterminant ne possède pas de zéro à partie réelle positive [35]. Une approche plus compatible avec les outils de simulation usuels, développée par Platzker, et adaptée aux simulations par S. Mons [36], consiste à employer la méthode de la NDF (Normalized Determinant Function) pour déterminer l'existence éventuelle de pôles à partie réelle positive intrinsèques au circuit à caractériser.

Le calcul de la NDF s'effectue en calculant les "return ratio" (taux de retour) des sources dépendantes du circuit (dans notre cas, il s'agit des sources liées aux transistors) :

$$\text{NDF} = (1 + \text{RR}_1) (1 + \text{RR}_2) \dots (1 + \text{RR}_N)$$

où RR_i est le "return ratio" de la i ème source lorsque les $i-1$ èmes sources précédentes sont successivement éteintes (mises à zéro).

Dans le cas où les transistors sont modélisés par des sources de courant contrôlées en tension, les "return ratio", analogues à des rapports de tension dans ce cas, se calculent en déterminant, pour chaque source de courant contrôlée, la tension V_i ramenée à son accès d'entrée initial lorsque la source de courant est commandée par une source de tension externe V_{ext} comme indiqué sur la figure I-22.

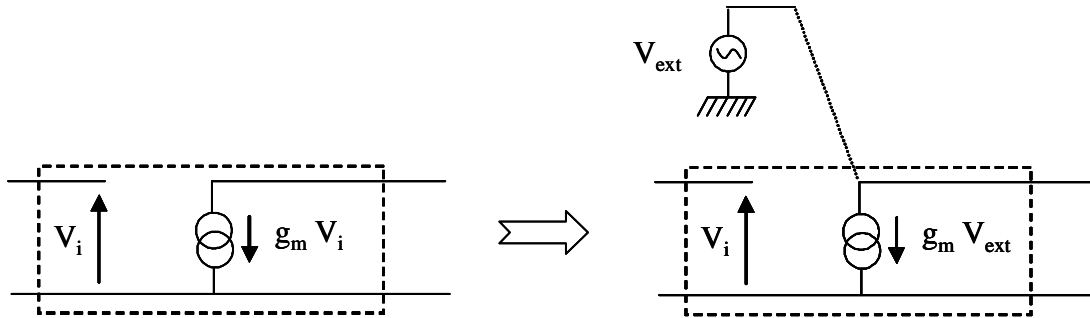


Figure I-22

Source contrôlée nécessaire au calcul de la NDF

Le "return ratio" s'écrit alors :
$$RR = 1 - \frac{V_i}{V_{ext}}$$

Le détail de la méthode est décrit dans [36]. L'application de la méthode de la NDF requiert donc de pouvoir agir sur le schéma électrique des éléments actifs. La bibliothèque mise à notre disposition ne permet pas cette modification. Pour effectuer le calcul de la NDF, nous avons donc dû établir un modèle des transistors présents dans notre circuit en nous appuyant sur un modèle petit signal équivalent et sur les mesures des éléments intrinsèques du modèle pour les points de polarisation utilisés. Ces renseignements sont disponibles dans le manuel de la bibliothèque.

Le fait de remplacer les modèles du fondeur utilisé lors de la conception par des modèles approchés introduit bien sûr certaines approximations et modifications de la réponse du circuit soumis à cette analyse.

Remarques : concernant les caractéristique de la fonction NDF

- La NDF est tracée sur une plage $[0, f_{max}]$
- La fréquence maximale du tracé est limitée par la fréquence de simulation des modèles des composants d'une part, et d'autre part, par l'allure de la fonction NDF elle-même. Son tracé ne doit pas risquer d'entourer l'origine après f_{max} .
- Pratiquement, la NDF tend vers $(1,0)$ quand $f \rightarrow \infty$.
- Dans le cas d'un encerclement de l'origine dans le sens horaire, la fréquence d'oscillation se détermine par l'intersection du tracé avec le demi-axe réel négatif.

Le tracé de la NDF pour notre circuit dans le plan complexe est donné sur la figure I-23.

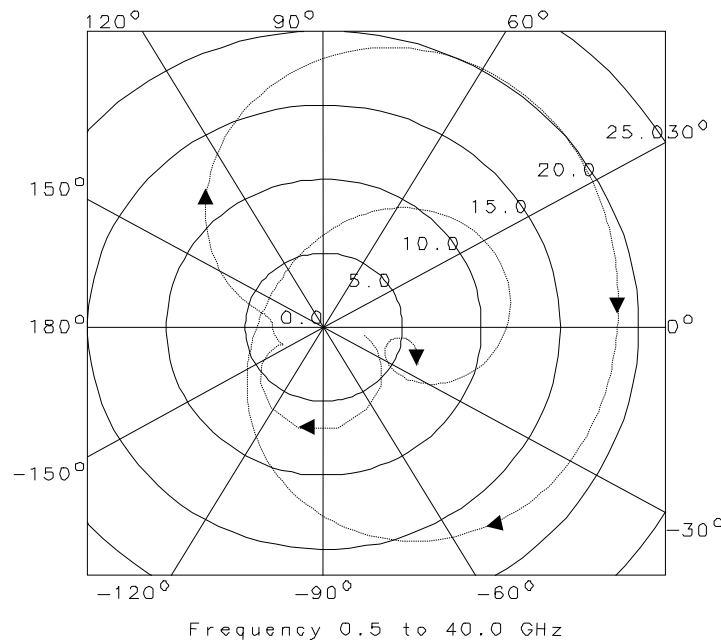


Figure I-23

Tracé de la fonction NDF

On remarque ici que la stabilité interne du circuit n'est pas assurée car le tracé de la fonction NDF entoure l'origine $(0,0)$ du plan complexe dans le sens horaire quand la fréquence varie de 0 à $+\infty$.

Il faut noter le fait que la structure choisie pour notre convertisseur d'impédance négative correspond à une structure classiquement utilisée pour la réalisation d'oscillateurs. En outre, le logiciel *Locus* ne permet que de déterminer l'impédance de fermeture du CIN qui donne l'impédance désirée en entrée, mais sans prendre en compte les problèmes de stabilité.

V.2 CONCEPTION D'UNE INDUCTANCE ACTIVE LARGE BANDE

De manière identique au paragraphe V.1, nous allons utiliser la même méthode pour concevoir une inductance active large bande à l'aide d'un gyrateur.

V.2.1 TOPOLOGIE RETENUE

DETERMINATION DU RESEAU PASSIF DE CHARGE

Afin de valider notre méthode de conception, nous souhaitons montrer que l'utilisation de *Locus* pour déterminer le réseau passif de charge à connecter à la topologie du gyrateur choisi, permet de synthétiser, à l'entrée du dispositif global, une multitude d'impédances purement imaginaires et linéaires dans une bande de fréquence donnée.

Ces impédances correspondent au profil d'impédance active que nous souhaitons réaliser.

Nous désirons réaliser une inductance active pure dans la bande de fréquence [2-3 GHz] à l'aide du gyrateur présenté par S.E. Sussman-Fort et L. Billonnet dans [37] et présenté sur la figure I-24.

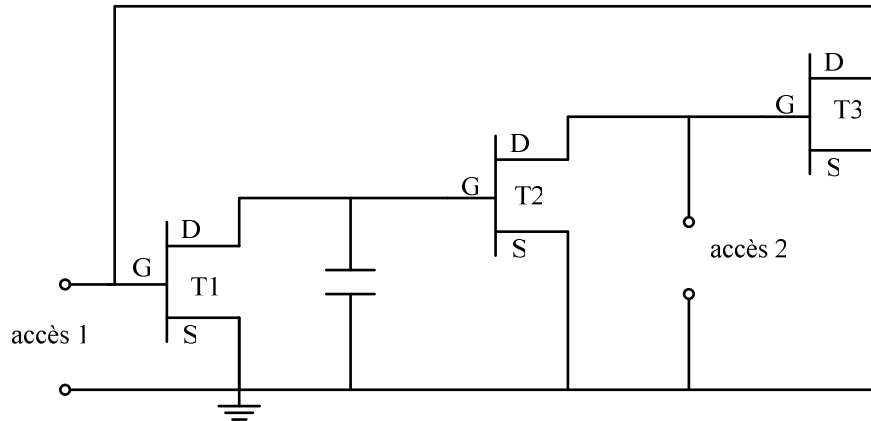


Figure I-24

Topologie du gyrateur retenue pour la conception d'une inductance active

La première étape consiste à synthétiser le réseau passif de charge (à l'accès 2) correspondant au profil d'impédance passive qui doit permettre d'obtenir en entrée (à l'accès 1) une impédance purement imaginaire équivalente à une inductance de l'ordre de 2.5 nH autour de 2.5 GHz.

Le tableau I-2 nous donne l'impédance du réseau passif à concevoir à l'aide de *Locus*.

Fréquence (GHz)	Partie réelle (Ω)	Partie imaginaire (Ω)
2	26	-16.1
2.2	25	-13.4
2.4	24.3	-11
2.6	24.2	-8.9
2.8	23.9	-7
3	23.6	-5.2

Tableau I-2

Valeur de l'impédance du réseau passif

A l'étape suivante (figure I-25), la technique consiste à trouver une topologie optimale de réseau passif avec lequel il est possible de faire passer tous les points d'impédances par les régions acceptables.

On note ici que cela n'a pas été possible, mais cette première approche permet déjà de synthétiser un circuit se rapprochant de façon satisfaisante de l'objectif, circuit qui devra de toute façon être optimisé avec le gyrateur à l'étape finale.

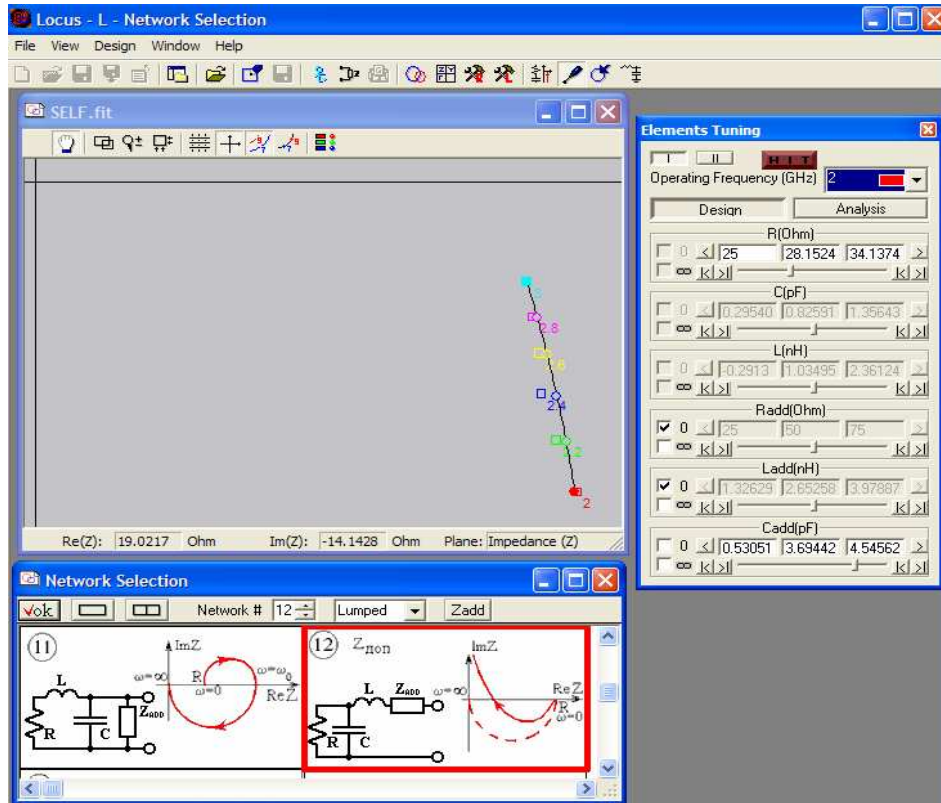


Figure I-25

Résultats obtenus avec *Locus*

Le schéma électrique complet du circuit, avec le réseau passif de charge associé, est présenté sur la figure I.26

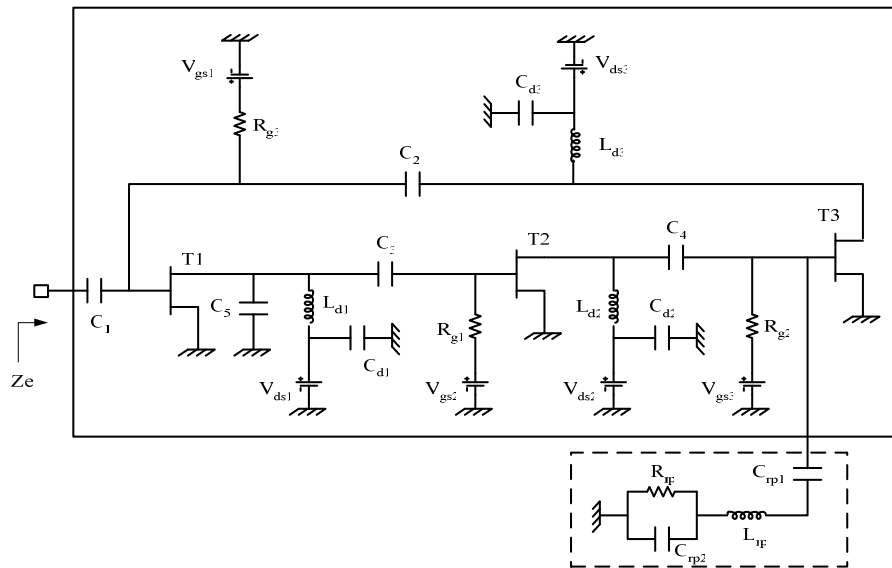


Figure I-26

Schéma électrique complet avec le réseau passif de charge associé

Les valeurs des composants sont répertoriées dans le tableau I-3

INDUCTANCES	L_{d1}, L_{d2} et L_{d3} : Eléments idéaux de fortes valeurs $\cong 1000$ nH $L_{rp} = 1.23$ nH	CAPACITÉS	C_{d1}, C_{d2} et C_{d3} : Eléments idéaux de fortes valeurs $\cong 1000$ pF $C_1 = C_2 = C_3 = C_4 = 8$ pF $C_5 = 6$ pF $C_{rp1} = 0.8$ pF $C_{rp2} = 3.7$ pF	RESISTANCES	R_{g1}, R_{g2} et R_{g3} : Eléments idéaux de fortes valeurs $\cong 5000$ Ω $R_{rp} = 28$ Ω	TRANSISTORS	T1 : 6×10 μm T2 : 6×50 μm T3 : 6×10 μm
-------------	---	-----------	---	-------------	---	-------------	--

Tableau I-3

Valeurs des composants du circuit

Ce circuit permet donc d'obtenir une impédance purement imaginaire et linéaire, dans la bande de fréquence [2-3 GHz], et équivalente à une inductance de l'ordre de 2.8 nH à 2.5 GHz.

Les courbes de la figure I-27 présentent les parties réelle et imaginaire obtenues à partir du circuit présenté sur la figure I-26 et sans aucune phase d'optimisation.

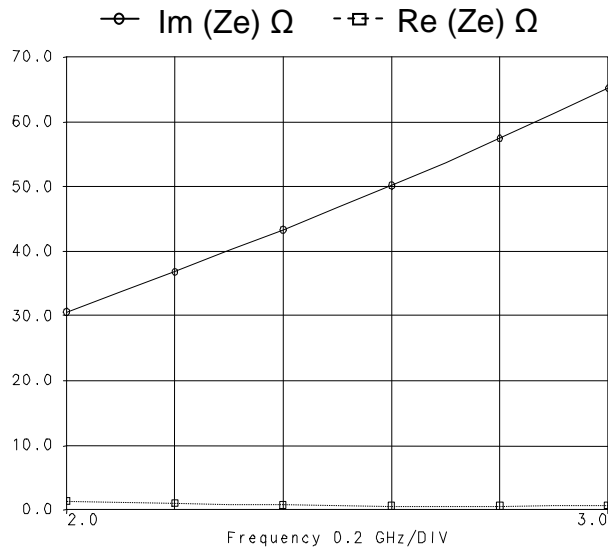


Figure I-27

Partie réelle et imaginaire de l'inductance active

**V.2.2 DESSIN DE MASQUE ET OPTIMISATION DU CIRCUIT EN ELEMENTS REELS
RESULTATS DE SIMULATION**

Pour concevoir le circuit, nous utilisons le procédé de fabrication monolithique ED02AH de OMMIC. Le dessin de masque (layout) a été réalisé en utilisant les règles décrites dans le manuel de conception (Design Manual).

Au fur et à mesure de la phase de conception du layout, plusieurs cycles d'optimisation ont été nécessaires pour maintenir les objectifs de performances. Malgré cela, l'introduction des circuits de polarisation en éléments réels ainsi que les lignes et les différents plots de masse nous ont obligé à réduire de moitié la bande de fréquence dans laquelle nous souhaitons une inductance active pure.

Sur la figure I-28, qui présente le masque final, on peut repérer le gyrateur avec son circuit passif de charge associé, ainsi que les tensions appliquées aux différents plots de polarisation.

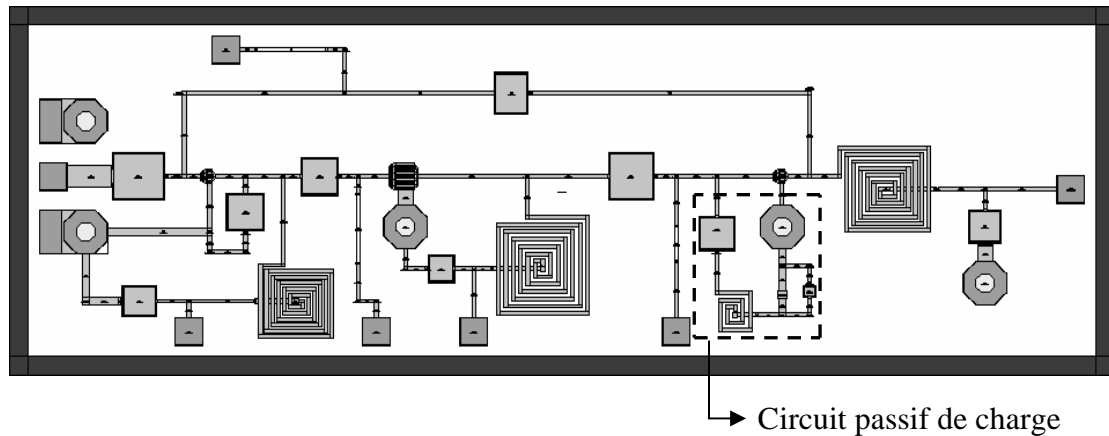


Figure I-28
Masque de l'inductance active

Les dimensions de la puce sont de $1 \times 3 \text{ mm}^2$.

Les résultats de simulations de l'impédance d'entrée de ce circuit sont présentés sur la figure I-29.

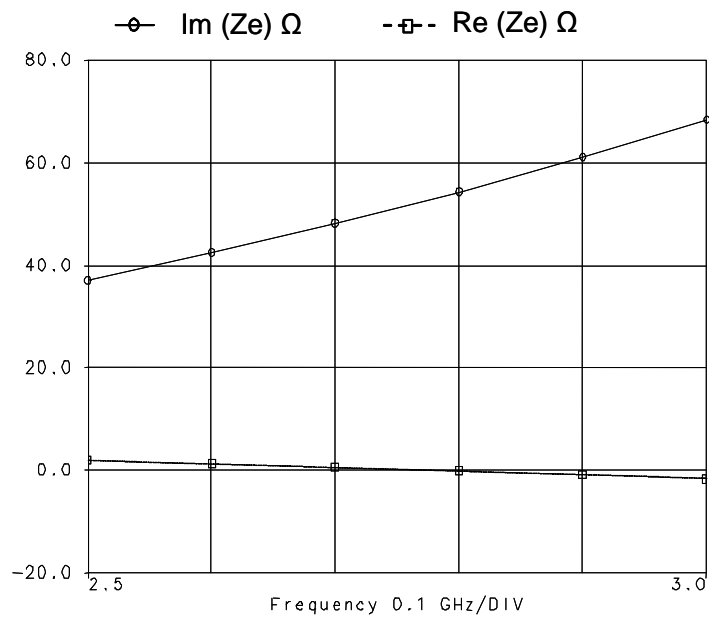


Figure I-29
Résultats de simulation de l'inductance active

La partie imaginaire est purement linéaire et correspond à une inductance de l'ordre de 2.8 nH à 2.75 GHz. La partie réelle associée est proche de zéro (ici entre 2 et -2 ohms) sur toute la bande de fréquence considérée.

Les différentes valeurs des éléments du circuit, ainsi que des tensions de polarisation obtenues après l'ultime phase d'optimisation sont présentées dans le tableau I-4.

I D U C T A N C E S	En nH $L_{d1} = 3.5$ $L_{d2} = 5$ $L_{d3} = 4.5$ $L_{rp} = 0.7$	C A P A C I T E S	En pF $C_{d1} = C_{d3} = 3$ $C_{d2} = 2$ $C_1 = 7$ $C_2 = C_3 = 4$ $C_4 = 6.2$ $C_5 = 5$ $C_{rp1} = 0.3$ $C_{rp2} = 3.8$	R E S I S T A N C E S	En Ω $R_{g1} = 4000$ $R_{g2} = 4000$ $R_{g3} = 2000$ $R_{rp} = 30$	T R A N S I S T O R S	T1 : 6×10 μm T2 : 6×50 μm T3 : 6×10 μm	T E N S I O N S	$V_{gs1} = 0 \text{ V}$ $V_{gs2} = 0 \text{ V}$ $V_{gs3} = 0 \text{ V}$ $V_{ds1} = 1.86$ V $V_{ds1} = 3.3 \text{ V}$ $V_{ds1} = 1.83$ V
--	---	---	--	---	---	---	---	--------------------------------------	--

Tableau I-4

Valeurs des différents éléments du layout

V.2.3 ETUDE DE SENSIBILITE

La conception d'un dispositif monolithique nécessite systématiquement une étude de sensibilité de la réponse du circuit aux variations des caractéristiques des éléments qui le constituent. En effet, les caractéristiques des composants peuvent varier dans des proportions non négligeables lors de l'étape finale de fabrication. Il est donc nécessaire, avant la phase de réalisation, d'évaluer l'effet de tous les éléments du circuit sur la réponse.

Le pourcentage de variation possible des valeurs des éléments est déterminé d'après le manuel de la bibliothèque ED02AH.

- Self-inductances : $\pm 5 \%$
- Capacités : $\pm 5 \%$
- Résistances : $\pm 5 \%$

Les résultats de l'analyse de type Monté-Carlo sont présentés sur les figures I-30 et I-31.

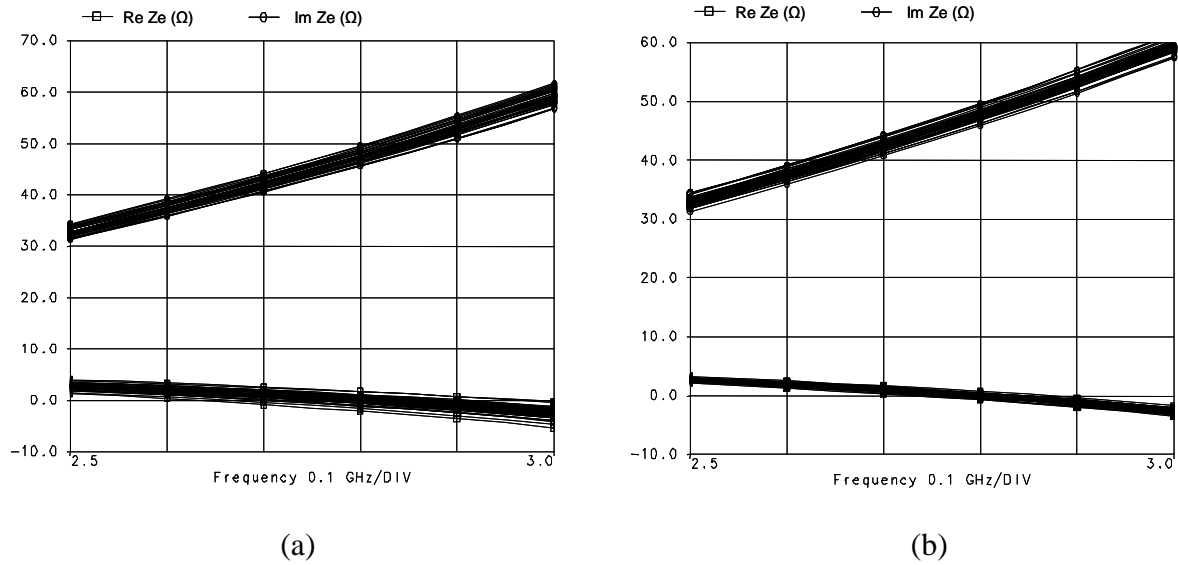


Figure I-30

Sensibilité de l'impédance d'entrée de l'inductance active aux variations des capacités de découplage (a) et des circuits de polarisation (b).

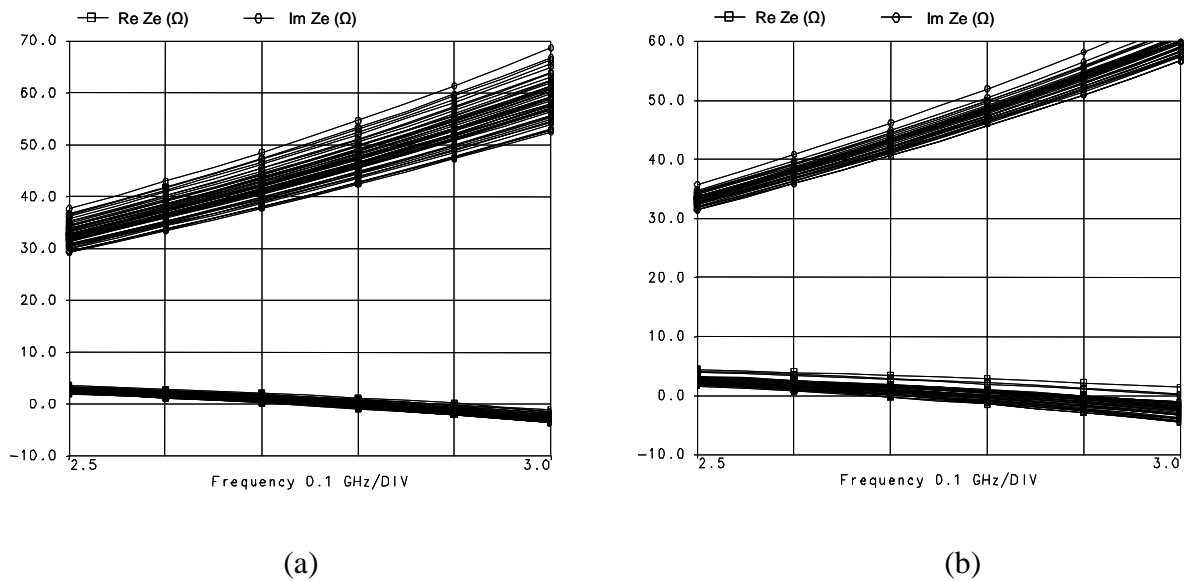


Figure I-31

Sensibilité de l'impédance d'entrée de l'inductance active aux variations de la capacité C_5 (a) et du réseaux passif de charge (b).

On remarque que seule une variation de la capacité C_5 entraîne une modification non négligeable de la partie imaginaire de l'impédance d'entrée de l'inductance active.

Cependant, il faut noter que, dans tous les cas, les tensions de polarisation des transistors permettent un réajustement des caractéristiques recherchées, notamment en cas de dérive de certains paramètres du procédé monolithique.

V.2.4 STABILITE ELECTRIQUE

Nous étudions ici, comme dans le paragraphe V.1.4, le tracé de la NDF pour vérifier la présence d'instabilité intrinsèque du circuit. Le calcul de cette fonction se fait en déterminant les "return ratio" des sources dépendantes du circuit.

Dans ce cas : $NDF = (1+RR_1)(1+RR_2)$.

où RR_i est le "return ratio" de la $i^{\text{ème}}$ source lorsque les $i-1^{\text{èmes}}$ sources précédentes sont successivement éteintes.

Le tracé de la NDF du circuit dans le plan complexe est donné sur la figure I-32.

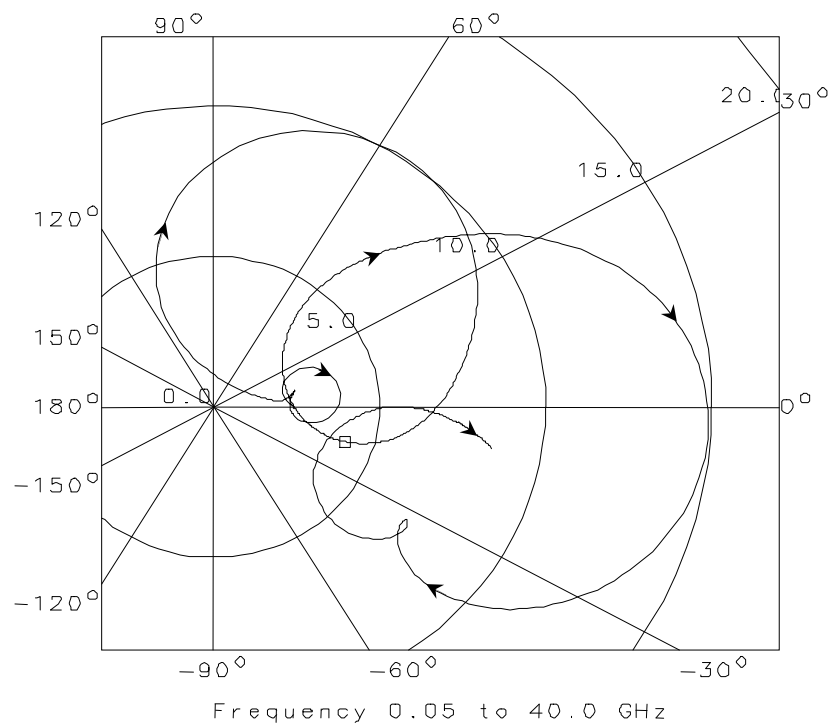


Figure I-32

Tracé de la fonction NDF

La stabilité interne du circuit est ici assurée car le tracé de la fonction NDF n'entoure pas l'origine (0,0) du plan complexe dans le sens horaire, quand la fréquence varie de $-\infty$ à $+\infty$.

V.3 ETUDE D'UNE CAPACITE NEGATIVE PURE LARGE BANDE

Nous présentons dans cette partie les résultats de simulation obtenus pour une capacité négative large bande dans la bande [3-6 GHz].

Nous utilisons ici la même méthode de conception que celle utilisée dans les deux paragraphes précédents pour la résistance négative et l'inductance active.

La capacité négative que nous souhaitons concevoir doit posséder une partie imaginaire positive et décroissante en fonction de la fréquence ainsi qu'une partie réelle nulle sur toute la bande.

Seulement quelques exemples de réalisation de capacités négatives ont été publiés à ce jour dans la littérature. S.E. Sussman-Fort et L. Billonnet utilisent pour leur réalisation [31] un convertisseur d'impédance négative. Nous reprenons cette structure pour l'adapter à nos objectifs et à notre bande de fréquence.

La figure I-33 présente le schéma électrique complet de la topologie choisie.

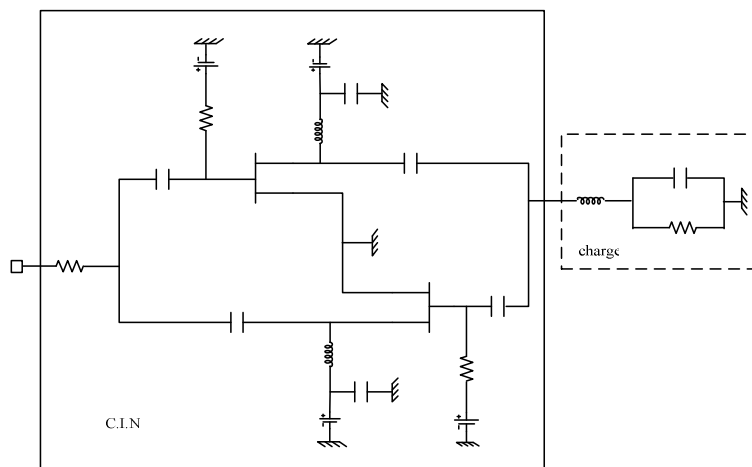


Figure I-33

Schéma électrique de la topologie retenue

L'impédance d'entrée et la capacité équivalente synthétisées dans la bande [3-6 GHz] sont présentées sur la figure I-34.

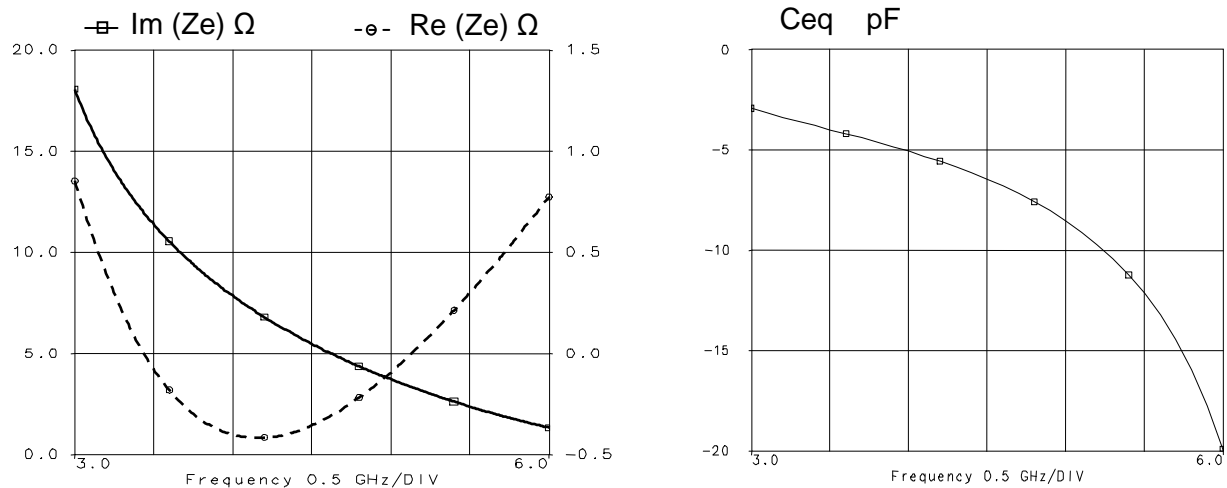


Figure I-34

Impédance d'entrée et capacité équivalente du circuit simulant une capacité négative

Dans la bande [3-6 GHz], la partie réelle est comprise entre 0.8Ω et -0.4Ω pour une partie imaginaire positive et décroissante en fonction de la fréquence variant entre 18.1Ω et 1.3Ω . Cela correspond à une valeur de capacité de -3 pF à 3 GHz et de -20 pF à 6 GHz.

V.4 BILAN

Après une description des fonctionnalités du logiciel *Locus* et quelques rappels sur les caractéristiques des gyrateurs et des convertisseurs d'impédance négative, nous avons simulé une inductance active en technologie monolithique sur la bande de fréquence [2,5-3 GHz].

Nous avons montré ici que l'association des logiciels tel que ADS (ou Libra) et *Locus* permet de mettre en place une nouvelle approche de conception de résistances négatives, d'inductances actives et de capacités négatives, plus efficace, plus systématique, et aussi plus intuitive.

VI. CONCLUSION

Dans ce chapitre, nous nous sommes intéressés à une nouvelle méthode de conception de dispositifs actifs destinés à la compensation ou à l'amélioration des performances des systèmes passifs.

Grâce à la collaboration établie avec l'Université de Tomsk, nous avons pu bénéficier du logiciel *Locus*, logiciel qui a permis de mettre en place une nouvelle approche de conception de circuits d'adaptation ou de compensation.

Les recherches bibliographiques qui ont été menées, nous ont permis de bien situer l'évolution scientifique dans ce domaine, et nous ont amené à déterminer les différents avantages et inconvénients d'une telle méthode :

Avantages :

- méthode plus souple et plus systématique
- amélioration du temps de conception
- possibilité de conception sur de large bande de fréquence
- méthode simple et visuelle
- circuits résultants plus simples et plus compacts

Inconvénients : - non prise en compte des phénomènes de stabilité

La prise en compte des phénomènes de stabilité lors de la conception de circuit à l'aide de *Locus* est une des perspectives de nos travaux. Ces phénomènes de stabilité font déjà l'objet de plusieurs études par les concepteurs du logiciel à l'Université de Tomsk.

Dans la suite, nous allons d'appliquer ces nouvelles méthodes pour concevoir un filtre actif original où la notion de profil d'impédance active sera mise à profit.

CHAPITRE II

*Conception de filtres actifs utilisant la notion de
profil d'impédance active*

I. INTRODUCTION

Dans ce chapitre, nous présentons la conception de deux filtres actifs en technologie monolithique utilisant la bibliothèque ED02AH de la fonderie OMMIC, ainsi qu'un circuit permettant de concevoir un filtre multinorme.

Ce chapitre est essentiellement basé sur une nouvelle méthode de synthèse des circuits actifs. Cette méthode consiste en la réalisation de profils d'impédances actives dont le rôle est de corriger les pertes de structures passives, d'adapter la taille de filtres passifs, de contrôler les fréquences de travail et les bandes passantes, ainsi que d'augmenter artificiellement le nombre de pôles de la réponse de ces mêmes filtres.

La première partie de ce chapitre est donc consacrée au principe du profil d'impédance.

Dans les deuxième et troisième parties, nous utilisons la méthode du profil d'impédance active pour réaliser un filtre passe-bande sélectif faible bande dans le premier cas, et un filtre pseudo multipôle dans le deuxième cas.

Enfin, dans une quatrième partie, nous détaillons les résultats d'un circuit actif destiné à concevoir un filtre multinorme, afin de valider notre méthode de conception.

II. PRINCIPE DU PROFIL D'IMPEDANCE

II.1 DEFINITION DU PROFIL D'IMPEDANCE ACTIVE

Un profil d'impédance est un gabarit complexe en fréquence défini en parties réelle et imaginaire, et utilisé pour une amélioration significative des performances d'un filtre passif. Cette amélioration peut porter sur :

- la réduction ou l'annulation des pertes de la structure filtrante passive,

- l'adaptation de la taille du circuit global (filtre passif + profil d'impédance),
- le contrôle continu ou discret de la fréquence de travail,
- le contrôle de la largeur de la ou des bandes passantes du filtre.

La compensation des pertes de la structure filtrante passive est assurée par la partie réelle du profil d'impédance actif. Cette partie réelle doit donc, dans la plupart des cas, et pour certaines gammes de fréquence, être négative. Aussi, on parlera dans la suite le Profil d'Impédance Active.

La modification de la taille du circuit global (augmentation ou réduction selon les besoins) provient directement de l'influence de la partie imaginaire du profil d'impédance active qui modifie électriquement les longueurs équivalentes des résonateurs à l'intérieur de la structure. L'ajustement des longueurs physiques des résonateurs qui peut ainsi être fait permet de jouer sur la taille des parties passives. Conjointement, la partie imaginaire du profil d'impédance active intervient donc également sur la fréquence centrale du filtre.

La bande passante de la structure filtrante peut être modifiée grâce au contrôle de la pente de la partie imaginaire de profil d'impédance active (figure II-1).

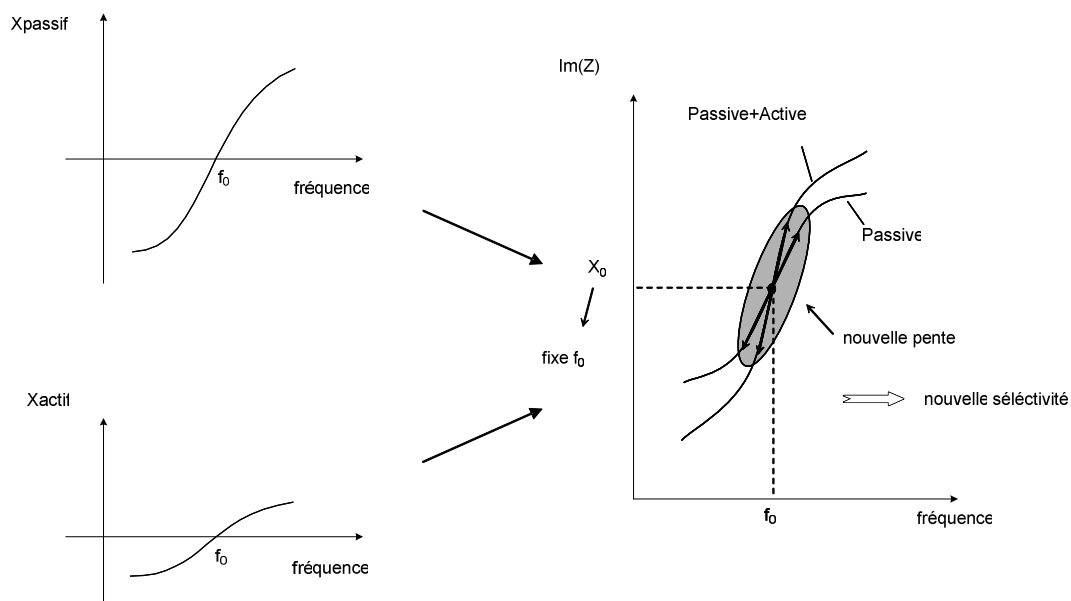


Figure II-1

Exemple de modification de la pente de la réactance globale à la fréquence f_0

II.2 CONTROLE DE LA FREQUENCE CENTRALE

Considérons un filtre passe-bande distribué constitué d'un résonateur $\lambda_0/2$ couplé à l'entrée et à la sortie sur des longueurs $\lambda_0/4$ et terminé à ses accès par des circuits ouverts (figure II-2).

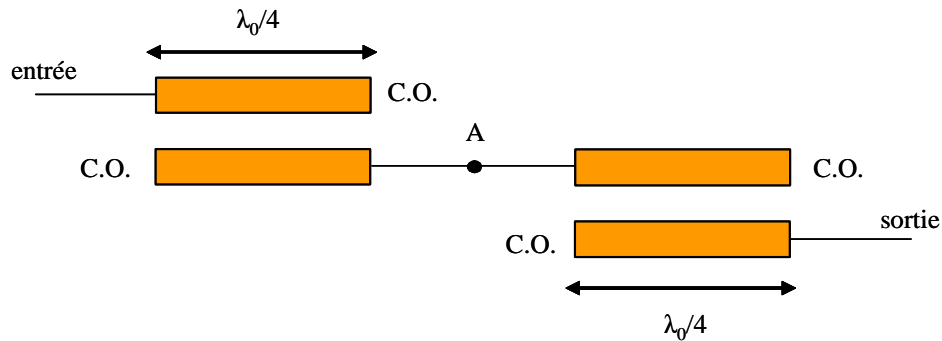


Figure II-2

Filtre passe-bande à résonateurs distribués

Ce filtre passif, dont la fréquence de résonance est f_0 , possède des pertes d'insertions non nulles. Il est possible en insérant un circuit simulant une résistance négative au milieu du résonateur $\lambda_0/2$ (au point A) de compenser les pertes du circuit. Cependant, pour ne pas modifier la fréquence centrale du filtre, il faut que la partie imaginaire du circuit de compensation soit nulle à cette fréquence centrale.

Le schéma du filtre aux pertes compensées est présenté sur la figure II-3. Il est constitué de deux résonateurs $\lambda_0/4$ et d'un circuit de compensation.

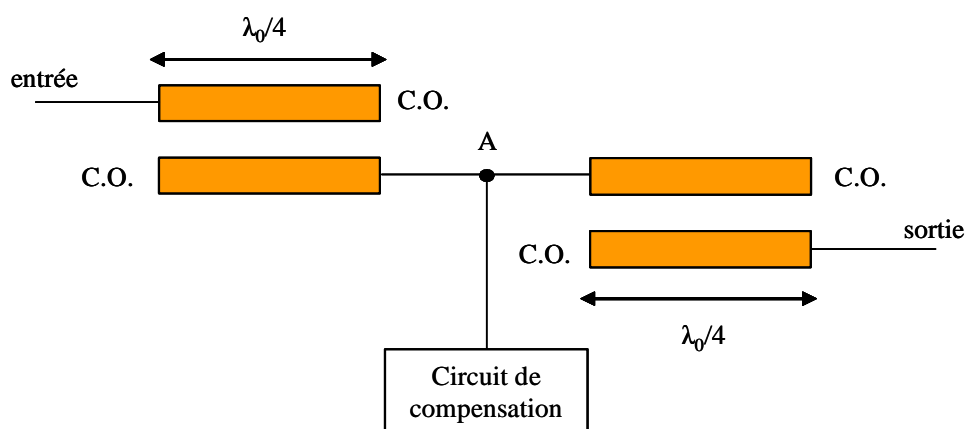


Figure II-3

Schéma du filtre aux pertes compensées

Les résultats de simulation de la partie imaginaire du circuit de compensation et de la réponse du filtre aux pertes compensées sont présentés sur les figures II-4 et II-5.

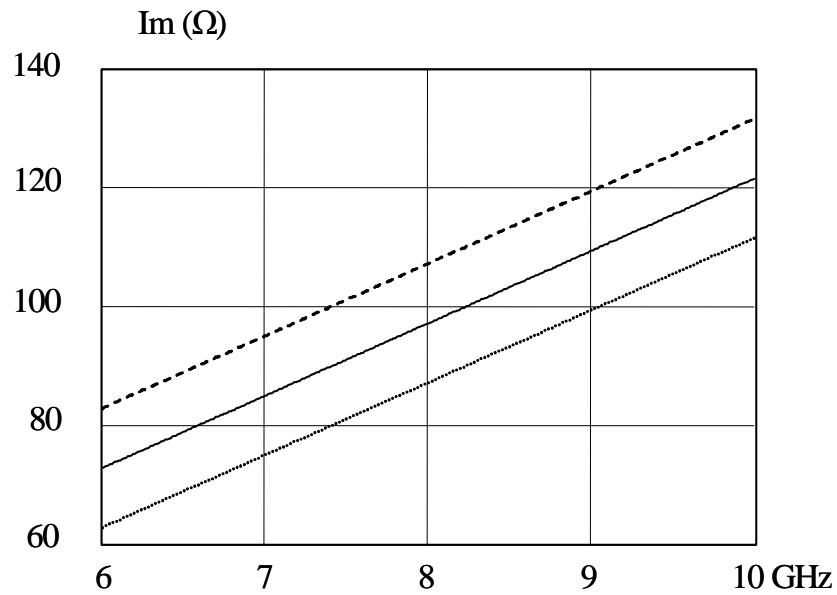


Figure II-4

Partie imaginaire du circuit de compensation

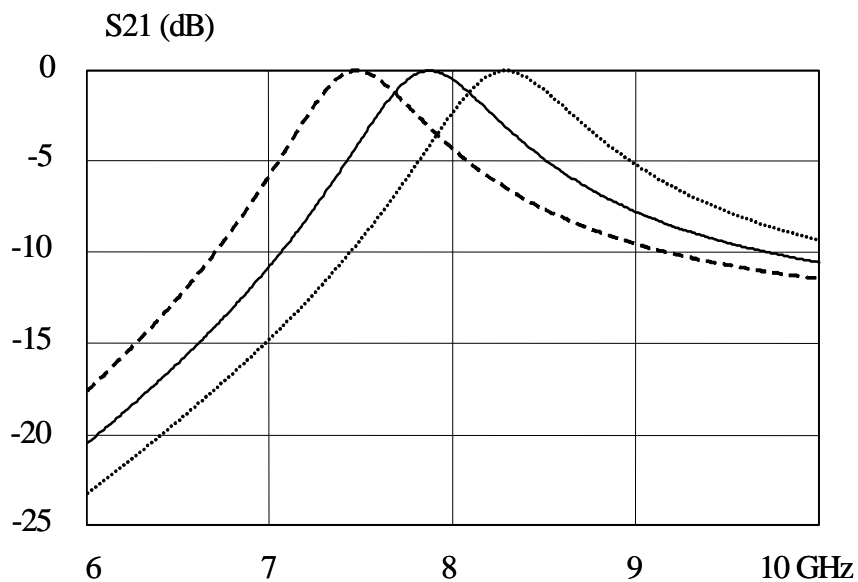


Figure II-5

Réponse du filtre aux pertes compensées

Ces résultats de simulation montrent qu'une augmentation de la valeur de la partie imaginaire entraîne une évolution de la fréquence de résonance du filtre vers les fréquences

basses. Il est donc possible d'ajuster la fréquence centrale d'un tel filtre à une fréquence donnée tout en compensant ses pertes.

Les travaux développés par D. Denis [38] ont montré que la nature de l'impédance de charge des résonateurs qui, dans notre cas est un circuit ouvert, influe sur la fréquence de résonance du filtre. Une charge de type capacitive a pour effet de diminuer la fréquence centrale du filtre, alors qu'une charge de type inductive l'augmente.

II.3 CONTROLE DE LA BANDE PASSANTE

En gardant le même circuit que celui de la figure II-3, les résultats de simulation présentés sur les figures II-6 et II-7 montrent l'évolution de la largeur de la bande passante avec la pente de la partie imaginaire du circuit de compensation.

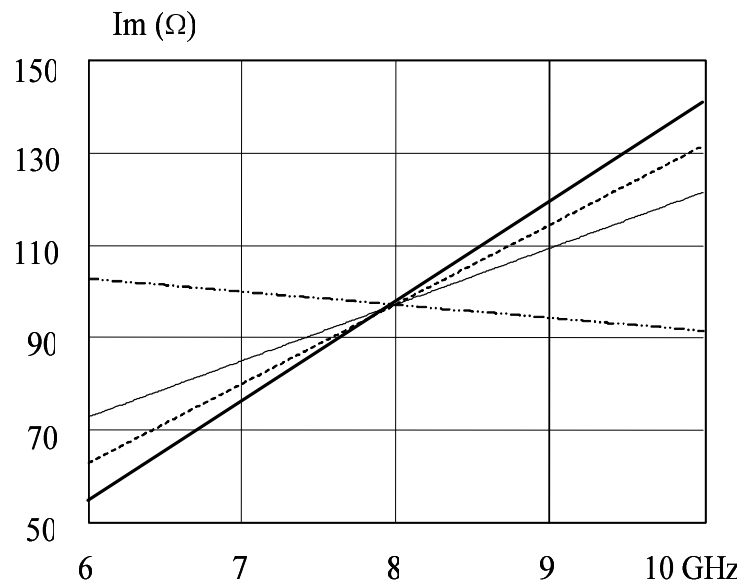
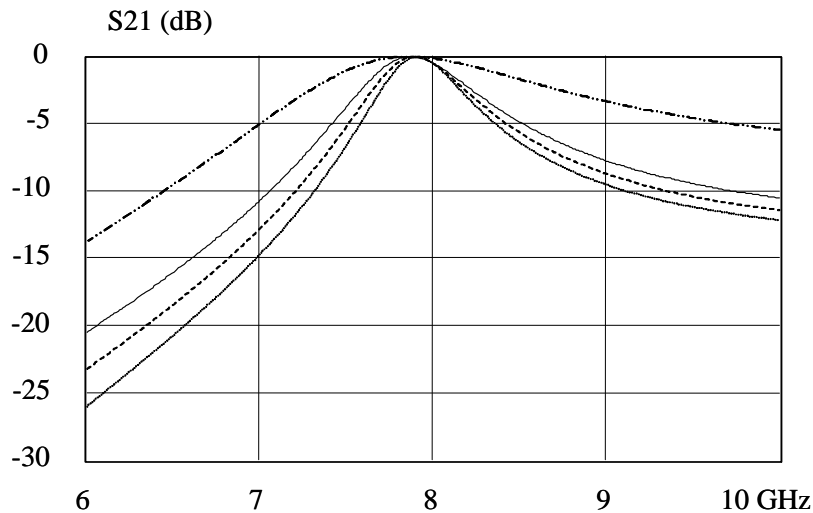


Figure II-6

Partie imaginaire du circuit de compensation

**Figure II-7****Réponse du filtre aux pertes compensées**

Pour une partie imaginaire de pente positive, la largeur de la bande passante du filtre croît quand la valeur de la pente diminue. Pour une partie imaginaire de pente négative, la bande passante décroît avec la valeur absolue de la pente.

Les principes présentés ici, qui sont liés à la structure même du dispositif, peuvent donc être utilisés pour améliorer les performances des filtres telles que la fréquence centrale et la sélectivité.

II.4 DEMARCHE DE CONCEPTION

La démarche de conception d'un filtre utilisant la notion de profil d'impédance active comporte les étapes suivantes :

- conception de la partie passive initiale,
- calcul du profil d'impédance active : à partir du filtre passif initial réalisé, de la modification de taille prévue, et de la réponse du filtre global souhaitée, les valeurs des parties réelle et imaginaire sont extraites fréquence par fréquence.

- conception de la partie active : on détermine indépendamment la topologie qui permet de réaliser, au mieux, les parties réelle et imaginaire définies à l'étape précédente.

On comprend donc bien que ces deux dernières étapes permettent de réduire la taille d'un circuit et de modifier la fréquence centrale et la bande passante de la réponse d'un filtre ou donc, intuitivement, d'augmenter artificiellement son nombre de pôles. Nous allons donc maintenant développer cette méthode afin de concevoir un filtre actif sélectif ainsi qu'un filtre actif pseudo-multipôles.

III. APPLICATION A LA CONCEPTION D'UN FILTRE ACTIF SELECTIF

Dans cette partie, nous allons utiliser la notion de profil d'impédance, présenté dans ce chapitre, pour concevoir un filtre passe-bande sélectif qui a été développé avec Sébastien DARDILLAC [39]. Ce filtre a une bande passante d'environ 60 MHz autour de 15 GHz et utilise un circuit actif pour compenser des pertes et modifier sa sélectivité et sa fréquence centrale.

III.1 CONCEPTION DE LA PARTIE PASSIVE DU FILTRE

Dans cette partie, nous souhaitons obtenir une réponse de filtrage ayant une fréquence centrale proche de 15 GHz avec 60 MHz de bande passante.

La partie passive initiale en éléments distribués est présentée sur la figure II-8.

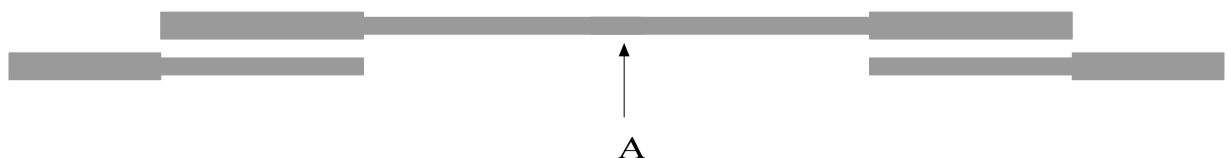


Figure II-8
Filtre passif en éléments distribués

La longueur du résonateur est de 1,7 mm et sa fréquence de résonance ainsi obtenue est de 35 GHz (figure II-9).

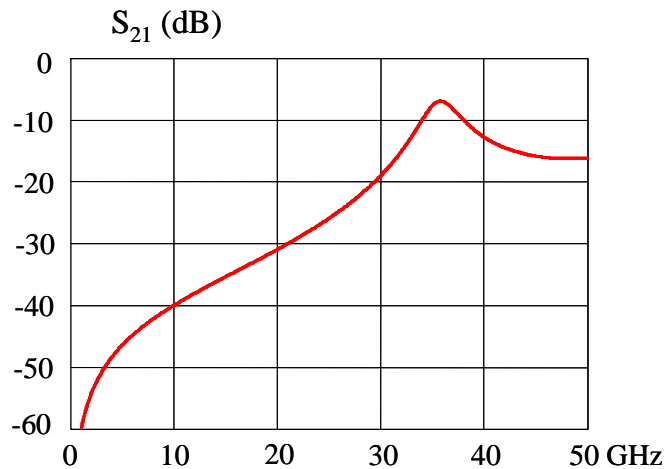


Figure II-9

Réponse en transmission de la partie passive du filtre

La suite de l'étude consiste maintenant à associer un circuit actif à ce filtre pour ramener la fréquence de résonance à 15 GHz avec une bande passante de 60 MHz, tout en compensant les pertes d'insertion à la fréquence centrale.

La topologie et les dimensions du filtre passif ont été déterminées en fonction des différentes tailles de puce mises à notre disposition (cf. chapitre I. V.2.2) et de l'impédance que nous devons synthétiser au point A pour répondre à notre cahier des charges.

En effet, pour d'autres topologies de filtre que celle présentée ci-dessus, la partie active à concevoir pour obtenir la réponse souhaitée aurait été plus complexe.

III.2 EXTRACTION DE LA PARTIE ACTIVE

La deuxième étape de la démarche vise à extraire les parties réelle et imaginaire du circuit actif à associer au point A de la partie passive.

Pour ce faire, nous calculons, fréquence par fréquence, l'impédance d'entrée de la partie active (le profil d'impédance active) qu'il faut synthétiser pour répondre au gabarit de réponse objectif.

Cette impédance d'entrée, ainsi que la réponse globale du filtre, sont présentées respectivement sur les figures II-10 et II-11.

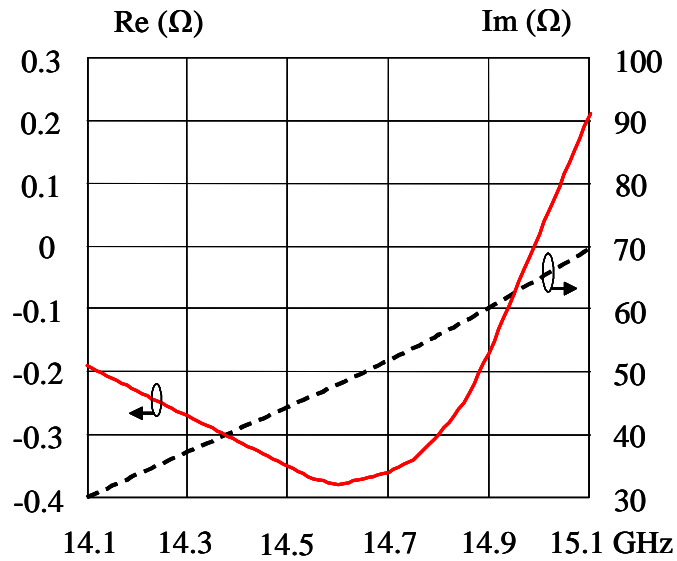


Figure II-10

Gabarit de l'impédance active

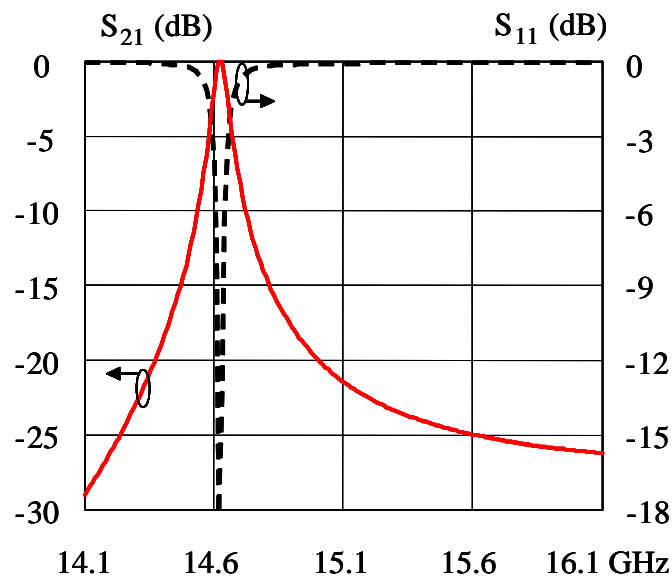


Figure II-11

Réponse du filtre global

Le profil d'impédance active à synthétiser (figure II-10) correspond à une résistance négative avec une partie imaginaire dont la réponse est globalement équivalente à une inductance.

III.3 CONCEPTION DE LA PARTIE ACTIVE

Dans un premier temps, il faut déterminer une structure capable de réaliser l'impédance active requise. Le circuit retenu est construit selon une topologie de résistance négative qui a fait l'objet d'une étude dans [39] et [40] et dont l'impédance d'entrée est de même forme que le profil d'impédance présenté sur la figure II-10. Nous rajoutons une inductance en entrée du montage afin d'obtenir une partie imaginaire positive et une diode varactor de manière à pouvoir modifier la valeur de cette partie imaginaire pour ajustements ultérieurs (figure II-12).

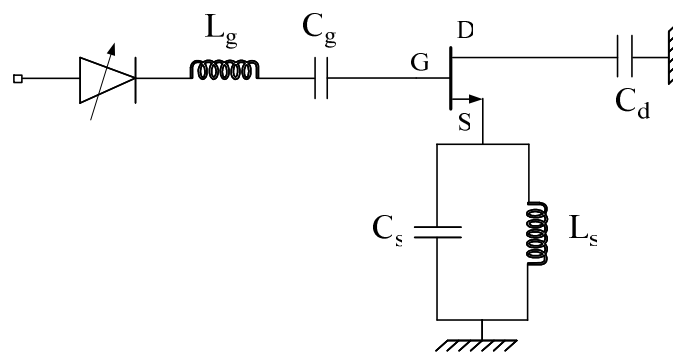


Figure II-12
Topologie du circuit actif

Les premières simulations de ce circuit, sans tenir compte des éléments parasites comme les lignes de connexion, sont présentées sur la figure II-13.

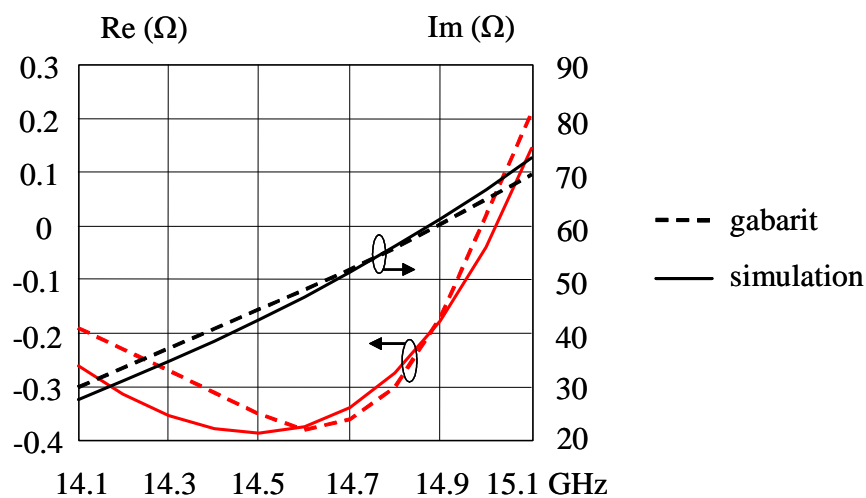


Figure II-13
Impédance présentée par le circuit actif sélectionné

Ces résultats montrent que ce circuit simple permet de satisfaire aux spécifications requises.

III.4 REALISATION DU FILTRE ACTIF

Les parties active et passive sont maintenant assemblées en tenant compte des éléments parasites de connexion. Le dessin du masque (layout) du filtre actif est présenté sur la figure II-14.

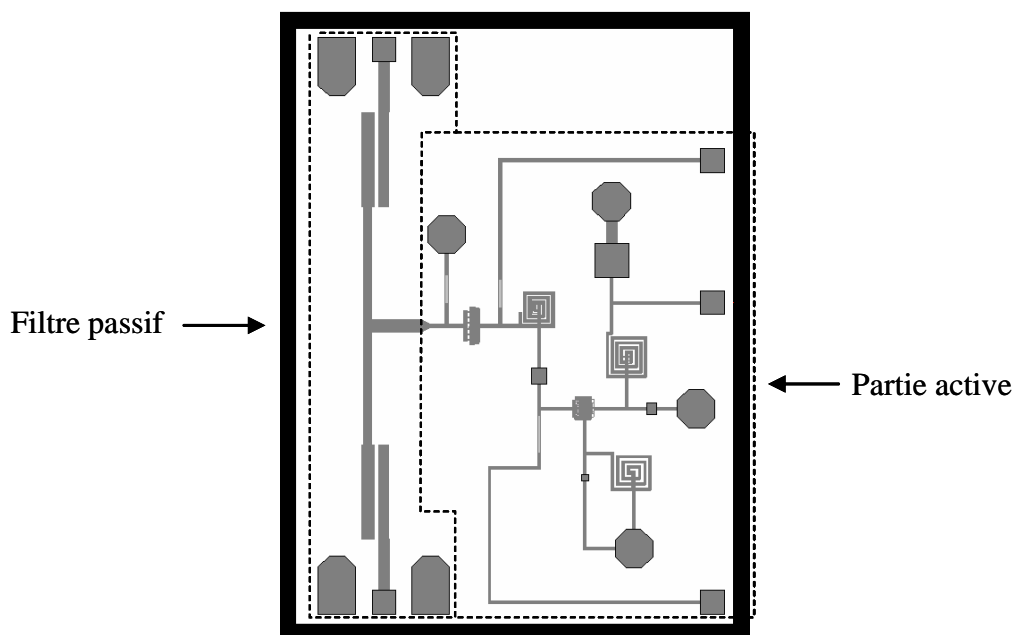


Figure II-14
Masque du filtre actif

Sur le masque de dimensions $2 \times 1,5 \text{ mm}^2$ sont repérés le filtre passif et la partie active. Les résultats de simulation des paramètres S de ce circuit sont présentés sur la figure II-15.

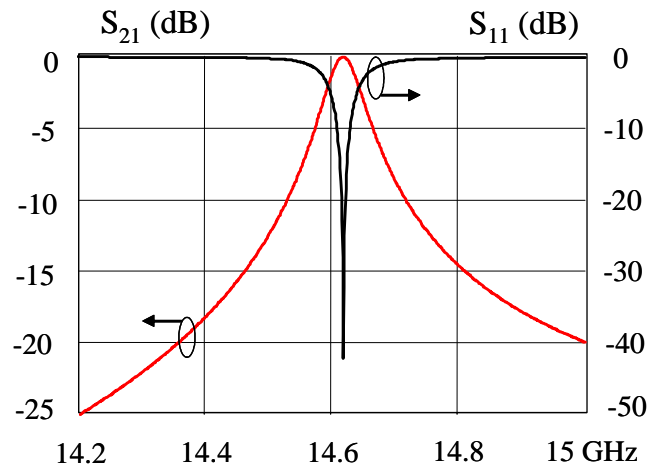


Figure II-15

Résultats de simulation des paramètres S du circuit

Les tensions de polarisation appliquées sont les suivantes :

- pour la diode : $V_d = 0$ V
- pour le transistor : $V_{gs} = -0,49$ V

$$V_{ds} = 2,43$$
 V avec $I_{ds} = 4$ mA

$$\text{soit } P_{\text{consommée}} = 9,7$$
 mW

Les caractéristiques simulées de ce filtre sont les suivantes :

- fréquence centrale : $f_0 = 14,619$ GHz
- $|S_{12}|$ et $|S_{21}|$ à $f_0 = 0$ dB
- bande passante à -3 dB : $\Delta f = 60$ MHz
- $|S_{11}|$ et $|S_{22}|$ à $f_0 = -42,2$ dB

De plus, une simulation fort signal nous permet de déterminer pour le point de compression, en sortie, à -1 dB une puissance de -18 dBm.

Des simulations complémentaires sont réalisées en modifiant les tensions de polarisation du transistor et de la diode varactor (figures II-16 et II-17). Les tensions sont réglées pour obtenir à la fréquence centrale des coefficients de transmission maximum tout en ayant des coefficients de réflexion inférieurs à -10 dB.

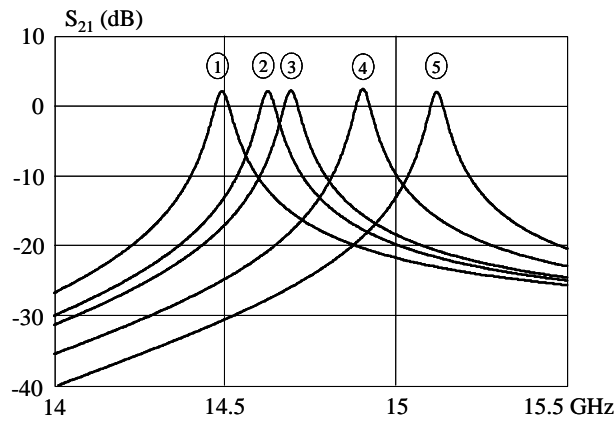


Figure II-16

Coefficients de transmission du filtre actif

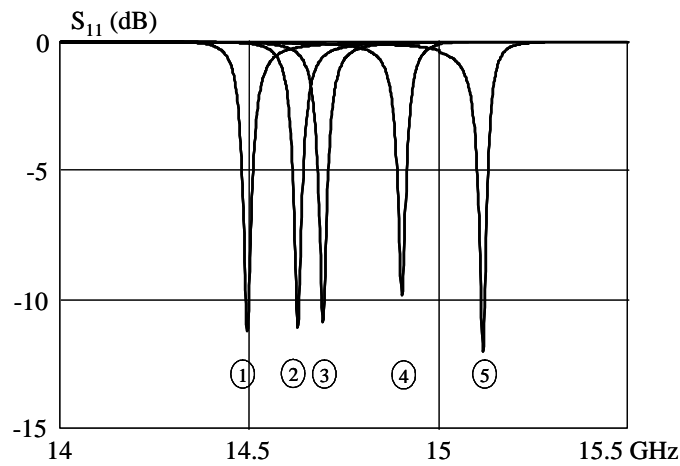


Figure II-17

Coefficients de réflexion du filtre actif

Le tableau II-1 ci-dessous résume les principales caractéristiques des réponses simulées.

	V_d	V_{gs}	V_{ds}	f_0	$ S_{21} $ à f_0	Δf	NF à f_0	P -1dB	P consommée
courbe (1)	-1,5 V	-0,68 V	4,95 V	14,492 GHz	2,1 dB	50 MHz	15,2 dB	-18 dBm	28 mW
courbe (2)	0 V	-0,49 V	2,53 V	14,625 GHz	2,13 dB	48 MHz	15,2 dB	-18dBm	12,5 mW
courbe (3)	0,08 V	-0,42 V	2 V	14,693 GHz	2,17 dB	48 MHz	15,2 dB	-18dBm	12 mW
courbe (4)	0,5 V	-0,3 V	2,2 V	14,903 GHz	2,42 dB	47 MHz	15,4 dB	-16 dBm	24 mW
courbe (5)	0,8 V	0 V	5,48 V	15,12 GHz	2 dB	46 MHz	16,2 dB	-20 dBm	54 mW

Tableau II-1

Caractéristiques des réponses simulées

Ces résultats montrent qu'il est possible de réaliser un filtre accordable en fréquence sur environ 600 MHz, présentant du gain et ayant une bande passante d'environ 50 MHz.

Pour toutes ces simulations, une étude de sensibilité, sur une variation possible des valeurs des éléments, ainsi qu'une étude de la stabilité électrique ont été effectuées. Tous ces résultats sont présentés dans [39].

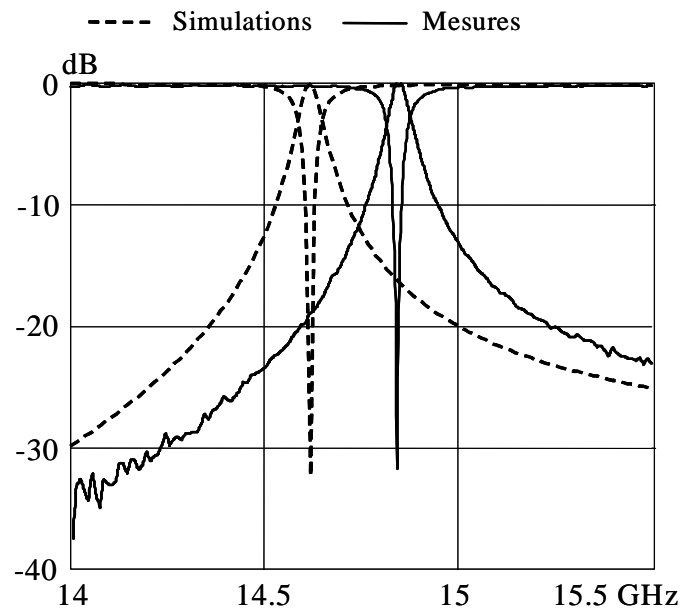
Une étude de sensibilité permet de remarquer que la fréquence centrale varie fortement avec les valeurs de la self-inductance L_g et de la capacité C_g et que le niveau de la réponse est sensible aux variations des capacités C_s et C_d . La sensibilité aux variations des résistances est ici très faible. Toutefois, il faut noter que les tensions de polarisation du transistor et de la diode permettent un réajustement des caractéristiques recherchées en cas de dérive de certains paramètres du procédé monolithique.

Enfin, l'étude de la stabilité électrique montre que le tracé de la fonction NDF n'entoure pas l'origine (0,0) du plan complexe dans le sens horaire. La stabilité intrinsèque du circuit est donc ici assurée. De plus, l'étude de la stabilité électrique vis à vis des impédances de fermeture montre, à l'aide des critères K , B , μ ainsi que du tracé des cercles de stabilité, qu'une faible partie de l'abaque de Smith, localisée à la périphérie, peut conduire à l'instabilité électrique du circuit.

III.5 MESURE DU CIRCUIT

Afin d'avoir une réponse en transmission proche de 0 dB, la tension de la diode (V_d) est maintenue à 0 V. Le transistor est polarisé avec des valeurs de tensions $V_{gs} = -0,49$ V et $V_{ds} = 2,43$ V.

La comparaison entre cette mesure et la simulation correspondante est présentée sur la figure II-18.

**Figure II-18****Comparaison mesures - simulation**

Ces résultats nous permettent d'observer un décalage de 230 MHz vers les hautes fréquences de la réponse mesurée par rapport à la réponse simulée. Cependant, ce décalage n'entraîne pas une modification de la largeur de la bande passante qui est maintenue à 60 MHz. Ce décalage en fréquence peut être expliqué par le fait que, lors de la réalisation de ce circuit en fonderie, il a pu y avoir une dérive des valeurs des éléments de la partie active par rapport aux valeurs simulées. Cela se traduit ici par une diminution de la valeur de la partie imaginaire du circuit actif qui entraîne ainsi un décalage vers les hautes fréquences.

Les courbes de la figure II-19 présentent les résultats de mesure du filtre actif lorsque la tension de la diode varie. Le tableau II-2 résume les principales caractéristiques des ces mesures.

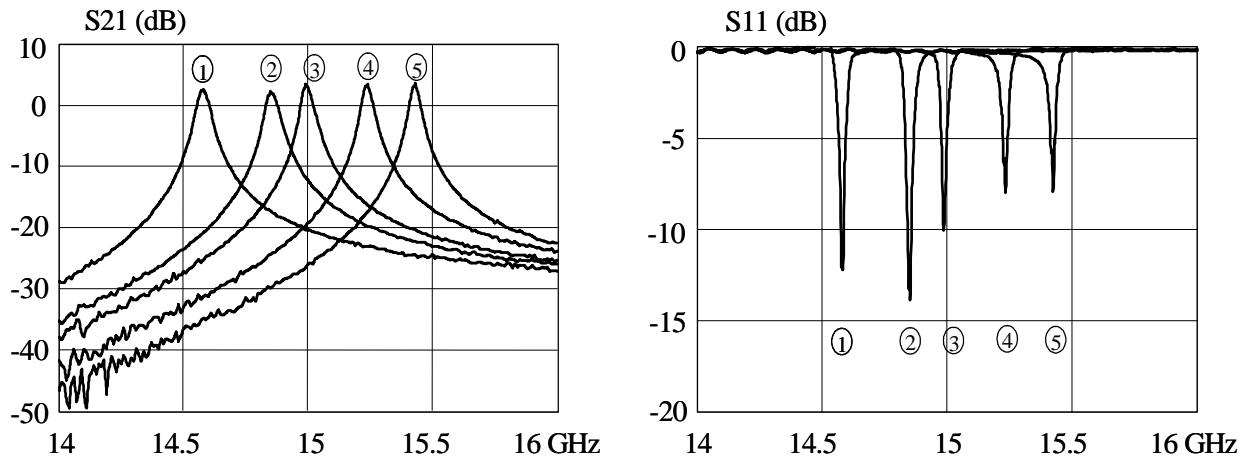


Figure II-19

Coefficient de transmission mesuré pour différentes tensions de polarisation

	V_d	V_{gs}	V_{ds}	f_0	$ S_{21} $ à f_0	Δf	P_{-1dB}	$P_{consommée}$
courbe (1)	-1,5 V	-0,7 V	5,13 V	14,58 GHz	2,2 dB	53 MHz	-20 dBm	25 mW
courbe (2)	0 V	-0,49 V	2,53 V	14,85 GHz	2,3 dB	55 MHz	-20dBm	12,5 mW
courbe (3)	0,08 V	-0,43 V	1,81 V	14,99 GHz	2,7 dB	53MHz	-20dBm	11,5 mW
courbe (4)	0,5 V	-0,36 V	1,98 V	15,24 GHz	3,3 dB	45 MHz	-19 dBm	22 mW
courbe (5)	0,73 V	-0,23 V	2,76 V	15,43 GHz	3,67 dB	39 MHz	-22 dBm	50 mW

Tableau II-2

Caractéristiques des courbes mesurées

L'analyse de ces mesures montre des résultats proches de ceux simulés. Malgré un décalage de la fréquence centrale vers les hautes fréquences, nous obtenons, pour des tensions de polarisation sensiblement identiques aux simulations, des réponses ayant une bande passante et un gain qui sont du même ordre. De plus, nous observons une plage d'accord expérimentale de 850 MHz, supérieure à celle simulée de 630 MHz.

IV. CONCEPTION D'UN FILTRE ACTIF PSEUDO-MULTIPOLE

Dans cette partie, nous allons utiliser la notion de profil d'impédance pour augmenter artificiellement le nombre de pôles d'un filtre passe-bande. Ce filtre a une bande passante d'environ 350 MHz autour de 2 GHz et utilise un circuit actif qui va nous permettre de créer deux fréquences de résonance à $f_0 - \Delta f$ et $f_0 + \Delta f$.

IV.1 CONCEPTION DU FILTRE PASSIF INITIAL

Pour notre application, nous choisissons d'utiliser un filtre passe bande sélectif en éléments localisés dont la topologie de base est donnée sur la figure II-20.

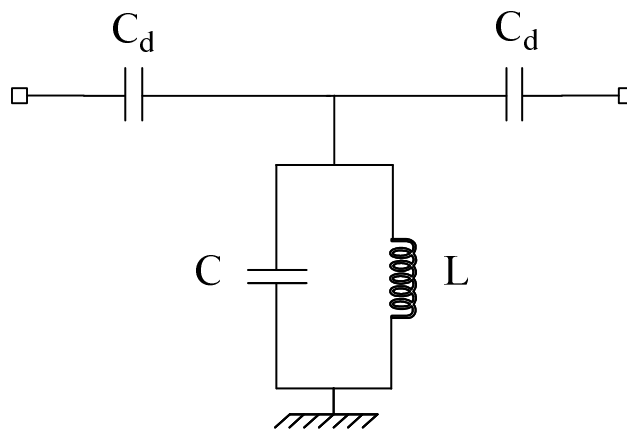


Figure II-20

Filtre passif en éléments localisés

Le résonateur est formé par la mise en parallèle d'une inductance et d'une capacité. Les valeurs de ces deux éléments sont calculées pour que la fréquence centrale du filtre soit 2 GHz.

Un calcul analytique permet de déterminer l'expression de la réponse de ce filtre. Cette réponse en transmission est présentée sur la figure II-21.

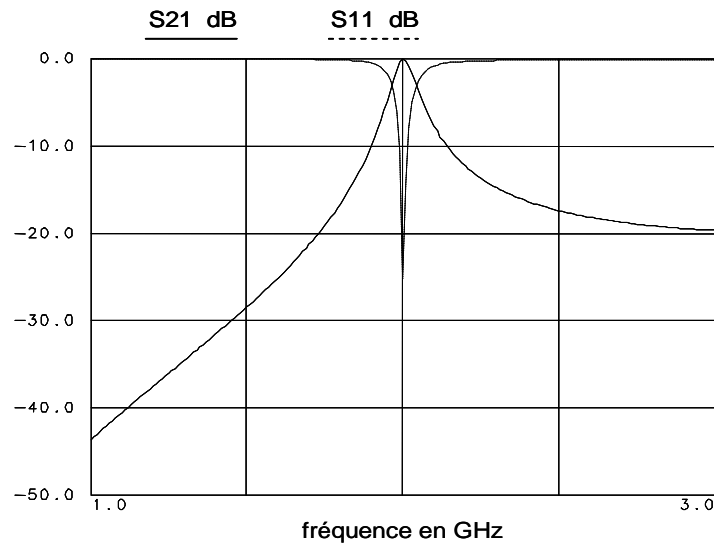


Figure II-21

Réponse en transmission du filtre LC

La sélectivité du filtre est, quant à elle, essentiellement contrôlée par les capacités de découplage C_d . Plus ces capacités sont de faible valeur, plus le filtre est sélectif.

Le but est maintenant de remplacer un des deux composants du résonateur par un système actif dont l'impédance d'entrée doit permettre d'obtenir une résonance à f_0 et une résonance à $f_1 = f_0 + \Delta f$.

IV.2 EXTRACTION DU PROFIL D'IMPEDANCE

Dans cette partie, nous montrons comment on peut théoriquement augmenter artificiellement le nombre de pôles d'un filtre LC parallèle.

Il suffit de remplacer un des deux éléments du résonateur par une boîte noire dont l'impédance d'entrée permettrait de créer, par des conditions particulières d'impédance, la condition initiale de résonance à d'autres fréquences qu'à f_0 .

Premier cas : remplacement de l'inductance

On obtient alors, pour un profil d'impédance d'entrée présenté sur la figure II-22, une réponse en transmission dont le nombre de pôles a été artificiellement augmenté

(figure II-23). Dans ce cas de figure, la condition de résonance à f_0 est ainsi reproduite sur toute la bande [2 – 3 GHz], créant l'effet d'une réponse multipôle avec un nombre de pôles très élevé.

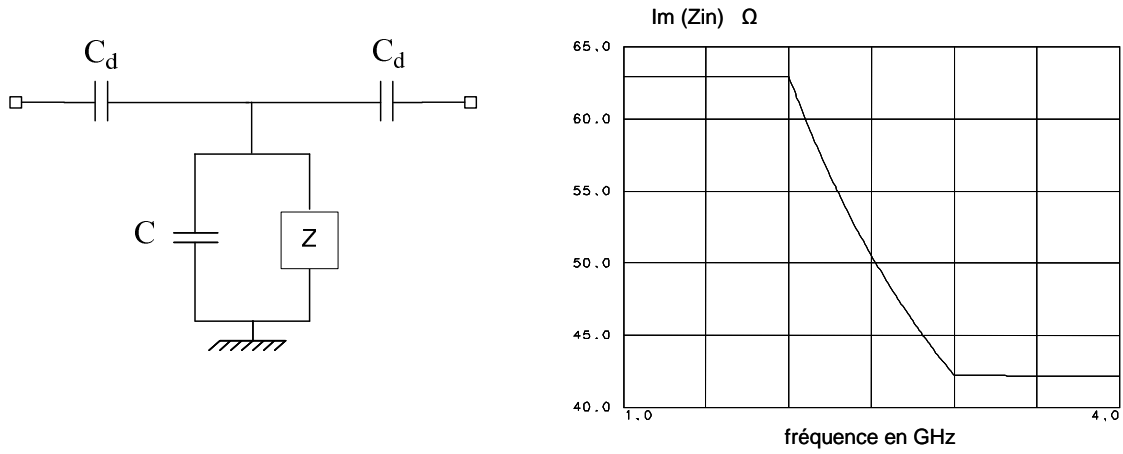


Figure II-22

Profil de l'impédance d'entrée pour obtenir un filtre multipôle

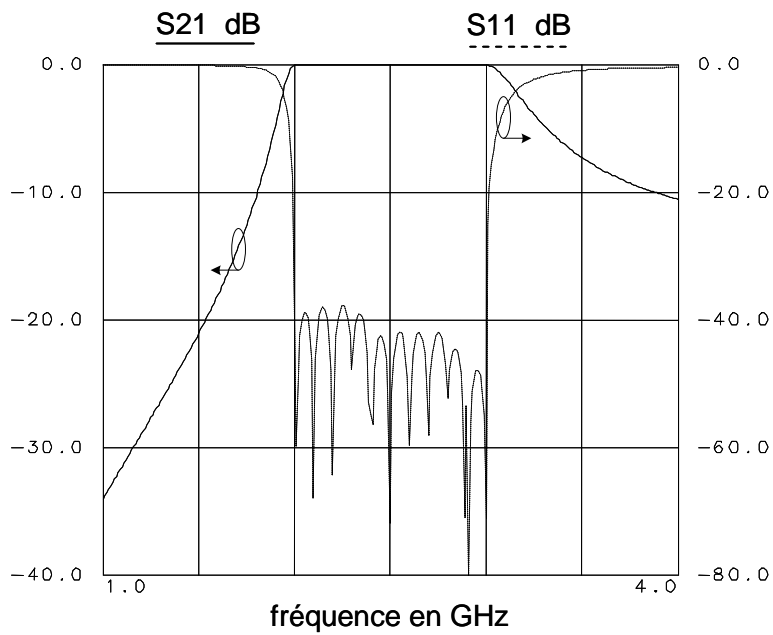


Figure II-23

Filtre multipôle correspondant au profil d'impédance de la figure II-22

Deuxième cas : remplacement de la capacité

On réalise la même opération que dans le premier cas en remplaçant la capacité par une boîte noire (figure II-24 et II-25). Le même effet peut ainsi être obtenu.

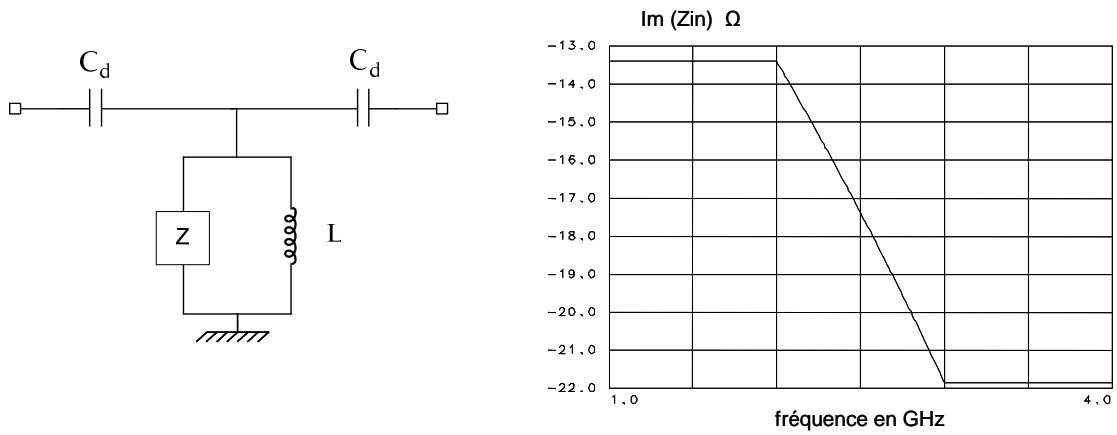


Figure II-24

Profil de l'impédance d'entrée pour obtenir un filtre multipôle

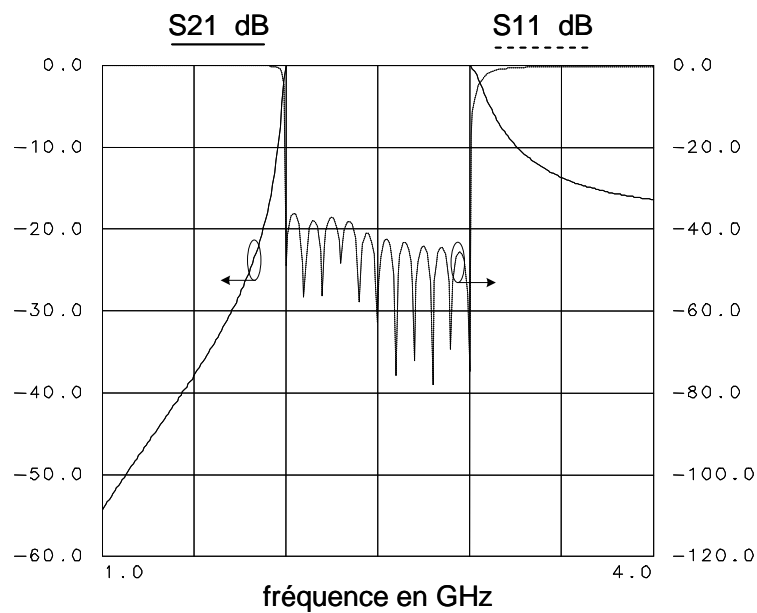


Figure II-25

Filtre multipôle correspondant au profil d'impédance de la figure II-24

Dans les deux cas qui sont présentés, on remarque que si l'on veut augmenter le nombre de pôles de notre structure il faut soit remplacer l'inductance par un système simulant une capacité négative, soit remplacer la capacité par un système simulant une inductance négative.

C'est donc à partir de cette étude que nous avons choisi de mettre en parallèle une capacité et un circuit actif simulant une capacité négative afin d'augmenter le nombre de pôles de notre filtre. En outre, nous n'avons pas été capables de synthétiser une inductance négative permettant d'augmenter le nombre de pôles.

Pour simplifier la conception et relâcher les contraintes de la partie passive, la démarche vise à extraire les parties réelle et imaginaire du circuit actif à associer à la capacité de la partie passive du filtre pour obtenir seulement deux fréquences de résonance à 1,9 GHz et 2,1 GHz.

Pour ce faire, nous calculons, fréquence par fréquence, l'impédance d'entrée de la partie active qu'il nous faut synthétiser pour répondre au gabarit de réponse fixé.

Cette impédance d'entrée ainsi que la réponse globale du filtre sont présentées respectivement sur les figures II-26 et II-27.

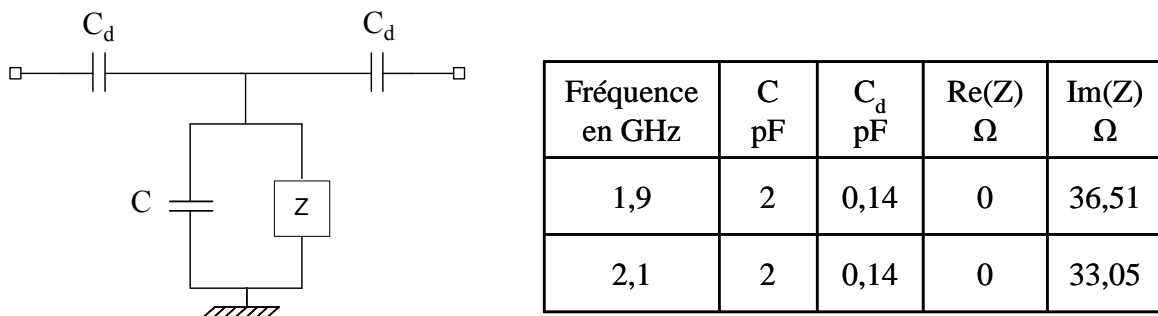


Figure II-26

Impédance d'entrée à synthétiser pour obtenir un filtre à 2 pôles

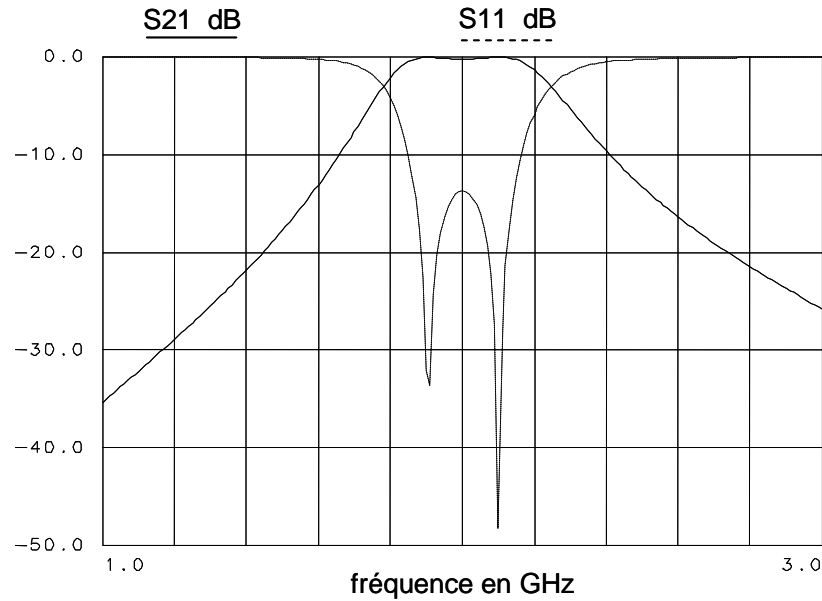


Figure II-27
Filtre à 2 pôles

Au fil de nos différentes simulations, nous nous sommes rendus compte que si nous voulions obtenir deux pôles autour de 2 GHz, il ne suffisait pas de synthétiser seulement la bonne impédance aux fréquences 1,9 et 2,1 GHz.

En effet, pour obtenir ces deux pôles, et pour des raisons de sensibilité discutées plus loin, il est préférable de suivre au mieux un profil d'impédance permettant d'obtenir un filtre à cinq pôles dans la bande [1,8 – 2,2 GHz].

Ainsi, le profil d'impédance à synthétiser est présenté sur le tableau II-3.

Fréquence en GHz	Re (Z) Ω	Im (Z) Ω
1,8	0	38,55
1,9	0	36,52
2	0	34,7
2,1	0	33,05
2,2	0	31,56

Tableau II-3
Profil d'impédance active à synthétiser

IV.3 CONCEPTION DE LA PARTIE ACTIVE

Dans un premier temps, il faut déterminer une structure capable de réaliser l'impédance active requise. Le circuit retenu est construit selon une topologie de convertisseur d'impédance négative car le profil à synthétiser correspond à un profil de capacité négative.

Le convertisseur d'impédance négative que nous utilisons et qui a fait l'objet d'une étude dans [8] est présenté sur la figure II-28.

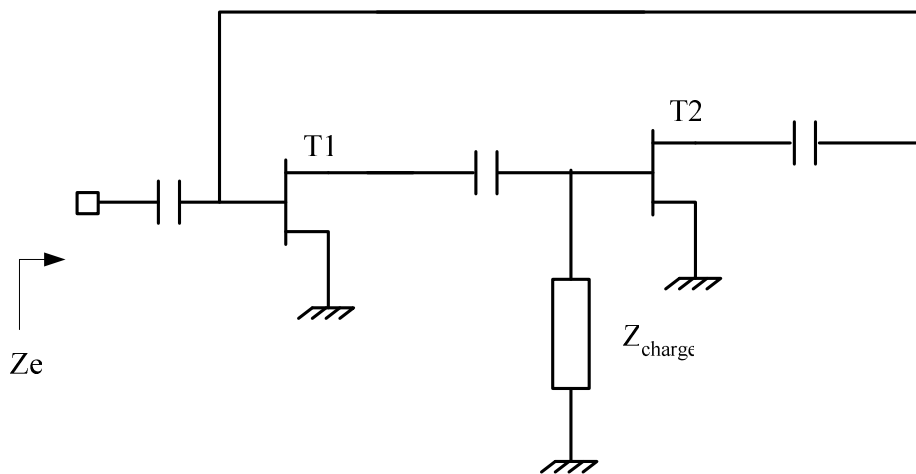


Figure II-28

Topologie du convertisseur d'impédance négative

La démarche vise à déterminer par quelle impédance Z il faut charger le CIN afin d'obtenir en entrée le profil d'impédance désiré.

En utilisant la méthode présentée dans le chapitre I au paragraphe III-4, il est donc possible de déterminer, fréquence par fréquence, la valeur de l'impédance de charge qui, dans ce cas, doit rester passive (partie réelle positive). Le tableau II-4 donne les différentes impédances que doit présenter le réseau passif équivalent.

Fréquence (GHz)	Partie réelle (Ω)	Partie imaginaire (Ω)
1,8	16.36	20.99
1,9	15.43	21.4
2	14.5	21.81
2,1	13.6	22.22
2,2	12.68	22.63

Tableau II-4
Valeur de l'impédance du réseau passif

A cette étape, nous utilisons le logiciel *Locus* pour déterminer, à partir de ces résultats, le réseau passif s'approchant au mieux du profil ci-dessus. La figure II-29 montre le meilleur résultat que nous avons pu obtenir.

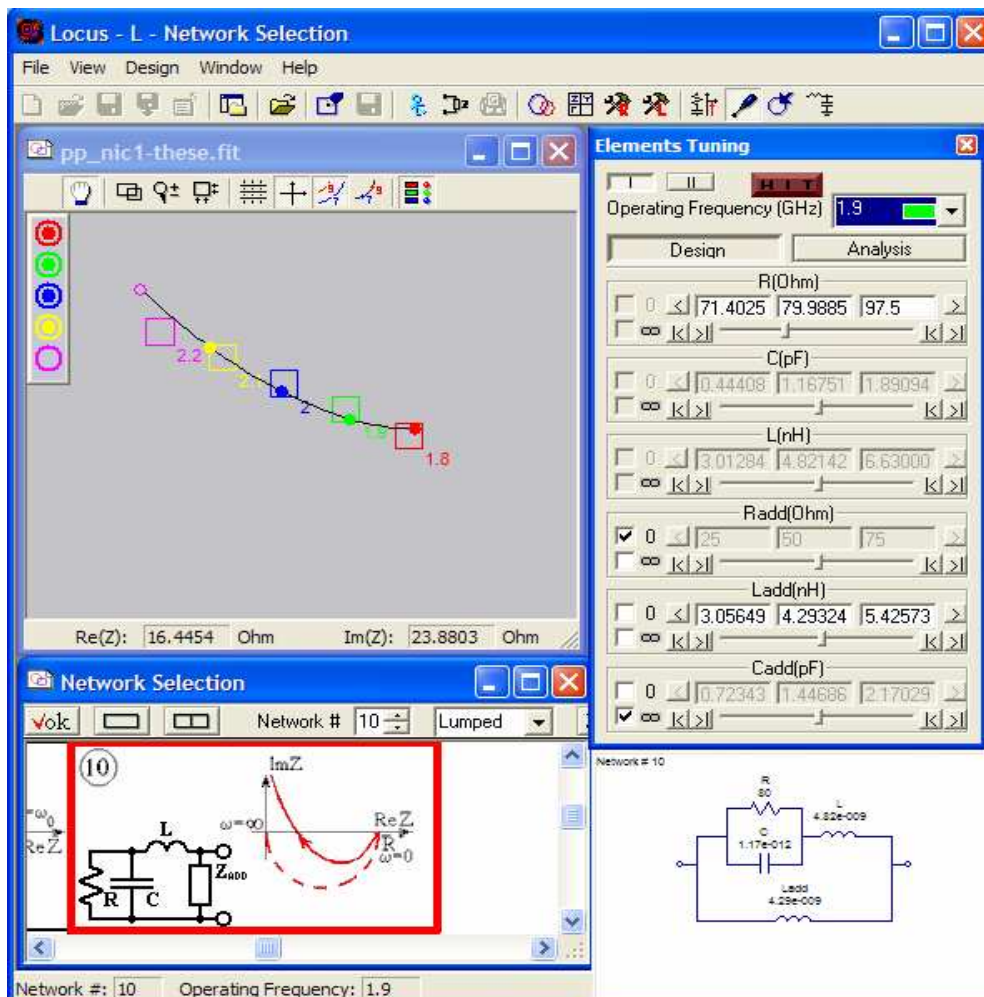


Figure II-29
Résultats obtenus avec le logiciel Locus

La schématique globale du circuit ainsi que les résultats de simulation obtenus sont présentés sur les figures II-30 et II-31.

Nous remarquons ici que la polarisation des drains des transistors T1 et T2 s'effectue au travers de charges actives [41]. Ces charges actives sont réalisées par des transistors (T3 et T4) dont la grille et la source sont reliées, réalisant ainsi une source de courant [42] identique au courant qui doit traverser le transistor à polariser. Ce choix malgré le surcroît de consommation électrique engendrée, se justifie par le fait que des résonances apparaissent, lorsque l'on utilise des circuits de polarisation classiques formés d'une self-inductance de forte valeur et d'une capacité de découplage, et perturbent ainsi la réponse recherchée. Les charges actives permettent donc de s'affranchir des problèmes de résonance rencontrés.

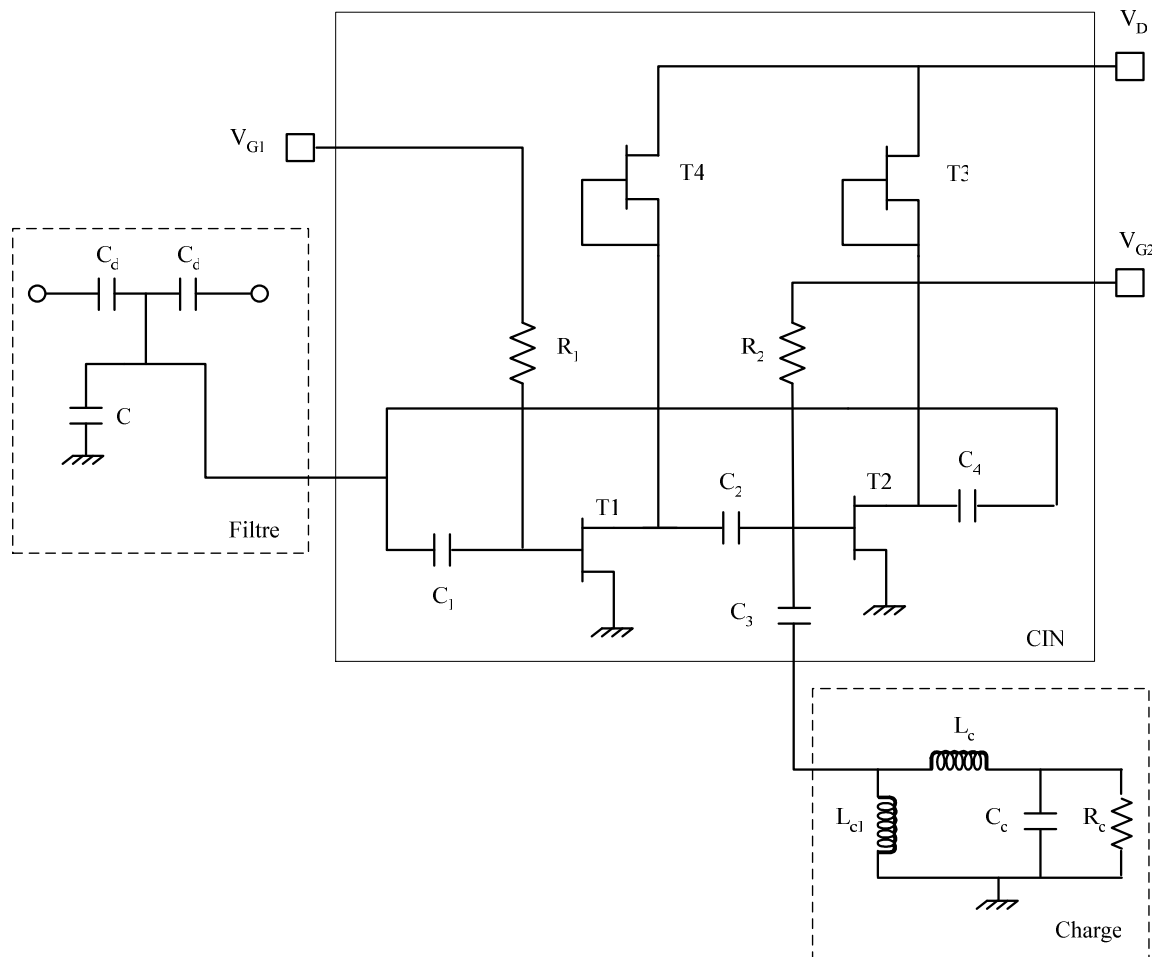


Figure II-30

Schématique globale du circuit avant optimisation

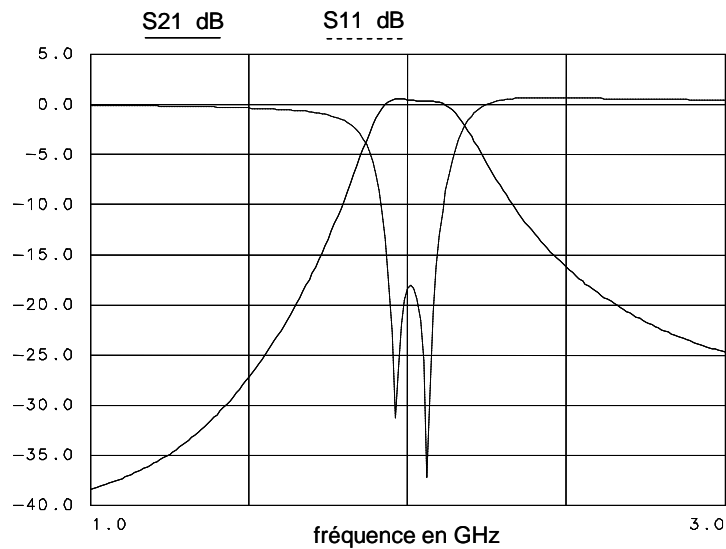


Figure II-31

Résultats de simulation en paramètre S du circuit

Sur ces premiers résultats de simulation nous observons un élargissement de la bande passante avec l'existence de deux pôles aux fréquences 1,95 GHz et 2,07 GHz. Cependant nous pouvons voir qu'il existe des phénomènes de surcompensation qui entraînent une remonté des paramètres de réflexion ($S_{11} > 0$ dB).

La solution retenue, pour résoudre ce problème, a été de placer, en entrée et en sortie du filtre, une résistance connectée à la masse. Les figures II-32 et II-33 montre la nouvelle schématique du circuit ainsi que les résultats de simulation obtenus après modification.

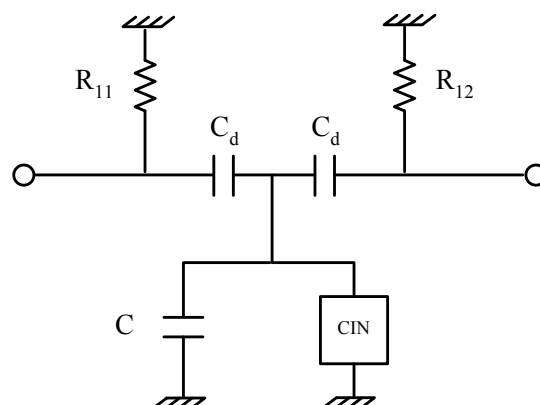


Figure II-32

Schématique finale du filtre

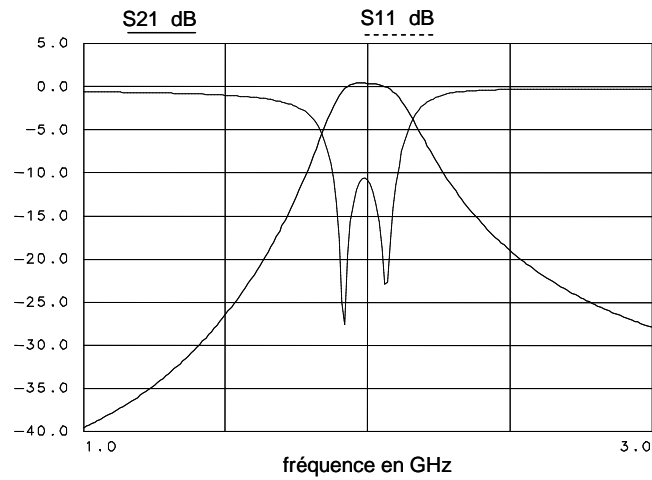


Figure II-33

Résultats de simulation en paramètre S du circuit

IV.4 REALISATION DU FILTRE ACTIF

Les parties passive et active sont maintenant assemblées en tenant compte des éléments parasites. Le dessin du masque (layout) du filtre actif est présenté sur la figure II-34.

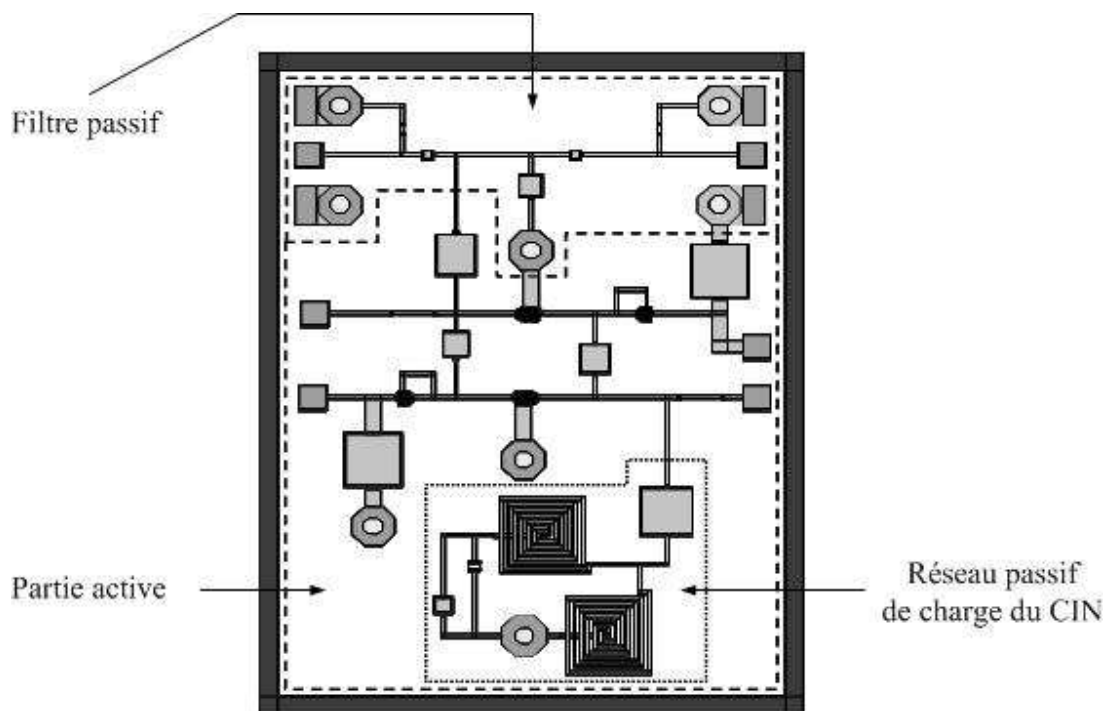


Figure II-34

Masque du filtre actif

La taille du circuit de la figure II-35 est de $2 \times 1,5 \text{ mm}^2$. Sur le masque sont repérés le filtre passif et le circuit actif. Les résultats de simulation des paramètres S de ce circuit sont présentés sur la figure II-35

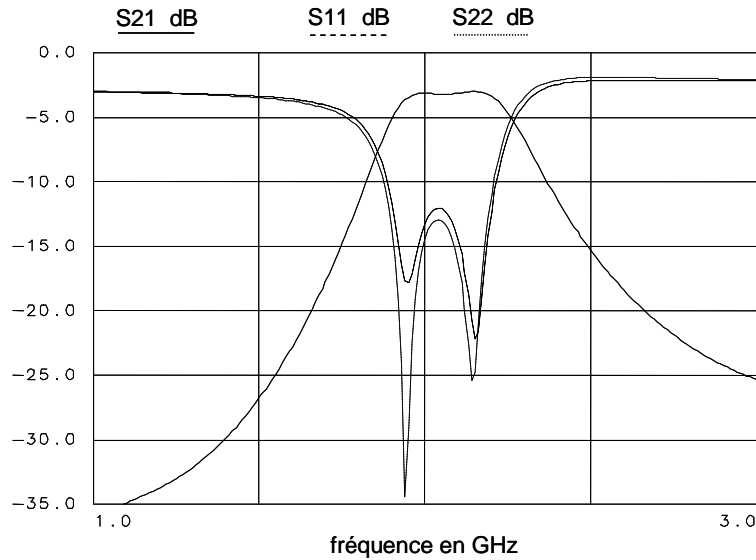


Figure II-35

Résultats de simulation en paramètre S du masque

Les tensions de polarisation appliquées sont les suivantes :

- pour les transistors 3 et 4 : $V_d = 3 \text{ V}$
- pour les transistors 1 et 2 : $V_{g1} = -0,4 \text{ V}$
 $V_{g2} = -0,38 \text{ V}$

De plus, $I_d = 18 \text{ mA}$ d'où $P_{\text{consommée}} = 54 \text{ mW}$

Les caractéristiques simulées de ce filtre sont les suivantes :

- fréquence centrale : $f_0 = 2,04 \text{ GHz}$
- $|S_{21}|$ à $f_0 = -3 \text{ dB}$
- bande passante à $f_{0-3\text{dB}}$: $\Delta f = 380 \text{ MHz}$
- à $f_1 = 1,94 \text{ GHz}$: $|S_{11}| = -34,2 \text{ dB}$ et $|S_{22}| = -17,5 \text{ dB}$
- à $f_2 = 2,14 \text{ GHz}$: $|S_{11}| = -25,0 \text{ dB}$ et $|S_{22}| = -22,1 \text{ dB}$
- dans la bande $[1,94 - 2,14] \text{ GHz}$ $|S_{11}|$ et $|S_{22}| < -12,4 \text{ dB}$

Enfin, une simulation fort signal permet de déterminer pour le point de compression, en sortie, à -1 dB une puissance de -27 dBm.

IV.4.1 ETUDE DE LA STABILITE ELECTRIQUE

Comme tout circuit contenant des éléments actifs, le circuit que nous présentons nécessite une analyse de la stabilité électrique.

Nous étudions dans une première étape, le tracé de la NDF du circuit pour vérifier la présence d'instabilités intrinsèques au circuit. Le calcul de cette fonction se fait en calculant les "return ratio" (taux de retour) des sources dépendantes du circuit. Dans notre cas, il s'agit des sources liées aux transistors :

$$NDF = (1+RR_1) (1+RR_2) \dots (1+RR_N)$$

où RR_i est le "return ratio" de la $i^{\text{ème}}$ source lorsque les $i-1^{\text{èmes}}$ sources précédentes sont successivement éteintes (mises à zéro).

L'application de la méthode de la NDF requiert de pouvoir modifier le schéma électrique des éléments actifs. La bibliothèque mise à notre disposition ne permet pas cette modification. Pour effectuer le calcul de la NDF, nous avons donc dû établir un modèle électrique du transistor déduit des informations de la bibliothèque monolithique utilisée [34].

Le fait de remplacer les modèles du fondeur utilisés lors de la conception par des modèles modifiés introduit certaines approximations et donc des modifications de la réponse du circuit soumis à cette analyse.

Ainsi, pour les transistors T1 et T2 de la figure II-30, nous n'avons pas été en mesure de pouvoir établir un modèle électrique de transistor suffisamment adapté pour simuler dans son intégralité la fonction NDF du circuit.

Le tracé de la NDF pour notre circuit dans le plan complexe est donné sur la figure II-36 et correspond uniquement à la prise en compte des transistors T3 et T4.

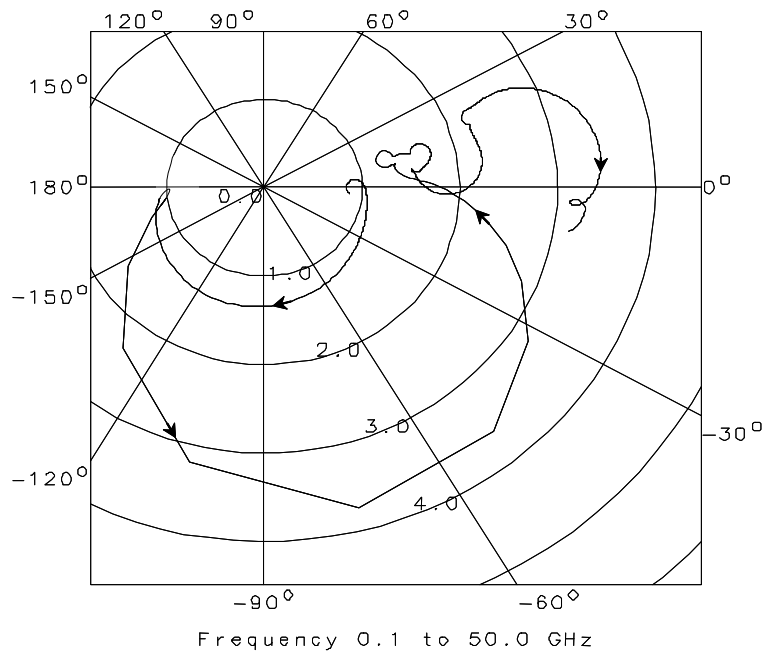


Figure II-36
Tracé de la fonction NDF

On remarque ici que la stabilité intrinsèque, correspondant aux transistors T3 et T4, est ici assurée car le tracé de la fonction NDF n'entoure pas l'origine (0,0) du plan complexe dans le sens horaire quand la fréquence varie de 0 à $+\infty$.

La deuxième étape de l'analyse consiste à s'assurer de la stabilité électrique vis-à-vis des impédances de fermeture du circuit (annexe 3). Pour cela, nous utilisons les critères K et B définis classiquement pour les quadripôles linéaires microondes [43].

Un quadripôle linéaire est dit inconditionnellement stable si, ne comportant pas de pôles à partie réelle positive, les conditions $K > 1$ et $B > 0$ sont respectées pour toutes les fréquences. Sur la figure II-37, nous avons tracé ces coefficients et nous constatons que le filtre est inconditionnellement stable car $K > 1$ et $B > 0$.

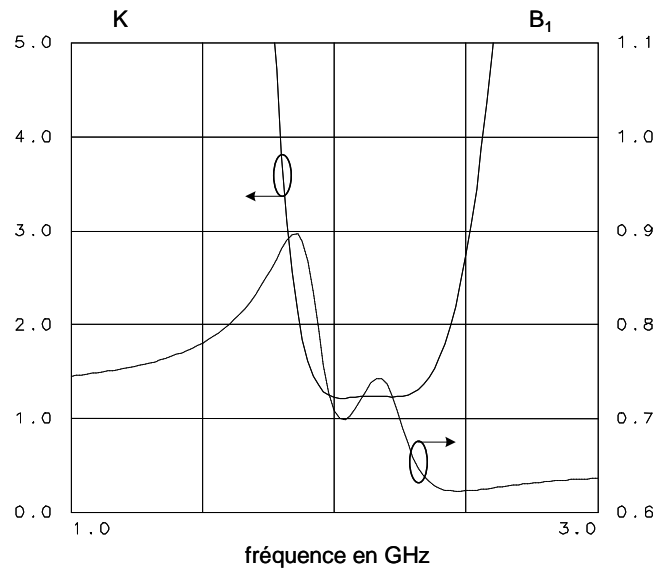


Figure II-37
Tracé des critères K et B₁

La condition $K > 1$, ainsi que la condition auxiliaire $B > 0$, ne fournissent pas d'information quantitative sur le degré de stabilité ou d'instabilité de la structure. Nous étudions donc un critère fondé sur les mêmes considérations que les précédents [44], mais plus quantitatif. Il s'agit du critère μ introduit par M.L. Edwards et J.H. Sinsky [45]. Tracé sur la figure II-38, ce critère permet d'aboutir à la même conclusion qu'avec les critères $K > 1$ et $B > 0$ lorsque $\mu > 1$. Il permet, en outre, de mieux quantifier le degré de stabilité ou d'instabilité vis-à-vis des impédances de fermeture du quadripôle.

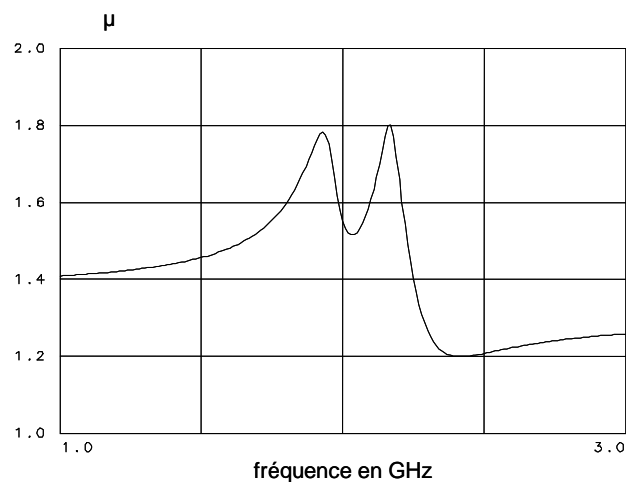


Figure II-38
Tracé du critère μ

En effet, μ représente la distance minimale sur l'abaque de Smith entre l'origine (50Ω) et l'impédance de fermeture la plus proche de l'origine provoquant une instabilité.

Ainsi, si $\mu > 1$: aucun point situé à l'intérieur de l'abaque ne provoque d'instabilité, donc aucune charge passive du circuit ne peut entraîner une instabilité.

Si $0 < \mu < 1$: à mesure que μ diminue, le nombre de fermetures stables sur l'abaque de Smith se réduit.

Si $\mu < 0$: la fermeture de 50Ω provoque une instabilité, mais il peut exister des impédances à l'intérieur du cercle unité qui ne provoquent pas d'instabilité.

Ainsi, pour connaître exactement les charges conduisant à l'instabilité, dans le cas où $\mu < 1$, il faut tracer les cercles de stabilité.

IV.4.2 ETUDE DE SENSIBILITE

Comme précédemment (chapitre I), ce circuit a fait l'objet d'une étude de sensibilité. Nous rappelons ici les pourcentages de variation possible des valeurs des différents éléments, donnés par le fondeur :

- Self-inductances : $\pm 5 \%$
- Capacités : $\pm 5 \%$
- Résistances : $\pm 5 \%$

Les résultats de l'analyse de Monté-Carlo du filtre, en transmission et en réflexion, sont présentés sur les figures II-39, II-40 et II-41.

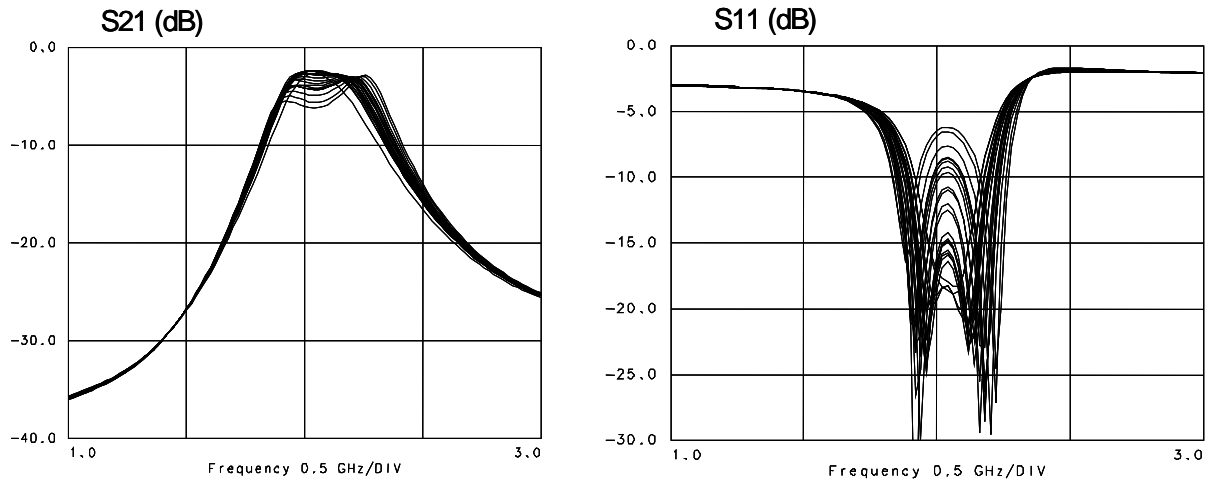


Figure II-39
Sensibilité du filtre actif aux variations des différents éléments
composant la structure passive

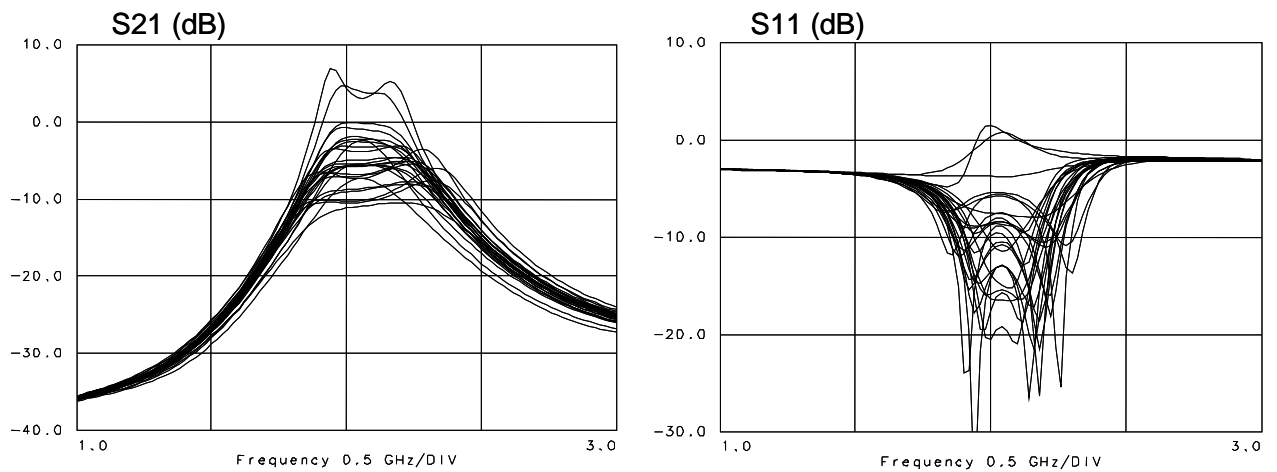
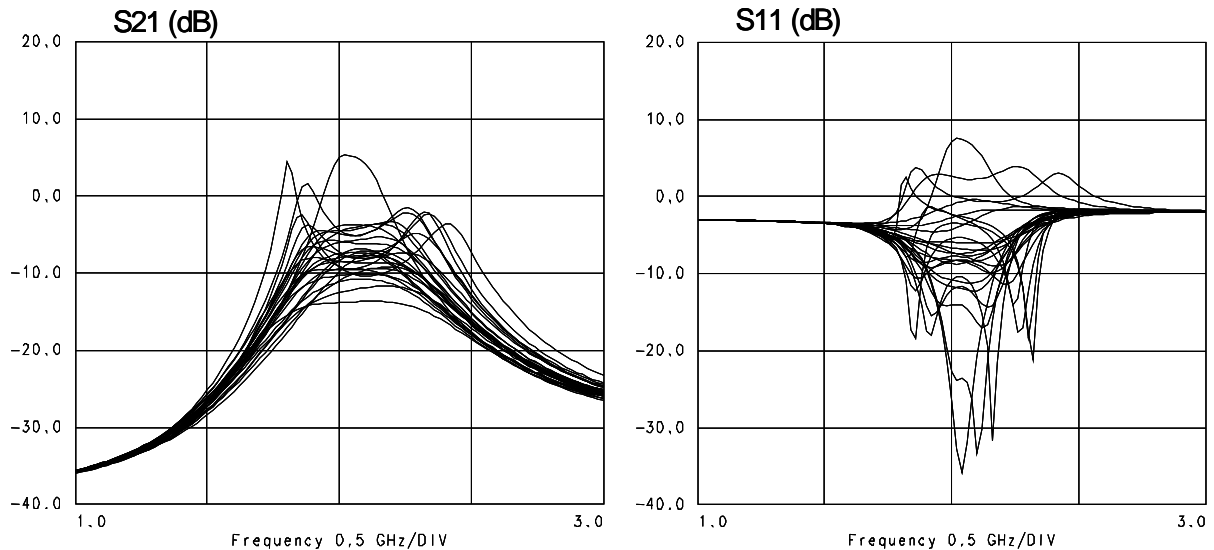


Figure II-40
Sensibilité du filtre actif aux variations des capacités de découplage

**Figure II-41**

Sensibilité du filtre actif aux variations des différents éléments composant le réseaux passif de charge du convertisseur d'impédance négative

On constate sur ces différentes simulations que la partie la plus sensible de notre circuit est le réseau passif de charge du convertisseur d'impédance négative. Ceci est dû au fait que le profil d'impédance à synthétiser doit suivre exactement le profil théorique afin d'obtenir les deux pôles aux fréquences prévues. La compensation, ainsi que l'ajustement de la condition de résonance multiple doit être parfaite pour obtenir la réponse désirée.

Cependant, il faut noter que, dans le cas où il n'y a pas simultanément une variation de cinq pourcents sur les éléments du réseaux passif de charge, les tensions de polarisation des transistors permettent un réajustement des caractéristiques recherchées en cas de dérive de certains paramètres dont ceux du procédé monolithique.

V. ETUDE D'UN PROFIL D'IMPEDANCE ACTIVE DESTINE A LA SYNTHESE D'UN FILTRE MULTINORME

V.1 DEFINITION D'UN FILTRE MULTINORME

Des structures classiques de filtres passifs ne permettent d'obtenir qu'une réponse figée en fréquence et en gain. Le fonctionnement de telles structures ne convient donc, en général, qu'à une seule application, puisque la réponse est fixée une fois pour toute lors de la conception. Cependant, les filtres passifs peuvent être accordés en fréquence à l'aide de diodes varactors. Toutefois, alors que les normes des télécommunications imposent des largeurs de bandes données, les largeurs de bandes passantes résultantes ne sont pas contrôlables de façon simple.

La demande de dispositifs de type "multi-applications", notamment dans le domaine des télécommunications, a donc dirigé les concepteurs de filtres vers des solutions permettant de satisfaire à plusieurs gabarits. Aujourd'hui, il est par exemple courant de trouver des téléphones tri-bande.

Cependant, avec la multiplicité des services et la mise en place des nouvelles normes correspondantes, ces systèmes tri-bande sont déjà trop limitatifs.

Le filtre multinorme des futures générations devra travailler autour d'un nombre supérieur de fréquences avec des gains et des largeurs de bande passante variables. Un exemple de filtre multinorme est illustré sur la figure II-42 :

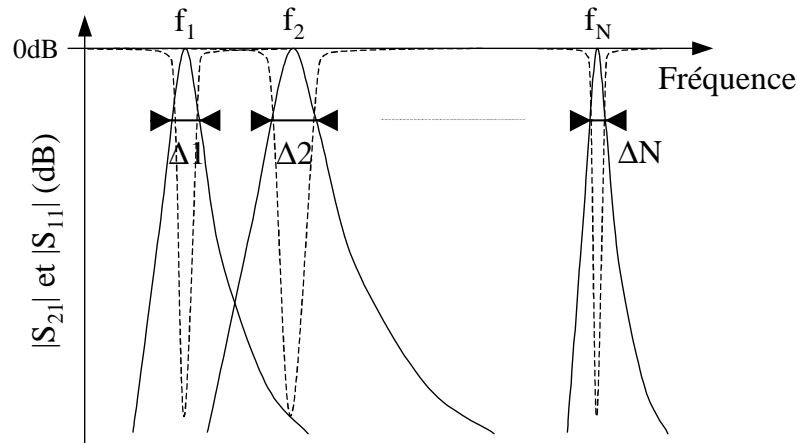


Figure II-42

Exemple de paramètres de réflexion et de transmission d'un filtre multinorme

Ce filtre multinorme peut posséder, selon le cahier des charges, un nombre particulier de fréquences de travail. De plus, les bandes passantes associées à chaque fréquence de travail doivent pouvoir être modifiées de manière à rendre le filtre plus ou moins sélectif. Enfin, il doit être possible de choisir de travailler sur une ou plusieurs bandes de fréquences simultanément.

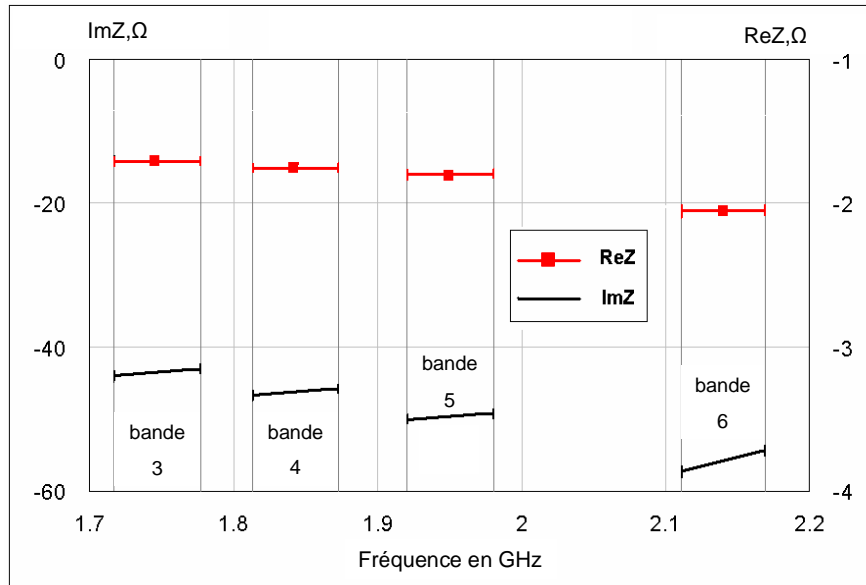
V.2 COMPARAISON DES RESULTATS DE SIMULATION DU PROFIL D'IMPEDANCE ACTIVE

Dans les travaux réalisés par Frédéric BIRON [40], l'objectif était de concevoir un filtre multinorme en associant un filtre passif avec un profil d'impédance active. Les caractéristiques de cette partie active sont données dans le tableau II-5 et la figure II-43.

	F_0 (MHz)	BP (MHz)	Partie imaginaire à f_0 (Ohms)	Rneg	Ord_origine	Pente	Fmin	Fmax
Polar 6	2140	60	-55,8	-2,05	-109,3	25	2110	2170
Polar 5	1950	60	-49,6	-1,85	-78,85	15	1920	1980
Polar 4	1843	60	-46,2	-1,75	-73,8	15	1813	1873
Polar 3	1748	60	-43,4	-1,7	-69,7	15	1718	1778

Tableau II-5

Caractéristiques des parties imaginaire et réelle de l'impédance active à synthétiser

**Figure II-43****Tracé des caractéristiques de l'impédance à synthétiser**

La structure permettant de synthétiser ces différentes impédances est présentée sur la figure II-44. A titre indicatif, les erreurs relatives, concernant les parties imaginaires simulées par rapport aux caractéristiques du tableau II-5, sont inférieures à 2 %.

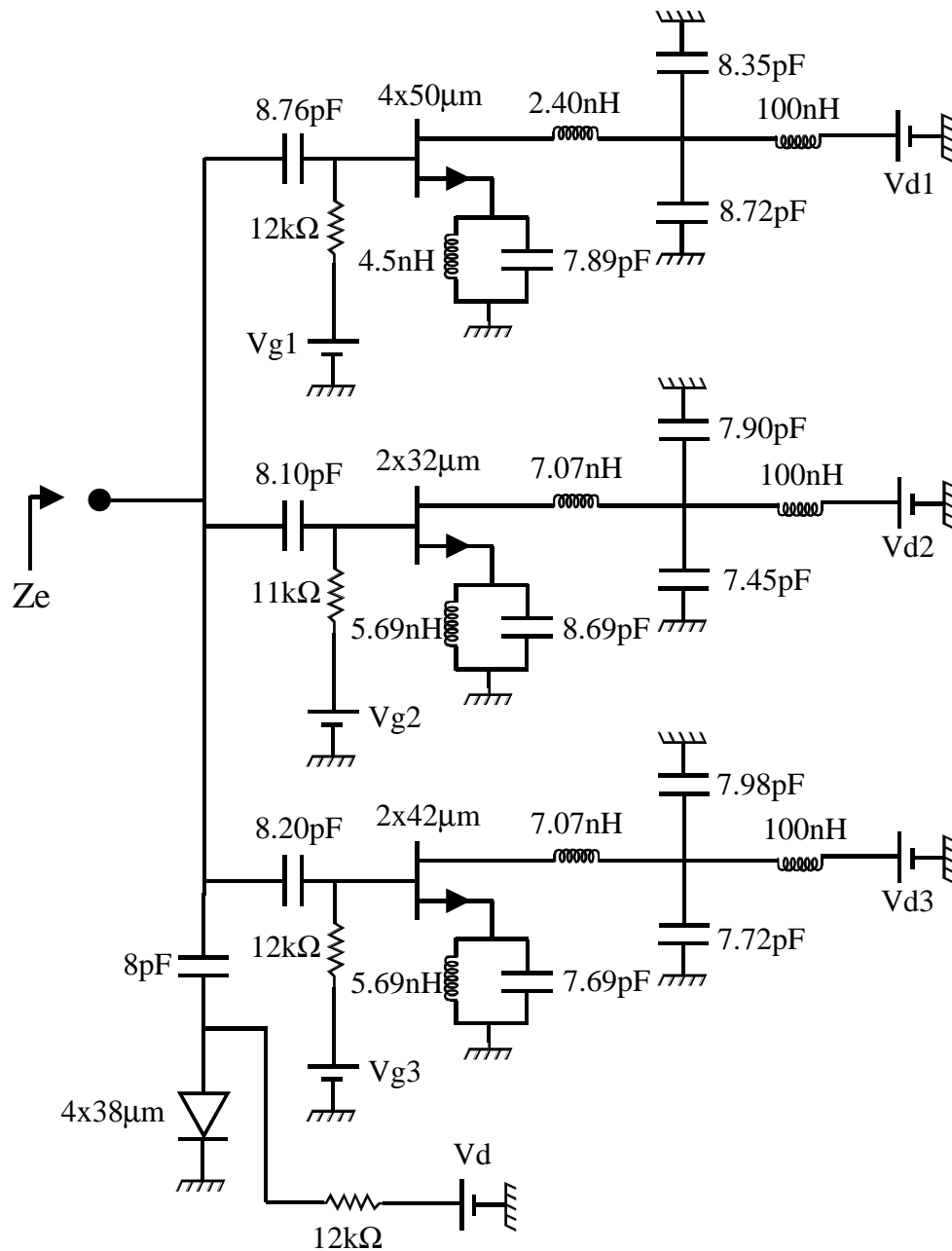


Figure II-44

Circuit à 3 TECs en parallèle permettant de couvrir les bandes 3, 4, 5 et 6

Le but est ici de montrer l'efficacité du logiciel *Locus* grâce auquel les premiers résultats ont été obtenus en permettant de synthétiser ces différents profils d'impédance avec une structure beaucoup plus simple (figure II-45) que précédemment.

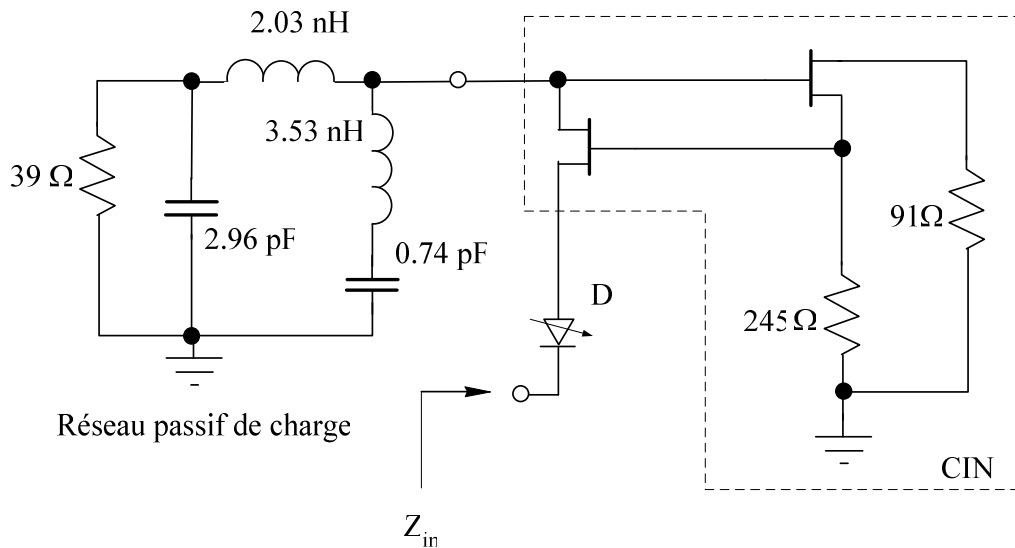


Figure II-45

Structure active permettant de couvrir les bandes 3, 4 et 5

Les résultats de simulation pour ce circuit sont présentés dans les tableaux II-6 et II-7.

Band	f , (MHz)	V_D , (V)	$\text{Re}Z_{in}$, (Ω)	$\text{Im}Z_{in}$, (Ω)	Pente $\text{Im}Z_{in}$, (Ω/GHz)
3	1718	0.15	-1.73	-43.82	13.7
	1748		-1.73	-43.39	
	1778		-1.76	-43	
4	1813	0.31	-1.6	-46.6	12.8
	1843		-1.72	-46.2	
	1873		-1.89	-45.83	
5	1920	0.65	-1.27	-49.98	12.7
	1950		-1.56	-49.59	
	1980		-1.92	-49.22	

Tableau II-6

Résultats de simulation de l'impédance d'entrée du CIN avec la diode varactor

Band	f , (MHz)	Gabarit	Simulation	Gabarit	Simulation	Gabarit	Simulation
		$\text{Re}Z_{in}$, (Ω)	$\text{Re}Z_{in}$, (Ω)	$\text{Im}Z_{in}$, (Ω)	$\text{Im}Z_{in}$, (Ω)	Pente, (Ohm/GHz)	Pente, (Ohm/GHz)
3	1748	-1.7	-1.73	-43.4	-43.39	15	13.7
4	1843	-1.75	-1.72	-46.2	-46.2	15	12.8
5	1950	-1.8	-1.56	-49.6	-49.59	15	12.7

Tableau II-7

Comparaison entre le gabarit et les simulations de l'impédance d'entrée du CIN avec la diode varactor

Ces premiers résultats de simulation effectués à l'aide du logiciel *Locus*, nous permettent de valider notre méthode de conception de profils d'impédances actives.

Bien entendu, des simulations complémentaires (étude de la stabilité électrique, simulation fort signal ...) devront être réalisées afin de confirmer ces résultats.

VI. CONCLUSION

Dans ce chapitre, nous avons présenté la conception de deux filtres actifs et détaillé les résultats obtenus d'un profil d'impédance active destiné à la réalisation d'un filtre multinorme.

Les deux circuits réalisés sont des filtres actifs qui utilisent la méthode du profil d'impédance active permettant de modifier la fréquence centrale et la bande passante, mais également d'augmenter le nombre de pôles.

Ainsi, avec cette méthode, nous avons réalisé un filtre passe bande sélectif ($\Delta f \approx 50$ MHz) autour de 15 GHz dont la réponse mesurée a montrée un gain supérieur à 2 dB. Nous avons aussi obtenu un filtre à deux pôles dont la structure initiale est une structure à un pôle.

L'utilisation du profil d'impédance active a permis de créer artificiellement une fréquence de résonance supplémentaire proche de la fréquence initiale. Ce filtre n'a pas été envoyé à la fabrication et n'a donc pas été mesuré.

Enfin, une étude comparative a été réalisée pour permettre de valider notre méthode de conception de profil d'impédance active. Grâce à l'utilisation du logiciel *Locus*, nous avons pu concevoir un nouveau circuit actif plus simple et dont les premiers résultats de simulation sont encourageants. Il nous paraît donc important d'envisager des simulations complémentaires ainsi qu'une réalisation afin de valider définitivement l'ensemble de la méthode de conception.

CHAPITRE III

Conception d'amplificateurs faible bruit

Utilisation des logiciels Amp, Locus et Region

I. INTRODUCTION

Placé en tête de chaîne, l'amplificateur faible bruit (LNA) joue un rôle prépondérant dans la détermination du bilan global en bruit et du facteur de mérite d'un système de réception.

Le LNA doit répondre à des spécifications de plus en plus complexes notamment vis-à-vis des largeurs de bande mises en jeu. Le développement de nouvelles méthodologies spécifiques de conception devient donc incontournable pour améliorer les performances des systèmes RF et hyperfréquences.

Le tableau III-1 ci-dessous, présente les caractéristiques et les performances de quelques LNA large bande relevés dans la littérature.

Références	Bande (GHz)	NF (dB)	Gain (dB)	Nombres d'étages	Caractéristiques
[46]	[4 - 8]	1,9	10,9	1	
[47]	[8 - 18]	1,9	10	1	
[47]	[8 - 18]	0,29	12	1	19 °K
[48]	[1 - 8]	1,9	13	2	
[49]	[2 - 18]	4,2 – 6,2	13,5 – 18,3	2	
[50]	[0,4 – 8]	1,2	17	2	
[51]	[7 -11]	1,2	21	2	
[52]	[19 – 22]	1,1	38	2	
[53]	[7 - 10]	0,5 – 0,7	31	3	
[54]	[27 – 31]	2,6	20	3	
[55]	[12,7 – 14,8]	1	20	3	
[56]	[38 - 48]	1,8	16,5 ± 1	3	
[57]	[43 -46]	1,9	22	3	
[58]	[28 – 36]	2,3	20	4	

Tableau III-1

Performances et caractéristiques de LNA large bande relevés dans la littérature

Le concepteur d'amplificateur faible bruit doit donc faire face à plusieurs difficultés qui sont un compromis entre les conditions d'adaptation en entrée et en sortie, le niveau de gain et de bruit ainsi que la stabilité électrique et la linéarité. Les solutions sont assez bien connues pour les circuits fonctionnant en bande étroite mais n'ont été que peu étudiées pour des largeurs de bande plus importantes.

Nous proposons dans ce chapitre une nouvelle méthode de conception de LNA.

Dans la première partie, nous présentons cette nouvelle méthode de conception visuelle basée sur le tracé de courbes d'isovaleurs correspondant aux différentes spécifications du circuit et permettant ainsi d'obtenir des régions acceptables (RA).

La deuxième partie est consacrée à l'utilisation de cette méthode dans le but de concevoir trois amplificateurs faible bruit : un LNA large bande entre 2 et 10 GHz, un LNA large bande adapté en entrée et en sortie entre 2 et 8 GHz, et un LNA dans la bande [0,4 – 1,6 GHz].

II. PRESENTATION D'UNE NOUVELLE METHODE DE CONCEPTION D'AMPLIFICATEUR

II.1 INTRODUCTION

Tous nos circuits amplificateurs faible bruit (LNA) ont été conçus à l'aide du logiciel *Amp* [59] [60] combiné au logiciel *Locus* [33] [61]. De plus, l'utilisation d'un troisième logiciel, *Region*, a permis de concevoir des circuits d'adaptation en entrée et en sortie pour diminuer les coefficients de réflexion des dispositifs.

L'utilisation de ces logiciels a fait l'objet d'une collaboration avec l'Université de Tomsk en Sibérie (Tomsk State University of Control System and Radioelectronics) dans le cadre d'un contrat INTAS.

Nous allons maintenant détailler le principe de fonctionnement du logiciel *Amp*.

II.2 AMP : PRINCIPE DE FONCTIONNEMENT

Amp est un logiciel qui permet de concevoir des amplificateurs répondant à un cahier des charges prédéfini.

De même que le logiciel *Locus*, présenté au chapitre I, *Amp* utilise la notion de régions acceptables (RA). Ces dernières correspondent aux lieux d'impédance qu'est autorisé à présenter le circuit passif de charge Z à connecter au circuit global pour que ce dernier réponde aux marges de performances imposées par le cahier des charges.

La conception d'un amplificateur se déroule en plusieurs étapes.

La première étape consiste à choisir la topologie de l'amplificateur. Les transistors utilisés sont modélisés sous forme de fichiers de paramètres S qui peuvent être générés par exemple par ADS ou Libra. Parmi les configurations possibles, on trouve :

- La rétroaction parallèle :

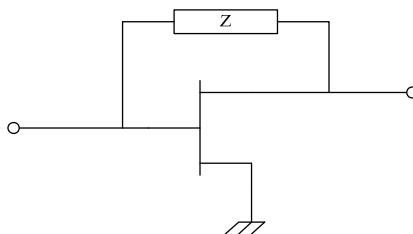


Figure III-1

Structure de LNA en rétroaction parallèle

- La rétroaction série caractérisée par une charge placée entre la source du transistor et la masse

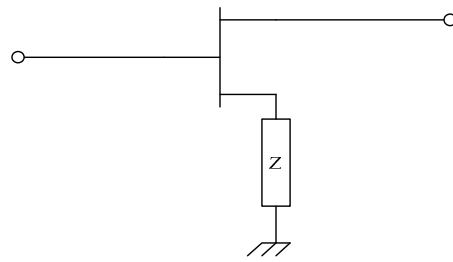


Figure III-2
Structure de LNA en rétroaction série

- La charge placée en série en entrée (a) ou en sortie (b) :

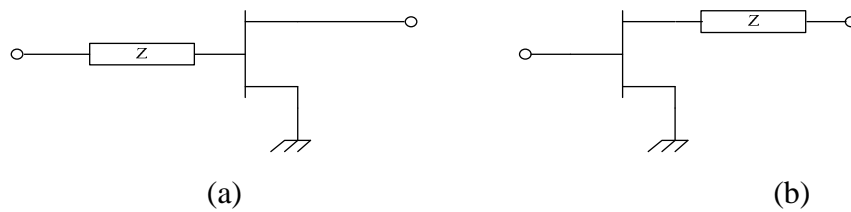


Figure III-3
Structure de LNA en entrée ou sortie série

- La charge placée en parallèle en entrée (a) ou en sortie (b) :

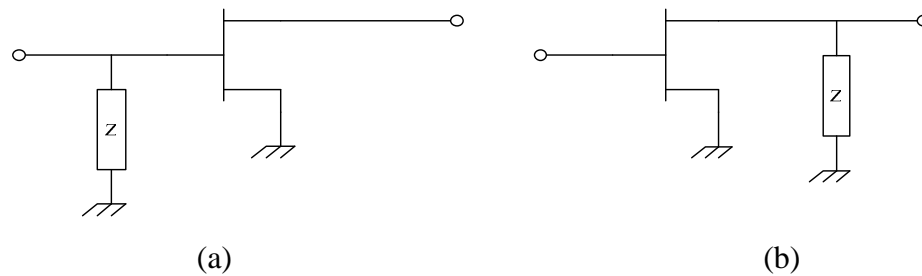


Figure III-3
Structure de LNA en entrée ou sortie parallèle

Lorsque le choix de la structure du LNA est effectué, il faut alors préciser les différentes fréquences pour lesquelles on souhaite obtenir une RA dans la bande de fréquence d'analyse. Ces RA sont le plus souvent observées dans le plan Z mais nous pouvons choisir d'autres plans d'observation tels que le plan admittance (Y) ou bien le plan de coefficient de réflexion (gamma).

De plus, si lors de la conception de l'amplificateur il n'est pas possible de trouver des RA de tailles et de dispositions facilement exploitables, *Amp* nous permet d'ajouter des inductances aux niveaux de la grille, du drain et/ou de la source du transistor afin de modifier la forme et le lieu de ces RA.

La deuxième étape s'apparente ensuite plus à une étape d'investigation qu'à une étape de conception. En effet, dans cette partie qualifiée de "Characteristics Contours", on définit les valeurs qui vont servir à tracer les différentes courbes d'isovaleurs correspondant au gain, au bruit, aux coefficients de réflexion en entrée et en sortie, au paramètre de stabilité K et/ou à la phase du paramètre S_{21} , comme le montre la figure III-4.



Figure III-4

Spécification des courbes d'isovaleurs à visualiser

C'est donc à partir de ces différentes valeurs que l'on peut visualiser s'il existe une région acceptable répondant au cahier des charges à une fréquence donnée.

La figure III-5 montre, par exemple, que pour la fréquence de 3 GHz, il existe une RA (la partie grisée sur la figure) pour laquelle le gain est compris entre 10 et 12 dB, le facteur de bruit est inférieur à 2.5 dB, et les coefficients de réflexion en entrée et en sortie sont inférieurs à -10 dB.

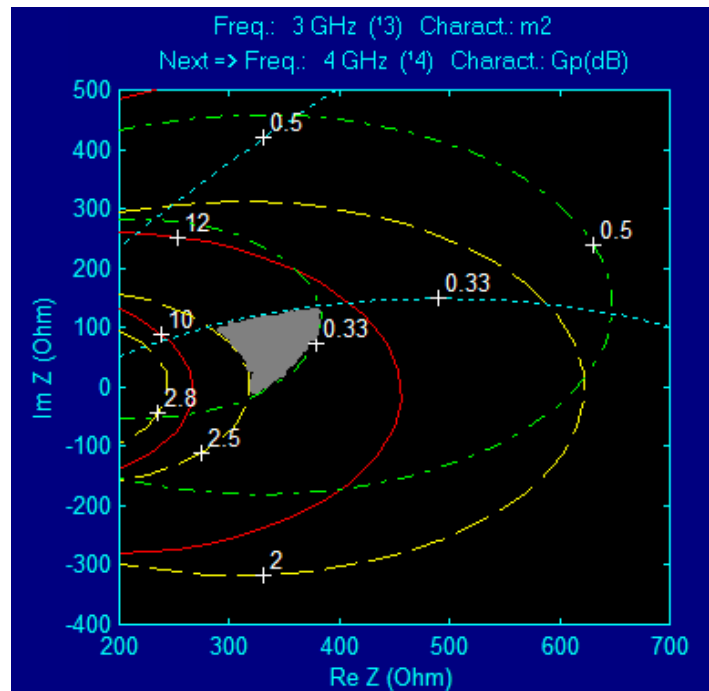


Figure III-5

Exemple de région acceptable

Cette région acceptable correspond à l'impédance complexe (car dans l'exemple ci-dessus nous avons choisi le plan impédance) que doit présenter la charge Z pour obtenir les différents niveaux de gain, de bruit et de coefficients de réflexion, dans les tolérances prédéfinies.

Ainsi, cette procédure est répétée, fréquence par fréquence, avec un pas choisi, dans la bande de travail. Si pour chaque fréquence de la bande d'analyse une région acceptable est trouvée, la dernière étape consiste à construire de manière précise la région commune à toutes les RA.

Cependant, lors de cette étape d'investigation, il est possible de ne trouver aucune RA à une ou plusieurs fréquences. Dans ce cas, il est nécessaire de revenir à la première étape et modifier la configuration du circuit, soit en changeant la structure même de l'amplificateur, soit en ajoutant des inductances aux niveaux de la grille, du drain et/ou de la source du transistor ou bien en modifiant les caractéristiques du transistor (tension de polarisation, nombre de doigts de grille ...) via le fichier de paramètres S qui le décrit.

La troisième et dernière étape consiste alors à entrer un cahier des charges précis dans *Amp* et à tracer les différentes RA correspondantes (figure III-6).

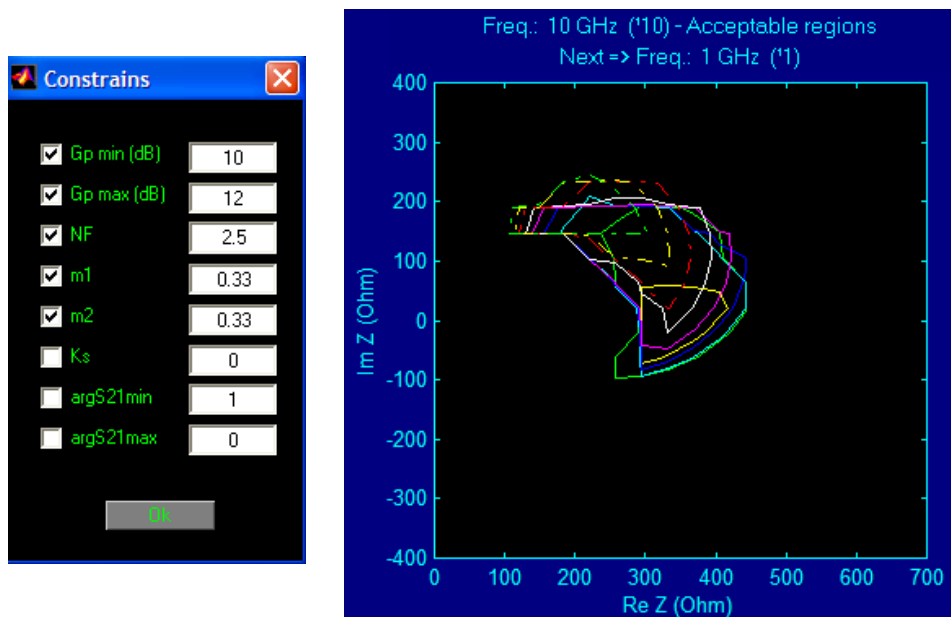


Figure III-6

Tracé des RA correspondant au cahier des charges

Ces RA sont alors extraites du logiciel pour être importées dans *Locus* de manière à synthétiser la charge complexe Z à connecter au transistor.

Locus dispose d'une bibliothèque de réponses dans le plan impédance correspondant à différentes topologies de circuits passifs.

Le principe est de choisir une réponse susceptible de suivre l'allure générale des régions acceptables et de faire varier les éléments du circuit passif correspondant afin que la courbe de *Locus* épouse parfaitement le lieu des RA importées de *Amp*.

Ainsi, si pour chaque fréquence considérée, le point de la courbe de *Locus* appartient à la région acceptable correspondante, alors la charge Z résultante permet de répondre aux tolérances du cahier des charges fixé.

La figure III-7 présente la charge Z synthétisée l'aide du logiciel *Locus*.

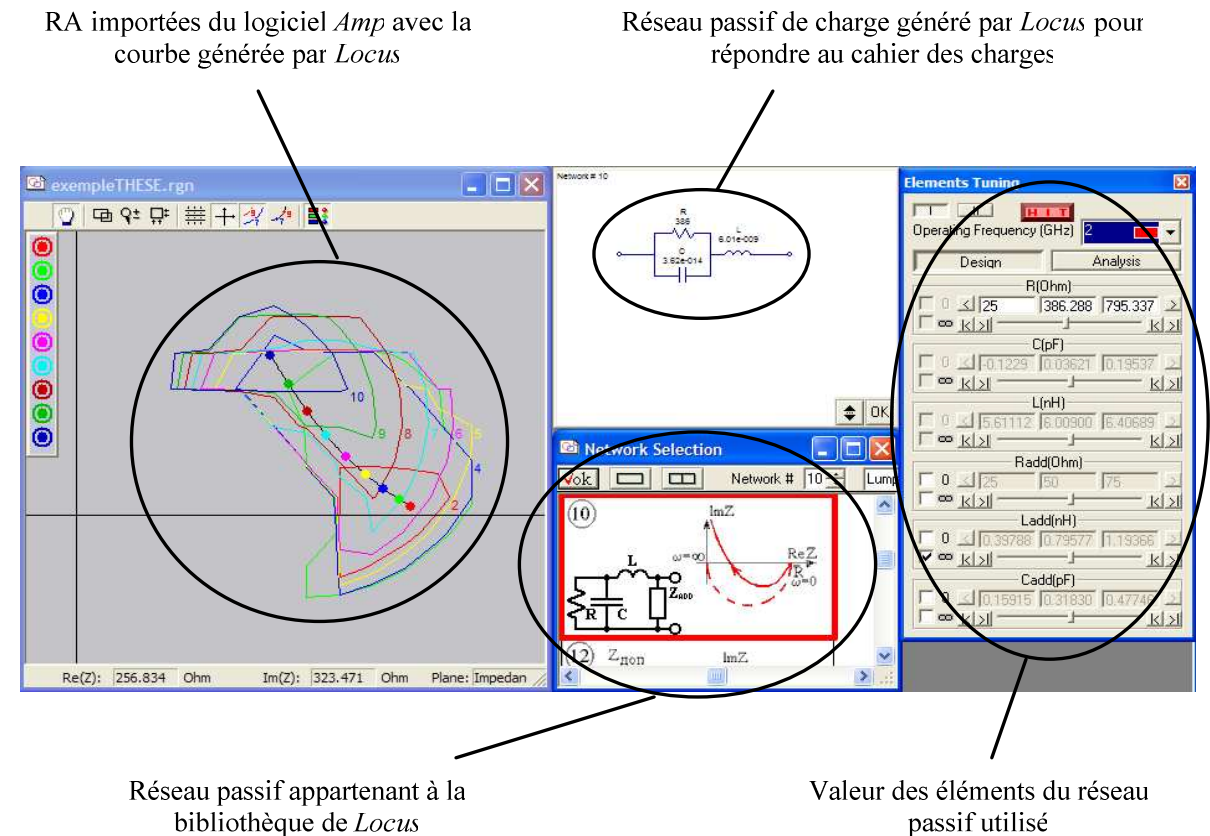


Figure III-7
Réseau passif de charge Z généré par Locus

II.3 RESUME DE LA METHODE DE SYNTHESE

Nous avons présenté dans cette partie une nouvelle méthode de conception d'amplificateur. Elle est fondée sur une représentation visuelle et très intuitive du processus de conception.

Cette méthode nécessite l'utilisation du logiciel *Amp* dont le principe de fonctionnement vient d'être présenté, et permet d'extraire les régions acceptables.

La figure III-8 résume les différentes étapes de la conception.

Permet de charger le fichier S2P et de choisir la configuration de l'amplificateur

Ensemble des RA obtenues

Etape d'investigation :
Visualisation des RA possible

Etape de calcul des RA
à partir du cahier des charges

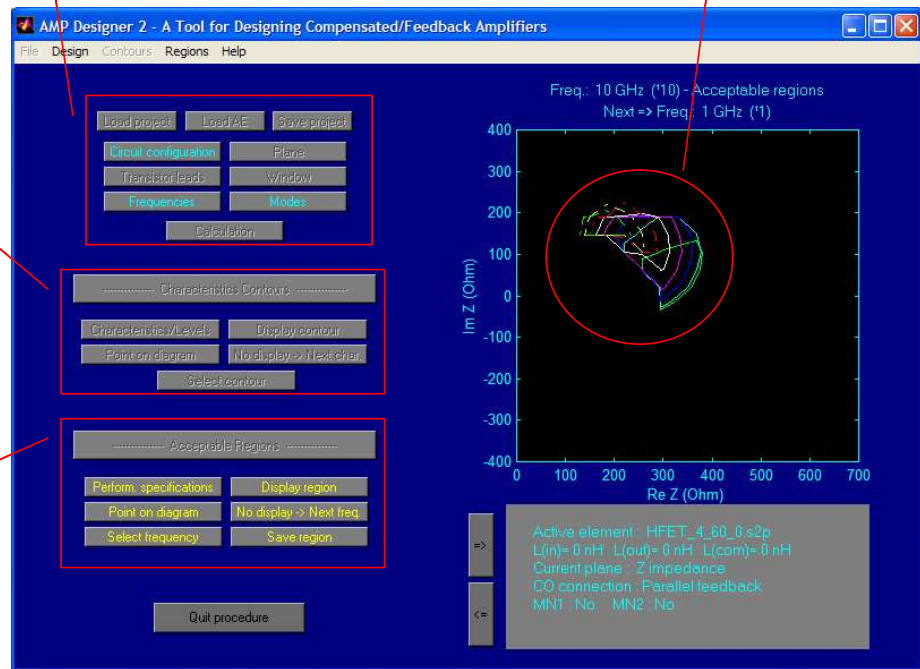


Figure III-8

Etapes de la conception pour synthétiser des régions acceptables à l'aide de Amp

L'utilisation de *Locus*, déjà présenté dans le chapitre I, permet ensuite de synthétiser le réseau passif d'impédance Z . Dans le cas où il est impossible de déterminer un circuit passif correspondant aux régions acceptables, il est cependant nécessaire de reprendre toutes les étapes de la conception.

III. APPLICATION DE LA METHODE A LA CONCEPTION D'AMPLIFICATEURS FAIBLE BRUIT

Les résultats que nous présentons dans cette partie sont des applications directes de la méthode de conception décrite dans la partie précédente pour la réalisation de trois amplificateurs faible bruit : un LNA large bande entre 2 et 10 GHz, un LNA adapté en entrée et en sortie dans la bande [2 - 8 GHz], et un LNA dans la bande [0,4 - 1,6 GHz].

III.1 CONCEPTION D'UN LNA LARGE BANDE ENTRE 2 ET 10 GHz

Nous voulons montrer ici comment, à l'aide des logiciels *Amp* et *Locus*, combinés au logiciel *Libra*, nous avons pu concevoir un amplificateur faible bruit large bande simple et compact présentant un gain supérieur à 11 dB et des coefficients de réflexions en entrée et en sortie inférieurs à -10 dB.

III.1.1 UTILISATION DE AMP ET LOCUS POUR DETERMINER LES REGIONS ACCEPTABLES ET LA TOPOLOGIE DU LNA

Après plusieurs étapes d'investigation destinées à obtenir une région acceptable pour chaque fréquence choisie dans la bande de travail, nous avons choisi une topologie de LNA en rétroaction parallèle. Le logiciel est alors chargé par un fichier de paramètres S généré par *Libra*, correspondant à un transistor de la bibliothèque ED02Ah [34], de taille $4 \times 60 \mu\text{m}$ et polarisé à $V_{gs} = -0,45 \text{ V}$ et à $V_{ds} = 4,5 \text{ V}$.

Cependant, ce transistor ne permet pas d'obtenir des régions acceptables facilement exploitables. C'est pourquoi trois self-inductances idéales de valeurs 0,5 nH, 0,45 nH et 0,12 nH sont respectivement introduites sur la grille, le drain et la source du transistor considéré.

La topologie du LNA est présentée sur la figure III-9.

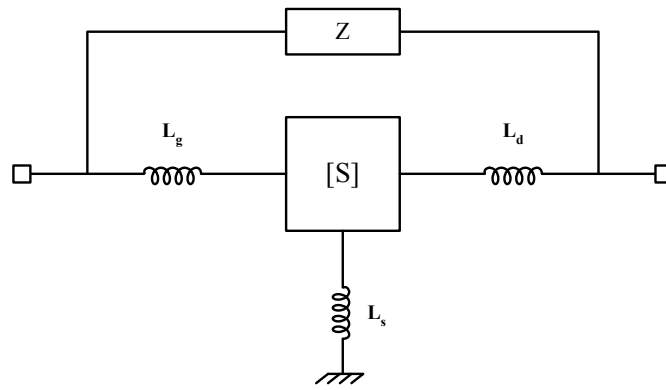


Figure III-9

Topologie du LNA permettant d'obtenir des RA facilement exploitables

Le cahier des charges ainsi que les régions acceptables obtenues pour cette topologie de LNA sont présentés sur la figure III-10.

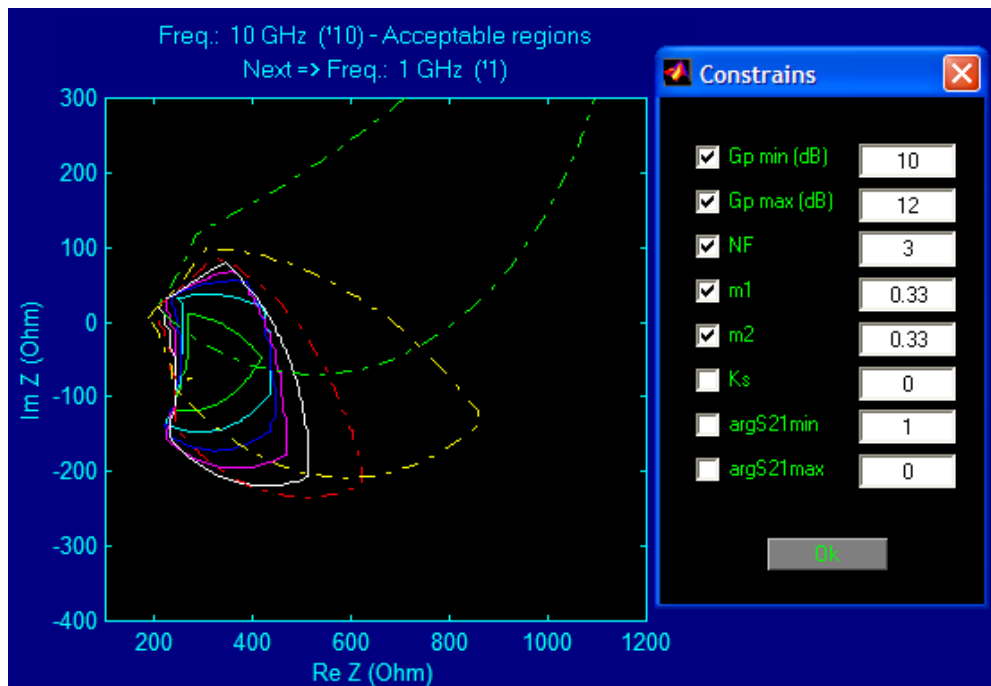


Figure III-10

Régions acceptables obtenues en fonction du cahier des charges

Ces RA sont alors extraites de *Amp* et importées dans *Locus* de manière à synthétiser la charge complexe à placer dans la rétroaction. Les résultats obtenus à l'aide de *Locus* sont présentés sur la figure III-11.

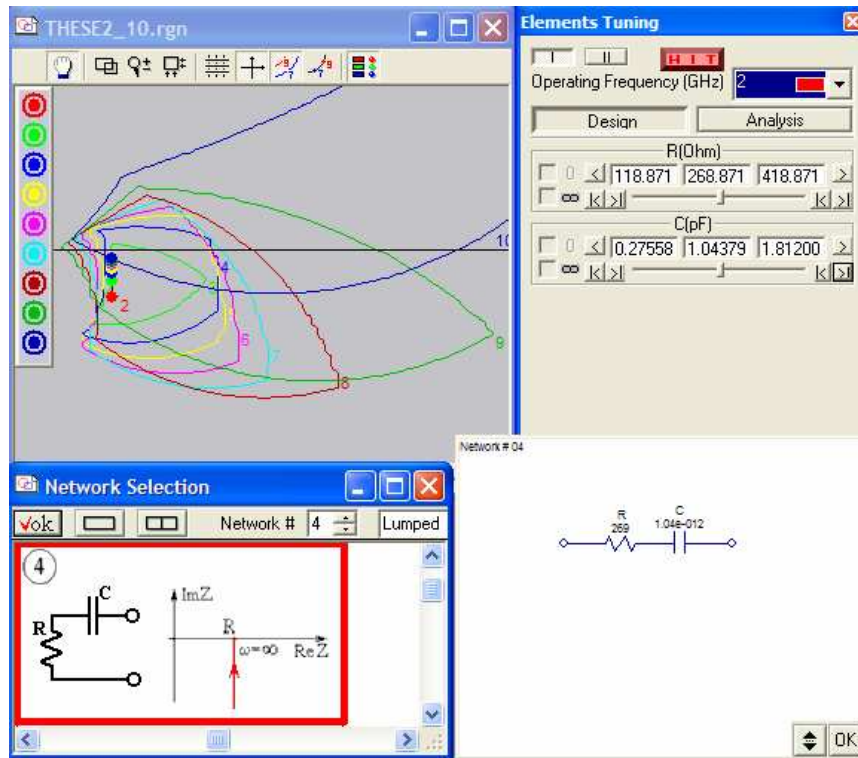


Figure III-11

Régions acceptables et réseau passif de la rétroaction parallèle

La schématique du circuit final (en éléments idéaux) est présentée sur la figure III-12.

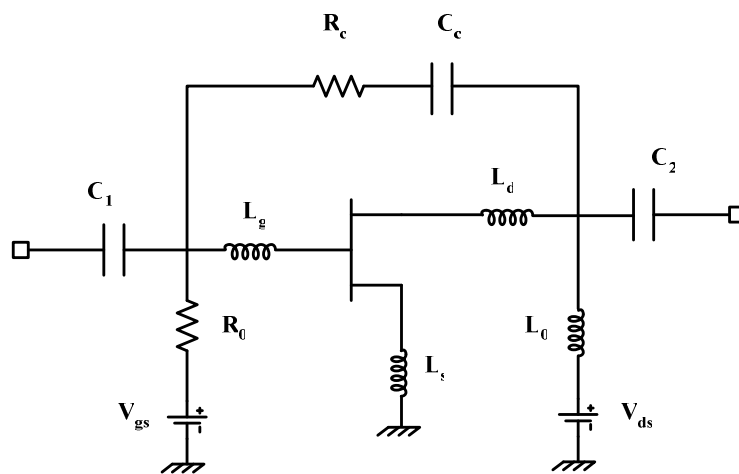


Figure III-12

LNA en éléments idéaux

III.1.2 UTILISATION D'UN LOGICIEL CIRCUIT (LIBRA) POUR FINALISER LA CONCEPTION

La démarche consiste alors à vérifier si les résultats obtenus sont en concordance avec les résultats de simulation du circuit de la figure III-12 que nous obtenons à l'aide de Libra (figure III-13).

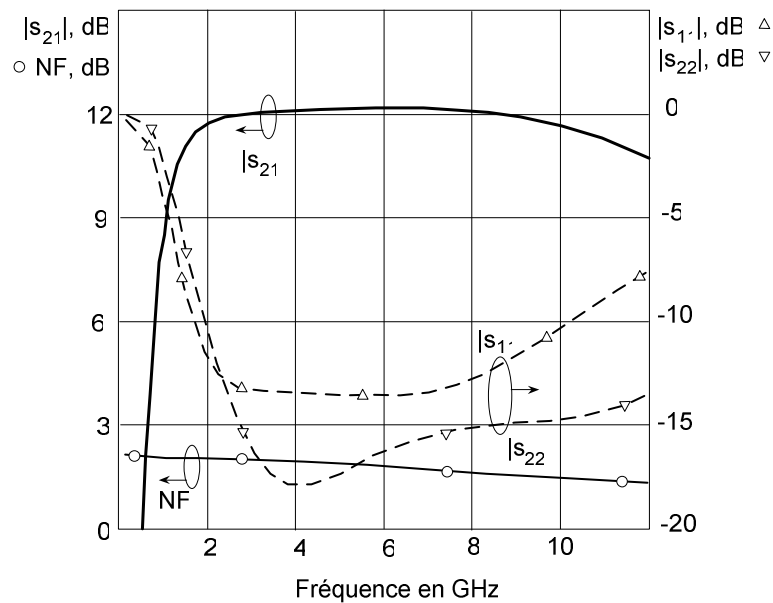


Figure III-13

Résultats de simulation du circuit de la figure III-12

Sur ces résultats de simulation, nous remarquons que les valeurs des différents paramètres correspondent en tout point aux spécifications qui ont été entrées dans le logiciel *Amp* (figure III-10).

Nous devons maintenant remplacer tous les éléments idéaux par des éléments réels de la bibliothèque ED02AH d'OMMIC. A cette étape, il faut noter que plusieurs phases d'optimisation ont été nécessaires pour obtenir des résultats correspondant aux différentes spécifications.

Le dessin de masque, présenté sur la figure III-14, est réalisé en tenant compte des éléments parasites de connexion.

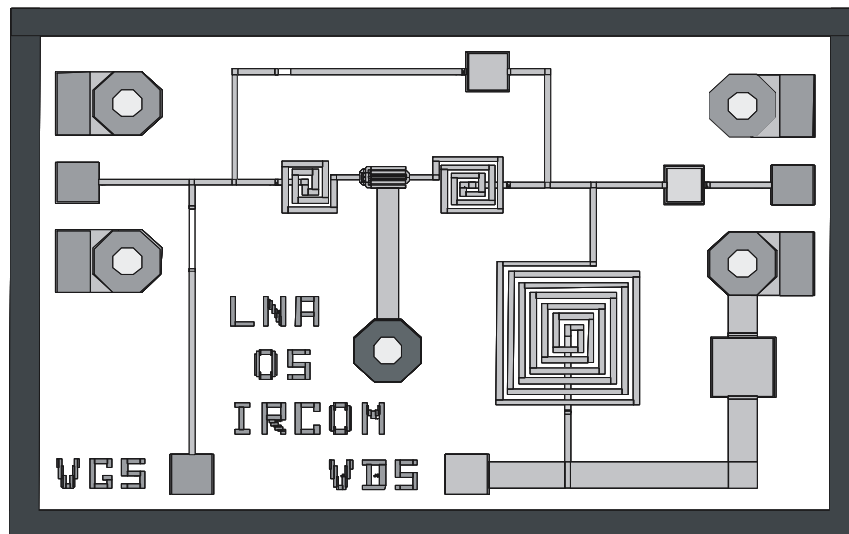


Figure III-14
Masque du LNA

On peut tout de suite noter l'extrême simplicité du circuit résultant pour des performances décrites ci-après qui sont excellentes.

La taille du circuit de la figure III-14 est de $1 \times 1,5 \text{ mm}^2$ (La plus petite taille parmi toutes les tailles disponibles). On peut voir sur le masque que la self-inductance L_s , entre la source et la masse, a été modélisée par une ligne de connexion. De plus, la capacité de découplage en entrée a été volontairement supprimée car sa mise en place nécessitait de rendre plus compact notre circuit de façon délicate. Toutefois, il est possible de bloquer le continu à l'aide de l'analyseur vectoriel au moment de la mesure.

Les résultats de simulation en paramètres S et en bruit sont présentés sur la figure III-15.

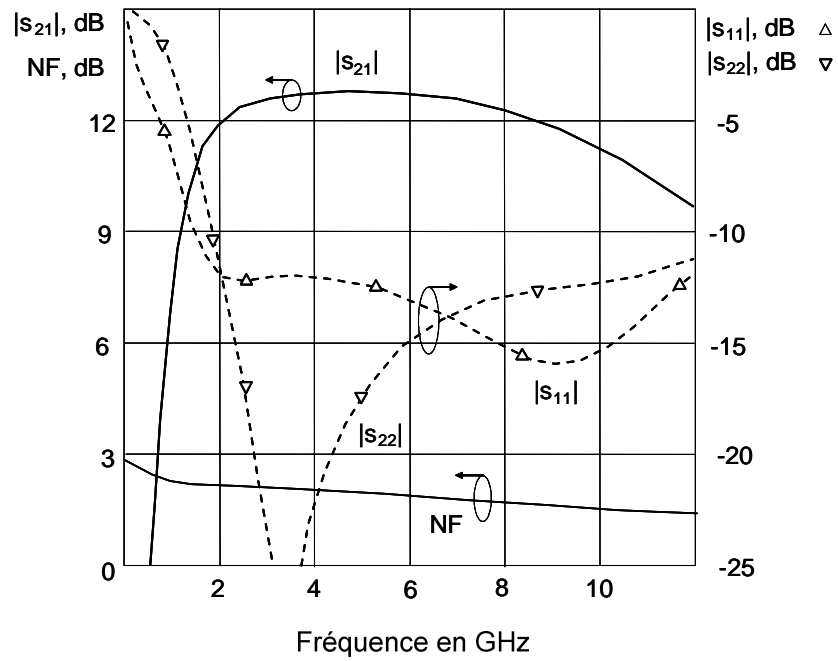


Figure III-15

Résultats de simulation en paramètre S et en bruit du layout de la figure III-14

Les tensions de polarisation appliquées au transistor sont les suivantes :

$$V_{gs} = -0,35 \text{ V}$$

$$V_{ds} = 4,5 \text{ V} \quad \text{avec} \quad I_{ds} = 25 \text{ mA}$$

$$\text{soit} \quad P_{\text{consommée}} = 112,5 \text{ mW}$$

Les caractéristiques simulées de ce LNA sont les suivantes :

$$\Rightarrow \text{bande passante} : [2 - 10] \text{ GHz}$$

$$\Rightarrow 11,3 < |S_{21}| < 12,8 \text{ dB}$$

$$\Rightarrow |S_{11}| < -11,74 \text{ dB}$$

$$|S_{22}| < -11,87 \text{ dB}$$

$$\Rightarrow \text{NF} < 2,15 \text{ dB}$$

De plus, une simulation fort signal a permis de déterminer pour le point de compression à -1 dB une puissance de 8 dBm en sortie.

Etude de sensibilité

Ce circuit a fait l'objet d'une étude de sensibilité aux variations des caractéristiques des éléments qui le constituent. Le pourcentage de variation de ces éléments (self-inductances, capacités, résistances) est de $\pm 5\%$.

Nous présentons ci-dessous les résultats de cette étude pour les éléments qui ont une influence significative sur la réponse du LNA.

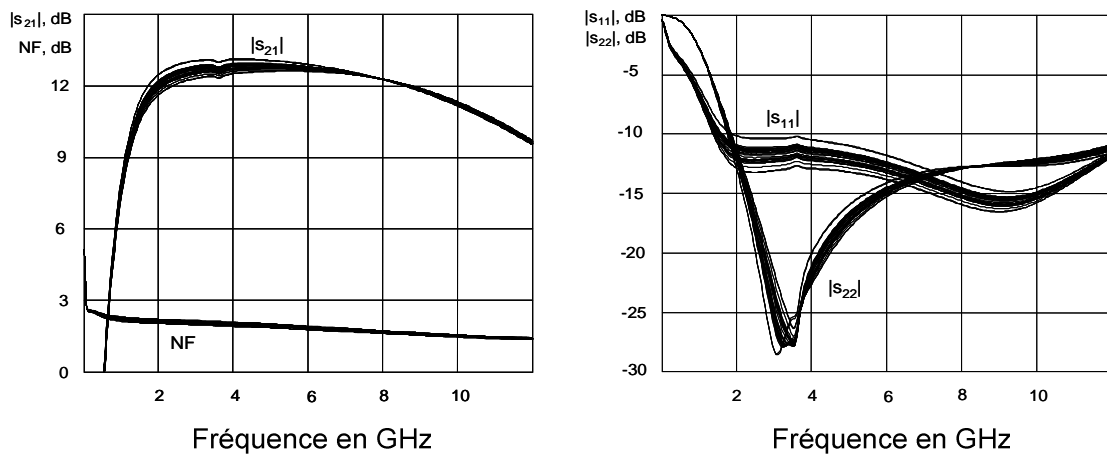


Figure III-16

Influence du circuit de la rétroaction parallèle (R_c et C_c)

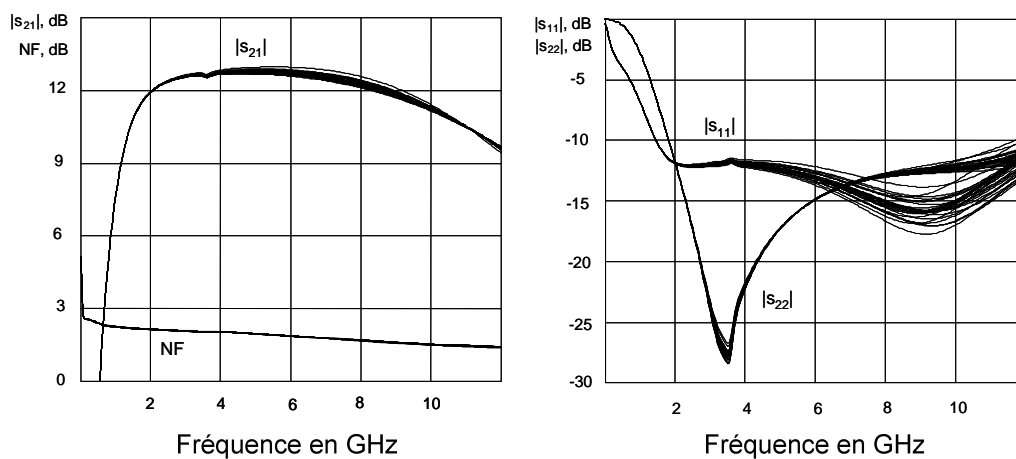


Figure III-17

Influence des inductances L_g et L_d

Aux vu des faibles variations de la réponse du LNA, nous effectuons une étude de sensibilité sur l'ensemble des éléments du circuit. Les résultats sont présentés sur la figure III-18.

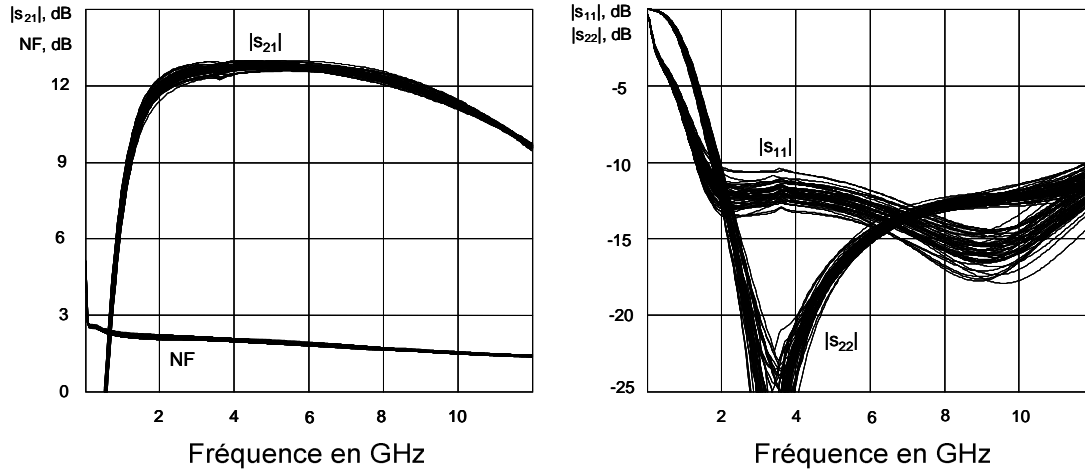


Figure III-18

Influence de tous les éléments du circuit

Ces résultats de simulation montrent que ce circuit est très peu sensible à une variation des éléments. En effet, les coefficients de réflexion sont toujours inférieurs à -10,5 dB et le niveau de bruit ne varie que de $\pm 0,16$ dB par rapport à sa valeur nominale de 2,15 dB. Seules quelques variations peuvent intervenir au niveau du gain de l'amplificateur. Ces variations sont de l'ordre de $\pm 0,8$ dB autour d'une valeur comprise entre 11,3 dB, pour le minimum, et 12,8 dB pour le maximum.

Cependant, ces légères variations peuvent être compensées par l'ajustement des tensions de polarisation du transistor.

Etude de la stabilité électrique

Nous établissons, dans une première étape, le tracé de la NDF pour vérifier la présence d'instabilités intrinsèques au circuit. Le calcul de cette fonction se fait en calculant les "return

ratio" des sources dépendantes du circuit. Dans notre cas, avec un seul transistor dans le circuit, la NDF s'écrit : $NDF = 1 + RR_1$.

où RR_1 est le "return ratio" de la seule source dépendante du circuit.

Les résultats de cette étude sont présentés sur la figure III-19.

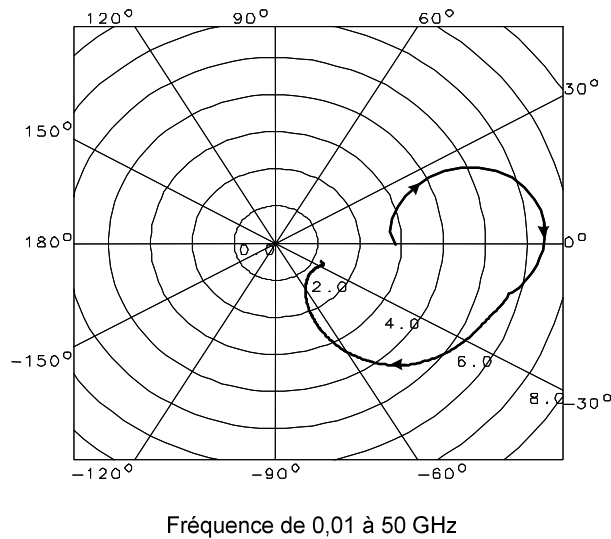


Figure III-19
Tracé de la NDF

La stabilité intrinsèque du circuit est ici assurée car le tracé de la fonction NDF n'entoure pas l'origine du plan complexe dans le sens horaire.

La deuxième étape de l'analyse consiste à s'assurer de la stabilité électrique vis-à-vis des impédances de fermeture du circuit. Pour cela, nous étudions les paramètres K et B vus au chapitre II.

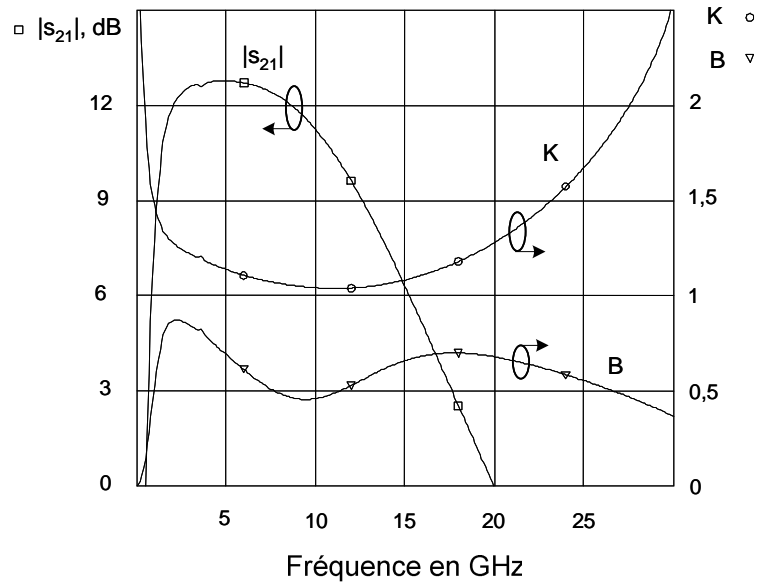


Figure III-20

Simulation des paramètres K et B

Les conditions $K > 1$ et $B > 0$ sont satisfaites pour toutes les fréquences. Notre circuit est donc inconditionnellement stable.

III.1.3 MESURE DU CIRCUIT

Lors des mesures, le gain simulé est obtenu pour les valeurs de tension de polarisation $V_{gs} = -0,3$ V et $V_{ds} = 4,5$ V du transistor, identiques à celles prévues en simulation.

La comparaison entre mesures et simulations est présentée sur la figure III-21.

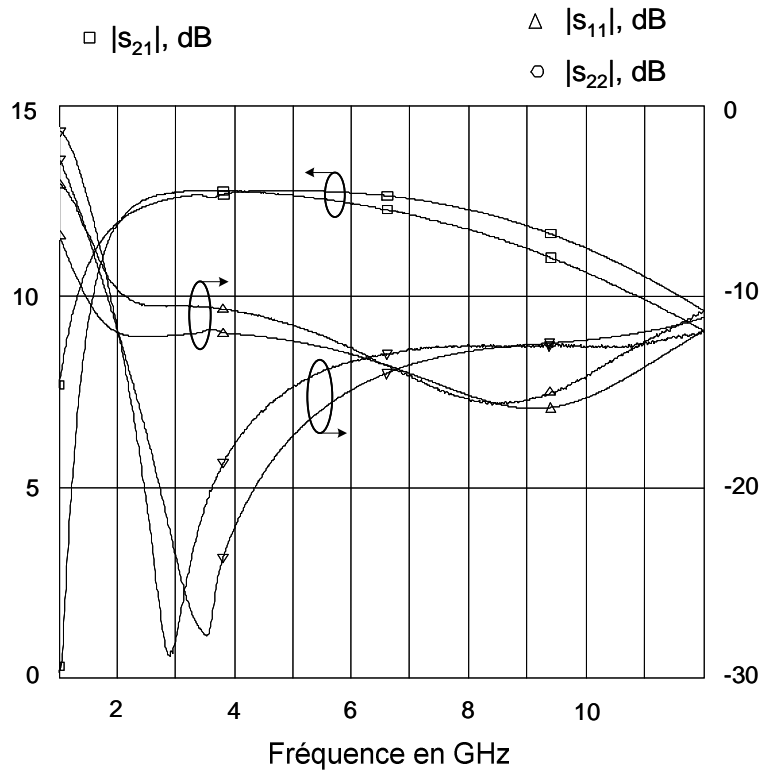


Figure III-21
Comparaison mesures (pointillés) – simulations (traits pleins)

Cette comparaison permet d'observer une très bonne concordance entre mesures et simulations.

Dans les mêmes conditions, le point de compression à -1 dB est de l'ordre de 5 dBm en sortie et la puissance consommée de 121,5 mW.

Le tableau III-1 résume les niveaux de performance aux différentes étapes de la conception.

LNA	G , dB	ΔG , dB	NF , dB	$ S_{11} $, dB	$ S_{22} $, dB
Éléments idéaux	11.94	0.26	2.03	-10.32	-10.46
MMIC (simulations)	12.02	0.75	2.15	-11.87	-11.74
MMIC (mesures)	11.72	1.06	–	-9.61	-11.73

Tableau III-1
Niveaux de performance du LNA

L'analyse de ces résultats permet de valider la nouvelle méthode de conception que nous avons utilisée et qui allie des étapes de conception visuelle avec *Amp* et *Locus*, à des étapes de simulation et d'optimisation classiques avec des logiciels circuit, comme *Libra* ou *Ads*.

III.2 CONCEPTION D'UN LNA LARGE BANDE ENTRE 2 ET 8 GHZ ADAPTE EN ENTREE ET EN SORTIE

Dans cette partie, nous utilisons à nouveau les logiciels *Amp* et *Locus* ainsi que le logiciel *Region* [62] [63] pour la conception d'un LNA large bande entre 2 et 8 GHz adapté en entrée et en sortie.

III.2.1 UTILISATION DE AMP ET LOCUS POUR DETERMINER LES REGIONS ACCEPTABLES ET LA TOPOLOGIE DU LNA

Nous reprenons ici les travaux présentés dans le paragraphe précédent, pour lesquels nous souhaitons améliorer les niveaux d'adaptation en entrée et en sortie de l'amplificateur.

C'est lors du choix de la topologie du LNA que *Amp* permet d'introduire l'utilisation des circuits d'adaptation (figure III-22).

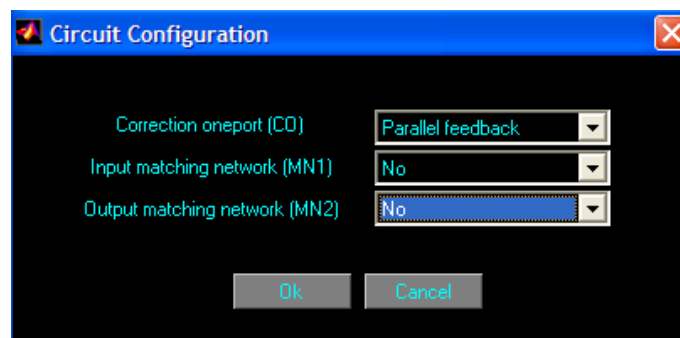


Figure III-22

Choix des circuits d'adaptation en entrée et/ou en sortie

Ainsi, après plusieurs simulations, nous choisissons une topologie de LNA en rétroaction parallèle avec des circuits d'adaptations en entrée et en sortie. Le logiciel est alors chargé par un fichier de paramètres S généré par Libra, correspondant à un transistor de la bibliothèque ED02Ah [34], de taille $4 \times 60 \mu\text{m}$ et polarisé à $V_{gs} = -0,4 \text{ V}$ et à $V_{ds} = 4 \text{ V}$.

Cependant, ce transistor ne permet pas d'obtenir des régions acceptables facilement exploitables. C'est pourquoi trois self-inductances idéales de valeurs $0,5 \text{ nH}$, $0,7 \text{ nH}$ et $0,13 \text{ nH}$ sont respectivement introduites sur la grille, le drain et la source du transistor utilisé.

La topologie du LNA est présentée sur la figure III-23.

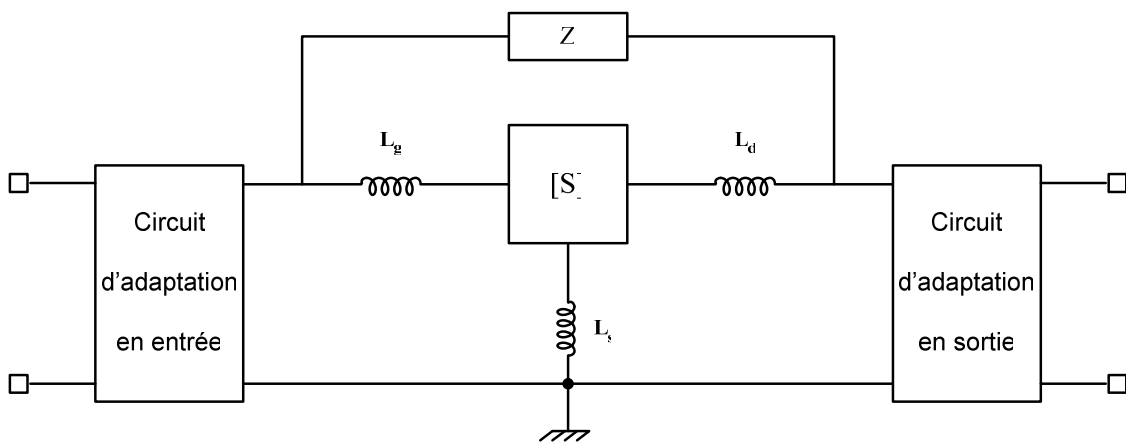


Figure III-23
Topologie du LNA

Le cahier des charges ainsi que les régions acceptables obtenues pour cette topologie de LNA sont présentés sur la figure III-24.



Figure III-24

Régions acceptables obtenues en fonction du cahier des charges

Ces RA sont alors extraites de manière à synthétiser la charge complexe à placer dans la rétroaction à l'aide de *Locus*. La figure III-25 montre les résultats obtenus.

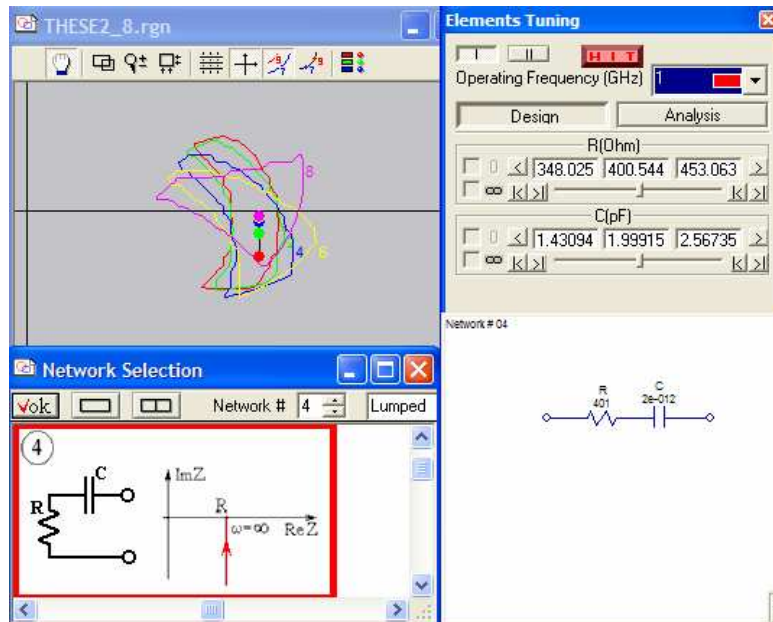


Figure III-25

Régions acceptables et réseau passif de la rétroaction parallèle

La schématique, très simple, du circuit final (en éléments idéaux) est présentée sur la figure III-26.

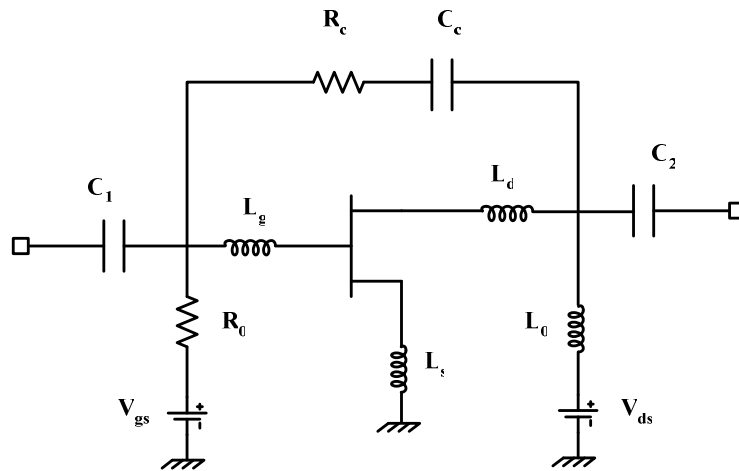


Figure III-26
LNA en éléments idéaux

A l'étape suivante, la conception des circuits d'adaptation en entrée et en sortie est effectuée à l'aide du logiciel *Region*.

III.2.2 UTILISATION DE REGION ET LOCUS POUR CONSTRUIRE LES CIRCUITS D'ADAPTATION

De la même façon que le fait le logiciel *Amp*, *Region* permet d'extraire des régions acceptables. Avec le fichier de paramètres S de la structure à adapter et un fichier texte correspondant au cahier des charges, *Region* peut calculer les RA pour chaque fréquence spécifiée en rapport avec les coefficients de réflexion en entrée et en sortie du dispositif.

L'utilisation de *Locus* permet alors à l'étape suivante, de concevoir les réseaux passifs d'adaptation correspondant aux RA.

Cette phase de conception nécessite plusieurs étapes dont une description complète est faite en annexe 4.

Les circuits d'adaptation en entrée et en sortie, conçus à l'aide des logiciels *Region* et *Locus*, sont alors connectés au LNA pour aboutir au circuit présenté sur la figure III-27.

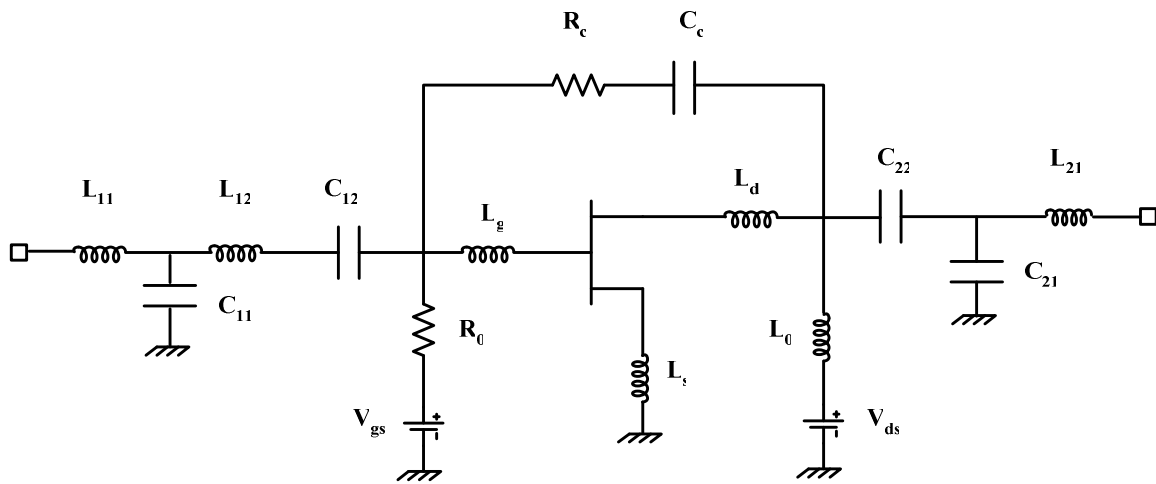


Figure III-27

Schématique du LNA avec circuits d'adaptation en entrée et en sortie

III.2.3 UTILISATION D'UN LOGICIEL CIRCUIT (LIBRA) POUR FINALISER LA CONCEPTION

Nous devons maintenant vérifier si les résultats obtenus sont en concordance avec les résultats de simulation du circuit de la figure III-27 que nous obtenons à l'aide de Libra (figure III-28).

Les résultats que nous obtenons sur la figure III-28 correspondent à une simulation avec des éléments idéaux.

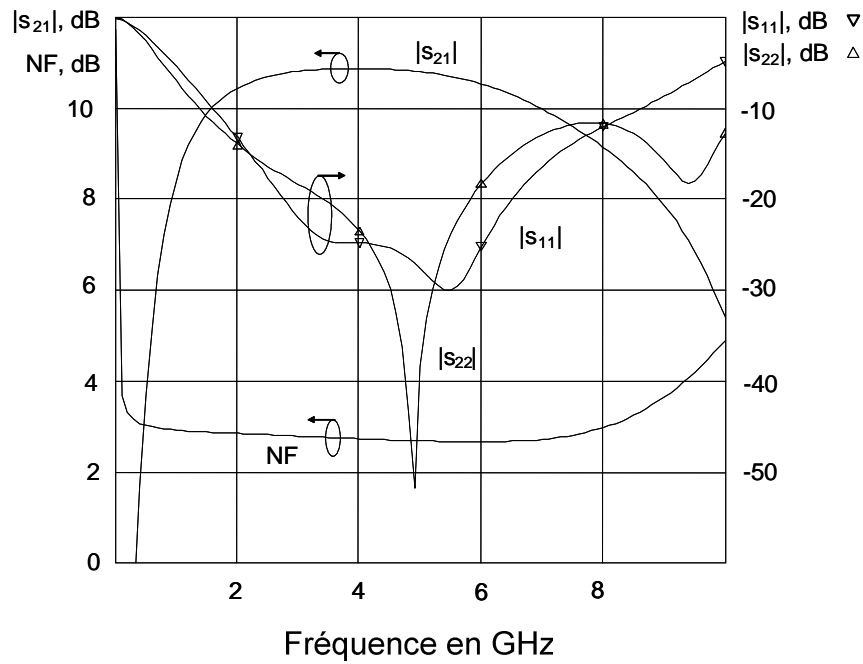


Figure III-28

Résultats de simulation du circuit de la figure III-9

L'analyse de ces résultats de simulation montre que les valeurs des différents paramètres sont proches du cahier des charges qui a été défini dans le logiciel *Region* (annexe 4).

Nous remplaçons maintenant tous les éléments idéaux par des éléments réels de la bibliothèque ED02AH d'OMMIC. Plusieurs phases d'optimisation ont été nécessaires pour obtenir des résultats correspondant aux différentes spécifications.

Le dessin du masque du circuit final est présenté sur la figure III-29.

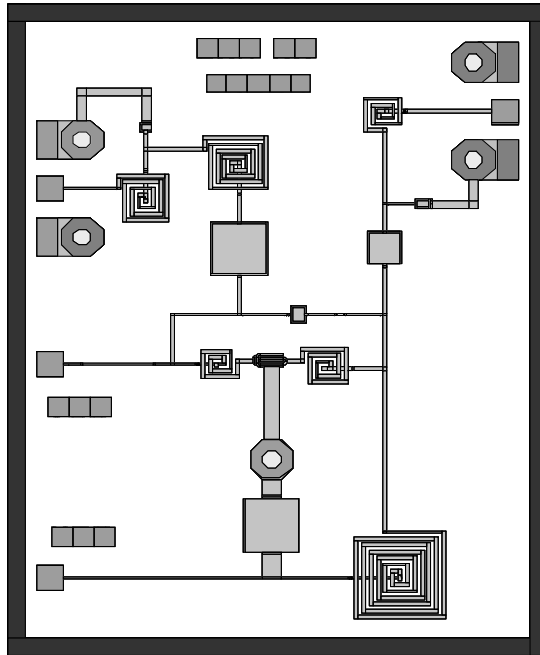


Figure III-29
Dessin de masque du LNA

Ce circuit est réalisé sur une puce de dimension $2 \times 1,5 \text{ mm}^2$ et est simulé en tenant compte de tous les éléments parasites. Les résultats de simulation sont présentés sur la figure III-30 ci-dessous.

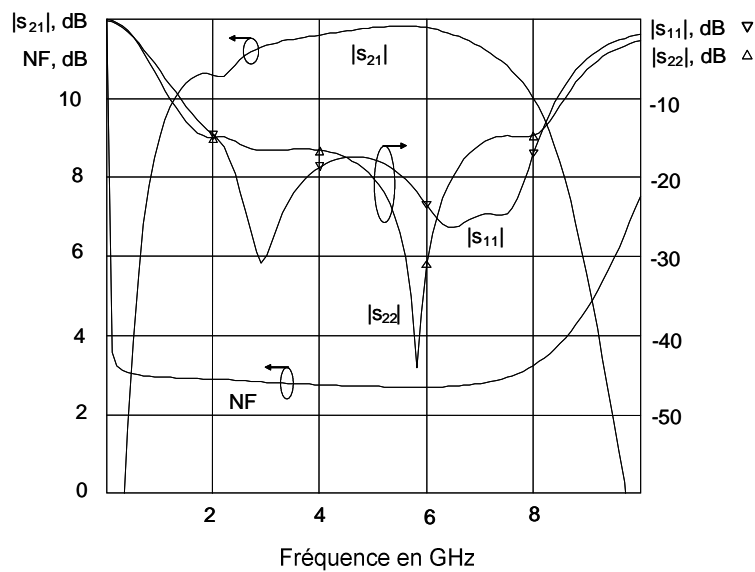


Figure III-30
Résultats de simulation en paramètre S et en bruit du layout de la figure III-29

Les tensions de polarisation appliquées au transistor sont les suivantes :

$$V_{gs} = -0,4 \text{ V}$$

$$V_{ds} = 4 \text{ V} \quad \text{avec} \quad I_{ds} = 21 \text{ mA}$$

$$\text{soit} \quad P_{\text{consommée}} = 84 \text{ mW}$$

Les caractéristiques simulées de ce LNA sont les suivantes :

- bande passante : [2 – 8 GHz]
- $10,4 < |S_{21}| < 11,8 \text{ dB}$
- $|S_{11}| < -14,6 \text{ dB}$
- $|S_{22}| < -14,8 \text{ dB}$
- $\text{NF} < 3,2 \text{ dB}$

De plus, une simulation fort signal a permis de déterminer pour le point de compression à -1 dB une puissance de 9 dBm en sortie.

Etude de sensibilité

Comme précédemment, ce circuit a fait l'objet d'une étude de sensibilité. Le pourcentage de variation des éléments est le même pour le LNA sans circuit d'adaptation.

Nous présentons ci-dessous les résultats de cette étude pour les éléments qui ont une influence significative sur la réponse du LNA.

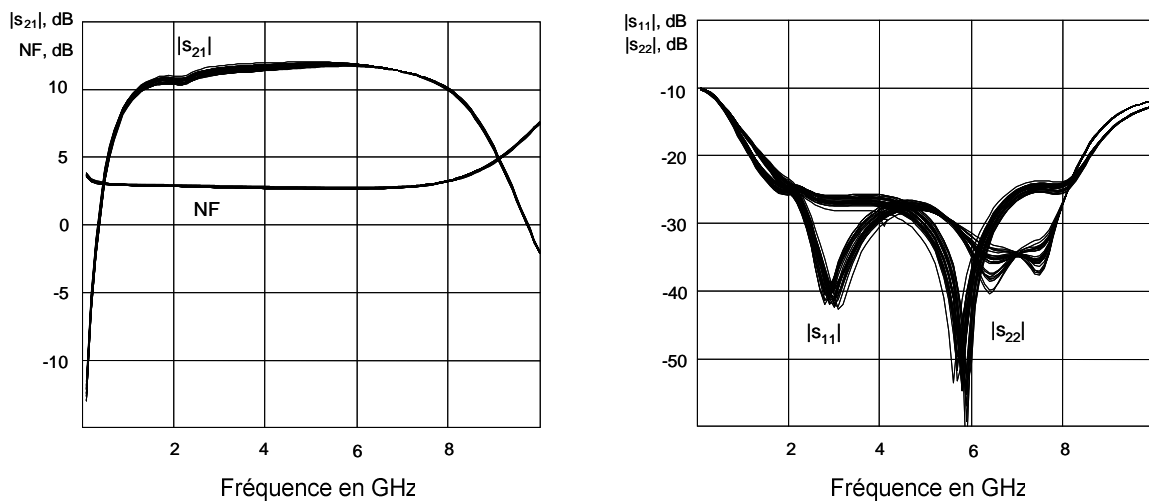


Figure III-31

Sensibilités au circuit de la rétroaction parallèle (R_c et C_c)

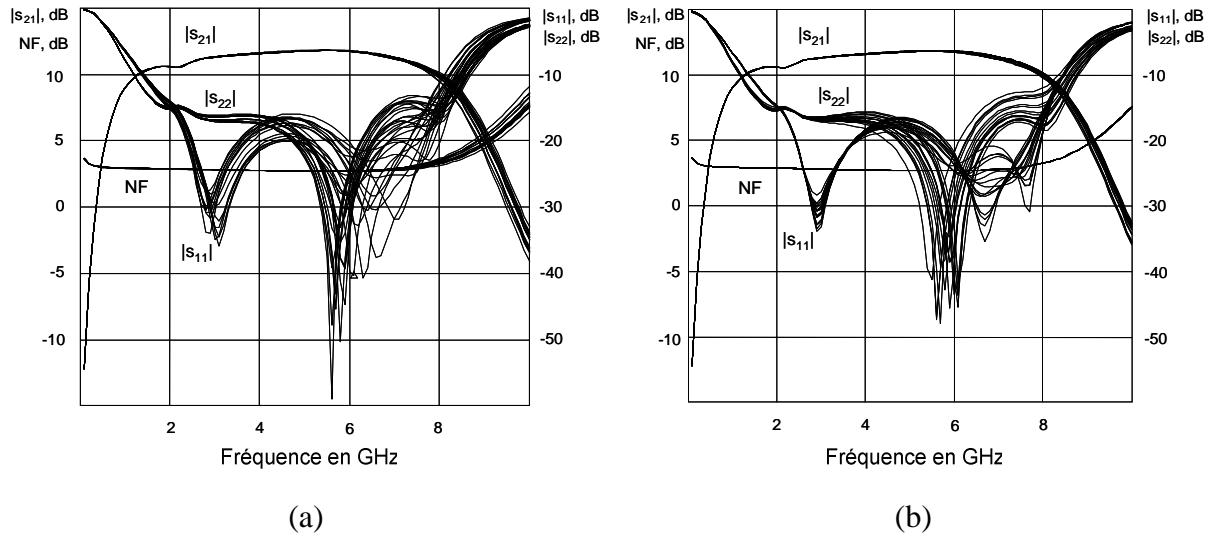


Figure III-32
Sensibilités aux circuits d'adaptation en entrée (a) et en sortie (b)

Aux vu de ces faibles variations, nous effectuons une étude de sensibilité sur tous les éléments du circuit. Les résultats sont présentés sur la figure III-33.

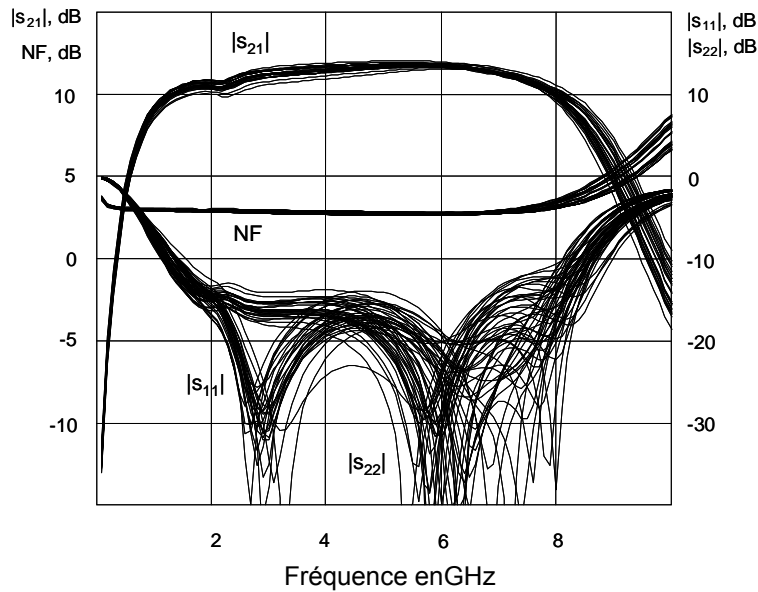


Figure III-33
Sensibilités à l'ensemble des les éléments du circuit

Ces résultats de simulation montrent que ce circuit est peu sensible à une variation des éléments. Cependant, les coefficients de réflexion peuvent augmenter d'environ 3 dB, tout en

restant inférieurs à -11,3 dB. Le niveau de bruit varie de $\pm 0,15$ dB par rapport à sa valeur maximale de 3,2 dB.

Néanmoins, ces légères variations peuvent être corrigées par l'ajustement des tensions de polarisation du transistor.

Etude de la stabilité électrique

De même que précédemment (cf. II.1.2), nous étudions tout d'abord la stabilité électrique intrinsèque du circuit avec la méthode de la NDF (Normalized Determinant Function). Les résultats de cette étude sont présentés sur la figure III-34.

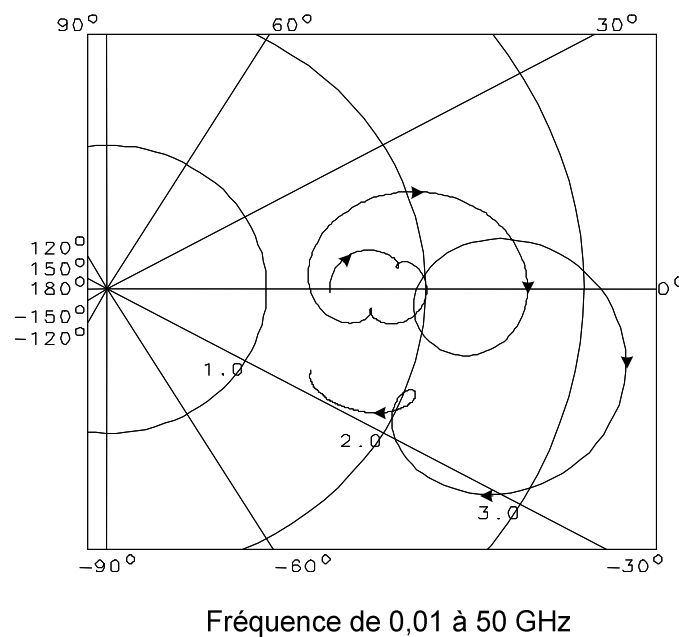


Figure III-34
Tracé de la fonction NDF

La stabilité intrinsèque du circuit est ici assurée car le tracé de la fonction NDF n'entoure pas l'origine du plan complexe dans le sens horaire.

La deuxième étape de l'analyse consiste à s'assurer de la stabilité électrique vis-à-vis des impédances de fermeture du circuit. Pour cela, nous étudions les paramètres K et B (figure III-35).

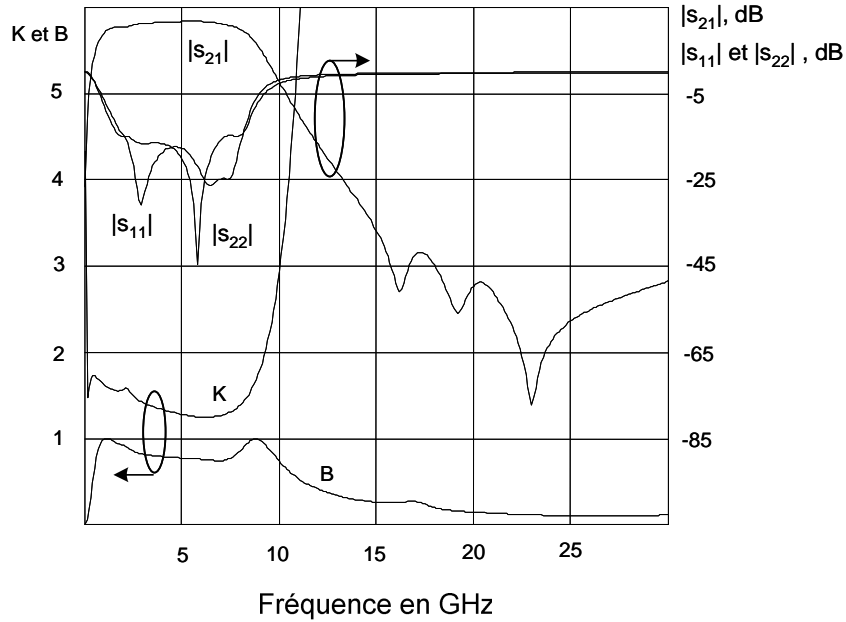


Figure III-35
Simulation des paramètres K et B

Les conditions $K > 1$ et $B > 0$ sont satisfaites pour toutes les fréquences. Notre circuit est donc inconditionnellement stable.

Le tableau III-2 résume les niveaux de performance aux différentes étapes de la conception.

LNA	G , dB	ΔG , dB	NF , dB	$ S_{11} $, dB	$ S_{22} $, dB
Éléments idéaux	10,25	0,55	2,9	-12,1	-12
MMIC (simulations)	11,1	0,7	3,2	-14,2	-14,1

Tableau III-2
Niveaux de performance du LNA

L'analyse de ces résultats permet donc de valider la méthode qui permet de concevoir des circuits d'adaptation en entrée et en sortie avec le logiciel *Region*.

III.3 CONCEPTION D'UN LNA DANS LA BANDE [0,4 – 1,6] GHz

Cette partie concerne l'étude, actuellement en cours de développement, d'un LNA dans la bande [0,4 -1,6 GHz].

Le but est ici de concevoir un amplificateur faible bruit de taille réduite dont le niveau de bruit maximal doit être de 1 dB, avec des coefficients de réflexion inférieurs à -10 dB.

III.3.1 UTILISATION DE AMP ET LOCUS POUR DETERMINER LES REGIONS ACCEPTABLES ET LA TOPOLOGIE DU LNA

Dans un premier temps, nous utilisons la même méthode de conception que pour les deux LNA précédemment étudiés.

Nous choisissons donc de n'utiliser qu'un seul transistor ayant fait l'objet de plusieurs optimisations afin de présenter un facteur de bruit minimal.

Ainsi, après quelques étapes d'investigations ayant permis d'obtenir une région acceptable pour chaque de fréquence prise dans la bande de travail, nous choisissons une topologie de LNA en rétroaction parallèle. *Amp* est donc chargé par un fichier de paramètres S généré par *Libra*, correspondant à un transistor de la bibliothèque ED02Ah [34], de taille $10 \times 80 \mu\text{m}$ et polarisé à $V_{gs} = -0,5 \text{ V}$ et à $V_{ds} = 3,5 \text{ V}$.

La topologie du LNA est présentée sur la figure III-36.

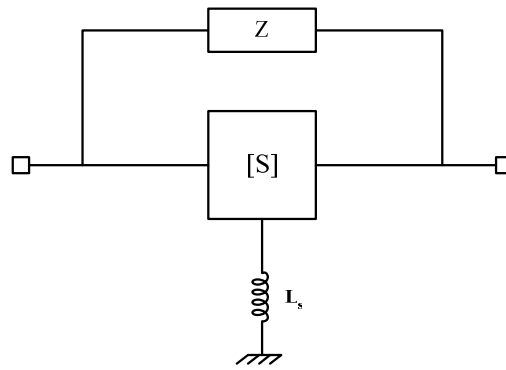


Figure III-36
Topologie du LNA

Le cahier des charges, ainsi que les régions acceptables obtenues pour cette topologie de LNA, sont présentés sur la figure III-37.

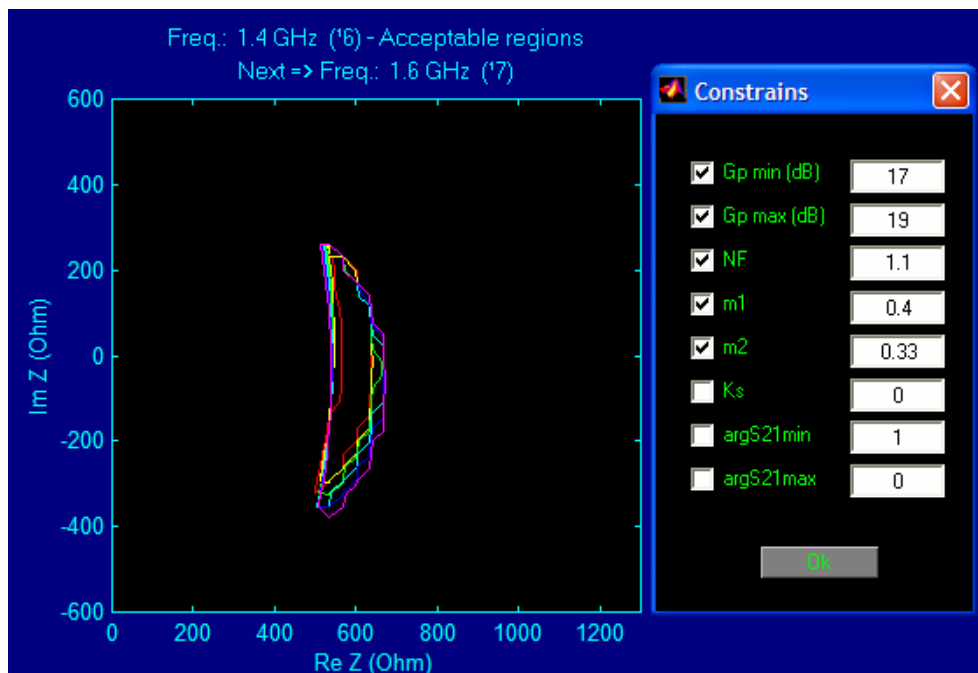


Figure III-37
Régions acceptables obtenues en fonction du cahier des charges

Ces RA sont alors extraites de *Amp* et importées dans *Locus* pour synthétiser la charge complexe à placer en rétroaction du transistor.

La schématique du circuit final (en éléments idéaux) est présentée sur la figure III-38.

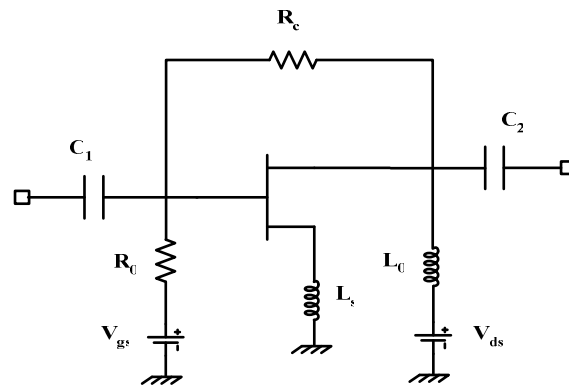


Figure III-38
LNA en éléments idéaux

III.3.2 UTILISATION D'UN LOGICIEL CIRCUIT (LIBRA) POUR FINALISER LA CONCEPTION

Nous vérifions maintenant si les résultats obtenus avec *Amp* et *Locus* sont en concordance avec les résultats de simulation obtenus à l'aide de *Libra* (figure III-39).

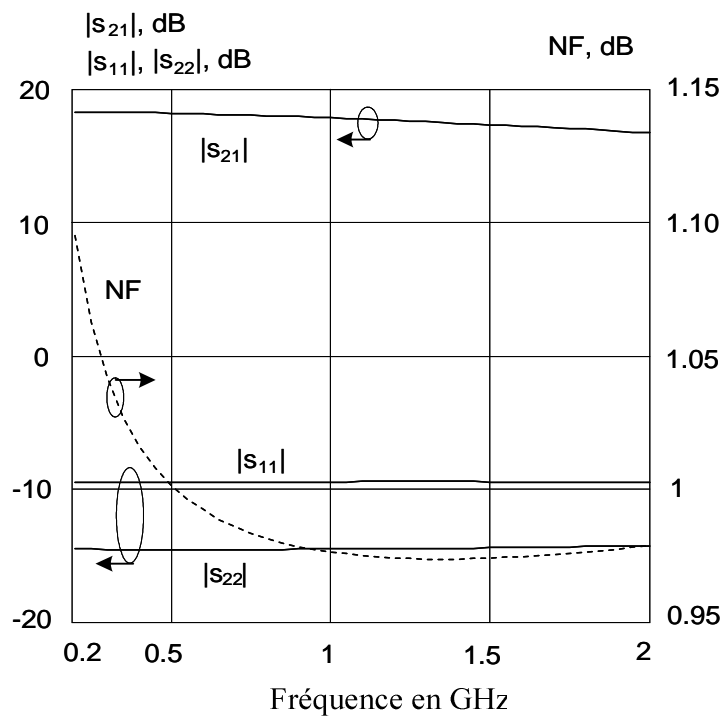


Figure III-39
Résultats de simulation du circuit de la figure III-38

Ces résultats obtenus avec des éléments idéaux montrent une nouvelle fois que les valeurs des différents paramètres sont assez proches du cahier des charges qui a été défini dans *Amp* (figure III-37).

L'étape suivante consiste à remplacer tous les éléments idéaux par les éléments réels de la bibliothèque ED02AH d'OMMIC.

Cependant, même après plusieurs phases d'optimisation, il nous a été impossible de remplacer la self-inductance idéale L_0 par un circuit de polarisation classique composé, avec des éléments réels, d'une self-inductance connectée au plot de polarisation associée à une capacité en parallèle connectée à la masse.

Ainsi, l'utilisation d'une self-inductance externe reliée au circuit de polarisation reste ici la meilleure solution pour conserver des résultats de simulation proches des performances désirées.

De même, il est difficile d'obtenir une capacité de découplage en sortie inférieure à 20 pF. Des études sont en cours pour trouver une solution à ce problème. Par conséquent, nous n'utilisons pas de capacité de découplage en sortie et faisons l'hypothèse qu'il existe une capacité de découplage suffisamment grande en entrée du circuit suivant le LNA.

La schématique du LNA ainsi que les résultats de simulation sont présentés sur la figure III-40.

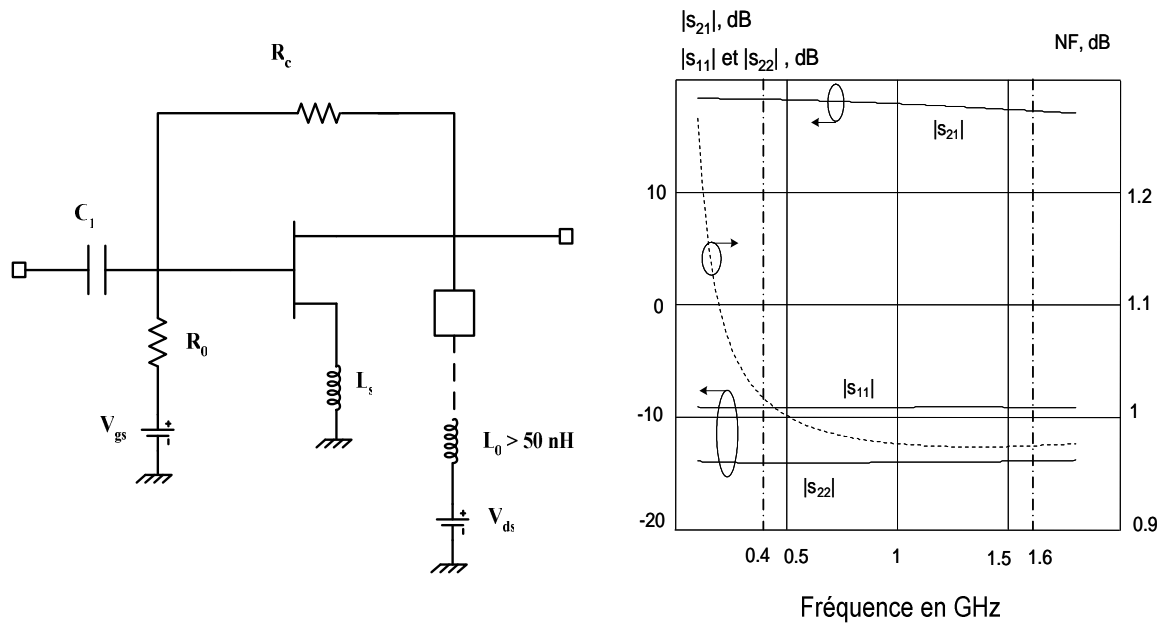


Figure III-40

Schématique et résultats de simulation du LNA avec self-inductance de choc externe

Les caractéristiques simulées de ce LNA sont les suivantes :

- bande passante : [0,4 – 1,6] GHz
- $17 < |S_{21}| < 18,3$ dB
- $|S_{11}| < -9,2$ dB
- $|S_{22}| < -14,1$ dB
- $NF < 1,02$ dB

Ces résultats de simulation concordent avec notre cahier des charges, mais l'utilisation d'une self-inductance externe limite l'intégration complète de ce circuit.

Dans la suite, et pour pouvoir réaliser une structure capable d'intégrer sur un layout tous les circuits de polarisation, nous choisissons de polariser le drain au travers d'une charge active.

III.3.3 CONCEPTION DU LNA AVEC POLARISATION DU DRAIN AU TRAVERS D'UNE CHARGE ACTIVE

La charge active est réalisée avec un transistor dont la grille et la source sont reliées, réalisant ainsi une source de courant identique au courant qui doit traverser le transistor à polariser.

Nous reprenons donc toutes les étapes de conception avec *Amp*, *Locus* et *Region* de manière à obtenir un circuit tout intégré et répondant aux spécifications requises.

La schématique du circuit ainsi que le dessin de masque sont présentés sur les figures III-41 et III-42.

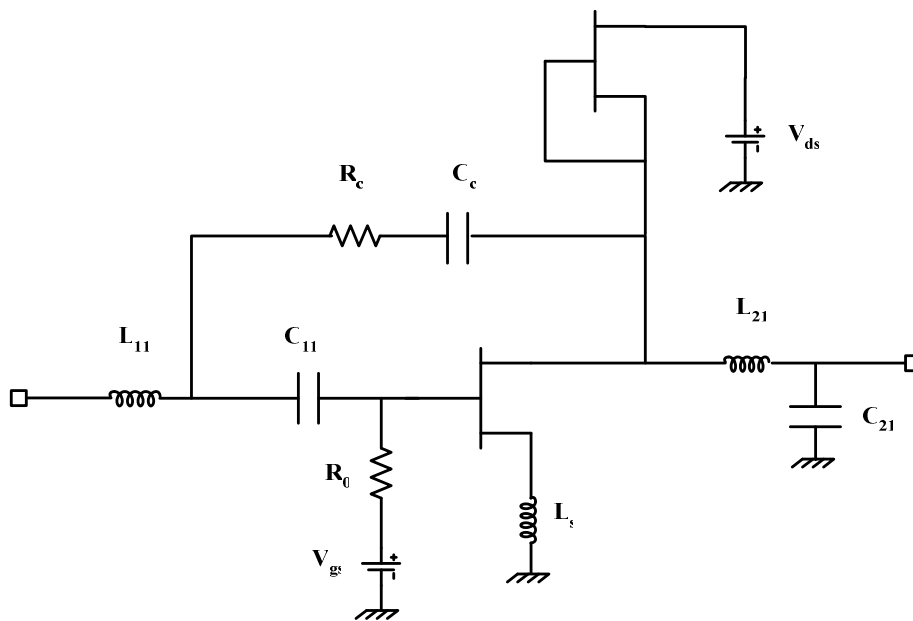


Figure III-41

Schématique du LNA avec le circuit d'autopolarisation

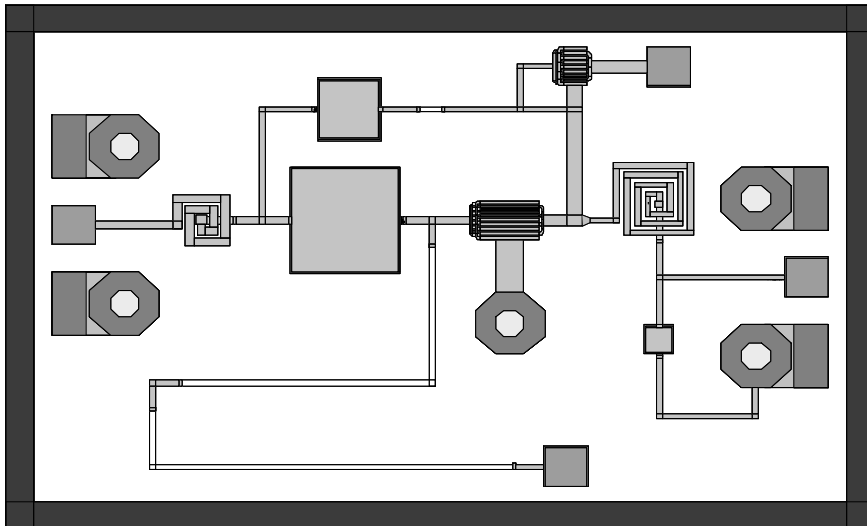


Figure III-42
Dessin de masque du LNA

Le circuit résultant, toujours extrêmement simple et comportant un nombre très limité de composants, est réalisé sur une puce de dimension $1 \times 1,5 \text{ mm}^2$. Il est simulé en tenant compte de tous les éléments parasites. Les résultats de simulation sont présentés sur la figure III-43 ci-dessous.

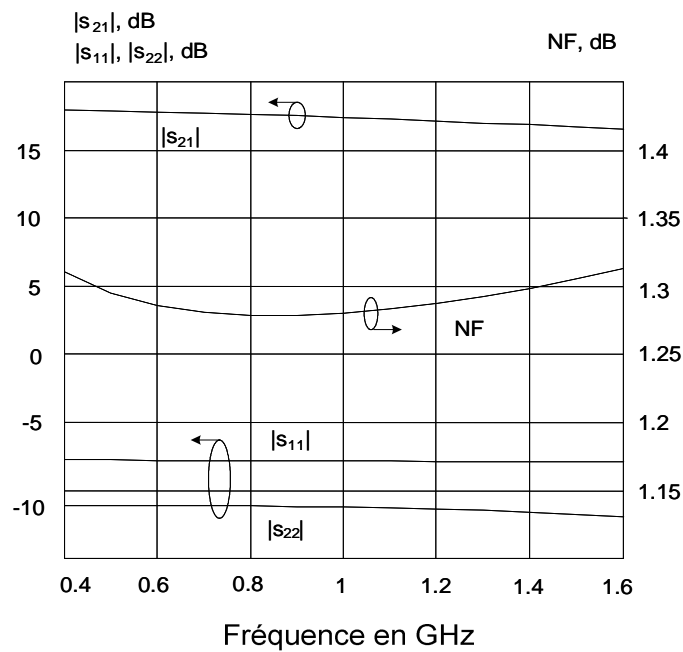


Figure III-43
Résultats de simulation en paramètre S et en bruit du layout de la figure III-42

Les tensions de polarisation appliquées au transistor sont les suivantes :

$$V_{gs} = -0,4 \text{ V}$$

$$V_{ds} = 4 \text{ V} \quad \text{avec} \quad I_{ds} = 69 \text{ mA}$$

$$\text{soit} \quad P_{\text{consommée}} = 276 \text{ mW}$$

Les caractéristiques simulées de ce LNA sont les suivantes :

- bande passante : [0,4 – 1,6] GHz
- $16,6 < |S_{21}| < 17,9 \text{ dB}$
- $|S_{11}| < -8,1 \text{ dB}$
- $|S_{22}| < -11,2 \text{ dB}$
- $NF < 1,31 \text{ dB}$

De plus, une simulation fort signal a permis de déterminer pour le point de compression à -1 dB une puissance de 2,2 dBm en sortie.

Etude de sensibilité

Ce circuit, comme les LNA vus précédemment, a fait l'objet d'une étude de sensibilité aux variations des caractéristiques des éléments qui le constituent. Le pourcentage de variation de ces éléments (self-inductance, capacités, résistances) est de 5 %.

Nous présentons ci-dessous les résultats de sensibilité lorsque tous les éléments qui constituent le LNA sont susceptibles de varier.

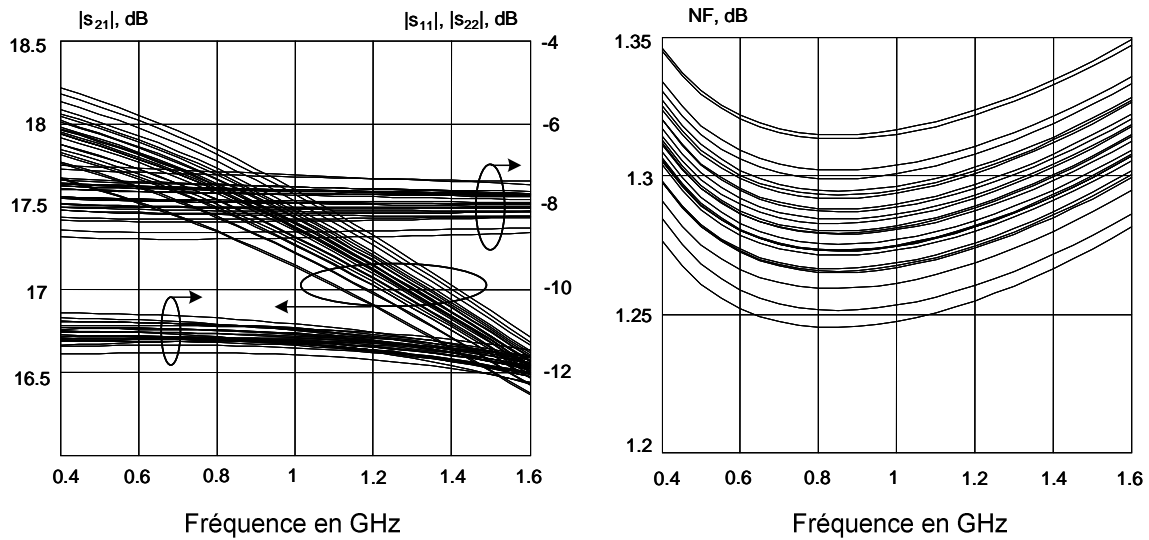


Figure III-44

Sensibilités à l'ensemble des éléments du circuit

Ces résultats de simulation montrent que les caractéristiques du circuit sont peu sensibles à une variation des éléments. En effet, pour les paramètres de transmission et de réflexion, la variation reste inférieure à 0,7 dB autour des valeurs nominales. Pour le facteur de bruit, le décalage est de l'ordre de 0,03 dB.

Néanmoins, ces légères variations peuvent être corrigées par l'ajustement des tensions de polarisation du transistor.

Etude de la stabilité électrique

Dans un premier temps, nous avons étudié la stabilité intrinsèque du circuit avec la méthode de la NDF. Les résultats de cette étude sont présentés sur la figure III-45.

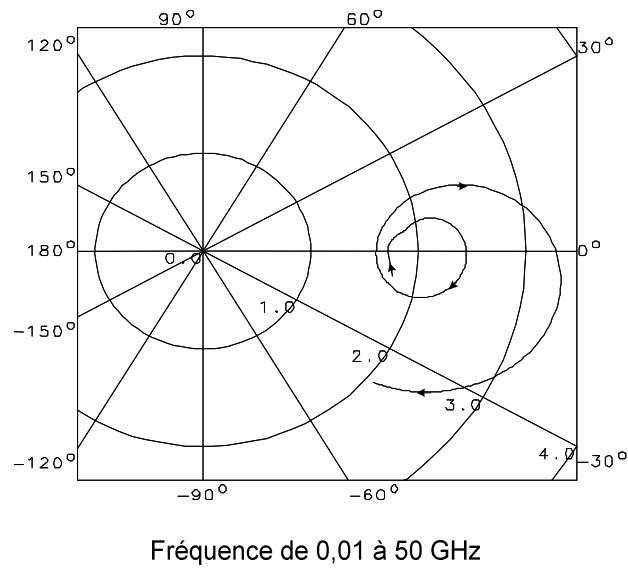


Figure III-45
Simulation de la NDF

La stabilité intrinsèque du circuit est ici assurée car le tracé de la fonction NDF n'entoure pas l'origine du plan complexe dans le sens horaire.

Dans un deuxième temps, nous devons nous assurer de la stabilité électrique vis-à-vis des impédances de fermeture du circuit. Pour cela, nous étudions les paramètres K et B (figure III-46).

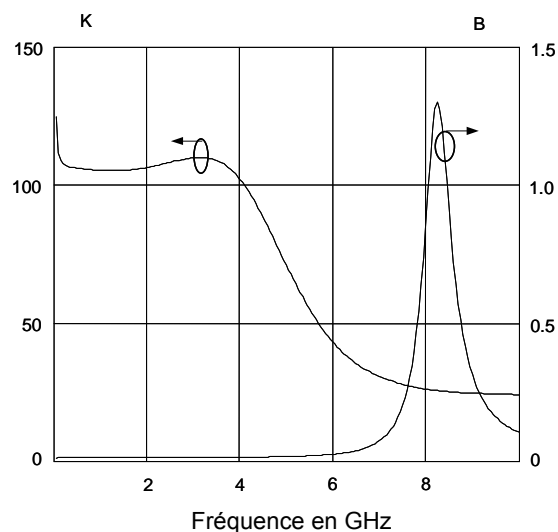


Figure III-46
Simulation des paramètres K et B

Les conditions $K > 1$ et $B > 0$ sont satisfaites pour toutes les fréquences. Le circuit est donc inconditionnellement stable.

D'autres études ont été menées afin d'améliorer les performances de ce circuit. Ainsi, le circuit développé par M. V. CHERKASHIN a permis d'améliorer le niveau d'adaptation en entrée et d'insérer une capacité de découplage en sortie.

La figure III-47 et le tableau III-3 montrent la schématique et les niveaux de performances du circuit global.

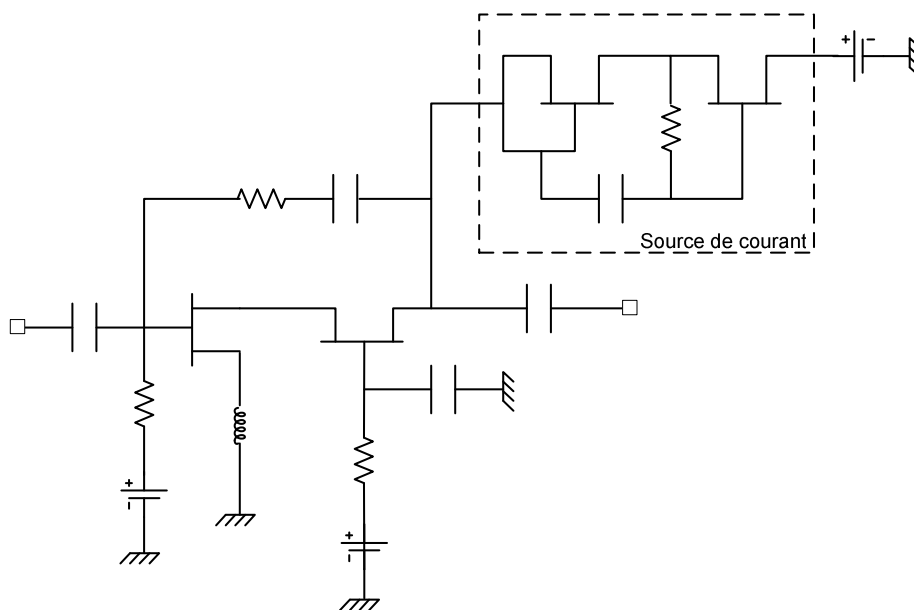


Figure III-47
Schématique du LNA

Paramètres	Δf , GHz	G_{min} , dB	G_{max} , dB	G , dB	ΔG , dB	NF, dB	$ S_{11} $, dB	$ S_{22} $, dB	P_{-1dB} , dBm
MMIC (simulation)	0,4-1,6	17,8	19,1	18,4	1,3	1,39	-10,0	-12,1	-1

Tableau III-3
Niveaux de performance du LNA

IV. CONCLUSION

Dans ce chapitre, nous avons présenté une nouvelle méthode de conception d'amplificateurs faible bruit. Cette méthode utilise de nouveaux outils logiciels, développés par l'Université de Tomsk en Sibérie qui sont *Amp*, *Locus* et *Region*.

Le premier amplificateur faible bruit réalisé est un LNA large bande ayant une bande passante de 8 GHz entre 2 et 10 GHz.

Les résultats de mesure obtenus avec les mêmes tensions de polarisation qu'en simulation ont permis de valider cette méthode de conception.

De plus, les études de sensibilité font apparaître une grande tolérance aux variations des différents éléments du circuit. Ceci est clairement dû au fait que la méthode permet d'aboutir à des circuits simples comportant peu d'éléments.

Le deuxième amplificateur faible bruit réalisé est aussi un LNA large bande avec une bande passante de 6 GHz entre 2 et 8 GHz.

La conception de ce circuit reprend en grande partie l'étude du premier LNA dont nous souhaitons améliorer les coefficients de réflexion en entrée et en sortie. Ainsi, l'utilisation des logiciels *Amp* et *Region*, a permis d'améliorer entre 2,1 dB et 30 les niveaux d'adaptation. Ce circuit n'a pas été envoyé en fonderie et n'a donc pas été mesuré.

Enfin, des études ont été menées pour réaliser un LNA dans la bande [0,4 – 1,6 GHz]

Nous avons développé une méthode de conception rapide et efficace combinant, à diverses étapes, des outils de conception visuelle, à des outils plus classiques de simulation et d'optimisation de type logiciel circuit.

**CONCLUSION
GENERALE -
PERSPECTIVES**

CONCLUSION GENERALE – PERSPECTIVES

Les travaux présentés dans ce manuscrit ont pour l'objet l'étude d'outils de synthèse originaux pour la conception de dispositifs actifs destinés à la compensation des pertes, la réduction de taille et l'augmentation de la sélectivité de structures de filtres microondes passive ainsi qu'à la réalisation d'amplificateur faible bruit.

Le premier chapitre a permis, après un rappel sur les différentes topologies de filtres actifs qu'il est possible de trouver dans la littérature, de présenter le principe du gyrateur et du convertisseur d'impédance négative (CIN) ainsi que le logiciel *Locus*.

L'association de ce logiciel avec un logiciel de simulation circuit "classique" (tel que Ads ou Libra) nous a permis de concevoir trois dispositifs de compensation de circuits passifs.

Dans *le deuxième chapitre* nous avons présenté une méthode de conception permettant de définir un profil d'impédance active et d'améliorer les performances des filtres passifs.

Cette méthode a pour principe de définir un profil d'impédance qui a pour fonction :

- la réduction ou l'annulation des pertes,
- l'adaptation de la taille du circuit global (filtre passif + profil d'impédance),
- le contrôle continu ou discret de la fréquence de travail,
- le contrôle de la largeur de la ou des bandes passantes du filtre.

L'utilisation de cette nouvelle technique ainsi que du logiciel *Locus* nous a permis de concevoir deux circuits réalisant la fonction de filtrage. Le premier circuit est un filtre actif passe bande sélectif dont les performances ont été atteintes par une synthèse appropriée de la partie réelle et de la partie imaginaire du circuit de compensation. Le deuxième circuit est un filtre pseudo-multipôles où nous avons augmenté artificiellement le nombre de pôles d'un filtre passe bande.

Enfin, *le troisième chapitre* est consacré à la réalisation d'amplificateur faible bruit. La technique employée repose sur une nouvelle méthode de conception d'amplificateur basée sur le tracé de courbes d'isovaleurs correspondant aux différentes spécifications du circuit et permettant ainsi d'obtenir des régions acceptables (RA).

La collaboration avec l'Université de Tomsk en Sibérie (Tomsk State University of Control System and Radioelectronics) nous a amené à concevoir trois amplificateurs faible bruit : un LNA large bande entre 2 et 10 GHz, un LNA large bande adapté en entrée et en sortie entre 2 et 8 GHz, et un LNA dans la bande [0,4 – 1,6 GHz].

Les résultats de mesure obtenus pour le LNA large bande [2-4 GHz] avec les mêmes tensions de polarisation qu'en simulation ont permis de valider cette méthode de conception. De plus cette méthode permet d'aboutir à des circuits simples comportant peu d'éléments.

Les perspectives d'étude envisagées dans la continuité des travaux développés dans ce manuscrit sont nombreuses puisque les méthodes présentées sont nouvelles.

La méthode du profil d'impédance active ainsi que l'utilisation de *Amp* et *Locus* n'ont été utilisés que pour des technologies AsGa. Cela amène naturellement à considérer l'utilisation d'autres technologies intégrées qui mettent en œuvre d'autres types de circuits. On peut penser à des circuits issus des basses fréquences en technologie Si/SiGe qui seraient transposés aux fréquences microondes pour réaliser les mêmes fonctions d'amélioration.

De plus le logiciel *Locus* ne dispose, dans ces bibliothèques de circuits, que d'éléments idéaux ce qui augmente les temps d'optimisations sur le logiciel circuit lors de la conception du dispositif en vue d'une réalisation. Il paraît donc intéressant de pouvoir introduire des éléments réels au sein du logiciel *Locus*.

Le sujet est donc ouvert, la méthodologie de conception ainsi que les outils dont nous disposons représente le point majeur de ce travail.

ANNEXES

ANNEXE 1

Calcul de l'impédance de charge d'un quadripôle en fonction de l'impédance d'entrée désirée

Une impédance active est obtenue à partir d'un quadripôle actif (du type gyrateur ou CIN en général) chargé par une impédance particulière complexe et fonction de la fréquence, que l'on peut appeler profil d'impédance passif. Ce quadripôle peut-être modélisé de la façon suivante :

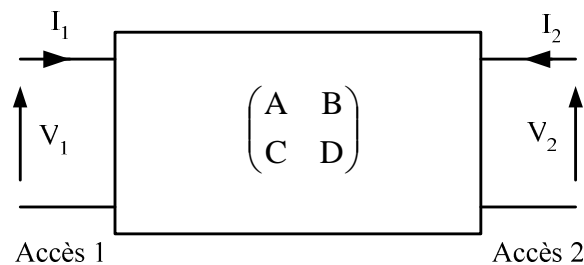


Figure A1-1

Schéma de principe d'un quadripôle

où : V_1 et V_2 sont les tensions aux accès du quadripôle
 I_1 et I_2 sont les courants aux accès du quadripôle

et où $\begin{bmatrix} A & B \\ C & D \end{bmatrix}$ est la matrice chaîne de ce quadripôle.

Dans ces conditions, on peut montrer que si l'on ferme l'accès 1 sur l'opposé de l'impédance à obtenir, on obtient à l'accès 2 l'opposé de l'impédance sur laquelle faudra fermer le circuit pour obtenir à l'accès 1 l'impédance cherchée.

Cette démonstration se déroule en plusieurs étapes.

Dans un premier temps, l'accès 2 est chargé par une impédance Z_2 . On voit alors à l'accès 1 une impédance Z_1 telle que $V_1 = Z_1 \cdot I_1$.

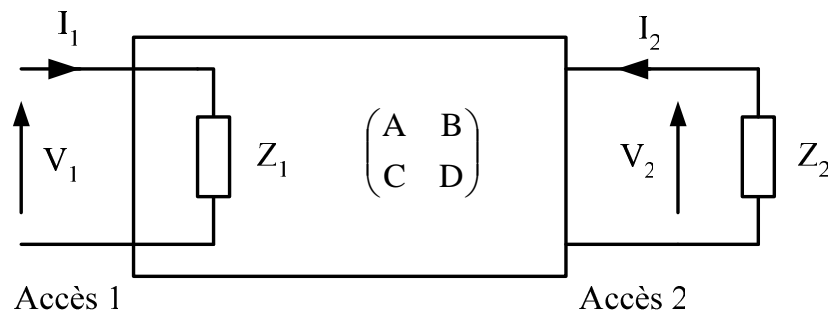


Figure A1-2

Quadripôle chargé à l'accès 2

$$\text{Donc : } Z_1 = \frac{V_1}{I_1} = \frac{A V_2 - B I_2}{C V_2 - D I_2} \quad \text{où} \quad V_2 = -Z_2 \cdot I_2.$$

$$\text{et : } Z_1 = \frac{A V_2 + B}{C V_2 + D}$$

Donc si on cherche à obtenir Z_1 à l'accès 1, l'impédance de charge Z_2 doit alors vérifier :

$$Z_2 = -\frac{D Z_1 - B}{C Z_1 - A}$$

Soit encore :

$$Z_2 = -\frac{D (-Z_1) + B}{C (-Z_1) + A}$$

Dans un second temps, on considère le problème vu de l'accès 2.

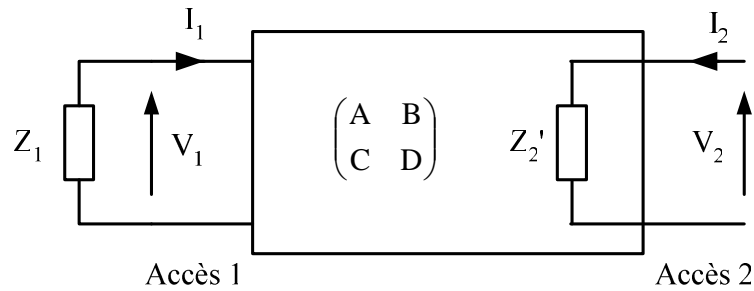


Figure A1-3
Quadripôle chargé à l'accès 1

On cherche l'impédance Z_2' vue de l'accès 2 lorsqu'on ferme l'accès 1 sur Z_1 . Ceci nous donne :

$$Z_1 = -\frac{V_1}{I_1} = \frac{-(A V_2 - B I_2)}{C V_2 - D I_2} \quad \text{où} \quad Z_2' = \frac{V_2}{I_2}$$

$$\text{d'où : } Z_1 = -\frac{A Z_2' - B}{C Z_2' - D}$$

$$\text{On obtient alors : } Z_2' = \frac{D Z_1 + B}{C Z_1 + A}$$

On remarque alors que si l'accès 1 était fermé sur $-Z_1$ dans la deuxième étape, l'impédance vue à l'accès 2 serait :

$$Z_2'' = -\frac{D Z_1 + B}{C Z_1 + A}$$

C'est l'opposé de l'impédance à mettre à l'accès 2 pour voir Z_1 à l'accès 1 ($Z_2 = -Z_2''$).

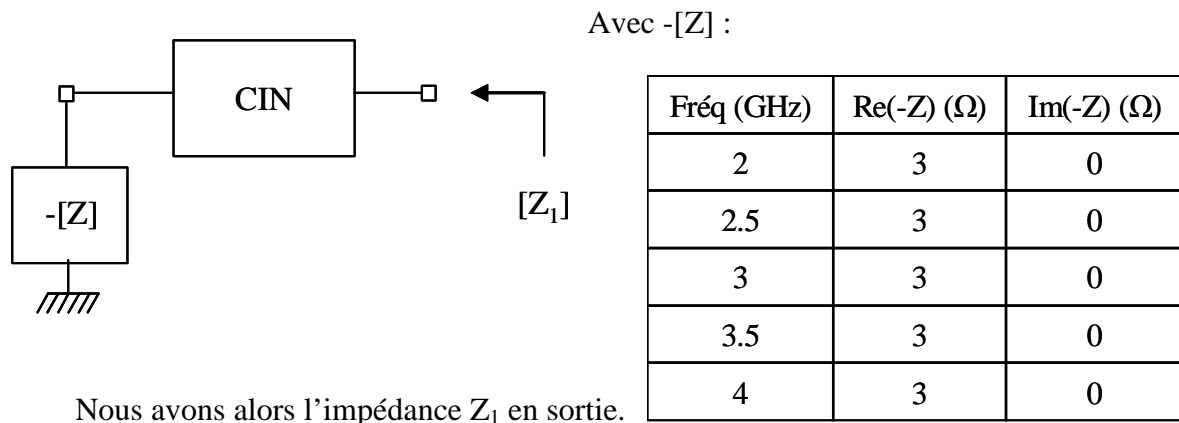
Dans la pratique, il suffira de charger l'accès 2 par l'opposé de Z_2'' pour obtenir Z_1 à l'accès 1. Cette impédance de charge correspond au profil d'impédance passif à synthétiser.

ANNEXE 2

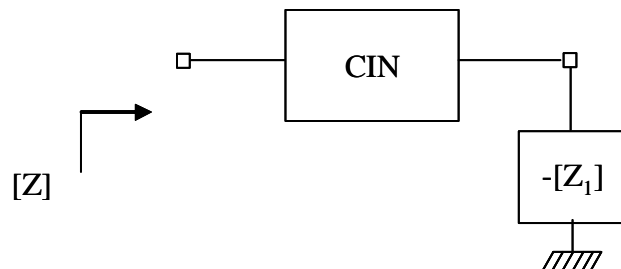
Procédure de calcul de l'impédance de charge du CIN

Nous utilisons ici la méthode de Sussman-Fort pour le calcul de l'impédance de charge d'un quadripôle.

En reprenant le paragraphe II-4, nous désignons par Z l'impédance à partie réelle négative désirée à l'entrée du convertisseur d'impédance négative. Dans une première étape, il faut charger le CIN en entrée par un fichier de paramètres $[Z]$ correspondant à $-Z$.



La procédure indique ensuite que, pour obtenir l'impédance Z à l'entrée du convertisseur d'impédance négative, il suffit alors de charger le CIN en sortie par l'impédance $-Z_1$ qu'il faut donc synthétiser.



Le fichier de paramètres correspondant à $-[Z_1]$ est utilisé par *Locus* pour la détermination du réseau associé.

ANNEXE 3

Critères classiques de stabilité d'un circuit linéaire microonde

Le coefficient de Rollett

Le facteur K, très couramment utilisé par les concepteurs pour déterminer la stabilité d'un quadripôle linéaire, repose sur la détermination des conditions de stabilité en fonction des impédances de fermeture présentées aux accès du système étudié.

Il existe donc deux conditions similaires, une basée sur l'analyse de l'impédance d'entrée, et l'autre sur celle de l'impédance de sortie. La définition de la stabilité d'un quadripôle linéaire est la suivante :

Un quadripôle linéaire, défini par sa matrice de répartition S est inconditionnellement stable ; si pour toute impédance de charge à partie réelle positive placée à l'entrée Z_G ou à la sortie Z_L , le module des coefficients de réflexion en entrée Γ_e et en sortie Γ_s est inférieur à 1 (figure A3-1).

$$\text{Avec : } \Gamma_e = S_{11} + \frac{S_{12} \cdot S_{21} \cdot \rho_L}{1 - S_{22} \cdot \rho_L}$$

$$\Gamma_s = S_{22} + \frac{S_{12} \cdot S_{21} \cdot \rho_G}{1 - S_{11} \cdot \rho_G}$$

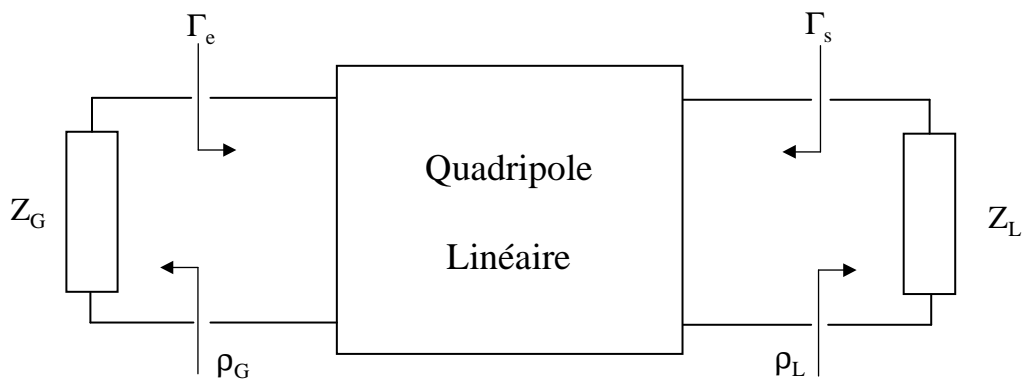


Figure A3-1

Quadripôle linéaire chargé en entrée par Z_G et en sortie par Z_L

Ce quadripôle est conditionnellement stable si l'une des deux conditions n'est pas vérifiée pour certaines charges Z_G ou Z_L , ou pour certaines pulsations ω . En partant des relations $|\Gamma_e| < 1$ et $|\Gamma_s| < 1$, on obtient l'expression du critère de stabilité couramment utilisé.

Un quadripôle est inconditionnellement stable si pour toutes les fréquences ω , on a :

$$\left\{ \begin{array}{l} K = \frac{1 - |S_{11}|^2 - |S_{22}|^2 - |\Delta|^2}{2|S_{12} S_{21}|} > 1 \\ |\Delta s| = |S_{11} S_{22} - S_{12} S_{21}| < 1 \end{array} \right.$$

où Δ est le déterminant de la matrice S du quadripôle.

La seconde condition peut également être exprimée de la façon suivante :

$$B_1 = 1 + |S_{11}|^2 - |S_{22}|^2 - |\Delta|^2 > 0$$

Remarque : le facteur B , comme le facteur K , est couramment utilisé dans les logiciels de conception hyperfréquence.

Lors de l'examen du facteur K , deux cas peuvent donc se présenter :

$K > 1$: Stabilité inconditionnelle du circuit quelles que soient les impédances présentées.

$0 < K < 1$: Stabilité conditionnelle du circuit, certaines impédances peuvent amener des instabilités à certaines fréquences.

Il convient toutefois de noter que l'examen du facteur K ne permet pas de mesurer de manière quantitative la marge de stabilité ou le degré d'instabilité électrique du dispositif étudié.

Le facteur μ

Il existe un autre paramètre μ , permettant à lui seul de déterminer qualitativement et quantitativement la stabilité électrique d'un dispositif à deux accès. Ce paramètre regroupe à la fois le coefficient de Rollet K et la condition sur Δ ou B qui lui est associé.

Il est défini par :

$$\mu = \frac{1 - |S_{11}|^2}{|S_{22} - S_{11}^* \Delta| + |S_{12} S_{21}|} \quad \text{avec } \Delta = S_{11} S_{22} - S_{12} S_{21}$$

Pour un quadripôle chargé dans les conditions de la figure précédente, la condition $\mu > 1$ est nécessaire et suffisante pour déterminer la stabilité inconditionnelle du circuit.

Les cercles de stabilité

L'analyse de la stabilité d'un quadripôle linéaire, basée sur le tracé des cercles de stabilité est, comme le facteur de K et B , couramment utilisée dans les logiciels de conception hyperfréquence.

Les cercles de stabilité, en entrée ou en sortie du dispositif, correspondent respectivement au lieu des points de l'abaque de Smith où :

$$|\Gamma_e| = 1 \quad \text{et} \quad |\Gamma_s| = 1$$

Ces cercles, suivant la fréquence d'analyse, interceptent ou non l'abaque de Smith. Pour déterminer la région de stabilité, il suffit de déterminer la région à l'intérieur de laquelle $|\Gamma_e| < 1$ et/ou $|\Gamma_s| < 1$. Pour cela, on se place au centre de l'abaque pour lequel $\rho_L = \rho_G = 0$. Si $|S_{ii}| < 1$, le centre de l'abaque est considéré comme un point stable. Si $|S_{ii}| > 1$, le centre de l'abaque est considéré comme un point instable ($i = 1, 2$).

Suivant la position des cercles de stabilité par rapport au centre de l'abaque, il est possible de déterminer les régions de stabilité ou d'instabilité sur l'abaque.

La figure A3-2 présente quatre cas pouvant être rencontrés lors des tracés des cercles de stabilité.

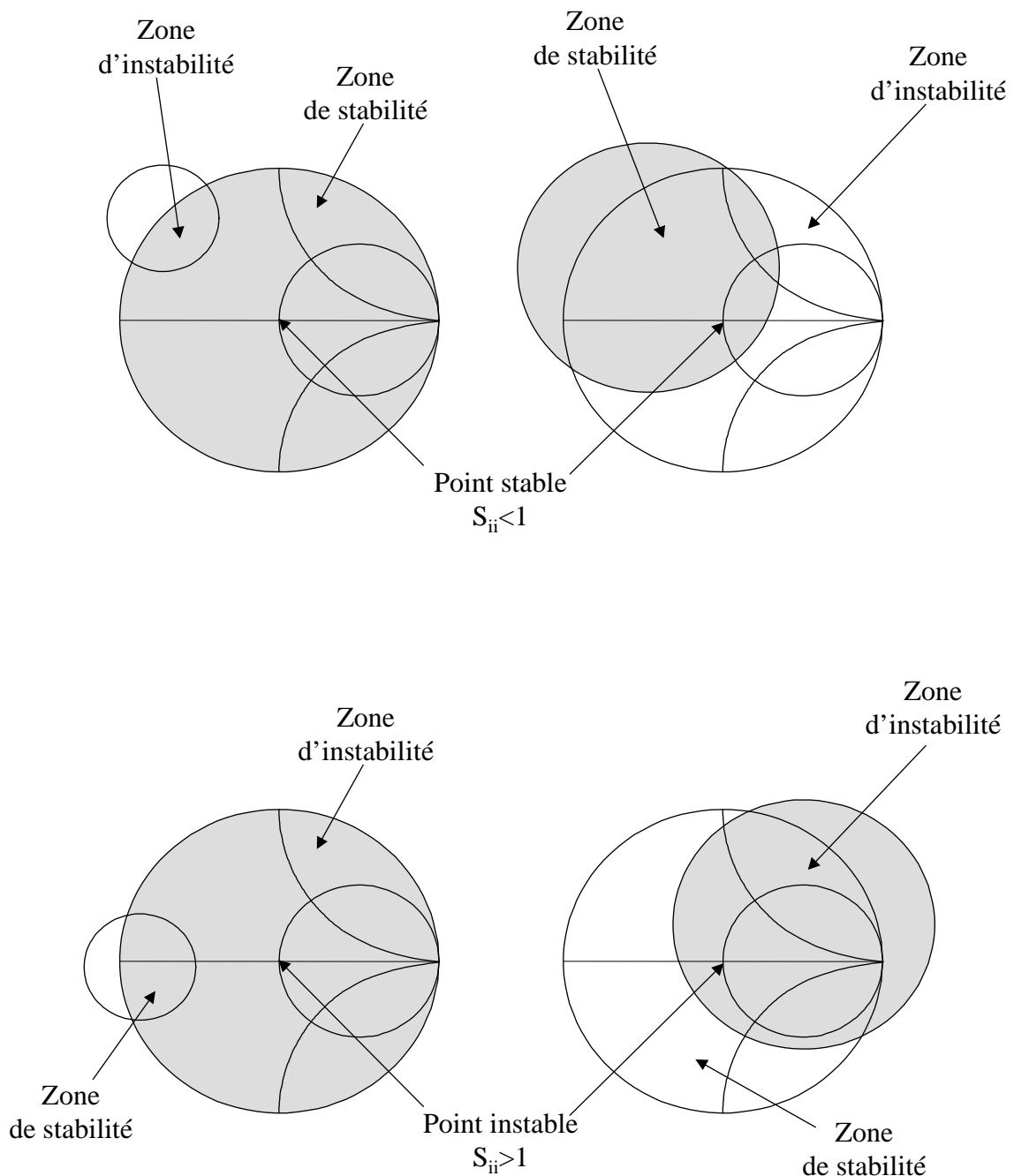


Figure A3-2

Cas de figure possibles pour la localisation des zones de stabilités

Pour qu'il y ait stabilité inconditionnelle, toute la surface de l'abaque de Smith doit être définie comme région stable. Deux cas sont alors possibles comme le montre la figure A3-3 :

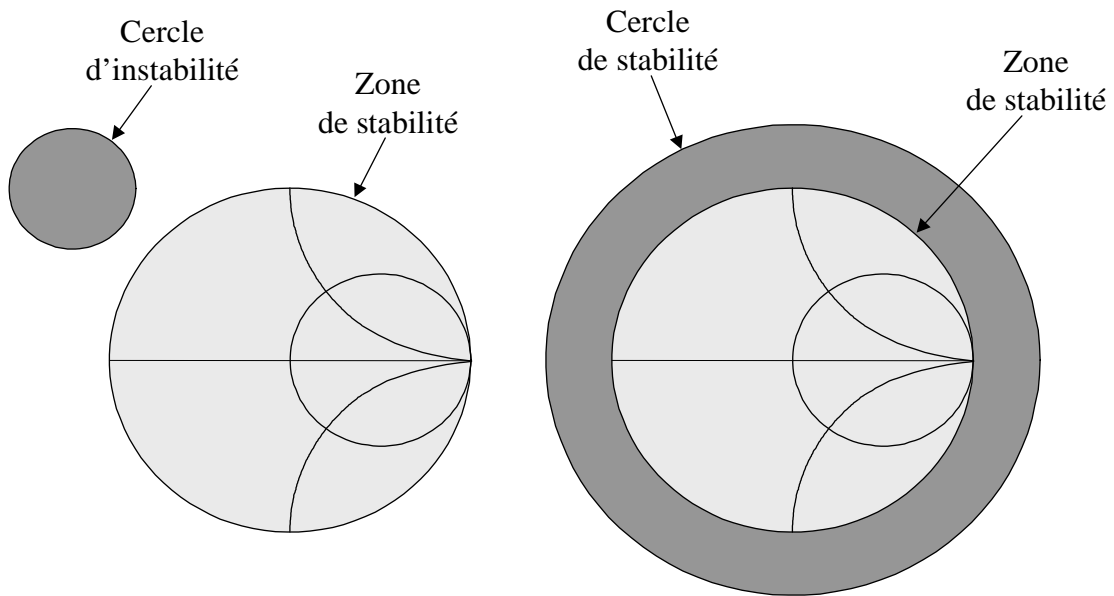


Figure A3-3
Stabilité inconditionnelle

ANNEXE 4

Utilisation du logiciel « Region »

Description de la méthode de conception de circuits d'adaptation

Cette méthode de conception est définie en plusieurs étapes.

1) Dans un premier temps, avant d'utiliser le logiciel *Region*, on simule le circuit de la figure III-23 de manière à extraire dans un fichier .S2P les paramètres S et les paramètres de bruit du circuit. On crée ensuite un fichier *.REQ correspondant aux spécifications désirées (figure A4-1).

```

{Amplifier_requirements}
// -----
// Performance specifications for 2_8 GHz LNA
//
// G=12+-0.5 dB, F<=2.5 dB, m1<=0.25, m2<=0.25
// -----
//f,GH  G-,dB  G+,dB  F+,dB   m1+   m2+
2.0    11.5   12.5   2.5    0.25  0.25
4.0    11.5   12.5   2.5    0.25  0.25
6.0    11.5   12.5   2.5    0.25  0.25
8.0    11.5   12.5   2.5    0.25  0.25

```

Figure A4-1

Fichier correspondant aux spécifications du LNA

2) La seconde étape consiste, à l'aide de *Region*, à calculer toutes les régions acceptables dans les plans des coefficients de réflexion en entrée et en sortie. Si une RA est obtenue pour chaque fréquence, il est alors possible de concevoir le LNA avec les performances correspondant au cahier des charges de la figure A4-1. Dans le cas contraire, il faut modifier les paramètres de ce fichier pour relâcher les contraintes et obtenir une RA pour chaque fréquence.

La figure A4-2 montre les différentes RA obtenues.

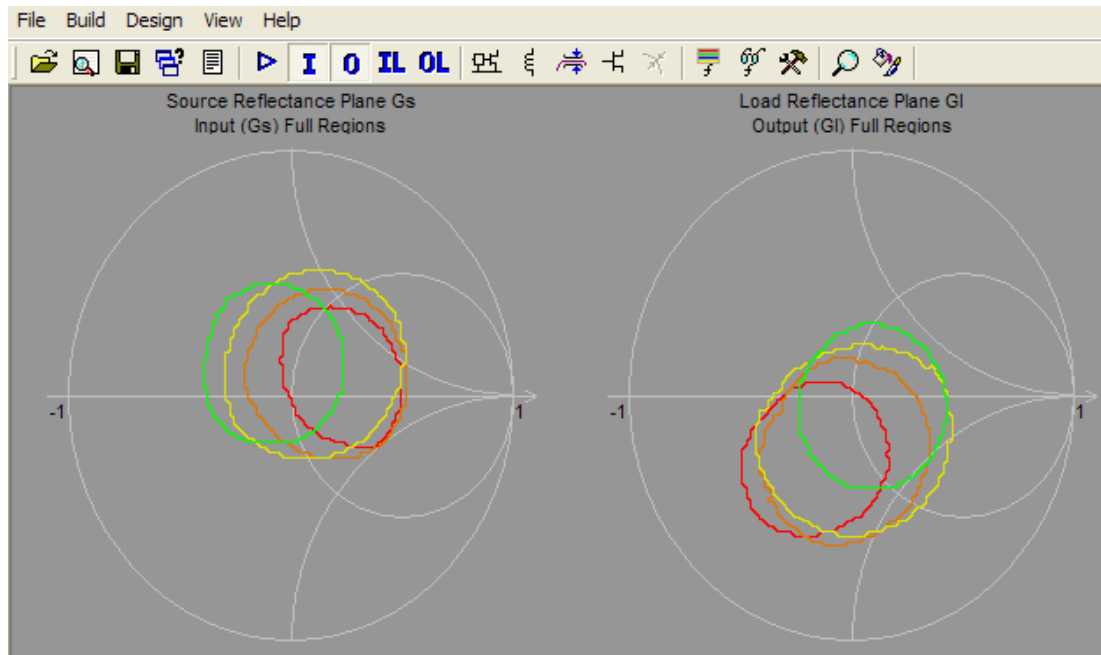


Figure A4-2
Tracé des différentes RA

3) Une fois toutes les RA obtenues, elles sont extraites du logiciel pour être importées dans *Locus* et permettre de synthétiser les réseaux passifs d'adaptation correspondants.

Les RA correspondant aux coefficients de réflexion en entrée et en sortie sont ensuite sauvegardées dans deux fichiers *.RGN comme le montre la figure A4-3.

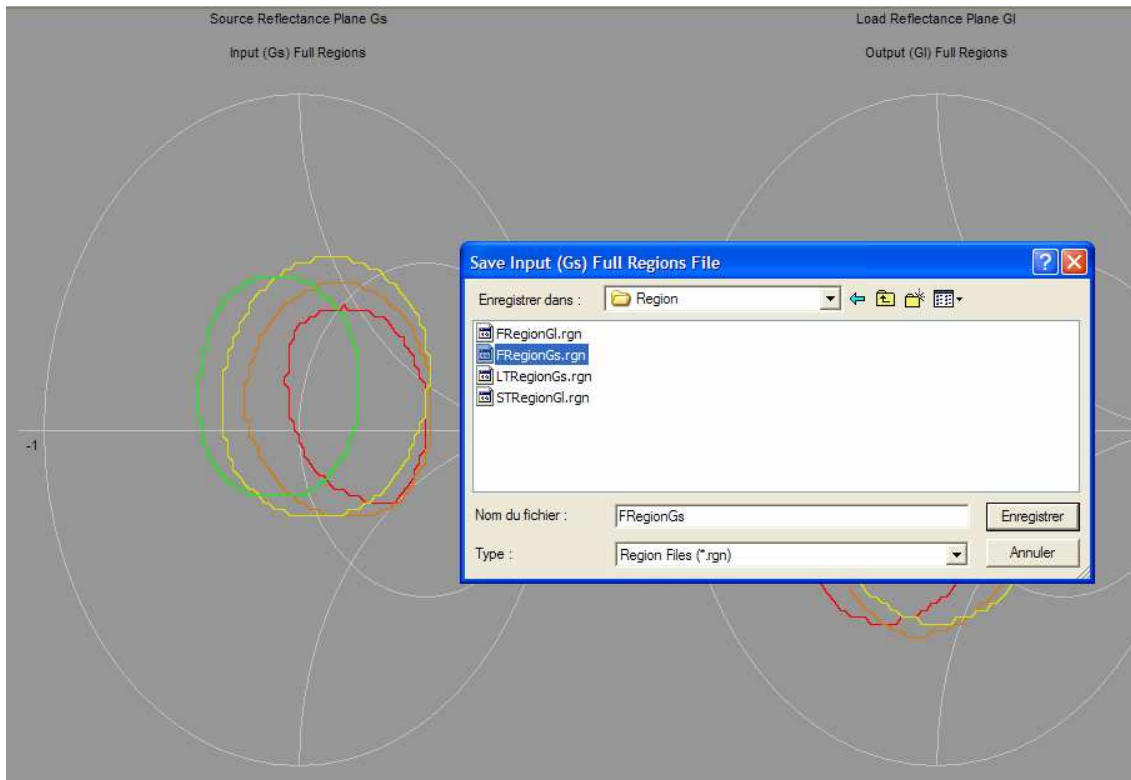


Figure A4-3

Sauvegarde des RA correspondant au coefficient de réflexion en entrée

- 4) Ensuite, on utilise *Locus* pour construire les circuits passifs d'adaptation.

Il faut noter que, pour être synthétisés avec *Locus*, les circuits à concevoir, qui seront placés en entrée et en sortie du dispositif à adapter, devront être chargés par une résistance fixe de 50Ω qui correspond à l'impédance des accès 1 et 2 lors des simulations sur Ads (ou Libra). Chacune de ces résistances devra donc, sous *Locus*, être non modifiable par le processus d'optimisation visuelle.

Donc, le circuit utilisé par *Locus* pour suivre les RA doit avoir obligatoirement une résistance de 50Ω et dont la valeur ne peut pas être changée.

Les figures A4-4 et A4-5 montrent les résultats obtenus.

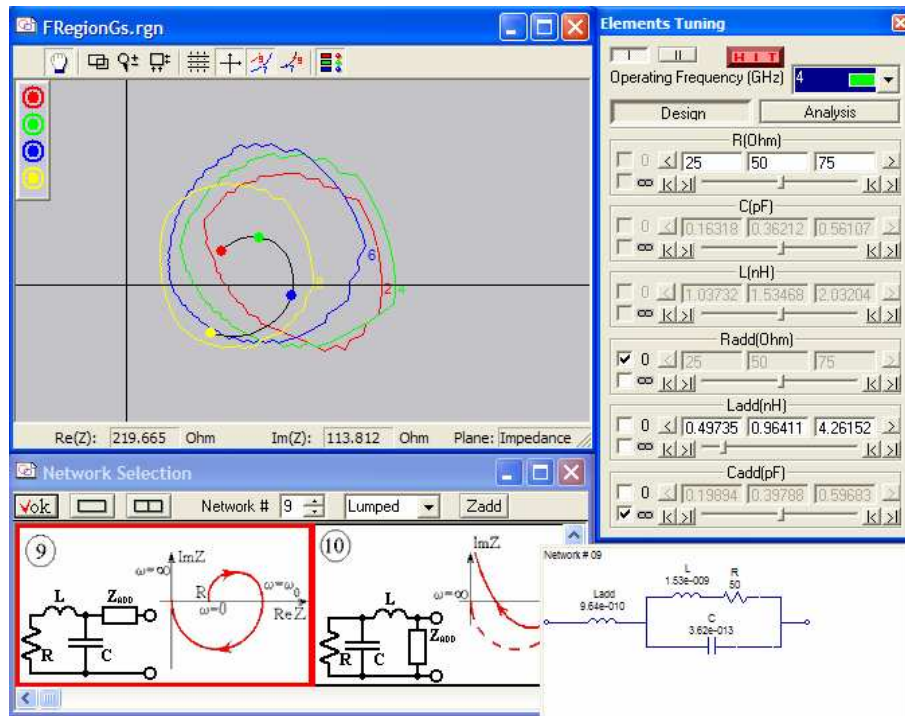


Figure A4-4

Conception du réseau d'adaptation d'entrée

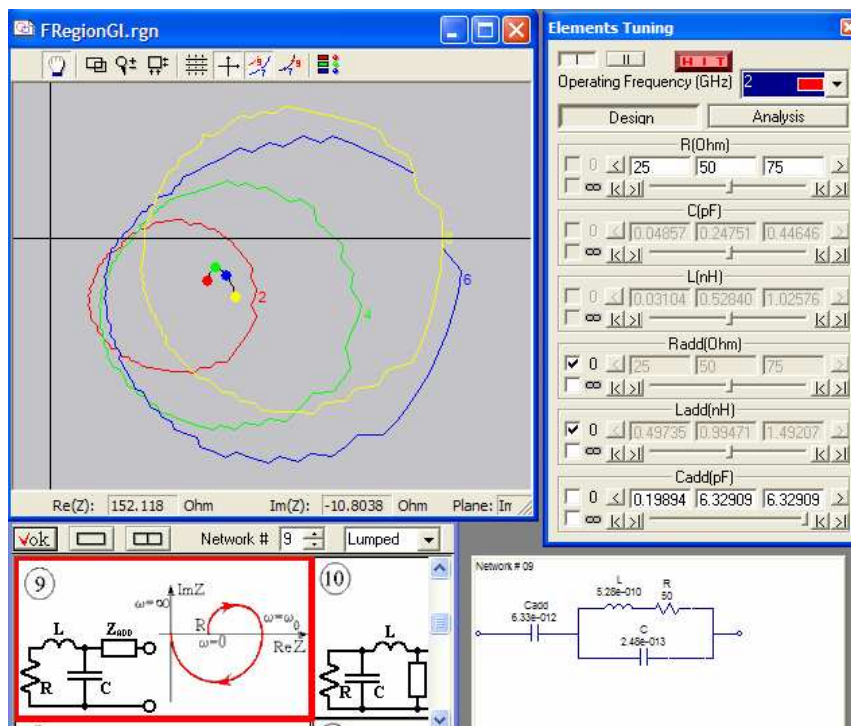


Figure A4-5

Conception du réseau d'adaptation de sortie

Ces deux circuits sont alors sauvegardés comme le montre la figure A4-6.

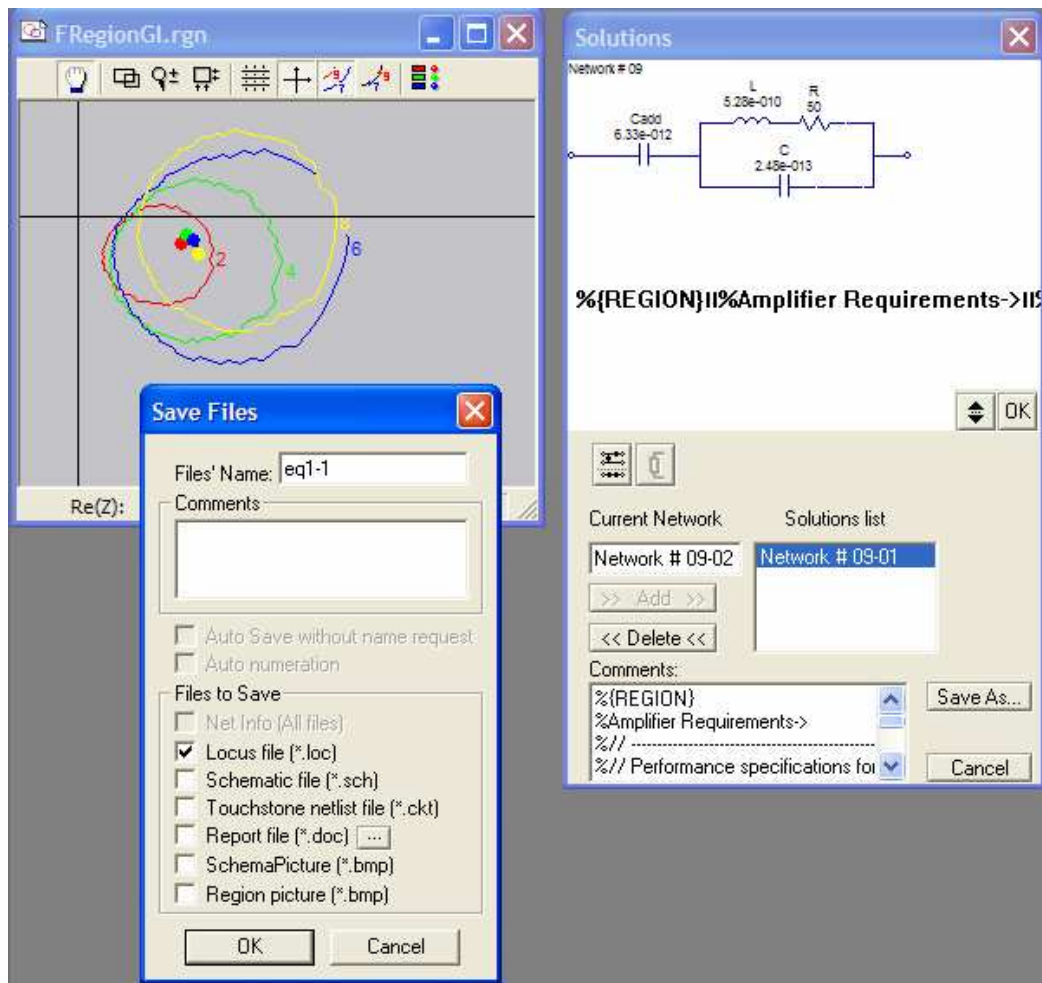


Figure A4-6

Sauvegarde du circuit en extension *.LOC

5) Maintenant que les circuits d'adaptation sont conçus et sauves, nous devons de nouveau concevoir les RA de sortie (ou d'entrée) en fonction du circuit d'adaptation placé en entrée (ou en sortie).

En effet, les RA d'entrée et de sortie, du dispositif permettant d'adapter notre LNA, ont été calculées par *Region* à l'étape 2 en prenant en compte l'influence des RA sur les deux accès. Ainsi, les RA du dispositif d'adaptation en sortie dépendent du circuit à adapter mais aussi des RA du dispositif d'adaptation en entrée et réciproquement.

Par conséquent le fait de remplacer les RA d'entrée par le réseau d'adaptation d'entrée de la figure A4-4 va modifier les RA du réseau d'adaptation de sortie calculés à l'étape 2. Une vérification est donc nécessaire afin de contrôler si le circuit passif synthétisé sous *Locus* (figure A4-5) permet de suivre ces nouvelles régions acceptables.

Nous pouvons voir un exemple de cette vérification sur la figure A4-7.

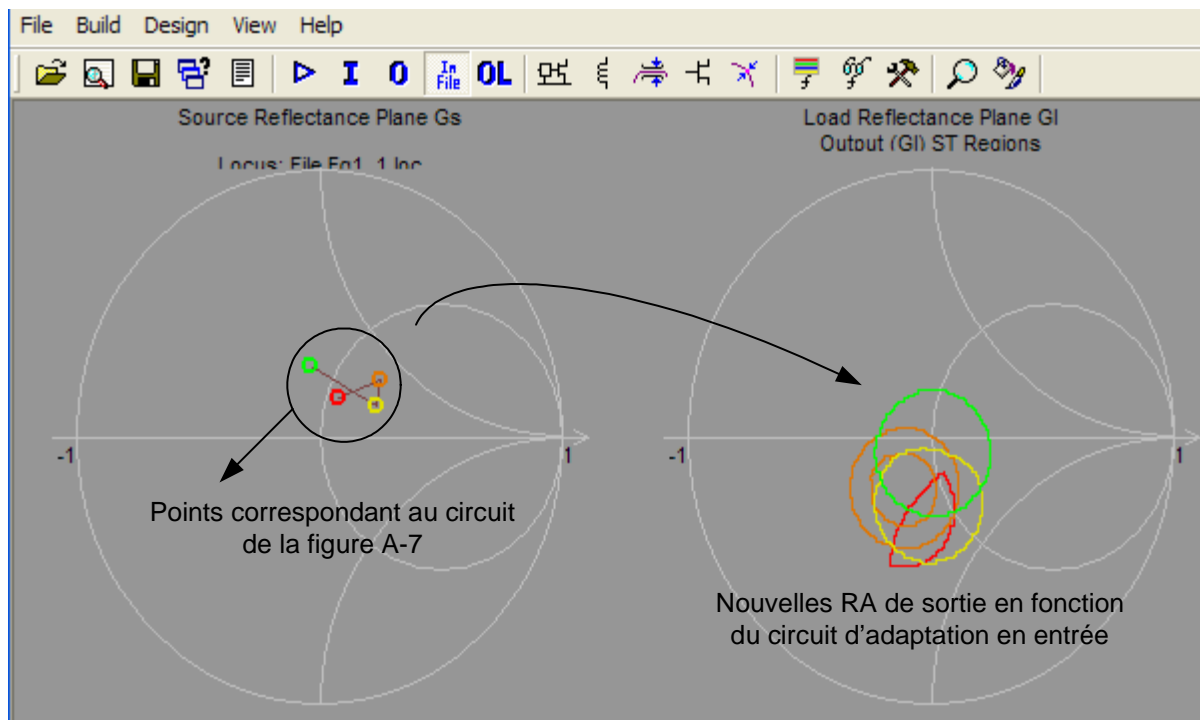


Figure A4-7

Calcul des nouvelles RA en fonction du circuit d'adaptation placé en entrée

Le but est donc de vérifier si les points de fréquence du circuit passif d'adaptation de sortie de la figure A4-5 suivent ces nouvelles RA.

En calculant simultanément les nouvelles RA en sortie et en entrée nous pouvons visualiser sur *Region* si les circuits d'adaptation suivent les régions acceptables.

La figure A4-8 montre à la fois les nouvelles RA et les points de fréquence des circuits passifs d'adaptation d'entrée et de sortie.

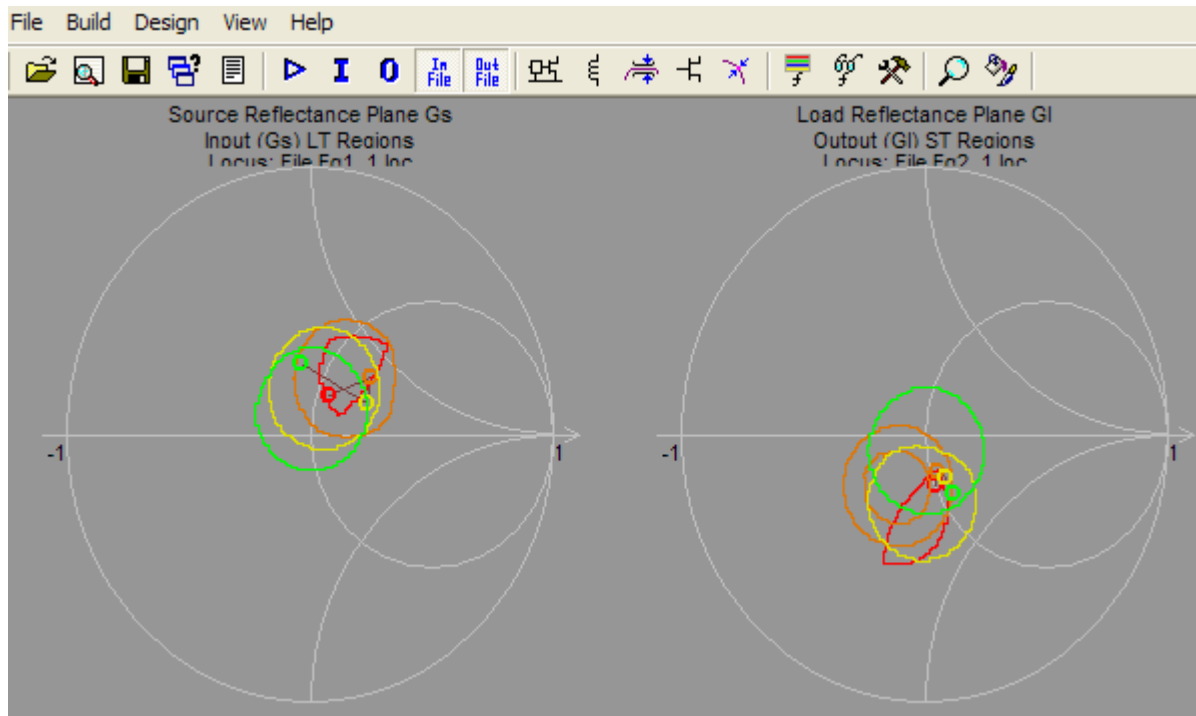


Figure A4-8

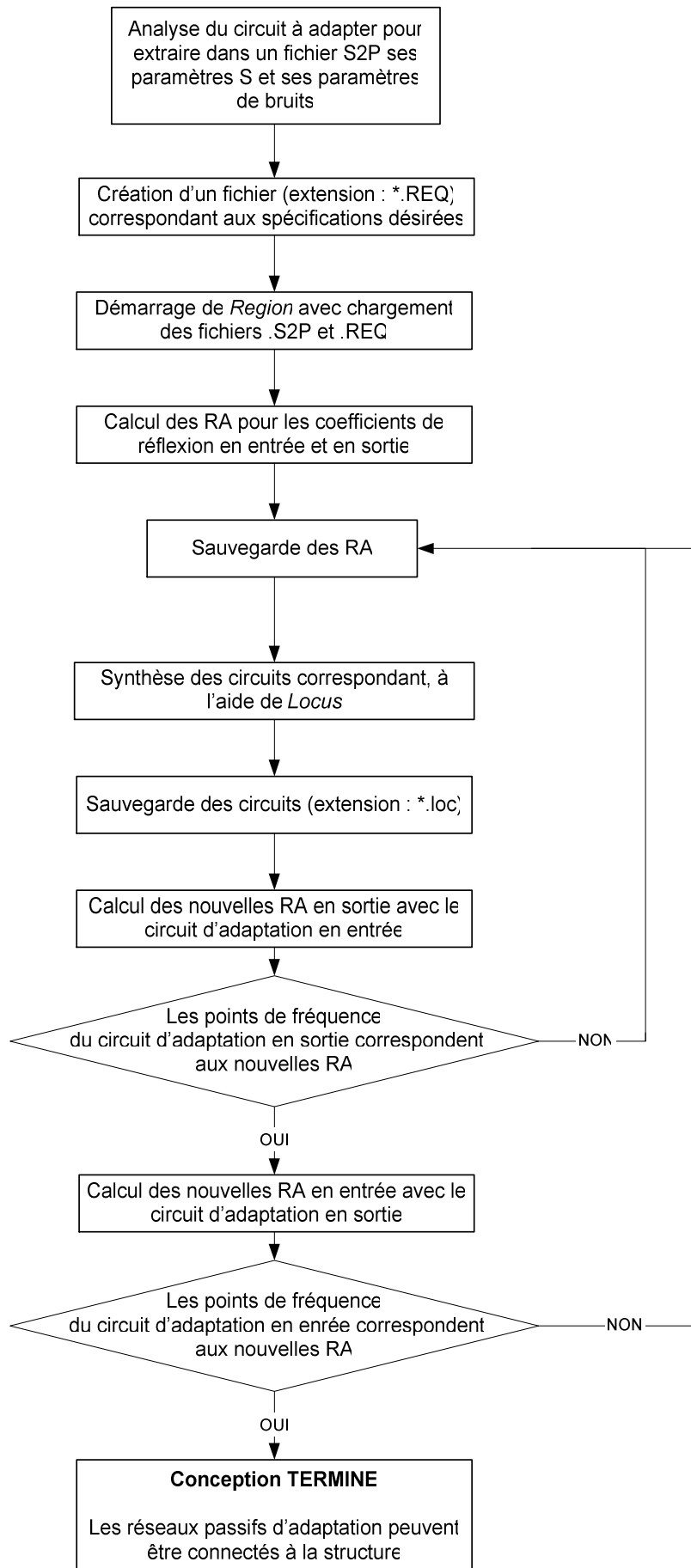
Visualisation simultanée des nouvelles RA et des différents points de fréquence correspondant aux circuits d'adaptation d'entrée et de sortie

Sur la figure ci-dessus, nous pouvons voir que tous les points de fréquences sont dans leur région acceptable respective.

Par conséquent il n'est pas nécessaire de modifier ces circuits et nous pouvons donc connecter au circuit de la figure III-23 les réseaux passifs d'adaptation des figures A4-4 (entrée) et A4-5 (sortie).

Dans le cas où les points de fréquences ne suivent pas les régions acceptables nous devons reprendre la conception à partir de l'étape n°3.

Un résumé de cette méthode conception est présenté ci-dessous :



BIBLIOGRAPHIE

BIBLIOGRAPHIE

- [1] **H. HAYASHI, M. MURAGUCHI, Y. UMEDA, T. ENOKI**
"A high-Q broad-band active inductor and its application to a low analog phase shifter"
IEEE Transactions on MTT, vol. 44, no. 12, december 1996, pp. 2369-2374.
- [2] **Z. XIBO, P.K.T. MOK, C. MANSUN, P.K. KO**
"Large-signal and phase noise performance analysis of active inductor tunable oscillators"
Circuits and Systems, 2003. ISCAS '03. Proceedings of the 2003 International Symposium on, 25-28 May 2003 pp. I-705 - I-708 vol.1
- [3] **K.W. KOBAYASHI, A.K. OKI, D.K. UMEMOTO, T.R.BLOCK, D.C. STREIT**
"A novel self-oscillating HEMPT-HBT cascade VCO-Mixer using an active tunable inductor"
IEEE Journal of Solid State Circuits, vol. 33, n°6, June 1998, pp. 870-876
- [4] **H. HAYASHI, M. MURAGUCHI**
"A novel broad-band MMIC VCO using an active inductor"
IEICE Trans. Fundamentals, vol. E81A, n°2, February 1998
- [5] **R. LEVY, S.B. COHN**
"A history of microwave filter research design and development",
IEEE Transactions on MTT, vol. 32, no. 9, septembre 1984, pp. 1055-1066.
- [6] **R.V. SNYDER**
"All the world is a filter",
IEEE MTT-S Newsletter, Fall 1990, pp. 5-10.

- [7] **V. MADRANGEAS**
"Contribution au développement de méthodes de conception adaptées à la réalisation de filtres hyperfréquences originaux en technologie conventionnelle et supraconductrice",
Diplôme d'Habilitation à Diriger des Recherches, décembre 2000.
- [8] **P. MEUNIER**
"Etude de circuits monolithiques simulant une résistance négative intégrables dans des filtres actifs microonde à résonateur microruban"
Thèse de Doctorat de l'Université de Limoges, janvier 1995.
- [9] **U. KARACAOGLU, I.D. ROBERTSON**
"A MMIC active bandpass filter with FET negative resistance elements",
Microwave Journal, juillet 1996.
- [10] **U. KARACAOGLU, I.D. ROBERTSON, M. GUGLIELMI**
"Microstrip bandpass filters using MMIC negative resistance circuits for loss compensation",
IMS'94, IEEE MTT-S International Microwave Symposium Digest, pp. 613-616.
- [11] **F. BIRON, J-PH. PLAZE, J. TISSIER, L. BILLONNET, B. JARRY, P. GUILLON**
"Différentes méthodes de synthèses de résistances négatives en technologie MMIC",
JNM'2001, 12^{èmes} Journées Nationales Microondes, mai 2001, Poitiers.
- [12] **B. HOPF, I. WOLFF, M. GUGLIELMI**
"Coplanar MMIC Active Bandpass Filters Using Negative Resistance Circuits."
IEEE MTT-S International Microwave Symposium Digest, 1994, vol. 2, pp. 1183-1185.
- [13] **A. BRUCHER**
"Filtres actifs microonde planaire aux pertes compensées par des circuits monolithiques simulant une résistance négative"

- Thèse de Doctorat de l'Université de Limoges, juin 1997.*
- [14] **L. BILLONNET**
"Etude de filtres actifs microondes récurrents et transversaux"
Thèse de Doctorat de l'Université de Limoges, février 1993
- [15] **A. CENAC, L. NENERT, L. BILLONNET, B. JARRY, P. GUILLON**
"Broadband monolithic analog phase shifter and gain circuit for frequency tunable microwave active filters",
IEEE MTT-S International Microwave Symposium Digest, 1998, vol 2, pp. 869-872.
- [16] **M. DELMOND, L. BILLONNET, B. JARRY, P. GUILLON**
"Microwave tunable active filter design in MMIC technology using recursive concepts",
IEEE MMWMC-S Microwave and Millimeter-Wave Monolithic Circuits Symposium Digest, 1995, pp. 105-108.
- [17] **W. MOUZANNAR, L. BILLONNET, B. JARRY, P. GUILLON**
"A new design concept for wideband frequency-tunable and high-order MMIC microwave active recursive filters",
Microwave and Optical Technology Letters, vol. 24, no. 6, mars 2000, pp. 380-385.
- [18] **C. RAUSHER**
"A new class of microwave active filters",
IEEE MTT-S International Microwave Symposium Digest, 1994, vol. 2, pp. 605-608.
- [19] **M. J. SCHINDLER, Y. TAJIMA,**
"A novel MMIC active filter with lumped and transversal elements",
IEEE Transactions on MTT, vol. 37, no. 12, décembre 1989, pp. 2148-2153.
- [20] **L. NENERT**
"Etude de filtres actifs microondes planaires à résonateurs en anneaux"
Thèse de Doctorat de l'Université de Limoges, janvier 2000

- [21] **G. TANNE, E. RIUS, F. MAHE, S. TOUTAIN, F. BIRON, L. BILLONNET, B. JARRY, P. GUILLON**
"Etude prospective de filtres actifs miniatures pour les futures générations de systèmes de communications mobiles",
JNM'99, 11èmes Journées Nationales Microondes, mai 1999, Arcachon.
- [22] **F. BIRON, L. BILLONNET, B. JARRY, P. GUILLON, G. TANNE, E. RIUS, F. MAHE, S. TOUTAIN**
"Microstrip and coplanar bandpass filters using MMIC negative resistance circuits for insertion losses compensation and size reduction",
EuMC'99, 29th European Microwave Conference Proceedings, vol. 1, octobre 1999, Munich, Allemagne, pp. 72-75.
- [23] **Y.H. SHU, J. A. NAVARRO, K. CHANG**
"Electronically switchable and tunable coplanar waveguide-slotline band-pass filters",
IEEE Transactions on MTT, vol. 39, no. 3, mars 1991, pp. 548-554.
- [24] **J.A. NAVARRO, K. CHANG**
"Varactor-tunable uniplanar ring resonators",
IEEE Transactions on MTT, vol. 41, no. 5, mai 1993, pp. 760-766.
- [25] **Y.H CHO**
"Monolithic VCO using a novel active inductor"
IEEE MMWMC-S Microwave and Millimeter-Wave Monolithic Circuits Symposium, VIII-1, 1996, pp. 155-158.
- [26] **E. VANABELLE, P. DESCHAMPS, J. VINDEVOGHEL**
"Narrow band MMIC filters using active GaAs inductors. Applications to HDTV"
28th European Microwave Conference, Amsterdam, 1998, pp. 368-372
- [27] **C.Y. CHANG, T. ITOH**
"Microwave active filters based on coupled negative resistance method"
IEEE Transactions on MTT, vol.38, n°12, December 1990, pp.1879-1884

- [28] **Y.YAMAMOTO**
"Tuning a bandpass filter by optical control of a negative resistance circuit"
IEEE Transactions on MTT, vol.46, n°12, December 1998
- [29] **S.E. SUSSMAN-FORT**
"An NIC based negative resistance circuit for microwave active filters"
International Journal of Microwave and Millimeter-Wave Computer-Aided Engineering, vol. 4, n°2, pp. 130-139
- [30] **S.E. SUSSMAN-FORT, L. BILLONNET**
"An NIC-based negative capacitance circuit for microwave active filters"
International Journal of MIMICAE, Microwave and Millimeter-Wave Computer-Aided Engineering, vol. 5, no. 4, juillet 1995, pp. 271-277.
- [31] **ADS**
Advanced Design System, Agilent Eesof EDA Products, Décembre 2000
- [32] **TOUCHSTONE / LIBRA AND LINECALC**
"Reference, Application, Utilities"
EESOF, Inc., 1990-1991
- [33] **L.I. BABAK, M.V. CHERKASHIN**
"Interactive visual design of matching and compensation networks for active circuits"
IEEE MTT-S Int. Microwave Symp. Dig., May 2001, vol. 3, pp. 2095-2098.
- [34] **PROCÉDÉ MONOLITHIQUE ED02AH – OMMIC**
"GaAs IC design manual. Foundry process ED02AH"
Version 2.1, Mai 1998
- [35] **A. PLATZKER, W. STRUBLE, K.T. KETZLER**
"Instabilities diagnosis and the role of K in microwave circuits",
IEEE MTT-S International Microwave Symposium Digest, 1993 pp. 1185-1187.

[36] S. MONS

"Nouvelles méthodes d'analyse de stabilité intégrées à la CAO des circuits monolithiques microondes non linéaires",

Thèse de Doctorat de l'Université de Limoges, janvier 1999.

[37] S.E. SUSSMAN-FORT, L. BILLONNET

"MMIC-simulated inductors using compensated gyrators",

International Journal of RF/MIC/AE, RF & Microwave Computer-Aided Engineering, vol. 7, no. 3, mai 1997, pp. 241-249.

[38] D.DENIS

"Outils analytiques et techniques d'amélioration des dispositifs actifs de filtrage microonde",

Thèse de Doctorat de l'Université de Limoges, mai 2002

[39] S. DARDILLAC

"Extension de la notion de compensation de pertes pour la conception de filtres actifs microondes en technologie intégrée"

Thèse de Doctorat de l'Université de Limoges, juin 2005

[40] F. BIRON

"Conception de profils d'impédances actifs pour la compensation des pertes, la réduction de taille et l'augmentation de sélectivité des structures de filtrages planaires microonde",

Thèse de Doctorat de l'Université de Limoges, décembre 2001.

[41] S. KOLEV

"Conception de macrocomposants simulant des capacités accordables sur une grande dynamique en technologie monolithique"

Thèse de Doctorat de l'Université Pierre et Marie Curie, Paris VI, juin 2000.

[42] VLSI DESIGN TECHNIQUES FOR ANALOG AND DIGITAL CIRCUITS

- [43] **G.E. BODWAY**
"Two port power flow analysis using generalized scattering parameters"
Microwave Journal, vol. 10, n°5, mai 1967, pp. 61-69
- [44] **G. LOMBARDI, B. NERI**
"Criteria for the evolution of unconditional stability of microwave linear two ports: a critical review and new proof"
IEEE Transactions on MTT, vol.47, n°6, Juin 1999, pp.746-751
- [45] **M.L. EDWARDS, J.H. SINSKY**
"A new criterion for linear 2-port stability using a single geometrically derived parameter"
IEEE Transactions on MTT, vol.40, n°12, December 1992, Symposium issue, pp.2303-2311
- [46] **XU. HONGTAO, C. SANABRIA, A. CHINI, S. KELLER, U.K. MISHRA, R.A. YORK**
"A C-band high-dynamic range GaN HEMT low-noise amplifier"
IEEE Microwave and Wireless Components Letters, June 2004, Volume: 14, Issue: 6
pp. 262 - 264
- [47] **C. C. YANG, B. L. NELSON, B. R. ALLEN, W. L. JONES, J. B. HORTON**
"Cryogenic Characteristics of Wide-Band Pseudomorphic HEMT MMIC Low-Noise Amplifiers"
IEEE Transactions on MTT, vol.41, n°6/7, June/July 1993, pp. 992-997
- [48] **K.W. KOBAYASHI, D.K. UMEMOTO, T.R. BLOCK, A.K. OKI, D.C. STREIT**
"A wideband HEMT cascode low-noise amplifier with HBT bias regulation"
IEEE Microwave and Guided Wave Letters, December 1995, Vol: 5, Issue: 12,
pp. 457 - 459

- [49] **Y. LINGLI, D. KUIZHANG, H. QINGGUO**
"2-18 GHz GaAs monolithic ultra-broadband amplifier"
Microwave and Millimeter Wave Technology Proceedings, 18-20 Aug. 1998,
pp. 238 -241
- [50] **J.G. BIJ DE VAATE, E.E.M. WOESTENBURG, R.H. WITVERS,**
R. PANTALEONI,
"Decade Wide Bandwidth Integrated Very Low Noise Amplifier"
European Microwave Conference, Paris, 2000
- [51] **S. E. ROSENBAUM ET AL.**
"A 7 to 11 GHz AlInAs/GaInAs/InP MMIC low noise amplifier"
IEEE MTT-S Int. Microwave Symp. Dig., 1993, vol. 2, pp. 1103-1104
- [52] **K. H. G. DUH ET AL.**
"Application of GaAs and InP-based HEMT technology to MILSATCOM systems"
IEEE MILCOM Conf., 2000, vol. 2, pp.25-28
- [53] **M.S. HEINS, J.M. CARROLL, M. KAO, J. DELANEY, AND C.F. CAMPBELL**
"X-band GaAs mHEMT LNAs with 0.5 dB Noise Figure"
IEEE MTT-S Int. Microwave Symp. Dig., Fort Worth, Texas juin 2004
- [54] **S. LONG, L. ESCOTTE, J. GRAFFEUIL, P. FELLON AND D. ROQUES**
"Ka-band Coplanar Low-Noise Amplifier Design with Power PHEMTs"
European Microwave Week 2003 Conference Proceedings, 6-10 oct 2003, Munich
- [55] **CH. MIQUEL, D. LANGREZ, G. JARTHON, J.CH. CAYROU, J.L CAZAUX**
"Optimisation en performance et coût d'un amplificateur faible bruit MMIC en bande Ku"
12^{èmes} Journées Nationales Microondes, 16-17-18 mai 2001 – POITIERS
- [56] **B. AJA, M.L. DE LA FUENTE, J.P. PASCUAL, M. DETRATTI, E. ARTAL**
"GaAs PHEMT broadband low-noise amplifier for millimetre-wave radiometer"

- Microwave and Optical Technology Letters*, vol. 39, No. 6, Dec 2003
- [57] **R. ISOBE ET AL.**
"Q and V –band MMIC chip set using 0.1 μm millimeter wave low noise InP HEMTs"
IEEE MTT-S Int. Microwave Symp. Dig., 1995, vol. 3, pp. 1133-1136
- [58] **B. AJA, M.L. DE LA FUENTE, J.P. PASCUAL, A. MEDIAVILLA, E. ARTAL**
"Low noise monolithic Ka-band P-HEMT amplifier for space applications"
European Microwave Week 2001 Conference Proceedings, 24-28 sept 2001, London
- [59] **L. I. BABAK**
"Decomposition Synthesis Approach to Design of RF and Microwave Active Circuits"
IEEE MTT-S Int. Microwave Symp. Dig., May 2001, vol. 3, pp. 2095-2098
- [60] **L. I. BABAK**
"Computer-aided synthesis of RF and microwave active semiconductor circuits on the basis of decomposition approach"
Proc. Internat. Conf. "East-West. Information Technology in Design (EWITD '94)", Part 2, Moscow, September 1994, pp. 205-213.
- [61] **L.I. BABAK, M.V. CHERKASHIN AND A.V. LITVINOV**
"LOCUS - A Program of Interactive Visual Design of Matching and Compensation Networks"
Tomsk, 2001 (in Russian). Email : babak@post.tomica.ru
- [62] **L.I BABAK**
"A new approach to synthesis of matching networks and equalizers for RF and microwave solid-state circuits"
Proceedings of IEEE International Symposium on Circuits and Systems, 1997. ISCAS '97, Volume 1, 9-12 June 1997, pp. 353 – 356
- [63] **L.I. BABAK AND M.V. CHERKASHIN**
"Design of 3.4-4.2 GHz Low-Noise Transistor Amplifier Using Software Tools REGION and LOCUS"
Tomsk, 2001 (in Russian). Email : babak@post.tomica.ru

BIBLIOGRAPHIE PERSONELLE

BIBLIOGRAPHIE PERSONNELLE

D. EYLLIER, S. DARDILLAC, B. ALBERT, L. BILLONNET, B. JARRY

"Design techniques for active filters on GaAs"

International Workshop on Microwave Filters, 13-15 september 2004, CNES Toulouse

D. EYLLIER, S. DARDILLAC, L. BILLONNET, B. JARRY

"A novel approach for pseudo-multipole filter design using active impedance profile"

European Microwave Conference, 5-7 october 2004, Amsterdam

S. DARDILLAC, D. EYLLIER, L. BILLONNET, B. JARRY

"Filtre actif sélectif utilisant la notion de profil d'impédance active"

14èmes Journées Nationales Microondes, 11-13 mai 2005, Nantes

D. EYLLIER, M.V. CHERKASHIN, L.I. BABAK, L. BILLONNET, B. JARRY,

D.A. ZAITSEV, A.V. DYAGILEV

"Utilisation d'une technique visuelle pour la conception d'un LNA dans la bande 2-10 GHz"

14èmes Journées Nationales Microondes, 11-13 mai 2005, Nantes

S. DARDILLAC, D. EYLLIER, L. BILLONNET, B. JARRY

"Active impedance profile technique for selective tuneable active filter with gain"

International Microwave Symposium, 12-17 june 2005, Long Beach

M.V. CHERKASHIN, D. EYLLIER, L.I. BABAK, L. BILLONNET, B. JARRY

"Computer-aided design of ultrawide-band MMIC amplifier"

Microwave & Telecommunication Technology, 12-16 september 2005

15th International Crimean Conference

RESUME

Les travaux présentés dans ce manuscrit ont pour objet l'étude de nouvelles méthodes de compensation et d'outils de synthèse originaux pour la conception de dispositifs actifs destinés à la compensation des pertes, la réduction de taille et l'augmentation de la sélectivité de structures de filtrages microondes passive. Ils portent aussi sur la réalisation d'amplificateurs faible bruit avec le même style d'approche.

En collaboration avec l'Université de Tomsk en Sibérie, nous présentons différents logiciels de conception visuelle tels que *Locus*, *Amp* et *Region*.

L'utilisation du logiciel *Locus* avec un logiciel classique de simulation circuit nous a permis de concevoir un filtre actif passe-bande sélectif ainsi qu'un filtre pseudo-multipôle.

Enfin, l'utilisation de *Locus*, *Amp* et *Region* permet de mettre en place une nouvelle méthode de conception d'amplificateur basée sur le tracé de courbes d'isovaleurs d'impédances de compensation ou de correction. Ces courbes d'isovaleurs prennent en compte différentes spécifications du circuit et permettent ainsi d'obtenir des régions « acceptables » d'impédances dans lesquelles pourront être contenues les impédances à réaliser.

Mots clés :

- Filtre actif – Active filter
- Profil d'impédance active – Active impedance profile
- Amplificateur faible bruit – Low-noise amplifier
- Methode visuelle – Visual technique
- Région acceptable – Acceptable region
- Capacité négative – Negative capacitance
- Résistance négative – Negative resistance
- Inductance active – Active inductance
- Convertisseur d'impédance négative – Negative impedance converter
- Gyrateur – Gyrator