

# UNIVERSITE DE LIMOGES

ECOLE DOCTORALE Sciences – Technologie - Santé

FACULTE des Sciences et Techniques

Année : 2005

Thèse N° : 26-2005

## Thèse

pour obtenir le grade de

**DOCTEUR DE L'UNIVERSITE DE LIMOGES**

**Discipline** : Electronique des Hautes-Fréquences et Optoélectroniques

**Spécialité** : Télécommunications

présentée et soutenue par

*Sandra DE MEYER*

le 12 Septembre 2005

**Etude d'une nouvelle filière de composants HEMTs sur  
technologie nitrure de gallium.**

**Conception d'une architecture flip-chip d'amplificateur  
distribué de puissance à très large bande.**

Thèse dirigée par Pr. Raymond QUERE et Pr. Michel CAMPOVECCHIO

**JURY :**

**E. BERGEAULT**  
**J.C. DE JAEGER**  
**M. CAMPOVECCHIO**  
**D. FLORIOT**  
**R. QUERE**  
**F. REPTIN**  
**S. VERDEYME**  
**D. BAILLARGEAT**  
**S. PIOTROVICZ**  
**J.P. VIAUD**

Rapporteur  
Rapporteur  
Examineur  
Examineur  
Examineur  
Examineur  
Examineur  
Invité  
Invité  
Invité



*À mes parents,  
pour leur confiance et leur soutien.*



# Remerciements

Les travaux de recherche présentés dans ce manuscrit ont été effectués au sein de l'équipe "Circuits et sous-ensembles électroniques non-linéaires haute fréquence" de l'Institut de Recherche en Communications Optiques et Microondes (I.R.C.O.M.), unité mixte de recherche du CNRS. Je remercie Messieurs P. GUILLON et A. BARTHELEMY pour m'avoir accueilli successivement dans ce laboratoire de recherche.

Je remercie Monsieur le Professeur R. QUERE pour avoir encadré ces travaux de recherche et pour la confiance qu'il m'a témoigné tout au long de notre collaboration.

J'exprime ma profonde reconnaissance à Monsieur le Professeur M. CAMPOVECCHIO pour avoir encadré ces travaux et largement participé à leur réalisation. Je le remercie pour avoir partagé ses connaissances, pour la confiance qu'il m'a accordée au cours de la phase de conception

Je remercie également Monsieur le Professeur D. BAILLARGEAT pour son aide précieuse et son agenda extensible.

J'adresse mes remerciements à Monsieur le Professeur S. VERDEYME pour avoir suivi mes travaux de recherches concernant les études en électromagnétisme.

J'exprime toute ma gratitude à Monsieur E. BERGEAULT, Professeur à l'E.N.S.T., et Monsieur J.C. DE JAEGGER, Professeur à l'Université de Lille, pour avoir accepté de juger ce travail en qualité de rapporteurs.

Je souhaite remercier Messieurs F. MURGADELLA et F. REPTIN, ingénieurs à la DGA, pour avoir soutenu ces travaux.

Je remercie vivement Messieurs D. FLORIOT, directeur du laboratoire commun MITIC (IRCOM – ALCATEL THALES III-V Lab) et S. PIOTROWICZ, ingénieur à ALCATEL THALES III-V Lab, pour leur soutien et leur aide précieuse lors de la conception des amplificateurs distribués et surtout pour nous avoir donné la possibilité de réaliser ces circuits.

J'adresse mes plus vifs remerciements à Audrey pour le travail en équipe efficace mené pendant un an sur la conception. Je remercie également Christophe (dit 'Cannelle') pour avoir pris de son temps pour m'initier à la modélisation électrique de composants.

Je tiens également à remercier vivement Marie-Claude pour sa disponibilité et sa gentillesse.

Mes remerciements vont également à mes collègues de bureau Audrey, Stéphane et Abderezak pour l'ambiance de travail agréable qui régnait. Plus largement, je remercie tous les membres de l'équipe "circuits et sous-ensembles électroniques haute fréquence" pour m'avoir supportée pendant ces années.

Un grand merci à *Bibi* pour son aide et son soutien lors de la rédaction de ce manuscrit.

# Table des matières

<b>Introduction générale.....</b>	<b>1</b>
<b>Chapitre 1 : Etude du nitrure de gallium et du transistor HEMT ; modèles des transistors pour la CAO hyperfréquence.....</b>	<b>3</b>
<i>Introduction.....</i>	<i>5</i>
<b>I - GaN : un matériau révolutionnaire pour la puissance haute fréquence... 6</b>	<b>6</b>
<u>1. Les matériaux grand gap .....</u>	<u>6</u>
a/ Historique .....	6
b/ Propriétés des matériaux mises en jeu dans les performances des transistors de puissance RF .....	7
c/ Le carbure de silicium SiC .....	9
d/ Le nitrure de gallium.....	9
e/ Comparaison de différents matériaux de base des transistors.....	10
<u>2. Les substrats de croissance du GaN.....</u>	<u>11</u>
a/ Substrats de nitrure de gallium.....	11
b/ Les autres substrats de croissance du nitrure de gallium .....	12
<b>II - Composant de puissance : le HEMT GaN.....</b>	<b>13</b>
<u>1. Le transistor.....</u>	<u>13</u>
a/ Historique .....	13
b/ Principe fondamental .....	14
<u>2. Le transistor HEMT .....</u>	<u>14</u>
a/ Historique .....	14
b/ Principe de fonctionnement.....	15
c/ Structure physique.....	18
d/ Quelques caractéristiques électriques .....	20
e/ Etat de l'art.....	26

<b>III - Etude et modélisation des transistors étudiés au cours de ces travaux de thèse .....</b>	<b>27</b>
<u>1. Contexte .....</u>	<u>27</u>
2. Caractérisation des composants .....	27
<u>3. Quelques résultats de mesures et phénomènes observés.....</u>	<u>29</u>
a/ Exemple de caractéristiques I(V) obtenues .....	29
b/ Observation de la présence de pièges.....	30
c/ Observation d'un courant de fuite sur la grille .....	34
d/ Observation d'un effet Kink .....	35
<u>4. Modélisation électrique linéaire et non-linéaire des transistors de ces travaux .....</u>	<u>36</u>
a/ Principe de modélisation linéaire des transistors .....	37
b/ Principe de modélisation non-linéaire des transistors.....	40
c/ Mesures et modèles des transistors considérés dans notre conception .....	42
<b><i>Conclusion</i> .....</b>	<b>51</b>
<b><i>Bibliographie</i> .....</b>	<b>52</b>



## **Chapitre 2 : Analyse hybride de transistors HEMTs par couplage de simulations circuit et électromagnétique ..... 57**

*Introduction* ..... 59

### **I - Approche hybride de la modélisation de composants actifs ..... 60**

1. Modélisation électrique ..... 60

2. Modélisation électromagnétique ..... 61

a/ La méthode des éléments finis (FEM : Finite Element Method) ..... 61

b/ La méthode des moments ..... 61

c/ La méthode des différences finies dans le domaine temporel (FDTD : Finite Differences in Time Domain) ..... 62

d/ La méthode des lignes de transmission (TLM : Transmission Lines Matrix) ..... 62

3. Couplage circuit-électromagnétisme ..... 63

### **II - Principe de l'approche hybride et application au transistor 2x50 $\mu$ m de référence ..... 64**

1. Modélisation électrique du transistor 2x50 $\mu$ m ..... 64

2. Modélisation électromagnétique du transistor 2x50 $\mu$ m ..... 68

a/ Le simulateur ..... 68

b/ La simulation ..... 69

3. Principe d'extraction d'un modèle hybride ..... 71

a/ Principe de détermination des éléments extrinsèques ..... 72

b/ Extraction d'un modèle intrinsèque ..... 77

c/ Modèle hybride par couplage circuit - électromagnétisme ..... 78

4. Application au transistor 2x50 $\mu$ m de référence : modèle hybride global ..... 79

a/ Modèle électrique petit signal ..... 79

b/ Extraction du modèle hybride ..... 80

### **III - Application de l'approche hybride à différentes analyses ..... 85**

1. Extraction d'une cellule élémentaire ..... 85

a/ Définition de la cellule élémentaire ..... 85

b/ Modèle intrinsèque unitaire de la cellule élémentaire ..... 86

c/ Simulation électromagnétique de la cellule élémentaire ..... 87

d/ Modèle hybride de la cellule élémentaire .....	90
e/ Simulation d'un composant de fort développement par couplage de cellules élémentaires.....	91
<b>2. Topologies distribuée / parallèle .....</b>	<b>95</b>
a/ Modèles intrinsèques unitaires .....	96
b/ Modèle hybride du 12x75µm distribué.....	99
c/ Modèle hybride du 12x75µm parallèle .....	103
d/ Comparaison des topologies distribuée et parallèle .....	106
<b>3. Topologies coplanaire / microstrip.....</b>	<b>107</b>
a/ Modèle intrinsèque unitaire.....	108
b/ Modèle hybride du 2x50µm à accès coplanaires .....	109
c/ Modèle hybride du 2x50µm à accès microstrip .....	111
d/ Comparaison des topologies coplanaire / microstrip .....	113
<b>4. Reports face-up et flip-chip.....</b>	<b>114</b>
a/ Report face-up avec fils de bonding.....	114
b/ Report flip-chip .....	119
<b><i>Conclusion</i> .....</b>	<b>121</b>
<b><i>Bibliographie</i> .....</b>	<b>122</b>

## **Chapitre 3 : Analyse et conception d'amplificateurs de puissance distribués à cellules cascodes sur la bande 4-18GHz ..... 127**

*Introduction* ..... 129

### **I - Amplification de puissance large bande - Analyse de l'amplificateur distribué et de la cellule cascode ..... 131**

1. Les différentes topologies d'amplificateurs de puissance large bande..... 131

a/ Amplificateur à adaptation résistive ..... 132

b/ Amplificateur à contre-réaction ..... 133

c/ Amplificateur distribué..... 133

2. Etat de l'art des amplificateurs de puissance à base de HEMTs GaN..... 135

3. Principe de fonctionnement et analyse de l'amplificateur distribué en bas niveau .... 135

a/ Principe de fonctionnement..... 136

b/ Etude des lignes de grille et de drain ..... 138

c/ Etude du gain en puissance ..... 149

d/ Sensibilité de l'amplificateur aux éléments extrinsèques du transistor ..... 158

4. Méthode de conception en puissance des amplificateurs distribués ..... 161

5. Etude du montage cascode ..... 162

a/ Description ..... 163

b/ Principe de fonctionnement..... 164

### **II - Conception de deux amplificateurs de puissance distribués à cellules cascodes ..... 168**

1. L'architecture..... 169

2. Les spécifications ..... 170

3. La technologie ..... 170

a/ La technologie du nitrure de gallium ..... 170

b/ La technologie du nitrure d'aluminium ..... 171

c/ Le montage flip-chip ..... 172

### **III - Conception de l'amplificateur SANA1 ..... 172**

1. La cellule cascode ..... 172

a/ Influence de L et $Ca_1$ .....	173
b/ Optimisation de la cellule cascode .....	176
<u>2. L'amplificateur distribué SANA1 .....</u>	<u>178</u>
a/ L'amplificateur distribué SANA1 .....	178
b/ L'amplificateur distribué SANA2 .....	181
c/ Motifs de test de la cellule cascode .....	182
<u>3. Les performances de l'amplificateur SANA1 .....</u>	<u>184</u>
a/ Simulations en régime linéaire .....	184
b/ Simulations en régime fort signal .....	186
<b>IV - Conception de l'amplificateur YADE1.....</b>	<b>192</b>
<u>1. La cellule cascode .....</u>	<u>192</u>
<u>2. L'amplificateur distribué YADE1 .....</u>	<u>194</u>
a/ L'amplificateur distribué YADE1 .....	194
b/ L'amplificateur distribué YADE2 .....	197
c/ Motifs de test de la cellule cascode .....	197
<u>3. Les performances de l'amplificateur YADE1 .....</u>	<u>199</u>
a/ Simulations en régime linéaire .....	199
b/ Simulations en régime fort signal .....	201
<b>V - Réalisation des circuits SANA et YADE.....</b>	<b>205</b>
<u>1. Les circuits de GaN.....</u>	<u>205</u>
<u>2. Les circuits d'AlN.....</u>	<u>207</u>
<b><i>Conclusion</i> .....</b>	<b>208</b>
<b><i>Bibliographie</i> .....</b>	<b>210</b>
<b>Conclusion générale .....</b>	<b>215</b>
<b>Perspectives.....</b>	<b>217</b>
<b>Liste des publications et communications associées.....</b>	<b>218</b>





## **Introduction générale**

Avec le développement des communications sans fil, des télécommunications et des systèmes aéroportés, les exigences sur les amplificateurs de puissance ont augmenté continuellement au cours de la dernière décennie ; les performances attendues englobent des niveaux de puissance élevés, un fort rendement, une grande linéarité et des fréquences de travail élevées. Notre étude est essentiellement focalisée sur l'accroissement de la puissance aux hautes fréquences.

C'est dans cette conjoncture que les semi-conducteurs grand-gap ont focalisé l'attention de la recherche RF. Ces matériaux présentent un champ de claquage élevé et de très bonnes propriétés thermiques. Pendant longtemps, le carbure de silicium SiC est apparu comme le candidat idéal mais c'est actuellement le nitrure de gallium GaN qui prend le dessus et bénéficie d'un important effort de recherche et de développement à travers le monde.

Ce travail de thèse s'inscrit dans le cadre d'un contrat européen à l'initiative de la DGA (Délégation Générale pour l'Armement). Il concerne l'étude d'une filière de composants HEMT sur technologie nitrure de gallium et son application à l'amplification de puissance sur différentes bandes de fréquence. Ce contrat rassemble des laboratoires de recherche français, unités du CNRS (LETI, CEA, CRHEA, IRCOM), le laboratoire commun TIGER (IEMN – THALES), ainsi que des industriels allemands (Ferdinand Braun Institute fuer Höchstfrequenztechnik, Daimler Chrysler). L'ensemble étant coordonné et géré par UMS.

Au sein de ce contrat, les tâches incombant à L'IRCOM concernent la caractérisation et la modélisation non-linéaire des composants (travail réalisé par Christophe CHARBONNIAUD, thèse à soutenir en 2005) ainsi que l'analyse électromagnétique de ces composants. De plus, il nous a semblé primordial, dans un cadre non contractuel, d'évaluer les potentialités de cette nouvelle filière en développement à travers la conception d'amplificateurs de puissance large bande avec pour objectif ultime une puissance de sortie de 5W sur la bande 6 - 18GHz.

Ce manuscrit se présente donc en trois parties :

Dans un premier chapitre, nous mettrons en avant la demande croissante en puissance plus élevée en hautes fréquences due à l'avènement des applications de télécommunications hyper et radiofréquence. Nous verrons pourquoi le nitrure de gallium GaN est un excellent candidat pour répondre à ces attentes. Nous étudierons également les différents substrats d'accueil actuellement utilisés pour la croissance du nitrure de gallium.

Dans ce même chapitre, nous rappellerons le principe de fonctionnement du transistor HEMT et nous recenserons l'état de l'art de ce composant dans les différentes technologies. Nous nous attacherons par la suite à mettre en évidence les différents phénomènes observés sur les composants contractuels. Pour finir, nous présenterons rapidement les modèles des transistors employés dans les amplificateurs réalisés.

Le deuxième chapitre concerne l'étude électromagnétique réalisée sur les composants contractuels. Nous parlerons brièvement de la méthode retenue pour réaliser cette étude. Nous étudierons ensuite la modélisation hybride d'un composant de base de 2 doigts de 50 $\mu$ m. Nous verrons également l'utilité de construire un modèle intrinsèque actif constituant la brique de base des composants de plus grande taille. Nous validerons alors le modèle hybride d'un transistor à 8 doigts basés sur la connexion de quatre briques de base de 2 doigts. A partir de cette étude, nous réaliserons les comparaisons de différentes topologies et montages : la comparaison des topologies parallèle et distribuée, des topologies coplanaire et microstrip, des montages on-wafer et flip-chip.

Le troisième et dernier chapitre s'attache à la conception de deux amplificateurs de puissance large bande. Nous étudierons pour commencer, la théorie de l'amplification distribuée de puissance ainsi que celle du montage cascode. Nous exposerons pour finir le travail de conception d'un amplificateur distribué à cellules cascodes dans la bande 4-18 GHz basé sur une topologie de transistor à 8 doigts de 50 $\mu$ m ainsi que celle d'un autre amplificateur basé sur une topologie de transistor à 8 doigts de 75 $\mu$ m. Notons que nous avons pris le parti du risque et de l'innovation en réalisant des pré-adaptations MMIC des cellules cascodes sur le substrat actif GaN au plus près des transistors tandis que la majorité de l'architecture passive est intégrée sur le substrat AlN de report flip-chip.



**Chapitre 1 : Etude du nitruire de gallium et  
du transistor HEMT ; modèles des  
transistors pour la CAO hyperfréquence**



# Introduction

[1.1]

L'augmentation des performances en puissance est un axe stratégique pour tous les systèmes télécoms et en particulier pour les systèmes radars. A titre d'exemple, dans des applications telles que les communications mobiles, l'évolution du débit et du volume de données échangées nécessitent une amélioration importante des performances offertes aujourd'hui par les amplificateurs présents dans les stations de base.

Or, les technologies disponibles actuellement ne permettent pas de répondre à l'augmentation nécessaire des niveaux de puissance. Les composants de puissance en arséniure de gallium GaAs sont aujourd'hui des éléments fiables aux hautes fréquences mais ils semblent avoir atteint leurs limites concernant les performances en puissance. En terme de densité de puissance, l'état de l'art des pHEMTs GaAs se situe aux environs de 1W/mm à 10GHz.

C'est alors que les matériaux à large bande interdite sont apparus comme une alternative très intéressante. Pendant longtemps, le carbure de silicium SiC a semblé être le candidat idéal, mais il ne remplissait pas vraiment son rôle dans les applications microondes à cause d'une faible mobilité de porteurs et des problèmes de pièges. Le nitrure de gallium GaN a alors focalisé l'attention des recherches composant. Ce matériau présente de très bonnes propriétés électroniques pour la puissance aux hautes fréquences.

Dans ce chapitre, nous nous pencherons sur les matériaux grand-gap et leurs caractéristiques. Nous étudierons plus précisément le carbure de silicium et le nitrure de gallium. Une comparaison des propriétés de différents matériaux de base des transistors est également présentée. Nous regarderons aussi les différents substrats de croissance du nitrure de gallium actuellement employés.

Dans une deuxième partie, nous étudierons le transistor HEMT, son fonctionnement et sa structure. L'état de l'art des transistors HEMTs sur nitrure de gallium décrit dans la littérature sera présenté. Pour finir, nous nous intéresserons aux composants étudiés au cours de ces travaux de thèse. Nous mettrons en avant les différents phénomènes observés au cours des sessions de mesures et présenterons également les modèles des composants utilisés au

cours de la conception de l'amplificateur large bande de puissance décrite au chapitre 3 de ce manuscrit.

# **I - GaN : un matériau révolutionnaire pour la puissance haute fréquence**

## **1. Les matériaux grand gap**

[1.2], [1.3], [1.4], [1.5], [1.6], [1.7]

### a/ Historique

Afin de répondre à l'exigence croissante de densité de puissance aux hautes fréquences, les chercheurs se sont intéressés aux matériaux à large bande interdite tels que le carbure de silicium SiC ou encore le nitrure de gallium GaN. Ces matériaux présentent une énergie de bande interdite jusqu'à trois fois plus élevée que celles des semi-conducteurs utilisés jusqu'alors comme le silicium Si, le germanium Ge ou l'arséniure de gallium AsGa. En effet, le nitrure de gallium montre une énergie de bande interdite de 3,4eV contre 1,1eV pour le silicium.

Ces matériaux grand gap sont connus depuis plusieurs décennies déjà ; le nitrure de gallium est d'ailleurs commercialisé depuis les années 1970. La première application de ces semi-conducteurs se basait sur leurs propriétés optiques : il s'agissait de diodes électroluminescentes bleues tout d'abord pour le SiC, puis vertes, violettes et même blanches pour le GaN.

Le développement de ces éléments visant les applications RF n'a débuté qu'à partir des années 1980, avec en tête de liste le carbure de silicium. Ils se révèlent désormais comme des matériaux quasi idéaux pour la réalisation de transistors de puissance haute fréquence. La Figure 1–1 donne une liste non exhaustive des applications envisagées.

## b/ Propriétés des matériaux mises en jeu dans les performances des transistors de puissance RF

Une rapide étude des caractéristiques des semi-conducteurs grand gap permet de mettre en avant leur influence sur les performances des transistors réalisés à base de ces matériaux.

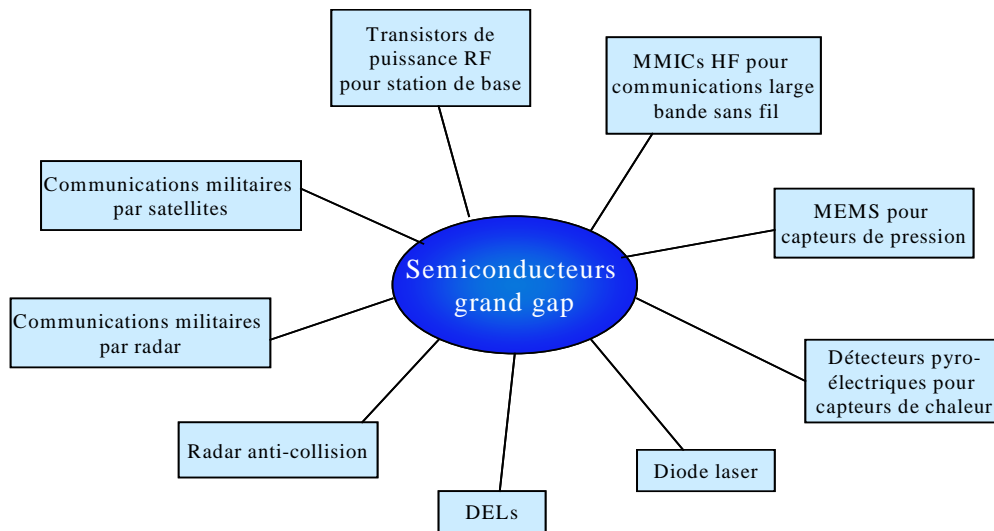


Figure 1–1 : exemples d'applications des semi-conducteurs grand gap

### *i- Champ critique ou champ de claquage*

Ce paramètre est un des plus importants à prendre en compte pour les performances en puissance d'un transistor. Il traduit en effet la tension maximale de fonctionnement du composant. Cette propriété engendre donc une limitation de la puissance RF. Plus le champ critique est élevé et plus on pourra réaliser des transistors de petites dimensions avec des dopages plus importants. En conséquence, le composant présentera entre autre une transconductance supérieure, un meilleur gain en puissance, des fréquences  $f_t$  et  $f_{max}$  plus élevées et un meilleur rendement du aux résistances d'accès plus faibles.

### *ii- Conductivité thermique*

Dans un composant, une partie de la puissance DC est convertie en puissance RF, une autre partie est dissipée en chaleur et le reste est également transformée en chaleur mais non dissipée. La conductivité thermique d'un matériau traduit sa capacité à évacuer la chaleur du composant. La chaleur non dissipée provoque une élévation de température du composant qui va entraîner une chute de la mobilité des électrons, causant une diminution du rendement

et une génération plus forte de chaleur. C'est pourquoi, une forte conductivité thermique est préférable pour des applications de puissance.

*iii- Mobilité des électrons*

La mobilité des électrons influence la valeur de la tension de coude  $V_{knee}$ . Une faible mobilité de charges induira une augmentation de la résistance parasite, soit plus de pertes et donc moins de gain. De plus, ces effets s'intensifieront pour des fonctionnements aux hautes fréquences et /ou à des températures élevées.

*iv- Largeur de bande interdite*

La bande interdite représente l'intervalle situé entre le niveau inférieur de la bande de conduction et le niveau supérieur de la bande de valence d'un matériau. L'énergie de bande interdite est une mesure de la quantité d'énergie nécessaire à un électron pour passer de la bande de valence à la bande de conduction sous l'impulsion d'une excitation thermique ou autre. Cette quantité est un facteur de la capacité du matériau à supporter une forte température ; elle définit la température maximale de fonctionnement du transistor. De plus, les matériaux grand gap ont montré une plus grande résistance aux radiations, dont les particules  $\alpha$ , représentant un problème dans les transistors MOS sur silicium.

La Figure 1–2 résume la corrélation entre les propriétés des matériaux et les performances des composants réalisés à partir de ces matériaux.

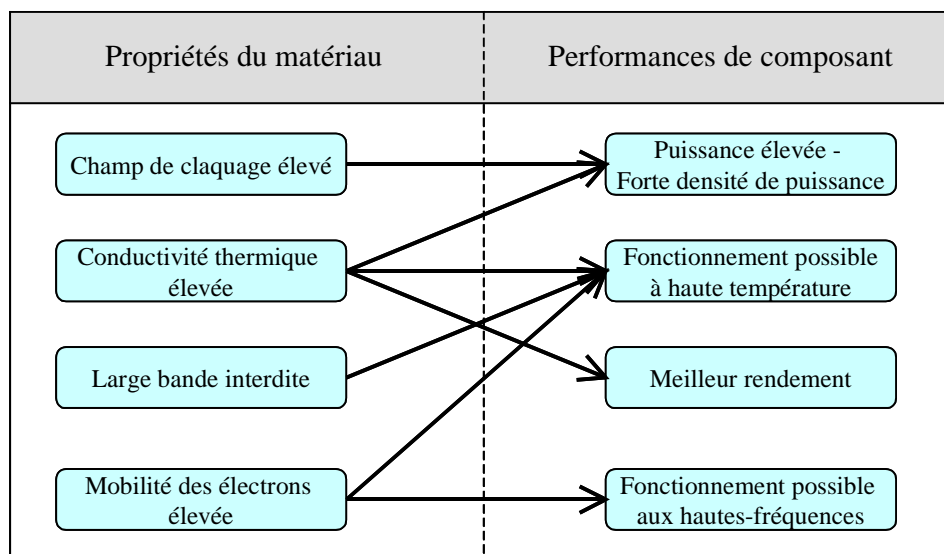


Figure 1–2 : influence des propriétés des matériaux sur les performances des composants

### c/ Le carbure de silicium SiC

Le carbure de silicium SiC avance un certain nombre de propriétés physiques lui permettant d'être un candidat sérieux pour les applications de fortes puissances aux hautes fréquences. Ce semi-conducteur montre en effet une largeur de bande interdite plus de deux fois supérieure à celle de l'arséniure de gallium AsGa, largement exploité de nos jours dans la fabrication de composants hautes fréquences. De plus, le champ de claquage du carbure de silicium est quasiment dix fois supérieur à celui de l'AsGa. De surcroît, sa conductivité thermique élevée laisse envisager un bon comportement du composant lors d'utilisations aux hautes températures.

Il reste malgré tout un bémol à apporter concernant une faible mobilité des électrons dans le matériau. En conséquence, les applications basées sur le carbure de silicium seront limitées en fréquence aux alentours de 10GHz.

Le Tableau 1-1 recense quelques propriétés de divers matériaux utilisés pour la fabrication de composants de puissance.

Les substrats de carbure de silicium sont disponibles commercialement en différentes épaisseurs et différentes surfaces. Sa réalisation est en effet bien maîtrisée de nos jours, même si ces wafers représentent encore un coût élevé.

### d/ Le nitrure de gallium

Le nitrure de gallium est un semi-conducteur III-V, montrant une très grande largeur de bande interdite (3,4eV) ; il présente donc un potentiel de fonctionnement à haute température. Ce matériau présente une conductivité thermique certes plus faible que le carbure de silicium, mais tout de même trois fois plus élevée que l'arséniure de gallium. De plus, le nitrure de gallium devant être déposé sur un autre substrat (faute de disponibilité de substrat de GaN, [voir section2. ]), l'ensemble présentera une meilleure conductivité thermique. Ceci est déterminant pour des applications de puissance. Ce semi-conducteur présente également un champ de claquage élevé, cinq fois plus élevé que celui de l'arséniure de gallium. Ce critère permet une utilisation à des fortes puissances.

Le nitrure de gallium offre également la possibilité de réaliser des hétérojonctions avec l'AlN et l'AlGaIn, permettant la fabrication de transistors HEMTs.

Tous ces paramètres physiques du nitrure de gallium l'expose comme un candidat sérieux pour des applications à de plus fortes puissances et plus hautes fréquences que celles réalisées aujourd'hui.

Ce matériau possède également de bonnes propriétés optiques. En effet, le gap présenté par ce semi-conducteur est assez grand pour que lorsqu'un électron tombe de la bande de conduction à la bande de valence, le photon libéré possède une énergie correspondante à une émission de couleur bleue, ou verte ou violette et même ultra-violette. En fait, le gap du nitrure de gallium est tellement grand que le matériau est transparent, comme le diamant, car les photons du spectre visible ont tous des énergies plus faibles que l'énergie de bande interdite du GaN.

e/ Comparaison de différents matériaux de base des transistors

Le Tableau 1-1 recense quelques caractéristiques physiques des principaux matériaux utilisés pour la réalisation de transistors à applications hyper-fréquences. La Figure 1-3 reprend quelques unes de ces propriétés sous forme graphique, permettant une comparaison plus aisée. On observe en effet que le carbure de silicium présente une conductivité thermique 10 fois supérieure à celle de l'arséniure de gallium, ou encore que le champ critique du nitrure de gallium est 10 fois supérieur à celui du silicium.

matériau propriétés	silicium Si	arséniure de gallium AsGa	carbure de silicium SiC	nitrure de gallium GaN
largeur de bande interdite (eV)	1,1	1,4	3,2	3,4
mobilité des électrons à 300K (cm <sup>2</sup> .V <sup>-1</sup> .s <sup>-1</sup> )	1350	6000	800	1500
champ critique (MV.cm <sup>-1</sup> )	0,3	0,4	2	3
conductivité thermique (W.cm <sup>-1</sup> .K <sup>-1</sup> )	1,5	0,5	4,9	1,7
constante diélectrique statique	11,7	12,9	9,7	8,5
température de fusion (°C)	1412	1240	3103	2500

Tableau 1-1 : comparaison de quelques propriétés physiques de différents semi-conducteurs



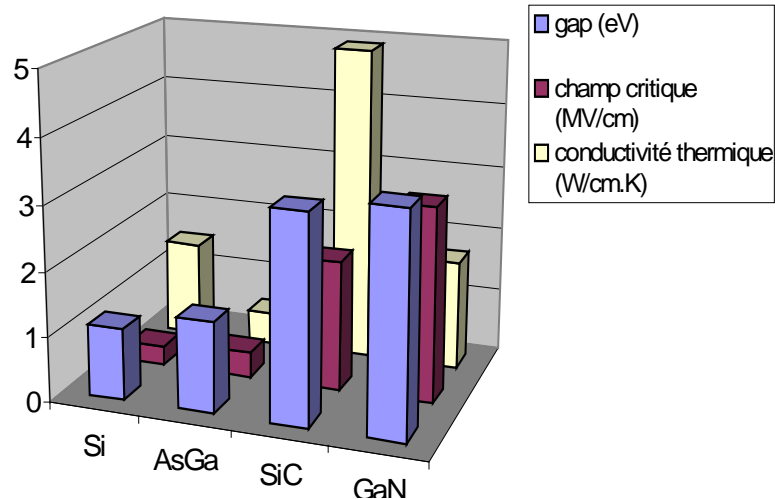


Figure 1-3 : comparaison de quelques propriétés physiques de différents semi-conducteurs

## 2. Les substrats de croissance du GaN

### a/ Substrats de nitrure de gallium

[1.3], [1.7], [1.8], [1.9]

Idéalement, le substrat et les couches basses du composant sont réalisés dans le même matériau. Cette uniformité prévient des discontinuités de la structure cristallographique en éliminant une interface entre deux matériaux présentant des mailles différentes. La réalisation de substrats de nitrure de gallium permet de réduire la complexité et le nombre d'étapes du process. De plus, les discontinuités cristallographiques peuvent engendrer des dommages pouvant fortement dégrader les performances du transistor. En conséquence, les performances attendues sur de tels substrats sont bien au-delà de celles obtenues jusqu'alors sur d'autres matériaux.

Un point critique subsiste encore car les applications de puissance envisagées induisent des températures de fonctionnement assez élevée. Or, la conductivité thermique du nitrure de gallium reste limitée (1,7W/cm/K). Néanmoins, en prêtant attention au management thermique, par montage flip-chip par exemple, on peut envisager le fonctionnement à des niveaux de puissance élevés sans dégradation du composant.

Aujourd'hui, un grand nombre de compagnies intègrent un projet concernant le nitrure de gallium dans leur programme de R&D. En revanche, seul un petit nombre d'entre elles ont atteint une maturité du process suffisante pour la commercialisation ; en effet, les

méthodes employées généralement pour la fabrication de substrats ne sont pas applicables aux substrats de nitrure de gallium en raison de très hautes températures et pression nécessaires pour fondre les matériaux. De plus, les wafers disponibles sont encore chers. On peut espérer voir baisser les prix avec le développement de la technique de fabrication et l'augmentation des volumes de production ; mais des applications bien implantées telles que les diodes électroluminescentes resteront sur saphir pour quelques années encore.

b/ Les autres substrats de croissance du nitrure de gallium

[1.3], [1.4], [1.7], [1.10], [1.11], [1.12]

La réalisation de substrats de nitrure de gallium se révèle encore aujourd'hui très complexe et représente un coût très élevé. En conséquence, ce semi-conducteur nécessite un substrat d'un autre matériau sur lequel un film de cristaux de nitrure de gallium pourrait croître. Le choix du matériau de base est limité par les propriétés physiques du cristal de GaN. Jusqu'alors, trois matériaux ont été utilisés pour la croissance de ce semi-conducteur grand gap : le silicium Si, le carbure de silicium SiC et le saphir  $Al_2O_3$ . En effet, la structure cristalline du nitrure de gallium ainsi que ses propriétés d'expansion thermique semble s'accorder relativement bien avec les caractéristiques de ces trois matériaux.

*i- Le saphir :  $Al_2O_3$*

Le saphir présente un désaccord de maille de 16% environ avec le nitrure de gallium. Ce critère peut entraîner une forte densité de dislocations de l'ordre de  $10^7$  à  $10^8 \text{cm}^{-2}$ , provoquant une baisse de la fréquence de transition  $f_t$ . De plus, sa faible conductivité thermique le fait apparaître comme une barrière à la dissipation de chaleur, pouvant limiter son application aux fortes puissances. En revanche, les substrats de saphir sont disponibles à moindre coût et dans de grandes dimensions.

*ii- Le carbure de silicium semi-isolant :  $siSiC$*

Le carbure de silicium présente un bien meilleur accord de maille avec le nitrure de gallium (96,5% d'accord). De plus, le SiC avance de très bonnes propriétés physiques telles qu'une excellente conductivité thermique de  $4,9 \text{W.cm}^{-1}.\text{C}^{-1}$  (4H-SiC) permettant une dissipation aisée de la chaleur. En revanche, ce matériau représente un coût encore élevé. De plus, la nucléation du nitrure de gallium sur ce substrat reste délicate.

### *iii- Le silicium : Si*

Tout comme le saphir, le silicium présente un désaccord de maille important avec le nitrure de gallium, ce qui peut entraîner un stress supplémentaire au niveau de l'interface. De plus, la conductivité thermique offerte par le silicium est légèrement inférieure à celle du nitrure de gallium. Ceci signifie qu'une attention particulière devra être apportée au management thermique lors d'une conception. En revanche, le procédé de fabrication des substrats de silicium est mature puisqu'il est utilisé depuis des années dans l'univers de la RF. Les wafers de silicium sont disponibles dans de grandes dimensions à moindre coût, bien en deçà du carbure de silicium semi-isolant.

### *iv- Le carbure de silicium conducteur : SiC type n*

Dernièrement, des résultats ont été publiés concernant des composants de nitrure de gallium sur un substrat de carbure de silicium conducteur. Ce matériau présente un très bon accord de mailles avec le nitrure de gallium (96,5%) et une très bonne conductivité thermique. De plus, il s'agit d'une technologie très mature, disponible en grandes dimensions à des coûts très faibles. En revanche, le procédé de croissance du nitrure de gallium reste complexe et délicat.

## **II - Composant de puissance : le HEMT GaN**

### **1. Le transistor**

[1.13], [1.14]

#### a/ Historique

Le transistor a été inventé à Bell Laboratories en Décembre 1947 (première démonstration le 23 décembre) par John Bardeen, Walter Houser Brattain et William Bradford Shockley, qui ont reçu le prix Nobel de physique en 1956.

Initialement, ils avaient prévu de réaliser un transistor à effet de champ, décrit par Julius Edgar Lilienfeld en 1925, mais ils ont finalement découvert le phénomène d'amplification de courant qui évoluera ensuite vers un transistor bipolaire à jonction (BJT).

## b/ Principe fondamental

Le transistor est un composant semi-conducteur utilisé comme amplificateur et switch. C'est un composant à trois accès. Un courant ou une tension faible appliqué à un accès contrôle le courant à travers les deux autres accès.

On distingue deux grandes familles de transistor : les transistors bipolaires (BJT) et les transistors à effet de champ (FET). En ce qui concerne les BJTs, les trois accès sont la base, le collecteur et l'émetteur. Un faible courant électrique appliqué sur la base permet la modulation du flux de courant entre le collecteur et l'émetteur (Figure 1-4.(a)). Dans le cas des FETs, c'est la tension appliquée sur la grille qui permet de moduler le courant circulant entre le drain et la source (Figure 1-4.(b)).

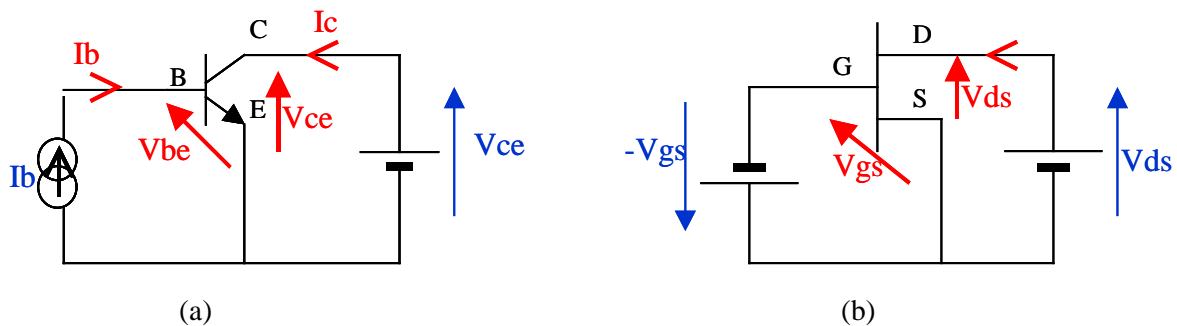


Figure 1-4 : circuits de polarisation d'un BJT (a) et d'un FET (b)

Nous allons nous intéresser aux transistors à effet de champ, et plus précisément aux transistors HEMTs, puisqu'ils représentent les composants sur lesquels ces travaux de thèse ont été réalisés.

## 2. Le transistor HEMT

### a/ Historique

[1.14]

Les premiers transistors HEMT (High Electron Mobility Transistor) sont apparus en 1980 (Fujitsu, Thomson) [1.15] [1.16]. En 1985, le HEMT est présenté comme un composant micro-onde unique ayant les plus faibles caractéristiques en bruit au monde. Initialement, ce transistor était utilisé dans un radiotélescope à Nobeyama, Japon, qui présente un diamètre de 45 mètres. En refroidissant le composant à la température de l'hélium liquide, il est possible

de capter un signal provenant d'une molécule interstellaire située à mille années lumières de la Terre. Plus tard, le HEMT sera implanté dans des récepteurs de télévision pour capter les signaux des satellites géostationnaires (36000km d'altitude). Puis petit à petit, ce composant se fera une place dans notre quotidien.

Le HEMT constitue une évolution majeure du MESFET (Fet à jonction métal/semi-conducteur) et a pris le pas sur ce dernier depuis le début des années 1990.

Ce composant est désormais largement utilisé en tant que composant faible bruit dans les systèmes de télécommunications terrestres et spatiales, dans les radiotélescopes, dans les récepteurs de télévision par satellite, ..., dans bon nombre de systèmes électroniques, des téléphones portables aux véhicules automobiles .

#### b/ Principe de fonctionnement

[1.11], [1.13], [1.14], [1.17], [1.18], [1.19]

##### *i- Effet fondamental*

Le transistor HEMT possède plusieurs dénominations : il est également appelé TEGFET (Two-dimensional Electron Gas Field Effect Transistor) ou MODFET (Modulation Doped Field Effect Transistor). Depuis son apparition, ce transistor est vu comme un composant faible bruit et faible consommation d'énergie. Il est désormais un élément essentiel pour les applications d'amplification aux hautes fréquences. Son effet fondamental est une source de courant contrôlée en tension. En effet, une tension variable appliquée sur l'accès de grille d'un composant permet de faire varier le courant circulant entre les deux autres électrodes qui sont le drain et la source.

Le HEMT apparaît comme une évolution du MESFET (Metal-Semiconductor Field Effect Transistor). En effet, le HEMT apporte une amélioration afin de palier au problème de transport électronique dans un matériau dopé. Il présente une hétérojonction, une jonction entre deux matériaux ayant des énergies de bande interdite différentes. La conséquence de cette hétérojonction est la création d'un canal très fin dans le matériau non dopé de très faible résistance, entraînant une mobilité d'électrons élevée (origine du nom HEMT). Cette couche est appelée gaz d'électrons à deux dimensions (origine du nom TEGFET) et est la conséquence de polarisations piézoélectriques et spontanées. En fait, l'effet fondamental

décrit au-dessus est lié au phénomène de variation de la densité de porteurs de ce gaz bidimensionnel d'électrons sous l'influence d'une tension appliquée à l'accès grille du composant ; cet effet est en opposition au principe du MESFET dans lequel une tension appliquée sur la grille contrôle la largeur du canal de conduction entre le drain et la source.

ii- Principe de l'hétérojonction

Pour mieux comprendre son fonctionnement, nous allons étudier brièvement les structures de bande des matériaux mis en jeu dans un HEMT AlGaN/GaN qui est la technologie étudiée au cours de ces travaux de thèse. L'hétérojonction formée par la juxtaposition de deux matériaux dont les largeurs de bande interdite sont différentes, l'un présentant un large gap (AlGaN : 3,82eV) et l'autre un plus faible (GaN : 3,4eV), entraîne la formation d'une discontinuité de la bande de conduction à l'interface ( $\Delta E_c$ ). La Figure 1-5 présente les niveaux d'énergie mis en jeu dans chacun des matériaux de l'hétérojonction considérés séparément, c'est-à-dire avant contact.

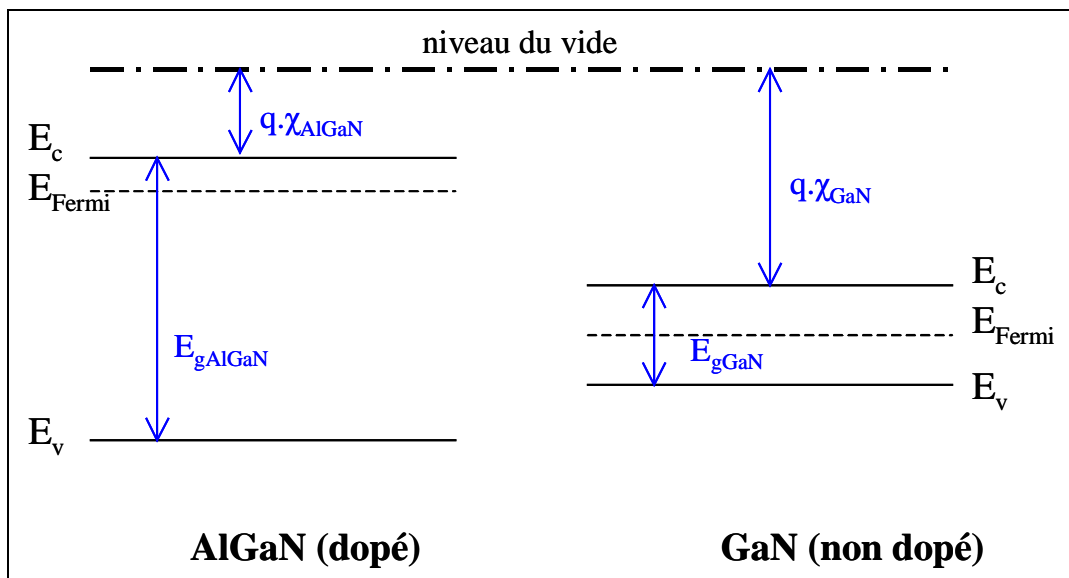


Figure 1-5 : niveaux d'énergie des matériaux mis en jeu dans l'hétérojonction

D'après les règles d'Anderson, lors de la jonction de deux matériaux, leur niveau de Fermi s'aligne. Le niveau du vide ne pouvant pas subir de discontinuités, il en résulte une discontinuité de la structure de bande d'énergie à l'interface. La Figure 1-6 montre les niveaux d'énergie à l'hétérojonction pour une tension appliquée nulle.

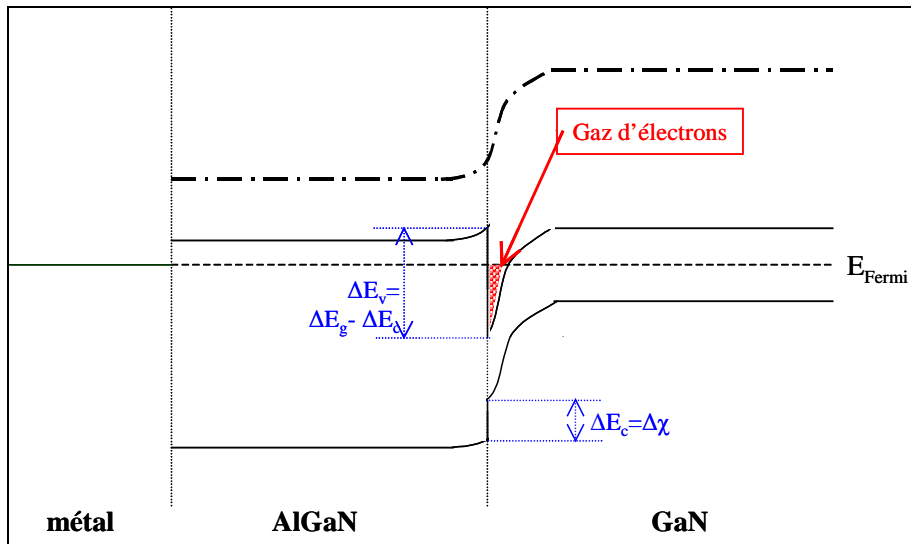


Figure 1-6 : niveaux d'énergie des matériaux à l'hétérojonction pour une tension appliquée nulle

Nous pouvons observer la formation d'un puit quantique à l'interface, dans le matériau de plus faible largeur de bande interdite. Ce puit reste cantonné dans la partie supérieure du matériau à plus faible gap non dopé car, au-dessus, le matériau de plus grande largeur de bande interdite joue le rôle de barrière. C'est dans ce puit que se regroupent les charges libres entraînant le phénomène de conduction à l'origine de la formation d'un gaz d'électrons à deux dimensions ; c'est le canal. La densité de porteurs dans ce canal dépendra du niveau de Fermi dans la bande interdite du matériau (niveau de dopage), de la différence de largeur de cette bande entre les deux matériaux ( $\Delta E_g$ ) et du dopage considéré. Par exemple, la Figure 1-7 montre les niveaux d'énergie mis en jeu à l'hétérojonction lorsqu'on applique une tension sur la grille du composant. On voit en effet une modulation de ce gaz d'électrons et donc de la concentration de porteurs dans le canal. C'est pourquoi une tension appliquée sur la grille d'un HEMT permet le contrôle du courant qui circule entre drain et source.

Une saturation du courant s'observe en raison de la vitesse de saturation des électrons pour des fortes valeurs de tension entre drain et source. Si l'on compare une fois encore le HEMT au MESFET, la mobilité des électrons étant plus élevée dans un gaz que dans un matériau dopé, il est plus rapide que ce dernier, permettant des applications à plus haute fréquence.

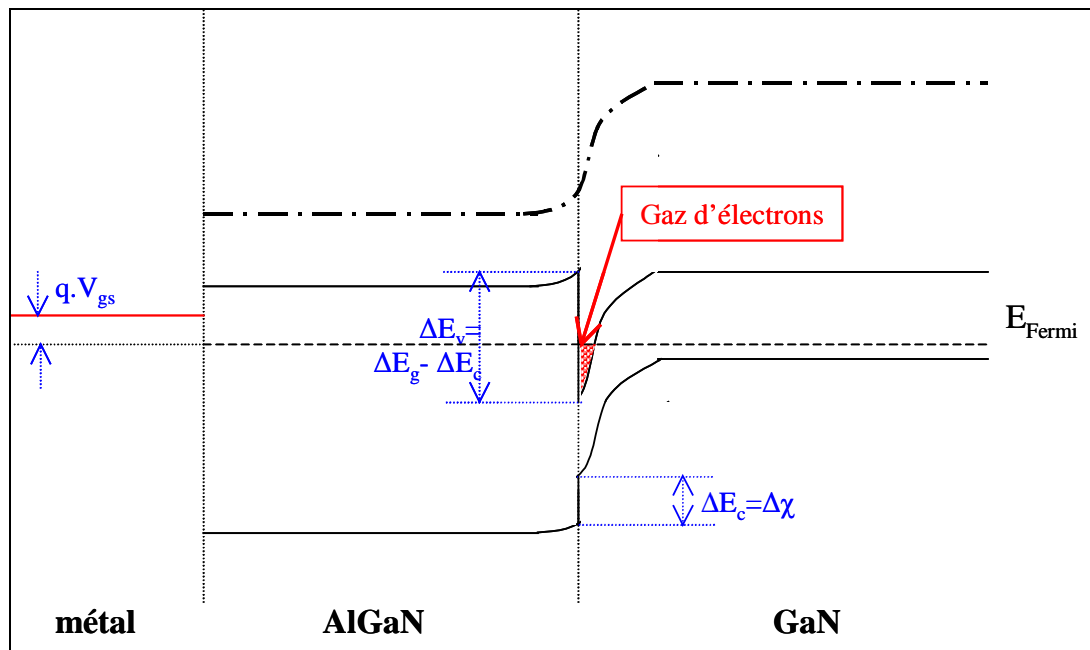


Figure 1-7 : niveaux d'énergie des matériaux à l'hétérojonction pour une tension appliquée non nulle

### c/ Structure physique

La structure d'un HEMT est constituée essentiellement de trois matériaux différents : le substrat, un matériau à large bande interdite et un matériau à plus faible bande interdite. Comme nous l'avons vu précédemment, c'est la jonction de ces deux derniers matériaux qui conduit à la formation d'un gaz d'électrons à l'interface, modulé par la tension appliquée au composant.

L'autre phénomène caractéristique du fonctionnement d'un HEMT, outre l'existence d'un gaz d'électrons, est la jonction Schottky créée par la jonction métal de grille et semi-conducteur du substrat.

La Figure 1-8 présente la structure de base d'un HEMT. Nous donnerons ensuite quelques explications sur les différents éléments de ce composant.

► Substrat : comme vu précédemment, un bulk GaN n'est pas à ce jour disponible à faible coût et en grande taille ; les substrats de nitrure de gallium sont encore très peu utilisés. Nous avons donc recours à des substrats de matériaux différents, sur lesquels peut s'opérer la croissance d'une couche de cristaux de nitrure de gallium. Les matériaux les plus utilisés sont actuellement le carbure de silicium, le saphir et le silicium ([I - 2. b/ ]).



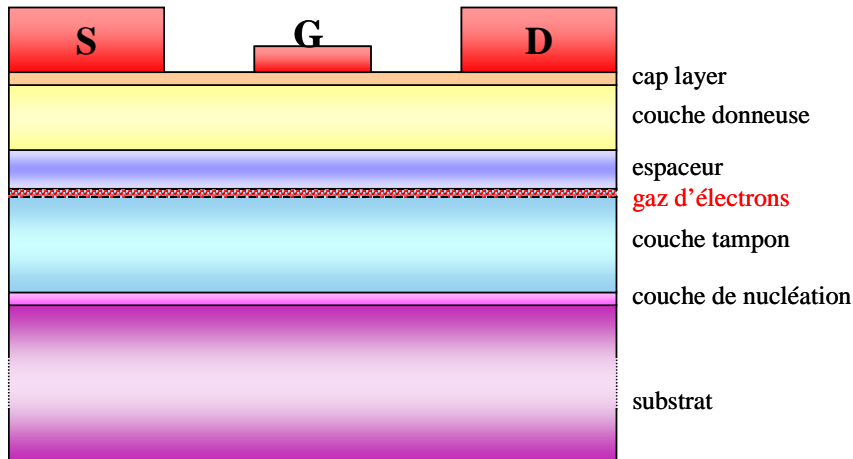


Figure 1-8 : structure physique de base d'un HEMT

► Couche tampon : elle est également appelée buffer. Cette couche se constitue du matériau de plus faible largeur de bande interdite, dans notre cas il s'agit du nitrure de gallium. C'est dans ce matériau, dans la partie supérieure de la couche, que va se former le gaz bidimensionnel d'électrons.

► L'espaceur : cette couche, appelée aussi spacer, est réalisée à partir du matériau de plus large gap, dans notre cas il s'agit du nitrure de gallium-aluminium AlGaN. Ce film non intentionnellement dopé affiche une épaisseur de quelques nanomètres et permet de réduire les interactions électrons-donneurs entre le gaz d'électrons et la couche dopée. En effet, la proximité de ces particules entraînerait une interaction électrostatique connue sous le nom de Coulomb scattering. Cette zone est soumise à un compromis ; en effet, plus elle est épaisse, plus la mobilité des électrons dans le canal augmente associée à une plus faible densité de charges. Au contraire, plus le spacer est fin et plus la densité de charges disponibles dans le canal augmente induisant une plus faible résistance de source, une transconductance et une densité de courant plus grandes .

► Couche donneuse : elle représente une épaisseur de quelques nanomètres de matériau grand gap AlGaN dopé. La concentration d'aluminium peut varier de 20% à 30% environ. Une zone déplétée se forme dans cette couche au niveau de la jonction Schottky de grille ainsi qu'aux abords de l'hétérojonction.

► Cap : la couche superficielle, appelée cap layer, produit de bons contacts ohmiques de drain et de source. Cette fine couche de nitrure de gallium permet également de

réduire les résistances d'accès. Pour obtenir une bonne jonction Schottky de grille, un recess complet de cette épaisseur doit être réalisé sous le contact de grille.

Cette structure possède une couche de AlGaN. En raison des contraintes appliquées à cette couche, il est observé un phénomène de polarisation piézoélectrique et spontanée considérable entraînant un accroissement de la densité de porteurs dans le gaz bidimensionnel d'électrons à l'interface AlGaN/GaN. Or, nous savons que la mobilité des porteurs diminue quand leur concentration augmente. En conséquence, des structures non dopées sont également étudiées présentant une mobilité supérieure et une densité plus faible.

d/ Quelques caractéristiques électriques

[1.18], [1.20], [1.21], [1.22], [1.23]

i- Modèle petit-signal d'un HEMT

Afin de concevoir et simuler des circuits à base de ces composants, il faut construire un modèle électrique du transistor. Le modèle le plus souvent utilisé est un modèle électrique en éléments localisés pour son adaptation à la CAO. La Figure 1-9 montre l'origine physique de ce modèle équivalent en éléments localisés d'un transistor HEMT. La Figure 1-10 représente ce modèle tel qu'il peut être utilisé en simulation dans un logiciel de CAO.

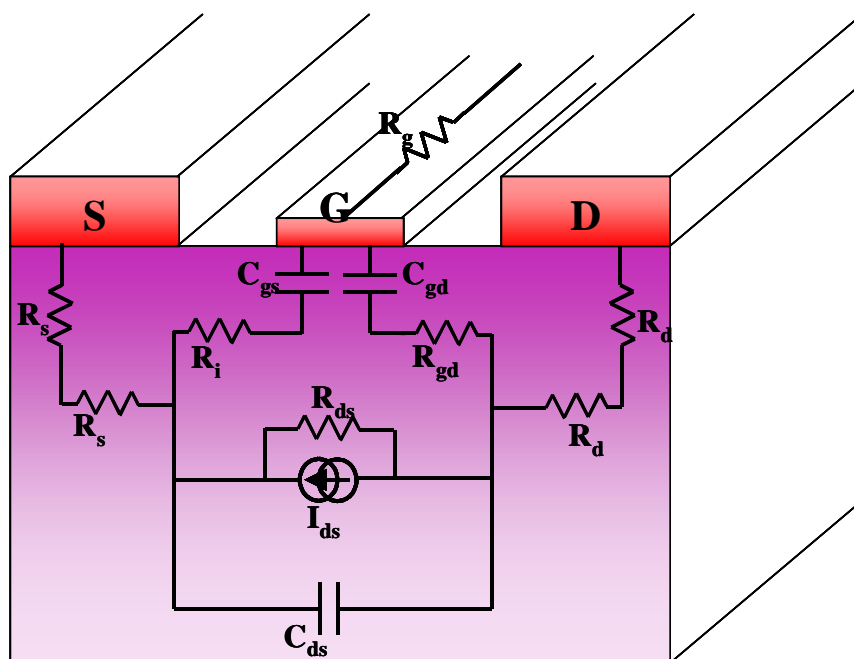


Figure 1-9 : origine physique des éléments du modèle électrique petit signal d'un FET

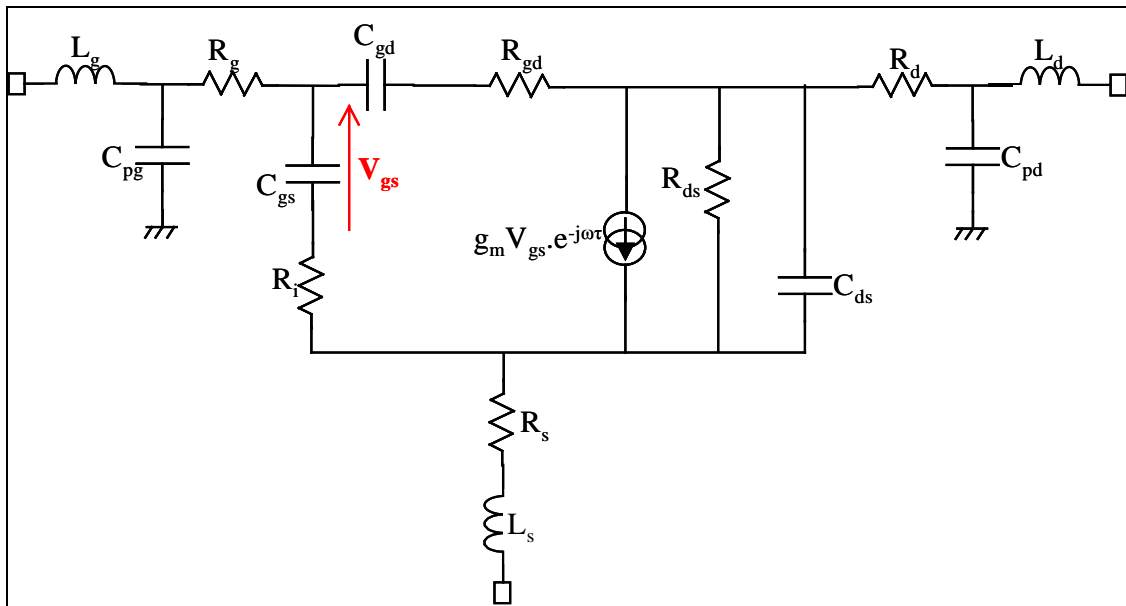


Figure 1-10 : modèle électrique petit signal d'un FET

➤ Éléments intrinsèques

Ce sont les éléments décrivant l'aspect actif intrinsèque du transistor.

► Le générateur de courant  $I_{ds} = g_m V_{gs} e^{-j\omega\tau}$  représente l'effet fondamental du transistor. Il constitue en effet une source de courant contrôlée en tension modélisant le phénomène de gain au sein du composant. Le retard  $\tau$  imposé à la source traduit le temps de transit des électrons dans le canal. La transconductance  $g_m$ , caractéristique fondamentale d'un transistor, représente la variation du courant dans le canal modulé par la tension de grille.

$$g_m = \left. \frac{\partial I_{ds}}{\partial V_{gs}} \right|_{V_{ds}=cte}$$

► La conductance de sortie  $g_d = 1/R_{ds}$ , représente la variation du courant dans le canal modulé par la tension de drain. Cette valeur traduit la résistance du canal.

$$g_d = \left. \frac{\partial I_{ds}}{\partial V_{ds}} \right|_{V_{gs}=cte}$$

► Les capacités grille-source  $C_{gs}$  et grille-drain  $C_{gd}$  représentent les variations de la charge accumulé dans la zone dépeuplée, située sous la grille.  $C_{gs}$  détermine cette variation

modulée par la tension grille-source pour une tension grille-drain constante et  $C_{gd}$ , le contraire :

$$C_{gs} = \left. \frac{\partial Q_g}{\partial V_{gs}} \right|_{V_{gd}=cte} \qquad C_{gd} = \left. \frac{\partial Q_g}{\partial V_{gd}} \right|_{V_{gs}=cte}$$

► La capacité drain-source  $C_{ds}$  décrit le couplage capacitif entre les contacts de drain et de source.

► Les résistances  $R_i$  et  $R_{gd}$  décrivent le caractère distribué du canal. La résistance  $R_i$  est la résistance d'entrée, permettant de modéliser l'impédance d'entrée du transistor. La résistance  $R_{gd}$  quant à elle permet de modéliser la rétroaction du composant ; elle est parfois négligée.

➤ Eléments extrinsèques

Ce sont les éléments parasites qui dépendent principalement des accès à la partie intrinsèque et sont donc liés à la géométrie du transistor.

► Les résistances de source  $R_s$  et de drain  $R_d$  traduisent l'effet résistif des contacts ohmiques et des zones du substrat situées entre les électrodes externes de source ou de drain et la zone active du canal.

► La résistance de grille  $R_g$  représente les pertes dues à l'effet distribué le long de l'électrode de grille du signal de commande.

► Les capacités  $C_{pg}$  et  $C_{pd}$  sont les capacités induites par les accès de grille et de drain vis-à-vis du substrat.

*ii- Caractéristiques électriques et figures de mérite*

➤ Caractéristiques statiques  $I_{ds}(V_{ds})$

La Figure 1–11 représente les caractéristiques statiques classiques d'un HEMT. Il s'agit ici de définir le courant drain-source en fonction de la tension de commande grille-source et de la tension de sortie drain-source.

Sur ces courbes, trois régimes de fonctionnement sont observés :

- o Le régime ohmique (a) : le courant  $I_{ds}$  croît de façon linéaire en fonction des tensions  $V_{ds}$  et  $V_{gs}$ . Cette zone est délimitée par les valeurs  $V_{knee}$  et  $I_{dsmax}$ .
- o Le régime de saturation (b) : le courant  $I_{ds}$  est quasi-constant vis-à-vis de la tension drain-source mais croît avec la tension grille-source.
- o L'avalanche (c) : le courant  $I_{ds}$  " s'emballe " jusqu'à destruction du composant.

Nous apportons ici quelques détails sur ces trois zones de fonctionnement du transistor :

(a) Pour de faibles valeurs de la tension drain-source, plus cette tension augmente et plus la mobilité des électrons dans le canal augmente, induisant un accroissement du courant  $I_{ds}$ . Plus la vitesse de saturation des électrons est faible et plus la limite supérieure  $V_{knee}$  de cette zone sera petite.

(b) Au delà d'une tension  $V_{ds}=V_{knee}$  (appelée tension de coude), les électrons du canal atteignent leur vitesse de saturation. En conséquence, le courant  $I_{ds}$  atteint un certain niveau de saturation pour une tension de commande donnée.

(c) Lorsque le champ dans le canal atteint la valeur du champ critique de claquage, un phénomène d'avalanche se produit. En effet, lorsque le champ atteint cette valeur, correspondant à une tension drain-source  $V_{bd}$  (appelée tension de breakdown), de plus en plus d'électrons et de trous sont libérés jusqu'à une augmentation brutale et irréversible du courant  $I_{ds}$ . Le composant est finalement détruit.

On observe que le courant  $I_{ds}$  croît quand la tension de commande  $V_{gs}$  augmente. Lorsque l'on applique une tension de grille de plus en plus négative, le niveau de Fermi baisse par rapport aux énergies mises en jeu dans le canal, entraînant une diminution de la densité d'électrons dans le canal et donc une diminution du courant  $I_{ds}$ . Lorsque la tension de commande atteint la valeur de pincement  $V_p$ , le niveau de Fermi se trouve en dehors du canal et le courant est donc nul.

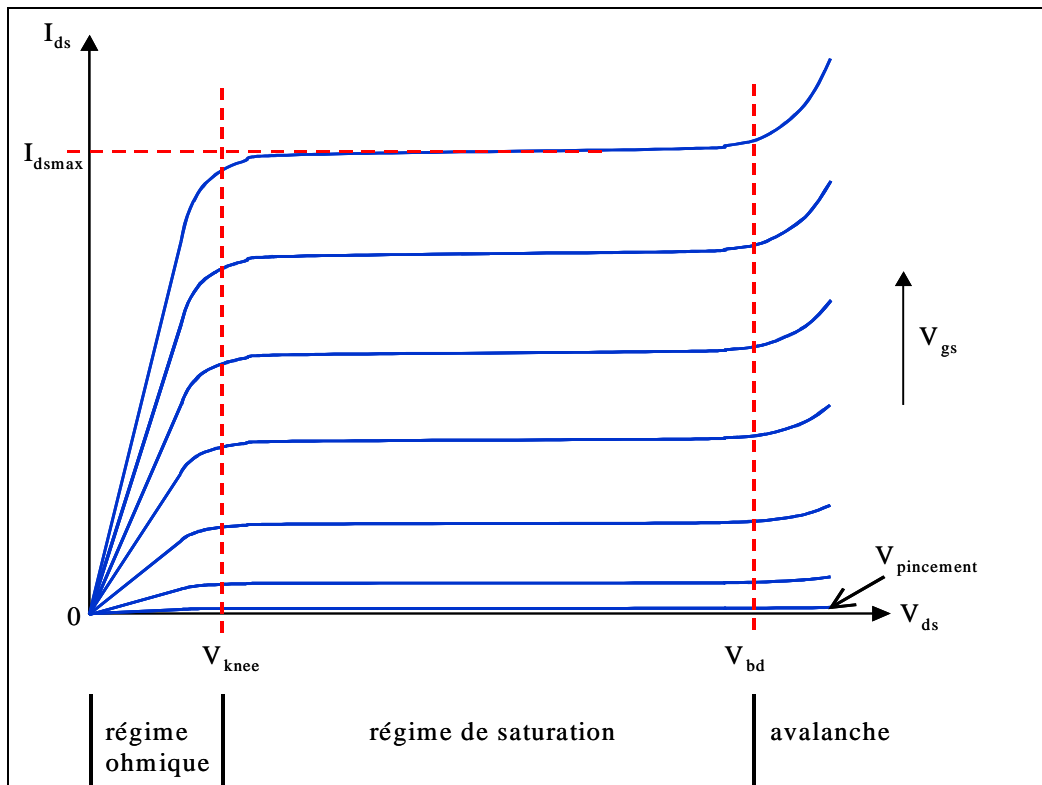


Figure 1-11 : caractéristiques I(V) classiques d'un HEMT

- Figures de mérite pour un fonctionnement en hautes-fréquences.

On détermine principalement trois figures de mérite pour un fonctionnement du composant en hautes-fréquences :

- ▶ La fréquence de coupure du gain en courant  $f_t$  : c'est la fréquence à laquelle le gain en courant du transistor en court-circuit est égal à l'unité. On la définit comme :

$$f_t = \frac{g_m}{2 \cdot \pi (C_{gs} + C_{gd})}$$

- ▶ La fréquence maximale d'oscillation  $f_{max}$  : c'est la fréquence à laquelle le gain transductique du transistor adapté est égal à l'unité . Si l'on fait l'hypothèse que  $(R_i C_{gd} \omega)^2 \ll 1$ , on obtient alors la définition de  $f_{max}$  suivante :

$$f_{max} = \frac{g_m}{4 \cdot \pi \cdot C_{gs}} \left( \frac{1}{R_i \cdot g_d} \right)^{1/2} = \frac{f_t}{(4 \cdot R_i \cdot g_d)^{1/2}}$$

- ▶ Le facteur de bruit est un autre critère à prendre en compte. On le définit

comme :

$$NF = 2 \cdot \pi \cdot f \cdot C_{gs} \left( \frac{R_s + R_i}{g_m} \right)^{1/2}$$

- Figures de mérite pour un fonctionnement en puissance.

On détermine principalement trois critères descriptifs d'un transistor pour un fonctionnement en puissance.

- ▶ La densité de puissance de sortie ; cette valeur représente la puissance de sortie par unité de longueur de grille du transistor. Elle s'exprime en général en W/mm et permet ainsi une comparaison aisée entre transistors de développement différent.

La puissance de sortie maximale théorique en classe A est estimée en fonction des paramètres relevés sur les caractéristiques  $I_{ds}(V_{ds})$  :

$$P_{S_{max}} = \frac{1}{8} I_{ds_{max}} (V_{bd} - V_{knee})$$

- ▶ Le gain en puissance ; c'est le gain opéré par le composant lorsqu'il est attaqué par une puissance  $P_e$ . Il dépend de la fréquence, de la classe de fonctionnement et du niveau de la puissance d'entrée :

$$G_{p_{dB}} = P_{S_{dBm}} - P_{e_{dBm}}$$

- ▶ Le rendement en puissance ajoutée (appelé également P.A.E. : Power Added Efficiency) ; ce paramètre exprime le pourcentage de puissance de polarisation DC apportée au composant converti en puissance RF. Ce critère s'exprime comme suit :

$$\eta = \frac{P_s - P_e}{P_{DC}}$$

Ce rendement présente un maximum théorique de 50% pour un fonctionnement en classe A et 78,5% pour un fonctionnement en classe B.

e/ Etat de l'art

[1.24], [1.25], [1.26], [1.27], [1.28], [1.29], [1.30], [1.31]

La technologie sur nitrure de gallium est encore jeune et en constant développement. Beaucoup de résultats sont publiés chaque année, des transistors de plus en plus performants sont réalisés. Le Tableau 1-2 recense l'état de l'art des transistors HEMT sur nitrure de gallium publiés à ce jour à notre connaissance.

Certains composants présentent l'insertion d'une métallisation appelée "field-plate". Il s'agit d'une extension de la métallisation de grille, située au-dessus de la couche de passivation du composant. Ce procédé permet d'obtenir une tension d'avalanche  $V_{bd}$  plus élevée et par conséquent des puissances supérieures.

Substrat	Fréquence (GHz)	Densité de puissance (W/mm)	rendement (%)	commentaires	laboratoires	Date de publication
s.i. SiC	4 8	32.2 30.6	54.8 49.6	field plated*	CREE	March 2004
s.i. SiC	4 10	6.6 7.3	57 36		UCSB	May 2004
s.i. SiC	10	16.5	47	field plated*	Cornell	February 2004
sapphire	4	12	58	field plated*	UCSB	January 2004
Si	2	6.6	49		Daimler Chrysler / CRHEA	April 2003
Si	10	1.9	18		TIGER	July 2004
Si	10	7	38	field plated*	TriQuint Semiconductor	October 2004
s.i. GaN	10	9.4	40		BAE Systems / CREE	September 2004

Tableau 1-2 : état de l'art des transistors HEMT sur nitrure de gallium



### **III - Etude et modélisation des transistors étudiés au cours de ces travaux de thèse**

[1.19]

#### **1. Contexte**

Les travaux de thèse présentés ici s'inscrivent dans le cadre d'un contrat européen sur une demande de la Délégation Générale pour l'Armement, visant à étudier une filière de composants HEMTs sur technologie nitrure de gallium et son application à l'amplification de puissance haute-fréquence (marché n°01.34.050). L'IRCOM était chargé, entre autre, de la caractérisation et de la modélisation de divers composants. Ainsi, nous avons eu à notre disposition un panel de transistors de différentes tailles et topologies sur différents substrats provenant de différents fournisseurs ainsi que différents fondeurs pour la réalisation des composants.

En effet, les trois substrats énoncés précédemment (silicium Si, carbure de silicium SiC et saphir  $Al_2O_3$ ) étaient envisagés dans le contrat. Les fournisseurs étaient ATMI pour des substrats saphir et SiC, CRHEA pour des substrats Si ainsi que TIGER, RFMD et QinetiQ pour des substrats SiC.

Concernant la réalisation des composants, trois partenaires étaient impliqués : Daimler Chrysler, FBH et TIGER.

#### **2. Caractérisation des composants**

[1.32], [1.33], [1.34]

Les mesures sont réalisées à L'IRCOM, antenne de Brive, par Christophe CHARBONNIAUD. Ce sont des mesures pulsées, sous pointes, de caractéristiques I(V) et de paramètres S. Cette caractérisation s'effectue sur un banc de mesures développé en interne. La bande de fréquence couverte s'étend jusqu'à 40GHz.

Nous allons exposer brièvement la méthode des mesures pulsées. Il s'agit de polariser le composant à un point de repos ( $V_{gs0}$  ;  $V_{ds0}$  ;  $I_{ds0}$ ) qui restera identique pendant toute la mesure d'un réseau de caractéristiques I(V). Ce point de polarisation de repos représente la base des impulsions. Ensuite, des impulsions sont appliquées au transistor ; leur amplitude est

constante pendant toute leur durée ( $V_{gsi}$  ;  $V_{dsi}$  ;  $I_{dsi}$ ) mais varie d'une impulsion à l'autre afin de parcourir toute la zone de fonctionnement du composant (Figure 1–12). Cette polarisation est le point de fonctionnement ou encore le point de polarisation instantané.

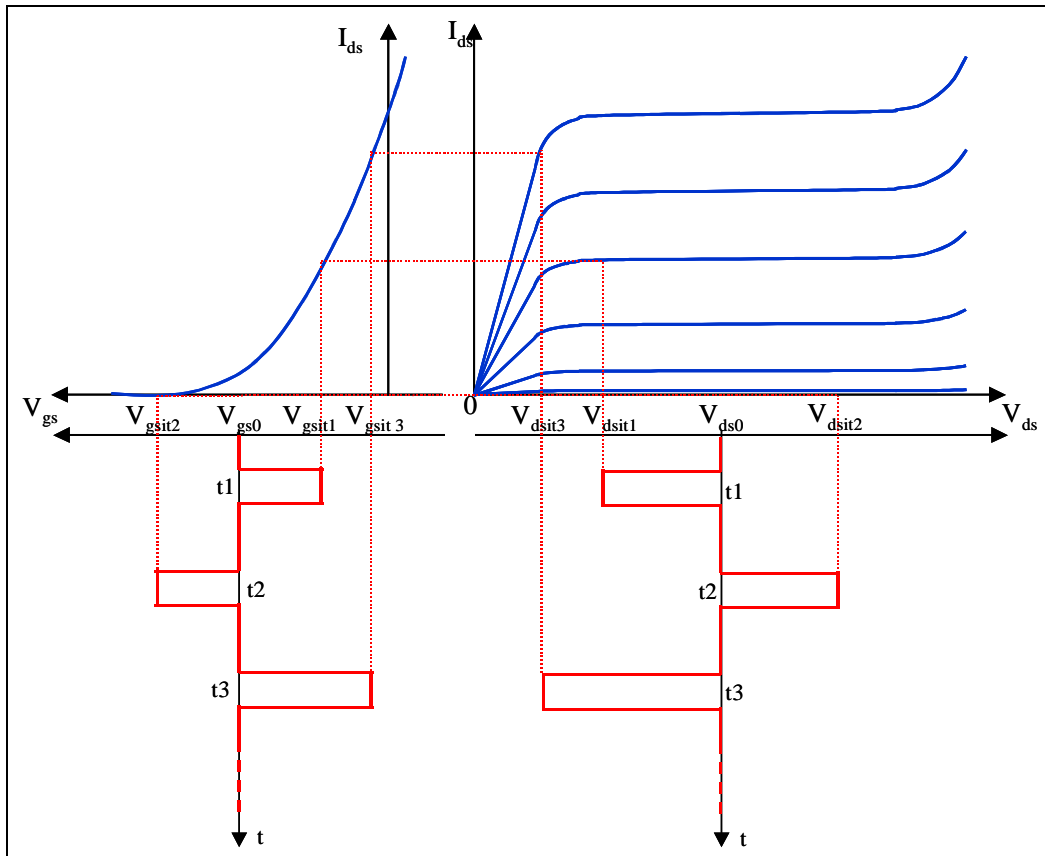


Figure 1–12 : méthode de caractérisation en mode pulsé

L'état thermique ainsi que l'état de pièges du transistor sont déterminés par le point de repos et restent donc identiques pendant toute la caractérisation d'un réseau. Cette méthode permet donc de s'affranchir des effets thermiques internes au composant.

Les mesures pulsées sont définies par le rapport cyclique des impulsions et leur largeur. De plus, il est possible de mesurer les paramètres S du transistor. Pour cela, il suffit d'appliquer un signal RF dans la zone stable de l'impulsion (Figure 1–13).

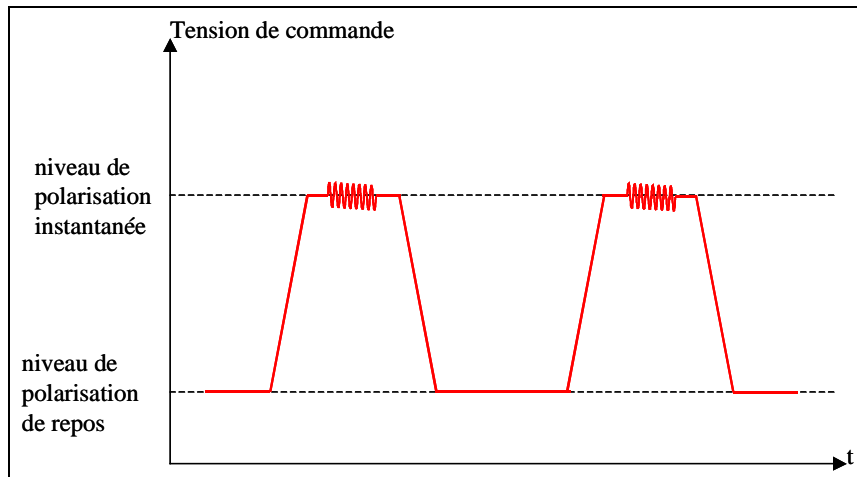


Figure 1–13 : application d'un signal RF pour les mesures de paramètres S

### 3. Quelques résultats de mesures et phénomènes observés

#### a/ Exemple de caractéristiques I(V) obtenues

La Figure 1–14 montre les caractéristiques I(V) mesurées d'un  $2 \times 50 \mu\text{m}$ , présentant un gate-pitch de  $35 \mu\text{m}$  et une longueur de grille de  $0,15 \mu\text{m}$ . Ce composant a été réalisé par la fonderie Daimler Chrysler sur un substrat GaN sur Si fourni par le CRHEA. Ces caractéristiques ont été obtenues pour une polarisation de  $V_{gs0}=0\text{V}$  et  $V_{ds0}=0\text{V}$ .

Nous pouvons observer un courant de drain maximum d'environ  $0,13\text{A}$ , ce qui correspond, considérant la taille du transistor, à une densité de courant de  $1,3\text{A}/\text{mm}$ . La tension de pincement est relevée à  $-6\text{V}$ . La conduction de la diode d'entrée s'opère dès  $V_{gs}=+2\text{V}$ . Nous pouvons noter un très faible courant de fuite sur la grille, inférieur à  $0,25\text{mA}$ .

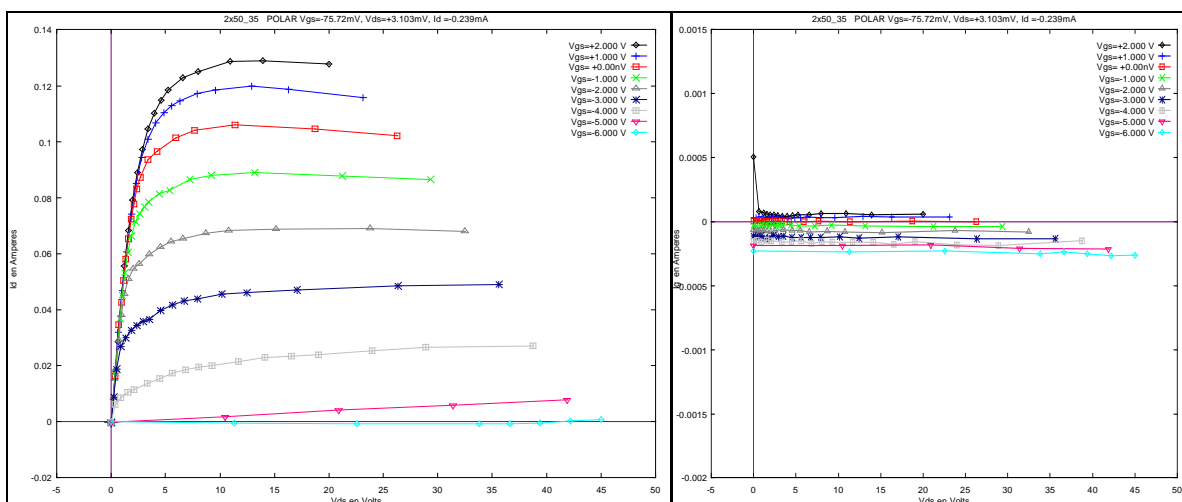


Figure 1–14 : caractéristiques I(V) mesurées d'un  $2 \times 50 \mu\text{m}$ , présentant un gate-pitch de  $35 \mu\text{m}$  et une longueur de grille de  $0,15 \mu\text{m}$ , sur technologie silicium

## b/ Observation de la présence de pièges

[1.35], [1.36], [1.37], [1.38]

### *i- Notion de piège*

Nous étudions maintenant le phénomène de génération-recombinaison de paires électron-trou dans les matériaux. Plus le gap du semi-conducteur est grand et plus il offre la possibilité à des pièges de se former sur des niveaux d'énergie compris dans la bande interdite. Ces pièges ont la faculté de capturer ou d'émettre un électron ou un trou avec des constantes de temps diverses. Ces effets de pièges ont donc des conséquences sur le courant de drain, provoquant des effets transitoires de ce dernier.

On distingue deux phénomènes prépondérants observés sur le courant de sortie du composant : le self-backgating et le gate-lag.

La méthode de mesure en régime pulsé permet de mettre en évidence ce phénomène de pièges. En effet, c'est le point de polarisation de repos qui fixe l'état thermique et l'état des pièges pour toute la mesure des caractéristiques I(V). En conséquence, si l'on mesure des caractéristiques I(V) à différents points de repos en conservant une puissance dissipée nulle (pour éviter l'échauffement du composant), la dispersion entre les mesures reflètera les effets de piège.

### *ii- Self-backgating*

Ce phénomène est en relation avec la dispersion due aux pièges du substrat. Cet effet est en rapport avec le champ électrique généré par la tension drain-source. Afin de mettre en évidence ce phénomène, on compare les caractéristiques I(V) du composant mesurées à deux points de polarisation de repos différents (pour le même point de repos en  $V_{gs}$ ) pour des valeurs instantanées identiques.

On peut voir sur la Figure 1–15 qu'aux deux instants  $t_1$  et  $t_2$  le même point instantané est mesuré mais en partant d'un point de polarisation de repos différent en  $V_{ds}$ , c'est-à-dire un état de piège différent pour la tension drain-source. A noter que lors des deux mesures, la tension de polarisation de repos grille-source est fixée à la tension de pincement de telle sorte que la puissance dissipée reste nulle pour éviter tout effet d'échauffement du composant.

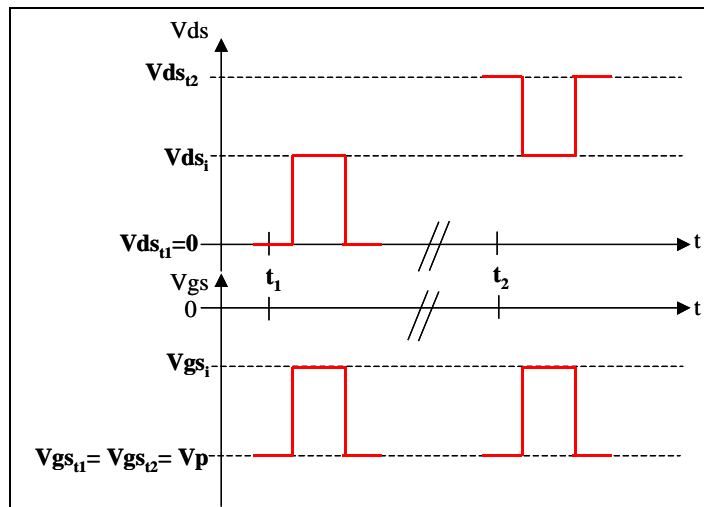


Figure 1-15 : méthode de caractérisation pour la mise en évidence de la présence de self-backgating

La Figure 1-16 présente les résultats obtenus pour un transistor réalisé par Daimler Chrysler sur substrat de carbure de silicium fourni par ATMI. Le composant est un  $2 \times 50 \mu\text{m}$  avec un gate-pitch de  $35 \mu\text{m}$ . Les caractéristiques comparées ont été mesurées pour des polarisations de  $V_{gs0}$  égale à la tension de pincement ( $V_{gs0} = -7\text{V}$ ) et  $V_{ds0} = 0\text{V}$  dans un premier temps puis  $V_{ds0} = 25\text{V}$  dans un second temps.

Nous observons ici un affaissement des courbes mesurées à  $V_{ds0} = 25\text{V}$ . Il apparaît alors une sorte de double coude, retardant le régime de saturation. Un critère d'évaluation de l'influence des pièges proposé dans [1.37], consiste à quantifier la perte d'excursion en tension et courant du cycle de charge idéal. Ici, nous relevons une différence en courant de  $\Delta I \approx 22\text{mA}$  et une différence en tension de  $\Delta V \approx 4\text{V}$ . Il s'en suivra alors une diminution des performances en puissance du transistor. Cette grandeur est évidemment dépendante des conditions de polarisation de repos (ici  $V_{ds0} = 25\text{V}$ ) et de la classe de fonctionnement.

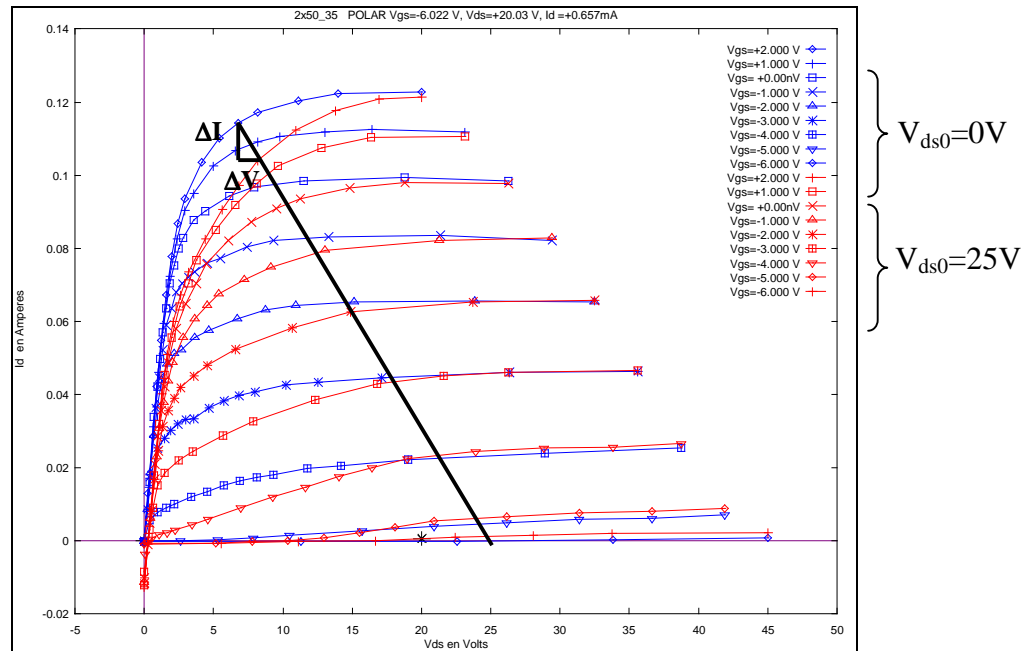


Figure 1–16 : comparaison des caractéristiques I(V) obtenues sur un  $2 \times 50 \mu\text{m}$  sur SiC pour des polarisations de  $(-7\text{V} ; 0\text{V})$  et  $(-7\text{V} ; 25\text{V})$

### iii- Gate-lag

Ce phénomène induit des effets transitoires lents du courant de sortie même lorsque la tension de commande varie brutalement, entraînant un retard du signal. Cet effet est principalement dû à des pièges de surface et est en relation avec la tension grille-source de polarisation du composant. Un autre phénomène agit sur le gate-lag : l'ionisation par impact.

La méthode de caractérisation énoncée pour mettre en évidence le phénomène de self-backgating peut être mise en pratique dans ce cas également ; il suffit de réaliser l'inverse, à savoir : mesurer deux caractéristiques I(V) à puissance dissipée nulle et à tension de polarisation de repos drain-source fixe ( $V_{dst1} = V_{dst2} = 0$ ) mais à des tensions de polarisation de repos grille-source différentes (Figure 1–17).

La Figure 1–18 montre les résultats obtenus pour le même composant que précédemment. Les caractéristiques comparées ont été mesurées pour des polarisations de  $V_{ds0} = 0\text{V}$  et  $V_{gs0} = -7\text{V}$  (tension de pincement) dans un premier temps puis  $V_{gs0} = 0\text{V}$  dans un second temps. Nous pouvons observer ici une différence d'amplitude des courbes assez faible. Nous pouvons alors déterminer les pertes en courant et tension du cycle de charge comme précédemment :  $\Delta I \approx 7\text{mA}$  et  $\Delta V \approx 2\text{V}$ .

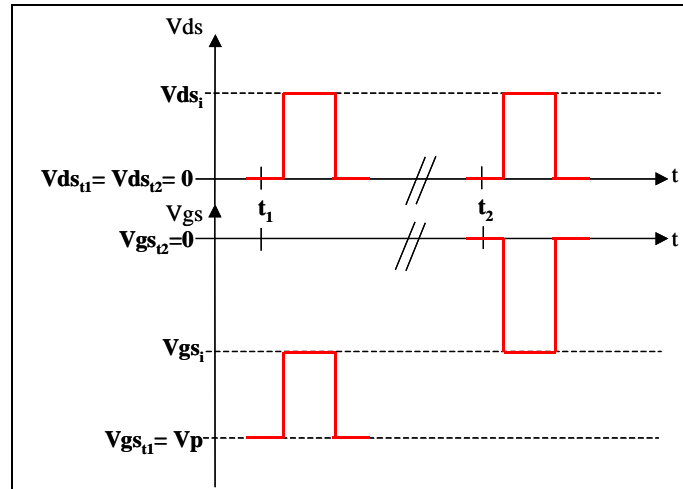


Figure 1–17 : méthode de caractérisation pour la mise en évidence de la présence de gate-lag

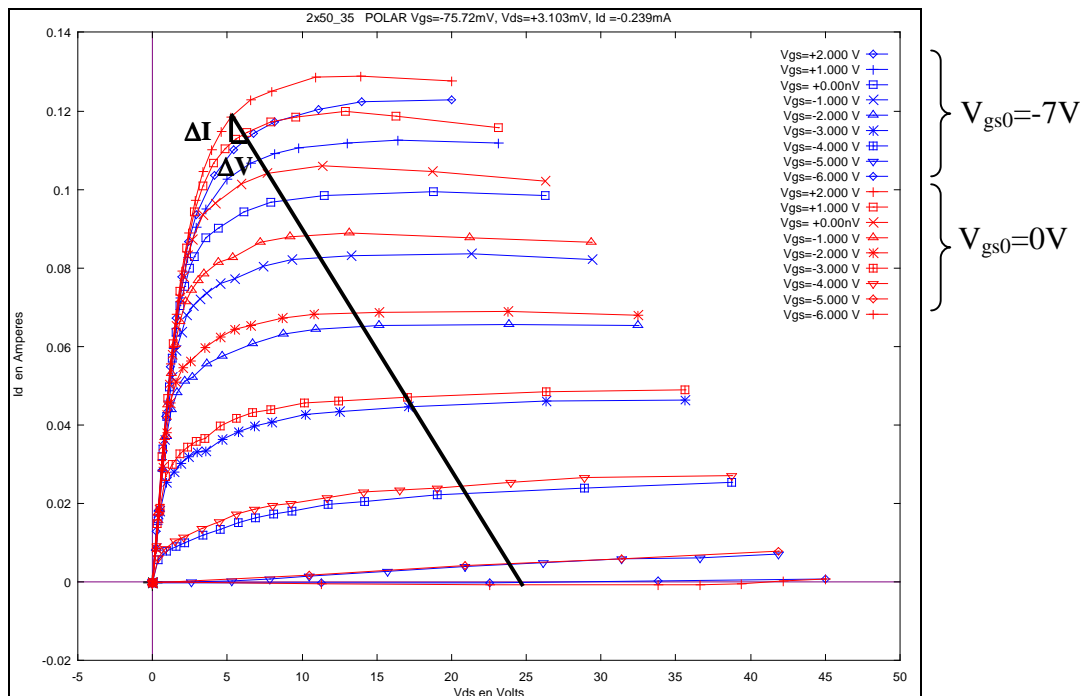


Figure 1–18 : comparaison des caractéristiques I(V) obtenues sur un 2x50µm sur SiC pour des polarisations de (-7V ; 0V) et (0V ; 0V)

Etant donné le cadre contractuel de ces travaux, nous avons étudié et modélisé un certain nombre de composants d'origines diverses et traités différemment. Nous avons pu alors observer que la passivation du transistor permettait de diminuer grandement ce phénomène de gate-lag. Pour exemple, la Figure 1–19 montre les résultats obtenus sur un composant non passivé fourni par la fonderie FBH sur substrat de carbure de silicium délivré par ATMI. Nous pouvons observer la différence considérable d'amplitude des courbes. Les caractéristiques ont été obtenues par des mesures aux polarisations suivantes  $V_{ds0}=0V$  et

$V_{gs0} = -4V$  puis  $0V$ . On observe alors que l'amplitude des courbes est quasiment divisée par deux dans le cas où  $V_{gs0} = -4V$ .

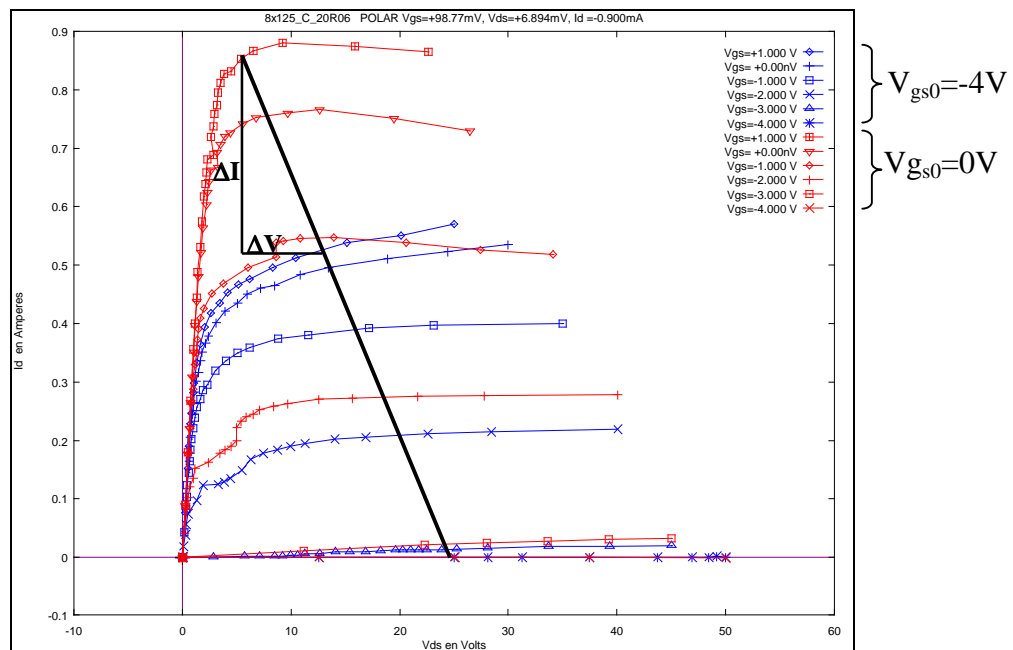


Figure 1–19 : comparaison des caractéristiques I(V) obtenues sur un  $8 \times 125 \mu\text{m}$  non passivé sur SiC pour des polarisations de  $(-4V ; 0V)$  et  $(0V ; 0V)$

Certains travaux [1.35] montrent la dépendance du gate-lag vis-à-vis de la tension de drain. Yasutaka Mitani & *al* ont mis ce phénomène en évidence dans le cas d'une densité de défauts de surface élevée, de l'ordre de  $10^{13} \text{cm}^{-2}$  ; ils montrent alors que le gate-lag diminue lorsque la tension de drain augmente.

### c/ Observation d'un courant de fuite sur la grille

Au cours des différentes sessions de caractérisation réalisées, nous avons constaté un effet de courant de grille négatif. Le courant de grille montre deux effets induisant des valeurs négatives ; nous avons pu effectivement constater une chute progressive dans les valeurs négatives pour une tension drain-source croissante (Figure 1–20). Nous notons un courant d'amplitude proche de  $-2\text{mA}$  pour une tension de drain de  $45\text{V}$ , ce qui est à prendre en compte lors d'une conception par exemple.

Un autre comportement du courant de grille a pu être observé. Il s'agit de valeurs négatives constantes pour toute valeur de  $V_{ds}$  mais de plus en plus négatives avec  $V_{gs}$ . Nous relevons sur la Figure 1–21 une valeur du courant de grille de  $-2\text{mA}$  pour une tension drain-source de  $40\text{V}$  et une tension grille-source de  $-5\text{V}$ .



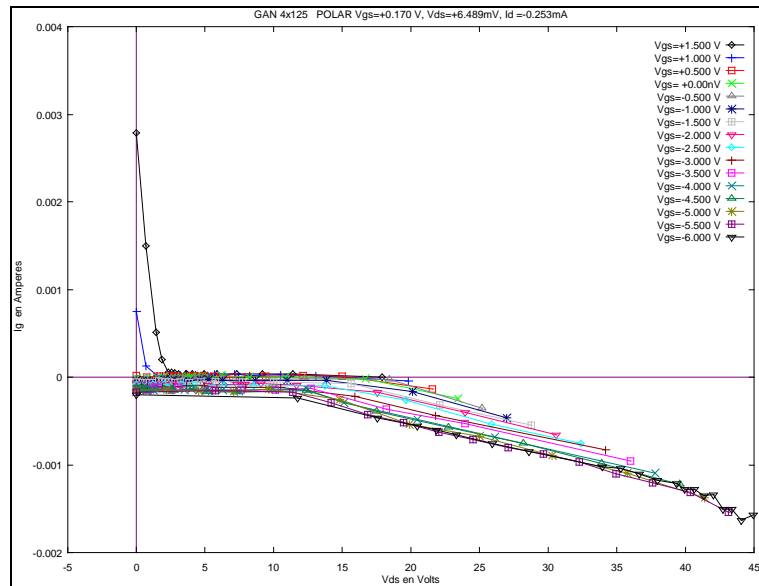


Figure 1–20 : mise en évidence d'un courant de fuite sur un 4x125µm sur SiC

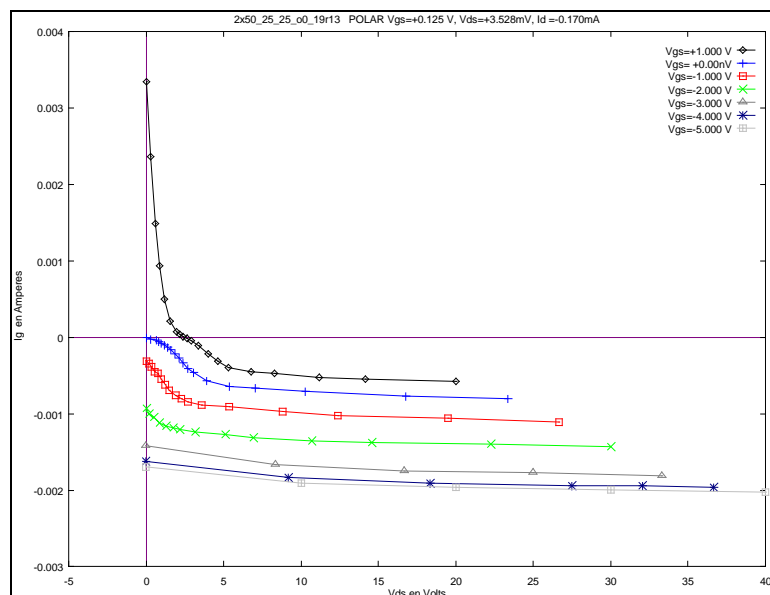


Figure 1–21 : mise en évidence d'un courant de fuite sur un 2x50µm sur saphir

#### d/ Observation d'un effet Kink

[1.32], [1.39]

L'effet Kink reste un phénomène peu expliqué dans le cas des HEMTs et semble lié à un phénomène d'ionisation par impact et d'effets de pièges. Il se traduit par une augmentation du courant de sortie au sein de la zone de saturation même pour des valeurs de tensions de polarisation de grille très faibles. En revanche, nous avons pu constater au cours de diverses campagnes de mesures, que cet effet disparaissait lorsque le composant s'échauffait.

Certains travaux mettent en avant l'influence des pièges de substrat [1.40], d'autres celle de pièges de surface [1.41]. Ce phénomène reste encore à explorer.

La Figure 1–22 présente les caractéristiques  $I_{ds}(V_{ds})$  d'un transistor de la fonderie TIGER sur substrat de carbure de silicium SiC fourni par QinetiQ. Il s'agit d'un composant à 8 doigts de grille de  $50\mu\text{m}$  (soit un développement total de  $400\mu\text{m}$ ). Nous observons une discontinuité du courant de drain pour des faibles valeurs de la tension de grille. On peut noter que cette "cassure" apparaît à une tension de drain de plus en plus élevée pour des tensions de grille décroissantes. Ce phénomène conduit à un pincement impossible du composant et perturbe donc ces performances en puissance et en rendement de manière très importante.

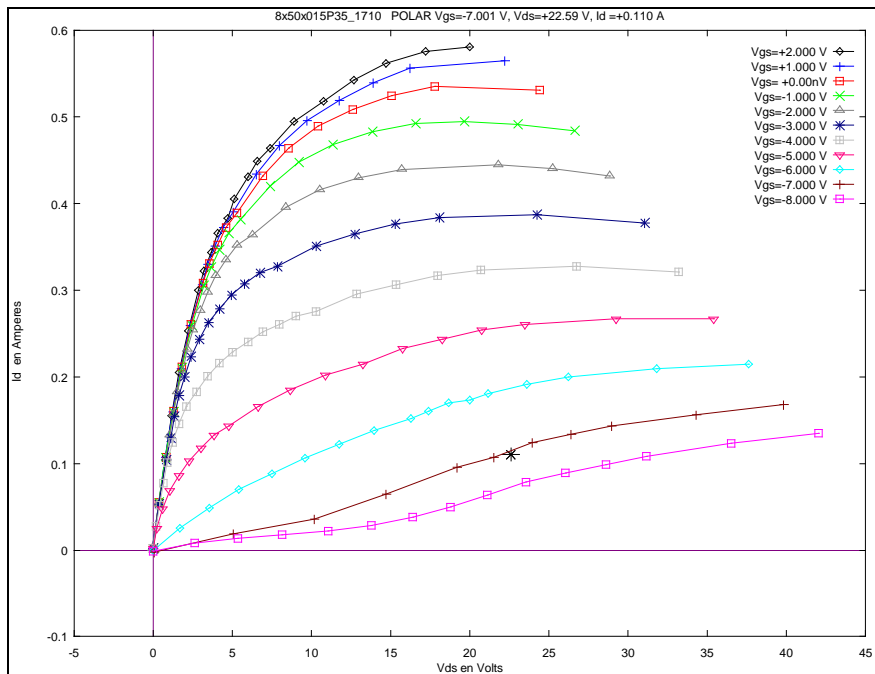


Figure 1–22 : mise en évidence d'un effet kink sur les caractéristiques I(V) d'un  $8 \times 50\mu\text{m}$  sur SiC

#### **4. Modélisation électrique linéaire et non-linéaire des transistors de ces travaux**

Il existe diverses approches de modélisation des transistors à effet de champ telles que la modélisation physique, la modélisation numérique (dite "boîte noire") ainsi que la modélisation électrique. Le premier modèle peut être obtenu à partir de simulations physiques, mais il reste inexploitable en conception CAO car il est soit trop lourd en coût de simulation, soit trop simplifié pour être fiable. Le modèle "boîte noire" constitue une limitation des informations disponibles puisque le concepteur n'a pas accès au composant lui-

même, ce qui limitera son domaine d'intervention. Le modèle électrique est actuellement le plus utilisé en conception CAO ; il représente un coût de simulation et une facilité d'implémentation tout à fait adaptés aux logiciels CAO.

a/ Principe de modélisation linéaire des transistors

[1.32], [1.33], [1.34], [1.42], [1.43]

Le modèle le plus employé actuellement est le modèle équivalent en éléments localisés. L'origine physique des éléments du modèle petit signal a été montrée dans la section [II - 2. d/ i- ]. Le schéma électrique équivalent est donné dans la Figure 1–23. Le domaine de validité de ce modèle est limité car le rapport de la largeur de grille du composant sur la longueur d'onde propagée doit rester inférieur à 10%. Au-delà de ce domaine de fréquences, il faut considérer un modèle distribué présentant plusieurs schémas en éléments localisés reliés entre eux par des lignes de transmission.

Dans notre étude, nous considérons une bande de fréquence allant de 2 à 20 GHz. Par conséquent, le modèle en éléments localisés reste valide. C'est ce modèle que nous allons considérer dans la suite de ce manuscrit.

Il existe plusieurs méthodes de détermination des éléments du modèle petit signal : une méthode numérique dite "brutale", une méthode analytique et une méthode mixte. Quelque soit la méthode utilisée, des mesures de paramètres S du composant sont nécessaires.

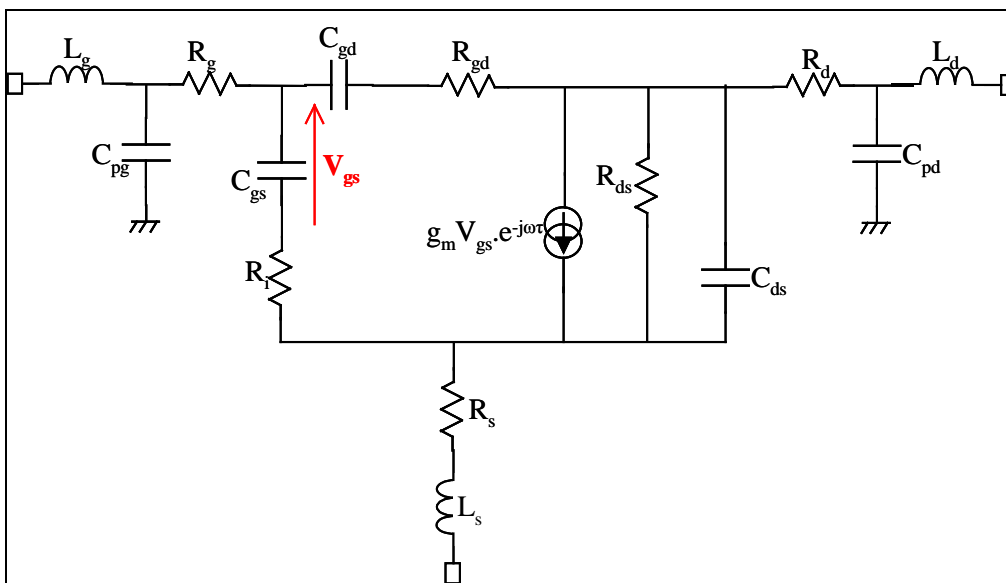


Figure 1–23 : schéma électrique petit signal d'un transistor à effet de champ

*i- Méthode "brutale"*

Cette méthode consiste à optimiser en bloc tous les paramètres du modèle petit signal, aussi bien les éléments intrinsèques que les éléments extrinsèques. D'où son nom de "brutale". Le but d'optimisation est d'obtenir des paramètres S simulés égaux aux paramètres S mesurés. Pour cela, on impose une fonction erreur que l'on cherche à minimiser.

Cette méthode peut être aisément implémentée dans les outils de simulation CAO mais elle présente les inconvénients d'une optimisation numérique, à savoir que la solution ne soit pas physique ou encore que la fonction erreur soit piégée dans un minimum local.

La structure d'optimisation appelée "recuit simulé" [1.44] offre une forte probabilité d'éviter le piégeage de la fonction erreur dans un minimum local. Cette technique est intéressante pour la modélisation linéaire et non-linéaire des composants même si le concepteur doit rester vigilant sur la pertinence des valeurs obtenues.

*ii- Méthode analytique*

Cette méthode consiste en l'extraction des valeurs des éléments en se basant sur les mesures de paramètres S. Elle se décompose en deux étapes :

- l'extraction des paramètres extrinsèques ;
- la détermination analytique des paramètres intrinsèques.

Les paramètres extrinsèques peuvent être déterminés par diverses méthodes qui seront détaillées dans une prochaine section [Chapitre 2 : II - 3. a/ ]. La technique utilisée ici est basée sur le traitement des mesures de paramètres S à froid ( $V_{ds0}=0$ ) du composant, grâce à la schématisation simplifiée du transistor en fonction de la valeur de  $V_{gs0}$ .

La détermination des paramètres intrinsèques se fait alors par calcul à partir des paramètres S mesurés ainsi que des valeurs des paramètres extrinsèques déterminés précédemment. Pour cela, les mesures sont exprimées sous forme de matrice admittance intrinsèque  $Y_{int}$  à l'aide d'une série de transformations matricielles de la matrice de paramètres S. Ainsi nous obtenons les relations suivantes :

$$C_{gd} = \frac{-\text{Im}(Y_{12})}{\omega} \left[ 1 + \left( \frac{\text{Re}(Y_{12})}{\text{Im}(Y_{12})} \right)^2 \right]$$

$$R_{gd} = \frac{-(\text{Re}(Y_{12}))}{C_{gd}^2 \omega^2} \left[ 1 + \left( \frac{\text{Re}(Y_{12})}{\text{Im}(Y_{12})} \right)^2 \right]$$

$$C_{gs} = \frac{(\text{Im}(Y_{11}) + \text{Im}(Y_{12}))}{\omega} \left[ 1 + \left( \frac{\text{Re}(Y_{11}) + \text{Re}(Y_{12})}{\text{Im}(Y_{11}) + \text{Im}(Y_{12})} \right)^2 \right]$$

$$G_d = \text{Re}(Y_{12}) + \text{Re}(Y_{22})$$

$$C_{ds} = \frac{1}{\omega} (\text{Im}(Y_{12}) + \text{Im}(Y_{22}))$$

$$R_i = \frac{(\text{Re}(Y_{11}) + \text{Re}(Y_{12}))}{C_{gs}^2 \omega^2} \left[ 1 + \left( \frac{\text{Re}(Y_{11}) + \text{Re}(Y_{12})}{\text{Im}(Y_{11}) + \text{Im}(Y_{12})} \right)^2 \right]$$

$$G_m = \sqrt{(A^2 + B^2) (1 + R_i^2 C_{gs}^2 \omega^2)}$$

$$\tau = -\frac{1}{\omega} \text{arctg} \left( \frac{B + A R_i C_{gs} \omega}{A - B R_i C_{gs} \omega} \right)$$

avec :  $A = \text{Re}(Y_{21}) - \text{Re}(Y_{12})$

$$B = \text{Im}(Y_{21}) - \text{Im}(Y_{12})$$

Cette méthode analytique est en fait une extraction directe des mesures de paramètres S effectuées sur le composant. Elle est aisément mise en œuvre et ne présente aucune procédure d'optimisation.

### iii- Méthode mixte

La méthode mixte consiste à coupler un algorithme d'extraction directe des éléments intrinsèques à une procédure d'optimisation des paramètres extrinsèques. Les éléments intrinsèques sont calculés à partir des paramètres S mesurés et des éléments extrinsèques optimisés ; le but de cette procédure d'optimisation est d'obtenir des valeurs intrinsèques indépendantes de la fréquence. La technique d'optimisation utilisée est la technique de "recuit simulé".

Cette méthode est implémentée dans un algorithme développé à l'IRCOM et utilisée actuellement pour la modélisation des transistors à effet de champ mais également pour les transistors bipolaires.

Ce modèle est valable pour le point de polarisation instantané auquel il a été extrait. En effet, les paramètres extrinsèques ne dépendent pas de la polarisation (ils dépendent de la géométrie du composant) mais les paramètres intrinsèques ne sont valables que pour un point de polarisation instantané donné et doivent être recalculés à partir des paramètres S mesurés à chaque point de polarisation instantané d'un réseau. Le logiciel implémenté à l'IRCOM permet de réaliser cette opération et ainsi extraire les valeurs des composants intrinsèques pour tout point de polarisation instantané.

Les modèles petit signal considérés dans ces travaux ont été réalisés par le biais de la méthode mixte, grâce aux logiciels développés en interne. Par la suite, le modèle petit signal doit être validé. Pour ce faire, les paramètres obtenus par simulation du modèle sont comparés aux paramètres mesurés.

#### b/ Principe de modélisation non-linéaire des transistors

[1.32], [1.33], [1.34], [1.42], [1.45], [1.46], [1.47]

Nous venons de voir comment obtenir un modèle petit signal ainsi que les valeurs de ses éléments intrinsèques en fonction de la polarisation. Ainsi nous pouvons aisément observer les variations de ces éléments en fonction des tensions de polarisation  $V_{gs}$  et  $V_{ds}$ . Les non-linéarités les plus courantes se situent au niveau de la source de courant commandée, ainsi qu'au niveau des capacités  $C_{gs}$  et  $C_{gd}$ . Nous cherchons alors à représenter ces non-linéarités par des expressions analytiques. Trois méthodes principales sont proposées : la modélisation par équations phénoménologiques, la modélisation par tables et la modélisation par réseaux neuronaux.

##### *i- Modélisation par équations phénoménologiques*

Nous cherchons ici à exprimer les non-linéarités à l'aide d'équations analytiques paramétrées. La Figure 1–24 montre le schéma non-linéaire du transistor. Nous pouvons observer deux types de non-linéarités : les sources de courant et les capacités.

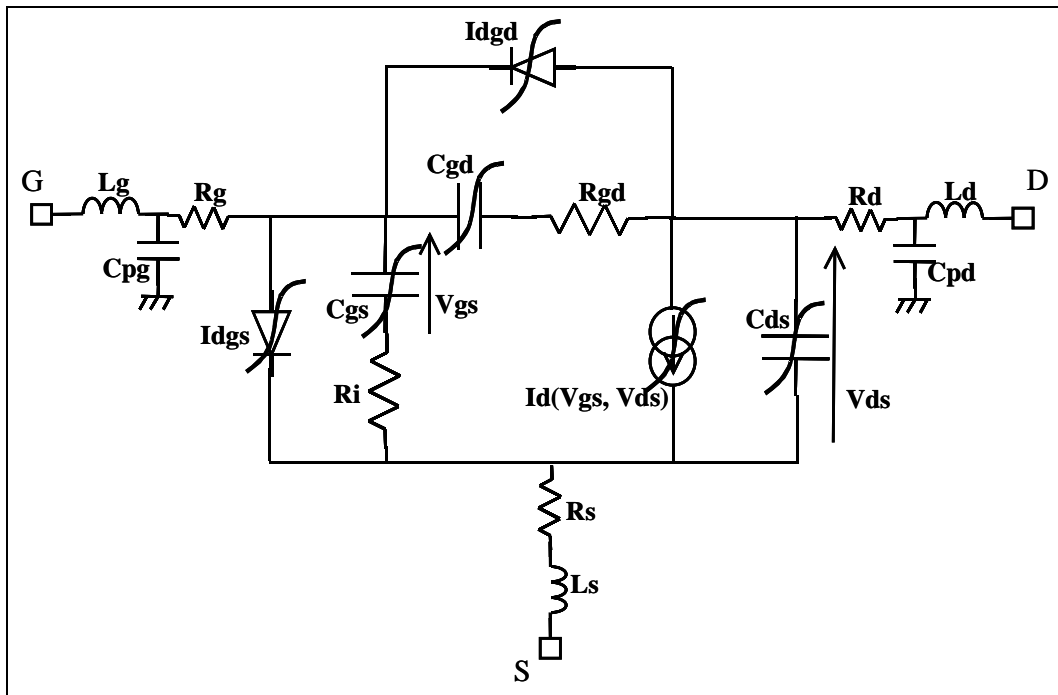


Figure 1-24 : schéma électrique non-linéaire du transistor à effet de champ

Les modèles analytiques les plus utilisés pour exprimer la source de courant sont les modèles de Curtice ou encore un modèle approché du modèle de Tajima. L'optimisation de ses expressions peut se faire par la technique du "recuit simulé" puisqu'elle maximise la probabilité d'éviter le piégeage dans un minimum local (car l'algorithme accepte de retenir une solution donnant une fonction erreur plus grande qu'à l'itération précédente).

Concernant les capacités non-linéaires, elles sont représentées par des équations mathématiques plus ou moins simples (une tangente hyperbolique par exemple).

### *ii- Modélisation par tables*

La modélisation par table permet de définir les non-linéarités du schéma sans structure d'optimisation. Il s'agit en effet de représenter les non-linéarités mesurées par des fonctions polynomiales par morceaux de degré 3, également appelées "splines". Les coefficients de ces fonctions sont déterminés à partir des mesures en fonction de deux ( $V_{gs}$  et  $V_{ds}$ ) ou trois ( $V_{gs}$ ,  $V_{ds}$  et  $T^\circ$ ) paramètres d'entrée. On obtient donc un tableau de valeurs en 2D ou 3D, selon le niveau de modélisation choisi.

L'utilisation de cette méthode est soumise à une contrainte majeure : les splines et leurs dérivées première et seconde doivent être continus. C'est pourquoi ils ne doivent pas

êtres contraints à passer exactement par les points de mesures. En effet, ces derniers sont perturbés par le bruit de mesure ; si les splines devaient passer par chacun des points de mesure, cela entraînerait des problèmes sur leurs dérivées. Pour pallier à ce problème, les splines utilisés dans notre laboratoire sont des splines d'interpolation-approximation, non contraints à passer par tous les points de mesures.

La modélisation par tables peut être appliquée aux différentes non-linéarités du transistor : sources de courant et capacités. Les résultats obtenus permettent une représentation immédiate et très fidèle des non-linéarités, sous réserve de disposer d'un grand nombre de points de mesure principalement dans les zones de variations rapides des caractéristiques concernées.

### *iii- Modélisation par réseaux neuronaux*

Une autre approche de la modélisation non-linéaire est la méthode par réseaux neuronaux. A ce jour, cette technique montre de très bonnes performances concernant la précision des résultats obtenus. Malheureusement, elle est encore très coûteuse en termes d'extraction et ne semble pas adaptée pour l'instant à la modélisation de composants. Elle est employée actuellement dans la modélisation système.

Les composants utilisés dans les conceptions développées au cours de ces travaux ont été modélisés selon deux méthodes : la modélisation par équations phénoménologiques et une modélisation mixte (source de courant déterminée par splines et capacités non-linéaires modélisées par équations phénoménologiques).

### *c/ Mesures et modèles des transistors considérés dans notre conception*

Au cours de ces travaux de thèse, deux amplificateurs distribués à cellules cascodes à transistors HEMT GaN sur SiC ont été conçus. La structure de ces deux circuits est identique, à savoir un amplificateur distribué à cellules cascodes. Les transistors utilisés sont issus de la même technologie mais différent de par leur développement : l'un des circuits est réalisé à partir d'un composant de développement de grille total de 400 $\mu$ m (8x50 $\mu$ m) et l'autre circuit à partir d'un transistor de développement 600 $\mu$ m (8x75 $\mu$ m). Nous présentons ici les mesures et modèles de ces composants, utilisés pour la conception.



Notons que la tension d'avalanche n'a pas été mesurée, et par conséquent pas modélisée. Dans nos applications, les transistors seront polarisés aux alentours de 20 Volts ; or, les mesures ont été effectuées jusqu'à une tension de drain bien supérieure. L'avalanche ne représente donc pas un risque dans le cas de nos applications.

*i- Mesures et modèles du transistor de développement 8x50µm*

La Figure 1–25 montre la photographie d'un transistor de développement total de grille 400µm, présentant 8 doigts de 50µm. Il s'agit d'un transistor HEMT GaN réalisé sur un substrat SiC semi-isolant par le laboratoire TIGER. Des mesures pulsées de caractéristiques I(V) ainsi que des mesures pulsées de paramètres S de ce composant ont été réalisées à Brive, permettant de dériver les modèles linéaire et non-linéaire de ce transistor. Les résultats de ces mesures sont donnés dans la Figure 1–26. Nous donnons les caractéristiques  $I_d(V_{ds})$  et  $I_g(V_{ds})$  pour un point de polarisation de repos de  $V_{gs0}=-7$  V,  $V_{ds0}=22,6$  V,  $I_{ds0}=110$  mA.

Nous pouvons observer un courant de drain maximal de 580 mA, ce qui équivaut à une densité de courant de 1,45 A/mm. Nous pouvons également noter un courant de fuite de grille augmentant avec  $V_{gs}$  et  $V_{ds}$ , atteignant jusqu'à 0,15 mA. Nous relevons aussi un effet d'ionisation par impact, entraînant le pincement impossible du canal (section [3. d/ ]) et dégradent les performances en puissance.

➤ Modèle linéaire

Le modèle linéaire de ce composant a été extrait par la méthode mixte exposée précédemment (section [a/ iii- ]) à l'aide des logiciels développés en interne. Il a été défini pour un point de polarisation de repos de  $V_{gs0}=-7$ V,  $V_{ds0}=22,2$ V,  $I_{ds0}=118$ mA. Les valeurs des éléments intrinsèques et extrinsèques de ce modèle petit signal sont données dans le Tableau 1–3. La Figure 1–27 montre la validation de ce modèle petit signal à travers la comparaison des paramètres S mesurés et ceux obtenus par simulation du modèle.



Figure 1–25 : photographie d'un transistor de développement de grille 8x50µm sur technologie SiC du process TIGER

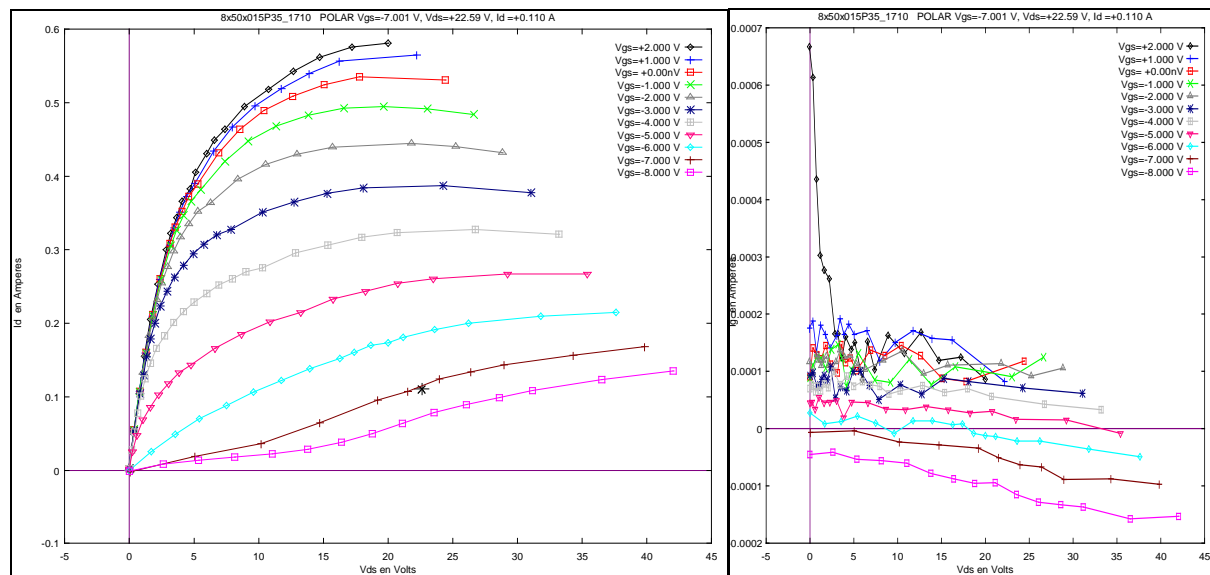


Figure 1–26 : caractéristiques  $I_d(V_{ds})$  et  $I_d(V_{gs})$  mesurées du transistor de développement 8x50µm

Eléments extrinsèques							
$R_g$ ( $\Omega$ )	$L_g$ (pH)	$C_{pg}$ (fF)	$R_d$ ( $\Omega$ )	$L_d$ (pH)	$C_{pd}$ (fF)	$R_s$ ( $\Omega$ )	$L_s$ (pH)
1,2	70,1	83,2	1,2	77,3	96,3	0,4	9,8
Eléments intrinsèques							
$C_{gs}$ (fF)	$R_i$ ( $\Omega$ )	$C_{gd}$ (fF)	$R_{gd}$ ( $\Omega$ )	$g_m$ (mS)	$g_d$ (mS)	$\tau$ (ps)	$C_{ds}$ (fF)
224,0	1,0	49,9	6,0	88,7	7,8	1,57	36,0

Tableau 1–3 : éléments du modèle petit signal du transistor 8x50µm pour un point de polarisation de repos de  $V_{gs_0}=-7V$ ,  $V_{ds_0}=22,2V$ ,  $I_{ds_0}=118mA$

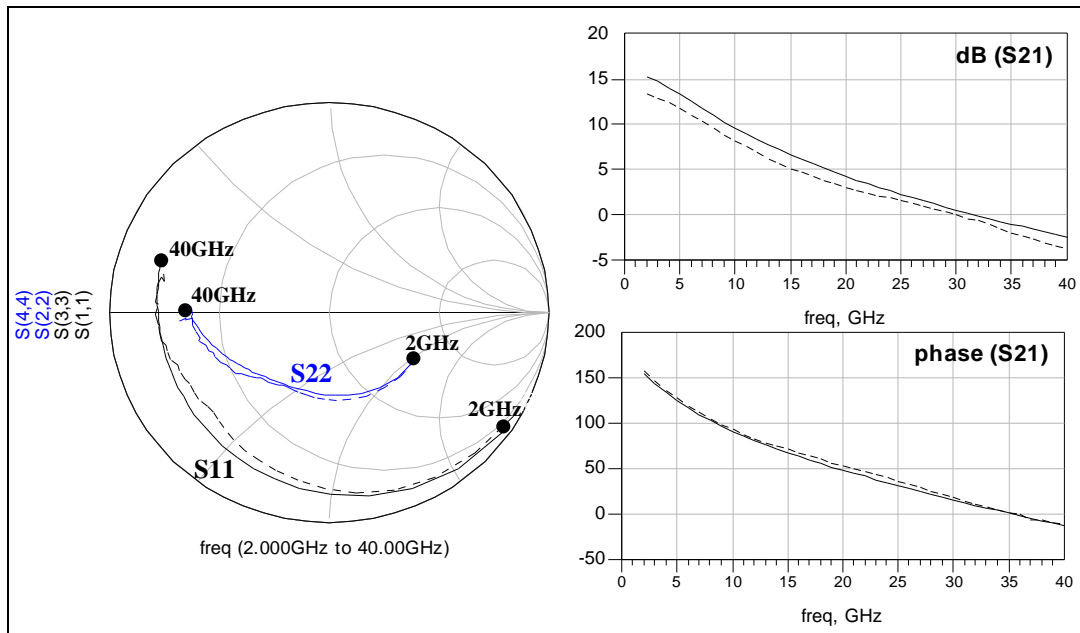


Figure 1–27 : comparaison des paramètres S mesurés (pointillés) et simulés (ligne continue) du transistor 8x50µm sur la bande 2-40GHz

➤ Modèles non-linéaires

Deux modèles non-linéaires de ce composant ont été dérivés, suivant deux méthodes différentes : modélisation par équations phénoménologiques et modélisation mixte (couplant la modélisation par splines et la modélisation par équations phénoménologiques).

A partir du modèle petit signal multipolarisation, nous avons pu observer les évolutions des différents éléments intrinsèques du modèle en fonction des tensions de polarisation appliquées. Nous avons ainsi déterminé que les capacités Cgs et Cds ainsi que la source de courant commandée Ids présentaient une forte non-linéarité vis-à-vis de la polarisation appliquée qu'il était nécessaire de modéliser.

Par équations phénoménologiques

Un premier modèle non-linéaire a été obtenu en identifiant la source de courant ainsi que les capacités Cgs et Cgd par équations phénoménologiques. La Figure 1–28 montre la comparaison des réseaux Id(Vds) mesuré et simulé obtenu pour un point de polarisation de repos de  $V_{gs0}=-7V$ ,  $V_{ds0}=22,2V$ ,  $I_{ds0}=118mA$ . Nous pouvons observer qu'en raison de la présence d'un effet d'ionisation par impact, le modèle de Tajima montre des difficultés à se superposer au réseau mesuré. Il faut en effet accepter un compromis entre la modélisation du réseau pour les tensions de polarisation de grille faibles et la modélisation de l'ensemble du

réseau. La Figure 1–29 montre la bonne corrélation mesure/modèle des paramètres S considérés pour un point de polarisation de repos de  $V_{gs0}=-7V$ ,  $V_{ds0}=22,2V$ ,  $I_{ds0}=118mA$ .

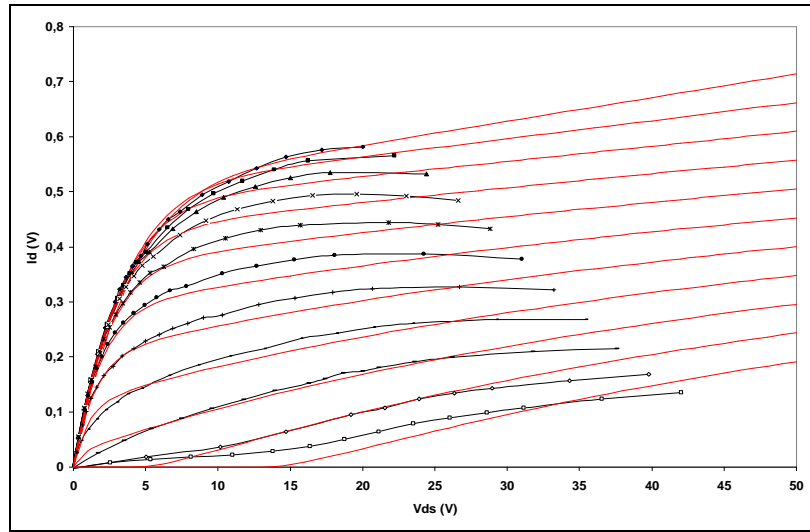


Figure 1–28 : comparaison des réseaux  $I_d(V_{ds})$  mesuré (foncé avec tics) et simulé à partir du modèle dérivé par équations phénoménologiques (clair sans tics) pour  $V_{gs}$  allant de  $-8V$  à  $+2V$

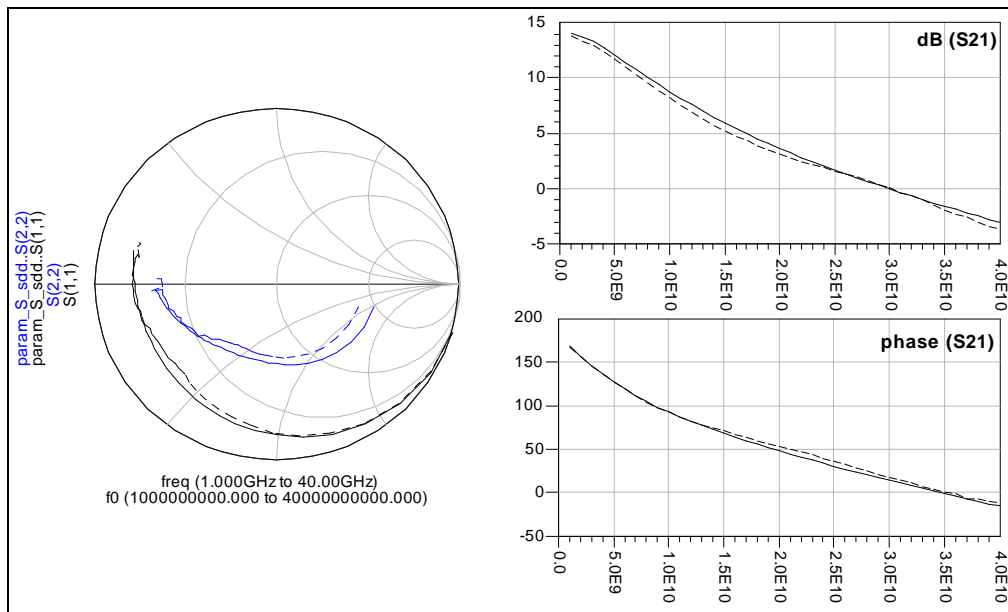


Figure 1–29 : comparaison des paramètres S mesurés (pointillés) et simulés à partir du modèle dérivé par équations phénoménologiques (ligne continue) sur la bande 1-40 GHz

### Mixte

Dans le cas de ce second modèle non-linéaire, la source de courant est modélisée par splines et les capacités  $C_{gs}$  et  $C_{gd}$  sont modélisées par équations phénoménologiques. La Figure 1–30 montre la comparaison des réseaux  $I_d(V_{ds})$  mesuré et simulé. Nous pouvons observer une très bonne corrélation du réseau mesuré et du réseau simulé. Remarquons également sa capacité à modéliser l'effet d'ionisation par impact observé pour des faibles

valeurs de  $V_{gs}$ . La Figure 1–31 montre la validité du modèle par comparaison des paramètres S pour un point de polarisation de repos de  $V_{gs0}=-7V$ ,  $V_{ds0}=22,2V$ ,  $I_{ds0}=118mA$ .

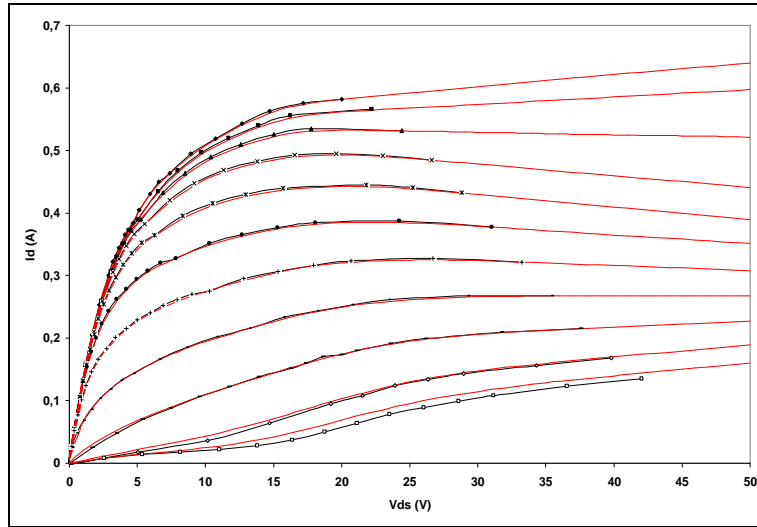


Figure 1–30 : comparaison des réseaux  $I_d(V_{ds})$  mesuré (foncé avec tics) et simulé à partir du modèle mixte (clair sans tics) pour  $V_{gs}$  allant de  $-8V$  à  $+2V$

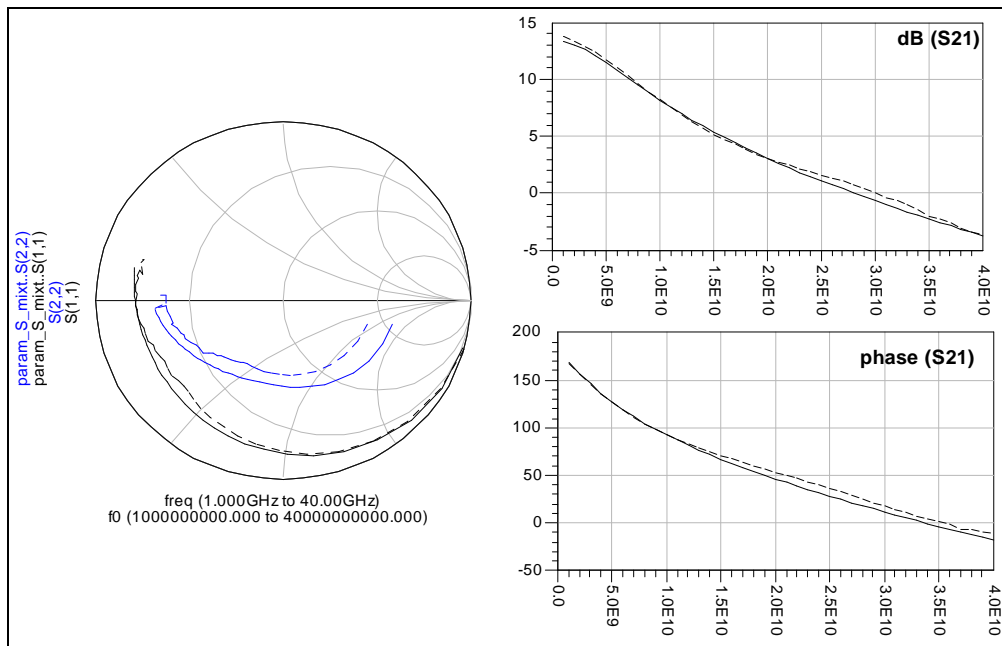


Figure 1–31 : comparaison des paramètres S mesurés (pointillés) et simulés à partir du modèle dérivé mixte (ligne continue) sur le bande 1-40 GHz

### ii- Mesures et modèles d'un transistor de développement $8 \times 75 \mu m$

La Figure 1–32 montre la photographie d'un transistor HEMT GaN sur substrat SiC présentant un développement total de grille de  $600 \mu m$ , soit 8 doigts de  $75 \mu m$ . Ce composant a été réalisé par le laboratoire TIGER. Des mesures pulsées de caractéristiques  $I(V)$  ainsi que de paramètres S ont été effectuées à Brive afin de pouvoir déterminer les modèles linéaire et non-

linéaire de ce composant. La Figure 1–33 montre les caractéristiques  $I_d(V_{ds})$  et  $I_g(V_{ds})$  de ce transistor pour un point de polarisation de  $V_{gs0}=-6,5V$ ,  $V_{ds0}=19V$ ,  $I_{ds0}=113mA$ . Le courant de drain maximal observé est de 850 mA, soit 1,42 A/mm. Nous pouvons noter la présence de l'effet Kink observé précédemment sur les caractéristiques du transistor de développement 8x50 $\mu m$ .

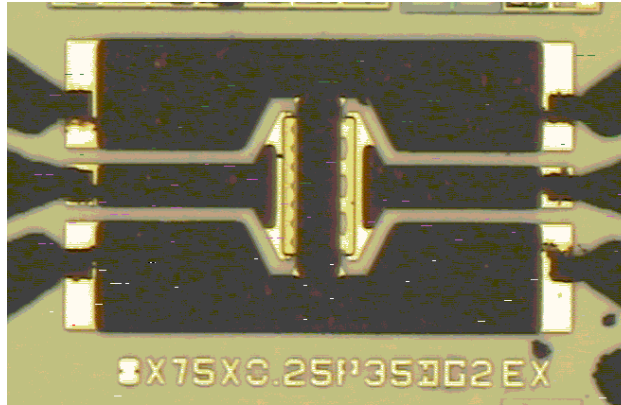


Figure 1–32 : photographie d'un transistor de développement 8x75 $\mu m$  sur technologie SiC

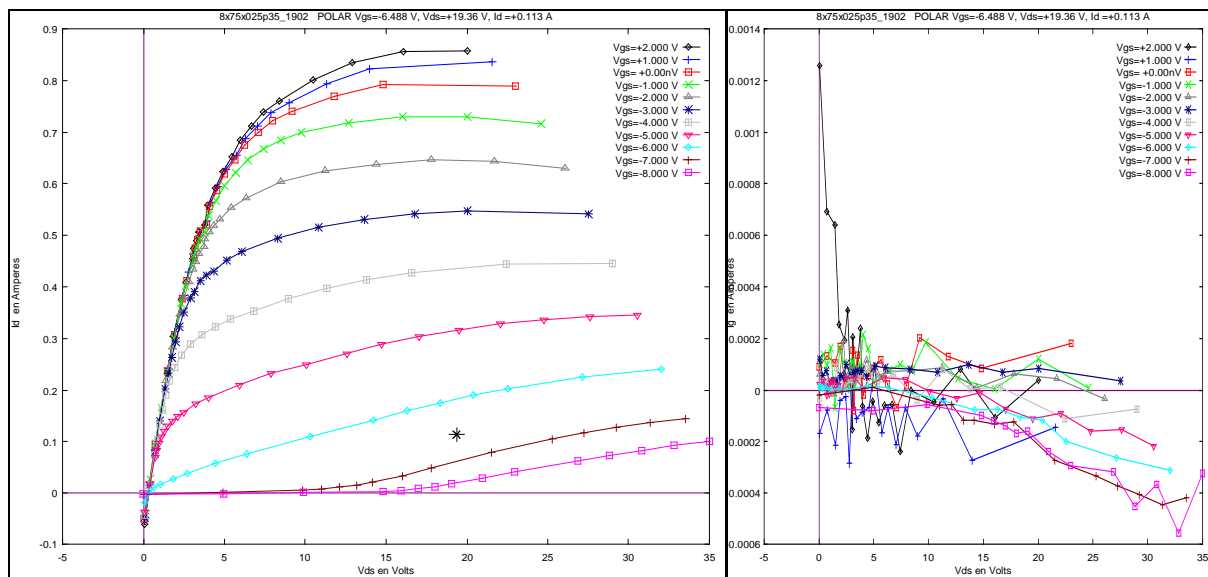


Figure 1–33 : caractéristiques  $I_d(V_{ds})$  et  $I_g(V_{ds})$  mesurées du transistor de développement 8x75 $\mu m$

➤ Modèle linéaire

Le modèle petit signal de ce composant a été obtenu par la méthode mixte décrite précédemment. Ce modèle a été dérivé pour un point de polarisation de repos de  $V_{gs0}=-6,5V$ ,  $V_{ds0}=19,2V$ ,  $I_{ds0}=117mA$ . Les valeurs des éléments de ce modèle sont données dans le Tableau 1–4. La Figure 1–34 montre la comparaison des paramètres S mesurés et simulés permettant de valider ce modèle petit signal.

Eléments extrinsèques							
$R_g$ ( $\Omega$ )	$L_g$ (pH)	$C_{pg}$ (fF)	$R_d$ ( $\Omega$ )	$L_d$ (pH)	$C_{pd}$ (fF)	$R_s$ ( $\Omega$ )	$L_s$ (pH)
1,7	47,1	94,5	0,8	63,2	116,5	0,3	11,6
Eléments intrinsèques							
$C_{gs}$ (fF)	$R_i$ ( $\Omega$ )	$C_{gd}$ (fF)	$R_{gd}$ ( $\Omega$ )	$g_m$ (mS)	$g_d$ (mS)	$\tau$ (ps)	$C_{ds}$ (fF)
396,3	0,1	78,0	2,1	145,5	11,7	0,99	59,1

Tableau 1-4 : éléments du modèle petit signal du transistor 8x75 $\mu$ m pour un point de polarisation de repos de  $V_{gs0}=-6,5V$ ,  $V_{ds0}=19,2V$ ,  $I_{ds0}=117mA$

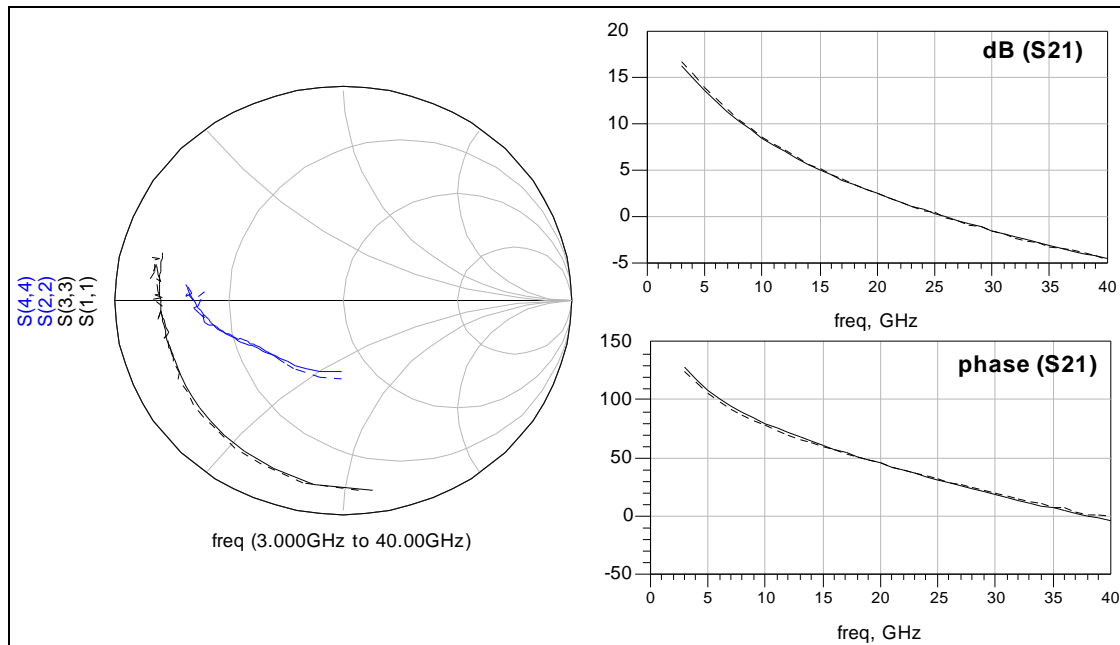


Figure 1-34 : comparaison des paramètres S mesurés (pointillés) et simulés (ligne continue) du transistor 8x75 $\mu$ m sur la bande 3-40GHz.

➤ Modèle non-linéaire

Le modèle non-linéaire de ce transistor de développement 8x75  $\mu$ m a été obtenu par équations phénoménologiques. La source de courant de drain ainsi que les capacités grille-source et grille-drain ont été modélisées.

Par équations phénoménologiques

Ce premier modèle non-linéaire a été obtenu en déterminant la source de courant et les capacités  $C_{gs}$  et  $C_{gd}$  par équations phénoménologiques. La Figure 1-35 montre la comparaison des réseaux  $I_d(V_{ds})$  mesuré et simulé pour  $V_{gs0}=-6,5V$ ,  $V_{ds0}=19,2V$ ,

$I_{ds0}=117\text{mA}$ . Nous pouvons noter la difficulté du modèle à simuler l'effet d'ionisation par impact observé pour les valeurs de  $V_{gs}$  faibles. La Figure 1–36 montre la validation du modèle à travers la comparaison des paramètres S mesurés et simulés pour un point de polarisation de repos de  $V_{gs0}=-6,5\text{V}$ ,  $V_{ds0}=19,2\text{V}$ ,  $I_{ds0}=117\text{mA}$ .

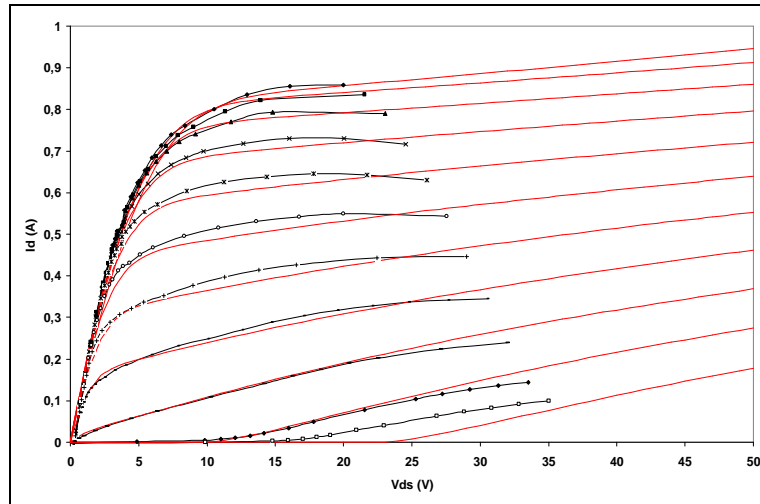


Figure 1–35 : comparaison des réseaux  $I_d(V_{ds})$  mesuré (foncé avec tics) et simulé à partir du modèle dérivé par équations phénoménologiques (clair sans tics) pour  $V_{gs}$  allant de  $-8\text{V}$  à  $+2\text{V}$ .

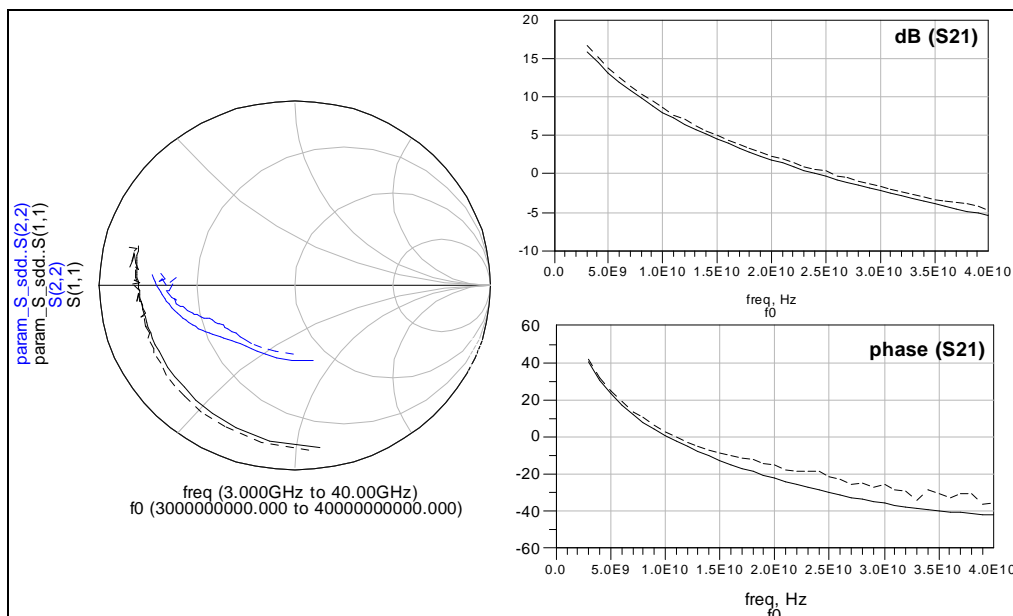


Figure 1–36 : comparaison des paramètres S mesurés (pointillés) et simulés à partir du modèle dérivé par équations phénoménologiques (ligne continue) sur la bande 3-40 GHz.



## Conclusion

Dans ce chapitre, nous avons présenté les principales caractéristiques physiques et électriques du nitrure de gallium pour des applications de puissance haute fréquence. Nous avons pu démontrer tout l'intérêt de ce matériau pour des applications de puissance haute fréquence. En effet, il présente tous les critères nécessaires à la réalisation de transistor de puissance très large bande. Même si la technologie n'est pas encore totalement mature et la réalisation des composants pas totalement maîtrisée (réalisation de passifs, de trous métallisés, ...), le GaN s'avance néanmoins comme le matériau le plus prometteur. Il laisse espérer l'obtention de densités de puissance au moins 5 fois supérieures à celles atteintes aujourd'hui par l'AsGa.

Nous avons également étudié le fonctionnement du transistor HEMT au travers du principe de l'hétérojonction et de la structure physique d'un tel composant. A partir du modèle petit signal d'un HEMT, nous avons étudié ses caractéristiques électriques ainsi que ses principales figures de mérite. Nous avons également dressé un état de l'art des transistor HEMTs sur nitrure de gallium. Les différents phénomènes observés sur les transistors mesurés au cours de ces travaux de thèse ont été décrits dans le contexte des applications de forte puissance. L'ensemble des caractérisations menées sur les différents composants contractuels nous ont permis de décrire précisément la phase de modélisation électrique linéaire et non-linéaire et en particulier pour les composants de la fonderie TIGER utilisés dans les conceptions décrites au chapitre 3.

Dans le chapitre suivant, nous poursuivons le travail de modélisation des transistors HEMTs en appliquant l'approche hybride couplant des simulations circuit et électromagnétique de ces derniers.

## Bibliographie

**[1.1] J. XU**

"AlGaIn/GaN High-Electron-Mobility-Transistors Based Flip-chip Integrated Broadband Power Amplifiers"

*thèse de doctorat soutenue en Décembre 2000, University of California, Santa Barbara, CA*

**[1.2] <http://www.ioffe.rssi.ru/SVA/NSM/Semicond/>**

*consulté en Décembre 2004*

**[1.3] LESTER F. EASTMAN ; UMESH K. MISHRA**

"The toughest transistor yet"

*IEEE Spectrum, Mai 2002, pages : 28-33*

**[1.4] K. LINTHICUM**

"GaN overview"

*http://www.nitronex.com, consulté en Décembre 2004*

**[1.5] M. HARRIS**

"Semiconductors"

*"The RF and Microwave Handbook", Editor Mike GOLIO, Ed. CRC Press, ISBN 0-8493-8592-X, pages 9-91 à 9-106*

**[1.6] <http://www.three-fives.com>**

*consulté en Décembre 2004*

**[1.7] S. DE MEYER**

"Wideband power performance evaluation of AlGaIn/GaN HEMTs"

*RF&Hyper 2005, Power Amplifier Workshop, Paris, 22-24 Mars 2005*

**[1.8] <http://www.cree.com>**

*consulté en Décembre 2004*

**[1.9] R. STEVENSON**

"GaN substrates offer high performance at a price"

*Compound Semiconductor magazine, Juillet 2004*

**[1.10] Microwave Engineering Europe Magazine**

"Comparison of wide band gap and III-V semiconductor devices"

*Microwave Engineering Europe Magazine, Juillet 2003*

**[1.11] <http://www.fbh-berlin.de>**

*consulté en Décembre 2004*

**[1.12] [www.fujitsu.com](http://www.fujitsu.com)**

"Fujitsu develops breakthrough technology for low-cost production of gallium-nitride HEMT – Reduces production costs to less than 1/3"

*site internet de Fujitsu, 21 Décembre 2004*

**[1.13] <http://www.fact-index.com>**

*consulté en Décembre 2004*

**[1.14] P. CHEVALIER**

"Transistors HEMT sur matériaux III-V"

*http://www.eudil.fr, consulté en Décembre 2004*

**[1.15] D. DELAGEBEAUDEUF ; P. DELESCLUSE ; P. ETIENNE ; M. LAVIRON ; J. CHAPLART ; NGUYEN T. LINH**

"Two dimensionnal electron gas MESFET structure"

*Electronics Letters, Vol. 16, No 17, Août 1980*

**[1.16] T. MIMURA ; S. HIYAMIZU ; T. FUJII ; K. NANBU**

"A new field-effect transistor with selectively doped GaAs/n-Al<sub>x</sub>Ga<sub>1-x</sub>As heterojunctions"

*Japanese Journal of Applied Physics, Vol.19, No 5, Mai 1980, pages L225 à L227*

**[1.17] C. MELIANI**

"Circuits intégrés amplificateurs à base de transistors HEMT pour les transmissions numériques à très haut débit ( $\geq 40$  Gbit/s)"

*thèse de doctorat soutenue le 17 Juin 2003, Université Paris VII Denis Diderot*

**[1.18] F. ALI ; A. GUPTA**

"HEMTs & HBTs : device, fabrication and circuits"

*Ed. Artech House, ISBN 0-89006-401-6, pages 11 à 76*

**[1.19] UMS**

Rapports d'avancement du contrat DGA n°01.34.050.00.470.75.65

**[1.20] M. CAMPOVECCHIO**

"Méthode de conception d'amplificateurs de puissance microondes large bande à transistors à effet de champ. Application aux amplificateurs distribués en technologie M.M.I.C."

*thèse de doctorat soutenue le 29 Janvier 1993, Université de Limoges*

**[1.21] E. BYK**

"Méthodes d'analyses couplées pour la modélisation globale de composants et modules millimétriques de forte puissance"

*thèse de doctorat soutenue le 12 Décembre 2002, Université de Limoges*

**[1.22] Karen E. MOORE**

"RF power transistors from wide bandgap materials"

*"The RF and Microwave Handbook", Editor Mike GOLIO, Ed. CRC Press, ISBN 0-8493-8592-X, pages 7-155 à 7-169*

**[1.23] P. CHAVARKAR ; U. MISHRA**

"High electron mobility transistors (HEMTs)"

*"The RF and Microwave Handbook", Editor Mike GOLIO, Ed. CRC Press, ISBN 0-8493-8592-X, pages 7-126 à 7-155*

**[1.24] S. RAJAN ; P. WALTEREIT ; C. POBLENZ ; S.J. HEIKMAN ; D.S. GREEN ; J.S. SPECK ; U.K. MISHRA**

"Power performance of AlGa<sub>N</sub>-Ga<sub>N</sub> HEMTs grown on SiC by plasma-assisted MBE"

*IEEE Electron Device Letters, Vol. 25, No 5, Mai 2004, pages : 247 à 249*

**[1.25] R. THOMPSON ; T. PRUNTY ; V. KAPER ; J.R. SHEALY**

"Performance of the AlGa<sub>N</sub> HEMT structure with a gate extension"

*IEEE Transactions on Electron Devices, Vol. 51, No 2, Février 2004, pages : 292 à 295*

**[1.26] A. CHINI ; D. BUTTARI ; R. COFFIE ; S. HEIKMAN ; S. KELLER ; U.K. MISHRA**

"12W/mm power density AlGa<sub>N</sub>/Ga<sub>N</sub> HEMTs on sapphire substrate"

*Electronics Letters, Vol. 40, No 1, Janvier 2004*

**[1.27] A. MINKO ; V. HOEL ; E. MORVAN ; B. GRIMBERT ; A. SOLTANI ; E. DELOS ; D. DUCATTEAU ; C. GAQUIERE ; D. THERON ; J.C. DE JAEGER ; H. LAHRECHE ; L. WEDZIKOWSKI ; R. LANGER ; P. BOVE**

"AlGa<sub>N</sub>-Ga<sub>N</sub> HEMTs on Si with power density performance of 1.9 W/mm at 10 GHz"

*IEEE Electron Device Letters, Vol. 25, No7, Juillet 2004, pages : 453 à 455*

**[1.28] K.K. CHU ; P.C. CHAO ; M.T. PIZZELLA ; R. ACTIS ; D.E. MEHARRY ; K.B. NICHOLS ; R.P. VAUDO ; X. XU ; J.S. FLYNN ; J. DION ; G.R. BRANDES**

"9.4-W/mm power density AlGa<sub>N</sub>-Ga<sub>N</sub> HEMTs on free-standing Ga<sub>N</sub> substrates"

*IEEE Electron Device Letters, Vol. 25, No 9, Septembre 2004, pages : 596 à 598*

**[1.29] R. BEHTASH ; H. TOBLER ; M. NEUBURGER ; A. SCHURR ; H. LEIER ; Y. CORDIER ; F. SEMOND ; F. NATALI ; J. MASSIES**

"AlGa<sub>N</sub>/Ga<sub>N</sub> HEMTs on Si(111) with 6.6 W/mm output power density"

*Electronics Letters, Vol. 39, No 7, Avril 2003, pages : 626 à 627*

**[1.30] Y.F. WU ; A. SAXLER ; M. MOORE ; R.P. SMITH ; S. SHEPPARD ; P.M. CHAVARKAR ; T. WISLEDER ; U.K. MISHRA ; P. PARIKH**

"30-W/mm Ga<sub>N</sub> HEMTs by field plate optimization"

*IEEE Electron Device Letters, Vol. 25, No 3, Mars 2004, pages : 117 à 119*

**[1.31] P. SAUNIER**

"Ga<sub>N</sub> Technology Overview : Accomplishments and Challenges"

*12th GaAs Symposium, Amsterdam, 2004, pages : 543 à 546*

**[1.32] Z. OUARCH**

"Caractérisation et modélisation des effets de pièges et thermiques des transistors à effet de champ sur AsGa : application à la simulation de la dynamique lente des circuits non-linéaires micro-ondes"

*thèse de doctorat soutenue le 28 Janvier 1999, Université de Limoges*

**[1.33] J.P. TEYSSIER**

"Caractérisation en impulsions des transistors microondes : application à la modélisation non-linéaire pour la C.A.O. des circuits"

*thèse de doctorat soutenue le 13 Janvier 1994*

**[1.34] J.P. VIAUD**

"Modélisation non-linéaire de transistors microondes. Application à la conception d'amplificateurs de puissance en technologie M.M.I.C."

*thèse de doctorat soutenue le 8 Mars 1996, Université de Limoges*

**[1.35] Y. MITANI ; D. KASAI ; K. HORIO**

"Analysis of surface-state and impact-ionization effects on breakdown characteristics and gate-lag phenomena in narrowly recessed gate GaAs FETs"

*IEEE Transactions on Electron Devices, Vol. 50, No 2, Février 2003, pages : 285 à 291*

**[1.36] S. DE MEYER ; C. CHARBONNIAUD ; R. QUERE ; M. CAMPOVECCHIO ; R. LOSSY ; J. WURFL**

"Mechanism of power density degradation due to trapping effects in AlGaIn/GaN HEMTs"

*IEEE MTTs Digest, 2003, pages 455 à 458*

**[1.37] C. CHARBONNIAUD ; S. DE MEYER ; R. QUERE ; J.P. TEYSSIER**

"Electrothermal and trapping effects characterisation of AlGaIn/GaN HEMTs"

*11th GAAS Symposium, Munich 2003, pages 201 à 204*

**[1.38] C. CHARBONNIAUD ; T. GASSELING ; S. DE MEYER ; R. QUERE ; J.P. TEYSSIER ; D. BARATAUD ; J.M. NEBUS ; T. MARTIN ; B. GRIMBERT ; V. HOEL ; N. CAILLAS ; E. MORVAN**

"Power performance evaluation of AlGaIn/GaN HEMTs through load pull and pulsed I-V measurements"

*12th GAAS Symposium, Amsterdam, 2004, pages 163 à 166*

**[1.39] K. HORIO ; A. WAKABAYASHI**

"Numerical analysis of surface-state effects on Kink phenomena of GaAs MESFETs"

*IEEE Transactions on Electron Devices, Vol. 47, No 12, Décembre 2000, pages : 2270 à 2276*

**[1.40] K. HORIO ; K. SATOH**

"Two-dimensional analysis of substrate-related Kink phenomena in GaAs MESFETs"

*IEEE Transactions on Electron Devices, Vol. 41, No 12, Décembre 1994, pages : 2256 à 2261*

**[1.41] T. M. BARTON ; P. H. LADBROOKE**

"The role of the device surface in the high voltage behavior of the GaAs MESFET"

*Solid-state Electron., Vol. 29, 1986, pages 807 à 813*

**[1.42] S. AUGAUDY**

"Caractérisation et modélisation des transistors microondes, application à l'étude de la linéarité des amplificateurs à fort rendement"

*thèse de doctorat soutenue le 6 Mars 2002, Université de Limoges*

**[1.43] G. DAMBRINE ; A. CAPPY ; F. HELIODORE ; E. PLAYEZ**

"A new method for determining the FET small-signal equivalent circuit"

*IEEE Transactions on Microwave Theory and Techniques, Vol. 36, No 7, Juillet 1988, pages : 1151 à 1159*

**[1.44] J.J. RAOUX ; R. QUERE**

"Application de l'optimisation par recuit simulé à la modélisation électrique des composants semiconducteurs microondes"

*Journées Nationales Microondes 1991, Grenoble, pages : 281 à 282*

**[1.45] W.R. CURTICE**

"GaAs MESFET modeling and nonlinear CAD"

*IEEE Transactions on Microwave Theory and Techniques*, Vol. 36, No 2, Février 1988, pages : 220 à 230

**[1.46] J.P. TEYSSIER ; J.P. VIAUD ; R. QUERE**

"A new nonlinear I(V) model for FET devices including breakdown effects"

*IEEE Microwave and Guided Wave Letters*, Avril 1994, pages : 104 à 106

**[1.47] J.P. TEYSSIER ; J.P. VIAUD ; J.J. RAOUX ; R. QUERE**

"Fully integrated nonlinear modeling and characterization system of microwave transistors with on-wafer pulsed measurements"

*IEEE Microwave Theory and Techniques digest*, 1995, pages : 1033 à 1036

**Chapitre 2 : Analyse hybride de transistors  
HEMTs par couplage de simulations circuit  
et électromagnétique**





## **Introduction**

Comme nous l'avons évoqué précédemment, des nouvelles technologies voient le jour afin de répondre au besoin croissant de puissance haute fréquence dans les applications télécoms. Or, les composants, circuits et sous-ensembles réalisés à partir de ces technologies représentent un coût de fabrication long et coûteux. Afin d'éviter la multiplication des réalisations, une phase de simulation et d'optimisation est nécessaire, au cours de laquelle nous cherchons à modéliser au mieux les différents phénomènes linéaires et non-linéaires.

Ces dernières années, différentes méthodes de modélisation ont été développées telles que la modélisation électrique étudiée au chapitre 1 de ce manuscrit. Nous avons également vu émerger des modèles électrothermiques, physiques ou encore hybrides. Ces derniers sont l'objet de ce deuxième chapitre.

Nous étudierons dans un premier temps le principe de la modélisation hybride de composants microondes puis nous l'appliquerons à un transistor unitaire GaN HEMT de développement  $2 \times 50 \mu\text{m}$  et de longueur de grille  $0,15 \mu\text{m}$ .

Par la suite, nous étendrons cette méthode à différentes topologies de composant afin d'anticiper leur comportement global et d'observer un éventuel couplage parasite au sein de la structure. Le cas échéant, une phase d'optimisation de la structure pourrait être envisagée. Nous déterminerons ainsi le modèle d'un transistor de plus fort développement ( $8 \times 50 \mu\text{m}$ ) sans avoir recours à de nouvelles simulations électromagnétiques.

Une comparaison entre les topologies parallèle et distribuée d'un composant de même développement sera réalisée. Nous étudierons également la comparaison de composants en configuration coplanaire et microstrip ainsi que les montages face-up et flip-chip d'un transistor.

# I - Approche hybride de la modélisation de composants actifs

Dans cette partie, le but de nos travaux est de réaliser des modèles de transistors dont les comportements passifs et actifs sont bien discriminés. Dans cet objectif, il nous faut obtenir d'une part, un modèle électrique de la partie active intrinsèque du composant et d'autre part, des analyses électromagnétiques caractérisant la partie extrinsèque de ce même composant. Les intérêts principaux de la simulation électromagnétique sont dans un premier temps la détermination précise des éléments extrinsèques, correspondant aux parasites liés à la structure géométrique du composant, mais également la possibilité de dériver le modèle de différents composants par des règles d'échelle. Ainsi, nous développons ici la méthode de cette étude hybride, en débutant par les modélisations électrique et électromagnétique avant d'exposer la théorie du couplage de ces analyses.

## 1. Modélisation électrique

[2.1], [2.2], [2.3], [2.4]

Afin de réaliser une analyse hybride couplant des simulations circuit et électromagnétique d'un composant, il nous faut considérer tout d'abord le modèle électrique équivalent de ce composant. Celui-ci est dérivé à partir de mesures réalisées sur le banc de l'IRCOM de Brive [Chapitre 1 : III - 2. ]. Le modèle équivalent petit signal (présenté dans [Chapitre 1 : II - 2. d/ i- ]) est extrait des mesures de paramètres S du transistor à l'aide d'un logiciel développé en interne couplant un algorithme d'extraction à une procédure d'optimisation. Cette méthode d'extraction directe consiste en effet à optimiser les éléments extrinsèques du composant afin que les éléments intrinsèques soient indépendants de la fréquence. Le modèle petit signal est alors valable pour un point de polarisation donné.

Par la suite, un modèle non-linéaire peut être développé à partir des caractéristiques I(V) mesurées ([Chapitre 1 : III - 4. b/ ]). Deux méthodes sont exploitées dans le laboratoire afin d'obtenir ce modèle non-linéaire : une méthode basée sur la résolution d'équations non-linéaires (la source de courant étant définie par un modèle de Tajima modifié), une autre méthode utilisant des splines. Cette deuxième technique implique la modélisation sous forme

de boîte noire des éléments non-linéaires du schéma équivalent du transistor. Dans les deux cas, des logiciels développés en interne sont utilisés.

Les éléments parasites du transistor peuvent également être déterminés autrement que par optimisation ; une méthode basée sur des mesures électriques réalisées à froid et une autre méthode basée sur des simulations électromagnétiques de la topologie du composant seront exposées plus loin [II - 3. a/ ].

## **2. Modélisation électromagnétique**

[2.5], [2.6], [2.7], [2.8]

A ce stade de nos travaux, nous avons ainsi obtenu le modèle électrique équivalent en éléments localisés de la zone active intrinsèque du composant étudié. Une analyse électromagnétique est désormais nécessaire. Pour cela, différentes méthodes d'analyses sont disponibles. Une présentation succincte de ces méthodes est donnée maintenant.

### **a/ La méthode des éléments finis (FEM : Finite Element Method)**

La méthode des éléments finis s'appuie sur un principe variationnel consistant à résoudre les équations de Maxwell par minimisation d'une expression intégrale (appelée fonctionnelle), c'est-à-dire en déterminant le minimum de la fonction [2.9]. Cette technique permet la résolution de systèmes bidimensionnels mais aussi tridimensionnels dans le domaine fréquentiel, par découpage spatial (maillage) en triangles ou tétraèdres de la structure. Cette méthode permet la réalisation de maillages adaptatifs ainsi que la prise en compte des pertes (métalliques et diélectriques). L'analyse de structures 3D complexes est alors réalisée de façon rigoureuse et nécessite un temps de calcul et un espace mémoire qui a considérablement diminué ces dernières années grâce à l'utilisation de techniques de paramétrisation en fréquence. Cette nouvelle technique ne requiert qu'un seul calcul pour toute une bande de fréquence d'analyse et non plus un calcul pour chaque point de fréquence [2.10].

### **b/ La méthode des moments**

La méthode des moments est utilisée pour résoudre, dans le domaine fréquentiel, des problèmes de structures planaires car l'application à des structures tridimensionnelles

implique un accroissement considérable du temps de calcul. De plus, cette méthode ne gère pas la non-uniformité du substrat. Les éléments typiquement tridimensionnels tels que les ponts à air, sont alors abordés de façon approchée par une technique dite 2,5D. Le maillage de la structure sera donc bidimensionnel (rectangulaire ou triangulaire) et s'effectuera uniquement sur les conducteurs, considérés d'épaisseur nulle dans le cas de conducteurs parfaits.

c/ La méthode des différences finies dans le domaine temporel (FDTD : Finite Differences in Time Domain)

La méthode des différences finies est basée sur la résolution approchée des équations de Maxwell. L'application de cette méthode dans le domaine temporel permet notamment d'étudier des régimes transitoires de champ, des systèmes non-linéaires, mais aussi des structures variant de manière spatio-temporelle. La méthode FDTD utilise une discrétisation de la structure en carrés dans le cas d'une analyse 2D ou en cubes dans le cas d'une analyse 3D [2.11]. Elle peut s'étendre, au prix de moyens informatiques puissants, à des structures présentant des pertes ainsi qu'à des structures dont les limites physiques sont non-rectilignes.

d/ La méthode des lignes de transmission (TLM : Transmission Lines Matrix)

Tout comme la méthode FDTD énoncée précédemment, la méthode TLM est basée sur une discrétisation de la structure à partir d'un maillage carré ou cubique [2.12]. Chaque segment devient une ligne de transmission et les nœuds représentent les points de jonctions de ces lignes. Chaque nœud est défini par une matrice liant les signaux incidents et réfléchis. On peut ainsi obtenir les caractéristiques temporelles des champs mais également analyser le domaine fréquentiel grâce aux transformées de Fourier.

La méthode employée au cours de ces travaux de thèse est la méthode des éléments finis. Elle représente la technique la plus rigoureuse pour le calcul de structures tridimensionnelles telle que celles étudiées dans notre cas puisque tous les transistors simulés possèdent un pont à air. Elle permet de plus la réalisation d'un maillage adaptatif, adapté aux structures complexes. Enfin, c'est une méthode fréquentielle permettant en conséquence d'observer d'éventuels comportements parasites tels que des résonances, ce qui nous intéresse dans le cadre de ces travaux.

### 3. Couplage circuit-électromagnétisme

[2.13], [2.14], [2.15]

Il existe différentes approches de modélisation globale de composants permettant d'intégrer leur comportement passif ainsi que leur comportement actif dans un même modèle.

L'une de ces approches est une méthode globale directe qui consiste à intégrer directement les éléments actifs (ou leur schéma équivalent) aux nœuds de discrétisation de la structure. La technique de simulation électromagnétique considérée dans ce cas est la méthode FDTD [2.16]. La modélisation réalisée par cette approche est valable pour une géométrie fixée du composant étudié ; ce qui implique que toute modification de la géométrie nécessite une nouvelle simulation électromagnétique globale, incluant les éléments actifs aux nœuds du maillage.

Une autre approche, appelée technique de compression, consiste à simuler séparément les comportements passifs et actifs du composant puis à effectuer leur connexion [2.17]. D'une part, une analyse électromagnétique est réalisée (par l'une ou l'autre des méthodes décrites plus tôt), permettant d'obtenir une matrice de paramètres S dite "matrice de compression" qui décrit la partie distribuée du composant. D'autre part, un schéma en éléments localisés est dérivé du comportement intrinsèque du composant. Par la suite, la connexion de ces deux composantes peut-être réalisée à l'aide d'un logiciel de type circuit (Figure 2-1).

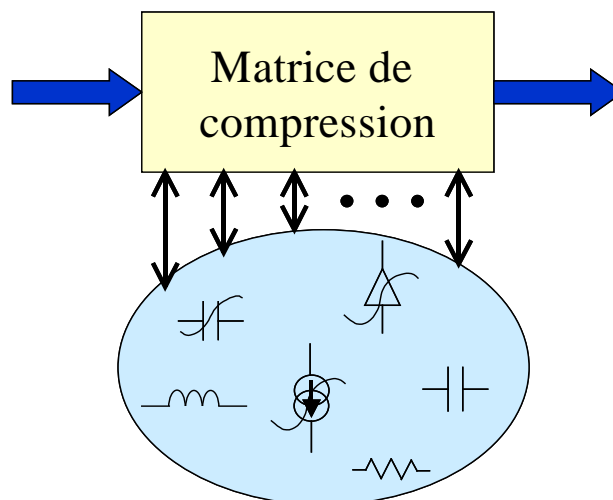


Figure 2-1 : connexion de la matrice de compression et du schéma en éléments localisés de la partie intrinsèque du composant étudié

Une adaptation de cette technique de compression a été développée pour l'étude des transistors à effet de champ multi-doigts [2.18]. Il s'agit d'obtenir la matrice des paramètres S de la structure à l'aide d'une simulation électromagnétique et de lui connecter les modèles équivalents intrinsèques élémentaires correspondants à la partie active d'un doigt du transistor. Il suffit pour cela d'inclure à la structure simulée en électromagnétisme, des accès localisés judicieusement placés, permettant la connexion ultérieure des circuits électriques non linéaires [2.19]. Cette approche sera exposée dans la section [II - 2. ].

## **II - Principe de l'approche hybride et application au transistor 2x50 $\mu$ m de référence**

Après une rapide étude théorique de la modélisation électrique et électromagnétique de composants, nous allons détailler les étapes nécessaires à l'obtention d'un modèle hybride de transistor. Dans un premier temps, nous étudierons le modèle électrique du transistor extrait des mesures. Par la suite, nous montrerons la structure analysée en électromagnétisme et exposerons la méthode de détermination des éléments extrinsèques parasites. Enfin, nous exposerons la méthode du couplage de ces deux analyses circuit et électromagnétique dans le but d'obtenir un modèle hybride global du transistor. Pour finir, nous appliquerons cette méthode au transistor 2x50 $\mu$ m sur technologie nitrure de gallium sur carbure de silicium.

### **1. Modélisation électrique du transistor 2x50 $\mu$ m**

Le transistor de base de cette étude électromagnétique présente un développement total de grille de 100 $\mu$ m (2 doigts de grille de 50 $\mu$ m de large chacun et 0,15 $\mu$ m de longueur) (Figure 2–2). Il montre également un gate-pitch de 35 $\mu$ m. C'est un composant en technologie GaN sur SiC de la fonderie Daimler Chrysler. Le transistor a été mis à notre disposition pour effectuer une caractérisation en mesures pulsées sous pointes sur le banc de Brive comme décrite dans [Chapitre 1 : III - 2. ]. Les caractéristiques I(V) ainsi que les paramètres S ont été mesurés (Figure 2–3), ce qui a permis l'extraction d'un modèle petit signal (comme présenté dans [I - 1. ]) dont les éléments intrinsèques et extrinsèques sont donnés dans le Tableau 2–1. Ce modèle a été déterminé pour un point de polarisation de repos de  $V_{gs_0}=-3,5V$ ,  $V_{ds_0}=24,5V$ ,  $I_{ds_0}=25,3mA$ . La Figure 2–4 montre la validation du modèle électrique équivalent petit signal à travers la comparaison des paramètres S mesurés et simulés.

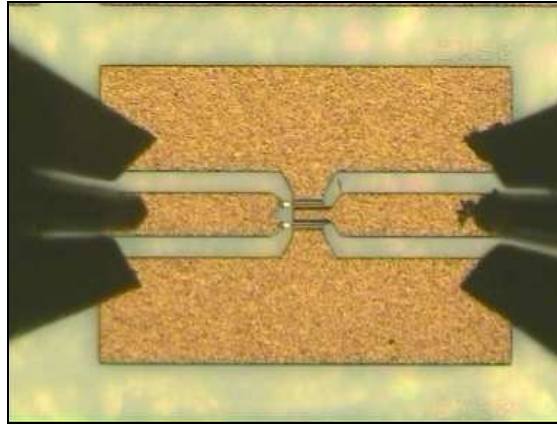


Figure 2–2 : photographie du transistor de référence 2x50µm (sous pointes) sur technologie SiC de la fonderie Daimler Chrysler

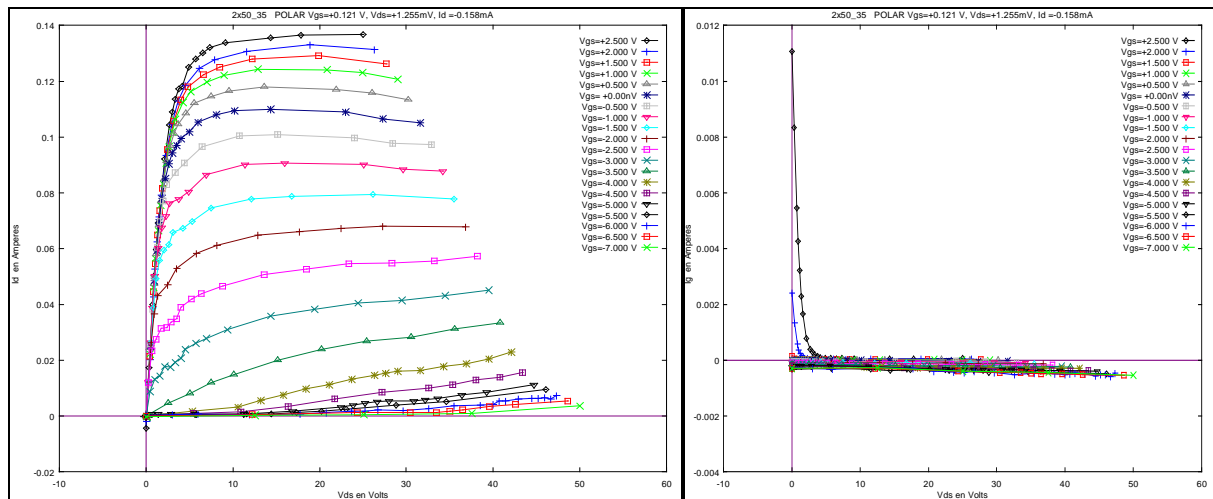


Figure 2–3 : caractéristiques I(V) du transistor 2x50µm mesurées à froid ( $V_{gs0}=0V$  ;  $V_{ds0}=0V$ )

Eléments extrinsèques							
$R_g$ ( $\Omega$ )	$L_g$ (pH)	$C_{pg}$ (fF)	$R_d$ ( $\Omega$ )	$L_d$ (pH)	$C_{pd}$ (fF)	$R_s$ ( $\Omega$ )	$L_s$ (pH)
5,43	98,1	46,8	1,95	93,0	9,6	1,08	0,6
Eléments intrinsèques							
$C_{gs}$ (fF)	$R_i$ ( $\Omega$ )	$C_{gd}$ (fF)	$R_{gd}$ ( $\Omega$ )	$g_m$ (mS)	$g_d$ (mS)	$\tau$ (ps)	$C_{ds}$ (fF)
65,5	13,7	8,1	17,2	25,8	1,0	1,04	46,4

Tableau 2–1 : éléments du modèle petit signal du transistor 2x50µm pour un point de polarisation de repos de  $V_{gs0}=-3,5V$ ,  $V_{ds0}=24,5V$ ,  $I_{ds0}=25,3mA$

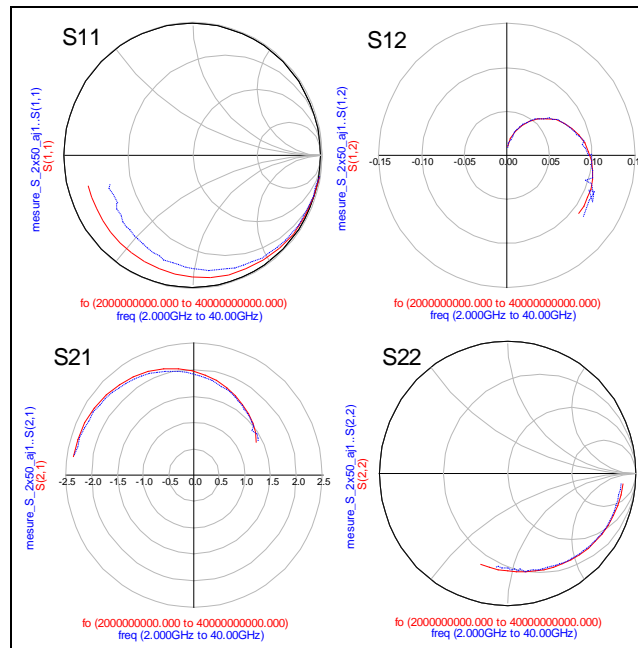


Figure 2–4 : comparaison des paramètres S mesurés (pointillés) et simulés (ligne continue) du transistor 2x50µm

De plus, nous avons obtenu les renseignements nécessaires sur la structure, afin de dessiner le composant en vue de réaliser les simulations électromagnétiques et obtenir un modèle hybride.

Afin de se rapprocher au plus près de la zone active du transistor, un dé-embedding est nécessaire (Figure 2–5). Pour cela, la matrice de répartition des paramètres S des lignes d'accès est déterminée par simulation électromagnétique puis soustraite à la fois aux paramètres mesurés ainsi qu'au modèle petit signal obtenu auparavant. Ceci est réalisé par un algorithme de chaînage de matrices S, implémenté dans le logiciel interne de modélisation et de traitement des résultats de mesures.

Ainsi, nous obtenons un modèle petit signal dé-embeddé au plus proche de la zone active du composant. Le Tableau 2–2 donne les valeurs des éléments intrinsèques et extrinsèques de ce nouveau modèle, qui servira de base désormais pour la suite des analyses électromagnétiques. La Figure 2–6 montre la comparaison des paramètres S obtenus des mesures dé-embeddées et ceux obtenus par la simulation du modèle dé-embeddé.



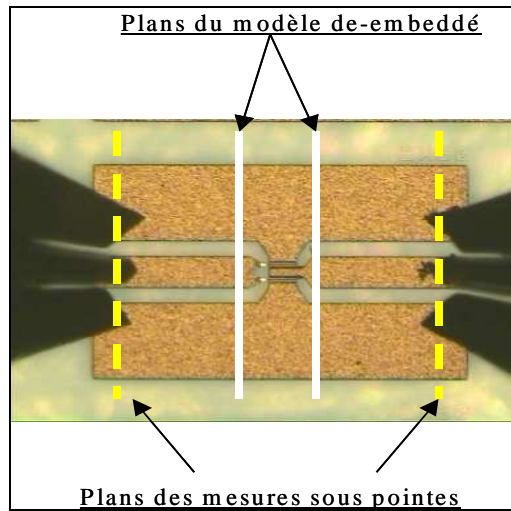


Figure 2-5 : plans de mesures et plans du modèle dé-embeddé

Éléments extrinsèques							
$R_g$ ( $\Omega$ )	$L_g$ (pH)	$C_{pg}$ (fF)	$R_d$ ( $\Omega$ )	$L_d$ (pH)	$C_{pd}$ (fF)	$R_s$ ( $\Omega$ )	$L_s$ (pH)
5,4	29,2	1,0	2,2	28,5	8,3	1,1	14,3
Éléments intrinsèques							
$C_{gs}$ (fF)	$R_i$ ( $\Omega$ )	$C_{gd}$ (fF)	$R_{gd}$ ( $\Omega$ )	$g_m$ (mS)	$g_d$ (mS)	$\tau$ (ps)	$C_{ds}$ (fF)
70,9	7,7	8,9	15,6	28,2	1,3	1,1	0,47

Tableau 2-2 : éléments du modèle dé-embeddé petit signal du transistor 2x50 $\mu$ m pour un point de polarisation de repos de  $V_{gs0}=-3,5V$ ,  $V_{ds0}=24,5V$ ,  $I_{ds0}=25,3mA$

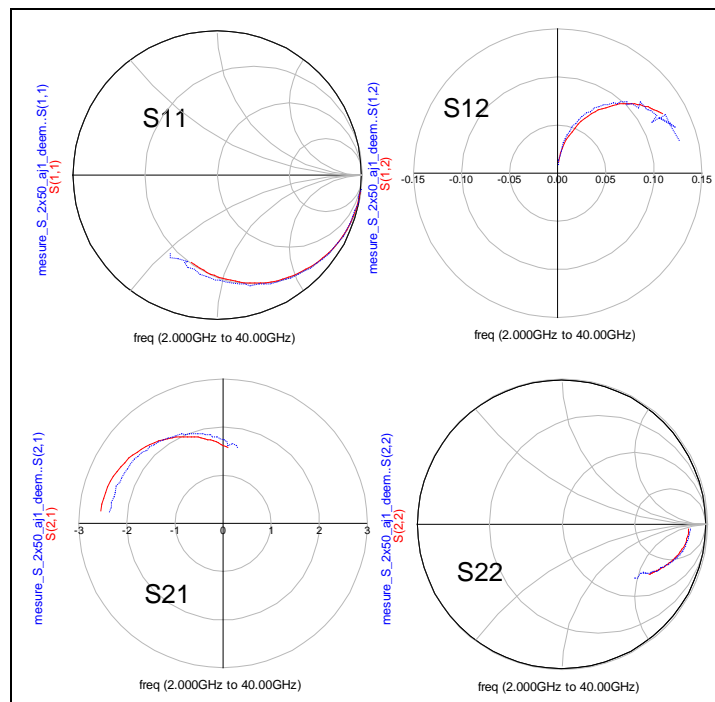


Figure 2-6 : comparaison des paramètres S obtenus des mesures dé-embeddées (pointillés) et ceux obtenus par la simulation du modèle dé-embeddé (ligne continue)

## **2. Modélisation électromagnétique du transistor 2x50µm**

[2.6], [2.20], [2.21], [2.22]

Dans le cadre de ces travaux de thèse, la méthode d'analyse électromagnétique retenue est la méthode des éléments finis. Cette technique permet en effet de réaliser une étude rigoureuse des structures à deux et trois dimensions ; elle permet également de prendre en compte des éléments purement tridimensionnels tels que les ponts à air dont sont munis les transistors étudiés ici.

### a/ Le simulateur

Un algorithme de résolution basé sur la méthode des éléments finis est implanté et développé à l'IRCOM par Michel AUBOURG. Il permet la résolution dans le domaine fréquentiel de structures diverses de formes variées. Les conditions aux limites peuvent être des court-circuits électriques (CCE), des court-circuits magnétiques (CCM), des impédances de surface quelconques, des plans d'accès ou encore, des conditions absorbantes ou des PML (Perfect Matched Lines) dans le cas de simulations en espace libre.

Concernant les accès, deux catégories sont disponibles : les accès distribués et les accès localisés. Les premiers sont planaires, perpendiculaires aux axes de propagation et externes, c'est-à-dire qu'ils bornent le domaine d'étude. En fonction des besoins, une décomposition modale sur un ou plusieurs modes est effectuée pour établir la matrice [S] du dispositif considéré. Les seconds présentent des supports linéiques et ne sont pas nécessairement placés à la périphérie du domaine d'étude. Ils permettent de créer une interface entre une relation tension-courant et les champs électromagnétiques présents autour du segment. Ils permettent par exemple une excitation localisée ou bien la connexion possible à d'autres éléments passifs ou actifs d'un circuit. Cette dernière application sera nécessaire à l'étude hybride car ces accès localisés permettront la connexion du schéma électrique équivalent de la partie active du transistor au sein même de la structure physique étudiée électromagnétiquement (Figure 2-7).

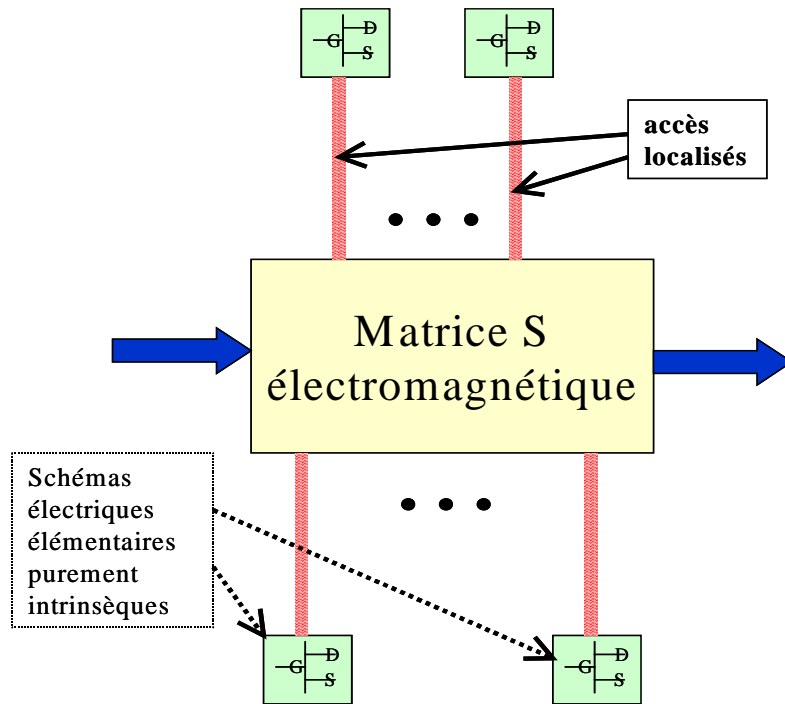


Figure 2–7 : synoptique de l'analyse hybride par la connexion entre les contributions actives et passives du composant, via des accès localisés

#### b/ La simulation

La structure dé-embeddée du transistor concerné a été dessinée à l'aide du logiciel Flux3D. L'algorithme de calcul prenant en compte les plans de symétrie, seule la moitié de la structure est concernée par le dessin. Sachant que la structure est uniforme selon l'axe des z (correspondant à l'axe vertical), on détermine en effet un axe de symétrie donnant lieu à un plan de symétrie selon (x ; z). La Figure 2–8 met en évidence la présence de ce plan de symétrie sur la structure du transistor à 2 doigts de grille dessiné en 2D tel qu'il serait vu du dessus (dans le plan (x ; y)). Le plan de symétrie se situe entre les deux doigts de grille et coupe ainsi les accès externes de drain et de grille.

Cette figure montre également la structure du substrat considéré pour les simulations électromagnétiques 3D. Il se compose d'une épaisseur de carbure de silicium SiC de  $370\mu\text{m}$  recouverte d'une couche de nitrure de gallium GaN de  $3\mu\text{m}$  d'épaisseur. Ensuite, nous observons les métallisations, considérées sans pertes, puis une couche de diélectrique SiN de  $0,5\mu\text{m}$ . Nous pouvons également noter la présence d'une couche d'air de  $4\mu\text{m}$  sur laquelle "repose" le pont de source.

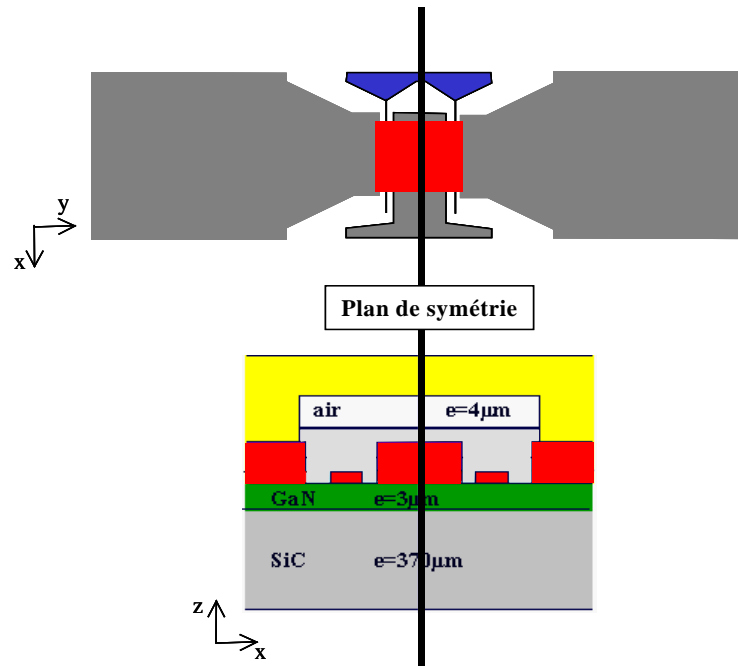


Figure 2-8 : mise en évidence de la présence d'un plan de symétrie sur le dessin vu du dessus du transistor 2x50µm

La structure est coplanaire et ne présente donc pas de vias.

Afin de diminuer les temps de calcul, la résolution se fait dans le cas d'une structure en milieu fermé. Par conséquent, on considèrera l'existence d'un capot que l'on positionnera à une hauteur suffisamment élevée par rapport à la structure pour ne pas perturber son comportement et l'imaginer en espace libre.

De plus, toujours dans un souci de réduction du temps de calcul, les métallisations sont considérées sans pertes. Ceci sera à prendre en compte par la suite, lors de la connexion des contributions passives et actives.

Considérant cela, la structure met en jeu un maillage ne présentant pas moins de 150.000 éléments. La méthode utilisée au moment de ces travaux nécessitait un calcul électromagnétique par point de fréquence. Ces calculs sont réalisés par un supercalculateur à IDRIS et nécessite un temps de calcul de plus de quatre heures par point de fréquence. La simulation électromagnétique a été effectuée sur une bande s'étendant de 2GHz à 20GHz. En revanche, il est à noter que depuis cette étude, le logiciel est doté d'une méthode de paramétrisation en fréquence permettant de réduire très significativement les temps de calcul puisque un seul calcul électromagnétique est nécessaire dans la bande de fréquence considérée [2.10].

La Figure 2–9 représente la demi-structure dessinée en trois dimensions. Nous mettons en évidence la présence des accès distribués externes permettant l'excitation de drain et de grille. Nous observons également le pont à air reliant les accès externes de source. De plus, deux accès localisés sont appliqués au sein même de la structure : l'un entre le milieu du doigt de grille et la référence de source et l'autre entre le milieu du "doigt" de drain et la même référence de source. Ils permettront de connecter la contribution active du transistor dans la suite de notre étude.

Considérant le plan de symétrie, nous obtiendrons donc un résultat sous forme de matrice de paramètres S à six accès : les deux accès distribués externes de drain et de grille et les deux accès localisés grille-source et drain-source sur chaque doigt de grille, soit quatre accès localisés au total. Ce résultat pourra alors être traité sous forme de boîte noire à six accès dans l'environnement d'un logiciel de type circuit.

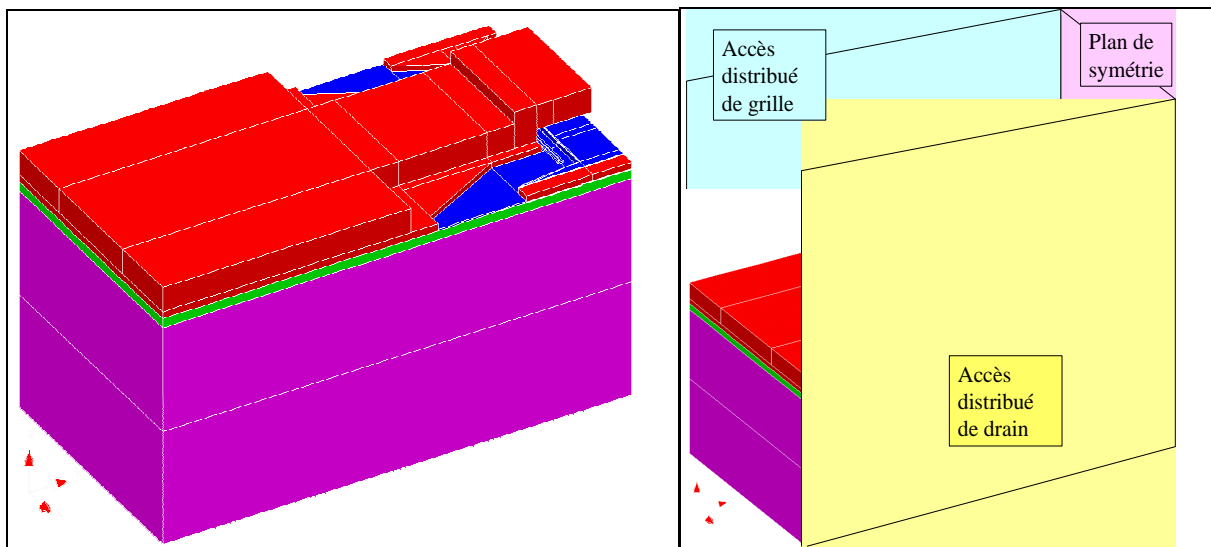


Figure 2–9 : demi-structure 3D du transistor 2x50µm

### **3. Principe d'extraction d'un modèle hybride**

[2.23], [2.6], [2.7]

Plusieurs étapes sont nécessaires à l'obtention d'un modèle hybride. Dans un premier temps, nous allons étudier le principe de détermination des éléments extrinsèques. Par la suite, nous verrons comment extraire le modèle intrinsèque du composant puis le principe de couplage des résultats électromagnétiques matérialisant la contribution des éléments parasites et du schéma équivalent intrinsèque modélisant le comportement actif du transistor.

a/ Principe de détermination des éléments extrinsèques

Nous avons vu dans la section [Chapitre 1 : III - 4. ] que l'on a la possibilité d'extraire directement un schéma équivalent en éléments localisés à l'aide d'un algorithme d'extraction couplé à un algorithme d'optimisation. Or, nous savons que le schéma équivalent peut-être scindé en deux parties distinctes : les éléments intrinsèques et les éléments extrinsèques (Figure 2–10).

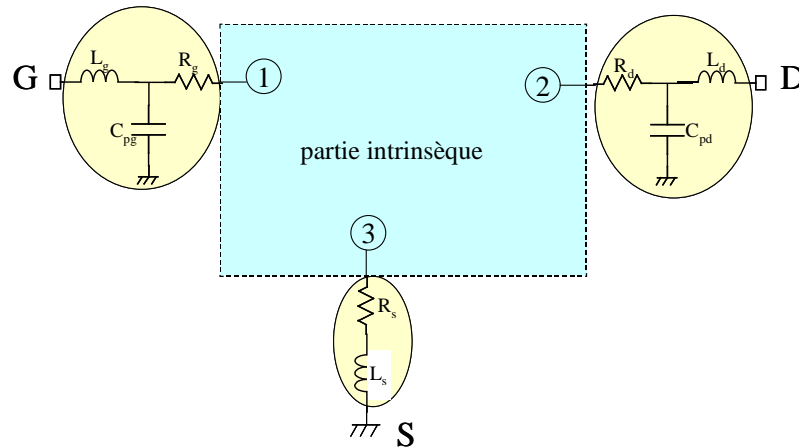


Figure 2–10 : schéma équivalent d'un transistor HEMT scindé en une partie intrinsèque et une partie extrinsèque

Les éléments extrinsèques correspondent au comportement passif du transistor, ils représentent les accès du composant. Il est alors possible de déterminer de façon rigoureuse ces éléments à travers deux techniques que nous allons détailler ici, en considérant la partie extrinsèque comme une boîte noire dont les accès (1, 2, 3) seront connectés soit à des courts-circuits soit à des circuits ouverts, selon les conditions.

*i- Détermination des éléments extrinsèques à partir de mesures à froid ( $V_{ds}=0V$ )*

La détermination des éléments extrinsèques est rendue plus aisée par l'interprétation des résultats de mesures à froid du composant. En effet, dans ces conditions où la tension drain-source est nulle, le transistor se comporte alors comme un quadripôle passif réciproque (les paramètres S en transmission sont égaux et la transconductance  $g_m$  est nulle). Alors, selon les conditions de polarisation de grille, le schéma équivalent de la partie intrinsèque du transistor pourra être simplifié.

➤  $I_g > 0, V_{gs} \gg V_p$

Dans le cas où la tension grille-source est très supérieure à la tension de pincement, la grille se trouve polarisée en direct. La résistance dynamique de la jonction Schottky court-circuite alors les réactances du composant, entraînant la prédominance des éléments série parasites et la négligence des capacités parasites. Le schéma du transistor est alors simplifié car les accès 1, 2 et 3 sont court-circuités comme le montre la Figure 2–11.

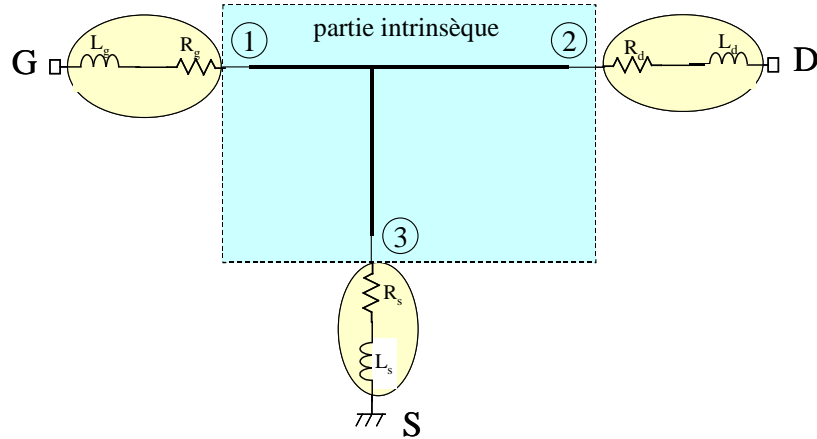


Figure 2–11 : schéma équivalent d'un transistor HEMT pour  $V_{ds}=0V$  et  $V_{gs} \gg V_p$

Nous déterminons alors les paramètres impédance du quadripôle comme :

$$\left\{ \begin{array}{l} Z_{11} = R_g + R_s + \frac{R_c}{3} + \frac{nkT}{qI_g} + j\omega(L_s + L_g) \\ Z_{21} = Z_{12} = R_s + \frac{R_c}{2} + j\omega L_s \\ Z_{22} = R_d + R_s + R_c + j\omega(L_s + L_d) \end{array} \right.$$

avec  $R_c$  : résistance du canal (dépend des paramètres physiques du composant)

$\frac{nkT}{qI_g}$  : résistance de la diode Schottky

En conséquence, il est possible d'extraire les valeurs des éléments parasites série à partir des paramètres impédance du transistor lorsqu'il est mesuré à froid et que la grille est polarisée en direct : les résistances sont déduites des parties réelles des paramètres  $Z$

(constantes en fonction de la fréquence) et les selfs sont déduites des parties imaginaires des paramètres Z (linéairement croissante en fonction de la fréquence).

➤  $I_g=0, V_{gs} \ll V_p$

Dans le cas maintenant où la tension grille-source est très inférieure à la tension de pincement, la grille se trouve polarisée fortement en inverse. La zone sous la grille est alors dépeuplée et la conductance du canal s'annule. La partie intrinsèque du composant se résume dans ce cas aux capacités de couplage inter-électrodes, comme le montre la Figure 2–12.

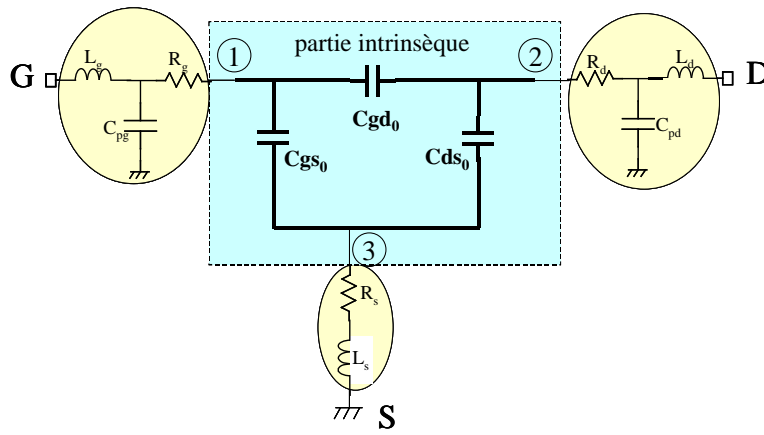


Figure 2–12 : schéma équivalent d'un transistor HEMT pour  $V_{ds}=0V$  et  $V_{gs} \ll V_p$

Nous déterminons alors les parties imaginaires des paramètres admittance du quadripôle pour des fréquences faibles (permettant de négliger l'influence des éléments parasites série) comme :

$$\left\{ \begin{array}{l} \Im m(Y_{11}) = j\omega (C_{pg} + C_{gs_0} + C_{gd_0}) \\ \Im m(Y_{21}) = \Im m(Y_{12}) = -j\omega C_{gd_0} \\ \Im m(Y_{22}) = j\omega (C_{pd} + C_{ds_0} + C_{gd_0}) \end{array} \right.$$

En conséquence, si l'on considère les valeurs de Cpg et Cpd extraites du modèle électrique obtenu par indépendance des éléments intrinsèques en fonction de la fréquence, il est possible d'extraire les valeurs des éléments parasites capacitifs à partir des parties



imaginaires des paramètres admittance du transistor lorsqu'il est mesuré à froid et que la grille est fortement polarisée en inverse.

Cette méthode de détermination des éléments extrinsèques nécessite par conséquent la connaissance de la résistance du canal dont nous ne disposons pas au sein de ces travaux.

*ii- Détermination des éléments extrinsèques à partir de simulations électromagnétiques*

Une autre méthode permet de déterminer les éléments extrinsèques du transistor : cette méthode se base sur des simulations électromagnétiques de la structure métallique du composant. Comme énoncé précédemment dans la section [2. b/ ], la structure dessinée en trois dimensions inclue des accès localisés internes grille-source et drain-source sur chacun des doigts de grille. Ces accès localisés ont été placés sur chaque doigt, au milieu du pont, en accord avec l'étude menée par Emmanuel LARIQUE au cours de ses travaux de thèse [2.6] sur l'importance du nombre et de la localisation des accès localisés. Il a montré que la distribution des accès localisés sur les différents doigts est importante. Par contre, leur distribution le long d'un même doigt est inutile pour des composants dont le développement de grille est inférieur à la longueur d'onde (ce qui est vérifié dans notre cas) ; en effet, l'amélioration apportée est minime et ne semble pas intéressante en comparaison à la considérable augmentation du temps de calcul qu'entraîne la multiplication des accès.

Les résultats de la simulation électromagnétique 3D se présentent donc sous la forme d'une matrice de répartition à six accès. Cette matrice représente en fait la partie extrinsèque du schéma équivalent.

Par conséquent, si l'on applique des court-circuits aux accès localisés de la matrice électromagnétique, on se retrouve dans la configuration des mesures à froid avec grille polarisée en direct. Alors nous retrouvons les expressions de la matrice impédance vues précédemment (Figure 2-13), mais sans les résistances d'accès puisque la simulation électromagnétique est réalisée sans tenir compte des pertes métalliques.

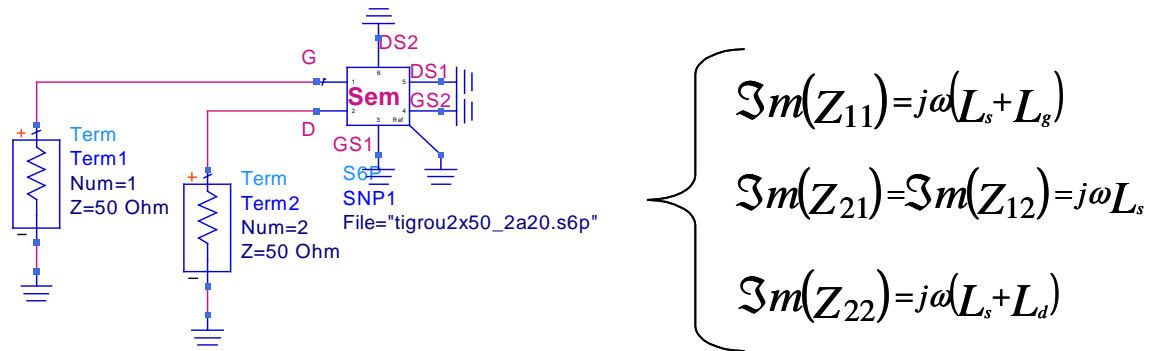


Figure 2–13 : expression des parties imaginaires de la matrice impédance lorsque les accès localisés de la matrice électromagnétique sont court-circuités

Si l'on applique maintenant des circuits ouverts aux accès localisés de la matrice électromagnétique, on se retrouve dans la configuration des mesures à froid avec la grille fortement polarisée en inverse. Nous retrouvons alors les expressions des parties imaginaires des paramètres admittance vues précédemment (Figure 2–14).

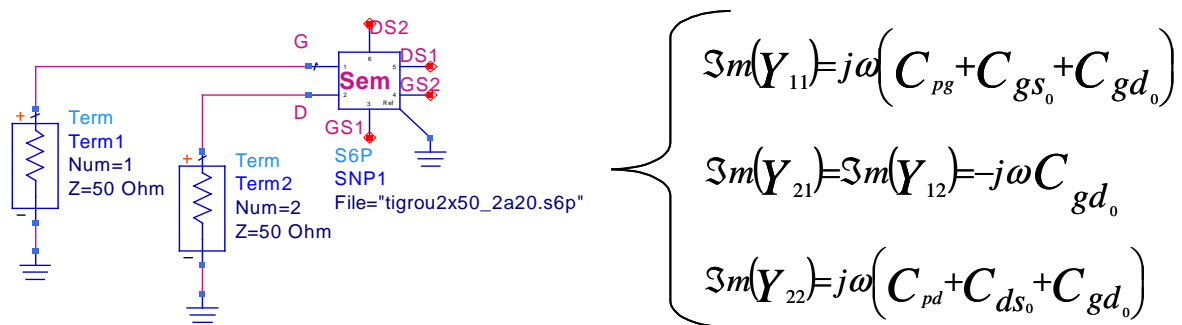


Figure 2–14 : expression des parties imaginaires de la matrice admittance lorsque les accès localisés de la matrice électromagnétique sont en circuits ouverts

De ces méthodes de détermination des éléments extrinsèques, nous obtenons donc les valeurs des selfs d'accès et capacités de plot que nous appellerons  $L_{gEM}$ ,  $L_{dEM}$ ,  $L_{sEM}$ ,  $C_{pg}$ ,  $C_{pd}$  ainsi que les valeurs des capacités de couplage inter-électrodes que nous noterons  $C_{gs_0}$ ,  $C_{gd_0}$  et  $C_{ds_0}$ .

Dans la suite de notre étude, nous allons déterminer le modèle hybride du transistor  $2 \times 50 \mu m$  de référence. La détermination des éléments parasites extrinsèques passifs sera faite par la méthode basée sur les simulations électromagnétiques que nous venons de voir.

b/ Extraction d'un modèle intrinsèque

A ce stade, nous avons donc défini un schéma équivalent en éléments localisés, extrait des mesures, prenant en compte le comportement global du transistor, c'est-à-dire les contributions active et passive. Par la suite, nous avons obtenu de façon rigoureuse les valeurs des éléments parasites, traduisant la contribution passive, à l'aide de simulations électromagnétiques ( $L_{gEM}$ ,  $L_{dEM}$ ,  $L_{sEM}$ ,  $C_{pg}$ ,  $C_{pd}$ ,  $C_{gs0}$ ,  $C_{gd0}$ ,  $C_{ds0}$ ). Nous voulons désormais inclure ces éléments parasites obtenus par la méthode électromagnétique dans le schéma électrique du transistor. Or, le modèle électrique prend en compte les capacités de couplage inter-électrodes sans les dissocier réellement. Par conséquent, on insert ces capacités parasites en parallèles sur chaque électrode et on cherche à optimiser le modèle intrinsèque du transistor en fonction des éléments parasites inclus dans le schéma global pour ne pas doubler l'influence de ces capacités de couplage, comme le montre la Figure 2–15. Le but de l'optimisation étant que le modèle global présente toujours la même matrice de répartition pour que celle-ci soit égale aux mesures.

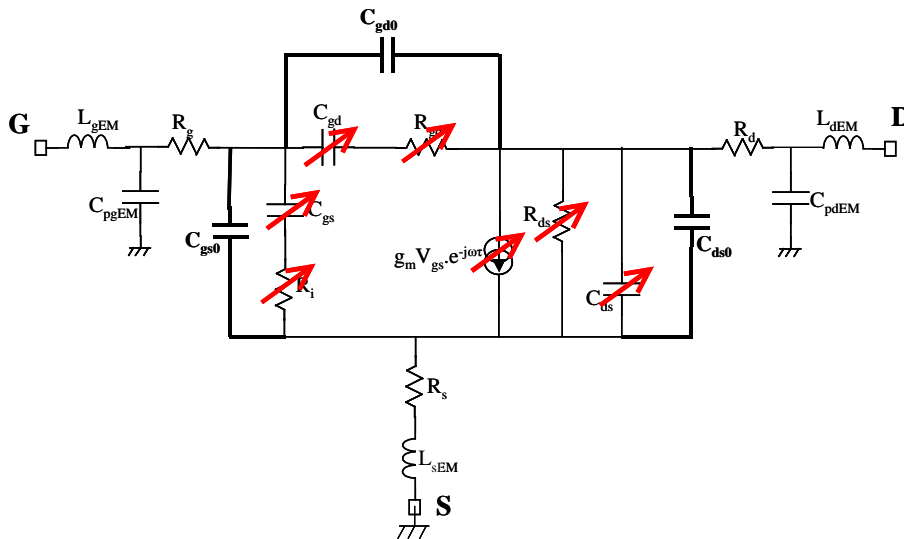


Figure 2–15 : insertion des capacités de couplage inter-électrode dans le schéma électrique et optimisation des éléments intrinsèques pour ne pas doubler l'effet de ces capacités

Après optimisation, ce modèle représente donc le comportement global du transistor, incluant les contributions passive et active du composant. La contribution active étant extraite des mesures et la partie passive étant obtenue par simulations électromagnétiques des métallisations du transistor. Ainsi, il est possible de dissocier ces deux parties afin d'extraire un modèle intrinsèque du transistor ; il suffit de supprimer du modèle global tous les éléments extrinsèques pour obtenir le schéma intrinsèque du transistor (sans oublier les résistances

d'accès car rappelons que la simulation électromagnétique est réalisée sans pertes). La Figure 2–16 montre ce schéma intrinsèque basé sur les éléments optimisés et les résistances d'accès.

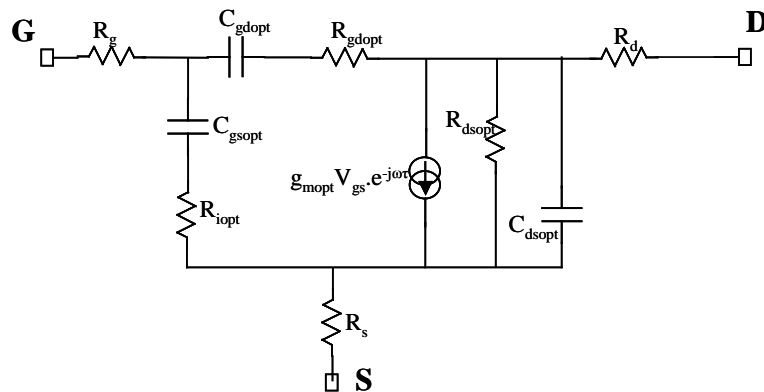


Figure 2–16 : schéma intrinsèque du transistor avec les éléments optimisés et les résistances d'accès

Nous avons donc d'une part le modèle équivalent intrinsèque du transistor, duquel nous pouvons en déduire un modèle élémentaire, et d'autre part une simulation électromagnétique de ce même composant. Cherchons maintenant à coupler les deux pour obtenir un modèle hybride.

### c/ Modèle hybride par couplage circuit - électromagnétisme

Nous cherchons ici à coupler les résultats de la simulation électromagnétique du transistor avec le schéma équivalent intrinsèque obtenu juste au-dessus. Pour cela, rappelons que la structure 3D simulée en électromagnétisme inclus des accès localisés grille-source et drain-source sur chacun des doigts de grille. Ces N accès localisés vont permettre la connexion du schéma équivalent intrinsèque. Or ce modèle intrinsèque représente à lui seul la globalité du comportement actif. Il nous faut donc obtenir un modèle intrinsèque unitaire à connecter sur chaque accès localisé.

Si l'on représente le modèle intrinsèque par sa matrice admittance  $[Y]_{int}$ , lors de la connexion à la matrice électromagnétique, les N modèles intrinsèques unitaires seront mis en parallèle les uns par rapport aux autres (Figure 2–17). Ainsi, leur matrice admittance  $[Y]_{intuni}$  seront mises en parallèle tel que :

$$[Y]_{\text{intuni}} = \frac{[Y]_{\text{int}}}{N}$$

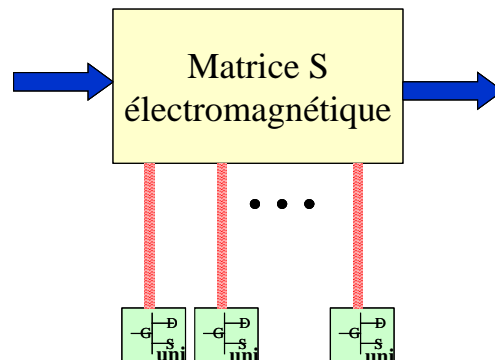


Figure 2–17 : mise en parallèle des N schémas intrinsèques unitaires lors de la connexion avec la matrice électromagnétique

Cette opération revient donc à multiplier par N les valeurs des éléments en série tels que les résistances et à diviser par N les valeurs des éléments en parallèle tels que les capacités et la source de courant.

Nous venons d'exposer le principe d'extraction d'un modèle hybride global par couplage des résultats électriques et électromagnétiques. Nous allons maintenant appliquer cette méthode au transistor 2x50µm pris comme référence au cours de ces travaux de thèse.

#### **4. Application au transistor 2x50µm de référence : modèle hybride global**

Le transistor 2x50µm a été pris comme composant de référence pour les études hybrides réalisées au cours de ces travaux de thèse. En effet, c'est le transistor de plus faible développement disponible contractuellement et sa géométrie relativement simple permet des simulations électromagnétiques plus aisées. De plus, il est proche d'une cellule élémentaire que l'on retrouve dans les composants de plus grande taille ; cette caractéristique sera intéressante dans la suite de notre étude.

##### a/ Modèle électrique petit signal

Le modèle électrique petit signal en éléments localisés a été extrait précédemment. Nous redonnons ici les valeurs des éléments intrinsèques et extrinsèques obtenus concernant la modélisation du transistor dé-embeddé (Tableau 2–3).

Eléments extrinsèques							
$R_g$ ( $\Omega$ )	$L_g$ (pH)	$C_{pg}$ (fF)	$R_d$ ( $\Omega$ )	$L_d$ (pH)	$C_{pd}$ (fF)	$R_s$ ( $\Omega$ )	$L_s$ (pH)
5,4	29,2	1,0	2,2	28,5	8,3	1,1	14,3
Eléments intrinsèques							
$C_{gs}$ (fF)	$R_i$ ( $\Omega$ )	$C_{gd}$ (fF)	$R_{gd}$ ( $\Omega$ )	$g_m$ (mS)	$g_d$ (mS)	$\tau$ (ps)	$C_{ds}$ (fF)
70,9	7,7	8,9	15,6	28,2	1,3	1,1	0,47

Tableau 2-3 : éléments du modèle dé-embeddé petit signal du transistor 2x50 $\mu$ m pour un point de polarisation de repos de  $V_{gs_0}=-3,5V$ ,  $V_{ds_0}=24,5V$ ,  $I_{ds_0}=25,3mA$

### b/ Extraction du modèle hybride

L'analyse électromagnétique réalisée a été exposée précédemment. Nous avons donc obtenu une matrice de paramètres S à six accès (un accès distribué de grille, un accès distribué de drain et deux accès localisés grille-source et drain-source sur chaque doigt). De cette simulation, nous allons dans un premier temps déterminer les éléments extrinsèques du composant pour en extraire ensuite un modèle purement intrinsèque. Nous établirons alors un modèle hybride. Une comparaison de ce modèle avec les mesures sera exposée afin de le valider.

#### *i- Détermination des éléments extrinsèques*

La méthode de détermination des éléments extrinsèques basée sur des simulations électromagnétiques énoncée précédemment a été appliquée au transistor 2x50 $\mu$ m.

Par l'analyse des paramètres impédance de la matrice électromagnétique, lorsque les accès localisés de celle-ci sont court-circuités, nous avons pu déterminer les valeurs des selfs d'accès (pour une fréquence centrale de 12GHz) :

$$L_{sEM}=13,1pH$$

$$L_{gEM}=31,5pH$$

$$L_{dEM}=30,3pH$$

Ensuite, par l'analyse des paramètres admittance de la matrice électromagnétique, lorsque les accès localisés de celle-ci sont en circuit ouvert, nous avons pu déterminer les valeurs des capacités parasites (pour une fréquence centrale de 12GHz) :

$$C_{gd0}=6,8\text{fF}$$

$$C_{gs0}+C_{pg}=19,7\text{fF}$$

$$C_{ds0}+C_{pd}=19,7\text{fF}$$

Si l'on décide de fixer les valeurs de  $C_{pg}$  et  $C_{pd}$  aux valeurs déterminées lors de l'extraction du modèle électrique, soit 1,0fF et 8,3fF respectivement, nous obtenons alors :

$$C_{gd0}=6,8\text{fF}$$

$$C_{gs0}=18,7\text{fF}$$

$$C_{ds0}=11,4\text{fF}$$

En ce qui concerne les résistances d'accès, rappelons que pour une économie de temps de calcul, l'analyse électromagnétique ne prend pas en compte de pertes métalliques. Par conséquent, nous considérerons les valeurs définies dans le modèle électrique, soit :

$$R_g=5,4\Omega$$

$$R_d=2,2\Omega$$

$$R_s=1,1\Omega$$

Nous avons donc défini les valeurs des éléments parasites extrinsèques passifs du transistor à l'aide de la simulation électromagnétique et du modèle électrique. Nous allons maintenant supprimer ces éléments du modèle afin de déterminer un modèle intrinsèque actif du composant.

### *ii- Extraction du modèle intrinsèque*

Nous avons d'une part, un modèle électrique, d'autre part, les valeurs des éléments extrinsèques parasites. Or, le modèle électrique prend en compte les capacités de couplage inter-électrodes. Par conséquent, il faut "soustraire" les valeurs de ces capacités  $C_{gs0}$ ,  $C_{ds0}$  et  $C_{gd0}$ , déterminées par la simulation électromagnétique. Pour cela, on insère ces capacités en parallèle sur les électrodes du modèle électrique, comme vu précédemment sur la Figure 2–15, et on cherche à optimiser les éléments intrinsèques afin de conserver les mêmes paramètres S globaux. Après optimisation, nous obtenons les valeurs des éléments intrinsèques donnés dans le Tableau 2–4.

Eléments intrinsèques							
$C_{gs\text{opt}}$ (fF)	$R_{i\text{opt}}$ ( $\Omega$ )	$C_{gd\text{opt}}$ (fF)	$R_{gd\text{opt}}$ ( $\Omega$ )	$g_{m\text{opt}}$ (mS)	$g_{d\text{opt}}$ (mS)	$\tau$ (ps)	$C_{ds\text{opt}}$ (fF)
34,2	18,6	2,2	26,9	33,4	16,2	1,1	49,9

Tableau 2–4 : valeurs des éléments intrinsèques du schéma électrique après insertion des capacités de couplage inter-électrode et optimisation du schéma

Nous avons désormais d'une part, le modèle électrique intrinsèque et d'autre part, la matrice électromagnétique des éléments parasites. Il suffit donc de procéder au couplage des deux pour obtenir le modèle hybride global.

### iii- Couplage circuit – électromagnétisme et validation du modèle hybride

Afin de réaliser le couplage des simulations circuit et électromagnétique, nous devons connecter le modèle aux accès localisés de la structure électromagnétique. Dans notre étude, la structure présente quatre accès localisés, correspondant à un accès grille-source et un accès drain-source sur chaque doigt du transistor. Par conséquent, deux modèles intrinsèques unitaires sont nécessaires.

La matrice admittance du modèle intrinsèque unitaire représente donc la matrice admittance du modèle intrinsèque global divisé par deux :

$$[Y]_{\text{intuni}} = \frac{[Y]_{\text{int}}}{N} \quad \text{avec } N=2$$



Par conséquent, les éléments série sont doublés et les éléments parallèles sont divisés de moitié. Le Tableau 2–5 donne les valeurs des éléments intrinsèques et des résistances d'accès du modèle intrinsèque unitaire.

Résistances d'accès							
$R_{guni} (\Omega)$		$R_{duni} (\Omega)$			$R_{suni} (\Omega)$		
10,8		4,4			2,2		
Éléments intrinsèques							
$C_{gsuni}$ (fF)	$R_{iuni} (\Omega)$	$C_{gduni}$ (fF)	$R_{gduni} (\Omega)$	$g_{muni}$ (mS)	$g_{duni}$ (mS)	$\tau$ (ps)	$C_{dsuni}$ (fF)
17,1	37,3	1,1	53,8	16,7	8,1	1,1	25,0

Tableau 2–5 : valeurs de éléments intrinsèques et des résistances d'accès du modèle intrinsèque unitaire d'un doigt de 50 $\mu$ m

Nous pouvons ainsi connecter ces modèles intrinsèques unitaires aux accès localisés de la matrice électromagnétique tel que le montre la Figure 2–18. Ce modèle tient donc compte des éléments parasites à travers la matrice électromagnétique et du comportement intrinsèque traduit par le schéma électrique intrinsèque unitaire. La Figure 2–19 montre la comparaison des paramètres S mesurés du transistor 2x50 $\mu$ m et des paramètres S obtenus par la simulation de ce modèle hybride. Nous pouvons observer une bonne concordance de ces résultats permettant de valider notre approche hybride.

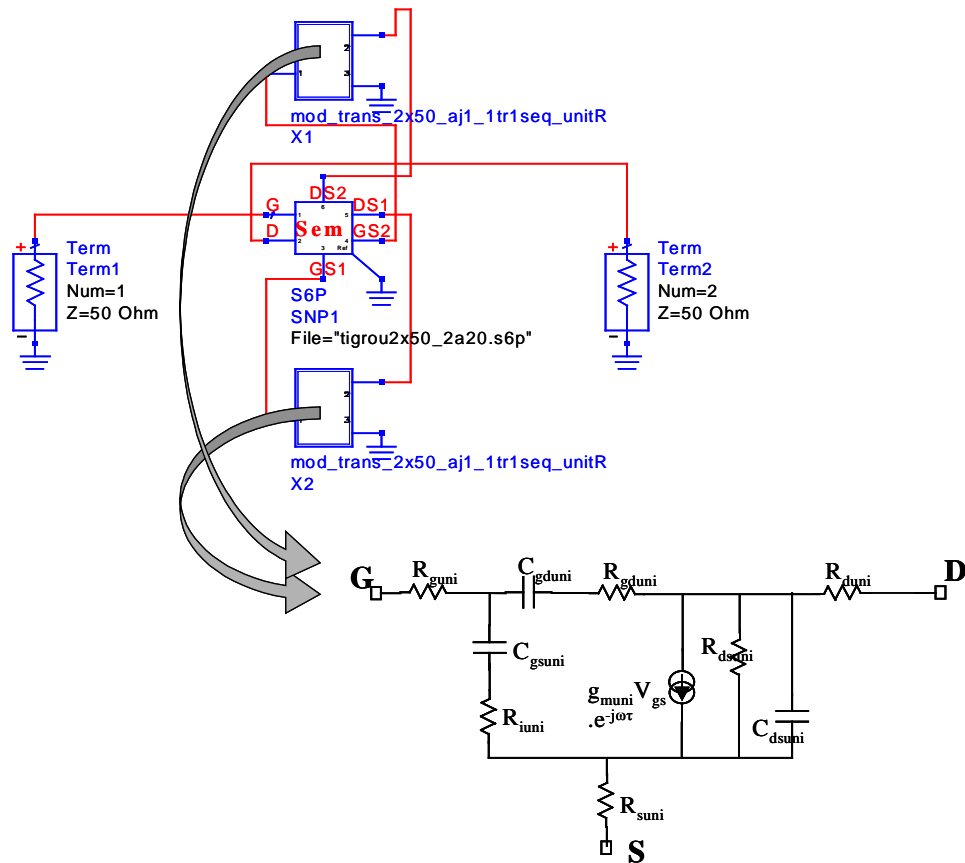


Figure 2-18 : schéma de simulation du modèle hybride du transistor 2x50µm par connexion des modèles intrinsèques unitaires aux accès localisés de la matrice électromagnétique

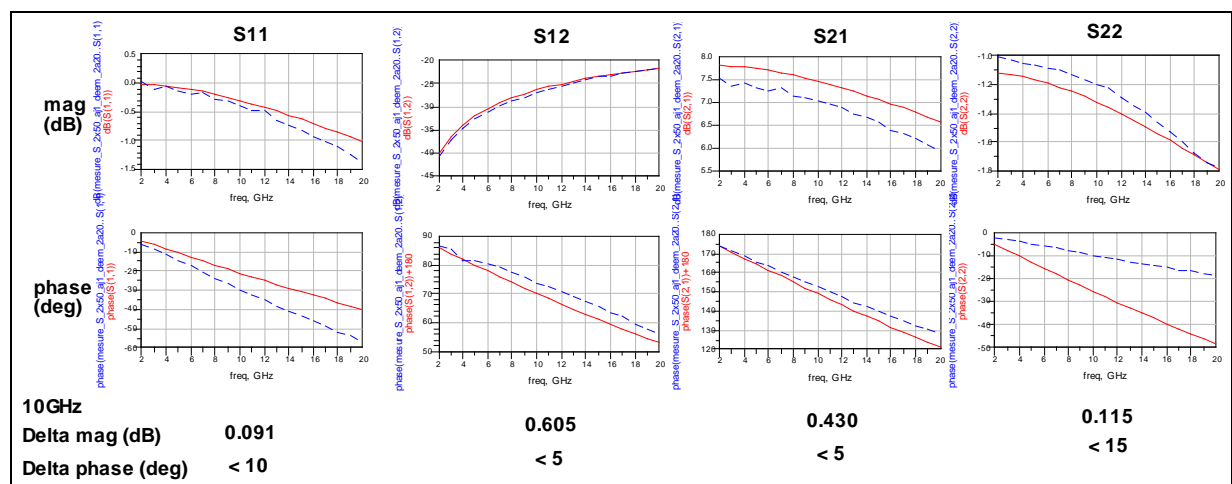


Figure 2-19 : comparaison en module et phase des paramètres S mesurés du transistor 2x50µm (pointillés) et des paramètres S obtenus par la simulation du modèle hybride (ligne continue)

Nous venons de voir que l'approche hybride de la modélisation d'un transistor permettait de clairement différencier les effets actifs intrinsèques des effets passifs extrinsèques. Si l'on considère différents composants d'une même technologie, cette approche nous permet alors d'anticiper les effets de la partie extrinsèque sur le comportement global et éventuellement d'optimiser la structure sans avoir recours à l'expérimentation ou tout du

moins en la minimisant. Nous allons donc utiliser cette méthode hybride pour anticiper le comportement général de différents transistors, basés sur la même technologie GaN que le transistor  $2 \times 50 \mu\text{m}$  que nous venons d'étudier.

### **III - Application de l'approche hybride à différentes analyses**

Nous venons d'exposer une méthode de détermination de modèle hybride, mettant en jeu le couplage d'un circuit équivalent électrique purement intrinsèque et d'une matrice S électromagnétique. Cette approche est applicable à des transistors plus larges ou de topologie différente. Nous allons tout d'abord identifier une cellule élémentaire nous permettant de simplifier les simulations. Nous verrons ensuite la simulation d'un transistor  $8 \times 50 \mu\text{m}$ . Nous réaliserons par la suite différentes comparaisons de topologies et de montages, répondant aux tâches contractuelles incombant au laboratoire de l'IRCOM.

#### **1. Extraction d'une cellule élémentaire**

##### a/ Définition de la cellule élémentaire

En analysant quelque peu les différents composants à notre disposition dans le cadre du contrat, nous avons pu constater qu'il existait une cellule élémentaire qui se répétait au sein d'un même composant ainsi que d'un composant à l'autre. Cette cellule élémentaire présente d'ailleurs une géométrie très proche de la structure du  $2 \times 50 \mu\text{m}$  que nous venons d'étudier comme le montre la Figure 2-20 ; on peut repérer qu'une structure à deux doigts de  $50 \mu\text{m}$  se répète quatre fois afin de former la zone active d'un transistor  $8 \times 50 \mu\text{m}$ . Cette cellule à deux doigts est identique à la zone active du transistor  $2 \times 50 \mu\text{m}$  étudié précédemment. Nous avons pu repérer cette même cellule élémentaire au sein d'autres transistors.

Par conséquent, si l'on réalise un modèle hybride de cette cellule élémentaire, on pourra alors le chaîner et seules les métallisations externes des structures devront être simulées. Il sera ainsi possible d'obtenir le modèle hybride de divers composants en couplant leur matrice électromagnétique externe à X modèles hybrides de la cellule élémentaire. Cette approche n'est valable que si la topologie intrinsèque du composant de plus fort développement est la même que celle de la cellule élémentaire, à savoir même gate-pitch et

même longueur de grille par exemple. En revanche, si la technologie est stable, on peut envisager d'appliquer des règles de scaling et ainsi étendre cette étude à tout composant.

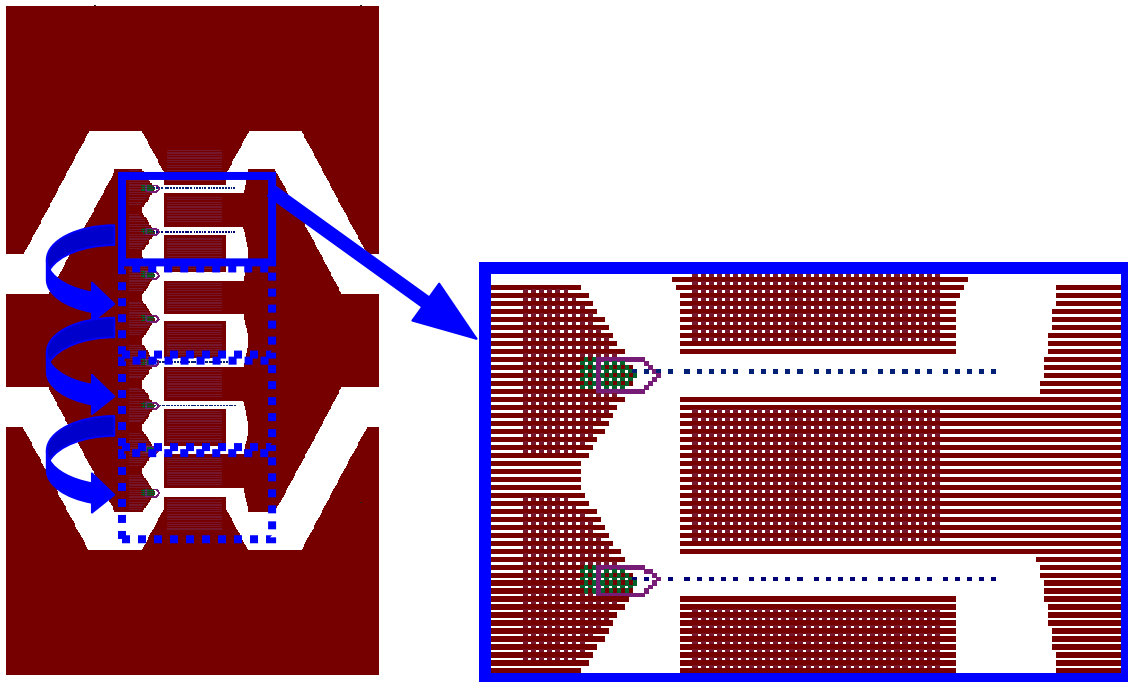


Figure 2–20 : mise en évidence de la présence d'une cellule élémentaire de deux doigts de 50µm répétée quatre fois au sein d'un transistor 8x50µm

b/ Modèle intrinsèque unitaire de la cellule élémentaire

Le modèle intrinsèque unitaire de cette cellule élémentaire est en fait le même que celui du transistor 2x50µm complet puisqu'il s'agit dans les deux cas du modèle d'un doigt de 50µm de large, présentant la même géométrie et le même environnement proche. Le Tableau 2–6 rappelle les valeurs des éléments intrinsèques ainsi que des résistances d'accès de ce modèle intrinsèque unitaire.

Résistances d'accès							
$R_{guni} (\Omega)$		$R_{duni} (\Omega)$		$R_{suni} (\Omega)$			
10,8		4,4		2,2			
Éléments intrinsèques							
$C_{gsuni} (fF)$	$R_{iuni} (\Omega)$	$C_{gduni} (fF)$	$R_{gduni} (\Omega)$	$g_{muni} (mS)$	$g_{duni} (mS)$	$\tau (ps)$	$C_{dsuni} (fF)$
17,1	37,3	1,1	53,8	16,7	8,1	1,1	25,0

Tableau 2–6 : valeurs des éléments intrinsèques et des résistances d'accès du modèle intrinsèque unitaire de la cellule élémentaire

c/ Simulation électromagnétique de la cellule élémentaire

La cellule élémentaire que montre la Figure 2–20 correspond en fait à la zone active du transistor  $2 \times 50 \mu\text{m}$  étudié plus tôt, excepté que les cellules élémentaires extérieures prennent en compte l'un des pads de source (Figure 2–22) . Il est donc nécessaire de conserver ces pads externes de source et de pouvoir les considérer ou les ignorer lors de la simulation de la matrice électromagnétique résultat.

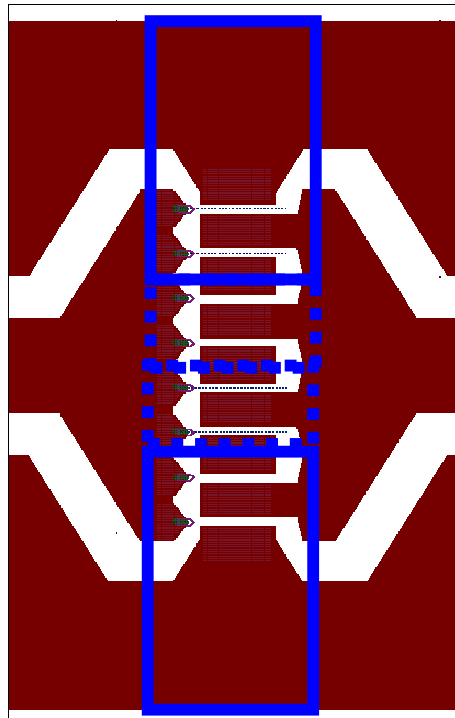


Figure 2–21 : les cellules élémentaires extérieures comprennent le pad de source alors que les cellules élémentaires intérieures ne considère que la zone active

Par conséquent, la structure du  $2 \times 50 \mu\text{m}$  étudiée précédemment a été modifiée pour répondre à cette demande. La Figure 2–22 montre cette nouvelle structure segmentée. On peut en effet voir qu'un pavé de métallisation a été supprimé afin de permettre l'isolation de la zone active. En revanche, le pad de source externe est conservé. Entre la zone active et ce pad, on insert des accès localisés qui permettront de considérer ou d'ignorer le pad selon si on les laisse en court-circuit ou en circuit ouvert.

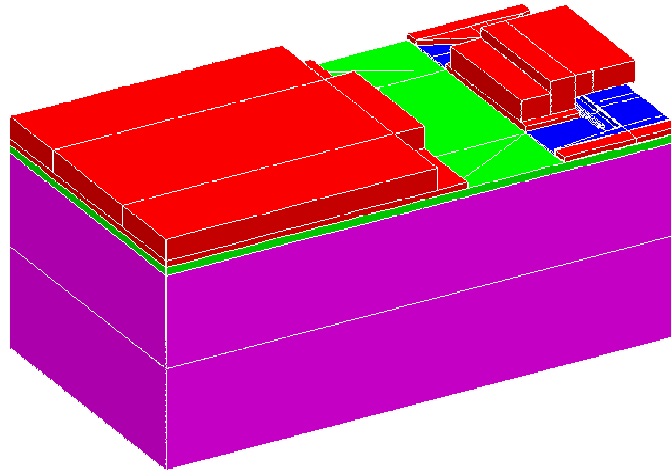


Figure 2–22 : demi-structure 3D simulée en électromagnétisme pour obtenir le modèle hybride de la cellule élémentaire

Nous avons cherché à vérifier que l'insertion d'accès localisés au sein de la structure ne modifiait pas le comportement de celle-ci mais aussi que la suppression d'un pavé de métallisation ne perturbait pas la réponse de la structure. Nous pouvons voir en effet que la suppression de ce pavé de métallisation entraîne la formation d'une capacité entre les plans verticaux de la zone active et du pad de source se retrouvant en vis-à-vis. Dans un premier temps, nous avons calculé de façon théorique la valeur de la capacité créée :

$$C = \frac{\epsilon_0 \epsilon_r S}{l}$$

avec  $\epsilon_0$  : permittivité du vide =  $8,85 \cdot 10^{-12}$  F/m

$\epsilon_r$  : permittivité relative de l'air = 1

S : surface des électrodes =  $40 \times 10 = 400 \mu\text{m}^2$

L : distance entre les électrodes =  $32 \mu\text{m}$

$$C = 1,1 \cdot 10^{-16} \text{ F}$$

Une si faible valeur de capacité ne devrait pas perturber le comportement de la structure. Afin de le confirmer, dans un deuxième temps une comparaison a été réalisée entre les trois structures que montre la Figure 2–23 à savoir :

- la structure 3D globale du transistor  $2 \times 50 \mu\text{m}$  étudié précédemment ;

- la structure segmentée afin d'isoler la zone active du composant, présentant un accès localisé entre la zone active et le pad de source ;
- la structure segmentée afin d'isoler la zone active du composant, présentant trois accès localisés répartis entre la zone active et le pad de source.

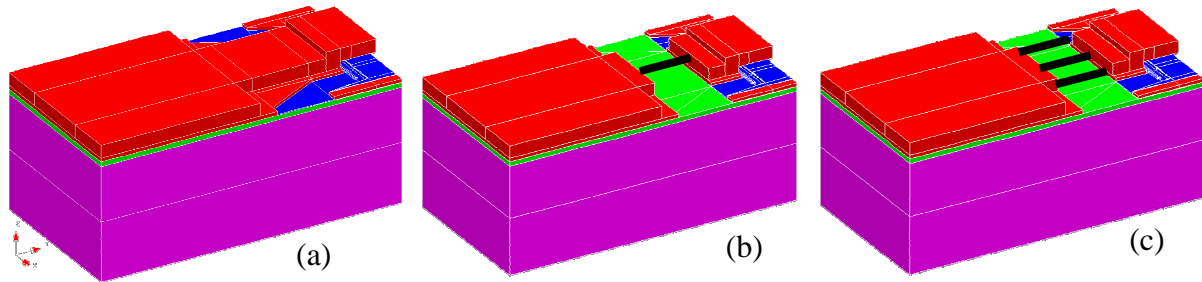


Figure 2–23 : (a) structure globale du transistor  $2 \times 50 \mu\text{m}$  ; (b) structure segmentée présentant un accès localisé pour le pad de source ; (c) structure segmentée présentant trois accès localisés pour le pad de source

De ces trois analyses, nous avons obtenu des matrices de paramètres S que nous avons considéré comme des boîtes noires à six ports, huit ports et douze ports respectivement pour les trois configurations (a), (b) et (c). La simulation électrique de ces matrices électromagnétiques a été réalisée sans modèle électrique actif, ce qui nous permet d'observer la différence des comportements électromagnétiques passifs de ces structures. Les accès localisés sur les doigts de grille sont donc restés en circuit ouvert et les accès localisés entre la zone active et les pads de source sont mis en court-circuit, de sorte que les pads soient pris en compte. La Figure 2–24 montre la comparaison des paramètres S de ces trois simulations sur la bande de fréquence 2-20GHz.

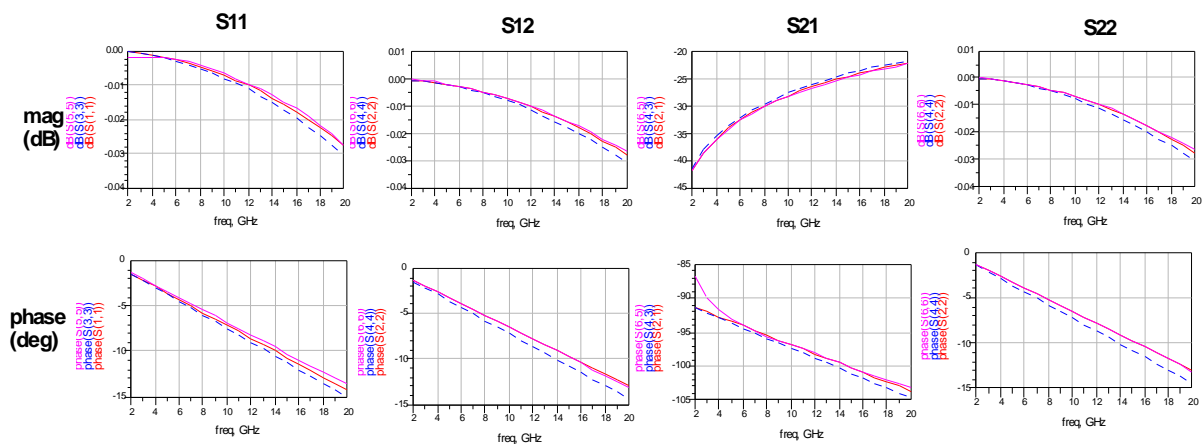


Figure 2–24 : comparaison en module et phase des paramètres S des structures (a) en tirets courts, (b) en ligne continue claire et (c) en ligne continue foncée

Nous pouvons observer que la différence entre les trois structures est minime. Nous considérerons donc que la suppression d'un pavé de métallisation ainsi que l'insertion des accès localisés ne perturbent pas la réponse électromagnétique de la structure. Dans la suite de cette étude, nous prendrons en compte la structure présentant trois accès localisés entre la zone active et le pad de source.

#### d/ Modèle hybride de la cellule élémentaire

Pour obtenir le modèle hybride de la cellule élémentaire, il suffit donc de connecter la matrice électromagnétique de la cellule (structure (c)) au modèle intrinsèque unitaire d'un doigt de  $50\mu\text{m}$ . La Figure 2–25 expose le schéma du modèle hybride de la cellule élémentaire. Les accès localisés entre la zone active et le pad de source seront soit en circuit ouvert pour ne pas considérer le pad de source, soit en court-circuit pour le considérer, selon les applications.

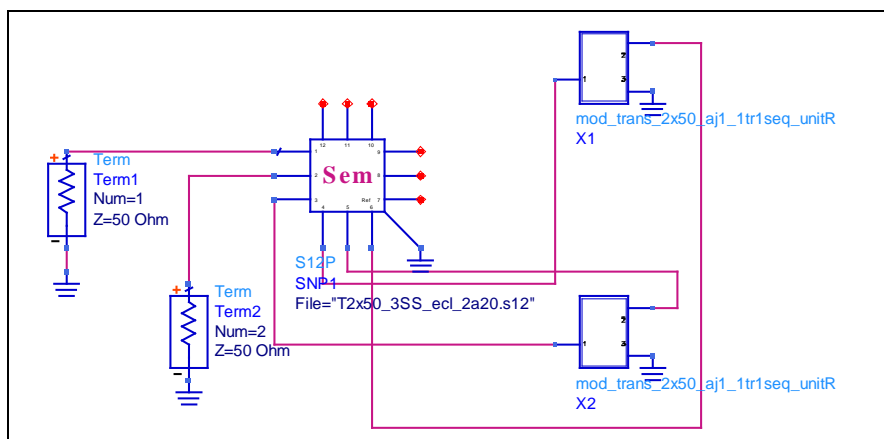


Figure 2–25 : schéma de simulation du modèle hybride de la cellule élémentaire

Afin de valider cette approche de cellule élémentaire, nous avons effectué la comparaison entre les résultats de mesure du transistor  $2 \times 50\mu\text{m}$  et la simulation du modèle hybride de la cellule élémentaire dont les accès localisés entre la zone active et le pad de source sont en court-circuit. Théoriquement, et dans l'hypothèse faite au-dessus établissant la non-influence des accès localisés, ces résultats devraient donc être proches puisque le modèle hybride global du transistor a été précédemment validé sur les mesures. La Figure 2–26 montre ces résultats comparatifs. On peut observer une faible dispersion des résultats et donc valider le modèle hybride de la cellule élémentaire.



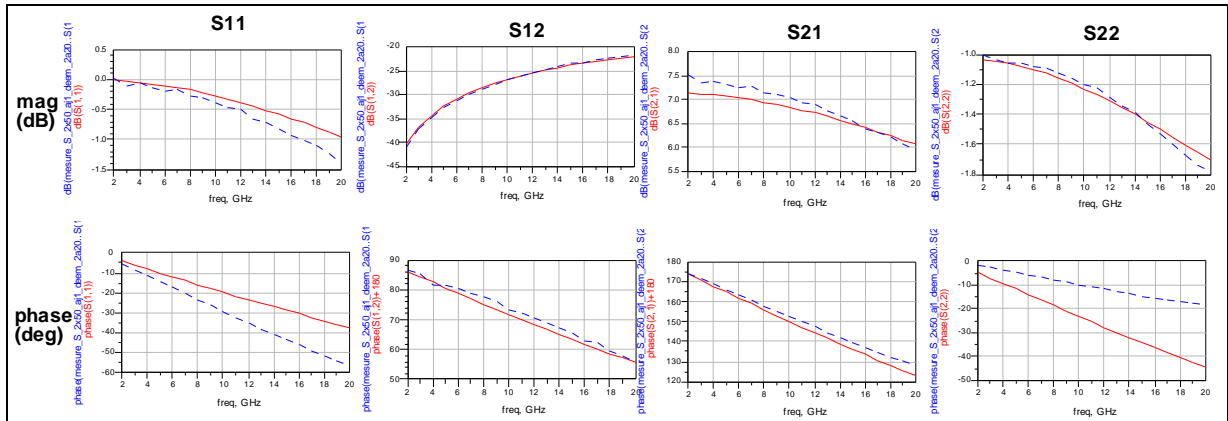


Figure 2–26 : comparaison en module et phase des paramètres S mesurés du transistor 2x50µm (pointillés) et ceux du modèle hybride de la cellule élémentaire avec les accès localisés entre la zone active et le pad de source en court-circuit (ligne continue)

e/ Simulation d'un composant de fort développement par couplage de cellules élémentaires

Nous avons défini le modèle hybride de la cellule élémentaire décrite précédemment. Nous cherchons maintenant à obtenir le modèle hybride d'un composant de fort développement par chaînage de cellules élémentaires. L'étude qui suit a été menée sur un transistor 8x50µm. De plus, des mesures de caractéristiques I(V) et de paramètres S sur une bande de 2 à 40 GHz ont été réalisées ; elles permettront de comparer la simulation aux mesures pour une validation de cette approche par chaînage de cellules élémentaires.

Afin de minimiser les simulations électromagnétiques 3D, le modèle hybride du composant de large développement a été réalisé dans un plan proche de la zone active, comme le montre la Figure 2–27. Par conséquent, une simulation électromagnétique des lignes d'accès coplanaires a été réalisée afin de les "soustraire" aux résultats de mesure obtenus.

Ainsi, nous cherchons à modéliser la zone active du transistor 8x50µm, représentée par quatre cellules élémentaires dont les deux extrêmes prennent en compte le pad de source. Par conséquent, aucune simulation électromagnétique 3D n'est nécessaire puisqu'il nous suffit de chaîner quatre modèles hybrides de cellules élémentaires tel que le montre la Figure 2–28.

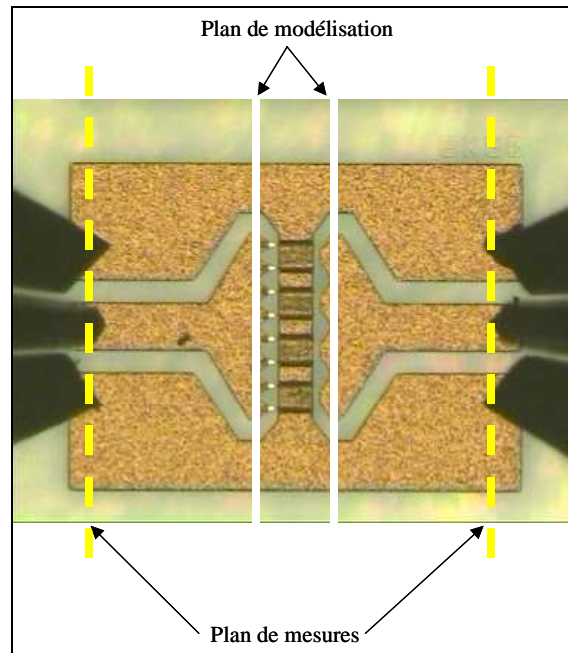


Figure 2–27 : localisation du plan de mesures (plan des pointes) et du plan de modélisation du transistor  $8 \times 50 \mu\text{m}$

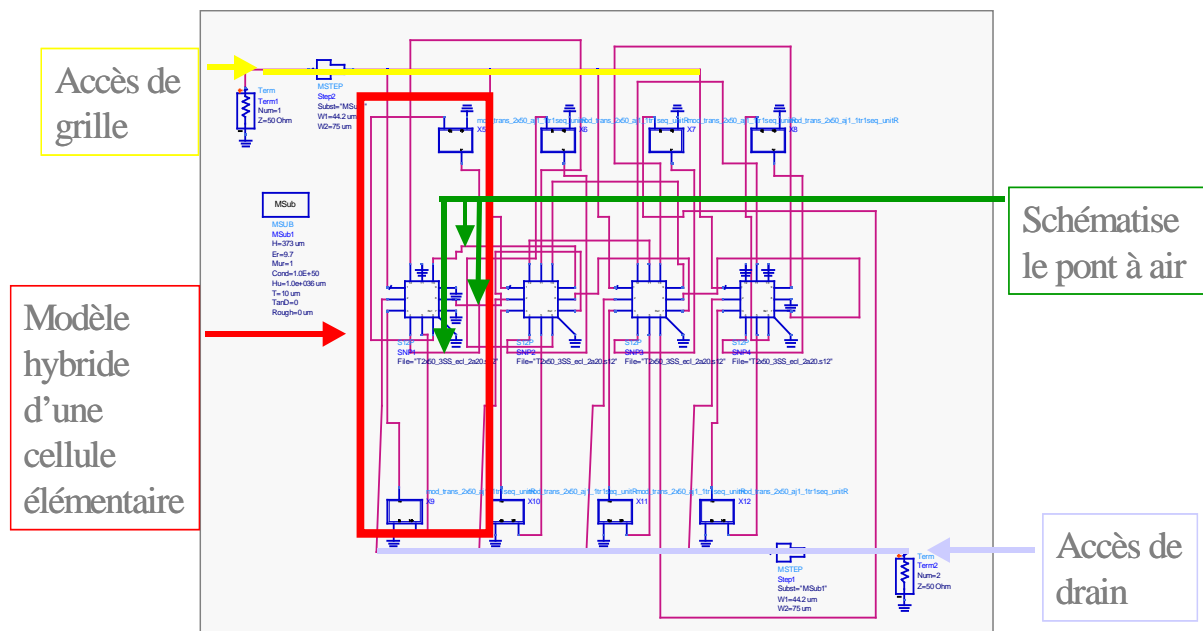


Figure 2–28 : schéma de simulation circuit d'un transistor  $8 \times 50 \mu\text{m}$  par chaînage de modèles hybrides de cellules élémentaires de 2 doigts

On observe sur le schéma de la Figure 2–28 la présence de quatre modèles hybrides de cellules élémentaires :

- deux, au centre, dont les accès localisés entre la zone active et le pad de source sont connectés aux mêmes accès localisés de la cellule voisine, matérialisant ainsi le pont à air ;

- deux, aux extrémités, dont les accès localisés externes sont court-circuités afin de prendre en compte le pad de source.

La Figure 2–29 montre les paramètres mesurés comparés aux paramètres S obtenus par simulation du modèle de la figure précédente. Les résultats sont donnés sur une bande de fréquence de 2 à 40 GHz. Nous pouvons observer une bonne concordance des paramètres en transmission ainsi que sur le TOS de sortie. Par contre, un décalage important subsiste sur le TOS d'entrée.

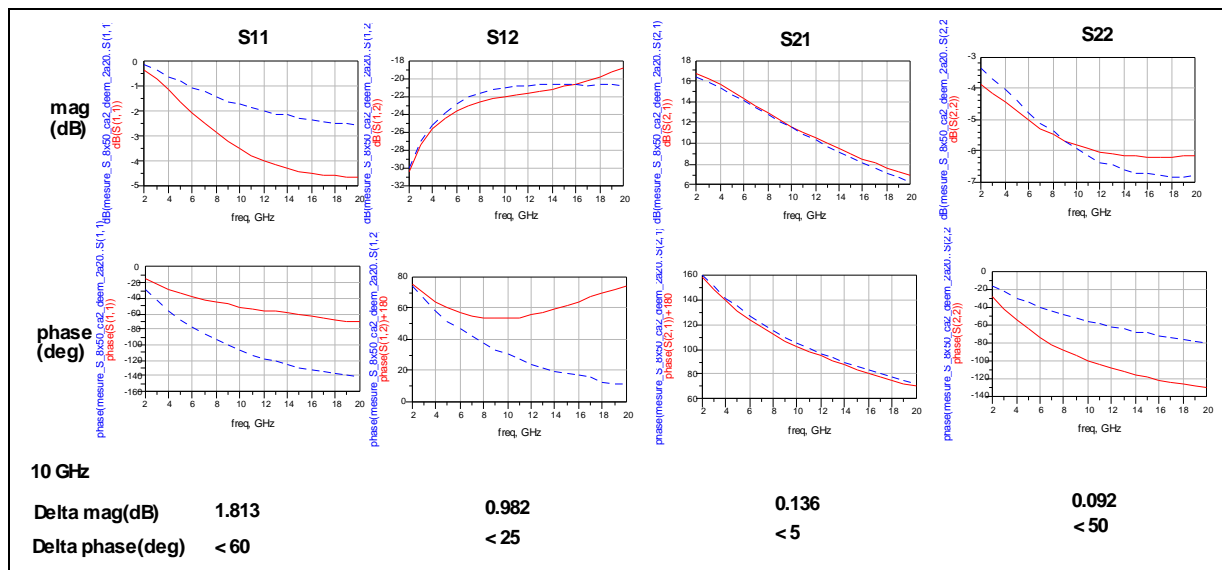


Figure 2–29 : comparaison en module et phase des paramètres S mesurés (pointillés) et des paramètres S obtenus par simulation du modèle par chaînage de cellules élémentaires (ligne continue)

Le pont de source est un pont à air qui enjambe les doigts de grille deux à deux puis revient se connecter à un pad métallique situé sur le substrat (Figure 2–30). Or, seuls les pads de source externes sont réellement reliés à la masse électrique, le pont ne présente pas d'autre retour à la masse physique tout le long du composant. Cette longueur de métallisation représentée par le pont peut être vue comme une ligne métallique, au sein de laquelle peut se produire un effet de propagation du signal, dans notre cas, de la référence de masse.

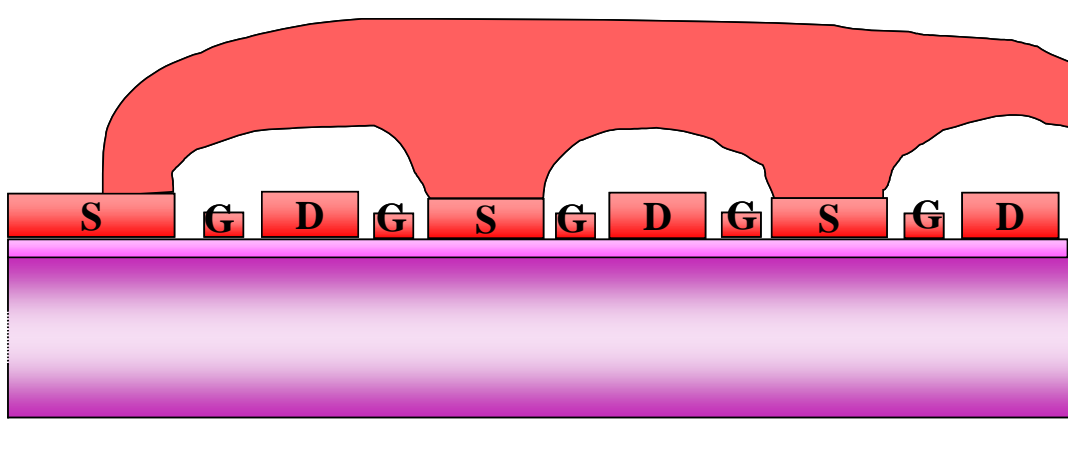


Figure 2–30 : schéma en coupe d'un transistor multi-doigts présentant la topologie du pont de source

Afin de vérifier la présence de cet effet de propagation et son importance, une simulation circuit telle que la précédente a été réalisée en ajoutant simplement une masse réelle sur les connecteurs représentant le pont à air. La Figure 2–31 montre le schéma de principe de cette simulation. On peut observer la présence des masses idéales implémentées sur chaque connecteur qui représente en fait le pad métallique sur le substrat, sur lequel le pont vient se "poser" entre deux paires de doigts de grille. Nous imposons donc un potentiel nul tout au long du pont, ou tout du moins tout les deux doigts de grille.

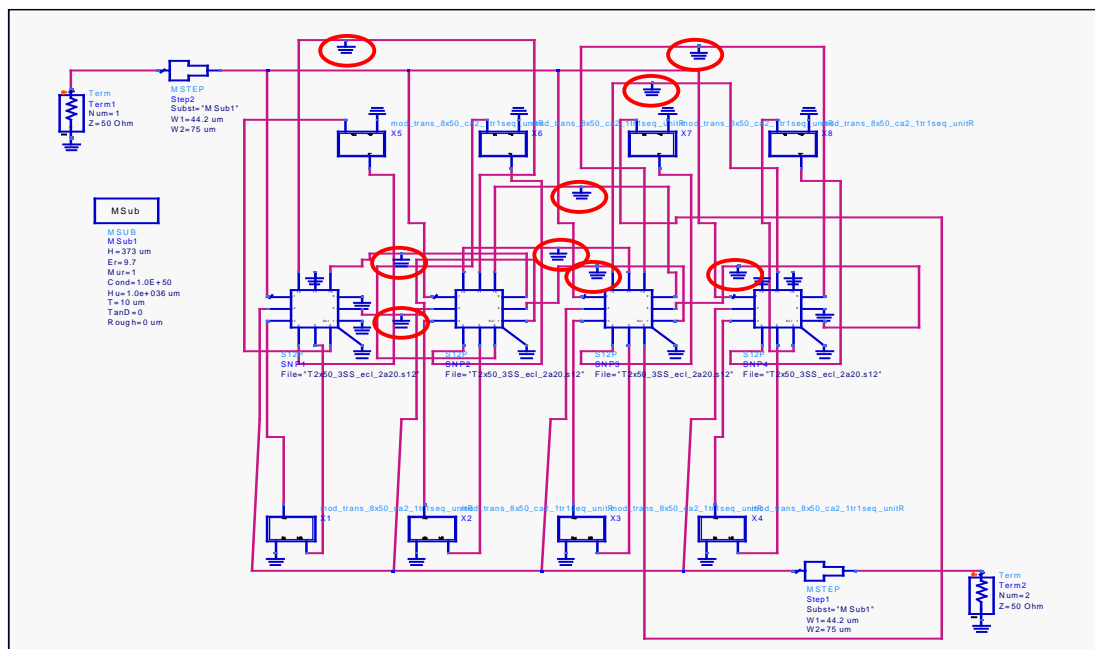


Figure 2–31 : schéma de simulation circuit d'un transistor 8x50µm par chaînage de modèles hybrides de cellules élémentaires de 2 doigts avec implantation de masse physique sur chaque connecteur inter-cellule matérialisant le pont de source

Les résultats de cette simulation sont donnés sur la Figure 2–32 sur la bande de fréquence 2-40GHz. Nous pouvons voir une différence conséquente entre les paramètres S du modèle avec ou sans la masse réelle le long du pont. Il y a donc un effet de propagation le long du pont, entraînant un potentiel de masse erroné dans la partie centrale du composant. Cette influence sera d'autant plus importante que le transistor présentera une zone active longue, c'est-à-dire avec un nombre de doigts croissant.

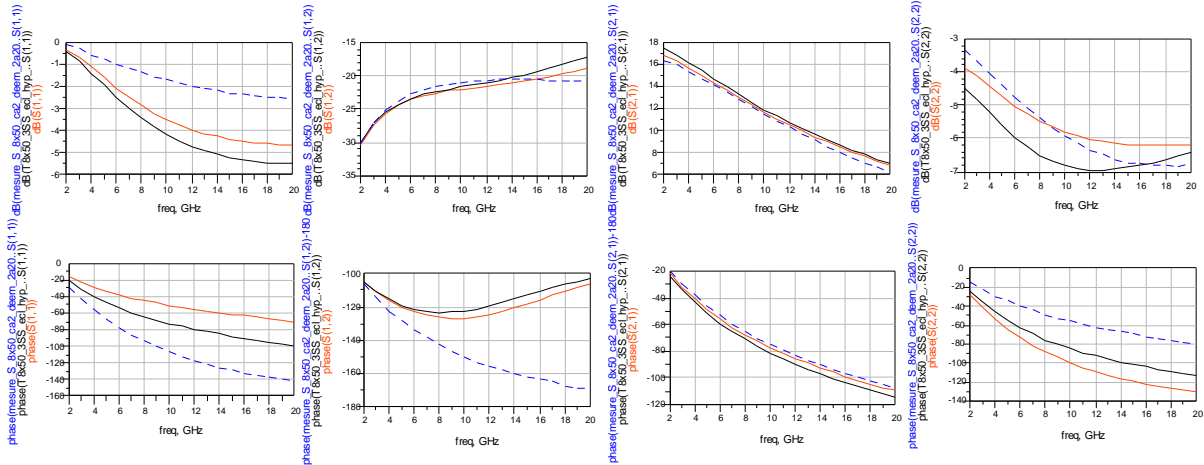


Figure 2–32 : comparaison en module et phase des paramètres S mesurés (pointillés) d'un transistor 8x50µm parallèle avec les paramètres S simulés du modèle hybride (ligne claire) et du modèle hybride avec des références de masse physique le long du pont (ligne foncée)

La comparaison mesures / modèle réalisée précédemment nous autorise à valider notre approche de chaînage de modèles hybrides de cellules élémentaires. Nous allons donc appliquer cette méthode de modélisation à différentes topologies de transistor et différents montages.

## 2. Topologies distribuée / parallèle

A l'aide de la méthode de chaînage de modèles élémentaires, nous cherchons à modéliser deux topologies de transistors disponibles contractuellement afin de les comparer. Les deux composants considérés sont des transistors de développement 12x75µm, de topologie distribuée pour l'un, parallèle pour l'autre.

Des mesures de caractéristiques I(V) et de paramètres S d'un transistor de développement 12x75µm en topologie distribuée ont été réalisées à l'IRCOM sur une bande allant de 2 à 40GHz. Une comparaison mesures / modèle pourra donc être effectuée. Cette

topologie est également appelée "fishbone" en raison de sa ressemblance avec une arête de poisson.

En ce qui concerne le transistor en topologie parallèle, des mesures de paramètres S d'un transistor de développement  $8 \times 75 \mu\text{m}$  ont été réalisées à l'IRCOM, permettant de dériver le modèle intrinsèque unitaire d'un doigt (voir section [a/ ]).

La Figure 2–33 montre les schémas des transistors de développement  $12 \times 75 \mu\text{m}$  en topologie distribuée et parallèle. Nous pouvons voir qu'il est indispensable de déterminer des modèles intrinsèques unitaires différents pour les deux topologies car la géométrie de la zone active diffère, principalement due à la géométrie du pont à air.

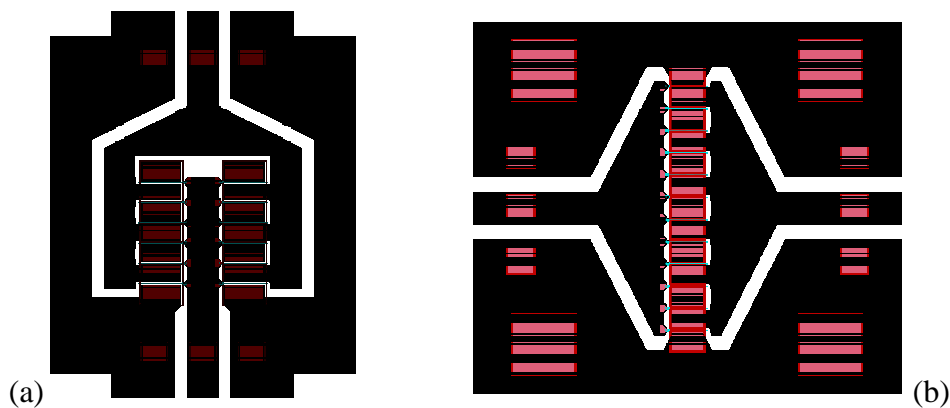


Figure 2–33 : schéma de transistors de développement  $12 \times 75 \mu\text{m}$  distribué (a) et parallèle (b) ne prenant pas en compte le pont à air

#### a/ Modèles intrinsèques unitaires

Afin de simplifier les simulations électromagnétiques en nombre et en complexité, seules les structures extrinsèques des composants ont été dessinées et simulées. De plus, la zone active a été modélisée par le chaînage de modèles électriques d'un doigt de  $75 \mu\text{m}$  obtenus par scaling des modèles déduits des mesures de transistors multidoigts ; le modèle intrinsèque unitaire d'un doigt de  $75 \mu\text{m}$  en topologie distribuée a été déterminé par scaling d'un  $12 \times 75 \mu\text{m}$  distribué, le modèle intrinsèque unitaire d'un doigt de  $75 \mu\text{m}$  en topologie parallèle a été déterminé par scaling d'un  $8 \times 75 \mu\text{m}$  parallèle.

Dans la méthode de chaînage décrite précédemment, la zone active était représentée par le couplage d'une simulation électromagnétique et du modèle électrique d'un doigt unitaire. Par contre, ici, la zone active sera décrite uniquement par un modèle électrique

prenant en compte l'effet actif d'un doigt ainsi que l'effet passif et son environnement métallique direct ; c'est à dire que la contribution passive des métallisations de la zone active n'est pas déterminée par simulation électromagnétique mais elle est déduite du modèle électrique permettant un gain en temps de dessin de la structure ainsi qu'en temps de calcul.

*i- Modèle intrinsèque unitaire d'un doigt de 75µm en topologie distribuée*

Des mesures de caractéristiques I(V) et de paramètres S d'un 12x75µm en topologie distribuée ont été réalisées sur le banc de mesures pulsées à Brive. De ces mesures, un modèle équivalent petit signal a été déterminé pour un point de polarisation de (Vgs<sub>i</sub>=-6V ; Vds<sub>i</sub>=22.2V ; Ids<sub>i</sub>=304mA). Les valeurs des éléments intrinsèques et extrinsèques de ce modèle sont données dans le Tableau 2-7.

Eléments extrinsèques							
R <sub>g</sub> (Ω)	L <sub>g</sub> (pH)	C <sub>pg</sub> (fF)	R <sub>d</sub> (Ω)	L <sub>d</sub> (pH)	C <sub>pd</sub> (fF)	R <sub>s</sub> (Ω)	L <sub>s</sub> (pH)
0,40	68,2	182,1	0,65	135,6	199,0	0,38	0,6
Eléments intrinsèques							
C <sub>gs</sub> (fF)	R <sub>i</sub> (Ω)	C <sub>gd</sub> (fF)	R <sub>gd</sub> (Ω)	g <sub>m</sub> (mS)	g <sub>d</sub> (mS)	τ (ps)	C <sub>ds</sub> (fF)
960,0	0,8	105,6	9,0	246,7	16,9	1,6	776,4

Tableau 2-7 : éléments du modèle petit signal du transistor 12x75µm distribué pour un point de polarisation de Vgs<sub>i</sub>=-6V, Vds<sub>i</sub>=22,2V, Ids<sub>i</sub>=304mA

Si l'on ne prend pas en compte les éléments extrinsèques de ce modèle, on obtient alors le modèle de la zone active du composant. Pour obtenir le modèle intrinsèque unitaire, il suffit de dériver le modèle d'un doigt en considérant, comme vu section [II - 3. c/ ] que :

$$[Y]_{intuni} = \frac{[Y]_{int}}{N} \quad \text{avec } N=12$$

Par conséquent, nous obtenons les valeurs des éléments du modèle intrinsèque unitaire d'un doigt de 75µm énoncées dans le Tableau 2-8. Notons qu'une fois de plus, nous conservons les résistances d'accès dans le modèle unitaire car la simulation électromagnétique de la structure extrinsèque ne prend pas en compte les pertes métalliques pour des raisons de temps de calcul.

Résistances d'accès							
$R_{guni} (\Omega)$		$R_{duni} (\Omega)$			$R_{suni} (\Omega)$		
4,8		7,8			4,6		
Éléments intrinsèques							
$C_{gsuni} (fF)$	$R_{iuni} (\Omega)$	$C_{gduni} (fF)$	$R_{gduni} (\Omega)$	$g_{muni} (mS)$	$g_{duni} (mS)$	$\tau (ps)$	$C_{dsuni} (fF)$
80,0	10,0	8,8	107,5	20,6	1,4	1,1	64,7

Tableau 2–8 : éléments du modèle équivalent intrinsèque d'un doigt de 75 $\mu$ m en topologie distribuée

En se basant sur la méthode de chaînage de modèles, nous pouvons alors coupler la simulation électromagnétique de la structure externe aux modèles unitaires d'un doigt.

*ii- Modèle intrinsèque unitaire d'un doigt de 75 $\mu$ m en topologie parallèle*

De la même façon que pour le modèle intrinsèque unitaire d'un doigt de 75 $\mu$ m en topologie distribuée, nous allons déduire le modèle intrinsèque unitaire d'un doigt de 75 $\mu$ m en topologie parallèle à partir du modèle électrique d'un transistor de développement 8x75 $\mu$ m mesuré à Brive. Les valeurs des éléments intrinsèques et extrinsèques du modèle équivalent petit signal sont données dans le Tableau 2–9. En ignorant les éléments extrinsèques et en appliquant la règle de scaling vue précédemment, nous obtenons le modèle intrinsèque unitaire d'un doigt de 75 $\mu$ m en topologie parallèle, dont les valeurs des éléments sont données dans le Tableau 2–10.

Éléments extrinsèques							
$R_g (\Omega)$	$L_g (pH)$	$C_{pg} (fF)$	$R_d (\Omega)$	$L_d (pH)$	$C_{pd} (fF)$	$R_s (\Omega)$	$L_s (pH)$
1,7	47,1	94,5	0,8	63,2	116,5	0,3	11,6
Éléments intrinsèques							
$C_{gs} (fF)$	$R_i (\Omega)$	$C_{gd} (fF)$	$R_{gd} (\Omega)$	$g_m (mS)$	$g_d (mS)$	$\tau (ps)$	$C_{ds} (fF)$
396,3	0,1	78,0	2,1	145,5	11,7	1,0	59,1

Tableau 2–9 : éléments du modèle petit signal du transistor 12x75 $\mu$ m parallèle pour un point de polarisation instantané de  $V_{gs_i}=-6V$ ,  $V_{ds_i}=20V$ ,  $I_{ds_i}=228mA$



Résistances d'accès							
$R_{guni} (\Omega)$		$R_{duni} (\Omega)$			$R_{suni} (\Omega)$		
13,6		6,4			2,4		
Éléments intrinsèques							
$C_{gsuni}$ (fF)	$R_{iuni} (\Omega)$	$C_{gduni}$ (fF)	$R_{gduni} (\Omega)$	$g_{muni}$ (mS)	$g_{duni}$ (mS)	$\tau$ (ps)	$C_{dsuni}$ (fF)
49,5	0,8	9,8	16,8	18,2	1,5	0,99	7,4

Tableau 2–10 : éléments du modèle équivalent intrinsèque d'un doigt de  $75\mu\text{m}$  en topologie parallèle

b/ Modèle hybride du  $12 \times 75\mu\text{m}$  distribué

*i- Simulation électromagnétique*

La structure d'un  $12 \times 75\mu\text{m}$  en topologie distribuée a été dessinée pour être simulée en électromagnétisme. Seules les métallisations externes ont été prises en compte ; la zone active sera représentée par les modèles électriques d'un doigt et son environnement métallique proche, connectés par l'intermédiaire d'accès localisés implémentés sur la structure dessinée.

La Figure 2–34 montre le transistor en deux dimensions, vu du dessus. Nous observons la distribution des doigts de grille de chaque côté d'une ligne d'accès commune. Cette topologie est dénommée "distribuée", ou encore "fishbone". Dans le cas de cette topologie, le pont de source dépend de deux dimensions. En effet, le pont prend contact sur un pavé métallique tous les deux doigts de grille mais enjambe également les accès de drain situés de chaque côté de l'arête de grille. Cet effet distribué du pont est à prendre en compte dans la simulation.

De plus, considérant qu'il n'y a pas de discontinuités dans la direction verticale  $z$ , nous pouvons mettre en évidence la présence d'un plan de symétrie, coupant les accès de grille et de drain en leur milieu. L'algorithme de résolution de calculs électromagnétiques 3D prenant en compte les conditions de symétrie, nous pouvons donc ne dessiner que la moitié de la structure. La Figure 2–35 montre la demi-structure simulée. La simulation a été effectuée sur une bande de fréquence de 2 à 20GHz.

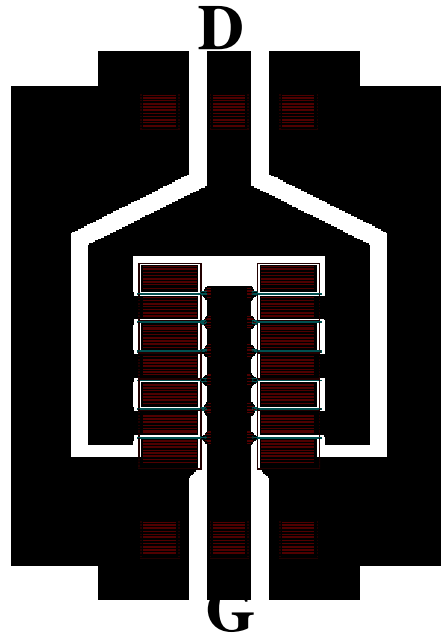


Figure 2–34 : transistor 12x75µm distribué vu du dessus

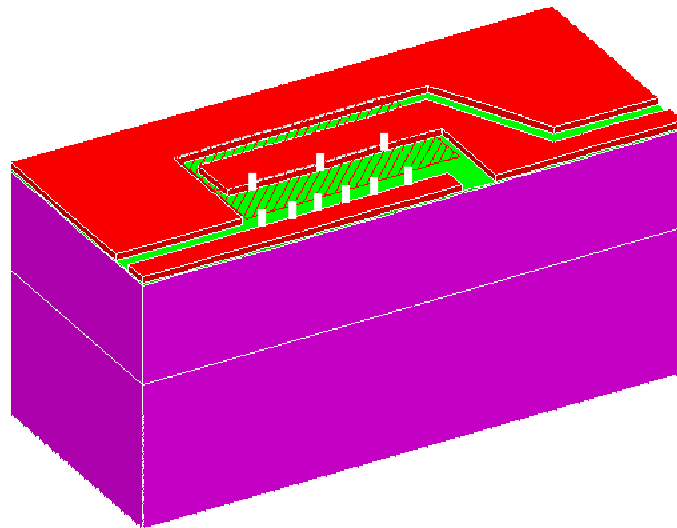


Figure 2–35 : demi-structure 3D du transistor 12x75µm distribué

Nous pouvons observer la présence d'un plan métallique connecté à l'accès de source externe et "surplombant" la ligne d'accès de drain et une partie de la zone active. Cette surface matérialise la présence du pont à air et s'avère être la référence de masse des accès localisés implantés. En effet, des accès localisés ont été insérés sur la structure à l'emplacement de chaque doigt de grille ainsi qu'à l'emplacement de chaque "doigt" de drain, commun à deux doigts de grille. La structure présente donc un accès distribué externe de grille, un accès distribué externe de drain, douze accès localisés grille-source et six accès localisés drain-

source. La simulation électromagnétique donne donc un résultat sous forme de matrice de paramètres S que l'on matérialise par une boîte noire à vingt accès.

A partir de cette matrice électromagnétique, nous voulons observer la présence d'un éventuel décalage en phase du signal lors de son "parcours" au sein du composant. Pour cela, une rapide et simple simulation circuit de la matrice S permet de mettre en évidence le déphasage présent entre les accès de grille et de drain selon le doigt de grille "emprunté" par le signal (Figure 2–36). Nous pouvons observer un décalage maximum inférieur à 10 degrés entre les accès externes de grille et de drain en haute-fréquence, ce qui nous laisse penser à une faible influence sur la recombinaison en puissance du signal de sortie.

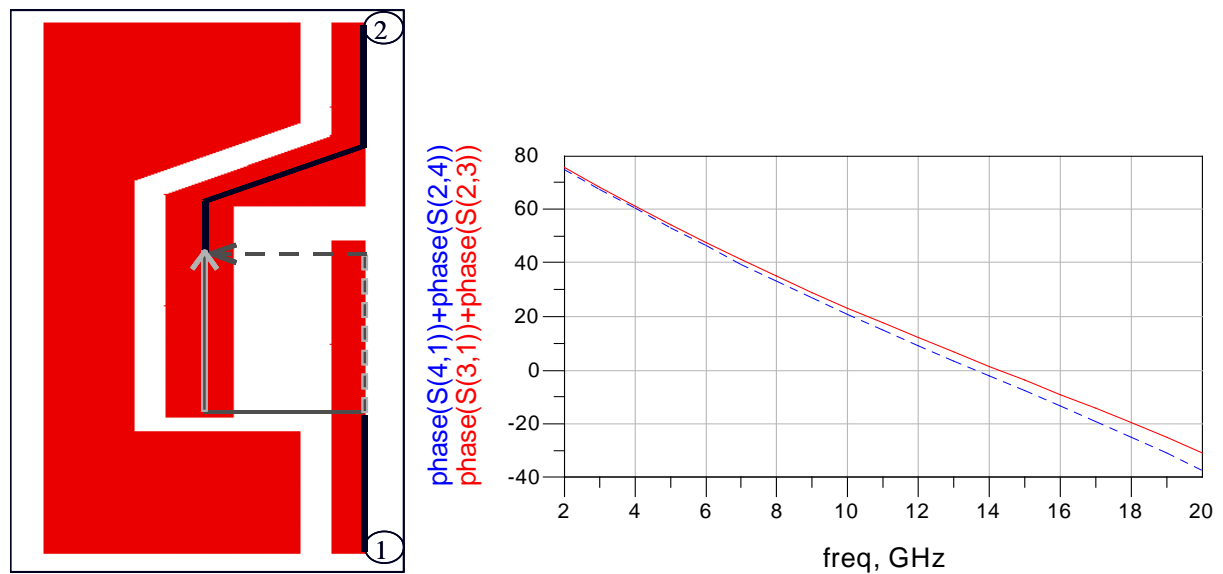


Figure 2–36 : déphasage total entre les accès 1 et 2 de la structure selon le chemin considéré

### ii- Couplage circuit – électromagnétisme

Nous voulons déterminer le modèle hybride de ce transistor de développement 12x75µm de topologie distribuée. Pour cela, nous avons déjà déterminé le modèle intrinsèque unitaire d'un doigt de 75µm ainsi que la matrice électromagnétique de la structure externe. Le couplage des deux simulations se fait donc à l'aide d'un simulateur circuit, par simple connexion du modèle électrique à la matrice électromagnétique par l'intermédiaire des accès localisés implémentés dans la structure.

La Figure 2–37 montre le schéma de simulation du modèle hybride. Nous pouvons voir la "boîte noire" représentant la matrice électromagnétique au centre et douze modèles électriques d'un doigt. Les deux premiers ports de la matrice S sont les accès distribués de

grille et de drain connectés chacun à un port de paramètres S, et les autres ports sont les accès localisés de grille-source et drain-source, connectés chacun à un modèle électrique d'un doigt. Nous pouvons remarquer que chaque port drain-source de la matrice S est commun à deux accès drain du modèle électrique, puisque un doigt de drain est commun à deux doigts de grille.

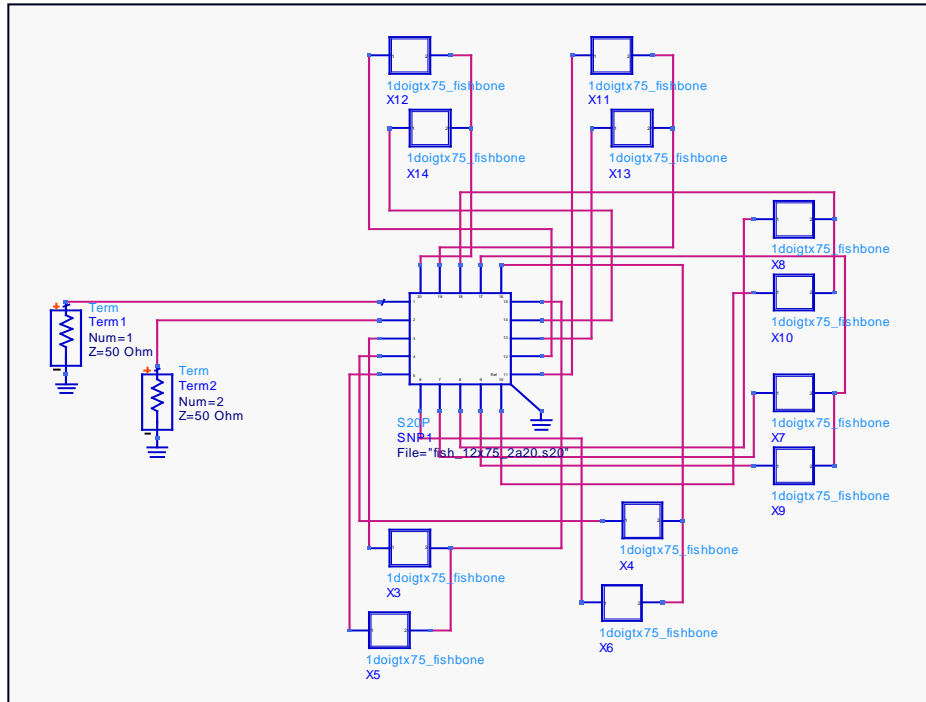


Figure 2–37 : schéma de simulation du modèle hybride du transistor 12x75µm distribué par connexion des modèles intrinsèques unitaires aux accès localisés de la matrice électromagnétique

La simulation couplée a été réalisée sur la bande de fréquence 2-20GHz. La Figure 2–38 montre les paramètres S obtenus par la simulation du modèle hybride vu au-dessus.

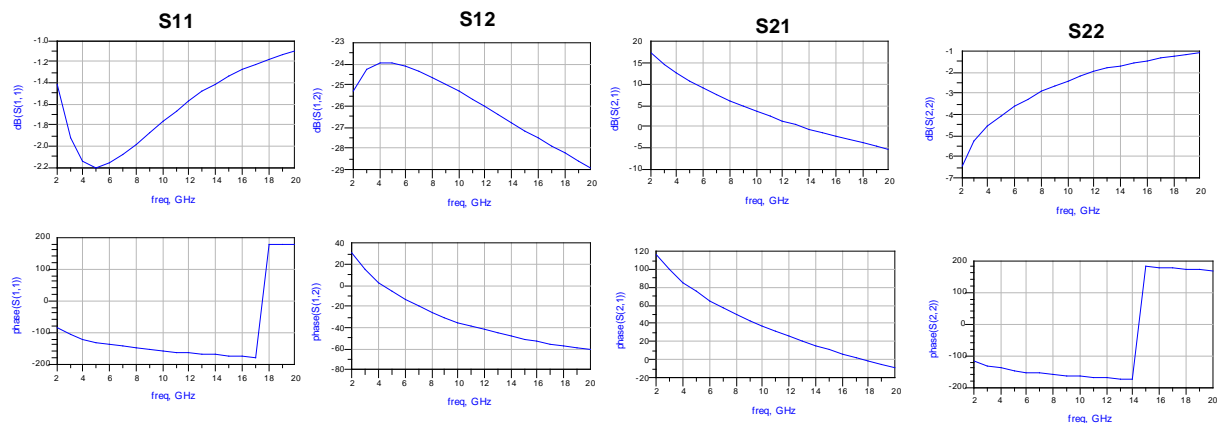


Figure 2–38 : module et phase des paramètres S obtenus par la simulation du modèle hybride d'un transistor 12x75µm en topologie distribuée

iii- Validation par comparaison mesures / modèle

Comme mentionné précédemment, des mesures de ce transistor ont été effectuées à l'IRCOM sur la bande de fréquence 2-40GHz. Nous pouvons par conséquent comparer les résultats de simulation du modèle hybride avec les résultats de mesures ; cette comparaison est donnée dans la Figure 2–39. Nous pouvons observer une très bonne concordance des résultats en modules et en phase. Ce qui nous permet de valider notre approche de couplage entre la simulation électromagnétique de la structure externe et les modèles électriques d'un doigt et son environnement.

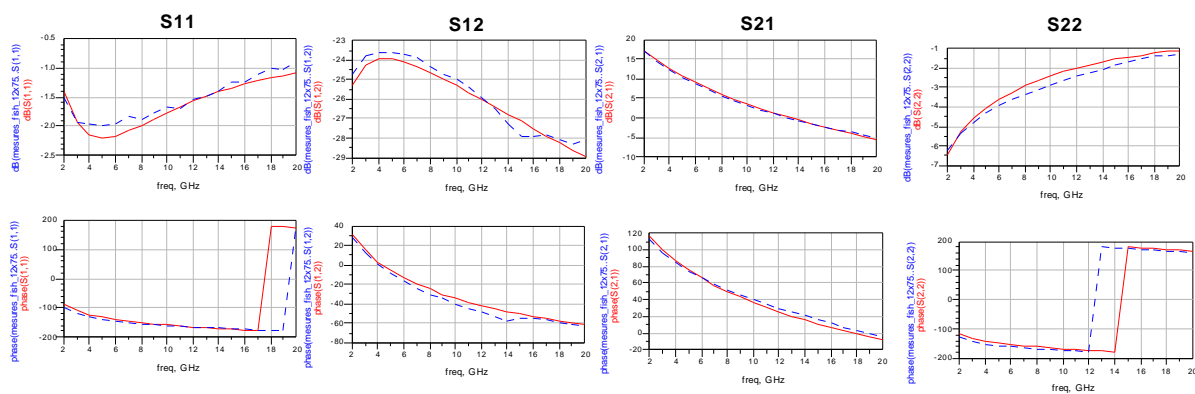


Figure 2–39 : comparaison en module et phase des paramètres S mesurés (pointillés) et des paramètres S obtenus par simulation du modèle hybride (ligne continue) d'un transistor 12x75µm en topologie distribuée

Cette méthode va donc être appliquée à la modélisation d'un transistor de même développement mais en topologie parallèle.

c/ Modèle hybride du 12x75µm parallèle

i- Simulation électromagnétique

La structure d'un transistor 12x75µm en topologie parallèle a été dessinée afin d'être simulée en électromagnétisme. Tout comme le cas de l'étude de la topologie distribuée, seules les métallisations externes sont prises en compte puisque la zone active sera représentée par le chaînage des modèles électriques d'un doigt.

La Figure 2–40 montre la structure en deux dimensions, vue du dessus. Nous pouvons observer la position des doigts, également distants les uns des autres, en parallèle sur un accès de grille de la forme d'un taper. Sachant qu'il n'y a pas de discontinuités selon l'axe

verticale des  $z$ , nous pouvons également noter la présence d'un plan de symétrie. Ceci nous permet de dessiner et calculer la demi-structure uniquement en électromagnétisme, entraînant un gain en temps de calcul.

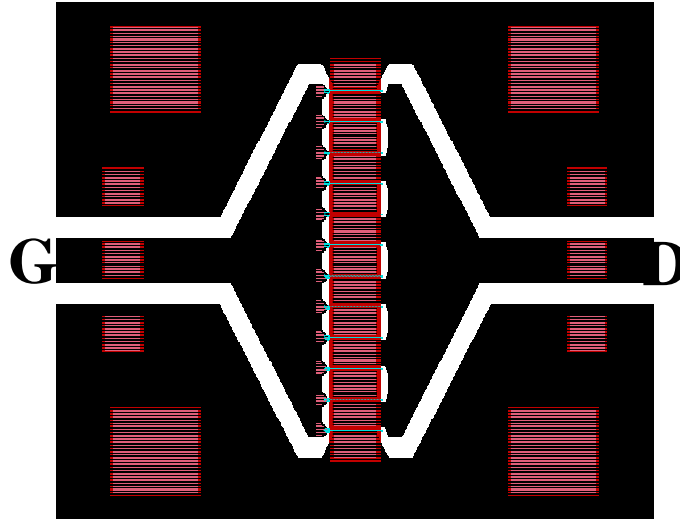


Figure 2-40 : transistor 12x75µm parallèle vu du dessus

La demi-structure simulée est présentée sur la Figure 2-41. Nous pouvons observer un plan métallique relié à l'accès de source externe et qui passe au-dessus de la zone active. Ce plan métallique représente le pont à air du composant et s'impose comme la référence de masse des accès localisés grille-source et drain-source insérés dans la structure. En effet, des accès localisés ont été appliqués au niveau de chaque doigt de grille ainsi qu'à chaque doigt de drain. La structure présente donc un total de 20 accès : un accès distribué de grille, un accès distribué de drain, 12 accès localisés grille-source et 6 accès localisés drain-source.

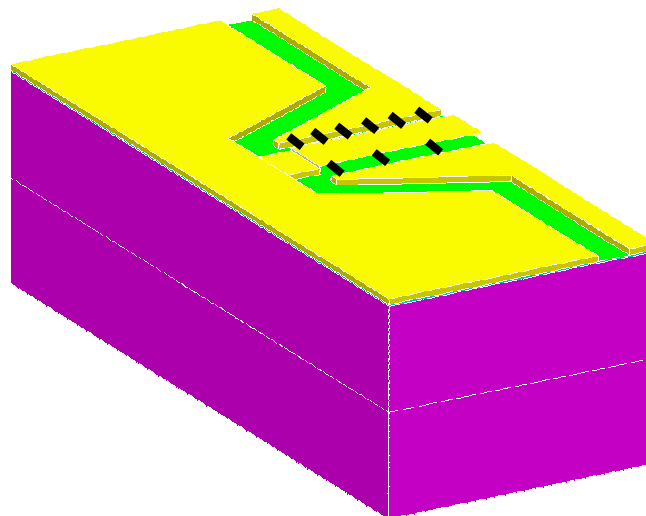


Figure 2-41 : demi-structure 3D du transistor 12x75µm parallèle

La simulation électromagnétique de cette structure nous permet d'obtenir une matrice de paramètres  $S$  exploitable à l'aide d'un simulateur circuit. Nous pouvons observer le comportement passif de ce transistor. En effet, par simple observation de cette structure, nous pouvons imaginer la présence d'un certain déphasage du signal présenté à chacun des doigts de grille du composant. De plus, ce déphasage est doublé par le taper de drain étant donné que le doigt de grille le plus excentré correspond au doigt de drain également le plus excentré. Nous pouvons alors imaginer une influence certaine sur la recombinaison en puissance du signal de sortie.

Une simulation circuit rapide et simple de la matrice électromagnétique met en évidence le décalage de phase total entre les accès externes de grille et de drain du composant selon le doigts "emprunté" par le signal (Figure 2–42). Nous pouvons observer un décalage maximum de 32 degrés entre un doigt extérieur et un doigt central en haut de bande. Ce décalage peut avoir une grande importance sur la recombinaison du signal en sortie de drain.

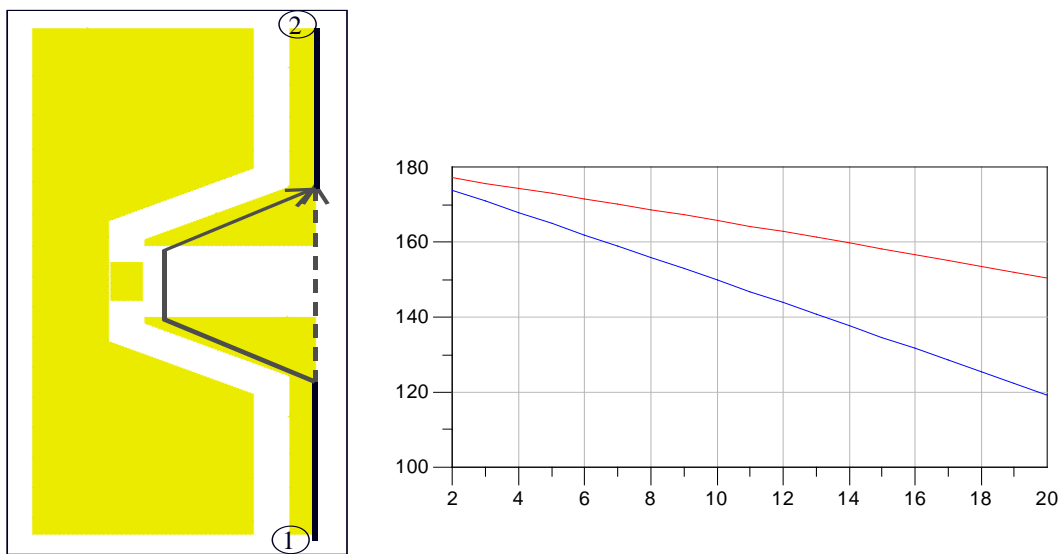


Figure 2–42 : déphasage total entre les accès 1 et 2 de la structure selon le chemin considéré

### *ii- Couplage circuit – électromagnétisme*

A l'aide d'un simulateur circuit, nous pouvons simuler le modèle hybride de ce transistor en topologie distribuée. En effet, nous disposons du modèle intrinsèque unitaire d'un doigt de  $75\mu\text{m}$  en topologie parallèle ainsi que de la matrice électromagnétique des métallisations externes de ce composant. Ainsi, le couplage peut se faire simplement par connexion de ces modèles unitaires aux accès localisés de la matrice. La Figure 2–43 expose

le schéma de simulation de ce modèle hybride. Les paramètres S résultants de cette simulation hybride sont donnés dans la Figure 2–44.

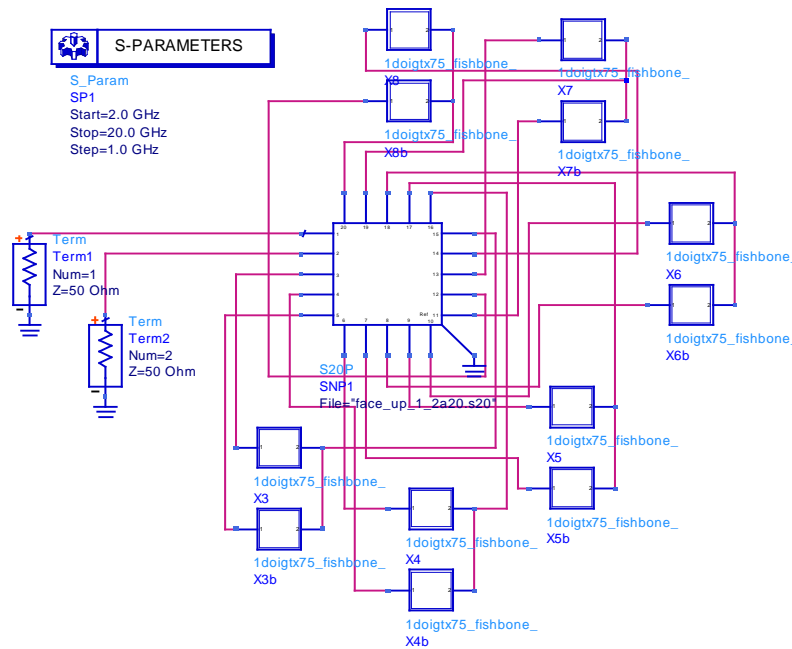


Figure 2–43 : schéma de simulation du modèle hybride du transistor 12x75µm parallèle par connexion des modèles intrinsèques unitaires aux accès localisés de la matrice électromagnétique

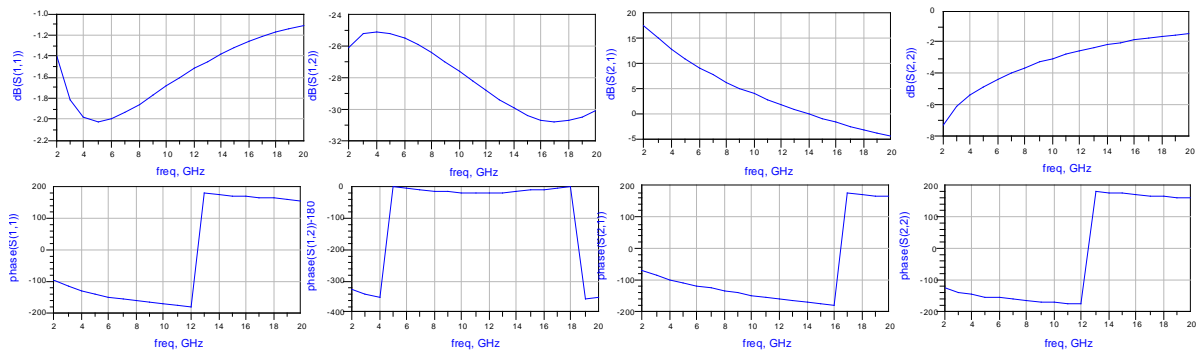


Figure 2–44 : module et phase des paramètres S obtenus par la simulation du modèle hybride d'un transistor 12x75µm en topologie parallèle

#### d/ Comparaison des topologies distribuée et parallèle

Des modèles hybrides sont désormais disponibles pour les topologies distribuée et parallèle de développement 12x75µm. Le modèle du transistor en topologie distribuée a pu être comparé à des mesures réalisées à l'IRCOM. La Figure 2–45 montre la comparaison des paramètres S et du gain maximum obtenus par simulation des modèles hybrides de ces composants sur une bande de fréquence de 2 à 20GHz.



Nous pouvons observer une différence certaine entre les paramètres S de ces deux topologies. Le gain maximum montre une cassure concernant le composant en topologie parallèle. Ce phénomène correspond à un changement de la valeur du facteur de Rollet K traduisant une stabilité conditionnelle de la structure. En revanche, les simulations montrent un gain maximum sans cassure pour la structure distribuée. Rappelons également une différence majeure observée sur le déphasage entre les électrodes de grille et de drain, plus important sur la topologie parallèle, conduisant à un recombinaison de la puissance plus délicate.

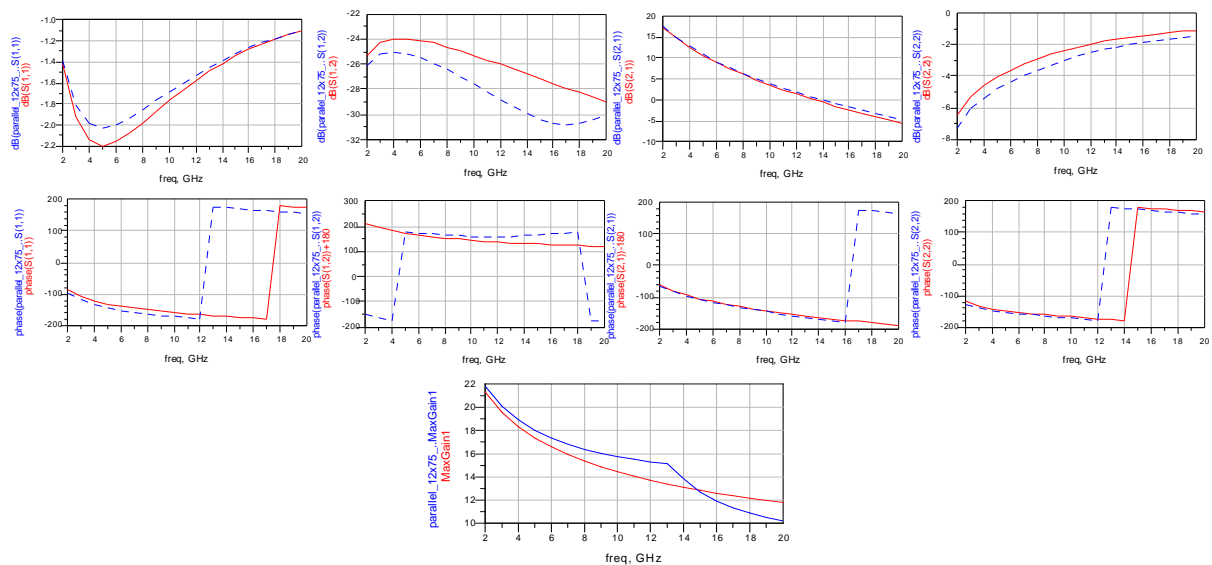


Figure 2–45 : comparaison en module et phase des paramètres S et du gain maximum obtenus par simulation des modèles hybrides des transistors 12x75 $\mu$ m en topologie parallèle (pointillés) et distribuée (ligne continue)

### 3. Topologies coplanaire / microstrip

Nous cherchons maintenant à réaliser une comparaison de deux topologies de transistors correspondant à des excitations différentes. Il s'agit des topologies coplanaire et microstrip. La première est la topologie disponible contractuellement. La seconde n'est pas actuellement disponible car elle nécessite la réalisation de trous métallisés permettant le retour à la masse au niveau du plan métallique situé sous le substrat. Or, la réalisation de ces vias est très délicate et reste à maîtriser concernant les substrats de carbure de silicium. Néanmoins, une structure d'accès microstrip a été dessinée et simulée en hybride.

Les topologies coplanaire et microstrip se différencient par la configuration de leurs accès et le retour à la masse. En effet, dans la configuration coplanaire, les accès sont

constitués d'une ligne de transmission, support du signal, et de deux métallisations de part et d'autre représentant la masse. Dans la configuration microstrip, les accès ne comportent qu'une ligne de transmission car le retour à la masse se fait par l'intermédiaire d'un trou métallisé relié à la surface inférieure du substrat. Ce trou métallisé peut être un trou, de forme souvent conique, dont les parois sont métallisées ou bien un trou rempli de métal.

Le transistor de référence considéré pour cette analyse est un composant de développement  $2 \times 50 \mu\text{m}$ , identique à celui étudié précédemment dans la section [II - ]. Nous allons comparer les comportements passifs d'une part mais également les modèles hybrides, prenant en compte les comportements passifs et actifs des composants. Pour ce faire, il est nécessaire de connaître le modèle électrique intrinsèque d'un doigt unitaire, commun aux deux topologies, ainsi que les matrices électromagnétiques de ces structures.

a/ Modèle intrinsèque unitaire

Les deux topologies considérées pour cette analyse présente un développement de  $2 \times 50 \mu\text{m}$ . Par conséquent, nous devons définir le modèle intrinsèque unitaire d'un doigt de  $50 \mu\text{m}$ . Ce modèle a déjà été déterminé au cours d'une étude précédente [II - 4. b/ iii- ]. Le Tableau 2–11 recense les valeurs des éléments de ce modèle.

Résistances d'accès							
$R_{g\text{uni}} (\Omega)$		$R_{d\text{uni}} (\Omega)$			$R_{s\text{uni}} (\Omega)$		
10,8		4,4			2,2		
Éléments intrinsèques							
$C_{gs\text{uni}}$ (fF)	$R_{i\text{uni}} (\Omega)$	$C_{gd\text{uni}}$ (fF)	$R_{gd\text{uni}} (\Omega)$	$g_{m\text{uni}}$ (mS)	$g_{d\text{uni}}$ (mS)	$\tau$ (ps)	$C_{ds\text{uni}}$ (fF)
17,1	37,3	1,1	53,8	16,7	8,1	1,1	25,0

Tableau 2–11 : valeurs de éléments intrinsèques et des résistances d'accès du modèle intrinsèque unitaire d'un doigt de  $50 \mu\text{m}$

Ce modèle pourra par la suite être couplé à la matrice électromagnétique afin d'obtenir le modèle hybride des transistors considérés.

### b/ Modèle hybride du 2x50 $\mu$ m à accès coplanaires

La zone active des deux composants considérés dans cette analyse est identique. Par contre, l'environnement métallique est différent selon que l'on considère les accès coplanaires ou microstrip.

#### *i- Simulation électromagnétique*

La structure coplanaire a déjà été étudiée dans le [II - 4. b/ iii- ]. La Figure 2–46 rappelle la structure 3D simulée. Il s'agit en réalité de la demi-structure car le composant présente un plan de symétrie pris en compte dans le calcul électromagnétique. Rappelons également que des accès localisés sont implantés au sein de la structure au milieu des doigts de grille : un accès grille-source et un accès drain-source sur chaque doigt s'ajoutent donc aux accès distribués des lignes externes de grille et de drain. Nous obtenons donc une matrice de paramètres S à six accès définie sur la bande de fréquence 2-20GHz. La Figure 2–47 montre les paramètres S déduits de la simulation électromagnétique de cette structure.

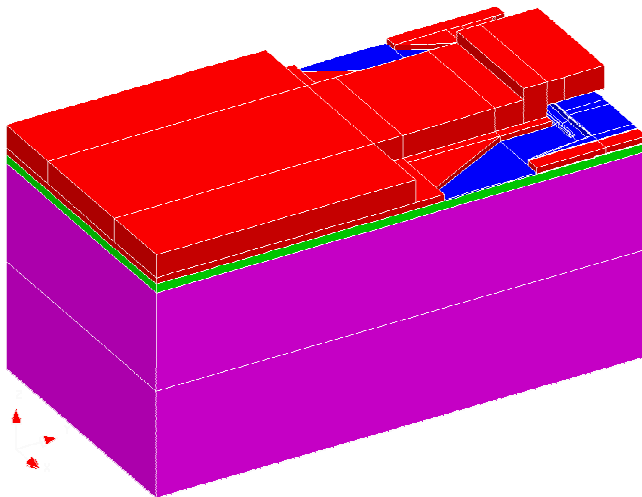


Figure 2–46 : demi-structure du transistor 2x50 $\mu$ m en accès coplanaires

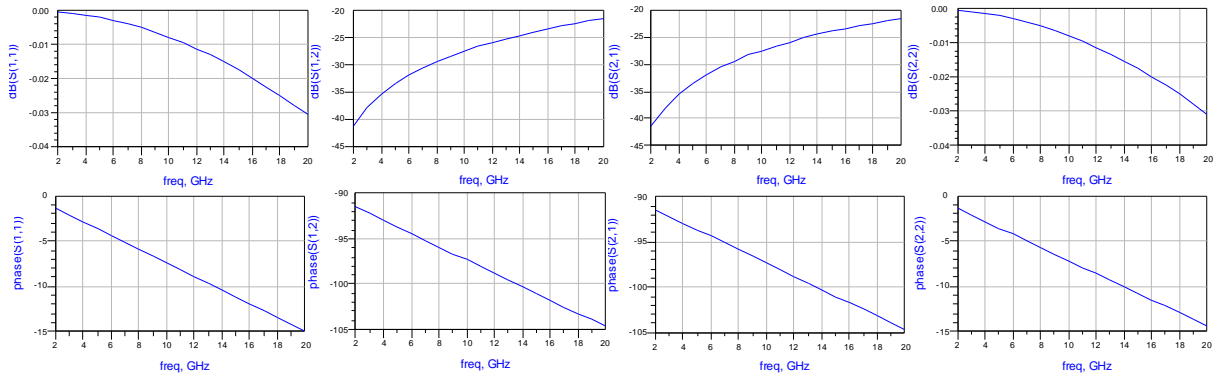


Figure 2–47 : module et phase des paramètres S des zones passives d'un transistor 2x50µm en topologie coplanaire par simulation électromagnétique

*ii- Couplage circuit – électromagnétique*

A l'aide d'un simulateur circuit, nous réalisons le couplage de l'analyse électromagnétique et du modèle intrinsèque unitaire. Dans ce but, nous connectons deux modèles unitaires à la matrice électromagnétique par l'intermédiaire de ses accès localisés. Les paramètres S de cette simulation circuit sont présentés dans la Figure 2–48 sur la bande 2-20GHz.

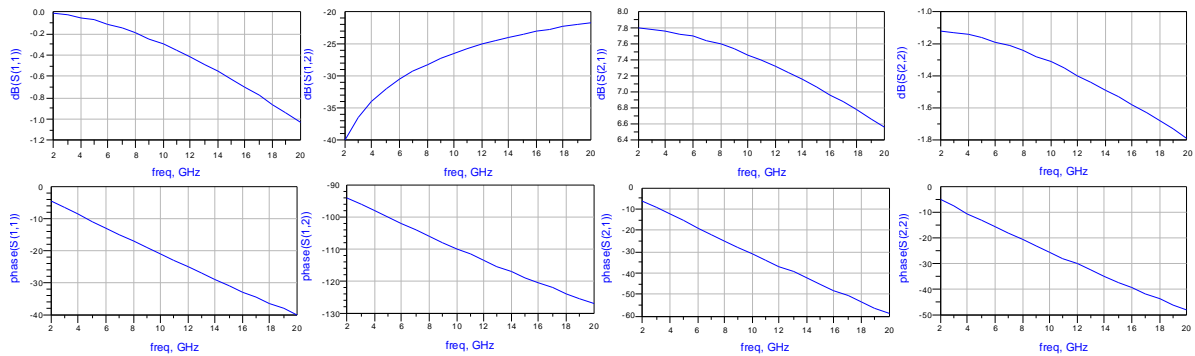


Figure 2–48 : module et phase des paramètres S obtenus par la simulation hybride d'un transistor 2x50µm en topologie coplanaire

*iii- Validation par comparaison mesures / modèle*

Des mesures de caractéristiques I(V) et de paramètres S de ce composant ont par ailleurs été effectuées à l'IRCOM, permettant la comparaison mesures / modèle. La Figure 2–49 permet la validation du modèle hybride de ce transistor par l'observation d'une bonne concordance des résultats mesurés et simulés.

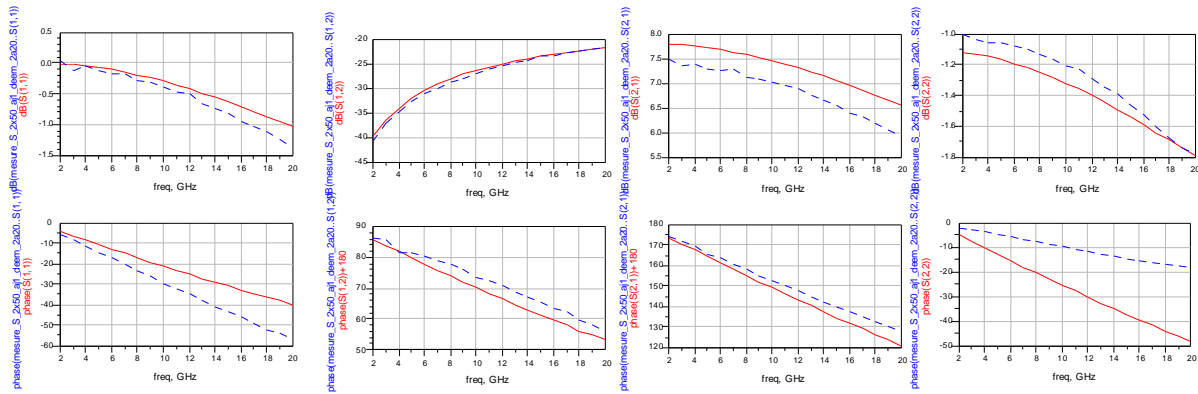


Figure 2–49 : comparaison en module et phase des paramètres S mesurés (pointillés) et des paramètres S obtenus par simulation du modèle hybride (ligne continue) d'un transistor 2x50µm coplanaire

### c/ Modèle hybride du 2x50µm à accès microstrip

#### i- Simulation électromagnétique

Comme annoncé précédemment, cette topologie de composant n'est pas actuellement disponible dans le cadre du contrat car elle nécessite la réalisation de trous métallisés dont la fabrication reste encore aujourd'hui très délicate sur les substrats de nitrure de gallium. La structure simulée ici n'est donc qu'un exemple de ce que pourrait être un tel composant.

La structure considérée est très proche de celle d'un transistor 2x50µm en accès coplanaire. Les modifications opérées concernent les accès externes de grille et de drain ainsi que la présence d'un via. La Figure 2–50 montre la demi-structure considérée pour cette analyse. On observe en effet les changements réalisés dans les accès externes entraînant la présence seule de la ligne de transmission du signal. Un trou dont les parois sont métallisées est également inséré sous la métallisation de source et traverse les épaisseurs de nitrure de gallium et de carbure de silicium du substrat.

Tout comme dans le cas des accès coplanaires, des accès localisés sont insérés au sein de la structure, au milieu de chaque doigt de grille ; ces accès permettront la connexion du modèle intrinsèque unitaire pour obtenir un modèle hybride.

De cette simulation électromagnétique 3D, nous obtenons une matrice de paramètres S électromagnétiques définie sur la bande de fréquence 2-20GHz. La Figure 2–51 expose les résultats de cette simulation.

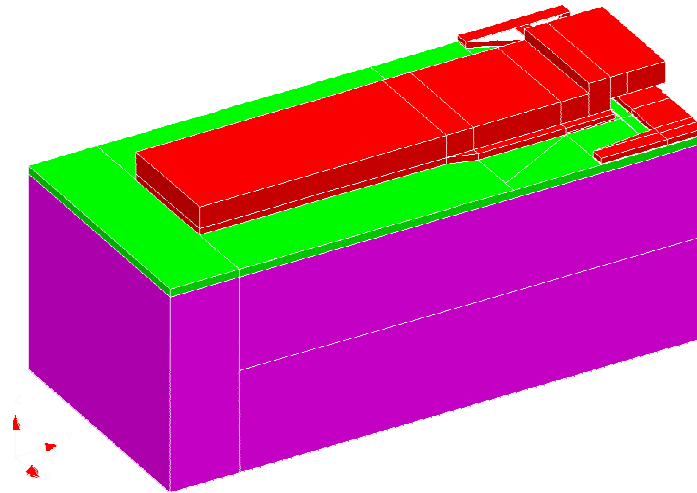


Figure 2–50 : demi-structure du transistor 2x50µm en accès microstrip

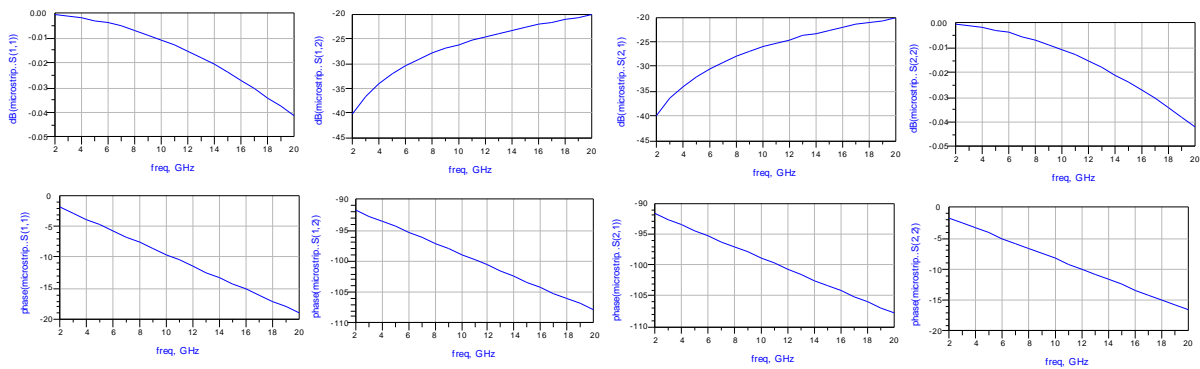


Figure 2–51 : module et phase des paramètres S électromagnétiques d'un transistor 2x50µm en topologie microstrip

### *ii- Couplage circuit – électromagnétique*

Le modèle hybride est alors simulé à l'aide d'un simulateur circuit. Le modèle intrinsèque unitaire est connecté à la matrice électromagnétique par l'intermédiaire des accès localisés de celle-ci. Les paramètres S de cette simulation hybride sont donnés dans la Figure 2–52 sur une bande de fréquence de 2-20GHz.

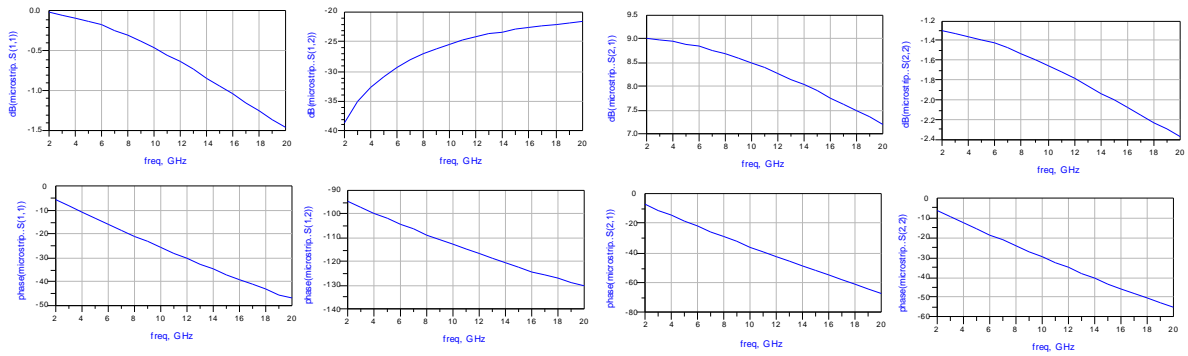


Figure 2–52 : module et phase des paramètres S obtenus par la simulation hybride d'un transistor 2x50 $\mu$ m en topologie microstrip

#### d/ Comparaison des topologies coplanaire / microstrip

Les simulations exposées au-dessus nous ont permis d'obtenir les modèles hybrides de deux topologies de transistor ; il s'agit des topologies coplanaire et microstrip qui diffèrent de par la configuration de leurs accès externes ainsi que le principe de retour à la masse. Le transistor considéré pour ces analyses est un composant de développement 2x50 $\mu$ m. Une comparaison des paramètres S et du gain maximum de ces deux structures est présentée dans la Figure 2–53 sur la bande de fréquence 2-20GHz.

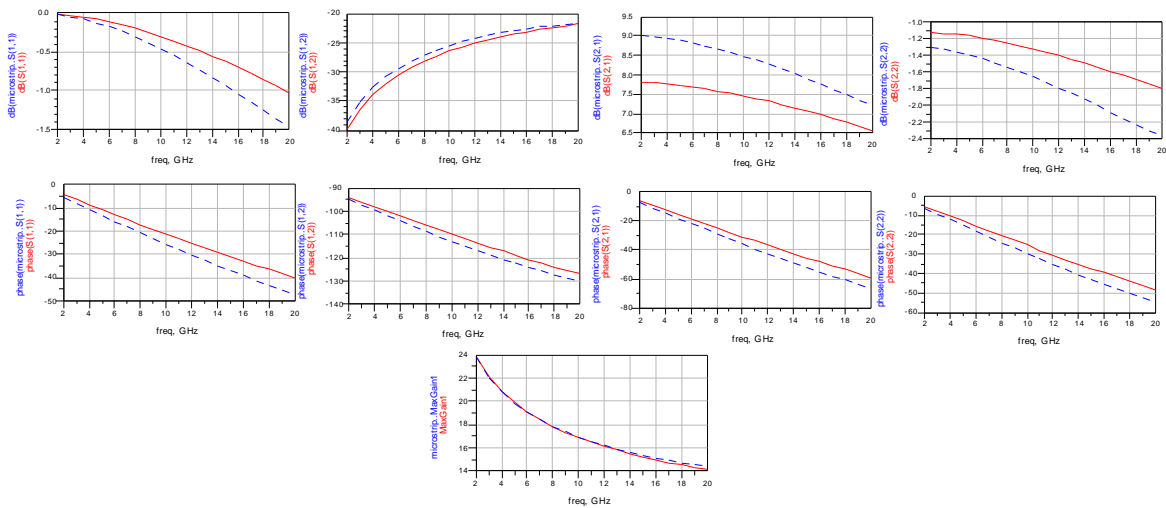


Figure 2–53 : comparaison en module et en phase des paramètres S obtenus par simulation des modèles hybrides des transistors 2x50 $\mu$ m en accès coplanaire (ligne continue) et microstrip (pointillés)

Nous pouvons observer une différence des paramètres S de ces deux structures, principalement sur le paramètre en transmission S21 (environ 1dB en milieu de bande). Ce qui traduit que l'environnement métallique de la zone active, et principalement l'effet selfique du au via dans la configuration microstrip, a une influence sur les performances du transistor.

Mais si l'on s'intéresse au gain maximum de ces deux structures, nous observons une parfaite équivalence de ces derniers.

Par conséquent, d'un point de vue électrique, chacun de ces deux composants est équivalent. En fait, le transistor présente des coefficients de réflexion différents et le réseau d'adaptation sera lui aussi différent si l'on considère une même application pour les deux configurations. Une topologie pourra être préférée à l'autre en fonction de la difficulté de réalisation des réseaux d'adaptation nécessaires et des niveaux d'inductance requis.

#### **4. Reports face-up et flip-chip**

[2.7], [2.13], [2.14], [2.15]

Une étude a été menée concernant les différents reports de transistors envisagés. Deux reports ont été considérés : un report face-up avec fils de bonding et un report flip-chip, tous deux sur un substrat de report en nitrure d'aluminium (AlN).

Nous allons dans un premier temps observer l'influence des fils de bonding dans le cas du report face-up sur les performances en fréquence d'un transistor. Par la suite, nous nous intéresserons à des mesures comparatives réalisées sur un même transistor dans les configurations sous pointes et flip-chip.

##### a/ Report face-up avec fils de bonding

Le report face-up consiste à déposer un composant sur un substrat de report en nitrure d'aluminium présentant des lignes d'accès coplanaires, et de réaliser la connexion grâce à des fils d'or, appelé fils de bonding. La Figure 2-54 montre le schéma de montage d'un transistor multi-doigts en configuration face-up. Comme nous pouvons le constater, plusieurs fils sont insérés en parallèle sur les pavés de source afin de diminuer leur inductance équivalente. En revanche, un seul fil est considéré sur l'accès de grille et un seul sur l'accès de drain, en raison de leur faible largeur (75  $\mu\text{m}$ ).



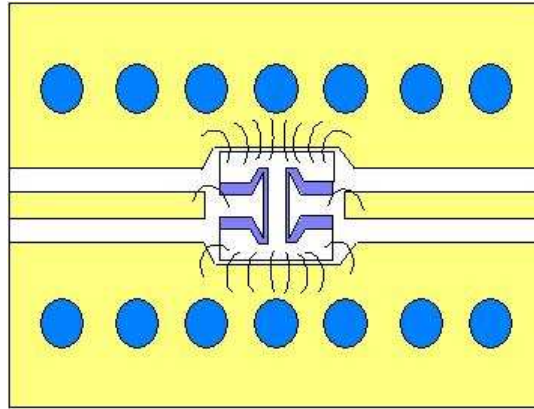


Figure 2–54 : schéma de montage face-up d'un transistor sur substrat d'AlN

Nous cherchons à observer l'influence des fils de bonding sur les performances en fréquence d'un transistor de développement 12x75  $\mu\text{m}$  en topologie parallèle. Pour cela, nous allons nous intéresser au gain linéaire de ce composant et plus précisément à la fréquence de transition MSG/MAG (maximum stable gain / maximum available gain) de ce dernier. Dans ce but, nous considérons d'une part, le modèle équivalent petit signal global du composant, et d'autre part, le modèle d'un fil de bonding en fonction de sa longueur et de son diamètre.

Le modèle électrique équivalent global d'un composant de développement 12x75  $\mu\text{m}$  en topologie parallèle à été développé précédemment au cours de ce manuscrit (section [2. a/ ii- ]). Les éléments intrinsèques et extrinsèques de ce modèle sont recensés dans le Tableau 2–12.

Eléments extrinsèques							
$R_g$ ( $\Omega$ )	$L_g$ (pH)	$C_{pg}$ (fF)	$R_d$ ( $\Omega$ )	$L_d$ (pH)	$C_{pd}$ (fF)	$R_s$ ( $\Omega$ )	$L_s$ (pH)
1,7	47,1	94,5	0,8	63,2	116,5	0,3	11,6
Eléments intrinsèques							
$C_{gs}$ (fF)	$R_i$ ( $\Omega$ )	$C_{gd}$ (fF)	$R_{gd}$ ( $\Omega$ )	$g_m$ (mS)	$g_d$ (mS)	$\tau$ (ps)	$C_{ds}$ (fF)
396,3	0,1	78,0	2,1	145,5	11,7	0,99	59,1

Tableau 2–12 : éléments du modèle petit signal du transistor 12x75 $\mu\text{m}$  parallèle pour un point de polarisation instantané de  $V_{gs_i}=-6\text{V}$ ,  $V_{ds_i}=20\text{V}$ ,  $I_{ds_i}=228\text{mA}$

En ce qui concerne le modèle des fils de bondings, nous avons considéré les résultats obtenus précédemment lors de travaux de thèse réalisés à l'IRCOM ([2.7], [2.13], [2.14]). En effet, des simulations électromagnétiques 3D de fils de bonding ont été réalisées. Différentes analyses ont été menées en fonction de la longueur du fils, de son diamètre mais également

sur le coefficient de couplage existant si l'on considère plusieurs fils en parallèle. De ces études, nous concluons aux densités linéiques suivantes :

- pour un diamètre  $\Phi = 5 \mu\text{m}$ ,  $L_{\text{eq}} = 1,15 \text{ nH/mm}$  ;
- pour un diamètre  $\Phi = 15 \mu\text{m}$ ,  $L_{\text{eq}} = 0,95 \text{ nH/mm}$  ;
- pour un diamètre  $\Phi = 25 \mu\text{m}$ ,  $L_{\text{eq}} = 0,8 \text{ nH/mm}$ .

Nous considérons également un coefficient de couplage moyen de  $\frac{3}{4}$ .

Nous allons maintenant observer l'influence de ces différents paramètres sur le gain du transistor.

*i- Influence de la longueur des fils de bonding*

Pour cette étude, nous avons considéré 4 fils en parallèle sur chaque pavé de source. La Figure 2–55 montre le MSG / MAG de la structure présentant des fils de longueur variant de 0 à 1000  $\mu\text{m}$  (0  $\mu\text{m}$  équivalent à l'absence de fils) et de diamètre 25  $\mu\text{m}$  dans le graphe (a) et 5  $\mu\text{m}$  dans le graphe (b). Nous observons un net décalage vers les fréquences basses de la fréquence de transition entre le MSG et le MAG lorsque la longueur augmente. Ce décalage est plus important dans le cas où nous considérons des fils de diamètre 5  $\mu\text{m}$ . En conséquence, plus les fils sont courts et moins le montage sera perturbé en montant en fréquence (Figure 2–56).

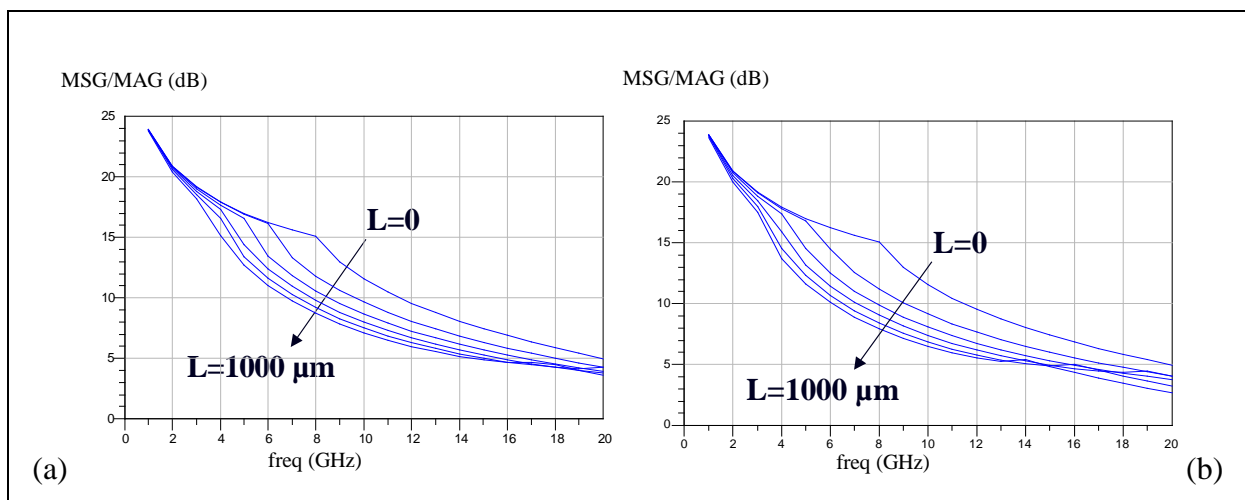


Figure 2–55 : MSG / MAG d'un transistor 12x75  $\mu\text{m}$  monté en face-up considérant 4 fils de 25  $\mu\text{m}$  (a) et 5  $\mu\text{m}$  (b) de longueur variant de 0 à 1000  $\mu\text{m}$

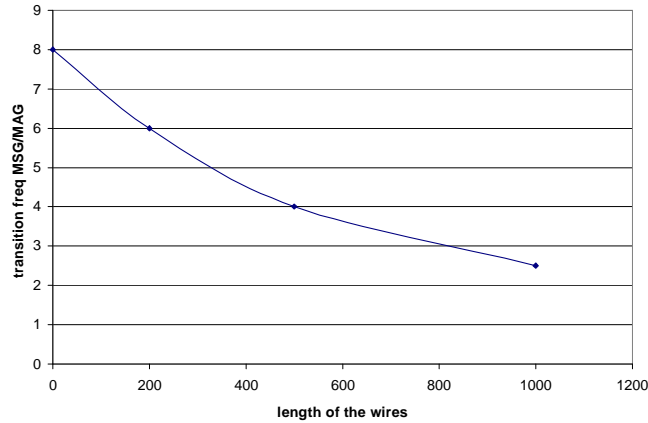


Figure 2–56 : fréquence de transition MSG / MAG d'un transistor 12x75  $\mu\text{m}$  monté en face-up considérant 4 fils de 25  $\mu\text{m}$  de diamètre sur chaque pavé de source en fonction de leur longueur

*ii- Influence du nombre de fils de bonding sur la source*

Pour cette étude, nous avons considéré des fils d'une longueur de 500  $\mu\text{m}$ . La Figure 2–57 expose le MSG / MAG de la structure présentant un nombre de fils variant entre 0 et 8 sur chaque pavé de source, de diamètre 25  $\mu\text{m}$  dans le graphe (a) et 5  $\mu\text{m}$  dans le graphe (b). Nous observons là encore un net décalage vers les fréquences basses de la fréquence de transition entre le MSG et le MAG lorsque le nombre de fils diminue (excepté pour la valeur 0 qui correspond à l'absence de fils, et donc au cas idéal). De plus, ce décalage est plus flagrant lorsque le diamètre considéré est plus faible. En conséquence, plus le nombre de fils en parallèle est élevé et moins la structure sera perturbée dans les fréquences hautes (Figure 2–58).

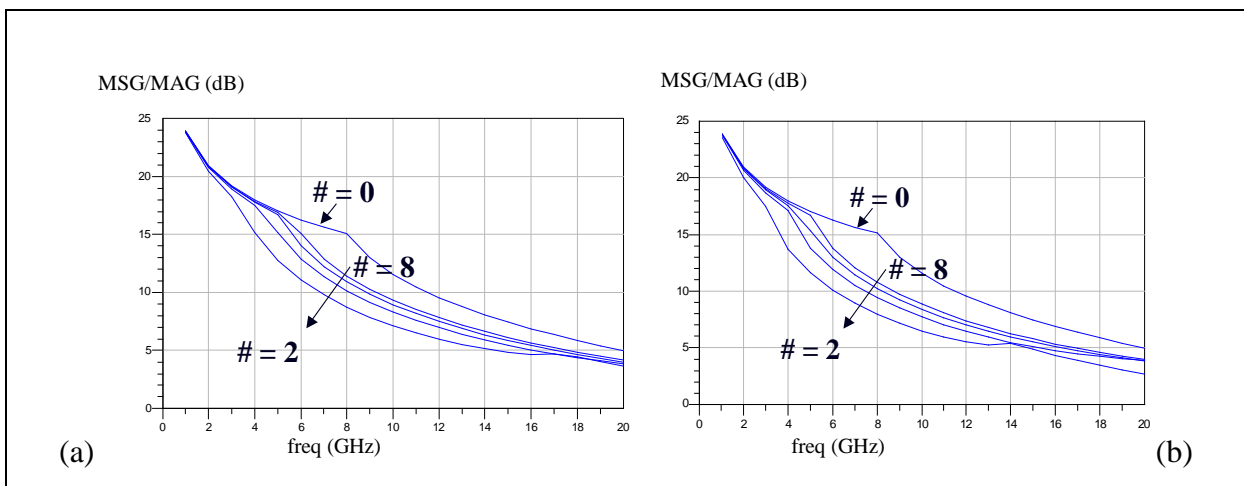


Figure 2–57 : MSG / MAG d'un transistor 12x75  $\mu\text{m}$  monté en face-up considérant de 0 à 8 fils de longueur 500  $\mu\text{m}$  et de diamètre 25  $\mu\text{m}$  (a) et 5  $\mu\text{m}$  (b)

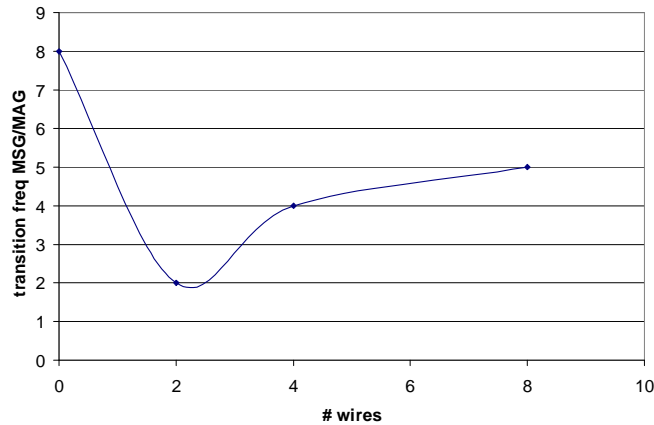


Figure 2–58 : fréquence de transition MSG / MAG d'un transistor 12x75  $\mu\text{m}$  monté en face-up considérant des fils de 500  $\mu\text{m}$  de longueur et 25  $\mu\text{m}$  de diamètre en fonction de leur nombre

*iii- Influence du diamètre des fils de bonding*

Pour cette étude, nous avons considéré 4 fils de bonding de 500  $\mu\text{m}$  de longueur en parallèle sur chaque pavé de source. La Figure 2–59 présente le MSG / MAG de la structure pour des diamètres de fils de 5  $\mu\text{m}$ , 15  $\mu\text{m}$  et 25  $\mu\text{m}$ . Nous notons une faible influence de la variation seule du diamètre des fils sur la fréquence de transition entre le MSG et le MAG. En revanche, nous avons pu vérifier précédemment que la variation du diamètre des fils, couplée à une variation de leur longueur ou de leur nombre avait une influence non négligeable. En effet, nous avons pu remarquer que plus le diamètre des fils est faible et plus le décalage en fréquence de la fréquence de transition MSG / MAG est important.

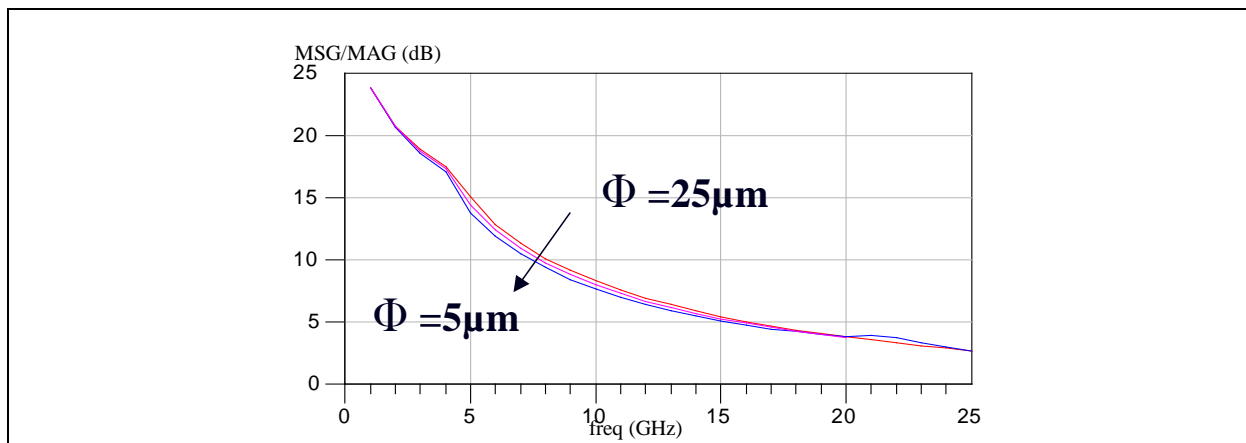


Figure 2–59 : MSG / MAG d'un transistor 12x75  $\mu\text{m}$  monté en face-up considérant 4 fils de longueur 500  $\mu\text{m}$  et de diamètre 5  $\mu\text{m}$ , 15  $\mu\text{m}$  et 25  $\mu\text{m}$

En conséquence, dans le cas de la technologie étudiée, le montage face-up avec fils de bonding est valable pour des circuits travaillant jusqu'à des fréquences maximales de

6 GHz en portant une grande attention à la limitation du nombre de fils, de leur longueur et de leur diamètre.

b/ Report flip-chip

Le report flip-chip consiste à retourner un composant et le déposer sur un substrat de report. Ce substrat est fourni par le laboratoire TIGER. Il s'agit d'un substrat de nitrure d'aluminium AlN, avec des lignes d'excitation coplanaires. Des trous métallisés sont présents tout le long des lignes d'accès de grille et de drain. Au centre de ce substrat, des bumps métalliques sont réalisés, spatialement correspondant aux bumps présents sur le composant lui-même. Un bump est également situé au niveau de la zone active, "face" au pont à air et permet une meilleure gestion de la chaleur. Le composant est donc retourné sur ce substrat et la connexion se fait par l'intermédiaire de ces bumps présent de part et d'autre. La Figure 2–60 montre deux photographies du montage flip-chip d'un composant de développement 12x75  $\mu\text{m}$ .

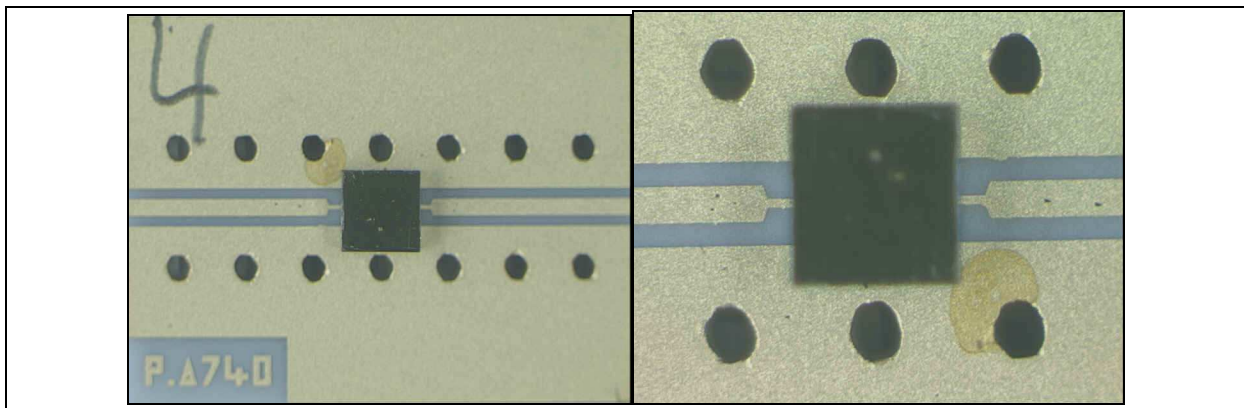


Figure 2–60 : photographies d'un transistor monté en flip-chip

Des mesures ont été effectuées par le laboratoire TIGER sur un composant de même topologie dans les configurations sous pointes et flip-chip. Le transistor considéré présente un développement de grille de 12x75  $\mu\text{m}$  en topologie distribuée. Ce composant a donc été caractérisé on-wafer, puis en montage flip-chip pour une polarisation de ( $V_{gs}=-4\text{V}$  ;  $V_{ds}=5\text{V}$  ;  $I_{ds}=95\text{mA}$ ). La Figure 2–61 expose la comparaison des paramètres S de ces deux montages.

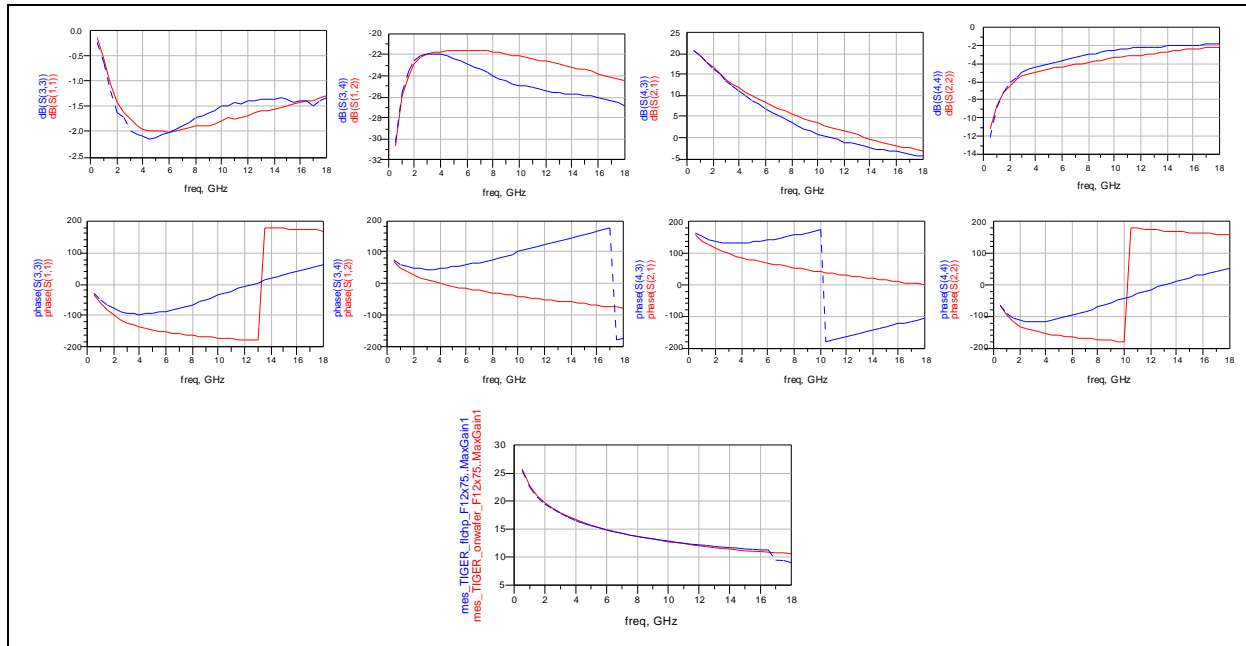


Figure 2–61 : comparaison en module et phase des paramètres S mesurés d'un transistor 12x75 $\mu\text{m}$  distribué en report face-up avec bondings (ligne continue) et en report flip-chip (pointillés)

Nous pouvons noter que les deux configurations présentent un comportement électrique globalement équivalent malgré une décroissance du gain plus rapide concernant le montage flip-chip. La réalisation de circuit MMIC sur GaN n'étant actuellement pas maîtrisée, le report flip-chip constitue donc une solution d'intégration viable du composant.

## Conclusion

Dans ce chapitre, nous nous sommes intéressés à la modélisation hybride de composants. Nous avons brièvement étudié les différentes méthodes d'analyses électromagnétiques. Le principe de l'approche hybride a été détaillé puis appliqué dans un premier temps à un transistor HEMT GaN de faible développement de grille (100 $\mu\text{m}$ , soit deux doigts de 50 $\mu\text{m}$ ). Après validation par une comparaison mesures / modèle de cette approche hybride, nous l'avons appliquée à l'analyse de différents composants et différents montages.

Ainsi, nous avons pu déterminer et valider le modèle hybride d'un transistor de huit doigts de 50 $\mu\text{m}$  (soit 400 $\mu\text{m}$  de développement total) par la mise en cascade de quatre modèles hybrides de deux doigts de même développement unitaire, et ce, sans réaliser de nouvelles simulations électromagnétiques.

Une comparaison des topologies distribuée et parallèle a également été réalisée. Les composants considérés étaient des transistors HEMT GaN de douze doigts de grille de 75 $\mu\text{m}$ . La différence majeure observée concerne le déphasage plus important des signaux en sortie du composant parallèle, et par conséquent une recombinaison de puissance plus délicate. De plus, la topologie parallèle montre une cassure dans le gain maximum, traduisant une stabilité plus sensible.

Par la suite, nous avons exposé la comparaison des topologie coplanaire et microstrip de transistors montrant un comportement électrique du gain équivalent mais des conditions d'adaptation entrée-sortie différentes.

Pour finir, une analyse des reports face-up et flip-chip a été présentée. Nous avons pu observer l'influence des différents paramètres des fils de bondings (nombre, longueur et diamètre) dans le cas du report face-up. Nous en avons déduit une utilisation viable du montage face-up pour des applications limitée à des fréquences basses, jusqu'à 6GHz environ. Au-delà, le report flip-chip doit être considéré. Il reste une alternative d'intégration du composant, étant donné que la technologie limite actuellement la réalisation de circuits MMIC sur GaN.

## Bibliographie

**[2.1]. J. P. TEYSSIER**

"Caractérisation en impulsions des transistors microondes : Application à la modélisation non linéaire pour la C.A.O. des circuits"

*thèse de doctorat soutenue le 13 Janvier 1994, Université de Limoges*

**[2.2]. J. P. VIAUD**

"Modélisation non-linéaire de transistors microondes. Application à la conception d'amplificateurs de puissance en technologie M.M.I.C."

*thèse de doctorat soutenue le 8 Mars 1996, Université de Limoges*

**[2.3]. J. P. TEYSSIER ; R. QUERE ; J. OBREGON**

"Accurate non-linear characterization of microwave semi-conductor devices using pulse measurement technique"

*IEEE MTTs Workshop, Ratingen (Germany), Juin 1991, pages 208 à 212*

**[2.4]. J.P. TEYSSIER ; J. P. VIAUD ; J. J. RAOUX ; R. QUERE**

"Full integrated nonlinear modeling and characterization system of microwave transistors with on-wafer pulsed measurements"

*IEEE MTTs Microwave Symposium Digest, Vol. 3, 1995, pages 1033 à 1036*

**[2.5]. F. GARDIOL**

"Electromagnétisme"

*"Traité d'électricité", Vol. 3, Presses polytechniques et universitaires romandes, ISBN 2-88074-318-4, 1996*

**[2.6]. E. LARIQUE**

"Développement d'une approche hybride couplant des simulateurs électromagnétique et circuit pour la modélisation de composants microondes actifs"

*thèse de doctorat soutenue le 23 Mars 2000, Université de Limoges*

**[2.7]. E. BYK**

"Méthodes d'analyses couplées pour la modélisation globale de composants et modules millimétriques de forte puissance"

*thèse de doctorat soutenue le 12 Décembre 2002, Université de Limoges*

**[2.8]. C. CHANG**

"Amélioration de modèles électrothermiques de composants de puissance de type TBH ou pHEMT et application à la conception optimale de modules actifs pour les radars"

*thèse de doctorat soutenue le 3 Mai 2004, Université de Limoges*

**[2.9]. J. N. REDDY**

"Introduction to the Finite Element Method"

*Ed. McGraw-Hill, ISBN 0-070-51355-4, January 1993*



**[2.10]. B. THON ; D. BARIANT ; S. BILA ; D. BAILLARGEAT ; M. AUBOURG ; S. VERDEYME ; P. GUILLON ; F. THEVENON ; M. ROCHETTE ; J. PUECH ; L. LAPIERRE ; J. SOMBRIN**

“Coupled Padé approximation – finite element method applied to microwave device design”  
*IEEE MTTs Microwave Symposium Digest, 2002, pages 1889 à 1892*

**[2.11]. K. S. YEE**

“Numerical solution of initial boundary value problems involving Maxwell’s equations in isotropic media”  
*IEEE Transactions on Antennas and Propagation, Vol.14, Mai 1966, pages : 302 à 307*

**[2.12]. W. J. R. HOEFER**

“The transmission line matrix (TLM) method”  
“*Numerical Techniques for Microwave and Millimeter Wave Passive Structures*”, Editor Tatsuo ITOH, Ed. Wiley, ISBN 0-471-62563-9, April 1989

**[2.13]. F. BORDEREAU**

“Aide à la conception de circuits et modules hyperfréquences par une méthode globale couplant lois de l’électromagnétisme et des circuits”  
*thèse de doctorat soutenue le 8 Novembre 2000, Université de Limoges*

**[2.14]. C. SABOUREAU**

“Analyses électromagnétiques et methodologies de conception associées, dédiées à l’optimisation de composants et modules millimétriques”  
*thèse de doctorat soutenue le 24 Septembre 2004, Université de Limoges*

**[2.15]. B. THON**

“Intégration de l’analyse électromagnétique dans la mise au point de solutions d’encapsulation. Applications à la conception de modules optoélectroniques à 40 Gbits/s”  
*thèse de doctorat soutenue le 27 Juin 2003, Université de Limoges*

**[2.16]. P. CIAMPOLINI ; P. MEZZANOTTE ; L. ROSELLI ; R. SORRENTINO**

“Accurate and efficient circuit simulation with lumped element FDTD technique”  
*IEEE Transactions on Microwave Theory and Techniques, Vol. 44, Décembre 1996, pages : 2207 à 2215*

**[2.17]. I. WOLFF ; J. KUNISCH**

“The compression approach : a new technique for the analysis of distributed circuits containing nonlinear elements”  
*IEEE MTTs Workshop, Juin 1992, pages 15 à 31*

**[2.18]. A. CIDRONALI ; G. COLLODI ; G. VANNINI ; A. SANTARELLI ; G. MANES**

“A new approach to FET model scaling and MMIC design based electromagnetic analysis”  
*IEEE Transactions on Microwave Theory and Techniques, Vol. 47, Juin 1999, pages 900 à 907*

**[2.19]. E. LARIQUE ; S. MONS ; D. BAILLARGEAT ; S. VERDEYME ; M. AUBOURG ; P. GUILLON ; R. QUERE**

“Electromagnetic analysis for microwave FET modeling”  
*IEEE Microwave and Guided Wave Letters, Vol. 8, No 1, January 1998, pages 41 à 43*

**[2.20]. F. BODEREAU ; D. BAILLARGEAT ; S. VERDEYME ; M. AUBOURG ; P. GUILLON ; G. JARTHON ; E. ROGEAUX ; J.L. CAZAUX**

"Global electromagnetic analysis to help the conception of an active module"

*IEEE MTTs Microwave Symposium Digest, Vol. 3, Juin 2000, pages 1921 à 1924*

**[2.21]. D. BAILLARGEAT ; E. LARIQUE ; S. VERDEYME ; M. AUBOURG ; R. SOMMET ; P. GUILLON**

"Coupled localized and distributed elements analysis applying an electromagnetic software in the frequency domain"

*IEEE MTTs Microwave Symposium Digest, Vol. 2, Juin 1997, pages 1021 à 1024*

**[2.22]. D. BAILLARGEAT**

"Contribution à la réalisation de composants et dispositifs microondes et millimétriques innovants. Intégration de l'analyse électromagnétique dans la mise au point de méthodes de conception"

*HDR soutenue le 9 Décembre 2002, Université de Limoges*

**[2.23]. G. DAMBRINE**

"Caractérisation des transistors à effet de champ : mesure précise de la matrice de répartition et détermination directe du schéma équivalent"

*thèse de doctorat soutenue le 3 Mars 1989, Université de Lille Flandres Artois*





**Chapitre 3 : Analyse et conception  
d'amplificateurs de puissance distribués à  
cellules cascodes sur la bande 4-18GHz**



## Introduction

Les travaux de mesure et de modélisation exposés jusqu'alors dans ce manuscrit représentent des tâches sous la responsabilité de l'IRCOM au sein du contrat européen initié par la DGA dont il a été fait mention précédemment. La finalité de ce projet européen sur une nouvelle filière de composant GaN est la réalisation de trois amplificateurs en bandes S, X et large bande par nos partenaires EADS et THALES-TRT (ALCATEL THALES III-V Lab). Nous avons décidé à l'IRCOM de concevoir, en marge du contrat, un amplificateur de puissance large bande, en prenant pour objectifs les spécifications de l'amplificateur contractuel tout en prenant le risque d'innovations telles que l'adoption de cellules cascodes et l'intégration de composants passifs non caractérisés directement sur la puce GaN afin d'évaluer les potentialités de cette technologie en terme de puissance large bande.

Dans ce cadre, une structure innovante a été conçue au cours de ces travaux. Il s'agit d'un amplificateur de puissance présentant une architecture distribuée à cellules cascodes, fonctionnant sur la bande 4-18 GHz, dont les composants de base sont les transistors HEMTs GaN du contrat. Ce circuit est un montage flip-chip d'une puce de nitrure de gallium (GaN) sur un substrat de report en nitrure d'aluminium (AlN). Ce circuit représente un challenge technologique car il propose un premier pas vers le circuit intégré ; en effet, des capacités MIM et des résistances actives sont intégrées sur le circuit de GaN. Seules les capacités de découplage des accès DC et RF qui sont des composants MIM CMS ainsi que les résistances d'adaptation et les lignes de connexion sont reportées sur la puce d'AlN.

Dans ce chapitre, nous décrivons brièvement les différentes structures adaptées à l'amplification de puissance large bande telles que les architectures résistive et à contre réaction résistive. Par la suite, nous rappellerons la théorie du fonctionnement de l'amplificateur distribué en régime faible signal ainsi que le principe de fonctionnement du montage cascode. Ces principes seront illustrés au travers d'un exemple de conception reposant sur un modèle électrique simplifié (unilatéral) utilisant les paramètres d'un transistor HEMT GaN. Etant donné notre application de puissance, nous présenterons le principe général de l'optimisation en puissance des architectures distribuées reposant sur l'adoption d'un profil d'impédances caractéristiques sur les lignes artificielles de grille et de drain dont

les paramètres peuvent être déterminés en fonction du conjugué de l'admittance optimale en puissance des cellules actives. En particulier dans notre cas, la cellule active est une cellule cascode dont nous présenterons l'adaptation en puissance. Malheureusement, dans cadre de nos travaux, il n'a pas été possible de mettre en œuvre les topologies optimales en puissance car la réalisation d'un profil de capacités en série sur la grille directement sur la puce GaN représentait un risque technologique sur la fiabilité de la réalisation. Néanmoins, l'optimisation de l'architecture a été réalisée en tenant compte des contraintes d'adaptation en puissance des cellules cascode de telle sorte que l'examen des cycles de charge de chaque cellule cascode dans la bande de fréquence montre que les transistors présentent une bonne adaptation en puissance qui permet d'obtenir des résultats très prometteurs sur les simulations en puissance. Même si les risques technologiques mis en œuvre dans cette réalisation ne permettent pas d'assurer l'adéquation entre la réalisation et ces résultats de simulation, ils montrent tout de même clairement que l'avènement d'une réelle technologie MMIC GaN permettra dans un avenir proche de repousser l'état de l'art actuel des performances en puissance sur de telles largeurs de bande de fréquence. Au moment de la rédaction de ce manuscrit, les deux amplificateurs conçus sont en cours de réalisation.



## **I - Amplification de puissance large bande - Analyse de l'amplificateur distribué et de la cellule cascode**

Les amplificateurs sont présents au sein d'un grand nombre de systèmes microondes. Leurs performances doivent répondre à un certain nombre de spécifications imposées par un cahier des charges dépendant de l'application visée (bande d'amplification, gain, linéarité, puissance de sortie, ...). La conception d'un amplificateur de puissance nécessite une méthodologie stricte étant donné la quantité de paramètres en jeu. La caractéristique large bande ajoute encore une difficulté dans la conception. En conséquence, il est important que le concepteur maîtrise le principe de fonctionnement du circuit considéré préalablement à sa conception.

### **1. Les différentes topologies d'amplificateurs de puissance large bande**

[3.1], [3.2], [3.3], [3.4], [3.5], [3.6], [3.7]

En opposition avec les amplificateurs bande étroite, les amplificateurs de puissance large bande couvrent une bande de fréquence au moins égale à une octave, c'est à dire que la fréquence supérieure est au moins égale à deux fois la fréquence inférieure ( $f_{\max} > 2f_{\min}$ ). Certaines applications nécessitent aujourd'hui l'utilisation d'amplificateurs de plus large bande encore, tels que DC-40GHz pour des systèmes optiques.

La difficulté majeure sur de telle largeur de bande est d'obtenir un gain plat et de bonnes adaptations. En effet, on sait que la décroissance naturelle du gain d'un transistor à effet de champ est de 6dB par octave. Par conséquent, le gain total de l'amplificateur global sera limité par le gain maximal du transistor en haute fréquence. Pour obtenir la platitude du gain sur toute la bande, il est nécessaire d'implanter des circuits dissipatifs, destinés à absorber l'excès de puissance aux basses fréquences sans perturber le fonctionnement aux hautes fréquences.

Autre point délicat, il s'agit d'obtenir une adaptation entrée/sortie valable sur toute la bande. Les impédances présentées par le transistor en entrée et en sortie varient en fonction de

la fréquence : elles sont très supérieures à 50 ohms aux basses fréquences et très inférieures à 50 ohms aux hautes fréquences.

Nous présentons succinctement les trois topologies principales d'amplificateurs de puissance large bande permettant de remplir ces critères.

a/ Amplificateur à adaptation résistive

Dans le cas de l'amplificateur à adaptation résistive (Figure 3–1), on insert des résistances à la masse en parallèle sur les accès de grille et de drain du transistor permettant de contrôler le gain en bas de bande. Ces résistances sont découplées par une self inductance en série permettant de limiter leur incidence sur le gain aux hautes fréquences. Ces éléments peuvent être par exemple pris en compte dans les circuits de polarisation du transistor.

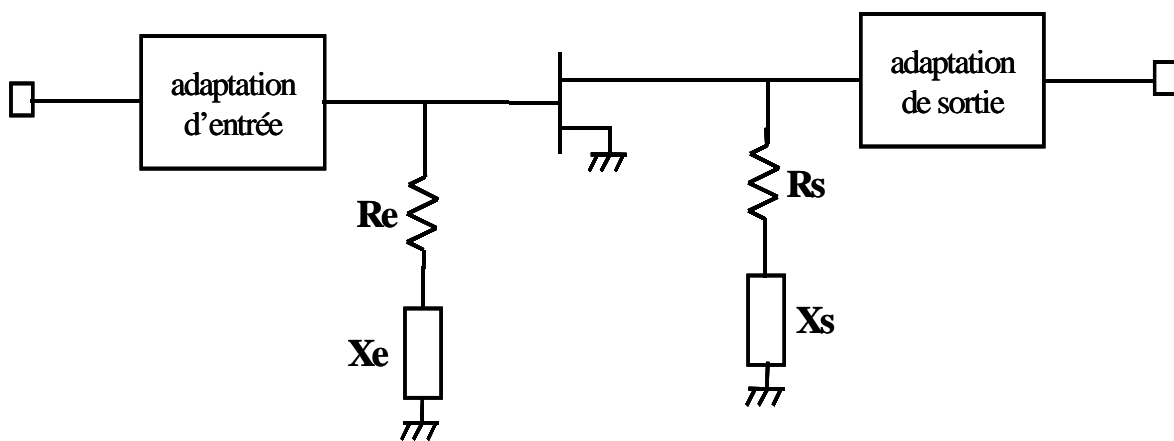


Figure 3–1 : schéma de l'amplificateur à adaptation résistive

Ce type d'amplificateur nécessite l'utilisation de transistors affichant une transconductance  $g_m$  élevée. Or, ces composants présentent également des capacités entrée-sortie élevées, ce qui rend plus complexe la réalisation des circuits d'adaptation.

Cette topologie présente un gain limité mais il est possible de cascader plusieurs étages résistifs afin d'augmenter le gain total de l'amplificateur. Le nombre de cellules élémentaires mises en cascade est limité car plus ce nombre est grand et plus la stabilité de l'ensemble est fragile.

Cette topologie d'amplificateur de puissance reste facile à optimiser pour des applications nécessitant une bande de fonctionnement d'une octave environ. En revanche, la platitude du gain peut être difficile à obtenir et son amplitude reste limitée.

b/ Amplificateur à contre-réaction

L'amplificateur à contre réaction résistive est une autre alternative pour l'obtention d'un fonctionnement large bande (Figure 3–2). Une résistance est placée en parallèle entre les accès de drain et de grille du transistor. Comme dans le cas de l'amplificateur à adaptation résistive, cette résistance permet le contrôle du gain en bas de bande et de l'adaptation d'entrée. Elle est découplée par une self en série aux hautes fréquences pour limiter son effet et ne pas faire chuter le gain en haut de bande.

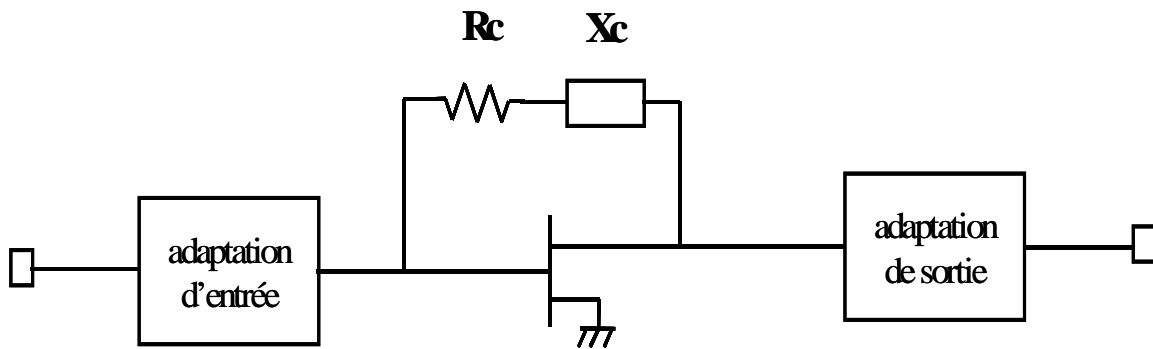


Figure 3–2 : schéma de l'amplificateur à contre-réaction

Cette topologie nécessite également des transistors à forte transconductance  $g_m$ , présentant des capacités d'entrée et de sortie élevées, et conduisant à une certaine complexité de réalisation des circuits d'adaptation.

Afin d'augmenter le gain sur la bande, il est possible de cascader plusieurs cellules unitaires à contre-réaction. Cette mise en cascade permet d'obtenir un gain plus élevé et plus plat sur une plus large bande.

Ainsi, l'amplificateur à contre-réaction résistive convient à des applications couvrant une à deux octaves tout en présentant un gain plat.

c/ Amplificateur distribué

Dans le cas de l'amplificateur distribué, il n'est plus question de compenser les capacités entrée-sortie qui limitent la bande passante des amplificateurs traditionnels. Il s'agit au contraire de se servir de ces éléments pour transmettre le signal. En effet, la distribution de plusieurs transistors le long de deux lignes (Figure 3–3) permet l'addition des

transconductances des composants alors que leurs capacités parasites sont insérées dans les lignes artificielles de transmission entrée-sortie.

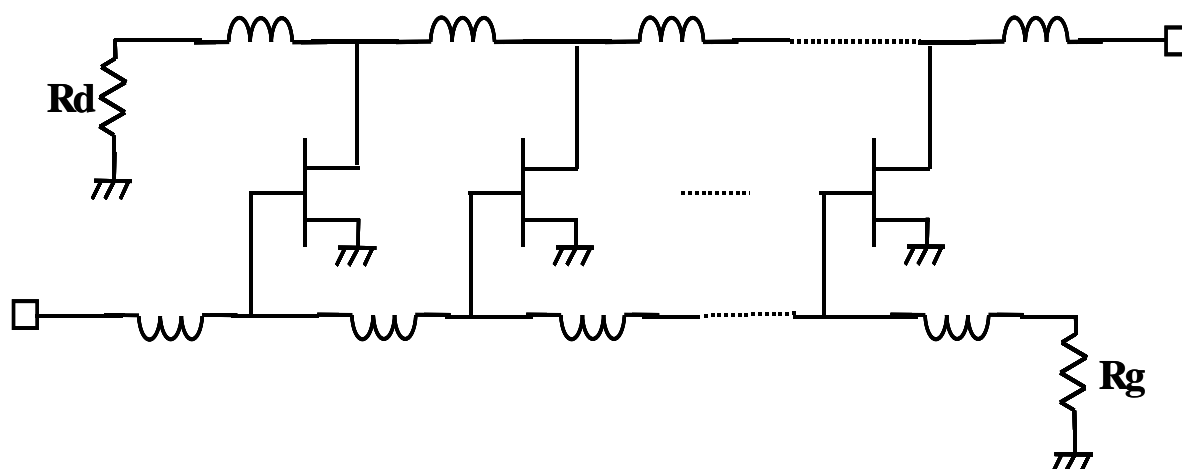


Figure 3-3 : schéma de l'amplificateur distribué

Les lignes d'entrée et de sortie de l'amplificateur distribué sont terminées par une charge théoriquement égale à leur impédance caractéristique respective. Ainsi, l'excès de puissance aux basses fréquences est absorbé par ces charges, permettant d'obtenir un gain plat sur la bande et de bonnes adaptations.

Les cellules distribuées peuvent être composées de transistors seuls ou bien de circuits plus ou moins complexes, tels que des cellules cascodes. Jusqu'à une certaine limite, plus on considère de cellules distribuées et plus le gain augmente mais en raison des pertes induites par les résistances entrée sortie des transistors sur les lignes artificielles, la bande diminue. Au-delà d'un nombre limite de transistors fixé par ces pertes, le gain sature. Afin d'atteindre des niveaux de gain plus importants, il faut considérer la mise en cascade de plusieurs étages d'amplificateurs distribués ou encore d'un amplificateur distribué référence matrix (constitués de  $N$  étages de  $M$  cellules connectés par des lignes de transmission).

La topologie distribuée d'amplificateur de puissance permet d'obtenir un gain très plat sur une très large bande (supérieure à la décade). Cependant, certains critères sont essentiels à respecter, tels que l'égalité des vitesses de phase entre deux cellules pour assurer la recombinaison en puissance des signaux. De plus, l'optimisation de ce circuit reste complexe.

Nous allons nous intéresser plus longuement au principe de fonctionnement de l'amplificateur distribué de puissance.

## **2. Etat de l'art des amplificateurs de puissance à base de HEMTs GaN**

[3.11], [3.12], [3.13], [3.14]

La technologie sur GaN est encore jeune et souvent immature. Les publications concernant la conception d'amplificateurs de puissance basée sur cette technologie restent peu nombreuses. Le Tableau 3-1 présente l'état de l'art des amplificateurs de puissance à base de transistors HEMTs GaN à notre connaissance à ce jour.

bande de freq (GHz)	puiss de sortie (W)	Raj (%)	gain linéaire (dB)	Vds (V)	périphérie de grille (mm)	Topologie	Substrat	company	date de publication
4-8.5	0.708	42	10	15	1.5	push-pull + Balun	SiC	Cornell Univ. / Purdue Univ.	Nov. 2003
6-10	14.1	25	4.5	25	4	single stage ; flip-chip on AlN	SiC	USCB	June 2000
3-10	4.5-8.5	5-20	7	24	4	4-way binary Wilkinson combiner ; flip-chip on AlN	sapphire	USCB	Dec. 2000
DC-8	3-6 (3-8GHz)	31 (peak)	13	25	1	3 distributed cascode cells	SiC	Cornell Univ. / Purdue Univ.	Dec. 2001

Tableau 3-1 : état de l'art des amplificateurs de puissance à base de HEMTs GaN

## **3. Principe de fonctionnement et analyse de l'amplificateur distribué en bas niveau**

[3.2], [3.3], [3.4], [3.5], [3.6], [3.7], [3.15], [3.16]

Nous allons rappeler dans cette section, le principe de fonctionnement de l'amplificateur distribué dit "simple", c'est-à-dire au sein duquel les cellules distribuées sont des transistors source commune. Cette étape d'étude représente la détermination d'un certain

nombre de critères pour la conception d'un amplificateur distribué, donnant en effet des indications sur la taille des composants à considérer ou bien encore le nombre de transistors à utiliser. Afin de rendre l'analyse de cette topologie d'amplificateur plus aisée, nous considérerons ici le transistor comme un composant unilatéral, en se basant sur le schéma équivalent montré dans la Figure 3-4.

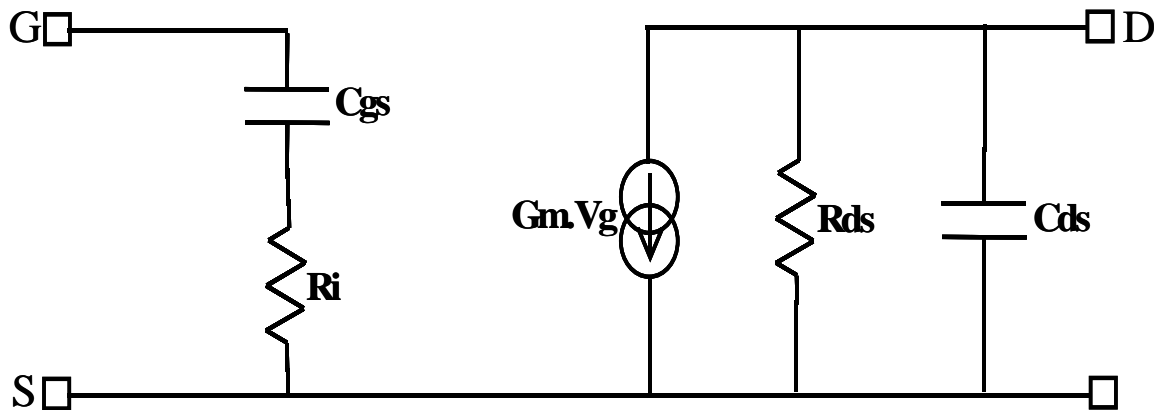


Figure 3-4 : schéma unilatéral du transistor HEMT

a/ Principe de fonctionnement

L'amplificateur distribué se compose de transistors distribués le long de deux lignes de transmission comme le montre la Figure 3-5. Ainsi, comme dans le cas de la mise en parallèle de transistors, on bénéficie de l'addition des transconductances des composants. Par contre, la différence majeure est que lors de la mise en parallèle classique de transistors, les capacités parasites d'entrée et de sortie des composants augmentent, ayant pour effet de limiter la fréquence maximale de fonctionnement de l'ensemble. Dans le cas de l'amplificateur distribué, ces capacités parasites sont associées à des inductances de manière à créer des lignes de transmission artificielles présentant une très large bande de fonctionnement. De cette manière, les capacités ne constituent plus un obstacle au fonctionnement large bande de l'amplificateur mais deviennent des éléments de transmission du signal. Alors que dans un amplificateur conventionnel le produit 'gain - bande passante' reste constant (car le gain augmente mais les capacités entrée-sortie augmentent en conséquence), dans un amplificateur distribué, on améliore (dans une certaine limite) la bande passante sans dégrader le gain. Cette topologie est donc d'un grand intérêt dans le cadre d'applications d'amplification très large bande.

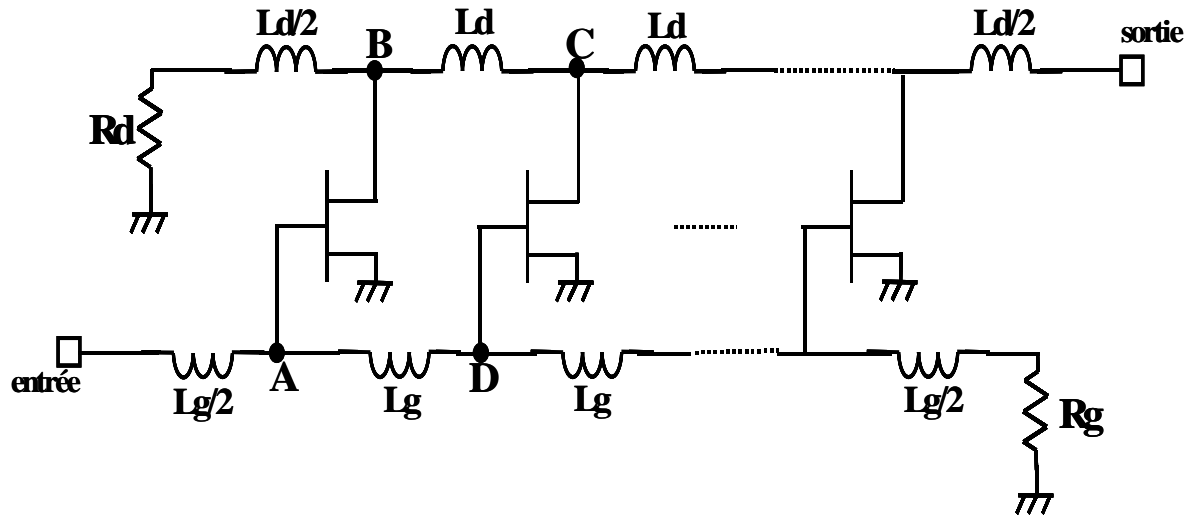


Figure 3-5 : schéma de principe d'un amplificateur distribué simple

Les transistors sont placés en parallèle dans la structure, reliés par des inductances  $L_g$ , pour la ligne d'entrée, et  $L_d$ , pour la ligne de sortie. Ces lignes sont terminées par des résistances de charge  $R_g$  et  $R_d$ , théoriquement égales aux impédances caractéristiques de ces lignes artificielles LC intégrant les capacités  $C_{gs}$  et  $C_{ds}$  des transistors. Lorsque le signal injecté à l'entrée de l'amplificateur se propage le long de la ligne d'entrée, une partie de ce signal est prélevée par chaque transistor à des phases différentes. Il est ensuite amplifié par la transconductance du composant puis réinjecté sur la ligne de drain, sur laquelle il se propage vers la sortie du circuit. La partie restante du signal qui n'a été prélevée par aucun transistor, est absorbée en bout de ligne de grille par la charge adaptée  $R_g$ .

En se basant sur le schéma de la Figure 3-5, on comprend que le signal prélevé en A par le premier transistor et le signal prélevé en D par le second transistor doivent se recombiner en phase au point C pour produire l'amplification de puissance attendue vers la sortie. Cette hypothèse sera vérifiée si l'on vérifie l'égalité des vitesses de phase des chemins A-B-C et A-D-C. Ainsi, les signaux de la ligne de drain se propageant dans la direction de la sortie s'additionneront en phase alors que ceux se propageant dans le sens inverse vers la charge  $R_d$  s'annuleront. Dans le cas où il y aurait une partie du signal non annulée se propageant dans le sens inverse de la sortie, elle serait absorbée par la charge adaptée  $R_d$  en bout de ligne de drain. C'est pourquoi une attention toute particulière sera portée à la détermination des lignes de grille et de drain inter-transistors afin de respecter cette égalité des vitesses de phase.

En observant les schémas des Figure 3-4 et Figure 3-5, on peut voir que l'étude de l'amplificateur distribué revient à étudier deux lignes artificielles d'entrée et de sortie couplées par les éléments intrinsèques des transistors (Figure 3-6) :

- une ligne d'entrée de grille formée par les inductances  $L_g$  associées à la capacité d'entrée du transistor  $C_{gs}$  en série avec la résistance de canal  $R_i$  ;
- une ligne de sortie de drain formée par les inductances  $L_d$  associées au circuit parallèle de sortie du transistor réalisé par la capacité  $C_{ds}$  et la résistance  $R_{ds}$  ;
- la source de courant  $g_m$  assure le couplage actif entre ces deux lignes artificielles.

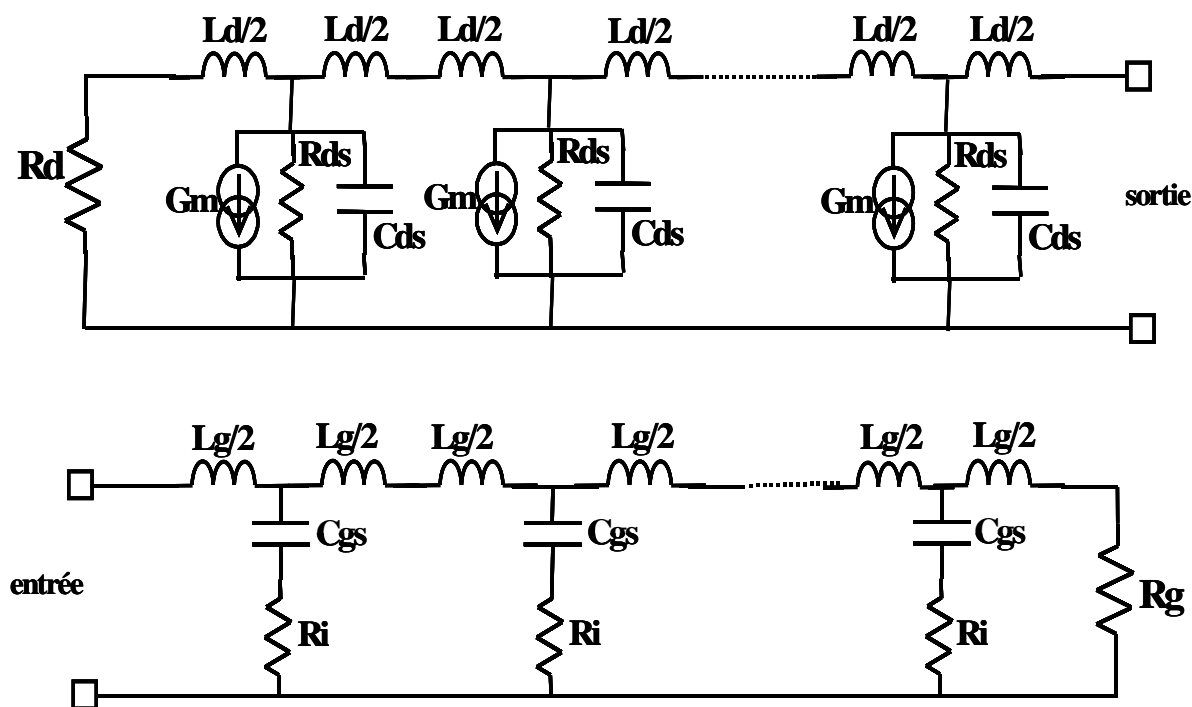


Figure 3-6 : schéma équivalent des lignes de grille et de drain

b/ Etude des lignes de grille et de drain

*i- Fréquence de coupure*

Si l'on considère le cas d'un amplificateur distribué simple, les lignes de grille et de drain peuvent être vues comme des filtres passe-bas LC. En supposant la ligne terminée par une charge égale à son impédance caractéristique, ne présentant donc pas de réflexions, c'est-



à-dire équivalente à une ligne infinie, et en posant également que  $\omega R_i C_{gs} \ll 1$ , nous déterminons la fréquence de coupure de la ligne de grille comme étant :

$$f_c = \frac{1}{\pi \sqrt{L_g \cdot C_{gs}}} \quad (\text{eq. 3-1})$$

On observe ici l'influence de la capacité de sortie  $C_{gs}$  du transistor. En effet, plus la valeur de cette capacité est grande et plus la bande passante de la ligne de grille, et donc de l'amplificateur complet est réduite. En conséquence, ce constat impose au concepteur un critère de choix de la taille du transistor à considérer en fonction de sa fréquence maximale de bande passante car nous savons que la capacité  $C_{gs}$  est directement proportionnelle au développement de grille du composant. Le concepteur devra donc choisir le composant actif de façon à faire un compromis entre le gain et la bande passante de l'amplificateur.

*ii- Impédances caractéristiques des lignes de grille et de drain*

La détermination des impédances caractéristiques des lignes de grille et de drain est une étape essentielle de la conception. En effet, une ligne ne présentera pas d'onde stationnaire si elle est fermée sur son impédance caractéristique, n'entraînant ainsi aucune réflexion de l'énergie qui se propage puisque celle-ci est absorbée par la charge. La ligne est alors dite adaptée.

L'impédance caractéristique d'une ligne de transmission est déterminée par la relation suivante :

$$Z_c = \sqrt{Z_{co} \cdot Z_{cc}} \quad (\text{eq. 3-2})$$

avec  $Z_{co}$  et  $Z_{cc}$  représentant l'impédance d'entrée de la ligne chargée respectivement sur un circuit ouvert et sur un court-circuit.

Une ligne de transmission peut-être décomposée en cellules élémentaires de structure T ou  $\pi$  dont les topologies sont données dans la Figure 3-7. A partir de ces circuits, on en déduit les impédances caractéristiques des sections de ligne selon leur structure (eq. 3-3 et eq. 3-4).

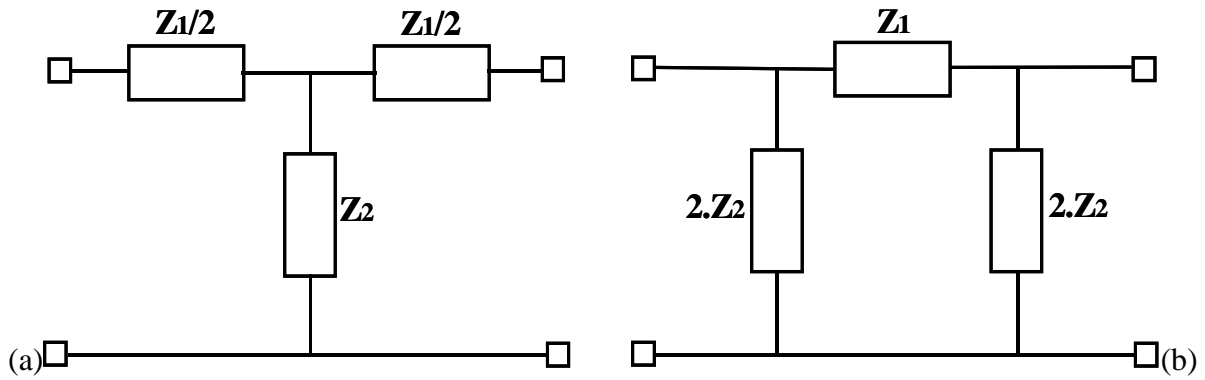


Figure 3-7 : schémas des cellules élémentaires en T (a) et  $\pi$  (b) d'une ligne de transmission

$$Z_{C_T} = \sqrt{Z_1 Z_2} \sqrt{1 + \frac{Z_1}{4 Z_2}} \quad (\text{eq. 3-3})$$

$$Z_{C_\pi} = \frac{\sqrt{Z_1 Z_2}}{\sqrt{1 + \frac{Z_1}{4 Z_2}}} \quad (\text{eq. 3-4})$$

Si l'on décompose les lignes de grille et de drain en cellules élémentaires, on obtient les circuits de la Figure 3-8.

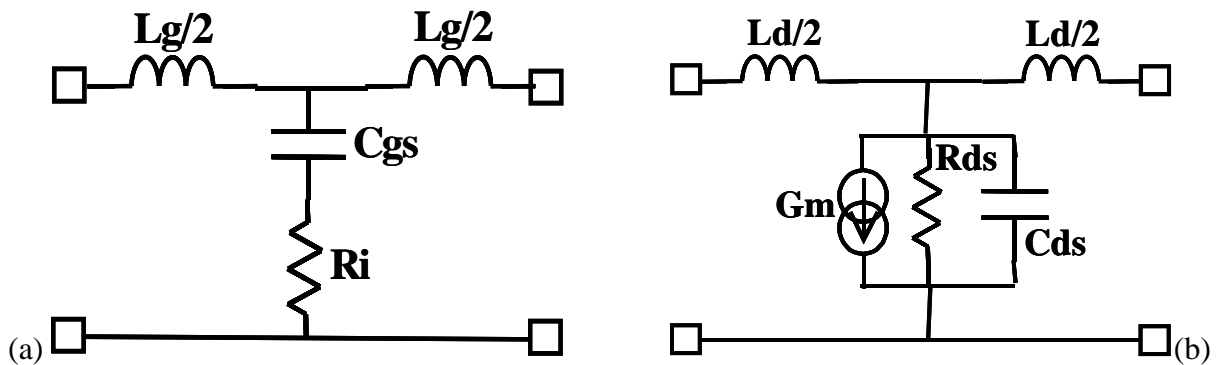


Figure 3-8 : schémas des cellules élémentaires des lignes de grille (a) et de drain (b) d'un amplificateur distribué simple

Par analogie entre les circuits de la Figure 3-8 et le schéma d'une cellule élémentaire de structure T d'une ligne de transmission (Figure 3-7-(a)), nous pouvons en déduire les impédances  $Z_1$  et  $Z_2$  considérées des lignes de grille et de drain :

Pour la ligne de grille :  $Z_{1g} = j \cdot \omega \cdot L_g$  (eq. 3-5)

$$Z_{2g} = R_i + \frac{1}{j \cdot \omega \cdot C_{gs}} \quad (\text{eq. 3-6})$$

Pour la ligne de drain :  $Z_{1d} = j \cdot \omega \cdot L_d \quad (\text{eq. 3-7})$

$$Z_{2d} = \frac{R_{ds}}{1 + j \cdot \omega \cdot R_{ds} \cdot C_{ds}} \quad (\text{eq. 3-8})$$

Ainsi, à partir des expressions données par les équations eq. 3-3 à eq. 3-8, nous en déduisons les expressions des impédances caractéristiques des lignes de grille et de drain de l'amplificateur distribué simple selon la configuration considérée T ou  $\pi$  :

$$Z_{cgT} = \sqrt{\frac{L_g}{C_{gs}}} \sqrt{1 - \frac{L_g \cdot C_{gs} \cdot \omega^2}{4} + j \cdot R_i \cdot C_{gs} \cdot \omega} \quad (\text{eq. 3-9})$$

$$Z_{cdT} = \sqrt{\frac{L_d}{C_{ds}}} \sqrt{1 - \frac{L_d \cdot C_{ds} \cdot \omega^2}{4} - \frac{1}{1 + j \cdot R_{ds} \cdot C_{ds} \cdot \omega}} \quad (\text{eq. 3-10})$$

$$Z_{cg\pi} = \sqrt{\frac{L_g}{C_{gs}}} \cdot \frac{1 + j \cdot R_i \cdot C_{gs} \cdot \omega}{\sqrt{1 - \frac{L_g \cdot C_{gs} \cdot \omega^2}{4} + j \cdot R_i \cdot C_{gs} \cdot \omega}} \quad (\text{eq.3-11})$$

$$Z_{cd\pi} = \sqrt{\frac{L_d}{C_{ds}}} \cdot \frac{\sqrt{1 - \frac{1}{1 + j \cdot R_{ds} \cdot C_{ds} \cdot \omega}}}{\sqrt{1 - \frac{L_d \cdot C_{ds} \cdot \omega^2}{4} + j \frac{L_d \cdot \omega}{4 R_{ds}}}} \quad (\text{eq.3-12})$$

En observant ces expressions, on remarque que les impédances caractéristiques des lignes de grille et de drain dépendent de la fréquence. Les résistances de charge  $R_g$  et  $R_d$  de ces lignes ne permettront donc pas de réaliser une adaptation correcte sur toute la bande de fréquence d'utilisation. Le concepteur devra alors porter une certaine attention aux effets des réflexions sur la charge qui seront critiques aux hautes fréquences.

iii- Constantes de propagation

D'une manière générale, la constante de propagation  $\theta$  du signal le long d'une ligne est donnée par la relation :

$$\theta = \alpha + j\beta \quad (\text{eq. 3-13})$$

où  $\alpha$  représente l'atténuation et  $\beta$  le déphasage imposés par la ligne au signal.

Afin de déterminer cette constante de propagation des lignes de grille et de drain de l'amplificateur distribué, nous définissons les matrices chaînes d'une ligne,  $C_l$  (eq. 3-14) et d'une cellule élémentaire de structure T,  $C_T$  (eq. 3-15) :

$$C_l = \begin{bmatrix} ch\theta & Z_c.sh\theta \\ \frac{sh\theta}{Z_c} & ch\theta \end{bmatrix} \quad (\text{eq. 3-14})$$

$$C_T = \begin{bmatrix} 1 + \frac{Z_1}{2Z_2} & Z_1 \left( 1 + \frac{Z_1}{4Z_2} \right) \\ \frac{1}{Z_2} & 1 + \frac{Z_1}{2Z_2} \end{bmatrix} \quad (\text{eq. 3-15})$$

A partir de ces deux matrices (eq. 3-14, 3-15), nous en déduisons :

$$ch\theta = 1 + \frac{Z_1}{2Z_2} \quad (\text{eq. 3-16})$$

Dans le cas d'une ligne à faibles pertes, c'est-à-dire où  $\alpha$  est faible, nous admettons les approximations suivantes :

$$ch\alpha \approx 1$$

$$sh\alpha \approx \alpha$$

Ainsi, en considérant l'équation eq. 3-13, on détermine :

$$\text{ch } \theta = \text{ch} (\alpha + j.\beta) = \text{ch } \alpha . \text{ch} (j.\beta) + \text{sh } \alpha . \text{sh} (j.\beta)$$

$$\text{ch } \theta \approx \cos \beta + j.\alpha.\sin \beta \quad (\text{eq. 3-17})$$

Par analogie entre les équations eq. 3-16 et eq. 3-17, on obtient :

$$\cos \beta = \text{Re} \left( 1 + \frac{Z_1}{2Z_2} \right) \quad (\text{eq. 3-18})$$

$$\alpha \sin \beta = \text{Im} \left( 1 + \frac{Z_1}{2Z_2} \right) \quad (\text{eq. 3-19})$$

Si l'on considère également les égalités eq. 3-5, 3-6, 3-7, 3-8, nous pouvons déduire le déphasage et l'atténuation des lignes de grille et de drain :

$$\alpha_g = \frac{\omega.R_i.C_{gs}\sqrt{L_g.C_{gs}.\omega^2}}{\sqrt{4+(2R_i.C_{gs}.\omega)^2-L_g.C_{gs}.\omega^2}} \quad (\text{eq. 3-20})$$

$$\beta_g = \arccos \left[ 1 - \frac{L_g.C_{gs}.\omega^2}{2[1+(R_i.C_{gs}.\omega)^2]} \right] \quad (\text{eq. 3-21})$$

$$\alpha_d = \sqrt{\frac{L_d}{C_{ds}}} \cdot \frac{1}{R_{ds}\sqrt{4-L_d.C_{ds}.\omega^2}} \quad (\text{eq. 3-22})$$

$$\beta_d = \arccos \left[ 1 - \frac{L_d.C_{ds}.\omega^2}{2} \right] \quad (\text{eq. 3-23})$$

Afin de mieux illustrer cette étude analytique, le Tableau 3-2 recense les valeurs des paramètres intrinsèques d'un transistor pHEMT GaN de développement de grille 8x50µm ainsi que les valeurs des selfs L<sub>g</sub> et L<sub>d</sub> et les résistances de charge R<sub>g</sub> et R<sub>d</sub> d'une configuration distribuée simple. Ces valeurs ont été obtenues après optimisation de l'amplificateur distribué pour réaliser un gain plat de 13,5dB sur une bande de fréquence 6-18GHz en se basant sur une structure à 4 composants actifs. Il faut noter qu'il a été difficile

d'obtenir un gain plat et que la bande obtenue ne présente pas une coupure franche. De plus, les paramètres S en réflexion ne sont pas vraiment satisfaisants (Figure 3–9).

$C_{gs}$ (fF)	$R_i$ ( $\Omega$ )	$C_{ds}$ (fF)	$R_{ds}$ ( $\Omega$ )	$g_m$ (mS)	$L_g$ (pH)	$L_d$ (pH)	$R_g$ ( $\Omega$ )	$R_d$ ( $\Omega$ )
224,0	1,0	36,0	128,2	88,7	271,1	676,8	50	50

Tableau 3–2 : valeurs des éléments des lignes de grille et drain

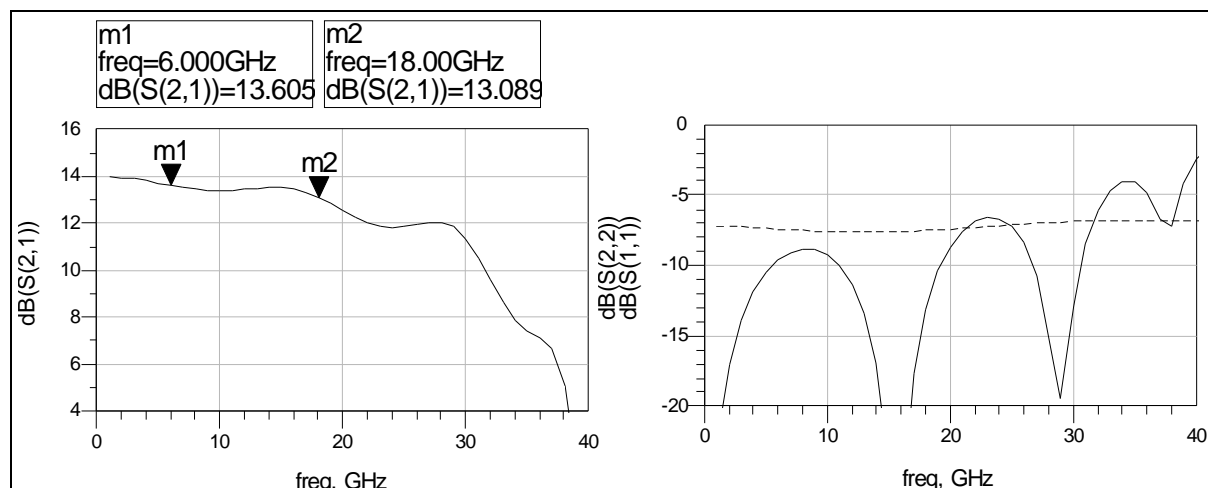


Figure 3–9 : gain et paramètres S11 (ligne continue) et S22 (pointillés) d'un amplificateur distribué simple présentant les éléments du Tableau 3–2

A ces remarques sur cette configuration simple s'ajoute le non respect de l'égalité des vitesses de phase. En effet, la Figure 3–10 met en évidence l'évolution des déphasages des lignes de grille et de drain en fonction de la fréquence en considérant les valeurs des éléments du Tableau 3–2. Nous pouvons observer que ces paramètres ne sont pas équivalents, surtout en hautes fréquences. Il en résulte une mauvaise recombinaison des signaux sur la ligne de sortie de l'amplificateur. La capacité  $C_{gs}$  étant beaucoup plus grande que la capacité  $C_{ds}$ , il faudrait une self  $L_d$  très importante pour compenser cette différence. Par conséquent, nous avons été amenés à considérer une topologie particulière d'amplificateur distribué permettant de remédier à cette différence de phase.

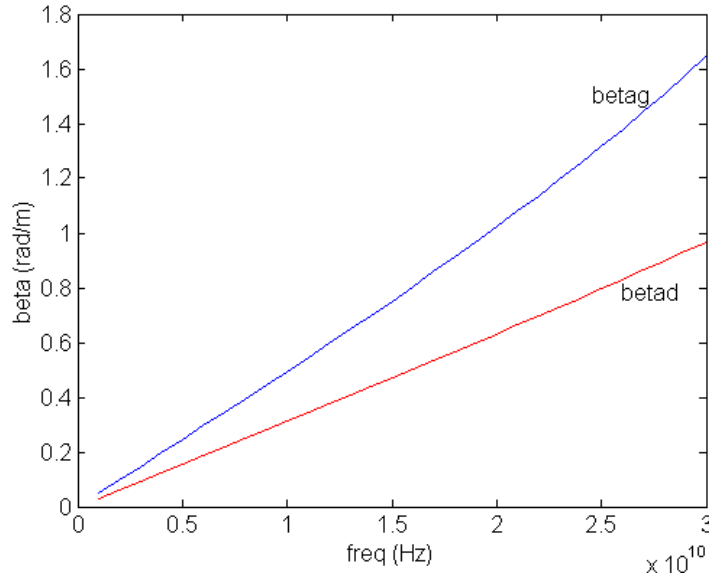


Figure 3–10 : déphasages des lignes de grille et de drain en fonction de la fréquence

Configurations particulières :

Une analyse rapide des égalités à respecter lors de la conception d'un amplificateur distribué permet de comprendre les difficultés de la structure distribuée simple à satisfaire ces critères. En effet, Si l'on note  $V_{p_g}$  et  $V_{p_d}$  les vitesses de phase des lignes de grille et de drain, ainsi que  $Z_{c_g}$  et  $Z_{c_d}$  leur impédance caractéristique, nous pouvons écrire :

$$V_{p_g} = \frac{1}{\sqrt{L_g \cdot C_{gs}}} \qquad V_{p_d} = \frac{1}{\sqrt{L_d \cdot C_{ds}}}$$

$$Z_{c_g} = \sqrt{\frac{L_g}{C_{gs}}} \qquad Z_{c_d} = \sqrt{\frac{L_d}{C_{ds}}}$$

Dans le cas où les vitesses de phase des lignes de grille et de drain sont égales, nous pouvons dire que :  $L_g \cdot C_{gs} = L_d \cdot C_{ds}$ . (eq. 3-24)

Ainsi, nous pouvons écrire :  $Z_{c_d} = \frac{C_{gs}}{C_{ds}} \cdot Z_{c_g}$ . (eq. 3-25)

Le schéma équivalent petit signal d'un transistor à effet de champ présente une capacité d'entrée  $C_{gs}$  beaucoup plus grande que la capacité de sortie  $C_{ds}$ . Dans une configuration simple d'amplificateur distribué, ce constat est perturbateur puisqu'il traduit la

nécessité d'une forte valeur de  $L_d$  afin de respecter l'égalité des vitesses de phase ainsi qu'une impédance caractéristique élevée de la ligne de drain, difficile à adapter en large bande. Nous observons également une fréquence de coupure faible de la ligne de grille, limitative pour l'amplificateur complet ainsi que de fortes pertes imposées par cette ligne.

Afin de pallier à ces problèmes limitant les performances de l'amplificateur distribué, des configurations particulières ont été envisagées. Nous présentons maintenant deux topologies visant à réduire, voire à annuler, la différence de valeurs des capacités d'entrée et de sortie des lignes artificielles de grille et de drain.

➤ Capacité additionnelle en parallèle sur le drain :

Dans cette configuration, on ajoute une capacité en parallèle sur le drain des composants actifs (Figure 3–11). Cette capacité s'ajoute à la capacité de sortie  $C_{ds}$  des transistors permettant d'augmenter la capacité équivalente de sortie et donc d'égaliser la valeur de la capacité d'entrée  $C_{gs}$ .

$$C_{ad} = C_{gs} - C_{ds}$$

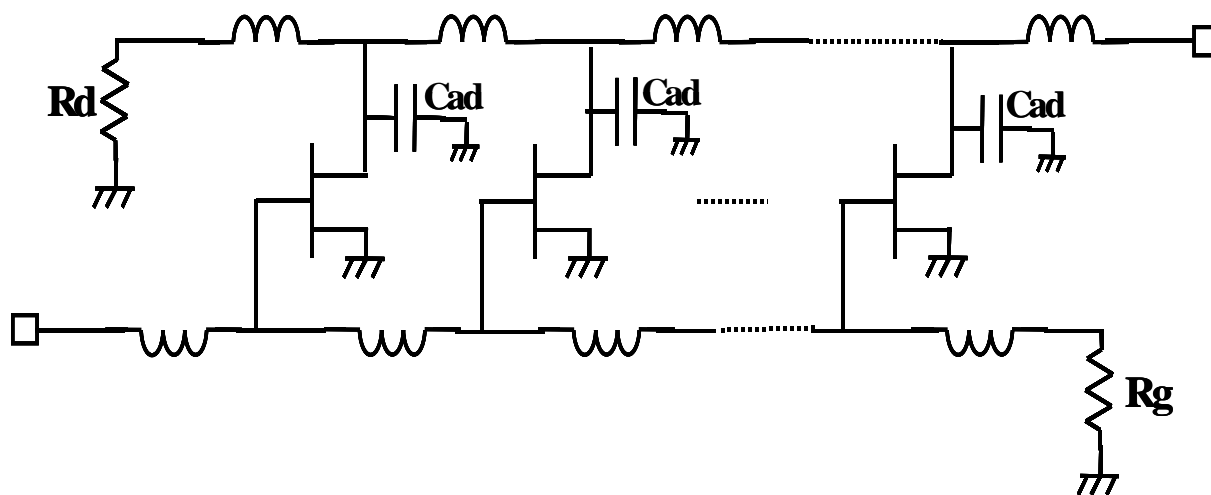


Figure 3–11 : structure d'amplificateur distribué simple avec capacité additionnelle en parallèle sur le drain

Ainsi, dans l'hypothèse où la capacité équivalente de sortie est égale à la capacité  $C_{gs}$ , et d'après la relation de l'équation eq. 3-24, l'égalité des vitesses de phase peut être obtenue pour des valeurs d'inductance  $L_d$  faibles et égales aux inductances  $L_g$ . De plus, l'augmentation de la capacité équivalente de sortie entraîne une diminution de l'impédance



caractéristique de la ligne de drain (eq. 3-25). Ceci a pour effet une réduction du gain de l'amplificateur pouvant être compensée par un nombre plus important de composants actifs.

➤ Capacité additionnelle en série sur la grille :

Dans cette configuration, une capacité  $C_{ag}$  est ajoutée en série sur la grille des composants actifs (Figure 3-12). Cette capacité est alors en série avec la capacité d'entrée  $C_{gs}$  des transistors, induisant une diminution de la capacité équivalente d'entrée.

$$C_{ag} = \frac{C_{gs} \cdot C_{ds}}{C_{gs} - C_{ds}}$$

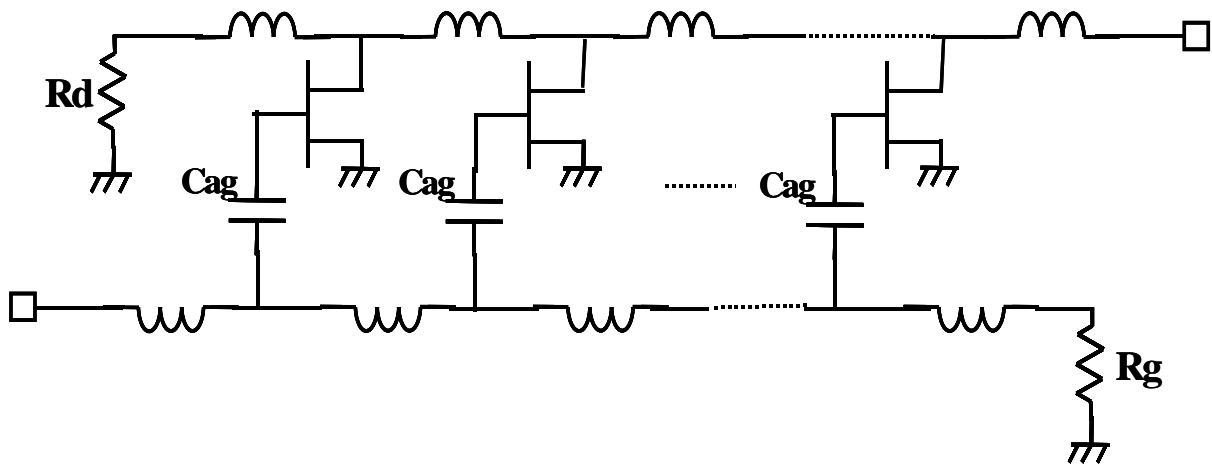


Figure 3-12 : structure d'amplificateur distribué simple avec capacité additionnelle en série sur la grille

En réduisant l'écart des valeurs de la capacité de sortie  $C_{ds}$  et de la capacité équivalente d'entrée, l'égalité des vitesses de phase peut être obtenue à l'aide de faibles valeurs d'inductance  $L_d$ . L'élément  $C_{ag}$  permet de limiter également les pertes des lignes de grille et de drain, entraînant une augmentation de la bande passante de l'amplificateur. En revanche, le gain subit là encore une réduction mais cet effet peut être compensé par un nombre de composants actifs plus important étant donné la diminution des pertes de grille.

D'autres configurations permettent d'améliorer les performances de l'amplificateur distribué simple. Nous citons par exemple l'amplificateur distribué à double ligne de grille, ou encore l'amplificateur à transistors à double grille.

Dans le cadre de notre étude, nous avons considéré la topologie incluant une capacité additionnelle en série sur la grille des transistors. Ainsi, en optimisant la valeur de cette capacité que nous noterons  $C_{ag}$  (Tableau 3-3), nous obtenons une capacité d'entrée équivalente  $C_{gs}'$  de 121fF, soit à peu près la moitié de la capacité  $C_{gs}$  du transistor. A l'aide de cette capacité, nous avons pu obtenir un gain plat de 9,2dB sur une bande 6-41GHz. Les paramètres en réflexion sont satisfaisants jusqu'à une fréquence de 50GHz (Figure 3-13). De plus, la Figure 3-14 montre l'influence de cette capacité  $C_{ag}$  sur l'égalité des déphasages induit par les lignes de grille et de drain.

$C_{gs}$ (fF)	$C_{ag}$ (fF)	$R_i$ ( $\Omega$ )	$C_{ds}$ (fF)	$R_{ds}$ ( $\Omega$ )	$g_m$ (mS)	$L_g$ (pH)	$L_d$ (pH)	$R_g$ ( $\Omega$ )	$R_d$ ( $\Omega$ )
224,0	260,7	1,0	36,0	128,2	88,7	271,1	676,8	50	50

Tableau 3-3 : valeurs des éléments des lignes de grille et drain incluant une capacité additionnelle  $C_{ag}$

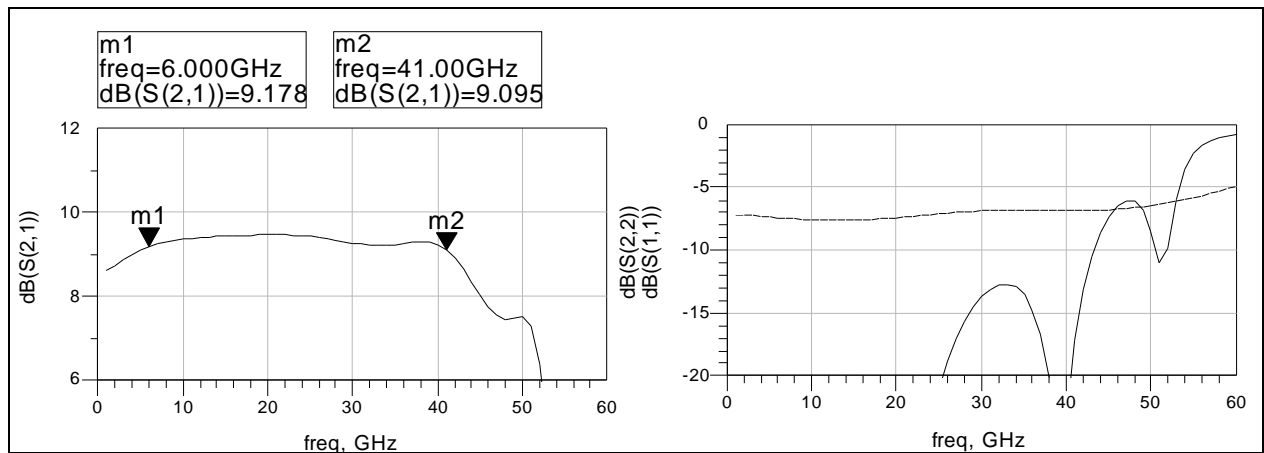


Figure 3-13 : gain et paramètres S11 (ligne continue) et S22 (pointillés) d'un amplificateur distribué simple présentant les éléments du Tableau 3-3

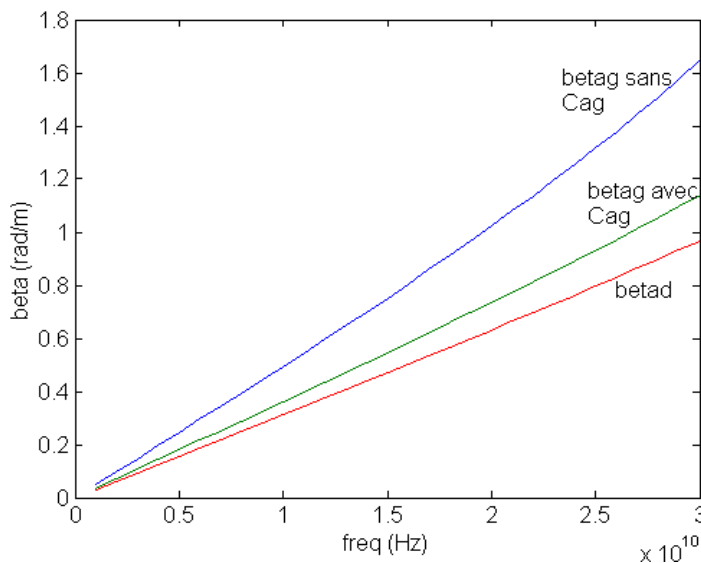


Figure 3-14 : déphasages des lignes de grille et de drain en fonction de la fréquence en considérant ou non la capacité additionnelle  $C_{ag}$

La suite de l'analyse numérique de l'amplificateur distribué sera réalisée en considérant la présence de la capacité additionnelle  $C_{ag}$ . Par conséquent, le paramètre noté  $C_{gs}'$  est en fait la capacité équivalente d'entrée obtenue par la mise en série de la capacité d'entrée du transistor  $C_{gs}$  avec la capacité additionnelle  $C_{ag}$  soit :

$$C_{gs}' = \frac{C_{gs} \cdot C_{ag}}{C_{gs} + C_{ag}} = 121 \text{ fF}$$

La Figure 3–15 présente les atténuations des lignes de grille et de drain en fonction de la fréquence en se basant sur les valeurs des éléments donnés dans le Tableau 3–3. Nous pouvons remarquer l'importance des pertes de la ligne de drain, augmentant considérablement avec la fréquence. Cette atténuation est un facteur limitant la fréquence de coupure de la ligne de sortie de l'amplificateur. Elle limite également la puissance maximale de sortie en limitant le nombre de composants à considérer puisque le signal diminue considérablement le long de la ligne.

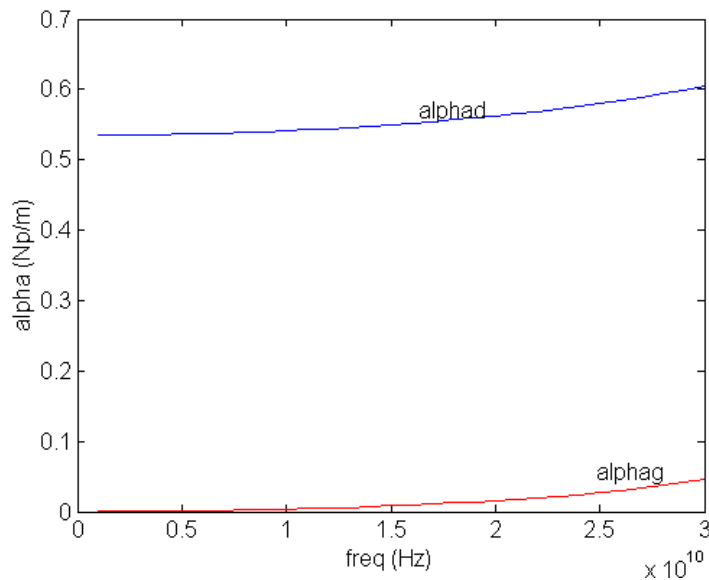


Figure 3–15 : atténuations des lignes de grille et de drain en fonction de la fréquence

### c/ Etude du gain en puissance

Pour mener cette étude du gain en puissance de l'amplificateur distribué, nous prenons comme référence le schéma de la Figure 3–16. Cette topologie prend en compte les constantes de propagation des lignes de grille et de drain. Avant d'observer réellement le gain en puissance, nous allons étudier l'évolution des tensions de commande le long de la ligne de grille ainsi que l'expression de courant de sortie global.

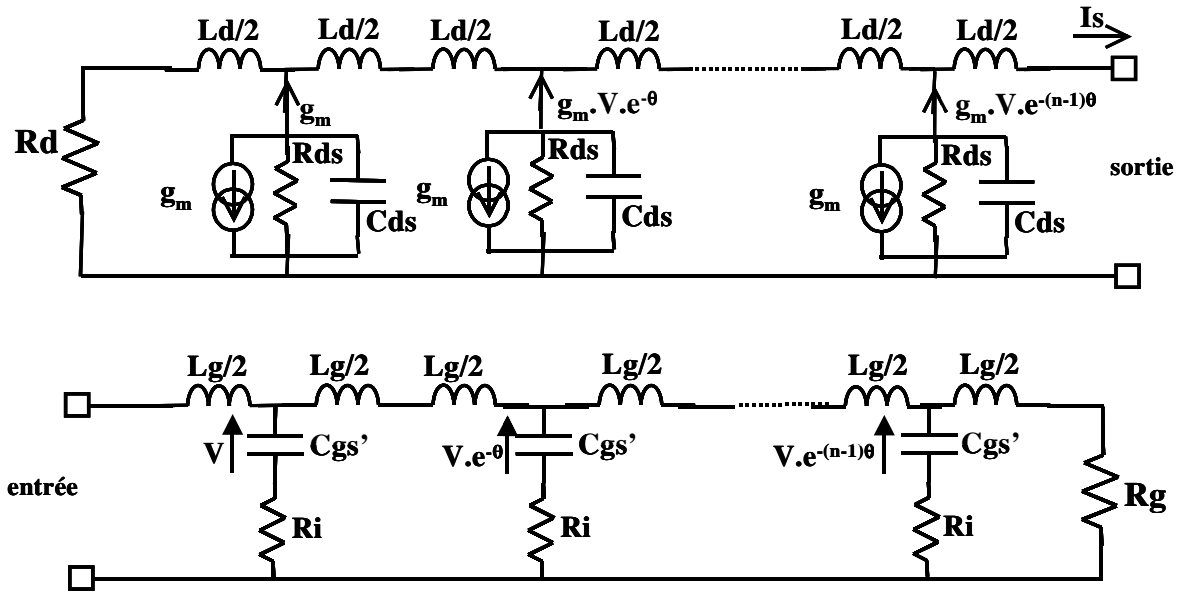


Figure 3-16 : schéma d'étude de l'amplificateur distribué

*i- Tensions de commande*

Nous allons nous intéresser ici à la ligne de grille. La décomposition en cellules élémentaires T et  $\pi$  de cette ligne d'entrée est présentée dans la Figure 3-17. Ce schéma va nous permettre de déterminer la tension de commande de chaque composant actif.

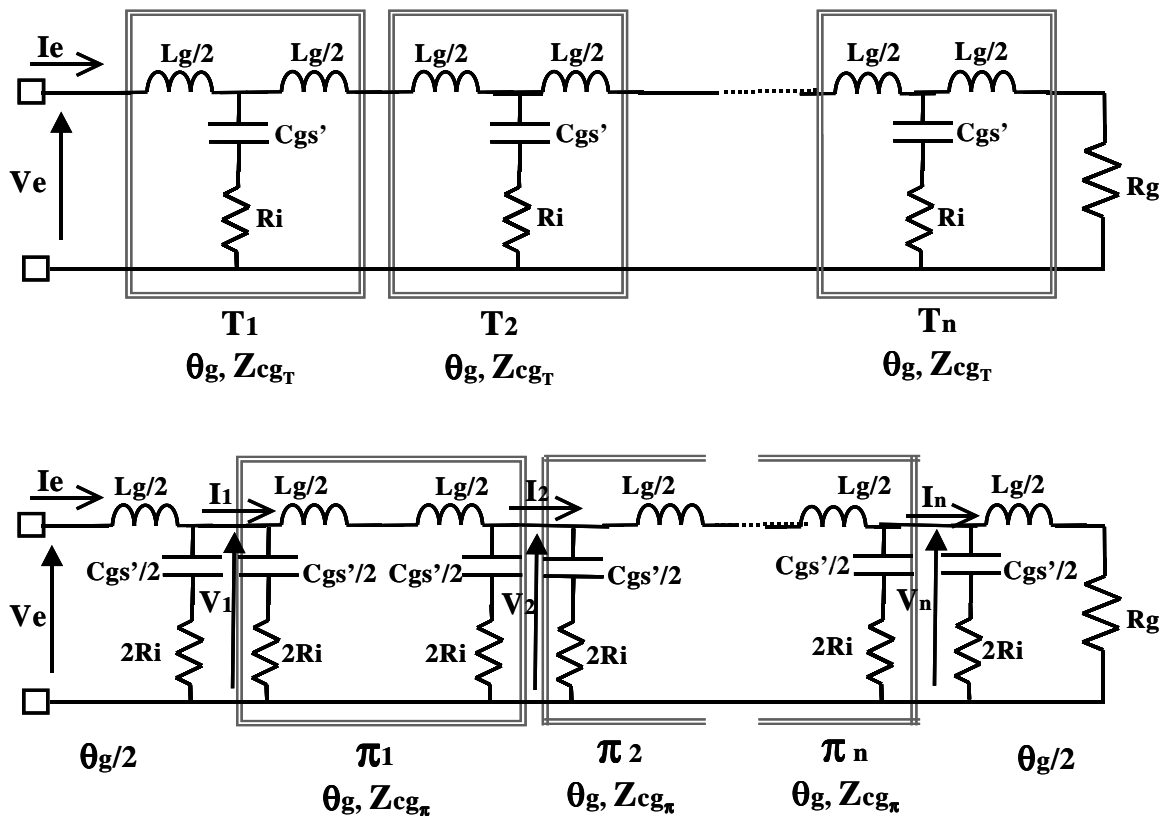


Figure 3-17 : décomposition en cellules élémentaires T et  $\pi$  de la ligne de grille

En observant que la demi-cellule en entrée impose un déphasage de  $\theta_g/2$ , nous pouvons écrire les courants comme :

$$I_1 = I_e \cdot e^{-\theta_g/2}$$

$$I_2 = I_1 \cdot e^{-\theta_g} = I_e \cdot e^{-3\theta_g/2}$$

Et donc :  $I_i = I_e \cdot e^{-(2i-1)\theta_g/2}$  (eq. 3-26)

Nous pouvons également en déduire les expressions des tensions sachant que :

$$V_e = I_e \cdot Z_{cgT}$$

Et  $V_i = I_i \cdot Z_{cg\pi}$

Donc  $V_i = \frac{Z_{cg\pi}}{Z_{cgT}} \cdot V_e \cdot e^{-(2i-1)\theta_g/2}$  (eq. 3-27)

Par conséquent, la tension de commande du  $i$ ème transistor peut s'écrire sous la forme :

$$V_{gsi} = \frac{Z_{cg\pi}}{Z_{cgT}} \cdot V_e \cdot \frac{e^{-(2i-1)\theta_g/2}}{1 + j \cdot R_i \cdot C_{gs}' \cdot \omega}$$
 (eq. 3-28)

Si l'on normalise par rapport à la tension d'entrée, on obtient :

$$\left| \frac{V_{gsi}}{V_e} \right| = \left| \frac{Z_{cg\pi}}{Z_{cgT}} \right| \cdot \frac{e^{-(2i-1)\theta_g/2}}{\sqrt{1 + (R_i \cdot C_{gs}' \cdot \omega)^2}}$$
 (eq. 3-29)

Nous pouvons alors remarquer que la tension de commande est dépendante de la fréquence mais aussi de  $i$ , c'est-à-dire de la position du composant le long de la ligne de grille. La Figure 3-18 montre l'évolution de ce paramètre en fonction de la fréquence et de  $i$  en se basant sur les valeurs du Tableau 3-3.

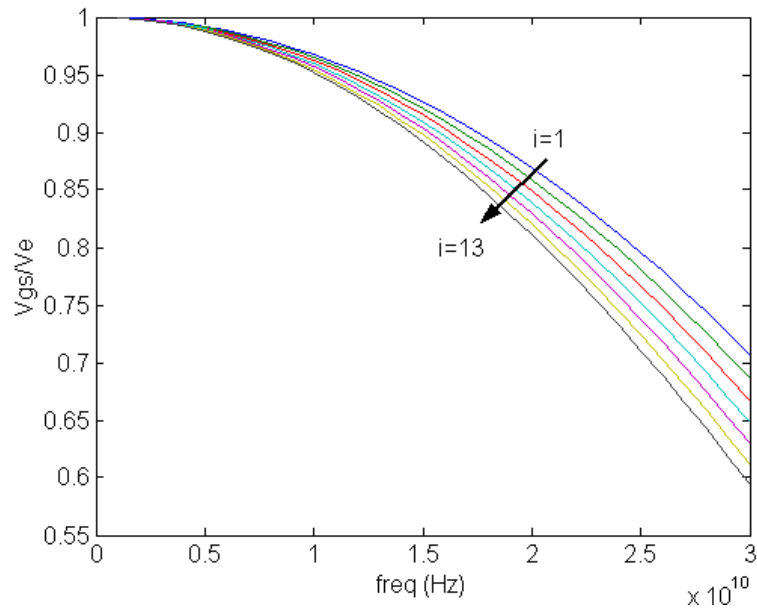


Figure 3–18 : tensions de commande en fonction de la fréquence et du nombre de transistors

Nous observons une nette décroissance de la tension de commande lorsque la fréquence augmente, mais également lorsque  $i$  augmente ; cela signifie que plus il y a de transistors le long de la ligne et moins le dernier recevra une tension de commande élevée. Ce phénomène est dû à l'atténuation de la ligne, imposant un nombre limite de composants actifs à considérer.

### *ii- Analyse du courant de sortie*

Afin de mener cette étude du courant de sortie, nous décomposons la ligne de drain en cellules élémentaires T et  $\pi$  (Figure 3–19).

Soit  $I_{d_i}$  le courant de drain fourni par le  $i$ ème transistor. Il s'agit du courant commandé par la tension  $V_{gs_i}$  prise aux bornes de la capacité d'entrée du transistor  $C_{gs}$ . Nous pouvons donc écrire :

$$I_{d_i} = g_m \cdot V_{gs_i} \quad (\text{eq. 3-30})$$

Soit  $I_{s_i}$  le courant de sortie de la  $i$ ème cellule élémentaire. En considérant que la ligne de drain présente une charge adaptée à sa terminaison ; alors le courant  $I_{d_i}$  de sortie du transistor  $i$  se divise en deux courants égaux se propageant en sens inverse l'un de l'autre (l'un vers la sortie, l'autre vers la charge où il sera absorbé). La partie du courant contribuant au

courant de sortie global  $I_s$  de l'amplificateur subit les déphasage et atténuation de la ligne de drain. Par conséquent, la contribution  $I_{s_i}$  de chaque cellule peut s'écrire :

$$I_{s_i} = \frac{I_{d_i}}{2} \cdot e^{-(n-i)\theta_d} \cdot e^{-\theta_d/2} \quad (\text{eq. 3-31})$$

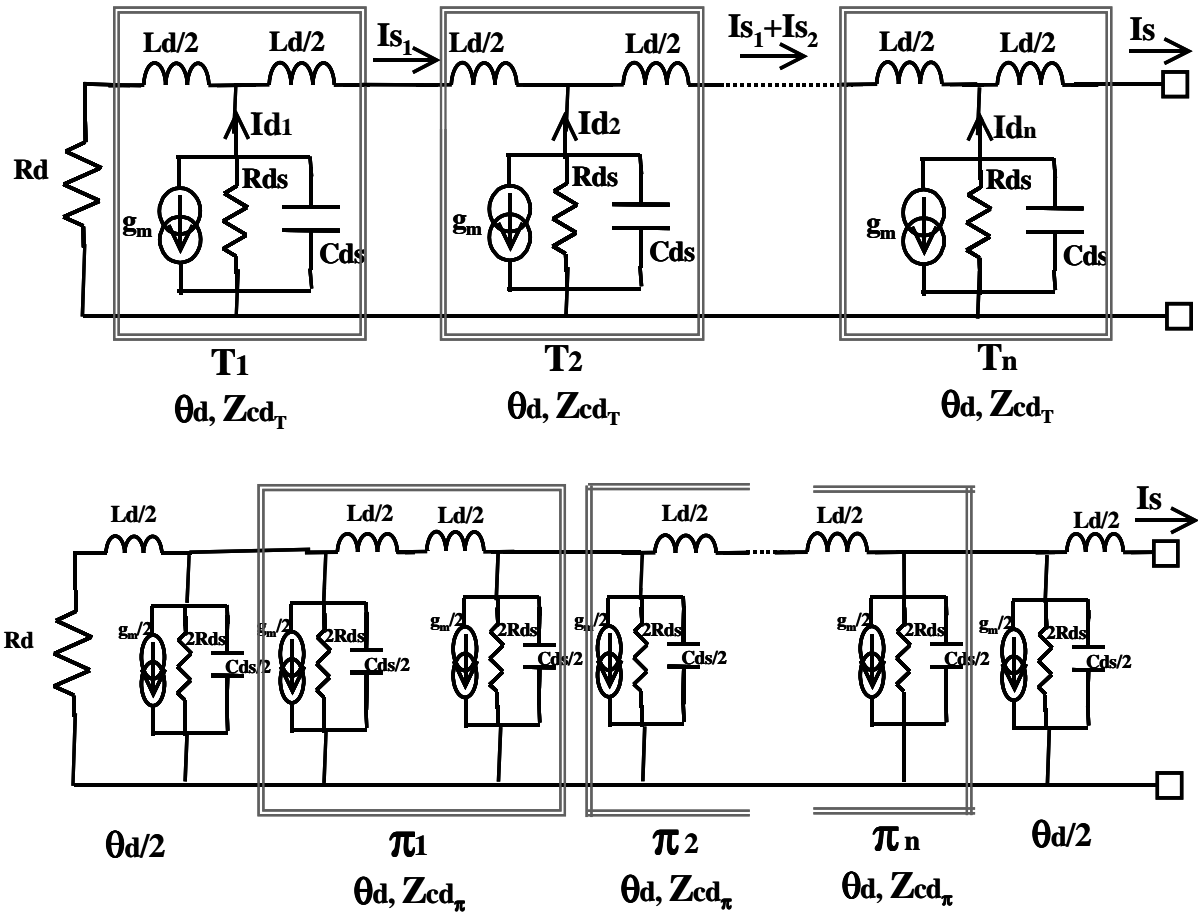


Figure 3-19 : décomposition en cellules élémentaires T et  $\pi$  de la ligne de drain

A partir des équations eq. 3-28, 3-30 et 3-31, on obtient :

$$I_{s_i} = \frac{Zc_{g\pi}}{Zc_{gT}} \cdot \frac{g_m \cdot V_e}{2(1 + j \cdot R_i \cdot C_{gs'} \cdot \omega)} \cdot e^{(2i-1)\frac{\theta_d - \theta_g}{2}} \cdot e^{-n\theta_d} \quad (\text{eq. 3-32})$$

De plus, le courant de sortie global de l'amplificateur est la somme des contributions

des n cellules élémentaires, soit

$$I_s = \sum_{i=1}^n I_{s_i}$$

En se basant sur l'expression des courants  $I_{s_i}$  donnée par l'équation eq. 3-32, nous obtenons la formule du courant de sortie global  $I_s$  suivante :

$$I_s = \frac{Z_{cgT} g_m V_e}{Z_{cgT} \cdot 2(1 + j \cdot R_i \cdot C_{gs'} \cdot \omega)} \cdot e^{-n \left( \frac{\theta_d + \theta_g}{2} \right)} \cdot \frac{\sinh \left[ \frac{n}{2} (\theta_d - \theta_g) \right]}{\sinh \left[ \frac{\theta_d - \theta_g}{2} \right]} \quad (\text{eq. 3-33})$$

La Figure 3–20 montre l'évolution du courant de sortie en fonction de la fréquence pour différentes valeurs de  $n$  en considérant la tension d'entrée  $V_e$  égale à 1V (en se référant aux valeurs du Tableau 3–3). Nous observons l'augmentation du courant avec le nombre de transistors considéré jusqu'à une saturation. Par conséquent, au-delà d'un certain nombre, les transistors ne participent plus à la production de courant en sortie de l'amplificateur.

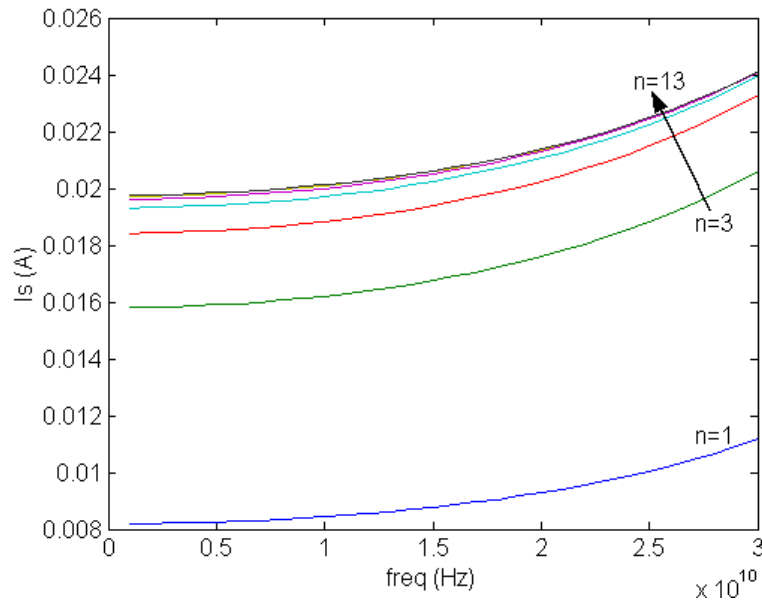


Figure 3–20 : évolution du courant de sortie en fonction de la fréquence et du nombre de transistors

### iii- Gain en puissance

Si l'on note  $P_e$  et  $P_s$  les puissances d'entrée et de sortie de l'amplificateur, c'est-à-dire à l'entrée de la ligne de grille et à la sortie de la ligne de drain, nous obtenons les expressions suivantes :

$$P_e = \frac{1}{2} \text{Re} [V_e \cdot I_e^*] = \frac{1}{2} \text{Re} \left[ V_e \cdot \frac{V_e^*}{Z_{cgT}} \right] = \frac{1}{2} |V_e|^2 \cdot \text{Re} \left[ \frac{1}{Z_{cgT}} \right] \quad (\text{eq. 3-34})$$



$$P_S = \frac{1}{2} \operatorname{Re}[V_s I_s^*] = \frac{1}{2} \operatorname{Re}[Z_{cdT} I_s I_s^*] = \frac{1}{2} |I_s|^2 \operatorname{Re}[Z_{cdT}] \quad (\text{eq. 3-35})$$

Sachant que le gain en puissance  $G_p$  est le rapport de  $P_s$  sur  $P_e$ , on obtient :

$$G_p = \frac{P_S}{P_e} = \frac{|I_s|^2 \operatorname{Re}[Z_{cdT}]}{|V_e|^2 \operatorname{Re}[Z_{cgT}]}$$

En admettant les approximations suivantes :

- ▶  $\operatorname{Im}[Z_{cgT}] \ll \operatorname{Re}[Z_{cgT}]$  d'où  $\operatorname{Re}[1/Z_{cgT}] \approx 1/\operatorname{Re}[Z_{cgT}]$
- ▶  $\beta_d = \beta_g$  d'où  $\theta_d - \theta_g \approx \alpha_d - \alpha_g$
- ▶  $\omega R_i C_{gs}' \ll 1$  et  $\omega R_{ds} C_{ds} \ll 1$

et en se référant aux expressions eq. 3-9, 3-10 et 3-33, nous obtenons :

$$G_p = \frac{g_m^2}{4} \sqrt{\frac{L_g}{C_{gs}'}} \sqrt{\frac{L_d}{C_{ds}}} \frac{e^{-n(\alpha_d + \alpha_g)} \sinh^2 \left[ \frac{n(\alpha_d - \alpha_g)}{2} \right]}{\left[ 1 + (R_i C_{gs}' \omega)^2 \right] \left[ 1 - \frac{L_g C_{gs}' \omega^2}{4} \right] \sinh^2 \left[ \frac{\alpha_d - \alpha_g}{2} \right]} \quad (\text{eq. 3-36})$$

A travers cette expression, nous remarquons que le gain en puissance est fortement dépendant des éléments intrinsèques du composant actif ainsi que des paramètres des lignes de grille et de drain. Nous notons également une dépendance au nombre de transistors considérés. Ceci montre que le concepteur devra porter une attention particulière au choix du composant actif.

Afin de visualiser ces dépendances, nous avons tracé l'évolution du gain en puissance en fonction de la fréquence et du nombre de transistors (Figure 3-21) en se basant sur les valeurs des éléments du Tableau 3-3. Nous vérifions ici la forte influence du nombre de transistors sur le gain en puissance. En effet, plus  $n$  augmente et plus la bande sur laquelle le gain reste plat est petite. Il faut donc définir le nombre optimal de composants à considérer en fonction de la fréquence maximale de l'application visée.

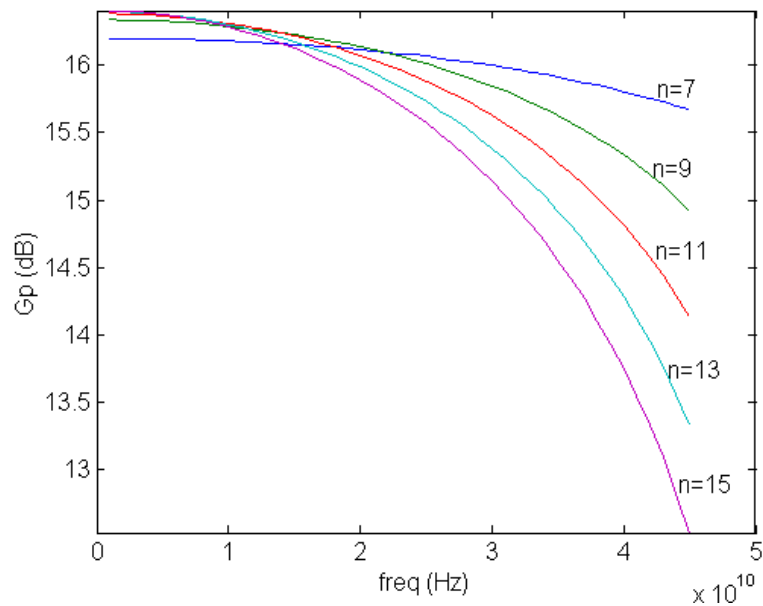


Figure 3–21 : évolution du gain en puissance en fonction de fréquence et du nombre de composants

*iv- Nombre optimal de transistors*

Définir le nombre optimal de transistors revient à annuler la dérivée du gain par rapport à n. Ainsi, nous vérifions que le gain présente un maximum en fonction de la fréquence et de n :

$$\frac{\partial G_p}{\partial n} = 0 \quad \Rightarrow \quad n_{opt} = \frac{\ln(\alpha_d) - \ln(\alpha_g)}{\alpha_d - \alpha_g} \quad (\text{eq.3-37})$$

Cette expression montre la dépendance du nombre optimal de transistors vis-à-vis des paramètres d'atténuation des lignes de grille et de drain. A l'aide de cette relation, le concepteur pourra estimer le nombre optimal de composants en fonction de la fréquence maximale de fonctionnement recherchée.

La Figure 3–22 montre l'évolution de ce nombre optimal en fonction de la fréquence maximale d'utilisation de l'amplificateur en se basant sur les valeurs du Tableau 3–3. Il apparaît une décroissance importante de  $n_{opt}$  lorsque la fréquence augmente. En effet, plus la fréquence augmente et plus les pertes de lignes augmentent, entraînant une "sous-alimentation" des derniers composants, qui ne participeront plus à l'amplification.

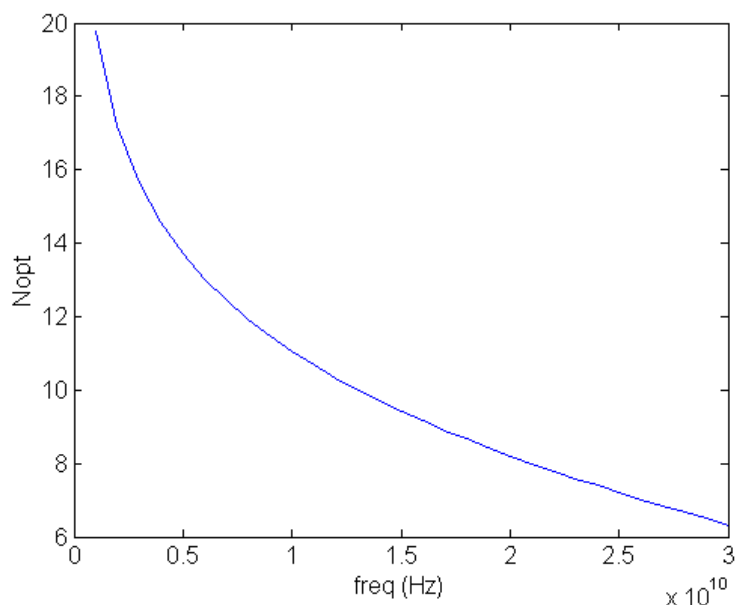


Figure 3–22 : évolution du nombre optimal de transistors en fonction de la fréquence maximale de fonctionnement recherchée

L'étude qui a été menée sur le fonctionnement de l'amplificateur distribuée simple permet au concepteur de définir les composants à utiliser et leur nombre en fonction de l'application visée. Mais attention, il s'agit surtout d'une première approche car un certain nombre d'approximations ont été acceptées au cours de l'étude analytique afin de rendre plus aisée la détermination des paramètres. Or nous savons que certaines hypothèses ne sont pas réelles ; pour exemple :

- seuls les éléments intrinsèques du transistor ont été considérés ;
- le transistor a été imposé unilatéral ;
- les lignes d'entrée et de sortie ont été supposées adaptées sur toute la bande de fonctionnement ;
- les vitesses de phases ont été admises égales.

De plus, cette phase analytique est indispensable pour une initialisation des paramètres mais elle n'est pas suffisante. Une étape de CAO est bien sûr indispensable. Or, l'optimisation d'un tel circuit restant tout de même complexe, il est important de connaître l'influence de certains des éléments mis en jeu.

d/ Sensibilité de l'amplificateur aux éléments extrinsèques du transistor

[3.2], [3.5], [3.6], [3.7], [3.8], [3.9], [3.10]

L'étude analytique menée jusque là se base sur l'approximation d'un transistor idéal, ne présentant aucune contre-réaction et aucun éléments parasites extérieurs. Nous cherchons ici à observer l'influence des différents paramètres extrinsèques d'un transistor réel ainsi que la contre-réaction induite par la capacité Cgd et la résistance Rgd.

Dans le but de comparer les réponses en transmission et réflexion de l'amplificateur distribué simple, nous avons réalisé plusieurs simulations de l'amplificateur à quatre transistors incluant tour à tour les couples d'éléments parasites : de la contre-réaction (Cgd, Rgd), de l'accès de grille (Rg, Lg), de l'accès de drain (Rd, Ld) et de l'accès de source (Rs, Ls). Les Figure 3–23 à Figure 3–26 montrent les comparaisons des paramètres S de l'amplificateur incluant respectivement les couples de paramètres parasites précédent. Les valeurs considérées sont celles du modèle linéaire du transistor de développement 8x50µm étudié au chapitre 1 et rappelé dans le Tableau 3–4.

Eléments extrinsèques							
R <sub>g</sub> (Ω)	L <sub>g</sub> (pH)	C <sub>pg</sub> (fF)	R <sub>d</sub> (Ω)	L <sub>d</sub> (pH)	C <sub>pd</sub> (fF)	R <sub>s</sub> (Ω)	L <sub>s</sub> (pH)
1,2	70,1	83,2	1,2	77,3	96,3	0,4	9,8
Eléments intrinsèques							
C <sub>gs</sub> (fF)	R <sub>i</sub> (Ω)	C <sub>gd</sub> (fF)	R <sub>gd</sub> (Ω)	g <sub>m</sub> (mS)	g <sub>d</sub> (mS)	τ (ps)	C <sub>ds</sub> (fF)
224,0	1,0	49,9	6,0	88,7	7,8	1,57	36,0

Tableau 3–4 : éléments du modèle linéaire du transistor de développement de grille 8x50µm

Nous pouvons ainsi observer l'influence de ces éléments parasites sur les réponses de l'amplificateur :

- (Cgd, Rgd) : ces paramètres entraînent une fréquence de coupure beaucoup plus basse ainsi qu'une amplitude de gain plus faible. Les réflexions en entrée et en sortie sont dégradées. Ces éléments représentent en effet une contre-réaction entre les lignes de grille et de drain de l'amplificateur, perturbant la propagation du signal.

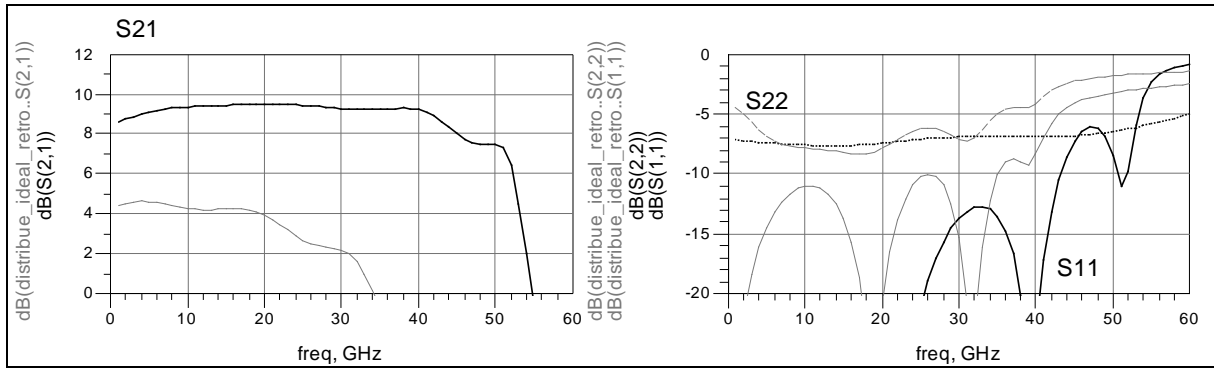


Figure 3-23 : influence de la contre-réaction (Cgd, Rgd) – "sans" en foncé, "avec" en clair

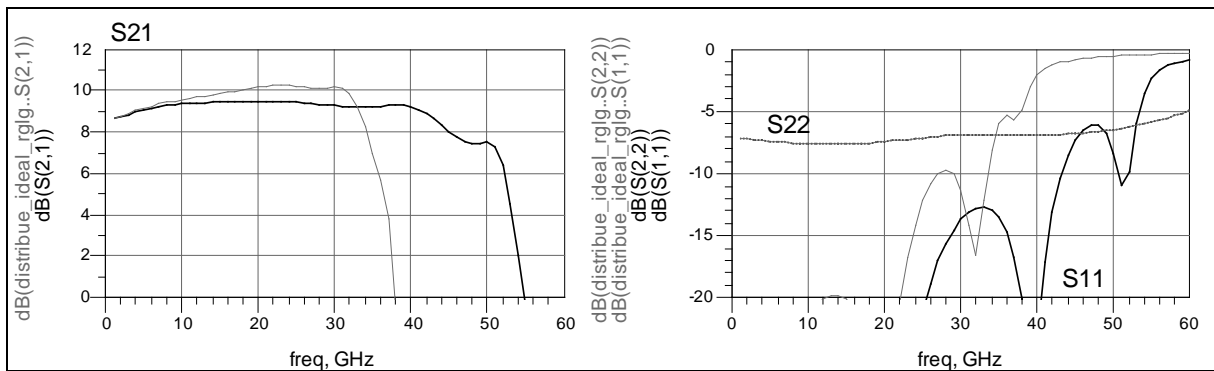


Figure 3-24 : influence des parasites de grille (Rg, Lg) – "sans" en foncé, "avec" en clair

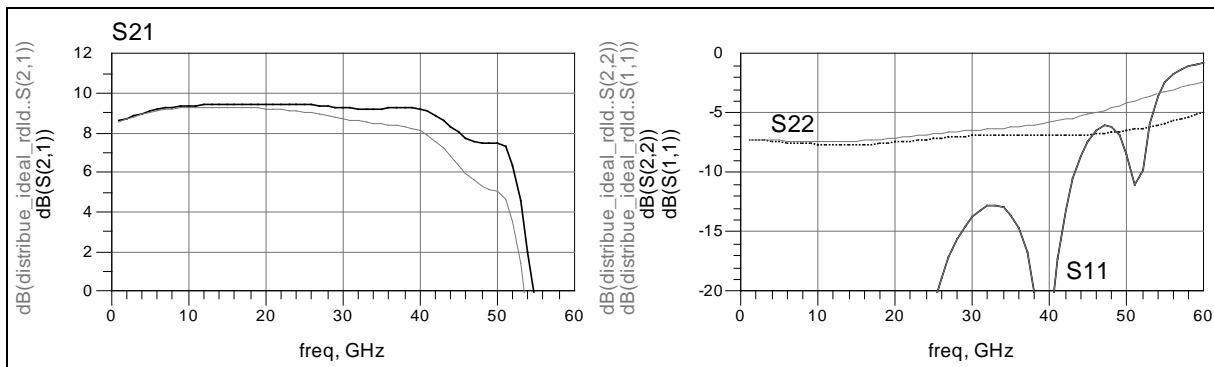


Figure 3-25 : influence des parasites de drain (Rd, Ld) – "sans" en foncé, "avec" en clair

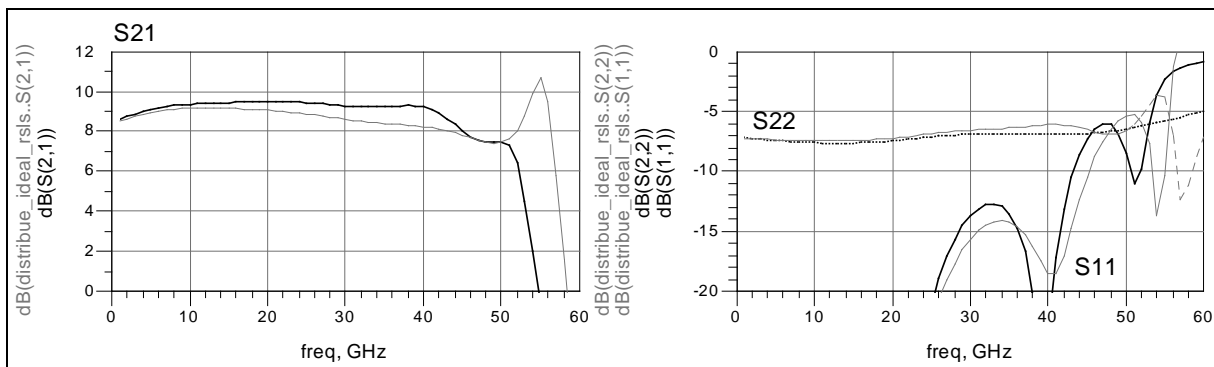


Figure 3-26 : influence des parasites de source (Rs, Ls) – "sans" en foncé, "avec" en clair

- (Rg, Lg) : ces paramètres correspondent aux parasites de l'accès de grille du composant. On observe une diminution de la fréquence maximale de la bande passante ainsi qu'une dégradation de la réflexion en entrée. En effet, Rg augmente l'atténuation de la ligne de grille et Lg accroît la différence de vitesse de phase des lignes entrée-sortie.
- (Rd, Ld) : ces éléments ont une influence assez réduite sur les performances de l'amplificateur. On observe une décroissance minimale de la fréquence de coupure du gain et une légère dégradation de la réflexion en sortie en haute-fréquence.
- (Rs, Ls) : ces paramètres n'ont pas d'incidence majeure sur les réflexions entrée-sortie de l'amplificateur. En revanche, on peut observer une ondulation du gain en haut de bande et une léger affaiblissement de son amplitude sur toute la bande.

La Figure 3–27 montre la comparaison entre les résultats de l'amplificateur distribué idéal incluant des transistors idéaux (sans contre-réaction ni éléments parasites) et celui incluant des transistors réels. Nous pouvons noter une forte diminution de la bande passante et du niveau de gain ainsi qu'une dégradation importante des paramètres en réflexion.

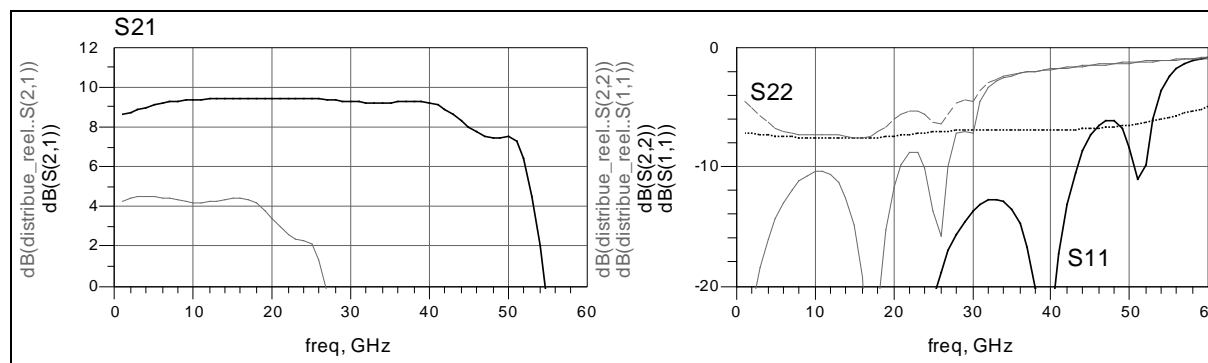


Figure 3–27 : comparaison des réponses de l'amplificateur avec des transistors idéaux (foncé) et des transistors réels (clair)

Les éléments parasites du transistor ont donc une influence prépondérante sur les performances de l'amplificateur global et ne doivent pas être négligés.

Nous venons de détailler le principe de fonctionnement de l'amplificateur distribué en régime linéaire. Or, un amplificateur fonctionnant atteignant de bonnes performances en bas niveau n'est pas nécessairement optimisé pour un fonctionnement en puissance. Nous

nous proposons maintenant d'étudier la méthode de conception en puissance de ces amplificateurs.

#### **4. Méthode de conception en puissance des amplificateurs distribués**

[3.1], [3.5], [3.7], [3.8], [3.9], [3.10]

Nous allons étudier la méthode de conception en puissance des amplificateurs distribués. Cette étude restera succincte étant donné que, en raison de contraintes technologiques majeures, nous n'avons pu que partiellement les mettre en pratique.

L'optimisation en puissance d'un amplificateur distribué simple nécessite l'égalisation des tensions de commande de grille de chaque transistor et la synthèse de l'impédance optimale de charge de chaque composant sur le drain, tout en respectant les contraintes d'égalité des vitesses de phase entre chaque cellule.

L'égalisation des tensions de commande sur la grille des transistors est obtenue par l'optimisation de la capacité  $C_{ag}$ , insérée sur la grille de chaque composant. Cette topologie permet l'égalisation des tensions de commande  $V_{gs}$  de chaque transistor.

En ce qui concerne la ligne de drain, il est nécessaire de présenter au transistor son impédance de charge optimale pour un fonctionnement en puissance. Cette impédance peut être déterminée par simulation et / ou caractérisation, et se représente par une conductance  $G_{opt}$  et une réactance  $B_{opt}$  ( $C_{opt}$ ) dont les expressions d'initialisation sont données dans le Tableau 3-5. Ces deux paramètres restent quasi-constants dans la bande de travail.

Ainsi, dans le cas d'une technologie MMIC, nous aurions mis en œuvre un profil sur la grille par une variation des capacités  $C_{ag}$  en série sur les grilles et un profil sur le drain par variation des longueurs de ligne inter-cellule pour présenter l'admittance optimale de charge à chaque cellule. Dans notre cas d'application hybride avec technologie flip-chip (que nous détaillerons dans la section [II - ]), le seul fait d'intégrer les capacités  $C_{ag}$  sur la puce de GaN était déjà une innovation risquée mais le fait de définir un profil avec différentes valeurs de capacités n'était pas viable en regard des contraintes technologiques.

<u>Expression de l'impédance de charge optimale (<math>G_{opt}</math> ; <math>C_{opt}</math>)</u>	
$C_{opt} \approx C_{ds} + C_{gd}$	$G_{opt} \approx \frac{G_0}{1 - 2(L_s + L_d)(C_{ds} + C_{gd})\omega^2}$
$G_0 = \frac{I_{dss}}{2(V_{ds0} - V_{dsmin})}$	
<u>Ligne de drain optimale chargée par <math>G_d</math></u>	
$G_{d1} = G_{opt}$	$G_{di} = G_{opt} \left( \frac{G_{opt}}{G_{opt} + G_d} + (i-1) \right)$ pour $i=2$ à $n$
<u>Ligne de grille optimale chargée par <math>G_g</math></u>	
$G_{gi} = (n+1-i)G_g \quad \forall i$	

Tableau 3-5 : profils de l'impédance de charge optimale du transistor et des lignes de grille et de drain optimale

Comme nous l'avons dit précédemment, la cellule active d'un amplificateur distribué peut être un simple transistor ou bien des circuits plus ou moins complexes. Nous avons étudié le principe de fonctionnement de l'amplificateur distribué simple, c'est-à-dire incluant des transistors source commune, dans un but de simplicité de l'étude analytique. Nous nous proposons maintenant d'étudier le montage cascode et de vérifier son intérêt dans l'amplification distribuée.

## **5. Etude du montage cascode**

[3.3], [3.5], [3.6], [3.17]

Dans le but d'exploiter au maximum les avantages que présente la structure distribuée, la cellule active idéale doit afficher les caractéristiques suivantes :

- un gain fort ;
- une bonne isolation entrée-sortie pour réduire l'effet de contre-réaction ;
- une faible résistance d'entrée ;
- une impédance de sortie élevée.



Dans la configuration dite simple de l'amplificateur distribué, les cellules actives sont constituées d'un transistor seul en source commune. Or, ce composant ne remplit pas tous les critères de la cellule active idéale. Nous allons nous intéresser à une cellule particulière, intéressante pour les applications de puissance : le montage cascode de transistors HEMTs.

a/ Description

Le montage cascode est obtenu par la mise en cascade de deux transistors ; le premier composant est en source commune connecté à la source du second qui est en grille commune (Figure 3–28). La sortie de la cellule cascode est considérée entre les électrodes de drain et de grille du second composant. Nous observons que cette tension de sortie représente en fait la somme des tensions drain-source des deux transistors constituant la cellule cascode. En conséquence, le montage cascode présente un gain plus élevé que le transistor en source commune constituant une cellule active plus intéressante pour l'amplificateur distribué.

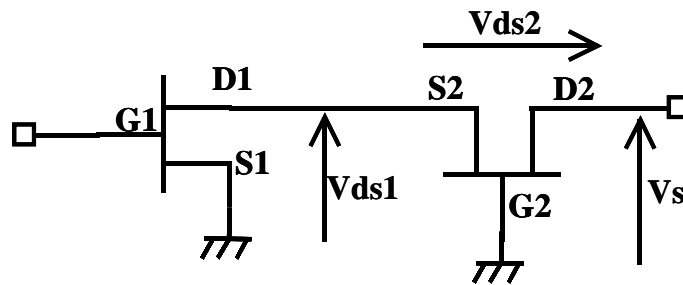


Figure 3–28 : schéma du montage cascode

Si l'on considère le schéma équivalent unilatéral simplifié de deux transistors identiques connectés en cascode, on obtient le schéma global de la Figure 3–29.

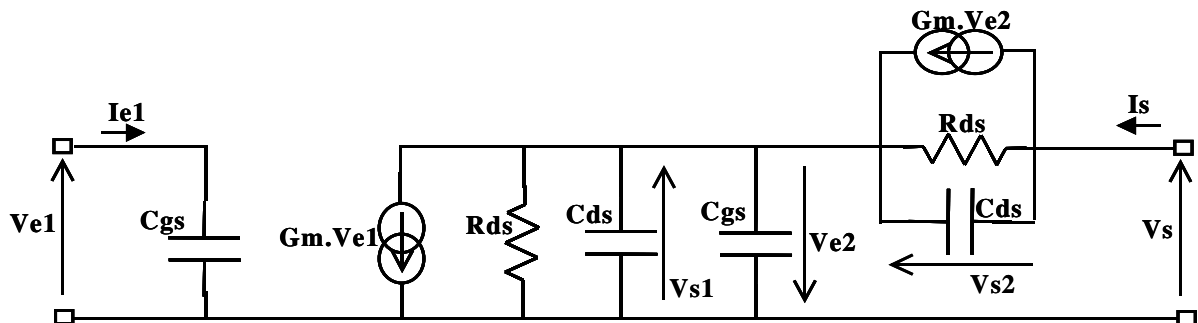


Figure 3–29 : schéma équivalent simplifié d'une cellule cascode

b/ Principe de fonctionnement

i- En régime linéaire

En se basant sur le schéma de la Figure 3–29, nous pouvons déterminer la résistance de sortie  $R_s$  du montage cascode comme étant :  $R_s=(g_m.R_{ds}+2).R_{ds}$ . Par conséquent, la résistance de sortie d'un montage cascode est plus élevée d'un facteur  $(g_m.R_{ds}+2)$  que la résistance de sortie présentée par le transistor en source commune. Ceci est un critère supplémentaire de choix du montage cascode comme cellule active de l'amplificateur distribué.

Une comparaison des caractéristiques linéaires d'un transistor en source commune et d'un montage cascode est présentée à la Figure 3–31 pour une bande de fréquence allant jusqu'à 50GHz. Pour ces simulations, le schéma du transistor utilisé prend en compte la rétroaction induite par les éléments  $C_{gd}$  et  $R_{gd}$  (Figure 3–30). Les valeurs prises en compte sont celles du modèle linéaire du transistor de développement de grille  $8 \times 50 \mu\text{m}$  extrait à la section [Chapitre 1 : III - 4. c/ i- ] et rappelées dans le Tableau 3–6.

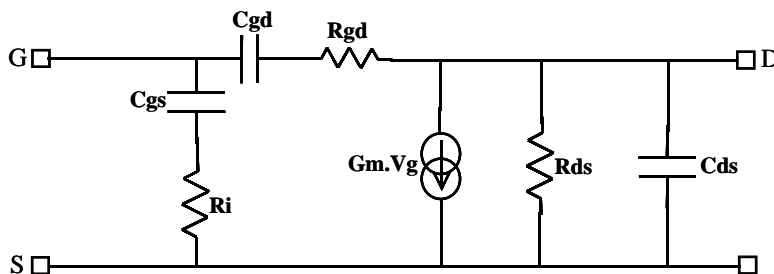


Figure 3–30 : schéma du transistor intrinsèque

Eléments extrinsèques							
$R_g$ ( $\Omega$ )	$L_g$ (pH)	$C_{pg}$ (fF)	$R_d$ ( $\Omega$ )	$L_d$ (pH)	$C_{pd}$ (fF)	$R_s$ ( $\Omega$ )	$L_s$ (pH)
1,2	70,1	83,2	1,2	77,3	96,3	0,4	9,8
Eléments intrinsèques							
$C_{gs}$ (fF)	$R_i$ ( $\Omega$ )	$C_{gd}$ (fF)	$R_{gd}$ ( $\Omega$ )	$g_m$ (mS)	$g_d$ (mS)	$\tau$ (ps)	$C_{ds}$ (fF)
224,0	1,0	49,9	6,0	88,7	7,8	1,57	36,0

Tableau 3–6 : éléments du modèle petit signal du transistor  $8 \times 50 \mu\text{m}$  pour un point de polarisation de repos de  $V_{gs0}=-7\text{V}$ ,  $V_{ds0}=22,2\text{V}$ ,  $I_{ds0}=118\text{mA}$

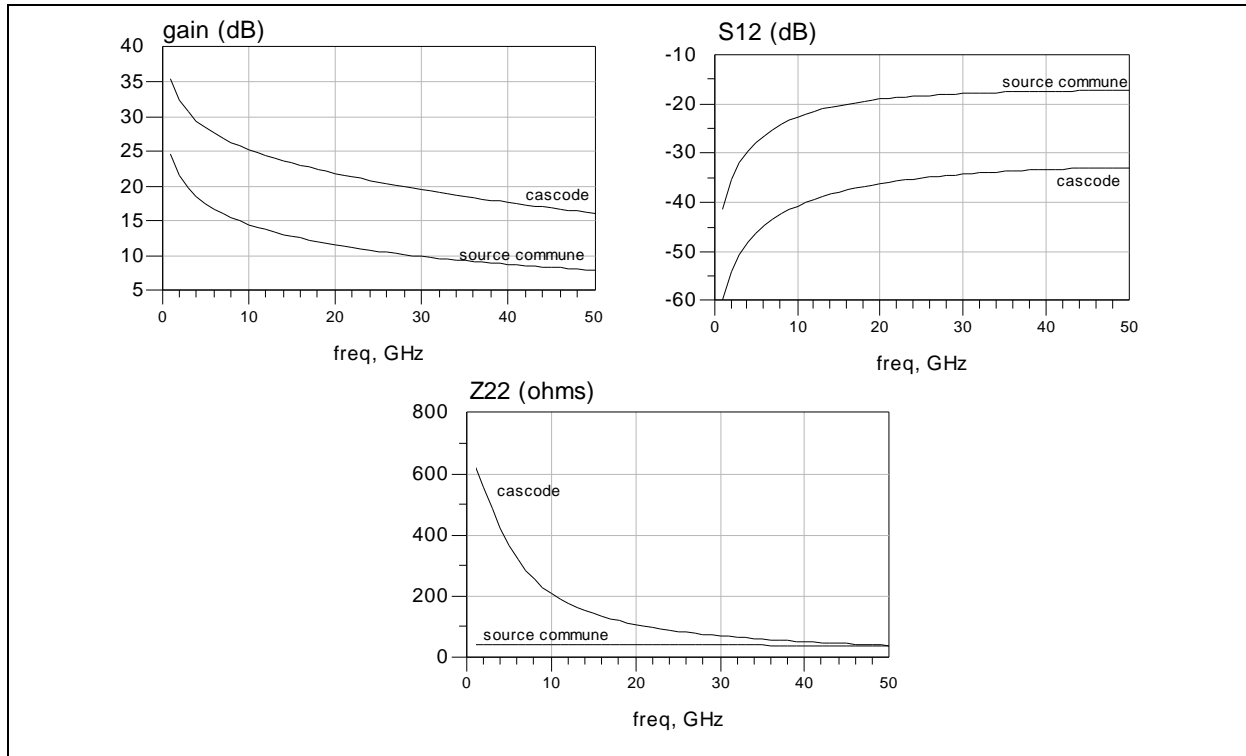


Figure 3–31 : comparaison des caractéristiques linéaires d'un transistor en source commune et d'un montage cascode

Les résultats de la Figure 3–31 mettent en évidence les avantages du montage cascode dans le cadre de l'amplification distribuée. En effet, le montage cascode présente, par rapport au transistor seul connecté en source commune :

- un gain plus élevé ;
- une isolation entrée-sortie plus importante ;
- une augmentation de l'impédance de sortie.

### ii- En puissance

Si l'on considère la cellule cascode simple vue précédemment, il subsiste un problème quant au régime de fonctionnement du second transistor. En effet, nous pouvons observer (Figure 3–32(a)) que la tension  $V_{ds1}$  issue du premier composant est directement appliquée à l'entrée du second transistor :  $V_{gs2} = -V_{ds1}$ . Or, étant donné la forte valeur de la

tension de drain  $V_{ds1}$ , le second transistor sera très vite saturé et ne permettra pas un fonctionnement en puissance de la cellule globale.

Pour remédier à ce phénomène, une capacité  $C_{a1}$  est insérée en série sur la grille du second transistor. Cette capacité a pour but de réaliser un pont diviseur de tension entre les tensions  $V_{ds1}$  et  $V_{gs2}$  (Figure 3–32(b)). Ainsi, la valeur de cet élément est optimisée afin de prélever aux bornes de  $C_{gs}$  du second transistor la tension  $V_{gs2}$ , égale à  $V_{gs1}$ , optimale pour un fonctionnement en puissance de la cellule. Cette valeur est déterminée à partir de la relation du pont diviseur de tension :

$$V_{gs2} = \left( \frac{C_{a1}}{C_{a1} + C_{gs}} \right) V_{ds1} \quad \Rightarrow \quad C_{a1} = - \frac{C_{gs} \cdot V_{gs2}}{V_{gs2} + V_{ds1}} \quad (\text{eq.3-38})$$

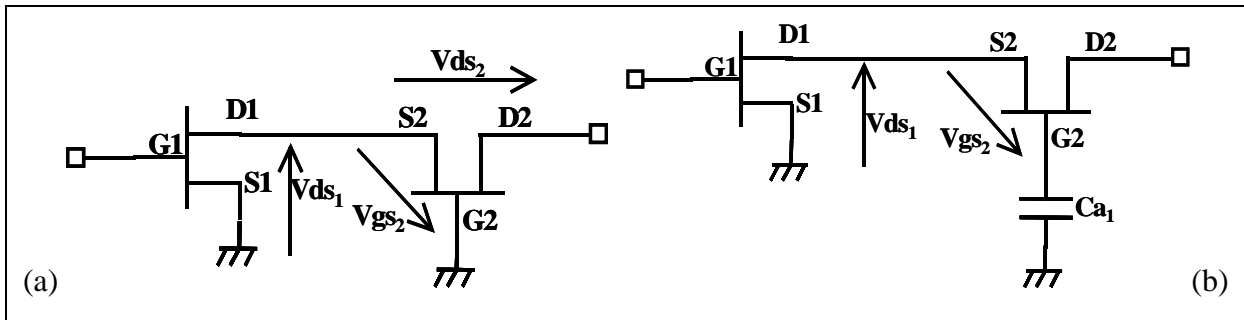


Figure 3–32 : principe de la capacité  $C_{a1}$

Une capacité supplémentaire peut être insérée entre les électrodes de source et de drain du deuxième transistor tel que le montre la Figure 3–33. Ainsi, nous pouvons égaliser les impédances de sortie des deux transistors en considérant que la capacité  $C_{a2}$  répond à l'égalité suivante :

$$C_{a2} = \frac{C_{gs} \cdot C_{a1}}{C_{gs} + C_{a1}}$$

Ainsi, en notant qu'en sortie de la cellule cascode nous trouvons deux circuits parallèles identiques, il est possible de schématiser plus simplement la cellule cascode comme le montre la Figure 3–34. Dans le cas d'une cellule où les deux transistors sont polarisés identiquement pour une optimisation en puissance, nous avons :

$$V_{gs1} = V_{gs2} \quad \text{et} \quad V_{ds1} = V_{ds2}$$

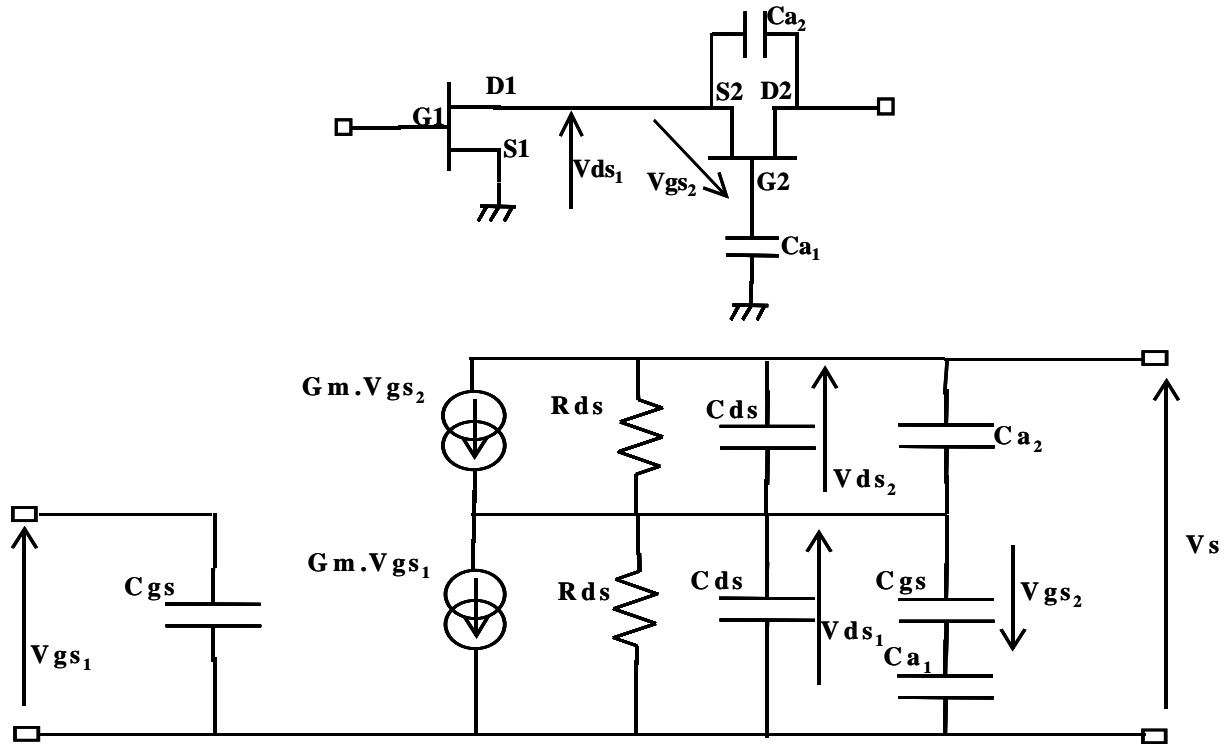


Figure 3-33 : cellule cascode incluant les capacités  $C_{a1}$  et  $C_{a2}$

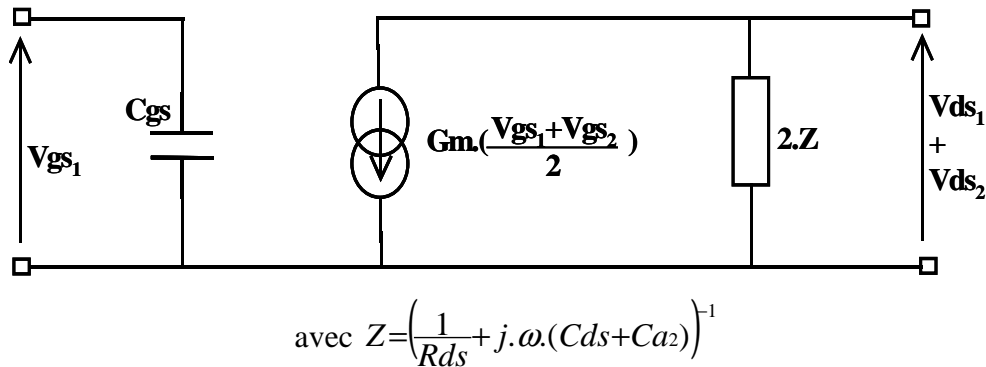


Figure 3-34 : schéma simplifié d'une cellule cascode incluant les capacités  $C_{a1}$  et  $C_{a2}$

Nous avons vu précédemment que la tension de sortie de la cellule cascode représente le double de la tension de sortie d'un transistor en source commune. Nous montrons maintenant que la puissance de sortie de la cellule cascode  $P_{S_{cas}}$  est également le double de la puissance de sortie d'un transistor en source commune  $P_{S_{t_{sc}}}$ . En effet :

$$P_{S_{cas}} = \frac{1}{2} \text{Re} \left[ (V_{ds1} + V_{ds2}) \left( g_m \left( \frac{V_{gs1} + V_{gs2}}{2} \right) + \frac{V_{ds1} + V_{ds2}}{2Z} \right) \right]$$

avec  $V_{ds1} = V_{ds2}$  et  $V_{gs1} = V_{gs2}$

$$\text{d'où} \quad P_{S_{cas}} = \frac{1}{2} \operatorname{Re} \left[ 2 \cdot V_{ds} \left( g_m \cdot V_{gs} + \frac{2 \cdot V_{ds}}{2 \cdot Z} \right) \right] = 2 \cdot \frac{1}{2} \operatorname{Re} \left[ V_{ds} \left( g_m \cdot V_{gs} + \frac{V_{ds}}{Z} \right) \right] = 2 \cdot P_{S_{t\_sc}}$$

Rappelons que le schéma du transistor utilisé pour réaliser cette étude analytique est très simplifié. Dans la réalité, le transistor n'est pas un composant unilatéral. Par conséquent, les calculs de détermination de capacités additionnelles donnés ici ne peuvent servir qu'à l'initialisation à un processus d'optimisation.

La procédure d'optimisation largement utilisée est basée sur l'optimisation des cycles de charge des deux transistors de la cellule cascode. En effet, comme nous l'avons mentionné précédemment, l'optimisation en puissance passe par le fonctionnement identique des deux composants et par conséquent l'observation de cycles de charge identiques. Pour cela, il est important également de déterminer l'impédance de charge optimale du montage cascode considéré.

Une étude analytique de l'amplificateur distribué et du montage cascode a été menée. Le paragraphe suivant expose la conception de deux amplificateurs distribués à cellules cascodes sur la bande 4-18GHz.

## **II - Conception de deux amplificateurs de puissance distribués à cellules cascodes**

[3.13], [3.18], [3.19], [3.20], [3.21]

Deux amplificateurs de puissance large bande ont été conçus au cours de ces travaux dans le cadre d'un projet du laboratoire commun MITIC (IRCOM – THALES-TRT). Il s'agit de structures distribuées à cellules cascodes en technologie GaN sur SiC. L'un d'eux est basé sur des composants de développement de grille 8x50µm (SANA), l'autre sur des composants de développement de grille 8x75µm (YADE). Les spécifications recherchées ainsi que les contraintes technologiques sont énoncées dans ce paragraphe. La conception de ces amplificateurs est décrite également.

## 1. L'architecture

La Figure 3–35 expose le schéma global de l'amplificateur réalisé, adoptant une topologie à capacité additionnelle sur la grille et intégrant des montages cascodes optimisés en puissance comme cellules actives unitaires.

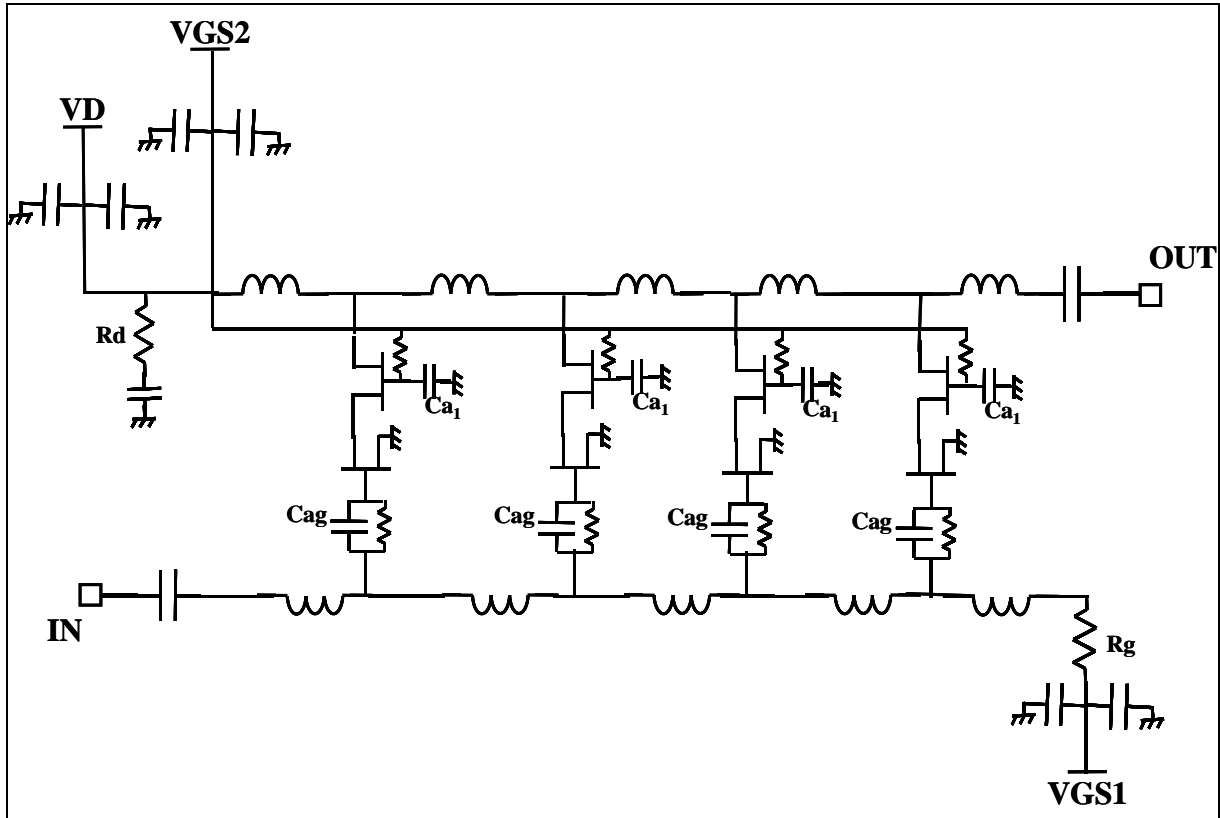


Figure 3–35 : schéma global de l'amplificateur

Il s'agit d'un amplificateur distribué composé de quatre cellules cascodes. Les lignes d'accès de grille et de drain sont chargées par des impédances  $R_g$  et  $R_d$ . Les accès entrée et sortie sont des accès purement RF. Les tensions de polarisations DC sont apportées par ailleurs. Le découplage DC / RF se fait par le biais de capacités de découplage introduite sur la puce.

Chaque cellule cascode présente une capacité sur la grille du transistor en grille commune optimisée pour un fonctionnement optimal en puissance (section [I - 5. b/ ii- ]), mise en parallèle avec une résistance de forte valeur permettant la polarisation DC. Nous trouvons également une capacité sur la grille du transistor en source commune, optimisant le fonctionnement de l'amplificateur distribué, en parallèle avec une forte résistance pour la polarisation DC.

## **2. Les spécifications**

L'objectif de cette conception est d'évaluer les potentialités du nitrure de gallium en termes d'amplification de puissance large bande. Ce projet n'étant pas contractuel, aucune performance n'était imposée, nous cherchons à obtenir les meilleurs résultats possibles. Afin d'orienter tout de même notre optimisation, nous avons pris en compte les spécifications de l'amplificateur large bande considéré dans le contrat européen dont la conception incombait à un autre organisme de recherche. Nous pouvons mentionner entre autre une bande de fréquence allant de 6 à 18GHz, une puissance de sortie à 1dB de compression de 37dBm avec une ondulation de  $\pm 1$ dB ainsi qu'un rendement en puissance ajoutée supérieur à 15%.

Nous pouvons également noter que le mode de fonctionnement est à déterminer entre pulsé et CW. Nous verrons en effet que les effets thermiques sont très importants et doivent être pris en compte au cours de la conception.

Ce projet est ambitieux car il fixe des objectifs supérieurs à l'état de l'art actuel des amplificateurs en termes de niveau de puissance pour cette largeur de bande. De plus, comme nous le verrons plus loin, la topologie retenue présente un certain nombre de défis technologiques relativement délicats, tel que le montage flip-chip d'une puce contenant 8 transistors et 21 plots de reports ainsi que les premières tentatives d'intégration de projets sur la puce GaN.

## **3. La technologie**

Les conceptions réalisées au cours de ces travaux sont basées sur des transistors HEMTs en technologie GaN sur SiC (présentés à la section [Chapitre 1 : III - ]).

### **a/ La technologie du nitrure de gallium**

La partie active de l'amplificateur est réalisée sur un substrat de carbure de silicium d'épaisseur 370 $\mu$ m sur lequel la croissance d'une couche de nitrure de gallium de 3 $\mu$ m est effectuée. Cette croissance est réalisée par le laboratoire TIGER. Les plaques sont également processées par le laboratoire TIGER d'après le masque SANGHA.



Cette technologie offre la possibilité de réaliser les transistors mais nous avons également tenté lors de cette réalisation d'intégrer certains éléments passifs tels que les lignes de transmission, des résistances actives et des capacités MIM (Metal-Insulator-Metal) dont les caractéristiques sont mentionnées plus bas. En revanche, la technologie considérée ne permet pas la réalisation de trous métallisés pour le retour à la masse ainsi que l'obtention de pont permettant le "croisement" sur des niveaux différents de lignes de transmission. Pour ces raisons, le montage flip-chip de la partie active conçue sur le substrat de GaN sur SiC a été mis en œuvre sur AlN.

Nous résumons ci-dessous les caractéristiques principales des éléments passifs que nous avons intégré sur GaN :

- capacités MIM : densité surfacique 250 pF/mm<sup>2</sup> ;
- résistances actives : densité surfacique 500 ohms/ ; densité de courant linéique 1,5 A/mm ;
- lignes de transmission : densité de courant linéique 12 mA/μm ; largeur minimum des lignes 10μm.

De plus, si l'on considère le management thermique du circuit, il faut rappeler que la conductivité thermique du GaN est relativement faible (1,7 W/cm/K). Or, la dissipation thermique est importante étant donné les niveaux de puissance mis en jeu. Le circuit actif sera donc monté en flip-chip sur un substrat de report en AlN qui présente une conductivité thermique supérieure à 1,7 W/cm/K, qui est très supérieure à celle de l'alumine couramment utilisée (0,36 W/cm/K).

#### b/ La technologie du nitrure d'aluminium

Le substrat de report pour le montage flip-chip est un substrat de nitrure d'aluminium de 254μm d'épaisseur. Le circuit sur AlN est réalisé par Reinhardt. La technologie utilisée sur ce substrat permet la réalisation de résistances TaN. En revanche, elle n'offre pas la possibilité d'obtenir des capacités intégrées ; les capacités utilisées sont par conséquent des composants MIM CMS (Composant Monté en Surface) du laboratoire Dielectric Laboratories. Les trous métallisés pour les retours à la masse ont un diamètre de 150μm au minimum.

### c/ Le montage flip-chip

Le circuit complet comprend donc le montage flip-chip de la puce conçue sur le GaN reportée sur le design d'AlN. Ce report se fait par l'intermédiaire de plots électriques ou mécaniques présents sur les deux puces en vis-à-vis. Cette opération est délicate dans le cas de cet amplificateur étant donné la grande dimension de la puce de GaN qui est reportée en flip-chip et par conséquent le nombre assez élevé de plots de report. La topologie du report ainsi que la distinction entre les éléments de l'amplificateur distribué intégrés sur GaN et sur AlN sont explicitées dans la suite du manuscrit.

## **III - Conception de l'amplificateur SANA1**

L'amplificateur SANA1 est une structure distribuée à base de quatre cellules cascodes de transistors HEMTs GaN de développement total de grille 400 $\mu$ m, c'est-à-dire 8 doigts de longueur de grille de 50 $\mu$ m. Nous détaillons ici les étapes de conception de cet amplificateur en commençant par l'optimisation de la cellule cascode puis la conception du circuit complet.

### **1. La cellule cascode**

Nous cherchons dans un premier temps à optimiser le montage cascode afin d'obtenir un fonctionnement optimum en puissance. Nous avons vu au paragraphe [I - 5. b/ ii- ] qu'une capacité additionnelle sur la grille du second transistor permettait un fonctionnement identique des deux composants et par conséquent une optimisation de la puissance de sortie de la cellule cascode. D'après l'équation [eq.3-38] donnant l'expression de la valeur théorique optimale de cette capacité  $C_{a1}$ , nous obtenons une valeur de 96fF dans le cas de notre composant. Notons que cette valeur n'est qu'une valeur d'initialisation d'un processus d'optimisation.

La topologie du transistor de base ne nous permet pas d'introduire une capacité additionnelle  $C_{a2}$  entre la source et le drain du second composant. En conséquence,

l'optimisation en puissance du montage cascode est basée sur l'optimisation des paramètres suivants (Figure 3–36) :

- la valeur de la capacité  $Ca_1$  ;
- la longueur  $L$  de la ligne entre le drain du premier transistor et la source du second.

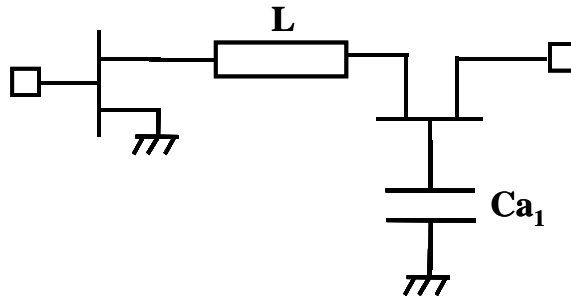


Figure 3–36 : paramètres d'optimisation du montage cascode.

Nous cherchons tout d'abord à observer l'influence de ces deux paramètres sur les performances de la cellule.

a/ Influence de  $L$  et  $Ca_1$

L'influence de la longueur  $L$  de la ligne entre les deux transistors sur les performances en puissance de la cellule cascode est montrée dans les Figure 3–37 et Figure 3–38. L'impédance optimale, déterminée par une simulation de type load-pull, est présentée en sortie de la cellule cascode. Cette impédance  $Y_{opt}^*$  a été déterminée équivalente à un circuit RC parallèle avec  $R=106\text{ohms}$  et  $C=0,21\text{pF}$ . La Figure 3–37 présente le gain et la puissance de sortie en fonction de la puissance d'entrée pour une fréquence de 6 GHz et une valeur fixe de la capacité  $Ca_1$  de 96 fF. La comparaison est basée sur des valeurs de longueur  $L$  différentes de 100  $\mu\text{m}$ , 400  $\mu\text{m}$  et 700  $\mu\text{m}$ . La Figure 3–38 permet la même comparaison pour une fréquence de 18 GHz.

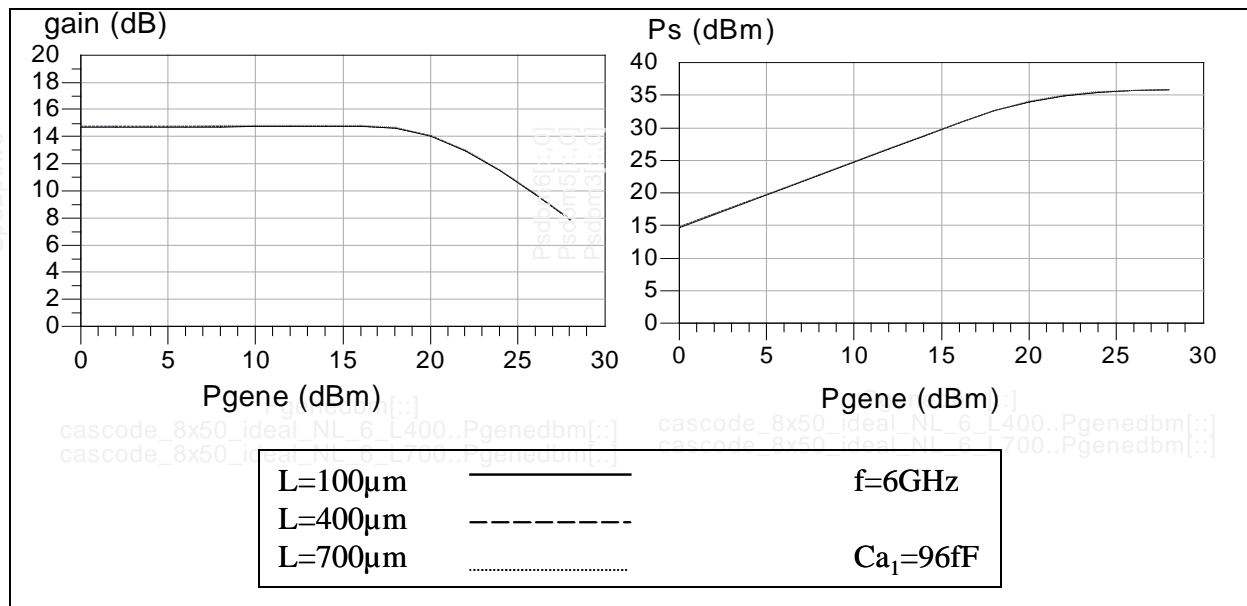


Figure 3–37 : influence de la longueur L de ligne avec  $Ca_1=96$  fF à 6 GHz.

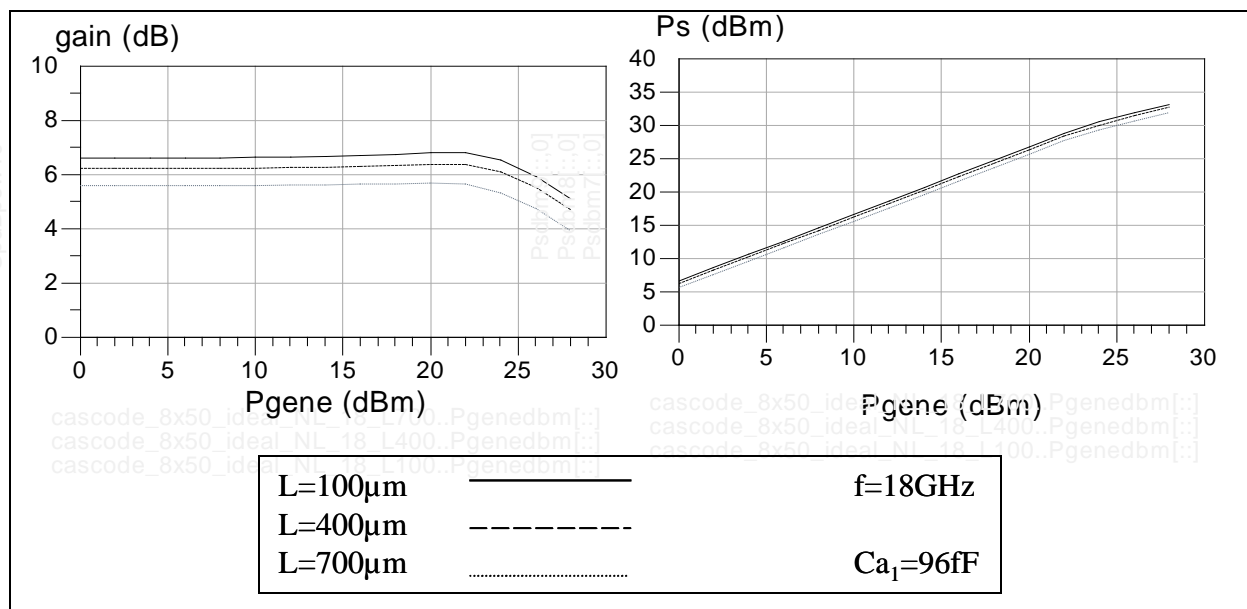
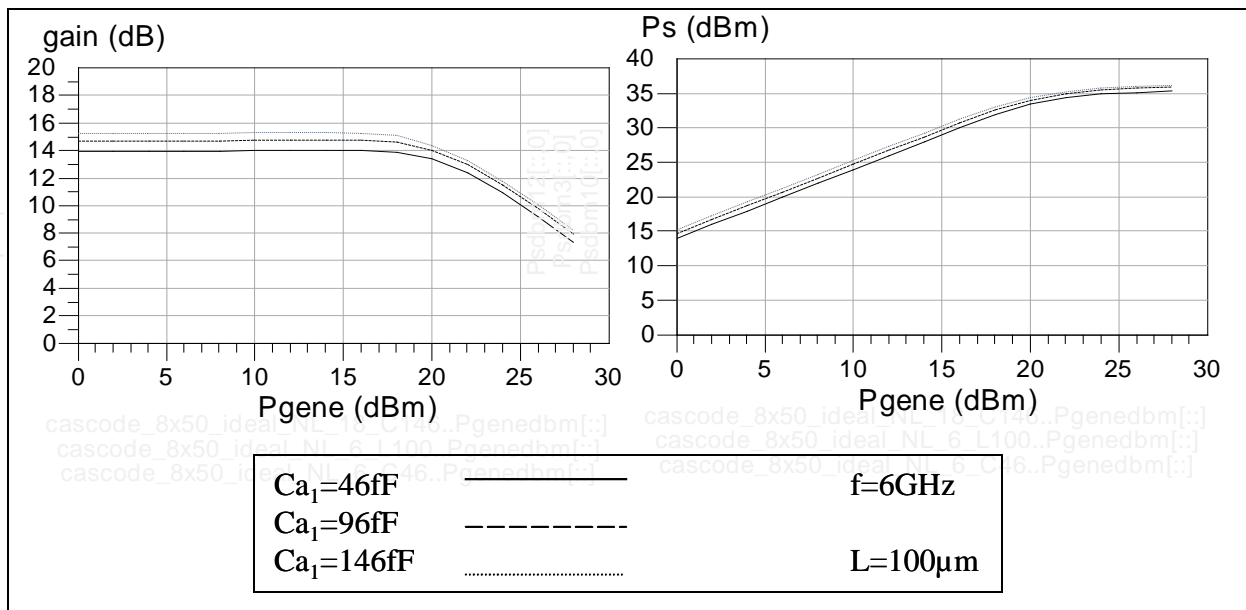


Figure 3–38 : influence de la longueur L de ligne avec  $Ca_1=96$  fF à 18 GHz.

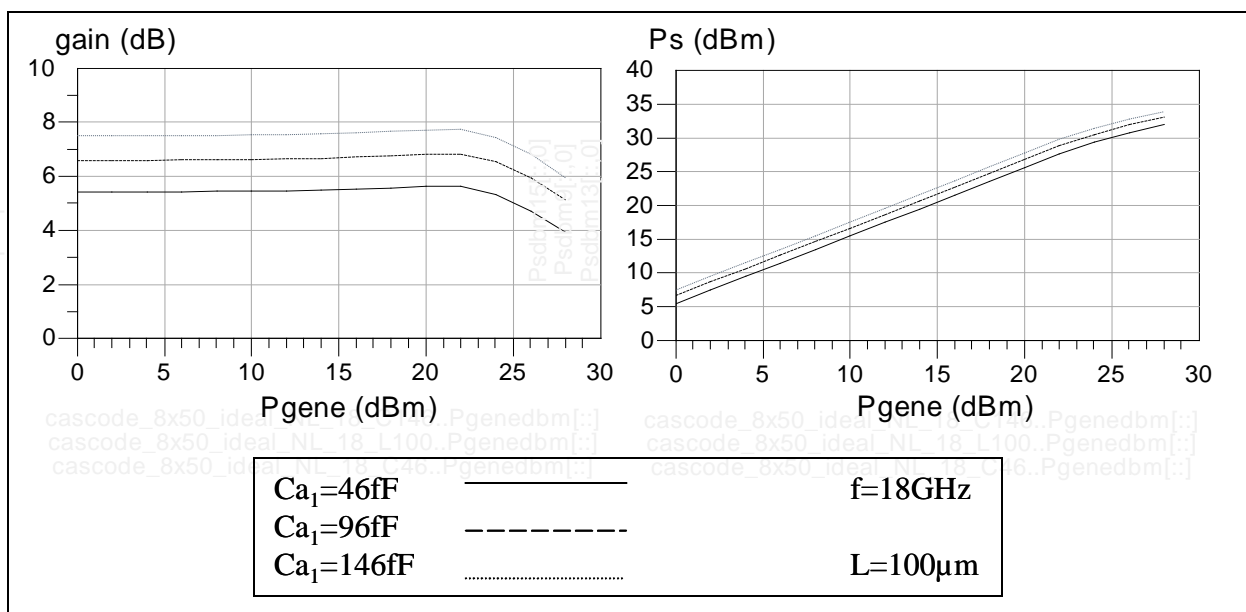
Nous pouvons observer qu'à 6 GHz, la longueur L de la ligne entre les deux transistors n'a aucune influence tant sur le gain que sur la puissance de sortie. En revanche, l'augmentation de la longueur de cette ligne a un effet non négligeable à une fréquence de 18 GHz. Plus cette ligne est longue et plus on observe une dégradation des performances. En conséquence, nous chercherons à minimiser cette longueur de ligne lors de la conception.

L'influence de la valeur de la capacité  $Ca_1$  sur les performances en puissance de la cellule cascade est présentée dans les Figure 3–39 et Figure 3–40. Ces figures montrent la comparaison du gain et de la puissance de sortie en fonction de la puissance d'entrée pour des

valeurs de capacité de 46 fF, 96 fF et 146 fF. Dans chaque cas, la longueur L de la ligne est fixée à 100  $\mu\text{m}$ . La Figure 3–39 concerne les résultats à 6 GHz et la Figure 3–40 à 18 GHz.



Nous pouvons observer que la capacité  $Ca_1$  a une influence importante sur les performances en puissance de la cellule cascade. A 6 GHz, l'influence est certes moins marquée qu'à 18 GHz mais elle est non négligeable malgré tout. Il existe une valeur optimale de cette capacité pour un fonctionnement identique des deux transistors de la cellule, et en conséquence un fonctionnement optimal en puissance. Cette capacité sera optimisée sur le circuit réel que nous allons étudier maintenant.



### b/ Optimisation de la cellule cascode

Comme mentionné précédemment, les transistors sont réalisés sur le substrat de GaN. Ainsi, la cellule cascode complète est réalisée sur ce substrat (Figure 3–41) ; ce circuit comprend :

- les deux composants actifs de développement de grille  $8 \times 50 \mu\text{m}$  ;
- la ligne reliant ces deux transistors ;
- la capacité  $Ca_1$  (en fait, deux capacités de valeur double en série) étudiée précédemment ;
- une forte résistance de polarisation sur la grille du second transistor.

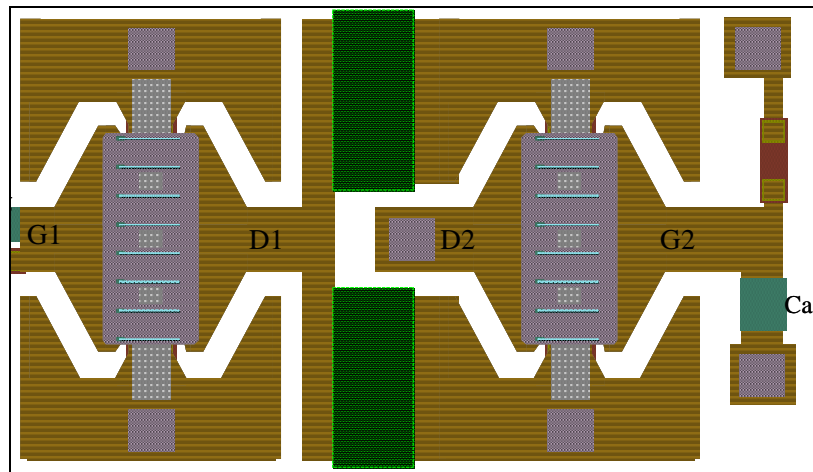


Figure 3–41 : layout d'une cellule cascode

La ligne inter-transistors a été fixée au plus court (mais suffisamment longue tout de même pour permettre le "croisement" avec la ligne de drain de l'amplificateur complet réalisée sur le substrat d'AlN). Afin de limiter les risques de couplage entre lignes, une couche de BCB est implantée sur notre ligne inter-transistors. Par la suite, l'optimisation sur les cycles de charge des deux transistors a permis de déterminer la valeur optimale de la capacité  $Ca_1$  à 162 fF (soit deux capacités de 324 fF en série pour des problèmes de sensibilité aux dimensions). Les simulations ont été réalisées en adaptant le montage cascode sur son impédance de charge optimale déterminée par simulation load-pull (RC parallèle :  $R=106\text{ohms}$  et  $C=0,21\text{pF}$ ). La Figure 3–42 présente les cycles de charge des transistors pour les fréquences de 6, 12 et 18GHz. Une bonne équivalence des contributions des transistors a été obtenue en bas de bande. En revanche, le désaccord augmente légèrement avec la fréquence. Rappelons que les contraintes technologiques ne nous ont pas permises d'insérer

une capacité entre le drain et la source du transistor en grille commune (section [I - 5. b/ ii- ]) et que par conséquent, les performances en puissance de la cellule cascode sont optimales pour la topologie considérée (capacité sur la grille du transistor en grille commune).

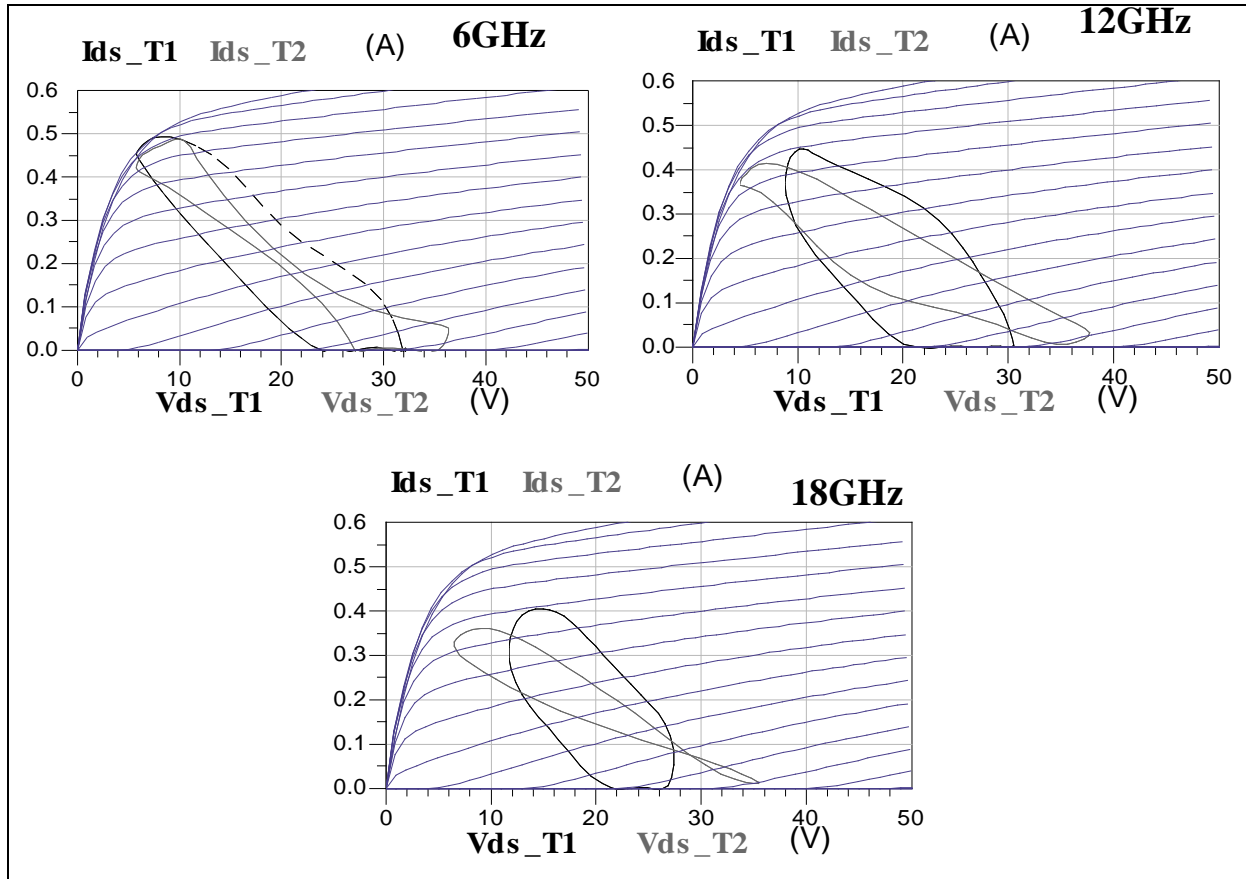


Figure 3-42 : cycles de charge des deux transistors du montage cascode (source commune en foncé et grille commune en clair) pour des fréquences de 6, 12 et 18GHz

La Figure 3-43 présente les performances en puissance en fonction de la puissance d'entrée pour une fréquence de 12 GHz de la cellule cascode optimisée, incluant la capacité  $C_{a1}$  et une résistance de 1000 ohms sur la ligne de polarisation de grille du second transistor.

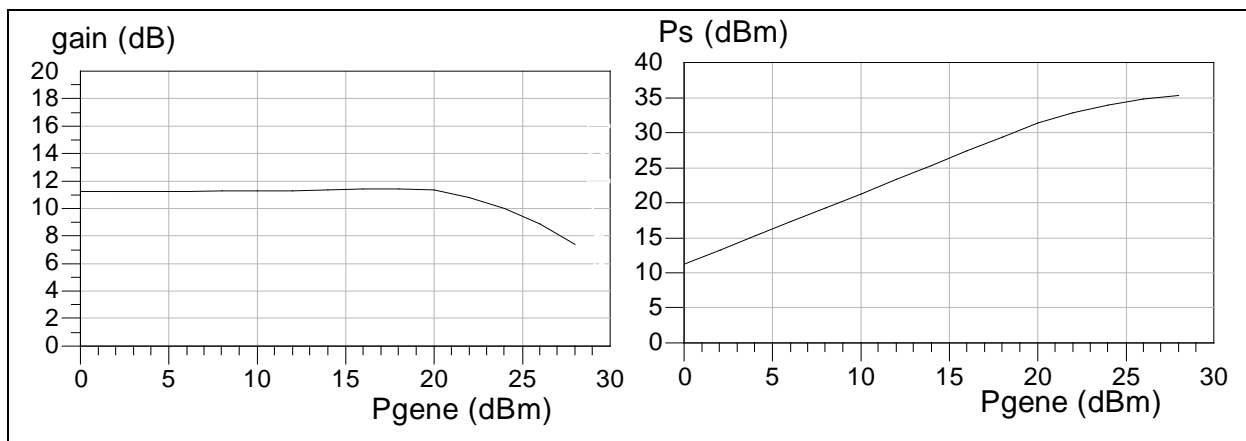


Figure 3-43 : performances en puissance de la cellule cascode pour  $f=12$  GHz

Nous pouvons observer un gain bas niveau de 11,5 dB ainsi qu'une puissance de sortie à 1dB de compression ( $P_{géné}=22,5$  dBm) de 33,5 dBm.

Nous allons maintenant étudier la structure de l'amplificateur distribué complet intégrant la cellule cascode optimisée en puissance.

## 2. L'amplificateur distribué SANA1

L'amplificateur SANA1 est une structure distribuée comprenant quatre cellules cascodes telles que celles que nous venons d'étudier. Comme nous l'avons mentionné précédemment, le circuit complet est le montage flip-chip d'une puce de GaN reportée sur un circuit réalisé sur un substrat d'AlN.

### a/ L'amplificateur distribué SANA1

Le schéma global de l'amplificateur distribué est rappelé dans la Figure 3–44. La partie grisée représente la partie active réalisée sur le substrat de GaN alors que le reste du circuit est conçu sur le substrat de report.

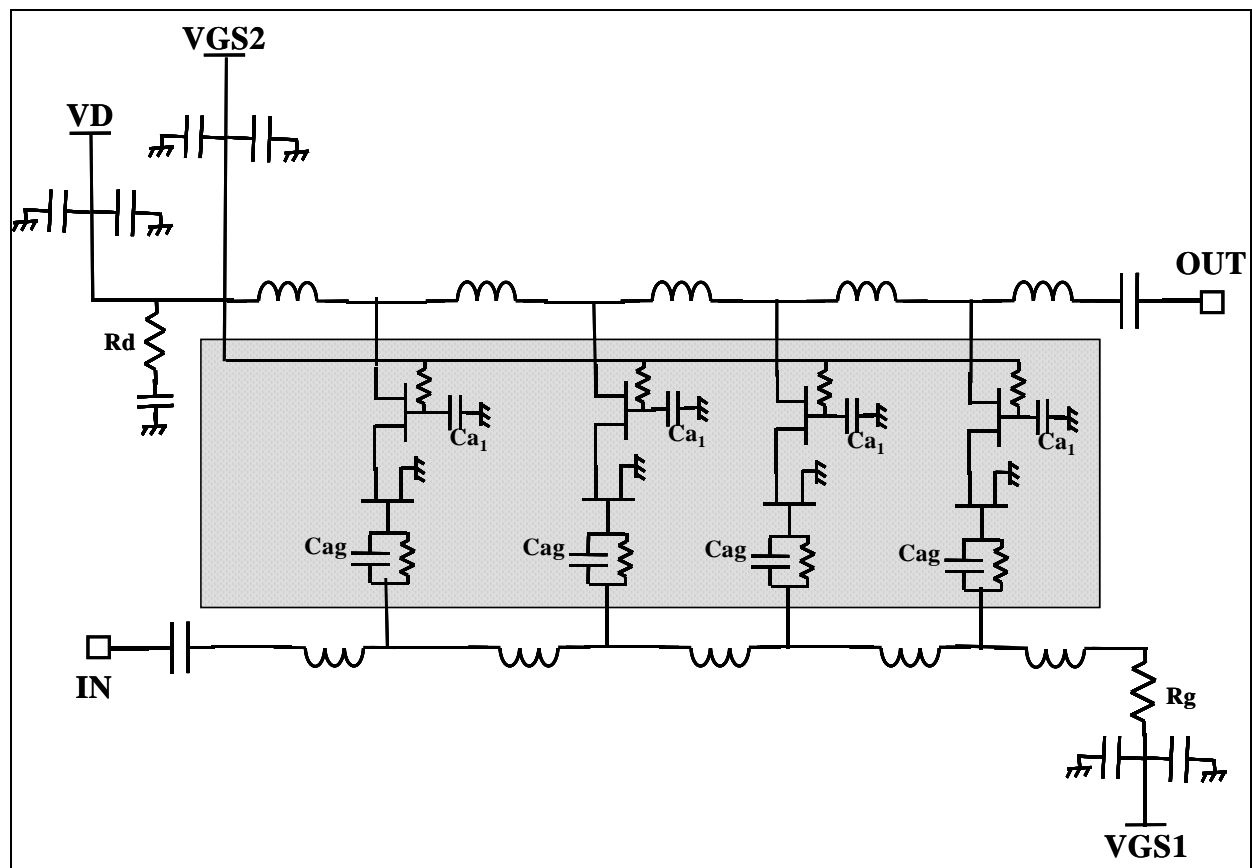


Figure 3–44 : schéma global de l'amplificateur distribué à quatre cellules cascodes



*i- La puce de nitrure de gallium*

Le circuit conçu sur la puce de GaN comprend les quatre cellules cascodes définies dans la section [1. b/ ], c'est-à-dire les huit transistors, les lignes inter-transistors, les capacités  $Ca_1$  ainsi que les fortes résistances de polarisation sur l'accès de grille des transistors en grille commune. La puce comprend également cette ligne d'accès de grille DC commune aux quatre cellules cascodes ainsi que les capacités additionnelles  $Cag$  (cf. section [I - 3. b/ iii- ]). Ce circuit réalisé sur GaN, représentant la zone active de l'amplificateur distribué, est observé dans la Figure 3–45. Cette puce présente des dimensions de  $(3418 \times 1138) \mu m^2$ .

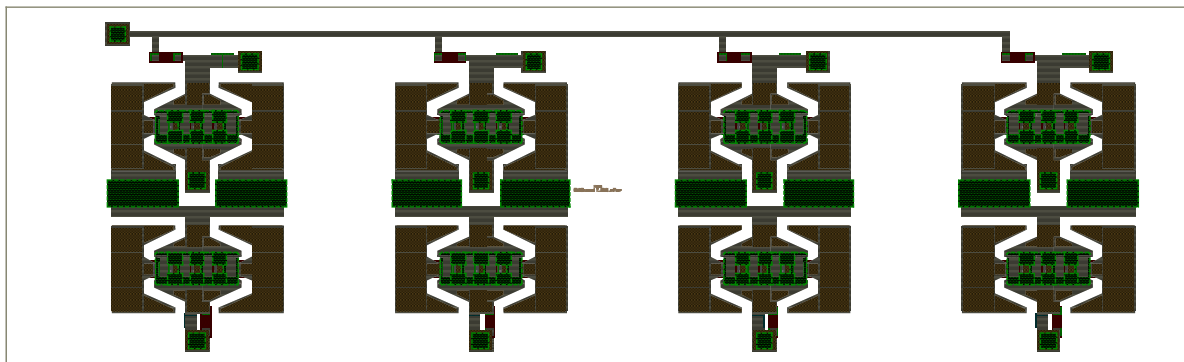


Figure 3–45 : puce de GaN constituant la zone active de l'amplificateur

Les valeurs optimisées pour un fonctionnement en puissance des différents éléments sont données dans le Tableau 3–7. Les capacités sont des éléments MIM intégrés et les résistances sont actives.

<b><math>Cag</math> (fF)</b>	<b><math>Rag</math> (<math>\Omega</math>)</b>	<b><math>Ca_1</math> (fF)</b>	<b><math>Ra_1</math> (<math>\Omega</math>)</b>
260	500	162	1000

Tableau 3–7 : valeurs optimisées des éléments de la puce de GaN

*ii- La puce de nitrure d'aluminium*

La puce de nitrure d'aluminium constitue le circuit de report de la partie active de l'amplificateur conçue sur GaN (Figure 3–46). Ce circuit comprend les lignes d'accès RF ainsi que les lignes de polarisation DC pour les tensions  $VG1$  (tension de grille des transistors en source commune),  $VG2$  (tension de grille des transistors en grille commune) et  $VD$  (le double de la tension de drain de chaque transistor). Ce schéma présente également les vias pour la mise à la masse des transistors, ainsi que les pavés métalliques de report des différentes

capacités de découplage DC/RF employées. Nous pouvons observer la présence des résistances de 50 ohms de terminaison des lignes de grille et de drain.

Les capacités de découplage DC/RF sont des composants MIM CMS du laboratoire Dielectric Laboratories. Deux valeurs ont été choisies afin d'assurer le découplage des hautes et basses fréquences : 5,1 pF et 100 pF. Le layout de la puce AIN prévoit donc les emplacements de report de ces capacités CMS.

Les dimensions totales de cette puce, déterminant les dimensions de l'amplificateur complet, sont (8800x6000)  $\mu\text{m}^2$ .

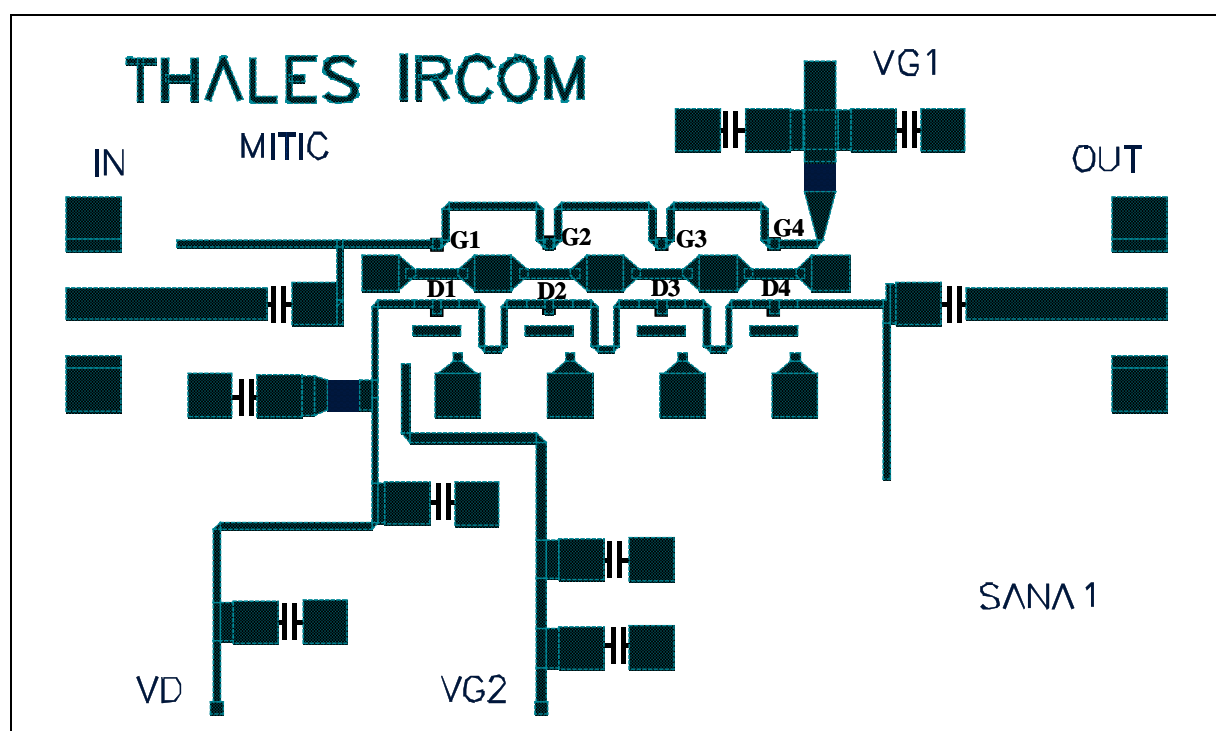


Figure 3-46 : puce d'AIN comprenant l'environnement passif de l'amplificateur SANA1

### iii- L'amplificateur complet

L'amplificateur complet consiste en le report flip-chip de la puce de GaN sur le circuit réalisé sur AIN (Figure 3-47). Ce report se fait par l'intermédiaire de plots électriques, ou pour certains purement mécaniques. En ce qui concerne cet amplificateur, la difficulté du report réside dans la taille "importante" de la puce de GaN ainsi que dans le grand nombre de bumps (21 bumps au total).

Le circuit complet pourra être mesuré soit sous pointes, soit monté en jig de test et connectorisé. Pour des raisons de management thermique que nous détaillerons plus loin (section [3. b/ ]), le circuit sera mesuré en mode pulsé, aussi bien pour le signal RF que pour les polarisations DC.

Une fois le layout de ce circuit obtenu, des études électromagnétiques des parties passives ont été réalisées afin de vérifier l'éventuelle présence de couplage à la masse ou bien entre lignes de transmission. Nous avons pu ainsi vérifier qu'aucun couplage parasite n'apparaissait au sein de la structure. En revanche, les performances de l'amplificateur obtenues à partir des simulations électromagnétiques des passifs étaient sensiblement différentes de celles obtenues par simulations circuit. Nous avons alors décidé de concevoir une seconde version du circuit sur AlN basée sur des optimisations électromagnétiques.

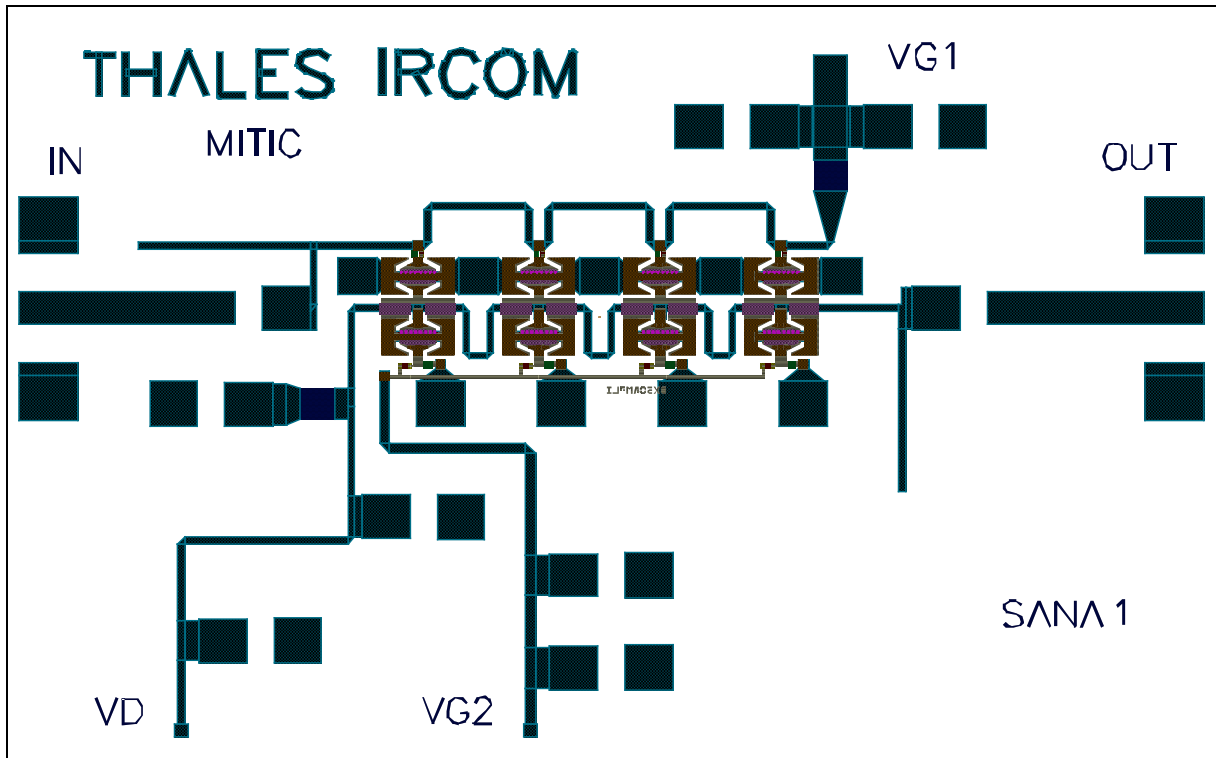


Figure 3–47 : schéma de l'amplificateur ; report flip-chip de la puce de GaN sur le circuit d'AlN

#### b/ L'amplificateur distribué SANA2

L'amplificateur SANA2 présente le même circuit de GaN mais se différencie de l'amplificateur précédent par le circuit de report sur AlN. En effet, ce dernier a été optimisé sur des simulations électromagnétiques des lignes de transmission. Au final, les performances obtenues sont relativement identiques mais le layout est sensiblement différent (Figure 3–48)

même s'il présente des dimensions similaires de  $(8800 \times 6000) \mu\text{m}^2$ . Les deux versions ont été réalisées et permettront ainsi une comparaison entre les simulations circuit et électromagnétique du logiciel utilisé.

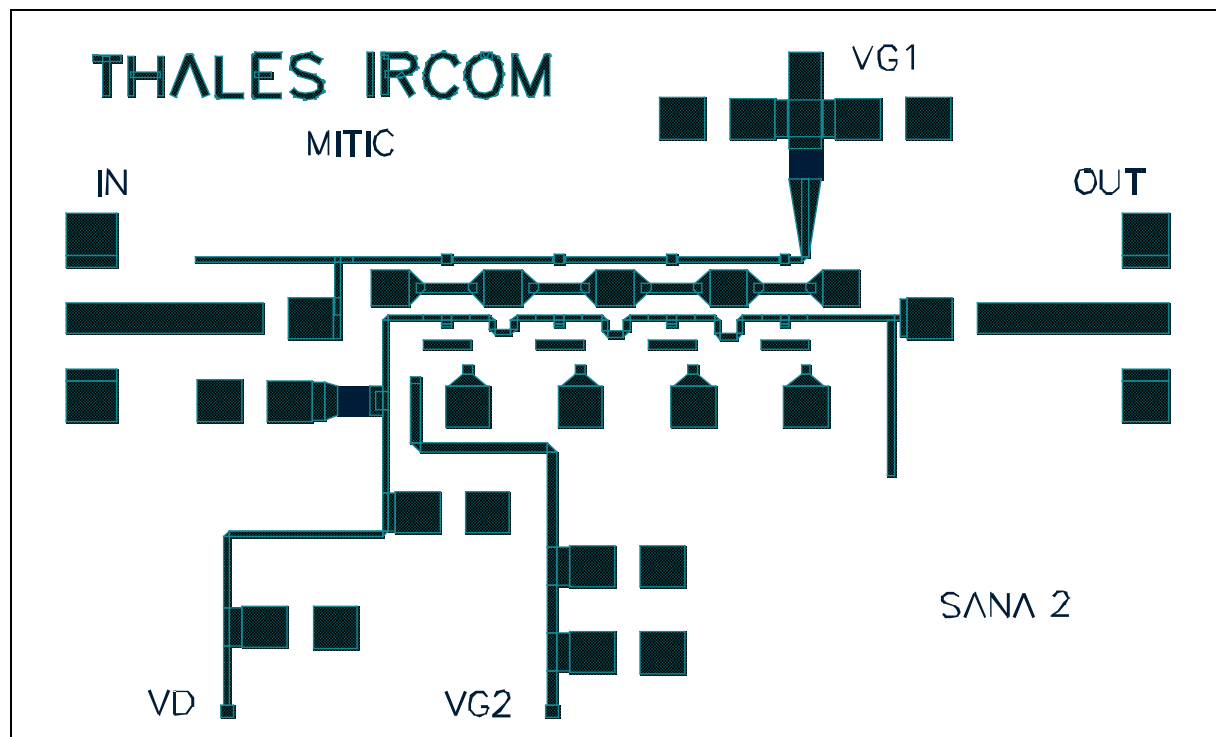


Figure 3–48 : puce d'AlN de l'amplificateur SANA2, optimisée sur des simulations électromagnétiques

### c/ Motifs de test de la cellule cascode

Des motifs de test de la cellule cascode seule ont été conçus sur le substrat de nitrure d'aluminium afin de mesurer les performances de cette cellule. Deux versions de ce circuit de report ont été considérées.

#### *i- Motif de test SANA*

La cellule cascode réalisée sur le substrat de GaN doit être montée en flip-chip sur un circuit d'accès réalisé sur AlN présenté dans la Figure 3–49. Ce circuit comprend deux accès entrée-sortie RF qui permettront également la polarisation DC. Un troisième accès est nécessaire à la polarisation de grille du transistor monté en grille commune ; le découplage RF/DC de cette ligne est assuré par une capacité de 100 pF.

Ces motifs de test permettront de réaliser des comparaisons de résultats de mesures et de simulation. Lors des simulations en régime linéaire, une attention particulière a été portée à

l'étude de la stabilité car le montage cascode est connu pour être très sensible aux oscillations. L'analyse du facteur de Rollet  $K$  a montré une stabilité conditionnelle. Une étude supplémentaire de stabilité a été mise en œuvre ; il s'agit du NDF [3.22], Normalized Determinant Function, permettant une analyse de la stabilité intrinsèque des composants actifs en boucle ouverte. Afin de minimiser les risques, un second circuit de test a été réalisé en insérant une résistance sur la grille du transistor grille commune.

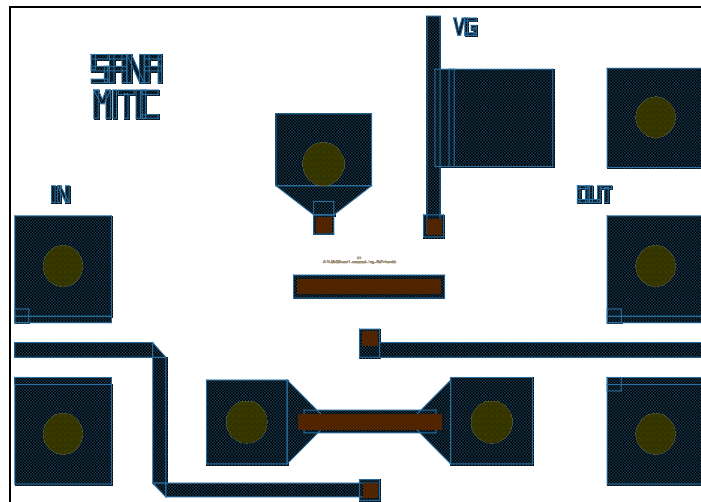


Figure 3–49 : motif de test sur AlN pour le report d'une cellule cascode réalisée sur GaN

*ii- Motif de test SANAR*

Ce circuit de test est identique au précédent si ce n'est qu'il présente une résistance de stabilité d'une valeur de 15 ohms en série sur la capacité  $C_{a1}$  (Figure 3–50). Les simulations de ce nouveau circuit de test ont montré une stabilité inconditionnelle à travers l'évolution du facteur de Rollet ainsi que par rapport à la simulation du NDF.

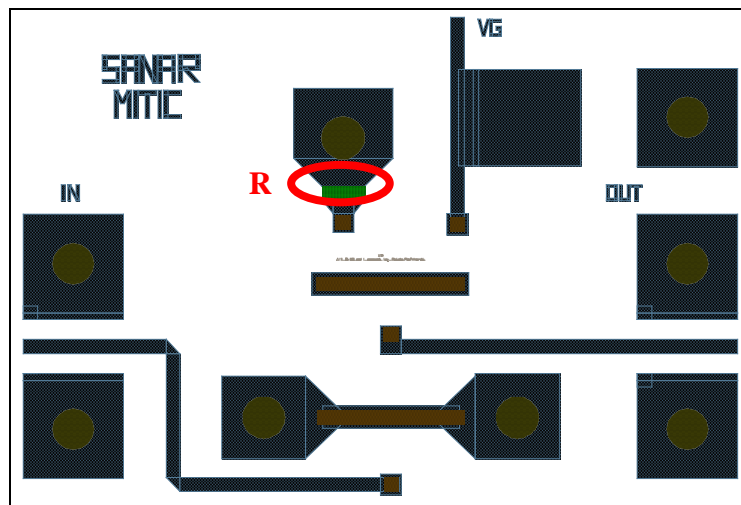


Figure 3–50 : motif de test sur AlN présentant une résistance de stabilité de 15 ohms, pour le report d'une cellule cascode réalisée sur GaN

Les deux versions de ce motif de test SANA et SANAR ont été réalisées.

### **3. Les performances de l'amplificateur SANA1**

Nous allons maintenant nous intéresser aux performances simulées de l'amplificateur SANA1. Comme nous l'avons mentionné auparavant, les performances du circuit SANA2 sont sensiblement identiques et ne seront par conséquent pas exposées ici.

#### a/ Simulations en régime linéaire

Nous allons nous intéresser dans un premier temps aux résultats de simulations en régime linéaire.

La Figure 3-51 expose les paramètres S obtenus par l'analyse petit signal de l'amplificateur. Nous pouvons relever un gain moyen de 10,9 dB sur la bande de fréquence 4-18 GHz. Les paramètres S en réflexion entrée et sortie sont tous deux inférieurs à -9 dB sur une bande de 1 à 21 GHz, traduisant une bonne adaptation du circuit.

Une attention particulière a été apportée à l'analyse de stabilité du circuit. En effet, comme nous l'avons mentionné précédemment, le montage cascode est connu pour être sensible aux oscillations. En conséquence, une première analyse de stabilité a été réalisée à partir des simulations de paramètres S de l'amplificateur : il s'agit du facteur de Rollet.

Nous rappelons ici les conditions de stabilité d'un circuit au regard du facteur de Rollet. Si l'on considère un quadripôle et que l'on pose :

$$K = \frac{1 - |S_{11}|^2 - |S_{22}|^2 + |S_{12}S_{21} - S_{11}S_{22}|^2}{2|S_{12}S_{21}|} \quad \text{et}$$

$$\Delta = 1 + |S_{11}|^2 - |S_{22}|^2 - |S_{11}S_{22} - S_{12}S_{21}|^2$$

alors on dit que le quadripôle est inconditionnellement stable si pour toutes les fréquences de la bande d'utilisation on vérifie que :

$$K > 1 \quad \text{et} \quad \Delta > 0$$

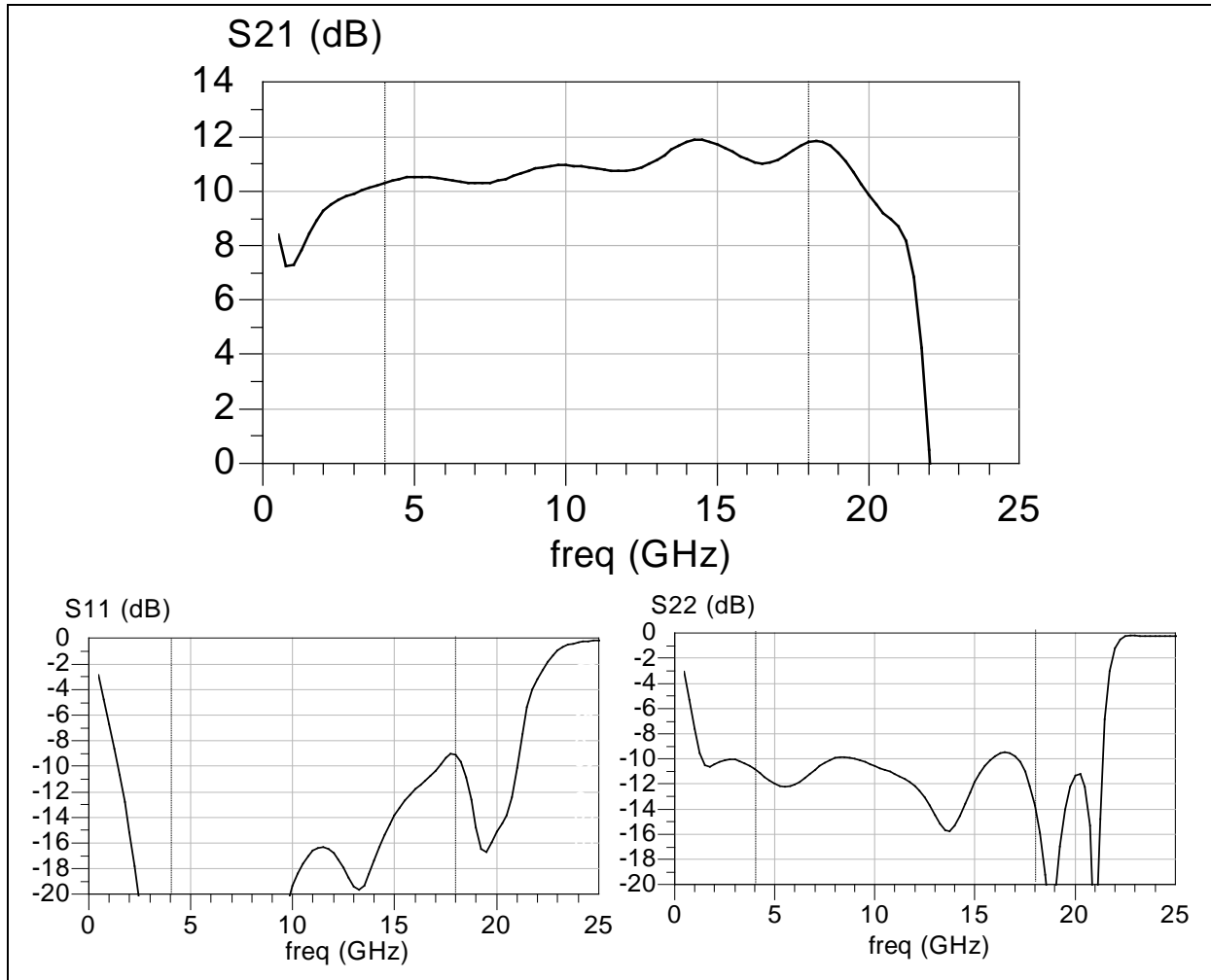


Figure 3-51 : paramètres S obtenus par analyse petit signal de l'amplificateur SANA1

La Figure 3-52 présente les résultats de cette première analyse de stabilité linéaire. Cette simulation a été réalisée sur une bande de fréquence allant de 1 à 30 GHz. Nous pouvons conclure à une stabilité inconditionnelle du circuit puisque le facteur K reste supérieur à l'unité et le facteur 'delta' reste positif sur toute la bande d'analyse.

Afin de compléter notre étude de stabilité linéaire de l'amplificateur, nous avons réalisé une analyse du NDF (Normalized Determinant Function), permettant de tester la stabilité intrinsèque des éléments actifs en boucle ouverte [3.22]. Pour confirmer la stabilité inconditionnelle du circuit, le NDF ne doit pas entourer le point 0 dans le sens anti-trigonométrique. Cette analyse a été réalisée sur une bande de 1 à 70 GHz. Elle a permis de révéler une stabilité inconditionnelle de l'ensemble à ces fréquences. La Figure 3-53 montre le NDF de chacun des huit transistors de l'amplificateur. Le NDF global nécessite d'être étudié de façon approfondie pour conclure sur la stabilité du système. En revanche, nous observons

nettement que le NDF de chaque transistor n'entoure pas le point critique, démontrant que le NDF global, résultant de leur multiplication, n'entoure pas ce point également.

Nous allons maintenant nous intéresser aux résultats de simulation en régime fort signal.

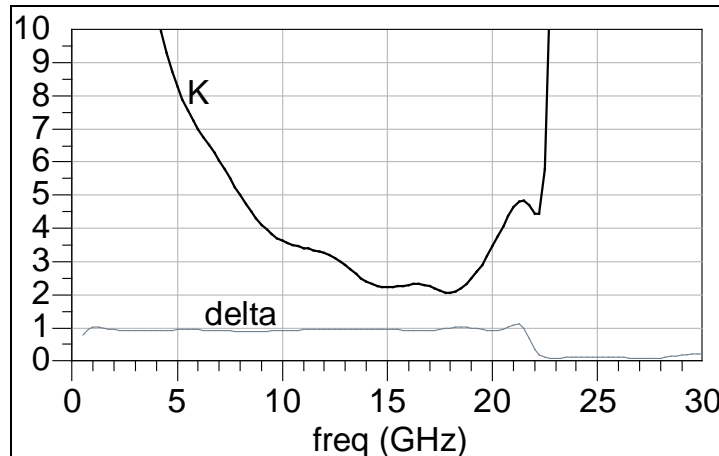


Figure 3-52 : résultat de l'analyse de stabilité linéaire en paramètres S de l'amplificateur SANA1

#### b/ Simulations en régime fort signal

Des simulations en régime fort signal ont été effectuées à partir du modèle non-linéaire des composants actifs. Le point de polarisation considéré au cours de ces analyses est -6 Volts sur la grille et 20 Volts sur le drain, ce qui correspond à un courant égal à 180 mA, équivalent approximativement à  $I_{dss}/3$  (classe AB légère). Les simulations ont été réalisées pour une puissance d'entrée variant de 0 à 32 dBm sur une bande de fréquence couvrant de 1 à 25 GHz.

La Figure 3-54 présente la puissance de sortie à 1 et 2 dB de compression ainsi que les paramètres S en réflexion entrée-sortie en fonction de la fréquence. Nous pouvons observer une bonne adaptation du circuit puisque ces derniers restent inférieurs à -9 dB sur la bande 4-20 GHz.

La puissance de sortie à 1 dB de compression montre une valeur moyenne de 37,6 dBm sur la bande 4-18 GHz, oscillant entre un minimum de 37,1 dBm et un maximum de 38,3 dBm, traduisant une ondulation totale proche du dB sur toute la bande. La puissance de sortie à 2 dB de compression a une valeur moyenne de 38,7 dBm dans la bande 4-18 GHz.



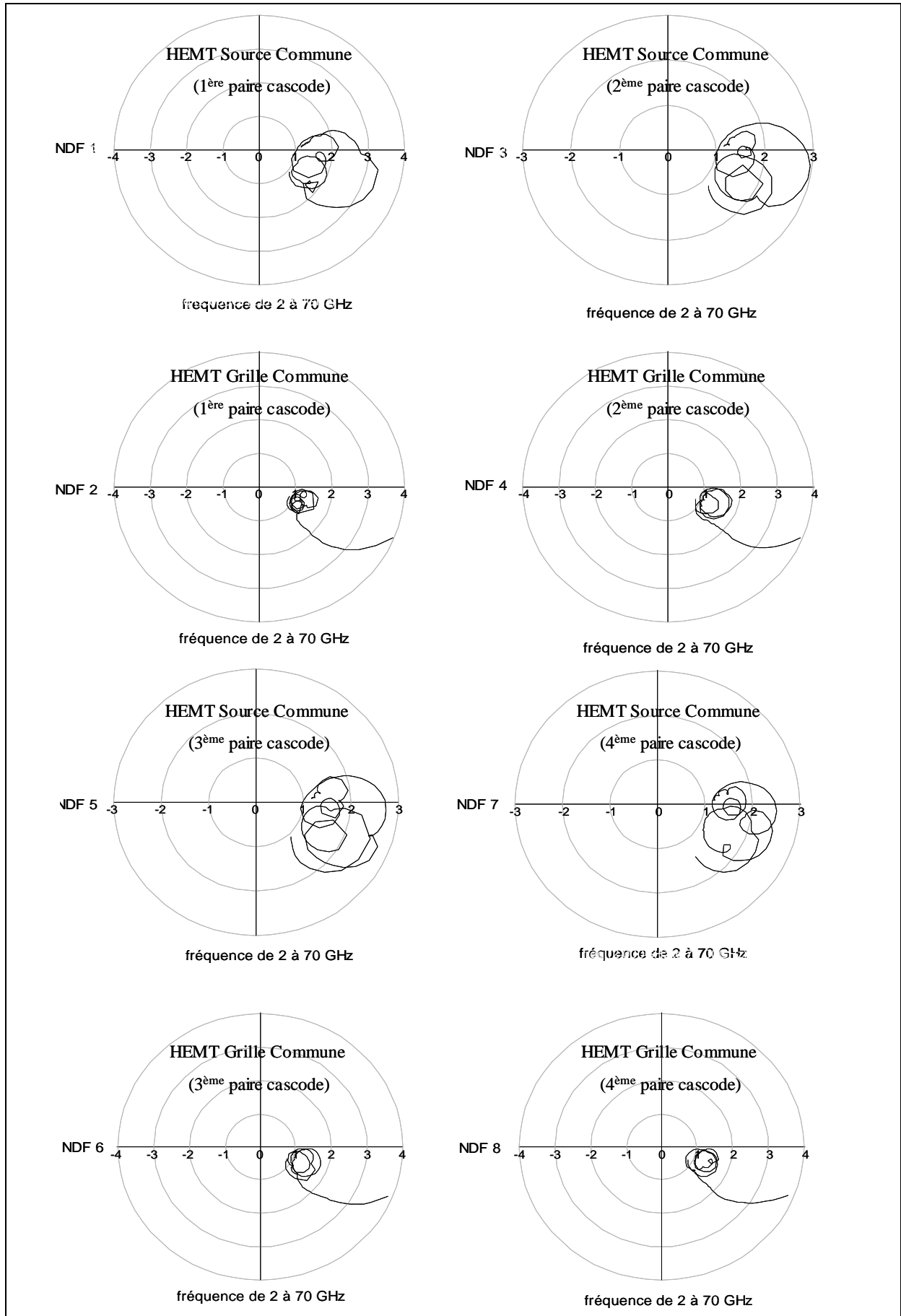


Figure 3-53 : observation du NDF linéaire des 8 transistors de l'amplificateur SANA1

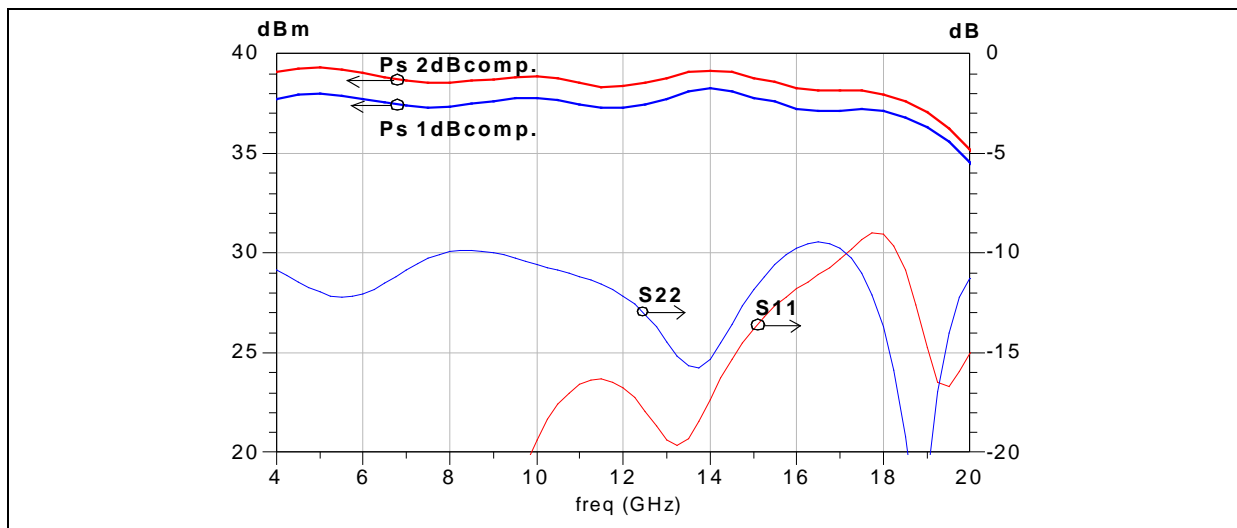


Figure 3–54 : puissance de sortie à 1 dB et 2 dB de compression et paramètres S en réflexion entrée-sortie en fonction de la fréquence

La Figure 3–55 présente la puissance de sortie en fonction de la puissance d'entrée pour les points de fréquence 4 GHz, 12 GHz et 18 GHz. Nous pouvons vérifier ici l'ondulation maximale de l'ordre du dB sur la bande de fréquence couvrant 4-18 GHz.

Nous représentons sur la Figure 3–56 le rendement en puissance ajoutée en fonction de la puissance d'entrée pour les points de fréquence 4 GHz, 12 GHz et 18 GHz. Cette donnée est un paramètre important à prendre en compte lors de la conception car les niveaux de puissance mis en jeu sont assez conséquent, tout comme la température de fonctionnement associée. Le rendement en puissance ajoutée atteint un minimum de 15% en haut de bande à 2 dB de compression. En revanche, en bas de bande, il atteint 17,5% au dB de compression et même 21% à 2 dB de compression.

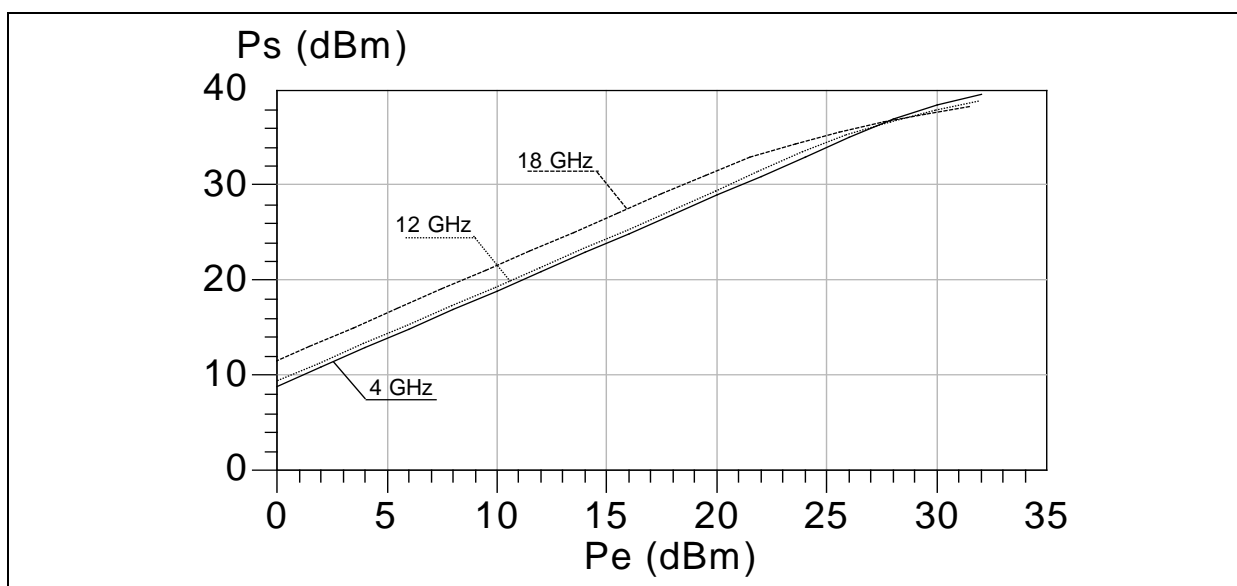


Figure 3–55 : puissance de sortie en fonction de la puissance d'entrée à 4 GHz, 12 GHz et 18 GHz

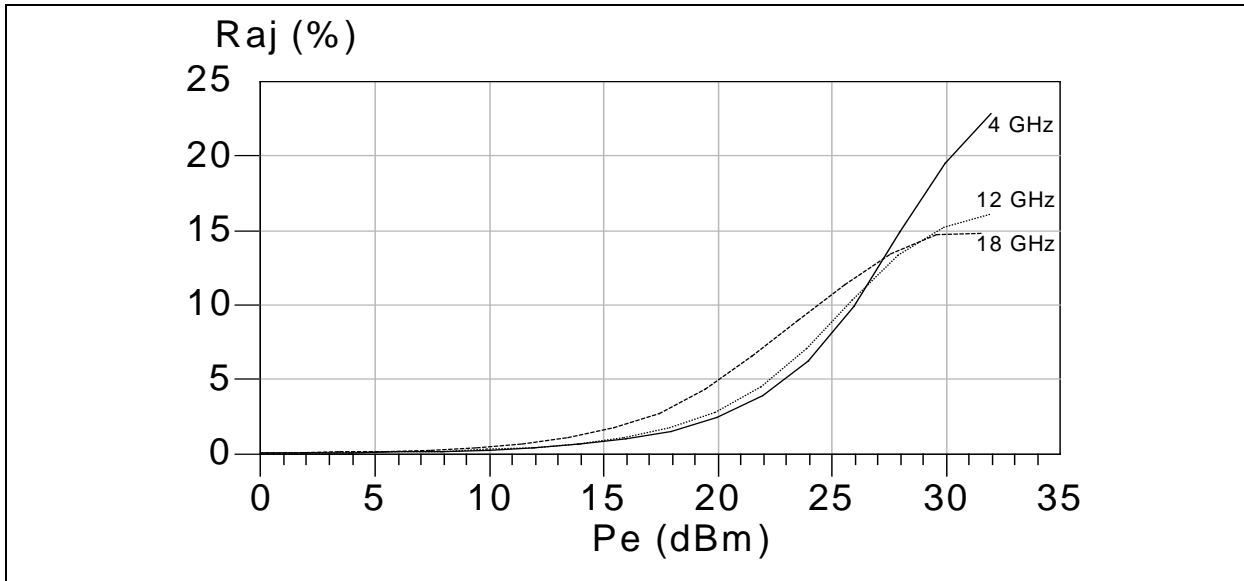


Figure 3-56 : rendement en puissance ajoutée en fonction de la puissance d'entrée pour des fréquences de 4 GHz, 12 GHz et 18 GHz

La Figure 3-57 recense les résultats en puissance obtenus pour une fréquence de 12 GHz. Nous pouvons relever un gain linéaire de 9,2 dB, une puissance de sortie au dB de compression de 37,2 dBm et un rendement en puissance ajoutée de 14,2 %.

Afin de déterminer le fonctionnement en puissance des transistors, nous observons les cycles de charge de ces derniers. La Figure 3-58 montre ces cycles pour des fréquences de 4GHz et 18GHz à  $P_{1dB}$ . Nous pouvons noter que les transistors ne fonctionnent pas tous à leur optimum, surtout en haut de bande ; certains dissipent de la puissance et certains sont quasi passifs mais servent en réalité à l'adaptation des autres composants.

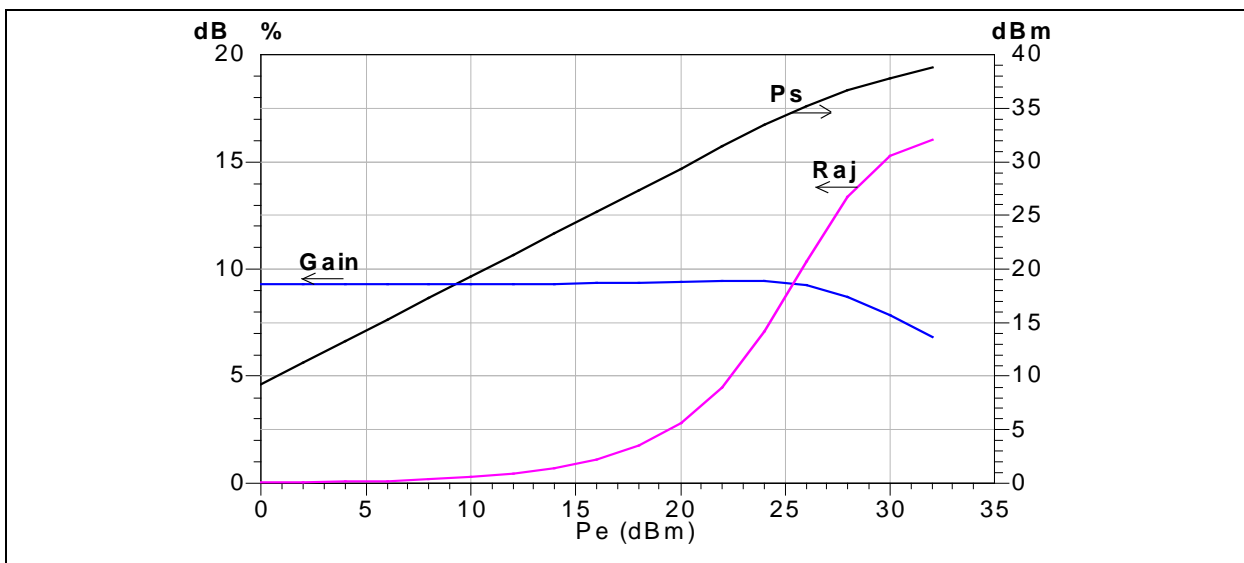


Figure 3-57 : gain en puissance, puissance de sortie et rendement en puissance ajoutée en fonction de la puissance d'entrée à une fréquence de 12 GHz

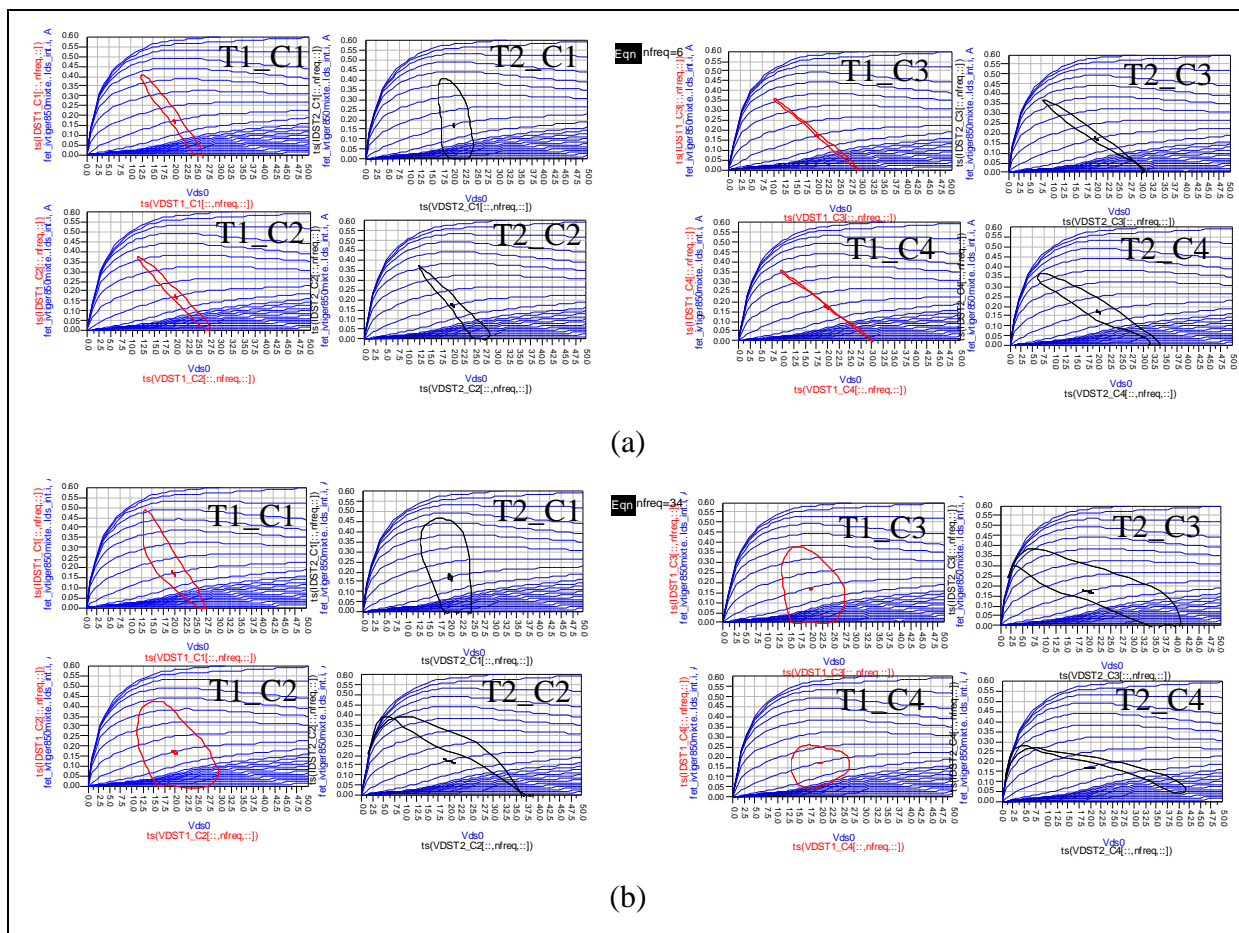


Figure 3–58 : cycles de charge des 8 transistors à  $P_{1dB}$  à 4GHz (a) et 18GHz (b)

Le Tableau 3–8 présente un récapitulatif des résultats en puissance obtenus.



$P_e = 29\text{dBm}$ $V_{gs0} = -6\text{V}$ $V_{ds0} = +20\text{V}$		sur 4-18 GHz @1dB comp. : $P_s = 37,6 \text{ dBm}$ $\Delta=1,2 \text{ dB}$ $G_p = 8,6 \text{ dB}$ $PAE = 16,1 \%$
$P_e = 31\text{dBm}$ $V_{gs0} = -6\text{V}$ $V_{ds0} = +20\text{V}$		sur 4-18 GHz @2dB comp. : $P_s = 38,7 \text{ dBm}$ $\Delta=1,4 \text{ dB}$ $G_p = 7,7 \text{ dB}$ $PAE = 18,2 \%$

Tableau 3–8 : principaux résultats en puissance de SANA1

Nous avons mentionné précédemment que le circuit devra être mesuré en mode pulsé pour des raisons d'échauffement thermique important. En effet, les mesures thermiques sous pointes d'un transistor de développement  $8 \times 125 \mu\text{m}$  sur nitrure de gallium ont permis de déterminer sa résistance thermique, estimée à  $14,1 \text{ }^\circ\text{C/W}$  correspondant à une résistance thermique estimée à  $35 \text{ }^\circ\text{C/W}$  pour un composant de développement  $8 \times 50 \mu\text{m}$ . Si l'on accepte une température de jonction maximale de  $200 \text{ }^\circ\text{C}$ , un rapide calcul nous impose une puissance dissipée maximale de  $5,7 \text{ W}$  pour chaque transistor.

Or, nous avons simulé les puissances dissipées par chacun des huit transistors sur une large bande de fréquence pour une puissance d'entrée de  $29 \text{ dBm}$  et  $31 \text{ dBm}$  (Figure 3–59). Nous pouvons observer un maximum de  $5,6 \text{ W}$  à  $17 \text{ GHz}$  pour une puissance d'entrée de  $31 \text{ dBm}$  concernant le transistor en grille commune de la première cellule cascode. La marge reste très faible pour un fonctionnement CW. Rappelons surtout que la résistance thermique déterminée plus haut correspond à un transistor sur plaque alors que le montage flip-chip donnera une résistance thermique plus importante. En conséquence, l'amplificateur devra être mesuré en mode pulsé afin de limiter le phénomène d'auto-échauffement.

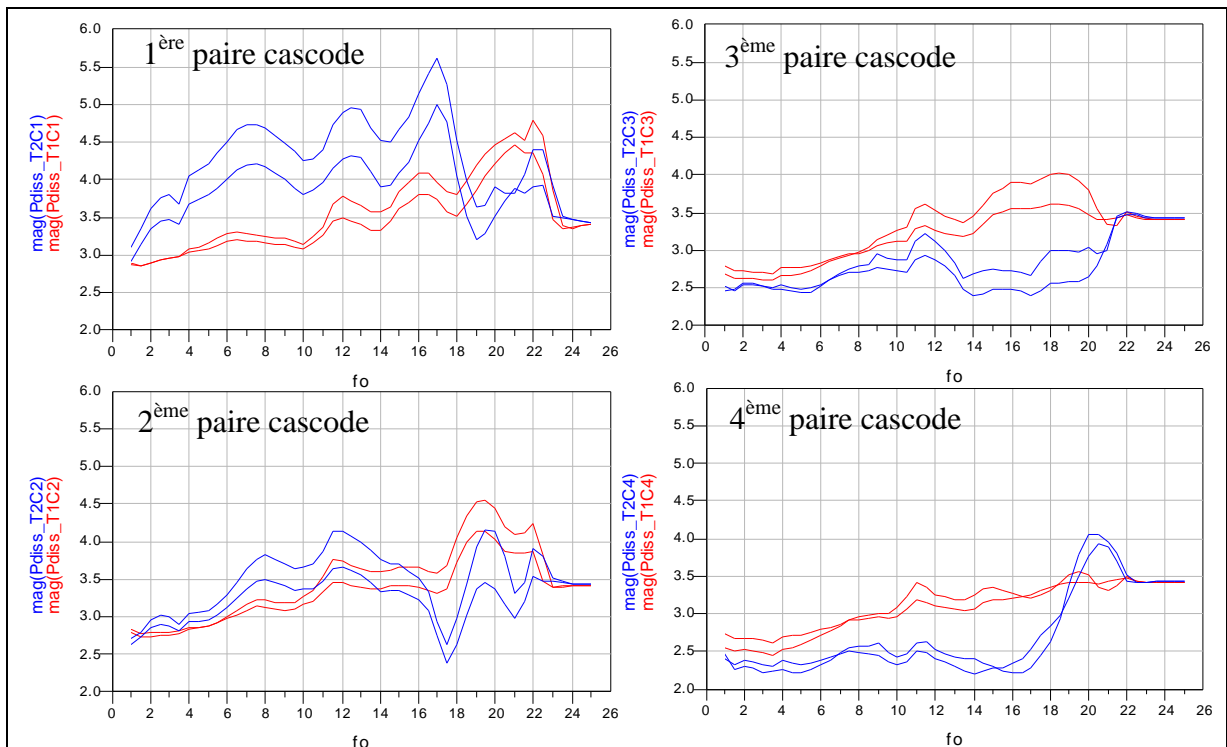


Figure 3–59 : puissance dissipée par chaque transistor en fonction de la fréquence pour une puissance d'entrée de  $29 \text{ dBm}$  (clairs) et  $31 \text{ dBm}$  (foncés)

Nous venons de détailler la conception et les performances simulées d'un amplificateur distribué à cellules cascodes à base de transistors de développement  $8 \times 50 \mu\text{m}$ . Un second amplificateur distribué de même structure initiale a été conçu. Nous allons l'étudier dans le paragraphe suivant.

## IV - Conception de l'amplificateur YADE1

L'amplificateur YADE1 est une structure distribuée présentant quatre cellules cascodes de transistors HEMTs GaN de développement total de grille  $600 \mu\text{m}$ , se décomposant en 8 doigts de  $75 \mu\text{m}$ . La méthode de conception et d'optimisation étant identique à celle utilisée concernant la structure distribuée SANA1 (cf. section [III - ]), nous entrerons moins dans les détails de conception pour nous intéresser plus directement aux résultats obtenus.

### 1. La cellule cascode

La première étape consiste en l'optimisation en puissance de la cellule cascode (Figure 3–60) par la superposition des cycles de charge des deux transistors, comme nous l'avons vu précédemment [III - 1. b/ ]. Pour cela, une capacité  $C_{a1}$  est ajoutée sur la grille du transistor en grille commune, permettant un fonctionnement identique des deux transistors et donc une optimisation de la puissance de sortie de la cellule [I - 5. b/ ii- ]. D'après l'équation eq.3-38, la valeur théorique optimale de cette capacité est de 170 fF. Après optimisation, la valeur optimale de  $C_{a1}$  s'est révélée être égale à 185 fF. Cette capacité est obtenue par la mise en série de deux capacités MIM de 370 fF sur la puce de nitrure de gallium. La ligne inter-transistor a été fixée au plus court en accord avec les conclusions de la section [III - 1. a/ ]. La Figure 3–61 expose le layout de la cellule cascode optimisée. Nous pouvons observer la présence d'une résistance de polarisation  $R_{a1}$  sur la grille du second transistor.

La Figure 3–62 montre les performances en termes de gain et de puissance de sortie de la cellule cascode en fonction de la puissance d'entrée pour une fréquence de 12 GHz. Nous pouvons relever un gain bas niveau de 10,2 dB pour la cellule cascode optimisée.

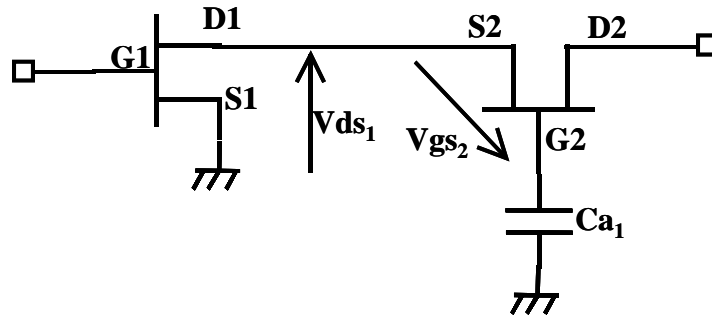


Figure 3-60 : schéma de la cellule cascode avec capacité  $Ca_1$

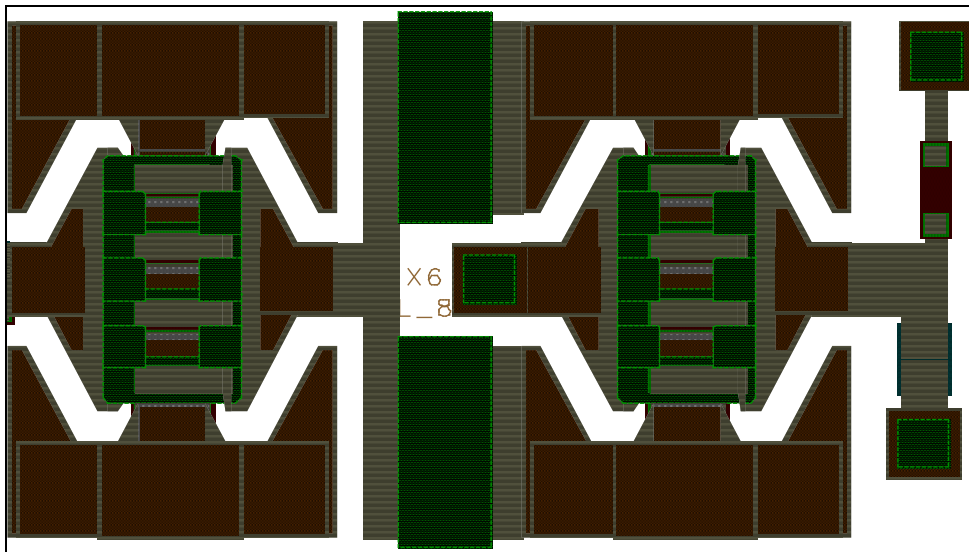


Figure 3-61 : layout de la cellule cascode optimisée

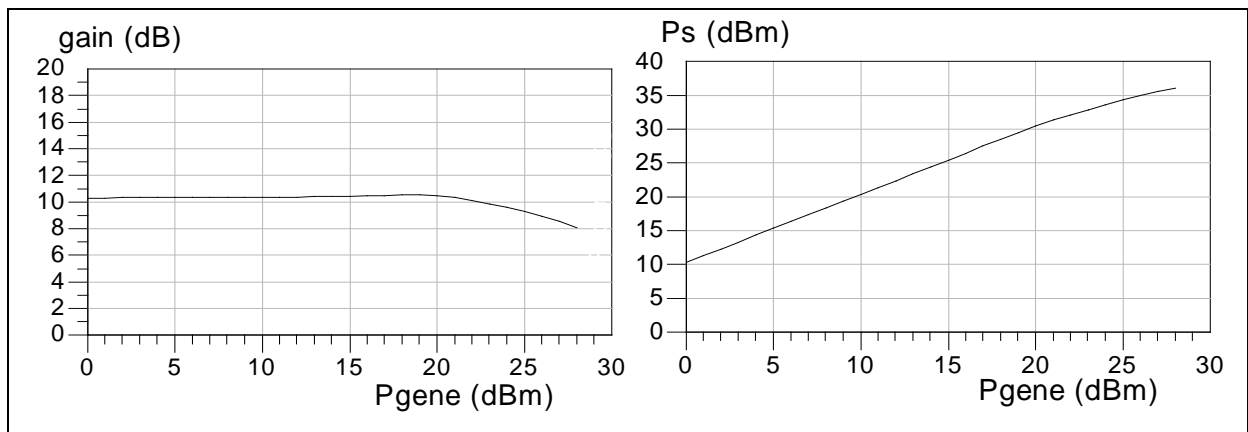


Figure 3-62 : performances en puissance de la cellule cascode en fonction de  $P_e$  pour  $f=12$  GHz

Nous allons maintenant nous intéresser à la conception de l'amplificateur complet YADEL.

## 2. L'amplificateur distribué YADE1

L'amplificateur distribué YADE1 est le montage flip-chip d'un circuit réalisé sur GaN, sur un circuit de report sur AlN.

### a/ L'amplificateur distribué YADE1

La structure de base de l'amplificateur distribué YADE1 est la même que celle étudiée pour le circuit SANA1 (Figure 3–63). La partie grisée représente la partie active de l'amplificateur réalisée sur un substrat de GaN sur SiC, et la partie restante correspond à l'environnement passif réalisé sur le substrat de report en AlN.

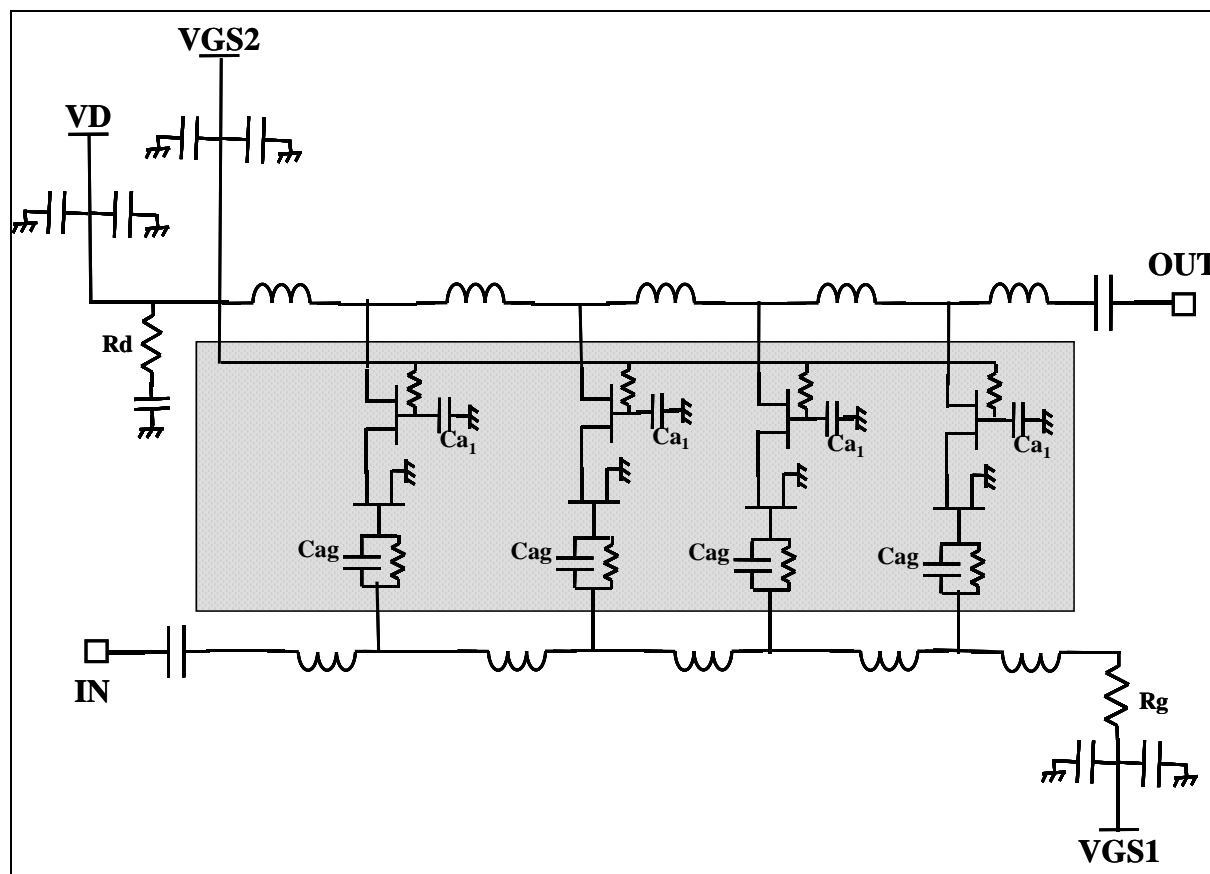


Figure 3–63 : schéma global de l'amplificateur distribué à quatre cellules cascodes

### *i- La puce de nitrure de gallium*

Le circuit réalisé sur le substrat de GaN compose la partie active de l'amplificateur (Figure 3–64). Il comprend les quatre cellules cascodes, c'est-à-dire huit transistors de



développement  $8 \times 75 \mu\text{m}$ , les lignes inter-transistors, les capacités  $C_{a1}$  et les résistances de polarisation  $R_{a1}$ , les capacités additionnelles  $C_{ag}$  (cf. section [I - 3. b/ iii- ]) et leur résistance de polarisation associée  $R_{ag}$ . Ce circuit présente également les bumps électriques et mécaniques nécessaires au report flip-chip. Les dimensions de cette puce sont  $(3,3 \times 1,2) \text{ mm}^2$ .

Les valeurs optimisées des éléments passifs sont recensées dans le Tableau 3–9. Les capacités sont des éléments MIM intégrés et les résistances sont actives.

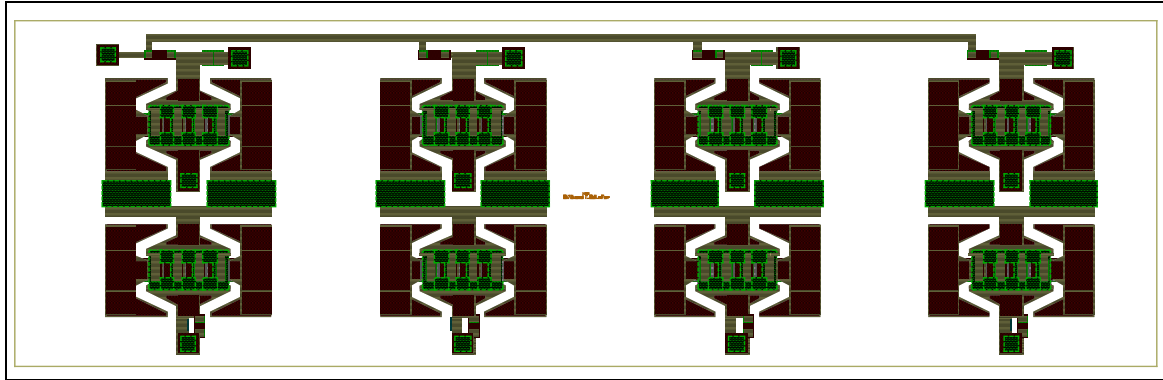


Figure 3–64 : puce de GaN constituant la zone active de l'amplificateur

$C_{ag}$ (fF)	$R_{ag}$ ( $\Omega$ )	$C_{a1}$ (fF)	$R_{a1}$ ( $\Omega$ )
300	500	185	1000

Tableau 3–9 : valeurs optimisées des éléments de la puce de GaN

*ii- La puce de nitrure d'aluminium*

Le design réalisé sur le substrat d'AlN constitue le circuit de report de la partie active conçue sur GaN (Figure 3–65). Nous pouvons observer que ce circuit comprend les accès entrée et sortie RF et les accès DC nécessaires à la polarisation des transistors : VG1 (tension de grille des transistors en source commune), VG2 (tension de grille en grille commune) et VD (le double de la tension de drain de chaque transistor). Ce circuit présente également les trous métallisés permettant la mise à la masse des différents composants, les plots de report des capacités de découplage DC/RF ainsi que les bumps mécaniques et électriques nécessaires au montage flip-chip de la puce. Nous pouvons noter la présence des résistances de 50 ohms en terminaison des lignes de grille et de drain.

Les capacités de découplage DC/RF utilisées sont des composants MIM CMS de 5,1pF et 100pF du laboratoire Dielectric Laboratories.

Les dimensions de la puce de nitrure d'aluminium sont  $(8800 \times 6000) \mu\text{m}^2$ . Ces dimensions sont également celles de l'amplificateur global après montage flip-chip.

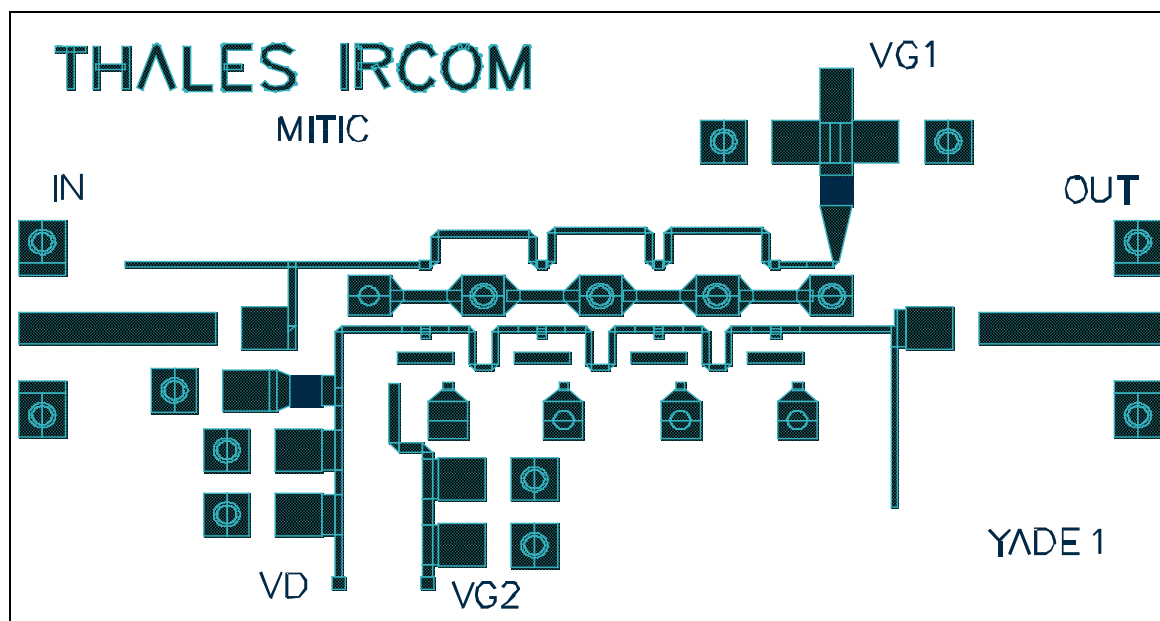


Figure 3-65 : puce d'AlN comprenant l'environnement passif de l'amplificateur YADE1

### *iii- L'amplificateur complet*

L'amplificateur complet est le montage flip-chip de la puce de GaN sur la puce d'AlN. Ce report se fait par l'intermédiaire des bumps mécaniques et électriques présents sur les deux puces. Ce montage reste délicat en raison des 'grandes dimensions' de la puce de GaN ainsi que du nombre conséquent de bumps devant parfaitement coïncider (21 bumps).

Le circuit global pourra être mesuré sous pointes ou bien monté en jig de test puis connectorisé. Pour les mêmes raisons de management thermique que dans le cas de l'amplificateur SANA1 (voir section [III - 3. b/ ]), cet amplificateur sera mesuré en mode pulsé, aussi bien pour le signal RF que pour les polarisations DC.

Tout comme dans le cas de l'amplificateur SANA1, une analyse électromagnétique des lignes de l'amplificateur a été réalisée afin de mettre en évidence d'éventuels couplages parasites. Cette étude n'a pas mis en avant de problèmes de couplage. En revanche, les performances du circuit global avaient été modifiées. En conséquence, une seconde version de cet amplificateur a été conçue.

### b/ L'amplificateur distribué YADE2

L'amplificateur distribué YADE2 se différencie de l'amplificateur YADE1 par son circuit d'AIN. En effet, la puce de GaN reste inchangée. En revanche, la puce d'AIN est obtenue par optimisation électromagnétique des passifs (Figure 3–66). Au final, les performances de ces deux versions (YADE1 et YADE2) sont équivalentes mais le layout de l'AIN est sensiblement différent. Les dimensions de cet amplificateur sont identiques à celle de YADE1, soit  $(8800 \times 6000) \mu\text{m}^2$ .

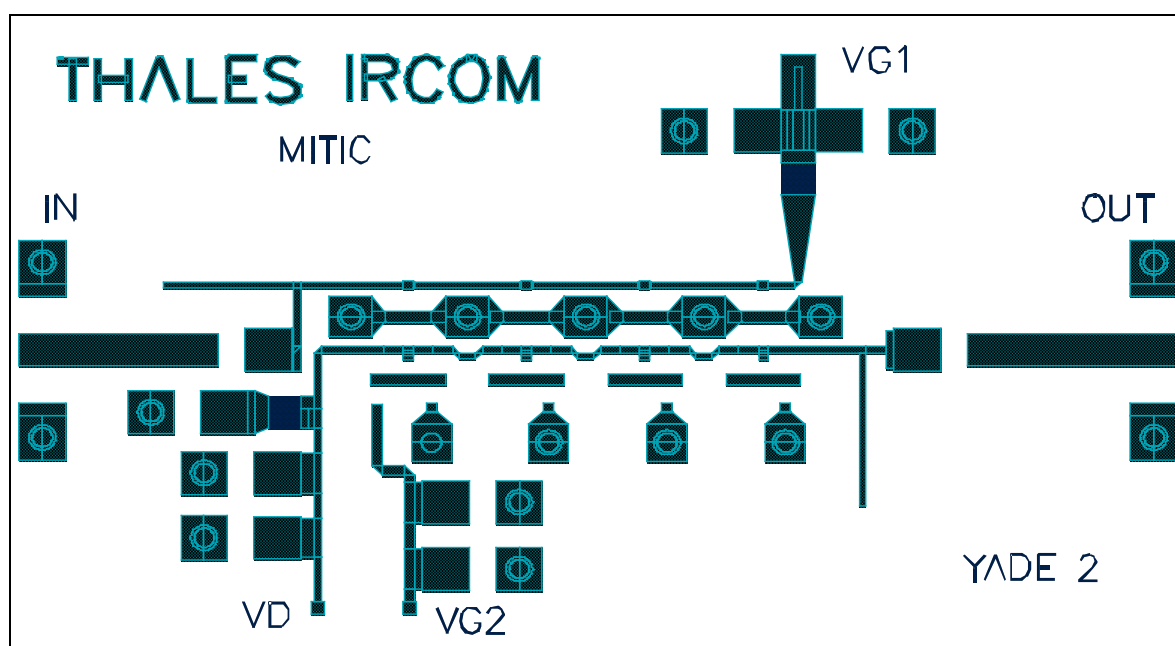


Figure 3–66 : puce d'AIN de l'amplificateur YADE2, optimisée sur des simulations électromagnétiques

Les deux versions de l'amplificateur YADE1 et YADE2 sont réalisées et permettront une comparaison des méthodes de simulations circuit et électromagnétique.

### c/ Motifs de test de la cellule cascade

Des motifs de test de la cellule cascade seule ont été réalisés afin d'évaluer les performances d'une cellule. Deux versions de ces motifs de test ont été conçues pour évaluer les cellules cascades de transistors  $8 \times 75 \mu\text{m}$ .

*i- Motif de test YADE*

Afin d'être mesurée, la cellule cascode conçue sur le substrat de GaN nécessite un circuit de report sur AlN (Figure 3–67). Ce circuit de report présente les accès entrée et sortie RF et DC ainsi qu'un plot VG de polarisation DC de grille du transistor en grille commune. Nous pouvons observer la présence de trous métallisés pour le retour à la masse ainsi que les bumps de report. Une capacité MIM CMS est prévue pour le découplage DC/RF sur la ligne de polarisation VG.

La cellule cascode étant connue pour être sensible aux oscillations, une attention particulière a été portée sur la stabilité de ce circuit de test. Le facteur de Rollet n'annonçait qu'une stabilité conditionnelle de l'ensemble. En revanche, l'étude du NDF ne mettait en avant aucune instabilité. Pour limiter les risques, une seconde version de ce motif de test incluant une résistance de stabilité a été réalisée.

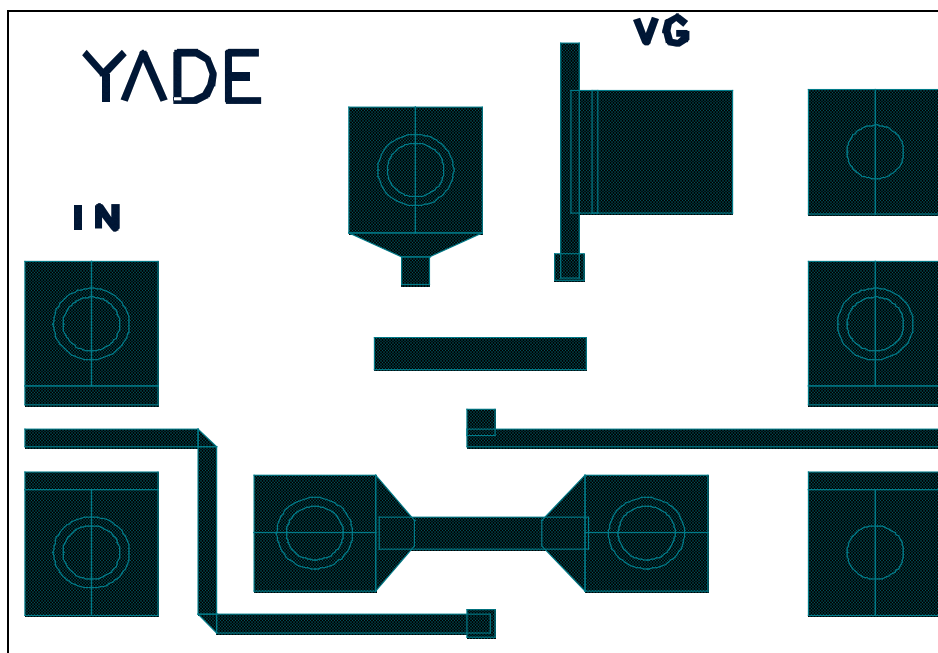


Figure 3–67 : motif de test sur AlN pour le report d'une cellule cascode réalisée sur GaN

*ii- Motif de test YADER*

YADER est un motif de test pour la cellule cascode de transistors  $8 \times 75 \mu\text{m}$ . Cette version comprend une résistance de stabilité de 10 ohms introduite en série avec  $Ca_1$  sur la grille du transistor en grille commune. Les simulations du facteur de Rollet et du NDF ont montré une stabilité inconditionnelle de l'ensemble.

Les deux versions YADE et YADER sont réalisées.

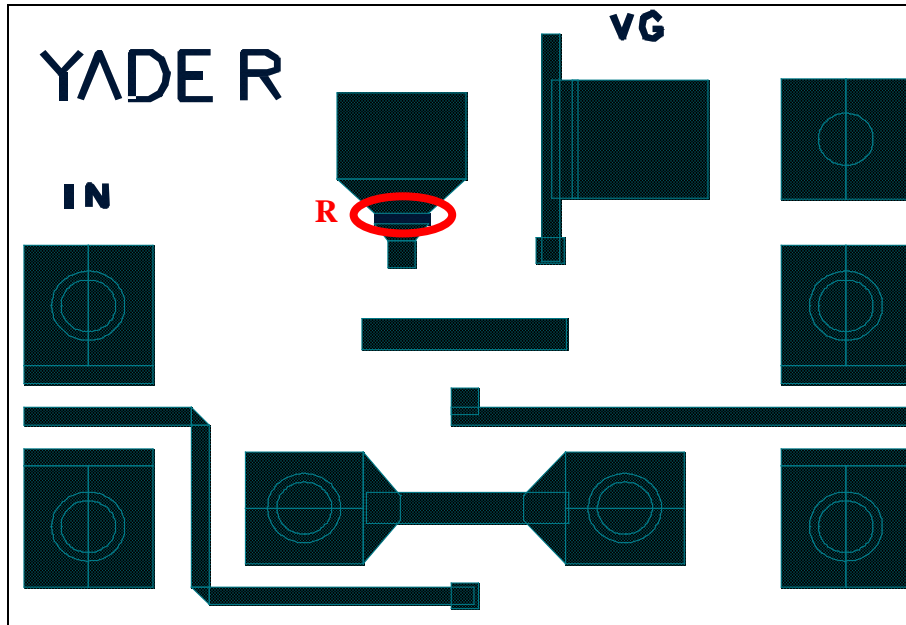


Figure 3–68 : motif de test sur AlN avec résistance de stabilité pour le report d'une cellule cascode réalisée sur GaN

### **3. Les performances de l'amplificateur YADE1**

Nous allons maintenant présenter les performances de l'amplificateur YADE1. Comme nous l'avons mentionné précédemment, la version YADE2 présente des performances similaires. En conséquence, seuls les résultats de YADE1 seront présentés ici.

#### **a/ Simulations en régime linéaire**

Nous nous intéressons dans un premier temps aux résultats obtenus par l'analyse en régime linéaire de l'amplificateur.

La Figure 3–69 montre les paramètres S linéaires du circuit. Nous pouvons noter une valeur moyenne du paramètre en transmission  $S_{21}$  de 9,8 dB sur la bande de fréquence 4-18 GHz. Les paramètres en réflexion entrée-sortie restent inférieurs à -10 dB entre 2 et 20 GHz, traduisant une bonne adaptation du circuit.

Différentes analyses ont été réalisées afin de vérifier la stabilité linéaire de l'amplificateur. La Figure 3–70 présente le facteur de Rollet. Le circuit étudié est inconditionnellement stable quel que soient les conditions de charge. En complément, une

analyse de stabilité en boucle ouverte (NDF) a été effectuée, concluant également à une stabilité de l'ensemble.

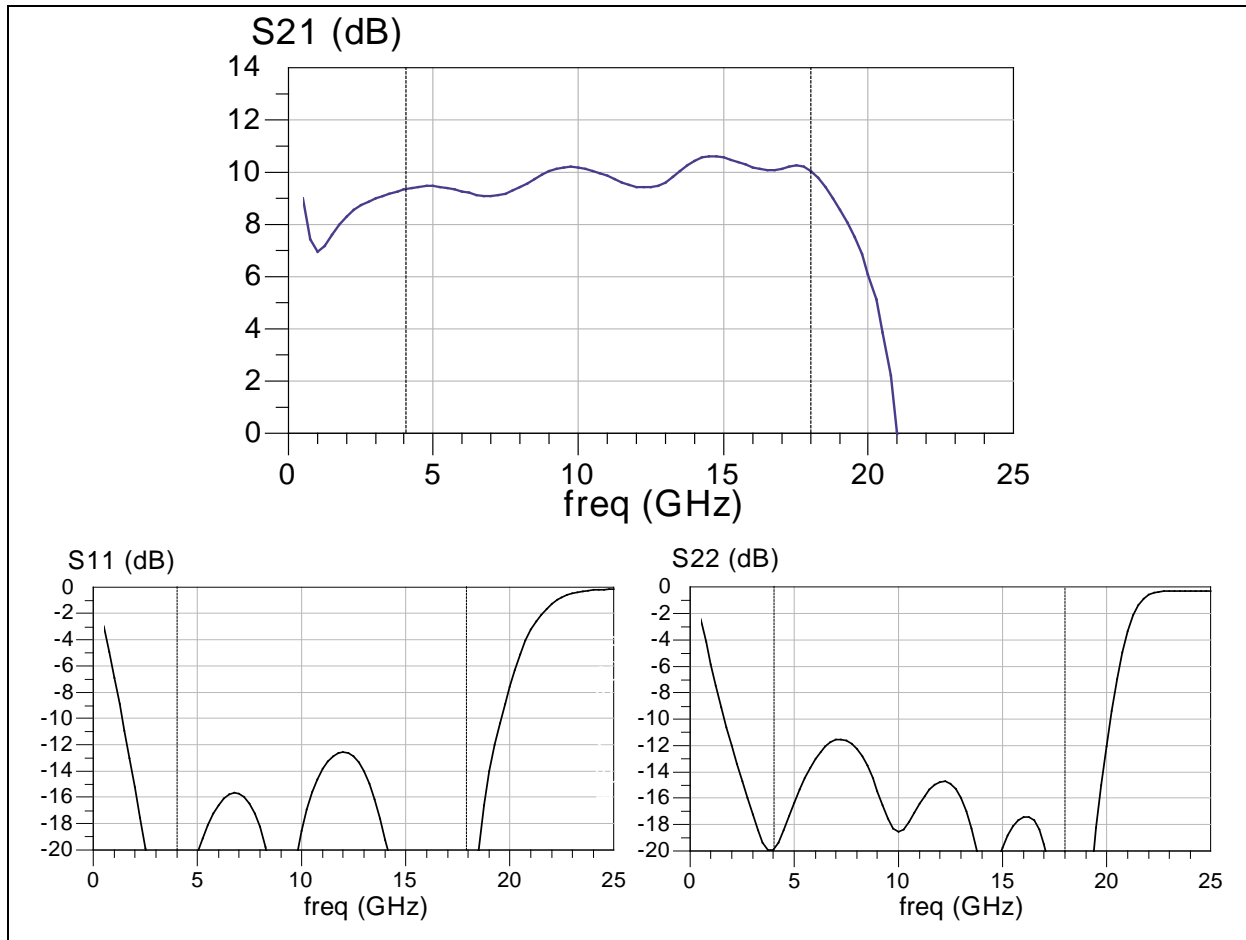


Figure 3-69 : paramètres S obtenus par analyse petit signal de l'amplificateur YADE1

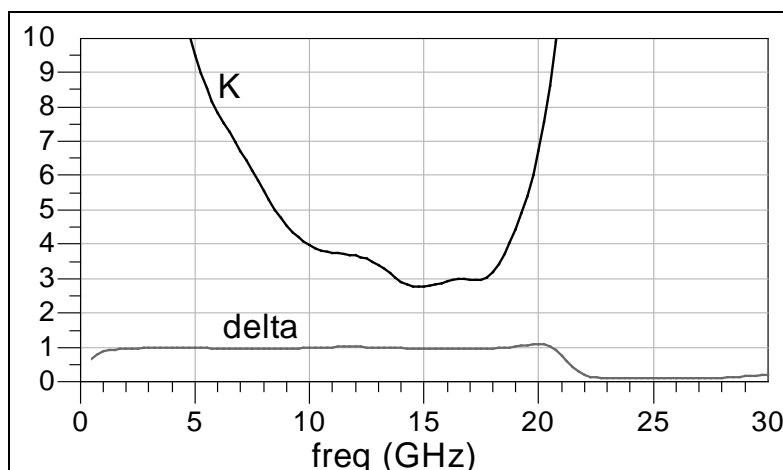


Figure 3-70 : résultat de l'analyse de stabilité linéaire en paramètres S de l'amplificateur YADE1

Nous allons maintenant présenter les résultats obtenus en régime fort signal.

b/ Simulations en régime fort signal

Des simulations en régime fort signal ont été réalisées sur l'amplificateur YADE1. Le point de polarisation considéré lors de ces analyses est de  $-6$  Volts sur la grille et  $20$  Volts sur le drain, ce qui équivaut à un courant de drain de  $200$  mA. Les différentes simulations ont été effectuées pour une puissance d'entrée variant de  $0$  à  $33$  dBm sur une bande de fréquences couvrant  $1-25$  GHz.

La Figure 3-71 présente les résultats en puissance de sortie à  $1$  et  $2$  dB de compression ainsi que les coefficients de réflexion entrée-sortie en fonction de la fréquence. Ces derniers traduisent une bonne adaptation du circuit puisqu'ils restent inférieurs à  $-12$  dB sur la bande de fréquence d'utilisation  $4-18$  GHz.

La puissance de sortie au dB de compression présente une valeur moyenne de  $38,8$  dBm sur la bande  $4-18$  GHz, oscillant entre une valeur minimum de  $37,2$  dBm et une valeur maximum de  $39,5$  dBm. A  $2$  dB de compression, la puissance de sortie moyenne est de  $40,2$  dBm sur la bande de fréquence  $4-18$  GHz.

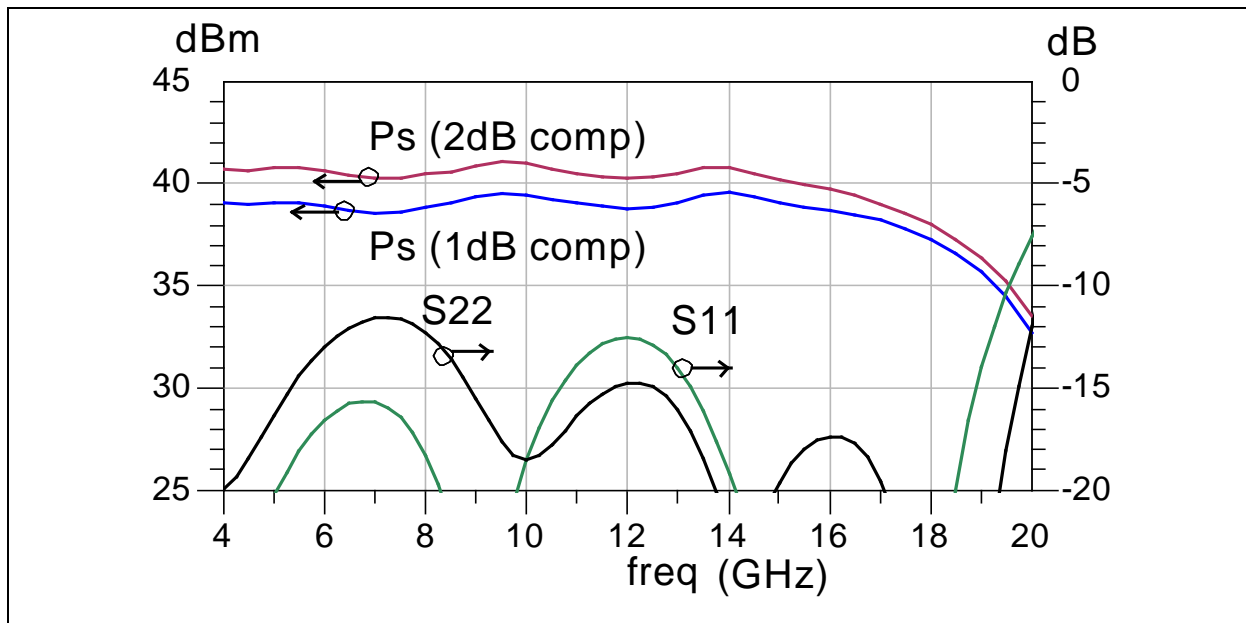


Figure 3-71 : puissance de sortie à 1 dB et 2 dB de compression et paramètres S en réflexion entrée-sortie en fonction de la fréquence

La Figure 3-72 présente la puissance de sortie en fonction de la puissance d'entrée pour les points de fréquence  $4$  GHz,  $12$  GHz et  $18$  GHz.

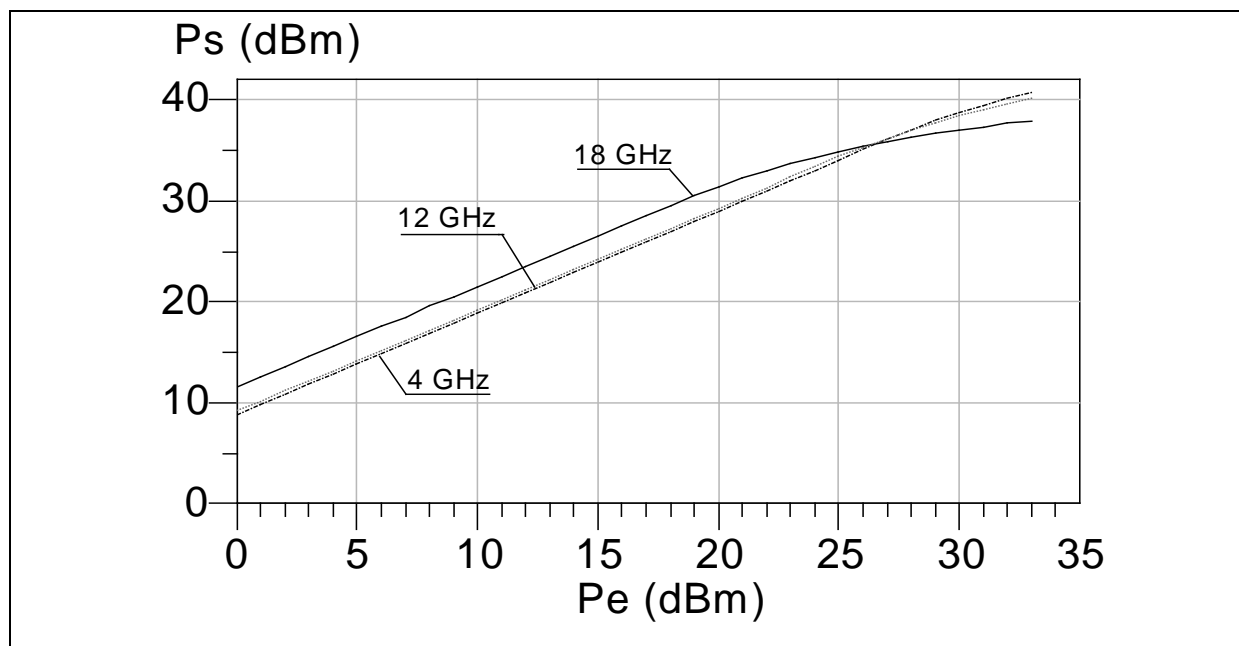


Figure 3-72 : puissance de sortie en fonction de la puissance d'entrée pour des fréquences de 4 GHz, 12 GHz et 18 GHz

Le rendement en puissance ajoutée est présenté dans la Figure 3-73 en fonction de la puissance d'entrée pour les points de fréquence 4 GHz, 12 GHz et 18 GHz. En haut de bande, à 18 GHz, nous observons un maximum de rendement de 10,5% à 29 dBm. A 30 dBm de puissance d'entrée, le rendement en puissance ajoutée varie entre 10 et 20% sur la bande de fréquence.

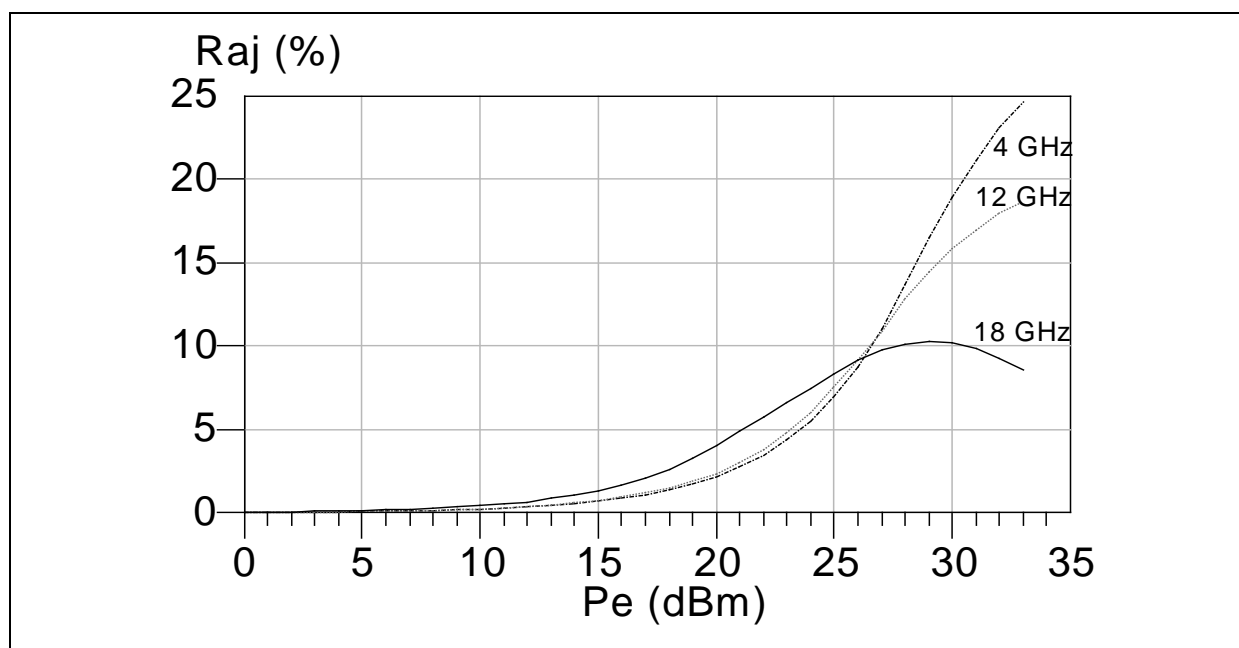


Figure 3-73 : rendement en puissance ajoutée en fonction de la puissance d'entrée pour des fréquences de 4 GHz, 12 GHz et 18 GHz



La Figure 3–74 montre la puissance de sortie, le gain et le rendement en puissance ajoutée en fonction de la puissance d'entrée en milieu de bande pour une fréquence de 12 GHz. Nous pouvons relever un gain linéaire de 9,4 dB. La puissance de sortie de dB de compression est égale à 39 dBm pour un rendement en puissance ajoutée égal à 16,3 %.

Les cycles de charge des huit transistors sont présentés dans la Figure 3–75 pour des fréquences de 4GHz et 18GHz à  $P_{1dB}$ . Nous pouvons noter qu'en bas de bande, les transistors fonctionnent proche de leur régime optimum puisqu'ils ne dissipent que très peu de puissance, voir pas du tout pour certains. En revanche, en haut de bande, nous observons un comportement plus anarchique des composants.

Le Tableau 3–10 propose un bref récapitulatif des principaux résultats en puissance obtenus par l'analyse fort signal de l'amplificateur YADE1.

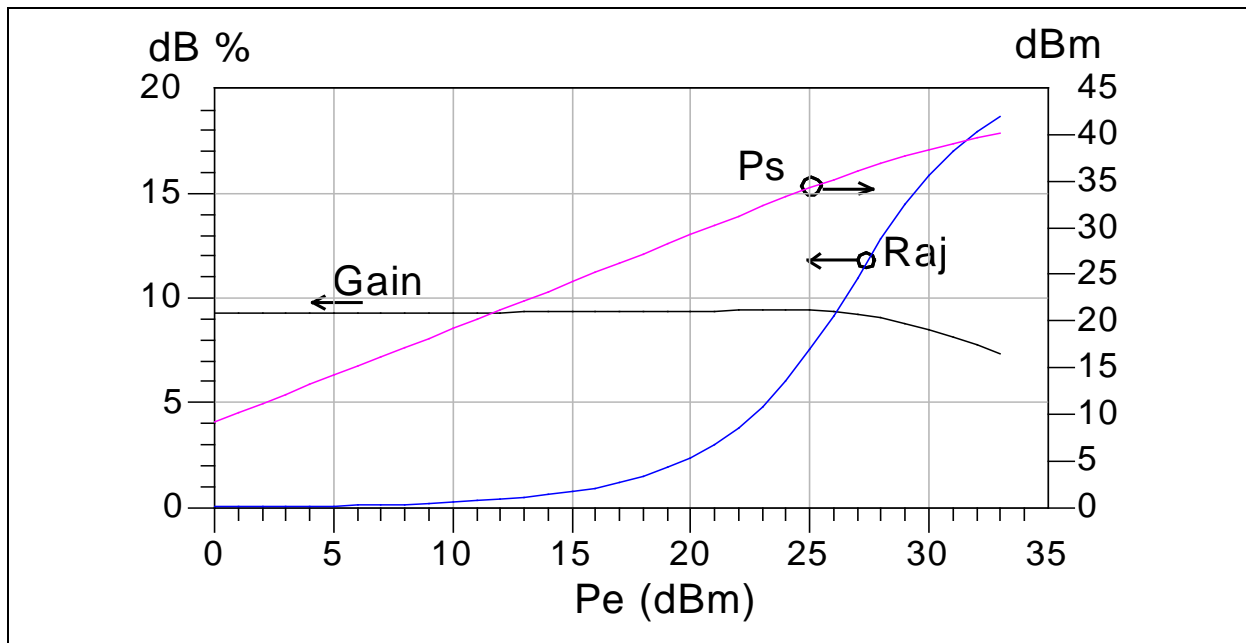


Figure 3–74 : gain en puissance, puissance de sortie et rendement en puissance ajoutée en fonction de la puissance d'entrée à une fréquence de 12 GHz

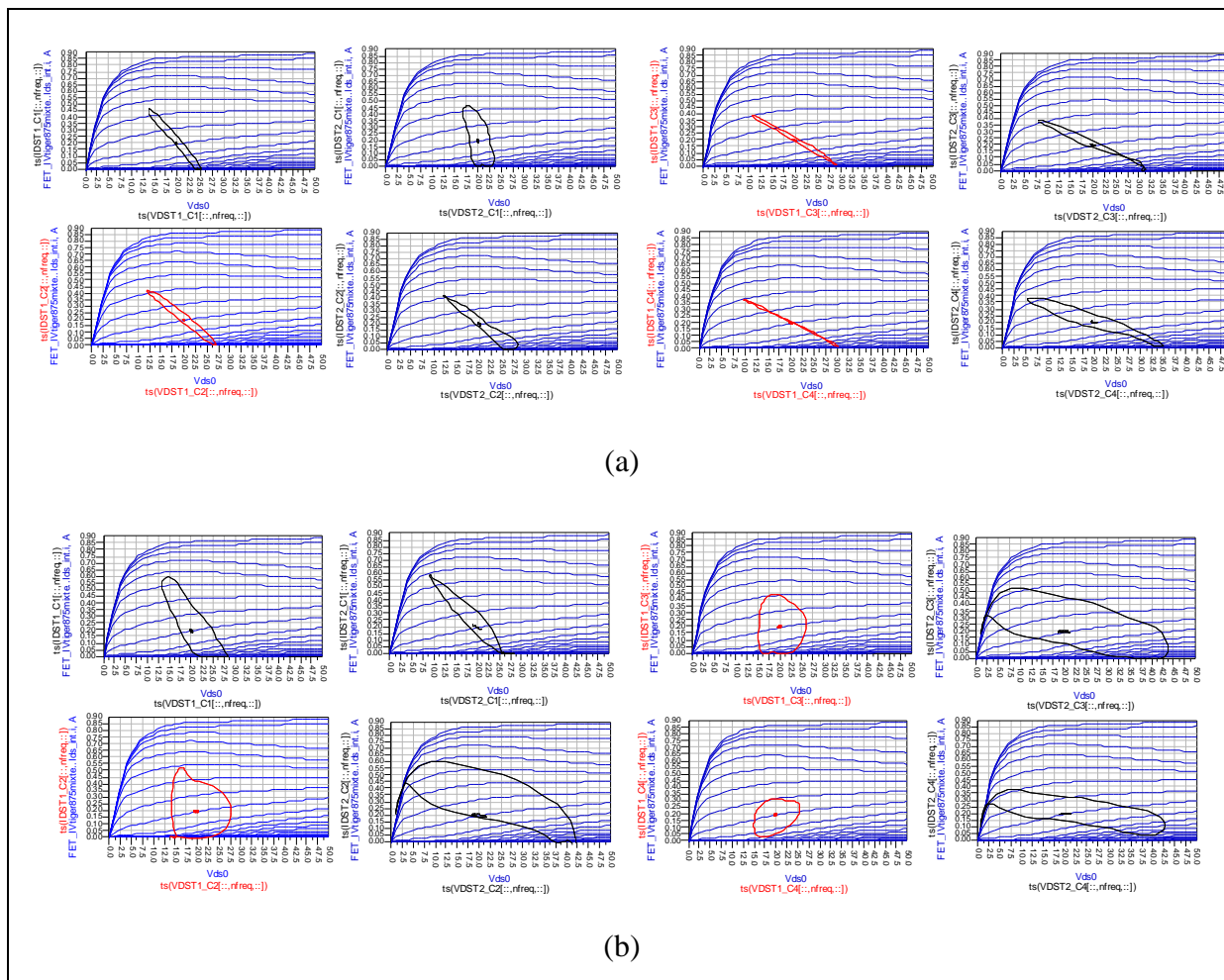


Figure 3-75 : cycles de charge des 8 transistors à P<sub>1dB</sub> pour des fréquences de 4GHz (a) et 18GHz (b)

<p>Pe = 30,5dBm                  Vgs0 = -6V                  Vds0 = +20V</p>	<p>➔</p>	<p>sur 4-18 GHz @1dB comp. :                  Ps = 38,8 dBm    Δ=2,3 dB                  Gp = 8,4 dB                  PAE = 17,5 %</p>
<p>Pe = 33dBm                  Vgs0 = -6V                  Vds0 = +20V</p>	<p>➔</p>	<p>sur 4-18 GHz @2dB comp. :                  Ps = 40,2 dBm    Δ=3 dB                  Gp = 7,2 dB                  PAE = 19,7 %</p>

Tableau 3-10 : principaux résultats en puissance de YADE1

Nous venons de voir en détail les résultats obtenus par simulation des amplificateurs SANA1 et YADE1. Nous allons maintenant faire le point sur les travaux en cours de réalisation de ces circuits.

## V - Réalisation des circuits SANA et YADE

Toutes les versions des amplificateurs et motifs de test que nous venons d'étudier ont été lancées :

- SANA1 : amplificateur distribué à quatre cellules cascodes de transistors de développement 8x50  $\mu\text{m}$  optimisé sur des simulations circuits ;
- SANA2 : amplificateur distribué à quatre cellules cascodes de transistors de développement 8x50  $\mu\text{m}$  optimisé sur des simulations électromagnétiques ;
- SANA : motif de test d'une cellule cascode de transistors 8x50  $\mu\text{m}$  ;
- SANAR : motif de test d'une cellule cascode de transistors 8x50  $\mu\text{m}$  incluant une résistance de stabilité;
- YADE1 : amplificateur distribué à quatre cellules cascodes de transistors de développement 8x75  $\mu\text{m}$  optimisé sur des simulations circuits ;
- YADE2 : amplificateur distribué à quatre cellules cascodes de transistors de développement 8x75  $\mu\text{m}$  optimisé sur des simulations électromagnétiques ;
- YADE : motif de test d'une cellule cascode de transistors 8x75  $\mu\text{m}$  ;
- YADER : motif de test d'une cellule cascode de transistors 8x75  $\mu\text{m}$  incluant une résistance de stabilité.

Chacun de ces circuits se composent d'une puce de GaN reportée en flip-chip sur un circuit d'AlN.

### 1. Les circuits de GaN

La réalisation des circuits de nitrure de gallium est assurée par le laboratoire TIGER. Au moment où ce manuscrit provisoire est édité (fin Juin 2005), des plaques issues d'un premier run sont disponibles (Figure 3–76). Malheureusement, suite à un problème de masque

sur GaN, les doigts de grille des transistors se situent à 0,5  $\mu\text{m}$  des sources, entraînant très fréquemment des court-circuits. Les transistors utilisés présentant 8 doigts, le rendement de transistors opérationnels est proche de zéro.

Un second run, prenant en compte la modification de cette erreur, est actuellement en process. Ces circuits sont espérés pour Juillet 2005.

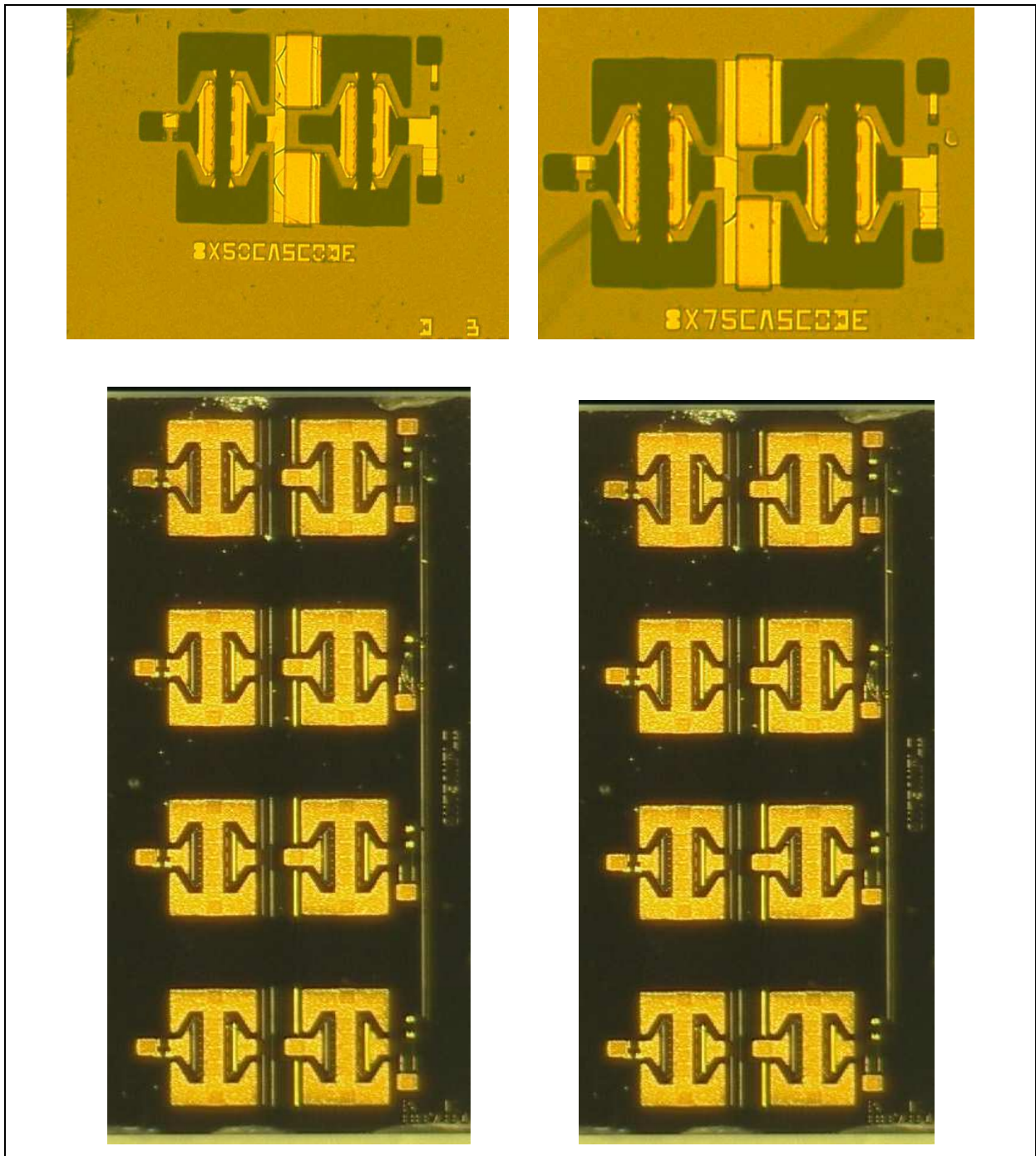


Figure 3-76 : photographie des cellules cascodes et amplificateurs SANA1 et YADE1 sur GaN

## **2. Les circuits d'AIN**

La réalisation des circuits d'AIN est sous-traitée à la société suisse-allemande Reinhardt. Ces circuits ont d'ores et déjà accumulé un retard de deux mois. Ils sont maintenant espérés pour Juillet 2005.

En revanche, nous apprenons au moment de l'édition de ce manuscrit que les résistances  $R_g$  et  $R_d$  supposées être égales à 50 ohms en terminaison des lignes de grille et de drain présentent une augmentation de 30 % de leur densité. Ainsi, ces résistances ne sont plus égales à 50 ohms, mais 65 ohms. Quelques simulations prenant en compte cet écart ont montré une différence principale au niveau de l'ondulation de la puissance de sortie (+ 66 % sur la bande) et du rendement en puissance ajoutée. Le coefficient de réflexion d'entrée  $S_{11}$  souffre une augmentation conséquente mais ce dernier reste tout de même bien inférieur à -10 dB sur la bande.

Finalement, nous avons reçu des résultats de mesures de ces résistances réalisées à Alcatel-Thalès III-V Lab, révélant des valeurs comprises entre 67 ohms et 78 ohms selon les circuits considérés, ce qui représente une augmentation jusqu'à 56%. De nouvelles simulations seront donc nécessaires avant de réaliser des comparaisons simulations et mesures.

## Conclusion

Au cours de ce dernier chapitre, nous avons brièvement présenté les différentes topologies d'amplificateurs de puissance large bande et plus particulièrement illustré le principe de fonctionnement d'un amplificateur distribué utilisant un montage cascode.

Pour la technologie PHEMT GaN (Tiger) étudiée et modélisée dans les chapitres précédents, nous avons détaillé les étapes de conception de deux amplificateurs distribués à cellules cascodes pour des applications de puissance large bande (6-18GHz). Le premier circuit (SANA1) est réalisé à partir de transistors de développement  $8 \times 50 \mu\text{m}$  tandis que le second circuit (YADE1) intègre des transistors de développement  $8 \times 75 \mu\text{m}$ . Ces deux circuits sont obtenus par le montage flip-chip d'une puce de nitrure de gallium intégrant les PHEMTS et un certain nombre de composants passifs (capacités série sur les grilles, résistances de polarisation,...) sur un substrat de report de nitrure d'aluminium.

Dans ce chapitre, nous avons présenté le principe général de l'optimisation en puissance des architectures distribuées reposant sur l'adoption d'un profil d'impédances caractéristiques sur les lignes artificielles de grille et de drain dont les paramètres peuvent être déterminés en fonction du conjugué de l'admittance optimale en puissance des cellules actives. Au cours de notre conception, notre choix s'est fixé sur l'adoption d'une cellule active cascode dont nous avons présentée l'adaptation en puissance. Malheureusement, étant donné les contraintes technologiques liées à cette conception hybride, il n'a pas été possible de mettre en œuvre les topologies optimales en puissance car la réalisation d'un profil de capacités en série sur la grille directement sur la puce GaN représentait un risque technologique sur la fiabilité de la réalisation. Néanmoins, l'optimisation de l'architecture a été réalisée en tenant compte des contraintes d'adaptation en puissance des cellules cascode de telle sorte que l'examen des cycles de charge de chaque cellule cascode dans la bande de fréquence montre que les transistors présentent une bonne adaptation en puissance qui permet d'obtenir des résultats très prometteurs sur les simulations en puissance.

Les simulations de l'amplificateur SANA1 présente une puissance de sortie moyenne de 37,6 dBm (avec une ondulation maximale de 1,2 dB) sur la bande 4-18 GHz pour une puissance d'entrée de 29 dBm et une polarisation de (-6 V ; 20 V). Le rendement en puissance ajoutée est d'environ 16 % sur la bande. A 31 dBm de puissance d'entrée (2 dB de

compression à 12 GHz), la puissance de sortie atteint une moyenne de 38,7 dBm pour une PAE de 18% sur la bande considérée.

Le circuit YADE2 permet d'obtenir un niveau de puissance de sortie plus élevé mais près de deux fois plus d'ondulation. En effet, nous atteignons une puissance de sortie moyenne de 40,2 dBm (avec une ondulation de 2,3 dB) avec un rendement associé de 19,7 % sur la bande 4-18 GHz pour un puissance d'entrée de 33 dBm (2 dB de compression à 12 GHz).

Tous ces résultats sont au-delà de l'état de l'art actuel et montrent les potentialités attendues des composants HEMT GaN. En effet, même si les risques technologiques mis en œuvre dans ces réalisations ne permettent pas d'assurer la fiabilité des circuits en regard des résultats de simulation, ils montrent tout de même clairement que l'avènement d'une réelle technologie MMIC GaN permettra dans un avenir proche de repousser l'état de l'art actuel des performances en puissance sur de telles largeurs de bande de fréquence.

Les premiers résultats de mesure devraient être disponibles en Septembre. Le report flip-chip sera effectué par le laboratoire TIGER puis les circuits seront montés en jig de test afin d'être mesurés. Les mesures seront réalisées en mode pulsé, aussi bien pour les accès DC que RF. Un second run est envisagé pour Octobre. Une seule version serait ré-optimisée à partir des résultats de mesure et lancée en réalisation.

## Bibliographie

**[3.1] M. CAMPOVECCHIO**

“Méthodes et outils d'aide à la conception des dispositifs actifs haute fréquence”

*HDR présentée le 19 Décembre 2000, Université de Limoges*

**[3.2] S. DELLIER**

"Etude et méthode de conception d'un pré-amplificateur distribué pour photorécepteur à 40 Gb/s"

*rapport de stage de DEA, Université de Limoges, Juillet 2001*

**[3.3] J.P. FRAYSSE**

"Modélisation non linéaire des transistors bipolaires hétérojonction : application à la conception optimum d'amplificateurs distribués de puissance à montage cascode"

*thèse de doctorat soutenue le 17 Décembre 1999, Université de Limoges*

**[3.4] C. DUPERRIER**

"Développement d'un logiciel d'assistance à la conception des circuits non linéaires microondes. Application à l'amplification distribuée non uniforme de puissance à très large bande en technologie MMIC"

*thèse de doctorat soutenue le 20 Décembre 2001, Université de Limoges*

**[3.5] R. HILAL**

"Méthode de conception des amplificateurs distribués de puissance à TECs en montage source commune et cascode dans le domaine des fréquences millimétriques"

*thèse de doctorat soutenue le 19 Mars 1996, Université de Limoges*

**[3.6] A. PHILIPPON**

"Amplificateur distribué de puissance à cellules cascodes sur technologie HEMT GaN dans le domaine hyper-fréquence"

*rapport de stage de DEA, Université de Limoges, Juillet 2004*

**[3.7] M. CAMPOVECCHIO**

"Méthodes de conception d'amplificateurs de puissance microondes large bande à transistors à effet de champ. Application aux amplificateurs distribués en technologie M.M.I.C."

*thèse de doctorat soutenue le 29 Janvier 1993, Université de Limoges*

**[3.8] K.B. NICLAS ; W.T. WILSER ; T.R. KRITZER ; R.R. PEREIRA**

"On theory and performance of solid-state distributed amplifiers"

*IEEE Transactions on Microwave Theory and Techniques, Vol. 31, No 6, Juin 1983*

**[3.9] J.L.B. WALKER**

"Some observations on the design and performance of distributed amplifiers"

*IEEE Transactions on Microwave Theory and Techniques, Vol. 40, No 1, Janvier 1992, pages : 164 à 168*

**[3.10] P.H. LADBROOKE**

"Large-signal criteria for the design of GaAs FET distributed power amplifiers"

*IEEE on Electron Devices, Vol. 32, No 9, Septembre 1985, pages : 1745 à 1748*



**[3.11] J.W. LEE ; L.F. EASTMAN ; K.J. WEBB**

"A gallium-nitride push-pull microwave power amplifier"

*IEEE Transactions on Microwave Theory and Techniques, Vol. 51, No 11, Novembre 2003, pages : 2243 à 2249*

**[3.12] Y.F. WU ; D. KAPOLNECK ; J. IBBETSON ; P. PARIKH ; B.P. KELLER ; U.K. MISHRA**

"14-W GaN-based microwave power amplifiers"

*IEEE MTTs Digest, 2000, pages : 963 à 965*

**[3.13] J.J. XU ; S. KELLER ; G. PARISH ; S. HEIKMAN ; U. MISHRA ; R.A. YORK**

"A 3-10GHz Ga-N based flip-chip integrated broad band power amplifier"

*IEEE Transactions on Microwave Theory and Techniques, Vol. 48, Décembre 2000, pages : 2573 à 2577*

**[3.14] B.M. GREEN ; V. TILAK ; S. LEE ; H. KIM ; J.A. SMART ; K.J. WEBB ; J.R. SHEALY ; L.F. EASTMAN**

"High-power broad-band AlGa<sub>N</sub>/Ga<sub>N</sub> HEMT MMICs on SiC substrates"

*IEEE Transactions on Microwave Theory and Techniques, Vol. 49, Décembre 2001, pages : 2486 à 2493*

**[3.15] J.P. FRAYSSE ; J.P. VIAUD ; M. CAMPOVECCHIO ; P. AUXEMERY ; R. QUERE**

"A 2W high efficiency 2-8GHz cascode HBT MMIC power distributed amplifier"

*IEEE MTTs digest, Vol. 1, Juin 2000, pages : 529 à 532*

**[3.16] C. DUPERRIER ; M. CAMPOVECCHIO ; L. ROUSSEL ; R. QUERE**

"New design method of non-uniform distributed power amplifiers. Application to a single stage 1W PHEMT MMIC"

*IEEE Transactions on Microwave Theory and Techniques, Vol. 49, Décembre 2001, pages : 2494 à 2500*

**[3.17] Collectifs d'auteurs sous la direction de Martine Villegas**

"Radiocommunications numériques / 2. Conception de circuits intégrés RF et micro-ondes"

*Editeur Dunod, ISBN 210005581X, Novembre 2001*

**[3.18] S. DE MEYER**

"Wideband power performance evaluation of AlGa<sub>N</sub>/Ga<sub>N</sub> HEMTs"

*RF&Hyper 2005, Power Amplifier Workshop, Paris, 22-24 Mars 2005*

**[3.19] M. CAMPOVECCHIO ; B. LE BRAS ; M. LAJUGIE ; J. OBREGON**

"Optimum design of distributed power-FET amplifiers. Application to a 2-18 GHz MMIC module exhibiting improved power performances"

*IEEE Microwave and Millimeter-Wave Monolithic Circuits Symposium, 1994, pages : 125 à 128*

**[3.20] R. BEHTASH ; H. TOBLER ; F.-J. BERLEC ; V. ZIEGLER ; H. LEIER ; B. ADELSECK ; T. MARTIN ; R.S. BALMER ; D. PAVLIDIS ; R.H. JANSEN ; M. NEUBURGER ; H. SCHUMACHER**

"Coplanar AlGa<sub>N</sub>/Ga<sub>N</sub> HEMT power amplifier MMIC at X-band"

*IEEE Microwave Theory and Techniques digest, Juin 2004, pages : 1657 à 1659*

**[3.21] J. XU**

"AlGaN/GaN high-electron-mobility-transistors based flip-chip integrated broadband power amplifiers"

*Ph.D. dissertation, University of California, Santa Barbara, Décembre 2000*

**[3.22] M. CAMPOVECCHIO ; J.C. NALLATAMBY ; S. MONS ; R. QUERE**

"Stability analysis of millimeter-wave circuits. Application to DC-40GHz PHEMT amplifier and Ku-band HBT power amplifier"

*30th European Microwave Conference, Vol. 2, Octobre 2000, pages : 294 à 297*





## Conclusion générale

Les semi-conducteurs grand-gap ont connu une évolution rapide ces dernières années. En effet, ces matériaux semblent apporter une solution viable aux demandes croissantes en puissance haute fréquence, en rendement élevé ainsi qu'en haute linéarité et performances thermiques des amplificateurs de puissance utilisés dans les télécommunications. Ces travaux de thèse, s'inscrivant dans le cadre d'un contrat DGA (Délégation Générale pour l'Armement), sont centrés sur l'étude d'une nouvelle filière de composants HEMTs nitrure de gallium et l'évaluation des potentialités de ces composants en termes de puissance large bande.

Dans un premier chapitre, nous avons étudié les différents paramètres électriques et physiques du nitrure de gallium, justifiant de son intérêt pour des applications de puissance haute fréquence et large bande. Cette technologie s'annonce comme très prometteuse mais elle n'est actuellement pas totalement mature. En effet, la réalisation d'éléments passifs et de trous métallisés par exemple reste mal maîtrisée.

Dans ce même chapitre, nous avons étudié le principe de fonctionnement du transistor HEMT ainsi que ses caractéristiques électriques et ses figures de mérite. L'exploitation des résultats de mesures I-V et paramètres S des composants disponibles contractuellement nous ont permis de mettre en évidence différents phénomènes tels que la présence de pièges. Par la suite, la méthode de modélisation linéaire et non-linéaire a été détaillée et appliquée aux transistors du laboratoire TIGER utilisés lors de la conception des amplificateurs large-bande.

Le second chapitre concerne les analyses électromagnétiques réalisées sur différents composants et différents montages, représentant une tâche contractuelle. Nous avons étudié le principe de la modélisation hybride de composants par couplage de simulations électriques et électromagnétiques. Cette approche a été validée au travers d'une comparaison mesure / modèle d'un transistor HEMT GaN de faible développement (deux doigts de 50 $\mu$ m). Par la suite, un modèle hybride d'un transistor de plus fort développement (huit doigts de 50 $\mu$ m) a

été obtenu par la mise en cascade de quatre modèles d'une cellule de base de deux doigts. Cette démarche a su éviter toute nouvelle simulation électromagnétique.

Cette approche hybride nous a permis de réaliser une comparaison des topologies parallèle et distribuée des transistors HEMTs GaN. Les résultats ont avancé une sensibilité plus importante de la stabilité du composant parallèle, ainsi qu'une recombinaison en puissance des signaux plus délicate en raison d'un déphasage plus grand sur l'électrode de drain.

Une analyse des reports face-up avec fils de bonding et flip-chip de composants a montré la validité du premier pour des applications en basses fréquences (bandes L et S). En revanche, pour des fréquences supérieures, le report flip-chip doit être considéré étant donné les contraintes technologiques actuelles concernant la réalisation de circuits MMICs GaN.

Le dernier chapitre de ce manuscrit se concentre sur la conception d'amplificateurs distribués de puissance sur la bande 4-18GHz. Nous avons tout d'abord étudié le principe de fonctionnement ainsi que la méthode de conception de l'amplificateur distribué simple et du montage cascode. Puis nous avons détaillé les étapes de conception d'un amplificateur distribué à quatre cellules cascode de transistors HEMTs GaN de développement  $8 \times 50 \mu\text{m}$ . L'architecture retenue présente un circuit actif réalisé sur GaN constitué des huit transistors et de leur environnement direct, reporté en flip-chip sur un substrat de report AlN constitué des circuits passifs d'accès RF et DC. Les résultats de simulation de ce circuit avancent une puissance de sortie moyenne de 37,6dBm sur la bande 4-18GHz pour une puissance d'entrée au dB de compression égale à 29dBm, associé à un rendement en puissance ajoutée moyen égal à 16%.

Un second circuit de même architecture a été conçu à partir de transistors de développement légèrement supérieur :  $8 \times 75 \mu\text{m}$ . Ce circuit présente une puissance de sortie moyenne de 40.2dBm avec un rendement associé de 19.7% sur la bande 4-18GHz pour une puissance d'entrée de 33dBm, correspondant à 2dB de compression.

Ces circuits sont en cours de réalisation et les premiers résultats de mesure sont espérés pour septembre.

## Perspectives

Ces résultats sont au-dessus de l'état de l'art actuel et permettent d'évaluer les potentialités des composants GaN. Ces conceptions représentent un challenge technologique puisqu'elles incluent des capacités MIM et des résistances actives sur le substrat de nitrure de gallium, dont les modèles ne sont pas maîtrisés, tout comme ceux des bumps électriques du report flip-chip. De plus, le report flip-chip de la puce de GaN reste délicat étant donné les dimensions importantes de celle-ci et le nombre de bumps. Ces circuits devront être caractérisés afin d'effectuer une phase de rétro-simulation. De plus, les travaux de développement du matériau GaN permettront dans un futur proche la réalisation de trous métallisés. Ce travail ne représente par conséquent qu'une première étape vers la réalisation de circuits MMICs GaN.

Dans un premier temps, un nouveau run est envisagé pour le mois d'Octobre, prenant en compte les résultats de rétro-simulation. Une seule version (8x50 $\mu$ m ou 8x75 $\mu$ m) serait réalisée, en fonction des résultats de caractérisation des circuits en cours.

De plus, un autre axe de développement à envisager serait la conception d'un amplificateur distribué non uniforme, permettant un accroissement probable des performances.





## Liste des publications et communications associées

**S. DE MEYER ; C. CHARBONNIAUD ; R. QUERE ; M. CAMPOVECCHIO ; R. LOSSY ; J. WURFL**

"Mechanism of power density degradation due to trapping effects in AlGaIn/GaN HEMTs"  
*IEEE MTTs Digest, 2003, pages 455 à 458*

**C. CHARBONNIAUD ; S. DE MEYER ; R. QUERE ; J.P. TEYSSIER**

"Electrothermal and trapping effects characterisation of AlGaIn/GaN HEMTs"  
*11th GAAS Symposium, Munich 2003, pages 201 à 204*

**C. CHARBONNIAUD ; T. GASSELING ; S. DE MEYER ; R. QUERE ; J.P. TEYSSIER ; D. BARATAUD ; J.M. NEBUS ; T. MARTIN ; B. GRIMBERT ; V. HOEL ; N. CAILLAS ; E. MORVAN**

"Power performance evaluation of AlGaIn/GaN HEMTs through load pull and pulsed I-V measurements"  
*12th GAAS Symposium, Amsterdam, 2004, pages 163 à 166*

**S. DE MEYER**

"Wideband power performance evaluation of AlGaIn/GaN HEMTs"  
*RF&Hyper 2005, Power Amplifier Workshop, Paris, 22-24 Mars 2005*

**S. DE MEYER ; D. BAILLARGEAT ; S. VERDEYME ; M. AUBOURG ; R. QUERE**

"Modélisation hybride de transistors HEMTs GaN en topologie distribuée et parallèle"  
*14<sup>ème</sup> JNM, Nantes 2005, papier n°2E5*

**A. PHILIPPON ; S. DE MEYER ; M. CAMPOVECCHIO ; D. FLORIOT ; S. PIOTROVICZ ; R. QUERE**

"Amplificateur distribué de puissance en technologie HEMT GaN"  
*14<sup>ème</sup> JNM, Nantes 2005, papier n°5D1*

**S. DE MEYER ; A. PHILIPPON ; M. CAMPOVECCHIO ; C. CHARBONNIAUD ; S. PIOTROVICZ ; D. FLORIOT ; R. QUERE**

"Modeling of a 4-18GHz 6W flip-chip integrated power amplifier based on GaN HEMTs technology"  
*acceptée au 13th GaAs Symposium, Paris 2005*





## Résumé

Ces travaux se rapportent à l'étude de transistors HEMTs GaN pour l'amplification de puissance hyperfréquence. L'analyse des caractéristiques des matériaux grand gap, et plus précisément du GaN, est réalisée afin de mettre en évidence leur intérêt pour des applications d'amplification de puissance large bande. Des résultats de caractérisation et modélisation électrique de composants sont présentés. Par la suite, la méthode de modélisation hybride de composant est exposée et mise en œuvre sur différentes topologies et montages de HEMTs GaN.

La finalité de ces travaux concerne la conception d'amplificateurs distribués de puissance large bande à base de cellules cascode de HEMTs GaN, reportés en flip-chip sur un substrat d'AlN. Il s'agit d'un premier pas vers le MMIC GaN étant donné que des capacités et résistances sont intégrées sur la puce de GaN. L'une des versions permet d'atteindre 10W sur la bande 4-18GHz avec une PAE associée de 20% à 2dB de compression.

Mots clés : HEMT, GaN, modélisation hybride, amplificateur de puissance, amplificateur distribué, montage cascode, flip-chip, large bande.

## **“ Modeling of a new GaN HEMTs technological process. Design of a flip-chip architecture of wide band power amplifier ”**

### Summary

This work deals with the characterization of GaN HEMTs for RF power applications. In a first step, the properties of wide band-gap materials, and especially the GaN material, are analyzed in order to highlight their capabilities for wide band power amplifiers application. Results on characterization and linear/non-linear electrical and electromagnetic simulations, is exposed and applied to analyze different topologies and mountings of GaN HEMTs.

This work is finalized with the design of wide band power amplifiers, showing a distributed architecture of cascode cells using GaN HEMTs and flip-chip mounted onto an AlN substrate. It appears as the first step toward GaN MMIC designs as capacitors and resistors are implemented on the GaN die. One version allows obtaining 10W over a 4 to 18GHz bandwidth, with an associated PAE of 20% at 2dB compression input power.