

UNIVERSITE DE LIMOGES

Ecole Doctorale Science Technologie Santé

FACULTE des Sciences

Année : 2005

N° 10-2005

THESE

Pour obtenir le grade de

DOCTEUR DE L'UNIVERSITE DE LIMOGES

Discipline: Electronique des Hautes Fréquences et Optoélectronique

Spécialité : Télécommunications

Présentée et soutenue par

Michaël GUYONNET

Le 25 mars 2005

Modélisation Electrothermique Non Linéaire de Transistors de Puissance LDMOS: Application à la Détermination de Règles d'Echelle

Directeur de Thèse : Pr Raymond Quéré

Jury :

Bernard JARRY	Professeur à l'Université de Limoges	Président
Juan Mari COLLANTES	Professeur Universidad del pais Vasco	Rapporteur
Gilles DAMBRINE	Professeur à l'Université de Lille	Rapporteur
Gérard BOUISSE	Ingénieur Freescale (Toulouse)	Examineur
Pierre BERTRAM	Ingénieur Thalès Air Defence (Ymare)	Examineur
Raymond QUERE	Professeur à l'Université de Limoges	Examineur
Raphaël SOMMET	Chargé de Recherches à l'Université de Limoges	Examineur
Jean - Pierre TEYSSIER	Maître de Conférences à l'Université de Limoges	Examineur

A ma Mère, à Mon Père,

A Ludovic et Coralie,

A Véronique, Thain et Eva,

A Bruno et Christelle,

A moi,

A tous ceux qui me sont chers, ...

REMERCIEMENTS

Ce travail a été effectué en collaboration avec le laboratoire de l'IRCOM et la société Freescale Semi-conducteurs FRANCE. Dans ce cadre, j'exprime toute ma gratitude à Monsieur Jean-Marie BOULAY, responsable du centre de design de RFD Toulouse, pour m'avoir fait confiance et m'avoir permis de réaliser mes travaux de recherche dans d'excellentes conditions.

J'adresse mes sincères remerciements à Monsieur Raymond QUERE, professeur à l'Université de Limoges, pour m'avoir accueilli au sein de son équipe de recherche et pour m'avoir encadré. Mes sincères remerciements à Monsieur Bernard JARRY pour avoir accepté de présider mon jury de thèse. Je remercie Monsieur Gille DAMBRINE, professeur à l'Université de Lille et Monsieur Juan-Mari COLLANTES, professeur titulaire à l'Université de Bilbao, pour avoir accepté la lourde tâche de rapporteur.

J'exprime ma profonde gratitude à Monsieur Gérard BOUISSE pour son soutien, sa patience, sa sympathie et tous ses conseils techniques, toujours disponible lors de l'encadrement de ma thèse au sein de Freescale. Je le remercie surtout de m'avoir convaincu de me lancer dans cette aventure qui m'aura finalement conduit des cactus d'Arizona ... je te l'ai déjà dis mais Merci Encore !!

Ma sympathie et ma reconnaissance également à Monsieur Jaime PLA, responsable de l'équipe Modélisation - Freescale USA - pour avoir suivi ces travaux, et surtout pour me donner l'opportunité et l'honneur de continuer dans son équipe sous le soleil de Phœnix.

Un grand merci à toute l'équipe de l'IRCOM, à Hélène et Marie-Claude pour leur gentillesse, leur disponibilité.

*Je remercie, bien sur, toute l'équipe de Freescale Toulouse pour ces trois ans passées sous le signe de la bonne humeur !
... et plus particulièrement (par ordre alphabétique pour ne pas faire de jaloux), Angélique, Béatrice, Cédric, David, Fred, Guillaume, Isabelle, Jean-christophe, Jérôme, Jean-Luc, Jean-Jacques, Nelsy, Olivier, Pascal G., Pascal L., Patrick, Pascal P., Samuel, Solange, Thomas, Sandra, Xavier.*

Introduction Générale

Il est de ces hommes dont la seule existence marque à jamais l'histoire ... l'homme : Heinrich Hertz, l'histoire : Les Radiocommunications, la date : 1887.

Imaginerait-on notre monde sans ondes radio et sans radiocommunications ? En fait, le rayonnement électromagnétique a toujours existé, mais il faudra l'intérêt d'un premier physicien, *James Clerk Maxwell*, pour imaginer ces ondes, puis celui d'un autre physicien, *Heinrich Hertz*, pour les débusquer de façon à pouvoir les observer et les mesurer. Quand ce dernier effectue les premières expériences dans son laboratoire de Bonn, il est loin d'imaginer qu'il va être à l'origine d'une révolution sans commune mesure dans l'histoire de l'humanité. Et dans sa courte mais fulgurante existence (1857 – 1894), il a à peine eu le temps de réaliser le potentiel que représente sa découverte.

L'ironie voudra que l'histoire retienne une anecdote le concernant : lors d'une démonstration à des étudiants, l'un d'entre eux lui demande quelles pourraient être les utilisations de ce rayonnement. *Heinrich Hertz* aurait répondu : « je ne vois pas d'applications ... C'est juste une expérience prouvant que *James Clerk Maxwell* avait raison, qu'il existe bien des ondes électromagnétiques mystérieuses qui ne se voient pas à l'œil nu » « mais pour plus tard ? » insiste l'étudiant, « Oh pour plus tard, rien j'imagine »... 2 milliards d'utilisateurs de radiotéléphones de part le monde fin 2005, alors visionnaire Heinrich Hertz ?

On ne compte plus les applications basées sur les ondes radioélectriques, de la simple télécommande aux transmissions satellites, en passant par les radars, la télévision et surtout notre domaine d'intérêt ici à savoir les radiocommunications. Ce dernier connaît une croissance spectaculaire et les chiffres sont là pour donner le vertige.

- Pour près d'un tiers des 6 milliards d'être humains (2 milliards d'utilisateurs de téléphones mobiles de part le monde selon une étude du cabinet de consultants *Deloitte & Touche*) le téléphone cellulaire fera partie de leur quotidien fin 2005.
- Dans certaines régions d'Europe le taux de pénétration avoisine les 100%. Il est également fait état de situations loquasses avec en exemple la Suède qui compte plus d'abonnement que d'habitant avec un taux de pénétrations de 100.1%
- 550 milliards de SMS (message texte) envoyés de part le monde en 2004.

Tous les domaines concernant les télécommunications connaissent des croissances annuelles à 2 chiffres. Au moment où l'on pensait que le marché de la voix sans fil arrivait à maturité en 2002,

d'autres services émergent en 2004 pour permettre de repartir de plus belle avec la convergence des services voix-données (image et vidéo) ... feu *Heinrich Hertz* se risquerait-il à de nouveaux pronostics ?

Derrière ces chiffres impressionnants, il aura fallu, de 1887 à 2005, passer par nombres de révolutions technologiques avec notamment la mise au point du transistor en 1947. Cela n'est rendu possible qu'au prix d'investissements considérables, investissement aussi bien en terme de recherche qu'en terme financier. En 2002 le cabinet d'étude *Forest Research* estimait à 250 milliards de dollars l'investissement international pour le développement de la 3eme génération de radio cellulaires : UMTS, cela comprenait uniquement le coût matériel (recherche technologique et déploiement des réseaux terrestres) à cela devait s'ajouter les coûts des licences ... la crise étant passée par là, ces chiffres ne sont peut être plus d'actualité mais les investissements sont là.

Avec l'accélération des investissements, l'augmentation de la complexité technologique des systèmes de radiocommunications, et la pression temporelle sur la R&D on en vient tout naturellement à la CAO - Conception Assisté par Ordinateur. Cet autre fabuleux outil technologique qu'est l'informatique a longtemps été réservé à la seule recherche algorithmique et mathématique. Maintenant largement répandue, son utilisation dans la conception de systèmes apporte nombres d'avantages avec notamment un gain temporel immense. Ceci nous amène à évoquer plus concrètement la raison de cette étude.

Les réseaux de télécommunications modernes (GSM, EDGE et futur UMTS) sont conçus de telle sorte qu'ils nécessitent des amplificateurs de puissance pour transmettre les signaux à travers les canaux Hertiens sur des distances pouvant aller de quelques centaines de mètres à plusieurs kilomètres. En plus du besoin en puissance, les amplificateurs doivent répondre à des exigences techniques draconiennes afin de préserver l'intégrité des signaux modulés complexes qui transcrivent l'information à transmettre, et afin de préserver l'environnement spectral. Ces exigences sont décrites en terme de normes internationales régies par l'Autorité Internationale des Télécommunications (ITU : International Telecommunication Union) que doit respecter tout opérateur de télécommunication et tout concepteur de réseaux.

Freescale Semi-conducteurs a porté son choix (et développé depuis plusieurs années) sur la technologie LDMOS basée sur un substrat Silicium pour répondre à la demande des équipementiers en réseaux de radiocommunications. De tous les composants analogiques constituant les réseaux, les amplificateurs de puissance sont certainement les éléments les plus exposés aux contraintes électriques et thermiques induits par les signaux. Un sous

dimensionnement ou une mauvaise conception pouvant réduire dramatiquement la durée de vie du composant ou tout simplement ne pas répondre aux exigences strictes des normes.

Lorsque l'on sait le coût de conception de prototype dans le secteur des semi-conducteurs, il est préférable d'éviter les ratés. En cela la CAO constitue un outil idéal dans le sens où elle permet d'effectuer toute une palette de tests, de vérifier ou de mettre en évidence des phénomènes indésirables sans avoir à passer par une conception matérielle coûteuse.

Un des points clés consiste donc à posséder des modèles informatiques performant pour permettre à la CAO des prédictions suffisamment précises. C'est donc là que se situe notre travail, la conception de modèle Electrothermique Non Linéaire de transistor de puissance LDMOS.

Notre étude se décompose en 4 parties distinctes. Nous commencerons par une étude bibliographique sur la modélisation en restant aussi général que possible. Nous tenterons d'aborder tous les aspects de la modélisation, les mesures, les topologies, la validation Avant d'évoquer qu'elles sont les spécificités de nos attentes à travers la définition d'un bref cahier des charges et la définition des paramètres qui sont pour nous centre d'intérêt.

Dans une seconde partie, l'ensemble du processus d'extraction du modèle que nous avons établi est présenté en détails : des mesures électriques au traitement des données sans oublier le cheminement technique qui nous mène à la définition d'une cellule thermique unitaire. Cette cellule unitaire étant utile pour la définition des règles de scaling.

La troisième partie a trait à la validation de notre approche par des mesures spécifiques. Nous tentons là aussi de suivre un processus cohérent pour vérifier la validité de notre approche tout en rendant compte des problèmes que nous avons rencontré.

L'ultime partie de ce manuscrit se propose d'effectuer une synthèse de ce travail, de mettre à la lumière des connaissances acquises durant ces 3 années, les possibles améliorations du modèle.

Une conclusion plus générale viendra synthétiser notre travail, essayant d'extraire avec objectivité son apport technique.

Sommaire

Introduction Générale	3
 Partie 1: Généralités sur la modélisation & Introduction à notre étude	
1. Introduction	19
2. Pourquoi la modélisation	20
3. Les filières de transistor pour l'amplification de puissance	23
4. Le Transistor LDMOS.....	25
5. Modèle générique	28
6. Incertitudes de mesures	30
6.1 Incertitude standard	30
6.2 Incertitude standard combinée : (notée u_C)	32
6.3 Incertitude globale : (notée u)	32
6.4 Evaluation de l'incertitude standard de la mesure indirecte.....	32
7. Méthodologie d'extraction du modèle électrique	33
7.1 Mesures des caractéristiques du transistor	34
7.2 Choix de la topologie.....	34
7.3 Type de modèle	37
7.4 Extraction des éléments extrinsèques	38
7.5 Extraction des éléments intrinsèques	40
7.6 Validation fort signal.....	40
8. Modélisation Electrothermique du transistor LDMOS	46
9. Modèle Thermique	52
9.1 Loi fondamentale de propagation de la chaleur	52
9.2 Simulation thermique avec le logiciel Ansys	54
9.3 Détermination des zones de génération de la chaleur	55
9.4 Le modele thermique usuel	57
9.5 Méthode expérimentale pour la mesure de température	58
9.6 Transfert de la chaleur créée par une puce sur un substrat	60
10. Cahier des charges.....	62
11. Caractéristiques que le modèle devra prédire	64
11.1 Puissance de sortie.....	64

11.2	Gain	65
11.3	Rendement en puissance ajoutée	66
11.4	Adaptation d'entrée ou IRL (input return loss)	67
11.5	Intermodulation	68
11.6	Conversion de phase AM-PM	70
12	Conclusion.....	71

Partie 2: Génération du modèle Electrothermique Non Linéaire

1	Généralités.....	75
2	Modèle Electrique non-linéaire	78
2.1	Détermination des éléments extrinsèques	78
2.2	Modélisation par tables.....	85
2.3	Les splines.....	87
2.3.1	Splines Cubiques à 1 dimension	87
2.3.2	Splines Cubiques à 2 dimensions (splines bi cubiques)	89
2.3.3	Splines Cubiques à 3 dimensions (splines tri cubiques)	89
2.4	Intégration du modèle dans le simulateur de circuit ADS.....	90
3	Détermination d'une cellule unitaire du modèle thermique	93
3.1	Réduction de modèle avec FastTherm	96
3.2	Extraction des matrices K & M du simulateur Ansys	99
4	Modulation drain et grille	102
5	Variation de Ids avec Vgs.....	106
6	Effets de la température sur les éléments localisés du modèle ET	110
7	Définition des règles de « scaling ».....	114
7.1	Règles de scaling sur les éléments intrinsèques	116
7.2	Règles de scaling sur les éléments extrinsèques	117
7.3	Règles de scaling sur le modèle thermique	117
8	Conclusion.....	120

Partie 3: Validation du modèle et des règles de Scaling

1	Généralités.....	123
2	Techniques de Simulation	124
2.1	La Simulation Temporelle	125

2.2	L'Equilibrage Harmonique	125
2.3	La Simulation d'Enveloppe	127
2.3.1	Principe Théorique	129
2.3.2	Dimensionnement de l'analyse	130
2.3.3	Résultats	131
3	Mesure de l'adaptation d'entrée (Input Return Loss)	132
3.1	La directivité du coupleur.	132
3.2	Incertitude de mesure due aux sondes	138
3.3	Mesure avec un Analyseur de Réseau Vectoriel.....	141
4	Limitations de la technique de mesures sous pointes	144
5	Résultats de la comparaison Mesures / Modèle avec un signal mono porteuse	149
5.1	Quelques remarques concernant la mesure monoporteuse	149
5.2	Impédances aux fréquences harmoniques.....	151
6	Résultats de la comparaison Mesures / Modèle avec un signal bi porteuses	158
6.1	Théorie	158
6.2	Remarques concernant les dérivées de la source de courant Ids	161
6.3	Confrontations mesures / modèle	163
7	Résultat de la comparaison Mesures / Modèle avec un pulse d'excitation RF.....	165
8	Validation des règles de scaling sur un transistor de 9.6 mm.....	168
8.1	Confrontations mesures / modèle avec un signal mono-porteuse	169
8.2	Confrontations mesures / modèle avec un signal bi-porteuses.....	169
8.3	Confrontations mesures / modèle avec un signal mono-porteuse pulsé	171
9	Conclusion.....	173

Partie 4: Observations quant aux possibles améliorations du modèle

1.	Introduction	177
2.	Les mesures : précision dans la caractérisation du transistor	178
3.	Amélioration possible de la caractérisation du transistor	182
4.	Le modèle thermique : de l'extraction à la validation [57]	189
5.	La définition des règles de scaling au sens de la thermique.	191
6.	Conclusion.....	196
	Conclusion Générale	209

Table des Figures

Figure 1 Exemple d'un système électronique: chaîne d'émission RF	21
Figure 2 Processus de conception d'un système	22
Figure 3 Positionnement de la technologie LDMOS.....	23
Figure 4 Topologie du process d'un transistor LDMOS.....	26
Figure 5 Etapes constitutives de l'extraction d'un modèle.....	33
Figure 6 Modèle <i>Root</i>	34
Figure 7 Origines physiques des composants d'un modèle à éléments localisés	35
Figure 8 Modèle explosé complet	36
Figure 9 Topologie du modèle MET.....	37
Figure 10 Pied de test pour la validation fort signal.....	44
Figure 11 Mesures sous pointes	45
Figure 12 Caractéristiques Electriques - Thermiques de quelques technologies.....	50
Figure 13 Couplage thermique entre deux sources de chaleur	53
Figure 14 Diffusion thermique	54
Figure 15 Maillage d'un transistor LDMOS avec ses zones de dissipation de chaleur	54
Figure 16 Mécanismes physiques de génération de la chaleur.....	56
Figure 17 Zone de génération de la chaleur dans un transistor LDMOS.....	57
Figure 18 Modèle thermique à base de cellules RC.....	58
Figure 19 Comparaisons des méthodes de mesure de la température.....	59
Figure 20 Ecoulement du flux de chaleur dans un matériau d'épaisseur négligeable	60
Figure 21 Dispersion du flux de chaleur	61
Figure 22 Layout d'un transistor à modéliser avec sa diode ESD de protection	62
Figure 23 Réseau statique IV avec ses zones de fonctionnement caractéristiques	63
Figure 24 Bilan des puissances dans un transistor	64
Figure 25 Zones caractéristiques de fonctionnement en puissance d'un transistor	65
Figure 26 Types d'adaptation de puissance en entrée	67
Figure 27 Raies d'intermodulation	69
Figure 28 Couplage du modèle thermique au modèle électrique non-linéaire.....	75
Figure 29 Processus de génération d'un modèle électrothermique complet.....	77
Figure 30 Topologie à éléments localisés d'un Transistor LDMOS	78
Figure 31 Métallisations d'accès à la zone active du transistor	79
Figure 32 Métallisations coté Drain	79

Figure 33 Métallisations coté Grille	79
Figure 34 Circuits de modélisation des extrinsèques de Grille et de Drain	79
Figure 35 Processus d'extraction des composants extrinsèques sous Kar	80
Figure 36 Métallisation de Drain avec ses Ports de simulation.....	80
Figure 37 Métallisation de Grille avec ses Ports de simulation	81
Figure 38 Phénomènes physiques présents lors de la simulation des métallisations coté Drain ...	83
Figure 39 Matérialisation des métallisations coté Grille	83
Figure 40 Evolution de R_d avec la taille du transistor	84
Figure 41 Evolution de R_g avec la taille du transistor	85
Figure 42 Intégration des composants du modèle dans le simulateur de circuit	86
Figure 43 Spline linéaire (rouge), cubique (vert) et cubique naturelle (Bleu)	87
Figure 44 Raideur d'une spline Cubique	88
Figure 45 Extrapolation des mesures en dehors de la zone de définition	88
Figure 46 Exploitation d'une grille de données par une spline bi-cubique	89
Figure 47 Exploitation d'une table 3D par une spline Tri Cubique	90
Figure 48 Fonctionnement du modèle dans le simulateur	91
Figure 49 Algorithme d'équilibrage harmonique	92
Figure 50 Couplage thermique inter-doigts.....	94
Figure 51 Evolution du couplage thermique d'un doigt avec les autres	95
Figure 52 Processus de génération d'un modèle thermique réduit de Ansys vers ADS.....	98
Figure 53 Réponse en température d'un modèle thermique avec 1, 10, 50, 90, et 120 vecteurs de Ritz	99
Figure 54 Exemple d'éléments finis et matrice d'assemblage des éléments associés	100
Figure 55 Chutes de tensions dans la topologie du modèle	102
Figure 56 Réseau IV mesuré en pulse @25 °C : courbes rose ; Réseau IV simulé initial : courbes rouge ; Réseau IV simulé après modification: courbes bleues.....	103
Figure 57 Mesure de la source de courant I_{ds} par dichotomie récursive	104
Figure 58 Affinage de la description de la source de courant I_d	106
Figure 59 Exemple d'enveloppe convexe	107
Figure 60 Exemple d'enveloppe convexe affinée.....	108
Figure 61 Insertion de l'étape de traitement des données dans le processus d'extraction d'un modèle thermique	109
Figure 62 I_{ds} (V_{gs} , V_{ds}): réseau bleu $T_{socle} = 25$ °c.....	110
Figure 63 Evolution de I_{ds} avec la température T pour différents V_{gs} à $V_{ds}=26V$	111

Figure 64 Evolution des éléments extrinsèques R_d et R_g avec la température.....	112
Figure 65 Dépendance des capacités C_{gs} , C_{gs} et C_{ds} avec la température pour $V_{gs} = 5V$	113
Figure 66 Distinction des éléments à mettre à l'échelle	115
Figure 67 Mise en parallèle de modèles de transistors.....	116
Figure 68 Configuration des éléments intrinsèques pour opérer le Scaling.....	117
Figure 69 Profil de Température simulé d'un transistor de 20.4 mm de périphérie de grille	118
Figure 70 Scaling du modèle thermique par expansion de la matrice d'impédance thermique du modèle unitaire	119
Figure 71 a) Simulation Enveloppe d'un signal de 2 tons de 2.08 GHz espacés de 100 KHz b) Simulation du même signal en Temporel.....	128
Figure 72 Topologie usuelle du banc de mesure.....	132
Figure 73 Coupleur bidirectionnel.....	133
Figure 74 Evaluation de la directivité d'un coupleur bidirectionnel.....	134
Figure 75 Amplitude de l'IRL (dB) en fonction de la directivité du coupleur pour différentes adaptations.....	134
Figure 76 Phase de l'IRL ($^{\circ}$) en fonction de la directivité du coupleur pour différentes adaptations.....	135
Figure 77 Coupleur bidirectionnel conçu avec deux coupleurs unidirectionnel.....	136
Figure 78 Coupleur bidirectionnel "RatRace".....	137
Figure 79 Mesures des caractéristiques du coupleur Rat-Race.....	137
Figure 80 Expérience avec les wattmètres et le coupleur.....	138
Figure 81 Comparaison de l'IRL mesuré avec un VNA et la méthode des wattmètres	140
Figure 82 Nouvelle topologie du banc de mesure Loadpull / sourcepull pour la mesure de l'IRL	142
Figure 83 Impédances ramenées dans le plan du transistor	142
Figure 84 Photo du banc de mesures avec la table de test sous pointes	144
Figure 85 Caractérisation des câbles et pointes RF	145
Figure 86 Influence des câbles & probes sur les impédances présentées par les Tuners.....	146
Figure 87 Caractéristiques de l'ensemble Câble & Pointes en entrée et sortie	146
Figure 88 Tuner et ensemble Câble & pointe en cascade	147
Figure 89 Impédances disponibles dans le plan d'accès du transistor	147
Figure 90 Distorsion avec un signal mono porteuse	149
Figure 91 Exemple de quelques charges aux harmoniques sur le tuner d'entrée	151
Figure 92 Exemple de quelques charges aux harmoniques sur le tuner de sortie	152

Figure 93 Banc de simulation Loadpull / Sourcepull	152
Figure 94 Distorsion avec un signal bi porteuses.....	158
Figure 95 Modèle Simplifié du transistor.....	159
Figure 96 Source de courant I_{ds} (V_{gs}) à $V_{ds} = 26$ V avec ses dérivées G_m , G_{m1} (dérivée seconde), G_{m2} (dérivée troisième), G_{m3} (dérivée quatrième) et G_{m4} (dérivée cinquième)	161
Figure 97 Modification de la source de courant et visualisation de l'impact sur les dérivées.....	162
Figure 98 Effets de la modification des dérivées de I_{ds} sur les paramètres larges signaux.....	163
Figure 99 Expérience réalisée pour évaluer la thermique dynamique	166
Figure 100 Visualisation de la puissance de sortie sur 5 millisecondes	166
Figure 101 Visualisation de la puissance de sortie sur 1 millisecondes	167
Figure 102 Visualisation de la puissance de sortie sur 100 microsecondes.....	167
Figure 103 Confrontation mesures/ modèle pour la puissance de sortie	172
Figure 104 Sensibilité de l'impédance en fonction du coefficient de réflexion	179
Figure 106 Indexation des points de mesures sur le vecteur de Tension	184
Figure 107 Impact d'une variation de V_{gs} de +/- 1% par pas de 0.2 % sur I_{ds} et ses dérivées...	185
Figure 108 Impact des variations de V_{gs} sur les performances larges signaux	186
Figure 109 Cycle de charge sur le réseau IV	187
Figure 110 Topologie	190
Figure 111 Profil de température suivant les doigts.....	191
Figure 112 Puissance de sortie et produit d'intermodulation d'ordre 3 des différentes topologies en réponse à un signal bi porteuses	195

Partie 1
Généralités sur la modélisation
&
Introduction à notre étude

1. Introduction

Dans l'ordre de la recherche scientifique, la notion de modèle au sens où nous l'entendons aujourd'hui est une idée neuve et plus encore le concept de modélisation qui n'a que récemment été admis par nos dictionnaires. Une riche étude de S. Bachelard (1983) mentionne son apparition au début du 20^{ème} siècle dans un article «Model» publié par *The Encyclopædia Britanica* en 1902, article dû à **L. Boltzmann**, lequel avait auparavant publié un article dans une publication Allemande de Physique. Les encyclopédistes du 18^{ème} siècle parlaient volontiers de système pour désigner, à peu près, ce que nous entendons aujourd'hui par Modèle scientifique ou technique. Auparavant nommé Lois (ex. : Loi de **Kepler**) ou Principes (ex. : Principe de **Newton**) ces préceptes semblaient faire l'affaire avant que ne s'installe le concept de Théorie, lequel défend aujourd'hui encore avec énergie la noblesse de son statut face aux empiétements présumés du roturier concept de Modèle. Cette vaillance de la Théorie est facilitée par les scientifiques Anglo-saxons qui assument, au nom du pragmatisme que le reste du monde leur attribue, que dans l'usage contemporain, le mot « modèle » est tout simplement un synonyme du mot « théorie » ... *je soupçonne*, ajoute **H.A. Simon**, *que l'on veuille ainsi implicitement désigner par le mot « modèle », une « théorie mathématique » ; ce qui risquerait de nous faire perdre bon nombre de théories intéressantes, exprimées dans d'autres langages que le langage mathématique.*

On peut qualifier H.A. Simon de visionnaire aux vues de l'impressionnante vulgarisation de la physique au court de ces dernières décennies ; personne ne saurait nier que l'on entend maintenant le plus souvent par «Modèle » une représentation de ce que l'on veut bien voir, et non plus une recherche perpétuelle à représenter l'insoupçonnable. Toutefois ne dramatisons pas, cette observation est seulement dédiée aux applications industrielles, les scientifiques de tout bord étant (et seront toujours là) pour garder l'imprenable citadelle de la Théorie (Principes ou encore Lois pour les plus viscérales).

2. Pourquoi la modélisation

La modélisation ne se limite pas tant à ce que l'on peut mais à ce que l'on veut faire. Augmenter le nombre de phénomènes à prédire accroît la complexité du modèle, et par conséquent toutes les étapes de conception, d'extraction et de validation seront plus coûteuses en temps. Il est ainsi évident que dans le cadre d'une application industrielle, il est nécessaire de mettre des limites à la complexité et de réduire au maximum le temps de génération d'un modèle (time is money). Bien qu'il soit toujours plus intéressant de posséder un modèle versatile, efficace et aussi général que possible, le pragmatisme de l'industrie ne permet pas à l'utilisateur du dit modèle de passer un temps infini pour en apprécier toutes les facettes.

Quelles sont les caractéristiques que doivent avoir nos modèles ? Avant de répondre à cette question, il convient de situer leur domaine d'application, dans quel but et comment ils seront utilisés.

En restant le plus général possible, on distingue deux grandes familles qui chacune se subdivise en d'autres sous familles. Ces deux familles sont les modèles que l'on qualifiera de générique, et les modèles connus sous le nom de comportementaux.

Les modèles génériques sont de fait des modèles qui peuvent répondre, de part leur conception, à tous les types de sollicitation de la part de l'utilisateur et du simulateur de circuit. Ils peuvent prédire des comportements aussi divers que compliqués sans être pour autant spécifique à une utilisation particulière. Cette universalité se traduit cependant en temps de conception et d'utilisation relativement important. Leur utilisation principale est la conception de sous-ensembles système tels que les amplificateurs, les oscillateurs et autres mélangeurs. La famille des modèles génériques est large et complète, nous y reviendrons dans la suite de ce mémoire.

Les modèles comportementaux [1] sont eux plutôt dédiés à une utilisation au niveau système. Ils sont généralement extraits sous des conditions particulières d'impédance de charge, de polarisation, de fréquence... qui font que ces modèles sont spécifiques à une utilisation donnée. Ils peuvent modéliser aussi bien un composant actif ou passif qu'un ensemble de composants qui constituent un sous système. Ceci est rendu possible par le fait que ces modèles

sont basés sur des concepts mathématiques sans réel accord avec la physique des composants, une «simple » fonction de transfert permet de prédire divers comportements. A leur actif, ils ont leur rapidité de conception, d'utilisation et de simulation. Là aussi suivant les caractéristiques à modéliser, plusieurs familles de modèles nous sont proposés :

- Séries de Volterra : Pour les composants faiblement non linéaires.
- Séries de Volterra modifiées : séries de Volterra étendues au comportement non-linéaire.
- Réseaux de neurones : contrairement aux deux autres méthodes, il n'est pas nécessaire de faire une optimisation sur les mesures. Ce type de modèle effectue une étape « d'apprentissage » sur les mesures et permet par la suite de faire des interpolations prédictives avec des outils telle que les Ondelettes.

Leur utilisation principale est l'intégration d'un sous système fini dans un système plus complet que l'on simulera afin d'en évaluer l'impact sur ses fonctions globales. Comme exemple nous citerons l'intégration d'un amplificateur de puissance dans une chaîne de transmission (en émission ou en réception).

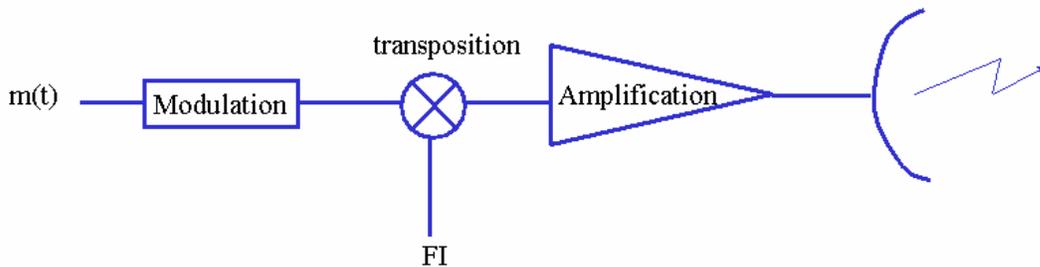


Figure 1 Exemple d'un système électronique: chaîne d'émission RF

Le but ultime de la modélisation est la conception totale et parfaite de tout ensemble électronique. Ceci permettrait de limiter les étapes de réalisation matérielle intermédiaire coûteuses en temps et en argent pour valider son fonctionnement.

La conception de chaque élément d'un système nécessite l'utilisation de modèles permettant de simuler des phénomènes électriques et thermiques complexes. Une fois que chaque élément a été défini et validé, il n'est plus nécessaire de disposer de modèles complexes (modèles génériques). Seuls des modèles simplifiés (modèles comportementaux) des éléments sont nécessaires pour simuler l'ensemble électronique qui compose le système.

La conception des systèmes électroniques analogiques (les systèmes numériques étant une autre histoire) est partiellement réalisée à l'aide de simulateurs informatiques. Partiellement seulement car entre chaque étape de conception informatique des étapes de réalisation et de validation des sous fonctions sont nécessaires. L'idéal, pour ne pas dire l'utopie dans l'état des choses, se concrétiserait par la Figure 2 où l'ensemble d'un système est entièrement réalisé à l'aide de modèles informatique (parties orangées de la figure).

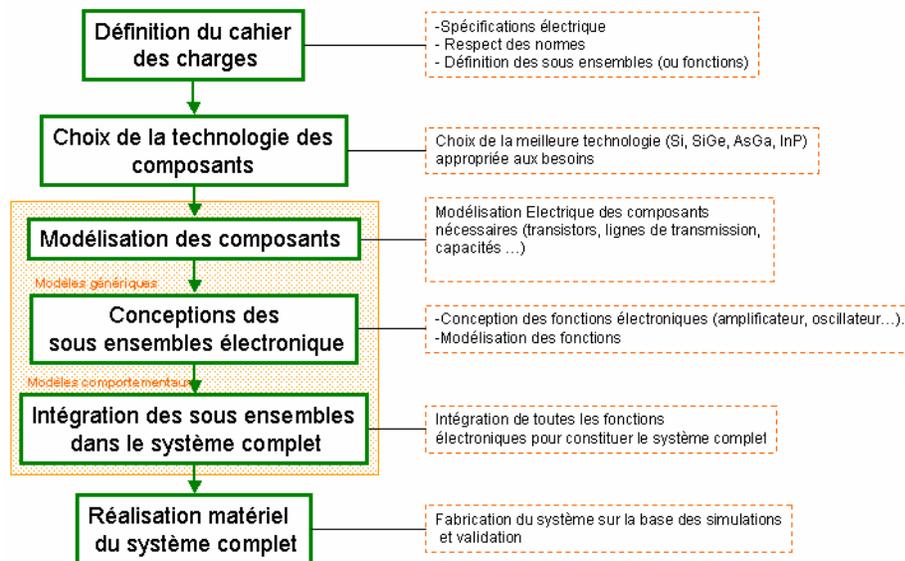


Figure 2 Processus de conception d'un système

Les sous-ensembles électroniques étant réalisés sur la base des prédictions des modèles génériques, et l'intégration de ces dits sous-ensemble à l'aide de modèles comportementaux. La conception du système global ne nécessiterait alors qu'une seule passe et prendrait un temps minimal pour un coût optimal.

Les modèles informatiques étant ce qu'ils sont, sous-entendons imparfaits, avec une précision finie souvent insuffisante, il nous faudra encore attendre bon nombre d'études et d'essais pour en arriver à l'idéal que représente le processus Figure 2.

La modélisation de composants dans le seul but de la conception d'amplificateur de puissance étant l'objectif de notre étude, nous n'aborderons par la suite que les modèles génériques. Nombre de données et d'informations techniques sont disponibles sur la modélisation comportementale dans [1] [2].

3. Les filières de transistor pour l'amplification de puissance

Au cours des dernières décennies, nombre de technologies, de processus, ont été étudiés et développés afin de converger vers le but ultime, la chimère de l'électronique, à savoir un transistor de puissance ayant toutes les caractéristiques nécessaires et suffisantes pour répondre aux spécifications des systèmes.

Parmi ces caractéristiques, on peut citer une puissance de sortie maximale pour un rendement proche de l'unité, un minimum de distorsion ce qui implique une fréquence de coupure assez élevée, et bien sur un coût de fabrication raisonnable.

Le développement de cette technologie qui répondrait à tous ces critères a nécessité nombre d'essais, de technologies que l'on peut qualifier d'intermédiaires ou destinées à des applications très spécifiques. Il faut garder à l'esprit qu'une technologie nécessite des années, pour ne pas dire des décennies, avant que son processus ne soit totalement maîtrisé.

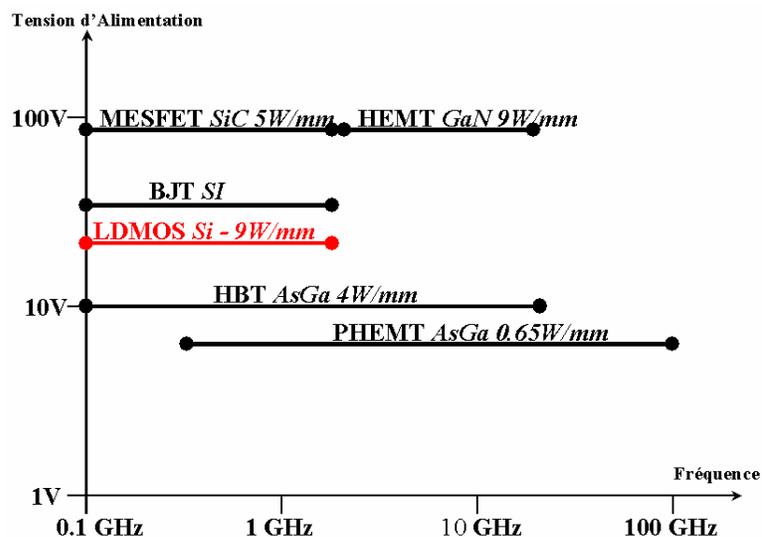


Figure 3 Positionnement de la technologie LDMOS

Devant l'impossibilité à développer une technologie universelle, il convient à l'industrie des semi-conducteurs de répondre aux demandes spécifiques, application par application. Suivant

les bandes de fréquence que l'on souhaite exploiter, les puissances mises en jeu, le graphe Figure 3 résume les technologies adéquates [3].

Nous ne rentrerons pas dans les détails du fonctionnement de chaque technologie, ce n'est pas notre propos. Citons simplement les 3 technologies « sérieuses » concurrentes pour la réalisation d'amplificateurs de puissance en Radiofréquence :

Le HBT sur matériau *AsGa* (Arsenure de Gallium) : Possède de nombreuses qualités sur le plan électrique, mais a l'inconvénient majeur de posséder une résistance thermique élevée, la puissance dissipée (et donc sa température de jonction) est telle que la densité de puissance admissible est très limitée (0.6 W/mm). De plus son processus de fabrication est assez délicat et engendre un coût de fabrication non négligeable.

Le HEMT sur matériau *GaN* (Nitrure de Gallium) : toujours en cours de développement et de caractérisation. Ses caractéristiques électriques ne sont pas très bien maîtrisées, le processus manque de maturité, cependant il suscite de grand espoir dans la communauté scientifique tant sa densité de puissance est importante (9W/mm).

Le LDMOS (Laterally Diffused Metal Oxide Semiconductor) sur matériau Silicium : issu de la filière largement éprouvée et maîtrisée du Silicium. C'est une adaptation des MOSFET basiques pour la puissance en radiofréquence. Sa très large utilisation dans le domaine des amplificateurs de puissance radiofréquence (réseaux télécommunications) font de cette technologie un standard. En plus de leur faible coût de conception, les transistors LDMOS possèdent toutes les caractéristiques électriques et thermiques requises pour les modulations complexes. Il semblerait cependant que l'on arrive aux limites de maturité pour des applications télécoms en fréquence plus élevée.

4. Le Transistor LDMOS

La technologie LDMOS fournit une solution intégrée pour l'amplification de puissance en radiofréquence [4]. On décrit souvent la complexité d'une technologie en spécifiant son nombre de niveau de métallisation, car de ce nombre dépendent les composants réalisables. La technologie en question possède 3 niveaux de métallisation qui autorise la réalisation des composants suivant :

- Transistors MOS à diffusion latérale (LDMOS) avec la source portée à la masse par une zone fortement dopée P appelée *Sinker*
- Résistances avec diffusion N⁺ et polysilicium
- Capacité "Shunt" meta-nitride-P⁺ silicium
- Capacité "série" meta-nitride-silice
- Lignes de transmissions micro-ruban.
- Inductances
- Transistors CMOS

La palette des composants est complète et suffisante pour la réalisation des amplificateurs de puissances. Cette technologie permet de réaliser des transistors LDMOS de longueur de Grille 0.6 μm .

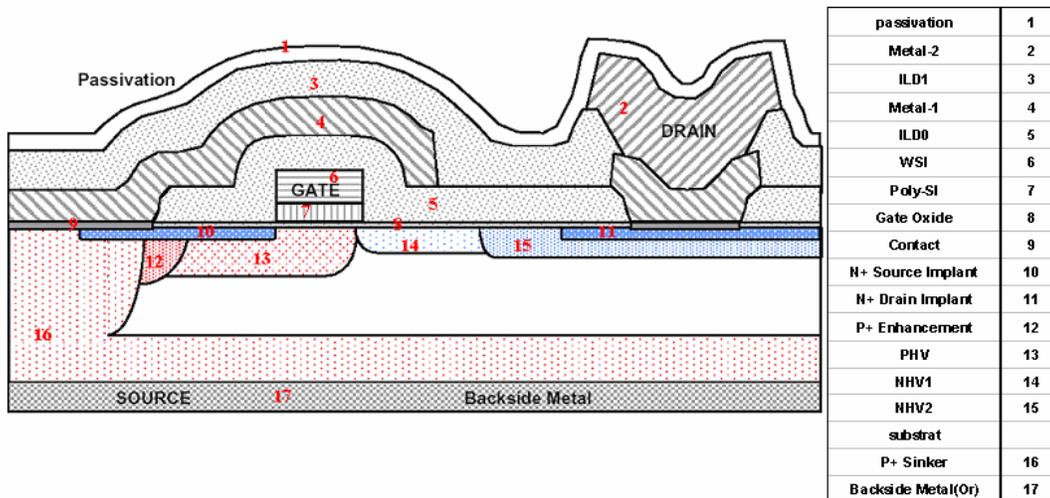


Figure 4 Topologie du process d'un transistor LDMOS

Chacune des “couches” a une fonction spécifique

- *P⁺ enhancement implant*: région fortement dopée dans le but de protéger le transistor contre les pics de surtension de retour de masse.
- *NHV1 implant*: région légèrement dopée pour assurer la transition entre la grille au drain lourdement dopé, et augmente ainsi la tension de claquage du transistor.
- *NHV2 implant*: optimise le profil du dopage entre la grille et le drain afin d’augmenter la tension de claquage du transistor.
- *PHV*: définit les caractéristiques du canal du transistor, tension de seuil ainsi que le courant de fuite Drain - Source.
- *N⁺ implant*: puit négatif pour les transistors N- LDMOS
- *ILD0*: diélectrique inter-couches, isole le transistor de la couche Metal1.
- *ILD1*: diélectrique inter-couches, isole Metal-2 de Metal-1.
- *P⁺ Sinker*: implant fortement dopé pour relier la source directement à la masse.
- *Metal-2* et *Metal-1*: permet de réaliser des pistes métalliques.
- *Polysilicium*: permet de réaliser des contacts sur le transistor.

Les deux caractéristiques essentielles de la technologie LDMOS qui diffèrent d’une technologie CMOS conventionnelle sont :

La diffusion P⁺ Sinkers : Permet de relier directement la source du transistor au Bulk (masse) et évite ainsi d'utiliser des contacts, pistes et autres fils de câblage qui induisent des perturbations selfiques, résistives et des parasites.

Les implants NHV1- NHV2 : augmenter la tension de claquage permet de réaliser des transistors de puissance.

Ces deux seules différences autorisent la réalisation de transistor de puissance avec des tensions d'alimentation et de claquage élevées.

5. Modèle générique

La fabrication d'un transistor est certes compliquée et demande nombre d'étapes intermédiaires, mais sa modélisation l'est tout autant. En effet on ne compte plus les publications et autres thèses qui ont trait à ce sujet, chacune apportant une pierre à l'édifice. La modélisation des transistors est maintenant plus répandue et la modélisation des phénomènes fondamentaux tout à fait correcte.

Comment juger de la qualité d'un modèle ? Tout dépend de son domaine d'utilisation, pour répondre à cette question il convient de donner une définition du «modèle » au sens général du terme.

Un modèle est une représentation théorique d'une réalité restreinte de la nature qui n'est pas accessible par les sens. Il a pour utilité de décrire, d'interpréter et de prévoir des événements dans le cadre de cette réalité et ne s'applique qu'à un nombre limité de phénomènes. Par exemple, le modèle atomique permet de décrire des phénomènes chimiques, mais pas le phénomène de gravité.

Le modèle se substitue parfois à la théorie à cause de sa simplicité relative. Il a donc comme rôle de décrire une réalité complexe de manière simple et compréhensible. Par exemple, il est souvent plus facile d'utiliser le modèle atomique simplifié pour expliquer certaines réactions chimiques que d'utiliser la théorie de la mécanique quantique, qui est très complexe d'un point de vue mathématique et conceptuel.

Un bon modèle comporte quatre qualités essentielles :

1. Il permet d'expliquer certaines propriétés ou certains comportements de la réalité qu'il représente.
2. Il met en relation diverses observations de manière à obtenir une interprétation structurée de la réalité qu'il représente.
3. Il permet de prévoir, dans une certaine mesure, des événements nouveaux qui pourront ensuite être observés.
4. Il peut être amélioré à la lumière de nouvelles observations.

Cette définition générale pose cependant un problème car elle ne fait pas clairement apparaître la notion de « précision ». Il est vrai que la modélisation d'un transistor est faite dans l'optique de prédire des phénomènes tels que les conditions d'utilisation, les phénomènes électriques (Claquage, Oscillation ...) ou thermiques (emballement, inversion de polarisation ...).

Mais ce qui est peut être nouveau c'est le besoin de précision dans les réponses simulées des transistors. Ce besoin de précision est lié à deux causes :

Les temps de conception des systèmes toujours plus courts, la raison en est simple et se résume en une expression marketing : « time to market ». Il est de plus en plus difficile de faire des essais préalables avant la mise sur le marché des produits finaux, il faut d'emblée concevoir des systèmes qui fonctionnent comme prévus initialement et pour cela le besoin en modèle informatique de précision est immense.

La deuxième raison qui finalement n'est pas si éloignée de la première, c'est le coût de fabrication des composants électroniques. Bien que « dérisoire » (toute proportion gardée), fabriquer un wafer de test composé seulement de quelques composants dont l'optique d'utilisation est simplement d'aider le concepteur du circuit à converger vers une solution finale reste cher. La mobilisation des moyens humains et techniques pour faire ces essais peut s'évaluer jusqu'à plusieurs dizaines de milliers d'Euro.

Bien qu'apportant nombre d'avantages dans la conception de système, la modélisation reste également un investissement non négligeable. Elle nécessite un apport initial important aussi bien en moyen de recherche qu'en moyens matériels.

Comme nous l'avons dit précédemment, l'ensemble des phénomènes physiques régissant un transistor (de quelque famille/ technologie qu'il soit) sont maintenant assez bien connus ; Il est également assez aisé de prévoir des topologies de modèle pouvant intégrer ces phénomènes. Mais pour ce qui est de la précision de prédiction, il en est tout autre. Là aussi il existe nombre de type de modèle, de topologies, de techniques d'interpolation des données... qui sont efficaces pour des applications données, précis sur certains points et moins sur d'autres.

6. Incertitudes de mesures

La modélisation ne se limite pas à ce choix de topologie, elle intègre également les mesures. Quelque soit la nature du modèle, son architecture, ses défauts le sujet concerné reste le transistor. Les mesures permettent de faire l'interface entre le réel et le virtuel. D'elles dépend la pertinence apportée par le modèle au simulateur. Si l'on considère que la modélisation est l'étape qui consiste à faire coïncider les réponses simulées de la topologie choisie avec les réponses réelles mesurées, alors on peut se poser la question de savoir des deux étapes (modélisation et mesure) laquelle est la plus délicate voire critique.

Là aussi avant de répondre à cette interrogation, posons quelques questions :

Quelles sont les sources d'erreur dans les mesures ?

Depuis les années 80 une nouvelle approche a été introduite pour l'évaluation de la précision dans les mesures, elle se nomme « Incertitude de mesure ». Un manuel pratique [6] a été publié en 1993 par l'*Organisation Internationale de Standardisation* (Suisse) sous le nom de « *Guide pour l'expression de l'incertitude de mesure* ». Il y est en outre recommandé de bannir du langage scientifique les termes de « erreur de mesure » et « valeur réelle de quantité mesurée ». Cela est basé sur le fait que toute « valeur réelle » est impossible à mesurer en pratique. On pourrait penser qu'il s'agit là d'un simple exercice de sémantique mais il en est tout autre. L'incertitude de mesure est un paramètre, associé avec le résultat de cette mesure, qui caractérise la dispersion des valeurs qui pourraient être attribuées à la quantité à mesurer.

L'incertitude de mesure ne se limite pas à un seul paramètre mais à toute une famille parmi lesquelles on peut citer [5] :

- Distribution statistique issue de plusieurs séries de mesures.
- Déviation standard au cours de l'expérience ou mesure.

A ces paramètres on peut également associer les effets des corrections et de la référence qui contribue eux aussi à la dispersion du résultat de mesure.

6.1 Incertitude standard

Incertain sur le résultat de la mesure engendrée par une déviance « normale ». C'est ce que l'on appelle également une caractéristique quantitative (notée dans la littérature u).

On peut également subdiviser cette catégorie d'incertitude en 2 types :

Incertitude standard de type A (noté u_A) : provient de mesures répétées et dont on connaît assez mal leurs origines, elle est quantifiée avec la relation suivante :

$$U_{AX} = \tilde{s}(\bar{X}) = \left[\frac{1}{n(n-1)} \sum (x_i - \bar{x})^2 \right]^{\frac{1}{2}}$$

$$\text{avec } \bar{x} = \frac{1}{n} \sum_{i=1}^n x_i$$

ou x_i est la valeur mesurée de la quantité X à déterminer

Incertitude standard de type B (noté u_B) : Où sont généralement attribuées les sources d'incertitude identifiées.

Pour déterminer cette incertitude, il convient de suivre la procédure suivante :

- Énumérer les possibles sources d'incertitude ($Z_1, Z_2, Z_3, \dots, Z_n$)
- un intervalle $\langle -\Delta Z_{jmax}, +\Delta Z_{jmax} \rangle$ doit être estimé pour chaque source
- La déviation standard σ_j est estimée pour chaque source, elle est basée sur la densité de probabilité de Z_j dans l'intervalle $\langle -\Delta Z_{jmax}, +\Delta Z_{jmax} \rangle$. Habituellement, la distribution de la probabilité est uniforme si l'on ne possède pas d'information la concernant. Pour une valeur uniformément distribuée dans l'intervalle $2\Delta Z_{jmax}$ (le zéro étant en dehors de l'intervalle), nous avons la déviation standard de l'incertitude de type B en rapport avec la source Z_j :

$$s_j = \frac{\Delta Z_{jmax}}{\sqrt{3}}$$

L'incertitude estimée $U_{Bzj} = \sigma_j$ est prise en compte dans l'incertitude du résultat de la mesure de la quantité X :

$$U_{BX,Zj} = A_{X,Zj} \sigma_j \text{ avec } A_{X,Zj} : \text{Coefficient de sensibilité.}$$

Si nous connaissons la relation entre la quantité à mesurer X et les sources probables d'incertitude Z_i : $X = f(Z_1, \dots, Z_n)$

Alors le coefficient de sensibilité spécifique à chaque source d'incertitude est donné par :

$$A_{X,Zj} = \frac{\partial f(Z_1, \dots, Z_n)}{\partial Z_j} \quad j=1, \dots, n$$

on peut alors en déduire l'incertitude standard de type B :

$$U_{BX} = \left[\sum A_{X,ZJ}^2 U_{BZJ}^2 \right]^{\frac{1}{2}} = \left[\sum_{j=1}^n U_{BX,ZJ}^2 \right]^{\frac{1}{2}}$$

6.2 Incertitude standard combinée : (notée u_C)

Combinaison des 2 types précédents (type A et type B). Elle est utilisée quand la mesure n'est pas directe mais lors d'une combinaison de mesures. Elle est égale à la racine carrée d'une somme de variance et de covariance. Ces variances et covariances étant pondérées avec l'analyse de la variation des mesures.

$$U_C = \sqrt{U_{AX}^2 + U_{BX}^2}$$

6.3 Incertitude globale : (notée u)

Considéré comme le produit de l'incertitude combinée u_C avec un facteur de lissage K .

$$U = k \cdot U_C(Y)$$

Où Y est la quantité mesurée, le résultat de la mesure est plus couramment exprimé comme :

$$Y = y \pm U$$

Avec y une estimation de la quantité à mesurer Y et $(y-U, y+U)$ est un intervalle qui peut englober une large fraction de la quantité à mesurer.

6.4 Evaluation de l'incertitude standard de la mesure indirecte

Dans ce cas précis, la valeur mesurée de la quantité à mesurer Y est calculée comme suit :

$$Y = f(x_1, x_2, \dots, x_n)$$

Avec x_1, x_2, \dots, x_n les arguments mesurés. L'incertitude de la mesure indirecte est déterminée en utilisant la loi de propagation de l'incertitude.

$$U_y^2 = \sum_{i=1}^m \left(\frac{\partial f}{\partial x_i} U_{x_i} \right)^2$$

Les sources d'incertitude dans la mesure sont globalement identifiables et l'incertitude quantifiable, mais il n'est pas réaliste de penser pouvoir faire l'exercice à chaque mesure. On peut simplement chercher à faire l'exercice une fois et corrélérer ces mesures dans le temps en vérifiant régulièrement la déviance en qualité (si déviance il y a).

7 Méthodologie d'extraction du modèle électrique

La méthodologie d'extraction d'un modèle pourrait se résumer avec la Figure 5 même si cela peut paraître totalement subjectif. Elle se compose des 2 axes principaux que sont la modélisation des mesures et la validation du dit modèle.

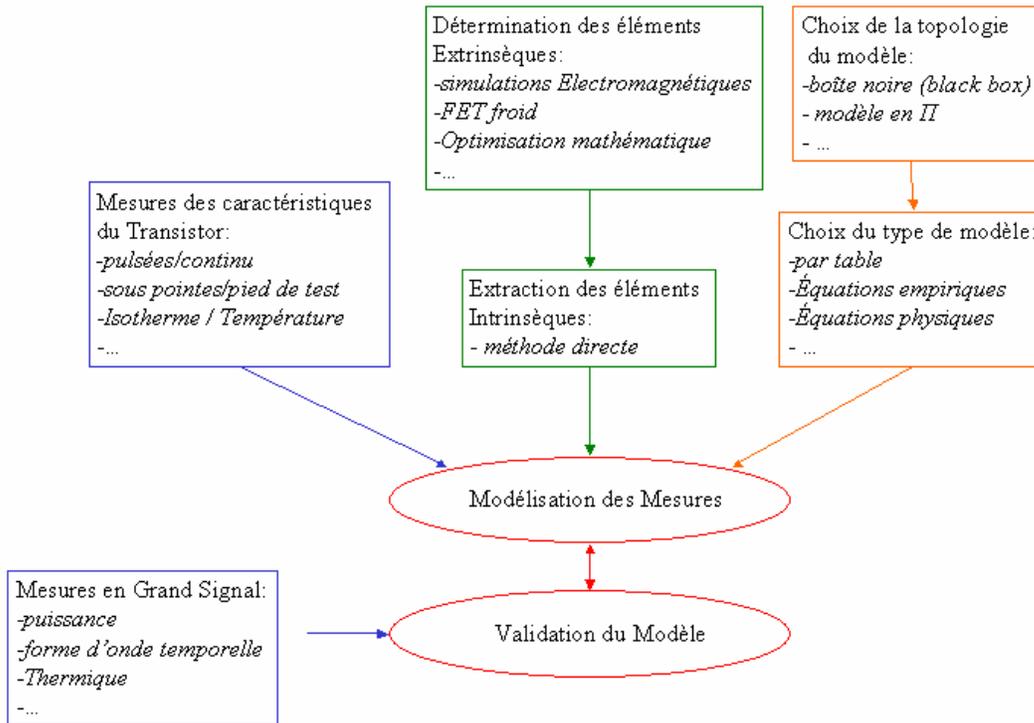


Figure 5 Etapes constitutives de l'extraction d'un modèle

Même si ces deux étapes semblent distinctes elles font toutes les deux intégralement partie du processus de modélisation. La validation permettant de mettre en lumière d'éventuels problèmes/ erreurs survenus lors de chacune des étapes permettant la modélisation des mesures. Ces erreurs pouvant également venir des mesures de validation elles-même comme nous le verrons par la suite.

7.1 Mesures des caractéristiques du transistor

Il ne s'agit pas de l'incertitude des mesures comme nous l'avons évoqué précédemment mais de savoir ce que l'on va mesurer, comment, et dans quelle condition. Répondre à la première interrogation semble assez aisé : on mesure des signaux électriques, mais plus concrètement cela dépend de ce que l'on souhaite faire [7], un modèle isothermique, électrothermique, à pièges, à avalanche ...c'est cela qui va conditionner les mesures que l'on va faire, chaque famille demandant des mesures spécifiques :

Modèle isothermique : on impose une température ambiante au transistor, et en faisant des mesures pulsées courtes on ne change pas l'état thermique de la puce.

Modèle électrothermique : mesures pulsées à différentes températures ambiante, et l'on détermine par d'autres techniques un circuit thermique dynamique.

Modèle à pièges : on relève les caractéristiques électriques du transistor dans différents états de piège en polarisant le transistor à différents points.

Modèle à avalanche : caractérisation du transistor dans la zone d'avalanche, et on prévoit un circuit additif à la topologie du modèle pour intégrer ce paramètre.

7.2 Choix de la topologie

C'est à ce stade que tout se décide. Ce choix conditionne (ou est conditionné par) l'utilisation que l'on aura du modèle. Chaque topologie ayant des restrictions d'utilisation, en précision, rapidité ...

Citons en exemple quelques familles :

- **modèle de Root (black box)** [49] : Comme son nom l'indique il a une configuration qui ne permet pas d'accéder aux éléments internes. Il est le plus souvent constitué d'équations empiriques qui déterminent pour des tensions d'alimentation données des valeurs de charges et de courants à chaque accès du modèle.

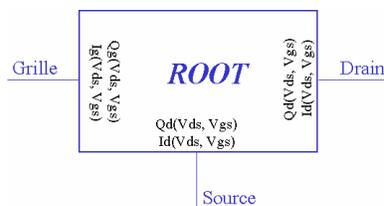


Figure 6 Modèle *Root*

En plus des variables d'entrées que constitue chaque accès, des variables internes au modèle tel que l'auto-échauffement (température) peuvent affecter les valeurs des charges et courants. On peut également imaginer que ce type de modèle pourra intégrer d'autres accès pour interagir avec un circuit externe tel que : circuit thermique, circuit de pièges ...

En outre on peut citer son extraction assez rapide ainsi que sa facilité d'utilisation, mais son principal inconvénient souvent cité est qu'il ne peut être extrait qu'à une seule fréquence voire à un seul point de polarisation ; son utilisation sera donc très restreinte.

- **topologie dite « explosée »** : on peut le qualifier de modèle de la classe supérieure par rapport au modèle de *Root*. De par sa nature il autorise l'accès aux éléments intrinsèques ce qui lui confère un caractère plus physique ; les phénomènes physiques, quoique très simplifiés, sont mieux représentés.

Sa représentation repose sur l'interprétation des phénomènes qui se produisent dans le transistor et les traduit en éléments localisés (capacité, diode, source de courant, résistance ...) comme le montre la Figure 7.

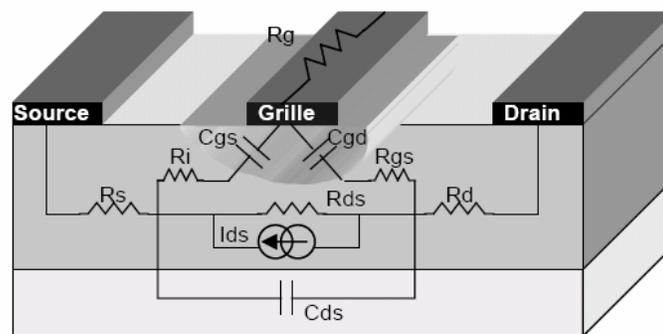


Figure 7 Origines physiques des composants d'un modèle à éléments localisés

Suivant le matériau employé pour fabriquer un FET (Si, AsGa, SiC ...), certains éléments seront plus ou moins prépondérants et pourront ou non être négligés dans le modèle.

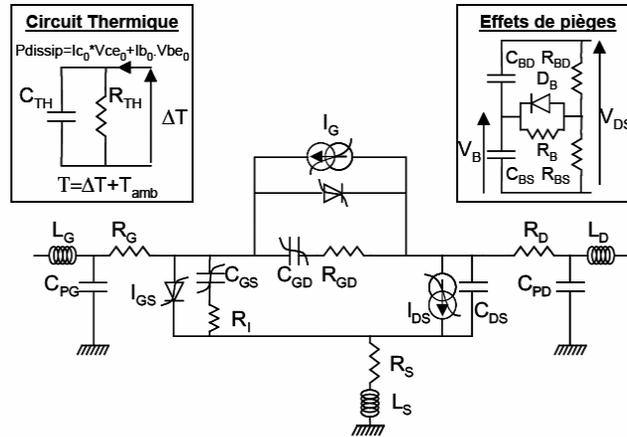


Figure 8 Modèle explosé complet

La Figure 8 présente une topologie de modèle explosé dite complète [7]; composée des éléments récurrents tel que les capacités de jonctions, éléments extrinsèques ; ainsi que des éléments additifs tel que le circuit thermique, circuits à effets de pièges ou encore les diodes d'avalanche. Il est clair qu'il n'est nul besoin de tout intégrer dans un modèle si celui-ci ne possède pas par exemple de phénomènes de pièges (ce qui est le cas des transistors LDMOS). Là aussi il n'y a pas d'universalité dans le choix du modèle équivalent à éléments localisés, même si le modèle ci-dessus est largement répandu et accepté dans la littérature scientifique d'autres topologies [8] sont tout aussi comparables.

Le fait de pouvoir accéder aux éléments intrinsèques équivalents fournit à l'utilisateur du modèle des informations supplémentaires, de constater ou de vérifier des phénomènes physiques (évolution des capacités non linéaires ou cycle de charge) qui peuvent l'aider à la conception d'un système électronique (amplificateur de puissance). Il permet aussi d'effectuer des études plus poussées comme l'analyse de stabilité (NDF) en fort signal qui nécessite l'accès aux nœuds internes du modèle ; l'utilisateur du modèle pourra ainsi adapter sa conception pour éliminer la possibilité d'oscillations électriques éventuelles.

Il est tout de même important de noter que cette famille de modèle est plus complexe à mettre au point.

- **Modèle « boîte noire » (black box) [8]** : dans le principe de fonctionnement, ce type de modèle est similaire au modèle de Root, il délivre les charges et autres courants nécessaires au simulateur de circuit pour converger vers une réponse stable. La différence réside dans le fait que la détermination des charges et courants est basée sur une topologie de circuit équivalent comme le

sont les modèles explosés et par opposition aux modèles de Root qui utilisent des équations purement empiriques. Parmi les plus connus, on peut citer le MET (modèle Electrothermique de Freescale). Bien qu'étant fermé, cette topologie conserve un «raisonnement physique» dans le sens où on utilise les notions d'éléments localisés équivalents.

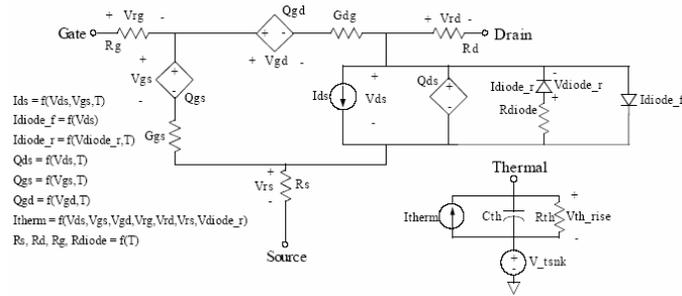


Figure 9 Topologie du modèle MET

7.3 Type de modèle

La topologie choisie, il convient maintenant de sélectionner comment le modèle déterminera les valeurs à attribuer aux charges et courants de chaque accès. Là aussi nombre de modèles ont été développés au cours des dernières décennies. Pour ne retenir que les plus utilisés :

- Le premier (quoique pas forcément le plus simple à mettre en pratique) est basé sur les *équations empiriques*, ce sont des équations analytiques sans rapport à la physique dont le seul but est de décrire le plus précisément possible les données issues des mesures. Le MET est de ces types de modèles qui utilisent des équations empiriques.

- *Equation de la physique des semi-conducteurs*, basées sur la résolution des équations de transport des électrons et des trous. On cherche soit à déterminer des éléments équivalents localisés (source de courant, capacités de jonction ...) en fonction des paramètres géométriques et des propriétés physiques du transistor, soit on résout les équations de transport pour obtenir les courants et les charges aux accès du composant. C'est assurément le type de modélisation le plus complexe et le plus long à développer. Il possède également un autre inconvénient qui est son temps de simulation prohibitif. C'est pour ces raisons qu'il n'est dévolu qu'à l'expérimentation

ou à la recherche qui consiste à partir d'un tel modèle à vérifier les impacts des modifications apportées à la géométrie ou aux propriétés physiques des transistors.

A ce jour ce type de modèle a une utilisation restreinte mais on peut imaginer qu'un « jour prochain » les lois de la physique des semi-conducteurs soient suffisamment développées et les outils informatiques suffisamment puissants pour rendre plausible le développement des technologies sur la base des modèles et caractéristiques souhaitées en une itération de conception. Ce qui est une utopie aujourd'hui sera t il un jour réalité ? ... aux vues des évolutions phénoménales de ces dernières décennies, on peut être confiant, la modélisation sera alors à son apogée !!

- *Modèle par tables* : assurément le plus simple, le plus rapide à mettre au point puisqu'il ne nécessite pas d'étape d'optimisation. Les valeurs des composants intrinsèques sont directement stockées dans des tables paramétrées suivant plusieurs entrées (V_{gs} , V_{ds} , température ...). Ces tables sont ensuite exploitées par des outils mathématiques sous forme de programme informatique. Ces outils sont là aussi assez nombreux, on citera notamment la famille des Splines, les Ondelettes (couramment utilisées pour les réseaux de neurones) et autres polynômes par morceaux (Béziers, RungeKutta ...).

7.4 Extraction des éléments extrinsèques

Voilà pour de ce qui est du modèle à proprement parler. Il reste maintenant à passer au dernier maillon de la chaîne : l'extraction des éléments extrinsèques (ou éléments parasites). Les éléments extrinsèques sont la matérialisation des phénomènes que l'on qualifie de parasites. Ils ne participent pas à l'effet transistor qui se produit dans le canal. Ils sont engendrés le plus souvent par les métallisations d'accès à la zone active. Il est nécessaire de commencer par déterminer leurs valeurs pour rendre possible l'extraction des éléments intrinsèques et donc des données principales et primordiales du modèle. Plusieurs méthodes nous sont proposées pour leur extraction :

Par **simulation électromagnétique** [12] [13] [14] : à l'aide de simulateur électromagnétique du type Momentun, Sonnet, Ansys, HFSS ; on matérialise les métallisations d'accès à la zone active du transistor, et l'on simule les paramètres S associés sur une bande de fréquences données. De ces paramètres S on en déduit des éléments extrinsèques localisés. C'est

une technique rapide, relativement précise que nous avons utilisé dans nos travaux et sur lesquelles nous reviendrons par la suite.

Par **optimisation** [41]: On trouve des algorithmes de gradient, de recuit simulé, de diffusion simulée, des algorithmes génétiques... Ces méthodes consistent à trouver le minimum global d'une fonction objectif (ou fonction erreur) entre valeurs mesurées et valeurs simulées. Pratiquement, on optimise les valeurs des composants extrinsèques de telle sorte que le modèle équivalent (composants extrinsèques + composants intrinsèques extraient à chaque itération de l'optimisation par la méthode directe explicitée ci-après) aient une réponse électrique la plus proche possible des mesures. Extrêmement performante et rapide, cette méthode nécessite cependant de connaître la valeur d'échelle des paramètres recherchés afin d'éviter de tomber dans des minimums locaux de la fonction d'erreur.

Le FET « froid » (ou Cold FET) [9][10][15][16]: comme son nom l'indique, cette méthode est uniquement destinée aux transistors de technologie FET, et plus spécifiquement aux MESFET. Elle consiste à effectuer des mesures de paramètres S sur le transistor polarisé de façon à ce que les éléments intrinsèques ne masquent pas les éléments extrinsèques. Ces états de polarisations sont :

$V_{ds}=0V$ & $V_{gs} > V_{th}$ (tension de seuil) : le canal du transistor est en « conduction », dans cet état on peut déterminer les valeurs des composants séries des éléments extrinsèques.

$V_{ds}=0$ & $V_{gs} \ll V_{th}$: le canal du transistor est dépleté, on a alors accès aux valeurs des composants parallèles des éléments extrinsèques.

C'est une méthode fiable et largement éprouvée dans la littérature scientifique, mais il convient de rappeler que cette méthode est uniquement destinée aux technologies qui admettent un courant de grille suffisamment élevé (pour $V_{gs} > V_{th}$) pour saturer les capacités de jonction. Ceci ne pouvant pas être réalisé avec les technologies MOSFET (c'est le cas de nos transistors LDMOS) ; c'est une condition *sine qua none* pour sa validité, sous peine d'obtenir des éléments localisés falsifiés.

Méthode statistique [11]: basée sur une technique de régression linéaire. Elle permet à partir d'une mesure de paramètres S à un point de polarisation donnée de faire coïncider une expression analytique avec les paramètres Z , puis de faire une régression linéaire pour obtenir les paramètres Z à une fréquence hypothétique infinie et en déduire ainsi les éléments extrinsèques.

Calcul analytique: elle nécessite une bonne connaissance des propriétés physiques et géométriques des matériaux du transistor. En utilisant les simples lois Ohmiques on approche les valeurs de ces composants extrinsèques. Cependant cette technique n'est pas une fin en soit, elle permet juste d'avoir un point de départ, une idée pour les autres méthodes, et en particulier pour l'optimisation.

7.5 Extraction des éléments intrinsèques

Des paramètres S mesurés initialement, en extrayant les composants extrinsèques, nous avons directement accès aux éléments intrinsèques de la zone active du transistor. Suivant la topologie du modèle choisis, les équations ne différeront que légèrement mais en tout état de cause, cette méthodologie a également été très largement éprouvée et validée [17].

7.6 Validation fort signal

De toutes les étapes de la procédure qui constituent la modélisation d'un transistor, il en reste une ultime, qui n'est pas de moindre importance, c'est la validation en fort signal. L'extraction du modèle étant faite en régime de petit signal, il est important d'évaluer son comportement lorsque des signaux de puissance lui sont appliqués.

Le transistor est à nouveau mesuré mais cette fois-ci en régime de forts signaux. Le but étant de confronter les réponses électriques du transistor mesuré aux réponses données par le modèle simulé en lui appliquant les mêmes contraintes. Plusieurs systèmes de mesures sont usuellement utilisés dans cette étape :

1- **loadpull- sourcepull** (actif ou passif) [19] : on impose des charges aux accès (entrée / sortie) du transistor à une fréquence donnée, différents signaux sont relevés parmi lesquels les puissances d'entrée / sortie à différentes fréquences du spectre, les courants consommés ... De ces données d'autres sont calculées théoriquement comme le rendement en puissance ajoutée, le gain en puissance (et gain transducique), un paramètre qui informe sur la qualité de l'adaptation d'entrée, les intermodulations ...Le banc de loadpull- sourcepull passif possède 2 modes de fonctionnement :

- Soit on impose une charge d'entrée et une charge de sortie, on fait varier la puissance d'entrée pour un point de polarisation donnée, on visualise ainsi l'évolution de tous les paramètres cités précédemment avec la puissance d'entrée.
- Soit on impose une puissance d'entrée et une charge à l'entrée (ou à la sortie) et l'on fait varier la charge de la sortie (ou de l'entrée) : On obtient ainsi des cercles concentriques centrés sur la charge optimum pour un paramètre sélectionné (puissance de sortie, gain, rendement, IRL ...).

-

Un loadpull actif a un principe de fonctionnement différent. En effet il n'est pas possible de pratiquer une étude de l'adaptation d'entrée (SourcePull).

En réalité ces deux modes de fonctionnement sont utilisés en alternance pour arriver à trouver les charges optimums en E/S à une puissance d'entrée choisie. Le banc de loadpull-sourcepull peut être couramment utilisé en mode CW, c'est à dire avec des signaux continus mais comme on le verra par la suite, son architecture est modifiable pour intégrer un mode de fonctionnement pulsé. Il s'agit alors d'appliquer des signaux (puissance d'entrée et polarisation) périodiques avec un rapport cyclique de telle sorte que le transistor ne chauffe pas. Plus concrètement ce dernier mode de fonctionnement est utilisé soit pour s'affranchir des effets thermiques, les signaux appliqués sont suffisamment courts pour ne pas perturber l'état thermique du transistor, soit justement pour mieux apprécier ces effets thermiques. A chaque front montant de l'impulsion le transistor chauffe et l'on peut visualiser l'évolution des différents signaux électriques avec l'échauffement. A noter cependant que le fonctionnement en impulsion ne permet nullement de déterminer la température du canal du transistor mais uniquement d'en apprécier les incidences sur son comportement électrique ; déterminer la température dite du canal étant un tout autre exercice autrement plus compliqué.

Une dernière option de mesure du banc de loadpull-sourcepull est la mesure aux fréquences harmoniques. La plupart des bancs n'intègrent que les mesures avec des charges appliquées seulement à la fréquence fondamentale mais il est également possible d'appliquer des charges aux fréquences harmoniques et ainsi soit de :

- rechercher les charges harmoniques optimales pour un fonctionnement en régime saturé du transistor.
- soit dans le cas d'une validation de modèle de pouvoir constater les effets de ces dites charges sur la réponse du transistor pour un état électrique et thermique prédéterminé.
-

2- en *fréquence* : le transistor étant pré- adapté (ou tout simplement sous 50 ohms) pour une puissance donnée on fait varier l'écart de fréquence entre les deux porteuses du signal d'excitation d'entrée. Cette expérience permet entre autre de relever la bande vidéo du transistor. Elle permet également une fois de plus de confronter son comportement réel avec la réponse donnée par le modèle simulé et ainsi d'en apprécier son comportement suivant l'écart de fréquence du signal d'excitation d'entrée.

3- *mesures des formes d'ondes temporelles* ou NNMS (Non-linear Network Measurement) [18] est un dispositif de mesure RF qui permet de relever les formes d'ondes temporelles des signaux issus du transistor. Il possède 4 voies d'entrée qui autorisent la caractérisation d'un quadripôle. Son principe de fonctionnement est basé sur la translation en fréquence du spectre des signaux RF à mesurer en fréquence BF puis de numériser ces signaux BF pour les traiter numériquement (séries de Fourier numérique pour décomposer le signal temporel en ses composantes spectrales). L'avantage d'un tel système est qu'en mesurant les signaux dans le domaine temporel et non plus dans le domaine fréquence comme fait jusqu'à présent, on peut ainsi mesurer la quasi-totalité des composantes du spectre du signal concerné. Les informations obtenues sont les amplitudes et phases de chacune des composantes de ce spectre.

Dans la même famille d'instrument que le NNMS ; nous avons les oscilloscopes analogiques qui permettent également ce type de mesure ; cependant les oscilloscopes diffèrent du NNMS sur plusieurs points fondamentaux comme la bande passante souvent très limitée et inférieure à 2GHz pour les plus performants, de plus ils ne peuvent mesurer que des signaux périodiques. Alors que les oscilloscopes numériques ont l'avantage, de par leur principe de fonctionnement basé sur la numérisation des ondes, de caractériser des signaux non périodiques avec une bande passante très légèrement supérieure aux oscilloscopes analogiques. Un autre inconvénient majeur de ces oscilloscopes (numériques et analogiques) est que, contrairement au NNMS, ils ne permettent que des mesures que dans le plan des connecteurs car ils ne possèdent pas de procédure de calibrage dans le plan du transistor.

	Oscilloscope analogique	Oscilloscope monocoup numérique	Oscilloscope aléatoire numérique	Analyseur de spectre	ARV	NNMS
échantillonnage	non	oui	oui	oui	oui	oui
nb de voies	n voies	n voies	n voies	1 voie	4 voies	4 voies
Bande Passante	500 MHz	2 GHz	+2 GHz	50 GHz	110 GHz en coaxial	50 GHz
Type d'étalonnage	Néant	Néant	Néant	Néant	<ul style="list-style-type: none"> ◆ Ratios d'amplitude pour chaque fréquence ◆ Phase relative pour chaque fréquence 	<ul style="list-style-type: none"> ◆ Amplitude absolue ◆ Phase interférence
IF (descente en fréquence)	non	non	non	IF = CW	IF = CW	IF = peigne de fréquence
Mode de visualisation	Temporel	Temporel	Temporel	Fréquentiel	Fréquentiel	Temporel ou fréquentiel
Dynamique		48 db	72 db à 96 db	70 db	90 db	60 db
Notes	En voie de disparition	Compromis rapidité précision	Métrologie verticale	2 versions analogiques et numériques		prototype

Avec une bande passante de quelque 50 GHz, et une dynamique supérieure à 60 dB (après calibrage), le NNMS est le parfait instrument pour les mesures des ondes temporelles RF. Initialement développé par *Agilent Technologie*, seuls quelques exemplaires ont été commercialisés dans une version non finie sans interface d'utilisation viable. C'est dans le but de le finaliser et de l'utiliser dans le processus de validation de la modélisation que l'IRCOM s'est attelé à la tâche pour en faire un outil de modélisation complet en l'intégrant dans un banc de mesure loadpull-sourcepull. Ce banc permettra, outre les mesures en continu (CW), également des mesures impulsionnelles toujours dans l'optique de s'affranchir ou de quantifier les effets dynamique de la thermique.

Un autre aspect tout aussi important de la mesure reste le choix du plan de référence. Le but étant de valider le modèle du transistor, c'est à dire de faire des mesures dans le plan des accès du transistor, pour cela il faut choisir la connectique appropriée pour pouvoir se rapprocher le plus possible de ces accès. Deux méthodes sont proposées :

- Concevoir un pied de test (ou jig de test) sur lequel sera disposé la puce (ou die) à mesurer, cette puce sera reliée à des lignes d'accès par des fils de câblage (ou wirebonding), ces mêmes lignes reliées à des connecteurs mécaniques pour enfin être relié au banc de test.

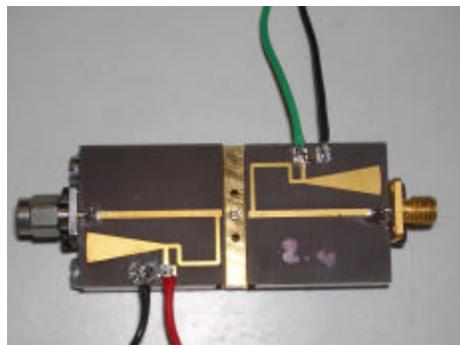


Figure 10 Pied de test pour la validation fort signal

Cette méthode pose cependant un problème, celui de pour pouvoir se ramener le plus précisément possible dans les plans d'accès du transistor. Il s'agit donc de parfaitement caractériser le pied de test pour que, une fois soustraient ses effets, les mesures aient une incertitude de mesure dans le plan du transistor la plus faible possible. Nous reviendrons sur ce point dans la suite de ce mémoire.

- La deuxième méthode consiste à effectuer les mesures directement sous pointes, c'est à dire effectuer un calibrage (en puissance et réflexion) directement dans les plans d'accès du transistor avec un kit de calibrage spécifique. C'est la méthode la plus rigoureuse car elle permet de ne pas accumuler les incertitudes de mesures, mais elle reste cependant limitée à des mesures de puissance moyenne, (suivant le type de pointes). Les pointes ont en effet un courant admissible limité.



Figure 11 Mesures sous pointes

Conclusion intermédiaire sur la modélisation

Dans cette première partie nous avons effectué un bref tour d'horizon de la modélisation de transistor dans des termes aussi généraux que possible. Nous avons tenté de présenter succinctement une méthodologie d'extraction de modèle. Nous ne nous sommes pas attachés à la modélisation électrothermique que nous développerons par la suite. Le but étant d'avoir une vue générale de ce que représente la modélisation.

Nous pourrions cependant préciser une fois de plus que le tout est de bien garder à l'esprit ce que l'on veut caractériser, modéliser... Il faut connaître les spécificités de chaque topologie de modèle, et bien appréhender les phénomènes physiques dans le composant semi-conducteur qu'est un transistor. D'autre part et enfin, il s'agit de toujours garder un esprit critique, aussi bien sur le modèle que sur les mesures, surtout lors de l'étape de validation.

8 Modélisation Electrothermique du transistor LDMOS

Les grands axes de la modélisation ayant été présenté dans un cadre général, il convient maintenant de développer notre travail.

Freescale semi-conducteurs est le leader mondial incontesté pour la conception d'amplificateurs de puissance RF destinés aux stations de base des réseaux de télécommunication sans fils (GSM, UMTS...). Utilisant une technologie LDMOS parfaitement maîtrisé et en perpétuelle amélioration, leurs amplificateurs répondent parfaitement aux spécificités demandées par les grands équipementiers en télécommunication que sont Nokia, Ericsson, Siemens, Alcatel... Ce succès repose sur le fait que leur technologie basée sur le silicium est parfaitement mature et a été régulièrement améliorée pour converger vers les critères spécifiques de ses équipementiers. On peut ainsi citer le rendement en puissance ajoutée qui fut durant des années le critère fondamental. Augmenter ce rendement permettrait aux exploitants de réseaux de télécommunications sans fils de réduire significativement leur facteur en énergie électrique. Au fil des évolutions des réseaux, le critère évolue pour répondre à d'autres spécificités telles que la linéarité, critère essentiel pour augmenter la bande passante et donc indirectement la capacité intrinsèque de ces dits réseaux en terme de nombre de communications et de transmission de données.

Avant d'entrer dans de plus amples considérations techniques, nous allons juste évoquer les raisons d'être de la technologie LDMOS. Pour la conception des amplificateurs de puissance, **Freescale** a fait le choix d'utiliser une topologie de circuit basée sur des transistors fonctionnant en parallèle avec leur base commune reliée à la masse.

Pourquoi ce type de topologie ? Pour répondre à cette question nous rappellerons juste le principe fondamental de l'électronique :

Tout circuit électronique doit pouvoir transmettre un maximum de puissance de la source vers la charge avec un minimum de pertes et de bruit. Ce principe traduit le besoin économique de maîtriser les dépenses d'énergie et le besoin technique de garder les signaux exploitables.

Dans le formalisme de l'amplification de signal, le rendement en puissance ajoutée est définie comme :

$$N_{paj} = \frac{P_s - P_e}{P_{dc}} \cdot 100$$

avec

$P_{dc} = V_d \cdot I_d + V_g \cdot I_g$ qui est la puissance consommée moyenne

P_e : puissance moyenne disponible appliquée à l'entrée de l'amplificateur.

P_s : Puissance moyenne de sortie de l'amplificateur

Atteindre un maximum de rendement en puissance ajoutée consiste à diminuer la puissance moyenne consommée et à avoir des charges d'entrée / sortie de façon à ce que pour une puissance d'entrée minimale, on ait une puissance de sortie maximale.

Plusieurs techniques permettent d'ajuster la puissance moyenne consommée par un amplificateur [20]:

- Le choix de la classe de polarisation : les classes de fonctionnement (A, B, AB, C, D, E, F ...) permettent d'optimiser les formes d'ondes de l'amplificateur, chacune de ces classes ayant une application particulière soit pour avoir un rendement optimum soit une puissance de sortie maximale ...
- Avec une polarisation active : suivant le niveau de puissance en entrée, une polarisation « glissante » permet d'ajuster en temps réel le niveau de polarisation afin de toujours avoir un fonctionnement optimal de l'amplificateur avec une consommation en puissance moindre.
- Optimiser les puissances d'entrée / sorties en définissant des réseaux d'adaptation en entrée et en sortie avec des composants passifs tels que les self-inductances, capacités, lignes de transmission...ces circuits d'adaptation permettent de présenter des charges optimales pour avoir de bon compromis rendement / linéarité / puissance.

Dans un amplificateur de puissance, la puissance dissipée n'est pas seulement induite par le transistor mais aussi par les éléments passifs qui constituent les quadripôles d'adaptation d'entrée / sortie. Suivant le matériau utilisé (Si, AsGa...) le substrat possède une conductivité électrique plus ou moins importante qui influence grandement la qualité de ces éléments passifs. Cette influence est due à des phénomènes électromagnétiques [21] qui font que les champs

magnétiques et, ou, électriques de ces composants passifs seront annulés. Parmi ces phénomènes, on citera les courants de **Foucault**, plus le substrat sera conducteur (faible résistivité) plus les champs induits par les selfs-inductances ou capacités seront détériorés par des champs générés dans le substrat en réaction des champs de ces composants passifs (se référer à la loi de **Foucault**).

Pour quantifier ces pertes dans les éléments passifs, on utilise le facteur de qualité qui quantifie la valeur de l'énergie transmise à bon escient par rapport aux pertes électriques.

$$Q = 2 \cdot p \frac{\text{Energie Emmagasinée}}{\text{Energie dissipée}} \text{ sur une période}$$

plus le facteur de qualité sera élevé, plus les pertes des composants passifs seront faibles.

La technologie LDMOS de **Freescale** ayant une conductivité de substrat de l'ordre de 10000 S/m, des pertes résiduelles importantes sont faites dans les éléments passifs, à l'inverse d'une technologie sur matériau AsGa qui, avec une conductivité de substrat de l'ordre de 100 S/m, possède des éléments passifs de très bonne facture.

Alors pourquoi utiliser un substrat avec une telle conductivité ? utiliser des transistors avec une source commune et directement connectée à la masse nécessite justement de prévoir la connectique adéquate. C'est à dire que cette connexion ne peut se faire que de deux façons:

- à travers des pistes métalliques ou des fils reliés à la masse; dans ce cas les résistances électriques et self-inductances induites par des connexions vont augmenter la puissance dissipée (le courant traversant la source étant le même que celui traversant le drain, donc la même puissance). Autre aspect problématique de cette solution, la répétabilité en production est quasi impossible, les variations des résistances et surtout des self-inductances d'une pièce à l'autre produiront des variations de caractéristiques électriques.
- En utilisant un via (trou métallisé) à travers le substrat. Cette technique présente l'avantage d'une reproductibilité aisée associée à une faible résistance et self-inductance. Cependant il est important de noter que la réalisation d'un via est possible uniquement pour des technologies ayant un substrat mince comme l'AsGa.
- Avec un puits dopé à travers le substrat, ce dernier évitant toute connectique, il a une résistance et une self-inductance pratiquement nulle. C'est cette solution qui est retenue dans la technologie LDMOS. Pour ce faire, la solution physique utilisée est de faire un dopage massif localisé du substrat. Cette technique fonctionne uniquement si le dopage global du substrat silicium est déjà conséquent. C'est pourquoi le substrat LDMOS a une

conductivité électrique importante. La reproductibilité est un autre avantage majeur de cette technique.

Si cette conductivité électrique du substrat LDMOS est néfaste pour les éléments passifs, il en est tout autre chose pour le transistor si l'on aborde l'aspect thermique. La conductivité thermique du substrat est directement liée à sa conductivité électrique suivant la loi de Wiedemann-Franz

$$\kappa = L \cdot T \cdot \sigma$$

avec :

$$L (\text{nombre de Lorentz}) = 2.45 \cdot 10^{-8} \text{ W} \cdot \text{Ohm} / \text{K}^2$$

T (température en Kelvin (K))

σ : conductivité électrique en S/m

κ : conductivité thermique en W/m.K

Cette conductivité thermique qui varie linéairement avec la conductivité électrique (à une variable d'ajustement près) influence significativement le comportement électrique d'un amplificateur de puissance. En rappelant la définition de la résistance thermique

$$R_{th} = \frac{DT}{P_{diss}}$$

R_{th}: résistance thermique en W/K

T: température en Kelvin

P_{diss}: puissance dissipée par le transistor en W.

On voit que la température est directement liée à la puissance dissipée (R_{th} étant constante dans l'application donnée). Ce qui signifie que si l'on a une résistance thermique élevée, la température sera d'autant plus importante que la puissance dissipée le sera. Si l'on considère maintenant les effets néfastes de l'augmentation de la température sur un amplificateur, on comprend aisément qu'il soit nécessaire pour une application donnée que la résistance thermique soit aussi faible que possible. Bien que la résistance thermique soit une constante non modifiable dans la technologie choisie, il est tout de même possible de la diminuer avec des drains thermiques.

Le substrat de la technologie LDMOS possédant une conductivité électrique importante, il a également (en accord avec la loi de Wiedemann-Franz) une conductivité thermique importante. Cette caractéristique constitue une autre particularité des transistors LDMOS, avec leur faible résistivité thermique ils permettent l'évacuation de la puissance dissipée sans échauffement important du canal, et donc sans dégradation importante de leurs caractéristiques électriques, mais en étant tout de même impacté par cette élévation en température comme nous le verrons par la suite

		conductivité thermique	conductivité électrique	permittivité	chaleur massique
		W/(m.K)	S/m		J(g.K)
Nitru de Gallium	GaN	130		5,3	0,49
Arsenure de Gallium	AsGa	55	1,E-07	10,9	0,33
Silicium	Si	130	1,E-04	11,7	0,7
Carbure de Silicium	SiC	360	1,E-02	6,5	0,69

Figure 12 Caractéristiques Electriques - Thermiques de quelques technologies

Outre cet aspect de conductivité thermique / électrique, le dernier aspect de cette technologie est sa tension de claquage importante de l'ordre de 60 V. Cette tension de claquage permet des niveaux de polarisation importants (25-30 V) coté drain. *Pourquoi ce besoin en haut niveau de polarisation ?* Concevoir un amplificateur de puissance sous-entend bien sur des niveaux de puissance de sortie conséquents. Pour avoir une puissance élevée à faible tension il faut soit un courant élevé, et donc une densité de courant admissible par les métallisations d'accès dimensionnée en fonction, soit une tension d'alimentation élevée, à puissance comparable, le courant (et donc la densité de courant) nécessaire sera moindre.

L'autre avantage de posséder une tension d'alimentation importante, toujours à puissance comparable entre faible et haute tension la valeur de la charge doit être plus importante dans le second cas. Pour un amplificateur large bande adapté sur 50 Ohm il est préférable, et même nécessaire, d'utiliser un circuit d'adaptation qui a un saut d'impédance minimal à effectuer.

On comprend ainsi le besoin en tension de claquage important, cette nécessité est implantée dans la technologie LDMOS sous forme d'un implant localisé entre la grille et le drain (NHV2).

Pour résumer, la technologie a 3 caractéristiques qui lui sont très particulières :

- Un substrat fortement dopé, ce qui lui confère une conductivité électrique et une conductivité thermique importante.
- Une source directement connectée à la masse à travers un puits de dopage massif.
- Une tension de claquage importante pour autoriser une polarisation à tension élevée.

Ces quelques considérations aidant, nous allons maintenant aborder l'aspect purement thermique. Les origines physiques de l'échauffement étant assez complexes il ne nous est pas fondamental de les expliquer mais il est essentiel de pouvoir les quantifier.

9 Modèle Thermique

La transfert de la chaleur par conduction est le cas particulier où la non-uniformité de la température entraîne un transfert d'énergie d'un point à un autre du système sans transport macroscopique de la matière.

Le transfert de chaleur par convection intervient à la limite de séparation de deux phases de nature différente (solide/gaz ; solide/liquide ; liquide/gaz). Le transfert s'effectue en deux temps. La première phase consiste en un échange de chaleur par conduction entre les molécules de la surface solide et celles du film (mince couche de fluide au voisinage de la surface). La seconde phase résulte du déplacement des molécules du film avec la chaleur transférée au niveau du film (échange par déplacement de fluide). Le dernier mode de transfert de chaleur est le transfert par rayonnement.

Il existe deux théories pour expliquer le transfert d'énergie par rayonnement. L'une suppose le déplacement de l'énergie par paquets de photons, l'autre par la propagation d'une onde électromagnétique. Il est possible d'associer une longueur d'onde à la radiation thermique qui s'étend du visible aux infrarouges.

9.1 Loi fondamentale de propagation de la chaleur

La quantité de chaleur dE qui traverse une surface A pendant le temps dt est le flux de chaleur Q à travers cette surface. Si l'aire de cette surface est égale à l'unité, la quantité de chaleur qui la traverse pendant l'unité de temps est la densité de flux q . La densité de flux q à travers un élément de surface dA est donnée par la loi de Fourier. Cette loi date de 1807.

$$q = -K(T)grad(T)$$

L'écriture du bilan énergétique sur un volume élémentaire permet d'aboutir à l'équation dite de la chaleur :

$$\rho C \frac{\partial T}{\partial t} = div(\mathbf{k}(T)grad(T)) + F$$

$\kappa(T)$ en $W/(m.K)$: conductivité thermique en fonction de la température T .

T : température en Kelvin.

ρ en Kg/m^3 : densité volumique du matériau

C en $\text{J}/(\text{Kg.K})$: capacité thermique

F densité volumique de puissance

Cette équation permet de déterminer la température instantanée en tout point du matériau considéré. Dans le cas d'un simple cube, ou barreau, de semi-conducteur les calculs sont relativement simples à effectuer. Mais dans le cas de structures plus complexes tel qu'un transistor dont les sources de chaleur se situent au niveau des jonctions Drain-Grille, les phénomènes de couplage thermique compliquent grandement les calculs. Considérons l'exemple suivant (Figure 13) : Deux sources de chaleur distantes de d , de largeur l . Si l'on considère un cône de dissipation de la chaleur avec un angle θ de 45° (usuel) dans un semi-conducteur, deux sources de chaleur verront leur cône de dissipation s'intercepter (zone en rouge), on parle de couplage thermique pour qualifier et quantifier ce phénomène.

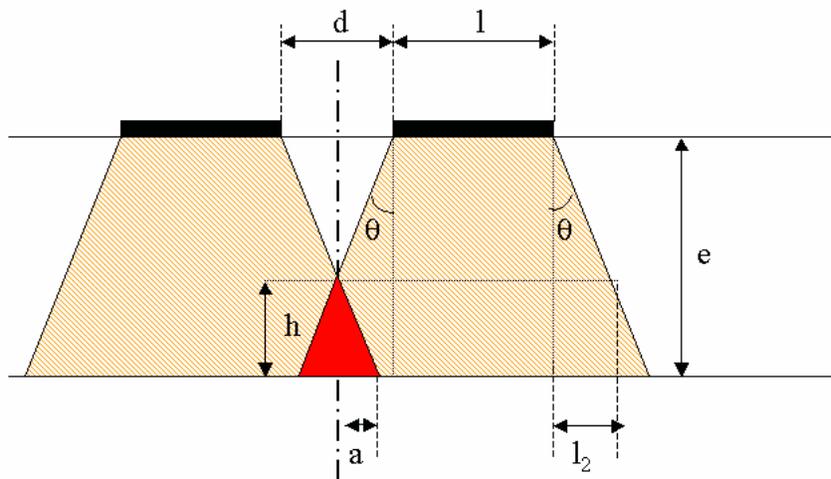


Figure 13 Couplage thermique entre deux sources de chaleur

Il est aussi important de noter que cette représentation du « cône thermique » est une simplification du phénomène, il serait plus rigoureux de parler de « diffusion thermique » pour qualifier l'évacuation.

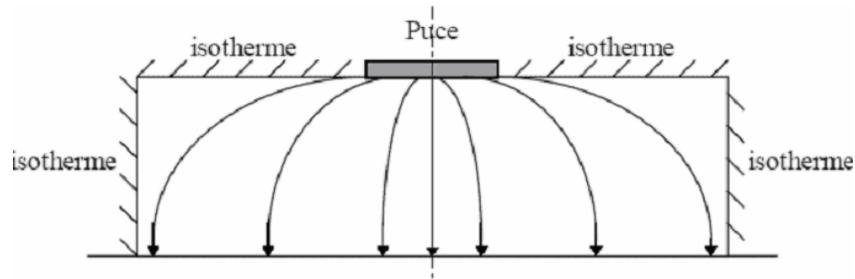


Figure 14 Diffusion thermique

Un calcul rigoureux de la chaleur en tout point du substrat est donc fastidieux et difficilement réalisable « manuellement » d'où l'utilisation de logiciels dédiés.

9.2 Simulation thermique avec le logiciel Ansys

La solution utilisée par la plupart des simulateurs thermiques (Ansys, ModuleF ...) repose sur la discrétisation de la structure à analyser en éléments de dimensions finies [23]. L'équation de diffusion de la chaleur est alors résolue pour chaque élément en prenant comme conditions initiales les températures de socle et autres températures initiales ainsi que les réponses données par les éléments adjacents. C'est une méthode rapide et efficace, cependant suivant la complexité de la structure à analyser, le nombre d'éléments (ou mailles) peut rapidement croître (quelques centaines de milliers) ; la résolution du problème est alors limitée par les capacités du système informatique sur lequel le logiciel de simulation est exécuté.

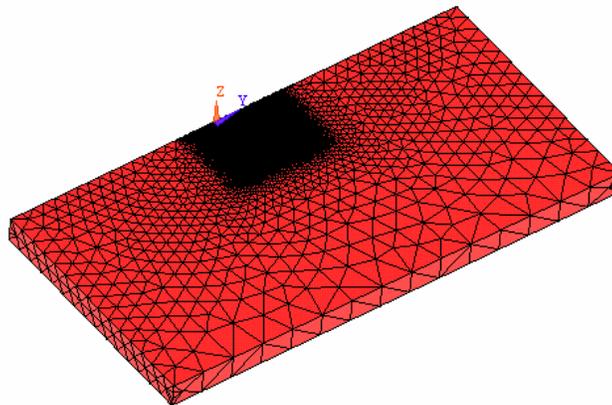


Figure 15 Maillage d'un transistor LDMOS avec ses zones de dissipation de chaleur

Dans le formalisme de la méthode des éléments finis, les éléments sont transposés en matrices, l'équation de diffusion de la chaleur s'écrit sous la forme matricielle :

$$M.\dot{X} + K.X = F$$

M: matrice de capacité thermique

K: matrice de résistance thermique

F: vecteur d'excitation en puissance

X: vecteur de température aux noeuds

Cette méthode est bien adaptée à la modélisation thermique d'un transistor, il est pour cela nécessaire de connaître les propriétés physiques des matériaux composant le transistor et de décrire géométriquement sa structure dans le simulateur. La véracité de la réponse du simulateur dépend principalement de deux critères :

- La finesse du maillage, il est nécessaire de faire un compromis entre le nombre de mailles (pas trop élevé pour être simulé correctement dans un temps imparti) et la précision. Il est entendu qu'un nombre important de maille fournira un meilleur résultat mais un trop grand nombre augmentera le taux d'erreur. Une étude préalable sur la densité du maillage est donc nécessaire.
- Les volumes de génération de la chaleur : prévoir avec exactitude les zones du transistor où sont situées les zones de génération de chaleur, ainsi que leur dimension est tout simplement impossible. Il est donc nécessaire de faire une étude succincte de leur influence et de faire aussi des compromis.

9.3 Détermination des zones de génération de la chaleur

La génération de chaleur dans un semi-conducteur est la conséquence de phénomènes physiques tels que l'effet Joule. Les nombreuses études menées permettent d'isoler les mécanismes physiques qui mènent à l'auto échauffement [24] [25] [26].

En appliquant les tensions (V_{gs} et V_{ds}) aux accès du transistor, le champ électrique induit entre la source et le drain est tel que les électrons sont fortement accélérés, il s'en suit alors des collisions électroniques. De cette agitation, des phénomènes naissent : génération/recombinaison, collisions d'électrons ... des quantums d'énergie sont alors émis sous forme de phonons. Deux types de phonons se distinguent, les phonons «optiques » et les phonons « acoustiques ». Cette émission de phonons se caractérise sous forme de génération de chaleur dans le semi-conducteur.

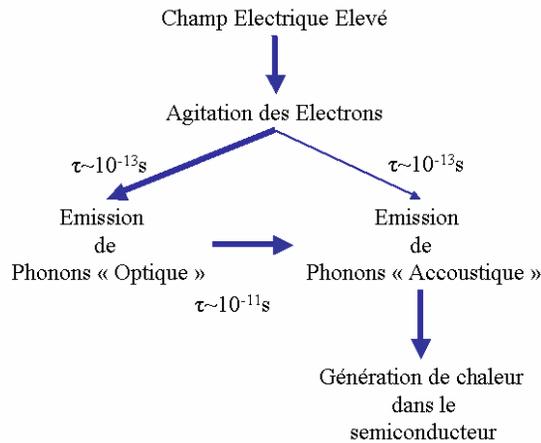


Figure 16 Mécanismes physiques de génération de la chaleur

Dans l'équation de diffusion de la chaleur, ces phénomènes d'émission de phonons se matérialisent par le terme H . Ce terme traduit la modélisation de la source de génération de la chaleur.

$$rC \frac{\partial T}{\partial t} = \nabla \cdot (\mathbf{k} \nabla T) + H$$

Plusieurs types de modélisation de la source de chaleur nous sont proposés pour traduire tout ou partie de ces phénomènes : effet Joule, Effet Thomson, génération-recombinaison des électrons et des trous ... un modèle simplifié pour obtenir le taux de génération calorifique pour un volume donné est couramment admis pour les technologies MOSFET:

$$H = \mathbf{J} \cdot \mathbf{E} + U \cdot E_g$$

\mathbf{J} : densité de courant

\mathbf{E} : champ électrique induit par les tensions appliquées au transistor.

U : taux de recombinaison.

E_g : la bande d'énergie du semi-conducteur considéré.

Le premier terme est l'effet Joule dû à la résistance électrique du semi-conducteur. Le second terme a trait à la recombinaison des porteurs. Dans la majorité des technologies MOSFETs (comme le LDMOS) l'échauffement dû aux recombinaisons des porteurs est très faible comparé à l'effet Joule.

Il est admis que le lieu où la génération de chaleur est maximum est situé sous la grille coté drain où le champ électrique et la densité de courant sont maximales. La densité maximale est due au fait qu'à cet endroit, il subsiste un passage restreint pour le courant en raison de la zone de déplétion. L'implant LDD (Lightly Doped Drain) est conçu pour diminuer cet échauffement localisé en dopant légèrement la région entre la grille et le drain, la tension est alors répartie à travers une surface plus importante. Quant au champ électrique, il sera également important à travers l'oxyde de grille, c'est une particularité des technologies MOSFET.

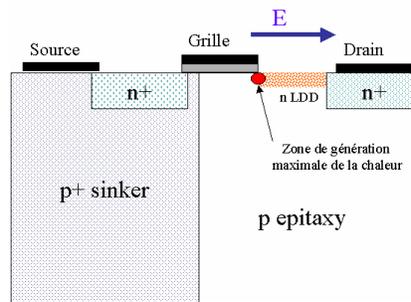


Figure 17 Zone de génération de la chaleur dans un transistor LDMOS

Même si l'on peut localiser avec précision la zone où la génération de chaleur sera maximale, la chaleur sera globalement générée dans une zone plus étendue entre la grille et le drain.

9.4 Le modèle thermique usuel

La modélisation thermique que nous proposons de présenter dans cette thèse est également une innovation. Jusqu'à présent la modélisation thermique des transistors (quelle que soit sa technologie) consistait à déterminer une impédance thermique Z_{th} qui permettait de reproduire l'évolution de la température de canal dans le temps en fonction de la puissance dissipée [27] [28] [29].

$$Z_{th} = \frac{\Delta T}{P} = \frac{T_c - T_s}{P} = R_{th} + jC_{th}\omega$$

T_c : température de jonction

T_s : température de socle

P: puissance dissipée

R_{th} : résistance thermique

C_{th} : capacité thermique

Une cellule $R_{th}C_{th}$ correspondant à une constante de temps thermique ($\tau_{th}=R_{th}C_{th}$), l'ajout de cellules en séries permet d'augmenter la résolution temporelle du modèle thermique. Ce type de modèle thermique qui semble en apparence simple est en fait assez difficile à déterminer. En effet il demande des mesures très spécifiques pas toujours très aisées à mettre en œuvre.

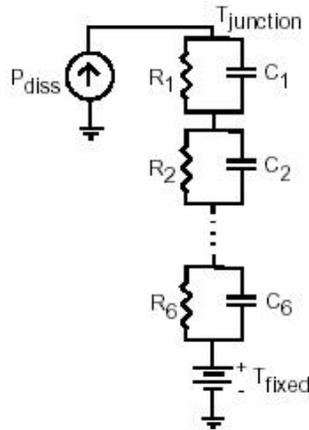


Figure 18 Modèle thermique à base de cellules RC

On peut également remarquer que cette technique ne modélise qu'une température moyenne à travers le transistor.

9.5 Méthode expérimentale pour la mesure de température

Différentes méthodes expérimentales permettent d'effectuer la mesure de la température de jonction d'un transistor et donc d'en déduire son impédance thermique [23] [30][32][33]. Cependant l'inconvénient majeur de ces déterminations expérimentales est que seul le régime statique (ou régime établi) peut être mesuré avec précision, de l'impédance thermique Z_{th} seule la résistance thermique R_{th} pourra être déterminée. La détermination de la capacité thermique C_{th} nécessite la mesure de la température en régime dynamique (ou régime transitoire), ce type d'expérience reste très difficile à mettre en œuvre, les performances des outils sont limitées tant en résolution spatiale que temporelle.

Quelques outils permettent d'approcher la détermination de Z_{th} :

Microscopie Infrarouge : c'est la technique de mesure la plus répandue pour la mesure de température. Cette technique permet seulement la mesure du régime statique et par conséquent la résistance thermique R_{th} . Elle autorise une précision de ± 1 °C et une résolution spatiale de 15 μm pour les meilleurs instruments. L'inconvénient majeur de cette méthode est qu'elle nécessite une étape de calibrage et seule l'information de température surfacique est obtenue.

Photoréflectance : l'indice de réfraction d'un matériau dépendant de la température, en alimentant le matériau semi-conducteur avec une lumière monochromatique on relève la variation du flux de lumière réfléchi, on obtient ainsi une information de flux de lumière en fonction de la température.

Un inconvénient à citer et qui est la raison de la limitation de cette méthode est les faibles variations de flux à relever, besoin de capteurs de flux très performants.

Microsonde optique : ce procédé exploite la variation de la longueur d'onde d'un faisceau optique réfléchi dans un semi-conducteur. Selon que l'on exploite l'onde réfléchie ou l'onde diffusée, deux méthodes sont possibles pour exploiter cette méthode : la diffusion Raman et la Photoluminescence.

On citera également la Microscopie thermique qui exploite la propriété des cristaux nématiques, d'autres techniques non citées ici permettent aussi d'approcher avec une précision donnée la température de canal d'un transistor. Mais il est à noter qu'aucune d'entre elles pour le moment ne permet d'effectuer de mesures aisées et précises.

Le tableau ci-dessous résume les quelques méthodes précitées, leurs performances en résolution spatiale, résolution thermique et gamme de températures sont données.

Méthodes	Thermographie infrarouge	Microscopie thermique (SThM)	Microsonde optique		photoréflectance
			Diffusion Raman	Photoluminescence	
Résolution spatiale	~ 15 μm	0.05-0.1 μm	0.8 μm	<0.8 μm	0.5-0.8 μm
Résolution thermique	~ 1 °C	0.2°C	10°C	2-5°C	1-2°C
Gamme de températures	>30°C	< 80°C	> 300°C	> 300 °C	> 200°C

Figure 19 Comparaisons des méthodes de mesure de la température

9.6 Transfert de la chaleur créée par une puce sur un substrat

Dans beaucoup de cas, certains éléments peuvent être considérés comme isothermes, c'est-à-dire que le corps tout entier est à température constante, donnant ainsi une résistance thermique nulle. Comme exemple, citons un film métallique ou une résistance d'épaisseur négligeable. Les deux surfaces sont alors portées à la même température. Il n'en est pas toujours ainsi. Les sources de chaleur présentent le plus souvent de très petites surfaces par rapport à celles des radiateurs. Si nous prenons l'exemple d'une puce montée sur un substrat de grande surface, le flux de chaleur produit par cette puce atteindra le substrat par des chemins divergents, et les équations permettant de calculer les résistances thermiques se compliquent alors. Cependant de raisonnables approximations peuvent être faites.

Flux de chaleur à travers un conducteur d'épaisseur négligeable :

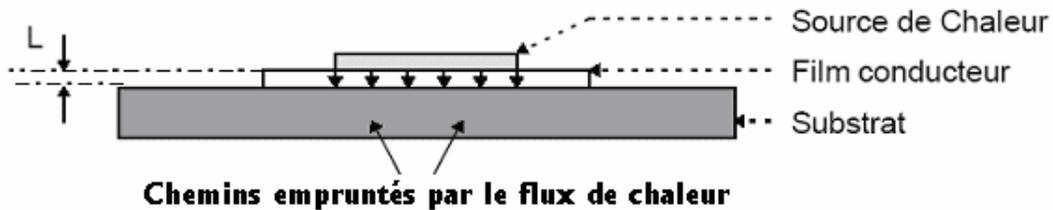


Figure 20 Ecoulement du flux de chaleur dans un matériau d'épaisseur négligeable

La résistance thermique rencontrée par ce flux de chaleur est alors :

$$R_{th} = \frac{L}{K.S}$$

avec :

L : Longueur du chemin de chaleur

S : Surface délimitée par le flux

K : Conductivité thermique

Flux de chaleur à travers un conducteur de forte épaisseur devant celle de la source de chaleur :

Le flux de chaleur dans les trois dimensions se divise à la fois en un flux dans la direction du gradient de température et en un flux se dispersant latéralement. Cela a pour effet d'augmenter les chemins de chaleur avec amplification du flux et réduction de la résistance thermique.

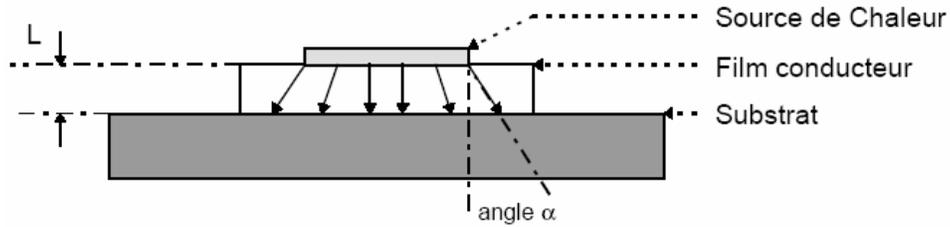


Figure 21 Dispersion du flux de chaleur

L'angle de dispersion α dépend du gradient de la température dans la direction du flux principal allant de la source de chaleur vers la zone la plus froide et dans le plan perpendiculaire à cette direction. Une bonne estimation est donnée en prenant $\alpha = 45^\circ$. La résistance thermique est alors :

$$R_{th} = \frac{1}{K} \int_0^L \frac{dl}{S(l)}$$

avec :

dl : Accroissement de la longueur du chemin de chaleur.

S : Section du flux à la côte l .

K : conductivité thermique.

10 Cahier des charges

Générer un modèle non-linéaire électrothermique, tel est l'objectif. Ces quelques mots signifient que le modèle devra fournir une réponse pour un fonctionnement du transistor en saturation, c'est à dire dans des zones où les éléments équivalents ont un comportement non-linéaires.

L'évolution du marché des télécommunications embryonnaire vers un marché de masse nécessite des capacités de transmission plus conséquente, pour répondre à ce besoin des modulations de plus en plus complexes ont été développées.

La solution de *Freescle* est basée sur des transistors LDMOS de longueur de grille de $0.6 \mu\text{m}$ pour une largeur unitaire de grille de $300 \mu\text{m}$. Des transistors ayant des développements importants ne pouvant être modélisés (limitation des mesures sous pointes), il convient de modéliser des transistors de développement limité mais sur lesquels nous pouvons appliquer des règles de scaling pour obtenir des modèles de transistors de tailles plus conséquentes.

Le transistor modélisé et qui sera le point de départ pour obtenir des modèles de transistors de développement plus important est un LDMOS de la génération HV4 avec un développement de grille de 2.4 mm .

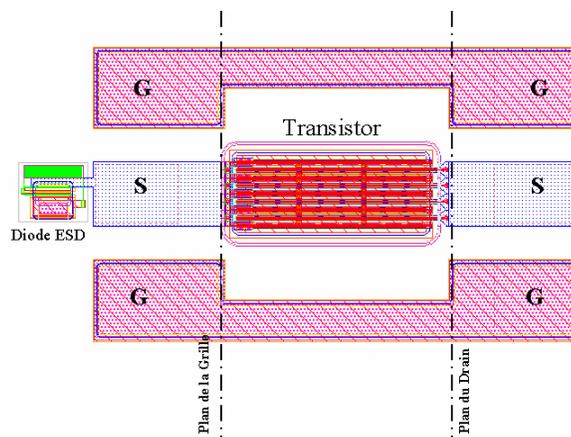


Figure 22 Layout d'un transistor à modéliser avec sa diode ESD de protection

Ce transistor de 2.4 mm de longueur de grille est constitué de doigts de grille de $300 \mu\text{m}$ inter digités soit un total de 8 doigts pour la grille et 8 doigts pour le drain.

Le principe de la modélisation repose sur la description du réseau I(V) avec les paramètres qui lui sont associés.

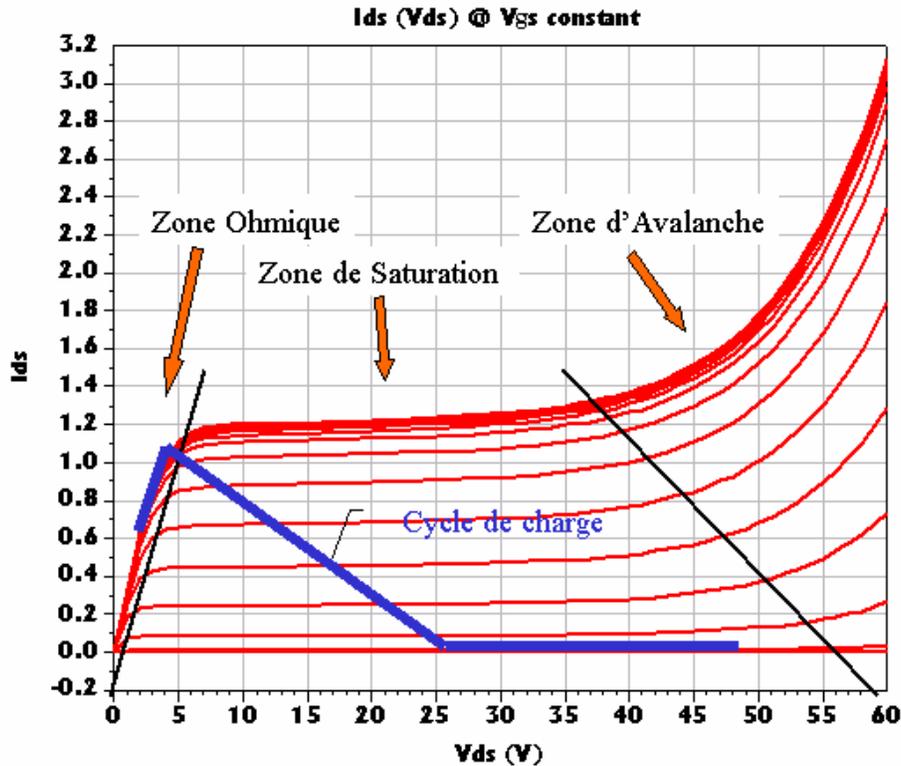


Figure 23 Réseau statique IV avec ses zones de fonctionnement caractéristiques

Les amplificateurs conçus par *Freescale* utilisent des transistors LDMOS polarisés en classe AB ($V_{gs}=4mA/mm$; $V_{ds}=26V$), cette classe permettant un compromis Puissance de sortie / Rendement en puissance ajoutée. Les transistors ont alors un cycle de charge proche de celui présenté ci-dessus en régime de saturation. On voit ainsi que seules les zones de saturation et ohmique seront exploitées, la zone d'avalanche ne l'étant que pour un fonctionnement en saturation très élevé. Il est bien évident que le modèle devra également fournir une réponse cohérente pour des désadaptations importantes mais on peut aisément penser que la zone d'avalanche sera peu ou prou visitée. Il n'est donc pas d'utilité de modéliser cette zone.

La zone de saturation sera parfaitement décrite, car d'elle dépend la précision du modèle, en revanche pour ce qui est de la zone ohmique elle sera également modélisée mais de la même façon que la zone de saturation, il est cependant important de noter que pour bien modéliser cette zone, la meilleure méthode serait d'effectuer une modélisation distribuée le long du canal, ce qui compliquerait largement notre travail. Par simplification, les zones ohmiques et de saturation seront modélisées de la même façon.

11 Caractéristiques que le modèle devra prédire

Reproduire tous les phénomènes possibles et imaginables n'est pas le but de nos travaux, seules quelques caractéristiques nous sont d'intérêts.

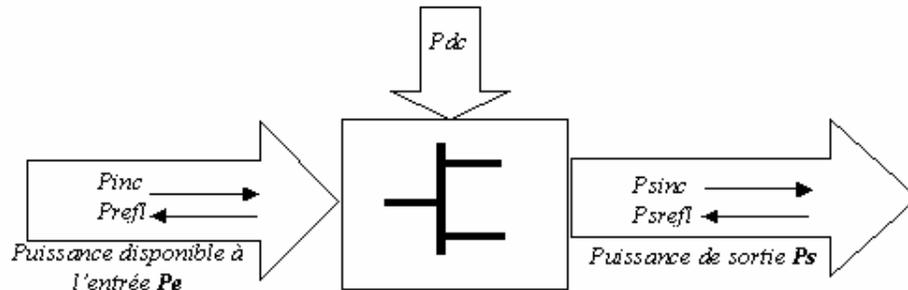


Figure 24 Bilan des puissances dans un transistor

11.1 Puissance de sortie

Correspond à la puissance disponible à la sortie du transistor en fonction de la puissance d'entrée. L'évolution de cette puissance se distingue en 3 zones :

- Zone linéaire : la puissance de sortie évolue linéairement avec la puissance d'entrée à un gain près.
- Zone de quasi-saturation : le transistor s'approche de ses limites physiques, la puissance de sortie ne varie plus linéairement avec la puissance d'entrée, cependant c'est dans cette zone que l'on a les meilleures performances du transistor en terme de puissance et de rendement.
- Zone de saturation : limite physique, la puissance de sortie n'augmente plus avec la puissance d'entrée, il y a un risque de destruction du transistor.

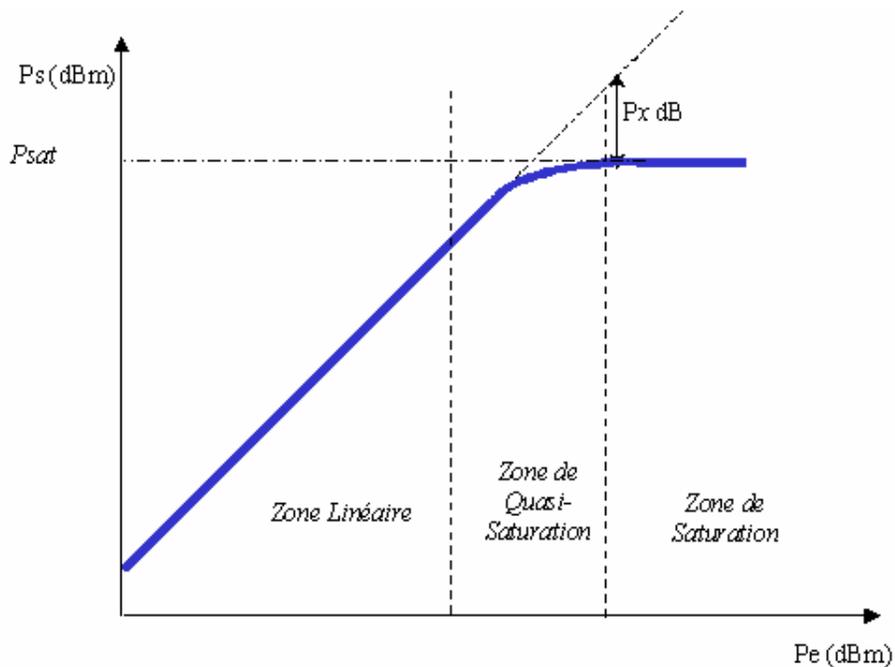


Figure 25 Zones caractéristiques de fonctionnement en puissance d'un transistor

Cette puissance de sortie dépend, en plus de la puissance d'entrée bien sur, de plusieurs paramètres :

- Zone linéaire : classe de polarisation (A, B, AB, C ...) et de la charge de sortie au fondamental.
- Zone de saturation et quasi-saturation : charges présentées au fondamental ainsi qu'aux harmoniques. Il est important de noter l'importance des charges aux harmoniques (H2, H3) lorsque l'on souhaite faire valider un modèle en saturation.

On caractérise souvent un transistor en évaluant toutes ses caractéristiques au point $P_x dB$ (ou x est la valeur de la compression) sur la courbe de la puissance de sortie. La compression étant la différence entre la courbe réelle de la puissance de sortie et la courbe théorique idéalisée ou la puissance de sortie continuerait à croître linéairement avec la puissance d'entrée.

11.2 Gain

Suivant que l'on considère les puissances injectées réelles ou disponibles, plusieurs définitions du Gain nous sont proposées :

Gain en puissance :

Correspond au rapport entre la puissance délivrée par le transistor et la puissance délivrée par la source d'excitation, ce gain est indépendant de l'adaptation d'entrée mais ne dépend que de l'adaptation de sortie.

$$\text{Gain en puissance : } G_p = \frac{P_s}{P_e}$$

Gain transducique :

Correspond au rapport entre la puissance délivrée par le transistor et la puissance réellement injectée (ou puissance incidente) dans le transistor. Il dépend donc de l'adaptation de sortie et de l'adaptation d'entrée.

$$\text{Gain transducique : } G_t = \frac{P_s}{P_{inc}}$$

Gain disponible :

Egalement appelé Gain Maximal, il correspond au rapport entre la puissance de sortie incidente et la puissance injectée dans le transistor. Ce gain dépend également des adaptations d'entrée et de sortie.

$$\text{Gain Maximal : } G_{max} = \frac{P_{inc}}{P_{inc}}$$

11.3 Rendement en puissance ajoutée

Le rendement en puissance ajoutée permet de quantifier la performance d'un transistor en terme de conversion d'énergie. Il correspond au rapport entre la puissance ajoutée et la puissance consommée au continue.

$$h_{paj} = \frac{P_s - P_e}{P_{dc}} \text{ et } P_{dc} = V_{gs} * I_{gs} + V_{ds} * I_{ds}$$

C'est un paramètre calculé essentiellement à partir de I_{ds} et de la puissance de sortie P_s . Sa modélisation précise sous-entend que ces deux derniers paramètres soient parfaitement modélisés.

11.4 Adaptation d'entrée ou IRL (input return loss)

L'IRL est le critère qui permet d'évaluer le degré d'adaptation de la charge d'entrée de telle sorte que le maximum de puissance soit absorbé par le transistor. Le transistor ayant une certaine impédance d'entrée, la source de puissance ayant elle une impédance en général proche de 50 ohms, il est nécessaire de concevoir un circuit d'adaptation de façon à présenter une impédance optimum sur la grille du transistor.

L'IRL correspond en fait au rapport entre la puissance d'entrée réellement absorbée par le transistor et la puissance réfléchie pour cause de désadaptation.

$$IRL_{linéaire} = \frac{Pr_{efl}}{P_{inc}} \text{ ou } IRL_{dB} = Pr_{efl_{dB}} - P_{inc_{dB}}$$

C'est une grandeur sans unité qui tend dans l'idéal vers 0 ($-\infty$ en dB).

L'impédance optimum étant le conjugué de l'impédance d'entrée du transistor, avoir un IRL proche de 0 revient à dire que l'impédance présentée est la conjuguée de l'impédance d'entrée du transistor.

En terme de schéma équivalent, la capacité d'entrée C_{gs} est non linéaire avec la puissance d'entrée, sa valeur variant avec les tensions V_{gs} et V_{ds} qui lui sont présentées. L'impédance mesurée d'entrée en fort signal est donc légèrement différente de celle mesurée en petit signal (paramètres S). De même lors d'une excursion en puissance, l'impédance d'entrée varie, chaque puissance appliquée possède son propre optimum.

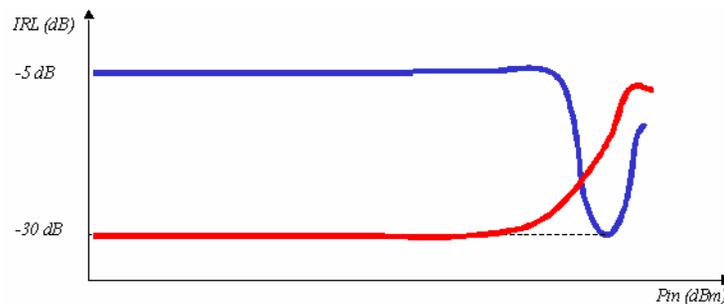


Figure 26 Types d'adaptation de puissance en entrée
Courbe en rouge : adaptation petit signal
Courbe en bleu : adaptation fort signal

Deux types d'adaptation sont généralement utilisés :

Adaptation petit signal : l'impédance présentée à l'entrée est optimum pour une puissance d'entrée faible.

Adaptation fort signal : l'impédance d'entrée est optimum pour une puissance d'entrée importante (proche de la saturation)

On considère que l'on est adapté lorsque l'on a un IRL au-delà de -25 dB.

L'adaptation d'entrée étant également valable pour une certaine charge de sortie :

- Puisque C_{gs} est (faiblement) dépendante de V_{ds} .
- Le transistor LDMOS n'est pas unilatéral en raison de la présence de la capacité C_{gd} , elle réalise une contre réaction de la sortie sur l'entrée.

11.5 Intermodulation

Utiliser un signal bi-porteuse revient à faire une modulation d'enveloppe dont la fréquence correspond à l'écart fréquentiel Df entre les 2 porteuses. Contrairement à un signal mono-porteuse qui n'a pas de variation d'enveloppe, un signal bi-porteuse dont l'enveloppe varie au rythme de l'écart fréquentiel excite les constantes thermiques dynamiques. Suivant cet écart de fréquence les constantes excitées varieront de quelques nanosecondes (pour un Df supérieur à 1 MHz) à plusieurs millisecondes (pour un Df inférieur à 1 KHz)..

L'application de ce type de signal à l'entrée d'un système non-linéaire permet de quantifier son niveau de linéarité. Le signal de sortie possède alors, en plus des 2 porteuses d'entrée, des raies d'intermodulations aux fréquences de battements. En théorie il existe un nombre infini de raies d'intermodulations mais ne sont retenues seulement celles dont l'énergie a un impact significatif sur le fonctionnement du système. En général seules les raies d'intermodulations d'indice 3, 5 et 7 sont considérées.

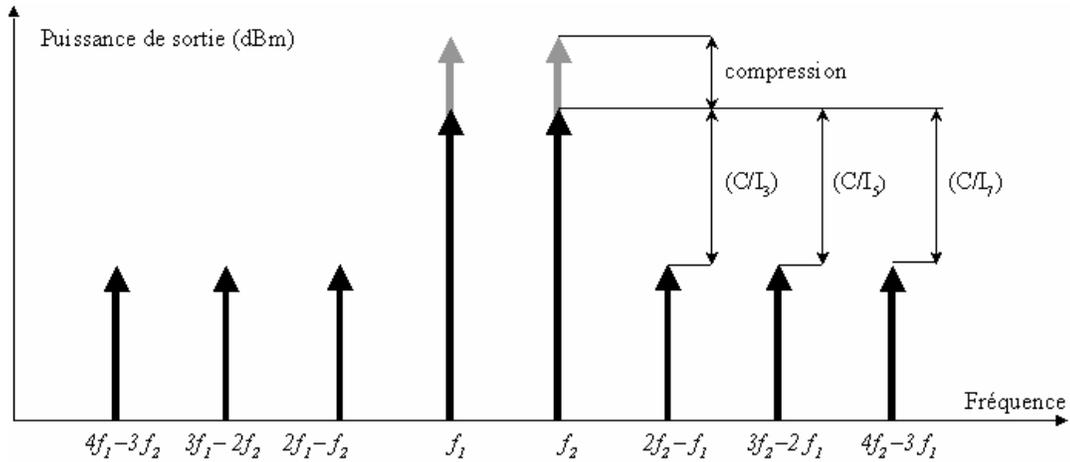


Figure 27 Raies d'intermodulation

I_{ds} est, de loin, l'élément du modèle équivalent du FET qui est le plus non-linéaire. Cette non-linéarité est souvent décomposée en une série de Taylor qui fait apparaître la dépendance de la source de courant avec ses dérivées [34] [35] [36] [37].

$$I_{ds}(V_{gs}, V_{ds}) = I_{ds} + \frac{dI_{ds}}{dV_{gs}} \cdot V_{gs} + \frac{dI_{ds}}{dV_{ds}} \cdot V_{ds} + \frac{1}{2} \cdot \frac{d^2 I_{ds}}{dV_{gs}^2} \cdot V_{gs}^2 + \frac{dI_{ds}}{dV_{gs} \cdot dV_{ds}} \cdot V_{gs} \cdot V_{ds} + \frac{1}{2} \cdot \frac{d^2 I_{ds}}{dV_{ds}^2} \cdot V_{ds}^2 + \frac{1}{6} \cdot \frac{d^3 I_{ds}}{dV_{gs}^3} \cdot V_{gs}^3 + \frac{1}{2} \cdot \frac{d^3 I_{ds}}{dV_{gs}^2 dV_{ds}} \cdot V_{gs}^2 \cdot V_{ds} + \frac{1}{2} \cdot \frac{d^3 I_{ds}}{dV_{gs} \cdot dV_{ds}^2} \cdot V_{gs} \cdot V_{ds}^2 + \frac{1}{6} \cdot \frac{d^3 I_{ds}}{dV_{ds}^3} \cdot V_{ds}^3$$

en simplifiant,

$$I_{ds}(V_{gs}, V_{ds}) = G_m \cdot V_{gs} + G_d \cdot V_{ds} + G_{m2} \cdot V_{gs}^2 + G_{md} \cdot V_{gs} \cdot V_{ds} + G_{d2} \cdot V_{ds}^2 + G_{m3} \cdot V_{gs}^3 + G_{m2d} \cdot V_{gs}^2 \cdot V_{ds} + G_{md2} \cdot V_{gs} \cdot V_{ds}^2 + G_{d3} \cdot V_{ds}^3$$

G_m : transconductance

G_d : conductance de sortie

G_{m2} , G_{m3} : dérivées 1^{ère} et 2^{ème} de la transconductance suivant V_{gs}

G_{d2} , G_{d3} : dérivées 1^{ère} et 2^{ème} de la conductance de sortie suivant V_{ds}

G_{md} , G_{m2d} , G_{md2} : Respectivement la dérivée croisée de I_{ds} suivant V_{gs} et V_{ds} , la variation de la dérivée croisée suivant V_{gs} et la variation de la dérivée croisée suivant V_{ds} .

Il est alors nécessaire, si l'on veut pouvoir prédire les intermodulations avec un modèle, d'utiliser une source de courant pouvant fournir les dérivées jusqu'à l'ordre 3 minimum.

11.6 Conversion de phase AM-PM

La conversion de phase représente l'effet de la variation de l'amplitude de la puissance d'entrée sur la phase de la puissance de sortie et est donc exprimée en degrés.

$$AM - PM = \arg\left(\frac{P_s}{P_e}\right)$$

C'est un critère qui caractérise la non-linéarité en régime statique uniquement (effets mémoire), il est généralement mesuré en injectant un signal mono-porteuse à la fréquence de travail. A noter que la valeur de l'AM-PM est une information relative définie uniquement sur une bande de puissance donnée. Les effets mémoires dynamiques étant autrement plus difficiles à quantifier.

Il a été clairement démontré [45] la dépendance de l'AM-PM vis à vis des éléments intrinsèques du modèle équivalent, G_m , C_{gs} et C_{gd} ont un impact significatif sur sa valeur.

$$\mathbf{j} = f(g_m, C_{gs}, C_{gd})$$

12 Conclusion

Cette première partie est une introduction au sens général de notre étude. Nous avons situé et justifié les transistors LDMOS sur le marché des télécommunications, leur raison d'être.

Le "domaine" de la modélisation de transistors est tout aussi vaste que fourbi en terme de topologie, d'interpolation des données ...de méthodes. Nous avons essayé de retracer clairement les frontières entre modèle comportemental plus dédié au niveau système et modèle générique destiné à la conception au niveau circuit/ composant. Chacun de ces modèles possédant eux-mêmes une multitude de types/ familles avec chacun leurs propres caractéristiques et applications.

L'introduction de la notion d'incertitude de mesure nous a semblé intéressante à porter dans ce manuscrit. Intéressante parce que régulièrement ignorée dans la plupart des ouvrages traitant des modèles. Peut être tout simplement parce que l'on entend le plus souvent par modèle: Faire coïncider la réponse d'une topologie donnée avec des mesures; là où nous pensons que par modéliser on entend: mesurer – "modéliser"- et valider comme nous le verrons par la suite.

Les nombreuses informations sur l'extraction du modèle et sur le développement du modèle thermique nous permettent d'aborder la suite de notre étude en connaissance de cause. Plus qu'une introduction, nous avons détaillé l'ensemble des étapes/ des outils qui sont nécessaires à la compréhension de notre étude.

Le dernier maillon qui nous semble nécessaire est la description du cahier des charges, ce que nous voulons modéliser, et comment sont traduits ces phénomènes dans notre modèle.

Cette première partie s'est volontairement voulue aussi générale que possible. Il nous a été essentiel de ne pas nous perdre dans les détails techniques nuisibles à la compréhension globale de ce manuscrit, ces derniers faisant l'objet de la partie suivante: La modélisation non linéaire électrothermique du transistor LDMOS.

Partie 2

Génération du modèle Electrothermique Non
Linéaire

1 Généralités

Un modèle électrothermique peut se subdiviser en 2 sous modèles : un modèle électrique non-linéaire, un modèle thermique dynamique. Ces deux sous-modèles sont interdépendants, le premier fournissant la puissance dissipée au dernier qui lui retourne la température instantanée. De par leur complexité, ces deux sous modèles seront étudiés distinctement

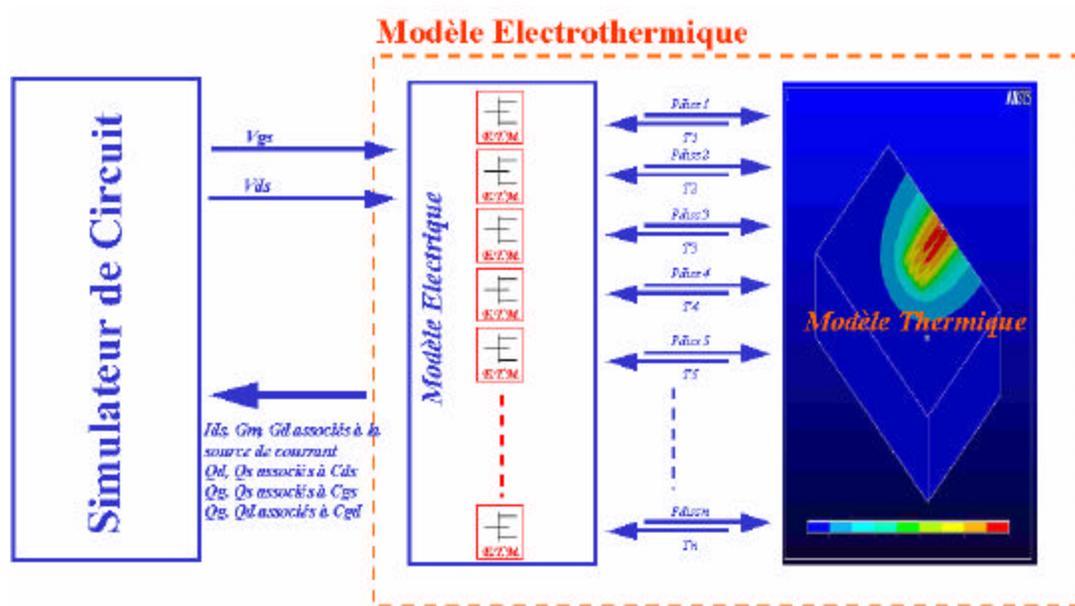


Figure 28 Couplage du modèle thermique au modèle électrique non-linéaire

Par où commencer la modélisation ? Les deux entités sont des modèles distincts qui s'échangent les informations de puissance dissipée et de température. Ceci sous-entend que le modèle électrique doit pouvoir interpréter l'information de température en plus des autres informations de tension de grille et de tension de drain, quant au modèle thermique il doit pouvoir fournir instantanément l'information de température associée à l'information de puissance dissipée qu'il reçoit du modèle électrique.

En résumé le modèle électrique reçoit les informations V_{gs} , V_{ds} et T et doit donner les informations de charge, de courants et de puissance dissipée.

Le modèle thermique reçoit l'information de puissance dissipée et donne l'information de température instantanée mais du fait des constantes de temps thermiques (de l'ordre de quelques

nanosecondes pour un signal RF de 2 GHz) la notion de température instantanée correspond en fait à une moyenne sur plusieurs cycles RF.

Le modèle électrique est en fait la pierre angulaire de tout le modèle électrothermique, lui seul interface avec le simulateur de circuit.

Nous avons donc à déterminer les variations des éléments intrinsèques du modèle électrique non-linéaire avec les tensions V_{gs} et V_{ds} ainsi qu'avec la température T .

La Figure 29 présente le processus complet pour la génération d'un modèle électrothermique. La génération du modèle électrique non-linéaire se compose de 2 étapes.

- Extraction de modèles isothermiques à plusieurs températures.
- Concaténation des données de ces dits modèles dans une seule et même table dont les entrées sont V_{gs} , V_{ds} et T . Cette table est exploitée avec des tri-splines d'interpolation.

Chaque modèle isothermique est lui-même composé de 4 étapes :

- Mesure I/V et paramètres S en mode pulsé : Pour chaque couple V_{gs}/V_{ds} , on relève le courant ainsi que les paramètres S qui sont associés à cette polarisation. A noter que les valeurs de V_{gs} sont choisies manuellement alors que les valeurs de V_{ds} sont déterminées par un algorithme de façon à ce qu'un minimum de point de mesures soit nécessaire pour obtenir une résolution choisie sur le réseau I/V .
- Détermination des éléments extrinsèques.
- Extraction des éléments intrinsèques et formatage en table à deux entrées V_{gs} et V_{ds} .
- Traitement des données afin de diminuer une erreur résiduelle sur les capacités intrinsèques en régime de quasi-saturation et saturation.

Les mesures en mode pulsé permettent de caractériser le transistor sans modifier son état thermique stable, c'est à dire que si on lui fixe une température donnée, l'application des tensions lors de la mesure ne générera quasiment pas d'auto échauffement supplémentaire.

Le modèle thermique est lui décrit dans le logiciel de simulation thermique Ansys. Après avoir défini sa structure géométrique, on extrait les données nécessaires à la génération d'un modèle thermique réduit.

On obtient au final les deux modèles que l'on peut coupler dans un simulateur de circuit.

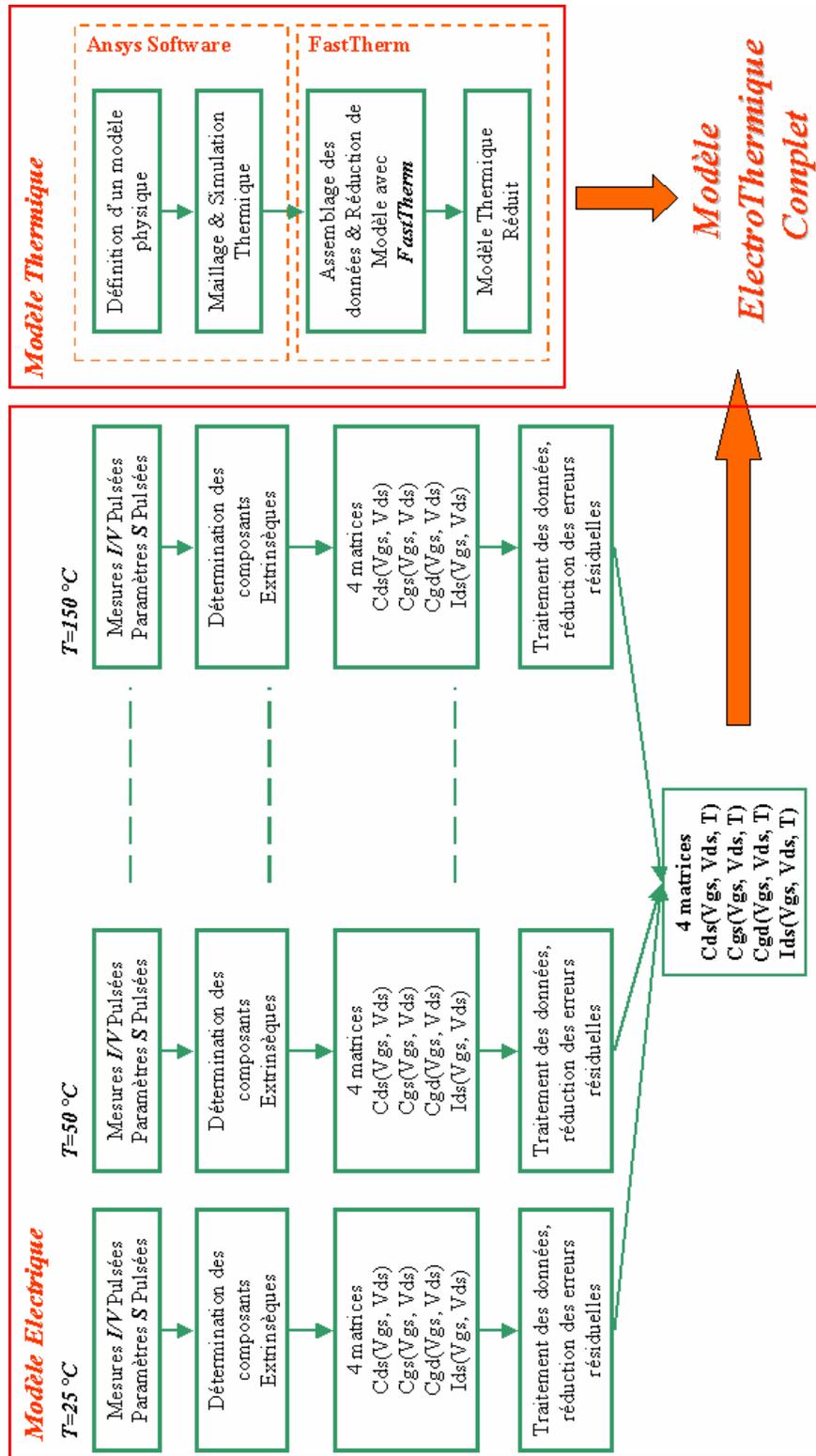


Figure 29 Processus de génération d'un modèle électrothermique complet

2 Modèle Electrique non-linéaire

La modélisation électrique non-linéaire repose sur l'utilisation du schéma électrique équivalent des transistors LDMOS.

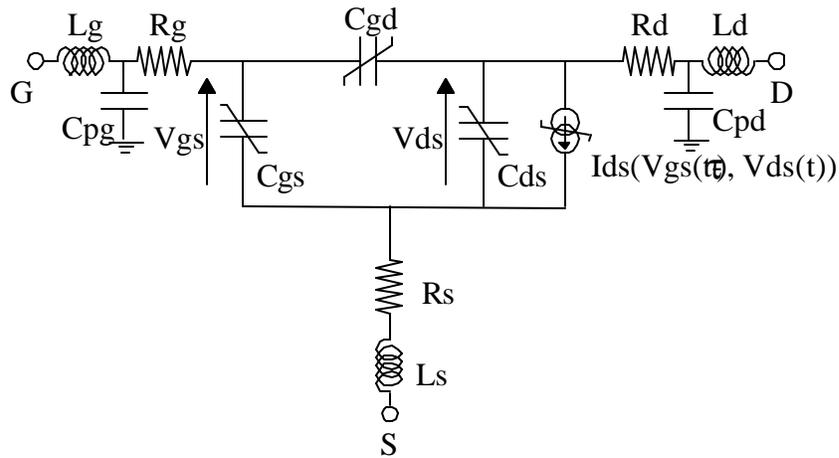


Figure 30 Topologie à éléments localisés d'un Transistor LDMOS

Comme nous l'avons cité dans la première partie de ce mémoire, extraire un modèle électrique consiste à déterminer les valeurs de ses éléments extrinsèques puis d'en déduire les valeurs des éléments intrinsèques quelque soit le point de polarisation du transistor.

2.1 Détermination des éléments extrinsèques

Parmi les méthodes qui nous sont disponibles pour la détermination des éléments extrinsèques, deux nous ont intéressées : la méthode analytique et la méthode par optimisation. Connaissant très bien la technologie LDMOS et connaissant toutes les caractéristiques nécessaires, la méthode analytique fut utilisée en premier pour nous donner une idée rapide de l'ordre de grandeur de ces éléments.

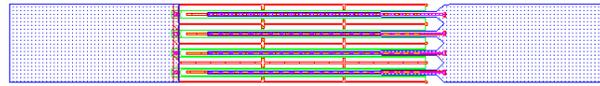


Figure 31 Métaillisations d'accès à la zone active du transistor



Figure 32 Métaillisations coté Drain

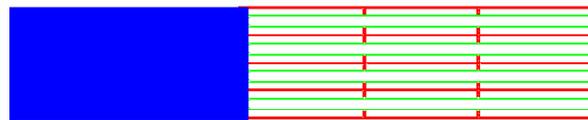


Figure 33 Métaillisations coté Grille

Cependant on peut remarquer que même si l'on admet que ce sont les métaillisations d'accès à la zone active qui génèrent les éléments parasites, on peut difficilement localiser ces éléments, la zone active n'étant pas localisée en un point précis mais dispersée à travers le canal. Les éléments parasites sont donc également dispersés le long de ce canal, reste à savoir comment juger de cette dispersion. Les valeurs ainsi obtenues ne seront en tout état de cause que des bornes supérieures des valeurs réelles, mais on peut toute fois considérer qu'en appliquant un facteur d'un tiers aux valeurs calculées nous permet de nous approcher au plus près, ce facteur se vérifiera par la suite.

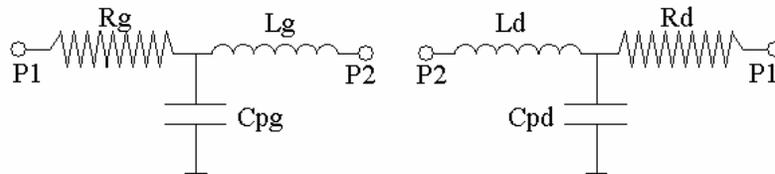


Figure 34 Circuits de modélisation des extrinsèques de Grille et de Drain

Des 6 éléments inconnus que nous avons à déterminer, 2 seulement sont réellement « importants ». Les résistances R_g et R_d sont déterminantes, les capacités C_{pg} et C_{pd} sont quasi négligeables du fait la taille de transistor considéré, et quant aux inductances L_g et L_d leur incertitude sur leur valeur n'a un impact que très limité sur le modèle final.

La méthode par optimisation est alors utilisée pour affiner les valeurs, en alternant les 2 algorithmes (diffusion simulée et recuit simulé auto-adaptatif) du logiciel **Kar** [46], on arrive à

une erreur résiduelle minimale. Si un ensemble de valeurs d'éléments extrinsèques est trouvé pour un point de polarisation donné, il convient de le vérifier sur un autre point de polarisation.

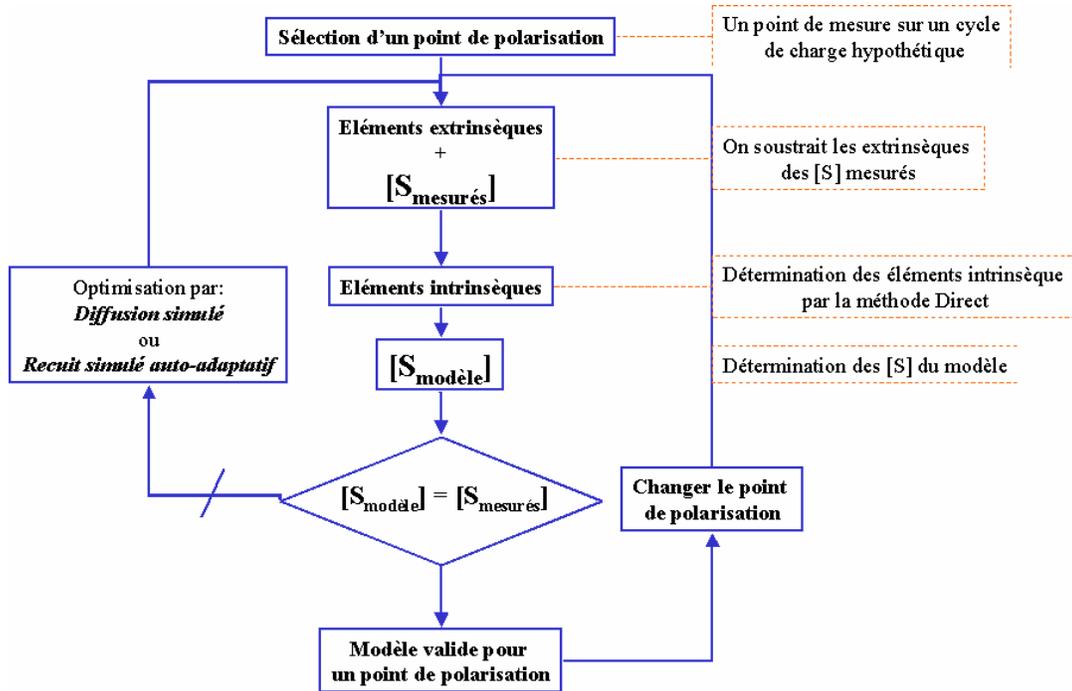


Figure 35 Processus d'extraction des composants extrinsèques sous Kar

L'utilisation de la méthode basée sur les simulations électromagnétiques pourrait constituer une bonne alternative à la méthode analytique dans le sens où l'on pourrait également obtenir des valeurs de départ avant d'utiliser Kar. Mais force est de constater que les valeurs obtenues par simulations électromagnétiques sont très proches des valeurs finales, et peuvent constituer en l'état une solution tout aussi pertinente que Kar.

Pour simuler les métallisations d'accès on utilise le simulateur Electromagnétique M Momentum d' Agilent.

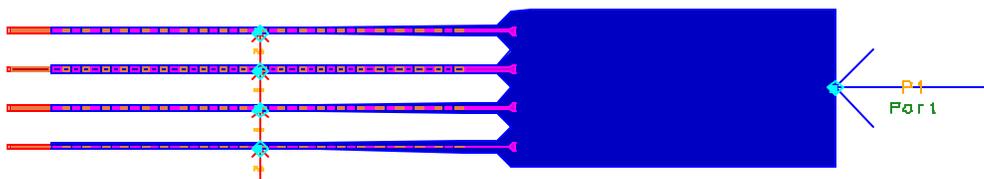


Figure 36 Métallisation de Drain avec ses Ports de simulation

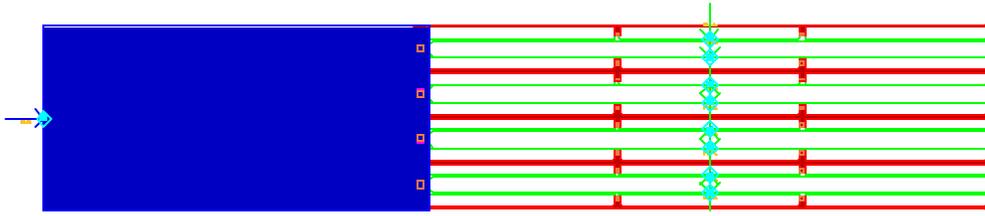


Figure 37 Métallisation de Grille avec ses Ports de simulation

Expliqué largement dans [21], le substrat LDMOS a la particularité de générer d'importantes pertes électriques dans les éléments passifs tels que les lignes de transmissions, les self-inductances. Ces pertes sont dues en grande partie à des phénomènes électromagnétiques tel que les courants de Foucault, les couplages négatifs et autre effet de Peau. Les lignes de transmissions que sont les métallisations d'accès sont soumises à ces phénomènes de pertes.

Les simulations E.M. doivent donc prendre en compte le phénomène de pertes du substrat LDMOS en intégrant les différentes couches du semi-conducteur avec ses caractéristiques physiques propres.

couche	épaisseur (μm)	Permittivité	Conductivité (S/m)
Passivation	1.00	6.00	0
ILD1 glass	1.885	4.3	0
ILD0 glass	0.945	4.3	0
Oxide de champ	2.835	3.9	0
EPI	1	11.9	10
Transition	3	11.9	300
Substrat	130	11.9	10^4

Avec :

Metal2 : épaisseur = $3.6 \mu\text{m}$; conductivité = $2.778e7 \text{ S/m}$

Meta-1 : épaisseur = 1.5 μm ; conductivité = 2.778e7 S/m

Via : épaisseur = 3.6 μm ; conductivité = 2.778e7 S/m

Cette définition de l'empilement des couches du substrat LDMOS est utilisée par le simulateur Momentum pour déterminer la fonction de Green et inclure ses effets sur la résolution du problème E.M. pour générer les paramètres S associés à la structure simulée.

De même que pour la détermination analytique, l'aspect dispersif des éléments extrinsèques pose une fois encore le problème suivant : où disposer les ports de simulation le long des doigts de grille et de drain ?

On cherche à déterminer les éléments extrinsèques localisés sous forme d'un circuit à 2 ports d'accès. Il nous importe donc de simuler les paramètres S des métallisations afin d'extraire les phénomènes (résistance et inductance) dispersifs sous forme d'éléments localisés.

La simulation des métallisations de Drain diffère légèrement de la métallisation de Grille.

Simulation de la partie Réelle pour la métallisation de Drain :

L'idéal est de disposer un port unique P1 à l'entrée de la métallisation et de simuler la structure en réflexion. Du fait de la très haute conductivité du substrat LDMOS (10 000 S/m), la résistance de substrat R_{sub} en série avec la résistance dispersive n'influe que de façon infinitésimale sur la valeur réelle de la résistance dispersive. Du paramètre S11 on en déduit la partie réelle de l'impédance de la structure et donc la résistance localisée R_d .

Simulation de la partie imaginaire pour la métallisation de Drain :

La simulation de la partie imaginaire diffère de celle de la partie réelle. La capacité parasite C_{sub} du substrat n'est pas négligeable et même assez importante en regard de la partie imaginaire de la métallisation de Drain. Il n'est donc plus possible d'utiliser la simulation en réflexion précédente pour l'extraction de l'inductance parasite L_d , une solution consiste à faire une simulation en transmission de la métallisation en ajoutant le port P2 sur la structure.

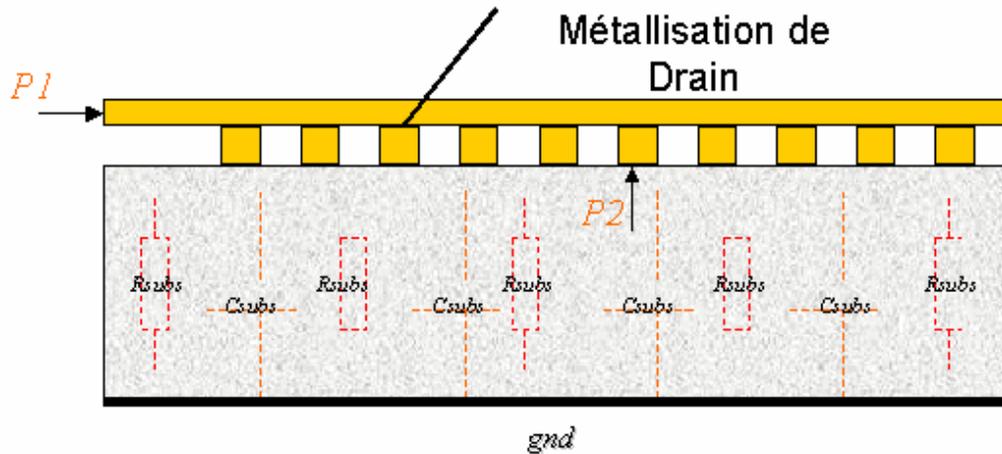


Figure 38 Phénomènes physiques présents lors de la simulation des métallisations coté Drain

Simulation des parties Réelles et Imaginaires de la métallisation de Grille

La métallisation de Grille est séparée du substrat silicium par une couche d'oxyde mince (spécificité des transistors MOSFET). Cet oxyde est une résistance de valeur relativement importante par rapport à la résistance dispersive de grille R_g , et une capacité également de forte valeur en rapport avec la partie imaginaire de cette même métallisation de grille. Si l'on devait utiliser une simulation en réflexion, la résistance R_g et l'inductance L_g seraient masquée par l'oxyde mince de grille. Là aussi la solution consiste à utiliser une simulation en transmission entre les ports P1 et P2.

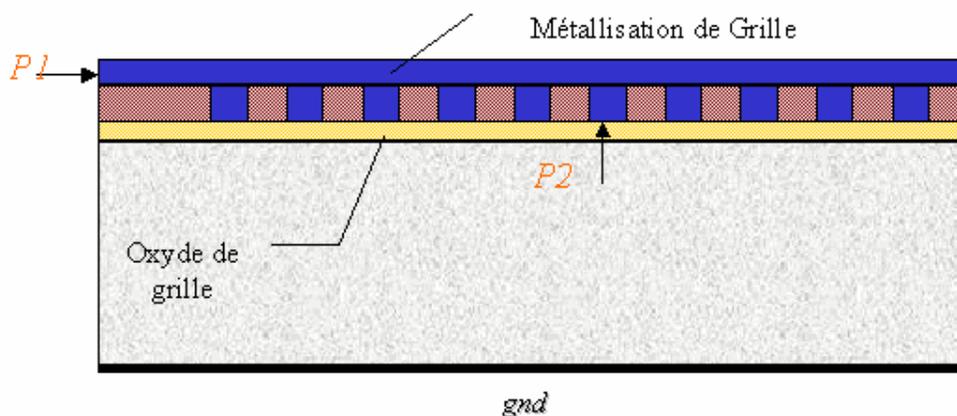


Figure 39 Matérialisation des métallisations coté Grille

Les Figure 39 et Figure 41 ci-après présentent les valeurs de Rd et Rg en fonction du développement du transistor. On compare les valeurs obtenues avec le simulateur électromagnétique et les valeurs obtenues par extraction avec Kar sur 4 tailles de transistors mesurés : 0.6 1.2 21.4 & 4.8 mm. On constate ainsi l'excellente cohérence entre les 2 méthodes, on peut ainsi déterminer les valeurs de Rd et Rg pour des développements de transistor plus importants et constater que les valeurs tendent vers une asymptote. Il est cependant important de noter que la simulation de telles structures (métallisations de drain et de grille) est rapidement limitée par les capacités informatiques.

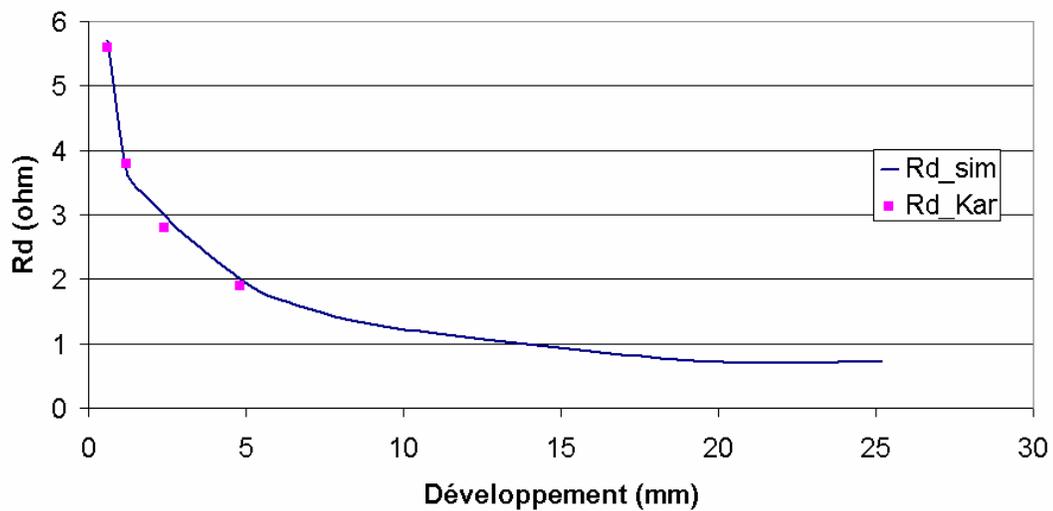


Figure 40 Evolution de Rd avec la taille du transistor

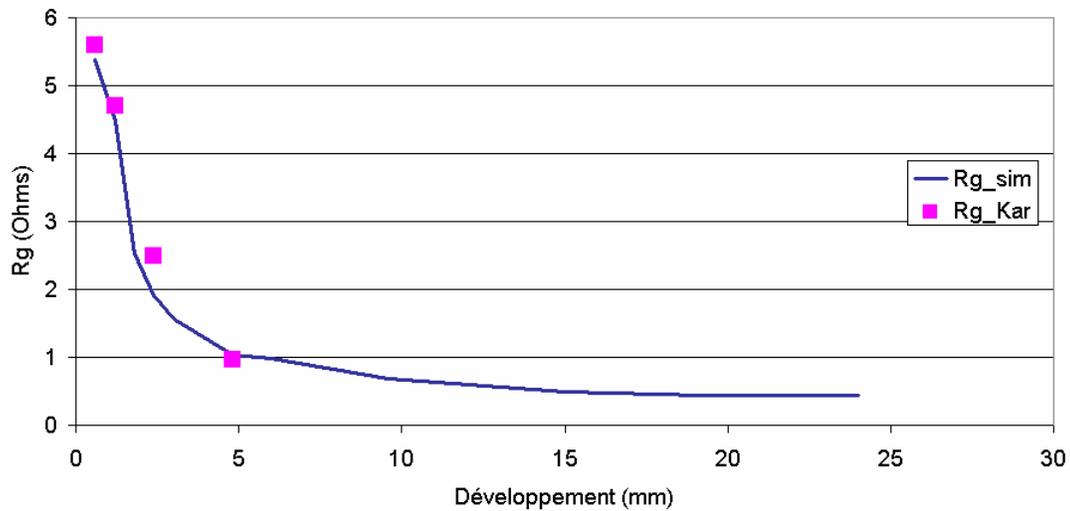


Figure 41 Evolution de Rg avec la taille du transistor

Cette technique permet donc de déterminer les composants extrinsèques uniquement sur la base de simulations électromagnétiques, on peut ainsi prédire le comportement du transistor pour des développements plus importants.

2.2 Modélisation par tables

Utilisées uniquement dans le cadre de modèles exploitant des tables de données, les splines permettent de donner des réponses au simulateur à partir de données issues directement des mesures sans passer par une étape d'optimisation.

Ces tables (ou matrices) possèdent les valeurs des éléments intrinsèques I_{ds} , C_{gs} , C_{gd} et C_{ds} pour les paramètres d'entrée V_{gs} , V_{ds} et T (température). Le simulateur fournit au modèle les tensions d'excitations et ce dernier lui retourne les informations nécessaires à la convergence de la simulation c'est à dire les valeurs de I_{ds} , C_{gs} , C_{gd} et C_{ds} ainsi que des dérivées.

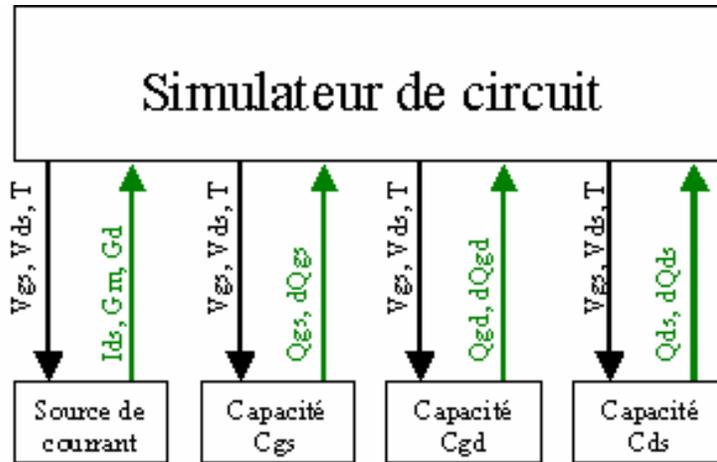


Figure 42 Intégration des composants du modèle dans le simulateur de circuit

Rmq : les dérivées seront calculées par les splines uniquement pour la source de courant. En ce qui concerne les capacités la conservation de la charge nécessite d'utiliser un modèle mathématique qui utilise les valeurs des capacités pour déterminer les charges sans discontinuité. Ce modèle repose sur l'intégration trapézoïdale [47] pour obtenir une charge continue sur le cycle de charge.

$$Q_n = Q_{n-1} + \frac{I}{2}(C_n + C_{n-1}) * (V_n - V_{n-1})$$

$$\text{et sa dérivée } \partial Q / \partial v = 0.5 * (C_n + C_{n-1})$$

Une autre remarque concernant les dérivées (Gm, Gd, Qn). Elles sont fournies en première approche par le modèle, mais il est important de mettre en lumière le fait que le simulateur de circuit ADS ne se servira de ces valeurs que pour initier la convergence vers une réponse stable. On entend par-là que le simulateur déterminera lui-même les dérivées avec son algorithme de Newton-Raphson à partir des valeurs du courant qui lui sont données par le modèle. Fournir des dérivées précises et continues permet au simulateur de converger plus rapidement vers la solution mais n'intervient aucunement dans la détermination de cette valeur.

2.3 Les splines

Les splines (ou lattes en Français) sont une technique mathématique qui permet de faire des interpolations de données par morceaux. Suivant le degré d'interpolation et des conditions initiales, on distingue plusieurs familles de splines.

- Spline linéaire : la plus élémentaire, c'est une interpolation basique entre 2 points de données.
- Spline quadratique : interpolation utilisant 3 points de données, seule sa dérivée première est continue.
- Spline cubique : interpolation utilisant 4 points de données, sa dérivée seconde est continue.
- Spline cubique naturelle : se dit des splines (quadratiques ou cubiques) ayant pour condition initiale $f_n''(x_n) = 0$ c'est à dire que la spline d'interpolation passe obligatoirement par les points de données, ce qui n'est pas le cas pour les splines cubiques précédentes dont les conditions initiales imposent une continuité de la dérivée seconde.

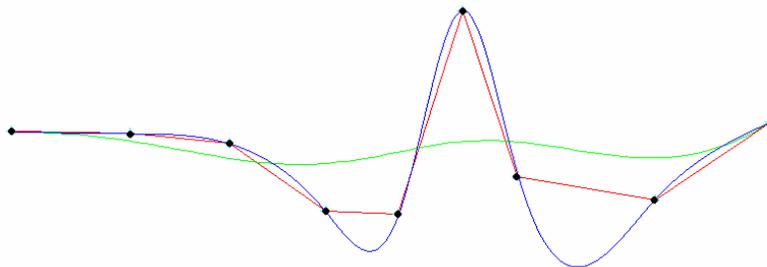


Figure 43 Spline linéaire (rouge), cubique (vert) et cubique naturelle (Bleu)

2.3.1 Splines Cubiques à 1 dimension

Comme nous l'avons dit précédemment, les splines cubiques utilisent 4 points de données (a, b, c, d) pour déterminer une valeur interpolée dans un intervalle donné [a : b]. De façon imagée, une spline est une latte dont les courbures sont imprimées par des ressorts liés aux piquet que sont les points de données. La raideur de ces ressorts est déterminée par des polynômes qui sont fonctions des valeurs des autres points.

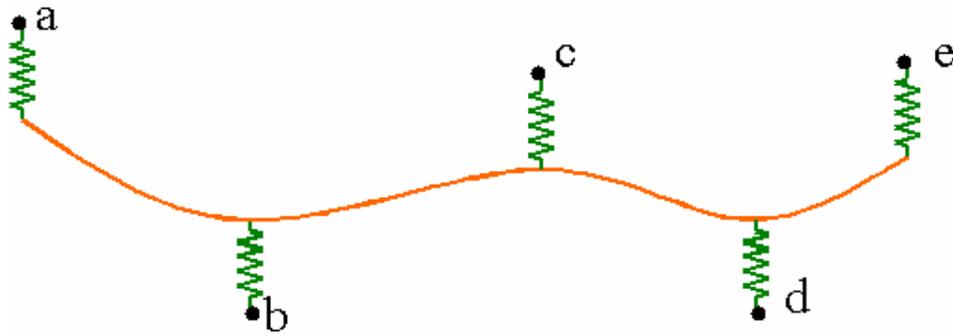


Figure 44 Raideur d'une spline Cubique

Les polynômes qui déterminent la raideur de ces «ressorts » sont obtenus par la méthode des différences divisées et qui permettent de respecter les conditions de continuité :

Raideur du ressort associé au 4^{ème} point : $PolyA = \frac{1}{6}x^3$

Raideur du ressort associé au 3^{ème} point : $PolyB = -0.5x^3 + 0.5x^2 + 0.5x + \frac{1}{6}$

Raideur du ressort associé au 2^{ème} point : $PolyC = 0.5x^3 - x^2 + \frac{4}{6}$

Raideur du ressort associé au 1^{er} point : $PolyD = -\frac{1}{6}x^3 + 0.5x^2 - 0.5x + \frac{1}{6}$

Ainsi pour déterminer une valeur interpolée, le polynôme issu de la combinaison des 4 autres polynômes devra être déterminé.

$$Poly(x) = PolyA + PolyB.x + PolyC.x^2 + Poly.x^3$$

A noter qu'en dehors du domaine de validité du modèle qui est défini par les mesures faites, des valeurs seront extrapolées par des splines d'approximation basée sur des dérivées. Ces valeurs ne sont pas certifiées exactes mais permettent de fournir une réponse cohérente au simulateur et l'aide ainsi à converger vers une réponse en régime permanent.

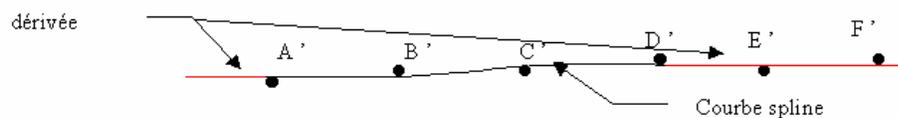


Figure 45 Extrapolation des mesures en dehors de la zone de définition

2.3.2 Splines Cubiques à 2 dimensions (splines bi cubiques)

Si l'on considère une table à 2 entrées, la détermination d'une valeur dans un intervalle imposé par ces mêmes entrées nécessite une double interpolation.

Prenons le cas d'une table dont les entrées sont V_{gs} et V_{ds} . L'interpolation du point e dans l'intervalle $[a : b]$ suivant V_{ds} nécessite tout d'abord d'interpoler les points a, b, c, d suivant V_{gs} , en fait le chemin d'interpolation n'a pas d'incidence sur le résultat final.

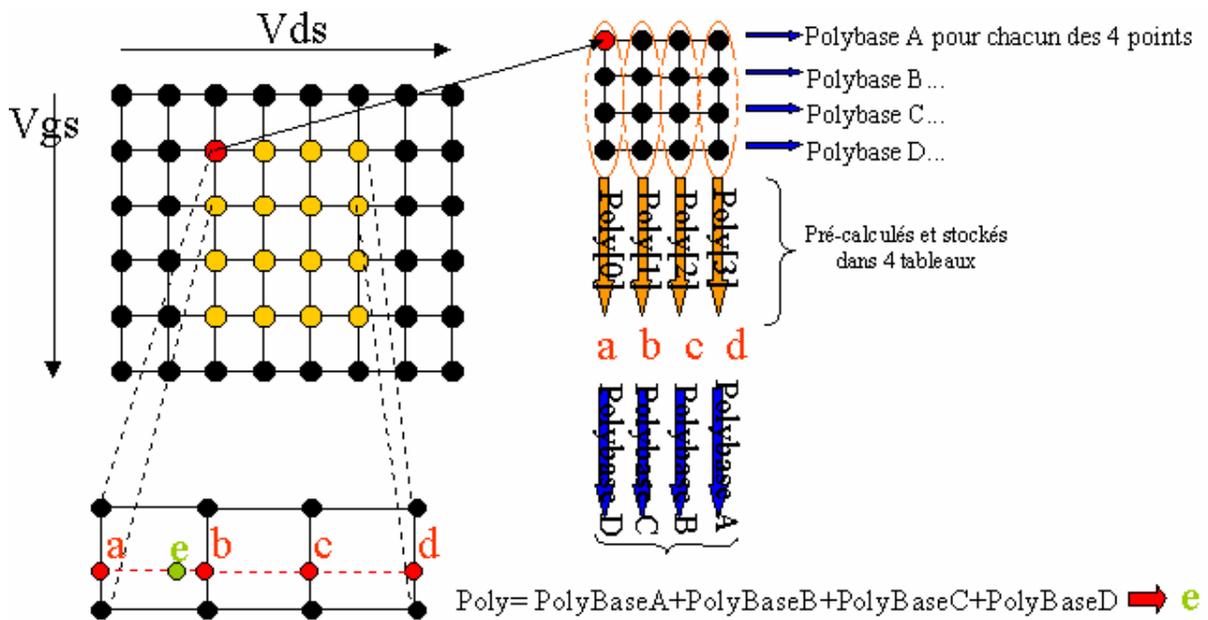


Figure 46 Exploitation d'une grille de données par une spline bi-cubique

Le traitement des dérivées en dehors de la zone de définition du modèle se fait identiquement.

2.3.3 Splines Cubiques à 3 dimensions (splines tri cubiques)

Il s'agit d'ajouter un troisième paramètre d'entrée à la table. Les données de la table sont alors interpolées suivant 3 dimensions (ou paramètres) à savoir V_{gs} , V_{ds} et T (température). Le problème est identique au précédent, on interpole suivant V_{gs} et V_{ds} pour 4 températures différentes, le problème devient donc maintenant unidimensionnel. On effectue une troisième

interpolation suivant T , et le résultat est obtenu. Il s'agit en fait plus d'une gestion de table tridimensionnelle que d'un problème mathématique

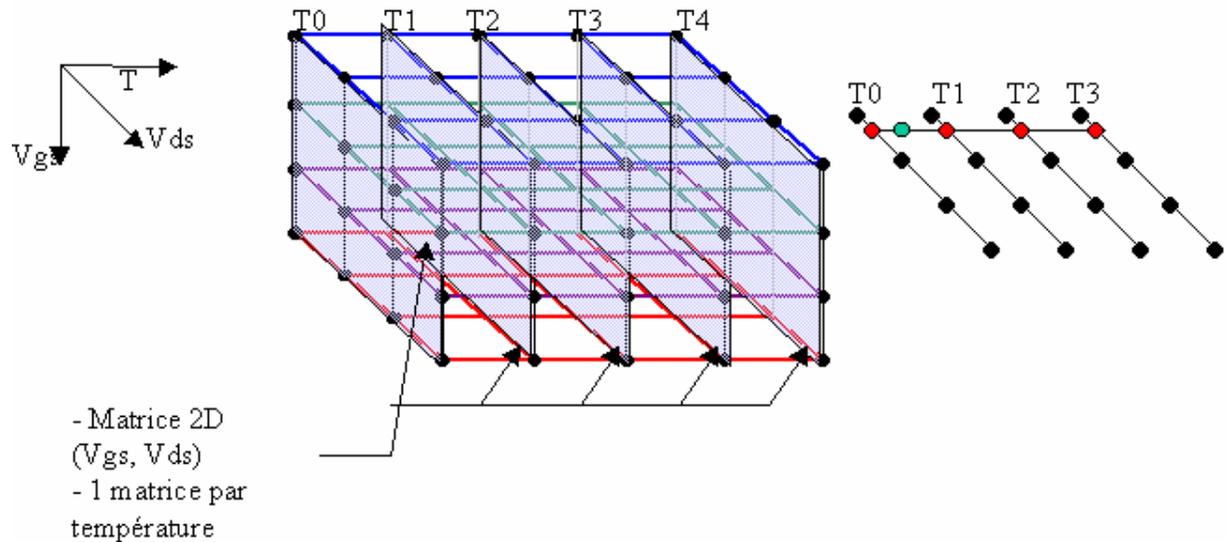


Figure 47 Exploitation d'une table 3D par une spline Tri Cubique

2.4 Intégration du modèle dans le simulateur de circuit ADS

Les splines tri cubiques sont codées en langage C dans le simulateur de circuit ADS. Ce programme exploite les tables de données stockées dans un fichier texte. La Figure 48 représente la philosophie de fonctionnement du programme qui régit le modèle.

- Dès qu'une simulation est exécutée, des calculs initiaux sont faits afin d'optimiser les temps de simulation, ces calculs correspondent aux polynômes calculés au tout début suivant V_{gs} , ils sont indépendants de V_{ds} et de la température alors ils sont prédéterminés et stockés en mémoire.
- Ensuite pour chaque itération qui doit mener à la convergence vers une réponse donnée du circuit, chaque composant intrinsèque va fournir à une routine (commune aux 4 composants intrinsèques) ses tensions de commandes (V_{gs} , V_{ds} et T) pour que celle-ci les normalise c'est à dire positionne les splines dans les tables de données. Ces valeurs normalisées sont stockées en mémoire jusqu'à ce que leur valeur change pour éviter ainsi de les recalculer en permanence (gain en temps).

- Ensuite ces tensions normalisées sont transmises au moteur de calcul des splines Tri-cubiques pour déterminer les valeurs de courant, capacité et autres dérivées associés aux tensions et sont renvoyés aux composants intrinsèques.

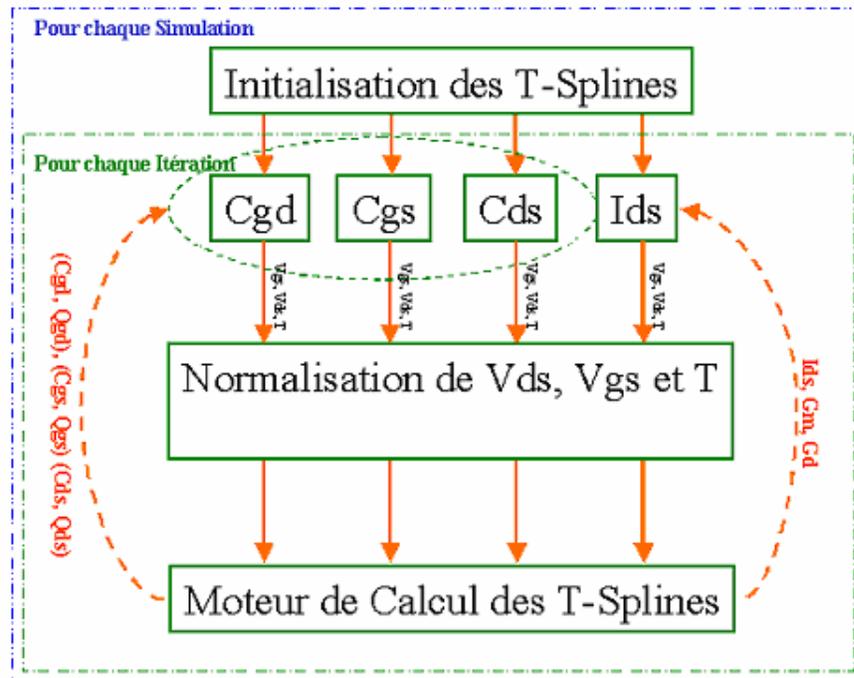


Figure 48 Fonctionnement du modèle dans le simulateur

On pourrait penser que la rapidité d'exécution d'une simulation dépend du calcul intrinsèque des splines mais dans les faits c'est le niveau de convergence qui prévaut. Si l'on considère une simulation d'équilibrage harmonique (HB), le processus de détermination des charges pour les éléments non linéaires comprend plusieurs opérations notamment la translation fréquence-temps puis temps-fréquence et ce pour chaque itération jusqu'à ce qu'un critère d'erreur soit respecté. Le temps global d'une simulation est alors globalement partagé entre le calcul des splines et les transformées de Fourier pour chaque itération. On peut aisément penser que le paramètre de convergence est un facteur important pour le temps de simulation. En résumé, le temps d'une simulation dépend de :

- nombre d'harmoniques
- tolérance sur le paramètre d'erreur
- nombre de points d'échantillons
- rapidité du calcul des Tri-Splines
- Rapidité des transformées de Fourier Directe et Inverse.

- Convergence numérique, cohérence des réponses des éléments intrinsèques du modèle.

On peut certes gagner en temps de simulation en optimisant le code C des splines, mais ce gain ne concerne que le calcul des splines et non l'ensemble de la simulation.

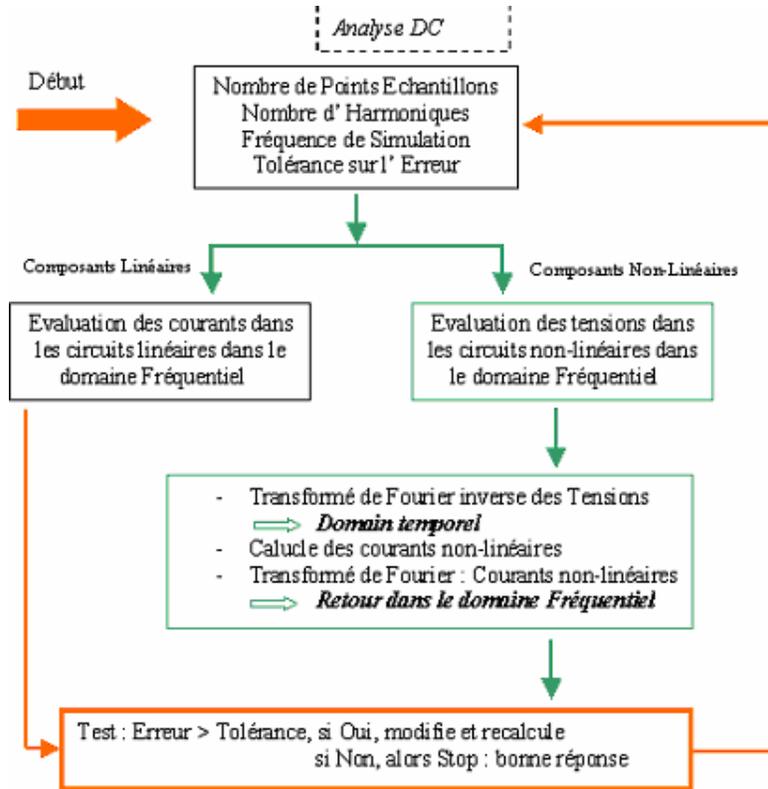


Figure 49 Algorithme d'équilibrage harmonique

3 Détermination d'une cellule unitaire du modèle thermique

La détermination d'une cellule unitaire est une étape intéressante dans notre travail de modélisation, cela consiste à déterminer comment les doigts du transistor interagissent d'un point de vue thermique. Alors pourquoi vouloir déterminer une cellule unitaire ? Nous le verrons plus en détail dans la suite de nos travaux mais cela nous est essentiel pour déterminer les règles de scaling pour générer des modèles thermiques de transistor de développement plus importants.

Il nous est encore aisé de simuler des modèles thermiques de transistors ayant des développement de grille de l'ordre de 4-5 mm, mais au delà les capacités de stockage nécessaires des données informatiques sont telles qu'il devient très difficile d'exploiter ces données extraites du simulateur. Pour passer outre ces limitations informatiques, il est nécessaire de réduire le coût de calcul en simulant tout simplement le minimum nécessaire et en extrapolant les données acquises.

Le schéma ci-dessous présente les termes de couplage thermique entre 4 doigts d'un transistor. Ces termes sont :

- $R_{11}, R_{22}, R_{33}, R_{44}$: ils représentent l'auto échauffement de chaque doigt.
- R_{41}, R_{31}, R_{21} : sont respectivement les termes de couplages thermiques du doigt 1 avec les doigts 4 – 3 – 2 , c'est à dire qu'en plus de leur auto échauffement, chaque doigt va subir l'échauffement du doigt 1 proportionnellement à ce terme de couplage.

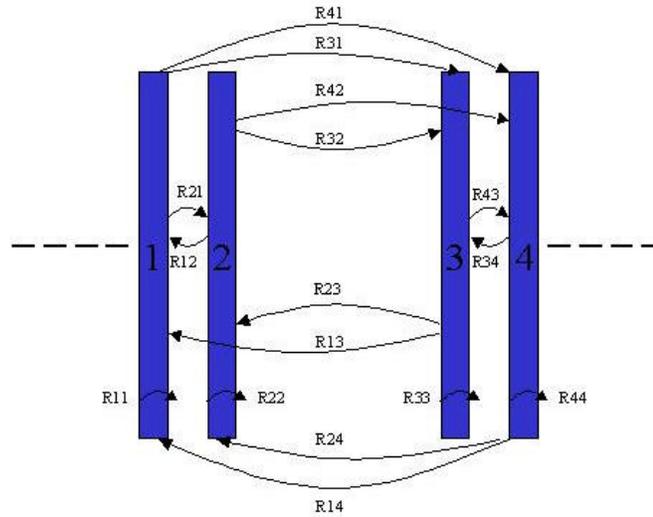


Figure 50 Couplage thermique inter-doigts

En régime établi, l'ensemble des termes de couplage thermique peut être représenté sous forme matricielle :

$$\begin{bmatrix} T_1 \\ \vdots \\ T_i \\ \vdots \\ T_n \end{bmatrix} = \begin{bmatrix} R_{11} & R_{12} & \dots & R_{1i} & \dots & \dots & R_{1n} \\ R_{21} & R_{22} & & & & & \\ \vdots & & \ddots & & & & \\ R_{i1} & & & R_{ii} & & & \\ \vdots & & & & \ddots & & \\ \vdots & & & & & \ddots & \\ R_{n1} & \dots & \dots & \dots & \dots & \dots & R_{nn} \end{bmatrix} \begin{bmatrix} P_1 \\ \vdots \\ P_i \\ \vdots \\ P_n \end{bmatrix}$$

T_j étant la température du doigt i , P_j est la puissance injectée dans le doigt j et R_{ij} est appelée la résistance thermique entre le doigt i et j quand seul le doigt j est alimenté en puissance de telle sorte que

$$R_{ij} = \frac{T_i}{P_j} \Big|_{P_{k \neq j} = 0}$$

On peut aisément imaginer qu'un seul doigt ne pourra être couplé à un autre doigt qui serait trop éloigné, reste à savoir quelle est la distance (ou combien de doigts) maximum qui peut être couplée.

Pour répondre à cette question, il nous suffit de faire l'expérience suivante :

- 1- concevoir un modèle physique que l'on va simuler avec le simulateur Ansys. Ce modèle devra avoir suffisamment de doigts pour en déterminer le couplage maximal.
- 2- Imposer une puissance de dissipation sur un des doigts.
- 3- Relever la température sur chaque doigt.
- 4- Quantifier les couplages thermiques.

Le résultat est présenté sur la Figure 51 ci-après, où l'on visualise les termes de couplages R_{11} , R_{21} , R_{31} , R_{41} ... R_{1-16} . L'auto échauffement participe à hauteur de 30 % de l'échauffement total, le 2^{ème} doigt participe à hauteur de 16 %, le 3^{ème} pour 11 %, le 4^{ème} pour 9%, en résumé les 4 premiers doigts génèrent à eux seuls 66 % de l'échauffement final.

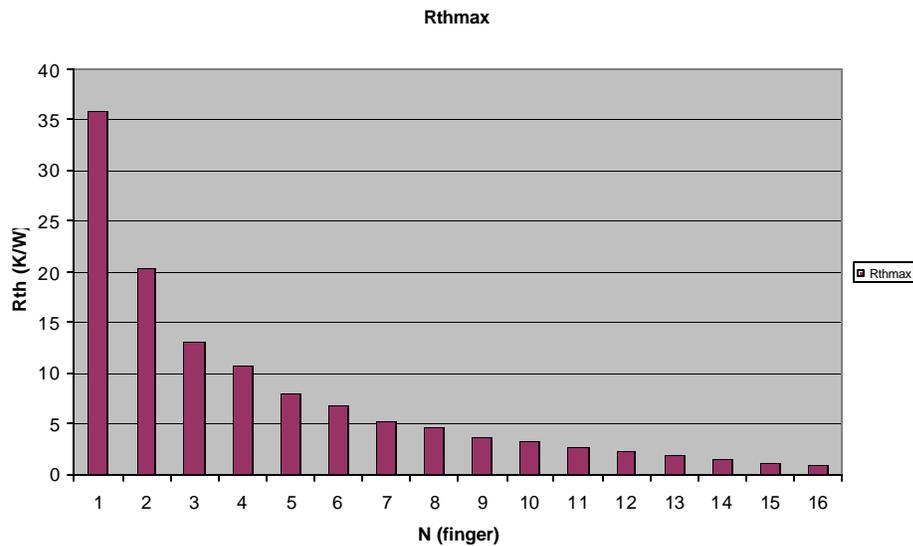


Figure 51 Evolution du couplage thermique d'un doigt avec les autres

Quant au couplage maximal, on peut l'attribuer au 14^{ème} doigt où moins de 1% de la température est issue du couplage avec le 1^{er} doigt. Pour concevoir des modèles thermiques de développements plus importants il suffira d'exploiter les données de ce modèle unitaire. Cependant, pour des raisons de commodité, on considérera une cellule unitaire composée de 16 doigts.

3.1 Réduction de modèle avec [FastTherm](#)

En fonction de la complexité de la géométrie du transistor et de la précision souhaitée, le modèle peut comporter jusqu'à plusieurs dizaines de milliers de nœuds. Comme vue en partie 1 de ce mémoire, il est possible de transcrire l'équation de diffusion de la chaleur en éléments électriques localisés (réseau de résistance, capacités ...) dans un simulateur de circuit, ceci permet de coupler la simulation thermique à un modèle électrique et obtenir ainsi un modèle électrothermique.

Si l'on considère un modèle comportant 10000 nœuds (grandeur usuelle) sa transcription sous forme de circuit électrique à éléments localisés nécessitera au bas mot 100 000 éléments localisés, ce qui est totalement rédhibitoire et impossible à simuler.

Depuis nombre d'années les mathématiciens proposent des méthodes pour réduire l'encombrement de ces systèmes en effectuant des réductions matricielles ou autre optimisation par polynôme. L'abondance en matière de technique de réduction de modèle en est déconcertante, chaque méthode ayant ses avantages et inconvénients suivant le type d'application que l'on souhaite faire du modèle réduit. Parmi les plus utilisés on notera :

- L'approximation de *Padé*
- Réduction de *Guyan*.
- Réduction d'*Arnoldi* basée sur les sous-espaces de *Krylov*

...

Une nouvelle méthode [23] a récemment été développée, elle est basée sur l'utilisation des vecteurs de Ritz. Cette méthode a l'avantage de préserver la passivité et la stabilité du système c'est à dire qu'il n'y a pas d'oscillations locales de la réponse du système. Ce type de phénomène est généralement produit lorsque la dérivée de la réponse n'est pas continue. Une autre caractéristique de la réduction par vecteurs de Ritz est son extrême précision dans la réponse. Le régime établi est parfaitement décrit avec un seul vecteur – un vecteur étant équivalent à une cellule RC et donc une constante de temps thermique- la finesse de la description temporelle pouvant aisément être améliorée en effectuant une réduction qui conserve plus de vecteurs de Ritz. Il va de soit que plus on souhaite une précision élevée dans des temps très courts plus le modèle réduit sera conséquent et sa simulation longue.

L'obtention d'un modèle thermique réduit se fait en suivant le processus décrit Figure 52. Le logiciel Ansys est utilisé «uniquement» comme un mailleur d'éléments finis, pour chaque

élément les matrices de conductivité K et de capacité thermique M sont calculées ainsi que le vecteur de charge F . De ces matrices élémentaires de K M & F , on détermine les matrices nodales globales, ce sont en fait les matrices d'interaction globales entre tous les nœuds du maillage et donc entre tous les points de la structure maillée.

Ces matrices sont alors converties dans un format spécifique pour être ensuite traitées par l'application de réduction de modèle thermique FastTherm.

Cette application FastTherm (qui exploite les vecteurs de Ritz) utilise un fichier de configuration dans lequel est, entre autre, spécifié le nombre de vecteurs de Ritz utilisés pour la réduction. Ce nombre de vecteurs détermine la précision temporelle du modèle thermique, du fait que, à chaque vecteur additionnel, une constante de temps thermique est ajoutée au modèle thermique.

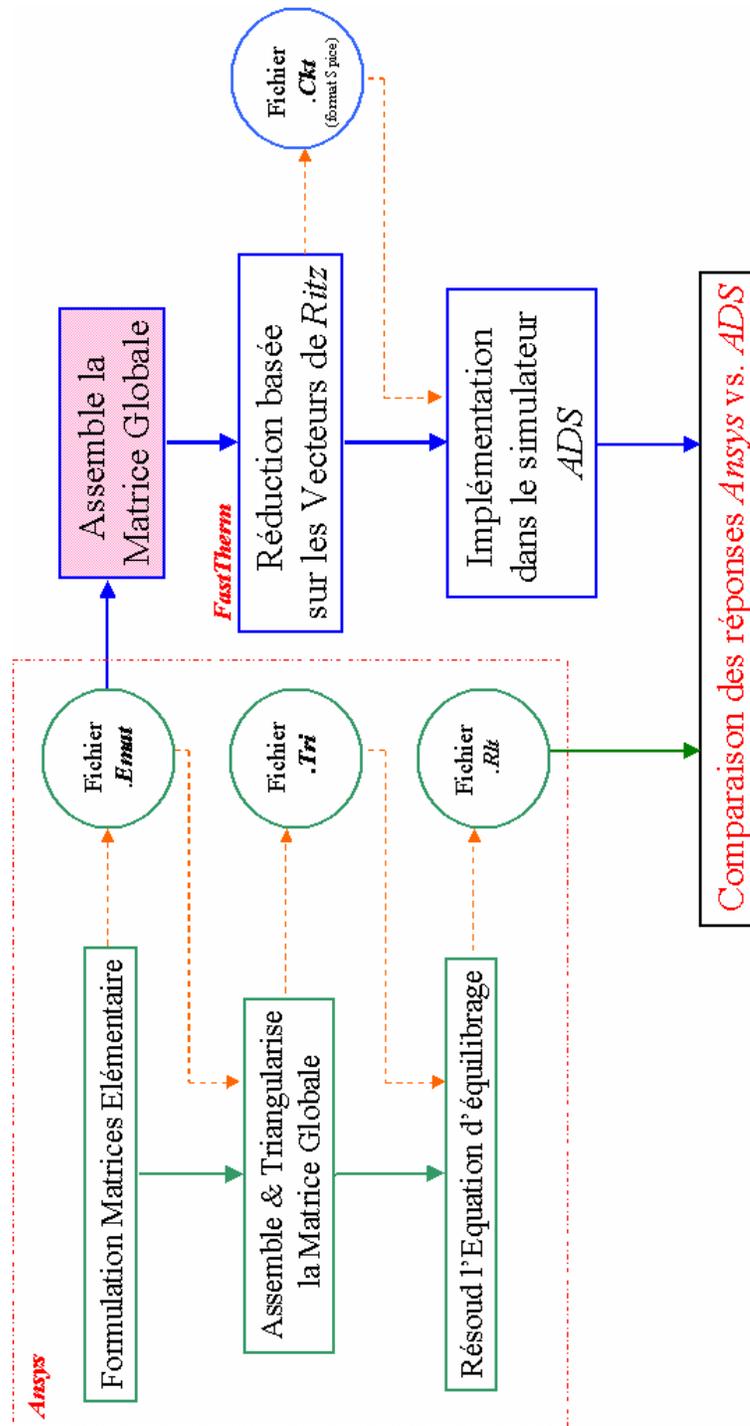


Figure 52 Processus de génération d'un modèle thermique réduit de Ansys vers ADS

Un modèle à un vecteur de Ritz permet d'obtenir la réponse en régime établi avec une erreur nulle, c'est la première des caractéristiques de la réduction par Ritz. Augmenter le nombre de vecteur accroît dramatiquement la précision du régime transitoire. Avec 10 vecteurs, on prend

en compte des constantes thermique de l'ordre de la microseconde tandis qu'au dela de 50 vecteurs des constantes de l'ordre de la nanoseconde sont modelisees.

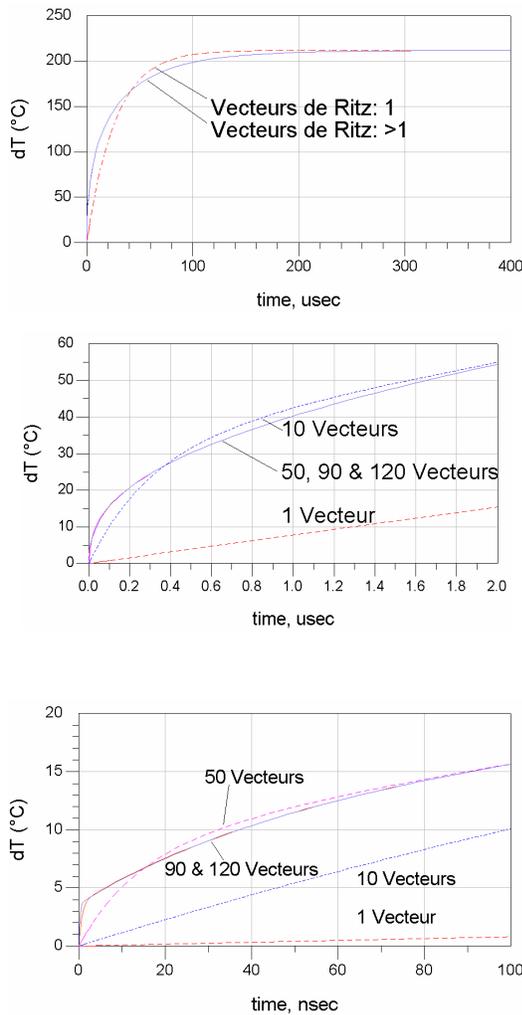


Figure 53 Réponse en température d'un modèle thermique avec 1, 10, 50, 90, et 120 vecteurs de Ritz

3.2 Extraction des matrices K & M du simulateur Ansys

La méthode de réduction de modèle développé par l'IRCOM repose sur la recherche des valeurs et vecteurs propres de l'équation d'équilibrage

$$M \cdot \dot{X} + K \cdot X = F$$

M: matrice de capacité thermique

K: matrice de résistance thermique

F: vecteur d'excitation

X: vecteur de température induite

Cette technique nécessite l'accès direct aux matrices réelles M & K et au vecteur F. La méthode des vecteurs de Ritz a été initialement développée pour fonctionner avec le logiciel de simulation thermique basé sur la méthode des éléments finis nommé MODULEF. Ce logiciel, initialement développé par l'INRIA, n'est à ce jour plus soutenu et possède une interface obsolète difficile à appréhender. C'est pourquoi l'IRCOM a récemment opté pour l'utilisation d'un logiciel de simulation thermique très largement répandu dans l'industrie: Ansys. Ansys est un simulateur qui est également basé sur la méthode FEM (Méthode des Eléments finis), doté d'une interface plus conviviale, il permet la conception et la simulation de modèle plus complexe et surtout plus rapidement qu'avec MODULEF.

Cependant un inconvénient majeur est apparu, il n'est pas possible de générer directement les matrices adéquates nécessaires pour l'obtention d'un modèle réduit. En effet le mode de fonctionnement d'Ansys fait que certains fichiers sont générés lors d'une simulation, ces fichiers sont : les fichiers de résultats de la simulation, ou des fichiers "page" qui sont en fait des fichiers temporairement écrits sur le disque dur du PC pour cause de manque de mémoire vive. Cependant après une longue étude sur le fonctionnement d'Ansys, il s'avère qu'il est possible de forcer le simulateur à générer certaines matrices. Le fichier possédant l'extension *EMAT* possède les matrices K&M ainsi que le vecteur F au niveau élémentaire, c'est à dire que les données ne sont pas disponible au niveau nodal mais uniquement pour chaque élément du modèle maillé.

Alors que faire de ces données élémentaires ? Chaque élément possède un certain nombre de nœuds, les matrices M&K élémentaires possèdent les informations de couplage entre ses nœuds. Si un nœud est commun à plusieurs éléments, alors ses termes de couplages avec les autres nœuds seront répartis dans chaque matrice élémentaire.

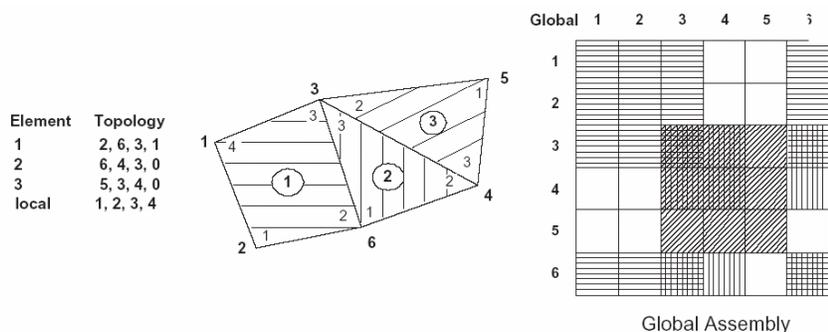


Figure 54 Exemple d'éléments finis et matrice d'assemblage des éléments associés

Prenons comme exemple le schéma ci-dessus composé des éléments 1,2 et 3. L'élément 1 possède les nœuds 1, 2, 3 & 6; l'élément 2 possède les nœuds 6, 4 & 3 et enfin l'élément 3 possède les nœuds 3, 4 & 5.

Les termes de couplages du nœud 1 avec les nœuds 2, 3 & 6 sont uniquement dans la matrice de l'élément 1. Il en est de même pour le nœud 2, ainsi que pour le nœud 5 de l'élément 3.

En revanche pour un nœud qui est commun à 2 éléments (ou plus) comme le sont les nœuds 3, 4 & 6; leurs termes de couplage sont dispersés entre les éléments 1,2 & 3 pour le nœud 3, entre les éléments 2 & 3 pour le nœud 4 et entre les éléments 1 & 2 pour le nœud 6.

Reconstituer les matrices M & K et vecteur F au niveau nodal est, dans le formalisme des éléments finis, l'opération d'assemblage. Bien que n'étant pas généré par Ansys, cette opération d'assemblage est effectuée en mémoire lors de chaque simulation thermique.

D'un point de vue strictement informatique, l'assemblage des matrices et vecteurs nodaux consiste à intégrer les termes de couplages de chaque élément dans une matrice globale ayant n rangs et n lignes, n étant le nombre de nœuds de notre modèle.

4 Modulation drain et grille

Chaque élément intrinsèque de la topologie utilisée du transistor est dépendant des tensions V_{gs} et V_{ds} , tensions que l'on peut qualifier d'intrinsèques. Ce choix est tout à fait cohérent dans le cas de transistor de faible puissance avec un courant de drain relativement faible. Mais dans le cas de transistor de puissance (ce qui est notre cas) le courant de drain crée des chutes de tensions en traversant les résistances de drain R_d et de source R_s .

Au regard des valeurs de ces résistances R_d et R_s (respectivement de 2 ohms et 0.25 ohms) on pourrait penser en première estimation qu'elles n'ont qu'un faible impact mais si l'on considère un courant $I_{ds} = 200$ mA, la chute de tension associée à R_d est de $V_{dacc} = 0.4$ V et associée à R_s est $V_{sacc} = 0.05$ V.

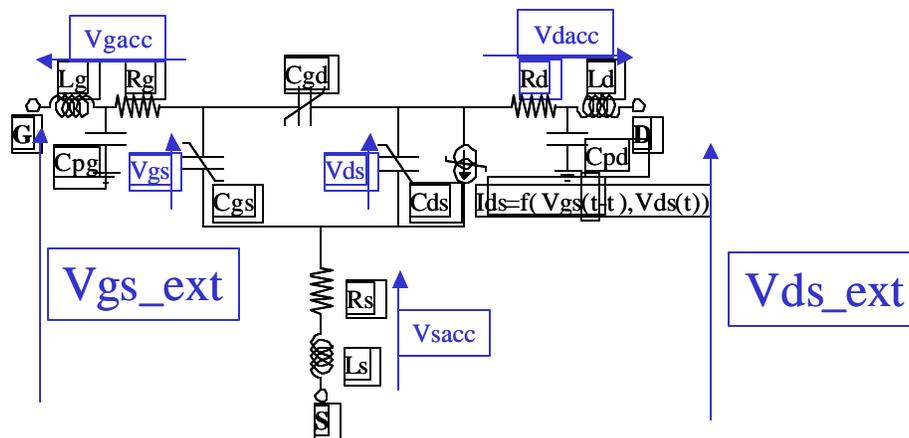


Figure 55 Chutes de tensions dans la topologie du modèle

Ces deux tensions ont pour effet de fausser les valeurs de V_{ds} et V_{gs} :

$$V_{ds} = V_{ds_ext} - V_{dacc} - V_{sacc}$$

$$V_{gs} = V_{gs_ext} - V_{gacc} - V_{sacc} = V_{gs_ext} - V_{sacc}$$

En plus de cette erreur de valeur il convient de rappeler que le transistor a été caractérisé en appliquant des tensions à ses accès extérieurs, les composants intrinsèques ont une description avec les tensions V_{gs_ext} et V_{ds_ext} et non avec V_{gs} et V_{ds} . Il s'agit essentiellement d'un formalisme mais comme le montre la Figure 56 l'incidence sur la précision de la description de la source de courant est concrète.

Dans les zones du réseau IV où les dérivées sont importantes (en V_{ds} ou V_{gs}) le moindre décalage en tension est conséquent.

Pour remédier à ce problème nous avons modifié la topologie du modèle, ou tout du moins les dépendances en tensions de composants intrinsèques, ces derniers retrouvent leur dépendance avec V_{gs_ext} et V_{ds_ext} en leur adjoignant des entrées supplémentaires qui ont pour unique vocation de prélever les tensions dans les plans d'accès au transistor.

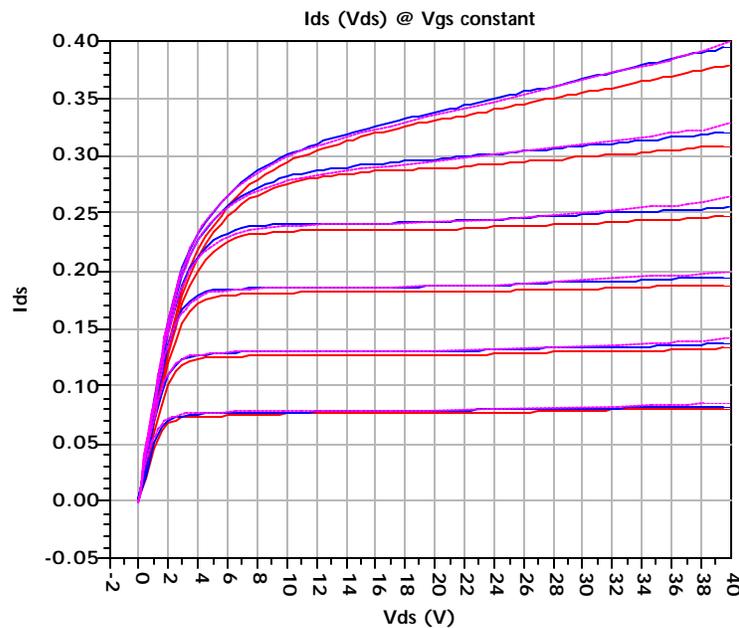


Figure 56 Réseau IV mesuré en pulse @25 °C : courbes rose ; Réseau IV simulé initial: courbes rouge ; Réseau IV simulé après modification: courbes bleues

Cette modification permet également une meilleure convergence en analyse DC.

La caractérisation électrique du transistor repose sur la description du réseau IV en fonction des tensions V_{gs} et V_{ds} appliquées aux accès de Grille et de Drain. Pour éviter une surabondance de données, on relève seulement un nombre restreint de points du réseau qui permettent d'avoir une erreur limitée sur la description [48]. Pour cela on effectue tout d'abord les mesures des points aux extrémités du domaine de définition, puis dans cet intervalle on

conserve uniquement les points qui permettent d'améliorer le résultat en utilisant une interpolation par spline à un paramètre suivant V_{ds} , on compare la valeur théorique interpolée et la valeur mesurée ; Si l'erreur est inférieure à une valeur prédéterminée, ce point n'est pas conservé. Cette méthode se nomme «dichotomie récursive » et permet de décrire finement les variations d'une courbe avec une quantité minimum de points de mesures, seule les zones à forte courbure sont abondées en données. A chaque point mesuré on relève également les paramètres S associés nécessaires à la détermination des éléments intrinsèques.

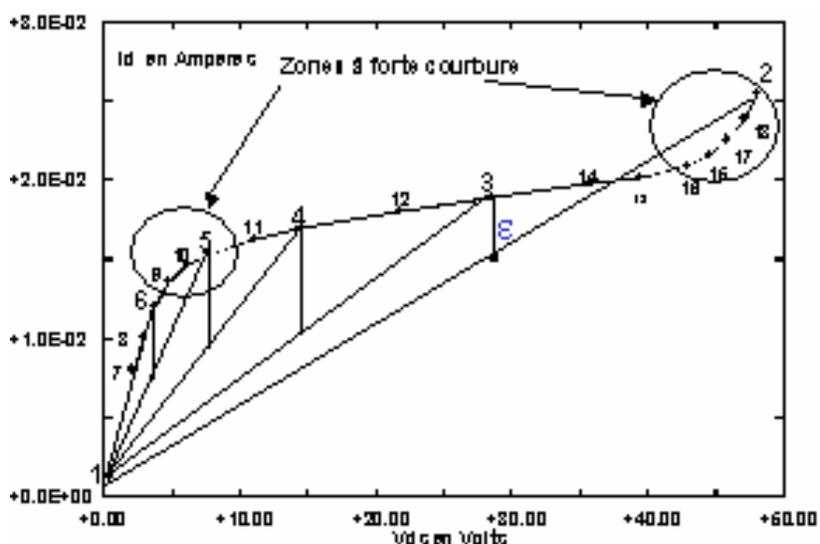


Figure 57 Mesure de la source de courant I_{ds} par dichotomie récursive

La conséquence de cette technique est une description fine de la source de courant I_{ds} en fonction de V_{ds} , les zones ohmiques et d'avalanche sont modélisées avec une erreur minimale. Cependant cette méthode nous pose 2 problèmes :

- Les variations de la source de courant en fonction de V_{gs} ne sont qu'approximatives du fait que l'on fixe simplement un pas de mesure et non une erreur maximale comme pour les variations avec V_{ds} .
- Les éléments intrinsèques que sont C_{ds} , C_{gs} et C_{gd} n'ont pas les mêmes variations que la source de courant suivant V_{ds} et V_{gs} . On manque ainsi d'informations pour les zones où les capacités varient rapidement et une surabondance dans des zones « linéaires » des capacités.

Ces deux inconvénients posent un problème de convergence dans le simulateur de circuit, les dérivées fournies par le modèle ne sont pas continues.

5 Variation de I_{ds} avec V_{gs}

Le choix de la réalisation d'un modèle hautement non linéaire utilisé tout particulièrement en classe AB nécessite la description du réseau I_{ds} (V_{gs} , V_{ds}) avec une grande précision, le cycle de charge théorique explorant les zones à forte courbure en V_{ds} et V_{gs} . Les variations en V_{ds} étant parfaitement reproduites reste à évaluer le comportement du modèle dans les zones où le courant de drain aura des dérivées importantes. La courbe ci-dessous représente le courant $I_{ds}=f(V_{gs})$ pour $V_{ds} = 26$ V.

Lors de la caractérisation les mesures ont été réalisées avec un pas de 0.5 V en V_{gs} . Les variations de I_{ds} dans les zones $3V < V_{gs} < 4.5$ V et $6.5V < V_{gs} < 8.5V$ sont telles que l'on ne dispose pas assez de points de mesures pour modéliser ces variations. Cela est surtout critique dans la zone $3V < V_{gs} < 4.5$ V où le transistor est polarisé, le besoin en précision est flagrant. Dans l'absolu la valeur intrinsèque du courant n'est pas une fin en soi, ce qui est encore plus important c'est la dérivée G_m . De cette dérivée dépend la précision du gain en puissance (et donc de la puissance de sortie) ainsi que des intermodulations d'ordres 3, 5 et 7.

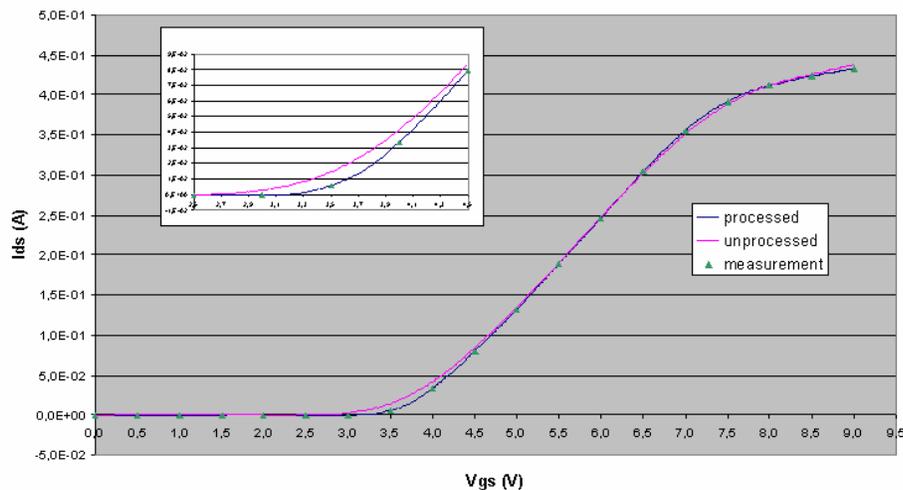


Figure 58 Affinage de la description de la source de courant I_d

Pour remédier à ce problème on peut soit refaire une série de mesures avec un pas en Vgs plus fin ou user d'une méthode mathématique dans le cas où refaire des mesures n'est pas possible.

Cette méthode mathématique consiste à utiliser un des nombreux outils proposés par l'algèbre pour affiner notre modèle. Avant d'explicitier sur ce sujet, on va juste mettre en lumière la propriété d'enveloppe convexe des splines cubiques.

Enveloppe convexe

Si l'on considère la spline d'interpolation construite à partir des 6 points (a, b, c, d, e, f, g), la propriété d'enveloppe convexe qui lui est associée nous indique qu'elle ne peut sortir du polygone défini par réunion des polygones (a, b, c, d), (b, c, d, e), (c, d, e, f), (d, e, f, g).

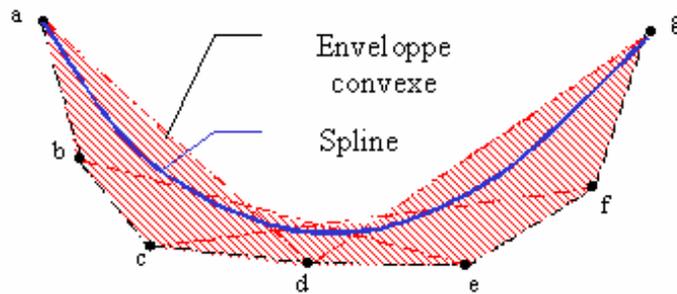


Figure 59 Exemple d'enveloppe convexe

Cette propriété est intéressante dans le sens où si l'on veut réduire l'erreur d'interpolation, ou plus concrètement faire passer la spline au plus proche des points de mesures, l'enveloppe convexe doit avoir une aire minimale.

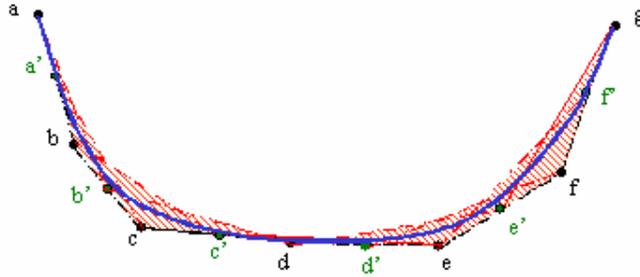


Figure 60 Exemple d'enveloppe convexe affinée

L'ajout de point de contrôle permet de contrôler l'approximation locale de la spline. Si l'on reconsidère notre exemple précédent, l'adjonction des points a' , b' , c' , d' , e' , f' réduit dramatiquement l'aire de l'enveloppe convexe, la spline passe au plus près des points originels. Un trop grand nombre de points provoque un phénomène d'oscillation.

Plusieurs méthodes sont possibles pour la détermination de points de contrôle supplémentaires.

- Par simple interpolation polynomiale : Lagrange, Runge-Kutta
- Ondelette.
- Spline cubique naturelle.

Chacune de ces méthodes d'interpolation pourrait être applicable à notre problème, cependant les Splines cubiques naturelles ont l'avantage d'être simple et facile à utiliser dans notre problème. Elles ont également la particularité, contrairement aux splines cubiques basiques, de passer par les points de contrôle. Un algorithme codé en C++ a été mis au point pour appliquer l'ajout des points de contrôle uniquement lorsque l'écart entre la spline d'interpolation et les points de mesures dépassent une certaine erreur.

La Figure 58 montre le résultat après traitement des données par ajout de points de contrôle avec des splines cubiques naturelles en Vgs. L'erreur d'interpolation est quasi négligeable.

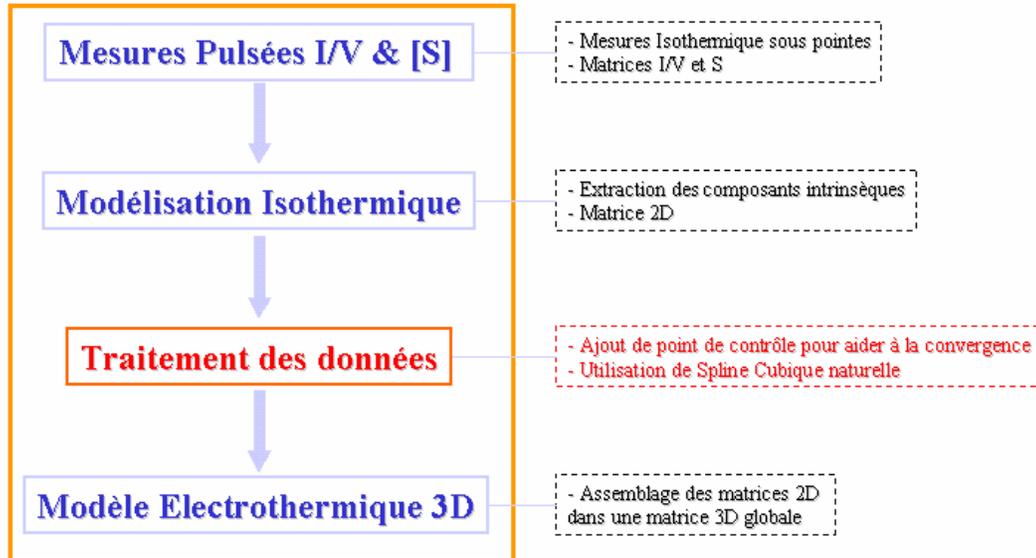


Figure 61 Insertion de l'étape de traitement des données dans le processus d'extraction d'un modèle thermique

Cette étape est ajoutée dans le flux d'extraction du modèle en terme de «traitement des données ».

6 Effets de la température sur les éléments localisés du modèle ET

Les mesures pulsées du réseau IV et des paramètres S pour différentes températures de socle de la puce nous permettent d'apprécier les variations des différents composants du modèle équivalent avec la température.

La source de courant non-linéaire I_{ds} étant l'élément majeur du modèle nous commencerons par celle-ci. La Figure 62 présente le courant I_{ds} en fonction de V_{gs} et de V_{ds} pour différentes températures de socle. Le point d'inflexion thermique (Z_{tc} : zero temperature coefficient) se situe à $V_{gs} = 4V$, en dessous de ce point, le courant augmente avec la température, et au-delà de ce point le courant diminue avec la température.

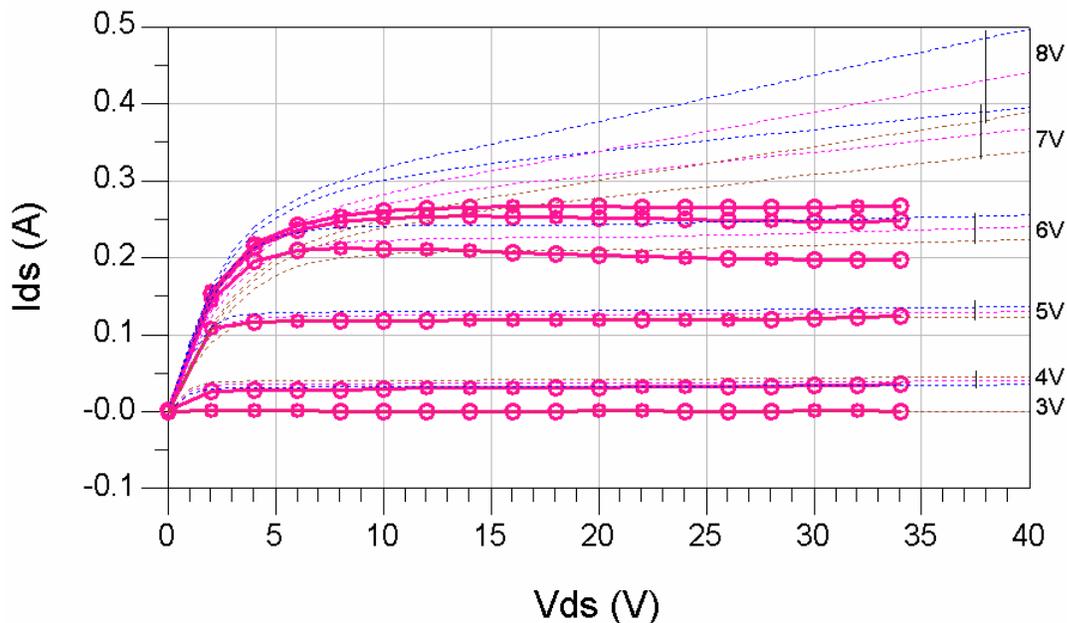


Figure 62 I_{ds} (V_{gs} , V_{ds}): réseau bleu $T_{socle} = 25$ °c

Réseau rose $T_{socle} = 75$ °c

Réseau marron $T_{socle} = 125$ °c

Réseau rouge avec marker, I_{ds} en continu

. L'effet de la température est plus prononcé lorsque l'on approche de la saturation ($V_{gs} > 6$ V). On voit ainsi que pour $V_{gs} = 7$ V, la décroissance de I_{ds} est de $0.6 \text{ mA} / ^\circ\text{C}$.

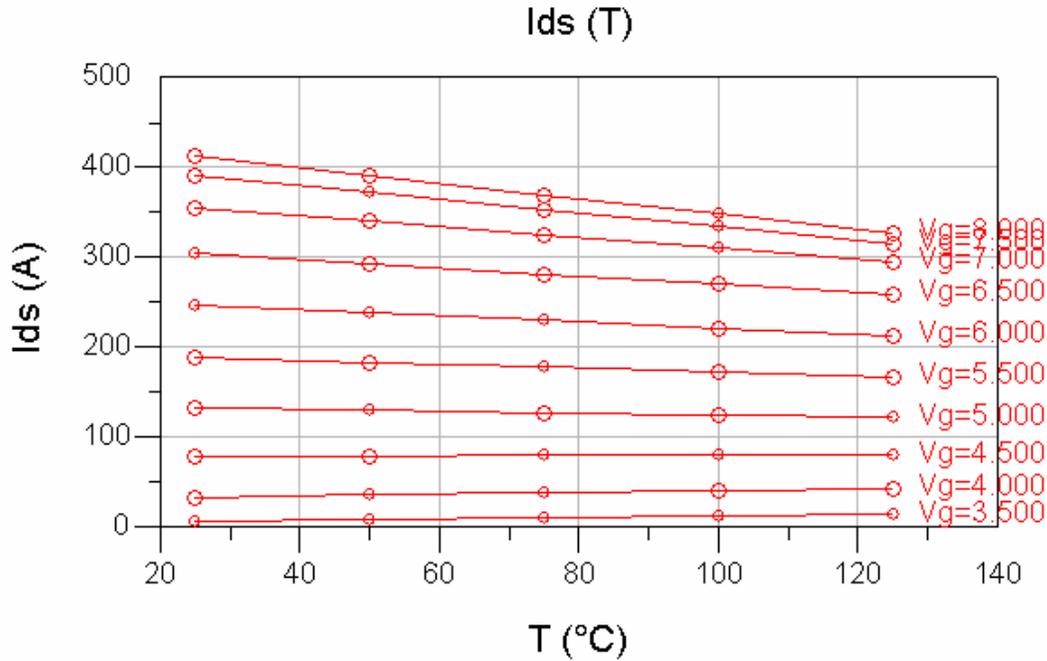


Figure 63 Evolution de I_{ds} avec la température T pour différents V_{gs} à $V_{ds}=26\text{V}$

La source de courant est l'élément le plus sensible à la température avec les résistances d'accès R_d et R_g . On n'est pas sans savoir la sensibilité de la conductivité des métaux avec la température, la Figure 64 présente l'évolution importante de R_g et R_d avec la température. R_d varie de 80 milliohms par degré alors que R_g varie de 20 milliohms par degré. Ces variations avec la température de R_g et R_d ont un impact important sur les impédances d'entrée – sortie, mais surtout la résistance R_d qui est traversée par un courant important, la puissance de sortie du transistor est alors dépendante de la température.

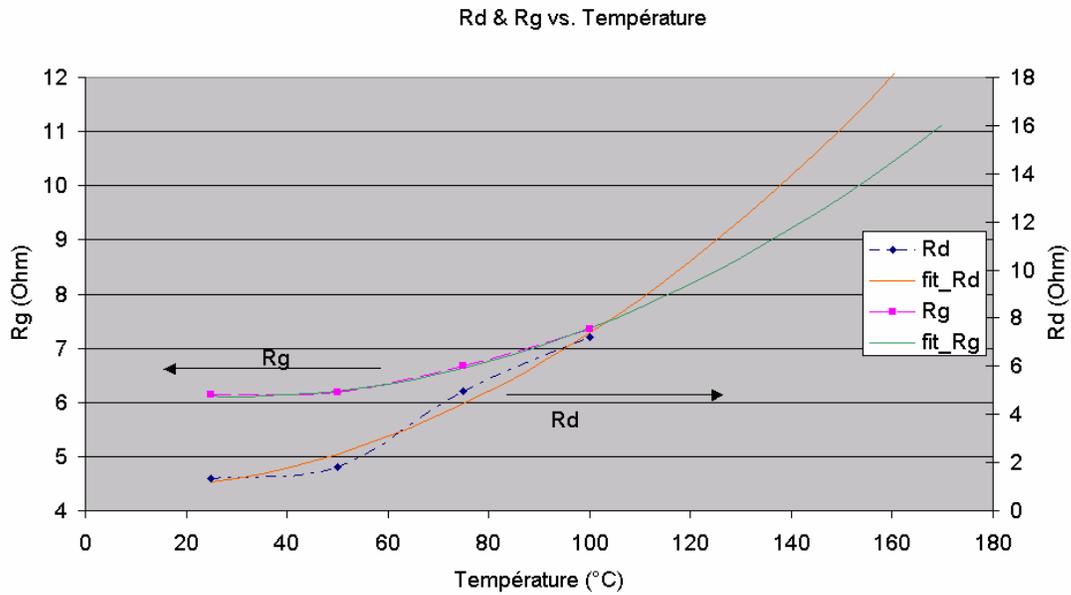
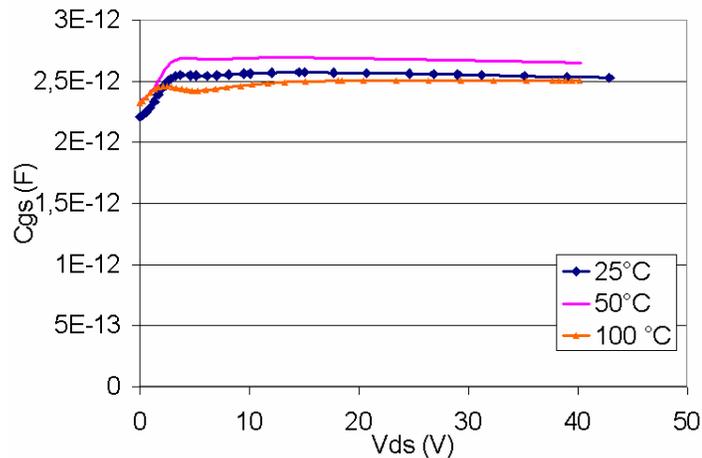


Figure 64 Evolution des éléments extrinsèques Rd et Rg avec la température

Les derniers éléments susceptibles d'être dépendants de la température sont les capacités intrinsèques Cgd, Cgs et Cds. Mais les graphes de la Figure 65 contredisent ce fait, les capacités intrinsèques varient peu avec l'échauffement du transistor. Seule la capacité Cds présente une très légère dépendance avec la température, les deux autres capacités Cgd et Cgs ne présentent pas de variations claires, tout du moins pas de variation dans la zone où le modèle est susceptible d'être exploité.

C'est pourquoi seule Cds sera implantée dans le modèle avec une dépendance en température, les deux autres éléments étant considérés isothermes pour faciliter la convergence de la simulation.



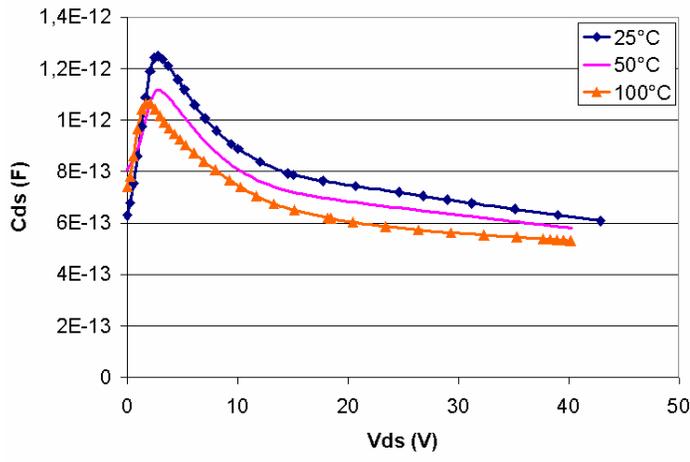
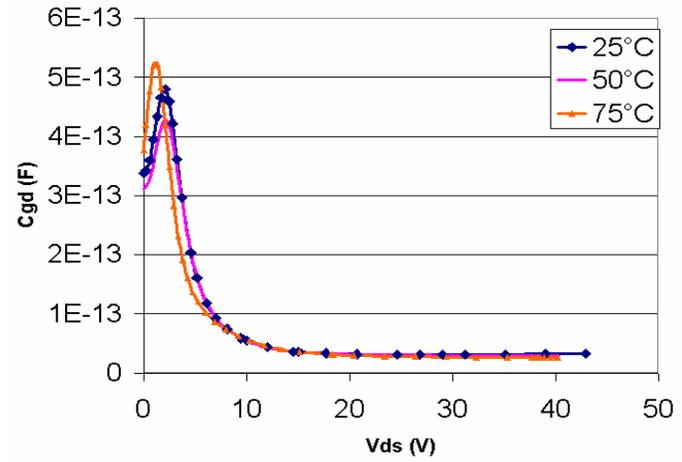


Figure 65 Dépendance des capacités C_{gs} , C_{gs} et C_{ds} avec la température pour $V_{gs} = 5V$

7 Définition des règles de « scaling »

L'ensemble de la procédure décrite précédemment pour l'extraction d'un modèle électrothermique est dédiée à un transistor d'une taille donnée. Si l'on souhaite extraire un modèle d'une autre taille, l'ensemble de la procédure devrait théoriquement être à nouveau suivie. Cependant la complexité et surtout la lourdeur de ce processus nécessite des ressources humaines et matérielles pour un résultat in fine qui n'est pas forcément le plus optimal, faire un modèle pour chaque taille ne constitue pas une solution versatile dans le sens où il n'est pas concevable de produire une infinité de modèles de quelque taille que ce soit.

D'où la solution du «Scaling », c'est à dire définir des règles d'échelle mathématiques qui permettent, à partir d'un modèle unitaire, de reproduire au plus juste la réponse d'un transistor de quelque taille que ce soit sans avoir à refaire des mesures. Cela a pour avantages :

- Un important gain en temps.
- Le modèle est versatile, on peut théoriquement définir un modèle de toute taille.

Le modèle initial sur lequel les règles de « scaling » seront appliquées devra bien sur être de très bonne facture et permettre au simulateur de circuit une bonne convergence.

Dans le modèle ET tel que nous le concevons, on distingue trois parties :

- Composants extrinsèques.
- Composants intrinsèques.
- Circuit thermique.

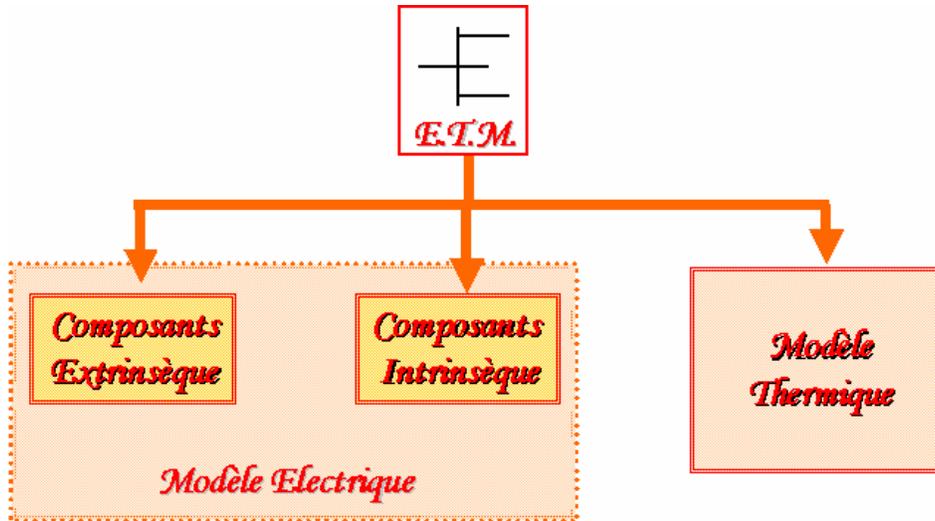
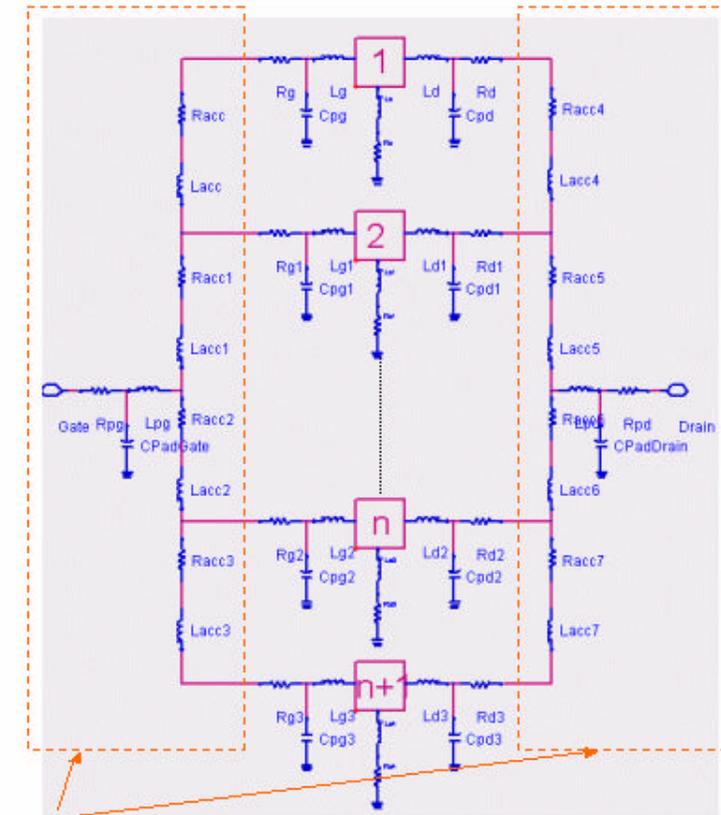


Figure 66 Distinction des éléments à mettre à l'échelle

Chacune de ces entités a ses propres caractéristiques qui évoluent différemment avec le nombre de doigts (développement de grille).

Les Composants intrinsèques et le Circuit thermique ont une évolution linéaire avec le nombre de doigts alors que les composants extrinsèques ont une évolution que l'on qualifiera de non linéaire. D'ailleurs ce sont ces derniers qui poseront le plus de problème dans la définition des règles de scaling globales.

Cependant si l'on veut être rigoureux, ce ne sont pas les éléments extrinsèques à proprement parler qui ont une évolution non linéaire avec la taille mais les métallisations d'accès aux cellules unitaires (manifold) comme le montre la Figure 67. Une cellule unitaire dans la technologie LDMOS HV4 de *Freescale* est constituée de 2 doigts d'une largeur périphérique totale de 600 μm .



Métallisations d'accès aux cellules unitaire

Figure 67 Mise en parallèle de modèles de transistors

7.1 Règles de scaling sur les éléments intrinsèques

Probablement la phase la plus simple, les cellules unitaires étant en parallèle, les capacités C_{gs} , C_{gd} et C_{ds} et la source de courant I_{ds} de chaque cellule vont tout simplement s'ajouter. Cette règle est couramment admise dans la littérature et permet une bonne approximation des valeurs finales des éléments intrinsèques. Ainsi pour passer du modèle d'un transistor de 2.4 mm à un modèle de transistor de 19.2 mm, il «suffit» d'appliquer un facteur multiplicatif de 8 à chacun des éléments intrinsèques.

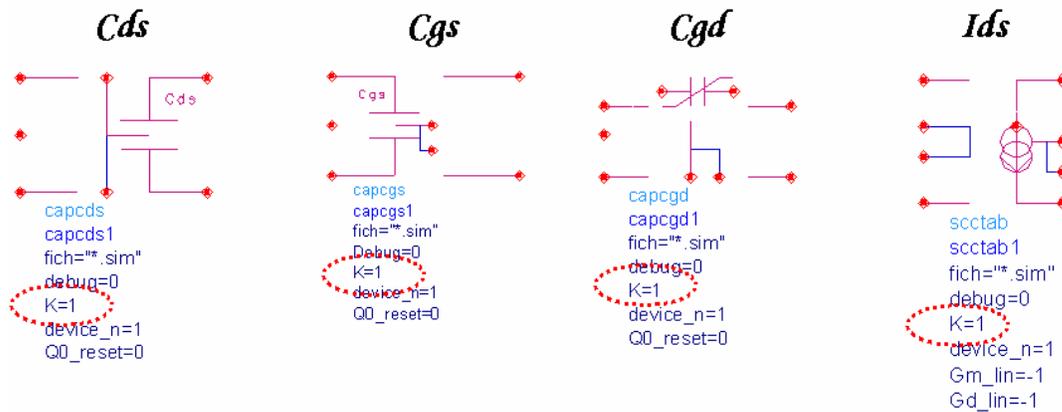


Figure 68 Configuration des éléments intrinsèques pour opérer le Scaling

Dans la pratique, chaque modèle des éléments intrinsèques possède un paramètre d'entrée nommé K (par défaut à 1) qui est le facteur multiplicatif appliqué aux valeurs.

$$C_n = K \cdot C_{n_{\text{initial}}}$$

7.2 Règles de scaling sur les éléments extrinsèques

Aux vues des résultats obtenus avec les simulations Electromagnétiques, il est évident que cette technique est toute désignée pour la détermination des règles de scaling sur les éléments extrinsèques. Les Figure 40 et Figure 41 de la partie 2.1 représentent l'évolution de Rg et Rd avec la taille du transistor, ce sont ces résultats que nous utiliserons pour opérer le scaling sur le transistor 2.4 mm.

7.3 Règles de scaling sur le modèle thermique

Dans la plupart des modèles de transistor il est usuel d'associer un simple circuit thermique (avec un nombre donné de constante de temps thermique) pour reproduire l'échauffement dynamique moyen de la zone active du transistor. Cela est valable uniquement si l'on considère une température moyenne uniforme à travers le canal du transistor, l'effet transistor est le même à travers toute la zone active. Mais dans le cas de transistor de puissance de taille conséquente (plusieurs dizaines de millimètres) non seulement la température moyenne est plus élevée mais elle n'est plus uniforme à travers la zone active, les doigts situés à la

périphérie subissent moins de couplage thermique des autres doigts que les doigts centraux. Il nous reste à savoir si cela a réellement un impact sur les performances fort signaux.

On ne peut alors plus considérer une température moyenne uniforme d'où l'intérêt de faire des modèles électrothermiques distribués suivant le profil de température. Il n'est certes pas nécessaire de faire une description fine du profil. Nous reviendrons sur cet aspect de la modélisation dans ce mémoire.

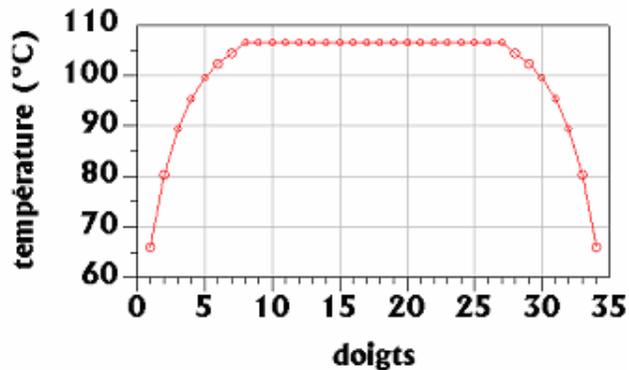


Figure 69 Profil de Température simulé d'un transistor de 20.4 mm de périphérie de grille avec 250 mW DC sur chaque doigt

L'observation de ce graphique nous indique que les doigts extérieurs ont un échauffement inférieur de 5 à 45 °C par rapport aux doigts centraux.

La conclusion étant qu'il nous faut un modèle thermique qui puisse retranscrire le gradient de température suivant le profil du transistor, cela revient à discrétiser ce profil avec un pas équivalent à une cellule unitaire soit 0.6 mm (2 doigts de 300 µm).

Alors reste une question : *Comment générer un modèle thermique de taille conséquente à partir d'un modèle issu de simulation Ansys d'un transistor de 4.8 mm ??*

Précédemment nous avons observé à l'aide de simulations qu'au-delà du 16^{ème} doigt il ne s'opérait plus de couplage thermique, d'où la définition d'une cellule thermique unitaire de 16 doigts. Partant de cette observation, un doigt (ou cellule unitaire électrique de 2 doigts) n'aura au maximum un couplage thermique qu'avec les 8 cellules électriques unitaires de part et d'autre de sa position et ce quelle que soit sa position dans le transistor. Or nous connaissons tous les termes de couplage qui sont associés à ces 8 cellules.

Il « suffit » d'exploiter la matrice des termes de couplage de la cellule thermique en la faisant « glisser » le long de la diagonale de la matrice globale des termes de couplage du transistor dont on souhaite avoir le modèle

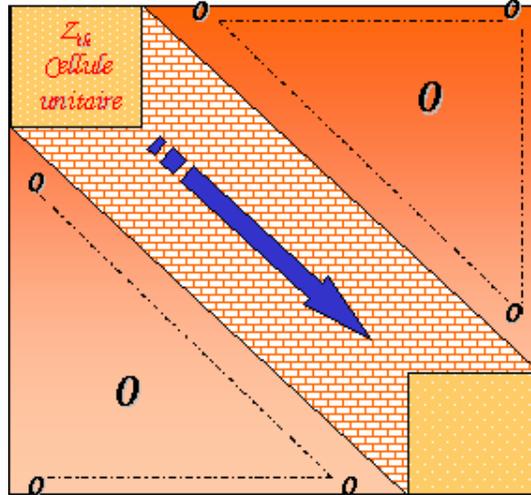


Figure 70 Scaling du modèle thermique par expansion de la matrice d'impédance thermique du modèle unitaire

8 Conclusion

La partie 2 est une mise en application de la partie 1. Après avoir défini clairement la topologie, l'architecture, de notre modèle composé des deux sous modèles Electrique et Thermique, la présentation claire du processus d'extraction du modèle est nécessaire car composée de nombreuses étapes. Des mesures en mode pulsé au modèle thermique, en passant par les Splines Tri cubiques, le cheminement de notre travail prend forme.

La détermination des éléments extrinsèques avec l'extraction du modèle thermique sont les sujets les plus sensibles. Les éléments extrinsèques sont par nature dispersifs, c'est à dire que l'on peut difficilement les mesurer comme des dipôles conventionnels. Plusieurs techniques ont jusqu'à présent été définies telles le FET Froid, mais aucune ne permet d'extraire avec précision ces valeurs. Nous avons ici utilisé les simulations électromagnétiques qui, comme nous le verrons par la suite, nous donne d'excellents résultats.

Un des enseignements tout aussi inattendu qu'important est venu de la topologie du modèle elle-même. Largement éprouvée pour les transistors faibles puissances, elle s'est avérée légèrement inadaptée aux transistors de puissance. La mise en évidence d'une "modulation" sur le drain et la grille nous a permis de lever à la fois une incohérence dans le fonctionnement du modèle et une imprécision en plus d'une amélioration de la convergence dans le simulateur de circuit.

La détermination d'un modèle thermique dynamique distribué est une grande nouveauté pour les transistors LDMOS. L'influence de la température sur les caractéristiques électriques n'est plus à démontrer lorsqu'on approche un fonctionnement en saturation. L'application de la méthode des vecteurs de Ritz au logiciel de simulation thermique Ansys a nécessité le développement d'une passerelle pour extraire les données nécessaires, et donc une compréhension de la méthode des éléments finie mais est maintenant clairement définie.

Finalement l'analyse du comportement des différents éléments constitutifs de notre modèle nous a permis de définir les différentes règles d'échelles (modèle électrique et modèle thermique).

Reste maintenant à vérifier la validité de toutes ces observations en réalisant la validation de notre modèle à travers des mesures expérimentales, objet de la partie 3 de ce manuscrit.

Partie 3

Validation du modèle et des règles de Scaling

1 Généralités

Le but de la validation fort signal est de confronter les réponses en puissance du modèle et des mesures pour différentes conditions d'utilisation; à savoir un point de polarisation variable et différentes conditions d'adaptation en entrée et en sortie. Pour réaliser cet exercice, on utilise un banc de mesure Load pull – Source pull.

Pour cela nous disposons d'un banc de mesure «*Maury Microwave*» dont les caractéristiques sont directement dépendantes des tuners :

Limitation en puissance : 100 WDC

Bande de fréquence des tuners : 0.4 – 4GHZ

La configuration utilisée nous permet de relever l'ensemble des caractéristiques souhaitées :

Avec un signal d'excitation mono porteuse : IRL, Pout, PAE, Ids, Gain.¹

Avec un signal bi porteuses : IRL, Pout, PAE, Ids, Gain, IMD3, IMD5, IMD7

Chacun de ces paramètres, peut être observé pour une puissance d'excitation variable (à charges Entrée/Sortie constantes) ou pour des impédances d'Entrée/Sortie variables et l'on obtient des cercles concentriques centrés sur l'optimum du paramètre.

Plusieurs inconvénients sont liés à ce système de load pull – source pull passif :

1- La limitation des impédances disponibles, il est difficile de présenter des coefficients de réflexion proches de l'unité et de ce fait des impédances faibles (< 4 ohms). En général pour pallier ce problème on dispose de transformateurs d'impédance qui permettent de ramener l'impédance à mesurer plus à l'intérieur de l'abaque de Smith et donc d'être mesurable.

2- On ne maîtrise pas les impédances présentées par les tuners aux fréquences harmoniques, on peut seulement les mesurer pour certaines charges.

3- Les puissances sont mesurées sur une large bande, on relève aussi bien les puissances au fondamental qu'aux harmoniques.

2 Techniques de Simulation

Chercher à reproduire au niveau informatique le comportement d'un système électronique quelqu'il soit n'est pas chose aisée. Pour cela le formalisme de l'électronique radiofréquence (et hyperfréquence) distingue 2 régimes de fonctionnement :

- régime établi
- régime transitoire

Suivant les systèmes et technologies, le régime établi est atteint en quelques dizaines de microsecondes (voire plus), ce qui sous-entend qu'il est nécessaire de simuler un nombre important de période pour atteindre le régime établi.

En ce qui concerne le régime transitoire, on peut là aussi distinguer le régime transitoire qui se superpose au régime établi, et le transitoire initial de la mise sous tension.

Ces deux régimes d'analyse sont en fait induits par les composants linéaires (résistance, capacité, self-inductance ...) et non linéaires (transistor, diode...).

Plusieurs techniques de simulation permettent de reproduire de tels régimes :

- *simulation DC* : Elle détermine le comportement en régime statique du système.
- *Simulation des paramètres S* : Elle consiste en la détermination des rapports d'onde aux accès du système pour un point de fonctionnement linéarisé (petit signal) autour du point de polarisation.
- *Simulation temporelle (transitoire)* : Elle permet la détermination de l'évolution temporelle des signaux du système.
- *Simulation en équilibrage harmonique* : Elle détermine le régime établi dans le domaine fréquentiel.
- *Simulation d'enveloppe* : Elle détermine le régime transitoire des enveloppes des signaux.

De façon synthétique, on peut dire que l'analyse temporelle donne les résultats les plus complets en terme de grandeurs calculables, puisqu'elle permet d'étudier les réponses d'un circuit en régime transitoire et en régime établi. L'équilibrage harmonique utilise, dans la même analyse,

le domaine temporel et le domaine fréquentiel, et ne permettra d'obtenir que des mesures du circuit fonctionnant en régime établi sous excitation d'un nombre limité de porteuses. Par contre, cette dernière méthode de simulation est beaucoup plus rapide.

2.1 La Simulation Temporelle

En général, les non linéarités caractérisant un élément non linéaire sont définies dans le domaine temporel. La simulation temporelle permet donc, à partir de la connaissance de ces équations, de déterminer les réponses du circuit en fonction du temps.

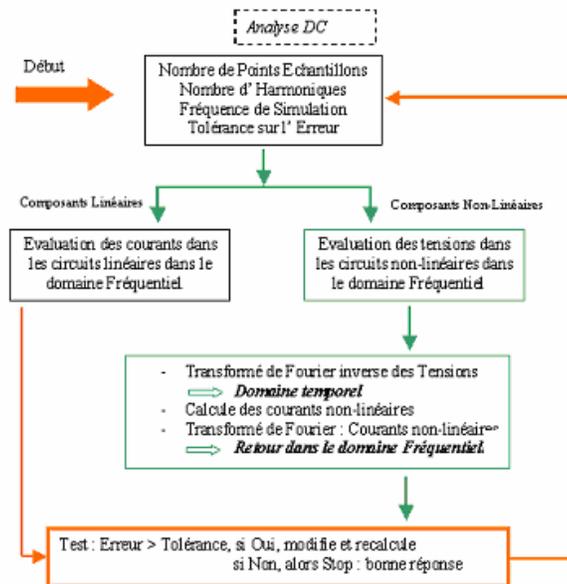
Il s'agit d'une méthode très performante, dans la mesure où les circuits sont à transitoire court. En hautes fréquences, et particulièrement en hyperfréquences, le régime transitoire est long devant la période des signaux, et particulièrement devant le signal de la fréquence porteuse, ce qui induit des temps de calcul importants pour obtenir des résultats suffisamment précis. Cependant le fait que l'intégration temporelle directe doive toujours passer par le régime transitoire avant d'atteindre le régime établi est un inconvénient lorsque l'on ne s'intéresse qu'à ce dernier, surtout lorsque le transitoire est long devant la période du signal. En revanche, la simulation temporelle permet de déterminer la réponse d'un circuit à une excitation complexe. Par ailleurs la représentation des circuits distribués dispersifs nécessitent le calcul d'intégrales de convolution qui alourdissent considérablement les calculs en micro-ondes.

Cette simulation débute par une analyse DC permettant de connaître les conditions initiales, puis repose sur la résolution des lois de Kirchhoff dans le circuit à étudier.

2.2 L'Equilibrage Harmonique

Pour comprendre l'intérêt de l'équilibrage harmonique, il faut donner quelques remarques préliminaires. La représentation des éléments linéaires, comme par exemple les réseaux linéaires de filtrage, adaptation, etc. qui sont formés par éléments à paramètres concentrés et distribués (lignes de transmission), se fait très facilement dans le domaine fréquentiel. Les signaux d'excitation sont souvent périodiques ou quasi-périodiques, ce qui permet d'envisager une décomposition sur une base de fréquences, l'état électrique du circuit étant alors une superposition des états électriques considérés sur chacune des fréquences de base.

Le principe de base de l'équilibrage harmonique est de décomposer le circuit à étudier en sous circuits linéaires et sous circuits non linéaires. Un sous circuit linéaire ne comprendra que des éléments pouvant être considérés comme linéaires et sera étudié dans le domaine fréquentiel. Un sous circuit non linéaire ne comprendra que des éléments non linéaires et sera étudié dans le domaine temporel. Il sera donc nécessaire d'utiliser, dans l'équilibrage harmonique, une transformée de Fourier. À l'interface entre les deux parties linéaires et non linéaires du circuit, et après la transformation de Fourier, les lois de Kirchhoff doivent être satisfaites pour converger vers une solution stable. Une représentation fréquentielle des courants de tous les noeuds du circuit est calculée. Selon la loi de Kirchhoff, la somme des courants doit être nulle à tous ces noeuds. Une fonction d'erreur est calculée à partir de la somme des courants, permettant d'ajuster les tensions si besoin est. Si l'algorithme converge (c'est-à-dire si la fonction d'erreur conduit à une valeur inférieure à une valeur prédéfinie), l'amplitude et la phase de la tension correspondante seront une approximation du régime établi. Un processus itératif permet de modifier les conditions initiales, jusqu'à l'obtention de la solution.



Contrairement à l'analyse temporelle, l'équilibrage harmonique fait appel à un processus de convergence, dont on peut modifier les paramètres. La conséquence de cela est que l'obtention de la solution, même si elle existe, n'est pas assurée.

Les étapes de l'analyse par équilibrage harmonique sont les suivantes :

- Une analyse DC préliminaire permet d'avoir une valeur initiale pour les potentiels aux différents noeuds du circuit.
- Les courants entrant dans les éléments linéaires sont calculés dans le domaine fréquentiel.
- Les courants entrant dans les éléments non linéaires sont calculés dans le domaine temporel.
- Une transformée de Fourier rapide (FFT) permet de comparer les courants au point de raccordement des sous-circuits linéaires et des sous-circuits non linéaires.
- En fonction de l'erreur générée, les potentiels aux noeuds sont modifiés (bouclage de l'algorithme).

Cette méthode de simulation, à l'inverse de la méthode de l'intégration temporelle conduisant à une suite d'équations faiblement couplées les unes aux autres, donne un système d'équations fortement couplées, dépendant du nombre de raies du spectre considérées dans le signal. La limitation de cette méthode réside dans le nombre de raies représentant le signal d'entrée. L'équilibrage harmonique permet donc une analyse fréquentielle en régime établi pour des circuits non linéaires, le signal d'excitation ne pouvant être qu'un signal multi-porteuses.

2.3 La Simulation d'Enveloppe

La simulation de type équilibrage harmonique permet de prendre en compte les phénomènes non linéaires mais avec plusieurs contraintes :

- Le résultat est obtenu en régime établi.
- Le résultat provient d'une convergence plutôt que d'un calcul exact, et cette convergence dépend de nombreux paramètres fixés.
- L'excitation est limitée à un ensemble de sources sinusoïdales décrites dans le domaine fréquentiel.
- La simulation temporelle de type Spice permet d'introduire des signaux complexes comme sources d'excitation, puisque la description se fait directement dans le domaine temporel. La solution est obtenue par résolution numérique des équations intégral-différentielles classiques. L'inconvénient majeur de ce type de simulation est que le pas temporel nécessaire à la simulation doit permettre d'échantillonner correctement le signal de plus haute fréquence présent dans le circuit, ce qui conduit à des temps de simulation rédhibitoires.

La simulation d'enveloppe apporte une solution aux problèmes difficilement solvables par d'autres méthodes, et en particulier la simulation des systèmes de communications sans fil, qui présentent la double caractéristique de posséder des signaux modulateurs complexes et des fréquences porteuses élevées.

Les deux graphiques suivant représentent la simulation d'un signal 2 tons de 2.08 GHz écartés de 100 kHz. La simulation enveloppe permet de visualiser l'enveloppe du signal modulé sur 4 périodes en 10 s pour un espace mémoire de 8 Mo alors que la simulation temporelle nécessite 128 s et occupe 94 Mo. Les 2 méthodes ne sont pas comparables tant les bénéfices de la simulation enveloppe sont importants, d'autant que l'exploitation des résultats est plus intéressante lorsque l'on possède uniquement l'enveloppe, les battements temporels du signal porteur étant de peu d'intérêt.

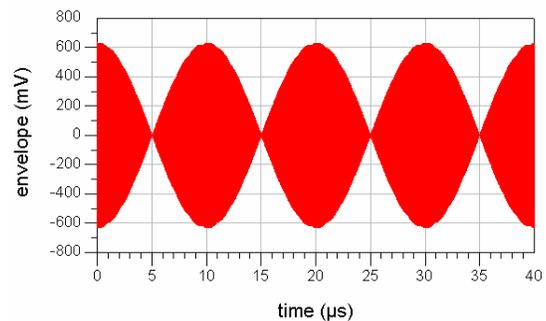
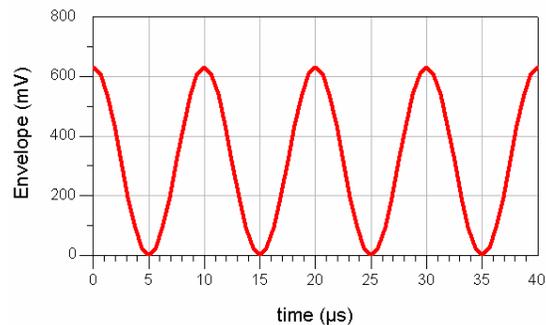


Figure 71 a) Simulation Enveloppe d'un signal de 2 tons de 2.08 GHz espacés de 100 KHz b) Simulation du même signal en Temporel

2.3.1 Principe Théorique

Le principe de base de la simulation d'enveloppe consiste à dissocier les techniques d'analyse utilisées pour les fréquences porteuses et les signaux modulateurs. De façon générale, tout signal modulé peut s'écrire sous la forme suivante :

$$V(t) = \Re \left(\sum_{k=0}^N V_k(t) e^{j\omega_k t} \right)$$

Où $V_k(t)$ est la grandeur complexe, que l'on décompose en deux termes en quadrature :

$$V_k(t) = V_{ik}(t) + jV_{qk}(t)$$

Avec $V_{ik}(t)$ et $V_{qk}(t)$ deux signaux temporels réels.

La principale limitation de l'équilibrage harmonique est que le terme $V_k(t)$ est une constante et ne possède plus aucune dépendance temporelle. L'expression du signal modulé $v(t)$ met clairement en évidence la forme temporelle de l'enveloppe de chacune des porteuses élémentaires. L'information, qui est un signal bande étroite, sera ainsi traitée dans le domaine temporel. Les fréquences porteuses seront traitées avec une méthode d'équilibrage harmonique dans le domaine fréquentiel.

Pour illustrer ce principe, considérons le cas d'une simple capacité. La relation différentielle entre le courant traversant la capacité et la tension à ses bornes s'écrit :

$$i(t) = C \frac{dv(t)}{dt}$$

Appliquons aux bornes de cette capacité un signal d'excitation complexe $v(t)$ comme montrée dans l'équation ci dessus et le courant s'écrit alors sous la forme :

$$i(t) = C \sum_{k=0}^n \left[\frac{dV_k(t)}{dt} + j\omega_k V_k(t) \right] e^{j\omega_k t} = \sum_{k=0}^N I_k(t) e^{j\omega_k t}$$

Ce qui fait clairement apparaître que chaque terme $I_k(t)$ est composé d'un terme en régime établi analysé dans le domaine fréquentiel ($j\omega_k V_k(t)$) et d'un terme transitoire analysé dans le domaine temporel: $\frac{dV_k(t)}{dt}$.

Le résultat de l'analyse est un spectre composé des fréquences élémentaires d'analyse dont l'amplitude et la phase varient au cours du temps.

Deux types d'interprétations sont alors possibles :

On peut connaître à un instant t_0 l'amplitude et la phase de chaque composante du spectre. On peut également, pour une fréquence f_0 fixée, connaître la variation temporelle de l'amplitude et de la phase et, par transformation de Fourier, obtenir l'occupation spectrale autour de f_0 .

2.3.2 Dimensionnement de l'analyse

L'analyse d'enveloppe étant une simulation mixte temps/fréquence, les paramètres devront préciser :

- L'instant de début (t_{debut}) et l'instant de fin (t_{fin}) d'analyse, ainsi que l'incrément de temps Dt pour ce qui concerne l'analyse temporelle. Le fait que Dt soit choisi pour échantillonner le signal modulant plutôt que la porteuse permet de gagner plusieurs ordres de grandeurs (en termes de temps de calcul) par rapport à une simulation de type Spice.
- Les fréquences porteuses, ainsi que le nombre d'harmoniques pour chacune d'entre-elles pour ce qui concerne l'analyse fréquentielle.

L'impact de ces paramètres sur les résultats de simulation est le suivant :

La bande de fréquence d'analyse B autour de chaque fréquence porteuse élémentaire est fixée par

le pas temporel de la simulation Dt . Elle vaut $B = \pm \frac{1}{2Dt}$.

L'écart entre deux points d'analyse en fréquence R de la densité spectrale autour de f_0 est inversement proportionnel à la longueur temporelle du signal d'excitation. On a :

$$R = \frac{1}{t_{fin} - t_{debut}} .$$

2.3.3 Résultats

Les résultats fournis par l'analyse d'enveloppe sont, de façon générale, la réponse du circuit ou du système à l'excitation, avec ceci de particulier que l'on dispose d'informations à la fois dans le domaine du temps et de la fréquence :

- Dans le domaine du temps, on peut tracer des signaux transitoires ou des signaux en bande de base permettant des mesures simples de taux d'erreur.
- Dans le domaine de la fréquence, on observe essentiellement des spectres, sur lesquels on peut faire des mesures de puissance intégrée, permettant d'obtenir par exemple les niveaux de réjection des canaux adjacents.

Comment seront utilisés ces modes de simulation dans notre cas ?

A chaque type de paramètre électrique que l'on souhaite simuler, un type de simulation est associé. La plupart des caractéristiques sont obtenues par simulation du régime établi en Equilibrage Harmonique (1 ou 2 porteuses) c'est le cas pour la simulation de la puissance, du gain, des produits d'intermodulations ... ces caractéristiques étant définies pour des signaux périodiques à enveloppe constante. Mais dans le cas de signaux complexes (modulation WCDMA, EGDE ...) les signaux ne sont plus périodiques et leur enveloppe est discontinue d'où l'intérêt de la simulation d'enveloppe. Dans notre cas spécifique nous utiliserons la simulation enveloppe pour prédire le comportement d'un transistor soumis à des excitations en forme de pulse de puissance, nous pourrons ainsi apprécier les effets de la thermique dynamique.

3 Mesure de l'adaptation d'entrée (Input Return Loss)

Le banc de mesures Load Pull-Source Pull de *Freescale-Toulouse* utilise la méthode des Wattmètres pour effectuer la mesure d'IRL. Cela consiste à prélever les puissances incidentes et réfléchies sur l'accès d'entrée du transistor.

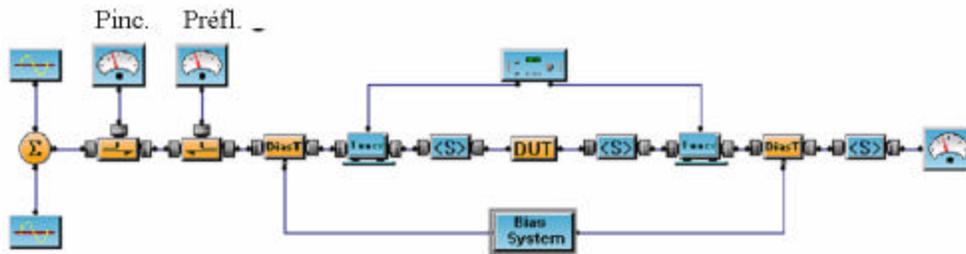


Figure 72 Topologie usuelle du banc de mesure

L'IRL est alors déduit avec la relation suivante : $IRL = \frac{Pr\ \acute{e}fl.}{Pinc.}$ soit en dB :

$$IRL_{dB} = 10 \log \left(\frac{Pr\ \acute{e}fl.}{Pinc.} \right).$$

Le principe du SourcePull passif est de présenter des impédances (à travers un Tuner) au transistor et de relever les puissances incidentes et réfléchies avec un coupleur bidirectionnel. Lorsque nous avons un IRL faible (proche de 0 ou qui tend vers $-\infty$ en dB) cela signifie que la puissance réfléchie est quasi-inexistante, la charge présentée à l'entrée du transistor correspond au conjugué de son impédance.

Cette méthode présente deux inconvénients majeurs liés à la précision de la mesure et qui sont :

- La directivité du coupleur.
- La sensibilité des sondes de puissance des wattmètres.

3.1 La directivité du coupleur.

Un coupleur bidirectionnel se caractérise avec 4 paramètres : Isolation, Couplage Directivité, Transmission.

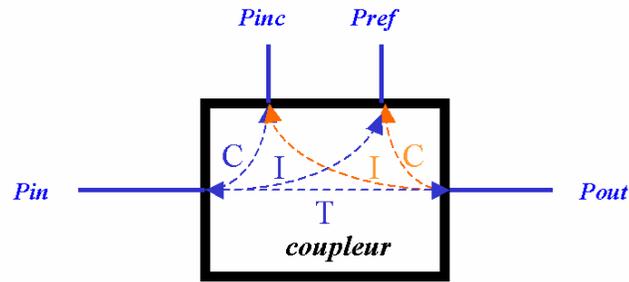


Figure 73 Coupleur bidirectionnel

$$\text{Isolation} : I = \frac{Pr_{ef}}{P_{in}}$$

$$\text{Transmission} : T = \frac{P_{out}}{P_{in}}$$

$$\text{Couplage} : C = \frac{P_{inc}}{P_{in}}$$

$$\text{Directivité}_{dB} : D = \text{Isolation}_{dB} - \text{Couplage}_{dB}$$

$$\text{Directivité} : D = \frac{Pr_{ef}/P_{in}}{P_{inc}/P_{in}} = \frac{Pr_{ef}}{P_{inc}} \Big|_{P_{in}}$$

A noter que pour un coupleur bi-directionnel, les termes de couplage, isolation directivité sont réciproques pour la voie de sortie Pout.

La directivité est donc le paramètre qui quantifie l'influence de la voie de la puissance incidente sur la voie de la puissance réfléchi lorsque le coupleur est alimenté par Pin et chargé sur 50 Ohms pour la puissance de sortie Pout. (Quand toute la puissance de sortie est absorbé par la charge, Prefl est théoriquement nul). Plus faible sera ce paramètre, moins la mesure de la puissance réfléchi sera entachée d'incertitude.

Pour mettre en lumière l'influence réelle de la directivité du coupleur sur la mesure d'IRL, nous proposons d'effectuer l'expérience suivante :

Dans le simulateur de circuit ADS, on simule un coupleur bidirectionnel parfait dont l'on va faire varier la directivité et l'on regarde les conséquences sur la mesure de l'IRL.

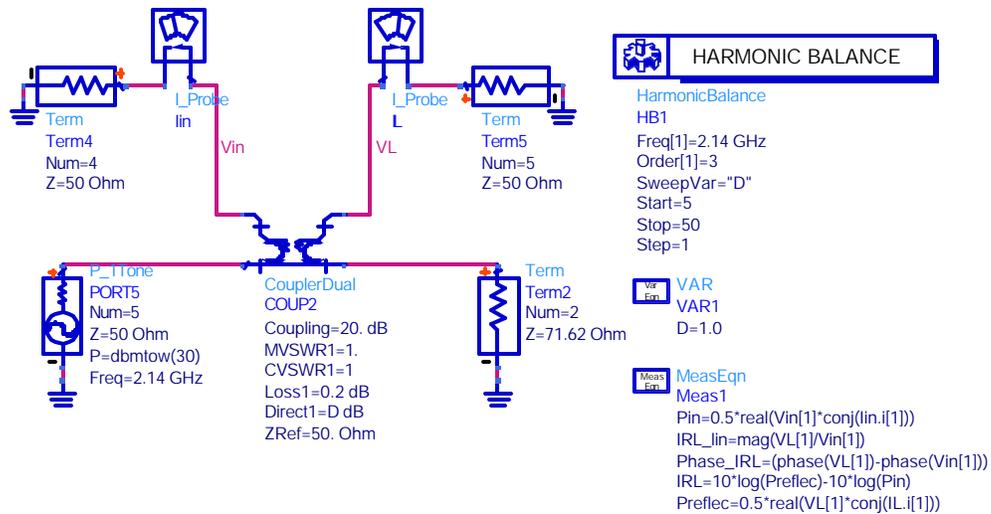


Figure 74 Evaluation de la directivité d'un coupleur bidirectionnel

Différentes charges de sortie permettent d'imposer un IRL (-5, -10, -15, -20, -25 dB). Pour chacune de ces valeurs, on fait varier la directivité du coupleur de 5 à 50 dB, et l'on apprécie ainsi l'influence de cette directivité sur l'incertitude sur l'amplitude et la phase de l'IRL simulé.

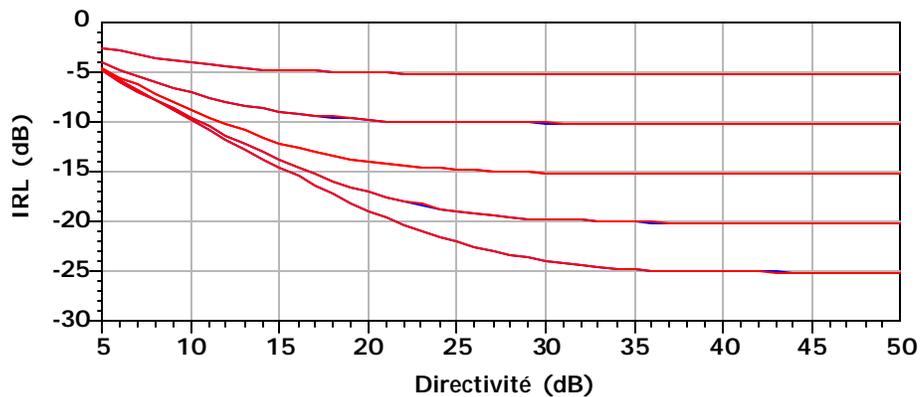


Figure 75 Amplitude de l'IRL (dB) en fonction de la directivité du coupleur pour différentes adaptations

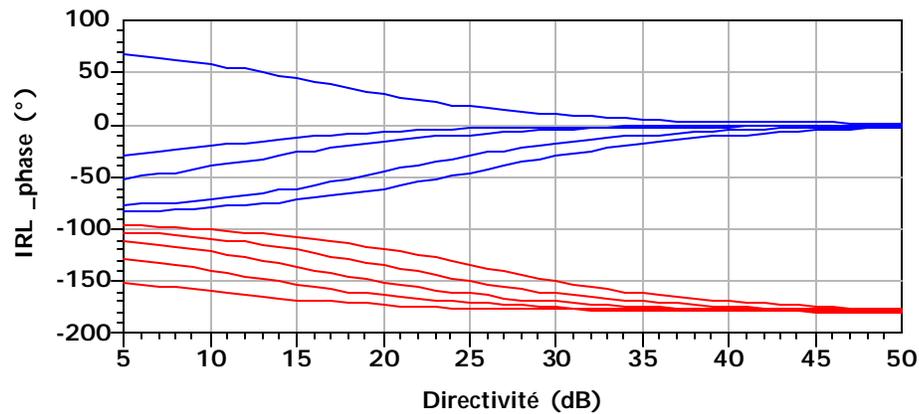


Figure 76 Phase de l'IRL (°) en fonction de la directivité du coupleur pour différentes adaptations

On observe ainsi que pour mesurer un IRL de -5 dB, un coupleur avec une directivité de 15 dB est nécessaire et suffisant pour l'amplitude mais la phase elle demande une directivité beaucoup plus conséquente (40 dB au minimum) pour avoir une incertitude inférieure à quelques degrés.

Plus on cherche à mesurer un IRL faible, plus la directivité du coupleur doit être importante, ainsi un IRL de -25 dB nécessite une directivité proche de 40 dB alors que pour la phase on devra avoir une directivité proche de 50 dB. Cependant il est à noter que dans l'application que nous faisons du coupleur, seule l'amplitude de l'IRL nous est nécessaire, le but étant de constater l'adaptation de l'impédance d'entrée et non la mesure de celle-ci, la phase n'est donc pas nécessaire dans l'absolu. Au final on peut estimer que pour mesurer un IRL de l'ordre de -25 -30 dB avec une incertitude moindre il nous est nécessaire d'avoir un coupleur avec une directivité au minimum de 40 dB.

Le banc de mesure LoadPull-Source Pull de Freescale Toulouse utilise deux coupleurs *Narda* 3042-B (coupleur unidirectionnel) en série pour mesurer les puissances incidentes et réfléchies. Ce coupleur a une directivité de 20 dB sur la bande $0.92 - 2.2$ GHz.

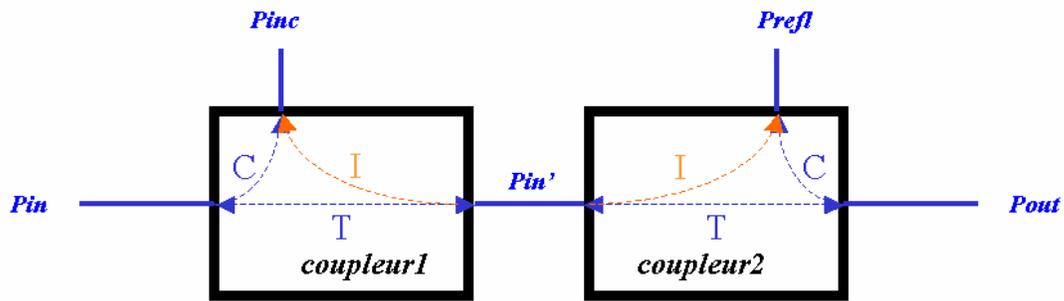


Figure 77 Coupleur bidirectionnel conçu avec deux coupleurs unidirectionnel

Dont la directivité équivaut à :

$$Directivité : D = \frac{Pref / (Pin.T)}{Pinc / Pin} = \frac{Pref}{T.Pinc} \Big|_{Pin}$$

Ou encore en dB :

$$Directivité_{dB} : D = Isolation_{dB} - Transmission_{dB} - Couplage_{dB}$$

Un coupleur bidirectionnel dont la directivité est de l'ordre de 40dB a un coût totalement prohibitif (plusieurs milliers d'euro) on se propose alors de concevoir un coupleur qui aura nos propres spécifications.

La topologie choisie est le « Rat-Race », avec une circonférence totale de 1.5 fois la longueur d'onde. Son principe de fonctionnement est relativement simple, si l'on considère deux ondes aux accès Pin et Pout, ces deux ondes seront en parfaite opposition de phase aux accès Pinc et Prefl; ceci a pour conséquence que Pin et Pout sont respectivement couplées avec Pinc et Prefl et respectivement isolées de Prefl et Pinc.

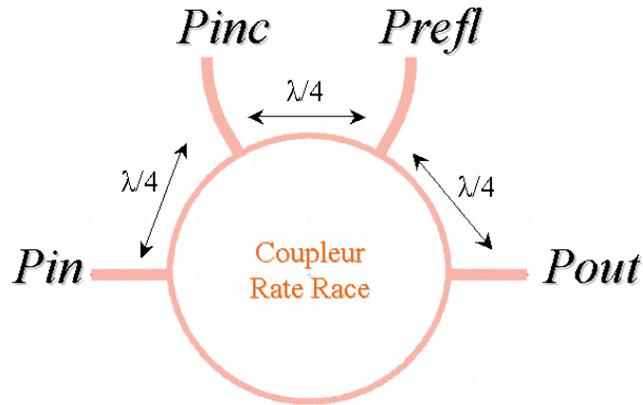


Figure 78 Coupleur bidirectionnel "RatRace"

L'inconvénient majeur de cette topologie est sa bande passante étroite, on a ainsi les caractéristiques suivantes à 2.08 GHz.

Transmission: 3 dB

Couplage: 3 dB

Directivité: 41 dB

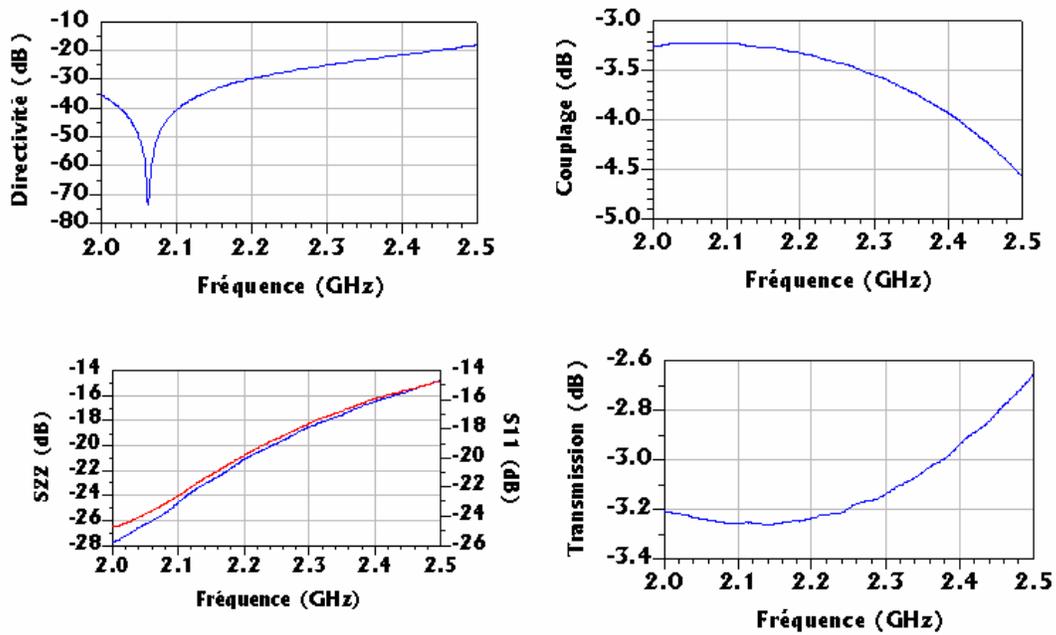


Figure 79 Mesures des caractéristiques du coupleur Rat-Race

Ce coupleur à haute directivité nous assure la possibilité d'effectuer des mesures avec une incertitude minimale pour des IRL pouvant aller jusqu'à $-25 - 30$ dB.

3.2 Incertitude de mesure due aux sondes

Pour illustrer notre propos nous avons confronté la méthode courante de wattmètres avec les résultats donnés par un analyseur de réseau vectoriel. Le principe de notre expérience est de mesurer des charges quelconques ayant théoriquement un IRL compris entre -4 dB et -40 dB référencé à 50 Ohms.

Ces charges ont théoriquement un IRL de : $IRL_{théorique} = \frac{Z_L - Z_C}{Z_L + Z_C}$ Z_C étant l'impédance caractéristique de référence soit 50 Ohms et Z_L l'impédance à mesurer.

Ensuite on effectue la mesure du paramètre S11 de ces charges avec un calibrage SOLT dans le plan du connecteur de la charge.

Et pour finir ces mêmes charges sont mesurées à nouveau avec la technique des wattmètres. Les charges sont connectées une à une à la sortie du coupleur (Figure 80), et on relève les puissances incidentes et réfléchies sur une plage de puissance d'entrée. Pour chacune de ces puissances d'entrée on calcule l'IRL.

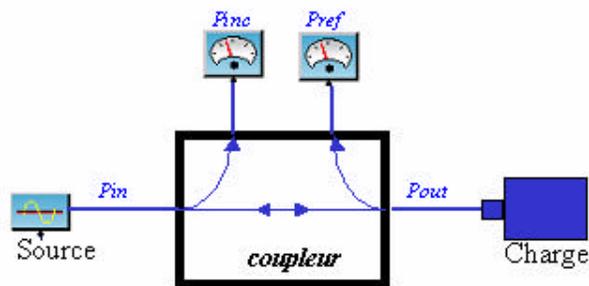


Figure 80 Expérience avec les wattmètres et le coupleur

note : on utilise le coupleur « rat-race » à haute directivité pour soustraire l'erreur engendrée par le coupleur et observer uniquement le problème dû aux sondes.

La première charge évaluée est une résistance de 220 Ohms, son IRL théorique est de -4.02 dB. La mesure avec le VNA HP8510 nous donne un IRL de -3.68 dB. Cette première divergence est tout simplement due à l'imprécision de la valeur de la résistance. Nous prendrons donc comme référence la mesure du VNA soit un $IRL = -3.68$ dB.

La valeur de l'IRL est globalement stable sur la plage de puissance évaluée, et l'on peut évaluer l'erreur de mesure à 5% par rapport à notre IRL de référence.

Concrètement quelle est l'erreur sur l'impédance mesurée :

$$IRL = \frac{Z_L - Z_C}{Z_L + Z_C} \text{ En linéaire, d'où } Z_L = \frac{Z_C + IRL \cdot Z_C}{1 - IRL}$$

Si l'on considère la mesure avec le VNA, on a une impédance réelle à mesurer $Z_L = 235.7$ Ohms.

Si l'on considère maintenant la mesure à partir de la méthode des wattmètres, on a une impédance mesurée $Z_L = 210.4$ Ohms.

Charge = 220 ohms

$IRL_{\text{théorie}} = -4$ dB

$IRL_{\text{VNA}} = -3.68$ dB valeur $Z_{L\text{réelle}} = 235.7$ Ohms

$IRL_{\text{wattmètres}} = -4.2$ dB valeur $Z_{L\text{wattmètres}} = 210.4$ Ohms.

L'incertitude de mesure sur l'IRL est de 5%

L'incertitude de mesure sur l'impédance est de 10 %.

L'incertitude de mesure réelle si l'on prend la mesure VNA en référence est d'environ 10 % et donc loin d'être négligeable.

La table ci-après résume l'ensemble des tests effectués avec différentes charges. Une première remarque concerne la stabilité de l'IRL sur la plage de puissance excursionnée. Lorsque l'on monte trop haut en puissance la valeur d'IRL diverge largement, la valeur de l'impédance déduite en est grandement affectée. Cette remarque est d'autant plus accentuée lorsque l'on cherche à caractériser des impédances proches de 50 Ohms avec donc un IRL faible.

Impédance / IRL VNA		235,7 Ohms / -3,68 dB		103,5 Ohms / -9,15 dB		71,5 Ohms / -15,02 dB	
PIN dBm	IRL dB	ZL Ohms	IRL dB	ZL Ohms	IRL dB	ZL Ohms	
0	-4,19	211,3048936	-9,68	98,83062877	-16,04	68,73116191	
2	-4,2	210,8208043	-9,67	98,91439418	-16,05	68,70557773	
4	-4,2	210,8208043	-9,68	98,83062877	-16,04	68,73116191	
6	-4,19	211,3048936	-9,67	98,91439418	-16	68,83390465	
8	-4,19	211,3048936	-9,64	99,1668388	-16,02	68,78245192	
10	-4,23	209,3825353	-9,7	98,66366857	-16	68,83390465	
12	-4,23	209,3825353	-9,7	98,66366857	-16	68,83390465	
14	-4,2	210,8208043	-9,66	98,99835059	-15,87	69,17235814	
16	-4,19	211,3048936	-9,56	99,84855255	-15,37	70,54175301	
18	-4,11	215,2640546	-9,21	102,984237	-14,32	73,80975077	
variation max (ohm)	0,083	4,092943349	0,407	3,602700829	1,451	4,312157832	
moyenne (ohm)	-4,193	211,1711113	-9,617	99,3815362	-15,771	69,49759293	
variation %	-1,97948963	1,938211777	-4,23208901	3,625120889	-9,20043117	6,204758539	

Impédance / IRL VNA		61,5 Ohms / -19,7 dB		51,03 Ohms / -39,8 dB		50,88 Ohms / -41,15 dB	
PIN dBm	IRL dB	ZL Ohms	IRL dB	ZL Ohms	IRL dB	ZL Ohms	
0	-19,81	61,38481529	-23,86	56,85141506	-27,71	54,29294095	
2	-19,75	61,4727849	-23,88	56,83458026	-27,65	54,32398489	
4	-19,84	61,34110953	-23,74	56,95335517	-27,24	54,54247753	
6	-19,77	61,4433787	-23,78	56,91919687	-27,1	54,61969662	
8	-19,74	61,48751924	-23,74	56,95335517	-27,09	54,62526445	
10	-19,79	61,41405559	-23,7	56,98769311	-26,96	54,69828738	
12	-19,6	61,69600785	-23,4	57,25106169	-26,3	55,08807417	
14	-19,32	62,12564829	-22,42	58,18802567	-24,55	56,2952635	
16	-18,17	64,08395278	-20	61,11111111	-20,97	59,82173719	
18	-16,41	67,81088108	-17,11	66,20828619	-17,61	65,16411923	
variation max (ohm)	2,81	5,384865757	5,453	7,782478157	7,708	8,816934639	
moyenne (ohm)	-19,22	62,42601532	-22,563	58,42580803	-25,318	56,34718459	
variation %	-14,6201873	8,625996276	-24,1678855	13,32027475	-30,4447429	15,64751585	

Figure 81 Comparaison de l'IRL mesuré avec un VNA et la méthode des wattmètres

Les sondes de puissance des wattmètres sont prévues pour être utilisées sur une plage de puissance donnée qui leur assure une précision donnée sur l'incertitude de la mesure.

La sonde pour mesurer la puissance réfléchie a les caractéristiques suivantes :

- Sonde HP 8481D haute sensibilité : 100 pW – 10 µW (-70 dBm - -20dBm)
- Zone linéaire : -30 dBm - -20 dBm (+/- 1%)
- Bande de fréquence : 10 MHz – 18 GHz.

La sonde pour mesurer la puissance incidente a les caractéristiques suivantes :

- Sonde HP 8485A haute sensibilité : 1µW – 100 mW (-30 dBm - +20dBm)
- Zone linéaire : +10 dBm - +20 dBm (+/- 3%)

- Bande de fréquence : 10 MHz – 18 GHz.

Pour les deux sondes les plages linéaires n'excèdent pas 10 dB, cela peut sembler limite si l'on souhaite faire des mesures sur une plage importante (~20dB). Pour la sonde d'entrée, quelle que soit l'adaptation, son excursion en puissance ne dépendra que de la plage de la puissance d'entrée. Aussi si l'on considère une plage de puissance d'entrée 0-20 dBm (usuel), la sonde aura d'ores et déjà un fonctionnement en partie en dehors de sa zone linéaire. Concernant maintenant la sonde associée à la puissance réfléchie deux cas se présentent :

- On est désadapté avec un IRL de -10 dB.

$P_{in} = 0 \text{ dBm}$, $P_{refl} = 0 - 3 \text{ (transmission coupleur)} - |IRL| - 3 \text{ (couplage)} = 0 - 3 - 10 - 3 = -16 \text{ dBm}$.

$P_{in} = 20 \text{ dBm}$, $P_{refl} = 20 - 3 - 10 - 3 = +4 \text{ dBm}$

- On est adapté avec un IRL de -30 dB:

$P_{in} = 0 \text{ dBm}$, $P_{refl} = 0 - 3 - 30 - 3 = -36 \text{ dBm}$.

$P_{in} = 20 \text{ dBm}$, $P_{refl} = 20 - 3 - 30 - 3 = -16 \text{ dBm}$

Pour être fonctionnelle, la sonde associée à la mesure de la puissance réfléchie devrait couvrir la zone -36 dBm - +4 dBm soit avoir une dynamique linéaire de 40 dBm. Il va de soit que la plage de la sonde 8481D est très inférieure à celle qu'il serait nécessaire d'avoir, on sort allégrement de la zone de précision, l'incertitude de mesure n'en sera que plus importante.

3.3 Mesure avec un Analyseur de Réseau Vectoriel

Utiliser un coupleur bidirectionnel avec une haute directivité ne suffit pas pour réaliser des mesures suffisamment précises, les incertitudes de mesures engendrées par les sondes des wattmètres étant suffisamment conséquentes pour fausser les résultats. Ceci nous amène à reconsidérer la méthode de mesure. L'équipe de modélisation de - *Freescall* (Arizona-US) a mis au point une nouvelle technique qui repose sur l'utilisation d'un analyseur de réseau vectoriel (VNA). Ce VNA permet directement la mesure de l'impédance d'entrée du transistor et l'on en déduit ainsi l'IRL.

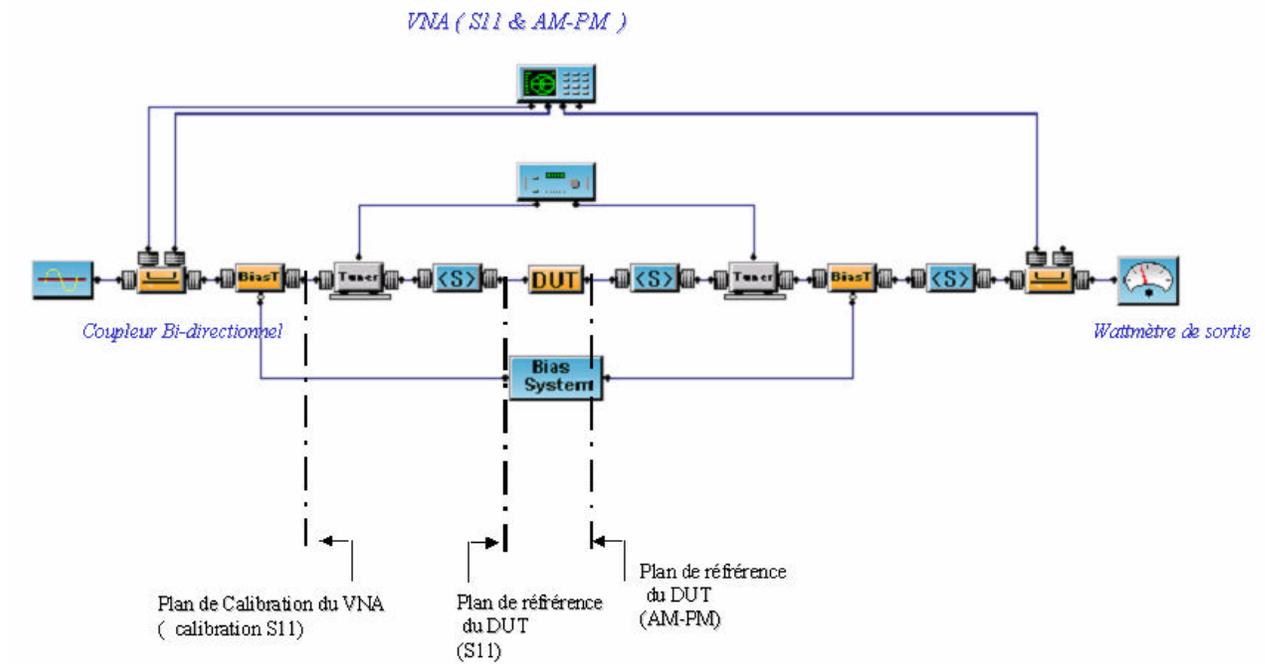


Figure 82 Nouvelle topologie du banc de mesure Loadpull / sourcepull pour la mesure de l'IRL

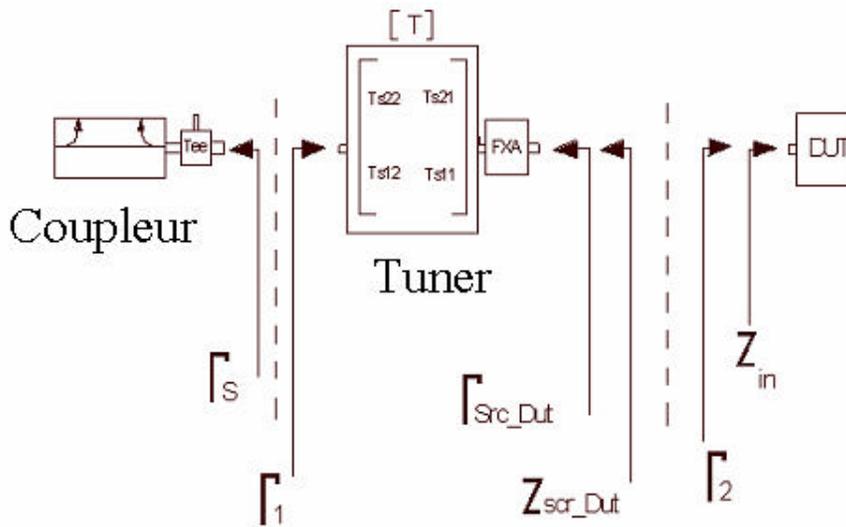


Figure 83 Impédances ramenées dans le plan du transistor

L'analyseur de réseau vectoriel effectue une mesure en réflexion dans le plan situé entre le coupleur et le tuner d'entrée. La quantité mesurée est ensuite ramenée dans le plan du DUT en utilisant les relations ci-après :

$$\Gamma_2 = \frac{\Gamma_1 - T_{S22}}{T_{S12} \cdot T_{S21} + T_{S11}(\Gamma_1 - T_{S22})}$$

$$\Gamma_{Scr_Dut} = \frac{T_{S11} + T_{S21} \cdot T_{S12} \cdot \Gamma_S}{1 - T_{S22} \cdot \Gamma_S}$$

$$Z_{Scr_Dut} = Z_0 \frac{1 + \Gamma_{Scr_Dut}}{1 - \Gamma_{Scr_Dut}}$$

Où Z_0 est l'impédance caractéristique en ohms (50 ohms).

$$Z_{in} = Z_0 \frac{1 + \Gamma_2}{1 - \Gamma_2}$$

On obtient directement l'impédance d'entrée du transistor, cela a l'avantage de nous permettre de converger rapidement vers la bonne impédance d'entrée à présenter au transistor sans avoir à la chercher par tâtonnement.

On en déduit ensuite la valeur de l'IRL :

$$IRL_NWA_dB = 20 \log_{10} \left| \frac{Z_{in} - Z_{Scr_Dut}}{Z_{in} + Z_{Scr_Dut}} \right|$$

L'utilisation du VNA nous permet de déterminer précisément la valeur de l'IRL et ce grâce à un calibrage en réflexion, on hérite ainsi de la grande précision des VNA. La mesure effectuant l'ensemble des modifications de la mesure d'IRL (VNA + soustraction des S du tuner) est intégrée dans le logiciel de contrôle du loadpull sous forme d'un driver. De plus, l'adjonction d'un VNA nous permet de compléter la palette des mesures réalisables. L'AM-PM qui n'était jusqu'à maintenant pas possible de relever est maintenant mesurable.

Pour cela, en plus du calibrage en réflexion pour l'IRL on effectue un calibrage en transmission dans le plan de sortie du DUT.

4 Limitations de la technique de mesures sous pointes

La réalisation des mesures à l'aide de pointes RF nous permet d'accéder directement au plan d'accès du DUT. Les pointes de mesure RF sont reliées aux tuners par des câbles. Cette méthode demande également de connaître les [S] des pointes et des câbles afin de déterminer les impédances présentées au DUT dans ses plans d'accès.



Figure 84 Photo du banc de mesures avec la table de test sous pointes

Etant impossible de caractériser directement l'ensemble câbles + pointes RF, nous utilisons la méthode des 2 calibrages SOLT .

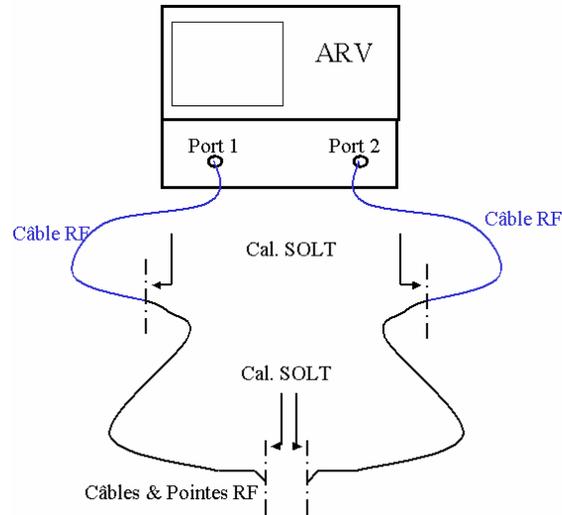


Figure 85 Caractérisation des câbles et pointes RF

Cette méthode consiste à effectuer un premier calibrage SOLT dans le plan des connecteurs des câbles de l'Analyseur de Réseau Vectoriel, puis un second calibrage SOLT dans le plan des pointes RF avec un kit sur substrat alumine. Les deux registres de calibrage sont alors traités par une routine du logiciel de *Maury Microwave* pour en extraire les paramètres S de l'ensemble câbles et pointes RF que nous utiliserons pour connecter les tuners du banc load/source pull avec la table de test. Ces caractéristiques connues, le logiciel de gestion du banc les prend en compte pour rectifier les valeurs des impédances présentées dans le plan des pointes

Cependant les câbles étant d'une certaine longueur ils induisent de légères pertes. Cela a pour conséquence d'augmenter l'impédance minimale que peut présenter le système. La Figure 86 présente la transformation d'impédance de cet ensemble câbles&pointes, on constate ainsi que pour des impédances faibles (Figure 86 marker m1) le coefficient de réflexion disponible ne pourra excéder 0.8 en amplitude, et 0.83 pour une impédance très élevée (Figure 86 marker 3).

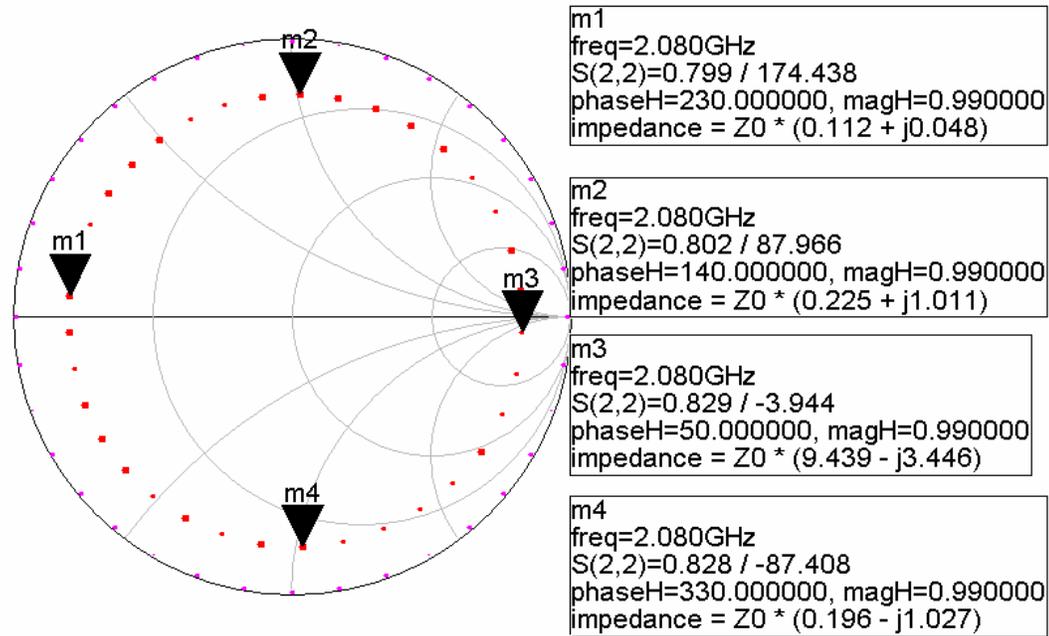


Figure 86 Influence des câbles & probes sur les impédances présentées par les Tuners

A ceci il faut ajouter les pertes des tuners passifs du banc, pour le tuner d'entrée, pour de faibles impédances l'amplitude du coefficient de réflexion passe de 0.92 (valeur présentée par le tuner) à 0.76 en ajoutant les câbles et pointes, de même pour une impédance élevée, l'amplitude passe de 0.927 à 0.825.

magdB/ Phase	S11		S21		S12		S22	
entrée	-28,700	-27,169	-0,857	152,600	-0,857	152,600	-38,270	175,040
sortie	-30,000	-34,900	-0,762	-30,380	-0,762	-30,380	-40,000	-46,300

Figure 87 Caractéristiques de l'ensemble Câble & Pointes en entrée et sortie

Si l'on considère deux quadripôles en cascade matérialisant l'ensemble Tuners [S_A] + câbles & probes [S_B], le coefficient de réflexion du quadripôle équivalent S_{C22} équivaut à :

$$S_{C22} = \frac{-S_{a22}S_{a21}S_{b12}S_{b11}S_{b22} + S_{a22}S_{a21}S_{b12}^2S_{b21} + S_{b22}S_{a12}S_{b21}}{S_{b12}(-S_{a22}S_{b11}S_{a21} + S_{a12})}$$

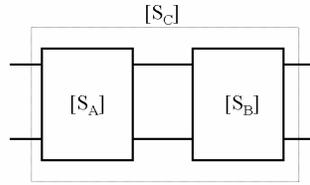


Figure 88 Tuner et ensemble Câble & pointe en cascade

On voit ainsi l'influence des pertes induites par l'ensemble câble+probe sur le coefficient de réflexion final.

Si l'on pose comme hypothèse que le tuner est idéal et qu'il présente comme impédance un court circuit, on a alors :

$$S_{c22} = \frac{-S_{b12}S_{b11}S_{b22} + S_{b12}^2 S_{b21} + S_{b22}S_{b21}}{S_{b12}(-S_{a22}S_{b11}S_{a21} + S_{a12})}$$

Et maintenant si l'on considère que l'ensemble câble + pointe a une impédance parfaitement référencée à 50 Ohms ($|S_{b11}|=|S_{b22}|=0$) :

$$S_{c22} = S_{b12}^2$$

La conclusion de ces hypothèses est que dans le cas où le tuner présente une très faible impédance (proche du court circuit), le coefficient de réflexion dans le plan du transistor est approximativement S_{b12}^2 .

On voit ainsi que les pertes engendrées par les câbles ont un impact significatif sur les performances du banc de mesures loadpull / sourcepull.

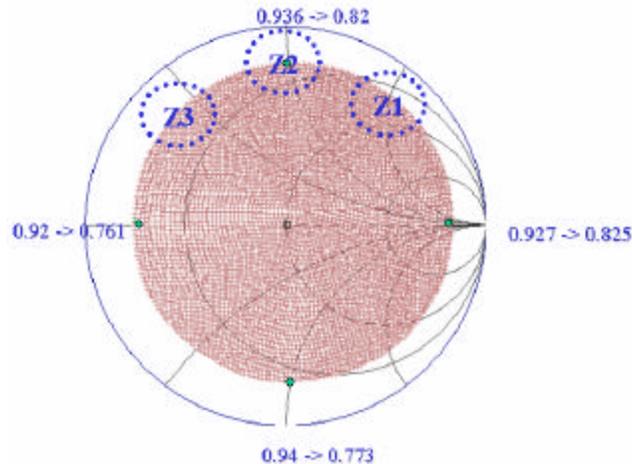


Figure 89 Impédances disponibles dans le plan d'accès du transistor

Les transistors LDMOS ayant des impédances d'entrée/sortie de faibles valeurs, il nous sera donc impossible d'atteindre l'impédance optimale et de centrer les contours. Sur la Figure 89, Z_1 Z_2 et Z_3 sont les zones d'impédances de sortie optimales pour des transistors de respectivement 2.4 4.8 et 9.6 mm. Ceci étant, ce n'est pas dramatique, nous rappelons encore une fois que le but de notre travail ici est d'effectuer une validation et non de déterminer les optimums, les comparaisons mesures/ modèles se feront sur des valeurs de charges proches de l'optimum.

5 Résultats de la comparaison Mesures / Modèle avec un signal mono porteuse

Les études préliminaires nous donnent une bonne connaissance des limites pour les mesures et les simulations. Nous ne pouvons certes tout maîtriser mais la connaissance des caractéristiques, des particularités du banc de mesure load pull nous évite de tomber dans le piège « nous ne simulons pas ce que nous avons mesuré ». Le banc de load pull sous ADS doit présenter les mêmes impédances aux accès du transistor qu'en réalité, les puissances et autres quantités électriques doivent être les mêmes (valeur moyenne, efficace, crête ...).

5.1 Quelques remarques concernant la mesure monoporteuse

Des fréquences harmoniques apparaissent dans un amplificateur lorsque le signal de sortie (simple ou complexe) est distordu, il peut soit être distordu par les limitations intrinsèques du transistor, soit par la variation des impédances en fonction des fréquences.

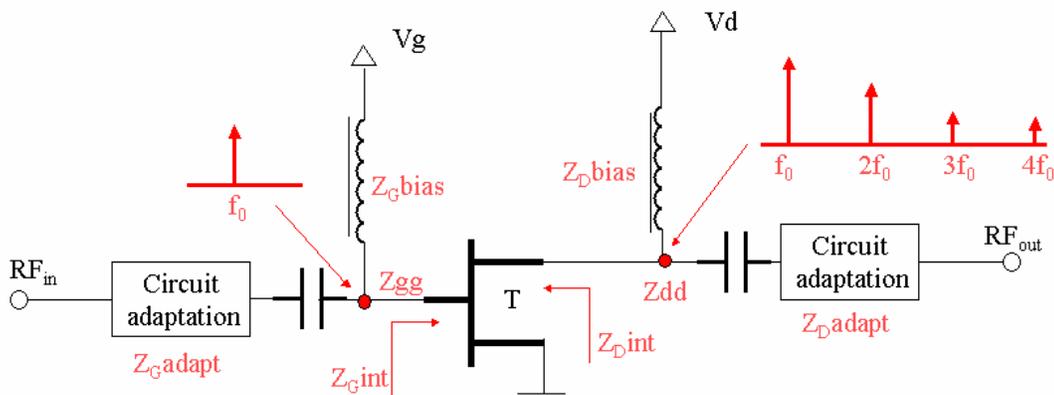


Figure 90 Distorsion avec un signal mono porteuse

La Figure 90 présente la topologie d'un transistor avec ses circuits d'adaptation aux accès ainsi que les circuits de polarisation. L'application d'un signal modulé de forte puissance sur la grille du transistor permet de générer un signal de sortie distordu dont le spectre fréquentiel sera

plus étalé. Ceci est en fait une distorsion du signal d'entrée à travers le transistor mais pas seulement, les circuits d'adaptation et de polarisation ont aussi leurs effets.

Pour s'en convaincre il suffit de déterminer les impédances équivalentes dans le plan des accès du transistor.

L'impédance d'entrée Z_{gg} est de fait dépendante de l'impédance du réseau d'adaptation Z_{Gadapt} , de l'impédance du circuit de polarisation Z_{Gbias} , et de l'impédance d'entrée du transistor Z_{Gint} . Les deux premières impédances (Z_{Gadapt} , Z_{Gbias}) étant constituées d'éléments passifs, leur valeur est indépendante du niveau de polarisation et du niveau d'excitation RF, ce qui n'est pas le cas de l'impédance d'entrée du transistor qui varie dynamiquement avec l'excitation RF autour d'une valeur imposée par le point de polarisation.

$$Z_{gg} = Z_{Gadapt} \parallel Z_{Gbias} \parallel Z_{Gint}$$

Il en est de même pour la sortie du transistor où :

$$Z_{dd} = Z_{Dadapt} \parallel Z_{Dbias} \parallel Z_{Dint}$$

Il est admis que la distorsion d'un signal à travers une cellule amplificatrice est le seul fait du transistor, que ce soit en raison des limites physiques de la technologie ou tout simplement des non linéarités intrinsèques. Une non linéarité étant un élément localisé (capacité, source de courant ...) dont ses caractéristiques évoluent avec les tensions qui lui sont appliquées et donc de la puissance d'excitation appliquée au transistor.

Ces non linéarités sont au nombre de 4 :

La source de courant I_{ds}

La capacité Grille Source : C_{gs}

La capacité Grille Drain : C_{gd}

La capacité Drain Source : C_{ds}

Elles n'ont pas toutes la même influence, il est ainsi clairement établi que la source de courant I_{ds} est la principale source de distorsion, les autres linéarités ont un impact relativement limité.

5.2 Impédances aux fréquences harmoniques

Le banc de mesures loadpull / sourcepull possède des tuners d'adaptation en entrée / sortie dont les performances sont spécifiées dans une bande de fréquence limitée. On connaît très précisément les paramètres S de ces tuners aux fréquences fondamentales des différentes bandes de télécommunication (GSM, UMTS) mais pour ce qui est des paramètres S aux fréquences harmoniques, ils ne sont pas caractérisés. Ceci sous-entend que l'on ne connaît pas les impédances présentées aux transistors aux fréquences $2f_0$ & $3f_0$. Ces impédances aux fréquences harmoniques ont d'autant plus d'importance que l'on approche du régime de saturation en puissance du transistor.

Cependant il est également important de rappeler notre but de mesure qui est la validation d'un modèle, on ne souhaite pas faire d'optimisation de fonctionnement du transistor mais seulement le mettre dans un régime de fonctionnement proche de l'optimum mais également éloigné pour vérifier si le modèle suit ce comportement. En résumé, les impédances aux harmoniques ne sont pas contrôlées et contrôlable mais on les mesurera pour les impédances intéressantes.

On peut faire quelques remarques sur les impédances aux fréquences harmoniques :

Les impédances qui nous sont d'intérêt ont des coefficients de réflexion compris entre 0.7 et 0.9 en amplitude. Le tableau ci-après compile quelques impédances mesurées aux fréquences harmoniques.

F0		2.F0		3.F0	
G	∠G°	G	∠G°	G	∠G°
0,012	0,29	0,515	90	0,22	135
0,76	7,9	0,88	136	0,307	73,3
0,887	10,21	0,922	155	0,46	61,7
0,73	15,7	0,855	140	0,281	89
0,8	2	0,893	127	0,309	57

Figure 91 Exemple de quelques charges aux harmoniques sur le tuner d'entrée

F0		2.F0		3.F0	
G	∠G°	G	∠G°	G	∠G°
0,718	131	0,914	161,7	0,289	-105
0,73	140,7	0,93	-175	0,39	-81,8
0,617	129	0,82	139	0,36	-96
0,737	120,6	0,925	143	0,315	-142,3
0,58	118	0,77	115	0,126	-149

Figure 92 Exemple de quelques charges aux harmoniques sur le tuner de sortie

On constate que pour des coefficients de réflexion proche de 0.7 à la fréquence fondamentale, le coefficient de réflexion à la fréquence harmonique 2 est plus élevé et proche de 0.9 (impédance très faible) alors qu'il est plus proche de 0.3 (proche de 50 Ohms) pour la fréquence harmonique 3.

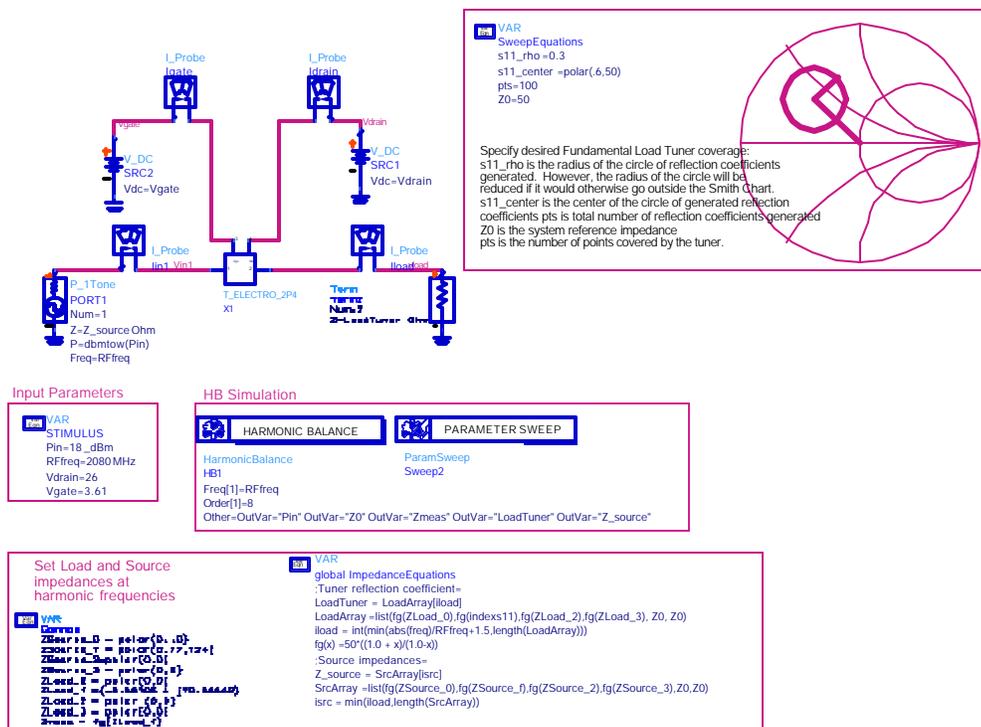


Figure 93 Banc de simulation Loadpull / Sourcepull

Partant de toutes ces remarques et observations, il nous est maintenant possible de procéder à la comparaison entre le modèle et les mesures.

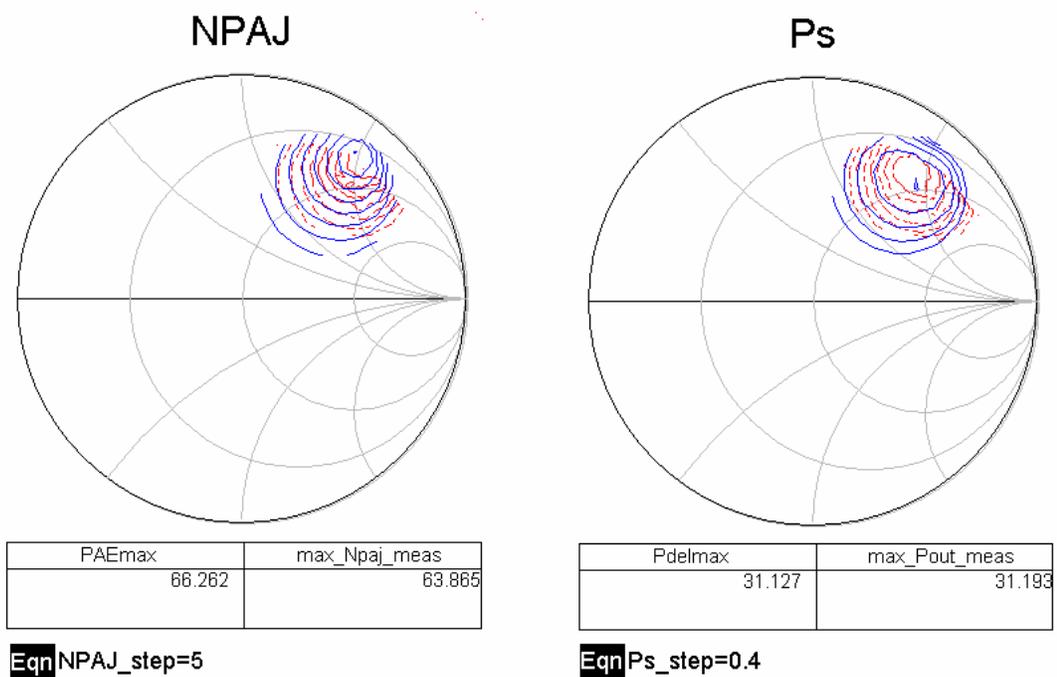
Les comparaisons seront faites à une fréquence $F = 2.08$ GHz, à 2 points de polarisation (4 & 10 mA /mm) sur une plage de puissance d'excitation permettant l'excitation du transistor à 4 dB de compression.

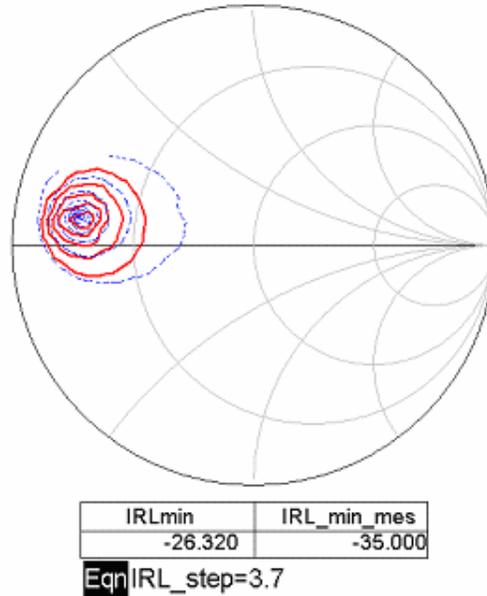
Première série de validation du modèle de transistor 2.4 mm à un point de polarisation de 4 mA/mm :

Contours à P_e constante :

Comme cité précédemment, il ne nous est pas possible de présenter des coefficients de réflexion supérieur à 0.8, et donc pas possible d'encercler les impédances optimales et de confronter ces optima.

Les contours ci-après montre une très bonne concordance mesures / modèle pour un fonctionnement à 3dB de saturation (P_{3dB}), même si les optima ne sont pas entourés et donc mesurés, on voit que sur le domaine de définition proche de ces optima il y a une très bonne concordance mesures / modèle, les cercles sont centrés avec une erreur de phase inférieure à 3° :





Réponses à charges E/S constantes et P_e variable :

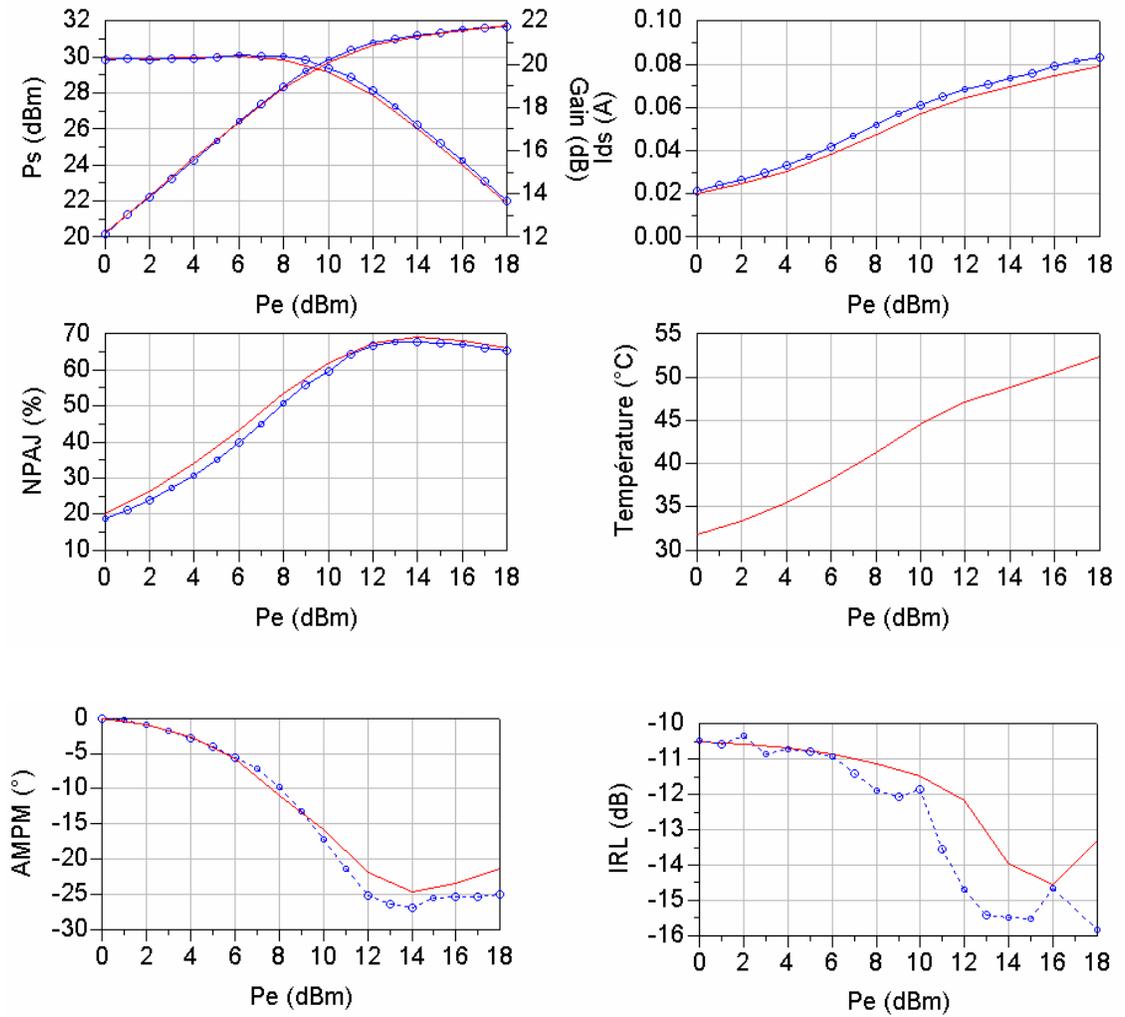
En plus des contours la comparaison sur une plage de puissance est également intéressante à voir, la précision est tout aussi déconcertante. Pour une adaptation proche de l'optimum en puissance de sortie, avec les impédances aux fréquences harmoniques mesurées sur le banc.

L'ensemble des travaux menés précédemment nous permet d'obtenir des résultats époustouflants tant la précision est élevée, l'erreur de prédiction se situe plus dans l'incertitude sur les mesures que sur la capacité du modèle à retranscrire le comportement du transistor.

La prédiction du paramètre IRL est assez sensible, surtout lorsque l'on atteint des valeurs inférieures à -10 dB où les quantités électriques (puissance réfléchie) sont excessivement faibles au regard des instruments de mesure. Plus on abaisse l'IRL (c'est-à-dire une bonne adaptation d'entrée) plus il sera difficile de non seulement la mesurer correctement et plus il sera également difficile de la modéliser, d'où une question incongrue : *du modèle et des mesures, lequel s'approche le plus de la « réalité » ?*

Le paramètre AMPM, qui caractérise la variation de la phase du signal de sortie avec la puissance d'excitation, sert également à quantifier les effets mémoires est très dépendant des non

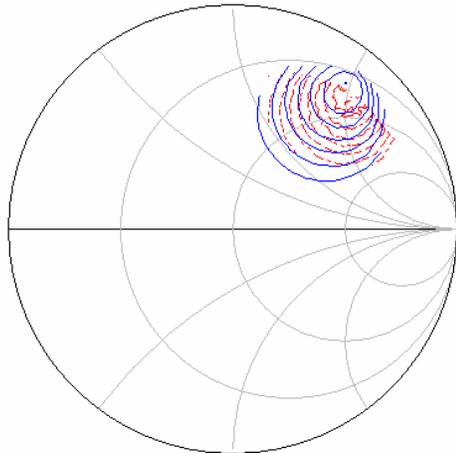
linéarités intrinsèques que sont Cgs et Cgd. La très bonne concordance entre mes./ modèle nous conforte dans la description de ces non linéarités.



Deuxième série de validation du modèle de transistor 2.4 mm à un point de polarisation de 10 mA/mm :

Contours à P_e constante:

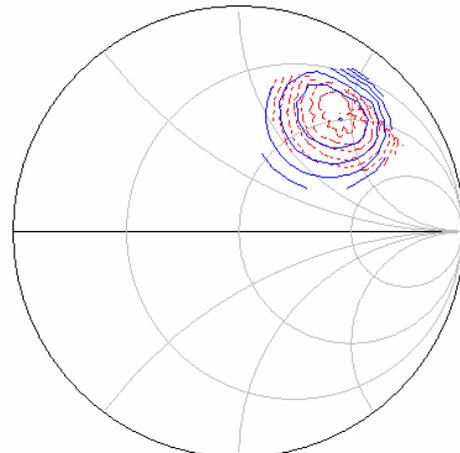
NPAJ



PAE _{max}	max_Npaj_meas
65.138	67.682

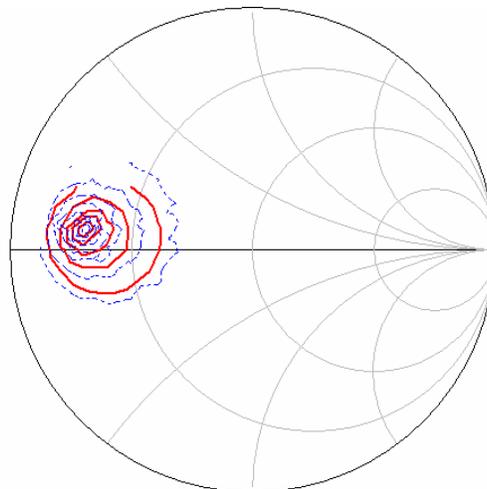
Eqn NPAJ__step=5

PS



P _{del} _{max}	max_Pout_meas
31.850	32.061

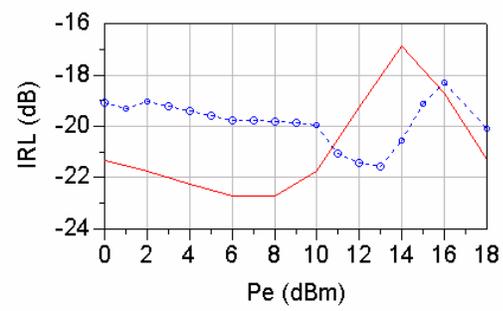
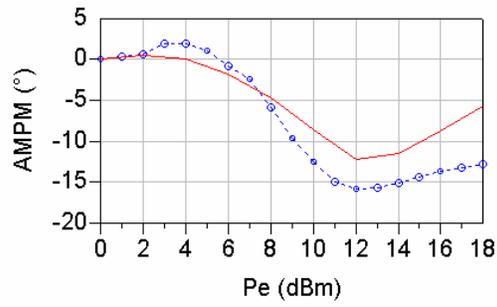
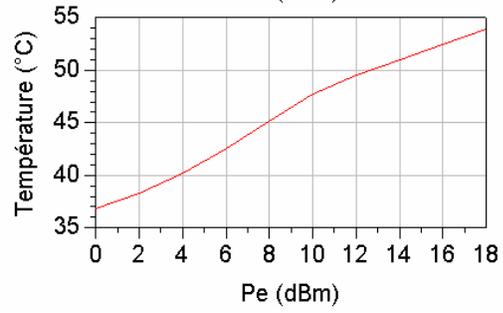
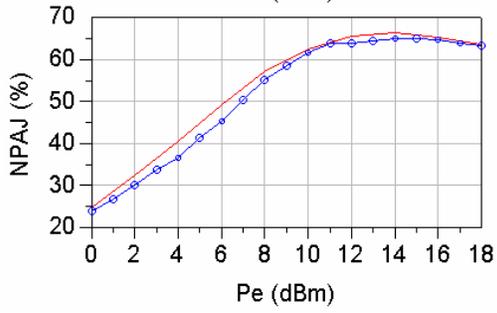
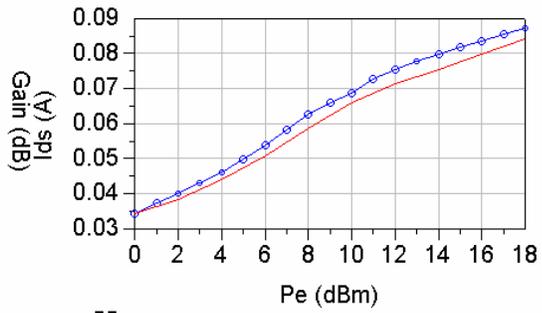
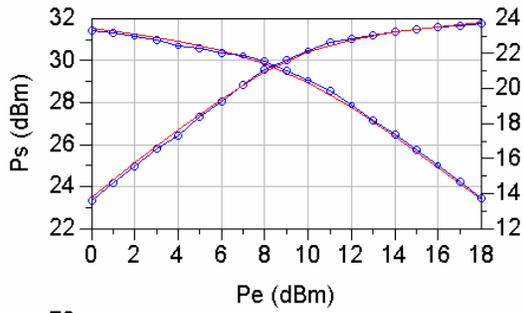
Eqn Ps__step=0.4



IRL _{min}	IRL_min_mes
-27.359	-28.000

Eqn IRL_step=2.8

Réponses à charges E/S constantes et P_e variable:



6 Résultats de la comparaison Mesures / Modèle avec un signal bi porteuses

6.1 Théorie

L'ensemble des observations précédentes est également valable pour le test avec un signal bi porteuses. Ce type d'expérience basée sur l'intermodulation des deux signaux d'entrée aux fréquences f_1 et f_2 permet de quantifier les raies parasites d'ordres 3 5 7 ..., pourquoi s'intéresser à ces raies d'intermodulations ? Tout simplement parce que ces raies ci seront les plus proches des deux porteuses, et donc susceptibles de polluer le signal utile.

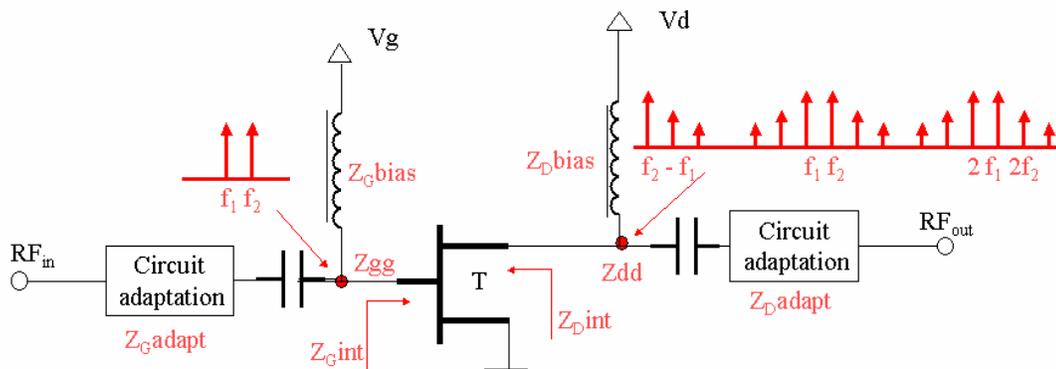


Figure 94 Distorsion avec un signal bi porteuses

Les nombreuses analyses faites par le passé concernant le sujet permettent d'établir que le produit d'intermodulation d'ordre 3 (IMD3) est non seulement dépendant des non linéarités intrinsèques du transistor, des impédances aux fréquences RF présentées dans ses plans d'accès mais aussi des impédances BF ramenées par les circuits de polarisations, et du point de polarisation (et donc indirectement des non linéarités intrinsèques). Mais d'une façon générale l'IMD3 est tout particulièrement dépendant de la transconductance et de ses dérivées premières et secondes.

Pour s'en convaincre, il suffit de considérer le transistor « idéal » en régime petit signal. (par idéal nous faisons abstraction des capacités intrinsèques) autour d'un point de polarisation I_{ds0} (classe AB).

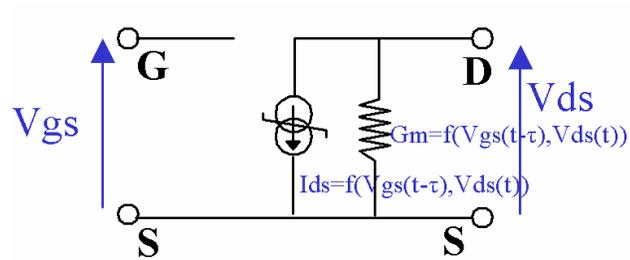


Figure 95 Modèle Simplifié du transistor

On peut alors définir le courant I_{ds} sous une forme de série de Taylor avec une dépendance en G_m , V_{ds} et V_{gs} . Nous avons alors l'expression suivante : (nous nous limitons volontairement à l'ordre 3)

$$I_{ds}(V_{gs}, V_{ds}) = G_m V_{gs} + G_d V_{ds} + G_{m2} V_{gs}^2 + G_{md} V_{gs} V_{ds} + G_{d2} V_{ds}^2 + G_{m3} V_{gs}^3 + G_{m2d} V_{gs}^2 V_{ds} + G_{md2} V_{gs} V_{ds}^2 + G_{d3} V_{ds}^3$$

En franchissant une étape supplémentaire dans l'idéalisation du transistor, régime de saturation en V_{ds} parfait : $G_d = 0$.

$$I_{ds}(V_{gs}, V_{ds}) = G_m V_{gs} + G_{m2} V_{gs}^2 + G_{m3} V_{gs}^3$$

L'excitation d'entrée est un signal bi porteuses aux fréquence f_1 et f_2 :

$$V_{gs}(t) = A \cos(\omega_1 t) + B \cos(\omega_2 t)$$

On a alors :

$$\begin{aligned}
Vgs^3(t) &= \left[\frac{1}{2}A^3 + \frac{1}{2}AB^2 \right] \cos(\mathbf{w}_1 t) + \left[\frac{1}{2}B^3 + \frac{1}{2}A^2B \right] \cos(\mathbf{w}_2 t) + \frac{1}{4}A^3 \cos(-\mathbf{w}_1 t) + \frac{1}{4}A^3 \cos(3\mathbf{w}_1 t) \\
&\quad + \frac{3}{4}A^2B \cos((2\mathbf{w}_1 - \mathbf{w}_2)t) + \frac{3}{4}A^2B \cos((\mathbf{w}_2 + 2\mathbf{w}_1)t) + \frac{3}{4}AB^2 \cos((\mathbf{w}_1 - 2\mathbf{w}_2)t) + \frac{3}{4}AB^2 \cos((\mathbf{w}_1 + 2\mathbf{w}_2)t) \\
&\quad + \frac{1}{4}B^3 \cos(-\mathbf{w}_2 t) + \frac{1}{4}B^3 \cos(3\mathbf{w}_2 t) \\
Vgs^2(t) &= \frac{A^2}{2} + \frac{A^2}{2} \cos(2\mathbf{w}_1 t) + \frac{B^2}{2} + \frac{B^2}{2} \cos(2\mathbf{w}_2 t) + AB \cos[(\mathbf{w}_1 - \mathbf{w}_2).t] + AB \cos[(\mathbf{w}_1 + \mathbf{w}_2).t] \\
Ids(t) &= Gm_2 \left[\frac{A^2}{2} + \frac{B^2}{2} \right] \\
&\quad + \left[\left[\frac{1}{2}A^3 + \frac{1}{2}AB^2 \right] Gm_3 + AGm \right] \cos(\mathbf{w}_1 t) + \left[B.Gm + Gm_3 \left[\frac{1}{2}B^3 + \frac{1}{2}A^2B \right] \right] \cos(\mathbf{w}_2 t) \\
&\quad + Gm_2 \frac{A^2}{2} \cos(2\mathbf{w}_1 t) + Gm_2 \frac{B^2}{2} \cos(2\mathbf{w}_2 t) + \frac{1}{4}Gm_3 B^3 \cos(-\mathbf{w}_2 t) + \frac{1}{4}Gm_3 B^3 \cos(3\mathbf{w}_2 t) \\
&\quad + Gm_2 AB \cos[(\mathbf{w}_1 - \mathbf{w}_2).t] + Gm_2 AB \cos[(\mathbf{w}_1 + \mathbf{w}_2).t] \\
&\quad + \frac{1}{4}Gm_3 A^3 \cos(-\mathbf{w}_1 t) + \frac{1}{4}Gm_3 A^3 \cos(3\mathbf{w}_1 t) \\
&\quad + \frac{3}{4}Gm_3 A^2 B \cos((\mathbf{w}_2 - 2\mathbf{w}_1)t) + \frac{3}{4}Gm_3 A^2 B \cos((\mathbf{w}_2 + 2\mathbf{w}_1)t) \\
&\quad + \frac{3}{4}Gm_3 AB^2 \cos((\mathbf{w}_1 - 2\mathbf{w}_2)t) + \frac{3}{4}Gm_3 AB^2 \cos((\mathbf{w}_1 + 2\mathbf{w}_2)t)
\end{aligned}$$

Il est alors aisé de constater que le courant $Ids(t)$ à la pulsation d'intermodulation d'ordre 3 ($2\mathbf{w}_1 - \mathbf{w}_2$ et $2\mathbf{w}_2 - \mathbf{w}_1$) s'exprime comme suit :

$$Ids(t) \Big|_{2\mathbf{w}_1 - \mathbf{w}_2} = \frac{3}{4} Gm_3 A^2 B \cos((2\mathbf{w}_1 - \mathbf{w}_2)t)$$

et

$$Ids(t) \Big|_{2\mathbf{w}_2 - \mathbf{w}_1} = \frac{3}{4} Gm_3 AB^2 \cos((2\mathbf{w}_2 - \mathbf{w}_1)t)$$

Le courant d'intermodulation d'ordre 3 est clairement et directement proportionnel à la dérivée seconde de la transconductance Gm ainsi que, bien sur, aux amplitudes des signaux d'excitation d'entrée. Maintenant pour ce qui est de la puissance d'intermodulation, il est nécessaire de prendre en compte les impédances RF et BF. Notre but ici n'étant pas de redémontrer la théorie de l'IMD3, nous ne rentrerons pas dans de plus ample considérations, mais nous tenions seulement à montrer la dépendance de l'IMD3 vis-à-vis du Gm_3 , et justifier ainsi le travail effectué en partie 2 de ce mémoire sur la description de la source de courant Ids , de la précision recherchée.

6.2 Remarques concernant les dérivées de la source de courant I_{ds}

Concernant les dérivées de la source de courant I_{ds} , cela n'a pas été précisé auparavant mais les splines cubiques (d'ordre polynomial 3) ne sont mathématiquement dérivable que 3 fois, la quatrième dérivée étant nulle, et encore notons que la dérivée 3^{ème} sera purement discrète, c'est-à-dire indépendante de $V_{gs}(t)$ mais imposée par le point de polarisation V_{gs0} . Nous avons précédemment évoqué les produits d'intermodulations d'ordre 5 et 7, de ce qui a été dit, on comprend maintenant qu'il est tout simplement impossible de modéliser ces intermodulations 5 et 7.

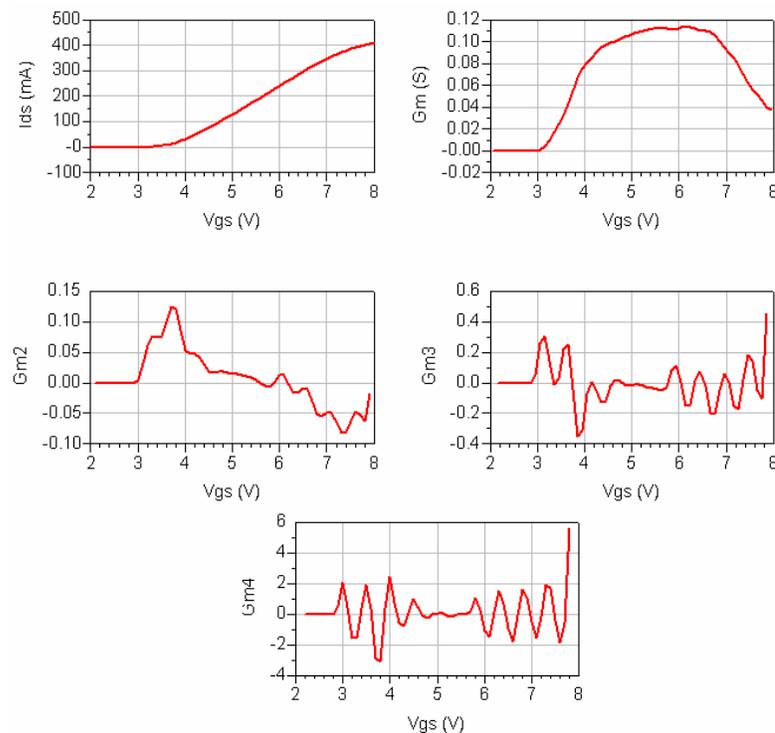


Figure 96 Source de courant I_{ds} (V_{gs}) à $V_{ds} = 26$ V avec ses dérivées G_m , G_{m1} (dérivée seconde), G_{m2} (dérivée troisième), G_{m3} (dérivée quatrième) et G_{m4} (dérivée cinquième)

La modélisation de l'IMD3 sera donc particulièrement difficile, les modèles par tables permettent d'effectuer difficilement des optimisations, il nous faut tout simplement exécuter la procédure décrite en partie 2 pour modéliser finement la source de courant.

Une dernière remarque au sujet de la modélisation de l'IMD₃ et du G_{m3} : on a beaucoup discuté sur la difficulté de la modélisation mais on peut tout autant discuter de la difficulté à mesurer correctement et avec suffisamment de précision le courant I_{ds} pour pouvoir justement quantifier les dérivées d'ordres 3 et supérieurs. On touche là à un exercice très difficile qui,

honnêtement, est quasi impossible, il est nécessaire et préférable de passer par une étape d'optimisation sur la source de courant pour faire coïncider l'IMD3 mesurée à celle simulée. L'optimisation est, encore une fois, difficilement réalisable pour les modèles basés sur les tables.

Un exemple pour montrer la difficulté de la modélisation de l'IMD3: Dans la table descriptive de la source de courant I_{ds} , modifier le vecteur d'index V_{gs} ne serait-ce que de 1 % impacte considérablement la valeur de Gm_3 et donc de l'IMD3.

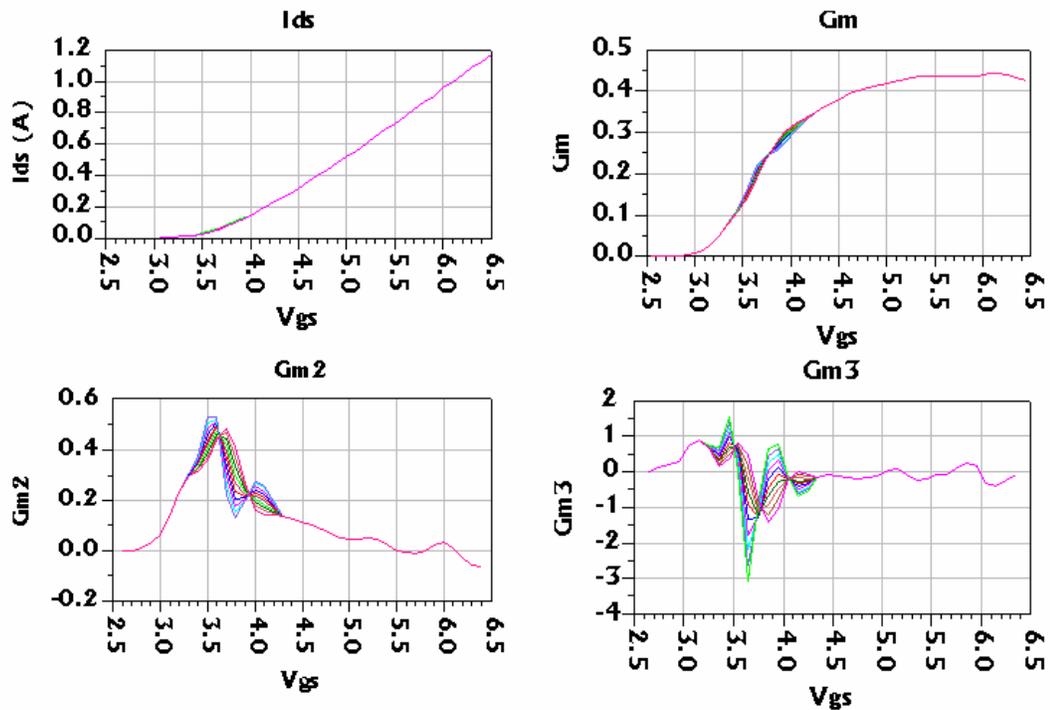


Figure 97 Modification de la source de courant et visualisation de l'impact sur les dérivées

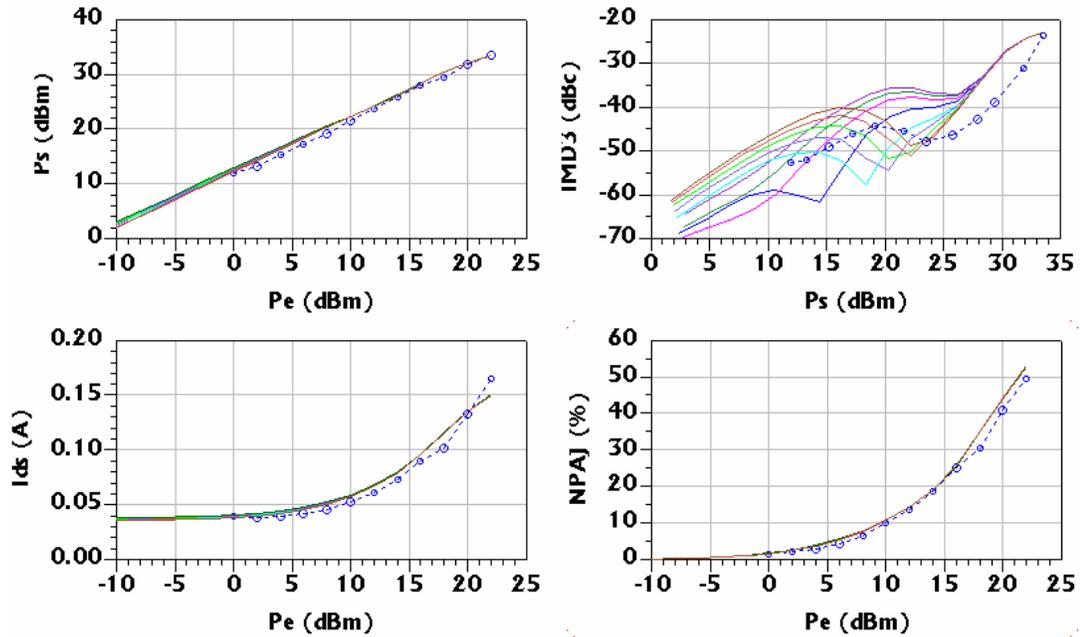


Figure 98 Effets de la modification des dérivées de I_{ds} sur les paramètres larges signaux

6.3 Confrontations mesures / modèle

Indépendamment de ce qui a été présenté avant, un autre aspect de la physique influence grandement les produits d'intermodulations : la thermique dynamique. L'enveloppe du signal bi porteuses bat au rythme de la fréquence BF imposée par l'écart fréquentiel (en l'occurrence 100 KHz). Contrairement à un signal monoporteuse dont l'enveloppe constante ne va exciter que le régime thermique statique, l'enveloppe non constante du signal bi porteuses excite le régime thermique dynamique. La constante de temps thermique mise en jeu équivaut à :

$$t_{thermique} = \frac{1}{4 \cdot \Delta f} \text{ Où } \Delta f \text{ est l'écart fréquentiel.}$$

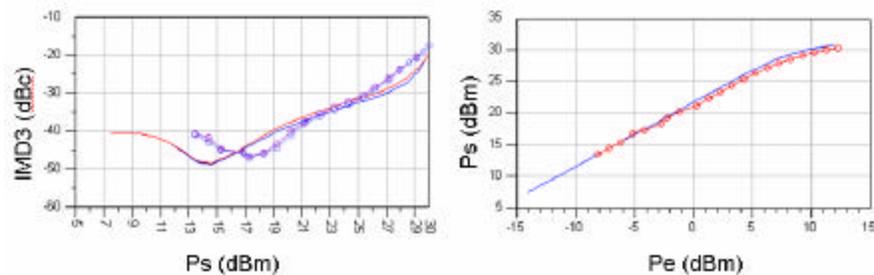
Dans notre cas, la constante de temps thermique excité avec un $\Delta f = 100 \text{ KHz}$ est de l'ordre de $2 \mu\text{s}$, c'est à dire que le transistor va s'échauffer pendant $2 \mu\text{s}$ et refroidir pendant $2 \mu\text{s}$ au rythme de l'enveloppe du signal d'excitation.

En somme, la validation avec un signal bi porteuses nous permet de vérifier l'exactitude de la description de la source de courant et l'exactitude du modèle thermique dynamique, en gardant bien sur à l'esprit que les deux sont imbriqués, le courant est dépendant de la température et non dissociable. Une variation du Δf aurait l'avantage de nous permettre d'excursionner toute la

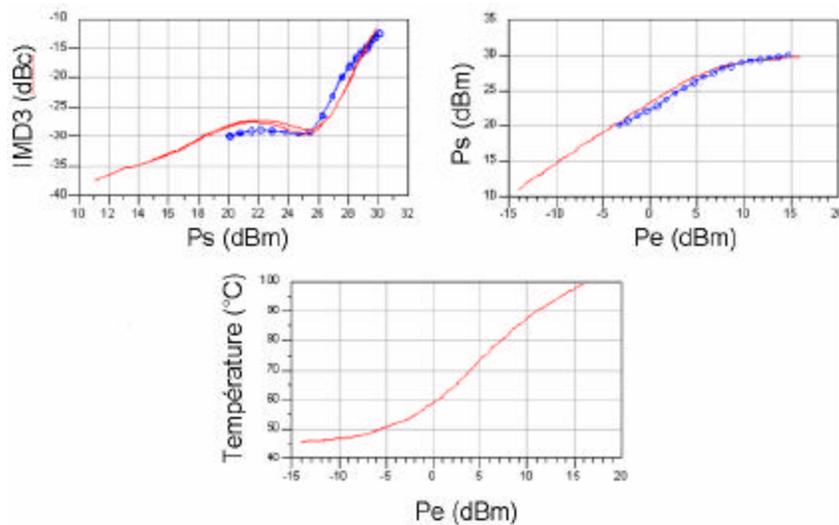
plage de constante de temps thermique et donc le régime thermique transitoire, mais l'expérience serait trop lourde à effectuer.

On gardera également à l'esprit la nécessaire implication des capacités intrinsèques et autres éléments parasites dans toutes ces remarques, leurs influences sur le courant, les puissances ... conduisent indirectement à en valider également la description.

Validation du modèle de transistor 2.4 mm à un point de polarisation de 4 mA/mm et un écart fréquentiel de 100 KHz:



Validation du modèle de transistor 2.4 mm à un point de polarisation de 10 mA/mm et un écart fréquentiel de 100 KHz :



7 Résultat de la comparaison Mesures / Modèle avec un pulse d'excitation RF

Les deux précédent types de validation : monoporteuse et bi porteuses permettent donc la validation du modèle électrique non linéaire, du régime statique du modèle thermique ainsi que d'une partie de son régime transitoire. Aller plus loin dans cette validation consisterait à explorer plus de constantes de temps thermique, et donc tout ou partie du régime thermique dynamique.

Le wattmètre *Boonton RF Peak PowerMeter 4400A* est un instrument permettant la mesure d'une puissance temporelle crête de l'enveloppe d'un signal. Pour cela il ne fait ni plus ni moins que de relever la tension crête RF pour calculer la puissance de l'enveloppe :

$$P_{\text{enveloppe}} = \frac{V^2}{R} \text{ Où } R \text{ est l'impédance de référence.}$$

La spécificité de cet instrument réside dans la rapidité et la résolution de ses sondes de mesure :

Sonde DUAL DIODE 56318
Temps de montée inférieur à 15 ns
Plage de mesure de -34 à +20 dBm

Disposant de cet outil, nous allons mener l'expérience suivante :

Le transistor LDMOS HV4 2.4 mm est adapté à son accès d'entrée, et fortement désadapté à son accès de sortie. *Pourquoi désadapter la sortie ?* Adapter l'entrée et désadapter la sortie consiste à imposer une puissance dissipée maximale et donc à faire chauffer le transistor autant que possible sans toutefois le détruire, on pourra ainsi apprécier plus facilement l'évolution de la puissance de sortie du transistor avec le temps et indirectement avec la température.

On applique un pulse de puissance RF à l'entrée du transistor et on relève l'enveloppe temporelle du signal de sortie. On constate ainsi 2 régimes de fonctionnement :

- au début du pulse d'excitation RF, le transistor est « froid », il va se mettre à s'auto échauffer.
- à la fin du pulse, le transistor retourne à son état thermique initial, il refroidit.

Cet échauffement et refroidissement se font au rythme des constantes de temps thermique dynamique.

Une variante de cette expérience consiste à faire varier l'état bas du pulse d'excitation RF, ainsi on fait varier la température initiale.

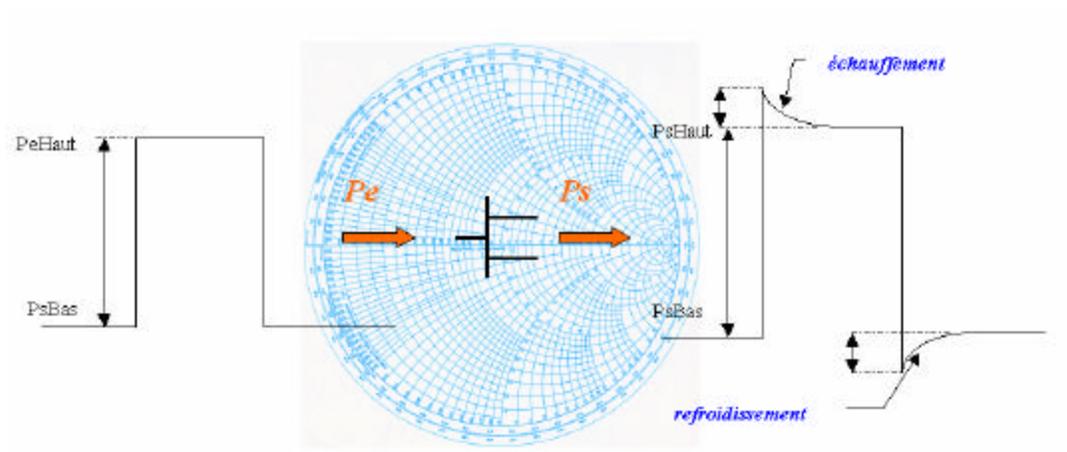


Figure 99 Expérience réalisée pour évaluer la thermique dynamique

Les 3 graphes suivants sont une confrontation simulations / mesures sur 3 résolutions temporelles. En traits plein, les puissances mesurées, et en traits pointillés les simulations.

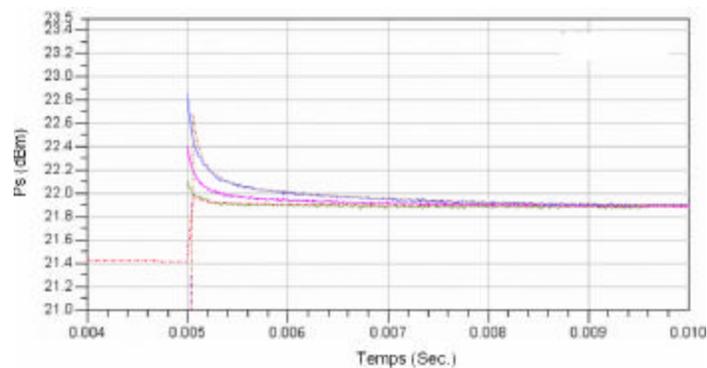


Figure 100 Visualisation de la puissance de sortie sur 5 millisecondes

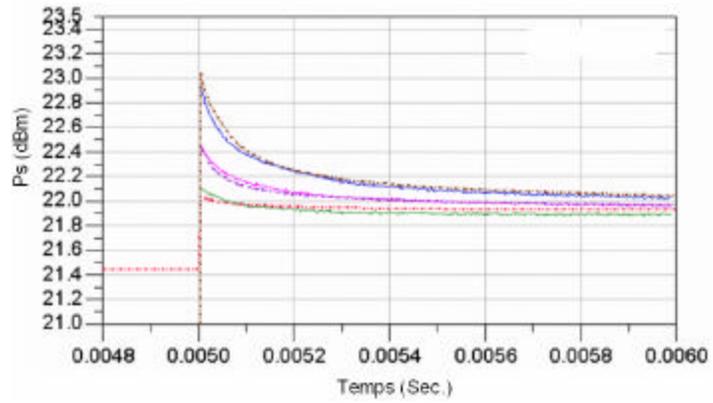


Figure 101 Visualisation de la puissance de sortie sur 1 millisecondes

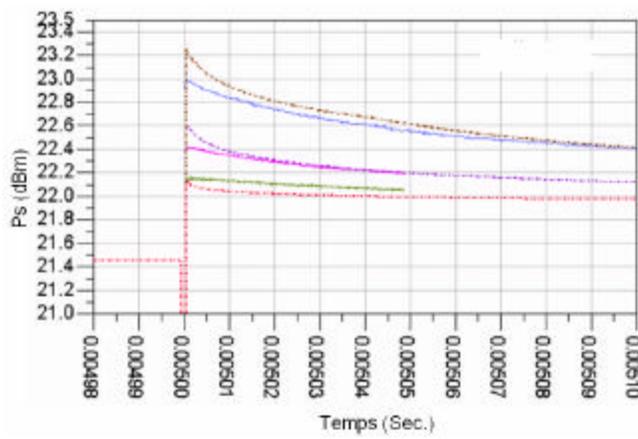


Figure 102 Visualisation de la puissance de sortie sur 100 microsecondes

On peut observer une excellente concordance modèle / mesures.

8 Validation des règles de scaling sur un transistor de 9.6 mm

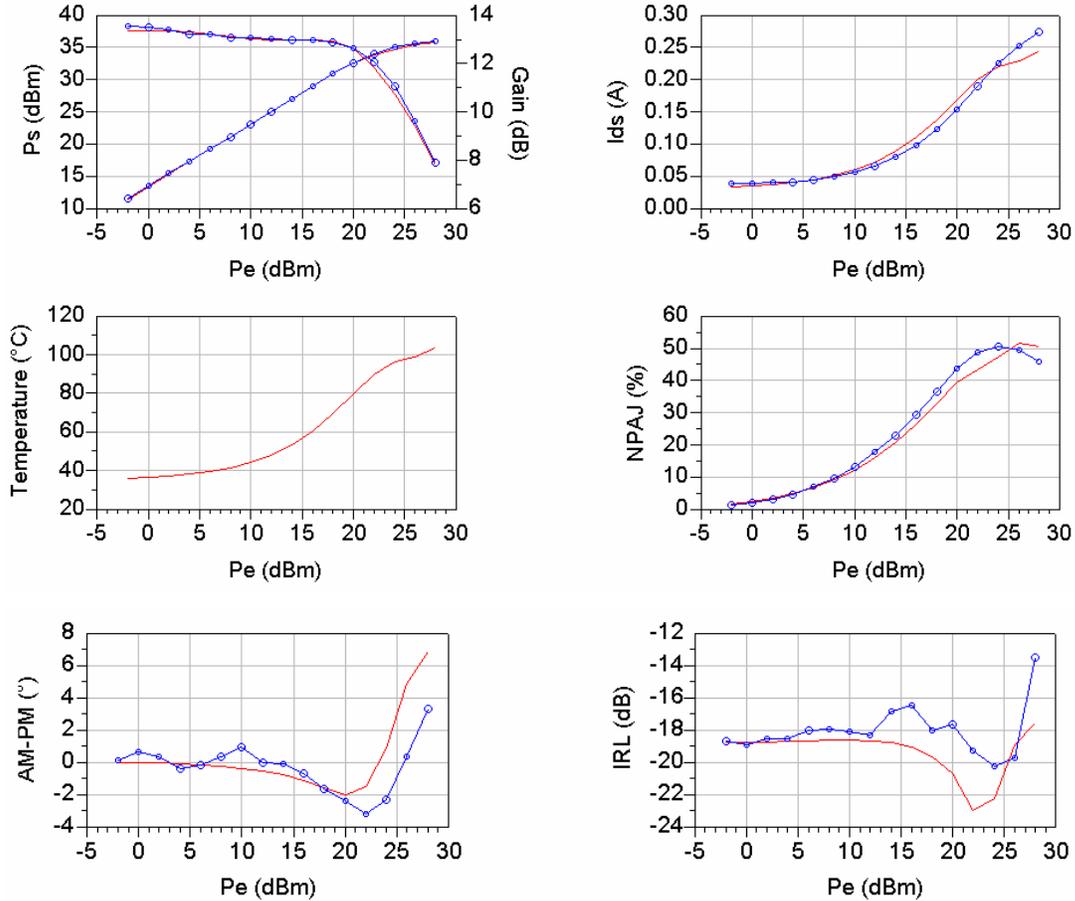
La validation de ces règles s'est effectuée sur 2 tailles de transistor. Un premier dont le développement de grille est de 4.8 mm et un second dont le développement de grille est de 9.6 mm, ce qui fait un rapport de respectivement 2 et 4 sur le transistor initial de 2.4 mm qui nous sert de point de départ.

L'ensemble des règles établies au chapitre 2 concernant les éléments extrinsèques, les éléments intrinsèques et le circuit thermique sont strictement appliquées.

Cependant pour des raisons de clarté de ce manuscrit, les résultats afférant au transistor 4.8 mm ne seront pas présentés, seul les résultats sur le transistor 9.6 mm sont présentés par la suite.

8.1 Confrontations mesures / modèle avec un signal mono-porteuse

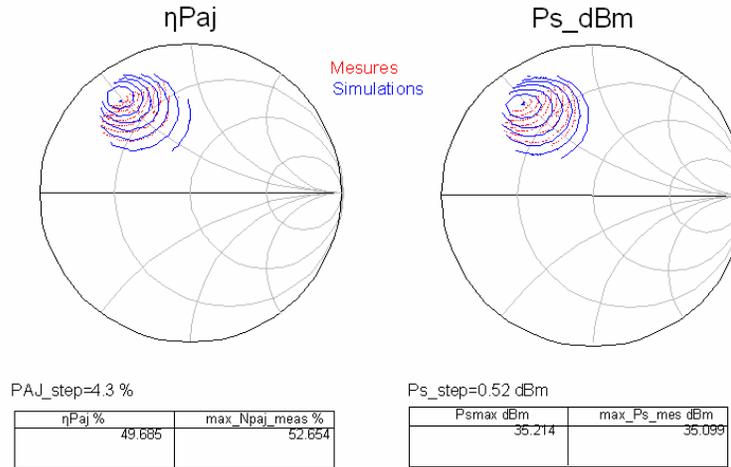
Première série de validation du modèle de transistor 9.6 mm à un point de polarisation de 4mA/mm:



8.2 Confrontations mesures / modèle avec un signal bi-porteuses

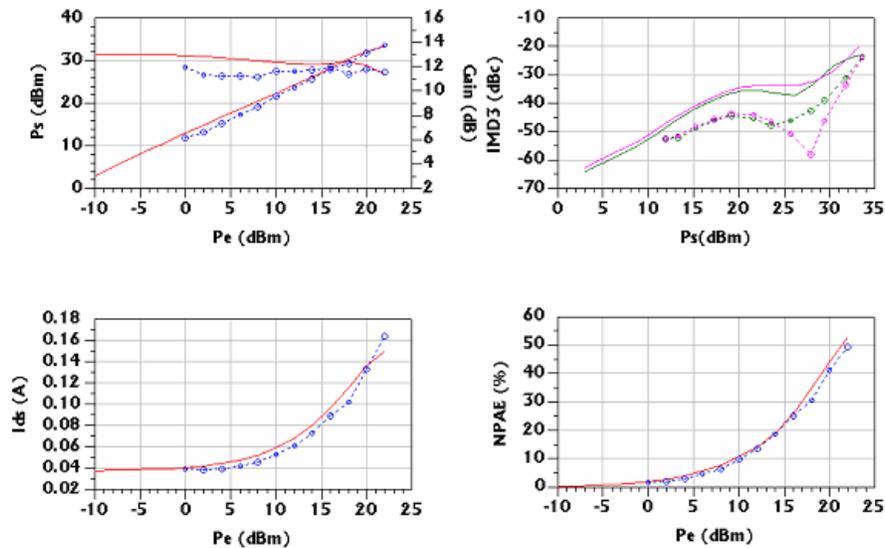
Deuxième série de validation du modèle de transistor 9.6 mm à un point de polarisation de 4mA/mm et un écart fréquentiel de 100 KHz :

Contours à puissance d`entrée constante, et adaptation d`entrée fixe:

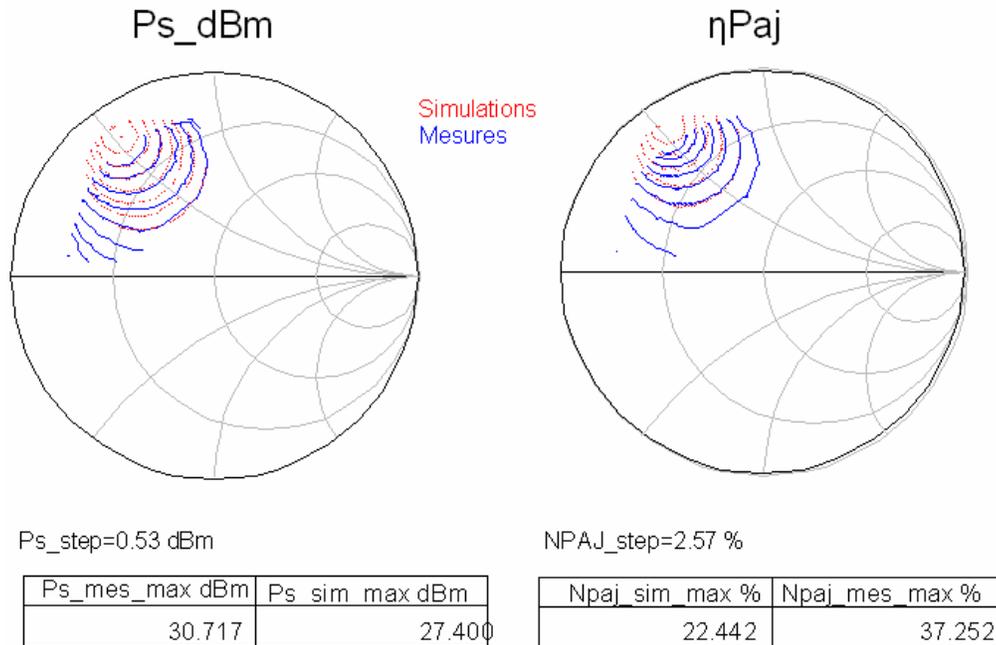


Glissement en puissance d`entrée à adaptation d`entrée et de sortie fixe:

Gs=0.7 | 23.4 GL= 0.77 | 121.8

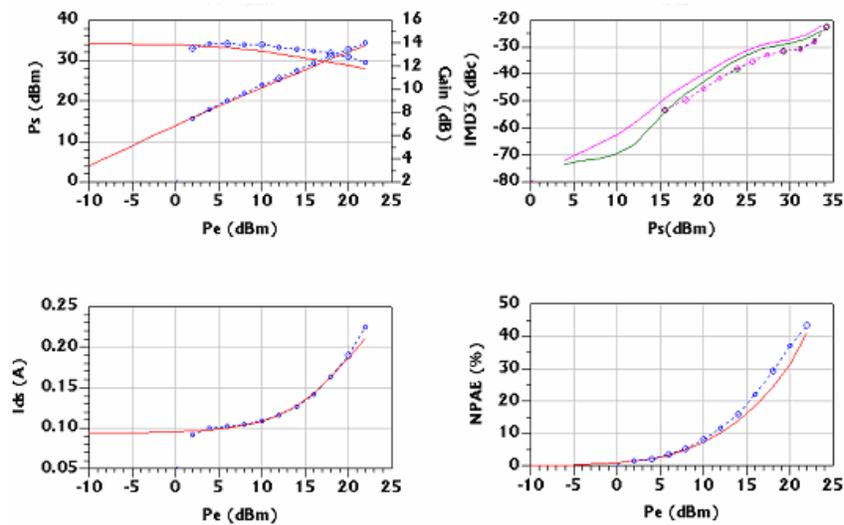


Deuxième série de validation du modèle de transistor 9.6 mm à un point de polarisation de 10mA/mm et un écart fréquentiel de 100 KHz :



Glissement en puissance d`entrée à adaptation d`entrée et de sortie fixe:

Gs=0.7 | 23.4GL= 0.63 | 124



8.3 Confrontations mesures / modèle avec un signal mono-porteuse pulsé

Les 3 graphes suivants présente la confrontation mesure/ modèle la puissance de sortie pour 3 intervalles temporelle de respectivement : 80 millisecondes, 20 millisecondes et 5 millisecondes.

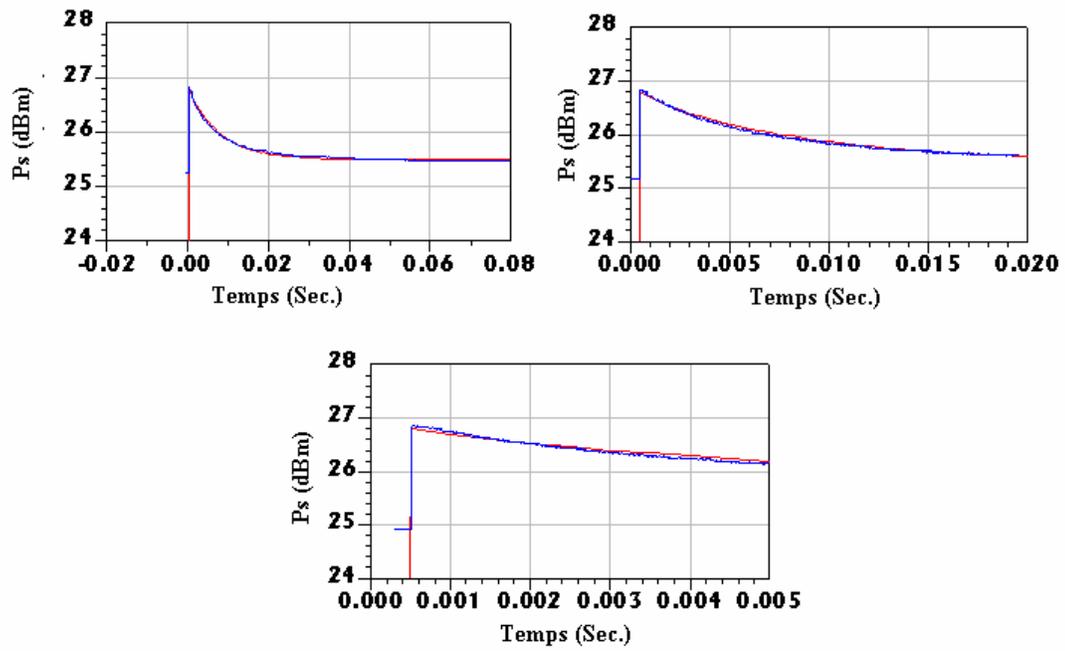


Figure 103 Confrontation mesures/ modèle pour la puissance de sortie

9 Conclusion

Ultime étape de nos travaux; la validation est d'importance. Elle nous a permis de vérifier expérimentalement la validité de notre approche. Validité de la caractérisation initiale, de la modélisation de son comportement électrique et thermique. Au-delà de la simple comparaison mesures/ modèle, il est important de bien comprendre ce que l'on mesure et ce que l'on simule. La bonne compréhension des méthodes numériques pour la simulation du comportement électrique du transistor est vitale pour reproduire au plus juste les conditions dans lesquelles les mesures ont été effectuées: prise en compte des impédances aux fréquences harmoniques, produit d'inter modulations, convergence numérique ...

L'adaptation d'entrée ou IRL n'est que très rarement regardée/ validée dans les modèles. Les très faibles niveaux de puissance mis en jeu la rendent assez difficile à caractériser de sorte que dans notre cas, une étude détaillée nous a permis de mettre en évidence que la méthode couramment utilisée au sein de Freescale était entachée d'erreurs. L'utilisation d'un analyseur de réseau vectoriel, outil de référence en mesure RF, nous a permis de lever l'indétermination quant à savoir qui de la mesure ou du modèle fournissait la réponse la plus réaliste.

L'utilisation d'un banc de mesure loadpull avec tuners passifs et pointes RF limitent la zone des impédances disponibles, notamment pour les faibles impédances qui nous intéressent ?. Cependant notre but étant la validation et non la détermination des optimums en performance, cela ne nous a pas perturbé dans notre validation.

L'application de toutes ces remarques nous a permis d'obtenir d'excellentes corrélations mesures/ modèle. Que ce soit avec une excitation mono porteuse, bi-porteuse ou mono porteuse pulsée. Notre modèle faisant partie de la famille des "modèles tables", il ne nous est pas possible d'optimiser son comportement, mais la définition/ optimisation des outils et processus nous a permis de pallier à ce que l'on pourrait qualifier de défaut. Cette dernière remarque nous amène à évoquer les limites de notre étude. La dernière partie de ce manuscrit se propose de faire une critique objective sur les améliorations possibles du modèle électrothermique non linéaire. Quelles sont les faiblesses et comment pourrait-on y remédier ?

Partie 4

Observations quant aux possibles améliorations
du modèle

1. Introduction

Nous nous proposons dans cette ultime partie d'apporter quelques éclaircissements quand aux possibles améliorations des modèles, ou tout du moins de mettre à la lumière des connaissances acquises durant ces trois dernières années les limitations actuelles que nous avons observées et les améliorations possibles.

Ces observations portent sur 4 points :

- les mesures : précision dans la mesure des paramètres S.
- Amélioration possible des techniques de caractérisation du transistor
- Le modèle thermique : de l'extraction à la validation
- La définition des règles de scaling au sens de la thermique.

2. Les mesures : précision dans la caractérisation du transistor

« Je dis souvent que lorsque vous pouvez justifier par la mesure vos dires, et ainsi les quantifier alors vous connaissez quelque chose, mais quand vous ne pouvez pas le mesurer ... votre connaissance est mince, vous ressentez une sorte d'insatisfaction. Si vous ne pouvez pas mesurer, vous ne pouvez améliorer ! »

Lord Kelvin 1824-1907, scientifique britannique

Nous avons commencé ce mémoire en évoquant succinctement la notion d'incertitude de mesures, et ses composantes que sont :

- Distribution statistique issue de plusieurs séries de mesures.
- Déviation standard au cours de l'expérience ou mesure.

ainsi que des 3 paramètres (U_a , U_b , U_c) qui permettent de définir pratiquement le niveau de ces incertitudes.

Nous ne reviendrons pas sur leur raison d'être ni même sur leur utilisation, cet exercice étant réservé aux spécialistes du domaine. Ici nous évoquons une autre source d'incertitude aussi différente qu'importante, ce type d'incertitude est basé sur le concept même de la méthode de mesure utilisée.

Pour éclaircir notre propos nous allons directement aborder l'objet de notre problème.

Les transistors MOSFET de la technologie LDMOS étant nativement conçus pour générer de la puissance, ils ont la particularité de posséder des impédances d'accès très faibles; les transistors de faible développement ayant des impédances n'excédant pas quelques ohms. Ces impédances décroissent avec la taille.

Quel est le problème engendré ?

Le processus de modélisation est basé sur la précision des mesures des paramètres S (paramètres S pulsés à différents niveaux de polarisation) effectuées par un analyseur de réseaux

vectoriel (ARV). La caractérisation de composants dont l'impédance est «proche » de 50 ohms est tout à fait correcte mais lorsque le composant a caractériser possède des impédances d'accès qui tendent à être très faibles, il en est tout autre [50].

Expliquons nous :

L'analyseur de réseau vectoriel (ARV) [51] mesure la valeur du coefficient de réflexion Γ_x du composant à caractériser, Γ_x est alors corrélé avec l'impédance par la relation suivante :

$$\Gamma_x = \frac{(Z_x - Z_0)}{(Z_x + Z_0)}$$

Avec Z_0 l'impédance caractéristique du circuit et Z_x l'impédance du circuit. En accord avec cette équation, le coefficient de réflexion mesuré varie entre -1 et 1 selon l'impédance Z_x . La relation entre le coefficient de réflexion et l'impédance est représentée Figure 104. En assumant une impédance simplement résistive, le graphe de la Figure 104 montre une forte variation de Γ_x avec Z_x , la précision optimum étant obtenue lorsque Z_x est proche de Z_0 . Lorsque l'on s'éloigne de cette zone, l'impédance varie de façon quasi-exponentielle, la moindre erreur sur la valeur du Γ_x se traduit en terme de variation d'impédance de façon conséquente.

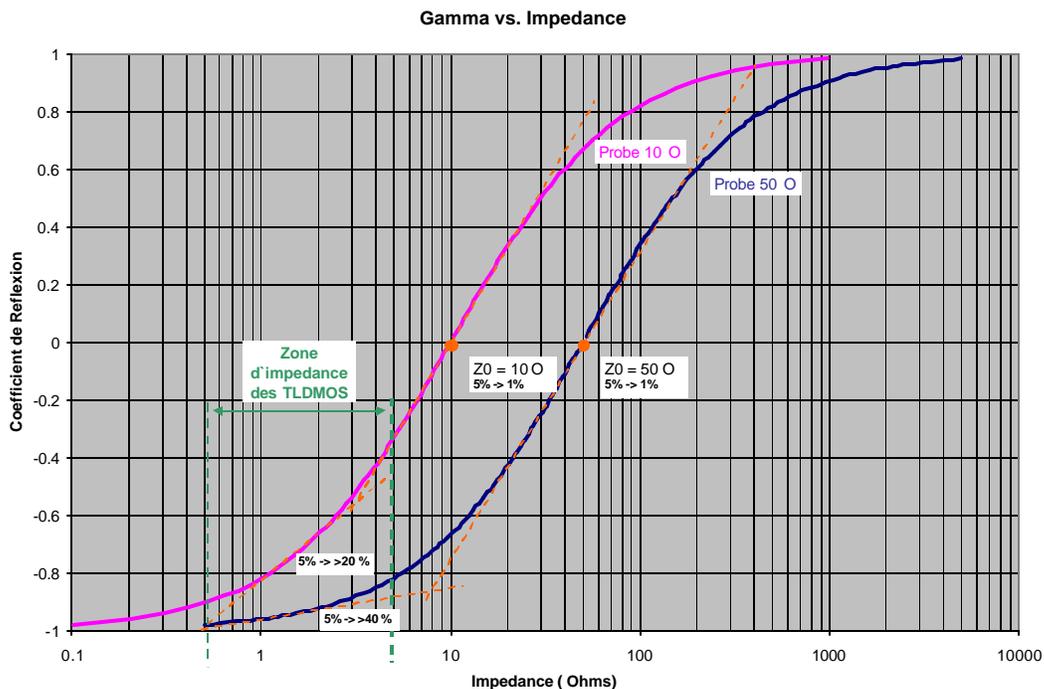


Figure 104 Sensibilité de l'impédance en fonction du coefficient de réflexion

La modélisation des impédances d'entrée/ sortie du transistor s'avère donc doublement problématique, d'un coté la modélisation à proprement parler, c'est à dire faire coïncider le comportement du modèle avec les mesures, et avant cela les mesures elles mêmes. Il est évident qu'avant tout nous devons être sur des quantités mesurées, tout du moins connaître « approximativement » l'incertitude de mesure : 0.5, 1, 5, 10 %? Qu'il est possible d'obtenir avec le VNA.

L'analyseur de réseau vectoriel (ARV) est de loin l'outil de caractérisation Radiofréquence et Hyperfréquence le plus utilisé voire le plus performant. L'ensemble de nos travaux reposant sur la précision d'un ARV, attachons nous à donner quelques remarques qui nous semblent importantes, notamment sur les limitations que lui confère son mode de fonctionnement.

Qu'est ce qu'un ARV? [52] C'est un instrument de mesure permettant une détermination précise des paramètres S d'un composant.

Comment fonctionne un ARV ?

Un ARV n'est ni plus ni moins qu'un réflectomètre auquel on a adjoint une procédure de calibration afin d'en améliorer la précision.

Sur le principe, un réflectomètre correspond à un coupleur bidirectionnel qui permet de prélever une partie de l'onde incidente ainsi qu'une partie de l'onde réfléchie, et ainsi de déterminer le paramètre S associé à la configuration.

D'un simple point de vue matériel, la précision d'un ARV repose essentiellement sur la qualité de ses coupleurs bidirectionnels [56] et de leurs aptitudes à séparer les deux signaux incidents et réfléchis (directivité). L'idéal serait de disposer de coupleurs ayant une directivité la plus importante possible ($D < -40\text{dB}$), mais l'ARV dans sa version commerciale étant un instrument de mesure à large bande fréquentielle, la directivité des coupleurs est un compromis Directivité - Largeur de Bande fréquentielle. A cela ajoutons les autres «imperfections» que sont les pertes dans les câbles RF de connexion, rayonnement, désadaptation qui, dans sa version brute, ne confère pas un fonctionnement idéal. Avec l'utilisation de procédures de calibrage [53] basées sur des notions mathématiques, on obtient un Analyseur de Réseau Vectoriel (ARV). Ces procédures de calibrage permettent de déterminer des matrices de paramètres S (ou matrices

erreurs) qui permettent de soustraire aux valeurs mesurées l'ensemble des parasites et autres imperfections d'un réflectomètre, et ainsi d'obtenir les paramètres S du composant à caractériser avec un minimum d'incertitudes.

Depuis l'introduction des mesures micro-onde sur wafer [54] [55] à l'aide de pointes RF en 1983, la technique de calibrage des ARV la plus répandue était la Short-Open-Line-Thru (SOLT). La technique TRL (Thru-Reflect-Line) a également été utilisée dans certaines applications, les deux étant assez performantes et donnant d'excellents résultats. Cependant chacune de ces techniques possède des défauts qui peuvent limiter leur précision :

- calibrage SOLT : très dépendante de la précision de caractérisation des standards Court-circuit (Short) et Circuit Ouvert (Open).
- calibrage TRL : la caractérisation d'une large bande fréquentielle demande de disposer de lignes de transmissions de tailles conséquentes difficilement envisageable sur un wafer.

C'est pourquoi une nouvelle méthode a été mise au point pour palier aux défauts des calibrages SOLT et TRL sur wafer. La méthode LRM (Line Reflect Match) évite les défauts des autres méthodes. Sa précision est plus élevée et son utilisation plus simple car elle nécessite moins de standards.

Il a été clairement montré [49] [51] la supériorité d'un calibrage LRM pour des mesures sous pointes. Les raisons sont que contrairement aux autres méthodes, la LRM ne nécessite pas une connaissance parfaite des standards Open et/ou Short mais « seulement » de la charge 50 Ohms ainsi que d'une ligne de longueur indépendante de la bande fréquentielle visée.

3. Amélioration possible de la caractérisation du transistor

La caractérisation du transistor est le point de départ pour sa modélisation. Les mesures en régime pulsé du courant et des paramètres S sont faites suivant la méthode de la dichotomie récursive comme expliquée en partie 1. Nous avons vu précédemment que la réalisation d'un modèle non linéaire demande de caractériser le transistor dans ses zones de fonctionnement où les éléments équivalents localisés varient rapidement avec les tensions Vds et Vgs. Ces variations rapides présentent le principal désavantage d'être assez difficile à modéliser. Elles le sont d'autant plus avec des modèles basés sur des tables. Cependant ces «modèles tables» sont à la fois un avantage et un inconvénient :

- si l'on considère un modèle basé sur des équations empiriques comme l'est la source de courant du FET.

$$I_{ds} = (BETA) (V_{gst}^{V_{GEXP}}) (1 + LAMBDA * V_{ds}) \tanh \left[\frac{V_{ds} * ALPHA}{V_{gst}} \right] (1 + K1 * e^{V_{BReff1}})$$

$$VTO = VTO_0 + VTO_1 * T$$

$$BETA = BETA_0 + BETA_1 * T$$

$$VBR = VBR_0 + VBR_1 * T$$

$$V_{gst1} = V_{gs} - (VTO + (GAMMA * V_{ds}))$$

$$V_{gst2} = V_{gst1} - \frac{1}{2} \left(V_{gst1} + \sqrt{(V_{gst1} - VK)^2 + DELTA^2} - \sqrt{VK^2 + DELTA^2} \right)$$

$$V_{gst} = V_{ST} * \ln \left(e^{\frac{V_{gst2}}{V_{ST}}} + 1 \right)$$

$$V_{BReff1} = \frac{1}{K2} (V_{ds} - V_{BReff}) + M3 \left(\frac{V_{ds}}{V_{BReff}} \right)$$

$$Vt = \frac{k * N * T}{q}$$

Où k est la constante de Boltzmann et q la charge électronique.

Ce type d'équation basée sur des concepts de la physique des semi-conducteurs possède plus d'une dizaine de paramètres ajustables. La modélisation de la source de courant consiste donc à optimiser et trouver un ensemble de valeurs à tous ces paramètres ajustables pour faire

coïncider le modèle avec les mesures. Faire coïncider une telle équation avec un ensemble de mesures non linéaires est assez fastidieux même si des algorithmes particulièrement efficaces ont été développés. Le résultat ne peut être qu'un compromis sur la précision entre les différentes zones du réseau IV. Un autre avantage concerne les dérivées. Ce type d'équation basée sur des tangentes et des exponentielles à l'avantage d'être dérivable à l'infinie, c'est-à-dire que le simulateur qui exploite ce modèle ne présentera pas de divergence lorsqu'il exploitera les dérivées $n^{\text{ème}}$ pour le besoin de la détermination des produits d'inter modulation .

Si l'on considère maintenant le modèle par table, il n'est plus question de compromis. L'ensemble des mesures est mis en forme dans une table et exploité avec des polynômes d'interpolation tel que les splines. Il n'y a plus de compromis sur la précision entre les différentes zones du modèle puisque l'approximation de l'interpolation présente l'avantage d'être local, c'est-à-dire que l'interpolation ne dépend que de quelques points de mesures et non de l'ensemble.

Cependant comme nous l'avons présenté, ce type de modélisation nécessite nombre de points de mesures dans les zones où les variations sont importantes. Nous avons certes développé une méthodologie permettant de palier à ce problème en ajoutant des points de contrôle artificiels, mais ceci ne comble pas entièrement le manque de données pour la modélisation. Les splines cubiques étant des polynômes de degrés 3, et donc dérivable au maximum 3 fois, le simulateur de circuit ne pourra utiliser les dérivées au delà de l'ordre 3, il y a donc un risque de divergence de la simulation.

En résumé, concernant les splines, deux défauts principaux coexistent :

- la précision du modèle en raison de manque de points de mesures.
- la limitation en terme du nombre de dérivées possibles (au nombre de 3).

Le deuxième point (nombre de dérivées) pourraient aisément être corrigé en augmentant le degré des splines. Un degré 3 demande 4 points de mesures, si l'on souhaite accéder à la 7^{ème} dérivée, il est nécessaire d'utiliser 8 points de mesures. Ceci ne pose en soit aucun problème. Il suffirait simplement d'ajouter des points artificiellement comme expliqué en partie 2. Mais que dire de la précision de ces dérivées. Cette précision dépend de l'incertitude sur les mesures, et il est extrêmement difficile de bien modéliser au-delà de la deuxième dérivée dans les zones où les variations du courant sont importantes.

Dans la plupart des modèles basés sur les équations empiriques, cet obstacle est surmonté en procédant à une étape d'optimisation qui consiste à palier à l'imprécision des dérivées en ajustant manuellement l'équation descriptive. Dans le cas des splines, les seuls paramètres ajustables, sur lesquels on peut agir sont les points de mesures et leurs index de référence à savoir V_{ds} , V_{gs} et T (température). La première observation serait de dire que l'on ne peut faire ajuster les modèles utilisant les splines, or une méthode que l'on qualifiera de «simple» est possible. Elle consiste à modifier les valeurs des indexes de V_{ds} et V_{gs} (et accessoirement T), on observera ainsi qu'une légère modification (moins de 1 %) d'une valeur de ces index dans une zone où le courant varie rapidement modifiera nettement les dérivées locales du courant sans modifier la valeur absolue du courant lui-même.

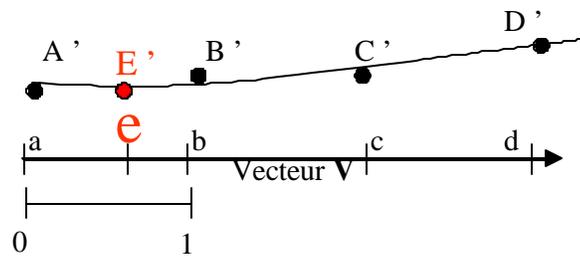


Figure 105 Indexation des points de mesures sur le vecteur de Tension

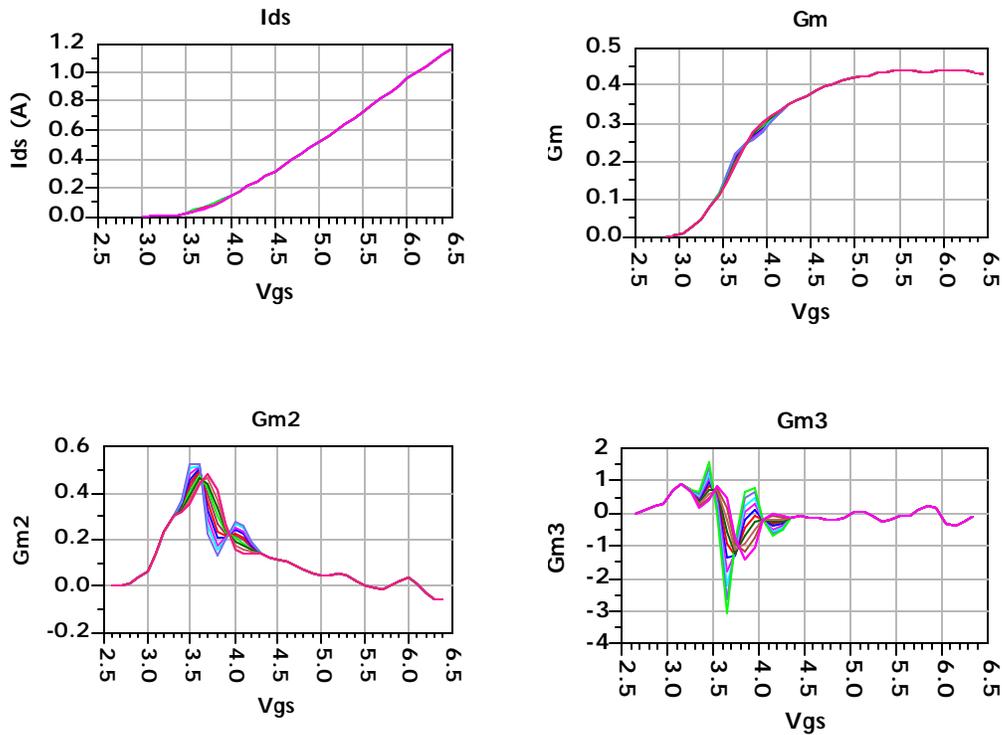


Figure 106 Impact d'une variation de V_{gs} de +/- 1% par pas de 0.2 % sur I_{ds} et ses dérivées

Les graphes de la Figure 106 ci-dessus montre qu'une variation de +/- 1% de V_{gs} autour de $V_{gs} = 3.75$ V ne modifie en rien la valeur absolue du courant I_{ds} , ainsi que sur la transconductance G_m . Par contre si l'on observe les dérivées supérieures G_{m2} et G_{m3} , l'impact est net.

Les graphes ci-après montrent les conséquences de ces variations sur les performances larges signaux du transistor en réponse à une excitation bi porteuses. Les très légères variations des puissances de sorties, du courant I_{ds} ainsi que du rendement en puissance ajoutée sont justifiées du fait que le courant de repos n'est pas réajusté. Pour ce qui est des variations du produit d'inter modulation d'ordre 3 – IMD3, l'impact de l'infinitésimale variation sur V_{gs} est flagrante.

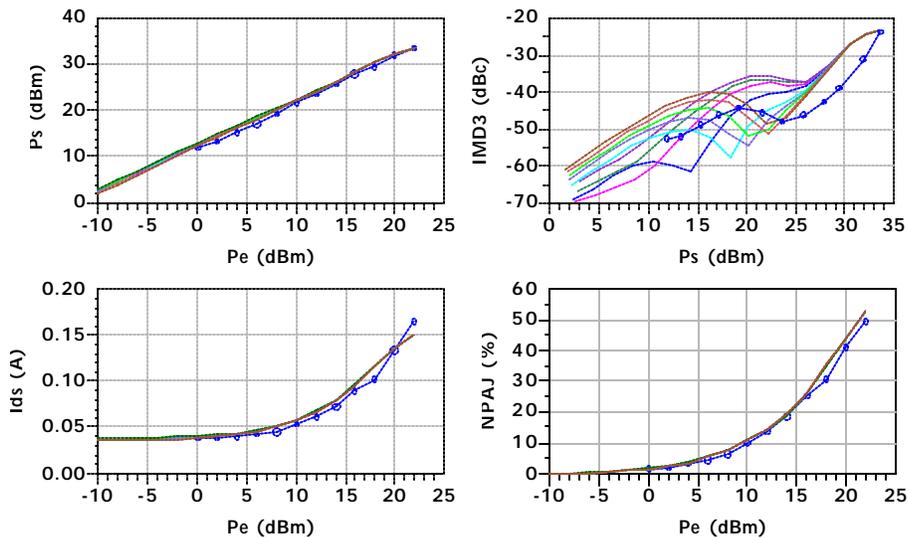


Figure 107 Impact des variations de V_{gs} sur les performances larges signaux

Voilà pour ce qui est du domaine des dérivées, mais cela sous entend que nous ayons assez de points de mesure.

La méthode actuellement utilisée est basée sur une caractérisation suivant V_{ds} et V_{gs} qui agit de façon indépendante. C'est-à-dire que le courant est mesuré suivant V_{ds} (ou V_{gs}) à V_{gs} (ou V_{ds}) constant, sachant que l'algorithme de mesure utilise la dichotomie récursive unidimensionnelle. Seul un nombre restreint de points est retenu pour assurer une description avec une erreur minimale suivant une seule dimension (V_{ds} ou V_{gs}) Cette méthode est valable si le courant varie non linéairement suivant une dimension et linéairement suivant l'autre dimension.

Mais dans le cas du transistor LDMOS, le réseau IV est non linéaire suivant V_{gs} et V_{ds} , les suppositions précédentes ne sont plus suffisantes, il est donc nécessaire de considérer la caractérisation bidimensionnelle. Les variations suivant V_{ds} et V_{gs} doivent être prises en compte.

Pour implanter cet aspect bidimensionnel, l'algorithme de mesure qui se contente de vérifier la précision suivant une seule dimension pourrait être modifié de la façon suivante. Il faudrait une deuxième passe pour vérifier si l'on possède assez de points pour obtenir une bonne précision suivant la deuxième dimension.

Cette méthode présenterait l'avantage de générer une table de données directement exploitable sans avoir à effectuer le traitement détaillé dans la 2^{ème} partie. On peut cependant remarquer que si l'on applique une erreur minimale ne serait ce de 2 %, la valeur absolue du courant sera suffisante mais les dérivées seront clairement insuffisantes. 2 % sur le courant génère une erreur plus conséquente sur les dérivées, surtout dans les zones où il subsiste une fois encore des variations importantes. Cependant une caractérisation bidimensionnelle est coûteuse en temps et pas forcément utile du fait que le modèle est sollicité sur tout le réseau IV uniquement en cas de forte désadaptation (ce qui est rarement le cas). Seul la précision suivant un cycle de charge hypothétique est intéressant (Classe AB dans notre cas).

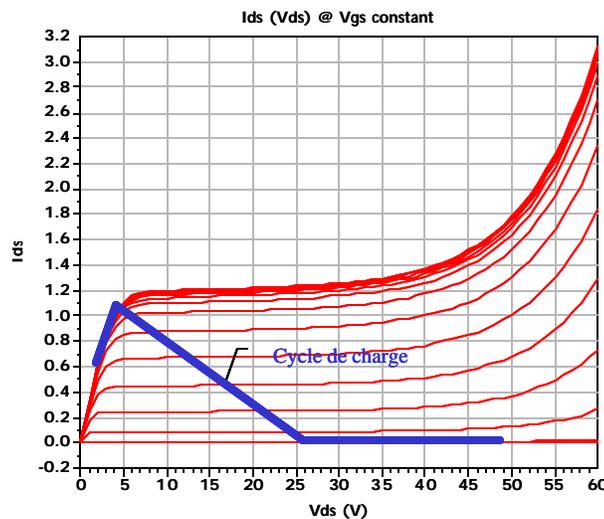


Figure 108 Cycle de charge sur le réseau IV

On peut alors aisément imaginer une routine utilisant la méthode de mesure conventionnelle de l'IRCOM (dichotomie récursive suivant Vds), à laquelle on adjoint une vérification de la précision suivant le cycle de charge souhaité.

Nous voyons donc les limites des modèles basés sur les tables, la limitation sur la précision des dérivées. Ceci nous amène donc à évoquer un autre type de mesure réalisé avec le NNMS (non linear network analyser) ou Analyseur de réseau non linéaire (présenté en partie 1). Cet appareil possède l'avantage de pouvoir mesurer directement les dérivées du réseau IV. La dérivée première (suivant Vds : Gd ou Vgs : G,) peut être relevée. Nous pouvons ainsi gagner de la précision sur la détermination des dérivées.

Compte tenu de ce qu'il a été évoqué précédemment, à savoir que le simulateur de circuit n'utilise les dérivées que lui fournit le modèle uniquement pour initier la convergence du modèle, et non à chaque itération. Un modèle basé uniquement sur les dérivées n'a donc pas de sens, mais ce qui pourrait présenter un intérêt serait effectivement de relever les dérivées, et de déterminer le courant à partir de ces dérivées, l'erreur globale serait moindre.

A cela si l'on considère l'observation précédente quant à la sensibilité des dérivées d'ordre supérieur avec les valeurs de V_{gs} , rendre optimisable ce modèle - table semble réaliste, on pourrait ainsi l'optimiser pour faire coïncider sa prédiction d'IMD3 (et ordre supérieur) avec les mesures larges signaux.

Dans le processus de modélisation électrothermique présenté jusqu'ici, imaginons que :

- Le courant I_{ds} soit issue des dérivées $\frac{\partial I_{ds}}{\partial V_{ds}}$ mesurées avec le LSNA en mode pulsé, ce qui nous assure une bonne précision sur les dérivées (et du courant I_{ds}), et donc du comportement larges signaux (puissance de sortie, Gain, rendement ...)
- Dans la topologie finale du modèle ET, on autorise l'optimisation des valeurs de référence du vecteur V_{gs} en modifiant légèrement son code dans le simulateur de circuit.
- Le vecteur V_{gs} soit optimisé pour la prédiction des produits d'inter modulation en s'assurant une valeur constante du courant de polarisation.

On obtient alors un modèle électrothermique basée sur une table de données suivant V_{gs} , V_{ds} et T avec tous les avantages des modèles tables (rapidité d'extraction, précision dans la prédiction ...), ainsi que ceux des modèles empiriques (optimisables pour la prédiction larges signaux non linéaires...). Le modèle électrique étant exploité par des splines d'un ordre supérieur à 3 pour assurer la continuité de ses dérivées nécessaires à la prédiction des produits d'intermodulation.

4. Le modèle thermique : de l'extraction à la validation

La génération d'un modèle thermique dynamique distribué s'avère finalement pleinement maîtrisée et son processus clairement défini. Son utilisation dans la génération d'un modèle électrothermique est souhaitable tant les apports en terme de précision d'information sont importants.

Lors de la modélisation thermique du transistor (qui constituera par la suite notre cellule unitaire), nous nous sommes basés sur les travaux initialement réalisés par Freescale Semi-conducteurs pour le choix de la géométrie de la structure, ce choix s'avérera judicieux au regard de la précision finale du modèle.

Cependant on peut noter qu'il aurait été souhaitable de valider ce modèle thermique par des mesures thermiques spécifiques avant même de l'incorporer dans le modèle ET final.

Pourquoi ne pas avoir validé le modèle thermique ? Peut être tout simplement parce que nous ne disposions pas des moyens techniques nécessaires, ou pour être plus exact l'état de la technique ne nous permettait pas d'effectuer une telle validation.

En effet, suivant les technologies utilisées (bipolaire, MESFET ...) il est possible de procéder à une validation par le biais de mesures électriques spécifiques, mais aucune méthode universelle n'était disponible et réellement probante dans le cas des transistors LDMOS.

Une méthode intéressante pour la mesure de l'évolution dynamique de la température dans un semi-conducteur a récemment été mise au point. Cette nouvelle technique prend son essence dans la modification de la phase d'un rayon laser avec l'auto échauffement du semi-conducteur.

Un rayon laser illumine le semi-conducteur par sa face arrière, le rayon traverse le substrat pour être réfléchi sur la partie supérieure de ce dernier, le rayon est alors capté par un interféromètre et sa phase analysée.

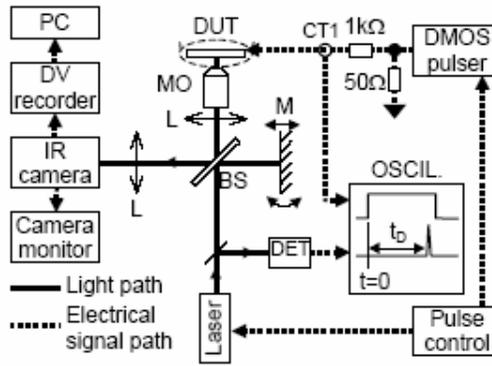


Figure 109 Topologie

L'évolution de la phase du rayon laser est directement proportionnelle à la température à travers la relation :

$$\Delta j(x, y, t) = \frac{4p}{I} \frac{dn}{dT} \int_0^L \Delta T(x, y, z, t) dz$$

Cette méthode permet ainsi d'accéder à des constantes de temps thermiques de quelques nanosecondes avec une résolution spatiale de quelques micromètres. La possibilité offerte d'effectuer une cartographie spatiale dynamique de la température du substrat constitue l'outil idéal à la modélisation thermique, et permettrait également l'analyse fine de phénomène thermique dans le transistor.

5. La définition des règles de scaling au sens de la thermique.

Quelque soit la taille du transistor, il n'est qu'une mise en parallèle de cellules unitaire de petite taille. Cette cellule unitaire étant dans notre cas un transistor de 0.6 mm de périphérie de grille (2 doigts). Dans un fonctionnement petit signal sans aucun auto échauffement toutes les cellules unitaires ont un fonctionnement identique, elles délivrent toutes la même puissance de sortie et surtout dissipe la même puissance. Lorsque que le transistor est utilisé en régime fort signal, chacune de ces cellules dissipe une certaine puissance et donc il y a auto échauffement ; auquel il faut ajouter l'échauffement par couplage thermique des cellules unitaires adjacentes ! Une cellule située à la périphérie du transistor aura moins de couplage thermique qu'une cellule située au centre. C'est pour cette raison que lorsque l'on observe un profil de température suivant la largeur du transistor, ce dernier n'est pas constant.

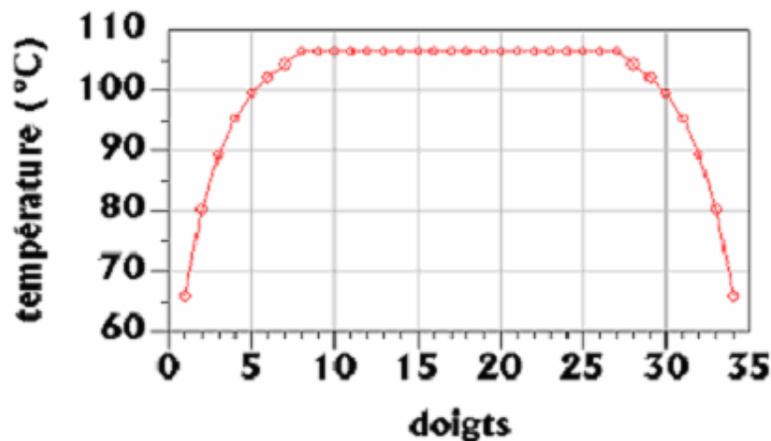
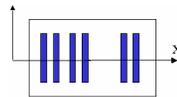


Figure 110 Profil de température suivant les doigts

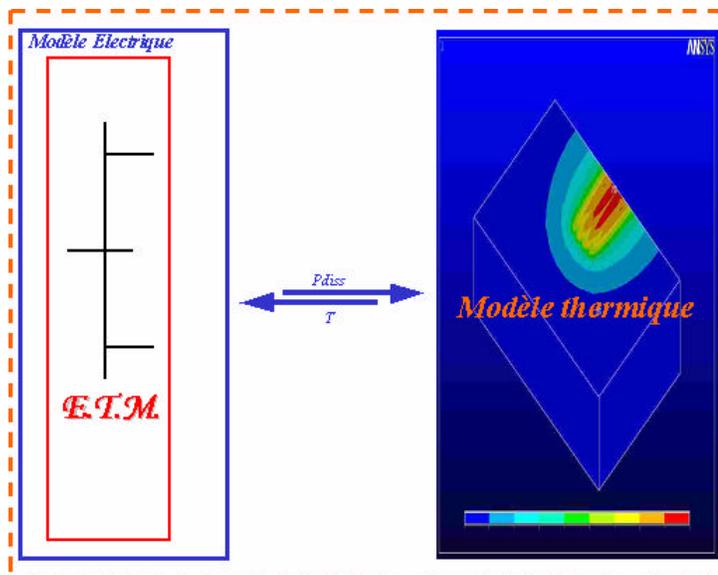


Les effets de la température sur les caractéristiques électriques ne sont plus à démontrer, en particulier sur la puissance délivrée, les cellules unitaires n'ont alors plus un fonctionnement homogène.

Comme nous l'avons évoqué précédemment, les modèles électrothermiques usuels des transistors de puissance ont leur comportement thermique décrit uniquement avec des cellules RC qui ne transcrivent qu'une évolution dynamique de la température moyenne du canal.

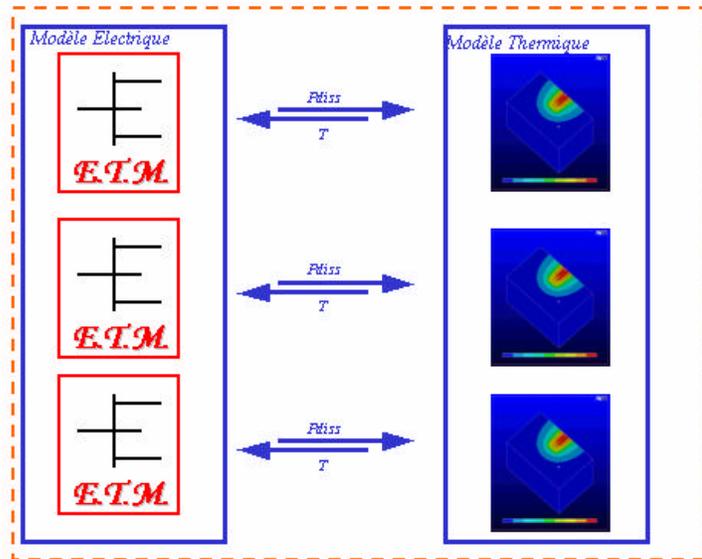
Nous proposons ici d'évaluer l'impact d'une modélisation distribuée suivant le profil de température, impact sur les performances électriques telles que l'IMD ou la puissance de sortie. Le transistor considéré est un LDMOS HV4*4 avec une longueur de grille totale de 9.6 mm. Pour cela nous considérons 5 topologies de modèle E.T., elles diffèrent toutes dans le sens où le modèle électrique est couplé différemment au modèle thermique ainsi que par la taille des cellules électriques unitaires ; nous distinguons les 5 topologies suivantes :

1^{ère} topologie : le modèle électrique du transistor 9.6 mm est relié au modèle thermique, la puissance dissipée est injectée uniformément sur toutes les cellules unitaires du modèle thermique, et seule la température maximale est retenue et est à son tour injectée dans le modèle électrique.

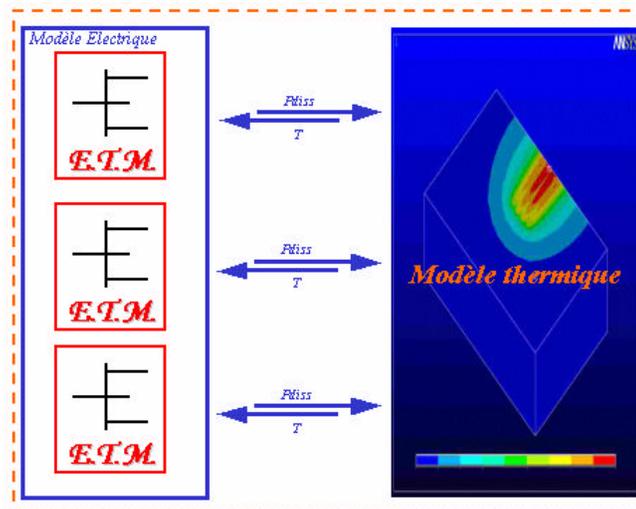


C'est la topologie la plus basique et équivalente à celle utilisé usuellement, on ne tiens pas compte de la non homogénéité de la température suivant le profil des doigts.

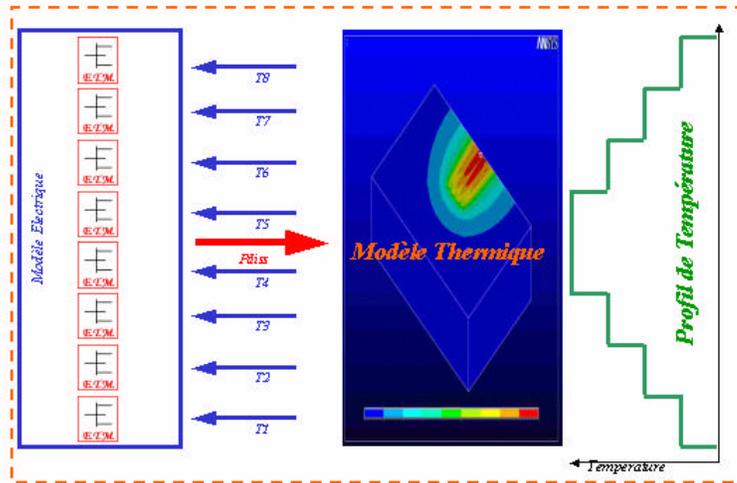
2^{ème} topologie : Le modèle est décomposé en sous modèles mis en parallèle. Chacun possède son circuit thermique propre, il n'y a pas de couplage thermique entre ces modèles.



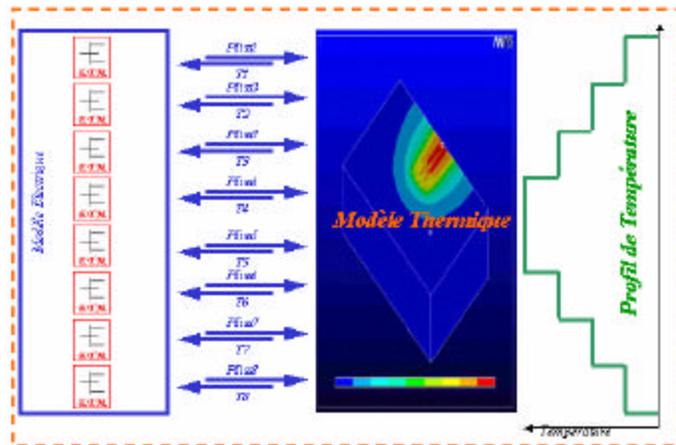
3^{ème} topologie : le modèle est constitué de sous modèles électriques connectés à un circuit thermique global. Contrairement à la topologie précédente celle ci prend en compte les couplages thermiques entre toutes les cellules unitaires. Chacun des sous modèles électriques fournit la puissance dissipée qui lui est propre et reçoit la température d'auto échauffement en plus de la température couplée des autres sous modèles.



4^{ème} topologie : le modèle est décomposé en sous modèles électriques, la puissance dissipée globale est injectée uniformément dans le modèle thermique, mais la température associée à chacun des sous modèles leur est retournée.



5^{eme} topologie - Même chose que précédemment à la différence que chacun des sous modèles injecte sa puissance dissipée et récupère la température qui lui est associée.



Les simulations sont réalisées avec des adaptations d'entrée / sortie pour un optimum à 1dB de compression, un point de polarisation de 4 mA /mm et un signal d'excitation bi porteuses (dF = 100 KHz).

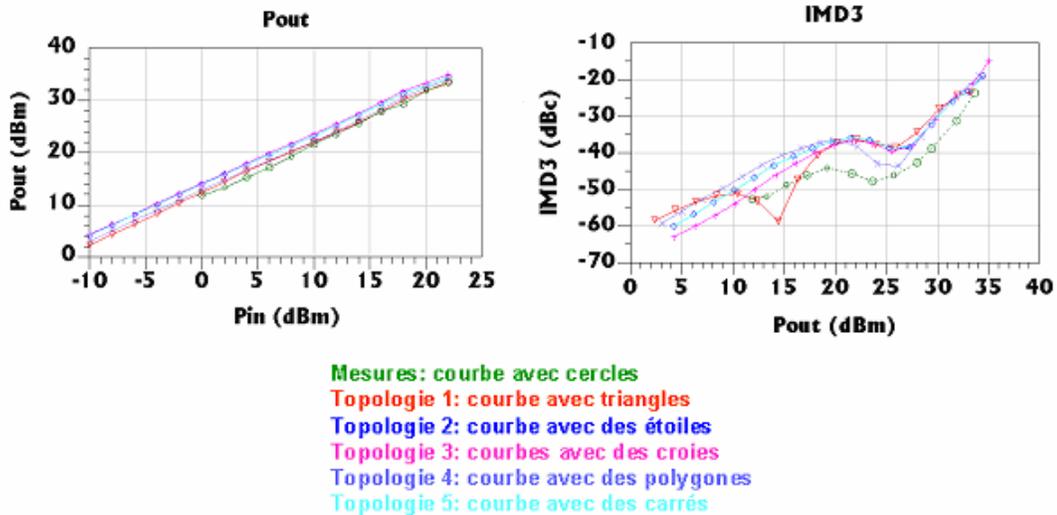


Figure 111 Puissance de sortie et produit d'intermodulation d'ordre 3 des différentes topologies en réponse à un signal bi porteuses

Les résultats montrent que la topologie 4 est la plus performante en concordance avec les mesures aussi bien pour la prédiction de la puissance de sortie que pour le produit d'intermodulation. A noter également le comportement de la topologie 1 pour la puissance de sortie, d'aussi bonne précision que la topologie 4 et meilleure que les autres mais on notera également un écart important sur la prédiction de l'intermodulation.

Cependant des 5 configurations possibles, la topologie 5 semble la plus réaliste. Chaque cellule électrique unitaire génère son propre auto échauffement et subit le couplage thermique des cellules latérales. Cette topologie permettrait certainement de prédire des phénomènes intéressants comme l'emballement thermique.

Alors pourquoi la topologie 4 semble la plus performante dans notre cas ? l'exemple présenté adresse un transistor de 9.6 mm de développement de grille. Ce transistor est considéré comme petit, les phénomènes thermiques ne sont certainement pas assez important pour nous permettre de valider ou infirmer notre hypothèse. Pratiquer l'exercice sur un transistor de plus fort développement (supérieur a 30 mm) nous apporterait certainement plus d'informations.

Quoiqu'il en soit, cette constatation nous conforte dans l'idée qu'il est préférable et souhaitable de s'orienter vers des modèles électrothermiques distribués suivant le profil de température.

6. Conclusion

Mesure, caractérisation, modélisation thermique, définition des règles de scaling: Ces quatre observations sont en quelque sorte quatre points clés qui délimitent la précision de notre modèle.

On peut difficilement améliorer la qualité des mesures tant ces dernières sont déjà d'une haute précision. Mais concernant le modèle thermique, sa validation, des améliorations notables sont possibles. La mise en oeuvre des techniques présentées peut s'avérer très profitable pour la prédiction des caractéristiques des signaux à enveloppe complexe tel le CCDF pour la norme UMTS.

Le fort développement de grille des transistors LDMOS utilisés pour la conception d'amplificateurs de puissance provoque un important échauffement. Leur prédiction à partir de modèles de petits transistors nécessite une meilleure compréhension des phénomènes thermiques ou tout du moins une meilleure quantification, chose à laquelle l'outil de Dyoniz Pogany est idéalement fait.

Bibliographie

[1] Francisco Javier Casas Reinares

«Techniques de Réduction d'Ordre des Modèles de Circuits Haute Fréquence Faiblement NonLinéaires»

Rapport de thèse, université de Limoges, Limoges 2004.

[2] Tibault Reveyrand

« Conception d'un système de mesure d'enveloppes temporelles aux accès de modules de puissances : Application à la mesure du NPR et à la modélisation comportementale d'amplificateurs »

Rapport de thèse, université de Limoges, Limoges 2002.

[3] Tony Gasseling

« Caractérisation non-linéaire avancée de transistors de puissance pour la validation de leur modèle CAO »

Rapport de thèse, université de Limoges, Limoges 2003.

[4] Bob Pryor, Harry Bawcom, Wayne Burger, Chris Dragon, Dan Lamey, Nancy Lewis, Xiaowei Ren

«HV4IC LDMOS Layout Manual Revision 1.2»

RF-LDMOS Device Engineering, Wireless Infrastructure Systems Division, Networking & Computing Systems Group, Motorola Semiconductor Products Sector.

[5] Ian Instone

« Calculating the uncertainty of a single measurement »

Hewlett-Packard Limited.

[6] *« Guide to the expression of uncertainty in measurement »*

International Organization for standardization, Switzerland, 1993 (first edition).

[7] Zineb Ouarch

« *Caractérisation et modélisation des effets de pièges et thermiques des transistors à effet de champ sur AsGa : application à la simulation de la dynamique lente des circuits non-linéaires micro-ondes* »

Rapport de thèse, université de Limoges, Limoges 1999.

[8] Jihye Whang

« *Thermal Characterization and Modeling of LDMOS FETs* »

Department of Electrical Engineering and Computer Science, Massachusetts Institute of Technology, 22 Mai 2002, USA.

[9] Gilles Dambrine, Alain Cappy, Frédéric Héliodore

« *A new method for determining the FET small-signal equivalent circuit* »

IEEE Transactions on microwave theory and techniques, vol. 36, no. 7, july 1988.

[10] Seonghearn Lee, Hyun Kyu, Cheon Soo Kim

« *A novel approach to extracting small-signal model parameters of silicon MOSFET's* »

IEEE microwave and guided wave letters, vol. 7, no. 3, march 1997.

[11] J.P. Raskin, G. Dambrine, R. Gillon

« *Direct extraction of the series equivalent circuit parameters for the small-signal model of SOI MOSFET's* »

IEEE microwave and guided wave letters, vol. 7, no. 12, december 1997.

[12] Alessandro Cidronali, Giovanni Collodi

« *A new approach to FET model scaling and MMIC design based on Electromagnetic Analysis* »

IEEE Transactions on microwave theory and techniques, vol. 47, no. 6, June 1999.

[13] E. Larique, S. Mons, D. Baillargeat

« *Electromagnetic Analysis for Microwave FET modelling* »

IEEE microwave and guided wave letters, vol. 8, no. 1, January 1998.

[14] E. Larique, S. Mons, D. Baillargeat

« *Linear and Nonlinear FET modeling applying an electromagnetic and electrical hybrid software* »

IEEE Transactions on microwave theory and techniques, vol. 47, no. 6, June 1999.

[15] David Lovelace, Julio Costa, Natalino Camilleri

« *Extracting small-signal model parameters of silicon MOSFET transistors* »

Motorola, Inc., 2200 West Broadway Road, Mesa, AZ 85202.

[16] Ph. Jansen, D. Schreurs, W. De Raedt, B. Nauwelaers

« *Consistent Small-signal and large-signal extraction techniques for heterojunction FET's* »

IEEE Transactions on microwave theory and techniques, vol. 43, no. 1, January 1995.

[17] Stéphane Augaudy

« *Caractérisation et modélisation des transistors microondes, application à l'étude de la linéarité des amplificateurs à fort rendement* »

Rapport de thèse, université de Limoges, Limoges 2002.

[18] Christophe Charboniaud

« *Modification d'un analyseur de réseau non linéaire pour la mesure de signaux RF impulsionnels* »

Rapport de stage DEA, IRCOM-BRIVE, juillet 2001.

[19] Cédric Cassan

« *Etude de techniques de linéarisation d'amplificateurs pour stations de base radiocellulaires de troisième génération* »

Rapport de thèse, université de Limoges, Limoges 2001.

[20] Francis Huin

« *Etude des formes d'ondes permettant une optimisation des performances des amplificateurs de puissance. Application à la conception d'amplificateurs, à faible tension de polarisation, pour les communications mobiles* »

Thèse de l'université de Limoges, Janvier 2001.

[21] Michael Guyonnet

« *Optimisation de self-inductances sur substrat LDMOS* »

Rapport DESS de l'université de Limoges, Septembre 2001.

[22] System Plus S.A.

« *Etude des caractéristiques techniques et économiques des filières d'interconnexions des composants électroniques dans les systèmes : performances thermiques* »

[23] David Lopez

« *Intégration dans un environnement de simulation circuit d'un modèle électrothermique de transistor bipolaire à hétérojonction issu de simulations thermique tridimensionnelles* »

Thèse de l'université de Limoges, Juin 2002.

[24] Ying-Keung Leung, Amit K. Paul, Kenneth E. Goodson

« *Heating Mechanisms of LDMOS and LIGBT in Ultrathin SOI* »

IEEE Electron Device Letters vol. 18, no. 9, september 1997.

[25] Gerhard K. Wachutka

« *Rigorous Thermodynamic treatment of heat generation and conduction in semiconductor device modeling* »

IEEE transactions on computer-aided design, vol. 9, no. 11, november 1990.

[26] A. Raman, D.G. Walker, T.S. Fisher

« *Simulation of nonequilibrium thermal effects in power LDMOS transistors* »

Solid-state electronics letter, january 2003.

[27] Timo Veijola, Mikael Andersson, Antti Kallio

« *Parameter extraction procedure for an electrothermal transistor Model* »

Proceedings of BEC'96, Tallinn, Estonia, October 7-11 1996, pp. 71-72.

[28] Steve Clemente

« *Transient thermal response of power semiconductors to short power pulses* »

IEEE transactions on power electronics, vol. 8, no. 4, october 1993.

[29] Dr. John W. Sofia

« *Analysis of thermal transient data with synthesized dynamic models for semiconductor devices* »

Analysis Tech, Wakefield, MA 01880.

[30] D. Pogany

« *Local thermal and current imaging in power devices* »

Institute for Solid state electronics, Vienna University of technology, Proceedings Gme Forum 2003.

[31] Chan-Su Yun, Paolo Malberti, Mauro Ciappa

« *Thermal component model for electrothermal analysis of IGBT module systems* »

Integrated systems laboratory, Swiss Federal Institute of technology, CH-8092 Zurich, Switzerland.

[32] Chan-Su Yun, Peter Regli, Jurg Waldmeyer

« *Static and dynamic thermal characteristics of IGBT power modules* »

Integrated systems laboratory, Swiss Federal Institute of technology, CH-8092 Zurich, Switzerland.

[33] Dionyz Pogany, Viktor Dubec, Sergey Bychikhin

« *Single-shot Nanosecond thermal imaging of semiconductor devices using absorption measurements* »

IEEE transactions on device and materials reliability, vol. 3, no. 3, september 2003.

[34] Christian Fager

« *Microwave FET Modeling and Applications : Statistical Model Parameter Estimation, Power Amplifier Intermodulation Distortion Analysis, FMCW Radar Transceivers* »

Thesis report, Chalmers University of Technology, Goteborg- Sweeden 2003.

[35] Joel Vuolevi

« *Analysis, Measurement and Cancellation of the Bandwidth and Amplitude dependence of intermodulation distortion in RF power Amplifiers* »

Thesis report, University of Oulu, Oulu 2001.

[36] David J. Williams, Jonathan Leckey

« *Study of the effect of envelope impedance on intermodulation asymmetry using two-tone time domain measurement system* »

Cardiff School of Engineering & Celeritek UK Ltd.

[37] Christian Fager, José Carlos Pedro, Nuno Borges de Carvalho

« *Prediction of IMD in LDMOS transistor Amplifiers using a new large-signal Model* »

IEEE Transactions on microwave theory and techniques, vol. 50, no. 12, december 2002.

[38] G. Qu, A.E. Parker

« *Modelling Intermodulation Distortion in MESFETs and HEMTs* »

[39] James Brinkhoff, Anthony Edward Parker

« *Effect of baseband impedance on FET intermodulation* »

IEEE Transactions on microwave theory and techniques, vol. 51, no. 3, march 2003.

[40] Ping Yang, Berton D. Epler, Pallab K. Chatterjee

« *An investigation of the charge conservation problem for MOSFET circuit simulation* » IEEE

Journal of solid-state circuits, vol. sc-18, no. 1, february 1983.

[41] J.J. Raoux

« *Modélisation Non-linéaire des composants Electroniques : du modèle Analytique au modèle tabulaire paramétrique* »

Rapport de thèse, Université de Limoges, Limoges 1996.

[42] Alban Laloue

« *Modélisation non-linéaire distribuée des transistors à effet de champ : application à l'analyse de la stabilité des transistors et des caractéristiques en bruit dans les circuits MMIC millimétriques* »

Rapport de thèse, Université de Limoges, Limoges 2001.

[43] Nuno Borges de Cavalho, José Carlos Pedro

« *Large- and Small-Signal IMD behavior of microwave power amplifiers* »

IEEE Transactions on microwave theory and techniques, vol. 47, no. 12, december 1999.

[44] José Carlos Pedro, Jorge Perez

« *Accurate Simulation of GaAs MESFET's intermodulation Distortion using a new drain-source current model* »

IEEE Transactions on microwave theory and techniques, vol. 42, no. 1, july 1994.

[45] Stéphane Forestier

« *Gestion dynamique de la génération de puissance en hyperfréquence pour les modulations numériques: application à l'optimisation des performances d'un amplificateur millimétrique* »

Rapport de thèse, Université de Limoges, Limoges 2003.

[46] J.P. Viaud, R. Sommet, J.P. Teyssier, D. Floriot, and R. Quéré

« *Nonlinear RF characterization and modelling of heterojunction bipolar transistors under pulsed conditions* »

In *24 th European Microwave Conference - CANNES*, volume 2, pages 1610-1615, 1994.

[47] J.M. Collantes, P. Bouysse, J. Portilla, and R. Quere

« *A dynamical load-cycle charge model for RF power FETs* »

Microwave and Wireless Components Letters, IEEE, 11(7):296-298, 2001.

[48] J.P. Teyssier, P. Bouysse, Z. Ouarch, D. Barataud, T. Peyretailade, and R. Quere

« *40-GHz/150-ns versatile pulsed measurement system for microwave transistor isothermal characterization* »

Microwave Theory and Techniques, IEEE Transactions on, 46(12): 2043-2052, 1998.

[49] D.E. Root

« *Charge Based Partially Distributed MESFET Model for SPICE* »

(invited paper) Modeling High-Speed GaAs Devices and Nonlinear CAD Workshop, Palo Alto, CA, Feb. 1987.

Conclusion Générale

Nous avons commencé ce manuscrit par une longue introduction sur la philosophie de la modélisation et ses formalismes. Profitant du formidable essor de l'informatique, la modélisation possède tous les atouts pour atteindre son objectif ultime à savoir permettre la conception totale de système à travers la CAO sans recourir à des réalisations intermédiaires de coûteux prototypes. L'apogée consisterait certainement à la réalisation de modèles suffisamment performant et précis pour que, en plus de prédire le comportement d'un composant / système avec la précision que l'on sait, la CAO puisse rendre possible l'optimisation des technologies pour répondre aux besoins.

L'extraction d'un modèle se résume à travers les 3 étapes suivantes : Mesures – Modélisation – Validation, qui sont d'égale importance.

Les mesures initiales des paramètres S et du réseau IV en régime pulsé sont le point de départ du processus. De leurs précisions dépendent les capacités du modèle à prédire les performances électriques du transistor. Autant il peut être relativement aisé de juger de la qualité du modèle par rapport aux mesures effectuées, il n'y a qu'à comparer les courbes, autant juger la qualité des mesures est tout autre.

En première partie nous mentionnons le manuel de *l'Organisation Internationale de Standardisation*, qui préconise l'utilisation du terme Incertitude de mesures en lieu et place du terme erreur de mesure, ce dernier terme pouvant sous-entendre finalement que l'on prédise le résultat de la mesure.

A ces incertitudes s'ajoute des erreurs qui elles portent bien leurs noms. On fait ici référence au manque de données pour la modélisation des non linéarités intrinsèques (Ids et capacités). On modélisait bien les mesures, mais ces dernières n'étaient pas assez nombreuses pour refléter au plus juste la réalité. La rectification a été possible grâce à l'étape de validation en forts signaux qui nous a permis de lever cette incohérence du modèle avec la mesure du produit d'intermodulation d'ordre 3. L'ajout de l'étape de traitement de données permet ainsi de compenser ce manque. A la clef également un gain sur la convergence du simulateur et donc un gain en temps de simulation.

A noter cependant que l'erreur peut apparaître lors de l'étape de validation. Cela a été le cas avec la mesure de l'adaptation d'entrée – IRL. Le modèle ne prédisant pas le même niveau

d'adaptation à impédances comparables. Nous avons tout d'abord suspecté le modèle avant que la raison / intuition ne nous amène à suspecter les mesures forts signaux. Il s'est finalement avéré que la méthode de mesure n'était pas adaptée, ou tout du moins été sujette à une imprécision importante suivant les niveaux de puissance mise en jeu. L'implémentation d'une nouvelle méthode de mesure a alors permis de lever le doute. Dans ce cas précis le modèle prédisait le bon comportement à l'instar des mesures faussées. On aurait aussi bien pu tomber dans le piège : on modélise les mauvaises mesures, le résultat aurait certes été cohérent avec la méthode mais pas réaliste. Cette méthode a depuis été adoptée par l'équipe de conception de **Freescale – Toulouse**. La modélisation électrothermique a également permis d'apporter son lot d'innovations / observations, à commencer par les splines tri cubiques. Ce n'est certes pas une révolution en soit, mais le simple fait d'introduire le paramètre de température dans l'interpolation locale du modèle à splines nous a évité l'étape de recherche du polynôme adéquat, si coûteuse en temps. L'extraction de modèle isothermique nous aura également permis de confirmer l'indépendance au premier ordre des capacités intrinsèques avec la température. En effet, seule la source de courant et les éléments extrinsèques des transistors LDMOS sont dépendants de la température. Cette observation a par la suite été confirmée en constatant la stabilité de la phase du signal de sortie avec la température.

La détermination du modèle thermique constitue une des avancées intéressantes dans la modélisation électrothermique de la technologie LDMOS. Reprenant la technique mise au point par l'IRCOM, nous avons établi une procédure claire pour la génération du modèle thermique à l'aide le logiciel *ANSYS*, plus a même de répondre aux exigences du formalisme industriel. La validation du modèle thermique a été réalisée à travers la réalisation de mesures électriques en mode pulsé. On pourrait peut être tout simplement regretter de ne pas avoir eu à notre disposition des moyens techniques permettant la mesure directe de l'évolution dynamique de la température. Les évolutions techniques aidant, des solutions apparaissent comme évoqué en partie 4 du manuscrit.

La méthodologie est là, l'outil est performant, la validation actuelle efficace, l'apport de l'interféromètre serait tout simplement le dernier maillon à un solide processus d'extraction de modèle thermique.

On peut également évoquer des tests additionnels pour vérifier la prédiction du modèle à différents types d'excitations. En exemple donnons les effets mémoires des signaux complexes du type WCDMA permettant de renseigner sur les très courtes constantes de temps thermiques.

L'étude sur la définition des règles de scaling nous a également apporté bon nombre d'informations. En plus de la possibilité d'utiliser le modèle pour des transistors de développements plus élevés, nous avons pu observer :

- les couplages thermiques entre les doigts du transistor sont finalement assez limités. Nul besoin d'extraire des modèles de tailles conséquentes alors qu'il est possible de les constituer à partir de cellules unitaires.
- La distribution du modèle suivant le profil de température est d'importance. L'exemple donné en partie 4 met en évidence la non uniformité de l'effet transistor avec les variations de température. Et encore cela a été montré sur un transistor de faible développement, qu'en serait-il sur des transistors plus larges avec des puissances dissipées autrement plus importantes ?

En conclusion, notons que l'ensemble des observations, remarques évoquées dans les quelques pages de ce manuscrit ne resteront pas « lettre morte ». Elles sont dorénavant et déjà en cours d'implémentation dans l'équipe de modélisation de *Freescale Semi-conducteurs* : méthodologie pour l'obtention de règles de scaling, modifications de la méthode de mesure des non-linéarités, méthode de mesure de l'adaptation d'entrée ... ou sont tout simplement en cours de planification pour une utilisation prochaine : extraction de modèles thermiques réduits, implémentation de la quantification de l'incertitude de mesure ...

Pour finir, et ce sera le maître mot de la fin, garder l'esprit critique sur les 3 composantes de notre étude : Mesures – Modélisation – Validation, aucune étape n'est intégralement fiable. Elles n'ont de raison d'être qu'en étant considérées ensembles.

RESUME

Modélisation électrothermique non linéaire de transistors de puissance LDMOS: application à la détermination de règles d'échelle

L'accroissement du marché des télécommunications demande des amplificateurs de puissance pour station de base à bas coût, linéaire et possédant un rendement élevé. Les puissances requises pour ces amplificateurs peuvent dépasser les 120 W pour une tension d'alimentation inférieure à 30V. La technologie LDMOS-Silicium possède tous les atouts requis pour satisfaire le besoin. A cela s'ajoute le besoin de modèle Electrothermique non linéaire que l'on intègre dans un simulateur de circuit. Plusieurs types de modèles électrothermiques ont, à ce jour, été développés. Cependant aucun n'inclut un véritable comportement thermique dynamique primordial pour la prédiction du comportement du transistor.

Dans cette thèse nous proposons une nouvelle approche basée sur la description électrique et thermique des composants intrinsèques du modèle, ce même modèle étant couplé à un second modèle thermique. La description du comportement électrique de chaque composant intrinsèque est faite avec des splines Tri cubiques. Le circuit thermique est issu de simulations thermiques (simulateur Ansys), réduites à l'aide de la méthode des vecteurs de Ritz proposée par l'IRCOM. Partant d'un modèle Electrothermique initial, nous définissons des règles de scaling permettant l'obtention de modèles de transistors de plus fort développement sans avoir à re-exécuter tout le processus.

ABSTRACT

Non-linear electro-thermal modeling of LDMOS power transistors : Determination of scaling rules

The growth of wireless communication requires the design of low cost, linear, and high efficiency RF power amplifiers. The power required for these applications sometimes exceeds 120 W with a supply voltage lower than 30 V, silicon LDMOS technology provides a solution for. The design of RF power amplifiers is best achieved through the usage of non-linear electro-thermal models, integrated into a circuit simulator. Several electro-thermal models have been developed, however the majority of these models lack the computation of the full transient thermal response of intrinsic transistor.

In this dissertation, a new approach based on the electric and thermal response of intrinsic components coupled to a thermal circuit is proposed. The electrical description of each intrinsic component is performed with tri-cubic splines. The thermal-circuit is obtained from the finite element method simulation within Ansys, reduced by the Ritz's vector method previously proposed by IRCOM. From an initial model, we define scaling rules to obtain model of larger periphery transistors without re-executing the extraction process.

Mots clés:

Freescale	LDMOS
Puissance	Electrothermique
Simulation thermique	Non linéaire
Scaling	Spline
Validation	Load-pull
Ansys	Fasttherm