

# UNIVERSITE DE LIMOGES

ECOLE DOCTORALE Science - Technologie - Santé

Faculté des Sciences

Année : 2003

Thèse N° 51-2003

## THÈSE

pour obtenir le grade de

### DOCTEUR DE L'UNIVERSITÉ DE LIMOGES

Discipline : " Électronique des Hautes Fréquences et Optoélectronique "

Spécialité : " Télécommunications "

présentée et soutenue publiquement par

**NICOLAS DUBUC**

*Le 24 Novembre 2003*

***MODELISATION ELECTROTHERMIQUE DE  
TRANSISTORS MESFET SiC ET OPTIMISATION D'UNE  
ARCHITECTURE DOHERTY POUR L'AMPLIFICATION DE  
PUISSANCE A HAUT RENDEMENT***

***Jury :***

M. Jean-Pierre Villotte	Professeur, Université de Limoges	Président
M. Eric Bergeault	Professeur, E.N.S.T - Paris	Rapporteur
M. Juan-Marie Collantes	Professeur, Université du Pays Basque - Bilbao	Rapporteur
M. Bruno Barelaud	Maître de Conférences, Université de Limoges	Examineur
M. Philippe Bouysse	Maître de Conférences, Université de Limoges	Examineur
M. Lucien Dascalescu	Professeur, Université de Poitiers	Examineur
M. Claude Duvanaud	Maître de Conférences, Université de Poitiers	Examineur
M. Raymond Quéré	Professeur, Université de Limoges	Examineur
M. Yves Butel	Ingénieur, Alcatel Space - Toulouse	Examineur



*Ce mémoire est dédié à Géraldine et...  
pour son amour et sa patience.*



## REMERCIEMENTS

---

Ce travail a été effectué en collaboration entre l'Institut de Recherche en Communications Optiques et Microondes sur le site de l'IUT GEII de Brive et le Laboratoire d'Automatique et d'Informatique Industrielle sur le site de l'IUT d'Angoulême.

Je tiens à remercier, Messieurs les Professeurs P.Y. GUILLON et J.C TRIGEASSOU, respectivement Directeur de l'IRCOM et du LAII de m'avoir accueilli dans leur laboratoire respectif.

J'exprime ma vive reconnaissance à Monsieur R. QUERE, Professeur à l'Université de Limoges et responsable de l'équipe « Circuits et sous-ensembles non-linéaires », pour sa riche expérience scientifique dont il m'a fait profiter. Qu'il trouve ici l'expression de ma gratitude pour la confiance, les conseils et les suggestions avisés qu'il m'a prodigués ainsi que pour ses qualités scientifiques dont il a fait preuve en dirigeant ce travail !

Que Monsieur L. DASCALESCU, Professeur à l'Université de Poitiers qui m'a accueilli au sein de l'équipe « Electronique et électrostatique », soit assuré de ma gratitude pour ses conseils et ses encouragements.

Je souhaite également remercier Monsieur J.P VILLOTTE, Professeur à l'Université de Limoges pour l'honneur qu'il me fait en acceptant de présider ce jury de soutenance de thèse.

J'associe à ces remerciements Messieurs E. BERGEAULT, Professeur à l'Ecole Nationale Supérieure des Télécommunications (ENST) de Paris et J.M COLLANTES, Professeur à l'Université du Basque de Bilbao (Espagne), qui ont accepté la responsabilité de juger ce travail en qualité de rapporteurs.

J'ai l'honneur de compter parmi les membres du jury la présence de Monsieur B. BARELAUD, Maître de conférences à l'Université de Limoges et Y. BUTEL, Ingénieur de la société Alcatel Space à Toulouse qui permettent d'avoir un jugement extérieur et l'œil d'un industriel sur ce travail en acceptant de participer à ce jury.

Mes remerciements vont également à Monsieur P. BOUYASSE, Maître de conférences à l'Université de Limoges pour sa confiance, ses qualités techniques, ses nombreux conseils et suggestions mais aussi pour l'autonomie qu'il m'a inculqué en co-encadrant ce travail.

Toute ma gratitude va à Monsieur C. DUVANAUD, Maître de conférences à l'Université de Poitiers pour l'honneur et le grand plaisir qu'il m'a apporté en acceptant de co-encadrer ce travail. Qu'il sache que je n'oublierai jamais (non pas mon set perdu au tennis), mais ses encouragements tant sportif, qu'intellectuel, son enthousiasme, sa disponibilité (même tardive et parfois le week-end !) et bien entendu ses compétences techniques, ses qualités scientifiques et humaines dont il a su me faire bénéficier et transmettre une partie ; je l'espère !

Je voudrais également remercier Monsieur J.M PAILLOT, Maître de conférences à l'Université pour ses encouragements et ses conseils lorsque j'étais étudiant à l'IUT GEII d'Angoulême, un jour il m'a dit « je te souhaite également de devenir Docteur » et bien c'est fait. Quel bonheur !

Mes remerciements vont également Mademoiselle H. BREUZARD et Madame M.C LEROUGE, respectivement secrétaire de l'équipe « circuits actifs » à Brive et de Limoges pour leurs disponibilités, leurs efficacités et leurs compétences lors des différentes démarches effectuées.

Je tiens aussi à remercier vivement les équipes pédagogiques du département GEII de l'IUT d'Angoulême et du département HSE sur le site délocalisé de Niort de l'IUT de Poitiers qui ont su m'intégrer parmi elles.

En particulier, je tiens à remercier, Monsieur P. ABBÉ pour ses conseils et son aide précieuse lors de la réalisation du circuit imprimé de l'amplificateur Doherty. Je remercie Sébastien pour avoir partagé le même bureau, nos discussions et son soutien lors de la rédaction. C'est à ton tour de rédiger...

Enfin, sans donner une liste exhaustive ou sans m'embarquer dans un récit que seuls les destinataires comprendraient, de peur d'en oublier, je tiens à exprimer ma sympathie et à remercier tout ceux que j'ai pu côtoyer : permanents, anciens & nouveaux thésards (lézards comme disaient certains), stagiaires, enseignants et IATOS lors de ce travail.

Pour terminer, mes pensées se tournent vers ma famille et belle-famille et en particulier Géraldine pour qui la technique Doherty n'a plus de secret, pour m'avoir soutenu et encouragé tout au long de ces trois années. Merci.

## *TABLES DES MATIÈRES*





<b>INTRODUCTION GÉNÉRALE</b>	<b>1</b>
<b>CHAPITRE I</b>	
<hr/>	
<b>LES AMPLIFICATEURS DE PUISSANCE À L'ÉTAT SOLIDE (SSPA)</b>	<b>5</b>
<b>I - Caractéristiques Fondamentales des Amplificateurs de Puissances</b>	<b>8</b>
I.1 - Evaluation des performances en puissance	8
I.1.1 - Bilan des Puissances mises en Jeu	8
I.1.2 - Les Grandeurs Fondamentales	9
I.1.3 - OutputBackOff (OBO) et InputBackOff (IBO)	11
I.2 - Contraintes en Terme de Linéarité	12
I.2.1 - Conversion d'amplitude (AM/AM) et de phase (AM/PM)	12
I.2.2 - Intermodulation d'ordre 3 ( $C/I_3$ )	13
I.2.3 - Adjacent Channel Power Ratio (ACPR)	15
I.2.4 - Noise Power Ratio	16
<b>II - Le Transistor MESFET en Carbure de Silicium</b>	<b>18</b>
II.1 - Propriétés Physiques du Carbure de Silicium	18
II.2 - Le Transistor MESFET SiC	21
II.2.1 - Historique et Généralités	21
II.2.2 - Principe de Fonctionnement du Transistor à Effet de Champ	22
II.2.3 - Les Effets Parasites du MESFET SiC	25
II.3 - Etat de l'Art des Transistors en Carbure de Silicium	30
<b>III - Conclusion</b>	<b>37</b>
<b>Bibliographie</b>	<b>38</b>

## **CHAPITRE II**

---

<b>MODÉLISATION PHYSIQUE DU MESFET EN CARBURE DE SILICIUM</b>	<b>41</b>
<b>I - Description du Modèle Physique</b>	<b>44</b>
I.1 - Equations Fondamentales	44
I.2 - Les Paramètres d'Entrée du Modèle	46
I.3 - Algorithme de Résolution	48
I.4 - Implémentation sur HP-ADS	50
<b>II - Modélisation Non-linéaire des Effets Thermiques</b>	<b>52</b>
II.1 - Généralités	52
II.2 - Détermination du Circuit Thermique	54
II.2.1 - Principe	55
II.2.2 - Description du Transistor	55
II.2.3 - Extraction de la Résistance Thermique	59
II.3 - Circuit Thermique	59
<b>III - Modélisation du Boîtier Egide</b>	<b>61</b>
III.1 - Présentation du Boîtier	61
III.2 - Mesures et Validation du Modèle	61
<b>IV - Validation du Modèle Physique</b>	<b>64</b>
IV.1 - Principe	64
IV.2 - Rappel des Paramètres d'Entrée du Modèle	65
IV.3 - Modèle utilisé pour la Simulation en Puissance	67
IV.4 - Comparaison Mesures / Modèle	69
IV.4.1 - Validation du Réseau I(V) DC	69
IV.4.2 - Validation en Petit Signal	70
IV.4.3 - Validation Fort Signal	71
<b>V - Conclusion</b>	<b>76</b>
<b>Bibliographie</b>	<b>77</b>

**CHAPITRE III**

---

**EVALUATION DES TECHNIQUES A HAUT RENDEMENT ELECTRIQUE  
POUR L'AMPLIFICATION DES SIGNAUX A ENVELOPPE VARIABLE** \_\_\_\_\_ **79**

**I - Commande de Polarisation** \_\_\_\_\_ **82**

    I.1 - Généralités \_\_\_\_\_ 82

    I.2 - Polarisation Dynamique de Grille \_\_\_\_\_ 84

    I.3 - Polarisation Dynamique de Drain \_\_\_\_\_ 85

    I.4 - Bilan sur la Polarisation Dynamique \_\_\_\_\_ 86

**II - Elimination d'Enveloppe et Restitution (EER)** \_\_\_\_\_ **87**

    II.1 - Principe de Fonctionnement \_\_\_\_\_ 87

    II.2 - Inconvénients \_\_\_\_\_ 88

    II.3 - Amplificateur EER utilisant le Feedback d'Enveloppe \_\_\_\_\_ 89

    II.4 - L'EER en Bande de Base \_\_\_\_\_ 91

    II.5 - Bilan sur l'EER \_\_\_\_\_ 93

**III - La Technique de Chireix** \_\_\_\_\_ **94**

**IV - Conclusion sur les Techniques à Fort Rendement** \_\_\_\_\_ **98**

**Bibliographie** \_\_\_\_\_ **99**

## **CHAPITRE IV**

---

<b>LA TECHNIQUE DOHERTY : AMPLIFICATEUR A HAUT RENDEMENT</b>	<b>101</b>
<b>I - Théorie</b>	<b>104</b>
I.1 - Doherty à Deux Etages	104
I.1.1 - Principe de Fonctionnement	104
I.1.2 - Détermination des Impédances vues par les deux Amplificateurs	105
I.1.3 - Evolution des Impédances de Charge des deux Amplificateurs	107
I.1.4 - Détermination de l'Impédance Caractéristique de la Ligne $\lambda/4$	109
I.1.5 - Calcul du Rendement Total	110
I.1.6 - Evolution du Rendement Total	112
I.2 - Doherty à Trois Etages	115
I.2.1 - Principe	115
I.2.2 - Calcul du Rendement Total	117
I.2.3 - Evolution du Rendement Total	121
<b>II - Etat de l'Art des Amplificateurs Doherty</b>	<b>124</b>
II.1 - Les Principales Publications avant 2003	124
II.2 - Les Différentes Publications Récentes	128
II.3 - Bilan sur l'Amplificateur Doherty	132
<b>III - Conception et Réalisation d'un Amplificateur Doherty</b>	<b>133</b>
III.1 - Analyse Fort Signal	133
III.1.1 - Présentation du Transistor	133
III.1.2 - Influence de l'Impédance de Charge	134
III.1.3 - Simulation d'un Amplificateur Doherty	135
III.2 - Méthodologie de Conception	140
III.2.1 - Réseau d'Adaptation de Sortie	140
III.2.2 - Polarisation de Drain	141
III.2.3 - Adaptation et Polarisation d'Entrée	141
III.3 - Résultats de Mesures	142

III.4 - Amplificateur Doherty utilisant un Glissement de Polarisation	146
III.4.1 - Principe	146
III.4.2 - Circuit de Commande	148
III.4.3 - Résultats de Mesures en Puissance	150
III.4.4 - Bilan	151
<b>IV - Conclusion</b>	<b>152</b>
<b>Bibliographie</b>	<b>153</b>
<i>CONCLUSION GÉNÉRALE ET PERSPECTIVES</i>	<b>155</b>
<i>LISTE DES PUBLICATIONS</i>	<b>161</b>
<i>ANNEXE</i>	<b>165</b>



## *INTRODUCTION GÉNÉRALE*





Ces dernières décennies, le développement de la téléphonie mobile a conduit à un essor très important du secteur des télécommunications. Le téléphone portable est devenu un outil de communication de plus en plus performant offrant de plus en plus de fonctionnalités (texto, email, photo,...). Le besoin croissant de transmettre des données et d'accéder à un volume important d'informations pour les hommes, où qu'ils soient, a donné lieu à une réflexion sur de nouveaux systèmes et normes de transmission. Ce développement spectaculaire a conduit à une recherche de technologies robustes et fiables que ce soit pour la fabrication des composants, les techniques de codage,... Au niveau des composants, ces évolutions ont orienté les recherches vers de nouveaux choix technologiques, entraînant une montée en fréquence et autorisant des densités de puissance plus importantes.

De nouvelles techniques de transmission de l'information et de modulation ont été mises en œuvre. Ces techniques de modulation caractérisées par une enveloppe variable ont été développées dans le but d'améliorer l'occupation spectrale des systèmes. Le revers de la médaille est que l'amplification de ces signaux à enveloppe ou niveau variable conduit à un rendement en puissance ajoutée globalement faible. Afin de tenir les spécifications imposées par les normes sans pour autant dégrader les performances en terme de rendement et de linéarité une gestion intelligente de la puissance doit être mise en place. Certaines techniques comme la polarisation dynamique ou la technique Doherty apportent un élément de réponse au problème.

L'objectif de cette thèse est double puisqu'il est d'une part de proposer une modélisation physique et thermique de transistors à matériau grand gap MESFETs en carbure de silicium et d'autre part de vérifier les améliorations apportées par la technique Doherty pour la réalisation d'amplificateurs radio fréquence de puissance. La principale application visée est l'amplificateur de puissance de la station de base dans la radio téléphonie mobile.

C'est dans ce cadre que s'inscrivent les travaux présentés dans cette thèse. Ce mémoire est divisé en quatre parties.

Dans le premier chapitre, une présentation des grandeurs caractéristiques des amplificateurs de puissance à l'état solide ainsi que de leurs paramètres de fonctionnement sera effectuée. Une liste non exhaustive des principales contraintes en terme de linéarité rencontrées dans le domaine de la radiofréquence sera établie. Après avoir présenté, les propriétés physiques et électriques du carbure de silicium (SiC), une description du transistor à effet de champ est effectuée. Les effets parasites de dynamiques lentes, les effets thermiques et les phénomènes d'avalanche des MESFETs SiC sont décrits. Un tour d'horizon des différents transistors MESFETs en carbure de silicium est proposé pour clôturer cette présentation.

Le second chapitre est consacré à la modélisation physique et électrothermique de transistors MESFETs en carbure de silicium. Les principaux paramètres d'entrée de ce modèle sont les caractéristiques physiques et géométriques du composant. Ce modèle est basé sur la résolution d'un ensemble d'équations régissant les phénomènes de transport de charges à l'intérieur du transistor. Ce modèle a été introduit avec succès dans un simulateur commercial de circuits (ADS). Le modèle a été validé en fonctionnement faible et fort signal par comparaison entre des simulations non-linéaires et des mesures.

Dans le troisième chapitre, nous nous intéresserons aux techniques de gestion de puissance pouvant être employées dans les moyens modernes de communications et de transmissions de données. Ces techniques permettent principalement d'améliorer fortement le rendement des amplificateurs RF pour des applications à niveau de puissance variable, sans améliorer spécifiquement la linéarité. Tout d'abord une étude sur la polarisation dynamique de grille et drain des transistors sera présentée. Ensuite, la technique de l'élimination d'enveloppe et restitution (EER) puis la technique de Chireix seront décrites.

Le dernier chapitre est consacré à la présentation et à l'application de la technique Doherty. Une étude sera menée afin de comparer l'évolution du rendement pour différents niveaux de puissance et différentes combinaisons des amplificateurs principal et auxiliaire. Ensuite, nous présenterons une méthodologie de conception et la réalisation d'un amplificateur Doherty. L'amélioration des performances sera montrée expérimentalement et une technique de contrôle du fonctionnement de l'amplificateur auxiliaire sera proposée et validée.

Nous effectuerons une synthèse de ces différents axes de recherches et nous développerons les perspectives ouvertes par ces travaux dans la conclusion générale.

**CHAPITRE I**

***LES AMPLIFICATEURS DE PUISSANCES À L'ETAT SOLIDE  
(SSPA)***



L'amplificateur de puissance est l'élément actif clé d'un système de communications (station de base, téléphones mobiles, satellites...), car c'est le principal consommateur d'énergie. Son rôle est d'amplifier le signal radio-fréquence ou hyperfréquence grâce à la transformation de l'énergie continue.

Dans ce premier chapitre, une présentation des grandeurs caractéristiques des amplificateurs de puissance à l'état solide ainsi que de leurs paramètres de fonctionnement sera effectuée.

Compte tenu de la consommation électrique des amplificateurs, il est primordial de les utiliser dans une zone de fonctionnement où leur rendement électrique est élevé. Or le rendement maximum est obtenu lorsque l'amplificateur fonctionne en zone saturée ; c'est à dire lorsque l'amplificateur est proche de son niveau de puissance maximum. Dans de telles conditions de fonctionnement, les non-linéarités introduites par l'amplificateur dégradent le signal à amplifier. Une liste non exhaustive des principales contraintes en terme de linéarité, rencontrées dans le domaine de la radiofréquence, sera établie.

Dans la deuxième partie de ce chapitre, la technologie du Carbure de Silicium (SiC) sera présentée pour la réalisation de transistors pour des applications de forte puissance. Tout d'abord, une description des propriétés physiques du SiC sera effectuée. Puis l'application de cette technologie à la réalisation de transistors à effet de champ est décrite. Ce chapitre se termine sur un état de l'art de l'amplification à partir de transistors SiC.

# I. Caractéristiques Fondamentales des Amplificateurs de Puissance

## I.1 Evaluation des Performances en Puissance

### I.1.1 Bilan des Puissances mises en Jeu

Le fonctionnement de l'amplificateur est principalement déterminé par les composants actifs le constituant ; c'est à dire les transistors. L'utilisation de transistors nécessite d'employer des sources continues d'alimentation permettant de fixer un point de polarisation autour duquel ils vont pouvoir fonctionner. L'amplificateur de puissance est un quadripôle caractérisé par plusieurs paramètres de base. Les puissances mises en jeu font parties de ces paramètres. Les différentes puissances caractéristiques d'un amplificateur sont représentées sur la figure I-1. Il est possible de distinguer deux catégories de puissances ; les puissances fournies à l'amplificateur et les puissances délivrées par l'amplificateur. Les puissances fournies à l'amplificateur sont :

- ✓  $P_E$  : la puissance d'entrée,
- ✓  $P_{DC}$  : la puissance continue fournie par les alimentations extérieures.

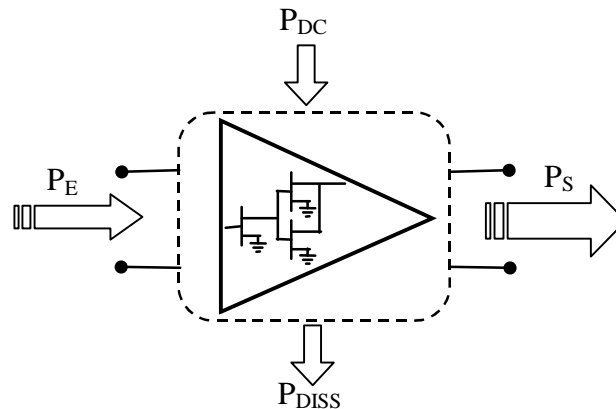


Figure I-1 : Bilan des puissances d'un amplificateur

Les puissances fournies par l'amplificateur sont :

- ✓  $P_S$  : la puissance de sortie, qui lorsque l'amplificateur va fonctionner en zone linéaire sera égale au produit de la puissance d'entrée par le gain petit signal ( $G_{BF}$ ) de l'amplificateur ( $P_S = G_{BF} \cdot P_E$ )
- ✓  $P_{DISS}$  : la puissance dissipée.

Ces deux types de puissances doivent se compenser ce qui va permettre d'écrire le bilan de puissance :

$$P_E + P_{DC} = P_S + P_{DISS} \quad (I.1)$$

La puissance dissipée est de la puissance perdue, le but étant de transmettre le maximum de puissance en sortie elle devra être minimisée. De plus, elle affecte l'état thermique de l'amplificateur qui influence son état de fonctionnement électrique.

### I.1.2 Les Grandeurs Fondamentales

L'amplificateur de puissance est généralement caractérisé en régime harmonique, par l'application d'un signal sinusoïdal en entrée, à la fréquence de travail ( $f_0$ ). Cette fréquence pourra être variable afin de connaître le comportement en fréquence de l'amplificateur. Cette caractérisation est effectuée en fonction des paramètres tensions et courants aux accès de l'amplificateur comme représentés sur la figure I-2. Les puissances définies précédemment vont donc pouvoir être calculées à partir des expressions de courants et tensions complexes.

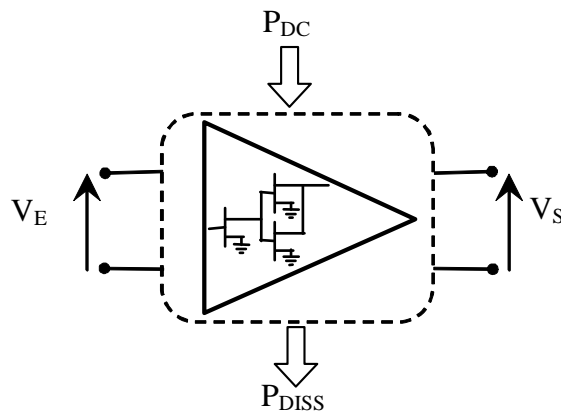


Figure I-2 : Grandeurs caractéristiques aux accès d'un amplificateur

#### ✓ Puissance RF à la fréquence $f_0$

A la fréquence de travail  $f_0$ , les puissances d'entrée et de sortie de l'amplificateur sont définies à partir des expressions de courants et de tensions complexes. Ainsi, les puissances d'entrée et de sortie sont données par les expressions suivantes :

$$\begin{cases} P_E = \frac{1}{2} \Re(\underline{V}_E \cdot \underline{I}_E^*) \\ P_S = \frac{1}{2} \Re(\underline{V}_S \cdot \underline{I}_S^*) \end{cases} \quad (I.2)$$

✓ **Puissance continue  $P_{DC}$**

Cette puissance est définie à partir des tensions et courants continus fournis par les alimentations continues. C'est la puissance consommée par l'amplificateur. Elle s'écrit de la manière suivante :

$$P_{DC} = V_{DC} \cdot I_{DC} \quad (I.3)$$

✓ **Gain en puissance**

Le gain en puissance d'un amplificateur est défini comme le rapport de la puissance de sortie sur la puissance d'entrée de l'amplificateur. L'expression du gain en puissance en décibel est donnée par la formulation suivante :

$$G(\text{dB}) = P_s (\text{dBm}) - P_e (\text{dBm}) \quad (I.4)$$

✓ **Rendement en Puissance Ajoutée (RPA)**

Un point essentiel pour les amplificateurs de puissance est d'amplifier le signal d'entrée à un niveau souhaité de sortie en ayant une consommation électrique la plus faible possible. Cette caractéristique décrit l'efficacité de l'amplificateur à convertir la puissance continue d'alimentation en puissance RF. Le rendement en puissance ajoutée s'écrit alors :

$$\eta_{PAJ} = \frac{P_s - P_e}{P_{DC}} \quad (I.5)$$

En tenant compte du bilan de puissance, le rendement en puissance ajoutée s'écrit alors en fonction de la puissance dissipée :

$$\eta_{PAJ} = 1 - \frac{P_{DISS}}{P_{DC}} \quad (I.6)$$

Le rendement en puissance ajoutée augmentera donc si la puissance dissipée diminue pour un même point de polarisation [1].



### I.1.3 Output Backoff (OBO) et Input Backoff (IBO)

Du fait de fréquences de fonctionnement relativement variées, mais également d'applications très différentes, les amplificateurs RF et hyperfréquences peuvent être de diverses technologies et également fonctionner avec des niveaux de puissances très différents. Cette diversité d'applications rend difficile la comparaison de l'efficacité des différents amplificateurs, il est donc difficile de faire référence aux valeurs mises en jeu.

Afin de pouvoir effectuer facilement une comparaison entre ces différents amplificateurs, il est commun de définir la puissance de sortie d'un amplificateur lorsqu'une compression de gain de 1dB est atteinte. Ce point est communément appelé  $P_{1dB}$ . Les puissances d'entrée et de sortie vont donc pouvoir s'exprimer par rapport à ce point particulier.

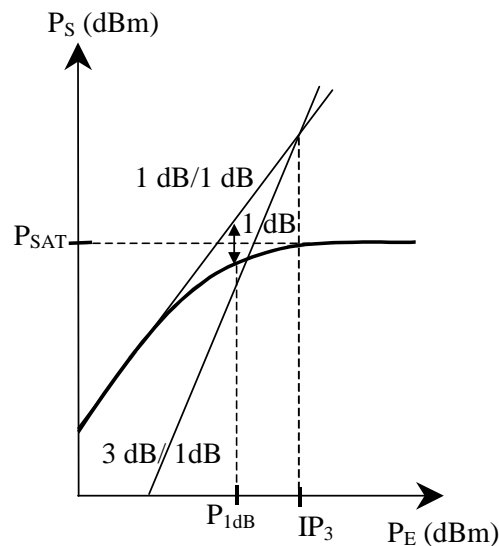


Figure I-3 : Exemple de courbe AM/AM d'un amplificateur

Le niveau de recul de la puissance d'entrée (IBO : Input BackOff) représente la distance en décibels (dB) par rapport à la puissance d'entrée au point à 1 dB de compression.

$$IBO(dB) = P_e(dBm) - P_{e1dB}(dBm) \quad (I.7)$$

De même, le niveau de recul de la puissance de sortie d'un amplificateur (OBO : Output BackOff) représente la différence entre la puissance de sortie absolue et la puissance de sortie à  $P_{1dB}$ .

$$OBO(dB) = P_s(dBm) - P_{1dB}(dBm) \quad (I.8)$$

## I.2 Contraintes en Terme de Linéarité sur les Amplificateurs

Un grand nombre d'applications modernes mettent en jeu des signaux à enveloppe variable. L'amplification non-linéaire de ces signaux a pour effet de distordre le signal résultant en sortie. De nombreux facteurs de mérite permettent d'estimer le comportement non-linéaire d'un amplificateur de puissance. Les plus fréquemment utilisés sont les suivants :

- ✓ la conversion d'amplitude (AM/AM) et de phase (AM/PM),
- ✓ le rapport d'intermodulation d'ordre 3 ( $C/I_3$ ),
- ✓ l'Adjacent Channel Power Ratio (ACPR),
- ✓ le Noise Power Ratio (NPR).

Mais c'est le mode de fonctionnement final de l'amplificateur qui va déterminer le facteur de mérite le plus approprié, selon le type de modulation mis en jeu et l'application.

### I.2.1 Conversion d'Amplitude (AM/AM) et de Phase (AM/PM)

Une manière de décrire à la fois le fonctionnement et de caractériser la non-linéarité de l'amplificateur consiste à tracer les courbes de conversion d'amplitude de sortie par rapport à l'amplitude d'entrée (AM/AM) et de conversion de phase de sortie par rapport à l'amplitude d'entrée (AM/PM).

La courbe de conversion en gain (AM/AM) est obtenue en traçant les variations du rapport du module de la puissance de sortie sur la puissance d'entrée de l'amplificateur, en fonction du niveau d'entrée.

$$|P_S| = f(|P_E|) \quad (\text{I.9})$$

La courbe de conversion de phase (AM/PM) est obtenue en traçant les variations de l'argument du rapport de la puissance de sortie sur la puissance d'entrée de l'amplificateur, en fonction de la puissance d'entrée.

$$\text{Arg}(P_S) = f(|P_E|) \quad \text{-(I.10)}$$

Ces deux conversions caractérisent très précisément l'état de fonctionnement statique de l'amplificateur. Elles permettent de connaître en première approximation les performances

en terme de linéarité de l'amplificateur car elles représentent la caractéristique non-linéaire de l'amplificateur. Elles doivent seulement être prises en première approximation car ces conversions de gain et de phase ne prennent pas en compte les effets non-linéaires dynamiques.

### I.2.2 Intermodulation d'Ordre 3 (ou C/I<sub>3</sub>)

Dans le but de quantifier la dégradation du signal de sortie introduite par l'amplification non-linéaire, une des figures de mérite est le rapport d'intermodulation. Le calcul du rapport d'intermodulation d'ordre 3 ou C/I<sub>3</sub> (Carrier to Third Order Intermodulation), consiste à simuler deux canaux adjacents en utilisant deux porteuses de même amplitude séparées par un écart de fréquence noté  $\Delta f$  [2]. Le signal d'excitation permettant de mesurer l'intermodulation est le suivant :

$$x(t)=E \left[ \cos \left( 2.\pi \left( f_0 - \frac{\Delta f}{2} \right).t + \phi_1 \right) + \cos \left( 2.\pi \left( f_0 + \frac{\Delta f}{2} \right).t + \phi_2 \right) \right] \quad (\text{I.11})$$

Ou encore :

$$x(t)=2.E.\cos \left( 2.\pi .f_0 .t + \frac{\phi_1 + \phi_2}{2} \right) .\cos \left( \pi .\Delta f t + \frac{\phi_2 - \phi_1}{2} \right) \quad (\text{I.12})$$

La formule (I.12) permet de montrer que le signal de test standard correspond à un signal modulé en d'amplitude sans porteuse, dont le rapport de puissance crête sur puissance moyenne (PAR : Peak to Average Ratio) est de 3dB. Un tel signal produit, en sortie d'une non-linéarité, des produits d'intermodulation du type  $m \left( f_0 - \frac{\Delta f}{2} \right) + n \left( f_0 + \frac{\Delta f}{2} \right)$  avec m et n  $\in \mathbb{Z}$ .

L'ordre de l'intermodulation est égal à  $|m| + |n|$ .

Toutefois, seules les raies correspondant à un ordre d'intermodulation  $|m| + |n|$  impair retombent à proximité des raies utiles du spectre. Comme ces produits d'intermodulation ne peuvent être filtrés, ils viennent perturber le signal dans la bande de l'amplificateur comme le montre la figure I-4.

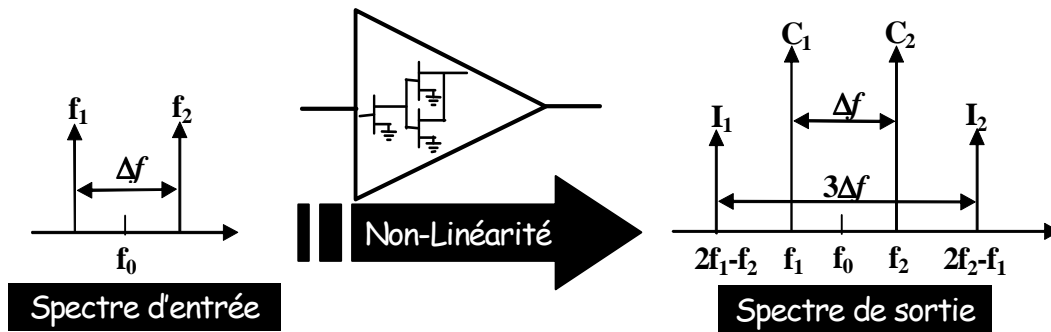


Figure I-4 : Intermodulation d'ordre 3

En sortie de l'amplificateur, les raies d'intermodulation  $I_1$  et  $I_2$  situées à un écart de fréquence de  $\Delta f$  des canaux de communications, simulés par les raies  $C_1$  et  $C_2$ , viennent perturber l'information transmise [2].

Parmi les produits d'intermodulation indésirables, le produit d'intermodulation d'ordre 3 porte généralement la puissance la plus élevée mais il est parfois également nécessaire de s'intéresser à l'intermodulation d'ordre 5 afin de vérifier que son niveau ne soit pas supérieur au niveau de l'intermodulation d'ordre 3. Ce qui aura pour effet, de dégrader encore plus le canal de transmission suivant.

Le rapport  $C/I_3$  est défini comme étant la différence de puissances exprimée en dBc entre la raie à la fréquence  $f_1$  ou bien à la fréquence  $f_2$  et la raie d'intermodulation à la fréquence  $2f_1-f_2$  ou  $2f_2-f_1$ . Ce qui permet de définir le  $C/I_3$  gauche et le  $C/I_3$  droit car en pratique, leurs valeurs peuvent être différentes. Pour une caractérisation globale, le rapport d'intermodulation ordre 3 est souvent exprimé par la formulation suivante :

$$C/I_3 = 10 \cdot \log \left( \frac{C_1 + C_2}{I_1 + I_2} \right) \quad (\text{dB}) \quad (\text{I.13})$$

L'intermodulation d'ordre 3 est un critère standard de linéarité des amplificateurs de puissance. Cependant, il n'est représentatif que d'un signal ou l'énergie est concentrée qu'à deux points de fréquence différents et dont le PAR est seulement 3dB [3], ce qui ne traduit pas complètement les variations temporelles d'un signal modulé à amplifier.

Le  $C/I_3$  met en évidence les phénomènes non-linéaires intrinsèques des amplificateurs qui traduisent la réaction des circuits de polarisation sur les transistors [4], [5]. Ce critère doit être utilisé avec discernement mais c'est un bon test de linéarité lors de la phase de conception d'un amplificateur.

Lorsque le signal à transmettre est une modulation numérique, le signal modulé possède des formes plus sophistiquées qui résultent d'un codage, d'un filtrage et d'une mise en quadrature suivie d'une modulation. Dans ce cas, le rapport d'intermodulation apporte des renseignements sur la linéarité mais n'est plus suffisant pour définir une limite de distorsion pour l'amplificateur.

On préférera utiliser l'ACPR (Adjacent Channel Power Ratio) lors de la phase finale de conception d'un amplificateur, son effet de moyennage masquant certaines imperfections de l'intermodulation d'ordre 3.

### I.2.3 Adjacent Channel Power Ratio (ACPR)

La dégradation entraînée par l'amplificateur de puissance étant fortement liée aux variations temporelles de l'enveloppe du signal et notamment en fonction du PAR. Il peut être plus judicieux de caractériser l'amplificateur directement en utilisant le signal de modulation mis en jeu dans l'application visée.

L'ACPR (Adjacent Channel Power Ratio) consiste à appliquer à l'entrée d'un amplificateur un signal centré sur la fréquence de travail ( $f_0$ ) et couvrant la bande utile (B) du canal de transmission. Le bruit d'intermodulation est caractérisé par l'ACPR qui est le rapport de niveau de puissance du canal utile sur celui du canal voisin situé à  $\Delta f$  [6]. Tout comme pour l'intermodulation d'ordre 3, il est parfois intéressant de dissocier l'ACPR gauche et droit car en pratique ces valeurs peuvent s'avérer différentes [3]. L'ACPR s'exprime par la formulation suivante :

$$ACPR = 10 \cdot \log \left( \frac{2 \cdot \int_{f_1}^{f_2} P(f) \cdot df}{\int_{f_3}^{f_4} P(f) \cdot df + \int_{f_5}^{f_6} P(f) \cdot df} \right) \quad (\text{dB}) \quad (\text{I.14})$$

$$\text{avec } f_2 - f_1 = f_4 - f_3 = f_6 - f_5$$

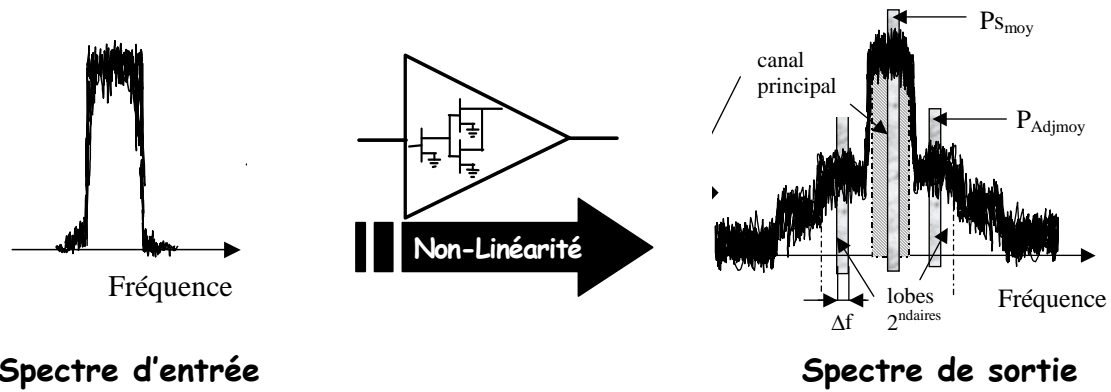


Figure I-5 : Spectre d'ACPR d'entrée et de sortie d'une non-linéarité

La bande utile du canal de transmission n'est pas standard et dépend de l'application visée, c'est à dire : du débit d'information à transmettre. De plus en plus, les normes très exigeantes en terme de linéarité, font également apparaître la notion d'Alternate Power Ratio qui permet comme pour l'intermodulation d'ordre 5 de s'intéresser aux remontés spectrales dans les canaux suivants [3].

A titre d'exemple, le critère de linéarité de l'UMTS (Universal Mobile Telecommunication System) est un rapport de l'ACPR inférieur à -37 dBc à 5 MHz de la porteuse et la bande utile est de 3.8 MHz.

#### I.2.4 Noise Power Ratio (NPR)

L'amplificateur de puissance est généralement utilisé en bout de chaîne de transmission et peut être amené à amplifier un très grand nombre de canaux. Ce critère est destiné à caractériser la linéarité d'un amplificateur de puissance lors d'un fonctionnement en multiporteuses [7].

Afin de s'approcher le plus possible des conditions de fonctionnement réelles de l'amplificateur, c'est à dire d'un signal d'entrée constitué de multiporteuses modulées, les amplificateurs de puissance peuvent être caractérisés à l'aide d'un bruit blanc gaussien à bande limitée [8].

Le principe consiste, à introduire un « trou » au centre de la bande du spectre d'entrée, de manière à évaluer le bruit d'intermodulation présent en sortie généré par la non-linéarité de l'amplificateur au centre de la bande ; étant donné qu'il est maximum dans cette zone. Le signal d'excitation à un PAR de 10dB. Ce critère effectue un moyennage des effets dispersifs (BF et HF) et ne permet pas de les identifier [9]. Le NPR s'exprime par la formulation suivante :

$$NPR = 10 \cdot \log \left( \frac{\int_{\text{Trou}} P(f) \cdot df}{\int_{\text{Porteuses}} P(f) \cdot df} \cdot \frac{BW_{\text{Porteuses}}}{BW_{\text{Trou}}} \right) \quad (\text{dB}) \quad (\text{I.15})$$

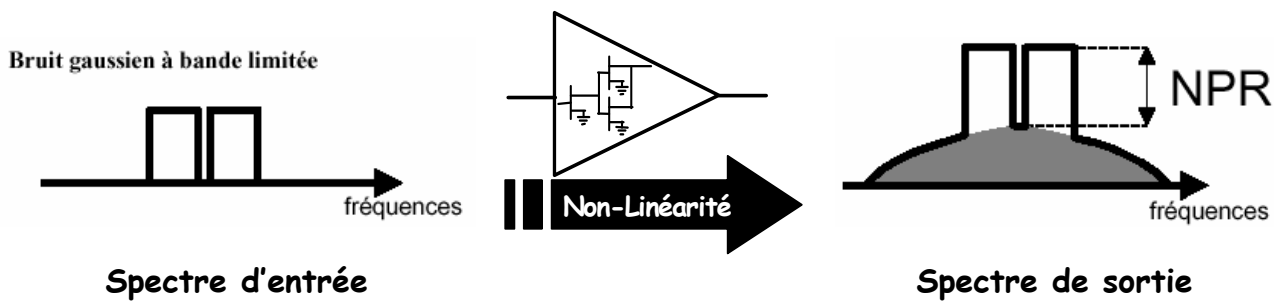


Figure I-6 : Spectre typique de NPR avant et après amplification

Il est possible de citer deux techniques de mesures différentes, l'une à partir d'éléments de type analogique et l'autre de type numérique :

- à partir d'une source de bruit analogique (diode de bruit) et d'un conditionnement adéquat de ce bruit (filtrage) cela permet de limiter le spectre et le trou en bande de base est obtenu à l'aide d'un filtre « stop bande » très performant [10].
- à partir d'un générateur de signaux arbitraires numérique (AWG) qui permet de générer aléatoirement un nombre important de porteuses [11]. Cette technique est comparable à la méthode de simulation.

## II. Le Transistor MESFET en Carbure de Silicium

L'industrie des technologies hyperfréquence travaille depuis de nombreuses années avec le transistor MESFET (MEtal Semi Conductor Field Effect Tranistor). Celui-ci était jusqu'à présent réalisé principalement en Arséniure de Gallium. Le Silicium comme l'Arséniure de Gallium et d'autres matériaux sont utilisés beaucoup trop près de leurs limites physiques, en particulier au niveau de la densité de puissance fournie. Les semi-conducteurs grand gap ont alors suscité un intérêt important. Les propriétés physiques et électriques, que leur confère leur largeur de bande interdite, sont très intéressantes pour un grand nombre d'applications de fortes puissances et à très hautes températures.

### II.1 Propriétés Physiques du Carbure de Silicium

Le Carbure de Silicium (SiC) fut reconnu dès le début des années 1960 pour ses qualités (champ électrique, vitesse de saturation et conductivité thermique). C'est un semi-conducteur à grande largeur de bande interdite ayant un gap compris entre 2.2 et 3.3eV selon son polytype (6H ou 4H). De plus, le SiC a un champ de claquage huit fois plus élevé et une conductivité thermique trois fois plus élevée que le Silicium, ce qui permet de fabriquer des composants pouvant supporter des tensions importantes ; ainsi le Carbure de Silicium présente des caractéristiques physiques très intéressantes pour des applications à hautes températures et à fortes puissances.

Le Tableau I-1 présente les principales propriétés du Silicium (Si), de l'Arséniure de gallium (AsGa), de Nitrure de Gallium (GaN) et du Carbure de Silicium (SiC) pour une densité de donneurs Nd de  $10^{17}$  atomes/cm<sup>3</sup>.

	Gap Eg (eV)	Champ de claquage (MV.cm <sup>-1</sup> )	Mobilité électronique $\mu_n$ (cm <sup>2</sup> .V <sup>-1</sup> .s <sup>-1</sup> )	Vitesse de saturation (cm.s <sup>-1</sup> )	Conductivité Thermique (W.cm <sup>-1</sup> .K <sup>-1</sup> )
Si	1.12	0.25	800	$1 \times 10^7$	1.5
AsGa	1.43	0.4	4900	$1 \times 10^7$	0.54
GaN	3.4	3	1000	$1.5 \times 10^7$	1.3
SiC	3.3	2.2	560	$2 \times 10^7$	3.7

Tableau I-1 : Comparaison des propriétés du Si, de l'AsGa, du GaN et du SiC



Les paramètres électroniques qui présentent le plus d'intérêt sont les caractéristiques de transport de charges (trous et électrons). Dans le domaine des faibles champs électriques, les porteurs libres sont en équilibre thermodynamique avec le réseau et leur vitesse moyenne est proportionnelle au champ électrique.

En d'autres termes, la mobilité des porteurs est indépendante du champ électrique et la vitesse de dérive s'écrit simplement :

$$\bar{V} = \pm \mu_0 \bar{E} \quad (\text{I.16})$$

$$\text{avec } \mu_0 = \frac{q\tau}{m^*} \quad \tau : \text{ temps de relaxation et } m^* : \text{ masse effective}$$

La vitesse de dérive des porteurs présente une valeur maximale  $V_{\text{sat}}$  obtenue pour une valeur critique du champ électrique notée  $E_c$ . La valeur du champ électrique, pour laquelle se produit la saturation de la vitesse de dérive, est très importante puisqu'elle traduit les phénomènes d'accélération des porteurs jusqu'au régime de saturation. La vitesse de saturation pour les semi-conducteurs à grand gap est considérablement plus élevée que celle du silicium ou de l'arséniure de gallium. Ce qui permet d'obtenir de forts courants DC et RF pour les transistors MESFETs SiC.

Lorsque le champ électrique devient important, les interactions des porteurs avec les vibrations du réseau entraînent une diminution de la mobilité des porteurs. Cette diminution de la mobilité se traduit par une variation non linéaire de la vitesse de dérive des porteurs :

$$\bar{V} = \pm \mu(E) \bar{E} \quad (\text{I.17})$$

$$\text{avec } \mu(E) = \frac{\mu_0}{1 + \frac{E}{V_{\text{sat}}}} \quad (\text{I.18})$$

La mobilité des électrons ( $\mu_n$ ) et des trous ( $\mu_p$ ) sont des paramètres physiques prépondérants pour les dispositifs microondes. En particulier, ils influent sur les performances RF, la transconductance ( $G_m$ ) et le gain en puissance des transistors MESFETs de puissance.

Le champ électrique critique et la conductivité thermique sont les paramètres physiques d'un semi-conducteur qui fixent les performances en terme de puissance maximum d'un composant actif. De plus, le champ électrique d'avalanche fixe la limite fondamentale de fonctionnement d'un composant de puissance.

Le Carbure de Silicium, de part sa grande largeur de bande interdite, présente un fort champ électrique d'avalanche [12] de l'ordre de  $2 \cdot 10^6$  V/cm. Avec un tel champ de claquage, il devient alors possible d'appliquer aux transistors MESFETs SiC de fortes tensions de polarisation de drain, ce qui permet d'obtenir des puissances RF élevées en sortie.

La caractéristique de vitesse des porteurs en fonction du champ électrique (figure I-7) est fondamentale pour déterminer l'amplitude du courant qui peut circuler dans un composant. En principe, on souhaite une forte mobilité associée à une forte vitesse de saturation.

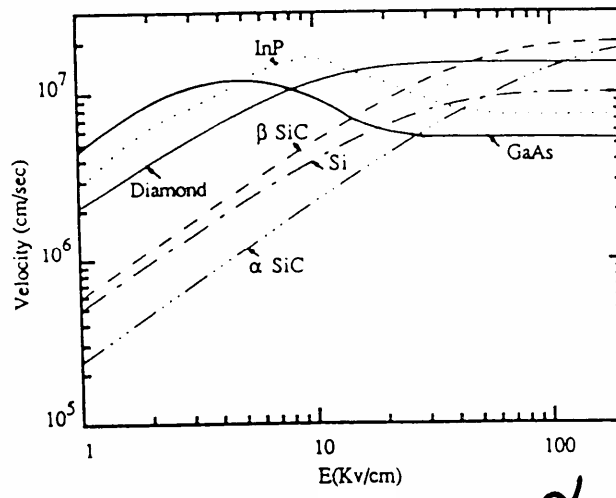


Figure I-7 : Caractéristique de la vitesse des électrons en fonction du champ électrique pour plusieurs semi-conducteurs avec  $N_d = 10^{17}$  atomes/cm<sup>3</sup> [13]

Les semi-conducteurs à grand gap ont une mobilité relativement faible malgré une vitesse de saturation élevée. Pour une densité de dopage de l'ordre de  $10^{17}$  atomes/cm<sup>3</sup>, la mobilité des électrons pour le SiC varie de 200 à 600 cm<sup>2</sup>/V.s. La mobilité du polytype 4H-SiC est à peu près deux fois celle du polytype 6H-SiC. Le polytype 6H-SiC a donc l'inconvénient de présenter une faible mobilité d'électrons : c'est une des raisons pour laquelle on préférera utiliser le polytype 4H-SiC pour des applications microondes.

## II.2 Le Transistor MESFET SiC

### II.2.1 Historique et Généralités

Le principe du transistor à effet de champ (FET ou TEC) a été inventé en 1952 par W. Shockley [14]. Le Transistor à effet de champ est un dispositif unipolaire [15,16] où seul les porteurs majoritaires interviennent dans le fonctionnement. Les électrons présentant les propriétés de transport (mobilité, vitesse et coefficient de diffusion) les plus intéressantes, les FETs fabriqués sont principalement de type N. W. Shockley a imaginé trois structures principales de transistors à effets de champ correspondant à différents contacts de grille qui sont :

- ✓ grille à jonction PN pour le transistor **JFET** (**J**unction **F**ield **E**ffect **T**ransistor),
- ✓ grille métallique isolée pour le transistor **MOSFET** (**M**etal **O**xide **S**emi-conductor **F**ield **E**ffect **T**ransistor),
- ✓ grille métallique à barrière Schottky pour le transistor **MESFET** (**M**etal **S**emi-conductor **F**ield **E**ffect **T**ransistor).

Le MESFET fut le premier composant à être fabriqué à partir d'un composé III-V. Mead [17] proposa en premier lieu de remplacer le Silicium des premiers FETs par un semi-conducteur III-V tel que l'Arséniure de Gallium (AsGa). Cette évolution au niveau matériau a permis l'utilisation des MESFETs aux fréquences microondes. Les premiers résultats en puissance obtenus avec un MESFET 4H-SiC datent de 1994 [18]. La structure d'un transistor à effet de champ est représentée figure I-8.

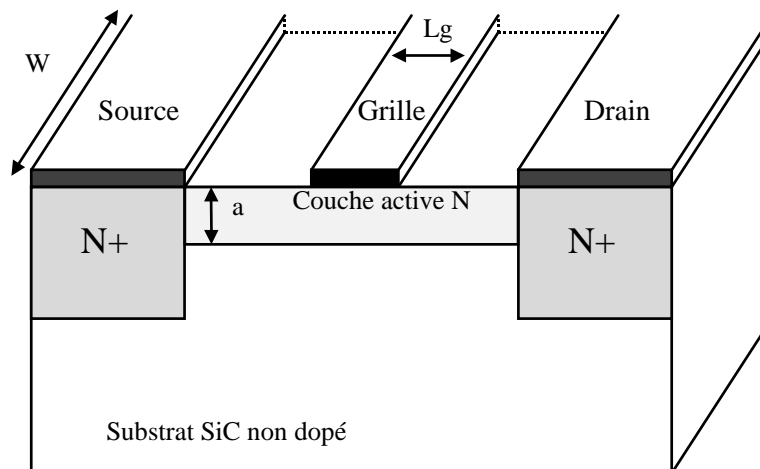


Figure I-8 : Vue en coupe d'un MESFET SiC

En partant du bas de la figure I-8, il apparaît tout d'abord un substrat mono cristallin en SiC qui doit être le moins conducteur possible. Il ne joue aucun rôle électrique mais constitue essentiellement un support mécanique pour le reste du composant. Sur ce substrat, une fine couche active dopée N est insérée, soit par épitaxie, soit par implantation ionique. Deux zones fortement dopées N<sup>+</sup>, l'une sous l'électrode de drain, l'autre sous l'électrode de source sont habituellement rajoutées à la structure par une nouvelle implantation ou par un procédé de diffusion. Elles permettent de réduire les résistances de contact, néfastes pour les performances du composant. Les propriétés électriques de la structure sont généralement améliorées par la présence d'une couche tampon faiblement dopée entre la couche active et le substrat. Son épaisseur est de quelques microns. Elle évite la migration d'ions au niveau de l'interface et préserve la valeur de la mobilité des porteurs dans cette région. Enfin, trois contacts par dépôt de film métallique sous vide sont réalisés. Les deux extrêmes forment les électrodes de source et de drain. Le contact est de nature ohmique. Celui de l'électrode de grille est de type Schottky.

De plus, sur la figure I-8, les principales dimensions géométriques sont représentées. La petite dimension de contact de grille  $L_g$  est appelée par convention longueur de grille du transistor. Elle détermine en grande partie la fréquence maximale d'utilisation du transistor. Pour les composants hyperfréquences elle est souvent inférieure à 1  $\mu\text{m}$ . La deuxième dimension est la largeur de grille  $W$  et elle rend compte de la taille du transistor. Sa dimension typique est de l'ordre de 50 à 1000 fois celle de  $L_g$ . L'épaisseur «  $a$  » de la couche active est généralement de 0.2  $\mu\text{m}$  à 0.4  $\mu\text{m}$ .

### **II.2.2 Principe de Fonctionnement du Transistor à Effet de Champ**

La base du fonctionnement d'un MESFET est la possibilité de moduler l'épaisseur du canal sous la grille (figure I-8). Le contact de grille est de type Schottky. Une couche dépeuplée d'électrons libres, appelée zone de charge d'espace (ZCE), se crée sous la grille. Aucun courant ne peut traverser cette couche. La région où le courant peut circuler est donc réduite à la fraction de la couche active non dépeuplée. En régime de fonctionnement normal le drain est polarisé positivement par rapport à la source, tandis que la grille est polarisée négativement, toujours par rapport à la source (figure I-9).

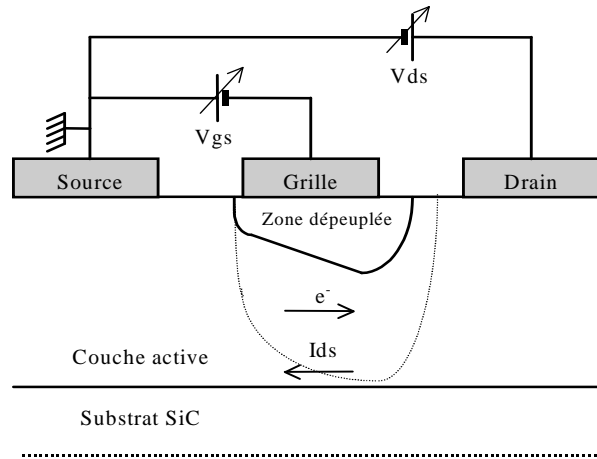


Figure I-9 : Vue en coupe et polarisation d'un MESFET SiC

✓ A tension de drain fixée, la polarisation négative de la grille a pour effet d'augmenter la pénétration de la zone de charge d'espace dans la couche active, diminuant ainsi le passage du courant. Lorsque la tension de grille est suffisamment négative, la ZCE vient complètement obstruer le canal (en pointillé sur la figure I-9), ne laissant plus passer le courant. Le transistor est alors dit « pincé » et la tension appliquée sur la grille est alors appelée tension de pincement ( $V_p$ ).

✓ A tension de grille fixée, l'augmentation de la tension positive de drain crée un champ électrique dans le canal. Ce champ entraîne les électrons de la source vers la grille, établissant ainsi un courant  $I_{DS}$  (drain-source).

La différence de potentiel entre la grille et le canal étant plus faible à l'extrémité située près de la source que du côté drain, le canal est plus resserré à proximité du drain. La figure I-10 représente l'évolution des caractéristiques typiques du courant de sortie  $I_{DS}$  en fonction de la tension  $V_{DS}$ . Ce réseau est obtenu en faisant croître la tension  $V_{DS}$  pour plusieurs niveaux de la tension  $V_{GS}$ .

L'observation du réseau de caractéristiques (figure I-10) permet de distinguer deux zones de fonctionnement du transistor à effet de champ. Une région appelée zone ohmique dans laquelle le courant de drain varie linéairement en fonction de la tension  $V_{DS}$ . Une deuxième région appelée zone de fonctionnement saturé où le courant de drain ne dépend quasiment que de la tension  $V_{GS}$ .

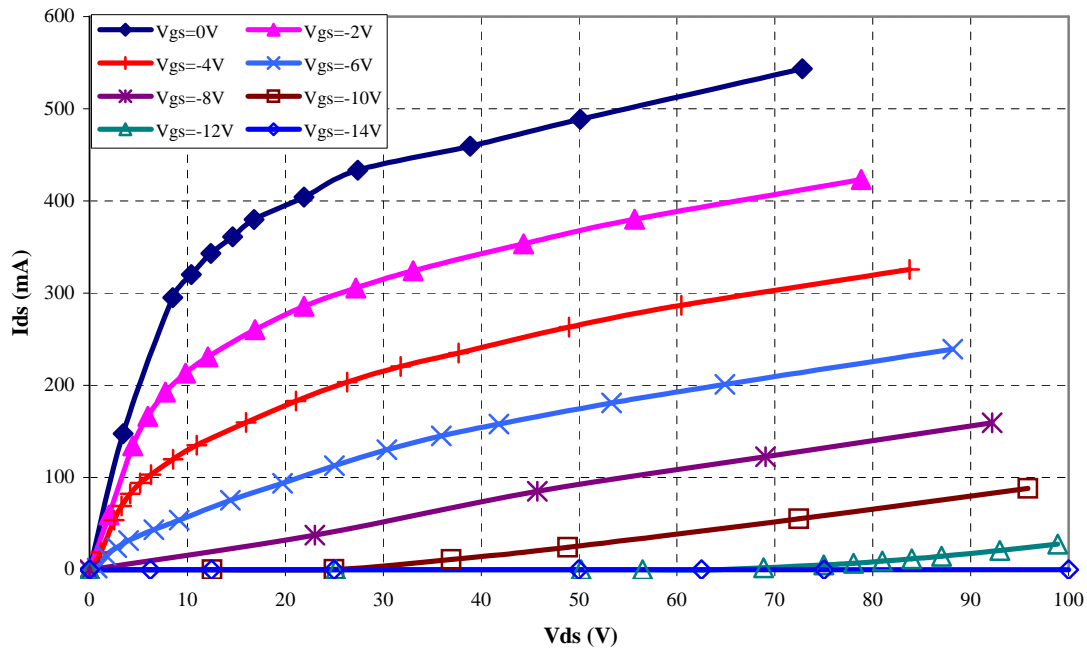


Figure I-10 : Réseau de caractéristiques mesurées en impulsions  $I_{DS} = f(V_{DS})$  à  $V_{GS} = C^{ste}$

Polarisation  $V_{DS0} = 40V$ ,  $V_{GS0} = -6.5V$  et  $I_{DS0} = 145mA$

#### ✓ Description de la zone linéaire

Cette zone est également appelée zone ohmique qui correspond à une évolution quasi-linéaire du courant de drain ( $I_{DS}$ ) pour de faibles valeurs de la tension drain source ( $V_{DS}$ ). En effet, pour de faibles valeurs de la tension de drain, le canal reste de section sensiblement uniforme sous la grille. Le transistor est alors assimilable à une résistance variable dont la valeur est contrôlée par la tension de grille. Le courant varie proportionnellement à  $V_{DS}$ . Certaines applications telles que les mélangeurs ou les déphaseurs nécessitent en général ce régime de fonctionnement linéaire ou le transistor est polarisé à froid ( $V_{DS} = 0$ ).

#### ✓ Description de la zone saturée

Avec l'accroissement de la tension de drain, la section de la zone dépeuplée (zone de charge d'espace) commence à se déformer en devenant beaucoup plus importante côté drain que côté source. Ce resserrement du canal provoque un ralentissement de la croissance du courant de drain. Arrivé à un certain stade, l'augmentation de la tension  $V_{DS}$  n'a quasiment plus aucune influence sur le courant. On nomme le courant de saturation ( $I_{DSS}$ ), lorsque le courant de drain ( $I_{DS}$ ) du transistor commence à rentrer dans la zone de saturation pour une tension de polarisation de grille  $V_{GS}$  nulle.

### II.2.3 Les Effets Parasites du MESFET SiC

Des effets parasites indésirables viennent diminuer les performances statiques et hyperfréquences du MESFET. Une connaissance et une prise en compte de ces effets sont aujourd'hui indispensables lors de la conception de circuits microondes. Il est important de souligner qu'une des principales barrières rencontrées lors de l'étude de ces phénomènes est la difficulté de leur mise en évidence et de leur prise en compte. La difficulté principale lors de la phase de caractérisation expérimentale est de pouvoir dissocier ces différents phénomènes pour les appréhender indépendamment les uns des autres.

Il existe trois principaux effets parasites dans les transistors MESFET SiC : les effets à dynamiques lentes tels que les pièges, les effets thermiques et le phénomène d'avalanche.

#### **II.2.3.1 Les Effets à Dynamiques Lentes [19,20]**

Les phénomènes de pièges correspondent à l'existence d'états énergétiques pouvant être occupés par des porteurs dans la bande interdite du matériau. Ces niveaux d'énergie sont majoritairement dus à la présence d'impuretés dans le substrat. Ils sont plus ou moins prédominants en fonction de la filière [21] et capturent ou libèrent des électrons qui participent au courant dans le canal. Ces effets de pièges peuvent être regroupés en trois catégories :

- ✓ le « self-backgating »,
- ✓ le « gate-lag »,
- ✓ le « sidegating ».

Les transistors MESFETs SiC sont principalement sensibles au phénomène de « self-backgating » par conséquent, nous décrirons succinctement les phénomènes de « gate-lag » et de « sidegating ».

#### **✓ Le phénomène de « Gate-lag »**

Les pièges de surface sont à l'origine de ce phénomène. Ils apparaissent lorsque la commande de grille passe d'un état de pincement à un état de conduction, ce qui se traduit par des états transitoires sur le courant de drain.

✓ Les effets de « Sidegating » et « Backgating »

Les phénomènes de capture et d'émission d'électrons dus à la proximité de différents composants lors d'une conception dans un environnement MMIC sont regroupés sous le terme « sidegating ». En effet, la proximité de transistors à effet de champ peut les rendre non indépendants les uns des autres ; c'est à dire qu'un potentiel appliqué en un point du circuit peut venir modifier celui présent sur le composant.

D'autres effets parasites dépendent de la technologie employée par le fondeur et du niveau d'impureté du substrat. Tous ces phénomènes sont regroupés sous les termes de « sidegating » et de « backgating » [22,23,24]. Il en résulte des règles de dessin sur les dimensions géométriques des MMICs afin de limiter les conséquences de ces phénomènes.

✓ Le phénomène de « Self-backgating »

La cause principale du « Self-backgating » est due au comportement non idéal du substrat semi-isolant qui contient des impuretés. En effet le Carbure de Silicium est un matériau semi-conducteur actuellement mal contrôlé du point de vue des défauts. Ces impuretés génèrent des états énergétiques pouvant être occupés par des porteurs dans la bande interdite du matériau. Ils sont alors capables de capturer pendant un temps « T » puis de réémettre les électrons qui participent au courant dans le canal. Le principal effet du « self-backgating » se traduit par la réponse transitoire du courant de sortie ( $I_{DS}$ ).

En l'absence de champ électrique au niveau du canal, les électrons s'écoulent de façon continue par-dessus la barrière de potentiel vers le substrat. Ces électrons sont piégés par des donneurs ionisés et d'autres sont émis par les donneurs neutres. L'état permanent conduit à l'équilibre entre les concentrations d'électrons libres et piégés. Le nombre moyen d'électrons capturés dans le substrat est alors égal au nombre moyen de ceux émis dans le canal. Les taux de capture et d'émission sont égaux le long de l'interface canal/substrat.

Toutefois, une brusque augmentation du champ électrique entre le drain et la source provoque l'état transitoire. En effet, des électrons sont injectés du canal dans le substrat où ils sont rapidement piégés dans des zones ionisées. Ces pièges deviennent électriquement neutres et le substrat au voisinage du canal est alors chargé plus négativement. Ce phénomène est représenté sur la figure I-11.



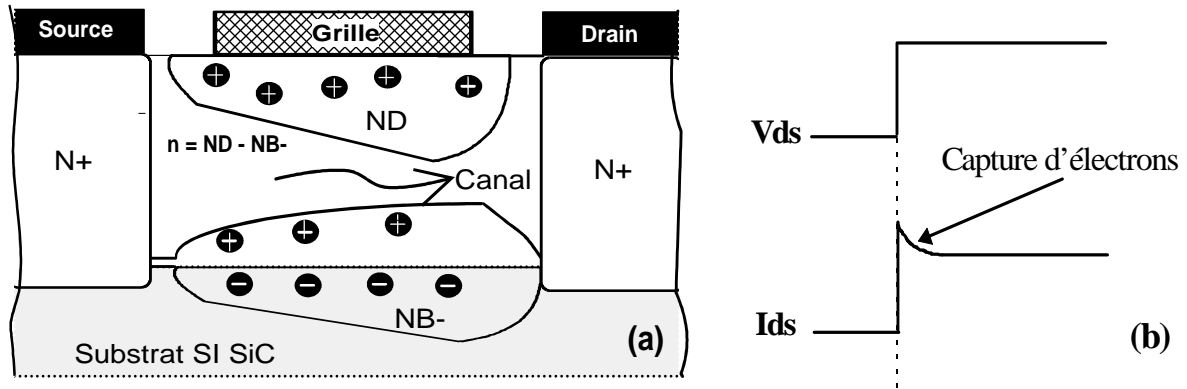


Figure I-11 : Influence sur le courant de la capture des électrons dans des pièges de substrat

A ce moment là, une charge positive apparaît à l'interface canal/substrat, assurant ainsi l'équilibre des charges. Le potentiel de substrat agit comme une grille arrière du canal qui diminue. Par conséquent le courant de drain ( $I_{DS}$ ) diminue jusqu'à atteindre l'état permanent. Le « self-backgating » est caractérisé par la naissance d'un potentiel spontané du substrat semi-isolant qui se traduit par une jonction canal/substrat difficile à contrôler.

Lorsque la tension de drain chute brutalement, les pièges commencent à émettre les électrons. La charge d'espace canal/substrat diminue lentement, ce qui augmente l'épaisseur du canal (figure I-12.a). Le courant de drain  $I_{DS}$  (figure II-12.b) augmente au rythme du processus d'émission des charges dans le canal jusqu'à atteindre son état permanent.

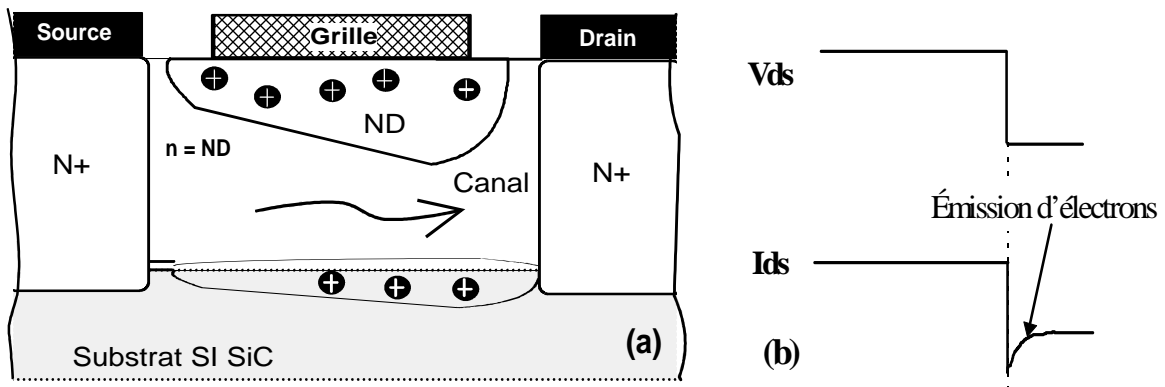


Figure I-12 : Influence sur le courant de sortie de l'émission des électrons dans le canal e

Il faut noter que le temps d'émission des porteurs ( $\cong 10\mu s$ ) est beaucoup plus important que le temps de capture ( $\cong 300ns$ ) [19]. Les effets de pièges sont également très sensibles à l'illumination du matériau. Lorsque le composant est placé dans l'obscurité, les phénomènes de pièges sont plus importants (augmentation du temps d'émission).

### II.2.3.2 Les Effets Thermiques

Tout composant semi-conducteur est sujet à des problèmes d'auto-échauffement lorsqu'il est soumis à des contraintes électriques. Trois principaux phénomènes sont à l'origine de la création de chaleur. Il y a tout d'abord l'effet Joule des électrons et des trous. Il existe ensuite les phénomènes de radiation. Enfin, le processus de génération recombinaison des paires électrons/trous libère une quantité de chaleur proportionnelle au gap d'énergie entre les niveaux donneurs et accepteurs.

L'augmentation de la température interne du composant entraîne une diminution de la valeur de la mobilité des porteurs. La mobilité des porteurs du Carbure de Silicium dépend de la température. Son équation est la suivante :

$$\mu_{eff} = \mu_{eff0} \left( \frac{T}{300} \right)^{-2.25} \quad (I.19)$$

Les effets de l'échauffement du composant sur la transconductance et la conductance de sortie sont non négligeables et doivent être pris en compte dans une procédure de mesure et de modélisation précise. Un exemple de l'effet de l'auto-échauffement sur la caractéristique de sortie d'un transistor à effet de champ est représenté figure I-13.

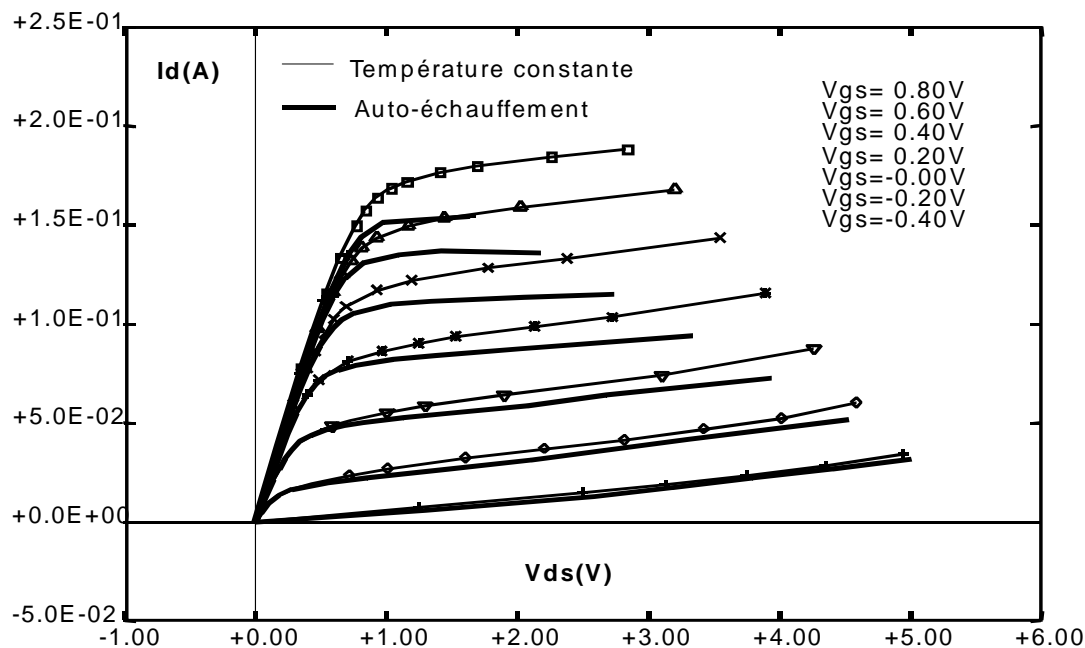


Figure I-13 : Comparaison des caractéristiques de sortie d'un FET :  
à température constante et avec auto-échauffement

On observe une chute du courant de drain lorsque  $V_{DS}$  augmente entraînant une diminution de la conductance et de la transconductance de sortie. Ceci est lié à une décroissance de la mobilité des électrons lorsque la température augmente alors que la caractéristique en impulsions conserve un état quasi-isotherme durant toute la phase de mesure. Le banc de mesure des transistors en impulsions développé par l'IRCOM [25,26] permet d'apporter une réponse aux problèmes thermiques lors de la caractérisation.

Plusieurs auteurs se sont intéressés au fonctionnement des transistors MESFETs entre 300°C et 400°C [27,28]. A de telles températures, des courants de fuite ont été observés entraînant la dégradation à la fois de la conductance de sortie et des caractéristiques de pincement du composant.

Ces courants de fuite sont principalement dus au contact de grille et au substrat. En effet, les fuites de grille, qui dépendent de la hauteur de la barrière de Schottky à l'interface métal / semi-conducteur, augmentent avec la température via les mécanismes d'émission et de diffusion thermodynamiques [29], tandis que les fuites de substrat proviennent de l'augmentation de la conductivité du substrat semi-isolant avec la température [15].

La conductivité thermique du Carbure de Silicium est de 3.7 W/K.cm. Le SiC étant un matériau à grand gap, il peut supporter jusqu'à 600°C sans aucune détérioration, ce qui laisse espérer un fonctionnement à des températures de jonction beaucoup plus élevées que pour le Silicium (200°C) ou l'Arséniure de Gallium (300°C à 400°C).

### **II.2.3.3 Les Phénomènes d'Avalanche**

Le premier phénomène d'avalanche est dû à la circulation non désirée d'un courant entre les électrodes de grille et de drain. Pour de fortes valeurs de la tension drain source ( $V_{DS}$ ) et pour un état pincé du transistor, il se crée un champ électrique entre ces deux électrodes. A partir d'un certain niveau, ce champ électrique génère un mouvement d'électrons qui va de l'électrode de grille jusqu'au contact de drain. Il y a alors apparition d'un courant négatif sur la grille qui est entièrement reporté en courant positif sur le drain. Ce courant d'avalanche délimite, côté drain, l'excursion maximale du cycle de charge. Il en résulte une limitation de la puissance RF de sortie [30]. Côté grille, l'excursion est limitée par la conduction de la diode Schottky.

La technologie du « recess », permet d'enterrer la grille à une hauteur plus basse que les électrodes de drain et de source. Ce qui permet de diminuer le champ électrique entre le drain et la grille et d'augmenter ainsi l'excursion maximale du cycle de charge. En éloignant la grille du drain, il est possible d'obtenir le même résultat.

Le deuxième type d'avalanche existant dans un MESFET provient d'un courant en excès dans le canal circulant du drain vers la source, pour des tensions grille source ( $V_{GS}$ ) supérieures au pincement.

Il faut noter que la tension d'avalanche des MESFETs SiC est de l'ordre de 200V et nous ne travaillons pas dans ces zones. Pour l'instant nous ne caractérisons pas les phénomènes d'avalanche car les valeurs élevées de ces tensions ne sont pas actuellement mesurables avec les équipements disponibles sur le banc de caractérisation I(V) en impulsions.

### **II.3 Etat de l'Art des Transistors en Carbure de Silicium**

Les premiers transistors MESFETs sur Carbure de Silicium ont été réalisés à partir du polytype 6H-SiC parce que celui-ci présente de meilleures qualités cristallines. Ainsi, différentes équipes de recherche ont mis au point des transistors MESFETs 6H-SiC, en particulier l'équipe de J.W. Palmour à Cree Research [31]. Puis, rapidement, le polytype 4H-SiC est apparu plus intéressant : en effet, ce polytype possède une mobilité dont la valeur est deux fois supérieure à celle du polytype 6H-SiC. Grâce à ses propriétés physiques et électriques comparables à celles du polytype 6H-SiC, le polytype 4H-SiC s'est avéré être le candidat idéal pour réaliser des transistors MESFETs de puissance.

En 1994, Charles E. Weitzel [32] de Phoenix Corporate Research Laboratories (Motorola) présente les résultats en puissance obtenus avec un transistor MESFET 4H-SiC. Il est constitué de deux doigts de grille de 166  $\mu\text{m}$  et la longueur de grille est de 0.7  $\mu\text{m}$ . Une fréquence maximale d'oscillation de 12.9 GHz associée à une fréquence de transition de 6.7 GHz a été mesurée.

Des mesures en puissance ont été effectuées à l'aide d'un banc de type Load-Pull. Le transistor était polarisé au point  $V_{DS} = 54$  V,  $V_{GS} = -2$  V et  $I_{DS} = 77.4$  mA. La puissance de sortie maximale est de 29,7 dBm associée à un gain de 6.7 dB et un rendement en puissance ajoutée de 12,7 % pour un niveau de puissance d'entrée de 23 dBm. La densité de puissance est de 2,8 W/mm. Ces caractéristiques mesurées sont illustrées sur la figure I-14.

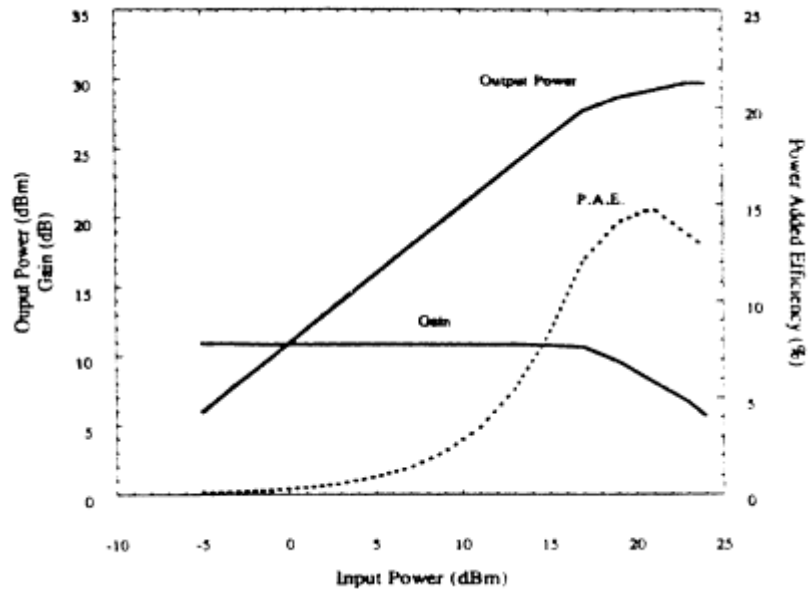


Figure I-14 : Performances RF de puissance pour un transistor MESFET 4H-SiC [32]

Il faut souligner que le transistor était polarisé à  $V_{DS} = 54$  V. Or, avec une tension de claquage proche de 175 V, la tension optimale de fonctionnement en  $V_{DS}$  serait de 80 V, ce qui en théorie augmenterait considérablement la puissance maximale fournie par le transistor. De plus, des éléments parasites liés à l'utilisation, entre autre, d'un substrat conducteur limite les performances en fréquence du transistor. La solution technologique envisagée a été de remplacer ces substrats conducteurs par des substrats semi-isolants [33]. C'est dans cette optique que des études ont été lancées pour développer des substrats à haute résistivité, de l'ordre de 1500 à 2000  $\Omega$ .cm.

De récents progrès ont été réalisés dans le domaine de la cristallogénèse mais également au niveau des procédés de fabrication. Les méthodes développées, pour les composants semi-conducteurs, sont particulières à chaque matériau. Les développements modernes, de haute sophistication, évoluent vers des techniques de croissance et de structuration utilisant des couches épitaxiales déposées par jets moléculaires, par évaporation ou encore par réaction chimique.

L'équipe de recherche de Charles Weitzel [34] en association avec John W. Palmour de Cree Research a réussi à améliorer les performances hyperfréquences et en puissance des transistors MESFET 4H-SiC à substrat conducteur. Les efforts apportés en vue d'améliorer les performances de ces transistors reposent essentiellement sur la nécessité de réaliser des cristaux à haute pureté avec une distribution homogène d'impuretés et d'un degré élevé de perfection structurale. En effet, le Carbure de Silicium est souvent très mal contrôlé du point de vue des défauts structuraux ou ponctuels. Ces défauts sont à l'origine d'un phénomène parasite appelé phénomène de pièges qui dégrade considérablement les performances RF des dispositifs SiC.

K.E. More [35], présente dans un article, un transistor MESFET 4H-SiC à substrat conducteur mais avec des procédés technologiques différents. Il a été caractérisé en faible et fort signal. Ce transistor présente une densité de courant maximale de 225 mA/mm pour une tension  $V_{DS} = 25$  V. La fréquence maximale d'oscillation est de 16 GHz, cette fréquence est limitée par l'utilisation d'un substrat conducteur.

La figure I-15 représente les performances RF en puissance de ce transistor pour un fonctionnement en classe A. Une puissance de sortie maximale de 30.5 dBm (3.3 W/mm) associée à une compression de gain de 3 dB est obtenue et un rendement en puissance ajoutée maximal de 38.4% associé à une puissance de sortie de 30.2 dBm (3.1 W/mm) a été mesuré.

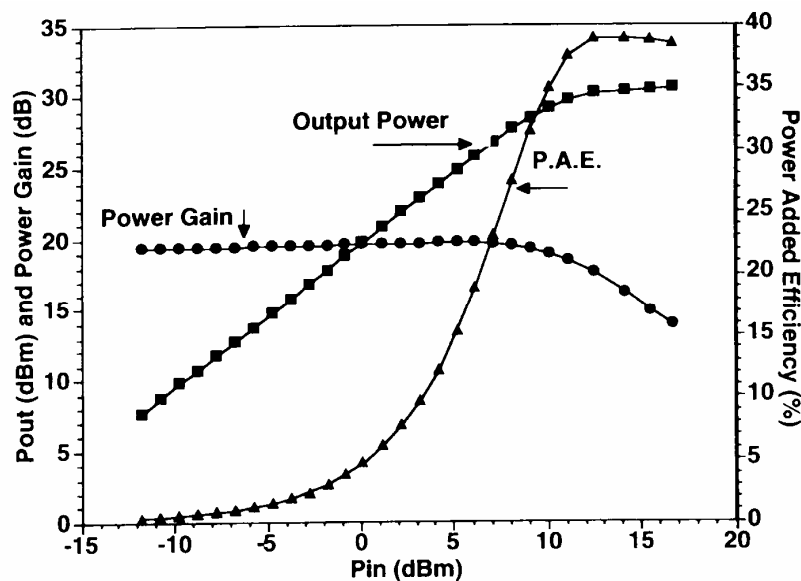


Figure I-15 : Caractéristiques en puissance d'un transistor MESFET SiC [35]

La figure I-16 représente les performances RF en puissance de ce transistor pour un fonctionnement en classe B à la fréquence de 850 MHz. Un rendement en puissance ajoutée maximal de 65.7% associé à une puissance de sortie de 28.4 dBm (2.1 W/mm), a été mesuré pour une compression de gain de 3 dB.

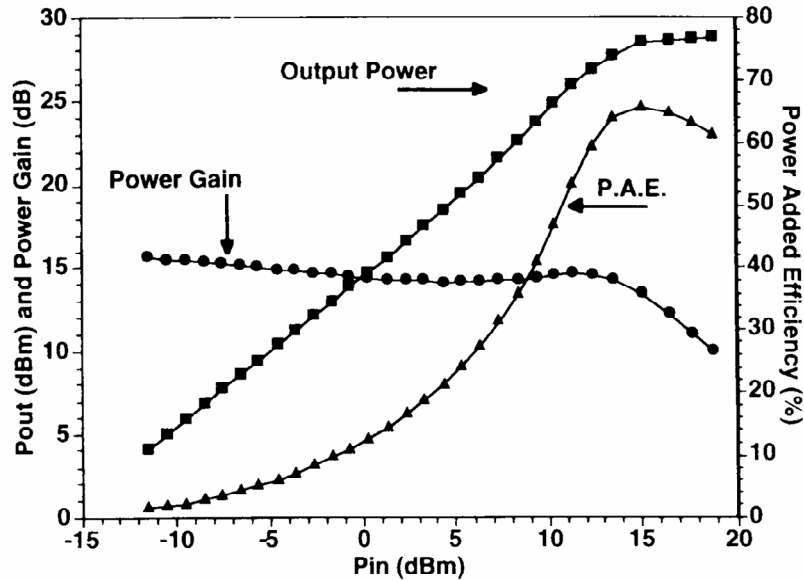


Figure I-16 : Performances RF de puissance pour un transistor MESFET SiC [35]

S.T. Allen [36], a présenté de nouveaux résultats pour des transistors MESFET SiC capables de fournir une puissance RF maximale de 30.6 dBm (4.6 W/mm) à une fréquence de 3.5 GHz. Les résultats de mesures illustrés sur la figure I-17 montrent un rendement en puissance ajoutée de 35% associé à un gain de 12.5 dB.

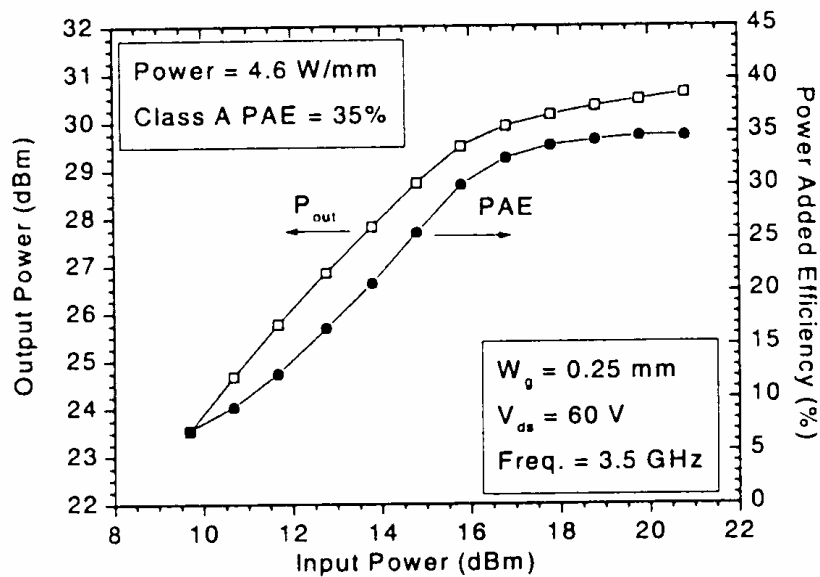


Figure I-17 : Evolution des performances RF de puissance à 3.5 GHz [36]

Ces transistors mis au point par Cree Research ont une longueur de grille est de  $0.7\mu\text{m}$  et sont destinés à des applications en bande S. Ils présentent une tension seuil en  $V_{\text{GD}} = -10\text{V}$ , un courant  $I_{\text{DSS}}$  de  $300\text{ mA/mm}$  et une transconductance maximale de  $45\text{ mS/mm}$ . Déterminées à partir de la mesure des paramètres [S], la fréquence de transition est de  $9\text{ GHz}$  et la fréquence maximale est de  $20\text{ GHz}$ .

La figure I-18 représente les performances RF en puissance d'un transistor MESFET SiC présentant un développement de grille de  $0.84\text{ mm}$ . Pour un fonctionnement à  $800\text{ MHz}$ , un rendement en puissance ajoutée maximal de  $60\%$ , associé à une densité de puissance de  $3\text{ W/mm}$ , a été mesuré.

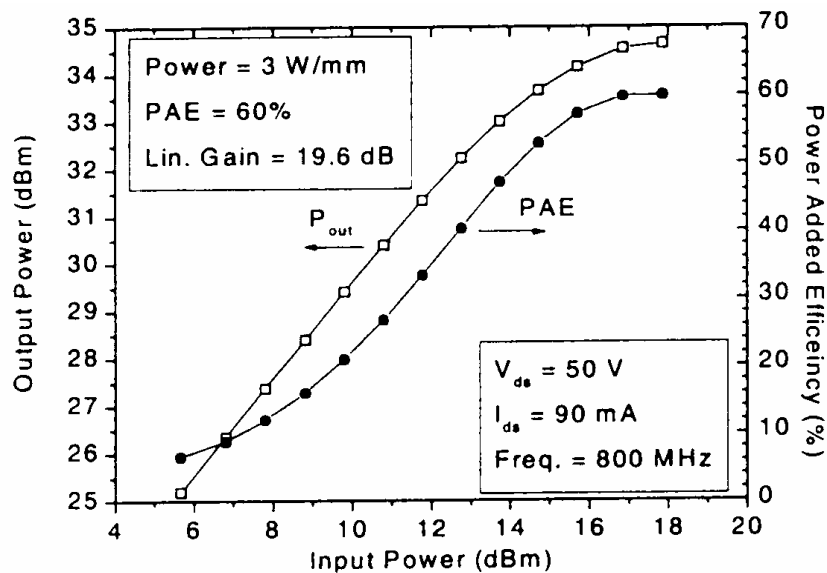


Figure I-18 : Evolution de la puissance de sortie et du rendement à  $800\text{ MHz}$  [36]

De plus, des dispositifs de  $48\text{ mm}$  de développement de grille ont été mis au point. Montés sur des circuits hybrides, les lignes d'accès d'entrée et de sortie sont en alumine. Une puissance maximale de  $80\text{ W}$  en CW à la fréquence de  $3.1\text{ GHz}$ , associé à un rendement en puissance ajoutée de  $38\%$  et à un gain de  $7.6\text{ dB}$ , a été mesuré comme l'illustre la figure I-19.



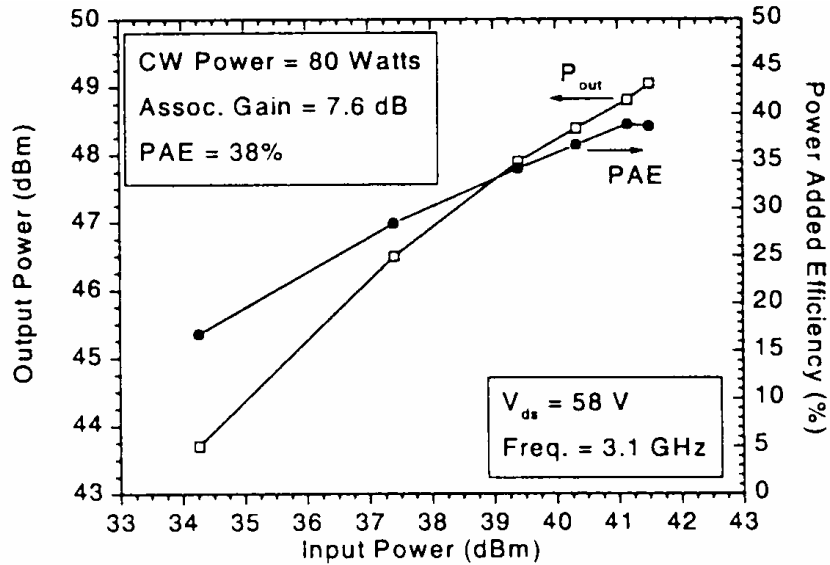


Figure I-19 : Evolution de la puissance de sortie et du rendement 3.1 GHz [36]

Ainsi, en augmentant le niveau de dopage dans le canal et en diminuant la longueur de grille jusqu'à  $0.45 \mu\text{m}$ , les transistors MESFETs SiC présentent d'excellentes performances en puissance pour une fréquence de fonctionnement de 10 GHz, comme illustré sur la figure I-20. La puissance maximale est de 1.1 W (4.3 W/mm) pour un transistor présentant un développement de grille de 0.25 mm et un rendement en puissance ajoutée de 20% a été mesuré associé à un gain de 9 dB.

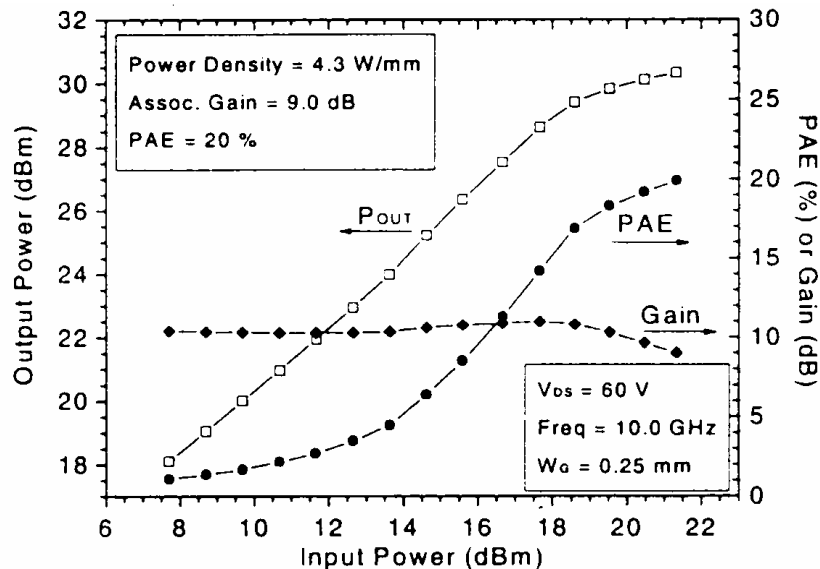


Figure I-20 : Evolution des performances RF de puissance à 10 GHz [36]

W.L. Pribble [37], a décrit un transistor MESFET SiC présentant un développement de grille de 0.25 mm. Il est capable de fournir une puissance RF maximale de 1.3 W (5.2 W/mm) à une fréquence de 3.5 GHz. Les résultats de mesures illustrés sur la figure I-21 montrent un rendement en puissance ajoutée de 63% associé un gain de 11 dB.

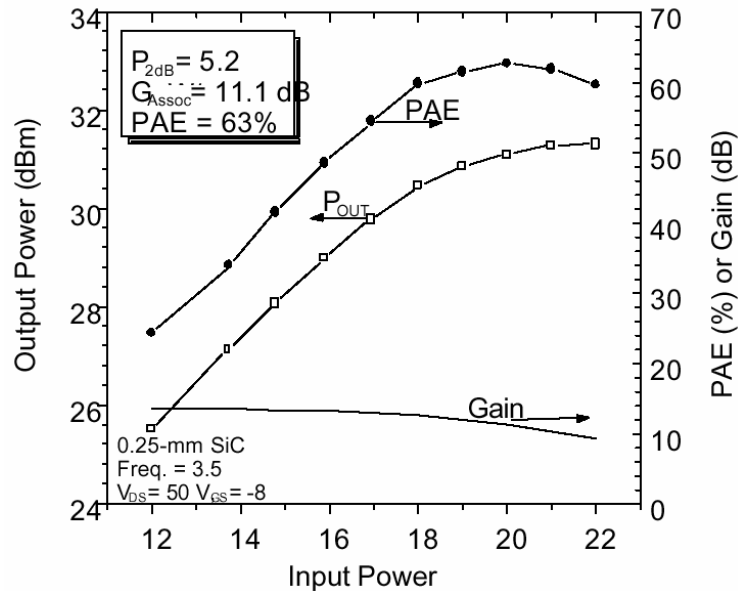


Figure I-21 : Evolution des performances RF de puissance à 3.5 GHz [37]

Début 1993, l'Europe s'est mis à l'heure du Carbure de Silicium. Le Groupe Composants Electroniques du Laboratoire Central de Recherches de Thalès a développé un MESFET en Carbure de Silicium dans le but d'évaluer les potentialités de la filière pour des applications très fortes puissances en hyperfréquences.

Les dernières mesures ont été effectuées à la fréquence de 1.45 GHz sur un banc de type load-pull. Tous les transistors de 10.8 et 21.6 mm, dont la densité en courant est de 222 mA/mm, ont été caractérisés en classe AB pour une tension de polarisation de drain comprise entre 40 et 60V. La courbe de gain en fonction de la puissance d'entrée présente une zone d'expansion avant une zone de compression.

Une puissance de sortie maximale de 43.5 dBm (2.1 W/mm) a été mesurée au point de compression à 1dB pour les transistors présentant un développement de grille de 10.8 mm. Le gain est de l'ordre de 7 dB. Pour les transistors de 21.6 mm de développement de grille, une puissance de sortie maximale de 34.9 dBm (1.4 W/mm) a été mesurée au point de compression à 1dB.

### **III. Conclusion**

Dans ce chapitre, les performances fondamentales des amplificateurs de puissance sont présentées et plus particulièrement les grandeurs permettant de caractériser leur comportement non linéaire pour des applications de télécommunications.

Dans une seconde partie, une description technologique du Carbure de Silicium est effectuée, permettant ainsi de décrire ses propriétés physiques et électriques. Après, un rappel du fonctionnement des transistors à effet de champ et en particulier des FETs à barrière schottky ou MESFETs. Les effets parasites indésirables venant diminuer les performances statiques et hyperfréquences des MESFETs sont décrits et en particulier les effets à dynamiques lentes tels que les pièges et les effets thermiques.

Les semi-conducteurs à large bande interdite vont permettre de repousser les frontières atteintes de nos jours par les composants pour des applications de très fortes puissances. Leur mise en œuvre nécessite de disposer de modèles précis de leur comportement. Un modèle physique sera présenté dans le prochain chapitre.

## I.1 Bibliographie

- [1] **F. Huin,**  
"Etude des formes d'ondes permettant une optimisation des performances des amplificateurs de puissance. Application à la conception d'amplificateurs, à faible tension de polarisation, pour les communications mobiles"  
Thèse de Doctorat, Université de Limoges, n°1-2001, Janvier 2001.
- [2] **J. Vuolevi, Timo Rahkonen et Jani Manninen,**  
"Measurement technique for characterizing memory effect in RF powers amplifiers",  
IEEE, Transaction on Microwave Theory and Techniques, Vol. 49, n°8, August 2001, pp. 1383-1389.
- [3] **N. Le Gallou,**  
"Modélisation par séries de voltera dynamiques des phénomènes de mémoire nonlinéaires pour la simulation système d'amplificateurs de puissance",  
Thèse de Doctorat, Université de Limoges, n°55-2001, Novembre 2001.
- [4] **S. Augaudy,**  
"Caractérisation et modélisation des transistors microondes, application à l'étude de la linéarité des amplificateurs à fort rendement",  
Thèse de Doctorat, Université de Limoges, n°8-2002, Mars 2002.
- [5] **F. Robin,**  
"Contrôle dynamique de la polarisation des transistors de puissance pour l'amplification linéaire et à haut rendement de signaux à enveloppe variable",  
Thèse de Doctorat, Université de Poitiers, Juin 2003.
- [6] **K. G. Gard, H. M. Gutierrez et M. B. Steer,**  
"Characterization of spectral regrowth in microwave amplifiers based on the nonlinear transformations of a complex gaussian process",  
IEEE, Transaction on Microwave Theory and Techniques, Vol. 47, n°7, July 1999, pp. 1059-1069.
- [7] **J.C. Pedro, N.B. Carvalho,**  
"A novel set-up for co-channel distortion ratio evaluation",  
IEEE, MTT-S International Microwave Symposium, Boston, USA, June 2000.
- [8] **J. Lajoinie,**  
"Contribution à la conception optimale en terme de linéarité et consommation des amplificateurs de puissance en fonctionnement multiporteuses",  
Thèse de Doctorat, Université de Limoges, n°9-2000, Mars 2000.
- [9] **T. Reveyard,**  
"Conception d'un système de mesure d'enveloppes temporelles aux accès de modules de puissance. Application à la mesure du NPR et à la modélisation comportementale d'amplificateurs.",  
Thèse de Doctorat, Université de Limoges, n°15-2002, Avril 2002.
- [10] **F. Brasseur, L. Chapus & al,**  
"Réalisation d'un banc de mesures NPR large bande",  
10<sup>èmes</sup> Journées Nationales Microondes, Saint Malo, 4D20, Mai 1997, pp.454-455.
- [11] **T. Reyverand, D. Barataud et J.M. Nébus,**  
"A novel experimental noise power ratio characterization method for multicarrier microwave power amplifiers",  
55<sup>th</sup> ARFTG Conference Digest, Int. Microwave Symposium, June 15-16, Boston, USA, 2000.

- [12] **C. Van Opdorp et J. Vrakking**,  
"Avalanche breakdown in epitaxial SiC P-N junctions",  
*Journal of applied physics*, Vol. 40, Avril 1969, pp. 2320-2322.
- [13] **R.J. Trew et M.W. Shin**,  
"Wide bandgap semiconductor MESFETs for high temperature applications",  
*Electrical Engineering and Applied Physics Department, Case Western Reserve University, Cleveland, OH 44106-7221*.
- [14] **W. Shockley**,  
"Unipolar Field Effect Transistor",  
*Proc. of the Institute of Radio Engineers*, Vol. 41, Août 1953, pp. 970-979.
- [15] **S.M. Sze**,  
"Physics of Semiconductors Devices",  
2<sup>nd</sup> Edition 1981.
- [16] **G.C Dacey et I.M Ross**,  
"Caractérisation et modélisation des effets de pièges et thermiques des transistors à effets de champ sur AsGa. Application à la simulation de la dynamique lente des circuits non-linéaires microondes",  
Thèse de Doctorat, Université de Limoges, Janvier 1999.
- [17] **C.E. Weitzel**,  
"Comparaison of SiC, GaAs, and Si RF MESFET Power Densities",  
*IEEE Electron Device Letters*, Vol. 16, No 10, October 1995, pp. 451-453.
- [18] **Z. Ouarch**,  
"Caractérisation et modélisation des effets de pièges et thermiques des transistors à effets de champ sur AsGa. Application à la simulation de la dynamique lente des circuits non-linéaires microondes",  
Thèse de Doctorat, Université de Limoges, Janvier 1999.
- [19] **D. Siriex**,  
"Modélisation non-linéaire des MESFETs sur carbure de silicium pour l'amplification, de puissance microondes",  
Thèse de Doctorat, Université de Limoges, Janvier 2000.
- [20] **P.F. Combes, J. Graffeuil et J.P. Sautereau**,  
"Composants, dispositifs et circuits actifs en microondes",  
Dunod 1985.
- [21] **D. Schulman et L. Young**,  
"a.c. Sidegating in GaAs MESFETs",  
*Solid-State Electronics*, Vol. 34, No 11, 1991, pp. 1281-1287.
- [22] **P.George, K. Hui, P.K. Ko et C. Hu**,  
"The Reduction of Backgating in GaAs MESFETs by Impact Ionisation",  
*IEEE Electron Devices Letters*, Vol. 11, No 10, Octobre 1990, pp. 434-462.
- [23] **H.L. Kwork**,  
"Modelling of the Sidegating and the Backgating Effets in GaAs MESFETs",  
*IEE Proceedings*, Vol. 137, No 6, Décembre 1990, pp. 459-462.
- [24] **J.P. Teyssier, R. Quéré et J. Obregon**,  
"Accurate Non-linear Characterization of Microwave Semi-Conductor Devices using Pulse Measurement Technique",  
*IEEE MTT Workshop, Ratingen (Allemagne), 1991, pp. 208-212*.

- [25] **J.P. Teyssier, M. Campovecchio, C. Somet, J. Portilla et R. Quéré,**  
"A Pulsed S-parameters Measurement Setup for Nonlinear characterization of FETs and Bipolar Power Transistors",  
*EMC Digest Madrid*, 1993, pp. 489-494.
- [26] **K. Friche, H. Hartnagel, R. Schutz et al,**  
"A New GaAs Technology for stable FETs at 300°C",  
*IEEE Electron Device Letters*, Vol. 10, No 12, 1989, pp. 577.
- [27] **F.H. Shoucair et P.K. Ojala,**  
"High-Temperature Electrical characteristics of GaAs MESFETs 25-400°C",  
*IEEE Trans. Electron Devices*, Vol. 39, No 7, 1992, pp. 1551.
- [28] **D. Look,**  
"Electrical Characterization of GaAs Materials and Devices",  
New York : John Wiley, 1989.
- [29] **J.F. Wager et A.J. Mccamant,**  
"GaAS MESFETs interface considerations",  
*IEEE Trans. Electron Devices*, Vol. 34, No 5, May 1987, pp. 1001-1007.
- [30] **W.R. Frensley,**  
"Power-limiting Breakdown effects in GaAS MESFETs",  
*IEEE Trans. Electron Devices*, Vol. 8, No 8, 1991, pp. 962-967.
- [31] **W.L. Pribble, J.W. Palmour, S.T. Sheppard, R.P. Smith, S.T. Allen et al,**  
"Application of SiC and GaN HEMTs in Power Amplifier Design",  
*IEEE, MTT-S International Microwave Symposium*, 2002, pp.1819-1822.
- [32] **J.W. Palmour, J.A. Edmond, H.S. Kong et C.H. Carter,**  
"Silicon Carbide Power Devices for Aerospace Applications",  
*In Proc., 28<sup>e</sup> Intersociety Energy Conversion Conf. Amer. Chem. Soc.*, 1993, pp.1249-1254.
- [33] **C.E Weitzel, J.W. Palmour, C.H. Carter et K.J. Nordquist,**  
"4H-SiC MESFET with 2.8 W/mm Power Density at 1.8 GHz",  
*IEEE, Electron Device Letters*, Vol. 15, n°10, Octobre 1994, pp. 406-408.
- [34] **S. Sriram, R.C. Clarke, A.A. Burk, H.M. Bobgood, P.G. McMullin et al,**  
"RF Performance of SiC MESFET on High resistivity Substrats",  
*IEEE, Electron Device Letters*, Vol. 15, n°11, Novembre 1994, pp. 458-459.
- [35] **K.E. Moore, C.E Weitzel, K.J. Nordquist, L.L. Pond, J.W. Palmour et al,**  
"4H-SiC MESFET with 65.7% Power Added Efficiency at 850 MHz",  
*IEEE, Electron Device Letters*, Vol. 18, n°2, Février 1997, pp. 69-70.
- [36] **S.T. Allen, W.L. Pribble, R.A. Sadler, T.S. Al Corn, Z. Ring et J.W. Palmour,**  
"Progress in High Power SiC Microwave MESFETs",  
*IEEE, MTT-S International Microwave Symposium Digest*, Juin 1999.
- [37] **W.L. Pribble, J.W. Palmour. S.T. Sheppard, R.P. Smith, S.T. Allen, T.J. Smith et al**  
"Application of SiC and GaN HEMTs in Power Amplifiers Design",  
*IEEE, MTT-S International Microwave Symposium Digest*, Juin 2002, pp.1819-1822.

## **CHAPITRE II**

### ***MODÉLISATION PHYSIQUE DU MESFET EN CARBURE DE SILICIUM***





Ce deuxième chapitre est consacré à la modélisation physique non-linéaire de transistors à effet de champ en carbure de silicium. Par rapport à une modélisation non linéaire classique comportant des éléments électriques localisés et des sources de courant, le modèle physique présente l'intérêt de permettre une analyse directe de l'effet des caractéristiques physiques du composant sur les performances. Dans la phase de développement d'un composant, il est alors possible d'optimiser les paramètres géométriques en fonction de l'application électronique souhaitée.

Un modèle physique non-linéaire, intégré dans un environnement de CAO, ayant pour paramètres d'entrée des données physiques (la longueur de grille, le niveau de dopage dans le canal, son épaisseur...), est décrit.

Afin de valider ce modèle il a été nécessaire de développer un modèle de boîtier pour le transistor. De plus, compte tenu de l'application en forte puissance de ce type de composant, il est indispensable de connaître et de modéliser le comportement thermique du composant. Nous montrerons la détermination du circuit thermique à partir de mesures I(V) en impulsions, ainsi que la simulation 3D de la structure du transistor.

Dans la dernière partie de ce chapitre, nous appliquerons cette démarche de modélisation à un transistor MESFET SiC (18x150 $\mu$ m), issu de la fonderie de TRT (Thalès). Une comparaison, entre des mesures de puissance de type « Load-pull » et la simulation à partir du modèle développé, viendra compléter notre démarche de modélisation.

## I. Description du Modèle Physique

Un modèle physique pour la source de courant de drain  $I_{DS}$  du transistor MESFET SiC prenant en compte les paramètres physiques, géométriques ainsi que la température de fonctionnement du transistor est présenté dans ce paragraphe. Il est très important de prendre en compte les effets thermiques lors de toute modélisation précise ce qui permettra lors d'une conception d'être le plus proche possible de la réalité. La prise en compte de la variation de la température de jonction dans le modèle est primordiale.

Ce modèle est intégré dans le logiciel de simulation HP-ADS et les paramètres d'entrée sont la longueur de grille, la largeur de grille, le niveau de dopage dans le canal, son épaisseur,.... Ce modèle est basé sur les équations de transport de charges des semi-conducteurs et a été développé initialement par M. Ali Khabizadeh [1] et D. Siriex [2]. Son utilisation dans un programme de CAO nécessite une résolution analytique de ces équations.

### I.1 Equations Fondamentales

Il est très intéressant de disposer d'un modèle dont les principaux paramètres sont directement liés aux caractéristiques physiques et géométriques du composant. C'est dans cette optique qu'un modèle analytique de transistor MESFET sur SiC, basé sur la résolution d'un ensemble d'équations régissant les phénomènes de transport de charges à l'intérieur du transistor a été développé [3]. Les équations (II.1) à (II.5) sont établies pour un doigt de grille uniquement.

$$\varepsilon \cdot \nabla^2 \Psi(x, y) = q [N(y) - n(x, y)] \quad (\text{II.1})$$

$$\vec{E} = -\vec{\nabla}(\Psi) \quad (\text{II.2})$$

$$\vec{\nabla} \cdot \vec{J} = q \cdot dn/dt \quad (\text{II.3})$$

$$\vec{J} = -q \cdot n \cdot \vec{v} + q \cdot D_0 \cdot \vec{\nabla} \cdot \vec{n} \quad (\text{II.4})$$

$$\vec{J}_t = \vec{J} + \varepsilon \cdot d\vec{E}/dt \quad (\text{II.5})$$

Les grandeurs physiques qui interviennent dans ces équations sont les suivantes :

- ✓  $E(x, y)$  est le champ électrique,
- ✓  $\Psi(x, y)$  est le potentiel électrostatique,
- ✓  $N(y)$  est la concentration en atomes donneurs dans le canal,
- ✓  $v[E(x, y)]$  est la vitesse des électrons,
- ✓  $J$  est la densité de courant de conduction,
- ✓  $J_t$  est la densité totale de courant,
- ✓  $T$  est la température dans le canal.

La résolution de ce système d'équations s'effectue dans le canal, directement sous l'électrode de grille : cette zone est représentée sur la figure II-1. Les autres régions du transistor seront modélisées à partir d'éléments linéaires extrinsèques.

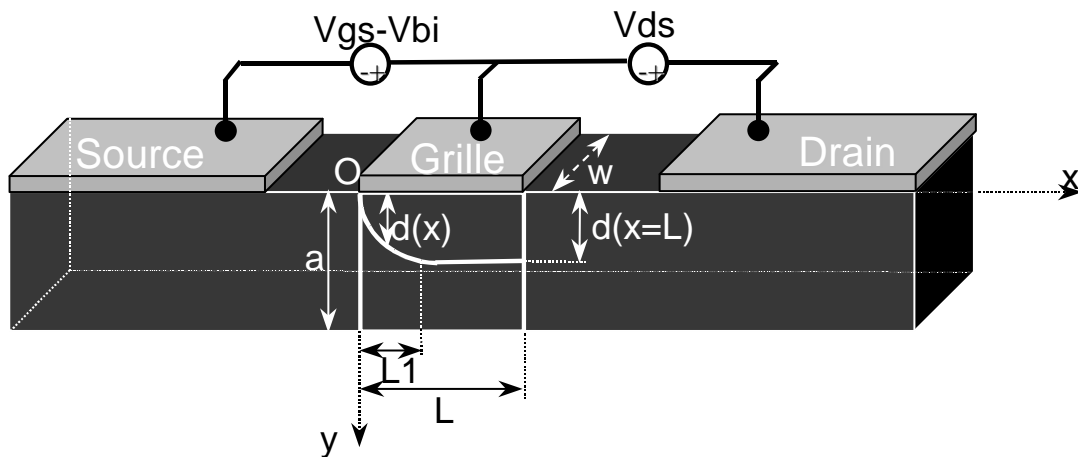


Figure II-1 : Zone active du transistor MESFET

Les axes  $O\vec{x}$  et  $O\vec{y}$  représentent les axes longitudinaux et transversaux de la structure, l'origine est prise côté source. La largeur totale du canal est « a » et supposée constante. La largeur de la zone de déplétion en un point d'abscisse x est représentée par le paramètre  $d(x)$ .

Nous nous placerons dans l'hypothèse d'un canal graduel. Le potentiel le long du canal et par la suite la hauteur  $d(x)$  dans la zone de charge d'espace varient graduellement entre la source et le drain. Le plan en  $x = L1$  représente le plan qui sépare la zone ohmique de la zone saturée de la structure.

Notre démarche de modélisation consiste dans un premier temps à déterminer l'équation analytique de la principale non-linéarité du transistor, à savoir la source de courant de drain  $I_{DS}$  commandée par les deux tensions  $V_{GS}$  et  $V_{DS}$ . Plusieurs étapes intermédiaires de calculs sont alors nécessaires :

- ✓ résolution de l'équation de Poisson (II.1) afin d'extraire les expressions analytiques du potentiel électrostatique  $\Psi(x,y)$ ,
- ✓ détermination à partir de l'équation (II.2) des expressions analytiques des composantes, suivant les axes  $o\vec{x}$  et  $o\vec{y}$ ,  $E_x(x,y)$  et  $E_y(x,y)$  du champ électrique  $E(x,y)$  dans le canal,
- ✓ puis intégration de la composante, suivant l'axe  $o\vec{x}$ , de la densité de courant  $J_x(x,y)$  au niveau des électrodes de source et de drain, afin d'établir respectivement les expressions analytiques des courants de source et de drain  $I_S$  et  $I_D$ ,
- ✓ et résolution de l'équation de continuité du courant suivant une approche quasi statique, en négligeant le courant de grille.

## I.2 Les Paramètres d'Entrée du Modèle

Les paramètres d'entrée du modèle sont le profil de dopage et les propriétés physiques et électriques pour un transistor constitué d'un doigt de grille. Le tableau II-1 reprend les valeurs des paramètres physiques et électriques. Nous illustrerons notre démarche de modélisation physique à partir des paramètres physiques et électriques du transistor SiC 227 constitué de 2 doigts de grille de  $150 \mu\text{m}$  (figure II-2) fabriqué par TRT (Thalès).

Notation	Paramètres	Unités	Valeurs
<b>L</b>	Longueur de grille	$\mu\text{m}$	1
<b>W</b>	Largeur de grille	$\mu\text{m}$	150
<b>a</b>	Profondeur du canal	$\mu\text{m}$	0.34
<b>V<sub>s</sub></b>	Vitesse de saturation	$\text{cm.s}^{-1}$	$9.10^6$
<b><math>\mu_0</math></b>	Mobilité à champ faible	$\text{cm}^2.\text{V}^{-1}.\text{s}^{-1}$	300
<b>E<sub>c</sub></b>	Champ électrique critique	$\text{kV.cm}^{-1}$	40
<b>D<sub>0</sub></b>	Coefficient de diffusion	$\text{cm}^2.\text{s}^{-1}$	13
<b>V<sub>bi</sub></b>	Tension interne due à l'électrode de grille	V	1
<b><math>\epsilon_r</math></b>	Constante diélectrique relative	-	10

Tableau II-1 : Paramètres physiques et géométriques du transistor MESFET SiC-227

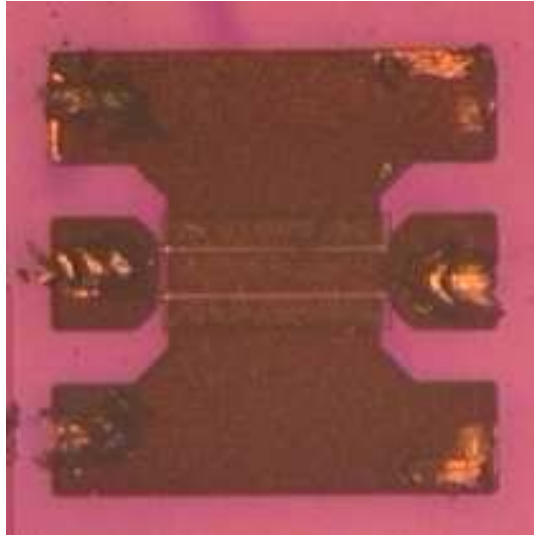


Figure II-2 : Transistor MESFET SiC constitué de 2 doigts de grille de 150  $\mu\text{m}$

L'évolution de la concentration en atomes donneurs  $N(y)$  en fonction de la profondeur du canal est représentée sur la figure II-3. Elle est extraite de mesures  $C(V)$  réalisées par TRT. Outre l'expression de la mobilité des porteurs dans le canal  $\mu_n[E(x,y)]$ , cette donnée technologique constitue le point crucial de la simulation physique.

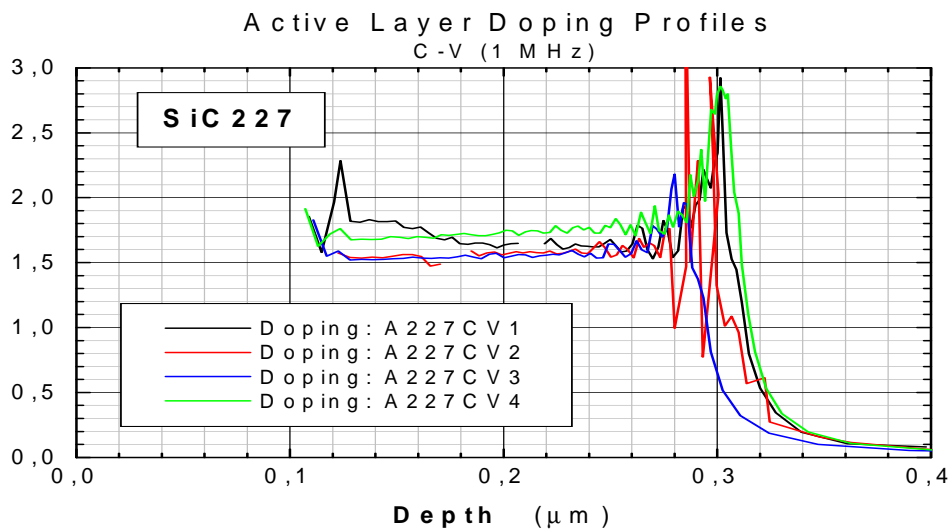


Figure II-3 : Profil de dopage  $N(y)$  du transistor MESFET SiC

La simulation d'un transistor constitué de plusieurs doigts de grille peut être faite de deux façons :

- ✓ soit par la résolution en parallèle de plusieurs modèles identiques constituées de cellules élémentaires. Cette méthode permet de bien simuler et observer la répartition de la chaleur sur les différents doigts mais présente un temps de calcul très long,
- ✓ soit par l'utilisation d'un facteur d'échelle appliqué sur une seule cellule élémentaire. Le temps de calcul est réduit mais nous n'avons accès qu'à une température globale et non à la répartition de la température sur les différents doigts de grille du transistor.

### I.3 Algorithme de Résolution

Le détail des calculs de la résolution analytique de l'équation Poisson est présenté en annexe. La figure II-4 présente l'algorithme de résolution qui a été mis en place. La première étape consiste, à partir des paramètres physiques et électriques d'un composant, à calculer les différentes fonctions  $F_i(d)$  [ $i = 1$  à  $5$ ], pour un nombre suffisant de valeurs de  $d$  prises sur l'intervalle  $[0 : 2a]$ .

Au cours de cette étape, nous avons été amenés à calculer la tension de pincement  $V_P$  ainsi que les coefficients des « splines » cubiques et à stocker ces valeurs en mémoire sous forme de tableaux. Cette étape est réalisée au début de la simulation uniquement : elle n'a pas besoin d'être répétée par la suite.

Puis, pour un jeu de tensions de commandes données ( $V_{GS}$ ,  $V_{DS}$ ), nous initialisons la variable  $V_1$  soit à une valeur arbitrairement choisie par l'utilisateur, soit à la solution déterminée précédemment, pour un jeu antérieur de tensions ( $V_{GS}$ ,  $V_{DS}$ ), dans le cas où ces tensions évoluent de manière continue avec un pas d'incrémentations relativement faible.

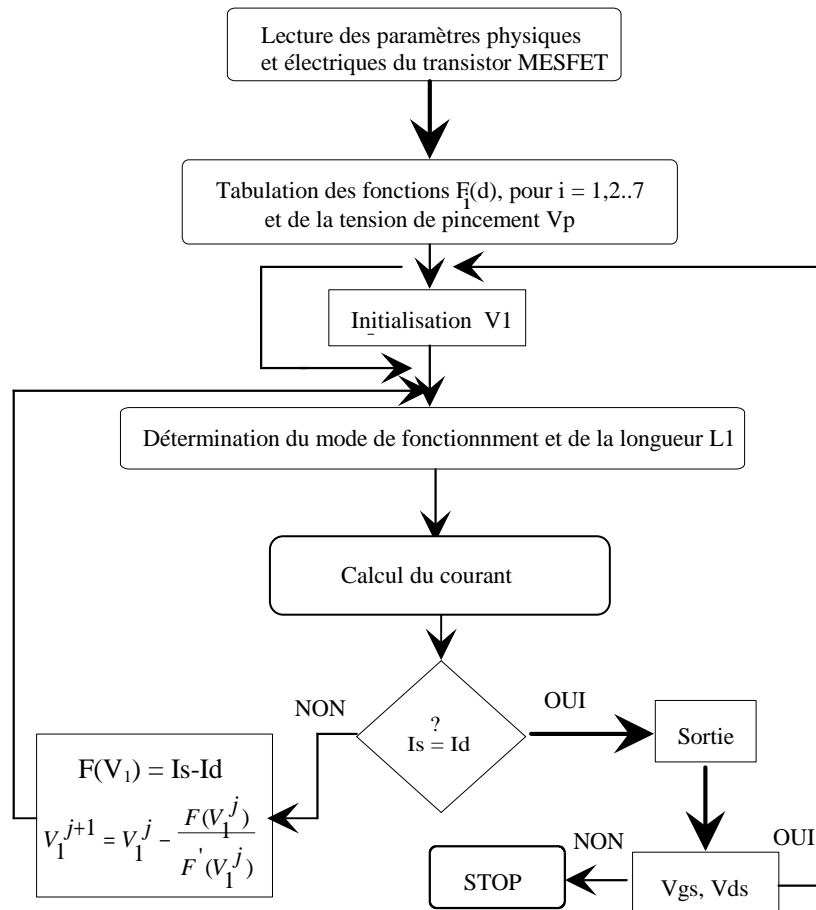


Figure II-4 : Algorithme de Résolution

A partir de la valeur initiale de la tension  $V_1$ , nous calculons les valeurs des champs électriques  $E_s = E(0, a)$  et  $E_d(L, a)$  pour déterminer le mode de fonctionnement et par la suite la valeur de la longueur  $L_1$  correspondante.

En utilisant l'approximation quasi-statique  $\frac{dn}{dt} = 0$  et en négligeant le courant de conduction au niveau de la grille, l'équation de continuité du courant s'écrit :

$$I_s(V_1) = I_d(V_1) \tag{II.6}$$

Pour résoudre  $F(V_1) = I_s(V_1) - I_d(V_1) = 0$ , on utilise la méthode de Newton Raphson :

$$V_1^{j+1} = V_1^j - \frac{F(V_1^j)}{F'(V_1^j)} \tag{II.7}$$

Le courant de conduction est alors défini par l'équation suivante :

$$I_{con} = \frac{I_s + I_d}{2} \quad (\text{II.8})$$

$$\text{Avec pour critère de convergence : } \left| \frac{I_{con}^{j+1} - I_{con}^j}{I_{con}^j} \right| < \varepsilon \quad (\text{II.9})$$

#### I.4 Implémentation sur HP-ADS

Nous indiquons dans ce paragraphe quelques aspects essentiels concernant le couplage entre le modèle physique et le simulateur de circuits ADS, basé sur la méthode d'équilibrage harmonique. Un des avantages présentés par le simulateur ADS est la possibilité d'entrer des modèles compilés.

Nous avons intégré le modèle physique du transistor MESFET SiC développé précédemment dans la librairie des modèles non linéaires de ce simulateur de circuits. L'introduction du modèle dans le simulateur de circuit ADS est développée de la façon suivante :

- ✓ écriture en langage C des équations du modèle, suivant une description nodale : le modèle physique est développé en C++ et l'appel du modèle se fait depuis cette fonction écrite en C et propre au logiciel ADS,
- ✓ génération de l'exécutable par compilation du modèle avec les attributs d'ADS.

Lorsqu'il s'agit d'éléments à caractère non-linéaire, il est nécessaire de connaître l'expression des courants et des charges pour les capacités ainsi que l'expression de leurs dérivées, nécessaire à la convergence des algorithmes. En effet les non-linéarités reconnues par ADS sont :

- ✓ les courants convectifs,
- ✓ les courants de charges dynamiques,
  - ✓ les conductances (expressions des courants convectifs dérivés par rapport aux tensions),
- ✓ les capacités (expressions des courants de charges dérivés par rapport aux tensions).

La figure II-5 représente le couplage entre le modèle physique et le simulateur de circuits ADS.



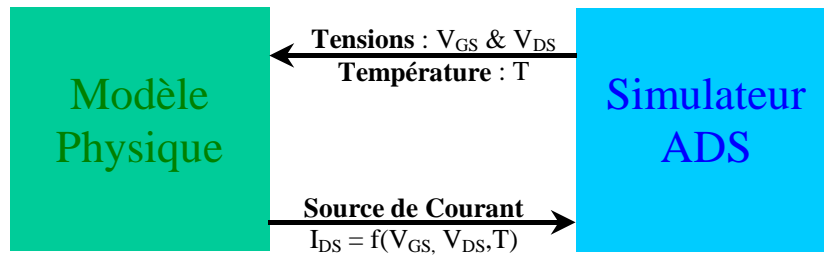


Figure II-5 : Couplage entre le modèle physique et le simulateur ADS

La figure II-6 représente l'implantation et le schéma de simulation dans le simulateur ADS. Cependant, le temps de calcul est assez important car il varie de 15 minutes pour un réseau isotherme à 22 minutes pour un réseau DC comportant chacun 190 points de calcul. Ces simulations ont été effectuées sur une station de travail HP C3000. Nous n'avons pas rencontré de problème de convergence lors des simulations.

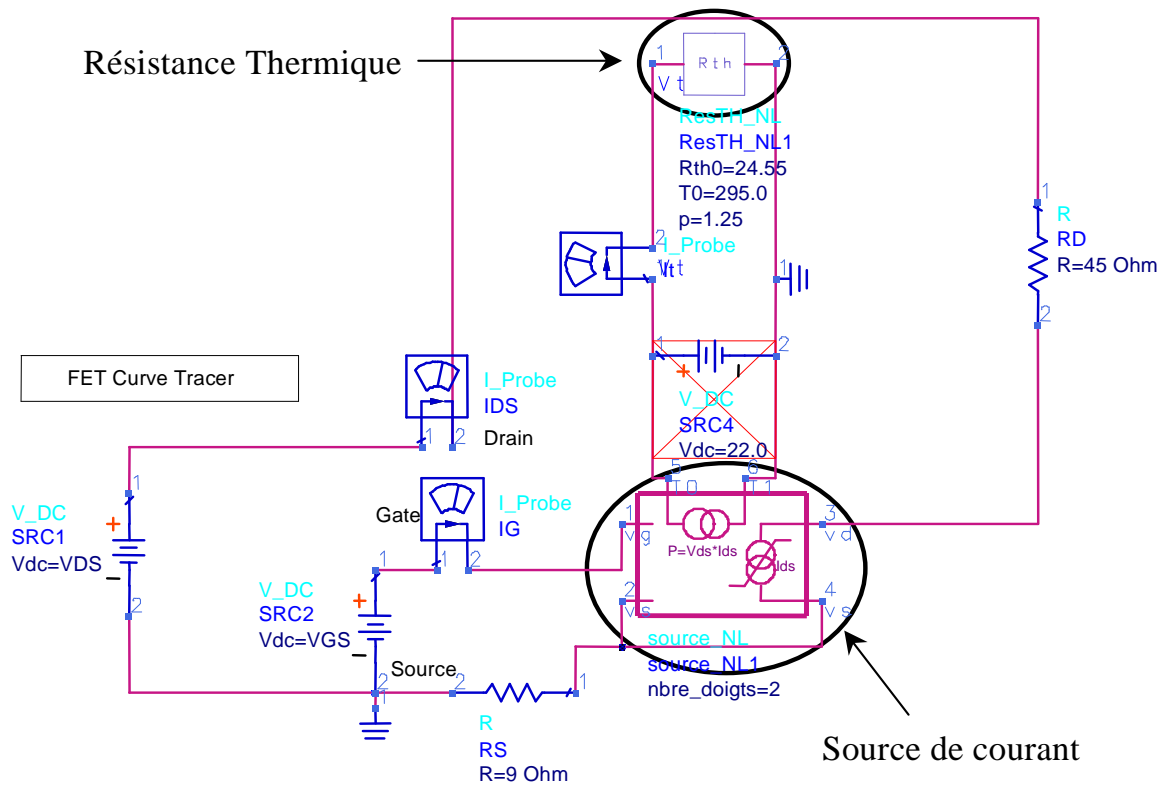


Figure II-6 : Modèle et schéma de simulation implanté dans ADS

## II. Modélisation Non-linéaire des Effets Thermiques

La température de fonctionnement d'un transistor de puissance RF ou micro-ondes est un paramètre très important qui affecte aussi bien les performances, les limites de fonctionnement ou la durée de vie du composant

C'est la notion de résistance thermique qui permet assez simplement de calculer la température en régime établi du transistor par la connaissance de température ambiante, des niveaux de polarisation et de la puissance RF.

### II.1 Généralités

Il est très important de prendre en compte les effets thermiques lors de toute modélisation précise, ce qui permettra lors d'une conception d'être le plus proche possible de la réalité. La prise en compte de la variation de la température dans le modèle est primordiale.

Le principe du modèle électrothermique consiste à prendre en compte la température moyenne du composant comme une troisième commande des équations régissant la non-linéarité de la source de courant de drain. Dans le but d'obtenir les variations des paramètres du modèle en fonction de la température deux méthodes de mesure peuvent être employées :

- ✓ mesures en impulsions pour différents points de repos correspondant à différentes températures (puissances dissipées) du composant,
- ✓ mesures en impulsions à puissance dissipée nulle en plaçant le composant dans une enceinte thermique qui fixe la température.

Lors de la phase de simulation, la prise en compte de la température est obtenue à travers un circuit thermique qui intègre la puissance dissipée instantanée (générateur de courant), ce qui permet de récupérer la commande en température (générateur de tension).

Cette analogie entre l'équation de diffusion de la chaleur et un circuit RC distribué représentant les différentes zones de transfert (canal, substrat, semelle de montage et convection vers l'air) constitue une approximation correcte du phénomène physique de conduction thermique.

Le banc de mesures en impulsions permet de mesurer expérimentalement les paramètres  $R_{TH}$  et  $C_{TH}$  d'un transistor [4]. La température de jonction peut aussi être estimée. Dans le but d'obtenir les variations des paramètres du modèle avec la température, nous effectuons une

modélisation non-linéaire du transistor à partir de mesures I(V) réalisées pour différentes températures.

En effet, une augmentation de la température de jonction entraîne une décroissance de la mobilité des électrons et par conséquent une diminution du courant de drain  $I_{DS}$ . L'équation (II.10) donne la loi de variation classique de la mobilité des électrons en fonction de la température pour le carbure de silicium.

$$\mu(T) = \mu_0 \left( \frac{T}{300} \right)^{-2.25} \tag{II.10}$$

La loi de variation de la mobilité électronique ( $\mu(E)$ ) en fonction du champ électrique (E) est donné par l'équation (II.11).

$$\mu(E) = \left( \frac{\mu(T)}{1 + \frac{\mu(T) \cdot E}{V_{sat}}} \right) \tag{II.11}$$

Les variations de la mobilité électronique en fonction du champ électrique (E) à 300°K et de la température sont représentées figures II-7 et II-8.

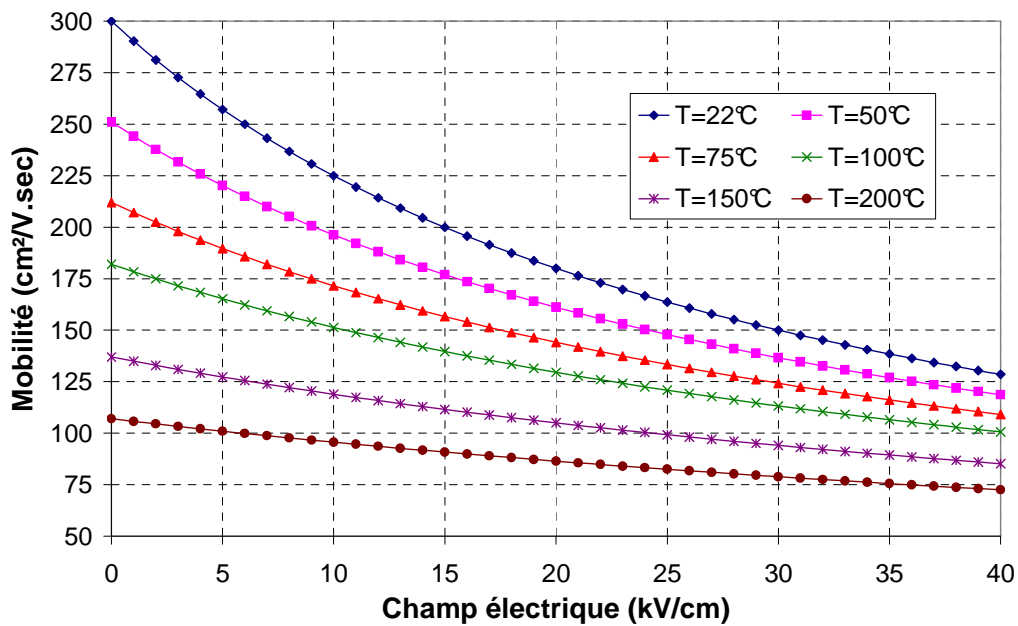


Figure II-7 : Mobilité électronique en fonction du champ électrique

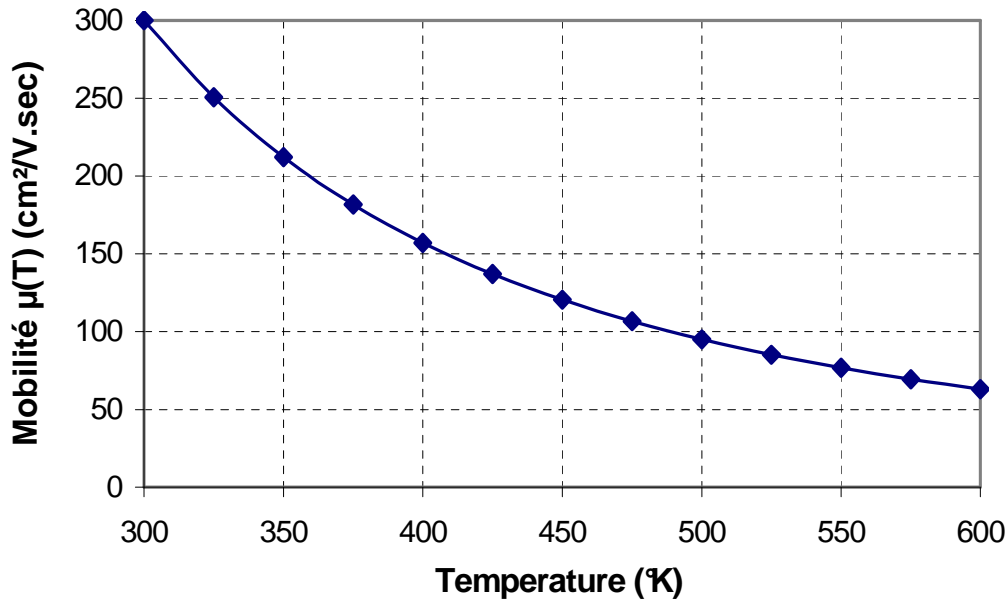


Figure II-8 : Mobilité électronique en fonction de la température

## II.2 Détermination du Circuit Thermique à partir de Mesures

### II.2.1 Principe

La détermination du circuit thermique est indépendante du modèle. La résistance thermique est évaluée grâce à la mesure en impulsions des courbes de diodes d'entrée ( $I_G = f(V_{GS})$ ) à puissance dissipée nulle ( $I_{DS0} = 0$ ). La température du composant est alors rigoureusement contrôlée par la table thermique (« chuck »). Pour un courant de grille suffisant, la variation linéaire de tension de seuil en fonction de la température est alors extraite.

Ensuite, le transistor est remplacé à température ambiante et la caractéristique  $I_G = f(V_{GS})$  est mesurée toujours en impulsions pour différents points de polarisation de repos représentant ainsi différentes puissances dissipées.

Le recoupement de ces deux mesures donne l'évolution de la température en fonction de la puissance dissipée dont la pente représente la résistance thermique ( $R_{TH}$ ). Il est possible de choisir une résistance thermique constante ou de la modéliser par une équation non-linéaire en fonction de la température.

### II.2.2 Description du Transistor

Le transistor étudié a été fabriqué par TRT. Il est constitué de 2 doigts de grille et présente un développement total de grille de  $2 \times 150 \times 1 \mu\text{m}^2$  (figure II-9), la structure est coplanaire et le substrat de  $300 \mu\text{m}$  est en carbure de silicium (4H-SiC).

Les mesures ont été réalisées sous pointes sur une table thermique. Les mesures en impulsions [4] (durée : 500 ns, récurrence : 7  $\mu\text{s}$ ) assurent une caractérisation quasi-isotherme.

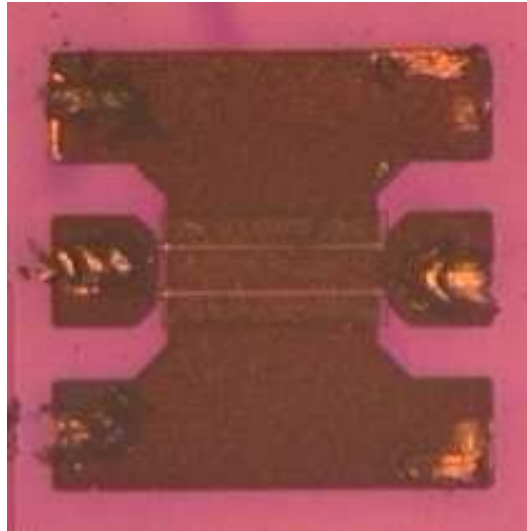


Figure II-9 : Transistor MESFET SiC constitué de 2 doigts de grille de  $150 \mu\text{m}$

### II.2.3 Extraction de la Résistance et de la Capacité Thermique

Il est possible d'estimer la résistance thermique d'un transistor grâce à la tension de seuil de la jonction Schottky grille-source des FETs qui présente une décroissance linéaire en fonction de la température. La diode de la jonction grille-source est utilisée comme thermomètre. Il faut noter que l'on se place dans l'hypothèse où la température mesurée à l'aide de cette technique correspond à celle du point le plus chaud du transistor, même si la jonction utilisée comme thermomètre ne correspond pas exactement à la zone où la chaleur est générée. Effectivement, la zone de dissipation se situe sous la grille et s'étend vers le drain. Cette mesure donnera une image de la température moyenne sur la zone active du composant.

Ainsi, pour déterminer la résistance thermique du transistor, il faut mesurer l'accroissement de température  $\Delta T = T - T_0$  ( $T_0$  : température ambiante &  $T$  : température de fonctionnement) associé à une variation de puissance dissipée  $\Delta P_{\text{diss}}$ .

La première étape consiste à étalonner ce thermomètre. Pour ce faire, on mesure en impulsions différentes caractéristiques de diodes d'entrée ( $I_G = f(V_{GS})$ ) pour différentes températures de socle et en laissant le drain du transistor en circuit ouvert. Ce qui permet, de s'assurer que le transistor lors des mesures ne présentera pas d'effet d'auto-échauffement.

Lors de la seconde étape, le transistor est polarisé de manière à dissiper de la puissance et de façon à fixer une température de fonctionnement. La mesure de la température s'effectue en coupant la polarisation afin de ne pas détériorer le transistor et en relevant l'écart de tension ( $\Delta V_{GS}$ ) nécessaire pour se placer à un même niveau de courant que lors de l'étalonnage. Cette technique peut présenter des incertitudes, tout spécialement dans le cas de transistor présentant d'importants phénomènes de pièges.

La figure II-10 représente l'évolution du courant de grille  $I_G$  en fonction de  $V_{GS}$  pour des températures variant de la température ambiante ( $22^\circ\text{C}$ ) à une température de  $200^\circ\text{C}$ . De plus, la caractéristique ( $I_G = f(V_{GS})$ ) est représentée lorsque le transistor est polarisé au point de fonctionnement  $V_{GS0} = -1.2\text{V}$ ,  $V_{DS0} = 40.3\text{V}$  et  $I_{DS0} = 91.7\text{mA}$ .

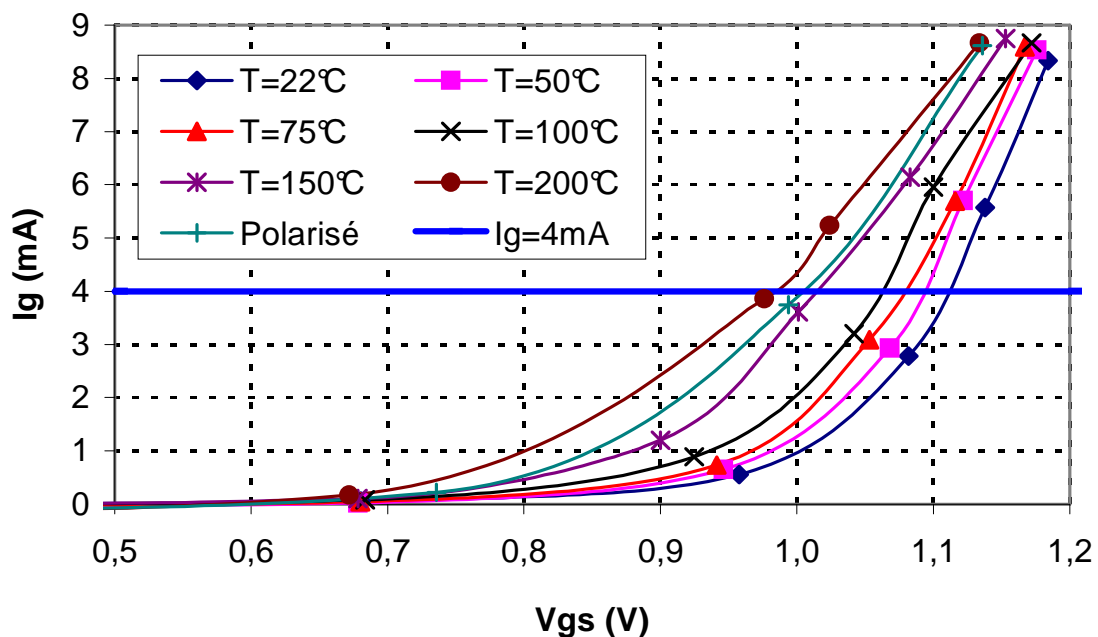


Figure II-10 : Caractéristiques de la diode d'entrée pour différentes températures

Le thermomètre fonctionne à  $I_G$  constant, arbitrairement  $I_G$  est fixé à 4 mA. L'évolution de la température en fonction de la tension  $V_{GS}$  à  $I_G = 4$  mA permet de déterminer la variation

$\frac{\Delta V_{GS}}{\Delta T}$ . La figure II-11 représente l'évolution de la courbe étalon du thermomètre. Nous

constatons que la température évolue linéairement en fonction de la tension  $V_{GS}$  et une variation de  $\frac{\Delta V_{gs}}{\Delta T}$  de  $-0.72 \text{ mV}/^\circ\text{C}$  est obtenue.

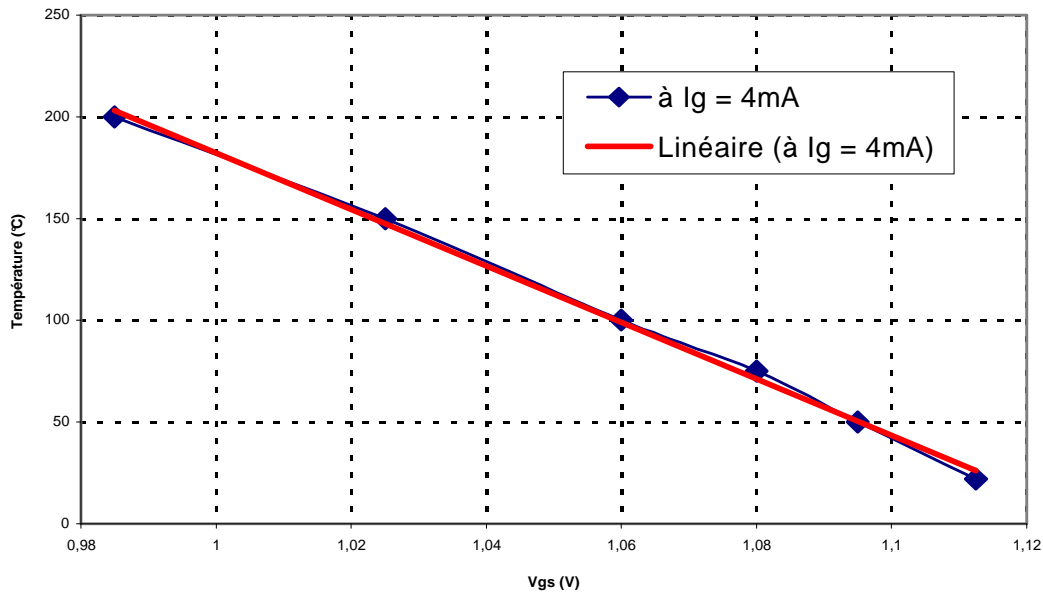


Figure II-11 : Caractéristiques de la diode d'entrée pour différentes températures

Pour un courant de grille  $I_G$  de 4mA (courant de fonctionnement du thermomètre), on obtient une tension  $V_{gs}=1.005 \text{ V}$ , ce qui correspond sur la courbe étalon à une température de  $175^\circ\text{C}$ . La puissance dissipée par le composant est donnée par le point de repos :

$$P_{DISS} = V_{DSO} \cdot I_{DSO} = 3.7 \text{ W.}$$

L'expression de la résistance thermique s'écrit :

$$R_{TH} = \frac{T - T_0}{P_{DISS}} \quad (\text{II.12})$$

avec  $T_0$  : température ambiante ( $22^\circ\text{C}$ ),

et  $T$  : température de fonctionnement du transistor.

Par ce calcul, nous obtenons donc une résistance thermique de  $41.4^\circ\text{C}/\text{W}$  pour une température de fonctionnement de  $175^\circ\text{C}$ . Ces résultats sont en parfait accord avec un calcul théorique présenté pour ce même transistor dans l'article [5].

La conductivité thermique dépendant de la température cela implique que la résistance thermique varie en fonction de la puissance dissipée et de la température de socle. Il est donc primordial lorsque la résistance thermique est issue de mesures, de connaître les conditions dans lesquelles ces mesures ont été effectuées.

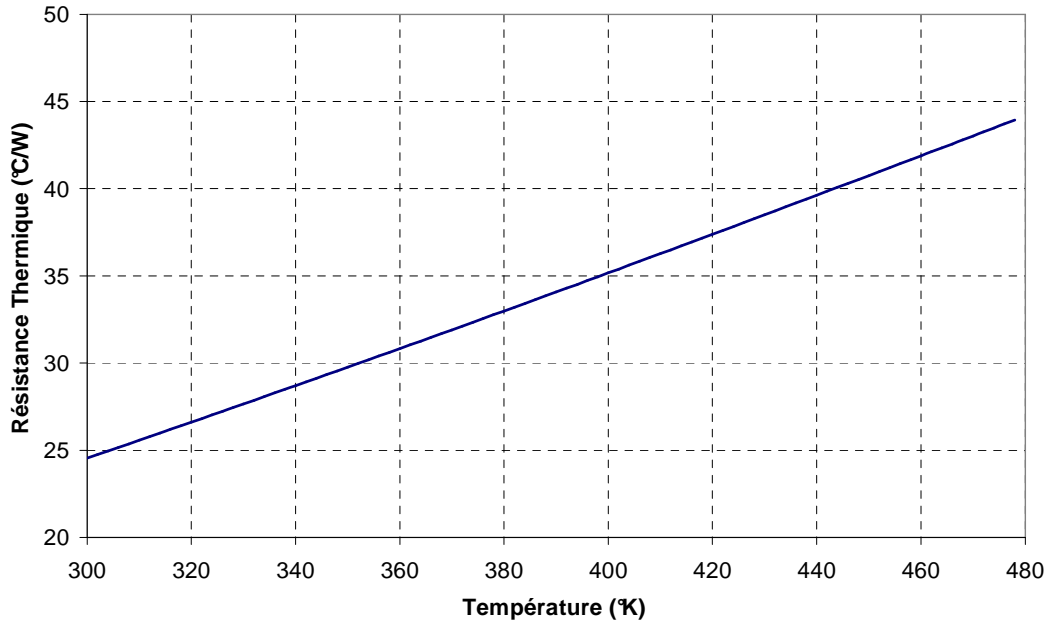


Figure II-12 : Evolution de la résistance thermique  $R_{TH}$  en fonction de la température

Cette résistance thermique n'étant pas constante et dépendant de la température et son évolution est donnée par l'équation (II.13), représentée figure II-12.

$$R_{TH} = R_{TH0} \left( \frac{T}{300} \right)^N \quad (\text{II.13})$$

avec  $R_{TH0} = 24.55 \text{ °C/W}$  (à  $300 \text{ °K}$ ) ;  $N = 1.25$

La détermination de la capacité thermique  $C_{TH}$  est obtenue à travers la connaissance de la constante de temps  $\tau_{TH} = R_{TH} \cdot C_{TH}$ , la grandeur utilisée est encore une fois la tension  $V_{GS}$  qui présente une décroissance linéaire en fonction de la température. La grandeur choisie pour mesurer la constante de temps est le gain RF ( $S_{21}$ ) du transistor.



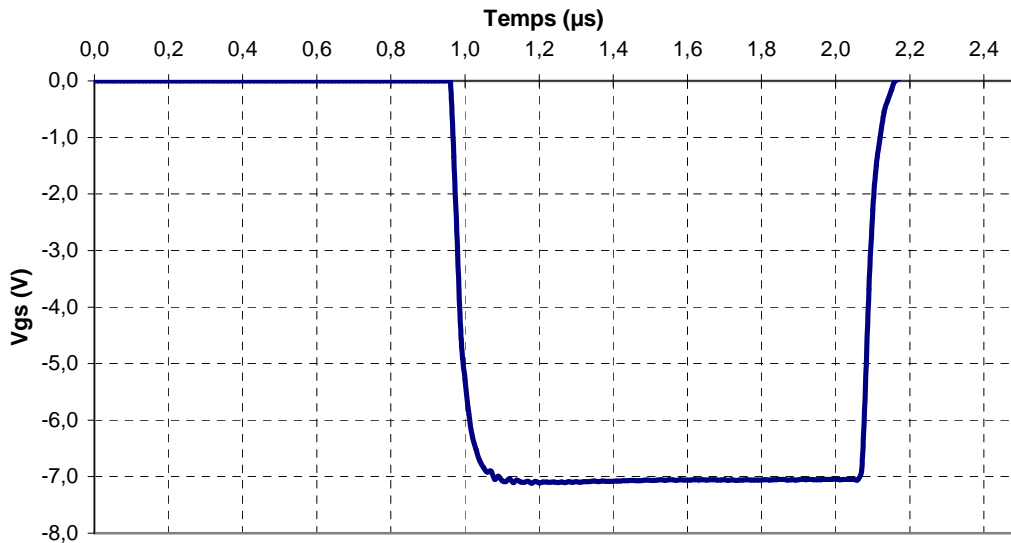


Figure II-13 : Evolution de la tension  $V_{GS}$  à l'intérieur d'une impulsion

### II.3 Circuit Thermique

Afin de pouvoir effectuer une comparaison entre le modèle et les mesures, il est nécessaire de déterminer les constantes de temps thermiques. Le réseau le plus simple habituellement mis en application consiste à utiliser une cellule composée d'une résistance et d'une capacité.

Ceci semble être insuffisant en première approche car avec ce type de circuit thermique une seule constante de temps thermique est prise en compte alors qu'il existe en fait plusieurs constantes de temps thermiques.

Le sous-circuit thermique que nous avons utilisé est issu d'une simulation 3D de la structure du transistor. La figure II-14 montre un exemple de répartition de température pour un transistor MESFET SiC composé de 18 doigts de grille. Nous pouvons noter que les doigts centraux sont beaucoup plus chauds que les doigts situés à l'extrémité de la structure.

Une réduction de modèle est ensuite effectuée en utilisant la technique développée par D. Lopez [6]. Ce qui nous permet de générer un sous-circuit thermique prenant en compte les constantes de temps thermiques.

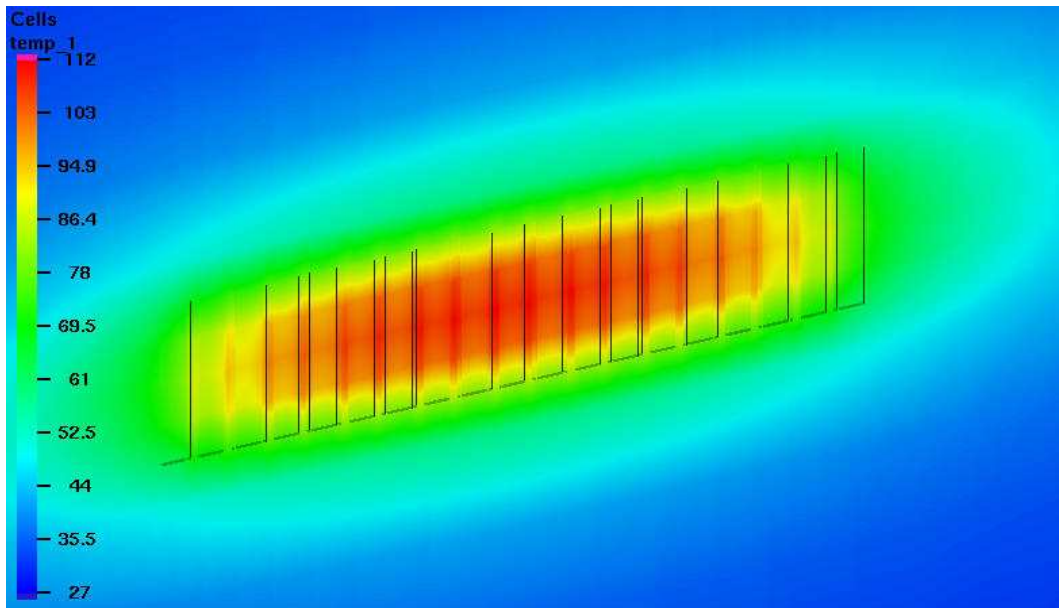


Figure II-14 : Répartition de la température sur les 18 doigts d'un transistor MESFET SiC

Ce sous-circuit est constitué d'entrées (puissances dissipées) et de sorties (températures), le nombre d'entrées et de sorties pouvant correspondre par exemple au nombre de doigts. Ce sous-circuit est produit comme une boîte noire de type « spice » lisible par le logiciel de simulation circuit ADS.

Il serait assez lourd de mettre en œuvre un modèle distribué du transistor, c'est à dire un modèle physique pour chaque doigt du transistor à cause du temps de calcul. Nous avons préféré prendre en compte uniquement le point le plus chaud du transistor. Des simulations réalisées par D. Lopez [6] montrent qu'en utilisant un circuit thermique constitué d'une entrée et d'une sortie les résultats restent proches des observations faites en mesures.

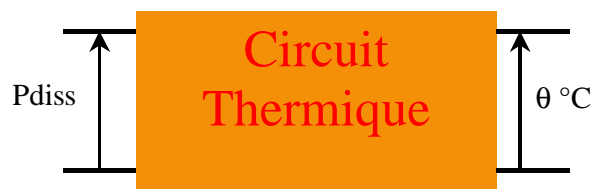


Figure II-15 : Sous-circuit thermique issu de la simulation 3D de la structure du transistor comportant 1 entrée et 1 sortie

### III. Modélisation du Boîtier Egide

#### III.1 Présentation du Boîtier

Le boîtier Egide, permettant le montage des transistors MESFETs SiC sur des structures « microstrip » est représenté figure II-16. Ce boîtier peut accueillir des transistors comportant jusqu'à 144 doigts de grille de 150  $\mu\text{m}$  comme illustré sur la figure II-23.

Ce boîtier a été conçu pour réduire au minimum les dimensions des « bondings » d'accès à la puce et réduire ainsi les effets pénalisants des éléments d'accès extrinsèques. Il est cependant nécessaire de modéliser électriquement ce boîtier afin d'intégrer son influence dès la conception des circuits. Une modélisation par un circuit électrique équivalent extrait de mesures est utilisée.

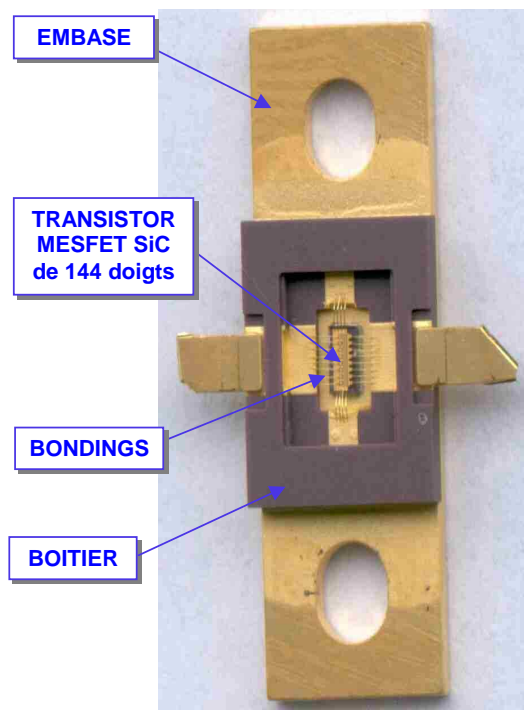


Figure II-16 : Cliché d'un transistor MESFET SiC en boîtier Egide

#### III.2 Mesures et Validation du Modèle

Afin de pouvoir mesurer uniquement les paramètres [S] en impulsions du boîtier Egide, nous avons utilisé un boîtier équipé d'une puce dite « passive ». Cette puce reproduit les motifs du transistor mais se comporte comme une capacité de valeur  $C_p = 0.434 \text{ pF}$ . La figure II-17 représente la structure de cette puce « passive ».

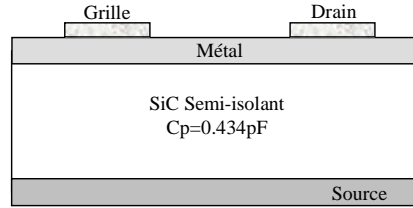


Figure II-17 : Structure de la puce « passive »

Les paramètres [S] de ce montage ont été mesurés dans la bande de fréquence 500 MHz à 4 GHz. La figure II-18 représente le montage de la puce « passive » dans le boîtier Egide.

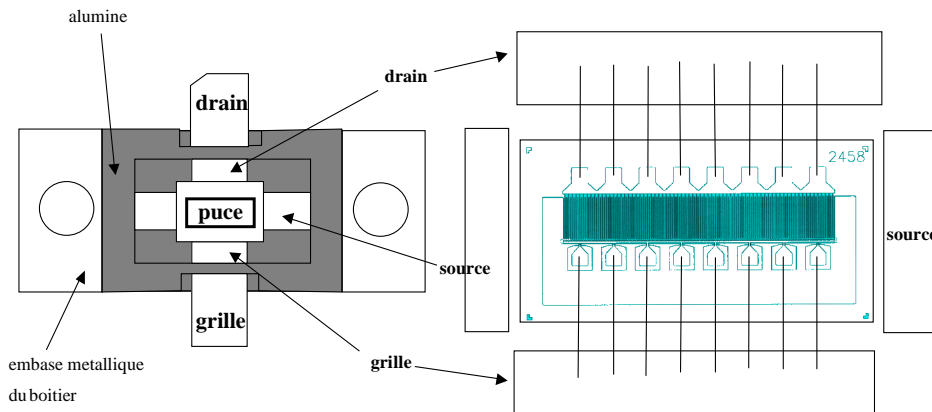


Figure II-18 : Montage de la puce « passive » dans le boîtier Egide 1

Le montage comprend 8 fils de « bonding » côté grille et côté drain. Le modèle du boîtier représenté figure II-19 prend en compte ces bondings. Les éléments du modèle (R1, L1, R2, L2, C et Cc) sont déterminés par optimisation à l'aide du logiciel ADS.

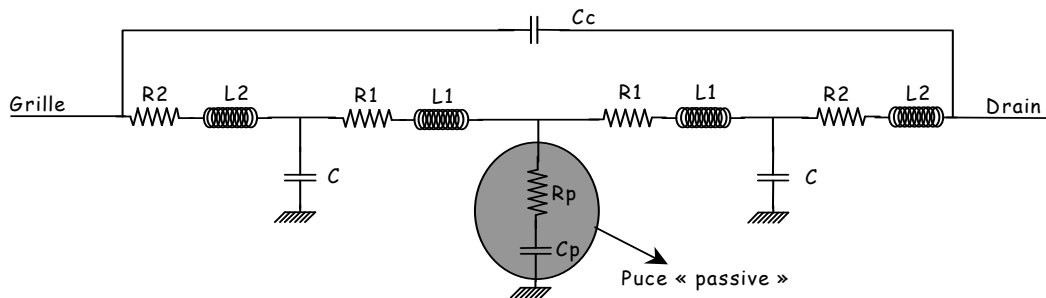


Figure II-19 : Schéma électrique équivalent du Boîtier Egide

Le tableau II-2 reprend les valeurs des paramètres obtenues par optimisation dans ADS et utilisées pour la modélisation.

R1	L1	R2	L2	C	Cc	Rp	Cp
0.015 Ω	0.674 nH	0.029Ω	0.688 nH	1.85 pF	25 fF	1.4 Ω	0.434 pF

Tableau II-2 : Valeurs des éléments du modèle du Boîtier Egide

La figure II-20 illustre la comparaison entre les paramètres [S] mesurés et simulés de 500 MHz à 4 GHz pour le boîtier Egide équipé de la puce « passive ». Un bon accord est obtenu entre le modèle et les mesures sur l'ensemble de la bande de fréquence.

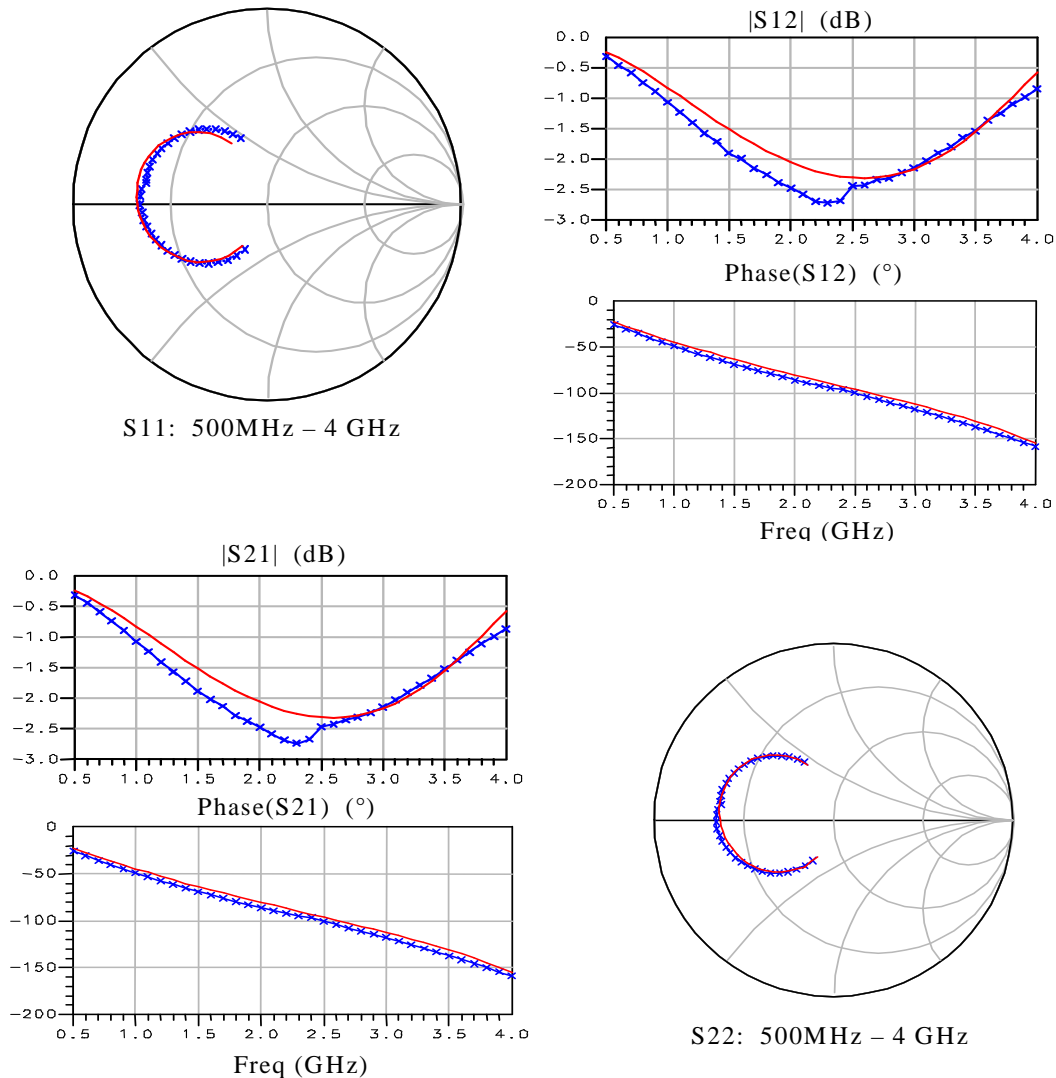


Figure II-20 : Comparaison Mesures / Modèle des Paramètres [S] du Boîtier Egide

Le montage du transistor de 18 doigts est constitué d'un seul fil de bonding du côté grille et drain et de deux fils de bonding de source. Physiquement, ceci se traduit par une résistance R2 et une inductance L2 plus grandes pour l'accès grille et source. Par ailleurs, les fils de bonding de source introduisent une inductance et une résistance de source supplémentaire. Ces éléments sont pris en compte dans les valeurs de modélisation lorsque le transistor est différent d'un MESFET SiC de 144 doigts.

## IV. Validation du Modèle Physique

La caractérisation en puissance s'avère être une étape décisive puisqu'elle apporte la connaissance du point de polarisation et des impédances à présenter aux accès du transistor pour qu'il fonctionne de manière optimale, suivant le critère fort signal à privilégier. En outre, cette caractérisation permet de déduire les performances en terme de gain en puissance, de puissance de sortie et de rendement en puissance ajoutée du dispositif à tester.

Afin de valider le modèle décrit dans les paragraphes précédents, des mesures en puissance ont été effectuées sur le transistor MESFET SiC à l'aide d'un banc de mesures du type « Load-pull ». Ce type de banc permet l'adaptation des impédances présentées au dispositif sous test (DUT) à l'aide de tuners ou de boucles actives [7,8].

### IV.1 Principe

Comme nous l'avons vu dans le paragraphe II, le modèle développé pour la source de courant de drain  $I_{DS}$  du transistor prend en compte les paramètres physiques et géométriques du transistor. Ce modèle est basé sur les équations de transport de charges des semi-conducteurs. Ce modèle prend également en compte la température de jonction du composant à l'aide d'un sous-circuit thermique. En prenant en compte la modélisation du boîtier dans lequel le composant a été implanté, on peut présenter l'ensemble du montage comme l'association de trois sous-ensembles (Figure II-21).

Le sous-ensemble « boîtier » est constitué d'un circuit passif décrivant le comportement fréquentiel du boîtier Egide et des fils de bondings pour la connexion de la puce. Le sous-ensemble « transistor intrinsèque » est composé entre autre de la source de courant  $I_{DS}$  non-linéaire et des capacités intrinsèques entre chaque accès. Et enfin, le sous-ensemble « circuit-thermique » est constitué d'un circuit passif équivalent reproduisant le comportement thermique du montage (résistance thermique et constante de temps thermique).

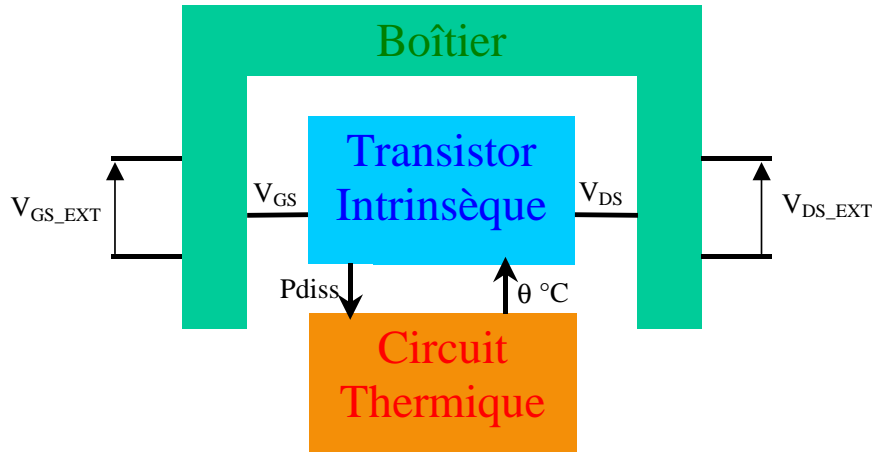


Figure II-21 : Schéma de Principe de modélisation du transistor MESFET SiC

La figure II-22 représente le modèle du transistor MESFET SiC implémenté sur le logiciel de simulation circuit ADS.

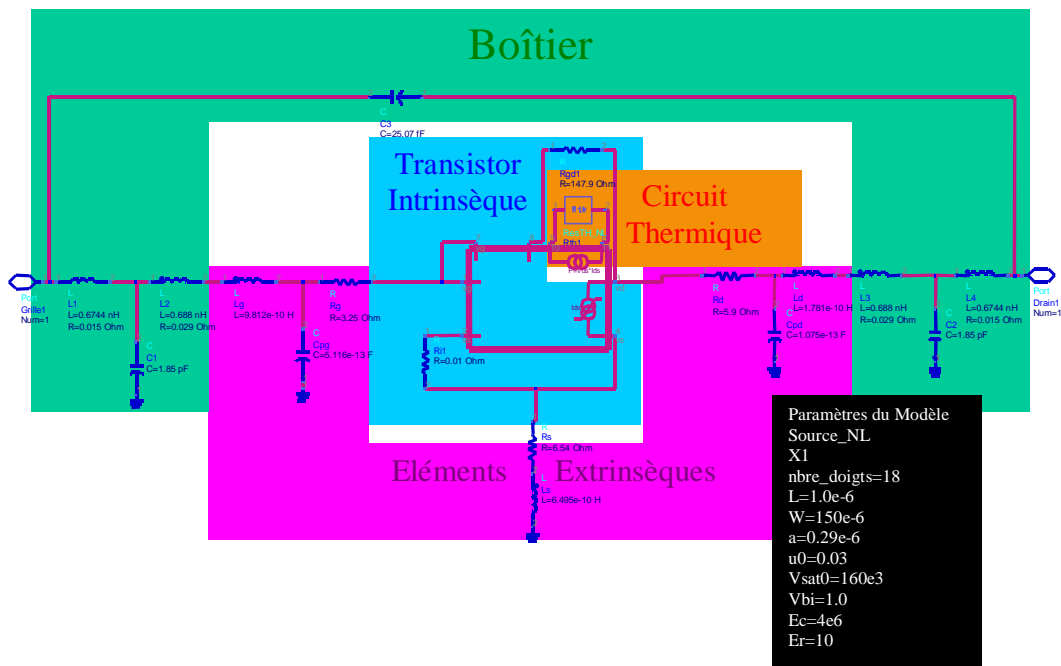


Figure II-22 : Schéma de simulation du modèle implémenté dans le simulateur ADS

## IV.2 Rappel des Paramètres d'entrée du Modèle

Les paramètres d'entrée du modèle sont le profil de dopage (figure II-23) et les propriétés physiques et électriques. Pour un transistor constitué d'un doigt de grille ses paramètres sont repris dans le tableau II-3.

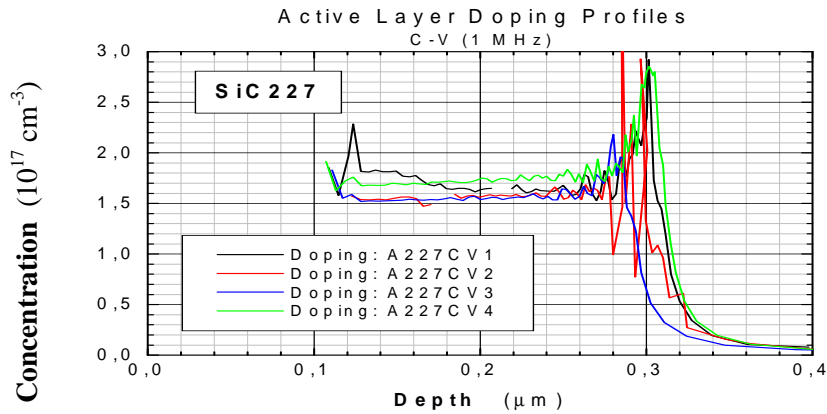


Figure II-23 : Profil de dopage  $N(y)$  du transistor SiC

Notation	Paramètres	Unités	Valeurs
L	Longueur de grille	$\mu\text{m}$	1
W	Largeur de grille	$\mu\text{m}$	150
A	Profondeur du canal	$\mu\text{m}$	0.34
$V_s$	Vitesse de saturation	$\text{cm} \cdot \text{s}^{-1}$	$9 \cdot 10^6$
$\mu_0$	Mobilité à champ faible	$\text{cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$	300
$E_c$	Champ électrique critique	$\text{kV} \cdot \text{cm}^{-1}$	40
$D_0$	Coefficient de diffusion	$\text{cm}^2 \cdot \text{s}^{-1}$	13
$V_{bi}$	Tension interne due à l'électrode de grille	V	1
$\epsilon_r$	Constante diélectrique relative		10

Tableau II-3 : Valeurs des paramètres physiques et géométriques

Nous illustrerons notre démarche de modélisation physique à partir des paramètres physiques et électriques du transistor SiC-303 constitué de 18 doigts de grille de  $150 \mu\text{m}$ , (figure II-24) fabriqué par le LCR de Thalès.

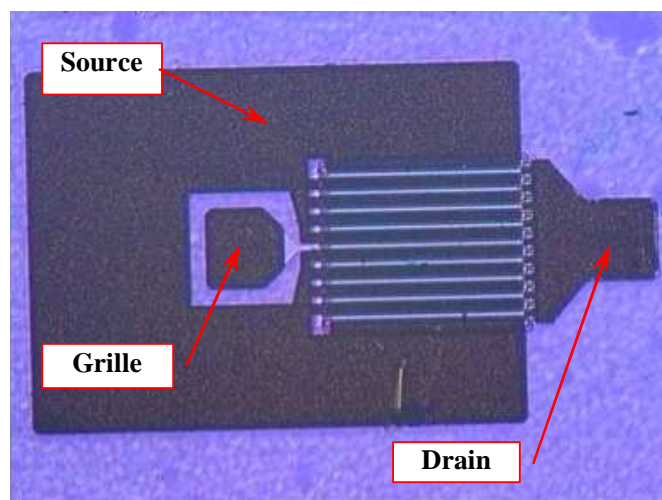


Figure II-24 : Cliché du Transistor MESFET SiC constitué de 18 doigts de grille de  $150 \mu\text{m}$



### IV.3 Modèle Utilisé pour la Simulation en Puissance

Le modèle du transistor MESFETs SiC doit fonctionner aussi bien en petit signal qu'en fort signal. En petit signal, les transistors MESFETs présentent des caractéristiques linéaires autour d'un point de fonctionnement et sont modélisés par des éléments localisés (résistances, inductances et capacités).

En fort signal, la plage de variation du signal est beaucoup plus importante et le fonctionnement des transistors MESFETs ne peut plus être considéré comme linéaire. Il faut donc prendre en compte les non-linéarités du transistor.

En plus du modèle de la source de courant de drain, une modélisation précise du comportement non-linéaire  $I(V)$  des transistors à effets de champ se doit de considérer d'autres non-linéarités, pour représenter, entre autre les caractéristiques d'entrée du transistor. La modélisation de ces caractéristiques permettra de borner, lors d'une simulation non-linéaire, les excursions maximales des tensions de grille et de drain. Il s'en suivra naturellement une saturation de la puissance de sortie. La figure II-25 représente la topologie du modèle utilisé. Les éléments extrinsèques  $L_g$ ,  $R_g$ ,  $C_{pg}$ ,  $L_s$ ,  $R_s$ ,  $L_d$ ,  $R_d$  et  $C_{pd}$  sont considérés comme indépendants de la fréquence.

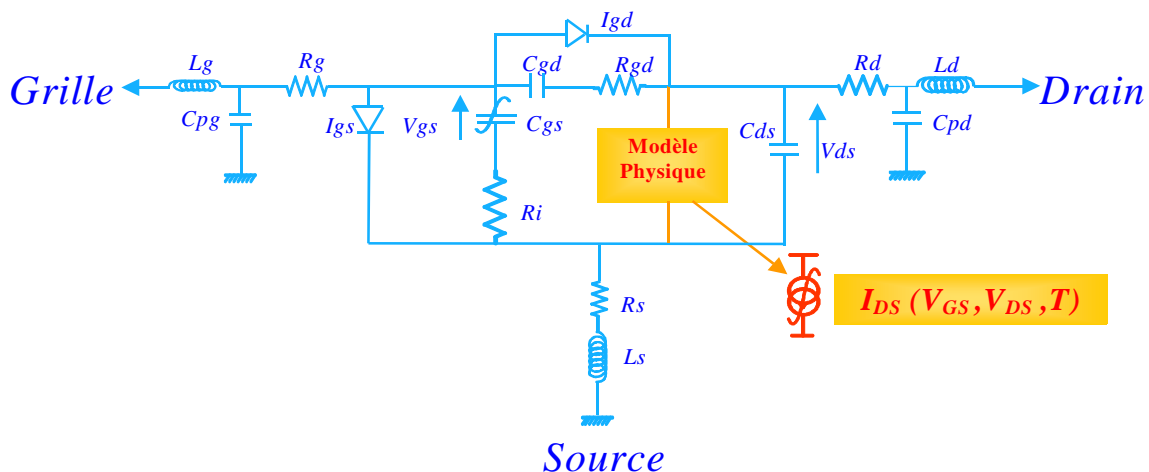


Figure II-25 : Schéma du modèle du transistor MESFET SiC implanté dans ADS

En première approximation nous pouvons considérer que la capacité  $C_{GS}$  est quasiment indépendante de la tension de drain. Dans cette hypothèse, la capacité  $C_{GS}$  ne dépend alors que de la tension présente à ses bornes.

Le modèle que nous avons choisi est le modèle non-linéaire d'Alaoui comportant 6 paramètres. Le modèle de la capacité d'Alaoui est décrit par les équations II.14 à II.17.

$$C_{gs} = C_{gs0} \times \frac{\delta V_{eff}}{\delta V_{gs}} \times \left(1 - \frac{V_{eff}}{V_B}\right)^n + C_b \quad (II.14)$$

$$\text{d'ou } Q_{gs} = -C_{gs0} \frac{V_b}{N+1} \left(1 - \frac{V_{eff}}{V_B}\right)^{n+1} + C_b.V_{gs} \quad (II.15)$$

$$\text{Avec } V_{eff} = \frac{d1 - d2}{2} + \frac{V_t + V_b}{2} \quad (II.16)$$

$$d1 = \sqrt{(V_{gs} - V_b) + D^2} \quad \text{et} \quad d2 = \sqrt{(V_{gs} - V_b) + D^2} \quad (II.17)$$

Le tableau II-4 reprend les valeurs des paramètres utilisés pour la modélisation.

$C_{gs0}$	$C_b$	$V_b$	$V_t$	$D$	$N$
$5.55 \cdot 10^{-12}$	$5.55 \cdot 10^{-12}$	8.03	-9.79	-6.98	-1.57

Tableau II-4 : Valeurs des éléments constitutif de la capacité non-linéaire  $C_{GS}$

Une comparaison entre le modèle et l'extraction à partir de la mesure de paramètres [S] de la capacité  $C_{GS}$  est présentée sur la figure II-26. On notera un bon ajustement du modèle sur la mesure.

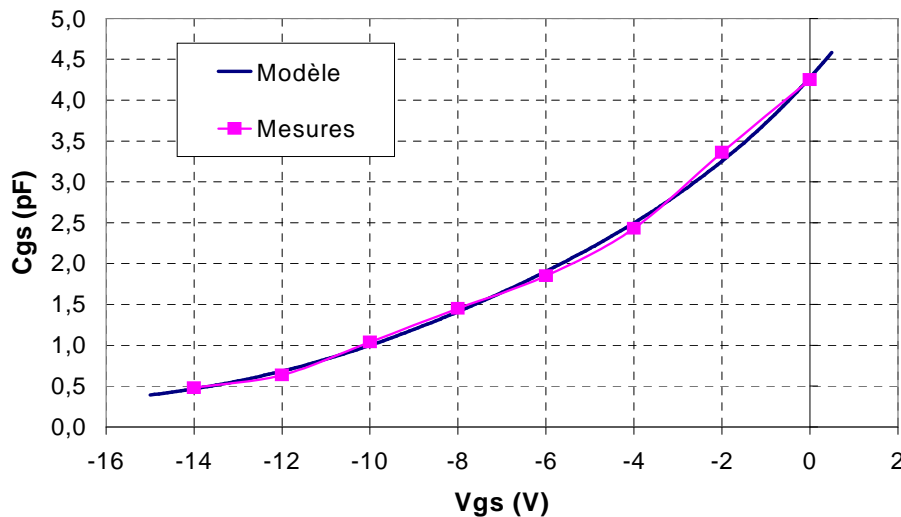


Figure II-26 : Comparaison mesures/modèle de la capacité grille-source ( $C_{GS}=f(V_{GS})$ ) à  $V_{DS}=40V$

Dans cette étude, nous considérons la capacité  $C_{GS}$  indépendante de la température. Les valeurs des éléments extrinsèques (Tableau II-5) sont obtenues pour un point de polarisation à froid c'est à dire sans polarisation de repos à partir de la mesure des paramètres [S].

<b>Rg(<math>\Omega</math>)</b>	<b>Lg(pH)</b>	<b>Cpg(fF)</b>	<b>Rs(<math>\Omega</math>)</b>	<b>Ls(pH)</b>	<b>Rd(<math>\Omega</math>)</b>	<b>Ld(pH)</b>	<b>Cpd(fF)</b>
<b>3.25</b>	<b>981</b>	<b>512</b>	<b>6.55</b>	<b>650</b>	<b>5.9</b>	<b>178</b>	<b>107</b>

Tableau II-5 : Valeurs des éléments extrinsèques du transistor SiC-4019 (wafer 303)

Les valeurs des éléments intrinsèques linéaires sont données dans le tableau II-6.

<b>Ri(<math>\Omega</math>)</b>	<b>Rgd(<math>\Omega</math>)</b>	<b>Cgd(fF)</b>	<b>Cds(fF)</b>
<b>0.01</b>	<b>147.9</b>	<b>127</b>	<b>509</b>

Tableau II-6 : Valeurs des éléments intrinsèques du transistor SiC-4019 (wafer 303)

## IV.4 Comparaison Mesures / Modèle

### IV.4.1 Validation du Réseau I(V) DC

La figure II-27 illustre la comparaison entre la mesure du réseau I(V) DC en continu et la simulation intégrant la résistance thermique non linéaire. Dans ce cas, le réseau I(V) est non isotherme. Nous pouvons noter une bonne concordance entre la mesure et les résultats de simulation.

Mais il y a une petite différence entre les courbes pour de faibles valeurs de courant de drain qui est due aux pièges présents dans le substrat et qui ne sont pas modélisés ici. Par contre, pour des valeurs de courant de drain important il y a une meilleure concordance entre la mesure et la simulation car nous avons pu modifier les paramètres ( $R_{TH0}$  et  $N$ ) de l'équation (II.13) afin d'ajuster le modèle sur la mesure.

En effet, cet ajustement compense les effets de pièges présents dans le substrat pour des valeurs importantes du courant de drain ( $I_{DS}$ ) mais pas pour de faibles valeurs du courant de drain. Ces effets de pièges présents dans le substrat peuvent être pris en compte par une modification de la tension grille source ( $V_{GS}$ ) dépendant de la tension drain source ( $V_{DS}$ ).

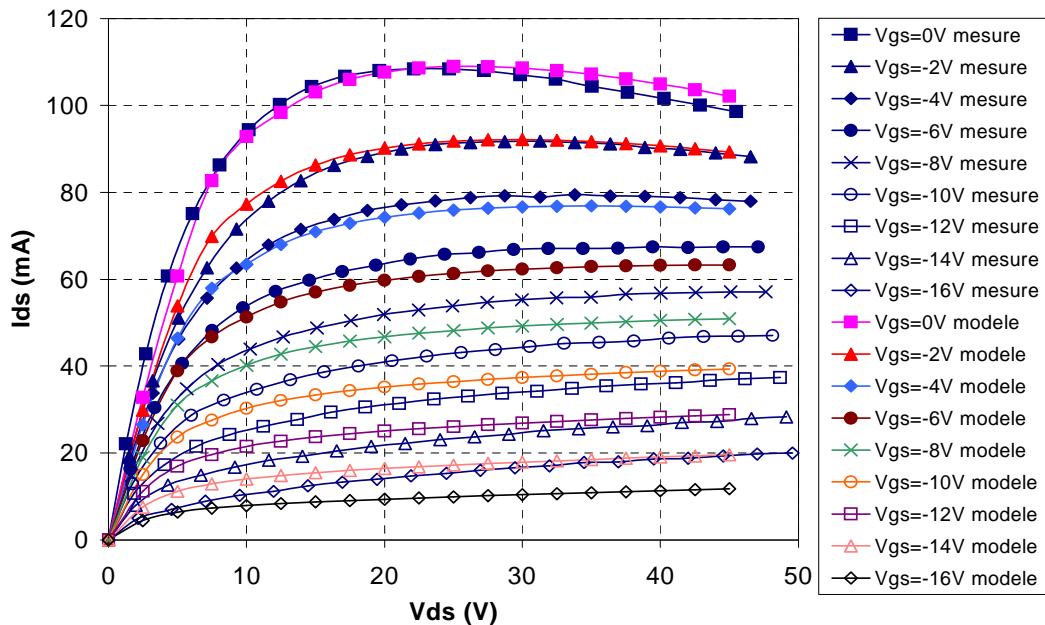


Figure II-27 : Comparaison mesures / modèle du réseau  $I(V)$  DC

#### IV.4.2 Validation en Petit Signal

Le transistor MESFET SiC-4019 issu du wafer 303 est constitué de 18 doigts de grille dont la longueur est de  $1\mu\text{m}$  et la largeur de  $150\mu\text{m}$  (Figure II-24). Il est intégré dans le boîtier Egide. Le boîtier est monté sur des alumines à lignes « microstrip », de longueur d'accès de 10mm et de permittivité relative  $\epsilon_r$  de 9.6.

Les mesures de paramètres [S] ont été effectuées à l'aide du pied de test Wiltron, pour une gamme de fréquence allant de 0.9 à 4 GHz pour l'ensemble des points de polarisations instantanés du réseau  $I(V)$ .

La figure II-28 montre la comparaison entre les paramètres [S] mesurés de 0.9 à 4GHz et ceux calculés avec le modèle intégrant la capacité grille-source non-linéaire pour le même point de polarisation. Nous pouvons noter une bonne concordance entre la mesure et la simulation.

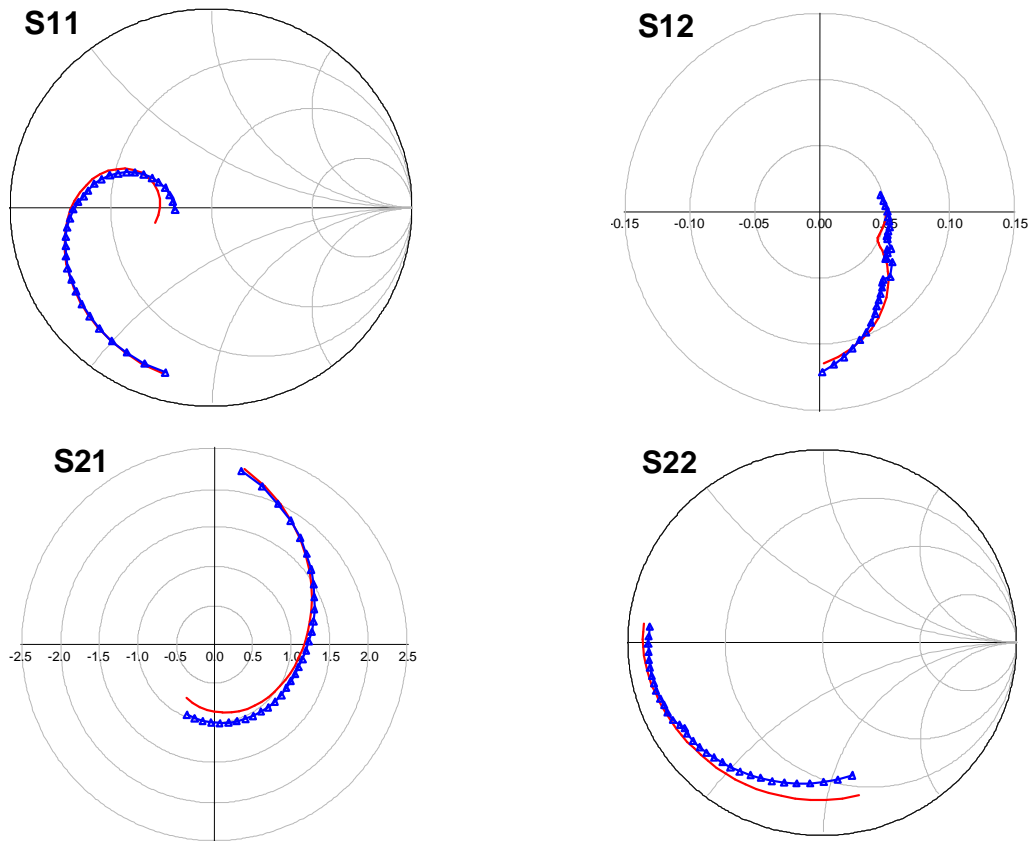


Figure II-28 : Comparaison mesures/modèle des paramètres [5] du transistor SiC-4019  
 Point de polarisation  $V_{D50} = 42V$ ,  $V_{G50} = -6V$  et  $I_{D50} = 158mA$  ( $\Delta$  : mesures et - : modèle)

#### IV.4.3 Validation Fort Signal

Des mesures de puissances ont été effectuées sur le transistor MESFET SiC-4019. Parmi les grandeurs mesurables à partir du banc de mesures de type « Load-Pull », nous avons sélectionné les performances les plus importantes qui ont fait l'objet de comparaison avec les résultats issus de la simulation.

Ainsi, pour une impédance de charge spécifique, nous avons étudié l'évolution en fonction du niveau de la puissance d'entrée :

- ✓ du gain en puissance,
- ✓ de la puissance de sortie à la fréquence fondamentale  $P_s(f_0)$ ,
- ✓ du rendement en puissance ajoutée (RPA),
- ✓ de la puissance dissipée et de la température.

Ces mesures ont été réalisées pour un point de polarisation en classe AB ( $V_{GS0} = -6$  V,  $V_{DS0} = 42$  V, et  $I_{DS0} = 240$  mA) à la fréquence fondamentale de 2 GHz. Afin que la comparaison soit rigoureuse, les conditions de mesures et de simulation doivent être équivalentes. C'est pourquoi il est essentiel de connaître les impédances de charges à la fréquence fondamentale mais aussi aux fréquences harmoniques utilisées pendant la caractérisation.

Il est important de noter que le transistor mesuré sur le banc « Load-Pull » par Thalès n'était pas monté dans le boîtier Egide 1 alors que notre modèle prend en compte ce boîtier. En simulation, nous avons recherché l'impédance de charge permettant de retrouver le gain petit signal mesuré. Les impédances de charges utilisées en simulation sont répertoriées dans le tableau II-7.

<i>Fréquence</i>	<i>Z<sub>charge</sub> (Ω)</i>
<i>f<sub>0</sub></i>	<i>9.1 + j 20.6</i>
<i>2f<sub>0</sub></i>	<i>52.2 - j 60.6</i>
<i>3f<sub>0</sub></i>	<i>65.4 - j 1.4</i>

*Tableau II-7 : Valeurs des impédances de charges aux différentes harmoniques*

Les figures II-29 à II-32 montrent la comparaison des principales grandeurs mesurées et simulées avec le modèle non-linéaire, intégrant la capacité  $C_{GS}$  non-linéaire et les capacités  $C_{GD}$  et  $C_{DS}$  linéaires. Le modèle prédit avec précision le comportement fort signal du transistor, y compris à forte compression de gain.

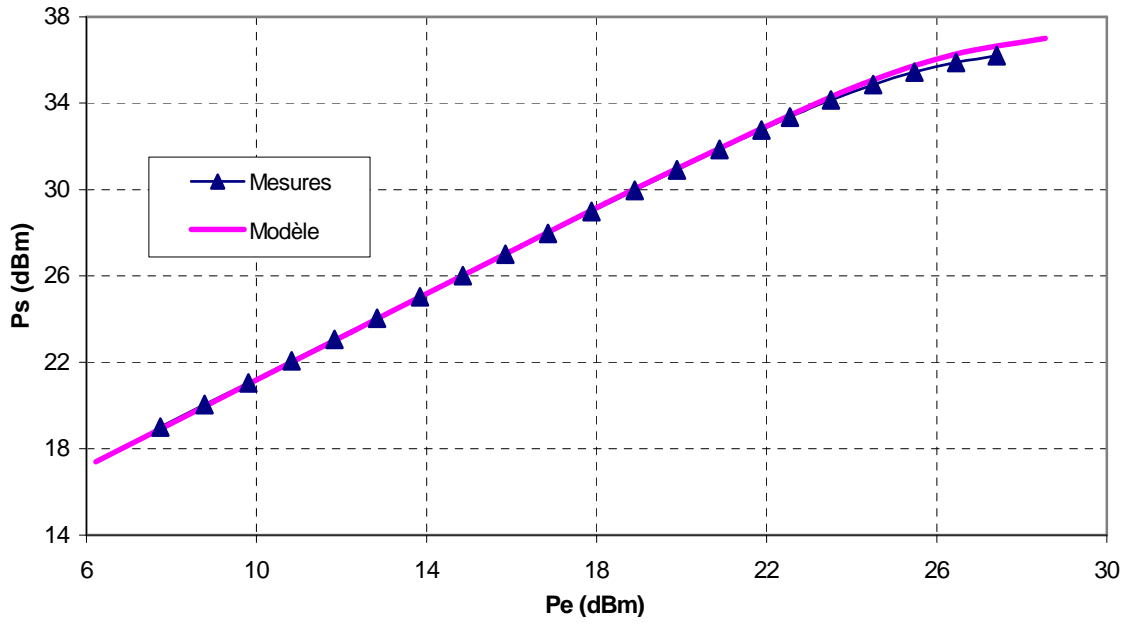


Figure II-29 : Comparaison mesures / modèle de la puissance de sortie  $P_s = f(P_e)$  à 2 GHz en classe AB

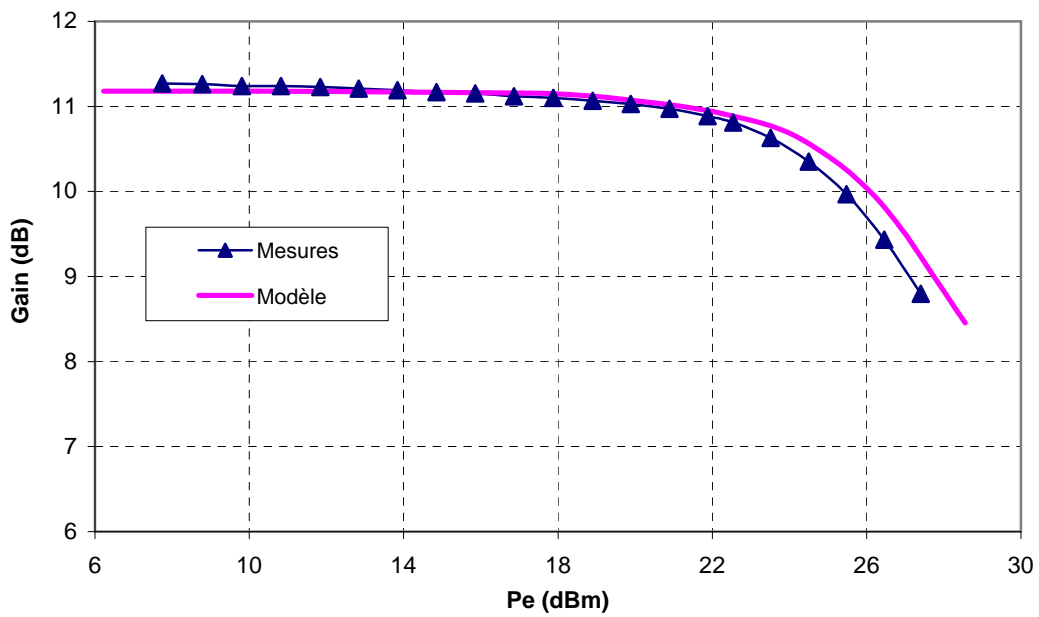


Figure II-30 : Comparaison mesures / modèle du gain en fonction de la puissance d'entrée à 2 GHz en classe AB

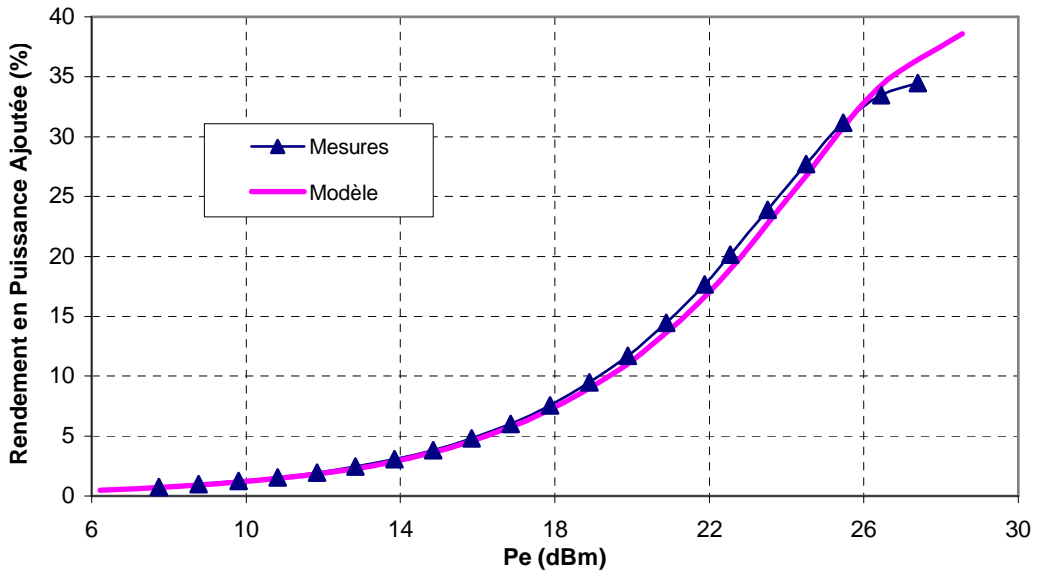


Figure II-31 : Comparaison mesures / modèle du rendement en puissance ajoutée  $\eta_{PAJ} = f(P_e)$  à 2 GHz en classe AB

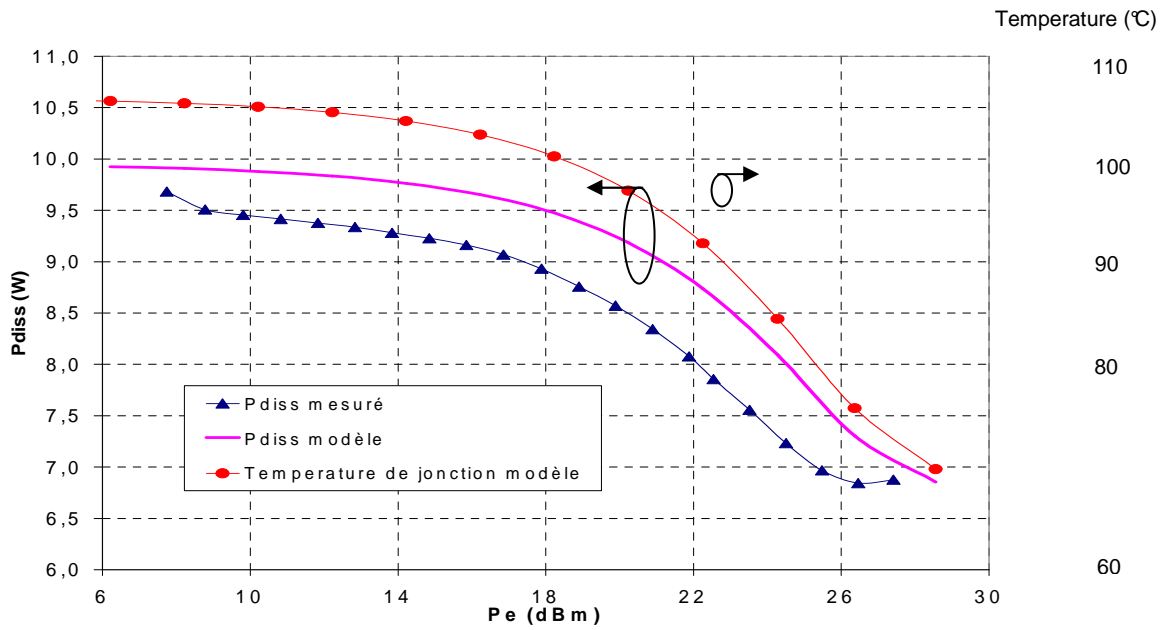


Figure II-32 : Comparaison mesures / modèle de la puissance dissipée et simulation de la température de jonction à 2 GHz en classe AB



Nous avons représenté figure II-33 l'évolution du cycle de charge intrinsèque du transistor pour une puissance d'entrée de 160 mW, correspond à une compression du gain de 1 dB. L'observation du cycle de charge montre que l'impédance synthétisée est proche de l'optimum étant donné que sa surface est faible.

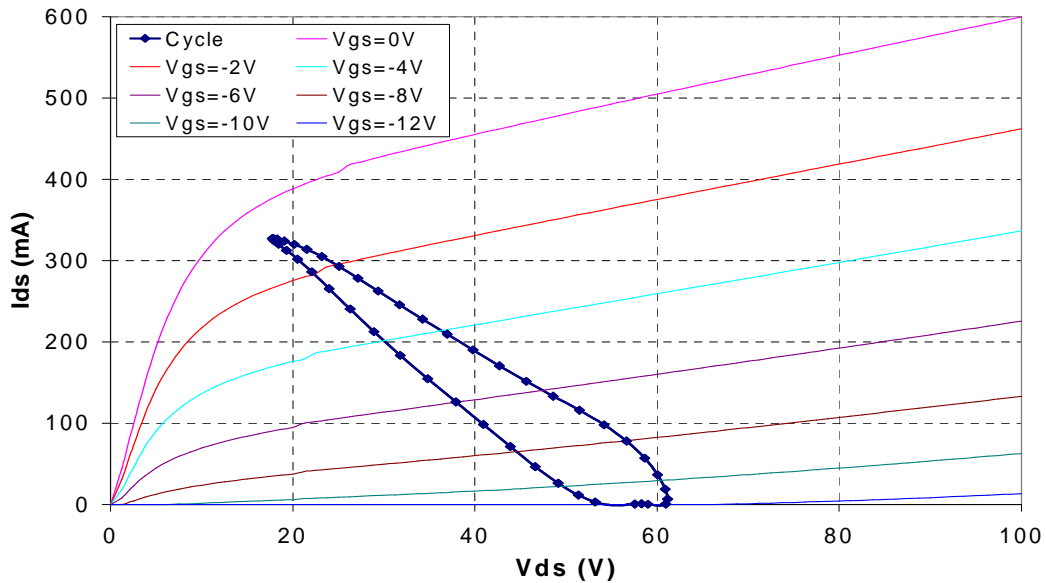


Figure II-33 : Evolution du cycle de charge intrinsèque pour une compression de gain de 1 dB

La validité du modèle fort signal est démontrée par la bonne concordance trouvée entre les mesures et la simulation. Pour un point de polarisation en classe AB ( $V_{DS} = 42$  V et  $I_{DS} = 240$  mA), le transistor MESFET SiC-4019 a fourni en mesure une puissance de sortie de 34.9 dBm, un rendement en puissance ajoutée de 28 % et un gain de 10.3 dB à 1 dB de compression. Une puissance de sortie maximale de 36.2 dBm (densité de puissance de 1,54 W/mm) associée à un rendement en puissance ajoutée de 34.5 % et un gain 8.8 dB ont été atteints en mesure avec ce transistor.

## V. Conclusion

Une caractérisation de transistors MESFETs SiC a pu être mise en œuvre grâce à la l'utilisation d'un banc de mesure en impulsions développé dans le laboratoire. Un modèle physique analytique électrothermique a été développé à partir de la résolution des équations issues de la physique des semi-conducteurs. Ce modèle est basé sur les paramètres physiques et géométriques des transistors MESFETs SiC et également de la thermique. Ce modèle a été introduit avec succès dans le logiciel de simulation ADS et le couplage entre le modèle physique analytique électrothermique et le simulateur commercial ADS a été réalisé grâce aux possibilités fournies par le simulateur pour l'introduction de modèle compilé.

L'étape de validation du modèle en régime linéaire et régime fort signal, où le cycle de charge parcourt une grande partie de la caractéristique  $I(V)$  du transistor, présente un bon accord avec les résultats expérimentaux obtenus par mesures load pull. Le modèle s'avère être précis et fiable pour des applications de puissance. Sa description dans un logiciel de simulation constitue un outil d'aide à la conception de composants, permettant de prévoir le comportement en fonctions des paramètres physiques et géométriques.

Cette filière technologique présente des potentialités intéressantes pour des applications de fortes puissances, à condition de rechercher des techniques d'amélioration des performances en terme de rendement électrique et de linéarité. Différentes techniques peuvent être envisagées, elles font l'objet du prochain chapitre.

## I.2 Bibliographie

- [1] **M. Ali Khatibzadeh,**  
"Large-Signal modelling of Gallium-Arsenide Field Effects Transistor",  
North Carolina State University, Thesis submitted in 1987, Order Number 8804807.
- [2] **D. Siriex,**  
"Modélisation non-linéaire des MESFETs sur carbure de silicium pour l'amplification, de puissance microondes",  
Thèse de Doctorat, Université de Limoges, Janvier 2000.
- [3] **J.A Turner et B.L.H. Wilson,**  
"Implications of Carrier Velocity Saturation in a Gallium Arsenide Field Effect Transistors",  
Proceedings of the Symposium on Gallium Arsenide, 1968 , pp. 195-204.
- [4] **J.P. Teyssier, R. Quéré et J. Obregon,**  
"Accurate Non-linear Characterization of Microwave Semi-Conductor Devices using Pulse Measurement Technique",  
IEEE MTT Workshop, Ratingen (Allemagne), 1991, pp. 208-212.
- [5] **A.S. Royet, T. Ouisse, B. Cabon et al,**  
"Self-Heating Effects in Silicon Carbide MESFETs",  
IEEE Trans. Electron Devices, Vol. 47, No 11, Novembre 2000, pp. 2221-2227.
- [6] **D. Lopez,**  
"Intégration dans un environnement de simulation circuit d'un modèle électrothermique de transistor bipolaire à hétérojonction issu de simulation thermiques tridimensionnelle",  
Thèse de Doctorat, Université de Limoges, Mars 2002.
- [7] **Ph. Bouysse, J.M. Nébus J.M. Coupat et J.P. Vilotte,**  
"A novel accurate load-pull set-up allowing the characterization of highly mismatched power transistors",  
IEEE Trans. On MTT, Vol. 42, No 2, Février 1994, pp. 327-332.
- [8] **D. Barataud, A. Mallet, J.P. Fraysse, F.Blache, M. Campovecchio, J.M. Nébus, et al,**  
"A novel time characterization technique of intermodulation in microwave transistors. Application to visualization of the distorsion of high efficiency power amplifiers",  
IEEE MTT-S Digest, Denver, 1997, pp. 1687-1690.



## **CHAPITRE III**

***EVALUATION DES TECHNIQUES A HAUT RENDEMENT  
ELECTRIQUE POUR L'AMPLIFICATION DES SIGNAUX A  
ENVELOPPE VARIABLE***



Ces dernières années, il y a eu une forte demande pour améliorer le rendement des amplificateurs employés dans les radiocommunications mobiles et communications spatiales. Dans le but d'améliorer l'occupation spectrale des signaux, les systèmes récents utilisent des techniques de modulation caractérisées par la génération d'une enveloppe variable [1,2].

L'amplification de puissance des signaux radio fréquences (RF) à enveloppe non constante pose un certain nombre de problèmes. D'abord de part la nature de l'enveloppe non constante, les signaux modulés seront distordus si l'amplificateur RF de puissance est utilisé proche de la saturation. Il est alors possible de faire travailler l'amplificateur RF dans sa zone linéaire ce qui a pour effet d'augmenter la linéarité de ce dernier au détriment du rendement. En effet, les amplificateurs de puissance présentent un rendement maximum seulement pour un niveau élevé de puissance, qui est habituellement proche de la puissance maximum délivrée par l'amplificateur or, lorsque le niveau d'entrée diminue, le rendement chute rapidement.

Ce troisième chapitre est consacré aux techniques de gestion de puissance pouvant être employées dans les moyens modernes de communications et de transmission de données. Plusieurs techniques d'amélioration du rendement ont été mises au point au début de la radiodiffusion pour des systèmes en modulation d'amplitude. Progressivement abandonnées avec le développement des amplificateurs à l'état solide, elles reviennent au goût du jour pour améliorer les performances des systèmes utilisant des modulations numériques. Les techniques présentées dans ce chapitre permettent principalement d'améliorer fortement le rendement des amplificateurs RF pour des applications à niveau de puissance variable, sans améliorer spécifiquement la linéarité.

## I. Commande de Polarisation

### I.1 Généralités

Pour un amplificateur utilisant une polarisation fixe de grille et de drain, le rendement électrique est maximum pour des excursions maximales des signaux, ce qui se traduit par un rendement maximum à fort niveau ; lorsque l'amplitude du signal d'enveloppe est maximum. Si l'amplificateur est polarisé en classe A, lorsque le niveau de puissance du signal diminue cela entraîne une diminution de l'enveloppe du signal et le courant moyen reste constant comme illustré figure III-1. Par conséquent, une diminution du rendement est inévitable. Le rendement d'un tel système d'amplification est globalement faible dans le cas de l'amplification d'un signal à enveloppe variable. L'origine de cette diminution de rendement provient de la diminution de l'excursion du courant et de la tension.

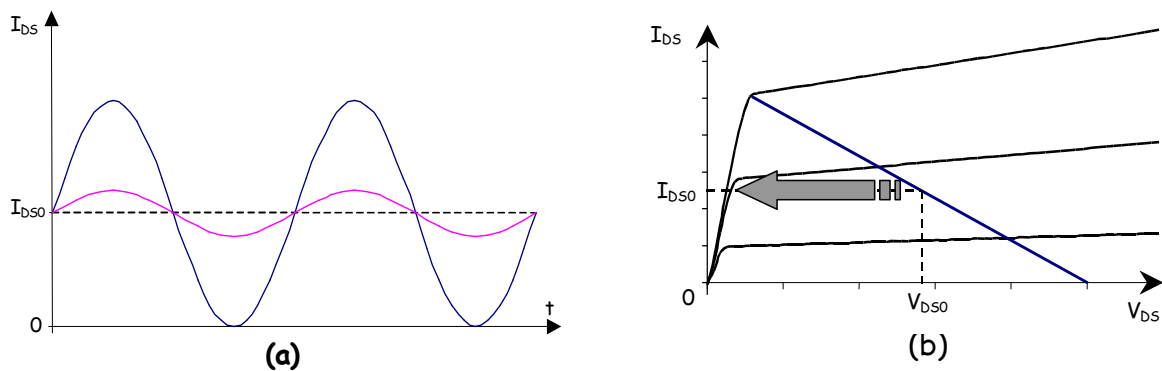


Figure III-1 : Excursion et cycle de charge pour une polarisation en classe A

Par contre, lorsque l'amplificateur est polarisé en classe B, une diminution de la puissance du signal entraîne une diminution de l'enveloppe du signal mais également une diminution du courant moyen comme illustré figure III-2. Ce qui permet d'obtenir un rendement plus important que dans le cas d'une polarisation en classe A. L'utilisation d'une polarisation en classe B peut permettre de maintenir le rendement de l'amplificateur.



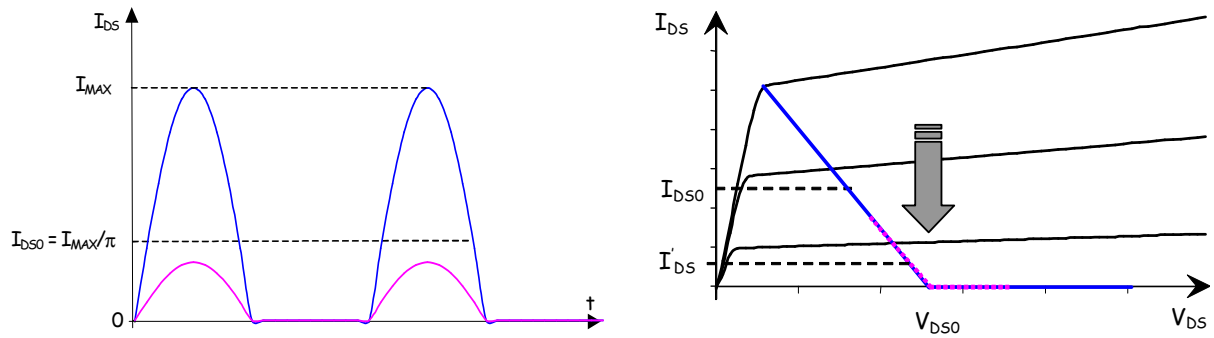


Figure III-2 : Excursion et cycle de charge pour une polarisation en classe B

Pour palier à ce problème de diminution du rendement, il est possible d'utiliser une polarisation variable sur la grille et le drain d'un transistor. Si les niveaux de polarisations du courant et de la tension varient en suivant l'évolution de l'amplitude du signal, il est alors possible de conserver ou de maintenir un rendement élevé. Il suffit de faire évoluer les niveaux de polarisations en fonction de l'enveloppe du signal : c'est à dire que l'amplificateur soit polarisé dynamiquement.

Classiquement, comme pour l'amplification utilisant la technique de l'Elimination d'Enveloppe et Restitution (EER) [3], la polarisation de l'amplificateur est obtenue par l'intermédiaire d'un détecteur d'enveloppe puis d'un convertisseur DC/DC [4] permettant de commander dynamiquement la polarisation de l'amplificateur. Cette technique est couramment appelée dans la littérature « bias adaptation » ou « adaptative bias » et sera analysée dans la suite de ce chapitre.

La commande de polarisation ou polarisation dynamique est une technique proche de la technique de l'EER. La différence vient du fait que l'amplificateur n'est pas utilisé pour recréer la modulation d'amplitude du signal. Ainsi, cette technique n'utilise pas de limiteur en entrée, sa réalisation est plus simple et elle est applicable à la plupart des amplificateurs RF de puissance [5,6].

Comme dans le système utilisant la technique de l'EER, la question clé est la conversion efficace d'un signal de faible niveau en un signal variable obtenu à partir d'un détecteur d'enveloppe commandant l'amplificateur RF de puissance. L'utilisation d'une modulation par largeur d'impulsion (MLI) assurant la commutation peut effectuer cette fonction [7] avec certaines limites en bande de base.

## I.2 Polarisation Dynamique de Grille

La commande de polarisation de grille a été développée pour palier à la diminution de rendement provoquée par l'utilisation d'un recul de puissance comme technique de linéarisation des amplificateurs de puissance polarisés en classe A ; dans le cas d'une modulation à enveloppe variable. Cette méthode est généralement appelée classe  $\tilde{A}$  [8]. Le schéma de principe de cette technique est représenté figure III-3.

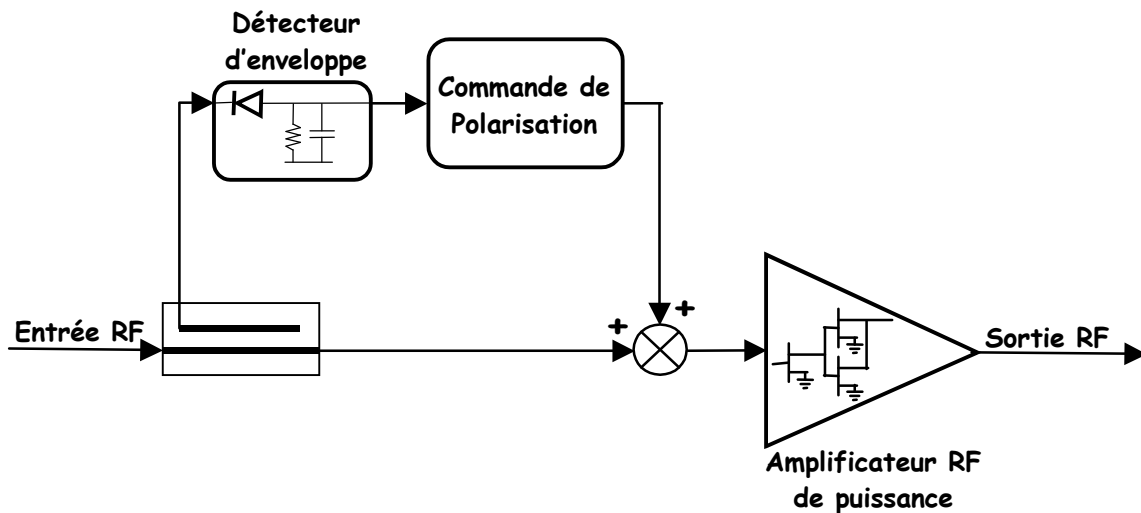


Figure III-3 : Schéma de principe de la commande dynamique de grille [9]

Le signal RF d'entrée est prélevé à l'aide d'un coupleur puis un détecteur d'enveloppe permet de générer un signal continu ou basse fréquence afin de polariser dynamiquement la grille du transistor. Ainsi la polarisation de grille va évoluer en fonction de l'amplitude du signal RF d'entrée. Les transistors constituant l'amplificateur RF de puissance doivent avoir un gain linéaire sur une plage de variation importante de la tension de polarisation de grille afin de ne pas dégrader la linéarité de l'amplificateur [8].

Pour la classe  $\tilde{A}$ , lorsque l'enveloppe du signal est faible, le transistor est polarisé à proximité de la classe B de façon à minimiser le courant de drain consommé tout en maintenant un courant sinusoïdal. Le rapport amplitude à la fréquence fondamentale sur valeur moyenne du courant de drain et donc le rendement sont alors optimisés. De plus, lorsque l'enveloppe du signal est maximale le rendement est identique à celui obtenu lorsque le transistor est polarisé en classe A. Par rapport au cas d'une polarisation fixe, le rendement moyen est augmenté lorsque l'amplitude du signal à amplifier est faible.

Pour des applications hautes fréquences le gain de l'amplificateur est limité, d'où une dégradation du rendement en puissance ajoutée en classe B. Si le gain n'est pas supérieur à 10dB, le calcul du rendement en puissance ajoutée montre une amélioration importante entre la classe  $\tilde{A}$  et B [8].

La commande dynamique de la polarisation de grille est relativement simple de mise en œuvre car la grille d'un transistor à effet de champ ne consomme pas de courant. Ainsi, le circuit de commande ne dégrade pas ou peu le rendement global de l'amplificateur.

Généralement, après le détecteur d'enveloppe, un pont de résistances est utilisé ; permettant ainsi de faire évoluer la tension de grille de l'amplificateur en fonction du niveau de l'enveloppe du signal [10]. Toutefois, l'amélioration du rendement est relativement modeste comparée aux performances avec d'autres techniques d'amélioration.

### I.3 Polarisation Dynamique de Drain

Cette technique repose sur la modification de la polarisation de drain, son principe est représenté figure III-4. Le contrôle de la polarisation de drain doit être capable de délivrer une tension et un courant, la mise en œuvre de cette commande est plus difficile que dans le cas d'une polarisation dynamique de grille. De plus, toute distorsion provenant de ce circuit de commande se répercutera directement sur le drain et aura des conséquences sur la linéarité.

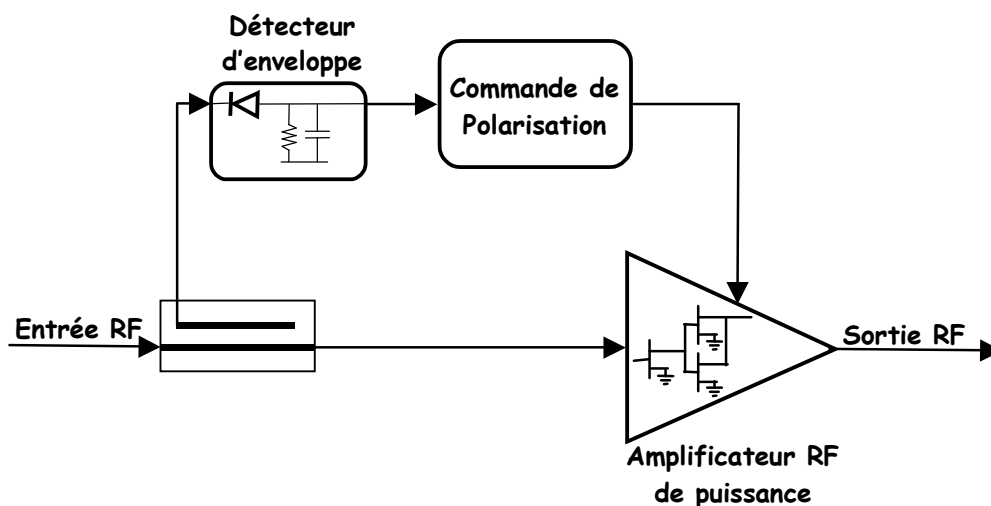


Figure III-4 : Schéma de principe de la commande dynamique de drain [9]

Ce contrôle dynamique de polarisation peut être réalisé à l'aide d'un convertisseur DC/DC de type « boost ». Son utilisation permet d'avoir une amplitude de la tension de drain supérieure à la tension d'alimentation continue pendant un certain laps de temps.

L'augmentation de la valeur moyenne et de l'excursion de la tension de drain lorsque l'enveloppe est maximale permettent d'améliorer la puissance maximale. Le principal avantage du convertisseur DC/DC est la large bande passante qu'il possède ; elle est de l'ordre de 10 MHz. Le rendement est ainsi amélioré d'un facteur 1.4 par rapport à une polarisation en classe A [11].

Tout comme la technique de l'EER, la polarisation dynamique de drain peut être réalisée à l'aide d'un amplificateur en classe S. L'avantage d'un amplificateur classe S par rapport à un convertisseur DC/DC de type « boost » est le fort rendement obtenu. Typiquement, le rendement d'un convertisseur de type « boost » est de l'ordre de 65 à 75% ; celui d'un modulateur classe S est proche de 90% [12]. Le rendement bas niveau peut être cinq fois plus élevé que lorsqu'une polarisation fixe de drain est employée. L'inconvénient d'utiliser un modulateur classe S est l'augmentation des distorsions par rapport à l'utilisation d'un convertisseur DC/DC. Mais il est possible d'améliorer la linéarité de 6 dB lorsque la puissance de sortie est maximale [13].

#### **I.4 Bilan sur la Polarisation Dynamique**

La mise en œuvre de la polarisation dynamique de grille est plus facile ; car la grille ne consomme pas de courant. Même si l'amélioration de la linéarité n'est pas très importante lors de la commande dynamique de grille, l'amélioration du rendement rend cette technique très intéressante. Les principaux avantages de la polarisation dynamique sont la relative simplicité de mise en œuvre, l'intégration possible de cette commande et l'amélioration du rendement à faibles niveaux [14].

La seule restriction de cette technique est le gain de l'amplificateur RF de puissance qui doit idéalement être constant pour tous les niveaux de la tension de polarisation. Si ce n'est pas cas, il en résultera une déformation de l'AM/AM et par conséquent la polarisation dynamique dégradera de manière significative la linéarité de l'amplificateur comparée à celle obtenue dans le cas d'un amplificateur conventionnel polarisé en classe A.<sup>2</sup>

Des travaux [15], ont montré la possibilité de mettre en œuvre à la fois la polarisation dynamique de grille et de drain ; ce qui permet d'obtenir une amélioration du rendement d'un facteur deux à faible niveau par rapport à une polarisation fixe [16].

## II. Elimination d'Enveloppe et Restitution (EER)

### II.1 Principe de Fonctionnement

Cette technique a été inventée par L.R. Kahn [17] en 1952, afin de proposer une alternative en terme de rendement aux amplificateurs radio fréquences (RF) de puissance en classe AB destinés aux signaux modulés en amplitude par exemple du type à Bande Latérale Unique. Le schéma de principe présenté par Kahn est illustré figure III-5.

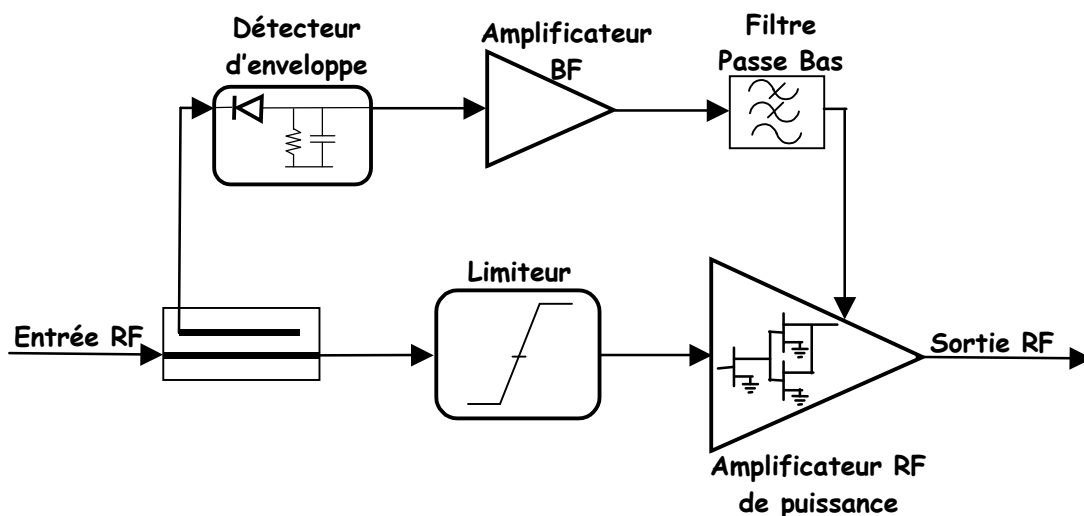


Figure III-5 : Schéma de principe d'un amplificateur RF de puissance utilisant l'EER [4]

Le signal RF d'entrée passe dans un limiteur, afin d'éliminer la variation de l'enveloppe du signal, créant ainsi un signal à amplitude constante tout en conservant la modulation en phase. Ce signal à enveloppe constante va pouvoir être amplifié par un amplificateur RF de puissance à haut rendement fonctionnant en classes B, C, D, E ou F et utilisé en zone de saturation pour obtenir un rendement élevé [5]. L'amplification de ce signal à enveloppe constante permet d'éliminer les distorsions AM/PM puisque que l'amplificateur RF de puissance travaille à puissance constante [6].

La variation d'enveloppe du signal est récupérée à l'aide d'un détecteur d'enveloppe par l'intermédiaire d'un coupleur à l'entrée du circuit. Cette enveloppe, qui est un signal basse fréquence (BF) est ensuite amplifiée par un amplificateur BF à découpage dit classe S [7] permettant d'obtenir un rendement proche de 100%. L'amplificateur classe S utilise le principe d'une modulation par largeur d'impulsion (MLI) et nécessite d'insérer un filtre passe-bas pour prélever la valeur moyenne du signal découpé. L'amplificateur utilisé en commutation permet d'obtenir un rendement en puissance ajoutée proche de 100% en BF. L'enveloppe du signal ainsi amplifiée permet de polariser le drain de l'amplificateur RF dans le but de reconstituer la variation d'enveloppe en sortie.

Le rendement du système dépend essentiellement de celui du convertisseur DC/DC utilisé dans le modulateur d'enveloppe mais également du rendement de l'amplificateur RF de puissance. Si l'on considère que la puissance consommée par le circuit de traitement du signal est très faible voire négligeable par rapport à la puissance consommée par les deux amplificateurs, le rendement total du système utilisant l'EER est le produit du rendement de chaque amplificateur.

Un système typique employant un amplificateur RF de puissance en classe C avec un rendement de 60% fonctionnant toujours en saturation et un amplificateur pour l'enveloppe en classe S avec un rendement de 90% permettent d'obtenir un rendement total de 54% ayant une variation inférieure à 5% en fonction du niveau de l'enveloppe du signal à transmettre sur une plage de variation importante de la puissance.

La linéarité dans un amplificateur utilisant la technique de l'EER ne dépend pas de l'amplificateur RF lui-même mais plus particulièrement de la précision de reconstruction de la variation de l'enveloppe du signal d'entrée et de la phase du signal d'entrée [18].

## II.2 Inconvénients

La théorie d'un amplificateur RF de puissance utilisant la technique de l'EER reste simple dans son principe, mais la réalisation d'un tel amplificateur, ayant de bonnes performances en termes de rendement et de linéarité, est délicate. Les facteurs limitant la linéarité sont principalement dus aux écarts d'amplitudes et de phase entre les signaux idéaux et les signaux réellement obtenus en sortie de l'amplificateur.

Le premier point critique est la bande passante du détecteur d'enveloppe qui doit être suffisamment grande pour ne pas introduire de distorsion de phase sur la bande passante du signal d'entrée ou de l'enveloppe. Il faut également prendre en compte le caractère non-linéaire de la diode du détecteur d'enveloppe qui doit être capable de restituer des variations d'amplitudes allant d'une tension quasiment nulle jusqu'à une tension maximum correspondant à la puissance maximale du signal à amplifier ce qui peut introduire une erreur de conversion.

Le deuxième point est le décalage, dû aux temps de propagation lors de la reconstitution du signal entre l'enveloppe et le signal amplifié à enveloppe constante. Le décalage entre le chemin RF et le chemin BF provient en grande partie du filtre de sortie permettant de supprimer le bruit de commutation du au découpage du signal BF. Typiquement, le temps de propagation de l'enveloppe est de l'ordre de 5 à 20us et le temps de transit du signal limité (limiteur et amplificateur RF) est de l'ordre de 1 à 2us. Pour minimiser l'amplitude des produits d'intermodulations, il faut égaliser ces temps de propagation puisque tout décalage produit une erreur de reconstruction du signal de sortie [5]. Enfin la conversion de phase AM/PM introduite par le limiteur et par l'amplificateur RF de puissance est également source d'intermodulation.

### **II.3 Amplificateur EER utilisant le Feedback d'Enveloppe**

Il est possible de réduire les effets non-linéaires dans un amplificateur RF de puissance utilisant la technique de l'EER au moyen d'une rétroaction. Celle-ci peut prendre un certain nombre de formes qui sont le « feedback d'enveloppe » ou le « cartésien feedback ». L'application d'un « feedback d'enveloppe » sur un amplificateur RF de puissance utilisant la technique de l'EER est présentée figure III-6.

Pour palier au problème de décalage entre l'enveloppe et le signal RF à enveloppe constante lors de leur recombinaison, deux détecteurs d'enveloppes sont utilisés afin d'effectuer une comparaison entre l'enveloppe d'entrée et celle de sortie de l'amplificateur [6].

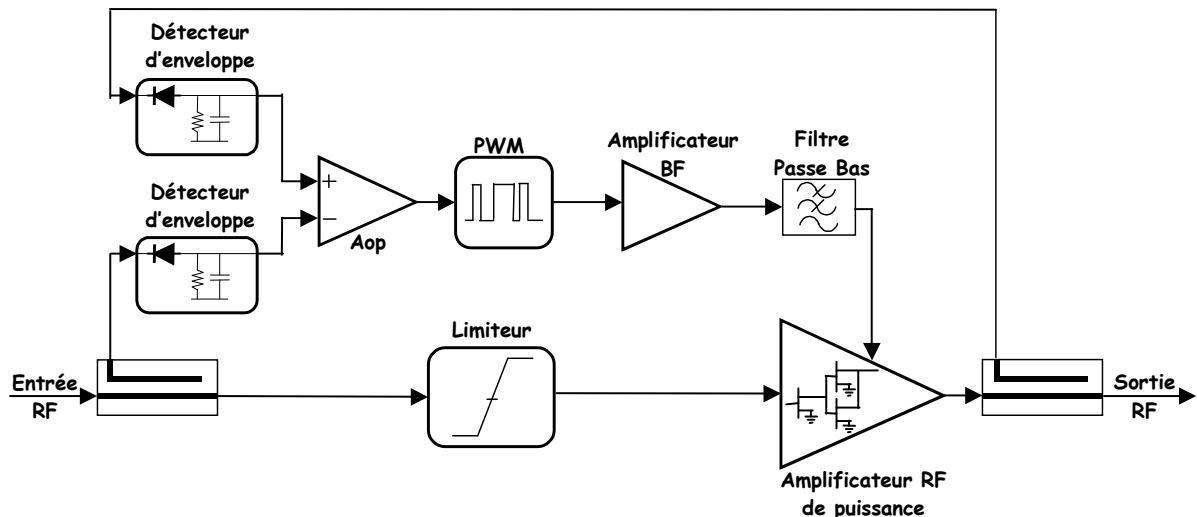


Figure III-6 : Schéma de principe d'un amplificateur RF de puissance utilisant l'EER et le « feedback d'enveloppe » [9]

La rétroaction de sortie est effectuée en prélevant une partie du signal de sortie RF à l'aide d'un coupleur, en effectuant une détection d'enveloppe et en comparant le signal issu de cette détection avec celui de la détection d'entrée. C'est ce signal de correction qui conduit le générateur à Modulation de Largeur d'Impulsion (MLI ou PWM pour Pulse Width Modulation), à fournir un signal de commande permettant de réduire l'influence des non-linéarités sur l'amplitude du signal RF de sortie.

Ce système n'aura aucun effet sur la conversion de phase du système et sur la conversion d'AM/PM de l'amplificateur RF de puissance [9]. Un rendement élevé est donc théoriquement possible pour les différents niveaux de puissances, comme sans la contre réaction.

La variation de la tension d'alimentation de l'amplificateur RF de puissance à l'aide d'un amplificateur BF polarisé en classe S ; n'est pas des plus linéaire lorsque la variation de l'enveloppe du signal est importante. En effet, lorsque l'enveloppe du signal atteint une valeur proche de zéro, l'amplificateur RF de puissance doit fonctionner en mode fortement saturé ; ce qui introduit des distorsions importantes. Cependant, lorsque facteur de puissance crête à puissance moyenne (PAR : « Peak to Average Ratio») est relativement faible comme dans le cas de la modulation  $\pi/4$  DQPSK, les résultats en rendement et en linéarité sont très intéressants [7].



Un exemple de réalisation a été proposé par Raab [7] utilisant un modulateur sigma-delta à la place du modulateur en classe S permettant d'obtenir une largeur de bande plus importante, de réduire les distorsions par rapport à un modulateur fonctionnant en classe S et d'améliorer le rendement. Cet amplificateur est polarisé en classe AB et fonctionne avec une compression de gain de 3 dB quel que soit le niveau des tensions d'alimentation. Le rendement est maintenu autour de 65% pour un recul de 18 dB de la puissance sortie.

L'amplificateur avec un signal constitué de deux fréquences porteuses sinusoïdales en bande L [7], présentant un écart de fréquence de 150 kHz a permis d'obtenir un rendement de 57% associé à un  $C/I_3$  de -30 dBc à la puissance maximale et un rendement de 37% associé à un  $C/I_3$  de -39 dBc pour un recul de 18 dB de la puissance de sortie.

#### II.4 L'EER en Bande de Base

Il est possible d'implémenter l'EER en bande de base. Le schéma de principe pour une modulation numérique en quadrature est présenté figure III-7.

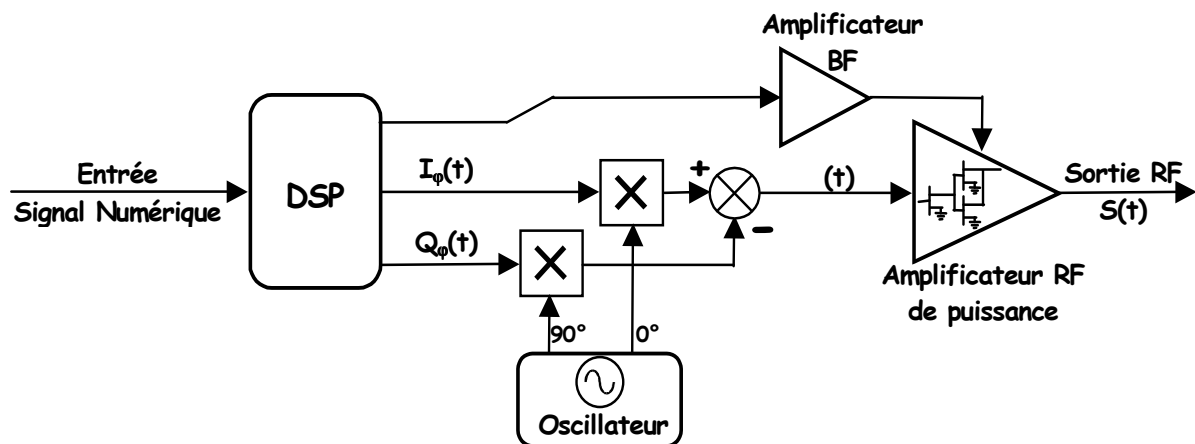


Figure III-7 : schéma de principe de la technique EER en bande de base [9]

Dans ce cas, un processeur de signaux numériques (DSP) est utilisé en entrée afin de générer le module des signaux I-Q, puis de l'amplifier à l'aide d'un amplificateur BF. Ce procédé permet ainsi d'éviter l'utilisation d'un détecteur d'enveloppe. Le DSP permet également de transformer les signaux cartésiens I-Q en signaux polaires  $I_\phi$  et  $Q_\phi$ . Les signaux  $I_\phi$  et  $Q_\phi$ , issus du DSP sont multipliés par un signal issu d'un oscillateur local permettant de transformer le signal numérique en un signal RF à enveloppe constante modulé en phase, conservant ainsi l'information sur la phase.

La transformation du signal de coordonnées cartésiennes en coordonnées polaires est effectuée comme suit. Si l'on considère un signal numérique ( $S_N$ ) complexe, en bande de base, où  $\omega_c$  représente la pulsation de la porteuse RF, ce signal s'écrit de la manière suivante :

$$S_N(t) = I(t) \cdot \cos(\omega_c t) + j \cdot Q(t) \cdot \sin(\omega_c t) \quad (\text{III.1})$$

L'amplitude et la phase de ce signal sont alors égales à :

$$\begin{cases} A(t) = \sqrt{I^2(t) + Q^2(t)} \\ \varphi(t) = \arctan\left(\frac{-Q(t)}{I(t)}\right) \end{cases} \quad (\text{III.2})$$

Les nouveaux signaux  $I_\varphi$  et  $Q_\varphi$  en coordonnées polaires s'écrivent :

$$\begin{cases} I_\varphi(t) = \cos(\varphi(t)) \\ Q_\varphi(t) = \sin(\varphi(t)) \end{cases} \quad (\text{III.3})$$

En pratique, la transformation des coordonnées cartésiennes en coordonnées polaires présente l'inconvénient majeur d'introduire des perturbations, ce qui a pour conséquence d'augmenter la largeur du spectre des signaux  $I_\varphi(t)$  et  $Q_\varphi(t)$  par rapport aux signaux  $I(t)$  et  $Q(t)$  [18]. Il est maintenant possible d'exprimer le signal RF, soit  $S_{RF}$  :

$$S_{RF}(t) = \cos(\varphi(t)) \cdot \cos(\omega_c t) - \sin(\varphi(t)) \cdot \sin(\omega_c t) \quad (\text{III.4})$$

$$S_{RF}(t) = \cos(\omega_c t + \varphi(t)) \quad (\text{III.5})$$

Le signal RF obtenu est donc à enveloppe constante et modulé en phase. Il est ensuite amplifié et modulé en amplitude par le module  $A(t)$  de l'équation (III.2) ce qui permet de reconstruire le signal original.

L'amplification en bande de base du signal en utilisant la technique de l'EER ne supprime pas les problèmes de largeur de la bande passante de l'enveloppe et du décalage entre le signal contenant l'information de phase et le signal contenant l'information d'amplitude. Mais le décalage dans le temps entre les signaux est géré plus facilement grâce à l'utilisation du DSP. Néanmoins pour contrôler parfaitement ces signaux il faudra sur-échantillonner le signal d'enveloppe ( $A(t)$ ). Le DSP devra ainsi être capable de fonctionner à une fréquence dix fois supérieure à la largeur de bande du signal RF.

## II.5 Bilan sur l'EER

Le principal avantage de l'EER est l'obtention d'un rendement théorique maximal très important (80%) et un maintien de ce celui-ci sur toute la plage de variation de la puissance d'entrée. Alors qu'en pratique le rendement maximum est de l'ordre de 54%. Une amélioration de la linéarité peut également être obtenue mais cette amélioration est limitée à des signaux ayant de faibles variations d'enveloppe.

Un des points critique de l'EER est la récupération d'enveloppe à l'aide d'un détecteur à diode. En effet la variation de la tension d'alimentation de l'amplificateur RF de puissance à l'aide d'un amplificateur BF polarisé en classe S ; n'est pas des plus linéaire lorsque la variation de l'enveloppe du signal est importante. En effet, lorsque l'enveloppe du signal atteint une valeur proche de zéro, l'amplificateur RF de puissance doit fonctionner en mode fortement saturé ; ce qui introduit des distorsions importantes.

Cependant, lorsque le facteur de puissance crête à puissance moyenne (PAR : « Peak to Average Ratio») du signal est relativement faible comme dans le cas de la modulation  $\pi/4$  DQPSK, les résultats en rendement et en linéarité sont très intéressants [19].

### III. La Technique de Chireix

Cette technique a également été inventée dans les années 1930 [20]. Elle offre réellement une approche différente au problème du rendement des amplificateurs de puissance. Des études et implémentations récentes [21] soulignent les vraies potentialités que présente cette technique; même si à ce jour le nombre de réalisations reste très limité.

Dans la technique de Chireix, deux amplificateurs RF, travaillant à un niveau de puissance fixe, sont utilisés. Ces amplificateurs peuvent être fortement non-linéaires d'où le nom de LINC (amplification Linéaire avec des Composants Nonlinéaires) parfois utilisé. Le schéma de principe est illustré figure III-8.

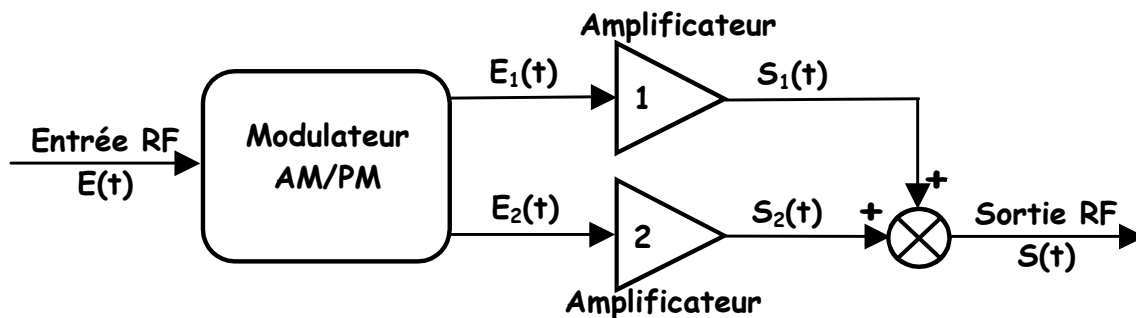


Figure III-8 : Schéma de principe de la technique de Chireix [4]

L'élément clef d'un amplificateur utilisant la technique de Chireix est le modulateur de phase, qui convertit le signal d'entrée  $E(t)$  modulé en amplitude en deux signaux uniquement modulés en phase ( $E_1(t)$  et  $E_2(t)$ ) à amplitude constante.

$$E(t) = A(t) \cdot \cos(\omega t) \quad \text{donc} \quad \begin{cases} E_1(t) = \cos(\omega t + \phi) \\ E_2(t) = \cos(\omega t - \phi) \end{cases} \quad (\text{III.6})$$

Les signaux ainsi obtenus peuvent être amplifiés par les deux amplificateurs non-linéaires et la modulation d'amplitude est restituée lors de l'addition des signaux  $S_1(t)$  et  $S_2(t)$ . De plus, si le signal d'entrée comporte également une modulation de phase, cette modulation sera reconstruite par l'addition des signaux  $S_1(t)$  et  $S_2(t)$  amplifiés en sortie.

De plus, n'importe quelle modulation de phase du signal d'entrée a été omise dans l'analyse mais traversera le système sans être modifiée [4] car le niveau final de distorsion en sortie de

l'amplificateur dépend de la qualité du modulateur de phase et non des amplificateurs RF qui travaillent à enveloppe constante.

L'addition des signaux  $S_1(t)$  et  $S_2(t)$  ne peut être réalisée simplement à l'aide d'un combineur conventionnel de puissance car les deux signaux RF sont déphasés. Si l'on modélise la sortie de chaque transistor constituant les deux amplificateurs RF par un générateur de tension idéal, il est alors possible d'écrire les tensions de sortie sous la forme suivante :

$$\begin{cases} S_1 = S(\cos \varphi + j \cdot \sin \varphi) \\ S_2 = S(\cos \varphi - j \cdot \sin \varphi) \end{cases} \quad (\text{III.7})$$

La figure III-9 représente une topologie de sortie possible à l'aide d'une charge commune connectée entre les deux amplificateurs. La tension de sortie est alors une tension différentielle ( $S_1 - S_2$ ) prise aux bornes de la charge.

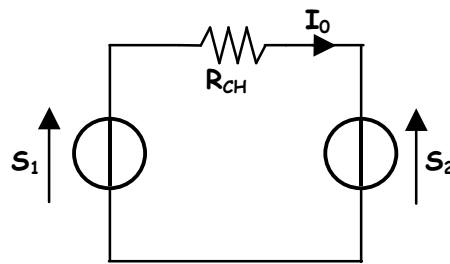


Figure III-9 : Circuit de sortie différentiel de la technique de Chireix [4]

L'analyse de la formule (III.6) permet de voir que la tension RF aux bornes de la charge est alors proportionnelle à  $\sin \varphi$ . Si le déphasage produit par le modulateur est tel que :  $\varphi = \sin^{-1}(A(t))$  alors la tension différentielle aux bornes de la charge restituera la modulation d'amplitude du signal d'entrée.

Les deux amplificateurs travaillant en régime saturé, ils pourront donc avoir une excursion de tension maximale. Dans un cas idéal, l'amplitude de la tension RF peut être proche d'une tension sinusoïdale lorsque les composantes aux fréquences harmoniques sont court-circuitées.

Le déphasage introduit par le modulateur d'amplitude présent en entrée s'applique aux deux tensions produites en sortie. D'après la figure III-9, il est possible d'exprimer le courant de sortie  $I_0$  par l'expression suivante :

$$I_0 = \frac{V_1 - V_2}{R_{CH}} \quad (\text{III.8})$$

La différence de phase entre les deux générateurs introduit une partie réactive dans la charge vue par le premier générateur. La charge RF présentée au premier transistor s'exprime alors de la manière suivante :

$$Z_1 = \frac{V_1}{V_1 + V_2} \cdot R_{CH} = \frac{\cos \varphi + j \cdot \sin \varphi}{2j \cdot \sin \varphi} \cdot R_{CH} = \frac{R_{CH}}{2} (1 - j \cdot \cotan \varphi) \quad (\text{III.9})$$

Il est possible de représenter la charge RF vue par le générateur à l'aide d'éléments localisés, soit une résistance en série avec une capacité dont la valeur dépend de l'angle  $\varphi$  comme le montre la figure III-10.a.

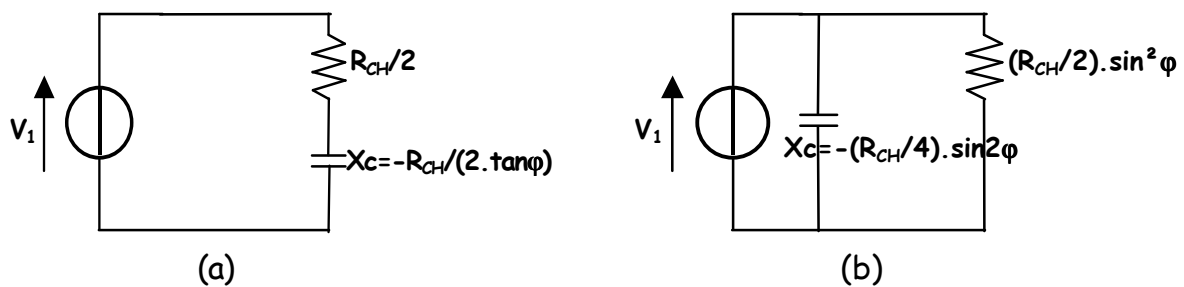


Figure III-10 : Circuit de sortie vue par le générateur 1 série parallèle [4]

La condition pour que les deux signaux de sortie soient en phase correspond à un déphasage  $\varphi$  de  $90^\circ$ , ce qui permet d'obtenir une amplitude du signal de sortie maximale et une charge présentée purement réelle.

Lorsque le déphasage  $\varphi$  diminue, l'amplitude de la tension de sortie diminue également. Dans ce cas la charge n'est plus réelle et la partie imaginaire introduite à la charge RF a pour effet de diminuer la puissance de sortie et donc le rendement.

Si l'on effectue une transformation de la charge RF vue par le générateur 1 en un circuit parallèle (Figure III-10.b), il est alors possible de compenser cette partie imaginaire à l'aide d'un élément inductif discret sans affecter la reconstitution de modulation d'amplitude [4].

Il est possible d'effectuer la même compensation sur la charge RF vue par le deuxième générateur où une compensation capacitive de même valeur que celle apportée au générateur 1. Le schéma complet de compensation est représenté figure III-11. Cette compensation exige

une détermination rigoureuse des impédances de compensation, puisque la valeur optimale de l'impédance de compensation a pour effet de modifier l'angle  $\varphi$ .

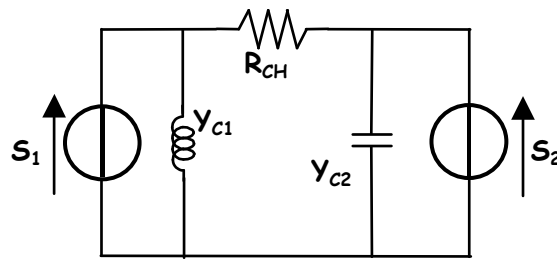


Figure III-11 : Circuit de sortie complet compensé

Si l'admittance de compensation  $Y_{c1}$  ou  $Y_{c2}$  est trop faible, la compensation sera optimale pour une faible valeur de l'angle  $\varphi$  correspondant à une faible amplitude du signal d'enveloppe. La technique de Chireix permet d'obtenir un rendement maximum de 78.5% sur une plage de variation de la puissance de sortie de 10 dB [22].

Un des points négatifs de cette technique est la difficulté de réalisation du modulateur d'amplitude d'entrée. De plus les compensations peuvent en pratique entraîner une restriction de la bande passante de l'amplificateur.

## **IV. Conclusion sur les Techniques à fort Rendement**

Différentes techniques permettant d'amplifier un signal à enveloppe variable ont été présentées dans ce troisième chapitre. La théorie de ces techniques, pour maintenir ou augmenter le rendement lors de l'amplification RF de signaux à enveloppe variable, est bien établie dans la littérature depuis plusieurs dizaines d'années.

A l'époque, et encore aujourd'hui, dans certaines applications, l'élément principal servant à l'amplification, était le tube à ondes progressives (TOP) qui présente de faibles variations de fonction de transfert en amplitude AM/AM et de conversion de phase AM/PM pour des niveaux de sortie élevés. Les récents progrès en terme de technologies nous permettent maintenant d'utiliser au mieux ses techniques pour des applications à l'état solide.

Ces techniques ont clairement des applications importantes dans les systèmes de communications modernes, que ce soit pour des applications mobiles ou pour les amplificateurs de puissance des stations de base. Quelques expérimentations ont démontrés des résultats plutôt encourageants pour certaines d'entre elles, mais le nombre d'applications reste encore limité.



## I.3 Bibliographie

- [1] **C. Duvaud, Ph. Bouysse et al,**  
"A Design Method for Highly Efficient Power Amplifiers: Application to Class F Amplifiers",  
*Int. Journal of Microwave and Millimeter-Wave Computer Aided Eng.*, Vol.6, No.4, 1996, pp. 288-293.
- [2] **F. Huin, C. Duvaud et al,**  
"A Single Supply, very high power and efficiency PHEMT Amplifier for GSM applications",  
*IMS'2000, RFIC, Boston, 11-16 Juin 2000.*
- [3] **L.R. Kahn,**  
"Single-sideband transmission by envelope elimination and restoracion",  
*Proc. of the Institute of Radio Engineers*, Vol. 40, Juillet 1952, pp. 803-806.
- [4] **S.C. Cripps,**  
"RF Power Amplifiers for Wireless Communications",  
Artech House, INC, 1999.
- [5] **F.H. Raab,**  
"Intermodulation distortion in Kahn-Technique transmitters",  
*IEEE Trans. on Microwave Theory and Techniques*, Vol. 44, n°12, Décembre 1996, pp. 2273-2278.
- [6] **F.H. Raab, B.E. Sigmon, R.G. Myers et R.M. Jackson,**  
"L-band transmitter using Kahn EER technique",  
*IEEE Trans. on Microwave Theory and Techniques*, Vol. 46, n°12, Décembre 1998, pp. 2220-2224.
- [7] **F.H. Raab, B.E. Sigmon, R.G. Myers, R.M. Jackson,**  
"High efficiency L-Band Kahn technique transmitter",  
*IEEE MTT-S International Microwave Symposium Digest*, 1998.
- [8] **A.A.M. Slaeh et D.C. Cox,**  
"Improving the Power-Added Efficiency of FET Amplifiers Operating with Varying Envelope Signals",  
*IEEE Trans. on Microwave Theory and Techniques*, Vol. 31, No 1, Janvier 1983, pp. 51-56.
- [9] **Peter B. Kenington,**  
"High-linearity RF Amplifier Design",  
Artech House, 2000.
- [10] **T.H. Miers et V.A. Hirsch,**  
"A Thorough Investigation of Dynamic Bias on linear GaAs FET Power Amplifier Performance",  
*IEEE MTT-S International Microwave Symposium Digest*, Vol. 2, 1992.
- [11] **P. Asbeck, J. Mink, T. Itoh et G. Haddad,**  
"Device and circuit approaches for next generation wireless communications",  
*IEEE Microwave Journal*, Février 1999.
- [12] **J. Staudinger, B. Gilsdorf, D. Newman, G. Norris, G. Sadowiczak, R. Sherman et al,**  
"High Efficiency CDMA RF Power Amplifier Using Dynamic Envelope Tracking",  
*IEEE MTT-S International Microwave Symposium Digest*, 2000.
- [13] **M.D. Weiss, F.H. Raab et Z. Popovic,**  
"Linearity of X-Band Class-F Power Amplifiers in High-Efficiency Transmitters",  
*IEEE Transactions on Microwave Theory and Techniques*, Vol. 49, No 6, Juin 2001, pp. 1174-1179.
- [14] **F. Robin,**  
"Contrôle dynamique de la polarisation des transistors de puissance pour l'amplification linéaire et à

haut rendement de signaux à enveloppe variable”,  
Thèse de Doctorat, Université de Poitiers, Juin 2003.

- [15] **K. Yang, G.I. Haddad et J.R. East,**  
"High-Efficiency Class A Power Amplifiers with a Dual-Bias-Control Scheme",  
*IEEE Transactions on Microwave Theory and Techniques*, Vol. 47, No 8, Août 1999, pp. 1426-1432.
- [16] **G. Hanington, P.F. Chen, P.M. Asbeck et L.E. Larson,**  
"High-Efficiency Power Amplifier Using Dynamic Power-Supply Voltage for CDMA Applications",  
*IEEE Transactions on Microwave Theory and Techniques*, Vol. 47, No 8, Août 1999, pp. 1471-1476.
- [17] **F.H. Raab, P. Asbeck, S. Cripps, P.B. Kennington, Z.B. Popovic, N. Pothecary, et al,**  
"Power amplifiers and transmitters for RF and microwave",  
*IEEE Transactions on Microwave Theory and Techniques*, Vol. 50, n°3, Mars 2002.
- [18] **Dietmar Rudolph,**  
"Out-of Band Emissions of Digital Transmissions Using Kahn EER Technique",  
*IEEE Transactions on Microwave Theory and Techniques*, Vol. 50, n°8, Août 2002, pp. 1979-1983.
- [19] **F.H. Raab,**  
"Drive Modulation in Kahn-Technique Transmitters",  
*IEEE Transactions on Microwave Theory and Techniques*, Vol. 2, Juin 1999, pp. 811-814.
- [20] **H. Chireix,**  
"High Power Outphasing Modulation",  
*Proc. of the Institute of Radio Engineers*, Vol. 23, No. 11, Novembre 1935, pp. 1370-1392.
- [21] **F.H. Raab,**  
"Efficiency of Outphasing RF Power-Amplifier Systems",  
*IEEE Transactions on Communications*, Vol. COM-33, No 10, Octobre 1985, pp. 1094-1099.
- [22] **R. Langridge, T. Thornton, P.M. Asbeck et L.E. Larson,**  
"A power Re-Use Technique for Improved Efficiency of Outphasing Microwave Power Amplifier",  
*IEEE Transactions on Microwave Theory and Techniques*, Vol. 47, No 8, Août 1999, pp. 1467-1470.

## *CHAPITRE IV*

*LA TECHNIQUE DOHERTY :*  
*AMPLIFICATEUR A HAUT RENDEMENT*



Récemment, des techniques de modulation caractérisées par une enveloppe variable ont été développées dans le but d'améliorer l'occupation spectrale des systèmes. Dans d'autres cas, il est intéressant de commuter le niveau de sortie de l'amplificateur si la puissance à fournir doit être inférieure au niveau maximum. L'amplification de ces signaux à enveloppe ou niveau variable conduit à un rendement en puissance ajoutée globalement faible.

Afin d'amplifier un signal tout en maintenant un rendement optimal pour une variation ou un recul (« backoff ») en puissance, il est possible d'utiliser une variation de l'impédance de charge. L'utilisation de la technique Doherty va permettre de modifier l'impédance de charge de l'amplificateur en fonction du niveau du signal et ainsi d'augmenter le rendement sur une plage de variation importante de la puissance de sortie. Cette catégorie d'amplificateurs utilise des topologies différentes de celles couramment utilisées pour les amplificateurs conventionnels telles que la mise en parallèle de cellules amplificatrices et/ou l'utilisation de plusieurs étages.

L'objectif de ce quatrième chapitre est de présenter et d'appliquer la technique Doherty. Une étude sera présentée afin de tracer l'évolution du rendement pour différents niveaux de puissance et différentes combinaisons des amplificateurs principal et auxiliaire. Dans une seconde partie, nous présenterons la réalisation d'un amplificateur Doherty puis nous proposerons d'améliorer les performances en modifiant le fonctionnement de l'amplificateur auxiliaire en fonction du niveau de puissance.

## I. Théorie

### I.1 Doherty à Deux Etages

#### I.1.1 Principe de Fonctionnement

Les performances d'un amplificateur sont généralement déterminées par l'impédance de charge présentée en sortie des transistors [1]. La technique Doherty permet de modifier cette impédance de charge en fonction du niveau de puissance d'entrée, grâce à la combinaison de deux amplificateurs, principal et auxiliaire, ainsi que de deux lignes quart d'ondes d'impédances caractéristiques  $Z_C$  et  $Z_{CIN}$ . Cette technique fut inventée par W. H. Doherty en 1936 [2] et était utilisée à l'origine pour moduler un signal en amplitude dans les amplificateurs à tubes. La figure IV-1 représente le schéma de principe d'un amplificateur Doherty.

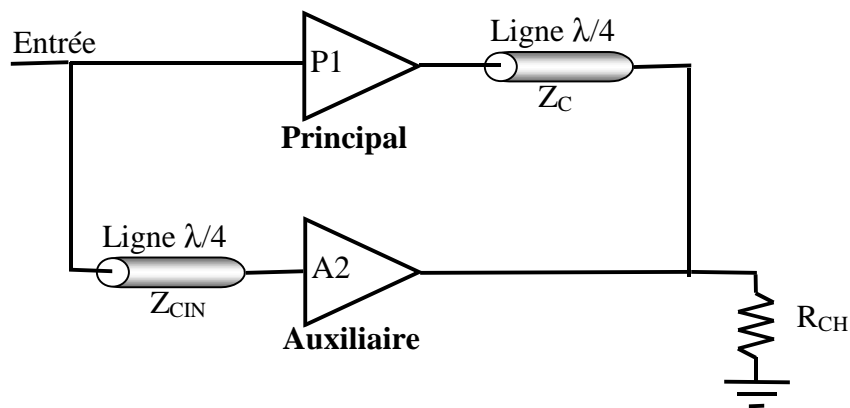


Figure IV-1 : Circuit d'analyse de la technique DOHERTY

Le premier quart d'onde placé en sortie de l'amplificateur principal est indispensable pour réaliser la transformation d'impédance nécessaire au maintien du rendement sur une plage de variation importante de la puissance de sortie. Mais, il introduit un déphasage de  $90^\circ$  qu'il va falloir compenser. Le second quart d'onde placé en entrée de l'amplificateur auxiliaire permet de compenser le déphasage entre les signaux des deux amplificateurs. Ce quart d'onde peut être remplacé par un coupleur hybride  $0-90^\circ$ . Ainsi la recombinaison en phase des signaux de sortie des deux amplificateurs est possible.

Le principe de fonctionnement est le suivant :

- ✓ à faible niveau de puissance d'entrée, seul l'amplificateur principal fournit de la puissance, l'amplificateur auxiliaire est éteint,
- ✓ à niveau de puissance moyen, l'amplificateur auxiliaire commence à conduire et fournit de la puissance, alors que l'amplificateur principal devient de plus en plus saturé. La mise en conduction de l'amplificateur auxiliaire permet une modification de l'impédance de charge présentée à l'amplificateur principal,
- ✓ à fort niveau les deux amplificateurs sont saturés.

### I.1.2 Détermination des Impédances de Charge vues par les deux Amplificateurs

Si l'on considère les deux transistors seulement par leur effet fondamental, c'est à dire une source de courant commandée en tension, le circuit d'analyse de la technique va devenir celui présenté sur la figure IV-2. L'analyse de ce dernier va nous permettre de connaître les valeurs des impédances de charges présentées à chaque transistor.

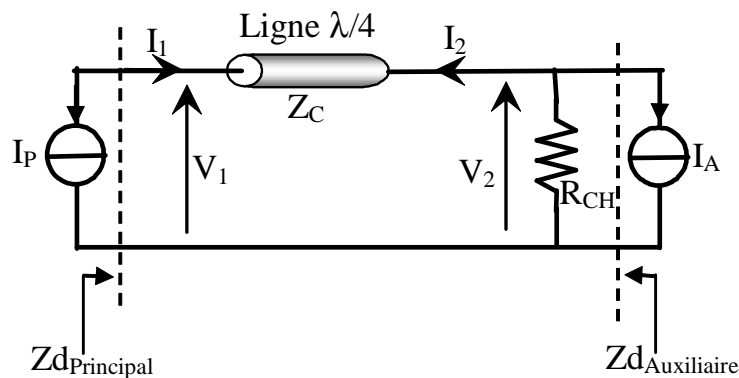


Figure IV-2 : Circuit de détermination des impédances

$I_P$  représente le courant de sortie du transistor de l'amplificateur principal et  $I_A$  celui de l'amplificateur auxiliaire.

Les relations entre les courants et les tensions, aux accès d'une ligne de transmission d'impédance caractéristique  $Z_C$  et de longueur « l » peuvent s'écrire sous la forme matricielle suivante :

$$\begin{bmatrix} V1 \\ I1 \end{bmatrix} = \begin{bmatrix} \cos \beta l & j.Z_C \cdot \sin \beta l \\ \frac{j \cdot \sin \beta l}{Z_C} & \cos \beta l \end{bmatrix} \begin{bmatrix} V2 \\ -I2 \end{bmatrix} \quad (IV.1)$$

Or pour une ligne de transmission quart d'onde ( $\lambda/4$ ) le terme  $\beta l$  est égal à  $\pi/2$ . Ce qui permet d'écrire la relation matricielle suivante :

$$\begin{bmatrix} V1 \\ I1 \end{bmatrix} = \begin{bmatrix} 0 & j.Z_C \\ \frac{j}{Z_C} & 0 \end{bmatrix} \begin{bmatrix} V2 \\ -I2 \end{bmatrix} \quad (IV.2)$$

De plus, les conditions de fermeture aux accès de la ligne quart d'onde sont :

$$\begin{cases} I1 = -I_p \\ I2 = -(I_A + \frac{V2}{R_{CH}}) \end{cases} \quad (IV.3)$$

Si maintenant, on exprime les impédances  $Z_{dP}$  et  $Z_{dA}$  vues respectivement par les sources de courant du transistor principal ( $I_p$ ) et de l'auxiliaire ( $I_A$ ).

$$\begin{cases} Z_{dP} = \frac{V1}{-I_p} \\ Z_{dA} = \frac{V2}{-I_A} \end{cases} \quad (IV.4)$$

A partir de l'écriture matricielle (IV.2) et des impédances vues par les sources de courant de l'amplificateur principal et auxiliaire (IV.4), il est possible d'exprimer les impédances vues par les sources de courant de la manière suivante :

$$\begin{cases} Z_{dP} = \frac{Z_C^2}{R_{CH}} - j.Z_C \frac{I_A}{I_p} \\ Z_{dA} = -j.Z_C \cdot \frac{I_p}{I_A} \end{cases} \quad (IV.5)$$



L'analyse des expressions (IV.5) permet de constater que les impédances de charges des deux amplificateurs seront purement réelles pour un déphasage de  $90^\circ$  entre les courants de drain de l'amplificateur principal et auxiliaire. Ce déphasage sera obtenu à l'aide d'une ligne de transmission quart d'onde placée en entrée de l'amplificateur auxiliaire. L'utilisation d'un coupleur hybride est envisageable, ce qui permet en même temps d'obtenir un taux d'onde stationnaire (TOS) élevé en entrée [3] et de réaliser la division de puissance.

### I.1.3 Evolution des Impédances de Charges des deux Amplificateurs

Pour un fort niveau, c'est à dire à la puissance maximale, les deux amplificateurs sont saturés et leur courant de drain  $I_P$  et  $I_A$  sont égaux. En supposant une taille et une polarisation identique des deux amplificateurs, les charges peuvent alors être exprimées par :

$$\left\{ \begin{array}{l} Z_{d_P} = \frac{Z_C^2}{R_{CH}} - Z_C \\ Z_{d_A} = Z_C \end{array} \right. \quad (IV.6)$$

Si  $Z_C = 2.R_{CH}$  alors, les deux amplificateurs auront la même charge présentée sur leur drain respectif. Dans ce cas, les deux amplificateurs fonctionnent ensemble pour délivrer un maximum de puissance de sortie.

$$Z_{d_P} = Z_{d_A} = 2.R_{CH} \quad (IV.7)$$

Pour un faible niveau d'entrée, si l'amplificateur auxiliaire est pincé, le courant  $I_A$  est nul. Par conséquent la charge présentée en sortie de l'amplificateur principal devient égale à  $4.R_{CH}$  et l'impédance de charge vue par l'amplificateur auxiliaire est un circuit ouvert.

Cette variation d'impédance d'un rapport deux, se traduit sur le cycle de charge de l'amplificateur par une variation en fonction du niveau de puissance d'entrée, comme illustré figure IV-3.

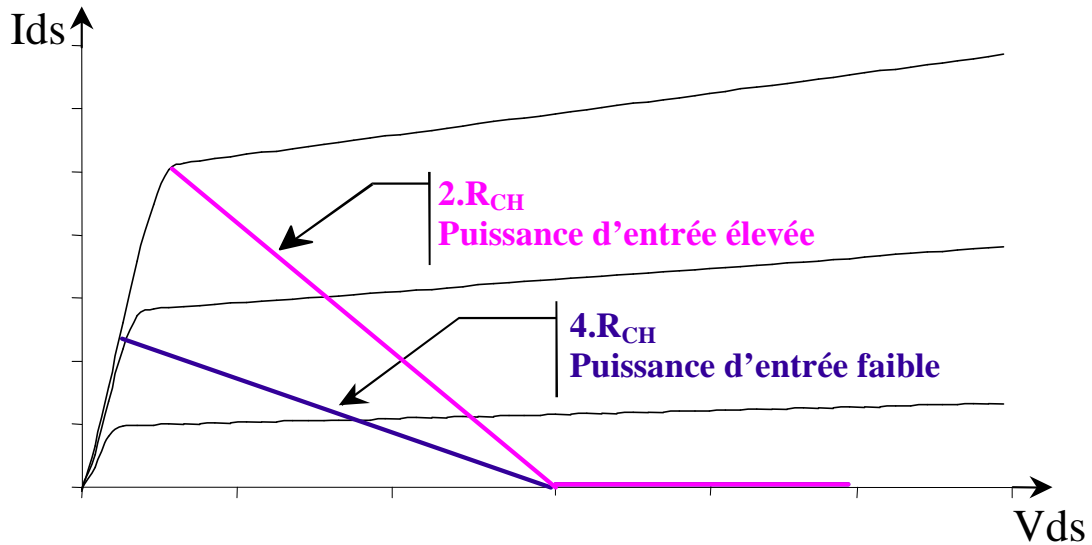


Figure IV-3 : Evolution du cycle de charge en fonction du niveau de puissance

Pour des niveaux de puissance compris entre  $P_\alpha$  et  $P_{Max}$ , l'impédance de sortie vue par l'amplificateur principal varie de  $4.R_{CH}$  à  $2.R_{CH}$  et du circuit ouvert à  $2.R_{CH}$  pour l'amplificateur auxiliaire. L'amplificateur auxiliaire se comporte comme une charge active pour l'amplificateur principal.

Il est donc intéressant d'avoir un fonctionnement tel que l'amplificateur auxiliaire soit bloqué à faible niveau et devienne passant pour finalement fonctionner comme l'amplificateur principal. Ce niveau de puissance où l'amplificateur auxiliaire passe de l'état bloqué à la conduction est appelé communément point de transition  $\alpha$ .

Le tableau IV-1 illustre les modes de fonctionnement des deux amplificateurs en fonction du niveau de puissance.

Niveau de puissance	Mode de fonctionnement de l'amplificateur principal	Mode de fonctionnement de l'amplificateur auxiliaire
Puissance < $P_\alpha$	Source de courant commandée	Eteint
$P_\alpha$ < Puissance < $P_{Max}$	Saturé	Source de courant commandée
Puissance = $P_{Max}$	Saturé	Saturé

Tableau IV-1 : Différents modes de fonctionnement d'un amplificateur DOHERTY

### I.1.4 Détermination de l'impédance Caractéristique de la Ligne Quart d'onde de Sortie

Dans cette partie, nous allons chercher à déterminer l'expression de l'impédance caractéristique de la ligne quart d'onde de sortie. Cette détermination suppose que les deux amplificateurs sont polarisés en classe B et qu'ils délivrent leur puissance à une charge résistive. Si les transistors principal et auxiliaire sont de même taille, ils délivrent à fort niveau le même courant.

$$|I_P| = |I_A| \quad (IV.8)$$

Afin que les deux transistors délivrent la même puissance à fort niveau, ils doivent avoir la même impédance présentée sur leur drain respectif :

$$Zd_p = Zd_A \quad (IV.9)$$

D'après l'équation IV.7, l'impédance caractéristique de la ligne quart d'onde de sortie, permettant d'obtenir la même impédance à fort niveau est donnée par :

$$Z_C = 2.R_{CH} \quad (IV.10)$$

Si maintenant, l'on veut généraliser l'expression de l'impédance caractéristique de la ligne quart d'onde de sortie quelque soit la taille du transistor auxiliaire, on peut considérer un transistor de  $n$  fois la taille du principal. Les courants à fort niveau s'écrivent de la manière suivante :

$$|I_A| = n|I_P| \quad (IV.11)$$

A fort niveau, le transistor auxiliaire délivre  $n$  fois plus de puissance que le principal, donc les impédances présentées sur les drains des deux transistors s'expriment de la manière suivante :

$$Zd_p = n.Zd_A \quad (IV.12)$$

D'après les équations IV.6, l'impédance caractéristique de la ligne quart d'onde de sortie est alors donnée par :

$$Z_C = (1+n).R_{CH} \quad (IV.13)$$

### I.1.5 Calcul du Rendement Total

L'évolution du rendement se décrit en trois parties qui correspondent aux différents modes de fonctionnement de l'amplificateur Doherty.

#### I.1.5.1 Fonctionnement en dessous du Point de Transition ( $\alpha$ )

L'amplificateur principal est polarisé en classe B, ce qui permet d'obtenir un courant demi sinusoïdal et se comporte comme une source de courant en fonction du niveau d'entrée. L'amplificateur auxiliaire est éteint. La saturation de l'amplificateur principal intervient lorsque sa participation à la puissance crête du système est maximale, c'est à dire tant que  $V_p < \alpha \cdot V_{DD}$ .  $V_p$  représente la tension aux bornes de l'amplificateur principal et  $V_{DD}$  représente la tension d'alimentation des amplificateurs. La figure IV-4 illustre le fonctionnement,  $I_p$  représente le courant délivré à la fréquence fondamentale par le transistor principal.

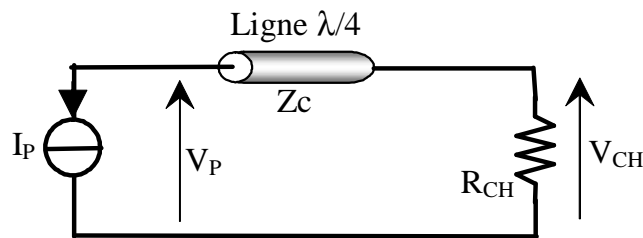


Figure IV-4 : Circuit d'analyse de la technique Doherty pour un fonctionnement en dessous du point de transition

La puissance délivrée par l'amplificateur principal à la fréquence fondamentale s'exprime de la manière suivante :

$$P_{f_0,P} = \frac{1}{2} \frac{V_{CH}^2}{R_{CH}} \quad (IV.14)$$

Comme le courant est demi sinusoïdal (classe B), le courant continu de l'amplificateur principal s'exprime par la relation suivante :

$$I_{DC,P} = \frac{2 \cdot I_p}{\pi} \quad (IV.15)$$

D'après l'équation IV.15, il est possible d'exprimer le courant du transistor principal ( $I_P$ ) en fonction de la tension aux bornes de la charge ( $V_{CH}$ ) de la manière suivante :

$$I_P = \frac{V_{CH}}{Z_C} \quad (IV.16)$$

Donc l'expression du rendement s'exprime de la manière suivante :

$$\eta = \frac{P_{f_0,P}}{P_{DC,P}} = \frac{\pi Z_C \cdot V_{CH}}{4 R_{CH} \cdot V_{DD}} \quad (IV.16)$$

Si les deux amplificateurs sont de même taille et d'après l'équation IV.11, l'expression du rendement devient :

$$\eta = \frac{\pi V_{CH}}{2 V_{DD}} \quad (IV.17)$$

#### **I. 1. 5. 2 Fonctionnement au dessus du Point de Transition ( $\alpha$ )**

L'amplificateur principal est saturé et se comporte comme une source de tension fixe de valeur  $V_{DD}$ . L'amplificateur auxiliaire est polarisé en classe B et se comporte comme une source de courant commandée. La figure IV-5 illustre le principe de fonctionnement,  $I_A$  représente le courant délivré à la fréquence fondamentale par le transistor auxiliaire.

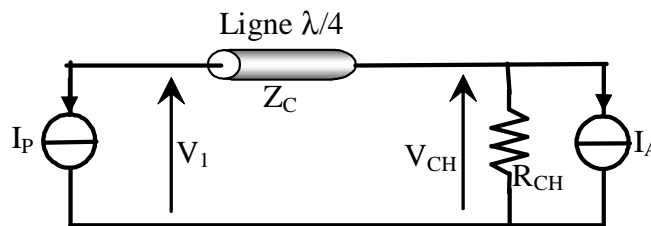


Figure IV-5 : Circuit d'analyse de la technique Doherty pour un fonctionnement au dessus du point de transition

D'après l'équation IV.5, il est possible d'exprimer la tension aux bornes de la résistance de charge ( $V_{CH}$ ) comme suit :

$$V_{CH} = R_{CH} \left( I_A + \frac{V_{DD}}{Z_C} \right) \quad (IV.18)$$

Le courant étant demi sinusoïdal (classe B) et d'après l'équation IV.16 les courants continus délivrés par les transistors principal et auxiliaire s'expriment par les relations suivantes :

$$\left\{ \begin{array}{l} I_{DC,Principale} = \frac{2 \cdot V_{CH}}{\pi Z_C} \\ I_{DC,Auxiliaire} = \frac{2}{\pi} \left( \frac{V_{CH}}{R_{CH}} - \frac{V_{DD}}{Z_C} \right) \end{array} \right. \quad (IV.19)$$

La puissance de sortie délivrée à la charge, à la fréquence fondamentale est donnée par l'expression IV.14. Par conséquent le rendement s'exprime par la formulation suivante :

$$\eta = \frac{P_{f_0}}{P_{DC,P} + P_{DC,A}} = \frac{\pi}{4} \frac{V_{CH}^2}{V_{DD} \left( \frac{V_{CH}}{R_{CH}} + \frac{V_{CH}}{Z_C} - \frac{V_{DD}}{Z_C} \right)} \quad (IV.20)$$

Si les deux amplificateurs sont de même taille et d'après l'équation IV.11, l'expression du rendement devient :

$$\eta = \frac{\pi \left( V_{CH} / V_{DD} \right)^2}{2 \frac{3 \cdot V_{CH}}{V_{DD}} - 1} \quad (IV.21)$$

### **I.1.5.3 Fonctionnement à Puissance Maximale**

Les amplificateurs principal et auxiliaire fonctionnent en zone saturée donc  $V_{CH}$  tend vers  $V_{DD}$  et le rendement est maximum.

$$\eta = \frac{P_{f_0}}{P_{DC}} = \frac{\pi}{4} = 78.5\% \quad (IV.22)$$

### **I.1.6 Evolution du Rendement Total**

La figure IV-6 représente l'évolution calculée du rendement lorsque les transistors principal et auxiliaire sont de même taille en fonction du rapport de la tension aux bornes de la charge sur la tension d'alimentation ( $V_{CH}/V_{DD}$ ). De plus, sur la figure IV-6 est représentée la variation du rendement lorsque la taille de l'auxiliaire est le double de celle du principal.

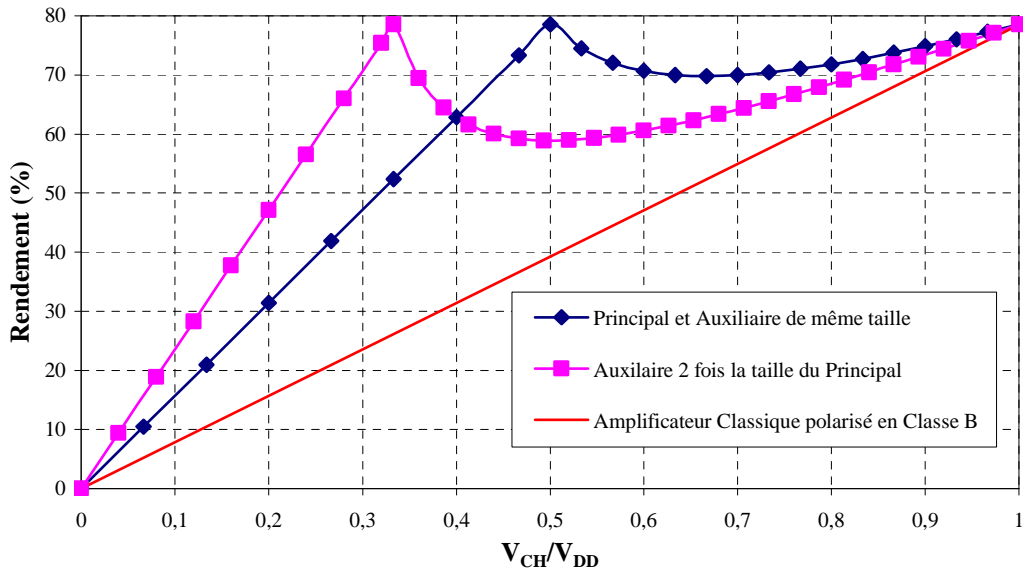


Figure IV-6 : Evolution du rendement d'un amplificateur DOHERTY deux étages

Sur la figure IV-6, il faut noter que le rendement évolue linéairement jusqu'au point de transition ( $\alpha$ ), puis il décroît lorsque l'amplificateur auxiliaire entre en conduction et enfin il augmente jusqu'à atteindre le rendement maximum (78.5%) à la puissance crête. Pour un recul du niveau de puissance, la valeur de ce rendement est supérieure à celle d'un amplificateur classique polarisé en classe B sur une large dynamique de puissance.

Selon la taille du transistor auxiliaire, la courbe de variation du rendement total en fonction du niveau de puissance à une forme différente et le point de transition sera déplacé. Le choix de la taille du transistor auxiliaire va dépendre de l'application et de la forme du signal à amplifier. Le point de transition peut être déplacé selon le facteur de puissance crête à puissance moyenne (PAR : « Peak to Average Ratio ») du signal à amplifier.

Le but étant d'avoir le maximum de rendement correspondant à la puissance moyenne de ce signal à amplifier. L'ajustement du point de transition va permettre d'obtenir une plage de variation où le rendement sera maximum.

Par exemple, si le signal à amplifier a un PAR élevé, le point de transition devra être faible afin de maximiser le rendement à faible niveau. C'est-à-dire qu'il faudra concevoir un amplificateur Doherty avec un transistor auxiliaire d'une taille supérieure à celle du principal. Mais dans ce cas, le rendement a tendance à diminuer fortement après ce point de transition.

La figure IV-7 représente l'évolution de la puissance de sortie de l'amplificateur principal, de l'amplificateur auxiliaire et la puissance de sortie totale en fonction du rapport de la tension aux bornes de la charge sur la tension d'alimentation ( $V_{CH}/V_{DD}$ ) lorsque les deux amplificateurs sont de même taille. A fort niveau, la puissance de sortie des deux amplificateurs est identique.

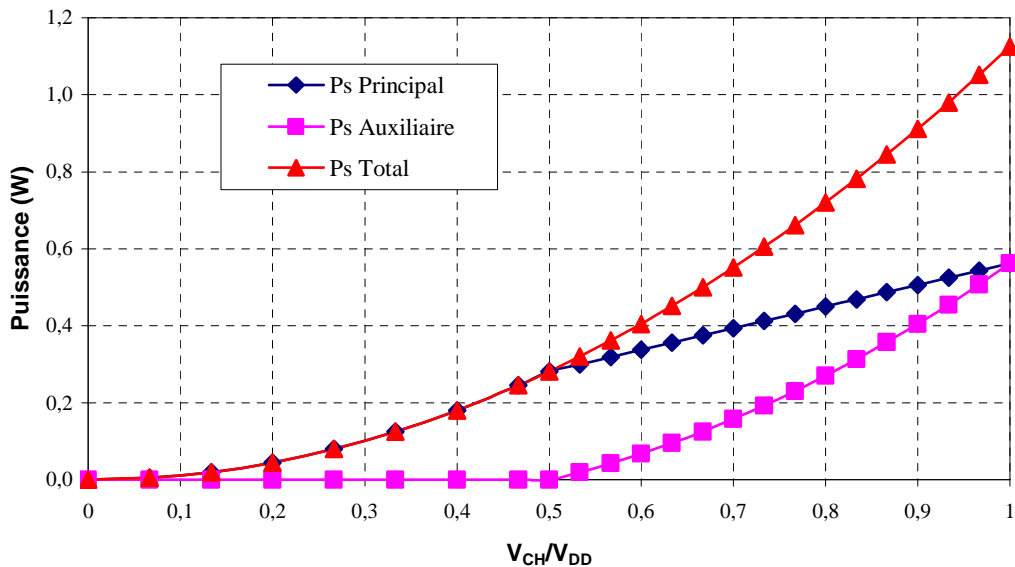


Figure IV-7 : Evolution de la puissance d'un amplificateur DOHERTY deux étages

La figure IV-8 représente l'évolution de la puissance de sortie de l'amplificateur principal, de l'amplificateur auxiliaire et la puissance totale en fonction du rapport de la tension aux bornes de la charge sur la tension d'alimentation ( $V_{CH}/V_{DD}$ ) lorsque la taille de l'auxiliaire est le double de celle du principal. Si l'impédance caractéristique de la ligne de transmission quart d'onde est égale à deux fois la résistance de charge et d'après l'équation IV.13, à fort niveau les impédances de charges vues par l'amplificateur principal et auxiliaire sont :

$$\begin{cases} Z_{d_p} = 3.R_{CH} \\ Z_{d_A} = \frac{3}{2}R_{CH} \end{cases} \quad (IV.23)$$

La différence entre ces impédances est due au fait qu'à fort niveau l'amplificateur auxiliaire délivre le double de puissance par rapport à l'amplificateur principal.



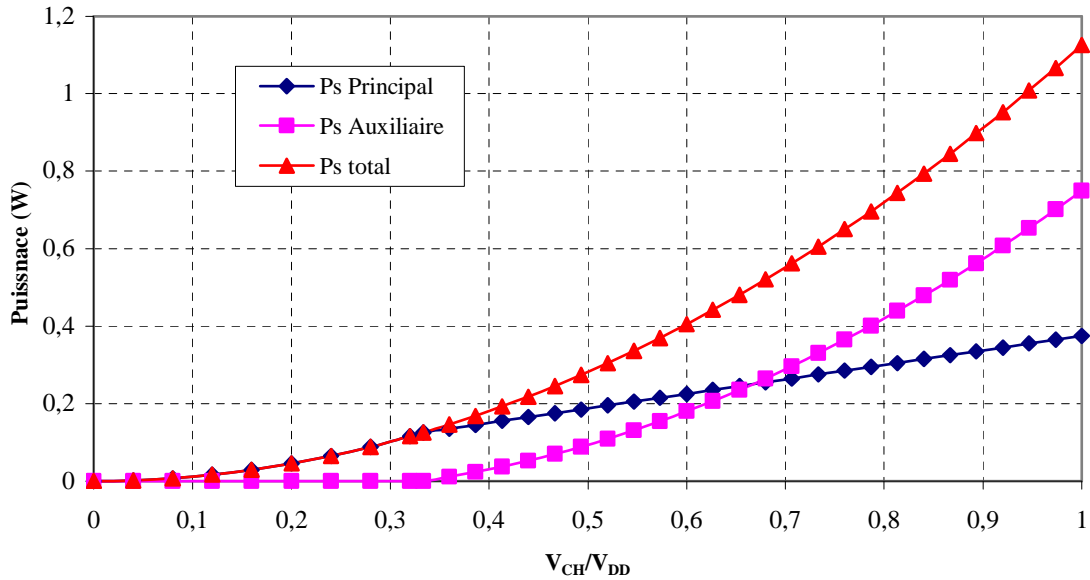


Figure IV-8 : Evolution de la puissance d'un amplificateur DOHERTY deux étages

## I.2 Doherty à Trois Étages

### I.2.1 Principe

Il est possible d'ajouter un troisième étage à la structure de base de l'amplificateur Doherty. Cet ajout permet de déplacer le premier point de transition le plus bas possible et d'augmenter la plage de variation où le rendement est maximum. La figure IV-9 représente le schéma de principe d'un amplificateur Doherty à trois étages.

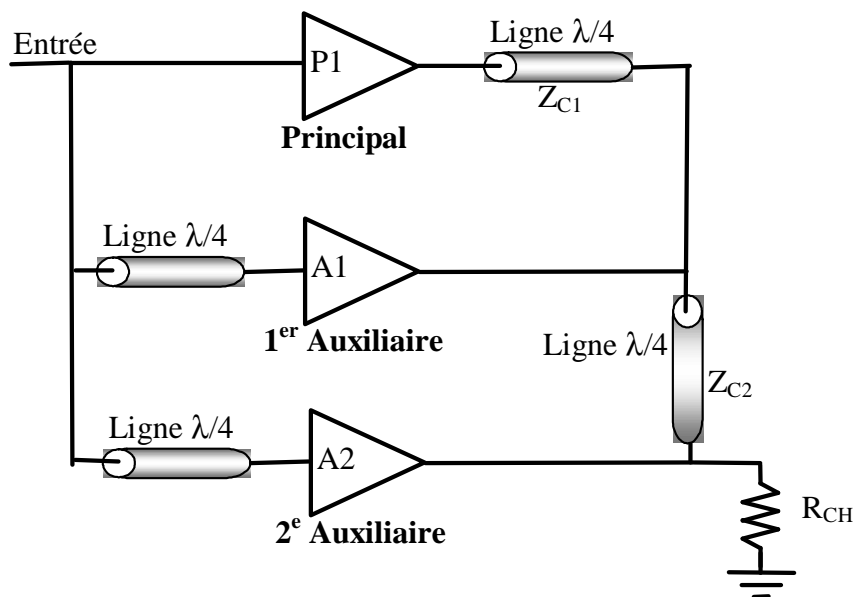


Figure IV-9 : Circuit d'analyse d'un amplificateur Doherty trois étages

Dans cette configuration, deux points de transition existent et peuvent être déplacés selon le signal à amplifier. Les deux points de transition sont définis comme étant l'entrée en conduction du premier amplificateur auxiliaire ( $\alpha_1$ ) et l'entrée en conduction du second amplificateur auxiliaire ( $\alpha_2$ ).

Le tableau IV-2 résume les différents modes de fonctionnement des amplificateurs en fonction de la variation du niveau de puissance.

Niveau de puissance	Amplificateur principal	1 <sup>er</sup> amplificateur auxiliaire	2 <sup>e</sup> amplificateur auxiliaire
Faible	Source de courant commandée	Eteint	Eteint
Moyen	Saturé	Source de courant commandée	Eteint
Elevé	Saturé	Saturé	Source de courant commandée
Maximum	Saturé	Saturé	Saturé

Tableau IV-2 : Différents modes de fonctionnement d'un amplificateur DOHERTY 3 étages

Dans l'article [4], Raab démontre que les impédances des deux lignes quart d'onde de sortie peuvent être calculées de la manière suivante :

$$\begin{cases} Z_{C1} = \frac{R_{CH}}{\alpha_1 \cdot \alpha_2} \\ Z_{C2} = \frac{R_{CH}}{\alpha_2} \end{cases} \quad (IV.24)$$

$\alpha_1$  représente le point de transition entre l'amplificateur principal et le premier amplificateur auxiliaire et  $\alpha_2$  représente le point de transition entre premier et le second amplificateur auxiliaire.

### I.2.2 Calcul du Rendement Total

L'évolution du rendement total de l'amplificateur peut être décrite en quatre parties, correspondantes aux différents modes de fonctionnement de l'amplificateur Doherty. Le rendement va pouvoir être exprimé en fonction des tensions d'alimentation des amplificateurs ( $V_{DD}$ ) et de la tension aux bornes de la charge de sortie ( $V_{CH}$ ).

#### I.2.2.1 Fonctionnement en dessous du Point de Transition ( $\alpha_1$ )

L'amplificateur principal est polarisé en classe B et se comporte comme une source de courant commandée. Les deux amplificateurs auxiliaires sont éteints, en dessous du point :  $V_{CH} < \alpha_1 \cdot V_{DD}$ . La figure IV-10 illustre le fonctionnement,  $I_P$  représente le courant délivré à la fréquence fondamentale par le transistor principal.

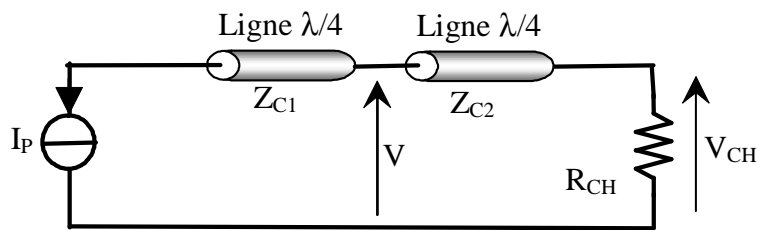


Figure IV-10 : Circuit d'analyse de la technique Doherty trois étages pour un fonctionnement en dessous du premier point de transition

Le courant étant demi sinusoïdal (classe B), le courant continu de l'amplificateur principal s'exprime par la relation suivante :

$$I_{DC,Pr\ incipal} = \frac{2 \cdot I_P}{\pi} \quad (IV.25)$$

D'après l'équation IV.2, il est possible d'exprimer le courant du transistor principal à la fréquence fondamentale ( $I_P$ ) et le courant dans la charge ( $I_{RCH}$ ) de la manière suivante :

$$\begin{cases} I_P = \frac{V}{Z_{C1}} \\ I_{RCH} = \frac{V}{Z_{C2}} \end{cases} \quad (IV.26)$$

D'après les équations IV.26 et IV.27, il est possible d'exprimer le courant du transistor principal à la fréquence fondamentale ( $I_P$ ) en fonction de la tension aux bornes de la charge par la relation suivante :

$$I_P = \frac{Z_{C2}}{Z_{C1}} \frac{V_{CH}}{R_{CH}} \quad (IV.27)$$

La puissance de sortie délivrée à la charge à la fréquence fondamentale est donnée par l'expression IV.14 et d'après les impédances des deux lignes quart d'onde de sortie (IV.25), le rendement s'exprime par la formulation suivante :

$$\eta = \frac{P_{f_0,P}}{P_{DC,P}} = \frac{\pi}{4} \frac{V_{CH}}{\alpha_1 \cdot V_{DD}} \quad (IV.28)$$

### I.2.2.2 Fonctionnement entre les deux Points de Transition ( $\alpha_1$ & $\alpha_2$ )

L'amplificateur principal est saturé, le premier amplificateur auxiliaire entre en conduction et se comporte comme une source de courant commandée et le second amplificateur auxiliaire est éteint. La tension aux bornes de la charge RF est comprise entre  $\alpha_1 \cdot V_{DD} < V_{CH} < \alpha_2 \cdot V_{DD}$ . La figure IV-11 illustre le principe de fonctionnement,  $I_P$  et  $I_{A1}$  représentent les courants délivrés à la fréquence fondamentale respectivement par le transistor principal et le premier auxiliaire.

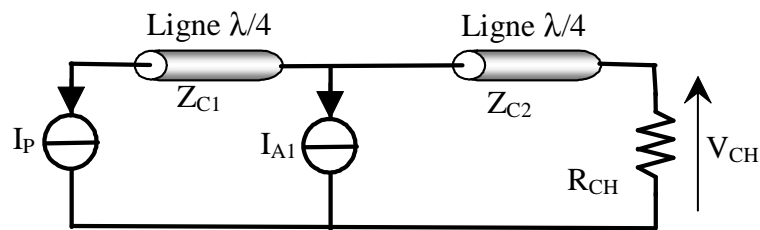


Figure IV-11 : Circuit d'analyse de la technique Doherty trois étages pour un fonctionnement entre les deux points de transition

D'après l'équation IV.27, il est possible d'exprimer le courant du transistor principal ( $I_P$ ) et du premier auxiliaire ( $I_{A1}$ ) à la fréquence fondamentale de la manière suivante :

$$\left\{ \begin{array}{l} I_P = \frac{Z_{C2}^2}{Z_{C1} \cdot R_{CH}} \left( \frac{V_{DD}}{Z_{C1}} + I_{A1} \right) \\ I_{A1} = \frac{V_{CH}}{Z_{C2}} - \frac{V_{DD}}{Z_{C1}} \end{array} \right. \quad (IV.29)$$

Compte tenu, de la forme demi sinusoïdal du courant (classe B), les courant continus de l'amplificateur principal et du premier auxiliaire s'expriment de la même manière que dans la formulation IV.26. La puissance de sortie délivrée à la charge à la fréquence fondamentale est donnée par l'expression IV.14 et d'après les impédances des deux lignes quart d'onde de sortie (IV.25), le rendement s'exprime de la manière suivante :

$$\eta = \frac{P_{f0}}{P_{DC,P} + P_{DC,A1}} = \frac{\pi}{4} \frac{(V_{CH}/V_{DD})^2}{(\alpha_1 + \alpha_2) \frac{V_{CH}}{V_{DD}} - \alpha_1 \cdot \alpha_2} \quad (IV.30)$$

### I.2.2.3 Fonctionnement au dessus du Second Point de Transition ( $\alpha_2$ )

L'amplificateur principal et le premier auxiliaire sont saturés. Le second amplificateur auxiliaire entre en conduction et se comporte comme une source de courant commandée. La tension aux bornes de la charge RF est comprise entre  $\alpha_2 \cdot V_{DD} < V_{CH} < V_{DD}$ . La figure IV-12 illustre le principe de fonctionnement,  $I_P$ ,  $I_{A1}$  et  $I_{A2}$  représentent les courants délivrés à la fréquence fondamentale respectivement par le transistor principal, le premier et le second auxiliaire.

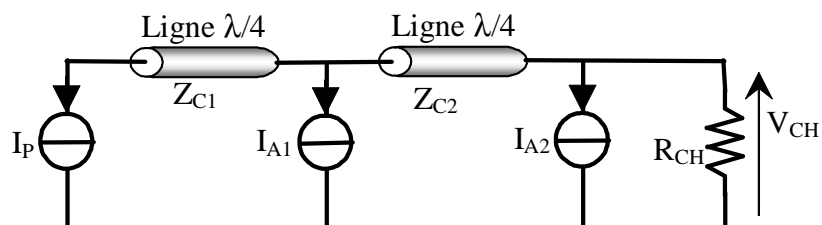


Figure IV-12 : Circuit d'analyse de la technique Doherty trois étages pour un fonctionnement au dessus du second point de transition

D'après l'équation IV.27, il est possible d'exprimer le courant du transistor principal ( $I_P$ ), du premier ( $I_{A1}$ ) et second auxiliaire ( $I_{A2}$ ) à la fréquence fondamentale de la manière suivante :

$$\left\{ \begin{array}{l} I_P = \frac{V_{DD}}{Z_{C1}} \\ I_{A1} = \frac{V_{CH}}{Z_{C2}} - \frac{V_{DD}}{Z_{C1}} \\ I_{A2} = \frac{V_{CH}}{R_{CH}} - \frac{V_{DD}}{Z_{C2}} \end{array} \right. \quad (IV.31)$$

Compte tenu, de la polarisation en classe B (le courant est demi sinusoïdal), les courant continus de l'amplificateur principal et des auxiliaires s'expriment de la même manière que dans la formulation IV.26. La puissance de sortie délivrée à la charge à la fréquence fondamentale est donnée par l'expression IV.14 et d'après les impédances des deux lignes quart d'onde de sortie (IV.25), le rendement s'exprime de la manière suivante :

$$\eta = \frac{P_{f0}}{P_{DC,P} + P_{DC,A1} + P_{DC,A2}} = \frac{\pi}{4} \frac{(V_{CH}/V_{DD})^2}{(1 + \alpha_2) \frac{V_{CH}}{V_{DD}} - \alpha_2} \quad (IV.32)$$

### **I.2.2.3 Fonctionnement à Puissance Maximale**

L'amplificateur principal et les deux amplificateurs auxiliaires fonctionnent en zone saturée donc  $V_{CH}$  tend vers  $V_{DD}$  et à partir de l'équation (IV.33) l'expression du rendement devient :

$$\eta = \frac{P_{f0}}{P_{DC}} = \frac{\pi}{4} = 78.5\% \quad (IV.33)$$

### I.2.3 Evolution du Rendement Total

Le tableau IV-3 représente les valeurs des points de transitions ( $\alpha_1$  &  $\alpha_2$ ) selon la taille de l'amplificateur principal et des deux auxiliaires.

Cas n°	Points de transition		Taille des Amplificateurs		
	$\alpha_1$	$\alpha_2$	Principal	1 <sup>er</sup> Auxiliaire	2 <sup>e</sup> Auxiliaire
1	0.33	0.66	1	2	1.5
2	0.25	0.5	1	3	4
3	0.36	0.71	1	1.75	1.15
4	0.5	0.75	1.5	1.5	1
5	0.39	0.67	1	1.55	1.25

Tableau IV-3 : Valeurs de  $\alpha_1$  et  $\alpha_2$  pour différentes tailles des amplificateurs constituant l'amplificateur DOHERTY 3 Etages

La figure IV-13 représente l'évolution du rendement d'un amplificateur Doherty à trois étages (cas n°2) en fonction du rapport de la tension aux bornes de la charge RF et de la tension d'alimentation ( $V_{CH}/V_{DD}$ ). Les courbes présentées sur la figure IV-13 permettent de comparer l'évolution du rendement dans différents cas.

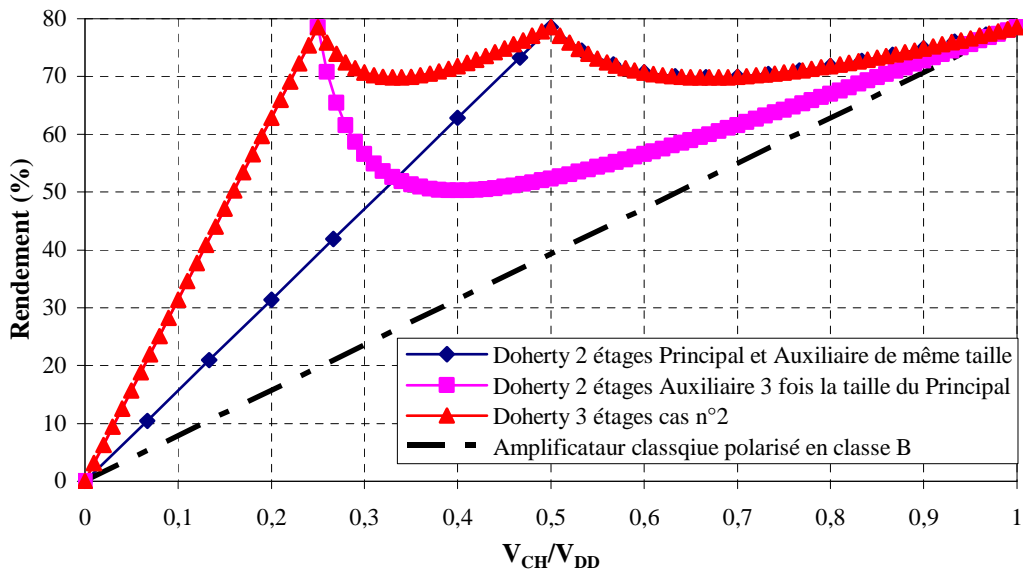


Figure IV-13 : Evolution du rendement d'un amplificateur DOHERTY trois étages

Il faut noter que le rendement évolue linéairement jusqu'au premier point de transition ( $\alpha_1$ ). Cette évolution du rendement permet de vérifier que l'on retrouve bien les deux seuils de déclenchement des deux amplificateurs auxiliaires ( $\alpha_1$  &  $\alpha_2$ ). Le rendement est maintenu à une valeur proche du maximum théorique (78.5 %) sur une plage de variation importante.

La figure IV-14 représente l'évolution du rendement de l'amplificateur Doherty selon les cinq cas du tableau IV-3. Selon la taille des amplificateurs constituant l'amplificateur Doherty, la plage de variation où le rendement est maximum diffère. De plus, les valeurs minimales du rendement sur cette plage de variation sont différentes. Plus le nombre d'étages constituant l'amplificateur Doherty augmente, plus le rendement se rapproche du maximum théorique de 78.5% en classe B pour tous les niveaux de puissance après le premier point de transition.

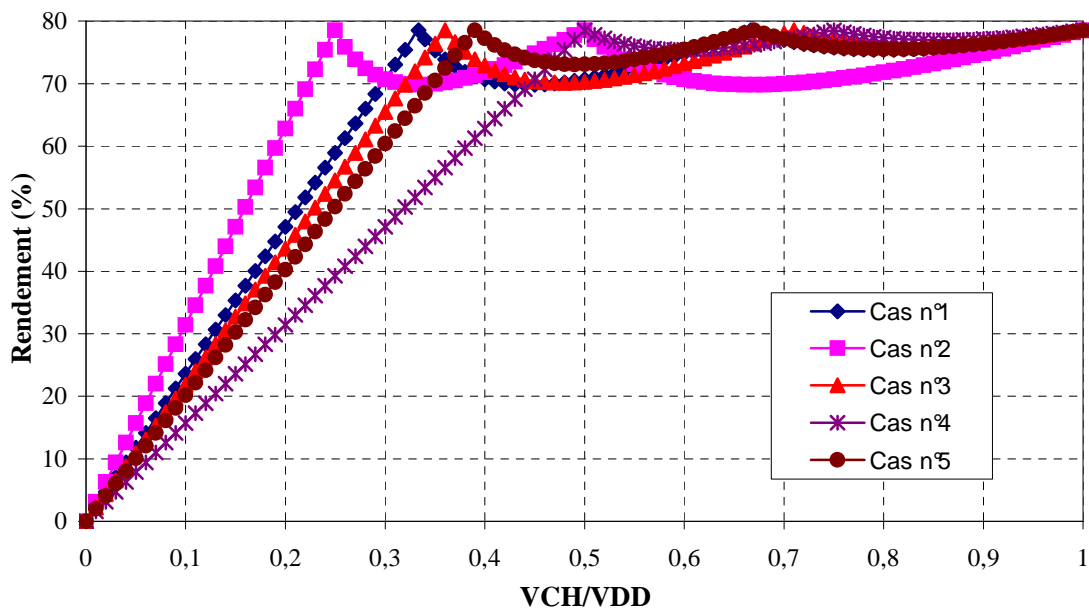


Figure IV-14 : Evolution du rendement d'un amplificateur DOHERTY trois étages



Afin de pouvoir comparer les variations du rendement pour les différents cas, la figure IV-15 représente la variation du rendement moyen selon la plage de variation de la puissance du signal par rapport à la puissance maximale, en considérant une répartition uniforme de la puissance.

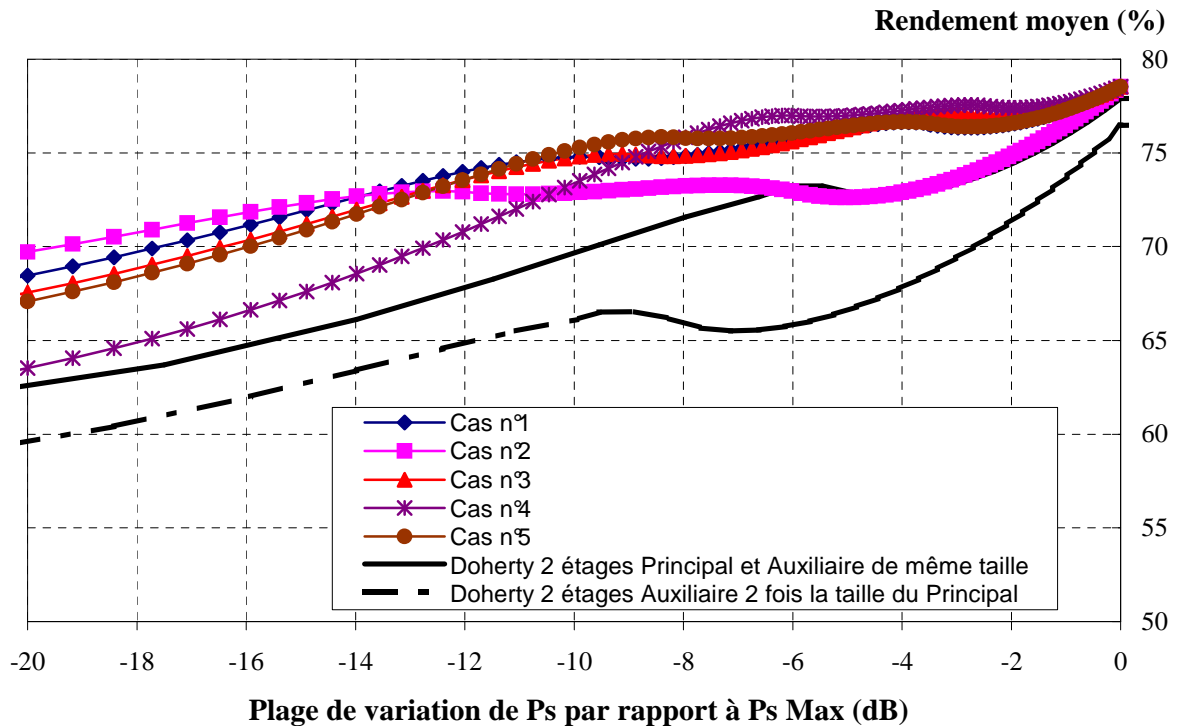


Figure IV-15 : Evolution du rendement d'un amplificateur DOHERTY trois étages pour une répartition uniforme de la puissance

Nous pouvons constater que dans le cas d'un amplificateur Doherty deux étages, il n'est pas judicieux d'augmenter la taille de l'amplificateur auxiliaire car cela entraîne une diminution de la plage de variation du signal ou le rendement moyen est maximum.

Pour un signal ayant une dynamique de puissance de l'ordre de 6 dB, il sera préférable de prendre le cas n°4, c'est-à-dire choisir la taille de l'amplificateur principal et du premier auxiliaire 1.5 fois celle du second amplificateur auxiliaire.

## II. Etat de l'Art des Amplificateurs Doherty

Dans ce paragraphe, est proposé un état de l'art au niveau des performances en termes de rendement et de linéarité des amplificateurs de puissance, utilisant la technique Doherty, publiés à ce jour. Les réalisations d'amplificateurs de puissance utilisant la technique Doherty ne sont pas à ce jour très nombreuses dans la littérature.

### II.1 Les Principales Publications sur la Technique Doherty avant 2003

En 1994, la publication de R.J. McMorow [5] présente la réalisation d'un amplificateur à l'état solide utilisant la technique Doherty. Le prototype utilise des transistors PHEMTs présentant un développement de grille de  $6 \times 100 \mu\text{m}$  sur un substrat en alumine et la fréquence de travail est de 1.37 GHz. Les résultats obtenus sont un maintien du rendement autour de 60% pour un recul de la puissance de sortie de 5.5 dB par rapport au point de compression à 1 dB ( $P_{1\text{dB}}$ ). Une amélioration de 27 points sur le rendement à 5.5 dB de « backoff » est obtenue par rapport à un amplificateur classique polarisé en classe B et 20 points pour un recul de 10 dB de la puissance, comme illustré sur la figure IV-16.

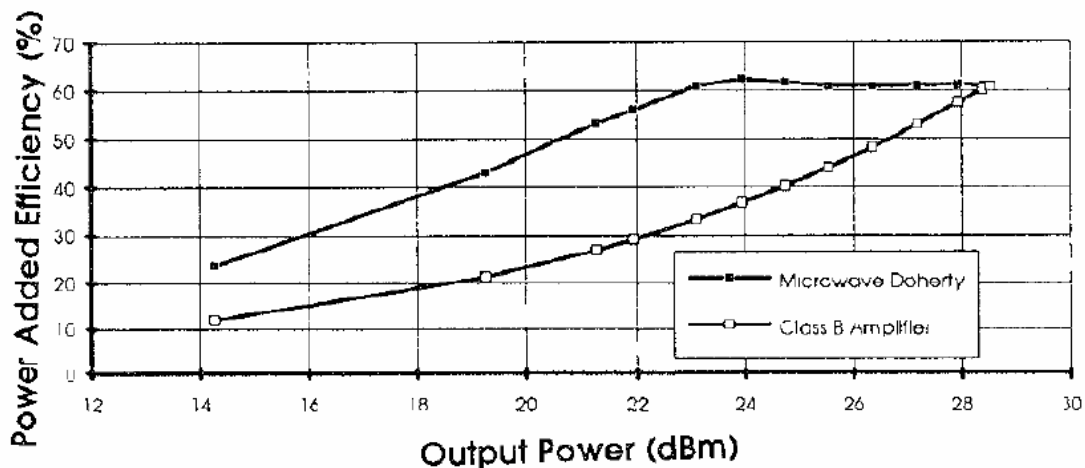


Figure IV-16 : Evolution du rendement en puissance ajoutée en fonction de la puissance de sortie pour un signal CW [5]

La publication de C. F. Campbell [6] en 1999 présente la réalisation d'un amplificateur Doherty en technologie MMIC et la fréquence de travail est de 18 GHz. Les transistors utilisés sont des pHEMTs présentant un développement de grille de  $10 \times 100 \mu\text{m}$ . C'est la première publication étudiant l'évolution du rendement en puissance ajoutée et de la linéarité d'un amplificateur Doherty en fonction des conditions de polarisation de l'amplificateur auxiliaire. La figure IV-17, représente l'évolution du rendement en puissance ajoutée et de la puissance de sortie en fonction du niveau d'entrée.

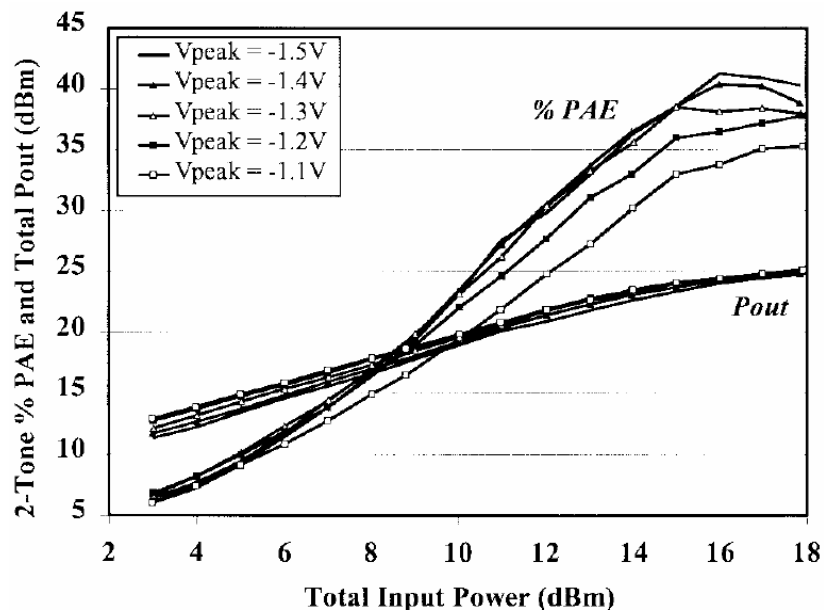


Figure IV-17 : Evolution du rendement en puissance ajoutée en fonction de la puissance d'entrée pour un signal biporteuse [6]

L'évolution de l'intermodulation d'ordre 3 (IMD3) est représentée sur la figure IV-18. Les résultats expérimentaux avec un signal d'entrée biporteuse montrent une amélioration du rendement en puissance ajoutée de 40 points à linéarité constante (24 dBc d'IMD3 et 45 dBc d'IMD5).

Dans cette publication, il est démontré par la mesure que le fait de pincer fortement le transistor auxiliaire à faible niveau, permet d'obtenir un meilleur rendement à fort niveau et une amélioration de la linéarité à faible niveau.

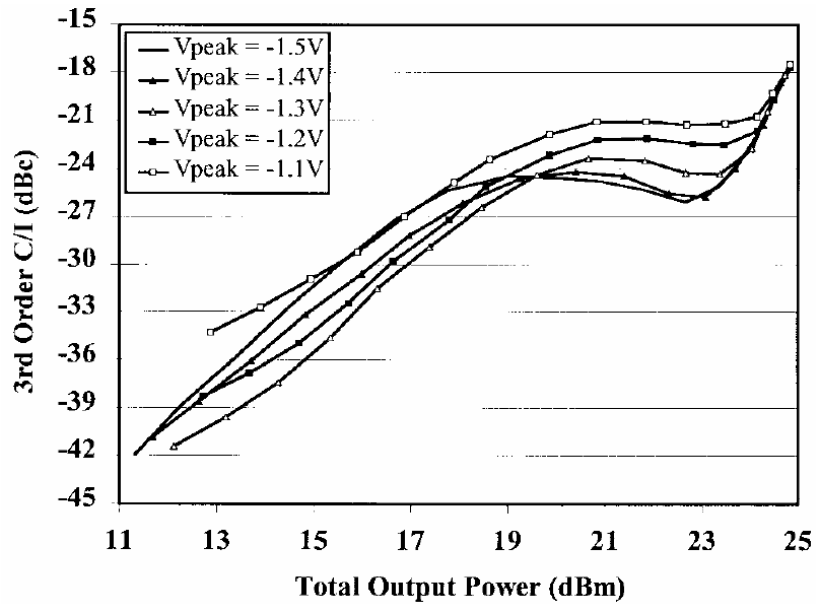


Figure IV-18 : Evolution du  $C/I_3$  en fonction de la puissance de sortie [6]

En 2000, K. W. Kobayashi [7] présente la réalisation en technologie MMIC du premier amplificateur utilisant des transistors DHBTs en InP, présentant une meilleure linéarité par rapport aux transistors pHEMTs. Cet amplificateur fonctionne dans la bande de 18 à 21 GHz. La figure IV-19 représente l'évolution du rendement en puissance ajoutée et de l'intermodulation d'ordre 3 en fonction de la puissance de sortie pour différentes valeurs du courant de polarisation du transistor auxiliaire.

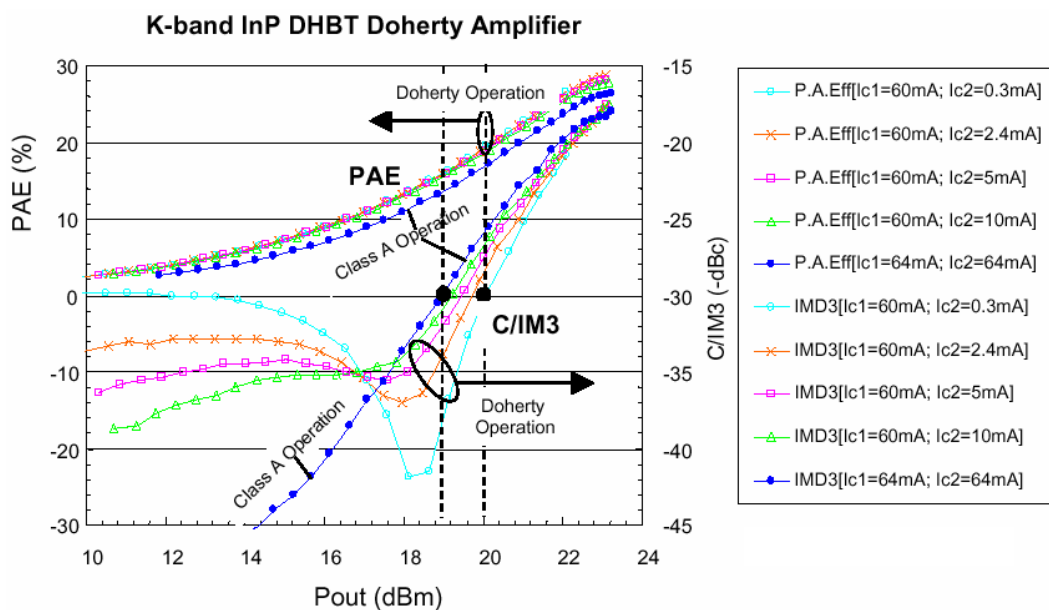


Figure IV-19 : Evolution du RPA et du  $C/I_3$  en fonction de la puissance de sortie pour différents niveaux de polarisation [7]

Le rendement en puissance ajoutée ne dépasse pas les 28% et en comparaison à un amplificateur polarisé en classe A, le gain en rendement n'est que de 2 à 3 points ce qui n'est pas très intéressant. Par contre, cet amplificateur Doherty montre une forte amélioration de la linéarité de l'ordre de 10 dBc pour une zone de puissance moyenne lorsque le courant de polarisation de l'amplificateur auxiliaire est faible.

En 2001, M. Iwamoto [8] propose pour réaliser un amplificateur Doherty, ayant un rendement en puissance ajoutée plus élevé à faible niveau, d'utiliser un transistor auxiliaire de trois fois la taille du transistor principal. L'extension de la technique Doherty est appliquée sur un amplificateur à base de transistors bipolaires à hétérojonction (TBH) en InP/GaAs présentant un développement de grille de 840  $\mu\text{m}$  et 3360  $\mu\text{m}$  respectivement pour le transistor principal et auxiliaire pour une fréquence de travail de 950 MHz.

La figure IV-20 représente l'évolution du rendement pour l'amplificateur Doherty ainsi que pour un amplificateur classique en fonction de la puissance de sortie. Les résultats obtenus sont intéressants ; pour un recul de la puissance de sortie de 10 dB le rendement est de 43%, ce qui représente un amélioration de 27 points par rapport à un amplificateur classique optimisé en rendement. De plus, la linéarité de cet amplificateur reste en dessous de -40 dBc pour l'ACPR1 et en dessous de -52 dBc pour l'ACPR2 pour tous les niveaux de puissances.

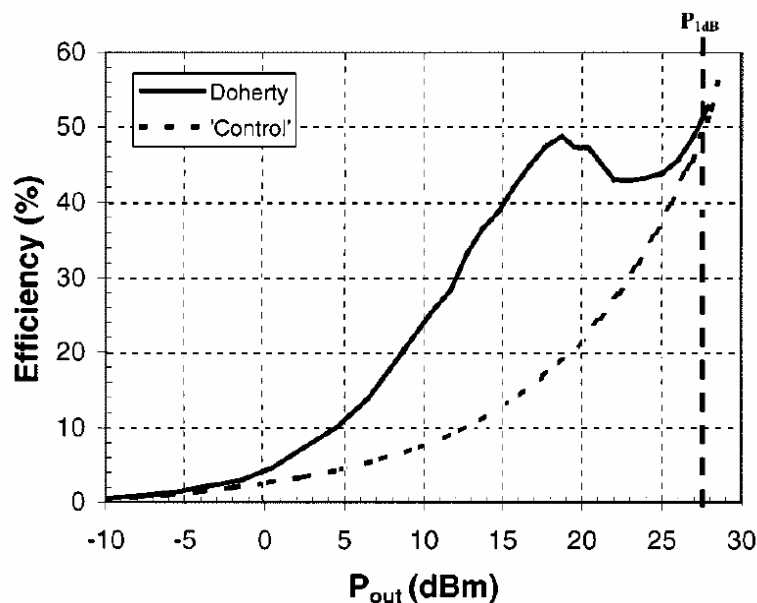


Figure IV-20 : Evolution du rendement en fonction de la puissance de sortie [8]

## II.2 Les Différentes Publications Récentes sur la Technique Doherty

Depuis le début de l'année 2003, le nombre de publications concernant les amplificateurs Doherty est presque plus important que pendant les cinq années précédentes. L'augmentation des publications sur le sujet montre que de nombreux laboratoires dans le monde travaillent sur cette technique.

L'originalité du papier présenté par Y. Yang [9] réside dans le fait d'augmenter la taille de l'amplificateur auxiliaire non pas à l'aide d'un transistor ayant une taille double ou triple mais d'associer plusieurs transistors de même taille en parallèle. Les transistors utilisés sont des LDMOS en silicium et la fréquence de travail est de 2.14 GHz.

Les résultats de mesures montrent une amélioration de 10 dB de l'ACLR pour une puissance de sortie de 30 dBm lorsque l'amplificateur Doherty utilise un amplificateur auxiliaire constitué d'un ou deux transistors en parallèle par rapport à un amplificateur conventionnel constitué d'un ou deux transistors en parallèle. La figure IV-21 illustre cette amélioration.

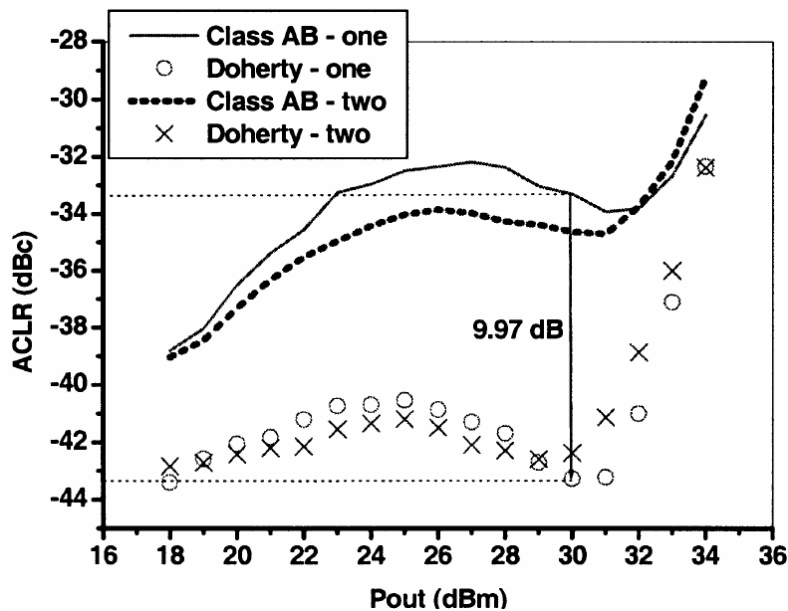


Figure IV-21 : Evolution de l'ACLR en fonction de la puissance de sortie [9]

Maintenant, si l'on s'intéresse au rendement en puissance, c'est l'amplificateur Doherty qui présente une meilleure caractéristique par rapport à un amplificateur classique. En effet, le rendement en puissance ajoutée est amélioré de 6.5% lors de l'utilisation d'un amplificateur Doherty par rapport à un amplificateur classique polarisé en classe AB. La figure IV-22 illustre cette amélioration.

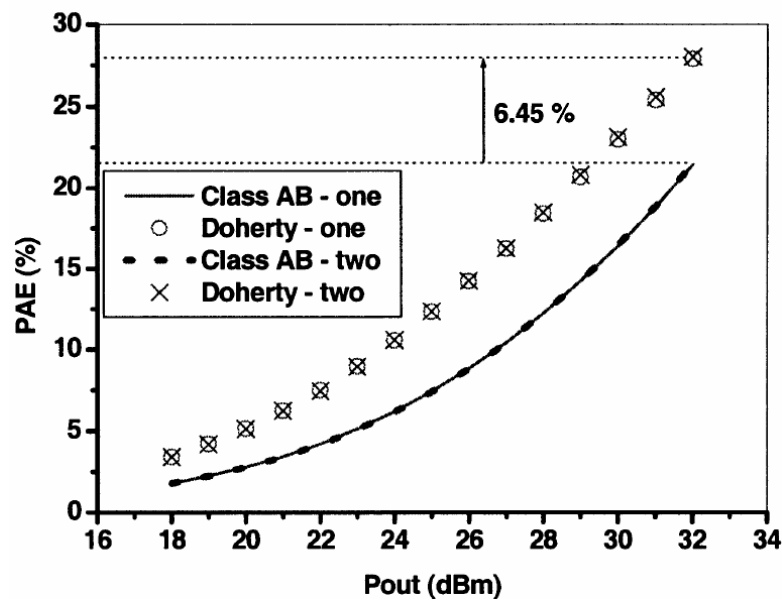


Figure IV-22 : Evolution du RPA en fonction de la puissance de sortie [9]

En juin 2003, plusieurs papiers publiés lors du MTT Symposium s'intéressent à la modification des conditions de polarisation des transistors constituant l'amplificateur Doherty. Les solutions utilisées sont basées sur les éléments suivants :

- ✓ circuit analogique à l'aide de détecteur d'enveloppe [10,11],
- ✓ DSP [12],
- ✓ switch [13].

Dans sa publication, Y. Cha [10] propose de modifier les conditions de polarisation de grille du transistor principal et auxiliaire constituant l'amplificateur Doherty. Une détection d'enveloppe est réalisée en entrée afin de pouvoir commander à l'aide d'un circuit de mise en forme les grilles des deux transistors en fonction du niveau RF d'entrée. Les transistors utilisés sont des LDMOS et la fréquence de travail est de 2.14 GHz.

La figure IV-23 représente l'évolution du rendement en puissance ajoutée en fonction de la puissance de sortie. Les résultats obtenus sont intéressants puisque le gain en rendement est de l'ordre de 5 à 10 points sur toute la dynamique de puissance. Ce contrôle des conditions de polarisation permet également un maintien du niveau d'ACPR en dessous de -30 dBc.

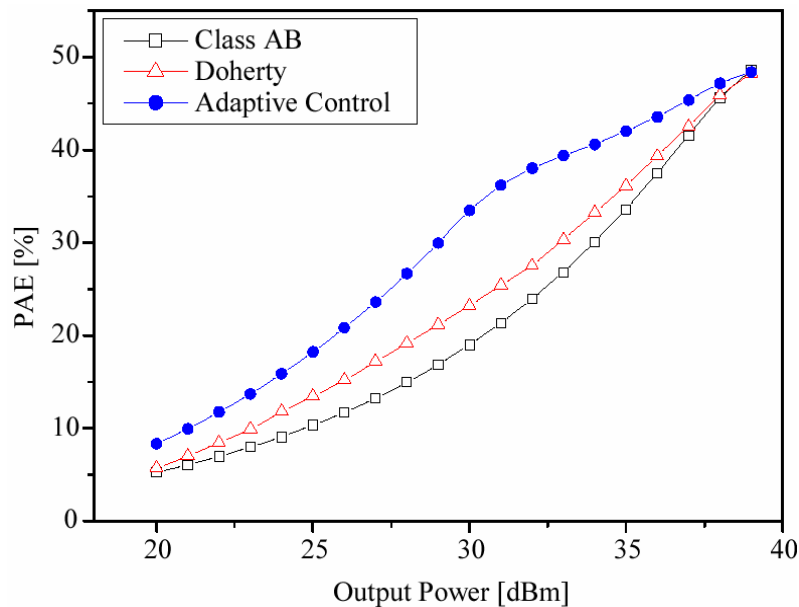


Figure IV-23 : Evolution du RPA en fonction de la puissance de sortie [10]

La publication de B. Bae [12], propose d'utiliser un transistor auxiliaire d'un rapport quatre par rapport au principal et de modifier les conditions de polarisation de grille du transistor auxiliaire constituant l'amplificateur Doherty. L'originalité repose sur l'utilisation d'un switch permettant de définir deux modes de fonctionnement pour l'amplificateur. Les transistors utilisés sont des transistors bipolaires à hétérojonctions (TBH) en InGaP de 2µm et la fréquence de travail est de 2.14 GHz. La figure IV-24 représente l'évolution du rendement en puissance ajoutée en fonction de la puissance de sortie.



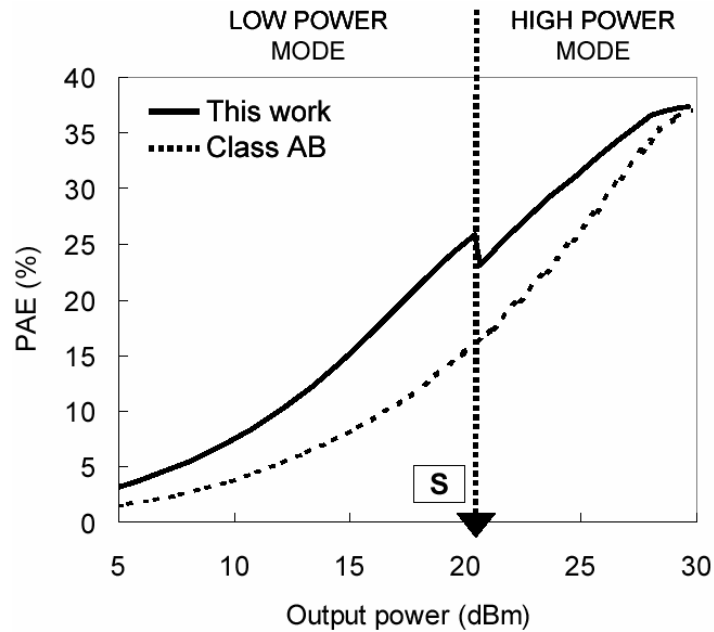


Figure IV-24 : Evolution du RPA en fonction de la puissance de sortie [12]

Le gain en rendement s’effectue sur toute la dynamique de variation de la puissance de sortie. L’amélioration du rendement en puissance est plus importante à faible niveau ; au maximum 10 points par rapport à un amplificateur polarisé en classe AB. Il a été mesuré un niveau d’ACPR de -50 dBc pour une puissance de sortie de 25 dBm associé à un rendement en puissance ajoutée de 32%.

L’originalité du papier présenté par Y. Zhao [13], réside dans le fait d’utiliser un générateur de signaux numérique (DSP) afin de modifier les conditions de polarisation de grille de l’amplificateur auxiliaire dans le but d’améliorer la linéarité. En effet la tension de polarisation de grille du transistor auxiliaire est une image de l’enveloppe du signal CDMA d’entrée. Les transistors utilisés sont des MESFETs AsGa, le transistor principal est un MwT-971 de MicroWave Technology et l’auxiliaire un transistor CLY-5 d’Infineon.

La figure IV-25 représente l’évolution du rendement en puissance ajoutée et du gain en fonction de la puissance de sortie. L’amélioration du rendement n’est pas caractéristique d’un amplificateur Doherty. Par contre, un gain quasiment constant est obtenu grâce à la correction à l’aide du DSP. Un niveau d’ACPR de -42 dBc est conservé sur toute la dynamique de puissance. Lorsque l’amplificateur n’est pas corrigé à l’aide du DSP on note une remonté de l’ACPR à fort niveau à -35 dBc.

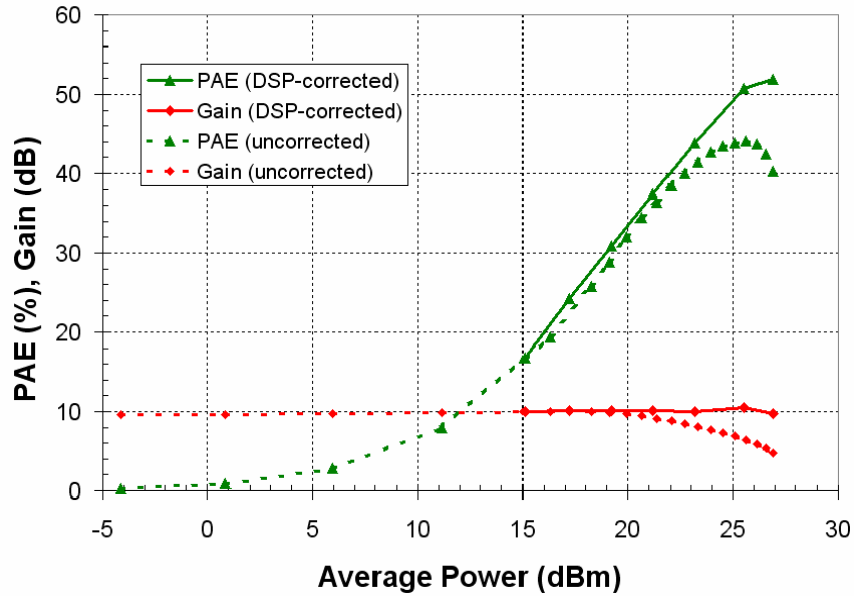


Figure IV-25 : Evolution du gain et du RPA en fonction de la puissance de sortie [14]

### II.3 Bilan sur l'Amplificateur Doherty

Le tableau IV-3 résume les performances présentées dans les différentes publications.

Technologie	Fréquence	Rendement	C/I <sub>3</sub> ou ACPR	Réf
pHEMT	1.37 GHz	> 61 % (5.5dB)	-	[4]
pHEMT	17-18 GHz	> 35 % (4.5dB) en Biporteuse	24 dBc @ 19 dBm	[5]
DHBT InP	18-21 GHz	> 20 % (3.5dB)	24 dBc @ 19 dBm	[6]
HBT GaInP	950 MHz	> 45 % (9dB)	40 dBc	[7]
LDMOS	2.14 GHz	> 20 % (3dB)	43dBc @ 30 dBm	[8]
LDMOS	2.14 GHz	> 40 % (3dB)	30 dBc	[10]
HBT GaInP	2.14 GHz	> 30 % (6dB)	50dBc @ 25 dBm	[12]
MESFET AsGa	840 MHz	> 40 % (5 dB)	42 dBc	[13]

Tableau IV-3 : Performances des amplificateurs utilisant la technique DOHERTY

### III. Conception et Réalisation d'un Amplificateur Doherty

#### III.1 Analyse Fort Signal

Des simulations non-linéaires sont proposées afin de vérifier l'intérêt apporté par la technique Doherty et d'améliorer ses performances en puissance. Dans un premier temps, le comportement de l'amplificateur principal seul est simulé afin de noter l'influence de la partie réelle de l'impédance de charge présentée.

##### III.1.1 Présentation du Transistor

Le transistor utilisé pour cette étude est un MESFET Cly5 en technologie AsGa en boîtier SOT-223 (SMC) d'Infineon. Au début de notre étude, nous ne disposions que du modèle du fondeur. Très rapidement ses limitations sont apparues lors de la comparaison entre les mesures de puissance et la simulation.

Le modèle du transistor a donc été modifié à partir de mesures I(V) réalisées sur le banc de mesures en impulsions de l'IRCOM [15]. Pour la simulation, le réseau I(V) est modélisé par un fichier de points et les capacités sont représentées par des capacités de type jonction de diode. La figure IV-26 représente le réseau I(V) mesuré en impulsions.

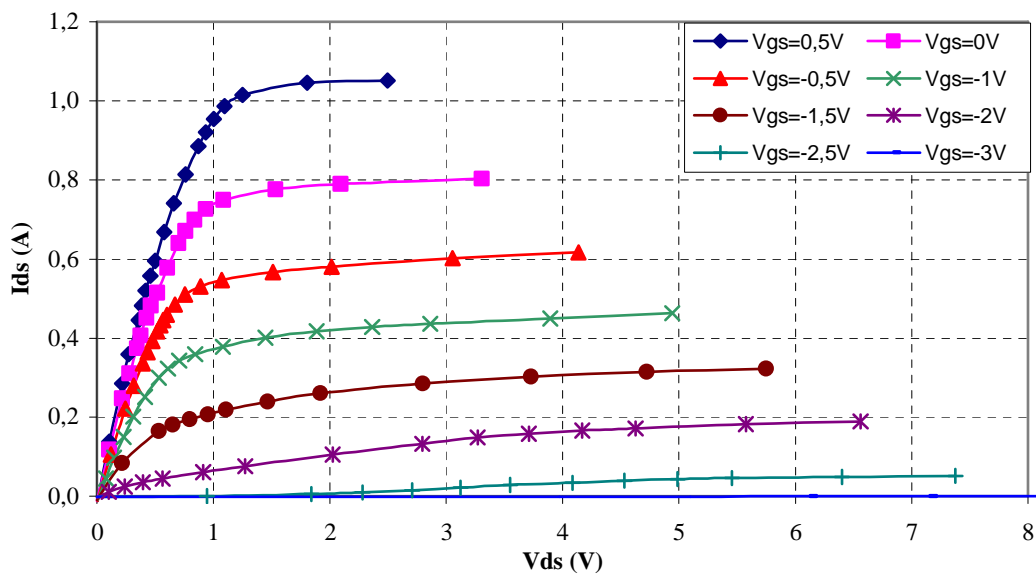


Figure IV-26 : Réseau I(V) mesurée en impulsions

### III.1.2 Influence de l'impédance de Charge

Cette partie est consacrée à l'étude de la variation des performances en fonction de la partie réelle de l'impédance de charge du transistor. Sur la figure IV-27, sont représentées les variations de la puissance de sortie et du rendement en puissance ajoutée en fonction de la puissance d'entrée du transistor principal pour une fréquence de fonctionnement de 900 MHz.

La partie réelle de l'impédance de charge en sortie du transistor est choisie égale à  $8\Omega$  ou  $16\Omega$  et un court-circuit est présenté aux fréquences harmoniques. Le transistor est polarisé en classe AB.

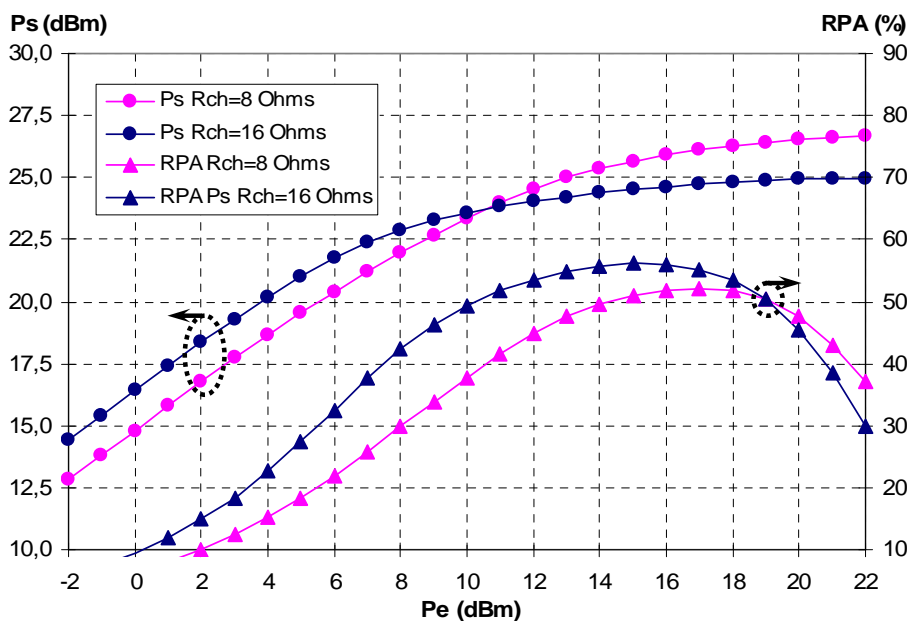


Figure IV-27 : Influence de l'impédance de charge présentée au transistor principal sur la puissance de sortie et rendement en puissance ajoutée

Pour une impédance de charge faible, une forte puissance de sortie est obtenue mais le rendement en puissance ajoutée diminue rapidement pour un recul de la puissance d'entrée. Si la valeur de l'impédance de charge est augmentée, un rendement en puissance ajoutée maximum peut être atteint pour une valeur plus faible de la puissance d'entrée.

Le but de la conception d'un amplificateur en technique Doherty est de maintenir le rendement en puissance ajoutée sur une grande gamme de puissance en faisant varier la charge présentée à l'amplificateur principal ; dans le cas présent l'impédance de charge peut varier de  $8$  à  $16\Omega$ .

### III.1.3 Simulation d'un Amplificateur Doherty

Ce paragraphe est consacré à la simulation d'un amplificateur utilisant la technique Doherty [16]. La topologie proposée pour l'amplificateur en technique Doherty est présentée figure IV-28. Premièrement, un réseau d'adaptation de sortie est introduit afin de transformer l'impédance de charge  $50\Omega$  à la valeur optimale  $R_{opt}$  ( $4\Omega$ ). Les deux réseaux d'adaptions sur les drains permettent d'adapter la partie imaginaire. Une ligne de transmission quart d'onde permet de court-circuiter les termes de la tension de drain aux fréquences harmoniques. Et enfin, deux réseaux d'adaption en entrée permettent de réaliser l'adaptation d'entrée.

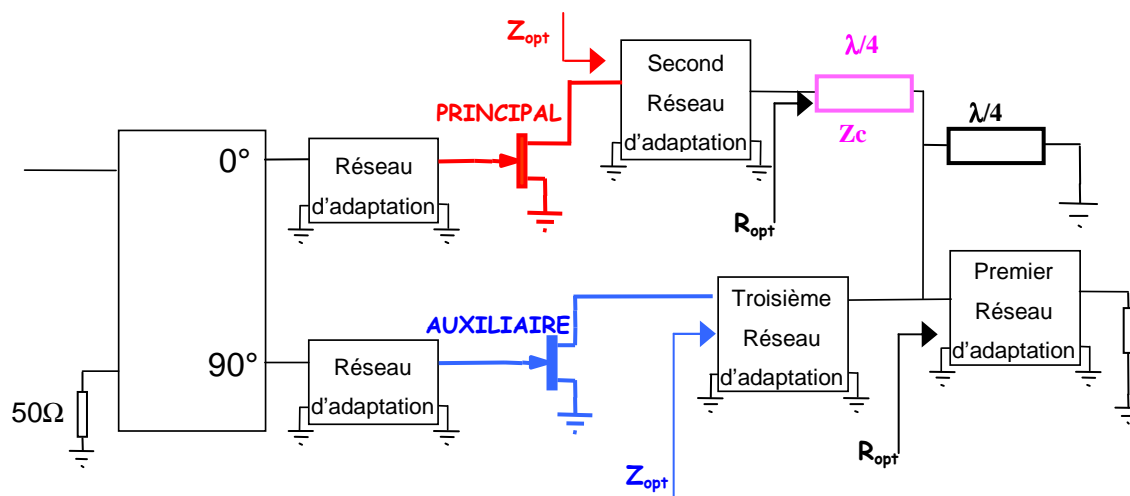


Figure IV-28 : Schéma de L'amplificateur Doherty

Un élément clé de la conception est la recherche des paramètres de travail idéaux du transistor auxiliaire. Pour obtenir la variation attendue de la charge, le courant de drain auxiliaire doit être contrôlé en fonction du niveau d'entrée.

Une méthode simple pour obtenir une variation intéressante du courant de drain de l'amplificateur auxiliaire, sans la nécessité d'aucun circuit de contrôle, consiste à polariser l'amplificateur auxiliaire en classe C [17]. Dans une telle classe de fonctionnement, pour des niveaux d'entrée faibles, le courant de drain de l'amplificateur auxiliaire est nul. Puis, pour un niveau plus élevé le transistor auxiliaire entre en conduction. Toutefois, pour un fort niveau d'entrée le courant de drain de l'amplificateur auxiliaire n'est pas aussi important que le courant de drain du transistor principal.

Les conséquences sont que premièrement ; la valeur de la charge ne peut pas atteindre la valeur maximale théorique et que la puissance de sortie totale est réduite. De plus, quand l'amplificateur auxiliaire fonctionne en classe C profonde, des problèmes de claquage peuvent être rencontrés.

L'utilisation d'un transistor auxiliaire fonctionnant en classe B est proposée dans ce paragraphe et les performances sont comparées à celles obtenues lorsque l'amplificateur auxiliaire est polarisé en classe C. Pour la classe B, le courant de drain à la fréquence de travail peut atteindre sensiblement la même valeur maximale que dans le cas de classes A ou AB. Pour un faible niveau de la puissance d'entrée, le courant de drain de l'amplificateur auxiliaire est faible en comparaison du courant généré par l'amplificateur principal, à cause de la faible transconductance de la source de courant de drain à proximité du pincement.

Le circuit complet de simulation de l'amplificateur Doherty est représenté sur la figure IV-29 tel que décrit sur le logiciel de simulation circuit ADS. Les transistors utilisés pour l'amplificateur principal et auxiliaire sont identiques.

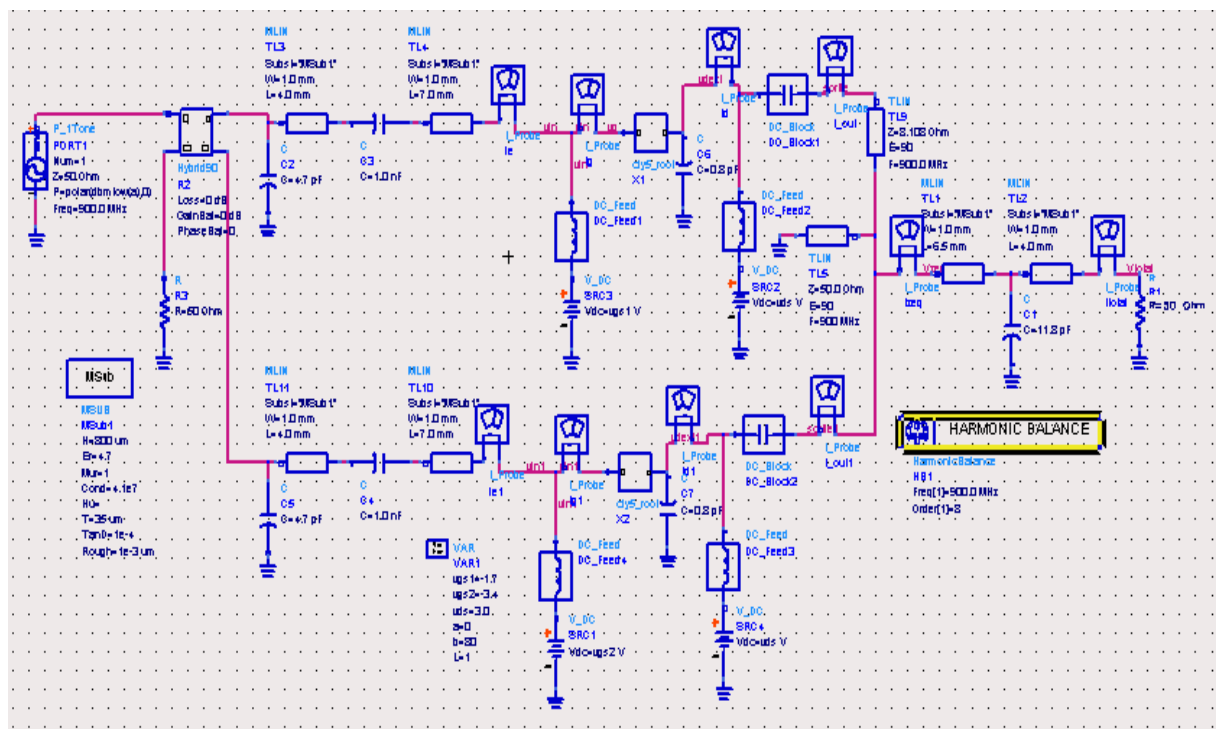


Figure IV-29 : Schéma de simulation sur ADS de l'amplificateur Doherty

Afin de quantifier facilement l'amélioration apportée par cette technique en terme de rendement en puissance ajoutée, l'amplificateur Doherty est comparé à un amplificateur utilisant la même structure mais avec des polarisations identiques pour les deux transistors.

La figure IV-30 représente les variations de la puissance de sortie et du rendement en puissance ajoutée en fonction du niveau d'entrée pour un fonctionnement de l'amplificateur principal en classe AB ( $V_{G,P} = -1.8V$ ) et de l'amplificateur l'auxiliaire en classe B ( $V_{G,A} = -2.5V$ ). Il est intéressant de noter l'évolution de la puissance de sortie de l'amplificateur auxiliaire qui est inférieure de 10 dB à la puissance de sortie de l'amplificateur principal à faible niveau d'excitation et tend vers la même puissance à fort niveau.

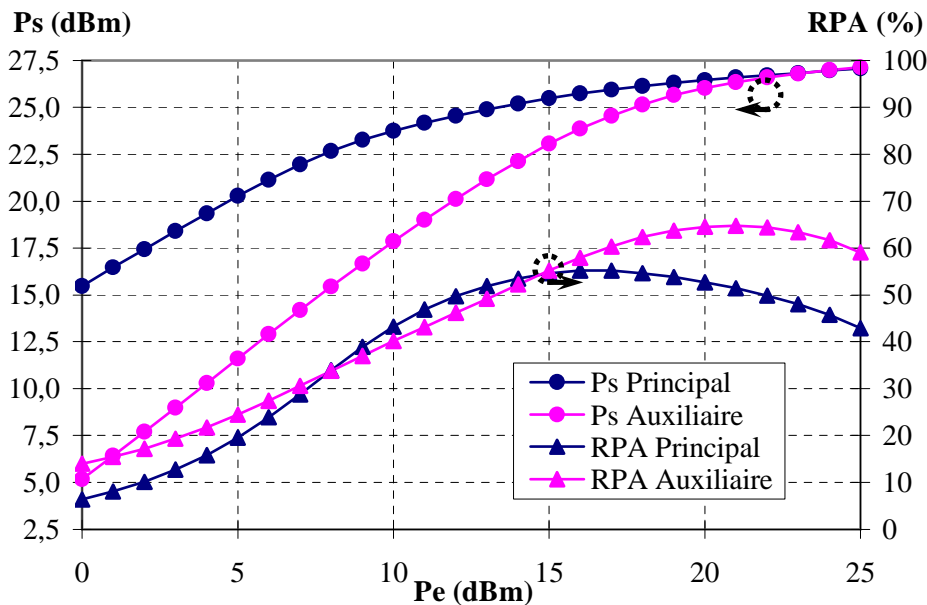


Figure IV-30 : Evolution de la puissance de sortie et du rendement en puissance ajoutée de l'amplificateur principal et auxiliaire en fonction de la puissance d'entrée

Le rendement en puissance ajoutée pour l'amplificateur auxiliaire est plus important à fort niveau que celui de l'amplificateur principal, alors qu'à faible niveau le rendement du principal et de l'auxiliaire sont quasiment identiques. Ce qui va permettre d'obtenir un rendement global en puissance ajoutée, plus important pour l'amplificateur Doherty que pour un amplificateur conventionnel et ce sur toute la dynamique de puissance.

De plus, sur la figure IV-30, en raison de la modification de la charge, les performances pour un fort niveau d'entrée sont semblables pour les deux amplificateurs. Ce résultat permet de vérifier que l'augmentation de la puissance de sortie de l'amplificateur auxiliaire modifie l'impédance de charge présentée à l'amplificateur principal. Pour ce dernier, un rendement en puissance ajoutée important est obtenu sur une plus grande plage de variation de la puissance d'entrée et de sortie.

Sur la figure IV-31 sont représentés la puissance de sortie et le rendement en puissance ajoutée de l'amplificateur Doherty, en fonction du niveau d'entrée pour les deux cas de fonctionnement de l'amplificateur. Pour une même tension de polarisation de grille ( $V_{G,P} = V_{G,A} = -1.8V$ ), les deux amplificateurs fonctionnent alors ensemble de façon identique comme un amplificateur conventionnel constitué de deux étages en parallèle (amplificateur classique). Dans ce cas, le rendement en puissance ajoutée est maximum pour un fort niveau de la puissance d'entrée et diminue rapidement pour un recul (« backoff ») de cette puissance.

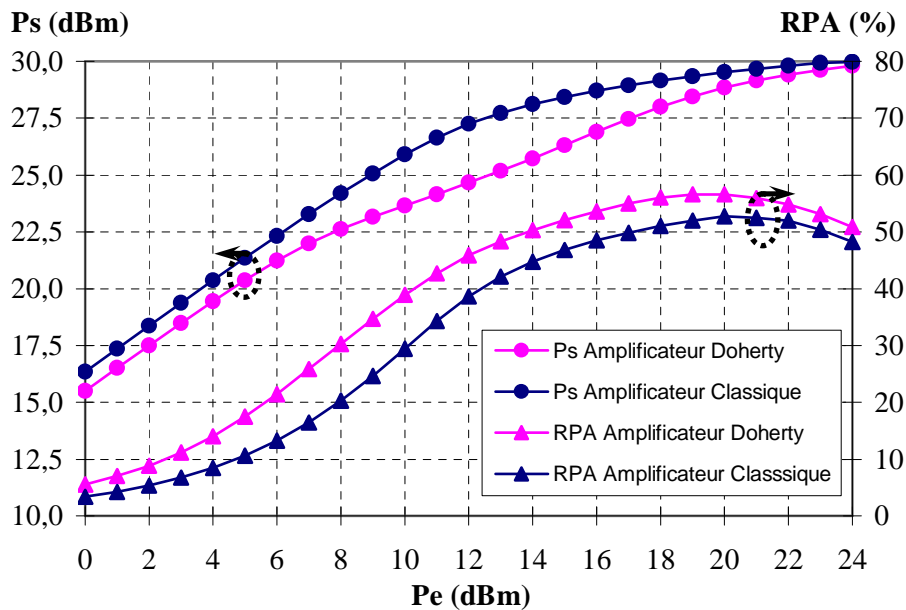


Figure IV-31 : Evolution de Ps & du RPA pour l'amplificateur classique et Doherty

Pour des tensions de polarisation de grille différentes ( $V_{G,P} = -1.8V$  &  $V_{G,A} = -2.6V$ ) des deux amplificateurs, il faut noter que le rendement en puissance ajoutée global de l'amplificateur est supérieur lorsque l'amplificateur fonctionne en technique Doherty par rapport au cas où les deux transistors fonctionnent en parallèle comme un amplificateur classique. Le gain en rendement de l'amplificateur Doherty est de 10 points sur 6 dB de dynamique de puissance.



La figure IV-32 montre l'évolution du rendement en puissance ajoutée [18] en fonction de la puissance de sortie pour quatre tensions de polarisation de grille ( $V_{G,A} = -1.8V, -2.2V, -2.6V$  et  $-3.5V$ ) correspondant aux classes de fonctionnement AB, AB profonde, B et C de l'amplificateur auxiliaire. Par ajustement de la tension de polarisation de grille de l'amplificateur auxiliaire, fonctionnant en classe B ou C, le rendement en puissance ajoutée est maintenu à de fortes valeurs sur une plus grande gamme de variation de la puissance d'entrée ou de sortie.

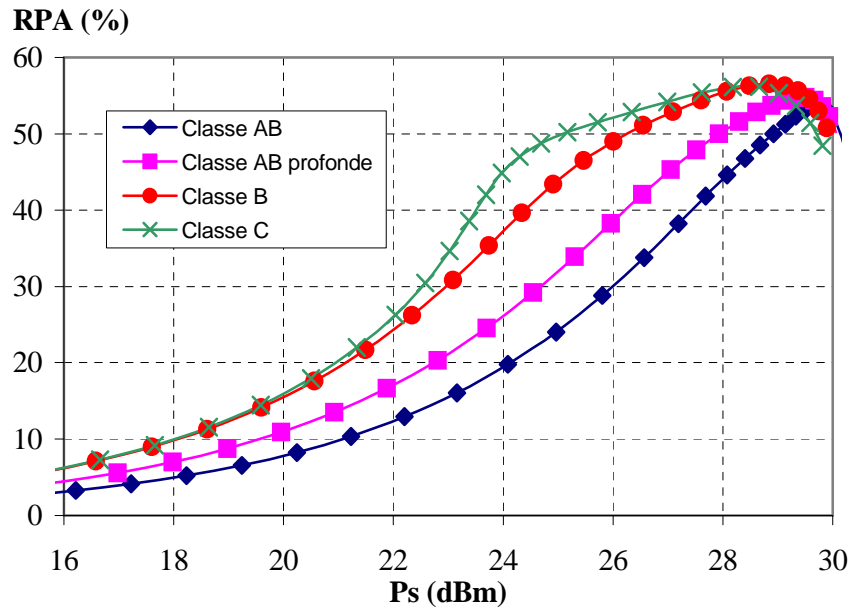


Figure IV-32 : Evolution du RPA pour quatre classes de polarisation du transistor auxiliaire

En classe B, pour une puissance de sortie de 29 dBm, le rendement en puissance ajoutée est identique (55%) à celui obtenu lorsque les deux amplificateurs ont la même tension de polarisation de grille. Pour un recul (« backoff ») de 6 dB de la puissance de sortie, avec une polarisation en classe B de l'amplificateur auxiliaire, le rendement en puissance ajoutée est maintenu à plus de 45% alors qu'il diminue à environ 20% lorsque les deux amplificateurs fonctionnent en classe AB comme un amplificateur conventionnel.

Les résultats de simulations, obtenus sur un amplificateur en technique Doherty ont permis de vérifier que cette technique permet de maintenir le rendement en puissance ajoutée pour des niveaux de puissance d'entrée différents, compris sur une plage de variation d'environ 6 dB. La recherche des conditions optimales de fonctionnement pour des niveaux de commande d'entrée différents a abouti à l'utilisation d'une tension de polarisation de grille en classe B pour l'amplificateur auxiliaire.

## III.2 Méthodologie de Conception

Un amplificateur Doherty hybride fonctionnant à 900 MHz a été réalisé sur circuit imprimé en epoxy de type FR4 dont la perméabilité diélectrique est d'environ 4.7. L'épaisseur du substrat est de 800  $\mu\text{m}$  et les deux transistors utilisés sont des MESFET Cly5 en technologie AsGa, d'Infineon.

La conception des réseaux de sortie définit la valeur des impédances de charges présentées aux transistors à la fréquence fondamentale et aux fréquences harmoniques. L'adaptation de sortie est réalisée par l'intermédiaire de lignes de transmission et d'éléments localisés du type composants montés en surface (CMS).

### III.2.1 Réseau d'adaptation de Sortie

Les composants, la topologie, les longueurs et largeurs de lignes sont définis pour transmettre un maximum de puissance avec un minimum de pertes tout en assurant sa fonction première de convertir une impédance de  $50\Omega$  en une impédance faible, de  $4\Omega$  dans notre cas. Ceci représente la première étape de conception.

Cette transformation doit être réalisée sans introduire de partie imaginaire pour l'impédance, car sinon on obtiendra une variation de la partie imaginaire en fonction du niveau de puissance, de part la présence de la ligne de transmission quart d'onde de sortie.

D'après les connaissances, sur les transformations d'impédances à éléments discrets [19], l'implémentation d'une capacité reliée à la masse et d'une ligne de transmission série de part et d'autre de celle-ci constitue une solution intéressante pour transformer une impédance de forte valeur en une impédance de plus faible valeur.

Cette topologie a été retenue car elle présente l'avantage d'être une structure en « T » de type passe bas, permettant ainsi d'obtenir une faible impédance pour tous les termes hautes fréquences qui pourraient se retrouver dans la charge. La figure IV-33 représente la topologie utilisée pour le réseau de sortie.

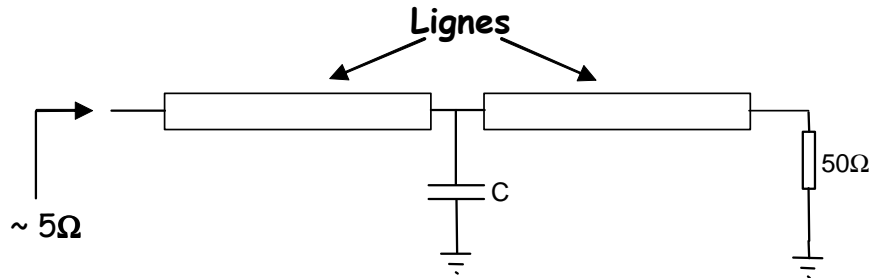


Figure IV-33 : Adaptation de sortie par ligne série et capacité parallèle

L'utilisation d'une capacité parallèle permet de transformer vers des valeurs plus faibles la partie réelle de l'impédance de charge. La ligne de transmission permet de régler de manière précise la valeur de la partie imaginaire de l'impédance de charge.

### III.2.2 Polarisation de Drain

La polarisation de drain ne doit pas perturber l'adaptation d'impédance. Il est possible d'utiliser une self de grande valeur afin de présenter une impédance élevée à la fréquence de travail et donc aux fréquences harmoniques. Son choix doit prendre en compte la partie réelle présentée qui entraîne des pertes et réduit la tension de polarisation appliquée sur le drain du transistor. Ainsi, il faut dimensionner la self en tenant compte du courant maximum de polarisation la traversant. Ces contraintes imposent un choix limité de composants CMS.

La solution retenue pour la polarisation est constituée d'une self de valeur 47 nH, la fréquence de résonance est proche de deux fois la fréquence de travail ( $2f_0$ ). A la fréquence fondamentale (900 MHz) une impédance de  $+42j\Omega$  est obtenue. Cette impédance est grande devant la résistance de charge à présenter aux transistors qui est de l'ordre de quelques Ohms.

### III.2.3 Adaptation et Polarisation d'entrée

L'entrée de l'amplificateur doit être adaptée afin de présenter  $50\Omega$  au coupleur hybride se trouvant en amont. Dans ce cas, le réseau est constitué d'une capacité à la masse et de deux lignes d'accès dont les caractéristiques préciseront d'adaptation d'entrée du circuit.

La polarisation de grille sera amenée par une self (22 nH) et découplée par une capacité à la masse. L'utilisation d'une résistance de polarisation de forte valeur n'a pas été retenue car cette solution présente le désavantage de modifier la tension de polarisation à fort niveau si le courant de grille augmente. La figure IV-34 représente la topologie utilisée pour l'adaptation d'entrée. Le paramètre  $S_{11}$  permettra de mesurer la qualité de cette adaptation.

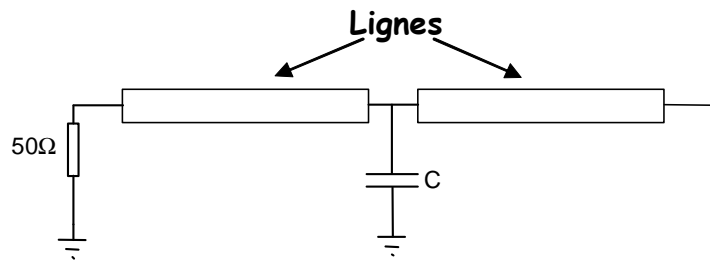


Figure IV-34 : Adaptation d'entrée

### III.3 Résultats de Mesures

La figure IV-35 présente le schéma complet de l'amplificateur Doherty réalisé [20].

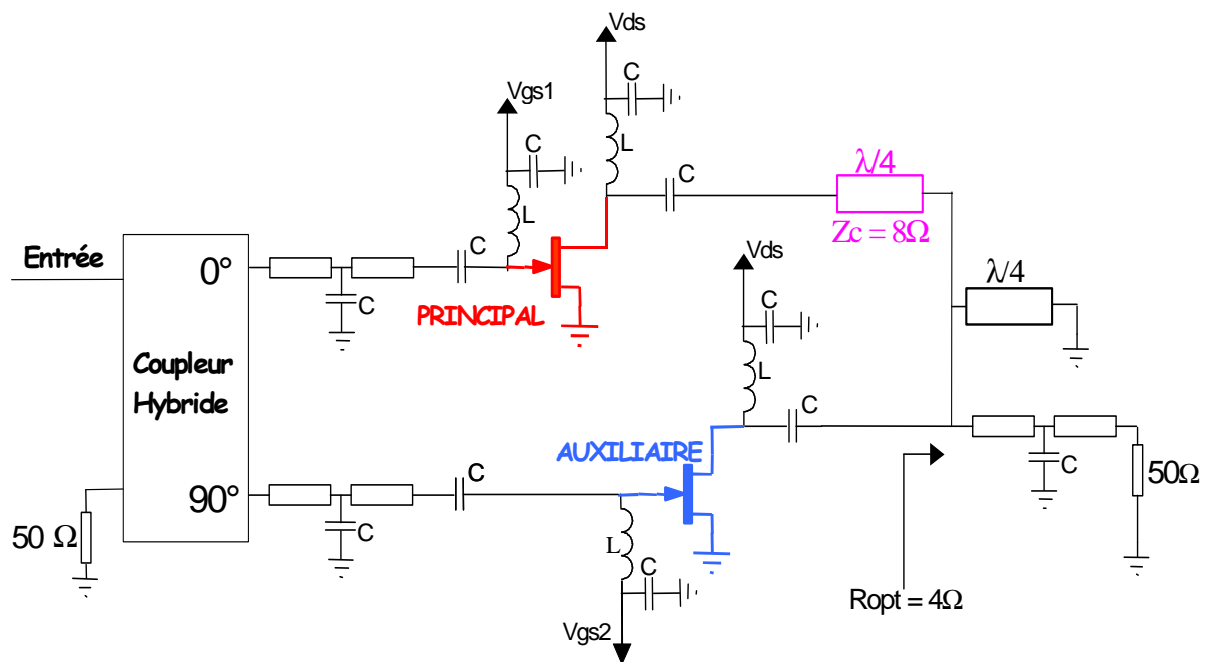


Figure IV-35 : Topologie complète de l'amplificateur Doherty

Les figures IV-36 et IV-37 représentent les évolutions de la puissance de sortie et du rendement en puissance ajoutée de l'amplificateur Doherty [21], mesurées pour quatre tensions de polarisation de grille de l'amplificateur auxiliaire correspondant aux classes de fonctionnement AB, AB profonde, B et C. L'amplificateur principal étant polarisé en classe AB.

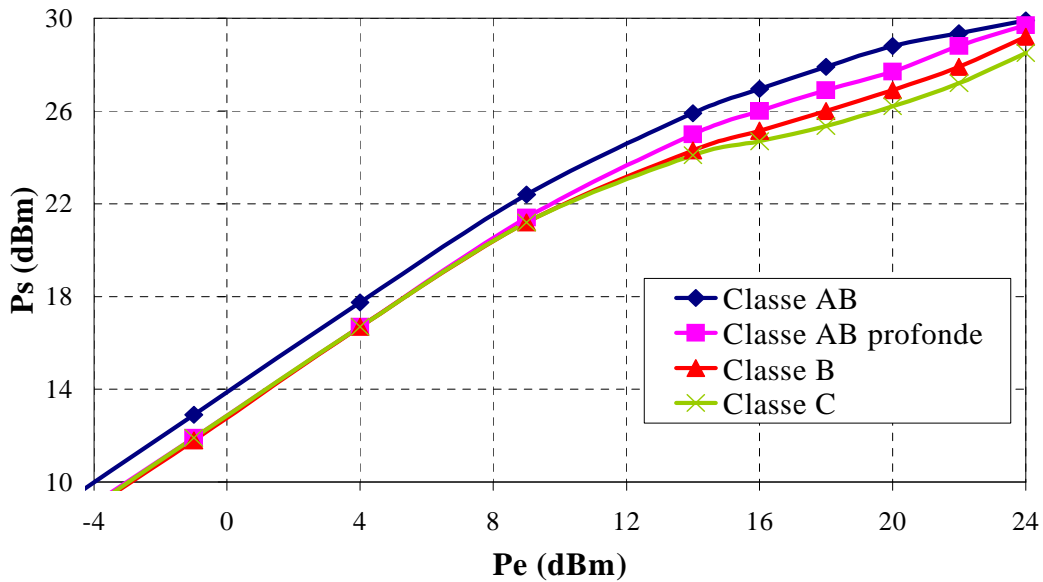


Figure IV-36 : Mesures de la puissance de sortie en fonction de la puissance d'entrée pour différentes tensions de polarisation de grille du transistor auxiliaire

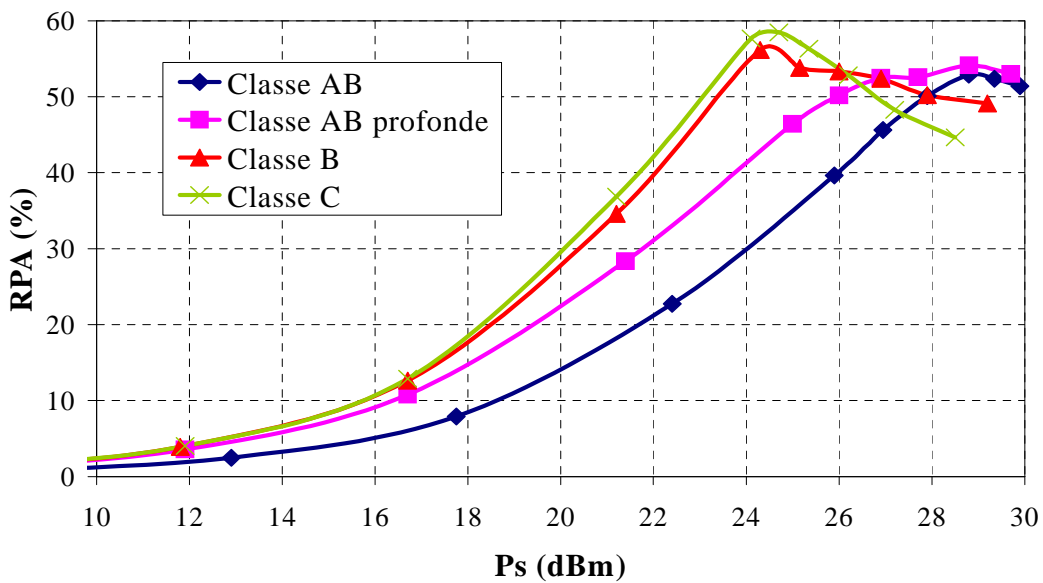


Figure IV-37 : Mesures du rendement en puissance ajoutée en fonction de la puissance de sortie pour différentes tensions de polarisation de grille du transistor auxiliaire

Pour une polarisation en classe B de l'amplificateur auxiliaire, le rendement en puissance ajoutée est maintenu à plus de 50% pour un recul (« backoff ») de 6dB de la puissance de sortie. Lorsque les deux amplificateurs fonctionnent en classe AB, comme un amplificateur classique constitué de deux transistors en parallèle, le rendement en puissance ajoutée diminue à 25%.

La figure IV-38 représente l'évolution des produits d'intermodulation d'ordre trois ( $C/I_3$ ) en fonction de la puissance de sortie de l'amplificateur Doherty, mesurée pour trois tensions de polarisation de grille de l'amplificateur auxiliaire correspondant aux classes de fonctionnement AB, AB profonde et C. L'amplificateur principal étant polarisé en classe AB et les deux fréquences porteuses sont distantes de 100 KHz autour de 900 MHz..

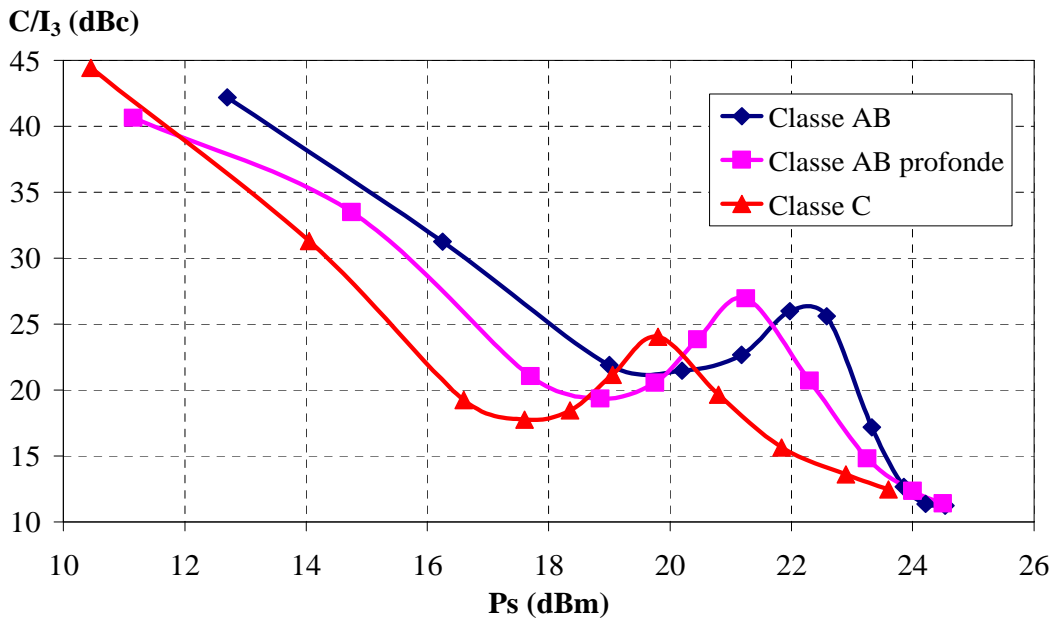


Figure IV-38 : Mesures de l'intermodulation d'ordre 3 en fonction de la puissance de sortie pour différentes tensions de polarisation de grille du transistor auxiliaire

A l'analyse des résultats de mesures d'intermodulation, il faut noter qu'à faible niveau la linéarité est dégradée par rapport à un amplificateur classique, lorsque le transistor auxiliaire est polarisé en classe AB profonde et C. Mais à fort niveau, les écarts de linéarité se réduisent quelque soit la classe de fonctionnement de l'amplificateur auxiliaire.

Par contre, pour une puissance de sortie comprise entre 19 dBm et 21 dBm, il y a une amélioration de la linéarité lorsque l'amplificateur auxiliaire est polarisé en classe AB profonde ou C par rapport à un amplificateur classique.

La figure IV-39 représente l'évolution mesurée du rendement en puissance ajoutée en fonction de la fréquence de fonctionnement de l'amplificateur Doherty. Le rendement en puissance est maintenu au dessus de 50% pour un recul de la puissance d'entrée de 6 dB sur une bande de fréquence de 25 MHz. Par contre à la puissance de sortie maximale cette bande de fréquence ou le rendement est supérieur à 50% est de 45 MHz.

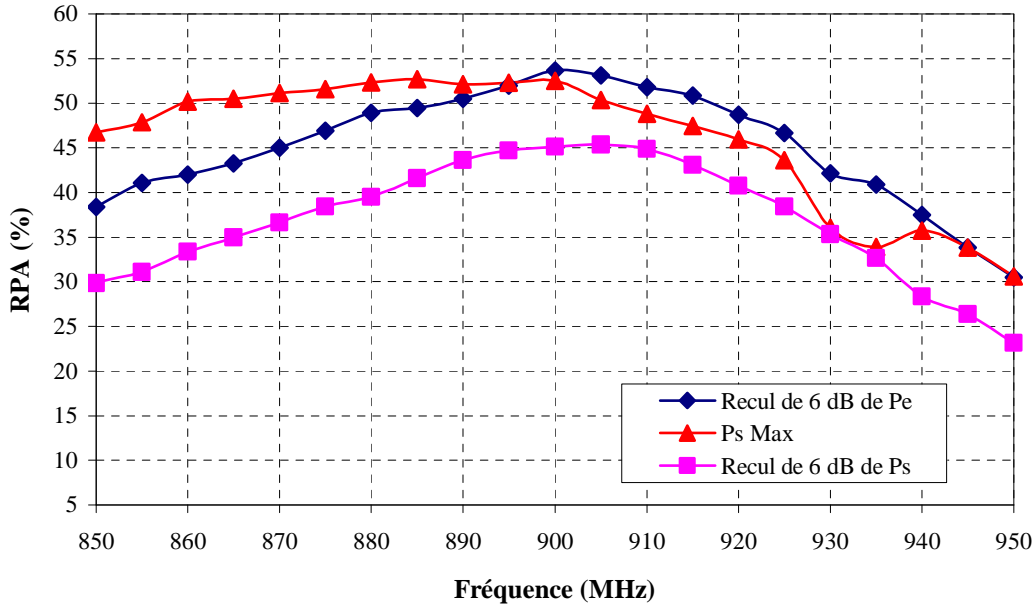


Figure IV-39 : Evolution du rendement en puissance ajoutée en fonction de la fréquence

La figure IV-40 représente l'évolution mesurée de la puissance de sortie en fonction de la fréquence de fonctionnement de l'amplificateur Doherty. La puissance de sortie est maintenue à 1 dB près sur une bande de fréquence de 75 MHz.

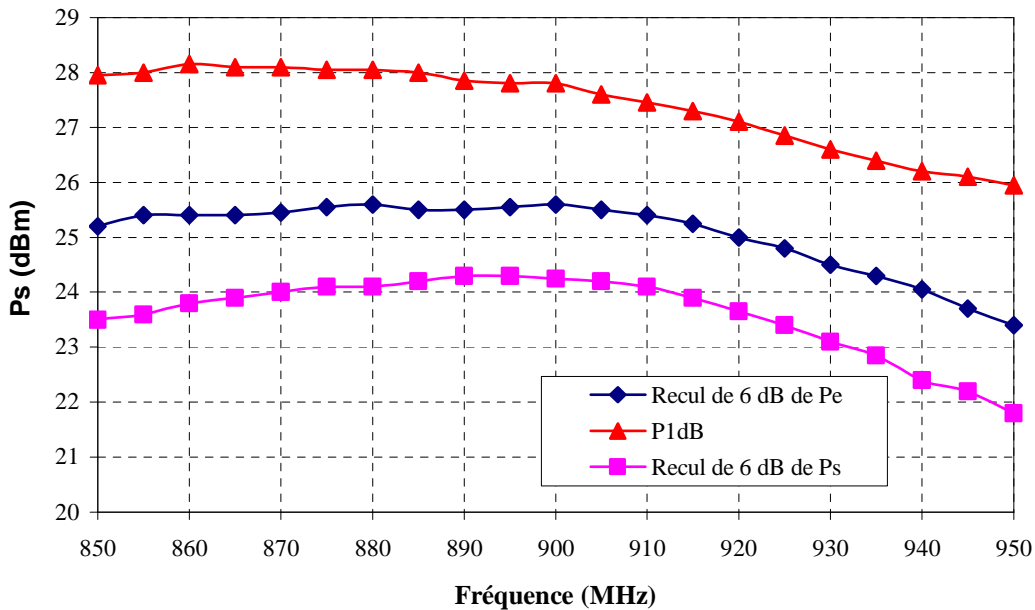


Figure IV-40 : Evolution de la puissance de sortie en fonction de la fréquence

En conclusion, les résultats de mesures obtenus sur un amplificateur en technique Doherty ont permis de vérifier que cette technique permet de maintenir le rendement en puissance ajoutée pour des niveaux de puissance d'entrée différents. En effet, pour une polarisation en classe B de l'amplificateur auxiliaire, il a été mesuré une puissance de sortie de 29 dBm associée à un rendement en puissance ajoutée de 50%. Pour un recul de 6 dB de la puissance de sortie, le rendement en puissance ajoutée est maintenu à 50%. L'amélioration est obtenue sur une bande de fréquence de 8.5% et la linéarité est sensiblement la même que pour un amplificateur classique.

### **III.4 Amplificateur Doherty utilisant un Glissement de Polarisation**

#### **III.4.1 Principe**

Lors de l'étude de l'amplificateur Doherty classique, nous avons noté qu'il existe des variations importantes du rendement en puissance ajoutée selon la classe de fonctionnement du transistor auxiliaire.

Dans cette partie, la solution proposée pour maintenir le rendement sur une plage de variation importante de la puissance consiste à utiliser une polarisation de grille variable [22] pour l'amplificateur auxiliaire en fonction du niveau de puissance disponible à l'entrée de l'amplificateur.

Un des avantages d'utiliser une polarisation variable de grille par rapport à une polarisation variable de drain est que la commande n'a pas besoin de fournir un courant de polarisation élevé. De plus le circuit de commande ne consommera qu'un faible courant, ce qui ne diminuera pas le rendement global du système contrairement à une polarisation dynamique de drain.

Cette polarisation de grille variable pour le transistor auxiliaire permet d'obtenir un courant de drain à la fréquence fondamentale quasiment nul à faible niveau et égal au courant de drain à la fréquence fondamentale du transistor principal à fort niveau. La polarisation variable permet de suivre la courbe idéale de variation du courant à la fréquence fondamentale en fonction de la puissance.



La figure IV-41 représente l'évolution de l'amplitude du courant de drain simulé de l'amplificateur auxiliaire à la fréquence fondamentale ( $I_{dF_0}$ ) en fonction de la puissance d'entrée pour différentes tensions de polarisation de grille correspondant aux classes de fonctionnement AB, AB profonde, B et C. Comme précédemment, l'amplificateur principal est polarisé en classe AB, permettant ainsi, d'obtenir un maximum de rendement.

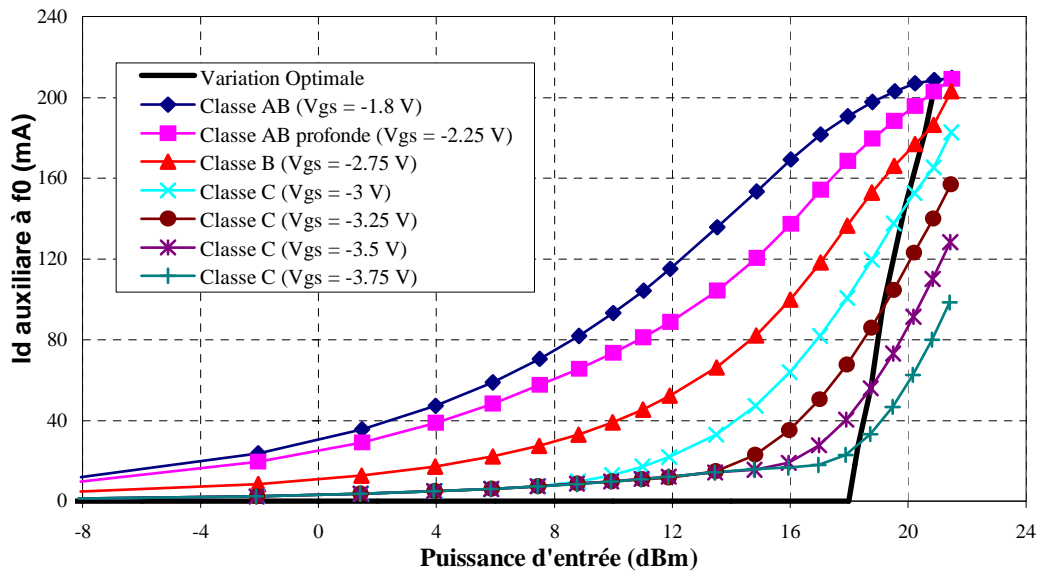


Figure IV-41 : Evolution du courant de drain simulé de l'amplificateur auxiliaire à la fréquence fondamentale pour différentes classes de fonctionnement

De plus, sur la figure IV-41 est représentée la variation optimale du courant de drain à la fréquence fondamentale en fonction du niveau de puissance d'entrée. Le courant de drain de l'amplificateur auxiliaire doit être nul jusqu'à ce que l'amplificateur principal entre en saturation.

L'amplificateur utilise alors uniquement l'amplificateur principal, comme un amplificateur classique et le rendement électrique augmente avec la puissance d'entrée. Dès que l'amplificateur principal atteint sa saturation, l'amplificateur auxiliaire va conduire et ainsi modifier la valeur de la charge présentée à l'amplificateur principal. La puissance fournie par l'amplificateur principal pourra continuer à augmenter avec un rendement maintenu à sa valeur maximale. Au niveau maximal de la puissance de sortie, le transistor auxiliaire fournira le même courant et donc la même puissance que l'amplificateur principal.

### III.4.2 Circuit de Commande

Les simulations non-linéaires présentées dans la partie précédente ont permis de connaître précisément la variation optimale de la tension de grille à appliquer sur l'amplificateur auxiliaire pour différents niveaux de puissance d'entrée.

Afin de modifier la tension de grille de l'amplificateur auxiliaire et donc le courant de drain, un circuit a été réalisé à l'aide d'un détecteur crête, suivi d'un étage de commande. Le circuit de détection comprend une diode Schottky associée à un circuit RC permettant d'effectuer un redressement et un filtrage afin d'obtenir un signal continu proportionnel au niveau crête d'entrée. La tension obtenue va modifier la tension de grille du transistor MOS canal P de commande. Le pont diviseur et la source de tension, présents sur le drain du transistor MOS de commande, peuvent être ajustés afin de régler le niveau de polarisation de grille du transistor auxiliaire et de modifier la pente de variation de cette tension en fonction de la puissance d'entrée. La figure IV-42 représente la topologie du circuit de commande.

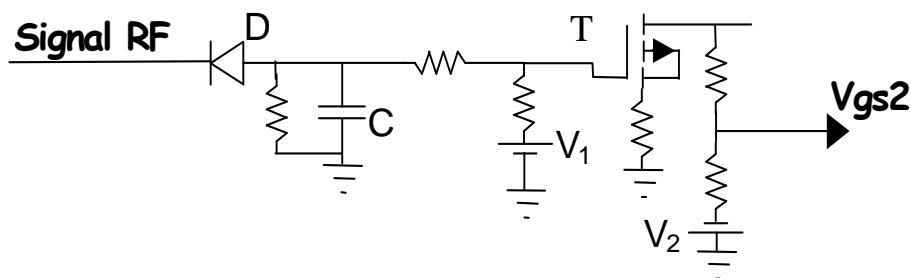


Figure IV-42 : Circuit de détection et de commande

La figure IV-43 représente l'évolution mesurée de la tension de grille de l'amplificateur auxiliaire en fonction du niveau de la puissance d'entrée de l'amplificateur. Le point de déclenchement se situe pour une puissance de sortie de 17,5 dBm. Avant le déclenchement, une tension de polarisation de grille de -4V permet de bloquer l'amplificateur auxiliaire. Au maximum de puissance, cette tension atteint la même valeur que la tension de polarisation de grille de l'amplificateur principal, soit -1.8V.

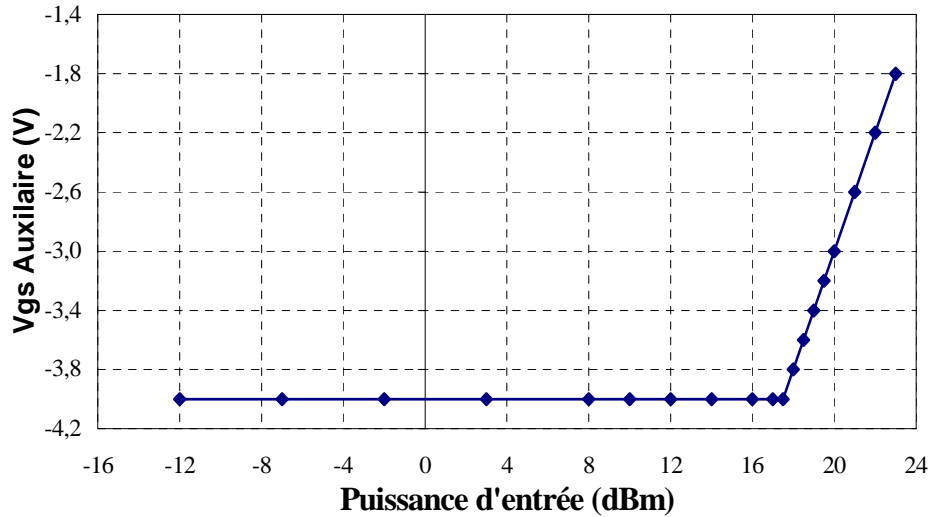


Figure IV-43 : Evolution mesurée de  $V_{gs}$  de l'amplificateur auxiliaire en fonction de  $P_e$

Nous pouvons maintenant regarder l'influence d'une telle polarisation de grille du transistor auxiliaire sur son courant de repos. La figure IV-44 représente l'évolution du courant de repos ( $I_{d0}$ ) mesuré de l'amplificateur auxiliaire en fonction de la puissance de sortie pour une polarisation en classe AB, AB profonde, B et C, ainsi que pour la polarisation dynamique de grille (glissement).

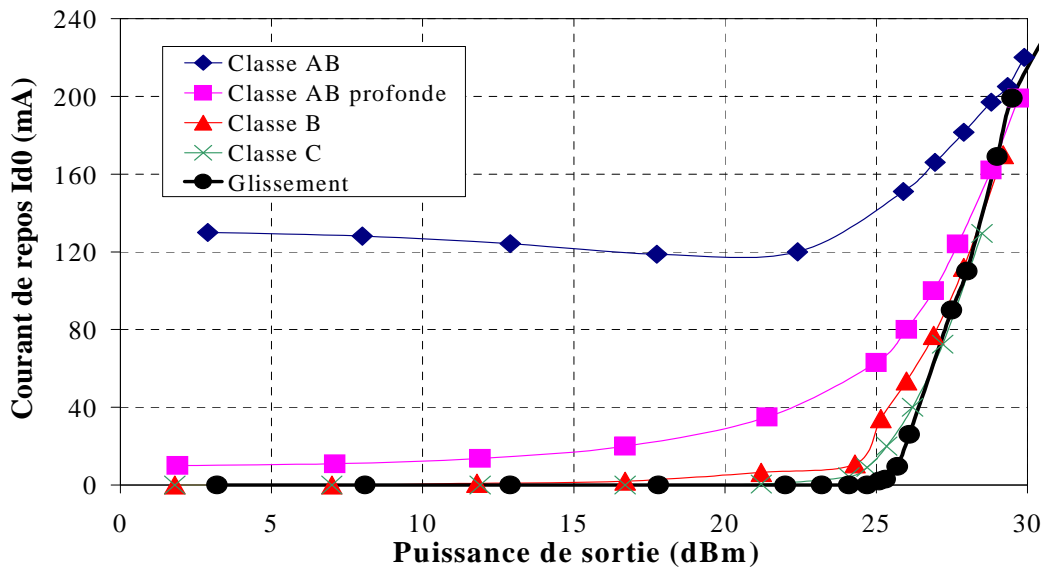


Figure IV-44 : Evolutions mesurées du courant de repos en fonction de la puissance de sortie

La polarisation dynamique de grille du transistor auxiliaire va permettre à faible niveau d'avoir une polarisation en classe C, afin de limiter le courant de repos et d'augmenter le rendement en puissance ajoutée, puis progressivement de passer en classe B, AB profonde et AB à fort niveau, permettant ainsi d'obtenir à fort niveau le même courant de repos et la même puissance de sortie que pour le transistor principal polarisé en classe AB.

### III.4.3 Résultats de Mesures en Puissance

La figure IV-45 représente le schéma complet de l'amplificateur Doherty utilisant le glissement de polarisation de grille pour le transistor auxiliaire [22].

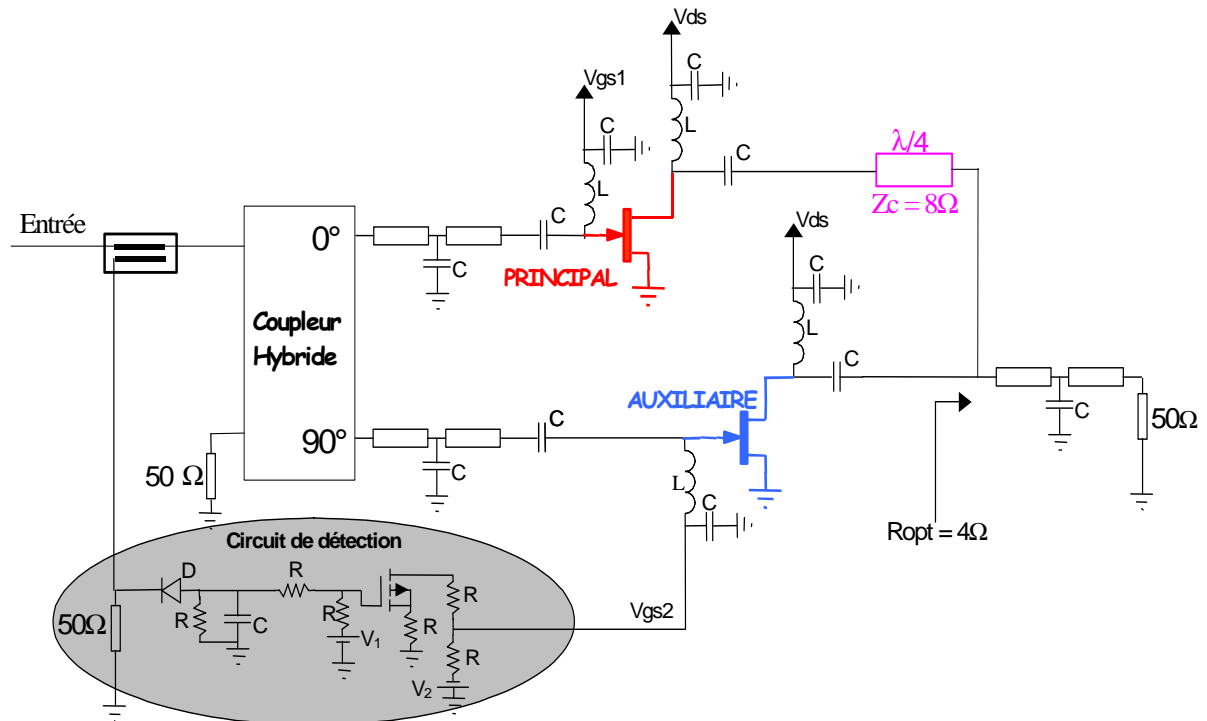


Figure IV-45 : Topologie complète de l'amplificateur Doherty dynamique

La figure IV-46 représente la variation mesurée du rendement en puissance ajoutée en fonction de la puissance de sortie de l'amplificateur Doherty. Les performances sont données pour la polarisation dynamique et pour quatre tensions fixes de polarisation de grille de l'amplificateur auxiliaire en classe AB, AB profonde, B et C. L'amplificateur principal étant polarisé en classe AB.

Pour une polarisation dynamique de grille de l'amplificateur auxiliaire, le rendement en puissance ajoutée est maintenu à plus de 50% pour un recul (« backoff ») de 7,5 dB de la puissance de sortie. Cette valeur peut être comparée à celle obtenue pour un amplificateur classique correspondant à des polarisations identiques pour les deux amplificateurs. Si les deux amplificateurs fonctionnent en classe AB, le rendement en puissance ajoutée diminue à 23% pour un recul de 7.5 dB de la puissance de sortie, ou 12 dB de la puissance d'entrée.

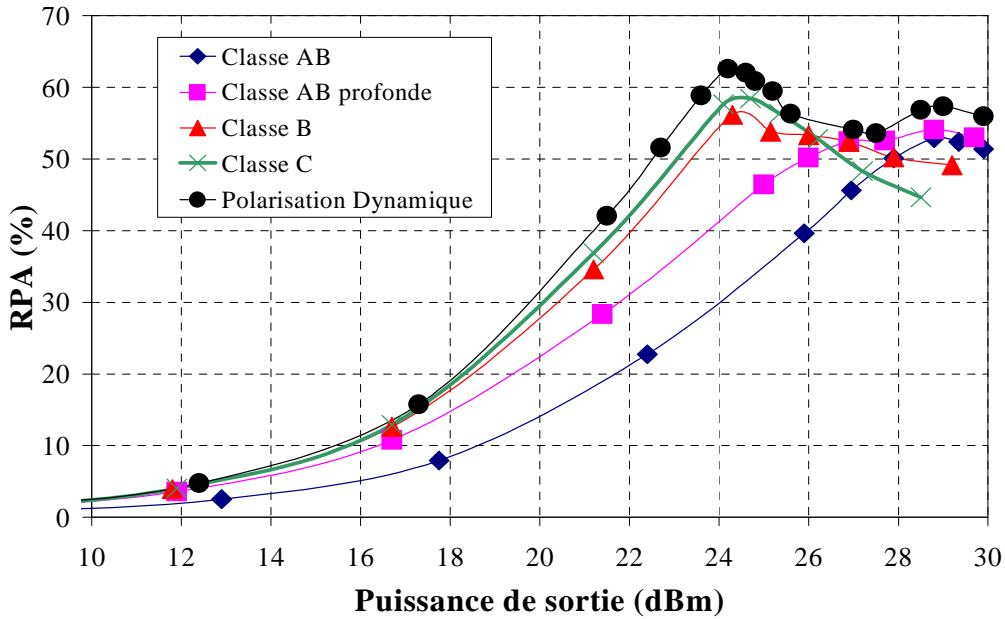


Figure IV-46 : Mesure du RPA pour différentes classes de l'amplificateur auxiliaire

Par rapport à un amplificateur Doherty classique ayant son amplificateur auxiliaire polarisé en classe B, la puissance de sortie maximum est augmentée de 1 dB. La plage de variation de la puissance de sortie sur laquelle le rendement en puissance ajoutée est supérieur à 50% est augmentée de 1.5 dB. Le gain en rendement de cet amplificateur utilisant une polarisation dynamique de grille pour le transistor auxiliaire est de 27 points pour un recul de la puissance de sortie de 7.5 dB.

#### III.4.4 Bilan

Les résultats de mesures obtenus sur un amplificateur en technique Doherty utilisant le glissement de polarisation ont permis de vérifier que cette technique permet de maintenir le rendement en puissance ajoutée, à une valeur élevée pour des niveaux de puissance de sortie compris sur une plage de variation de 7.5dB. Pour une polarisation en classe AB de l'amplificateur principal, il a été mesuré un rendement en puissance ajoutée maximum de 62.5% associé à une puissance de sortie de 24.5 dBm. Pour un recul de 7.5 dB de la puissance de sortie par rapport à la puissance de sortie maximum le rendement en puissance ajoutée est maintenu au-dessus de 50 %.

## IV. Conclusion

Dans ce chapitre, nous avons présenté le principe de fonctionnement de la technique Doherty. Une étude de l'évolution du rendement d'un amplificateur Doherty deux et trois étages a été effectuée. Un état de l'art des amplificateurs utilisant la technique Doherty ainsi qu'un bilan a été dressé.

La conception et la réalisation d'un amplificateur Doherty deux étages ont été présentées. Les performances d'un amplificateur utilisant la technique Doherty ont été comparées avec celles d'un amplificateur conventionnel polarisé en classe AB. Dans un premier temps, la recherche des conditions d'obtention d'un rendement en puissance ajoutée élevé pour des niveaux de commande d'entrée différents a abouti à l'utilisation d'une tension de polarisation de grille en classe B pour l'amplificateur auxiliaire. La mise en œuvre de solutions innovantes pour la réalisation du circuit de charge a permis d'obtenir en mesure pour un recul de 6 dB de la puissance de sortie, le maintien du rendement en puissance ajoutée au-dessus de 50%.

Compte tenu des résultats obtenus, nous avons montré que la plage d'amélioration du rendement pouvait être augmentée grâce à l'utilisation d'une polarisation de grille ajustable en fonction du niveau. Pour un recul de 7.5 dB de la puissance de sortie par rapport à la puissance de sortie maximum le rendement en puissance ajoutée a été maintenu au-dessus de 50 %. Le circuit utilisé comporte un détecteur crête et un transistor permettant de modifier la tension de polarisation de la grille de l'amplificateur auxiliaire.

L'obtention de ces valeurs de rendement en puissance ajoutée a été possible grâce à l'application d'une méthodologie de conception, propre à cette technique, permettant d'établir les circuits de charge à mettre en œuvre.

De part sa relative simplicité de mise en œuvre, la technique Doherty est une technique très prometteuse pour des applications où le maintien du rendement est primordial.

## Bibliographie

- [1] **W.H. Doherty**,  
"A New High Efficiency Power Amplifier for Modulated Waves",  
*Proc. of the Institute of Radio Engineers*, Vol. 24, No. 9, September 1936, pp. 1163-1182.
- [2] **S.C. Cripps**,  
"RF Power Amplifiers for Wireless Communications",  
Artech House, INC, 1999.
- [3] **F. Robin**,  
"Contrôle dynamique de la polarisation des transistors de puissance pour l'amplification linéaire et à haut rendement de signaux à enveloppe variable",  
Thèse de Doctorat, Université de Poitiers, Juin 2003.
- [4] **F.H. Raab**,  
"Efficiency of Doherty RF Power Amplifiers Systems"  
*IEEE Trans. on Broadcasting*, Vol. BC-33, No. 3, September 1987, pp. 77-83.
- [5] **R.J. McMorow, D.M. Upton et P.R Maloney**,  
"The Microwave Doherty Amplifier",  
*IEEE MTT-S Digest*, 1994, pp. 1653-1656.
- [6] **C.F. Campbell**,  
"A fully integrated Ku-Band Doherty amplifier MMIC"  
*IEEE Microwave and Guided Letters*, March 1999, Vol. 9, n°3, pp. 114-116.
- [7] **K.W. Kobayashi, A.K. Oki, A. Gutierrez-Aitken, P. Chin, Li Yang, et al**  
"An 18-21 GHz InP DHBT Microwave Doherty Amplifier",  
*IEEE MTT-S Digest, RFIC*, Juin 2000, pp. 179-182.
- [8] **M. Iwamoto, A. Williams. P.F. Chen, A. Metzger, C. Wang, L.E. Larson et P. M. Asbeck**  
"An Extended Doherty Amplifier with High Efficiency Over a Wide Power Range",  
*IEEE MTT-S Digest*, Juin 2001, pp. 931-934.
- [9] **Y. Yang, J. Cha, B. Shin et B. Kim**,  
"A Fully N-Way Doherty Amplifier with Optimiezd Linearity",  
*IEEE Trans. on MTT* Vol. 51, No. 3, Mars 2003, pp. 986-993.
- [10] **J. Lees, M. Goss, J. Benedikt et P.J. Tasker**,  
"Single-Tone Optimisation of an Adaptative-Bias Doherty Structure",  
*IEEE MTT-S Digest, Philadelphie*, Juin 2003, pp. 2213-2216.
- [11] **Y. Suzuki, T. Hirota et T. Nojima**,  
"Highly Efficient Feed-Forward Amplifier using a Class-F Doherty Amplifier",  
*IEEE MTT-S Digest, Philadelphie*, Juin 2003, pp. 77-80.
- [12] **J. Cha, Y. Yang, B. Shin et B. Kim**  
"An Adaptative Bias Controlled Power Amplifier with a Load-Modulated Combining Scheme for High Efficiency and linearity",  
*IEEE MTT-S Digest, Philadelphie*, Juin 2003, pp. 81-84.
- [13] **S. Bae, J. Kim, I. Nam et Y. Kwon**,  
"Bias-Switching Quasi-Doherty-Type Amplifier for CDMA Handset Applications",  
*IEEE MTT-S Digest, Philadelphie*, Juin 2003, pp. 137-140.

- [14] **Y. Zhao, M. Iwamoto, L.E. Larson et P.M. Asbeck,**  
"Doherty Amplifier with DSP control to Improve Performance in CDMA Operation",  
*IEEE MTT-S Digest, Philadelphie, Juin 2003, pp. 687-690.*
- [15] **J.P. Teyssier, Ph. Bouysse, Z. Ouarch, D. Barataud, T. Peyretailade et R. Quéré,**  
"40-GHz/150ns Versatile Pulsed Measurement System for Microwave Transistor Isothermal  
Characterization",  
*IEEE Trans. on MTT, Vol. 46, No. 12, Décembre 1998, pp. 2043-2052.*
- [16] **F.H. Raab, P. Asbeck, S. Cripps, P.B. Kenington, Z.B. Popovic, N. Potheary et al,**  
"Power Amplifiers and Transmitters for RF and Microwave",  
*IEEE Trans. on MTT, Papier Invité, Vol. 50, No. 3, Mars 2002, pp. 814-826.*
- [17] **C. Duvanaud, J.M. Paillot, F. Huin, F. Robin, R. Allam et L. Dascalescu,**  
"Improvement of Power Amplifier Performances using the Doherty Technique",  
*Microwave Symposium 2000, Tetuan, Maroc, pp. 234-237.*
- [18] **N. Dubuc, C. Duvanaud et Ph. Bouysse,**  
"Application de la Technique Doherty pour l'amélioration des Performances des Amplificateurs de  
puissance",  
*JNM 2001, Poitiers, Mai 2001, session 1B.*
- [19] **Medley,**  
"Microwave and RF circuits : analysis, synthesis and design",  
*Artech House, 1992.*
- [20] **N. Dubuc, C. Duvanaud et Ph. Bouysse,**  
"Etude de la Technique Doherty et Application à la réalisation d'un Amplificateur de Puissance à  
900MHz",  
*JNRDM 2002, Grenoble, Avril 2002, pp. 223-224.*
- [21] **N. Dubuc, C. Duvanaud, Ph. Bouysse,**  
"Analysis of the Doherty Technique and Application To a 900 MHz Power Amplifier",  
*GAAS/EuMC, Septembre 2002, Milan, pp. 295-297.*
- [22] **N. Dubuc, C. Duvanaud, Ph. Bouysse et J.M. Paillot,**  
"Optimisation du Fonctionnement d'un Amplificateur Doherty par Glissement de Polarisation",  
*JNM 2003, Lille, Mai 2003, session 1C*



***CONCLUSION GÉNÉRALE ET PERSPECTIVES***



## ***RAPPEL DES TRAVAUX EFFECTUÉS***

Le travail de thèse présenté dans ce mémoire s'articule autour de deux axes : la modélisation électrothermique de transistors MESFET en Carbure de Silicium et l'optimisation d'une architecture Doherty pour l'amplification de puissance à haut rendement, ce qui nous amène à plusieurs conclusions.

Les semi-conducteurs grand gap permettent de repousser les frontières atteintes aujourd'hui par les composants pour des applications de très fortes puissances. Leur mise en œuvre nécessite de disposer de modèles précis de leur comportement.

Après une description du Carbure de Silicium, relatant de ses propriétés physiques et électriques, un rappel du principe de fonctionnement des transistors à effet de champ a été effectué. Les effets à dynamiques lentes qui représentent les effets parasites du MESFET et en particulier les pièges et les effets thermiques ont été étudiés.

Un modèle physique analytique électrothermique de transistor MESFET en Carbure de Silicium a été développé et intégré dans un logiciel de CAO des circuits; ce modèle est basé sur les paramètres physiques et géométriques des transistors MESFET SiC, la température de fonctionnement du composant est également prise en compte.

Ce modèle présente un bon accord entre les simulations non-linéaires réalisés sous ADS et les mesures Load-pull. Les résultats démontrent l'intérêt de notre démarche de caractérisation et de modélisation des transistors MESFET en Carbure de Silicium.

Cette filière technologique présente des potentialités intéressantes pour des applications de forte puissance. Les performances peuvent être améliorées, notamment pour des niveaux d'utilisation différents ou des enveloppes variables, à condition de rechercher des techniques d'amélioration des performances en terme de rendement électrique et de linéarité.

L'amplificateur de puissance est l'élément actif primordial dans un système de communication. Une présentation des facteurs de mérite des amplificateurs employés dans les télécommunications a été effectuée afin de définir le contexte de notre étude.

Différentes techniques, permettant d'améliorer les performances pour l'amplification d'un signal à enveloppe variable ont été présentées et étudiées. Notre intérêt s'est porté sur la technique Doherty dont nous avons rappelé le principe de fonctionnement. Une étude de l'évolution du rendement et un état de l'art des amplificateurs utilisant cette technique nous a conduit à la conception et à la réalisation d'une architecture Doherty comportant deux étages.

Cette réalisation d'un amplificateur Doherty deux étages qui est la première en France, permet de comparer ses performances avec celles d'un amplificateur conventionnel polarisé en classe AB. La définition d'une méthodologie de conception propre à cette technique et la mise en œuvre de solutions innovantes pour la réalisation du circuit de charge ont permis d'obtenir un haut rendement en puissance ajoutée pour des niveaux de puissance d'entrée différents.

Un maintien du rendement en puissance ajoutée au-dessus de 50 % a été mesuré, pour un recul de 6 dB de la puissance de sortie. Compte tenu des ces résultats très encourageants, nous avons montré que la plage d'amélioration du rendement pouvait être augmentée grâce à l'utilisation d'une polarisation de grille ajustable en fonction du niveau d'entrée. Le rendement en puissance ajoutée est alors maintenu au-dessus de 50 % pour une plage de variation de la puissance de sortie de 7.5 dB.

De part sa relative simplicité de mise en œuvre, la technique Doherty est une technique très prometteuse pour des applications où le maintien du rendement est primordial.

## **PERSPECTIVES DE DÉVELOPPEMENT**

De nombreuses investigations constituent les perspectives des travaux exposés dans ce mémoire et laissent apparaître cinq grands axes de recherche future.

Un des premiers axes serait de compléter l'étude sur l'amplificateur Doherty deux étages par une investigation complète sur la linéarité en utilisant des modulations numériques (Tétra, QPSK, W-CDMA,...) comme signaux de test afin d'étudier l'influence de la polarisation glissante sur la linéarité.

En deuxième axe, il serait intéressant de coupler l'amplificateur Doherty réalisé avec un système permettant d'améliorer la linéarité; la technique utilisée pourrait être une prélinéarisation ou un système basé sur la détection et la réinjection de l'enveloppe du signal.

La réalisation d'un amplificateur Doherty MMIC en troisième lieu pourrait être envisagée en utilisant des transistors MESFET SiC ou en technologie GaN permettant de réaliser un amplificateur de forte puissance et à haut rendement pour les stations de base.

En quatrième axe, il est possible d'imaginer des systèmes pour améliorer la bande passante de l'amplificateur Doherty, qui est restreinte actuellement par l'utilisation d'une ligne quart d'onde en sortie.

Enfin, le dernier point serait la réalisation d'un amplificateur Doherty trois étages, afin d'augmenter à près de 12 dB la plage de variation de la puissance de sortie sur laquelle le rendement est élevé. Cet amplificateur pourrait également être couplé à un système de linéarisation et/ou de gestion de la polarisation; une voie à explorer.



***LISTE DES PUBLICATIONS***





## LISTE DES PUBLICATIONS ET COMMUNICATIONS

### 1 - PUBLICATIONS ET COMMUNICATIONS INTERNATIONALES

**N. Dubuc, C. Duvaud, Ph. Bouysse,**

*"Analysis of the Doherty Technique and Application to a 900 MHz Power Amplifier",  
GAAS/EuMC, Septembre 2002, Milan, pp. 295-297.*

### 2 - COMMUNICATIONS ORALES AVEC ACTES ET COMITÉ DE LECTURE

**N. Dubuc, C. Duvaud et Ph. Bouysse,**

*"Application de la Technique Doherty pour l'amélioration des Performances des  
Amplificateurs de puissance",*

*JNM 2001, Poitiers, Mai 2001, session 1B.*

**N. Dubuc, Ph. Bouysse, R. Quéré, C. Dua, E. Morvan et C. Brylinski,**

*"Caractérisation Electrothermique d'un Transistor MESFET sur Carbure de  
Silicium",*

*JNM 2001, Poitiers, Mai 2001, session 2A2.*

**N. Dubuc, C. Duvaud et Ph. Bouysse,**

*"Etude de la Technique Doherty et Application à la réalisation d'un Amplificateur de  
Puissance à 900MHz",*

*JNRDM 2002, Grenoble, Avril 2002, pp. 223-224.*

**N. Dubuc, C. Duvaud, Ph. Bouysse et J.M. Paillot,**

*"Optimisation du Fonctionnement d'un Amplificateur Doherty par Glissement de  
Polarisation",*

*JNM 2003, Lille, Mai 2003, session 1C*



***ANNEXE***



Le potentiel dans la zone de charge d'espace (ZCE) du canal est donné par l'intégration de l'équation de Poisson :

$$\nabla_2 \Psi = \frac{q}{\epsilon} [N(y) - n(x, y)] \quad (\text{A.1})$$

Pour des raisons liées aux techniques de fabrication, le dopage  $N(y)$  est homogène dans le plan de la structure mais peut varier dans la direction perpendiculaire.

Afin de résoudre de manière analytique l'équation de Poisson, une approximation de la loi de variation des porteurs libres dans le canal  $n(x, y)$  est utilisée :

$$n(x, y) = [1 + \gamma(x - L1)] T[d(x), y] N(y) \quad (\text{A.2})$$

La fonction  $T[d(x), y]$ , appelée fonction de transition est définie par :

$$T[d(x), y] = 1 - \frac{1}{1 + \exp\left[\frac{y - d(x)}{\lambda}\right]} \quad (\text{A.3})$$

Le terme  $[1 + \gamma(x - L1)]$  prend en compte les phénomènes d'accumulation ou de déplétion de la charge dans le canal. Le plan situé en  $x = L1$  sépare le canal en deux zones de fonctionnement : la zone de fonctionnement linéaire et la zone de régime saturé.

Dans la zone linéaire, c'est à dire pour  $0 \leq x \leq L1$ , le coefficient  $\gamma$  est nul et la densité de porteurs dans le canal s'écrit :

$$n(x, y) = T[d(x), y] \cdot N(y) \quad (\text{A.4})$$

Le coefficient  $\gamma$  n'est défini que dans la zone saturée, pour  $L1 \leq x \leq L$ . L'expression analytique de ce paramètre est obtenue à partir de la résolution de l'équation de Poisson dans la zone saturée. Suivant le signe de  $\gamma$ , il y a soit accumulation de charges soit déplétion de charges dans le canal.

La solution analytique de l'équation de Poisson se met sous la forme suivante :

$$\Psi = \Psi_0 + \Psi_1 \quad (\text{A.5})$$

Le potentiel  $\Psi_0(x, y)$  est le potentiel généré par les tensions appliquées sur les électrodes tandis que le potentiel  $\Psi_1(x, y)$  dépend de la charge d'espace et satisfait l'équation de

Poisson. Mathématiquement, cela revient à écrire :

$$\nabla^2 \Psi_0 = 0 \quad (\text{A.6})$$

$$\Psi_0(0, a) = 0 \quad (\text{A.7})$$

$$\Psi_0(x, 0) = 0 \quad (\text{A.8})$$

$$\Psi_0(L, a) = V_0 \quad (\text{A.9})$$

$$\frac{\partial \Psi_0}{\partial y}(x, a) = 0 \quad (\text{A.10})$$

et

$$\nabla^2 \Psi_1 = -\frac{q}{\varepsilon}(N - n) \frac{\partial \Psi_0}{\partial y}(x, a) = 0 \quad (\text{A.11})$$

$$\Psi_1(0, a) = 0 \quad (\text{A.12})$$

$$\Psi_1(L, a) = V_1 \quad (\text{A.13})$$

$$\Psi_1(x, 0) = V_{gs} - V_{bi} \quad (\text{A.14})$$

$$\frac{\partial \Psi_1}{\partial y}(x, a) = 0 \quad (\text{A.15})$$

Dans l'équation (A.14), la tension  $V_{bi}$  correspond à la hauteur de la barrière de potentiel de la zone de charge d'espace (ZCE) et  $V_{gs}$  et  $V_{ds} = V_0 + V_1$  sont les tensions grille source et drain source appliquées de part et d'autre du transistor intrinsèque.

La résolution de l'équation (A.11) avec les conditions limites (A.12), (A.13), (A.14) et (A.15) conduit à l'expression de  $\Psi_0$  suivante :

$$\Psi_0(x, y) = \sum_{j=0}^{\infty} A_j \sinh\left[\frac{(2j+1)\pi}{2a} x\right] \sin\left[\frac{(2j+1)\pi}{2a} y\right]$$

$$A_j = \frac{4V_0}{(2j+1)\pi \sinh\left[\frac{(2j+1)\pi L}{2a}\right]} \quad j = 0, 1, \dots \quad (\text{A.16})$$

Pour la plupart des transistors à effet de champ, le rapport  $L/a$  est supérieur à 1 ; par conséquent, la suite  $A_j$  converge rapidement et donc seul le premier terme est pris en compte.

$$\Psi_0(x, y) = \frac{V_0}{\sinh\left(\frac{\pi L}{2a}\right)} \sinh\left(\frac{\pi x}{2a}\right) \sin\left(\frac{\pi y}{2a}\right) \quad (\text{A.17})$$

La solution de  $\Psi_1$  dépend de la concentration  $n$ . En supposant que :

$$\frac{\partial^2 \Psi_1}{\partial y^2} \gg \frac{\partial^2 \Psi_1}{\partial x^2} \quad (\text{A.18})$$

Pour  $0 \leq x \leq L$ , le potentiel  $\Psi_1$  s'écrit :

$$\Psi_1(x,y) = -\frac{q}{\epsilon} \int_0^a \int_0^a [1 - T(d(x), y'')] N(y'') dy'' dy' + \frac{V_1}{L} x \quad (\text{A.19})$$

Pour  $L_1 \leq x \leq L$ , ( $d(x) = d_1$ ), le potentiel  $\Psi_1$  se met sous la forme suivante :

$$\Psi_1(x, y) = -\frac{q}{\epsilon} \int_0^a \int_0^a [1 - T(d_1, y'')] N(y'') dy'' dy' + \frac{V_1}{L} x + \frac{q}{\epsilon} \gamma(x - L_1) \int_0^a \int_0^a T(d_1, y'') N(y'') dy'' dy' \quad (\text{A.20})$$

Le terme  $\frac{q}{\epsilon} \gamma(x - L_1) \int_0^a \int_0^a T(d_1, y'') N(y'') dy'' dy'$  représente le potentiel dû à l'accumulation ou

la déplétion de charge dans le canal.

Pour  $x \leq L_1$ , la largeur de la zone de déplétion  $d$  n'est pas constante mais dépend de  $x$ .

Appliquer la condition (A.14) à l'équation (A.19) nous conduit à l'équation suivante, solution implicite de la largeur de la zone déplétée  $d(x)$  :

$$-\frac{q}{\epsilon} F_1(d(x)) + \frac{V_1}{L} x = V_{gs} - V_{bi} \quad \text{pour } 0 \leq x \leq L_1 \quad (\text{A.21})$$

$$F_1(d(x)) = \int_0^a \int_0^a [1 - T(d, y'')] N(y'') dy'' dy' \quad (\text{A.22})$$

La tension de pincement  $V_p$  est définie comme la tension grille-source pour laquelle le canal est complètement pincé au niveau de la source (en  $x = 0$ ). Pour  $V_{gs} = V_p$ , nous considérons que la largeur  $d(x=0)$  est infinie, ce qui a pour conséquence immédiatement de faire tendre la densité de porteurs  $n(x=0, y)$  vers une valeur nulle.

Compte tenu de l'équation (A.21), la tension de pincement  $V_p$  s'écrit :

$$V_p = V_{bi} - \frac{q}{\epsilon} \int_0^a \int_0^a N(y'') dy'' dy' \quad (\text{A.23})$$

Pour  $L_1 \leq x \leq L$ , la largeur de la zone déserte  $d(x)$  est constante et égale à  $d_1$ . L'expression de  $d_1$  est déterminée implicitement en  $x = L_1$ , en résolvant l'équation (II.30). En appliquant la condition limite (II.21) à l'équation (II.31), on obtient :

$$-\frac{q}{\epsilon} F_1(d_1) + \frac{V_1}{L} x + \frac{q}{\epsilon} \gamma(x - L_1) F_2(d_1) = V_{gs} - V_{bi} \quad (\text{A.24})$$

$$F_2(d) = \int_0^a \int_0^a [T(d, y'')] N(y'') dy'' dy' \quad (\text{A.25})$$

A partir de l'expression de  $V_p$  et de  $F_1(d)$ , la fonction  $F_2(d)$  s'écrit :

$$F_2(d) = -\frac{q}{\epsilon} (V_p - V_{bi}) - F_1(d) \quad (\text{A.26})$$

La continuité des équations (II.29) et (II.34) en  $x = L_1$  permet d'obtenir l'expression analytique du paramètre  $\gamma$  :

$$\gamma = \frac{-\varepsilon}{qLF_2(d_1)}V_1 \quad (\text{A.27})$$

Ainsi, pour  $\gamma < 0$  ( $V_1 > 0$ ), nous avons un phénomène de déplétion de charges dans le canal et pour  $\gamma > 0$  ( $V_1 < 0$ ), un phénomène d'accumulation de charges. L'expression de  $V_1$  sera obtenue à partir de la résolution l'équation de continuité du courant.

Remarque : Dans le cas d'un dopage uniforme ( $N(y) = N_0$ ) et d'une transition abrupte entre la zone déserte et la zone déplétée ( $\lambda \rightarrow 0$ ), l'expression de la fonction  $F_1(d)$  se simplifie considérablement ( $F_1(d) = N_0 d^2$ ) et la largeur  $d(x)$  se met sous la forme :

$$d(x) = \sqrt{\left[ \frac{2\varepsilon}{qN_0} \left( \frac{V_1}{L} x - V_{gs} + V_{bi} \right) \right]} \quad (\text{A.28})$$





**MODELISATION ELECTROTHERMIQUE DE TRANSISTORS MESFET SiC ET OPTIMISATION D'UNE ARCHITECTURE DOHERTY POUR L'AMPLIFICATION DE PUISSANCE A HAUT RENDEMENT**

**RESUME**

Dans un premier temps, une description technologique du Carbure de Silicium et le développement d'un modèle physique analytique électrothermique de transistors MESFET SiC a été effectué. Ce modèle permet de prendre en compte les paramètres physiques, géométriques et l'état thermique du composant. Il a été intégré dans un environnement de CAO des circuits. La comparaison de mesures en puissance de type « Load-Pull » et de simulations non-linéaires sous ADS a permis de valider ce modèle. Cette filière technologique présente des potentialités intéressantes pour des applications de forte puissance. Les performances en puissance des amplificateurs peuvent être améliorées, notamment pour des niveaux d'utilisation différents ou des enveloppes variables, à condition de rechercher des techniques d'amélioration des performances en terme de rendement électrique et de linéarité.

Le deuxième objectif de ce travail est l'optimisation d'une architecture Doherty deux étages pour l'amplification de puissance. La définition d'une méthodologie de conception propre à cette technique et la mise en œuvre de solutions innovantes pour la réalisation du circuit de charge a permis d'obtenir un haut rendement en puissance ajoutée pour des niveaux de puissance d'entrée différents. Compte tenu de résultats très encourageants obtenus, nous avons montré que la plage d'amélioration du rendement pouvait être augmentée grâce à une gestion dynamique de l'amplificateur par le biais de la polarisation de grille de l'amplificateur auxiliaire en fonction du niveau d'entrée. Pour vérifier l'intérêt de cette méthode, un amplificateur hybride de puissance a été conçu avec des transistors MESFET en technologie AsGa à 900 MHz. Un système de détection d'enveloppe et de commande de la polarisation de l'amplificateur a été développé. Différentes comparaisons expérimentales avec ou sans le système de commande de la polarisation de l'amplificateur ont validé l'intérêt de la méthode développée.

**AN ELECTROTHERMAL MODEL OF MESFET SiC TRANSISTOR AND IMPROVEMENT OF DOHERTY'S STRUCTURE FOR HIGH EFFICIENCY POWER AMPLIFICATION**

**SUMMARY**

*First, a technological description of Silicon Carbide has been presented. A physical model has been developed to take into account geometrical parameters and thermal state of the component. This model was integrated in a CAD software. "Load-Pull" measurements are compared with non-linear simulations under ADS to validate this model. This technological die presents interesting potentialities for high power applications.*

*The power performances can be improved, in particular for variable envelopes signals by using particular structure of amplification. The second aim of this work was to improve a two-stages Doherty's structure for amplification. The description of a design methodology has been proposed. The implementation of innovating solutions for the load circuit allows obtaining a high power added efficiency for different input power levels. Taking into account very encouraging results, we showed that the improvement of the power added efficiency versus the output power could be increased thanks to a dynamic control of the amplifier operating parameters. To show the interest of this method, a hybrid power amplifier was carried out with two MESFET's transistors in GaAs technology at 900 MHz. A system based on envelope detection and a gate bias adjustment of auxiliary amplifier versus input level, was developed and validated by various measurements.*

**Mots clés :**

*Amplificateur de Puissance  
Carbure de Silicium  
Doherty  
Polarisation Dynamique  
Modèle Electrothermique  
Haut Rendement  
Recul en Puissance  
Transistor MESFET*

**Keywords :**

*Power Amplifier  
Silicon Carbide  
Doherty  
Dynamic Bias  
Electro Thermal Model  
High Efficiency  
Back off  
Field Effect Transistor*